



HAL
open science

Commande optique intégrée en technologie CMOS pour les transistors de puissance

Davy Colin

► **To cite this version:**

Davy Colin. Commande optique intégrée en technologie CMOS pour les transistors de puissance. Energie électrique. Université Grenoble Alpes, 2017. Français. NNT : 2017GREAT105 . tel-01819771

HAL Id: tel-01819771

<https://theses.hal.science/tel-01819771>

Submitted on 21 Jun 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Génie électrique**

Arrêté ministériel : 25 mai 2016

Présentée par

Davy COLIN

Thèse dirigée par **Nicolas ROUGER**, Chargé de recherche
CNRS, Laboratoire plasma et conversion d'énergie (LAPLACE)

préparée au sein du **Laboratoire de Génie Electrique de
Grenoble (G2ELab)**
dans l'**École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal (EEATS)**

Commande optique intégrée en technologie CMOS pour les transistors de puissance

CMOS integrated optical gate driver for power transistors

Thèse soutenue publiquement le **14 décembre 2017**,
devant le jury composé de :

M. Nicolas GINOT

Professeur, Université de Nantes, Rapporteur, Président de jury

M. Stéphane LEFEBVRE

Professeur, CNAM, Paris, Rapporteur

M. Marc COUSINEAU

Maître de conférences, INP Toulouse - ENSEEIHT, Examineur

M. Xavier SABORET

Ingénieur, ID-MOS/SERMA Group Bordeaux, Examineur

M. Jean-Christophe CREBIER

Directeur de recherche, CNRS Délégation Alpes, Examineur

M. Nicolas ROUGER

Chargé de recherche, CNRS Délégation Midi Pyrénées, Directeur de thèse

M. Gilles SICARD

Directeur de recherche, CEA/LETI Grenoble, Invité



Table des matières

Liste des figures.....	5
Liste des tableaux.....	9
Remerciements.....	10
Introduction générale	12
Chapitre 1 : Commande de transistors par voie optique : contexte, enjeux et positionnement.....	14
I. Introduction	15
II. Contexte et enjeux de la commande de transistors de puissance.....	15
II.1. Enjeux de la conversion de puissance.....	15
II.2. Principes de l'électronique de puissance.....	17
II.3. La cellule de commutation dans un environnement perturbé: Contraintes, enjeux pour l'organe de commande rapprochée	19
III. Positionnement de la commande optique	25
III.1. Description du système	25
III.2. Transfert du signal vs isolation galvanique.....	26
III.3. Alimentation isolée	29
III.4. Isolation galvanique de la solution optique	30
IV. Intégration des fonctions de la commande rapprochée.....	32
IV.1. Technologie CMOS.....	32
IV.2. Intégration des fonctions optiques en technologie CMOS standard	35
IV.3. Conclusion.....	45
Chapitre 2 : Charge de la grille et alimentation optique intégrées en technologie CMOS	46
I. Introduction	47
II. Le « buffer » : dimensionnement de l'organe de charge de la grille du transistor de puissance	48
II.1. Puissance de contrôle et capacité en courant.....	48

II.2.	Dimensionnement du buffer configurable	52
III.	Alimentation optique	65
III.1.	Stratégies d'alimentation	65
III.2.	Intégration de la cellule photovoltaïque.....	67
III.3.	Intégration d'un convertisseur DC/DC	77
IV.	Conclusion.....	83
Chapitre 3 : Transfert du signal optique avec intégration du récepteur en technologie CMOS		84
I.	Introduction	85
II.	Transfert en bande de base	90
II.1.	Présentation et dimensionnement	90
II.2.	Caractérisations.....	97
III.	Transfert numérique : Vers une commande rapprochée plus fonctionnelle	99
III.1.	Unité de gestion logique.....	99
III.2.	Transfert optique « haute fréquence » pour le numérique.....	105
III.3.	Horloge interne : dimensionnement et caractérisation	112
IV.	Conclusion du chapitre 3	119
Conclusion générale		120
Bibliographie		122
Publications.....		130
Annexes.....		131
I.	Annexes Chapitre 1	131
II.	Annexes Chapitre 2	134
III.	Annexes Chapitre 3	143

Liste des figures

Figure 1-1 : Schéma de principe d'une cellule de commutation dans différents cas de transfert de puissance (a) et par exemple avec des MOSFET de type N (b)	20
Figure 1-2 : résistance spécifique en fonction de la tension de claquage pour des composants avec différents matériaux semi-conducteurs (Briere, 2008).....	21
Figure 1-3 : Comparaison des pertes par commutation à l'ouverture et à la fermeture, pour différentes résistances de grille et différents courants de charge.....	22
Figure 1-4 : Schéma de la cellule de commutation avec les organes de commande rapprochée et les principaux éléments parasites.....	23
Figure 1-5 : dV/dt observé pour un transistor GaN (Kolar, Al, 2015)	24
Figure 1-6 : Caractéristiques $R_{dson} - I_{ds}$ du GS61008P, pour $T_j=25^\circ\text{C}$ et 150°C	25
Figure 1-7 : Schéma de principe de la solution optique	26
Figure 1-8 : Test de dV/dt réalisé à l'IETR de Nantes. a) schéma, b) photo du dispositif et c) image de l'oscilloscope du signal de sortie	30
Figure 1-9 : Test de dV/dt avec isolation par fibre optique, réalisé au G2Elab. a) schéma, b) photo du dispositif et c) formes d'onde de sortie	31
Figure 1-10 : Vue en coupe des transistors NMOS et PMOS de la technologie AMS $0.18\ \mu\text{m}$	34
Figure 1-11 : Photographie au microscope de la 2 ^{nde} version de puce fabriquée en technologie AMS $0.18\ \mu\text{m}$	35
Figure 1-12 : coefficient d'absorption du silicium en fonction de la température (Vafaei, 2014).....	37
Figure 1-13 : Exemple de réponse spectrale pour une photodiode XFAB.....	38
Figure 1-14 : Illustration de la décomposition d'une photodiode en doigts	41
Figure 1-15 : Layout des différentes photodiodes conçues en technologie AMS $0.18\ \mu\text{m}$	42
Figure 1-16 : Schéma de principe des détecteurs optiques SML, à gauche au temps initial T_0 et à droite au temps final T_F	43
Figure 1-17 : Schéma du dispositif de caractérisation de la réponse spectrale des photodiodes	43
Figure 1-18 : Réponse spectrale relative en fonction de la longueur d'onde pour différentes photodiodes N_W/P_{SUB}	44
Figure 2-1 : Schéma simplifié de la charge de grille du transistor de puissance	48
Figure 2-2 : Exemple de caractéristiques statiques et dynamiques de transistors de puissance [(EPC, 2016), (Baliga, 2008)]	50
Figure 2-3 : Répartition des transistors GaN en fonction de la puissance de contrôle à une fréquence de commutation de 1 MHz	52

Figure 2-4 : Schéma de principe de l'amplification en courant.....	54
Figure 2-5 : Schéma de principe de l'étage de sortie.....	55
Figure 2-6: écart relatif entre courants de charge et décharge en fonction de W_{pmos}/W_{nmos} pour différentes W_{nmos} et différents t_m	55
Figure 2-7 : Capacité en courant en fonction de la température et de V_{dd} pour différentes W_{nmos}	56
Figure 2-8 : puissance de court-circuit sur puissance de contrôle en fonction du temps mort pour différentes charges de sortie.....	57
Figure 2-9 : courant efficace de source d'un bloc NMOS pour différentes charges de sortie .	58
Figure 2-10 : Layout d'un bloc NMOS avec différents zooms sur différents niveaux de métaux.....	59
Figure 2-11 : Courant maximal et efficace des grilles PMOS et NMOS.....	60
Figure 2-12 : Illustration des étages de pré-amplification et de configuration.....	61
Figure 2-13 : délais introduits par le dispositif de décalage des commandes.....	62
Figure 2-14 : Résultats de simulation sur le buffer complet.....	63
Figure 2-15 : courbes expérimentales du test du buffer dans les configurations R, 2R, 3R et 6R	64
Figure 2-16: Stratégies d'alimentation.....	65
Figure 2-17 : Schéma de principe de la mise en série de 2 jonctions P_W-DN_W	68
Figure 2-18 : Exemple de réseau de capacités MIM utilisées comme guide d'onde (Guilar et al., 2008)	69
Figure 2-19: Illustration d'un éclairage par la face arrière de la puce CMOS (Hung et al., 2015) et d'une mise en série utilisant le substrat comme partie utile de la cellule PV (Horiguchi, 2012).....	69
Figure 2-20: réflexion en fonction de la longueur d'onde pour différentes épaisseurs d'oxyde et pour un revêtement antireflet – données XFAB [(XFAB, 2010a)]	70
Figure 2-21 : illustration d'une solution bi-puce pour l'intégration du gate driver et de son alimentation optique.	71
Figure 2-22 : illustration du packaging pour intégrer l'alimentation optique au sein de la puce CMOS de commande.....	72
Figure 2-23 : Schéma électrique équivalent de la cellule PV	73
Figure 2-24 : Effets de la résistance de contact entre le substrat et la masse de la cellule PV	74
Figure 2-25 : Effets de la puissance optique transmise et des fuites sur la caractéristique de la cellule PV	75
Figure 2-26 : Caractéristiques de la cellule PV en conditions nominales	76
Figure 2-27 : Puissance générée par la cellule PV fabriquée en technologie XFAB SOI 0.18 μm	77
Figure 2-28 : Compromis entre rendement et surface utilisée par les capacités commutées..	80

Figure 2-29 : Influence du décalage des commandes sur le rendement du convertisseur DC/DC.....	80
Figure 2-30 : Rendements simulé et mesuré en fonction de la puissance de sortie pour différentes tension d'entrée.....	81
Figure 2-31 : Simulations et mesures au point de rendements maximums, à température ambiante.....	82
Figure 3-1 : Illustration des approches de transfert en bande de base et de transfert numérique.....	86
Figure 3-2 : Schéma de la transmission optique dans le cas d'un couplage émetteur-récepteur et d'un couplage par fibre optique.....	86
Figure 3-3 : rendement de couplage optique en fonction de la capacité parasite entre émetteur et récepteur.....	87
Figure 3-4 : TIA à feedback résistif.....	88
Figure 3-5 : Structure du circuit de transfert en bande de base, intégré en technologie CMOS au sein d'une même puce.....	91
Figure 3-6 : Courbes illustrant le principe de fonctionnement du circuit de démodulation en bande de base.....	92
Figure 3-7 : évolution du rapport cyclique en fonction de la température et de la tension Vdd.....	93
Figure 3-8 : Puissance consommée en fonction de la température et de Vdd. $f = 1$ MHz.....	94
Figure 3-9 : délais en fonction de la température avec une caractéristique de cellule PV pour l'alimentation Vdd. $f = 1$ MHz.....	95
Figure 3-10 : Rapport cyclique en fonction de la température avec une caractéristique de cellule PV pour l'alimentation Vdd. $f = 1$ MHz, rapport cyclique = 50%.....	95
Figure 3-11 : Simulation du rapport cyclique pour des rapport cyclique du phot-courant d'entrée de 10% et 90%.....	96
Figure 3-12 : Consommation en fonction de la température pour différents photo-courant générés avec une caractéristique de cellule PV pour l'alimentation Vdd. $f = 1$ MHz.....	97
Figure 3-13 : photographie au microscope des 2 versions de puce.....	97
Figure 3-14 : Test du circuit de réception en bande de base. Modulation à 1.5 MHz sur une charge de 2 nF.....	98
Figure 3-15 : principe du gate driver programmable.....	100
Figure 3-16 : Exemples de performances obtenues avec des gate driver programmables. a) amélioration du compromis entre vitesse de commutation et surtension de grille (Dymond et al., 2017). b) amélioration du compromis entre pertes par commutation et sur-courant à la fermeture (Miyazaki et al., 2017).....	101
Figure 3-17: Layout de la partie de gestion logique.....	104

Figure 3-18: Validation expérimentale de la partie logique. a) Cas d'une transmission d'ordre de commande ($0 \rightarrow 1$). b) Cas d'une transmission d'ordre de commande erronée (sortie initialement à 1). c) Cas d'une transmission d'ordre de commande erronée (sortie initialement à 0). d) Cas d'une transmission d'information.	105
Figure 3-19: Schéma de principe du circuit de réception pour le numérique	107
Figure 3-20: formes d'onde du circuit de réception pour le numérique	108
Figure 3-21: courbes de simulation en fonction de la température pour différentes tension d'alimentation. a) délai montant, b) délai descendant, c) gigue de rapport cyclique, d) consommation	109
Figure 3-22 : courbes de simulation en fonction de la température pour différentes amplitudes de courant photo-généré. a) délai montant, b) gigue de rapport cyclique.....	110
Figure 3-23 : courbes de simulation en fonction de la température pour différents débit de transmission. a) $W_p/W_n_TIA=3$, b) $W_p/W_n_TIA=7.5$	110
Figure 3-24 : courbes de simulation en fonction de la température pour a) une variation entre les amplitudes des 2 courants photo-générés et b) une variation entre les délais des 2 signaux	111
Figure 3-25 : Layout du circuit de réception haute fréquence pour le numérique.	112
Figure 3-26 : schéma de principe d'un oscillateur en anneau.....	113
Figure 3-27 : schéma de principe de l'oscillateur interne	113
Figure 3-28 : Simulation de la fréquence de l'horloge interne. a) En fonction de la tension d'alimentation pour différentes températures. b) En fonction de la température lorsque l'alimentation est délivrée par la cellule PV	114
Figure 3-29 : Sélection logique des signaux d'horloge pour réaliser l'alignement de phase.	115
Figure 3-30 : Photo du banc de caractérisation de l'horloge interne	116
Figure 3-31: Mesures expérimentales de la fréquence de l'horloge interne en fonction de la tension d'alimentation. a) Comparaison avec les simulations pour différentes températures. b) Comparaison avec les simulations à température ambiante pour différentes valeurs de capacités parasites simulées.	117
Figure 3-32 : Fréquence de l'horloge interne pour les points tension-température de la cellule PV	118
Figure 3-33 : Transmission de données générées par FPGA avec utilisation de l'horloge interne dans les cas a) d'un ordre de commande et b) d'une information.	118

Liste des tableaux

Table 1-1 : Répartition par secteur de la consommation d'énergie en France.....	15
Table 1-2 : Variation du dV/dt avec la résistance de grille pour l'EPC2046 et le RCX120N2024	
Table 1-3 : Comparaison de quelques solutions commerciales et académiques	28
Table 1-4 : Comparaison d'alimentations isolées commerciales et de recherche académique	29
Table 1-5 : Comparaison de différentes technologies CMOS pour le circuit gate driver optique.....	33
Table 1-6 : résistances et profondeurs des couches de la technologie AMS 0.18 μm	40
Table 7 : Récapitulatif des densités de courant maximales pour les métaux du NMOS.....	60
Table 8 : comparaison entre les valeurs de pic de tension simulées et mesurées	64
Table 9 : Avantages et inconvénients des différentes stratégies d'alimentation	67

Remerciements

J'ai préparé cette thèse au sein du laboratoire G2Elab de Grenoble entre octobre 2014 et octobre 2017. Pendant ces trois années, ponctuées de hauts de de bas, j'ai côtoyé des personnes que j'aimerais remercier pour ce qu'elles m'ont apporté, d'un point de vue scientifique et/ou humain.

Je vais commencer par les personnes que j'ai rencontrées en dernier (ou presque), à savoir les membres du jury. Je remercie tout d'abord M. Nicolas Ginot et M. Stéphane Lefebvre pour avoir accepté d'être rapporteur et ce, compte tenu du large spectre des domaines scientifiques abordés dans cette thèse. Vos remarques ont été constructives et ce fut un plaisir d'échanger avec vous lors de la soutenance.

Je remercie également M. Marc Cousineau, pour avoir accepté de participer à ce jury, pour votre rigueur et pour votre expertise circuit.

Je remercie M. Xavier Saboret, pour le regard industriel porté sur cette thèse. Vos questions m'ont aidé à prendre du recul et à voir la commande optique sous un jour nouveau.

Je remercie M. Gilles Sicard, pour avoir accepté l'invitation à cette thèse. Votre expertise sur les détecteurs optiques a été très appréciable.

Je remercie également Jean Christophe Crébier pour avoir participé à ce jury. Comme toujours, tes questions et remarques ont été très pertinentes. Je te remercie également en tant que directeur du CMP, qui a permis la fabrication des puces.

Je remercie tout particulièrement Nicolas Rouger. C'était un plaisir de travailler avec toi et je n'aurais jamais réussi ce travail sans ton aide, même à distance tu étais toujours présent. Tu as su croire en mon travail même lorsque je n'y croyais pas moi-même. Tu m'as beaucoup appris, au niveau purement scientifique mais aussi dans la façon de présenter mon travail, tu m'as permis de partir deux fois en conférence et je t'en remercie car c'était des supers expériences.

Je remercie Long, pour avoir fait la transition avec moi, tu m'as beaucoup aidé et apporté.

Je remercie toutes les personnes qui ont contribué de près ou de loin à la réalisation de ce travail, le personnel administratif et technique du G2Elab, notamment Benoit Sarrazin et Alexis Derby, le personnel technique du CIME Nanotech, particulièrement Alexandre Chagoya pour la partie informatique et Irène Pheng pour les bondings.

Je remercie tous mes amis du G2Elab, pour les bons moments passés ensemble, que ce soit les randos, les raclettes, les coups violents, les pétanques, les énigmes, les sorcières, les Poney Express, ou simplement les moments à discuter après la pause déjeuner. Merci à Clément, Gaëtan, Mor, Julie, Damian, Léo, Sang, Ibrahima, André, Aurélien, Maximin, Gauthier, Nisith, Lucas, Théo.

Pour terminer, je remercie ma famille, qui a toujours été présente, notamment mes frères Rémy et François ainsi que mes parents.

Enfin, je tiens à remercier toutes les personnes que je n'ai pas citées.

Introduction générale

L'électrification des transports, le recours aux sources électriques d'origine renouvelable, le déploiement du numérique et de la robotique, nécessitent une utilisation massive de convertisseurs de puissance. Dans un contexte international où les ressources primaires d'énergie et les matières premières s'épuisent, où la consommation d'énergie est de plus en plus importante et où les conséquences du réchauffement climatique commencent à se faire ressentir, les exigences en termes de rendement et d'utilisation des ressources sont devenues critiques pour le domaine de la conversion de puissance. Plusieurs axes de recherche sont menés pour répondre à ces attentes, depuis l'étude globale des réseaux électriques, en passant par l'optimisation des convertisseurs et des composants, jusqu'à l'étude du matériau semi-conducteur. Le silicium est aujourd'hui le matériau le plus utilisé mais depuis quelques années, le développement du SiC et du GaN prend de l'ampleur du fait de leurs meilleurs figures de mérite. Ces matériaux permettent de monter en fréquence de commutation sans dégrader le rendement et ainsi de réduire la taille des éléments passifs. Cependant, les vitesses de commutation étant plus grandes, les contraintes CEM apportées par les composants à base de SiC et GaN restent un défi majeur. En particulier, les interactions entre puissance et commande sont la source de perturbations de mode commun pouvant perturber ou endommager la commande.

Le gate driver est l'élément de commande rapproché, dont la fonction est de moduler la charge et la décharge du transistor de puissance en fonction des ordres de commandes reçus. La transmission des ordres doit s'effectuer rapidement avec une faible déviation pour réduire les temps morts, ce qui devient un grand défi avec la montée en fréquence des convertisseurs. Pour le transistor high side d'une cellule de commutation, une isolation statique et dynamique est nécessaire entre la partie commande et la partie puissance. L'isolation galvanique par fibre optique offre la meilleure isolation possible. Cependant, les temps de propagation sont plus élevés que pour d'autres solutions d'isolation.

Dans cette thèse, nous proposons une solution d'isolation galvanique optique avec intégration des fonctions réceptrices optiques, de l'amplificateur en courant (buffer) et de l'alimentation optique en technologie CMOS AMS 0.18 μm HV.

Dans le chapitre 1, les enjeux de la conversion de puissance sont présentés et particulièrement pour l'organe de commande rapproché. La solution développée dans cette thèse est comparée à l'état de l'art industriel et académique. L'intégration en technologie CMOS est présentée, et plus particulièrement, l'intégration des fonctions optiques.

Dans le chapitre 2, l'alimentation optique du gate driver est décrite, avec l'étude de l'intégration d'une cellule PV et d'un convertisseur à capacités commutées pour adapter la tension à la tension de grille du transistor de puissance. Le dimensionnement du buffer, qui module les charges vers la grille du transistor de puissance, est étudié. Le buffer est rendu configurable pour pouvoir jouer sur la vitesse de commutation.

Dans le chapitre 3, la transmission du signal optique est étudiée, avec un transfert en bande de base et un transfert numérique série à plus haute fréquence. La transmission numérique permet l'envoi des ordres de commutation et d'information telle que la configuration de la résistance de grille. A cet effet, une horloge interne et une unité de gestion logique ont été conçues.

Chapitre 1 : Commande de transistors par voie optique : contexte, enjeux et positionnement

I. Introduction

Dans ce chapitre, le contexte et les enjeux de la conversion de puissance sont décrits. Les convertisseurs de puissance fonctionnent à des fréquences de commutation toujours plus élevées ce qui entraîne des vitesses de commutation également plus élevées. Dans ce contexte, l'organe de la commande rapprochée doit pouvoir permettre des commutations rapides et sûres, sans perturbation de la commande externe. Pour cela, nous proposons une architecture de gate driver avec transmission du signal et de la puissance de contrôle par voie optique, ce qui garantit un niveau d'isolation maximal. Cette solution est comparée à l'état de l'art industriel et académique en termes de temps de propagation, niveau d'isolation, et performances d'alimentation. Les fonctions de réception optique et de commande rapprochée sont intégrées en technologie CMOS car nous pensons que cela apporte un niveau de performance et d'intégration optimal pour un coût raisonnable voir faible pour le cas d'une production à grande échelle. L'intégration des fonctions optiques en technologie CMOS est également présentée.

II. Contexte et enjeux de la commande de transistors de puissance

II.1. Enjeux de la conversion de puissance

Pour comprendre les enjeux de la conversion de puissance électrique, il convient de dresser un état des lieux de la consommation d'énergie. En 2015, en France, 27% de l'énergie finale consommée est d'origine électrique, dont 18.7% d'origine renouvelable (hydraulique compris)(Riedinger, 2016). La consommation d'énergie finale se répartit en 3 principaux secteurs, le résidentiel et tertiaire, le transport et l'industrie. Le tableau suivant récapitule cette répartition où on peut voir un secteur résidentiel et tertiaire très important, une part de la consommation industrielle moins importante en 2015 qu'en 1973 et une augmentation significative de la part du transport. On voit également une diminution de la part d'énergie fossile, notamment due au déploiement du nucléaire, dans tous les secteurs sauf dans le secteur des transports où cette diminution est très faible.

Table 1-1 : Répartition par secteur de la consommation d'énergie en France

	Résidentiel – tertiaire		Transport		Industrie	
	2015	1973	2015	1973	2015	1973
% énergie finale	44,9%	41,5%	33,1%	19,6%	19,0%	36,1%
dont % pétrole + gaz + charbon	45,7%	77,5%	92,0%	98,0%	59,0%	82,0%
% pétrole + gaz + charbon	20,5%	32,2%	30,5%	19,2%	11,2%	29,6%

Le transport et la distribution de l'électricité s'effectue par un réseau électrique alternatif (50 Hz). Les équipements de production et de consommation doivent s'adapter à la fréquence et aux niveaux de tension du réseau. Jusqu'à présent, la grande majorité des alternateurs des centrales productrices sont déjà adaptés à la fréquence du réseau et l'adaptation du niveau de tension s'effectue par un transformateur, avec un excellent rendement et une taille qui dépend du niveau de puissance transitée. Certains équipements de production (éoliennes, panneaux photovoltaïques, Stations de transfert d'énergie par pompage, ...) ont des sources d'énergies non adaptées au réseau (vitesse de vent variable, courant continu, débit d'eau variable, ...) et nécessitent une conversion d'énergie ou un contrôle adaptatif. De même certains équipements de consommation (électroménager, électronique et informatique, éclairage LED, ...) nécessitent également une adaptation pour être alimentés par le réseau.

Les convertisseurs de puissance sont déjà présents dans tous les secteurs d'activité mais un déploiement bien plus massif de ceux-ci est à prévoir compte tenu de l'augmentation des sources de production renouvelables, d'un transport de plus en plus électrifié, d'une robotisation accrue des équipements industriels, et d'une utilisation toujours plus importante des appareils électroniques. Indiqué sur la Table 1-1, 92% de l'énergie consommée dans les transports est d'origine fossile. Pour diminuer cette part, on peut citer des volontés politiques avec le plan climat 2017, et plus concrètement, des partenariats industriels-académiques avec le projet « MeGan », qui vise le développement de la filière GaN pour augmenter les performances des modules électroniques de puissance des véhicules électriques à moindre coût. Il faut noter que le développement des véhicules électriques en parallèle de sources d'énergie renouvelable, associé à une gestion intelligente de l'énergie à différents niveaux (habitat, ville, région), conduit au déploiement de convertisseurs multi-sources, réversibles en puissance, avec potentiellement des fortes variations de charge. Dans ce contexte, les objectifs attendus pour les convertisseurs de puissance sont les suivants :

- **Rendement élevé** : Les exigences en termes de rendement sont limitées par d'autres facteurs, comme le volume et le poids, le coût (économique), les distorsions harmoniques, les contraintes en températures, le type de conversion effectué, la nécessité d'une isolation galvanique, ... Quelles que soient les spécificités du convertisseur, les pertes doivent toujours être suffisamment faibles pour ne pas dépasser les températures limites des différents composants.
- **Forte intégration** : cette notion désigne la capacité à faire passer une puissance élevée à travers un volume faible. Elle est notamment demandée pour des applications de systèmes embarqués. Elle est également limitée par des contraintes externes comme le rendement, la nécessité d'une isolation galvanique, le coût, ... A

noter que pour les applications aéronautiques et spatiales, une forte intégration est particulièrement rentable lorsque le poids est minimisé. C'est pourquoi le coût du convertisseur a moins d'importance pour ces domaines.

- **« Coût » faible** : cette notion est la plus difficile à définir puisqu'elle dépend de l'application considérée, du modèle et de l'environnement économiques, du système considéré. C'est un critère qui est déterminant dans le choix de l'intégrateur système.
- **Compatibilité électromagnétique (CEM)** : Un convertisseur ne doit pas se perturber, être perturbé ou perturber d'autres appareils électriques. Il doit également respecter une certaine qualité du signal, notamment lorsqu'il est connecté au réseau électrique. Pour les applications domestiques ou avec une intervention humaine possible, il doit respecter une isolation minimum pour la sécurité des personnes.
- **Fiabilité** : Les spécifications du convertisseur doivent être garanties sur toute sa durée de vie. Parmi les différents enjeux de fiabilité, on peut citer les matériaux diélectriques qui sont vulnérables au phénomène de décharges partielles et les interconnexions (bondings, ...) qui sont vulnérables aux variations successives de températures.
- **Convertisseur connecté ?** : à l'heure des « smart grids » et de « l'Internet of Things (IoT) », les convertisseurs de puissance devront peut-être, eux aussi, être connectés en réseau et être pilotables à distance (Takamiya et al., 2017).
- **Cycle de vie ?** : L'impact environnemental d'un convertisseur est principalement causé par sa phase de fonctionnement. Cependant, l'impact des phases de fabrication et de fin de vie du produit n'est que très rarement pris en compte. Ceci peut parfois conduire à des dimensionnements qui ne sont pas optimaux en considérant l'ensemble du cycle de vie du produit (Jaouen, 2012).

II.2. Principes de l'électronique de puissance

L'électronique de puissance est une électronique de commutation dont le but est de transférer la puissance d'une source A à une source B où A et B ont des niveaux de tension et/ou des fréquences différents, avec ou sans isolation galvanique. Les conversions peuvent donc être de type DC/DC, DC/AC, AC/DC, AC/AC. Pour associer deux sources, il faut qu'elles aient des comportements opposés. Les comportements élémentaires sont la source de courant et la source de tension. Une source de courant délivre un courant donné indépendamment de la tension appliquée à ses bornes et une source de tension délivre une tension donnée indépendamment du courant qui la traverse. Les sources de courant et de tension parfaites n'existent pas dans la réalité. Pour compenser les imperfections des sources ou pour connecter deux sources de même comportement, des éléments passifs

(inductance et capacité) sont utilisés. Une forte valeur d'inductance assure un comportement en source de courant et une forte valeur de capacité assure un comportement en source de tension. Dans la pratique, les valeurs d'inductance et de capacité sont choisies de telle sorte à assurer un comportement avec des ondulations en courant et en tension qui ne dépassent pas une valeur définie par le cahier des charges.

Deux problèmes résultent de l'imperfection des sources et de l'utilisation d'éléments passifs :

- Les signaux présentent des harmoniques. On désigne par harmonique tout contenu fréquentiel différent de la fréquence du signal souhaité (appelé fondamental). En général, les harmoniques sont multiples de la fréquence de commutation. L'intégrateur système exige un certain taux d'harmonique à ne pas dépasser (exprimé en pourcentage du fondamental) et une plage fréquentielle où ce taux est calculé. Pour réduire les harmoniques, un filtrage passif (inductance + capacité) ou un filtrage actif (convertisseur supplémentaire) peuvent être utilisés.
- Les éléments passifs induisent des pertes dues à leurs résistances parasites. La résistance, proportionnelle à l'inverse de la section de conducteur et à la longueur du conducteur, pose problème pour des fortes valeurs d'inductance, qui nécessitent beaucoup de spires et donc une grande longueur de conducteur. Pour diminuer la résistance série, il faut donc augmenter la section de conducteur ou paralléliser plusieurs inductances. Ceci va donc augmenter le poids et le volume du convertisseur. Pour les capacités, la résistance parasite pose moins de problèmes car augmenter la capacité signifie augmenter la surface de conducteur.

Pour pallier à ces problèmes, une première solution consiste à élever la fréquence de commutation du convertisseur pour réduire les ondulations en courant et en tension (moins de contenu harmonique) ou pour diminuer la taille des éléments de filtrage (à contenu harmonique fixe). Une deuxième solution consiste à jouer sur la topologie du convertisseur de puissance, avec des techniques de mise en parallèle et entrelacement. La mise en parallèle permet de diviser le courant dans chaque inductance et de diminuer la résistance parasite globale. L'entrelacement consiste à partager le même circuit magnétique pour plusieurs inductances issues de différents « bras » complémentaires dont les flux vont se compenser, ce qui permet de réduire la taille du circuit magnétique ou les pertes dans ce circuit.

L'augmentation de la fréquence de commutation a pour conséquence l'augmentation des pertes par commutation dans les transistors de puissance. Pour éviter ce problème, une première possibilité consiste à utiliser des structures quasi-résonnantes. La quasi-résonnance consiste à utiliser les éléments parasites du routage ou des transistors et/ou à ajouter des éléments passifs afin de créer une résonance partielle pour que soit le courant

soit la tension revienne à zéro et le transistor est alors commandé (presque) sans pertes. La commutation est dite « douce » et on parle de « ZVS » pour une commutation à zéro de tension et « ZCS » à zéro de courant. Par opposition, on appelle commutation « dure », une commutation avec pertes où la tension passe de zéro à une tension donnée et le courant passe d'un courant donné à zéro ou inversement. Pour réduire les pertes lors des commutations dures, la vitesse de commutation est augmentée pour réduire le temps où tension et courant sont appliqués au transistor de puissance.

Dans cette thèse, nous nous intéresserons à la problématique de la commutation dure, avec forte vitesse de commutation, dans un contexte de fréquence de commutation élevée pour réduire la taille des éléments passifs sans augmenter les pertes par commutation.

II.3. La cellule de commutation dans un environnement perturbé: Contraintes, enjeux pour l'organe de commande rapprochée

Lorsque deux sources sont connectées entre elles, on appellera par convention récepteur « source », la source qui délivre de l'énergie et « charge », la source qui reçoit l'énergie. Sur la Figure 1-1, les 4 types de connexions possibles entre sources de courant et de tension sont illustrés, avec une tension d'entrée positive ou négative et un transfert de puissance depuis la source de tension vers une charge en courant ou depuis la source de courant vers une charge de tension. Les connexions sont réalisées par des fonctions interrupteurs qui permettent de connecter les sources de tensions et de courant entre elles, de court-circuiter la source de courant et de mettre en circuit ouvert la source de tension. On appelle « cellule de commutation » ce type de connexion élémentaire. Ainsi, 2 états sont possibles, un état de transfert de puissance (interrupteur du haut fermé et interrupteur du bas ouvert) et un état de repos (interrupteur du haut ouvert et interrupteur du bas fermé). Les interrupteurs commandés sont représentés en rouge, ils ont une commutation dure avec pertes et les autres interrupteurs ont une commutation spontanée, sans pertes, et peuvent être réalisés par de simples diodes. L'interrupteur est commandé avec un rapport cyclique (rapport entre le temps de transfert d'énergie et le temps total) à une certaine fréquence de commutation. Le rapport cyclique est fixe ou est fixé par les rapports de tension et courant entre source et charge, ou, de façon équivalente, par le niveau de puissance. Comme indiqué plus haut, la fréquence de commutation va permettre de limiter les ondulations de courant et tension ou de réduire la taille des éléments passifs dans le cas de sources non idéales.

Se pose alors les problématiques de la réalisation de la fonction interrupteur. Des dispositifs à semi-conducteur de type transistor sont utilisés. Les transistors doivent avoir un état faiblement impédant pour limiter les pertes en conduction et doivent pouvoir commuter rapidement pour limiter les pertes par commutation. Suivant le type de sources

considéré, les interrupteurs peuvent nécessiter une bidirectionnalité en courant et/ou tension. Sur la Figure 1-1 b), les transistors de type MOSFET (de type N), très largement utilisés, sont représentés. Ces transistors sont commandés entre grille et source. Avec les conventions utilisées, on peut voir que dans deux cas de figure opposés ($V+$, charge de courant et $V-$, charge de tension) la source du MOSFET (représenté en rouge) est connectée à un potentiel flottant. Autrement dit, si la bidirectionnalité en tension ou la bidirectionnalité en puissance est requise, au moins un des transistors MOSFET de type N sera nécessairement connecté à un potentiel flottant. On appellera par la suite « transistor high side » un transistor connecté à un potentiel flottant d'une cellule de commutation. Il faut noter que si le transistor high side était réalisé par un MOSFET de type P, la source serait référencé à un potentiel non flottant. Les MOSFET de type P sont cependant moins performants que les MOSFET de type N pour la filière Silicium. Cette approche a été notamment développée dans la thèse de Bastien Letowski (Letowski, 2016). Pour réaliser la bidirectionnalité en tension et en courant, l'approche la plus courante est d'utiliser une combinaison de plusieurs cellules de commutation (par exemple un pont complet).

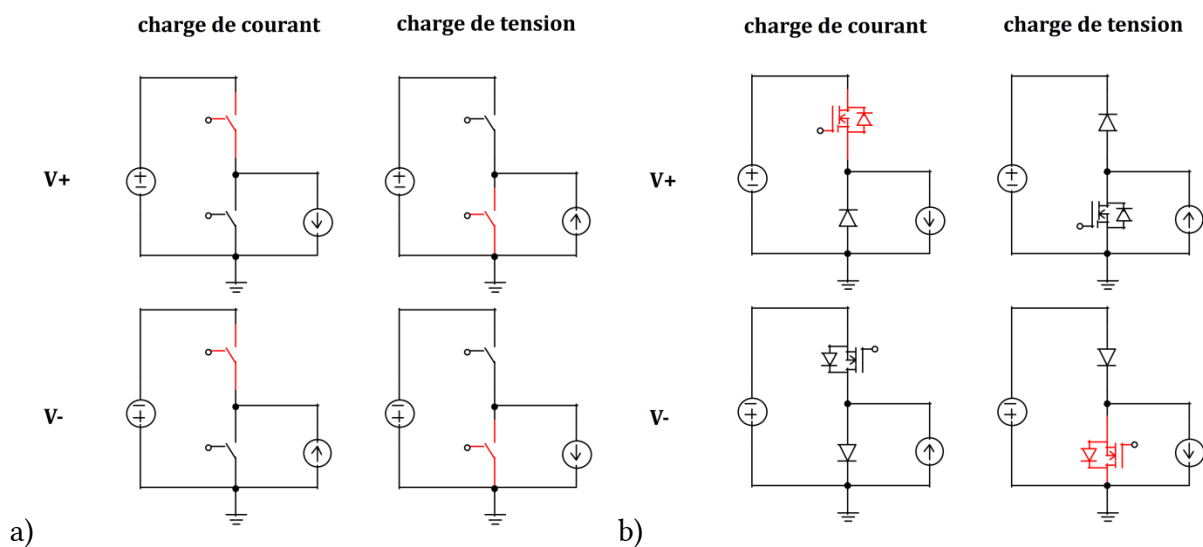


Figure 1-1 : Schéma de principe d'une cellule de commutation dans différents cas de transfert de puissance (a) et par exemple avec des MOSFET de type N (b)

On distingue deux types de transistors, les transistors bipolaires, qui font intervenir des porteurs de charge positifs (trous) et négatifs (électrons) et les transistors unipolaires qui font intervenir un seul type de porteurs (généralement des électrons). Les transistors bipolaires ont l'avantage d'une faible résistance due aux injections de charges minoritaires mais souvent au détriment d'une commutation plus lente (car plus de porteurs sont stockés). Inversement pour les transistors unipolaires. On distingue également les transistors à effet de champ, commandés en tension et pour cette raison plus facile à commander que les transistors à jonction bipolaire (BJT). En électronique de puissance, les transistors à effet de

champ sont très largement répandus et on s'intéressera à la commande de ce type de transistor uniquement. Principalement, 3 types de transistors à effet de champ sont utilisés, le MOSFET, l'IGBT et le HEMT (GaN). Pour le dimensionnement en électronique de puissance, les paramètres critiques sont la tenue en tension (valeur maximale à ne pas dépasser), le calibre en courant (valeur indicative accompagnée d'une valeur de courant pulsé à ne pas dépasser pour éviter un endommagement thermique) et la température maximale de jonction (pour éviter les dégradations thermiques et garantir les performances). A cela s'ajoute d'autres paramètres tels que la résistance à l'état passant, les temps ou énergies de commutation, la charge de grille, l'amplitude en tension de grille et les résistances thermiques (jonction – boîtier – ambiant). Le premier compromis pour choisir un transistor se situe entre la tenue en tension et la résistance spécifique (résistance fois unité de surface), comme on peut le voir sur la Figure 1-2 de mérite suivante. Le semi-conducteur le plus répandu est le silicium, son procédé de fabrication est fiable et son coût faible. Le SiC et le GaN, plus coûteux et moins matures que la filière silicium, ont un meilleur compromis entre résistance spécifique et tenue en tension. Le second compromis se situe entre la largeur du transistor (qui détermine son calibre en courant et sa résistance à l'état passant) et les pertes par commutation (capacités parasites plus importantes et, pour les bipolaires, charges stockées plus importantes). Le choix d'un transistor a donc un fort impact sur ces 2 compromis mais, comme nous allons le voir par la suite, l'organe de commande rapproché joue également un rôle important.

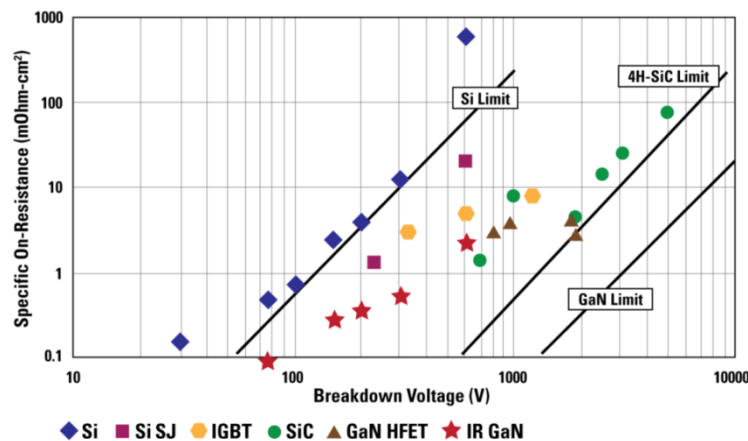


Figure 1-2 : résistance spécifique en fonction de la tension de claquage pour des composants avec différents matériaux semi-conducteurs (Briere, 2008)

Malgré des principes de fonctionnement assez différents, pour le mode de commutation, on peut modéliser les transistors à effet de champ par une source de courant commandée et 3 capacités parasites entre chaque pin (C_{GD} , C_{GS} , C_{DS}). A l'ouverture, la tension V_{ds} aux bornes du transistor commence à augmenter ce qui a pour effet de charger la capacité C_{oss} ($=C_{gd} + C_{ds}$). Lors de cette phase, le courant ne peut venir que du courant

de puissance qui limite donc la vitesse de commutation dV/dt . Le courant de puissance diminue ensuite et la vitesse de commutation di/dt est directement déterminée par la diminution de V_{gs} . A faible courant de puissance, les pertes à l'ouverture sont donc majoritairement déterminées par la valeur de ce courant et la valeur de C_{oss} . A fort courant de puissance, les pertes sont influencées par la rapidité de la diminution de la tension de commande V_{gs} . A la fermeture, le courant de puissance commence à augmenter, directement déterminé par la tension V_{gs} . Ensuite la tension V_{ds} diminue mais le courant nécessaire à la décharge de C_{oss} peut provenir de la source de tension. Pour illustrer ces comportements, une simulation a été effectuée sous Simplorer avec une cellule de commutation composée d'un transistor EPC2046, une diode RB218T150, une source de tension de 100V, des inductances de maille négligeables et une source de courant et une résistance de grille paramétrées. Les résultats sont montrés sur la Figure 1-3. Avec un courant de charge de 0.5A, la valeur de résistance de grille n'influe pas sur les pertes à la fermeture. A 10A, l'influence de R_g commence à apparaître et à 20A, elle est significative. Puisqu'il peut y avoir des points de fonctionnement où l'influence de R_g est significative à l'ouverture et à la fermeture, le gate driver devra pouvoir avoir une R_g faible dans ces 2 cas.

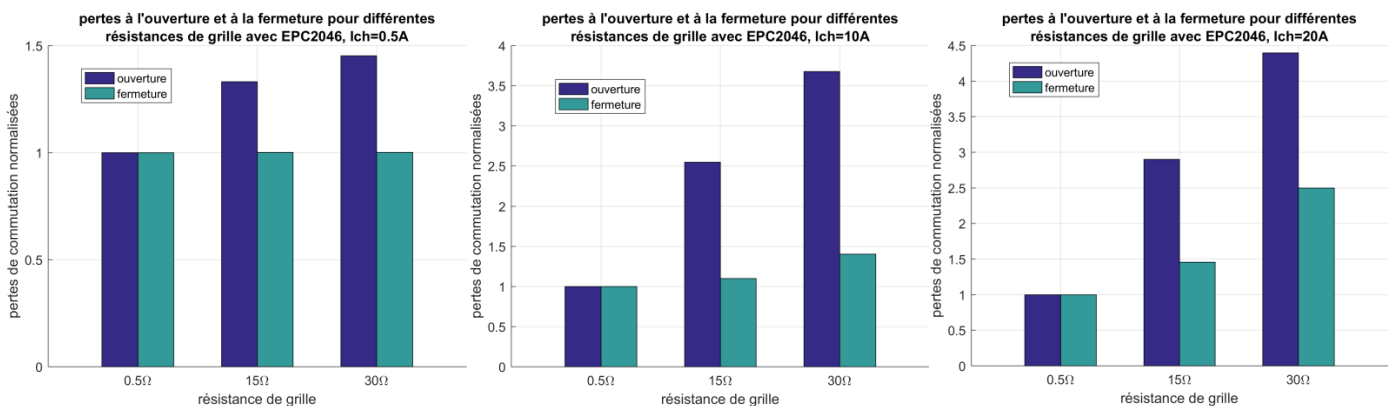


Figure 1-3 : Comparaison des pertes par commutation à l'ouverture et à la fermeture, pour différentes résistances de grille et différents courants de charge

Pour commander un transistor dont la référence est flottante, 2 options sont possibles, soit la commande est isolée, soit les potentiels sont adaptés par un système dit « level shifter », avec une alimentation de type bootstrap (Balogh, 2002). Le problème de cette dernière solution est que la tension maximale d'adaptation est limitée par la technologie, en général de type silicium sur isolant (SOI), ou de type CMOS haute tension (HV). Sur la Figure 1-4, le schéma d'une cellule de commutation intégrant les organes de commande est représenté. Le gate driver est alimenté par une alimentation isolée et est commandé par un organe de transmission des ordres de commande isolé (de type optocoupleur ou transformateur). Il faut noter que la référence de la partie commande n'est pas forcément la même que la référence de la cellule de commutation (notamment dans le cas de la mise en

série de plusieurs cellules de commutation). Les principaux éléments parasites de la cellule de commutation sont représentés en rouge. L'inductance de grille L_g a une influence qui dépend de l'amortissement du circuit RLC composé par L_g , R_g et C_{iss} . On doit avoir $L < \frac{R_g^2 \cdot C_{iss}}{2}$ pour avoir un système amorti, C_{iss} étant non linéaire. Pour $R_g=1\Omega$ (comprenant la résistance parasite de la grille du transistor de puissance), Il faudrait une valeur de L_g inférieure au nH pour éviter des remises en conduction parasites et surtensions de grille (considérant C_{iss_min} de l'ordre de quelques centaines de pF). Il faut donc intégrer le driver au plus proche, surtout si on souhaite une R_g faible et/ou une C_{iss} faible comme par exemple pour la commande rapide d'un transistor GaN. Sinon, L_g ne fait que retarder l'instant de commutation (Jeannin, 2001). L'inductance L_{sg} a une influence beaucoup plus critique car le courant de puissance la traverse ce qui peut induire des fortes variations sur V_{GS} . Ainsi, il est important de dissocier la source de puissance de la source de grille, ce qui est fait sur la plupart des transistors de puissance. Les inductances L_d et L_s n'ont pas d'influence sur la commande mais induisent des surtensions V_{DS} .

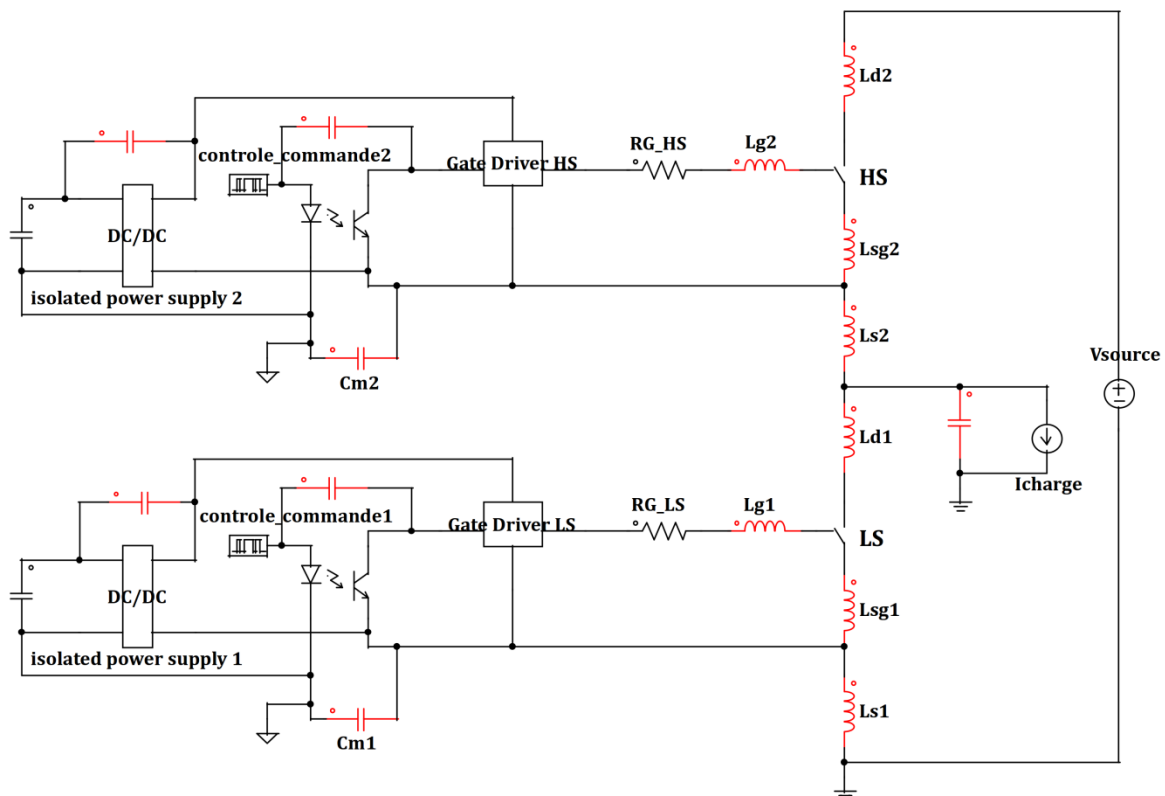


Figure 1-4 : Schéma de la cellule de commutation avec les organes de commande rapprochés et les principaux éléments parasites

Les capacités de mode commun (C_m) entre la référence de la puissance et la référence de la commande sont déterminantes pour des fortes vitesses de commutation dV/dt , car elles sont à l'origine de courants parasites qui peuvent perturber la partie commande. Il est a priori difficile de déterminer le chemin du courant de mode commun, c'est pourquoi il faut

se placer dans le pire cas où ce courant traverse les éléments de la partie commande. Des simulations ont été effectuées sous Simplorer pour évaluer les dV/dt en fonction de la résistance de grille R_g . Les inductances parasites sont négligées dans un premier temps. Deux transistors sont testés, la GaN EPC2046 (EPC, 2017) et le transistor Si RCX120N20 (Rohm, 2013) de Rohm. Ces 2 transistors ont une tenue en tension de 200V et un calibre en courant spécifié de 12A. La résistance à l'état passant du RCX120N20 est de 250 m Ω contre 18 m Ω pour l'EPC2046. La charge de grille est de 15 nC pour le RCX120N20 contre 1 nC pour l'EPC2046. Les simulations sont effectuées avec une tension de bus de 100V et un courant de charge de 15A. Les résultats du dV/dt descendant (fermeture) sont montrés sur la Table 1-2, le dV/dt montant étant limité par le courant de charge (60V/ns pour EPC2046 et 30V/ns pour RCX120N20).

Table 1-2 : Variation du dV/dt avec la résistance de grille pour l'EPC2046 et le RCX120N20

	GaN EPC2046				Si RCX120N20			
R_g (Ω)	0,5	2,5	4,5	6,5	0,5	2,5	4,5	6,5
dV/dt max (V/ns)	290	200	150	120	25	23	21	20

Les dV/dt observés pour cette simulation montrent un très grand écart entre le transistor GaN et le transistor Si. La résistance de grille a une grande influence pour le cas du transistor GaN. Ceci permet d'avoir un ordre de grandeur sur les dV/dt possibles au niveau d'une cellule de commutation. Avec une faible résistance de grille de 0.5 Ω , l'EPC2046 peut potentiellement commuter à 290V/ns (valeur de simulation). Pour le dV/dt montant (ouverture), de très forts dV/dt peuvent être observés également si le courant de charge est élevé et la capacité C_{oss} faible. Sur la Figure 1-5, on peut voir un dV/dt observé expérimentalement de 450V/ns pour un transistor low side (Kolar, Al, 2015). Si cette commutation avait été réalisée avec un potentiel flottant ou différent de la partie commande, l'isolation aurait été critique.

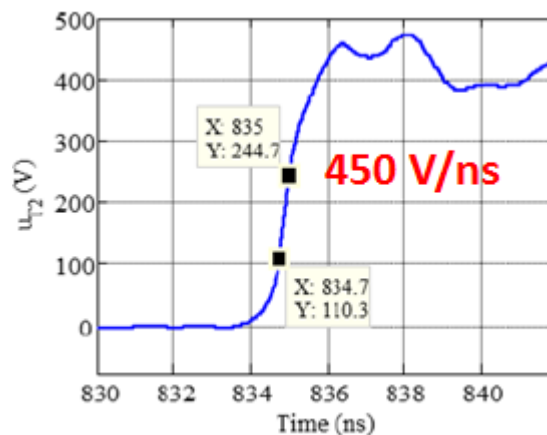


Figure 1-5 : dV/dt observé pour un transistor GaN (Kolar, Al, 2015)

La valeur de tension V_{gs} joue également un rôle important, pour les pertes par conduction. Sur la Figure 1-6, un exemple de courbe de $R_{ds(on)}$ en fonction du courant de charge pour des V_{gs} de 5V et 6V, pour des températures de jonction de 25°C et 150°C, pour le transistor GaN System GS61008P de 100V – 90A. A 25°C, la différence entre $R_{ds(on)}(5V)$ et $R_{ds(on)}(6V)$ est inférieure à 10 % pour $I_{ds} < 100A$. A 150°C, cette différence est inférieure à 10% pour $I_{ds} < 40A$. De façon plus générale, la plupart des transistors de puissance peuvent se commander avec des V_{gs} légèrement inférieurs au V_{gs} nominal à condition que le courant de charge ne soit pas trop élevé (valeur à déterminer en fonction des datasheets et de la technologie du composant). Par la suite, nous considérerons que les transistors EPC et GaN System peuvent se commander en 5V jusqu'au courant nominal. Entre 3 et 5V, la valeur de courant maximale pour laquelle l'influence de V_{gs} reste négligeable est à déterminer suivant la datasheet du transistor considéré.

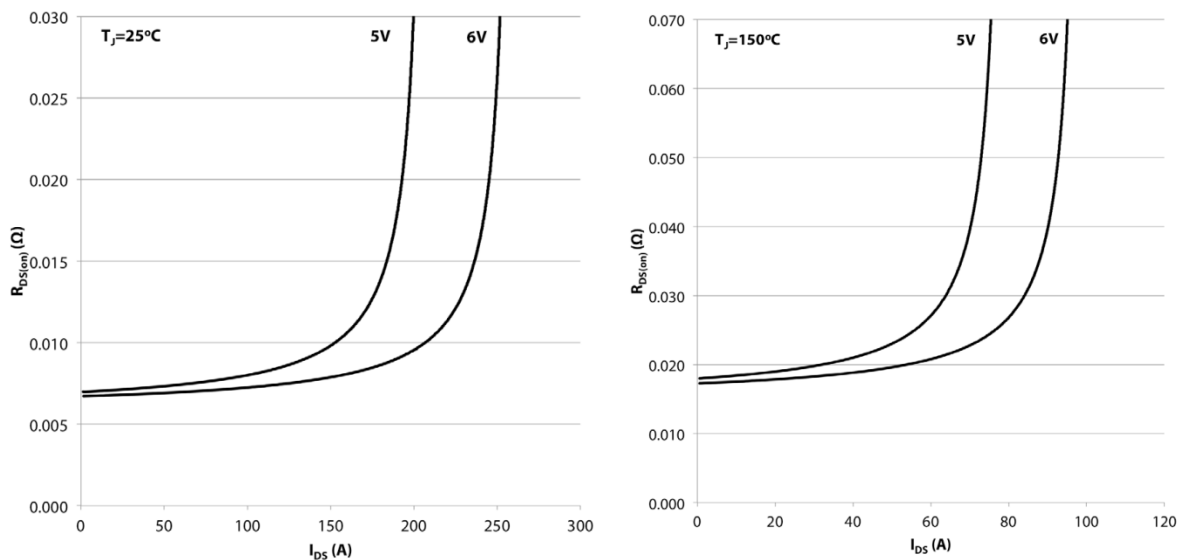


Figure 1-6 : Caractéristiques $R_{ds(on)}$ – I_{ds} du GS61008P, pour $T_j=25^\circ\text{C}$ et 150°C

III. Positionnement de la commande optique

III.1. Description du système

Dans cette thèse, nous proposons de réaliser l'isolation galvanique entre la commande éloignée et la commande rapprochée par voie optique. L'isolation optique est réalisée à la fois pour le signal de commande et pour l'alimentation du gate driver, de préférence via une fibre optique. L'hypothèse de départ est que l'isolation par fibre optique offre le plus fort niveau d'isolation galvanique, en statique et en dynamique (capacités parasites potentiellement réduites au minimum). Le problème de l'isolation ne se situerait « plus que » dans le packaging des modules, qui peut ramener des capacités parasites, via les refroidisseurs par exemple.

Des solutions d'isolation optique (puissance + commande) existent dans la littérature (Zhang et al., 2016a ; Fujita, 2013) et pour des applications de forte puissance (Schulze et al., 2003). L'incrément de la solution optique développée dans cette thèse et dans (Le, 2015 ; Vafaei, 2014) est l'intégration des fonctions de réception optique (signal + puissance) et des fonctions de commande rapprochée au sein d'un même circuit intégré. Ceci permet l'utilisation de ce système pour un large spectre d'applications, des petites puissances (faible tension mais commutations très rapides) aux applications forte puissance (forte tension, commutation assez rapide). Le schéma du système est présenté sur la Figure 1-7:

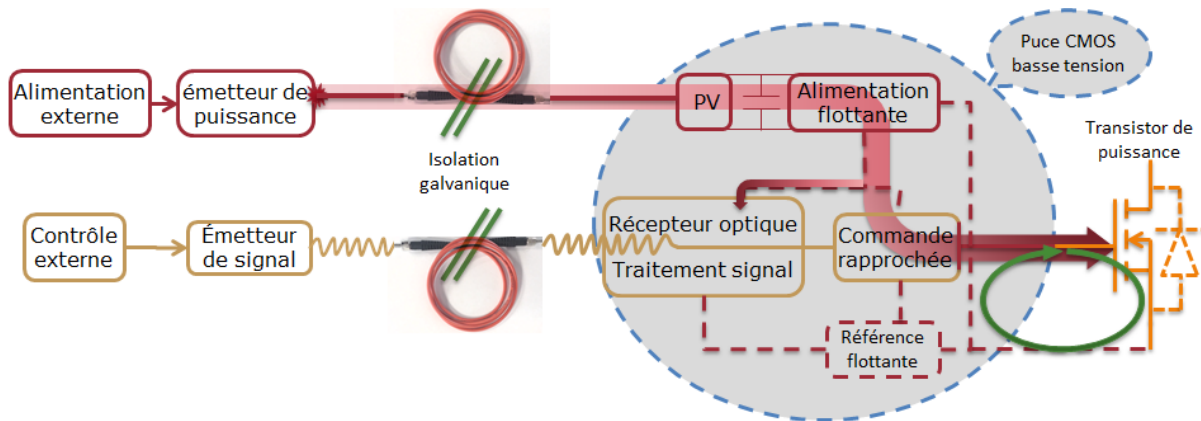


Figure 1-7 : Schéma de principe de la solution optique

Les avantages de ce système sont : le fort niveau d'isolation galvanique, l'intégration de la puce réceptrice, la réduction de l'impédance de la boucle de commande, le faible coût de la puce de commande. Les inconvénients sont : le coût additionnel de la fibre optique, la large plage de température opérationnelle due à la proximité entre transistor de puissance et puce de commande, l'alignement entre fibre et récepteur. Dans le cadre d'une alimentation optique, il faut ajouter des contraintes en termes de puissance consommée (déterminant pour la taille de l'émetteur externe) et des variations de la tension du récepteur PV avec la température.

Dans les trois parties suivantes, cette solution optique sera comparée à l'état de l'art du point de vue du transfert du signal, de l'alimentation et du niveau d'isolation galvanique.

III.2. Transfert du signal vs isolation galvanique

Le signal de commande venant du contrôle externe doit être transmis au transistor de puissance avec le moins de délai possible. On distingue 2 types de perturbations temporelles pour le contrôle-commande, le retard pur, qui constitue un délai fixe quelles que soient les conditions d'opération, et les variations du délai (« delay mismatch ») avec les conditions d'opération telles que, par exemple, la température, la tension d'alimentation, la fréquence d'opération, la charge de grille ou encore le routage. Le retard pur n'est pas forcément problématique s'il est possible de le prendre en compte dans le contrôle-commande mais il

doit toutefois être le plus faible possible. Les variations de délai ont un impact sur les temps morts (introduits pour éviter tout risque de court-circuit), puisqu'il faut prendre en compte toutes les conditions de fonctionnement (notamment la température).

Les fabricants de gate driver n'ont pas tous les mêmes définitions pour le délai de propagation et les différences de délais. Ainsi, des constructeurs comme « Texas Instruments » et « Analog Devices » définissent le temps de propagation comme le temps entre le basculement de l'entrée logique « IN » (front supposé raide) et 10% du front montant de sortie « OUT » ou 90% du front descendant. TI définit le temps de montée de 20% à 80% de la valeur finale et le temps de descente de 90% à 10% du temps de descente. AD définit ces temps de 10% à 90%. « Broadcom » (ex « Avago ») définit le temps de propagation comme le temps entre le basculement de « IN » et 50% de la sortie OUT. Il faut donc retrancher 40% du temps de montée ou descente aux délais indiqués par Broadcom pour pouvoir les comparer avec ceux de TI ou AD. Dans cette thèse, nous définirons le délai de propagation comme celui de TI ou AD et les variations de ce délai comme la différence entre le délai max et le délai min, sur une plage de température, de tension d'alimentation et de puissance optique incidente. L'émetteur externe est considéré à une température fixe, avec une alimentation précise, son influence est donc négligée par rapport au circuit récepteur (proche du transistor de puissance).

Pour transmettre un signal depuis un émetteur électrique vers un récepteur électrique avec une isolation galvanique entre les deux, il existe plusieurs techniques, le couplage magnétique (transformateur avec ou sans noyau), le couplage capacitif, la transmission RF, la transmission optique, et la transmission par magnéto-impédance géante (GMI). Indépendamment du support de transmission, le signal peut être modulé puis démodulé pour plus de robustesse aux perturbations extérieures. Parmi ces techniques, la transmission optique est particulière car elle fait intervenir l'effet photo-électrique qui n'est pas régi par les équations de Maxwell, ce qui n'est pas le cas des autres techniques (excepté l'effet GMI). La transmission optique a donc un plus fort potentiel d'immunité aux perturbations extérieures. Un compromis existe entre le niveau d'isolation, la puissance requise pour le transfert des signaux et la rapidité de transmission du signal. Nous avons comparé dans la

Table 1-3 plusieurs gate driver commerciaux et solutions de la littérature. Toutes les solutions n'ont pas le même niveau d'isolation galvanique et d'intégration, et nous disposons de relativement peu d'information sur les raisons de la puissance consommée mais il est quand même possible d'effectuer une comparaison des temps de propagation dans la mesure où les niveaux d'isolation sont relativement proches.

Table 1-3 : Comparaison de quelques solutions commerciales et académiques

	ADuM4121 (Analog Devices)	ACNU-3430 (Avago)	Si827x (SiLabs)	UCC21521 (Texas Instruments)	(Che et al., 2017)	(Nguyen, 2016)	(Le, 2015)	(Colin, Rouger, 2016)	(Colin, Rouger, 2017, 2016)
Type d'isolation	coreless	optocoupleur	capacitive	capacitive	Coupleur RF	coreless	Fibre optique	Fibre optique	Fibre optique
Délai max	53 ns	150 ns	75 ns	30 ns	20 ns	50 ns	22 ns + délai émetteur	25 ns	65 ns*
Différences de délais	13 ns	90 ns	47 ns	5 ns	?	30 ns	4 ns + Δ délai émetteur	5 ns*	7 ns*
CMTI	150 V/ns	100 V/ns	200 V/ns	100 V/ns	> 40V/ns	> 50V/ns	?	?	?
Consommation**	18 mW	45 mW	39.5 mW	10 mW	1 W	40 mW	4mW (récepteur)	4 mW (récepteur)	12 mW* (récepteur)
Température	-40 °C–125 °C	-40°C–110 °C	-40 °C–125 °C	-40°C–125 °C	< 100°C	< 225 °C	-40°C – 175 °C	-40°C – 150 °C*	-40°C – 150 °C*
Modulation	Analogique	Non	Analogique	Analogique	RF (2.4 GHz)	Analogique	Non	Non	Numérique

*théorique

**consommation hors charge de grille, comprenant la consommation de l'émetteur et du récepteur sauf indication contraire.

III.3. Alimentation isolée

Le gate driver du transistor high side doit être alimenté avec une isolation par rapport à la référence de la commande. Plusieurs techniques existent pour générer cette alimentation :

- L'auto-alimentation (Raonic, 1998 ; Mitova, 2005 ; Rouger, Crebier, 2008): Cette technique consiste à récupérer l'énergie de commande sur le circuit de puissance. Le besoin d'isolation est donc supprimé mais le circuit nécessite un composant qui tienne la tension de puissance (avec un courant faible par rapport à la puissance cependant). De plus, cette technique est dépendante du point de fonctionnement, elle est donc particulièrement bien adaptée au cas par cas. Cette vision s'oppose avec celle de l'industrie, qui cherche à proposer des solutions les plus larges possibles (pour pouvoir vendre le plus possible).
- L'alimentation Bootstrap (Fairchild, 2014) qui consiste à la charge d'une capacité flottante à partir d'une alimentation externe, suppose une diode qui tienne la tension de puissance. Cette alimentation n'a pas d'isolation galvanique.
- Convertisseur isolé : Cette solution est utilisée par les constructeurs (dont Murata et Traco). Elle permet un transfert de puissance indépendamment du point de fonctionnement côté puissance mais nécessite un transformateur d'isolement qui possède une capacité parasite.

Des comparaisons d'alimentations isolées sont effectuées sur la Table 1-4 suivante.

Table 1-4 : Comparaison d'alimentations isolées commerciales et de recherche académique

	Murata NXJ1S0505 MC	Traco TMV 1215SHI	Analog Devices ADuM6000	(Pan et al., 2016)	(Sun et al., 2016)	(Ishigaki et al., 2017a)	(Zhang et al., 2016b)	(Rouger, Le, et al., 2016)
Type d'isolation	convertisseur	convertisseur	convertisseur	Transfert sans fil	transfo	Optique	Optique	Optique
Puissance – Tension	1.0 W – 5 V	1.0 W – 15 V	0.4 W – 5 V	Up to 9.0 W – 5 V	2.0 W – 6 V	3.2 W – 12 V	3 W – 6 V	2.5 mW * – 4V
Niveau d'isolation	4.2 kV	5.2 kV	5 kV	50 kV (théorie)	2.5 kV	NC	> 20 kV	Infini ?
Capacité parasite	2.5 pF	7 pF	2.2 pF	1.72 pF	0.77 pF	1.6 pF	< 1 pF	~ 0
Rendement	73.5 %	79 %	30 %	90 %	74 %	85 %	25%	8%
Plage de température	-40 °C–85 °C	-40 °C–85 °C	-40 °C–105 °C		< 200 °C		NC	NC
								-40°C–225 °C

- *limité par le dispositif de test expérimental
- **rendement optique->électrique uniquement

Il faut noter que la solution optique développée dans cette thèse et (Le, 2015) est intégrée en technologie CMOS sans étape de fabrication supplémentaire, d'où le faible rendement. On voit bien le compromis entre le rendement de l'alimentation et le niveau d'isolation et la capacité parasite entre côtés puissance et commande.

III.4. Isolation galvanique de la solution optique

Des tests ont été menés pour déterminer l'immunité au dV/dt de la solution optique développée dans cette thèse. Dans un premier temps, le dispositif émetteur laser est en regard de la puce de test. L'alimentation est générée par des piles. Le dispositif est montré sur la Figure 1-8 a). Les tests sont effectués à l'IETR de Nantes, qui dispose d'un dispositif de génération des dV/dt contrôlable. La puce réceptrice subit le + du dV/dt . Le signal de sortie de cette puce est mesuré avec un oscilloscope sur batterie. Sur la Figure 1-8 b), le signal de sortie est observé pour un dV/dt appliqué de 200V en 6ns soit 33V/ns. On observe une perturbation du signal de sortie significative, ce qui montre une défaillance du système. Ce résultat était surprenant car la capacité parasite entre émetteur et récepteur était supposée faible ($<1pF$).

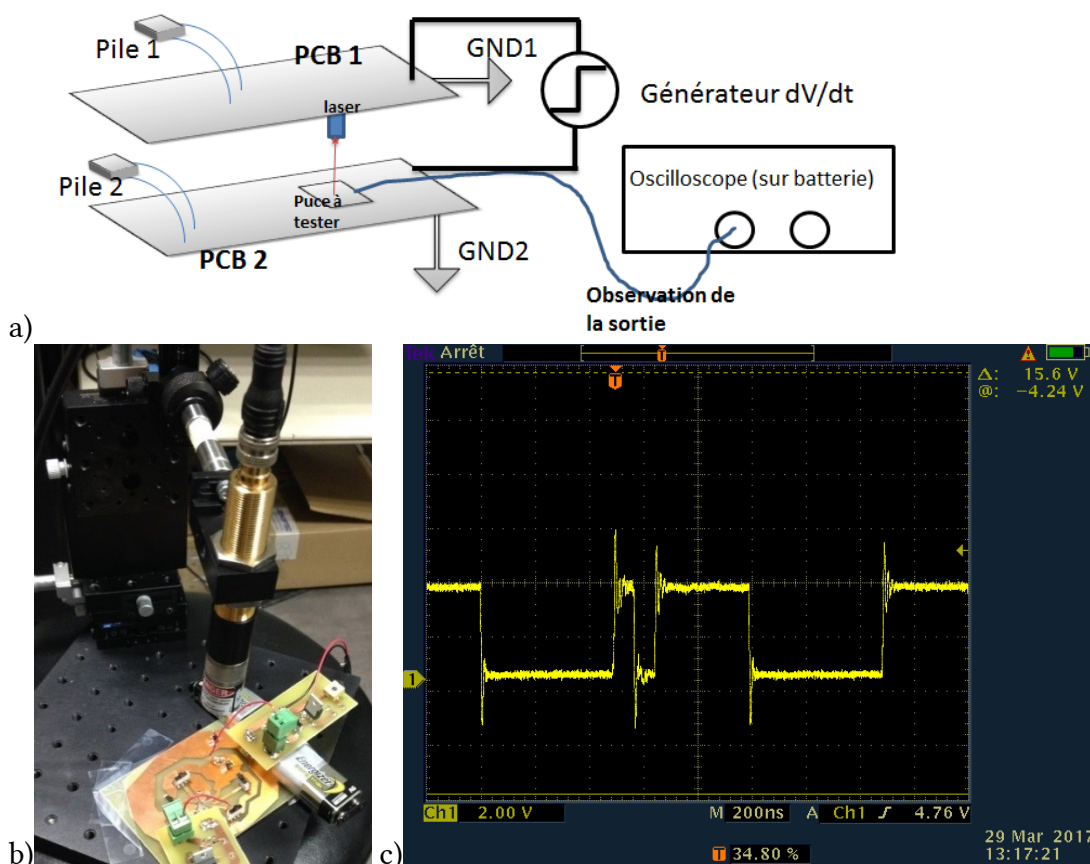


Figure 1-8 : Test de dV/dt réalisé à l'IETR de Nantes. a) schéma, b) photo du dispositif et c) image de l'oscilloscope du signal de sortie

Suite à ces tests, nous avons réalisé au G2Elab des tests avec une isolation par fibre optique entre émetteur et récepteur. La photo du dispositif est montrée sur la Figure 1-9. Avec une carte de génération de dV/dt réalisé par M. Van Sang Nguyen, nous avons généré un dV/dt de 30V/ns. Les résultats sont montrés sur la Figure 1-9. Une légère perturbation est observée sur le signal de sortie. En parallèle, une sonde d'oscilloscope court-circuitée a été placée à côté de la puce réceptrice. Au moment du dV/dt , une perturbation d'amplitude proche de celle du signal de sortie est observée. Nous pensons donc que cette perturbation est due à la mesure. Cependant, elle montre qu'il existe une perturbation par champ qui est peut-être à l'origine des défaillances observées à l'IETR de Nantes. Des tests complémentaires sont nécessaires pour pouvoir statuer sur l'origine des défaillances mais n'ont pas été réalisés à ce jour.

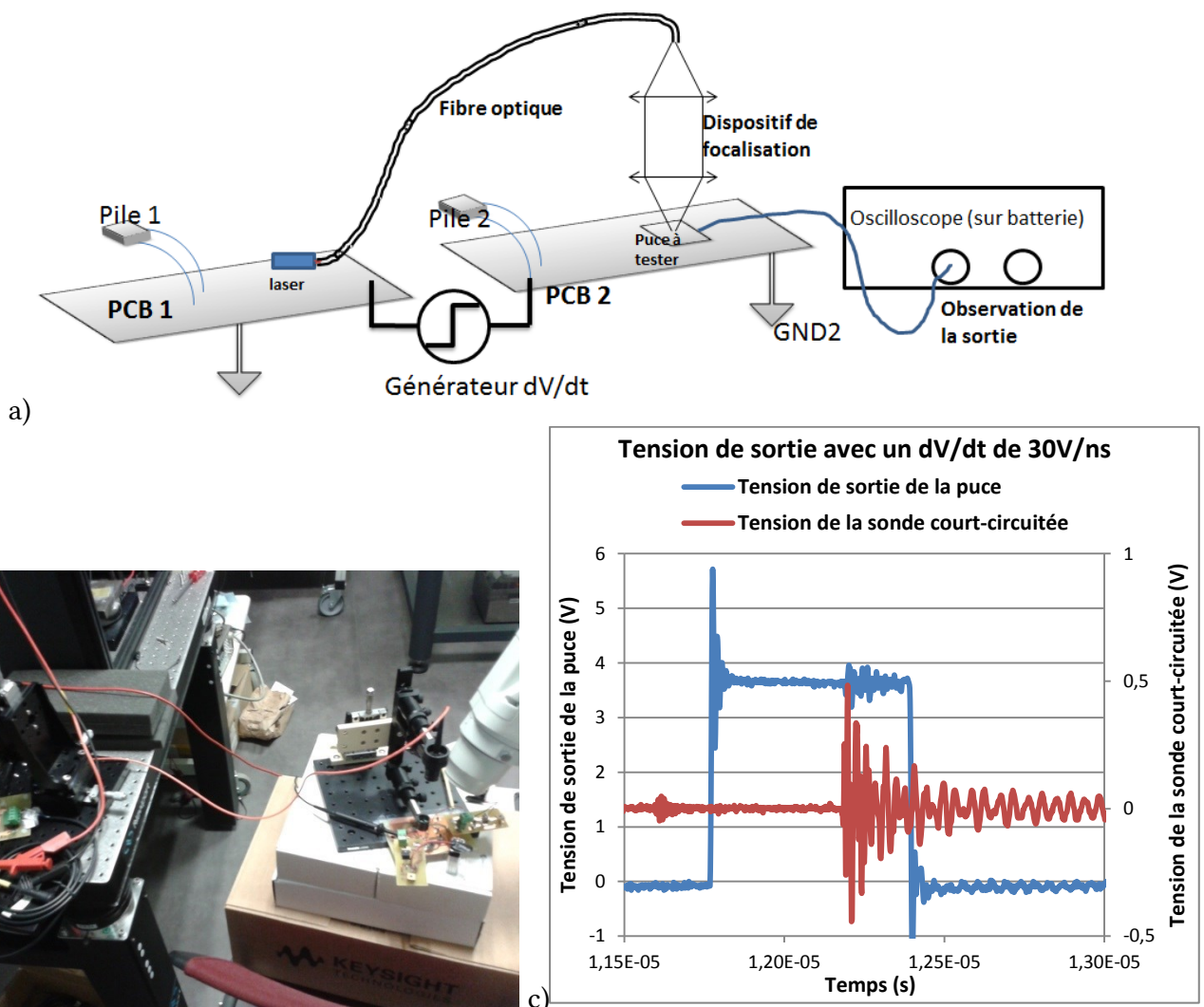


Figure 1-9 : Test de dV/dt avec isolation par fibre optique, réalisé au G2Elab. a) schéma, b) photo du dispositif et c) formes d'onde de sortie

IV. Intégration des fonctions de la commande rapprochée

IV.1. Technologie CMOS

La technologie CMOS est la base du marché de la microélectronique, qui représentait, en 2016, 282 milliards de dollars. Le modèle économique à l'origine de ce succès est la production à grande échelle des circuits intégrés. L'investissement de départ, très onéreux, qui comprend les équipements de fabrication, la fiabilisation des procédés, la caractérisation des fonctions élémentaires, le développement logiciel pour la simulation, est largement rentabilisé par le grand nombre de circuits fabriqués et le large spectre d'applications possibles. Mais la plus grande avancée réalisée par le secteur de la microélectronique reste la densité d'intégration des fonctions élémentaires, caractérisé par la loi de Moore. Dans cette thèse, nous souhaitons tirer parti de cette technologie pour intégrer les fonctions de la commande rapprochée et diminuer son coût de production. Pour cela, il faut utiliser uniquement les étapes de fabrication disponibles pour la technologie considérée. L'ajout d'une quelconque étape de fabrication supplémentaire est très onéreux et ne peut se justifier que sur des applications à grand volume de production (par exemple le secteur automobile, éventuellement).

En microélectronique, le paramètre majeur, spécifié dans le nom de la technologie, est la longueur minimale de grille, déterminante pour le nombre de transistors par unité de surface, la résistance à l'état passant et la capacité de grille d'un transistor. La miniaturisation de la longueur de grille va entraîner une tenue en tension plus petite. Pour choisir une technologie adaptée au gate driver, il faut prendre en compte cette longueur minimale de grille qui sera utile pour dimensionner un circuit de traitement du signal, mais il faut surtout s'assurer que des transistors avec des niveaux de tension compatibles avec le V_{GS} du transistor de puissance soient disponibles dans la technologie choisie. Ainsi, un grand nombre de technologies sont incompatibles. Pour accéder à une technologie à un prix de prototypage abordable, nous passons par un système de « circuit multi-projets » qui consiste à rassembler un grand nombre de circuits indépendants sur un même wafer. Les principales technologies qui peuvent correspondre au cahier des charges sont présentées sur la Table 1-5. Les paramètres considérés sont les transistors basses tensions (pour la rapidité du circuit électronique), les transistors haute tension (pour des V_{GS} de transistor de puissance élevés ou l'intégration d'un bras de pont basse tension au sein d'une puce), la densité de capacité (pour l'intégration du découplage, à 5V car toutes les technologies considérés possèdent des capacités 5V), la température (pour l'intégration au plus proche du transistor de puissance), le coût de prototypage et la possibilité de modules optiques avec traitement antireflet. On peut voir que toutes les technologies possèdent des points positifs et négatifs. Il faut donc trouver le meilleur compromis possible. Il est important de préciser

que le choix s'est effectué au début de la thèse et qu'il ne peut pas être remis en cause pendant la thèse pour des raisons logistiques (prise en main de la technologie, dimensionnement et layout qui prennent du temps). Le choix s'est principalement effectué entre les technologies XFAB XT018 et AMS 0.18 μm HV qui présentent beaucoup de points positifs. Il faut savoir que les précédents travaux de thèse sur ce sujet se sont effectués sur les technologies XFAB XT018 et AMS 0.35 μm HV. Le choix s'est finalement porté sur la technologie AMS 0.18 μm HV, qui présente des transistors rapides 1.8V, la possibilité de transistors 5V, 20V et 50V, ce qui permet la commande de la plupart des transistors de puissance, une bonne densité de capacité, une plage de température acceptable et un coût de prototypage abordable. De plus, elle permet d'alimenter le savoir-faire du laboratoire (car jamais utilisée auparavant), ce qui est aussi un inconvénient pour la prise en main. Elle ne possède pas de modules optiques, il faut donc les dimensionner sur mesure, avec toutefois un retour d'expérience des technologies XFAB XT018 et AMS 0.35 μm HV.

Table 1-5 : Comparaison de différentes technologies CMOS pour le circuit gate driver optique

technologie	AMS 0.35 μm (HV)	AMS 0.18 μm (HV)	XFAB SOI XT 0.18 μm	ST 0.16 μm BCD8s-SOI	AMS 0.35 μm opto	XFAB XO035 0.35 μm
BT	3.3V, 5V	1.8V, 5V	1.8V, 5V, 10V	1.8V, 3.3V, 6V	3.3V, 5V	3.3V, 5V
HV	20V, 50V	20V, 50V	40V, 60V, 100V, 140V, 200V	40V, 70V, 100V, 140V, 200V	Non	Non
Capacité 5V	0.86 nF/mm ²	4.1 nF/mm ²	6.6 nF/mm ²	2.67 nF/mm ²	1.25 nF/mm ²	2.5 nF/mm ²
Température	-40°C-125 °C	-40°C-150 °C	-40°C-175 °C	-40°C-175 °C	-40°C-125 °C	-40°C-125 °C
Coût via MPW*	850 €/mm ²	1200 €/mm ²	1615 €/mm ²	2800 €/mm ²	700 €/mm ²	NA
Modules optiques	Non	Non	Non	Non	Oui	Oui

*par exemple : CMP ou Europractice

La technologie AMS 0.18 μm HV (H18) possède des transistors 1.8V avec une tension de grille de 1.8V, des transistors Vds=5V et Vgs=5V, des transistors Vds=20V et Vgs=1.8V, 5V, ou 20V et des transistors Vds=50V avec Vgs=1.8V, 5V, ou 20V. Il existe à chaque fois des versions isolées de ces transistors (isolées par rapport au substrat). Les transistors avec Vgs=20V ou 50V sont indisponibles en circuits multi-projets. Il existe 6 niveaux de métallisation pour le routage, dénommés M1, M2, M3, M4, MT, AM. AM est appelé « top métal » et est 10 fois plus épais que les autres métaux. Les capacités 5V métal-isolant-métal (MIM) sont réalisées entre MT et un métal intermédiaire spécifique QT, relié à AM. Les capacités DUALMIM sont réalisées entre QT et MT, connecté avec un autre métal spécifique HT (QT se situe entre MT et HT). Tous les modèles de ces éléments de base sont disponibles dans des bibliothèques, avec un modèle « spectre » pour la simulation et un modèle de layout.

Ces modèles peuvent être partiellement paramétrés, avec une largeur W et une longueur L de transistor paramétrables (voir Figure 1-10). Sur la Figure 1-10, une vue en coupe des transistors MOS de base est représentée. Les caissons de source et drain sont réalisés en N+ et P+. Ces caissons sont contactés à M1 via un contact « CA ». Etant donné qu'il y a une distance minimale à respecter entre métaux M1, la grille est réalisée avec du polysilicium (PC) pour maximiser l'intégration. PC est ensuite contacté à M1 aux extrémités du transistor. M1, PC et CA sont générés automatiquement sur le layout. Il est possible de paramétrer la largeur de M1 quand cela est possible. En revanche, les reprises de bulk (« B ») ne sont pas gérées sur cette technologie. Il faut donc les dessiner et s'assurer qu'elles soient suffisamment proches du bulk (zone sous la grille). La plupart du temps, le bulk est relié à la source pour assurer le même potentiel entre les 2. Cependant, ce contact est résistif et peut être modélisé en simulation.

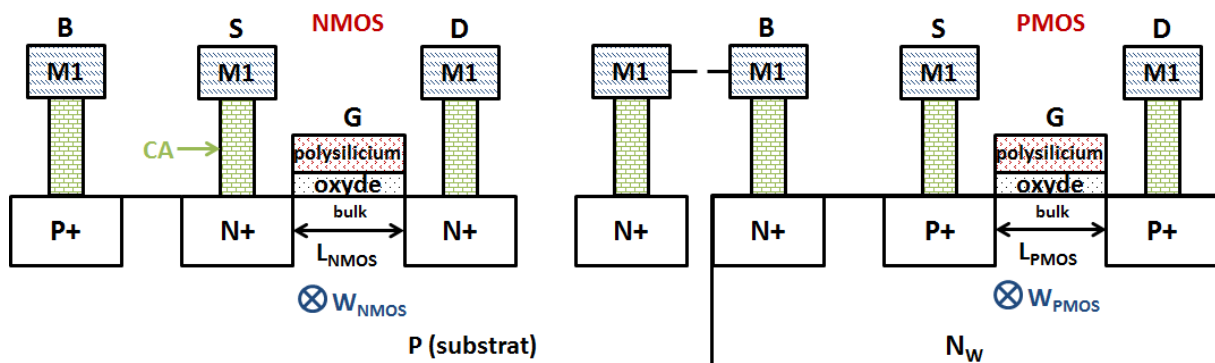


Figure 1-10 : Vue en coupe des transistors NMOS et PMOS de la technologie AMS 0.18 µm

Il existe également des bibliothèques complémentaires, notamment une bibliothèque de fonctions logiques, ce qui permet une conception et un routage plus faciles de circuits numériques. Une application de routage est disponible mais elle ne prend pas bien en compte les courants qui passent dans les métaux, ce qui est gênant pour des circuits dédiés à l'électronique de puissance. Tous les routages seront donc effectués « à la main ».

Le logiciel utilisé est Cadence Virtuoso. Il comprend un environnement de conception schématique « Schematic Editor », un environnement de simulation « ADE (Analog Design Environment) » et un environnement de routage « Layout ». Les fichiers sont gérés via le « Library Manager ». Une simulation est lancée à partir d'un fichier de schématique (qui peut être un schématique conçu par l'utilisateur ou extrait d'un layout). ADE est divisé en 3 parties. Une partie de définition des paramètres, tout peut être paramétré, les caractéristiques des transistors, la température ou encore les temps de simulation. Une partie de définition de la simulation, type de la simulation (transitoire, DC, AC, etc.), précision (« accurate », « moderate » ou « liberal »), limites de simulation. Une partie de définition des variables de sortie, par exemple une tension, un courant, ou une expression

mathématique (pour le calcul de puissance, délai, fréquence, etc.). Les formes d'ondes peuvent être observées par « visualization and analysis ». Virtuoso Layout permet d'importer les layouts des différents composants du schématique lorsque ceux-ci sont disponibles. Le placement et le routage sont effectués par l'utilisateur. Des outils complémentaires permettent la vérification des règles de dessin (DRC) et la vérification de l'égalité entre le layout et le schématique (LVS). Deux suites de logiciels, « Assura » et « Calibre », ont été utilisées. Des impressions écran des différents environnements sont présentées en Chapitre 3 Annexe I-A.

Deux versions de puce ont été fabriquées lors de cette thèse. Une photo de la 2nde version est montrée sur la Figure 1-11, avec l'indication du nom des différentes fonctions.

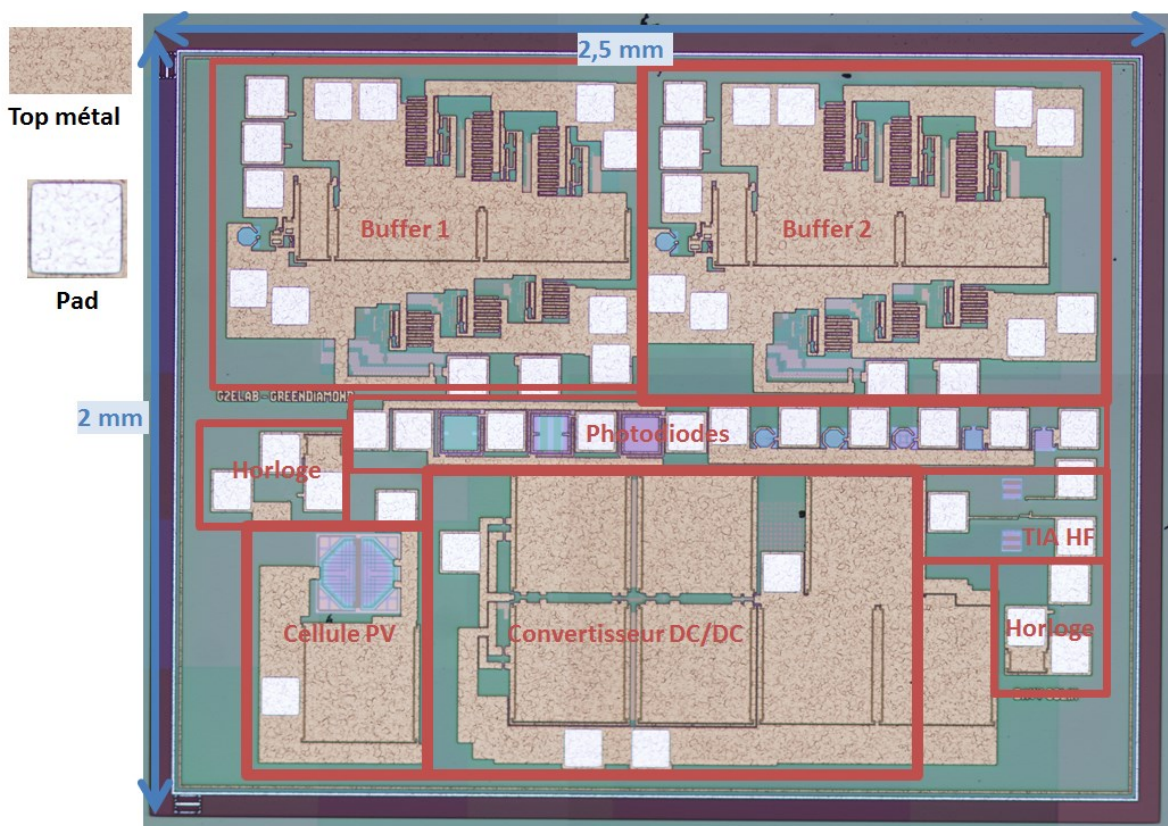


Figure 1-11 : Photographie au microscope de la 2nde version de puce fabriquée en technologie AMS 0.18 µm

IV.2. Intégration des fonctions optiques en technologie CMOS standard

IV.2.1 Rappels sur l'interaction lumière - matière

Un rayonnement électromagnétique peut être représenté de façon équivalente par une onde ou un photon. Le photon permet de quantifier l'énergie E du rayonnement, qui est

relié à la longueur d'onde λ par la relation $E = h \cdot c / \lambda$, où c est la vitesse de la lumière et h la constante de Planck.

Dans un cristal, l'énergie des électrons est quantifiée suivant des bandes d'énergie autorisées. Les électrons se répartissent donc sur des couches successives. Plus les couches sont éloignées, plus un nombre important d'électrons peuvent les occuper. La dernière couche complètement remplie est appelée bande de valence. La suivante est appelée bande de conduction. Un conducteur possède des électrons sur sa bande conduction, contrairement à un isolant. Un semi-conducteur est un isolant, dont la différence d'énergie entre la bande de conduction et la bande de valence (appelée « gap ») est assez faible pour autoriser, sous certaines conditions, le passage d'un électron de la bande de valence vers la bande conduction.

Lorsqu'un rayonnement atteint un semi-conducteur, soit l'énergie E_λ de ce rayonnement est plus grande que le gap E_G et le rayonnement est absorbé, soit $E_\lambda < E_G$ et le rayonnement est diffusé (avec ou sans pertes). Pour le silicium, la longueur d'onde critique se situe autour de 1100 nm. A noter que, dans le cas $E_\lambda > E_G$, l'énergie $E_\lambda - E_G$ est dissipée sous forme de chaleur. Pour $\lambda \approx 550$ nm, il y a autant d'énergie utile que d'énergie dissipée.

Un rayonnement électromagnétique possède une certaine profondeur de pénétration dans un milieu, qui dépend de la longueur d'onde. Ainsi, tout le rayonnement n'est pas absorbé en surface du semi-conducteur. Sur la Figure 1-12, la profondeur de pénétration de la lumière dans le silicium est présentée. Pour une longueur d'onde λ de 400 nm, la profondeur de pénétration est de 100 nm tandis qu'à $\lambda=800$ nm, elle est de 10 μm . Il faut noter que le coefficient d'absorption dépend de la température.

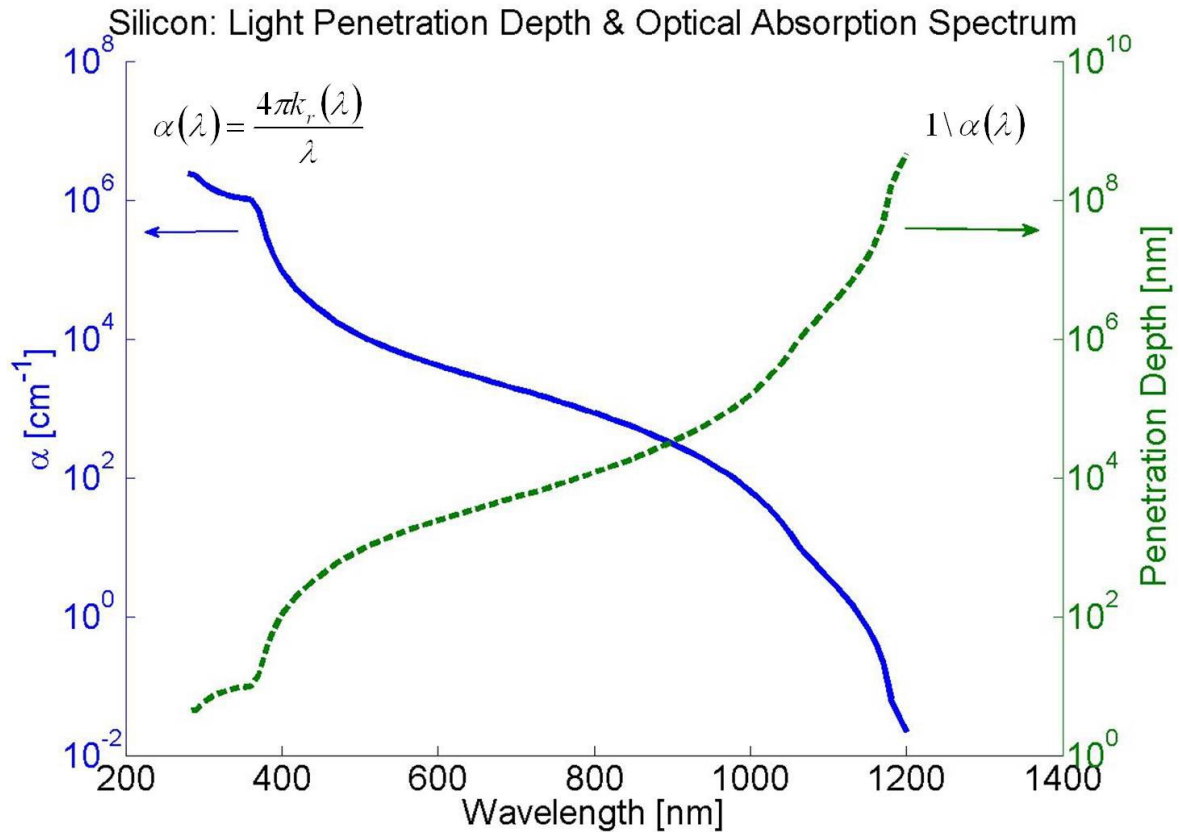


Figure 1-12 : coefficient d'absorption du silicium en fonction de la température (Vafaei, 2014)

Ainsi, pour une photodiode donnée (avec un dopage et une profondeur donnés), la réponse spectrale (courant généré pour une certaine puissance optique incidente) présente un maximum qui n'est pas forcément à 1100 nm (si la profondeur est plus faible, tous les porteurs ne seront pas absorbés). Un exemple est montré sur la Figure 1-13 avec une photodiode développée par XFAB (XFAB, 2010b). A $\lambda < 400$ nm, les porteurs sont générés en surface et des effets de recombinaisons en surface diminuent la réponse de la photodiode. Ensuite, la réponse augmente linéairement, il faut de moins en moins de puissance optique pour générer le même nombre de porteurs. La caractéristique réelle s'éloigne de la caractéristique idéale car de plus en plus de porteurs sont générés hors de la photodiode. Puis la profondeur de pénétration augmente de façon plus sévère, ce qui fait diminuer la réponse jusqu'à 0, où presque tous les porteurs sont générés en dehors de la photodiode, alors que la longueur d'onde reste inférieure à la longueur d'onde critique de 1100nm.

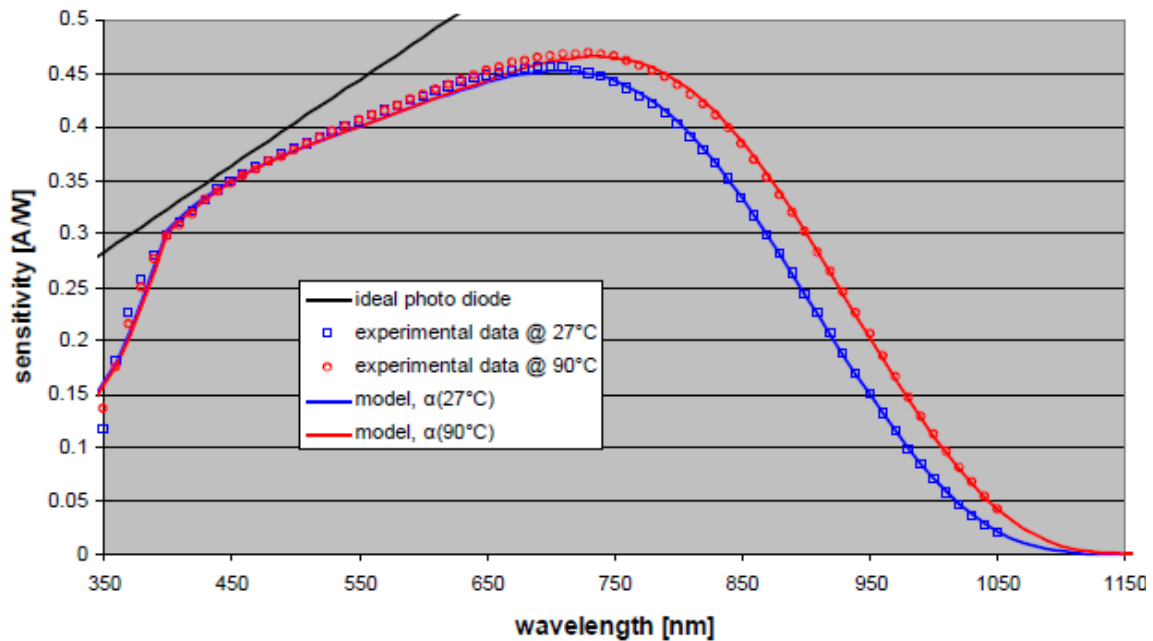


Figure 1-13 : Exemple de réponse spectrale pour une photodiode XFAB

Le dopage N d'un semi-conducteur consiste à insérer un atome qui a un plus grand nombre d'électrons de valence que l'élément constitutif du réseau cristallin (Phosphore ou Arsenic pour le silicium). Ainsi des électrons supplémentaires sont introduits, faiblement liés au réseau cristallin, donc sur la bande de conduction à partir d'une certaine température. L'électron est libre et laisse derrière lui une charge positive fixe. Le dopage P est l'inverse, il consiste à introduire un atome qui a moins d'électrons de valence (Bore pour le silicium), ainsi une absence d'électrons peut circuler librement au sein du cristal (on parle de trou) et laisse derrière elle une charge négative fixe. Un rayonnement de longueur d'onde suffisante va arracher un électron covalent du réseau cristallin vers la bande de conduction. Cet électron va laisser derrière lui un trou. On parle de création d'une paire électron - trou. Dans une zone P, l'électron peut se recombiner avec un trou et dans une zone N, le trou peut se recombiner avec un électron.

Lors de la création d'une jonction PN, une zone de charge et d'espace (ZCE) apparaît au niveau de cette jonction. Les électrons libres de la zone N, en forte concentration, vont diffuser vers la zone P où la concentration d'électrons libres est très faible. De même, les trous de la zone P diffusent vers la zone N. Ceci va induire une charge locale au niveau de la jonction, négative côté P et positive côté N. Un champ électrique orienté de N vers P est donc créé et s'oppose à la diffusion des électrons de N vers P et des trous de P vers N. A l'équilibre thermodynamique, le courant de diffusion est égal au courant de dérive (induit par le champ E). On peut montrer (approximation de Boltzmann) que l'équilibre de ces 2 contributions reste vrai lorsqu'une tension extérieure est appliquée. On a par exemple pour la zone N, $j_n = q \cdot D_n \cdot \frac{dn}{dx} + q \cdot n \cdot \mu_n \cdot E \approx 0$. Notons que $q \cdot n \cdot \mu_n$ peut être définie comme

la résistance du semi-conducteur (côté N), elle dépend du niveau de dopage et de la mobilité. Dans le silicium, la mobilité des électrons est environ 3 fois supérieure à la mobilité des trous. On peut montrer (Bonnaud, 2003), en négligeant les effets de génération/recombinaison, que l'équation de la densité de courant de la jonction PN est la suivante :

$$J_F = J_\sigma \cdot \left(\exp\left(\frac{q \cdot V_F}{k \cdot T}\right) - 1 \right), J_\sigma = q \cdot D_n \cdot \frac{n_i^2}{W_p \cdot N_A} + q \cdot D_p \cdot \frac{n_i^2}{W_n \cdot N_D}$$

avec $N_{A,P}$, les niveaux de dopage, $W_{n,p}$, les largeurs des côtés n et p, $D_{n,p}$, les constantes de diffusion des électrons et des trous et n_i , la concentration intrinsèque

Lorsqu'un rayonnement, atteint une jonction PN, on distingue trois contributions. Dans la zone N, les trous, minoritaires, vont diffuser vers la ZCE pour finalement être éjectés vers la zone P. Dans la zone P, ce sont les électrons, minoritaires, qui vont diffuser vers la ZCE pour être éjectés vers la zone N. Dans la ZCE, les trous et les électrons photo-générés sont immédiatement éjectés vers respectivement la zone P et la zone N. Le courant de la jonction PN peut se mettre sous la forme suivante :

$$J_F = J_\sigma \cdot \left(\exp\left(\frac{q \cdot V_F}{k \cdot T}\right) - 1 \right) - J_{ph}$$

Où J_{ph} est la densité de courant photo-généré. On peut alors distinguer deux modes d'opération :

- $V_F < 0$, la jonction PN est en mode « photodétecteur » et $J_F \approx -J_\sigma - J_{ph}$. Pour éviter de générer des trop grandes valeurs de J_{ph} , J_σ doit être le plus faible possible. Il faut noter que le terme J_σ dépend de la température de façon exponentielle (n_i^2 dépend de la température de façon exponentielle). Plus la température augmente et plus J_σ sera élevée.
- $0 < V_F < V_{OC}$ où $V_{OC} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{J_{ph}}{J_\sigma} + 1\right)$. La jonction PN est en mode photovoltaïque (PV). On voit que pour maximiser la puissance reçue, il faut maximiser V_{OC} et donc minimiser J_σ également. La variation de V_{OC} avec la température n'est pas évidente mais nous verrons par la suite que V_{OC} diminue lorsque la température augmente, ce qui signifie que la contribution (dépendante de la température) apportée par J_σ est plus importante (Singh, Ravindra, 2012).

Pour diminuer J_σ , on préférera augmenter la largeur $W_{n,p}$ des zones N et P plutôt que d'augmenter le niveau de dopage, car 2 phénomènes sont à prendre en compte dans ce dernier cas :

- L'augmentation du niveau de dopage a pour conséquence la diminution de la durée de vie des porteurs de charge minoritaires notamment à cause du mécanisme de recombinaison Auger (Sze, 2002 ; Daanoune, 2015). Ceci est particulièrement gênant pour le mode PV car les porteurs photo-générés risquent de ne pas contribuer au courant de la cellule et le rendement en sera fortement dégradé.
- Un niveau de dopage élevé entraîne une largeur de ZCE faible. Ainsi, la capacité de la photodiode est plus élevée (pour une surface donnée), ce qui pose problème pour le photodétecteur (voir chapitre 3). De plus, les porteurs générés dans la ZCE ont une contribution très rapide, il y a donc intérêt à avoir une large ZCE pour avoir un détecteur rapide.

IV.2.2 Conception des photodiodes en technologie CMOS AMS 0.18µm

En technologie AMS 0.18µm HV, plusieurs couches N et P sont disponibles pour réaliser des photodiodes, avec des profondeurs et des résistances spécifiques différentes. Elles sont récapitulées dans la Table 1-6, avec pour référence la couche N-well (les données absolues étant confidentielles) :

Table 1-6 : résistances et profondeurs des couches de la technologie AMS 0.18 µm

Nom	N+	P+	N-well	P-well	Deep Nw	Deep Pw	substrat
Profondeur	$\approx P_{NW} / 5$	$\approx P_{NW} / 8$	P_{NW}	$\approx P_{NW}$?, $> P_{NW}$	$\approx P_{NW}$	$\gg P_{NW}$
R\square	$\approx \rho_{NW} / 60$	$\approx \rho_{NW} / 60$	ρ_{NW}	$\approx \rho_{NW}$?, $> \rho_{NW}$	$\approx \rho_{NW}$?

A noter que la couche N-well a une profondeur de l'ordre de 1 µm et une résistance carrée de l'ordre de quelques ohms. Malheureusement, toutes les données ne sont pas disponibles dans les documents de la technologie.

Pour le dimensionnement de la photodiode de signal, un compromis existe entre la rapidité de la photodiode, liée à la distance que doivent parcourir les porteurs de charges pour atteindre la ZCE et la réponse spectrale (exprimée en ampères générés / Watts fournis), liée au nombre de porteurs collectés. Nous avons choisi la diode Nw/Psubstrat car la profondeur de la couche N-well est suffisante pour des longueurs d'onde entre 450 et 600 nm (voir Figure 1-12). Il est difficile de préjuger de la rapidité de la photodiode mais nous avons supposé qu'elle était suffisante. Plusieurs techniques existent pour améliorer la rapidité, pour une jonction donnée, avec différentes géométries.

Une première technique consiste à diviser la photodiode en « doigts », comme indiqué sur la Figure 1-14. L'objectif est d'augmenter le volume de la ZCE. Pour cela il faut que l'épaisseur d'un doigt P soit inférieure ou égale à 2 µm. On note un deuxième avantage qui

est la multiplication de reprise de contact (P+) du substrat. Ceci permet de diminuer la résistance de la partie P (idem pour la partie N mais dans une moindre mesure). Cette technique sera plus efficace pour les courtes longueurs d'onde car les distances sont réduites pour les porteurs générés au niveau du N-well, il y a peu de changement pour les porteurs générés dans le substrat, en profondeur.

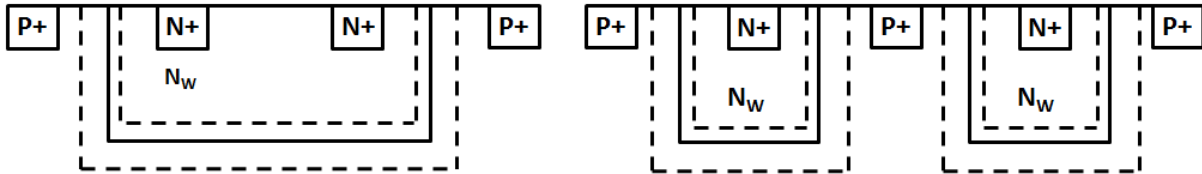
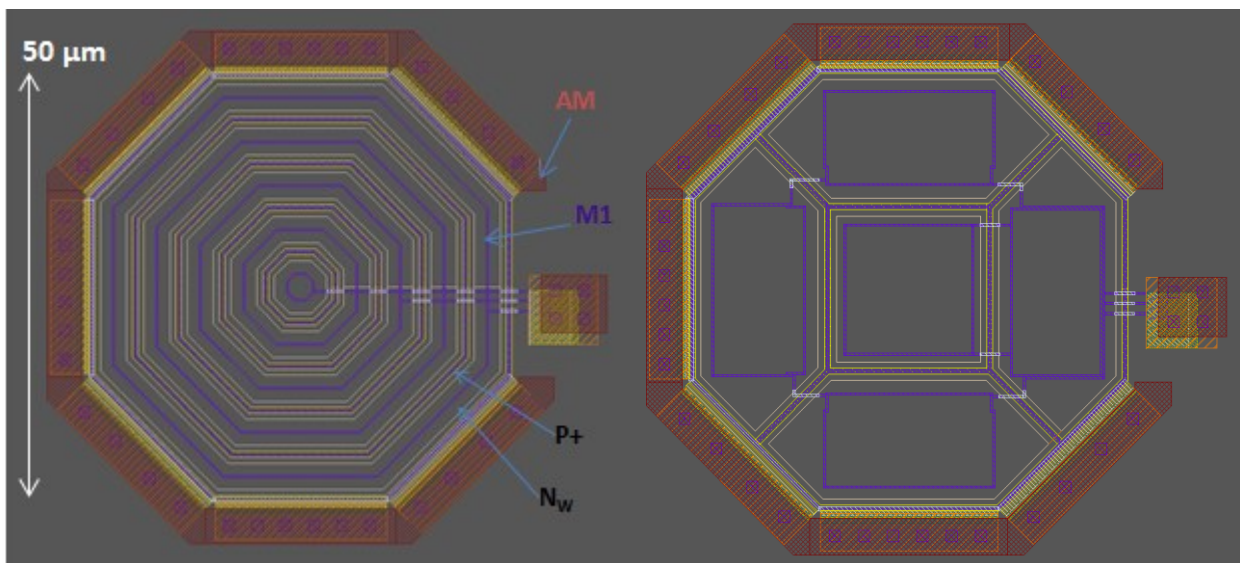


Figure 1-14 : Illustration de la décomposition d'une photodiode en doigts

3 exemples de layout sont montrés sur la Figure 1-15, une photodiode avec un maximum de doigts possible, une photodiode divisée en 5 zones et une photodiode sans doigts. Différentes photodiodes ont été conçues car les doigts augmentent la surface de métallisation, augmentent les effets de recombinaison par les couches P+ et N+, et donc diminuent potentiellement la réponse spectrale.



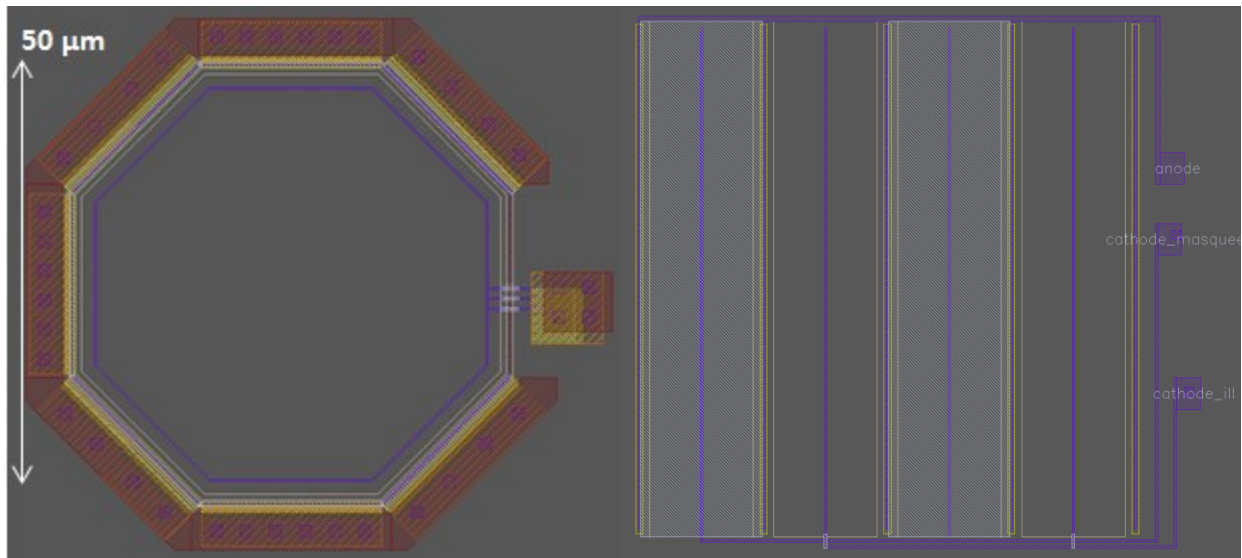


Figure 1-15 : Layout des différentes photodiodes conçues en technologie AMS 0.18 µm

Pour augmenter encore la rapidité des photodiodes, il faut s'affranchir des porteurs générés en profondeur, qui mettent du temps à diffuser vers la ZCE. On appelle ces porteurs « porteurs lents ». Une seconde technique de conception consiste à diviser la photodiode en une partie illuminée et en une partie ombragée. On appelle ce type de photodétecteur « SML » (pour Spatially modulated Light) (Coppee et al., 1998 ; Genoe et al., 2001 ; Kuijk et al., 1998). Le schéma de principe est montré sur la Figure 1-16. A l'instant T_0 , la lumière est envoyée sur le détecteur et des paires électron-trou sont générées sur la partie non métallisée. Sur la Figure 1-16 sont représentés les porteurs minoritaires qui vont être éjectés de la ZCE ou diffuser vers la ZCE. Les porteurs générés dans le substrat vont avoir 2 directions de diffusion privilégiées, vers la ZCE et vers la partie ombragée, en déficit de porteurs minoritaires. A l'instant T_F , la lumière est arrêtée et les porteurs rapides ont contribué au courant photo-généré. Il ne reste que les porteurs lents qui, sous hypothèse d'une parfaite symétrie entre partie illuminée et partie ombragée, ont diffusé en égale proportion vers la jonction illuminée et la jonction ombragée. Pour éliminer la contribution des porteurs lents, il suffit donc de soustraire au courant de la jonction illuminée le courant de la jonction ombragée. Ceci s'effectue au moyen d'un circuit électronique décrit dans le chapitre 3. Il faut noter que l'utilisation de ce type de détecteur augmente la bande passante à condition que celle-ci ne soit pas limitée par ailleurs par la partie électronique, et même dans ce cas, la réponse spectrale est réduite de façon assez importante. Un exemple de layout est présenté sur la 4^e photodiode de la Figure 1-15. La partie ombragée est masquée par le métal M2, le plus proche du semi-conducteur après M1 (déjà utilisé pour les contacts électriques).

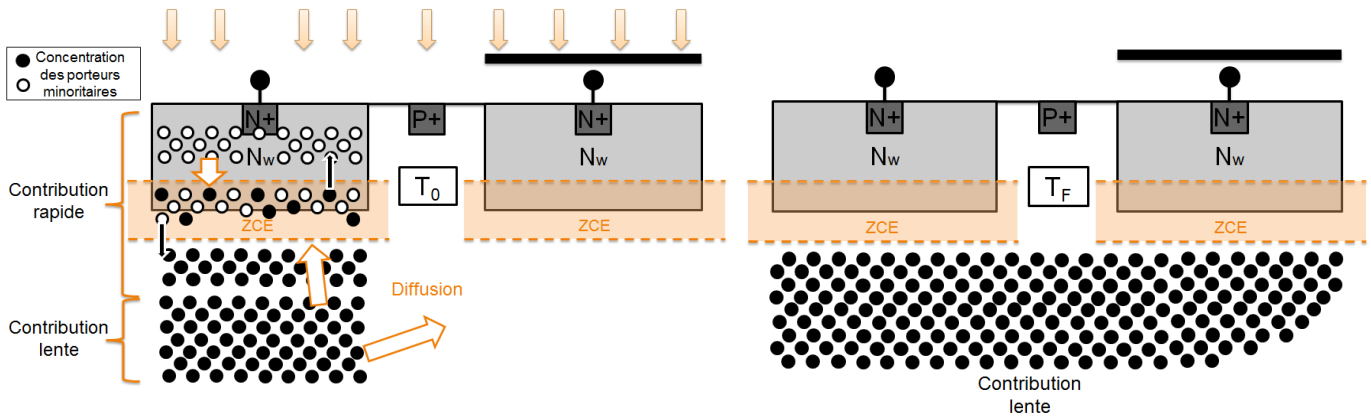


Figure 1-16 : Schéma de principe des détecteurs optiques SML, à gauche au temps initial T_0 et à droite au temps final T_F .

IV.2.3 Caractérisation des photodiodes

Les photodiodes ont été caractérisées en fonction de la longueur d'onde. On appelle réponse spectrale d'une photodiode, le courant photo-généré par cette photodiode divisé par la puissance optique incidente à cette photodiode. Dans cette thèse, les photodiodes (en mode photorécepteur) ont été dimensionnées avec un diamètre de $50\ \mu\text{m}$ pour minimiser la capacité de la photodiode, contre $100\ \mu\text{m}$ et $200\ \mu\text{m}$ dans la thèse de Thanh Long LE (Le, 2015). Ce diamètre pose des difficultés de focalisation de la lumière. Le dispositif de test est décrit en Figure 1-17 :

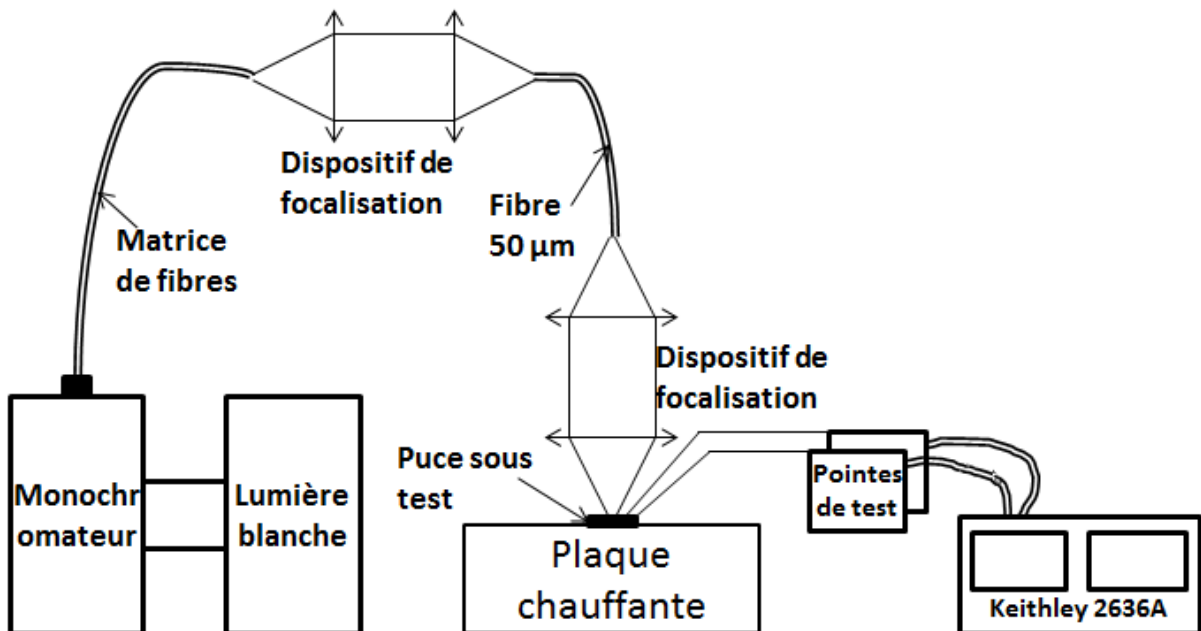


Figure 1-17 : Schéma du dispositif de caractérisation de la réponse spectrale des photodiodes

La lumière est générée par une lampe de lumière « blanche » de 150W qui est ensuite filtrée par un monochromateur avec une bande passante de $10\ \text{nm}$. Cette lumière est ensuite

collectée par une matrice de fibres optiques (regroupées dans un même câble), pour adapter la fente de sortie rectangulaire du monochromateur vers une répartition circulaire. En sortie de ce faisceau de fibre, la lumière est projetée à l'infini par une lentille de courte focale, puis focalisée par une autre lentille. L'ensemble constitue un dispositif de focalisation. Au point focal, la lumière est collectée dans une fibre de 50 μm , agissant comme un filtre spatial et ensuite refocalisée dans un second dispositif de focalisation à faible dispersion chromatique. La puce réceptrice est placée en sortie de ce dispositif.

Etant donné que la taille de l'image lumineuse en sortie du dispositif de focalisation ne peut pas être plus petite que la taille de l'objet lumineux à l'origine de cette image, la taille du faisceau lumineux au niveau de la photodiode testée est théoriquement de 50 μm minimum. Dans la pratique, il est quasiment impossible d'obtenir une telle taille car il faudrait pour cela avoir un alignement parfait. Les résultats de la réponse spectrale sont donc donnés en valeur relative (par rapport à la valeur maximale, en fonction de la longueur d'onde, pour chaque photodiode), la valeur absolue n'étant pas suffisamment précise pour en tirer des conclusions fiables. Les résultats sont présentés sur la Figure 1-18. On voit que l'allure de la réponse est la même pour toutes les photodiodes, avec un maximum compris entre 450 nm et 550 nm. Les variations oscillantes sont dues aux réflexions de l'oxyde de protection de la puce.

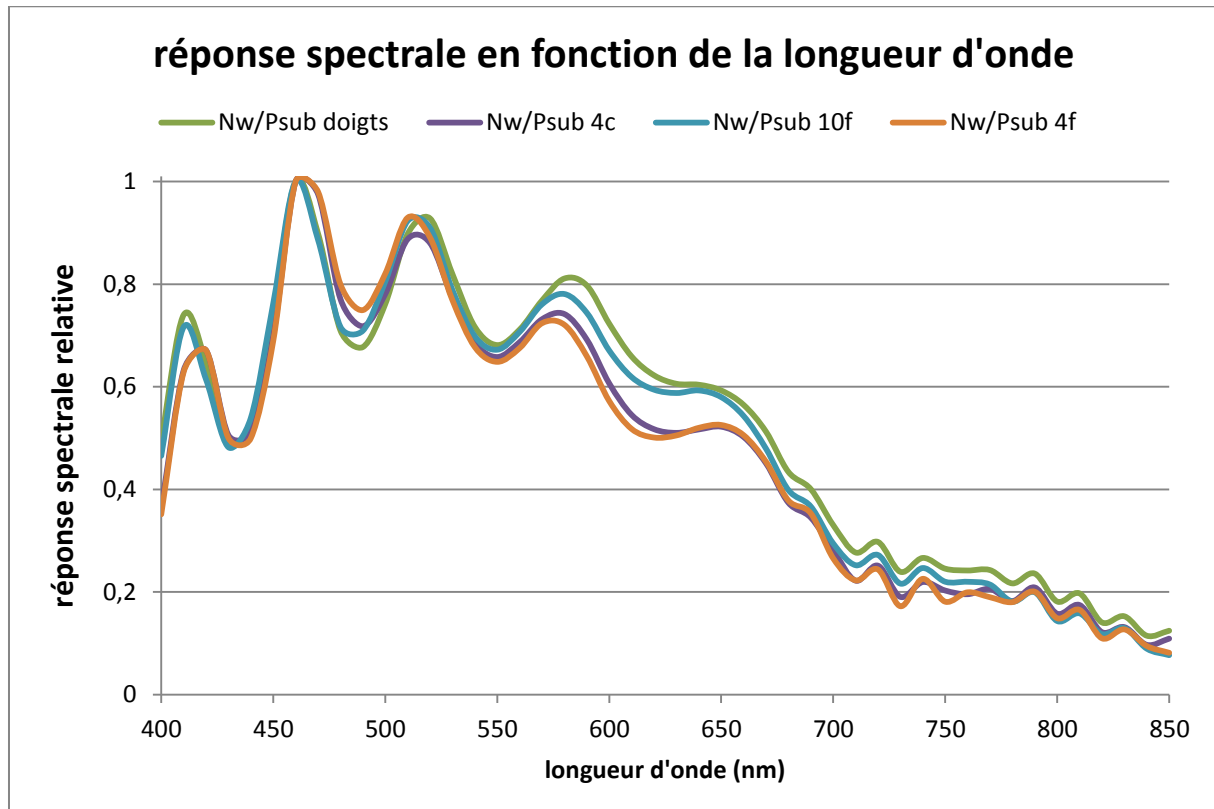


Figure 1-18 : Réponse spectrale relative en fonction de la longueur d'onde pour différentes photodiodes N_W/P_{SUB}

IV.3. Conclusion

Dans ce chapitre le contexte et les enjeux de l'électronique de puissance ont été présentés. La problématique de la commutation dure à forte vitesse de commutation a été abordée. La vitesse de commutation est déterminée par certains facteurs indépendants de la commande rapprochée (courant de charge, capacités parasites du transistor de puissance, inductance de maille de puissance, ...) et par des facteurs qui en dépendent directement (résistance de grille, inductance de maille de commande, ...). De plus, pour les transistors high side, une isolation galvanique est nécessaire entre puissance et commande.

Dans ce contexte, nous avons développé une solution de transmission des ordres de commande et de la puissance par voie optique, avec intégration des fonctions de réception optique et de commande rapprochée au sein d'une puce CMOS, fabriquée en technologie AMS 0.18 μ m HV. Les performances obtenues et l'intégration des fonctions optiques ont été discutées.

Le système développé a de bonnes performances en termes de temps de propagation par rapport à l'état de l'art. Cependant, le niveau de rendement de l'alimentation optique reste faible et l'immunité au dV/dt doit être analysée de façon complémentaire. Ces problèmes sont cependant à relativiser compte tenu de l'intégration de toutes les fonctions dans un circuit intégré de 2 mm². Dans les 2 prochains chapitres, le détail des solutions développées sera abordé. Le chapitre 2 traitera de l'alimentation par voie optique et le chapitre 3 portera sur le transfert du signal optique.

Chapitre 2 : Charge de la grille et alimentation optique intégrées en technologie CMOS

I. Introduction

Dans ce chapitre, la transmission des charges nécessaires à la commutation d'un transistor de puissance sera abordée. Cette transmission doit comporter une isolation galvanique pour la commande de transistors dont l'électrode de référence n'est pas référencée au même potentiel que celui de la commande dite éloignée. Dans cette thèse, cette isolation est réalisée par voie optique afin d'avoir la meilleure isolation possible en statique et en dynamique. Comme la plupart des transistors de puissance sont de type FET, il faut réaliser une conversion optique->électrique au sein de la puce de commande rapprochée. Cette conversion s'effectue en deux temps. Dans un premier temps, la puissance requise est transmise vers un détecteur optique en mode photovoltaïque, qu'on appellera cellule photovoltaïque (PV), et le potentiel est adapté par un convertisseur DC/DC au potentiel de grille requis par le transistor de puissance. Dans un second temps, la modulation de la charge de la grille doit être effectuée à partir du potentiel généré au sein de la puce de commande. Pour cela, un « buffer » ou amplificateur en courant sera dimensionné.

Le buffer dimensionné est configurable pour pouvoir adapter la valeur de résistance de grille et/ou la puissance dissipée au sein de la puce de commande. Deux versions ont été réalisées, l'une avec 6 étages en parallèle et l'autre avec 3 étages en parallèle. La capacité en courant impulsionnel est de +/-7A à 5V. Le buffer est optimisé pour une charge en sortie de 1nFx1MHz et peut aller jusqu'à des charges de 10nFx1MHz. Le délai de propagation typiquement introduit est de 3.3 ns (simulation).

La cellule PV est intégrée en technologie CMOS AMS H18. Elle est composée de 2 jonctions P_W/DN_W en série. La tension générée en charge varie entre 1.2V (140 °C) et 1.8V (-40°C). Le diamètre de la cellule est de 200 μ m.

Le convertisseur DC/DC est un tripleur de tension pour adapter le potentiel de la cellule PV au 5 V requis pour des transistors de puissance en GaN (EPC ou GaN System). Le rendement à charge nominale est de 74% et le gain en tension à charge nominale est de 2.5.

II. Le « buffer » : dimensionnement de l'organe de charge de la grille du transistor de puissance

II.1. Puissance de contrôle et capacité en courant

Le schéma simplifié de la charge de grille est montré sur la Figure 2-1. La capacité d'entrée C_{ISS} du transistor de puissance est chargée et déchargée entre 0 et V_{GG} suivant des fronts en tension parfaits (dV/dt infini lors du changement d'état). On note Z_g l'impédance parasite entre la source de tension et C_{ISS} . Z_g comprend une partie interne à la puce et une partie externe, volontaire ou due au packaging. La puissance dissipée dans la puce est donc dépendante de cette valeur de résistance externe. Si on assimile Z_g à une simple résistance, alors on a les relations suivantes:

$$i_{(t=0)} = i_{pic} = \frac{V_{GG}}{R_G}$$

$$\tau_{ISS} = R_G \cdot C_{ISS}$$

D'où :

$$i_{pic} = \frac{V_{GG} \cdot C_{ISS}}{\tau_{ISS}} = \frac{Q_{ISS}}{\tau_{ISS}}$$

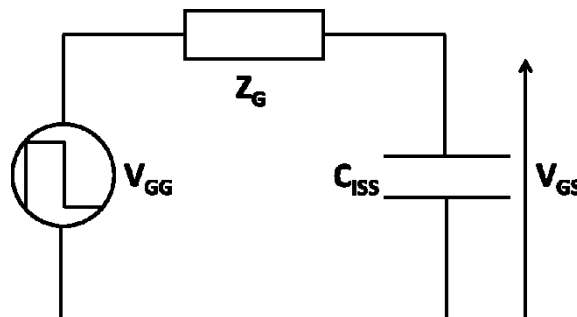


Figure 2-1 : Schéma simplifié de la charge de grille du transistor de puissance

A charge Q_{ISS} donnée, selon les hypothèses fixées précédemment, i_{pic} déterminera le temps de charge de la capacité C_{ISS} . On appelle capacité en courant cette valeur i_{pic} . En réalité, les fronts en tension ne sont pas parfaits et possèdent des temps de montée et descente, et l'impédance de grille est décomposée en une résistance et une inductance parasite. Néanmoins, la notion de capacité en courant reste valable et utilisée par les concepteurs de gate driver. On peut ainsi trouver cette information dans les datasheets (EPC, 2017 ; Rohm, 2013). Elle correspond à la valeur de capacité en courant obtenue dans les meilleures conditions possibles, c'est-à-dire sans résistance et inductance parasite externes à la puce du gate driver.

L'équation qui régit la charge de la capacité Ciss à tension constante Vgg via une résistance Rg est la suivante :

$$V_{GS}(t) = V_{GG} \cdot \left(1 - e^{-t/\tau_{ISS}}\right), \quad i_G = C_{ISS} \cdot \frac{dV_{GS}}{dt} = \frac{V_{GG}}{R_G} \cdot e^{-t/\tau_{ISS}}$$

L'énergie consommée par la résistance est donc :

$$E_G = \int R_G \cdot i_G^2 = \frac{V_{GG}^2 \cdot C_{ISS}}{2}$$

Et l'énergie dissipée dans la puce est :

$$E_{G_{puce}} = \frac{R_{G_{int}}}{R_{G_{int}} + R_{G_{ext}}} \cdot E_G$$

La puissance consommée à travers la résistance de grille est donc indépendante de la résistance de grille et égale à la puissance fournie à la capacité Ciss. Cependant, la capacité Ciss du transistor de puissance n'est pas constante et dépend de la tension V_{DS} aux bornes du transistor de puissance, ainsi que du courant de charge I_D (Baliga, 2008). Il est donc nécessaire d'utiliser la notion de charge et de distinguer plusieurs phases lors de la commutation. Dans les datasheets des transistors de puissance, on trouve généralement 3 types de charge : la charge totale Q_G, la charge lorsque Ciss est élevée, Q_{GS}, et la charge de la capacité C_{GD} lorsque V_{GS} atteint le plateau Miller V_{GP}, Q_{GD}. La charge à faible Ciss se déduit des 3 autres.

Considérons pour l'exemple la fermeture du transistor de puissance (voir Figure 2-2). Lors de la première phase, le transistor est bloqué sous une tension V_{bus}. La valeur de capacité Ciss est minimale. V_{DS} restant constant, on assimile C_{GS} et C_{GD} sous une même capacité Ciss. La charge est alors capacitive comme décrit précédemment. A t₁, la tension V_{gs} dépasse le seuil V_{TH} et le courant peut alors croître à travers drain et source. V_{GS} continue de croître jusqu'à V_{GP} où le courant est établi. On montre, par un calcul détaillé en Annexe II-A, que l'énergie dissipée dans la résistance est :

$$E_{GS} = \frac{Q_{GS} \cdot (2 \cdot V_{GG} - V_{GP})}{2}$$

La tension V_{DS} commence alors à décroître. V_{GS} reste quasi constante à V_{GP} durant cette phase où C_{GD} se charge jusqu'à ce que V_{DS} atteigne V_{DS(SAT)}. Durant cette période, la capacité C_{GD} se charge à courant constant,

$$i_{GP} = \frac{V_{GG} - V_{GP}}{R_G} = C_{GD} \cdot \frac{dV_{DG}}{dt}, \quad \Delta t = \frac{C_{GD} \cdot \Delta V}{i_{GP}} = \frac{Q_{GD}}{i_{GP}}$$

L'énergie dissipée à travers la résistance est donc :

$$E_{GP} = R_G \cdot i_{GP}^2 \cdot \Delta t = R_G \cdot i_{GP} \cdot Q_{GD} = (V_{GG} - V_{GP}) \cdot Q_{GD}$$

Une fois que le transistor est arrivé en limite de saturation ($I_{DS} = I_{NOM}$, $V_{DS} = V_{DSSAT}$), la tension V_{GS} peut alors croître jusqu'à V_{GG} pour atteindre le régime linéaire. La capacité C_{iss} est alors égale à sa valeur maximale ($V_{DS} \rightarrow V_{DS_{ON}} \sim 0V$). L'énergie dissipée dans la résistance est alors :

$$E_{GS_{3-4}} = \frac{(Q_G - Q_{GD} - Q_{GS}) \cdot (V_{GG} - V_{GP})}{2}$$

L'énergie totale dissipée à la fermeture est :

$$E_{G_{ON}} = \frac{(Q_G + Q_{GD}) \cdot (V_{GG} - V_{GP}) + Q_{GS} \cdot V_{GG}}{2}$$

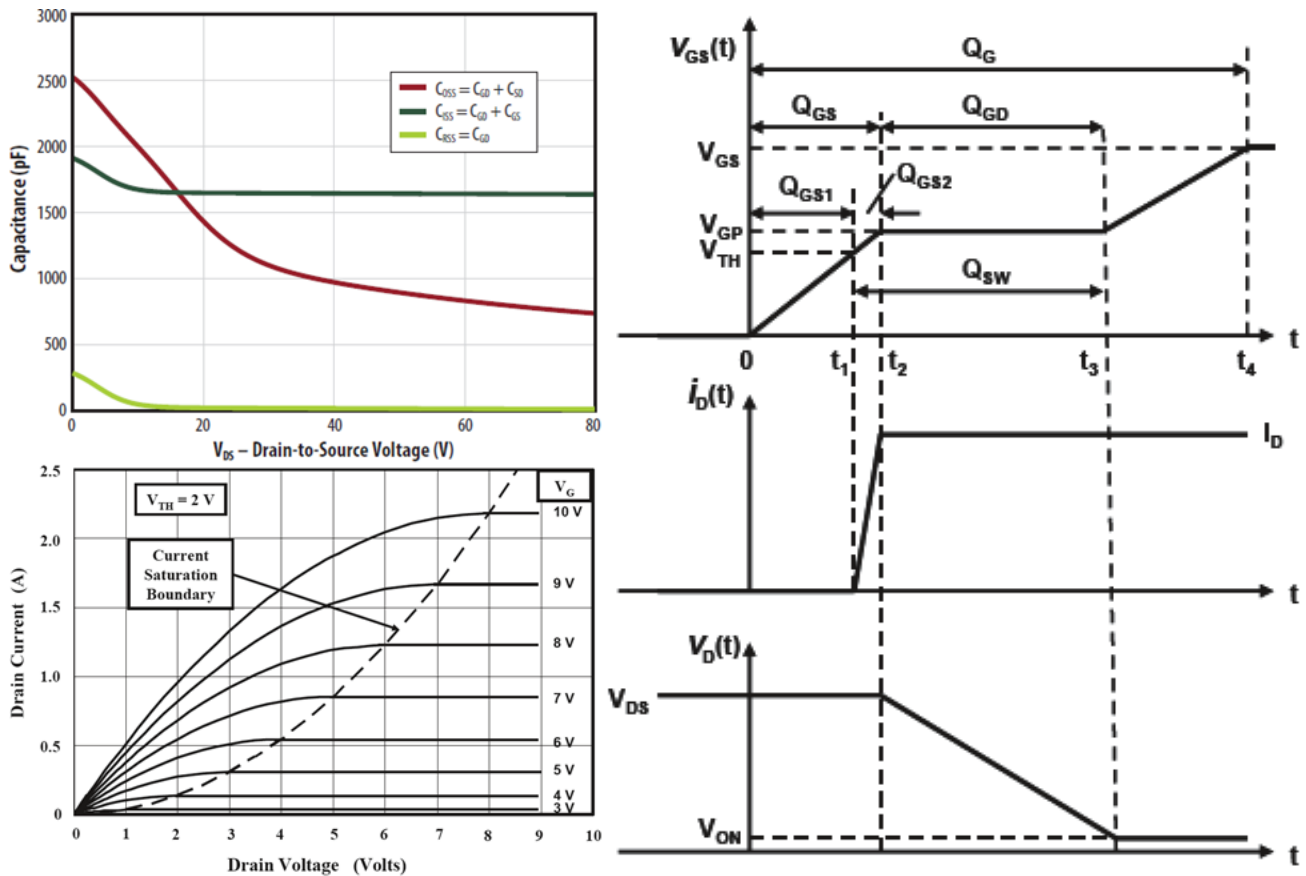


Figure 2-2 : Exemple de caractéristiques statiques et dynamiques de transistors de puissance [(EPC, 2016), (Baliga, 2008)]

En Annexe II-A, le même type de calcul est effectué pour la commutation à l'ouverture. On peut montrer que l'énergie totale dissipée à travers la résistance de grille à l'ouverture est :

$$E_{G_{OFF}} = \frac{(Q_G + Q_{GD}) \cdot V_{GP} + (Q_G - Q_{GD} - Q_{GS}) \cdot V_{GG}}{2}$$

L'énergie totale dissipée à travers la résistance lors des 2 commutations est donc :

$$E_G = Q_G \cdot V_{GG}$$

Ces équations générales montrent que l'énergie nécessaire à la charge du transistor de puissance est indépendante de la résistance de grille mais dépend de la valeur de tension appliquée V_{GG} et de la charge totale Q_G . Q_G dépend de la tension de bus appliquée au transistor, du courant I_D qui le traverse et de la tension V_{GG} appliquée à la grille. On notera que des dispersions existent pour la tension de seuil et les capacités parasites et donc pour Q_G également. La charge de grille et la puissance dissipée résultante sont donc données approximativement. C'est pourquoi, il convient de sur-dimensionner l'alimentation et l'étage de sortie.

En termes de vitesse de commutation, on peut observer 4 phases distinctes. La première phase, de 0 à t_1 , va influencer sur le délai de commutation du transistor (td_{ON}). Pour réduire ce délai, on peut augmenter V_{GG} mais au détriment d'une consommation plus élevée ou réduire au maximum R_G . Pour les applications qui nécessitent des délais courts, le gate driver devra donc avoir une grande capacité en courant. Ensuite, de t_1 à t_2 , le courant augmente dans le transistor. La charge Q_{GS2} va alors influencer sur le di/dt . Un ajustement de la résistance de grille est alors préférable pour limiter le sur-courant sans toutefois augmenter les pertes de façon excessive. Entre t_2 et t_3 , un ajustement de la résistance de grille est également souhaitable pour limiter le dV/dt . Entre t_3 et t_4 , la résistance de grille peut revenir à sa valeur minimale pour finir de charger le transistor et éviter des remises en conduction parasites. Entre la 3^e et 4^e phase, on peut appliquer une grande résistance de grille pour éventuellement réduire de potentielles oscillations dues aux inductances et capacités parasites.

Dans cette thèse, nous avons choisi de dimensionner un étage de sortie configurable pour le gate driver de telle sorte qu'on puisse ajuster la résistance de grille au sein de la puce CMOS. Le niveau de tension V_{GG} restera fixe car bien qu'un niveau de tension variable permette d'adapter la vitesse de commutation, augmenter ce niveau de tension augmentera les pertes dans la résistance de grille.

Pour quantifier le niveau de puissance requis, la Figure 2-3 montre la répartition de transistors GaN (EPC et GaN System) pour le courant spécifié I_D en fonction de la puissance de contrôle requise pour une fréquence de commutation de 1 MHz et V_{GG} spécifié (5V pour EPC et 6V pour GaN System). On voit que la majorité des transistors ont un calibre en courant spécifié inférieur à 30 A pour une puissance de contrôle requise à 1 MHz inférieur à

30 mW. Pour des calibres en courant supérieurs (jusqu'à 90 A), la puissance de contrôle requise à 1 MHz peut atteindre 72 mW. Ce graphique montre bien que les transistors GaN disponibles sur le marché nécessitent moins de 100 mW pour la charge de la grille, ce qui les rend particulièrement adaptés pour une alimentation par voie optique. De plus, les transistors qui ont un calibre en courant élevé (>30 A) sont destinés à des applications de plus forte puissance et n'auront donc pas forcément besoin de commuter à 1 MHz. On peut accepter pour ces transistors des vitesses de commutation 2 à 3 fois plus faibles. C'est pourquoi, nous viserons des puissances de charge requises inférieures à 30 mW.

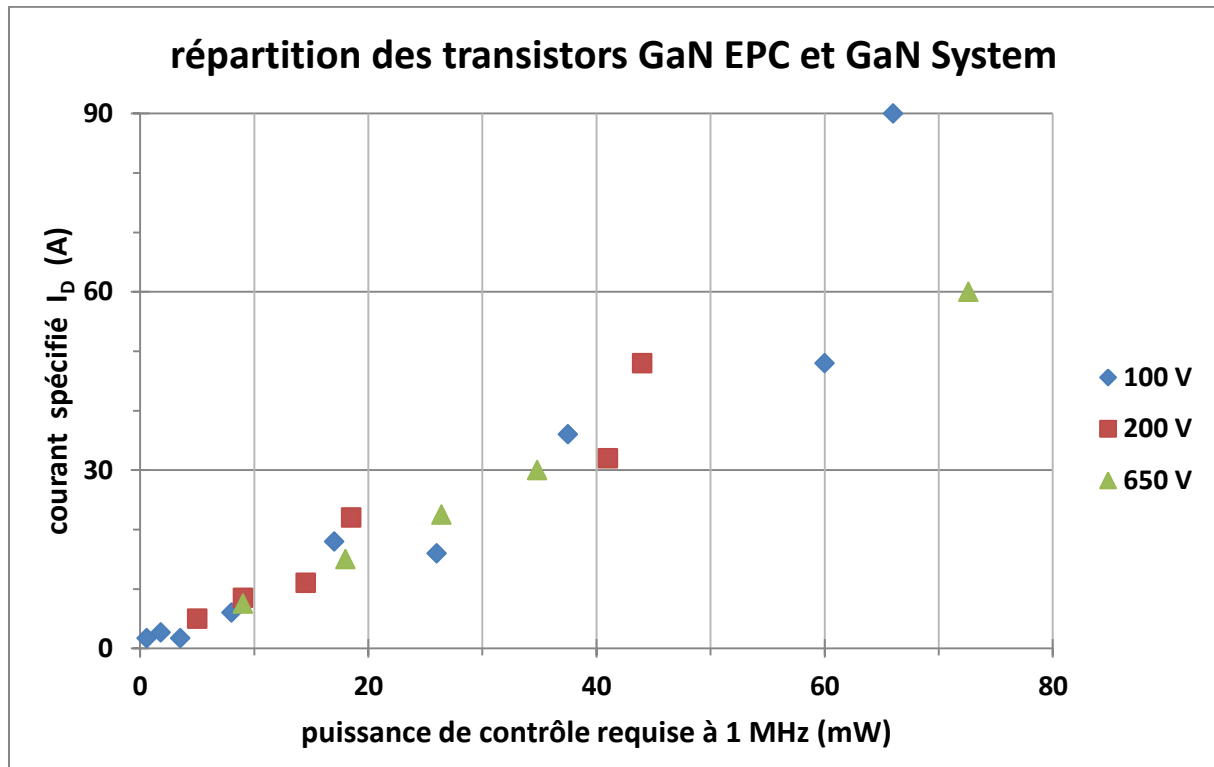


Figure 2-3 : Répartition des transistors GaN en fonction de la puissance de contrôle à une fréquence de commutation de 1 MHz

II.2. Dimensionnement du buffer configurable

La façon la plus simple de réaliser l'amenée des charges à la grille du transistor de puissance est de piloter une cellule inverseur de type CMOS. La charge de la grille du transistor de puissance s'effectue à travers le transistor PMOS et la décharge à travers le transistor NMOS. Etant donné que la mobilité des trous est différente de celles des électrons et que les niveaux de dopages N et P ne sont pas les mêmes, les résistances spécifiques (R_{\square}) du NMOS et du PMOS sont différentes. Pour avoir des capacités en courant similaires à la charge et à la décharge, la largeur du PMOS doit donc être supérieure à celle du NMOS. En général, $W_{PMOS} = 2 \text{ à } 3 \text{ fois } W_{NMOS}$, mais seule la simulation permet de déterminer précisément la largeur requise.

Cependant, pour avoir une forte capacité en courant soit une faible résistance de grille, une grande largeur des PMOS et NMOS de l'étage de sortie est requise ce qui induit également une grande capacité parasite de grille (voir Figure 2-4). Ainsi, il est nécessaire de cascader plusieurs étages inverseurs jusqu'à avoir une charge de grille d'entrée du buffer suffisamment petite pour être chargée par un étage logique standard. Le gain entre la capacité d'entrée et la conductance drain-source est donné par la formule suivante :

$$\frac{1}{C_{in} \cdot R} = \frac{1}{R_{\square} \cdot C_{ox} \cdot L^2}$$

On voit par cette formule qu'il y a un intérêt à augmenter les niveaux de dopage (pour diminuer R_{\square}) et à diminuer la longueur L du transistor. Diminuer « L » aura cependant pour impact de réduire la tenue en tension maximale du transistor et donc le niveau de tension applicable à la grille du transistor de puissance. A charge $Q=C_{iss} \cdot V$ donnée, plus le niveau de tension requis est élevé, plus la capacité C_{iss} à charger est petite, donc à $\tau_{iss}=R \cdot C_{iss}$ constant, la valeur de résistance de l'étage de sortie est plus petite, de façon linéaire. Mais selon les niveaux de dopages et la longueur de transistor minimale de la technologie, la surface requise pour l'étage de sortie ne sera pas forcément plus petite voire plus grande. De plus, étant donné la relation quadratique en L^2 du gain R/C_{in} , les étages de pré-amplification seront plus nombreux. Augmenter le niveau de tension de charge de C_{iss} aura pour conséquence d'augmenter la taille du buffer de sortie.

Dans la technologie AMS H18, plusieurs types de transistors à différents niveaux de tension existent (1.8V, 5V, 20V et 50V) ce qui permettrait d'adresser de multiples applications (GaN, Si, SiC, diamant) mais ne sont pas tous disponibles en circuit multi-projets. Les transistors 5V (oxyde de grille 5V) et 20V (oxyde de grille 1.8V et 5V) sont disponibles. Dans ce travail de thèse, nous avons choisi d'utiliser les transistors 5V pour viser des applications de type GaN (EPC ou GaN System par exemple). Il est important de noter que la démarche développée dans cette thèse peut également s'appliquer aux transistors 20V et 50V pour viser des applications de type Si, SiC ou diamant. Cependant des restrictions peuvent s'appliquer au niveau des gains en tension du convertisseur développé.

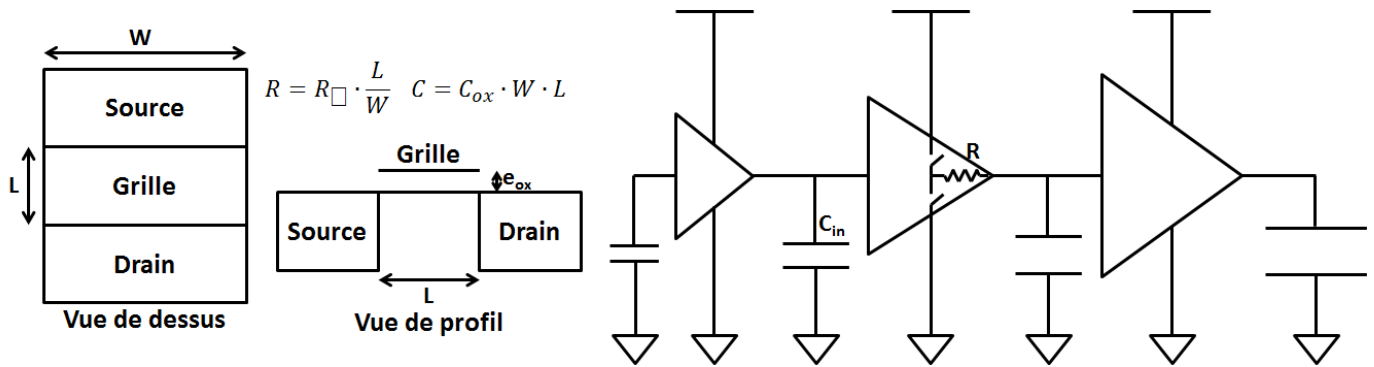


Figure 2-4 : Schéma de principe de l'amplification en courant

Dans ce travail de thèse, 2 versions de puce gate driver ont été fabriquées. Pour la première version, le buffer de sortie est composé de 6 cellules en parallèle (+/- 7A, 5V) tandis que dans la deuxième version, il est composé de 3 cellules en parallèle (+/- 3.5A, 5V).

II.2.1 Etage de sortie et pré-amplification

Dans cette partie, le dimensionnement de l'étage de sortie est détaillé. Les autres étages du buffer sont dimensionnés de la même manière, c'est pourquoi leur dimensionnement ne sera pas détaillé. La particularité de l'étage de sortie est qu'on ne connaît pas la charge de sortie. Nous ferons donc l'hypothèse d'une charge purement capacitive, de valeur de capacité nominale équivalente à 1 nF. Le schéma de l'étage de sortie est montré sur la Figure 2-5. Les PMOS et NMOS sont caractérisés par leur largeur W , leur longueur L et leur nombre de doigts n . La largeur minimale d'un NMOS 5V est de 700 nm et celle d'un PMOS 5V est de 500 nm. La tension d'alimentation V_{DD} est prise à 5 V par défaut. Les contacts résistifs entre le bulk du transistor (zone du transistor qui se situe sous la grille) et la source du transistor sont considérés parfaits en premier lieu. Pour atteindre des capacités en courant de l'ordre de plusieurs ampères, des largeurs de transistor de l'ordre de 10 mm sont requises. Illustrée sur la figure suivante, l'amenée de grille est constituée de polysilicium, relativement résistif. Avec un seul doigt de transistor, la résistance apparente entre le contact de grille et le milieu de l'amenée de grille serait de l'ordre de 37.5 kΩ, ce qui annulerait la polarisation de grille à cet endroit lors de la circulation du courant impulsionnel de charge de grille de cet étage. Pour remédier au problème, le transistor est en fait composé de n doigts, ce qui réduit la chute de tension au milieu de n^2 (voir Figure 2-5). On fixera le nombre de doigts de PMOS à 960 et le nombre de doigts du NMOS à 480. Les transistors sont pilotés par des sources de tension de temps de montée et descente variables t_m et avec un délai possible entre les 2 tensions de grille de t_d .

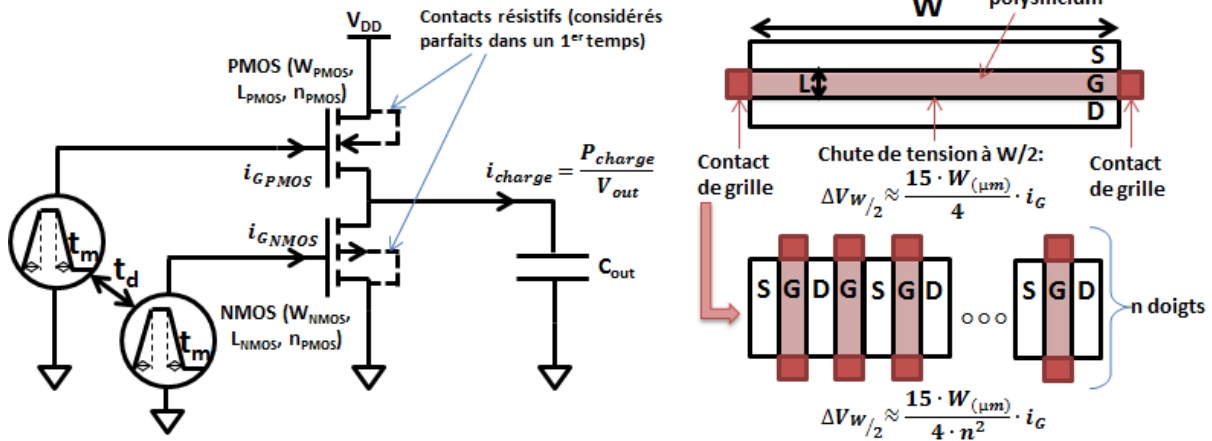


Figure 2-5 : Schéma de principe de l'étage de sortie

Pour avoir des capacités de charge et décharge identiques, il faut ajuster le ratio W_{pmos}/W_{nmos} . Pour cela, des simulations ont été effectuées pour une charge de 1 nF, sans délai t_d , avec des temps de montée et descente de 300 ps (sauf indication contraire), sous $V_{DD}=5V$, avec une largeur de grille de 14 nm (sauf indication contraire). Sur la Figure 2-6, l'écart relatif entre le courant de charge et le courant de décharge est montré en fonction du rapport W_{pmos}/W_{nmos} , pour différentes valeurs de W_{nmos} et pour différentes valeurs de t_m . On déduit que l'écart entre courant de charge est négligeable pour un rapport W_{pmos}/W_{nmos} compris entre 1.8 et 1.9. Par la suite, un rapport de 1.88 a été choisi.

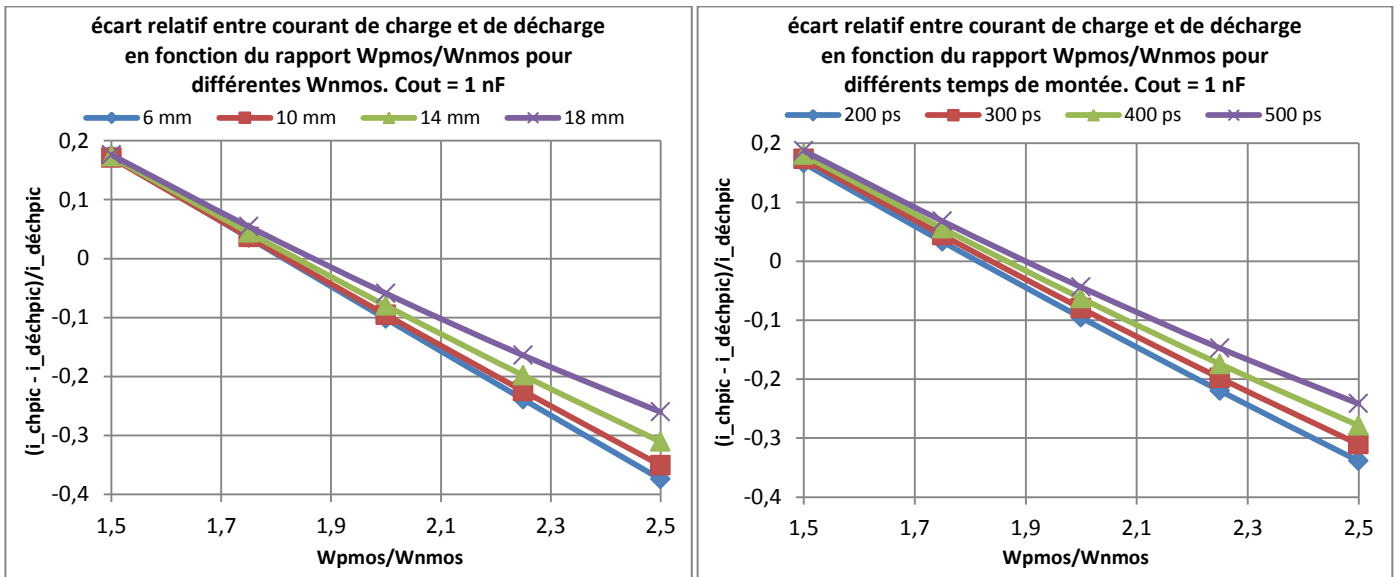


Figure 2-6: écart relatif entre courants de charge et décharge en fonction de W_{pmos}/W_{nmos} pour différentes W_{nmos} et différents t_m .

Sur la Figure 2-7, la capacité en courant est tracée pour différentes valeurs de W_{nmos} , en fonction de la température pour $V_{dd}=5V$, et en fonction de V_{dd} pour une température de 27°C.

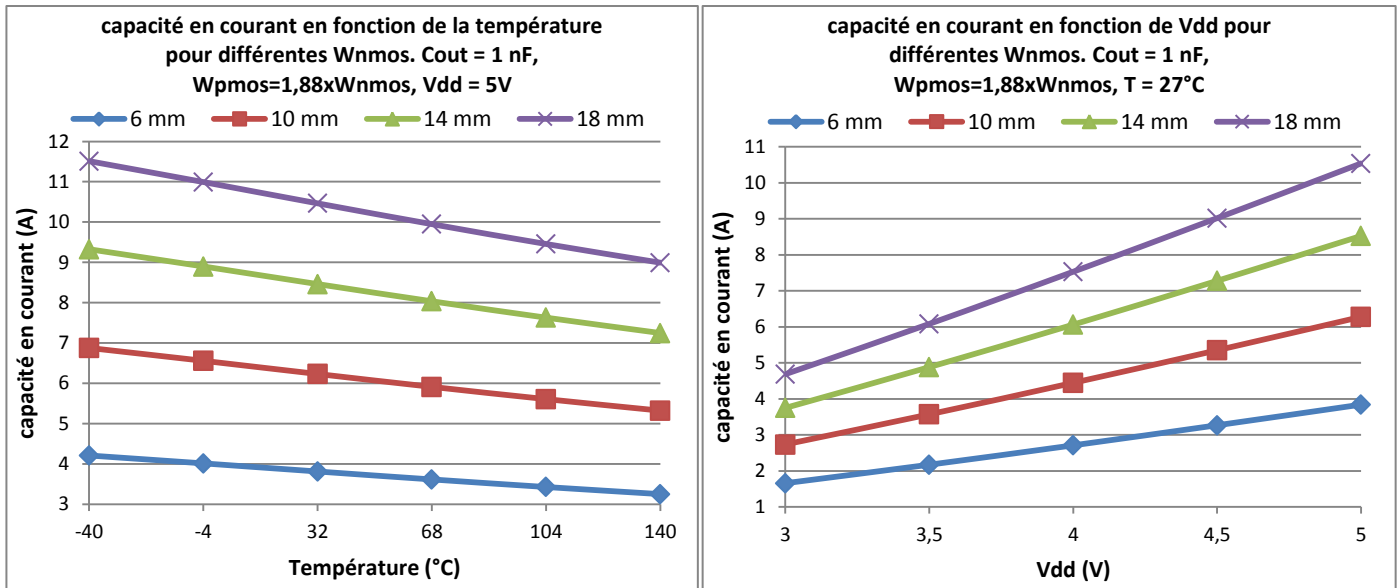


Figure 2-7 : Capacité en courant en fonction de la température et de Vdd pour différentes Wnmos

L'évolution de la capacité en courant est linéaire avec la tension d'alimentation et la température car la résistivité des PMOS et NMOS évolue, en première approximation, linéairement en fonction de ces deux paramètres. Une grande capacité en courant présente les avantages de pouvoir commuter rapidement, d'avoir une large modularité au niveau de la résistance de grille et, par l'ajout d'une résistance externe, de dissiper une faible puissance au sein de la puce. Les inconvénients sont la surface nécessaire pour le buffer et la charge nécessaire pour l'étage de sortie. Dans la première version de la puce, nous avons choisi une largeur Wnmos de 14 mm et dans la 2^e version, considérant cette valeur trop élevée, la largeur a été divisée par 2.

En Annexe II-B, les courbes des écarts relatifs entre courant de charge et courant de décharge en fonction de la température et de la tension d'alimentation pour différentes valeurs de Wnmos sont disponibles. Pour Wnmos = 14 mm, l'écart relatif entre charge et décharge varie entre 2% et -3% sur la plage [-40°C ; 140°C] à 5V et entre 11% et -1% sur la plage [3V ; 5V] à 27°C.

Lors des commutations, un courant de court-circuit traverse les PMOS et NMOS en l'absence de temps mort. La puissance dissipée à cause de ce courant peut être non négligeable par rapport à la puissance de contrôle, du fait de la taille importante de cet étage de sortie. Sur la Figure 2-8, le rapport entre la puissance dissipée lors du court-circuit et la puissance de contrôle, exprimé en %, est tracé en fonction du temps mort t_d , pour différentes valeurs de charge de sortie. Un temps mort supérieur à 0.5 ns est suffisant pour avoir une baisse significative de ce courant de court-circuit. La valeur se stabilise car une certaine puissance (2 % de la charge nominale) sera toujours dissipée pour la charge et décharge des capacités C_{oss} des NMOS et PMOS.

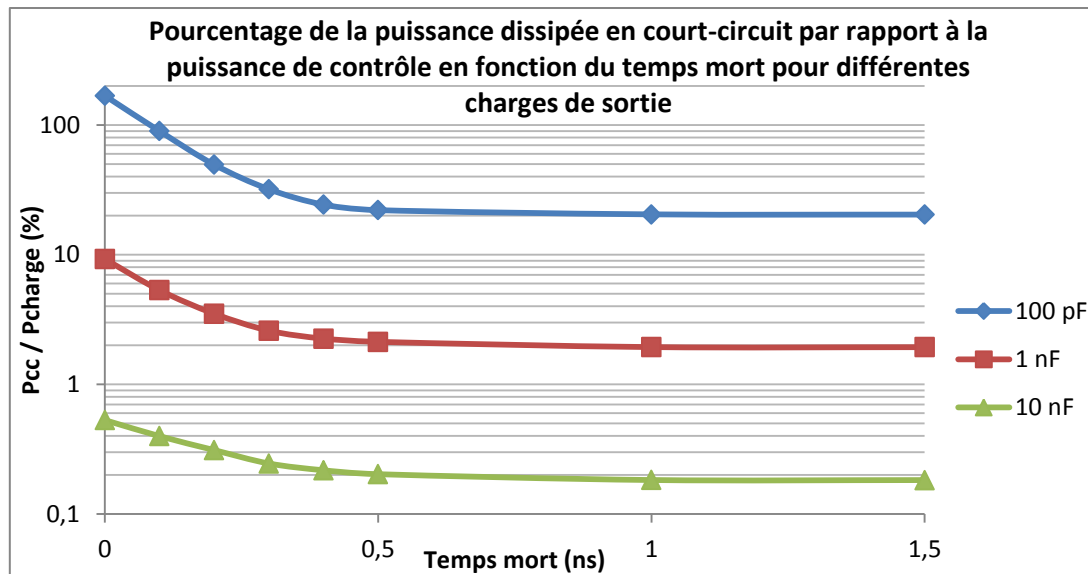


Figure 2-8 : puissance de court-circuit sur puissance de contrôle en fonction du temps mort pour différentes charges de sortie

On peut maintenant dimensionner les métaux des PMOS et NMOS en vue du routage et de la conception du jeu de masques sous Cadence. Le buffer est décomposé en 6 ou 3 blocs selon les versions de puce. Nous allons nous intéresser au dimensionnement d'un bloc (+/- 1,1A, 5V, 0.1 mm²). Des simulations sont effectuées avec un temps mort de 0.5 ns, un temps de montée et descente de 400 ps et une tension d'alimentation de 5V. Les valeurs efficaces des courants de source NMOS et PMOS sont analysées. Le dimensionnement du NMOS est le plus critique car sa taille est plus petite et donc la densité de courant dans les métaux est plus importante. La valeur efficace du courant NMOS est tracée sur la Figure 2-9. Il faut noter que le courant efficace de (dé)charge pour un bloc, en l'absence de résistance externe, est le même que pour 3 ou 6 blocs, puisque la puissance dissipée est indépendante de la résistance (voir II.1). A charge nominale (1 nF à 1 MHz), le courant varie entre 84 mA et 70 mA. Avec l'augmentation de la charge, le courant augmente, jusqu'à 268 mA à -40 °C pour une charge de 10 nF à 1 MHz. Dans les bases de données de la technologie AMS H18, les courants maximum garantissant une durée de fonctionnement de 100 000 heures à 100°C et 125 °C et 10 000 heures à 150°C sont donnés pour chaque niveau de métal. Un courant « Irms » est également donné, dont le but est le contrôle de l'effet joule causé par le courant. Ce courant Irms devra être respecté pour toutes les charges envisagées, pour toutes températures. Les autres courants seront applicables pour les conditions nominales, c'est-à-dire 1 nF à 1 MHz.

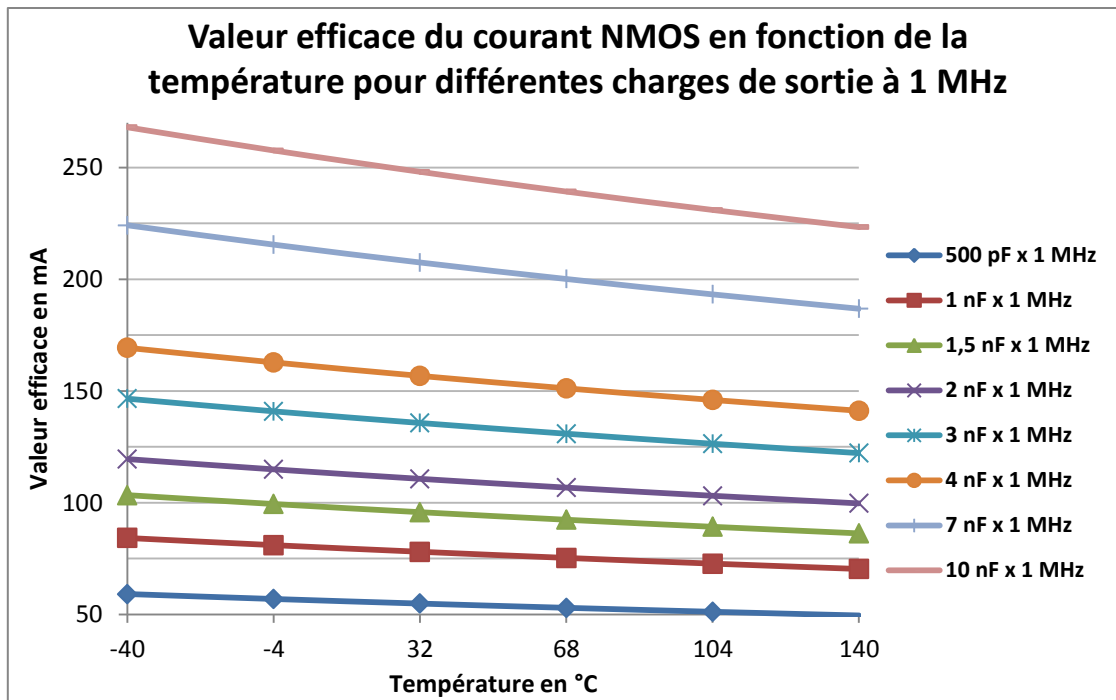


Figure 2-9 : courant efficace de source d'un bloc NMOS pour différentes charges de sortie

Le layout du bloc NMOS est présenté sur la Figure 2-10. Le NMOS est divisé en 4 parties pour faciliter les reprises de substrat. Il y a 4 amenées latérales de TOP métal (Métal 6 épais) pour desservir les sources et drains. Ces amenées se rejoignent en une amenée principale. Les amenées latérales descendent jusqu'au métal M4. Ensuite, les amenées M3, M2 et M1 sont dessinées en peignes croisés, avec un nombre de vias entre ces métaux largement surdimensionné (le plus petit nombre de vias est pour M1-M2 avec 920 vias pour un bloc NMOS qui peuvent faire passer 200 mA en continu à 125°C pendant 100 000 heures). Ainsi, M1, M2, M3 et M4 peuvent être considérés en parallèle. Le principe du peigne croisé permet une bonne homogénéisation du courant et une meilleure dissipation thermique mais présente l'inconvénient d'augmenter la capacité parasite entre drain et source et donc d'augmenter la puissance dissipée.

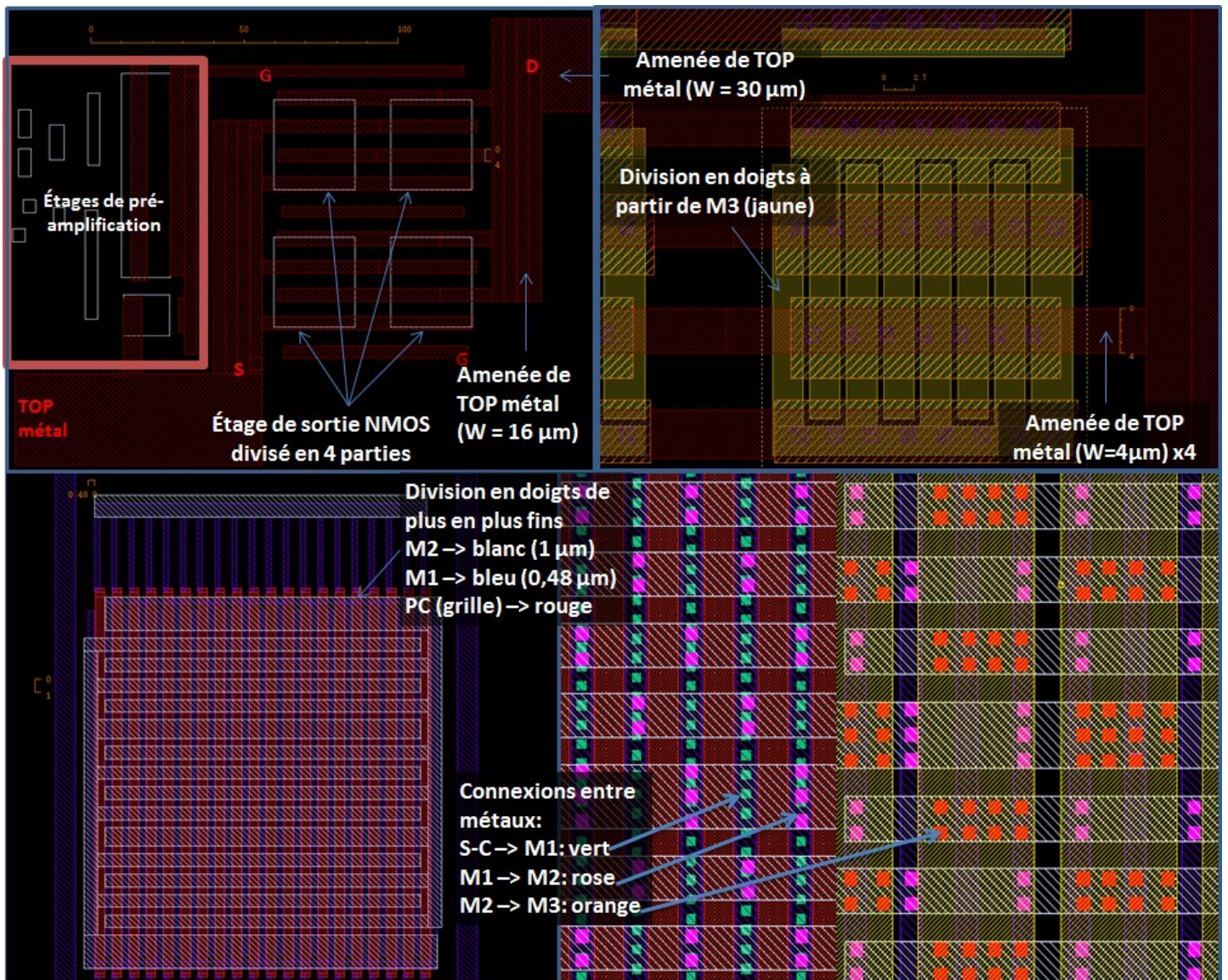


Figure 2-10 : Layout d'un bloc NMOS avec différents zooms sur différents niveaux de métaux

Sur la Table 7, on peut voir les courants maximum autorisés. Au départ, le buffer a été dimensionné pour fonctionner avec 3 ou 6 blocs en même temps (courant efficace divisé par 3 ou 6 par bloc). Cependant, comme il est possible de fonctionner avec un seul bloc, les valeurs sont valorisées (vert->acceptable, orange->acceptable si modification, rouge->non acceptable) pour le courant efficace total pour un seul bloc. On peut voir que l'amenée principale de 16 μm (pour la source et le drain) doit être renforcée, soit en l'élargissant, soit en ajoutant du M5 et M4 en dessous, pour pouvoir tenir des charges de 10nFx1MHz. Le buffer peut théoriquement fonctionner avec un seul bloc pendant 100 000 heures à 100°C à charge nominale. Pour des fonctionnements à plus haute température, il faudra utiliser plusieurs blocs (au moins 2). Une modification intéressante pourrait être une alternance de la configuration des blocs pour homogénéiser la température. Plus simplement, l'ajout d'une résistance externe permettrait de dissiper moins de puissance au sein de la puce.

Table 7 : Récapitulatif des densités de courant maximales pour les métaux du NMOS

	W (μm)	I _{rms} (mA)	Idc 100 000h 125°C (mA)	Idc 100 000h 100°C (mA)	Idc 10 000h 150°C (mA)
amenée TOP métal x4	16	165	47	119	58
	30	263	89	226	110
	4	69 (x4)	44	112	55
m1//m2//m3//m4	NA	NA	44	135	52

Sur la Figure 2-11, le courant maximal et le courant efficace de grille est tracé en fonction de la température à 5 V pour la charge nominale, pour le NMOS et le PMOS. L'étage de pré-amplification devra être dimensionné pour ces niveaux de courant. On peut également calculer la chute de tension maximale lors du pic de courant au milieu de l'amenée de grille en polysilicium. Pour le NMOS, cette chute de tension est de 98 mV et pour le PMOS, elle est de 76 mV, en prenant la valeur maximale spécifiée de résistivité du polysilicium. Cette chute de tension, inférieure à 2% de la tension d'alimentation, est considérée acceptable.

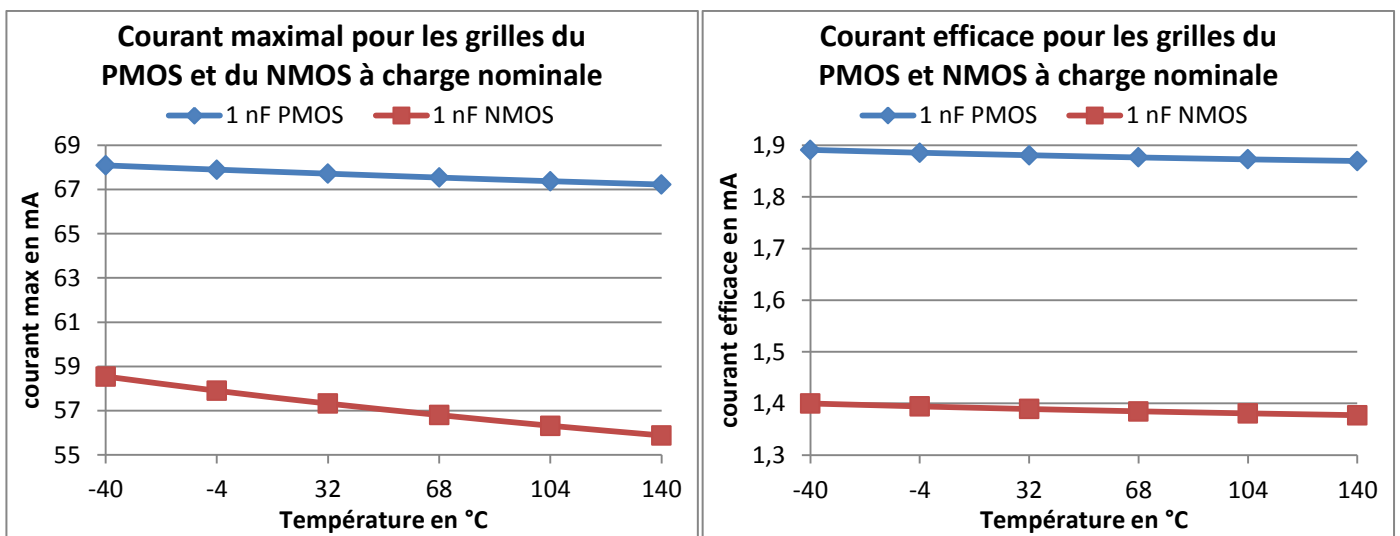


Figure 2-11 : Courant maximal et efficace des grilles PMOS et NMOS

Les étages de pré-amplification sont ensuite dimensionnés de la même façon que l'étage de sortie avec pour courant de charge le courant de grille nominal de l'étage suivant. Sachant qu'on dissocie l'amplification du NMOS et du PMOS, un seul MOS de l'étage de pré-amplification doit fournir du courant, comme illustré sur la Figure 2-12, où sont représentés en rouge les transistors traversés par un courant significatif. Au 4^e étage de pré-amplification, une logique de type NAND ou NOR est insérée pour pouvoir configurer le bloc NMOS ou PMOS respectivement. Le principe logique est également illustré sur la Figure 2-12.

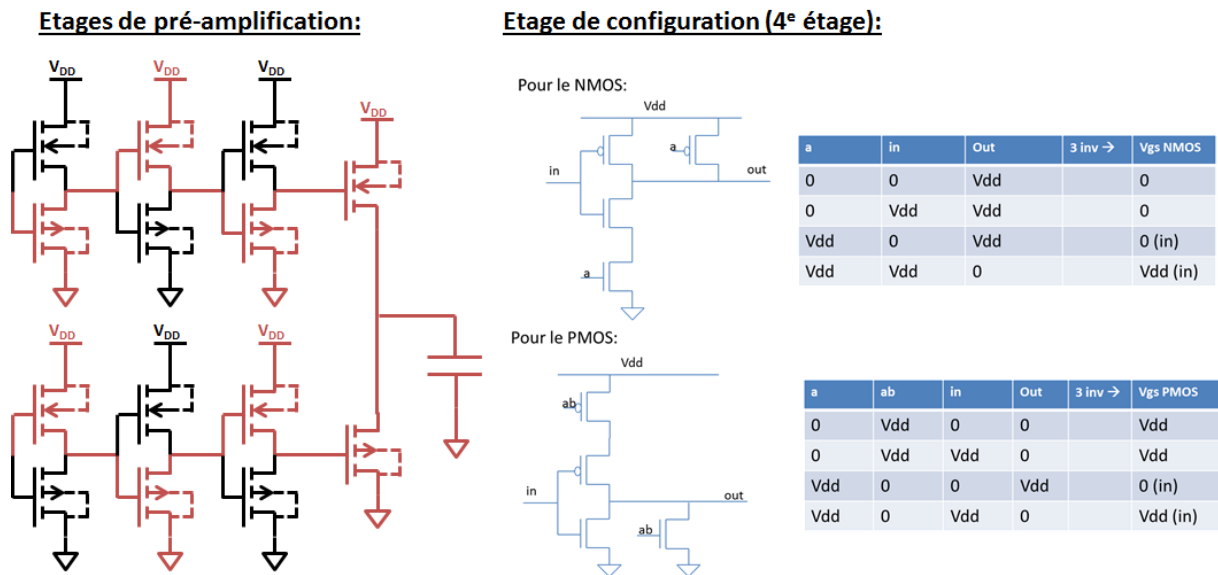


Figure 2-12 : Illustration des étages de pré-amplification et de configuration

Pour générer un temps mort entre PMOS et NMOS, les commandes sont décalées par un dispositif constitué d'une succession d'inverseurs fortement dissymétriques. Le principe est de ralentir par exemple un front montant pour un étage i de l'amplification PMOS (par un petit PMOS _{i} et un grand NMOS _{i}). Pour ce même étage i côté NMOS, le front descendant est ralenti (par un petit NMOS _{i} et un grand PMOS _{i}). A l'étage $i+1$, c'est l'inverse, le front descendant est ralenti côté PMOS et le front montant est ralenti côté NMOS. A l'étage $i+k$, le signal est suffisamment ralenti pour être inversé par un inverseur symétrique. Etant donné que les seuils ne sont pas atteints en même temps côté PMOS et NMOS, on se retrouve avec 2 signaux imbriqués l'un dans l'autre. Sur la Figure 2-13, les délais introduits par le dispositif de décalage des commandes sont présentés en fonction de la température. Il y a 2 types de délais, les délais totaux montant et descendant entre l'entrée du circuit et la sortie utile (celle qui commute en dernier), et le délai de temps mort entre les 2 commandes. Ce temps mort est assez important pour avoir une marge de sécurité, entre 1.3 ns et 1.7 ns pour le délai montant et entre 1.7 ns et 2.3 ns.

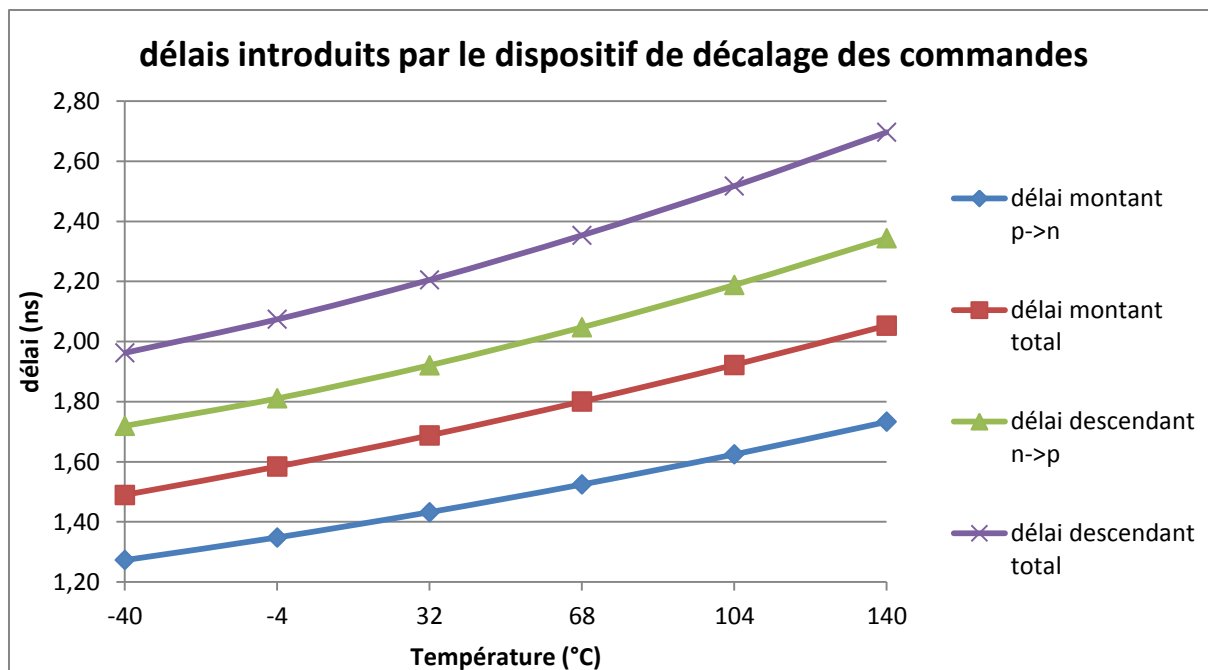


Figure 2-13 : délais introduits par le dispositif de décalage des commandes

Pour bénéficier du meilleur compromis bande passante – consommation, le circuit de démodulation de la lumière sera alimenté en 1.8V (voir Chapitre 3). C'est pourquoi un circuit d'adaptation des potentiels (level shifter) a été dimensionné pour adapter le 1.8V au 5V. Le circuit choisi est de type « contention mitigated level shifter » (Tran et al., 2005 ; Kumar et al., 2010), dont le schématisme est présenté en Annexe II-C. La consommation est d'environ 22 μ W et le délai introduit est inférieur à 750 ps. En Annexe II-C, le détail du délai introduit en fonction de la température est présenté.

II.2.2 Simulation et caractérisation du buffer complet

L'ensemble du buffer est simulé sous Cadence, en fonction de la température pour toutes les configurations de l'étage de sortie. La tension d'alimentation est fixée à 5 V et la charge de sortie à 1 nF. La fréquence de commutation est fixée à 1 MHz. Sur la Figure 2-14, le délai total maximal (pire cas des différentes configurations) est présenté en fonction de la température, sur fronts montant et descendant. Le délai montant varie entre 3.1 ns et 4.3 ns sur la plage de température [-40°C ; 140°C] et la différence entre délai montant et descendant est de 0.6 ns maximum pour une température donnée (140°C). La puissance totale dissipée par le buffer est également extraite des simulations. Sur la Figure 2-14, le rapport des pertes sur la puissance utile fournie à la capacité de sortie, exprimé en %, est tracé en fonction de la température pour les différentes configurations possibles. Plus le nombre d'étages de sortie activés est important et plus les pertes sont importantes. A capacité en courant maximal, les pertes représentent jusqu'à 19 % de la puissance utile tandis qu'à capacité en courant minimal elles représentent 6 % maximum de la puissance utile. Ces pertes sont donc

relativement élevées et sont dues pour moitié à la puissance dissipée dans les charges et décharges des capacités C_{OSS} de l'étage de sortie et pour 2^e moitié, aux pertes dans les étages de pré-amplification.

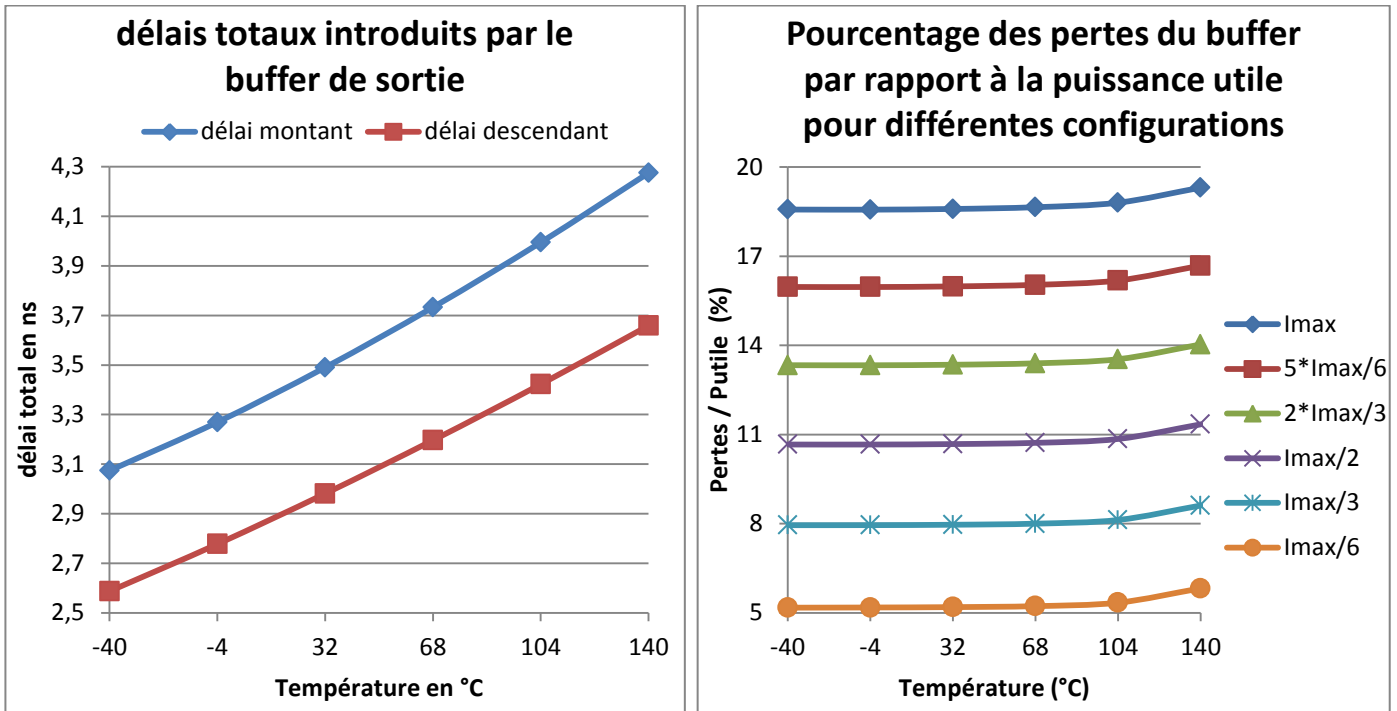


Figure 2-14 : Résultats de simulation sur le buffer complet

Des tests expérimentaux ont été réalisés sur le buffer de la 1^{ère} version de puce. Pour cela, la fonction a été câblé dans un boîtier de type QFN16. Ce boîtier est reporté sur un PCB, avec une résistance externe de 0.75Ω et une capacité de sortie de 1 nF . Le signal d'entrée est généré par un GBF RIGOL DG4062, dont les temps de montée et descente sont de 20 ns . Les résultats de front montant pour 4 valeurs de résistance sont montrés en Figure 2-15. Le PCB routé possède en fait une grande valeur d'inductance parasite due à un routage non-optimal et aux inductances ajoutées par le boîtier QFN. Pour vérifier le bon fonctionnement du buffer, nous avons donc extrait la valeur d'inductance parasite avec les relevés expérimentaux et simulé le buffer avec cette valeur extraite. Les pics de tension sont ensuite comparés entre simulation et expérience. Les résultats sont montrés sur la Table 8. On observe moins de 5 % de différence entre simulation et expérimentation. On peut donc conclure que le buffer fonctionne correctement. Pour la 2^e version de puce (avec 3 étages en parallèle au lieu de 6), le buffer n'a pas été testé de nouveau, en considérant qu'il y a très peu de changements entre les 2 circuits.

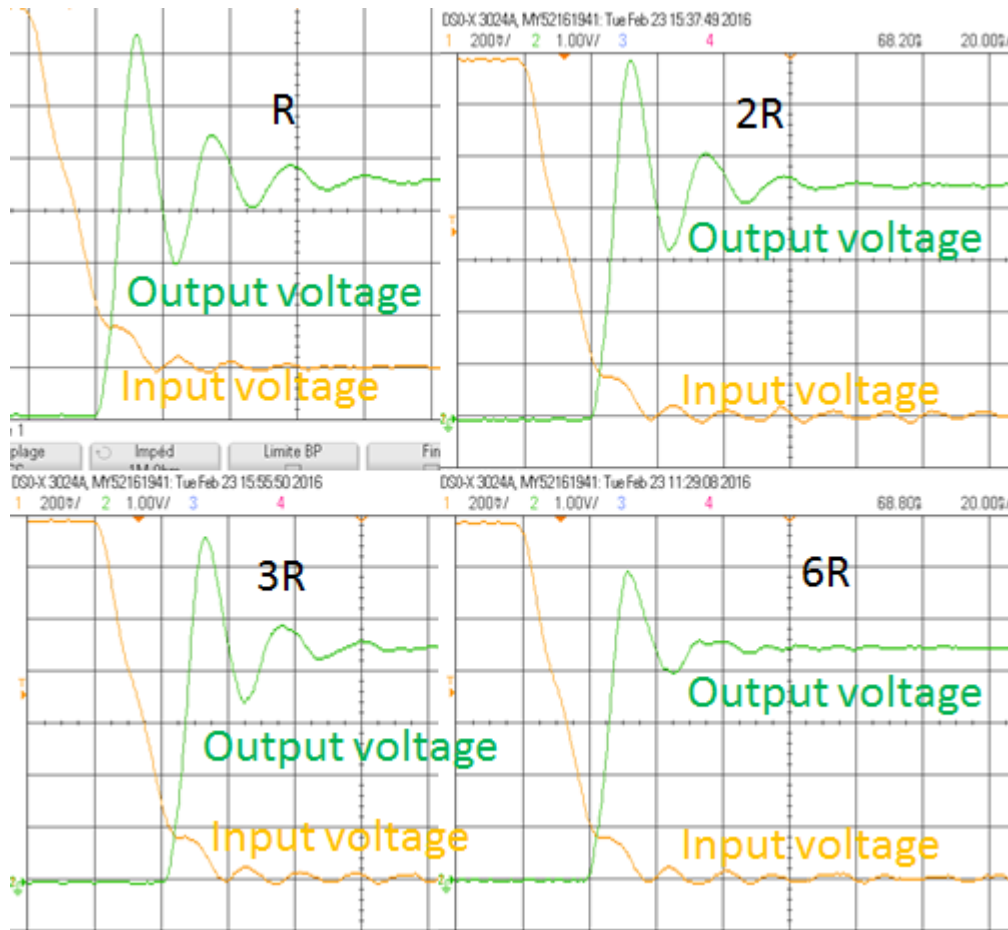


Figure 2-15 : courbes expérimentales du test du buffer dans les configurations R, 2R, 3R et 6R

Table 8 : comparaison entre les valeurs de pic de tension simulées et mesurées

	Front montant				Front descendant			
	1er pic simu (V)	1er pic test (V)	différence (%)	I_{pic} effectif (A)	1er pic simu (V)	1er pic test (V)	différence (%)	I_{pic} effectif (A)
R	7,23	7,2	-0,42	1,18	-2,85	-2,85	0,00	-1,21
2R	6,9	6,85	-0,73	1,12	-2,68	-2,75	2,55	-1,17
3R	6,65	6,55	-1,53	1,07	-2,5	-2,5	0,00	-1,13
6R	5,88	5,9	0,34	0,9	-1,95	-2,05	4,88	-1,02

III. Alimentation optique

Dans la partie précédente, nous avons vu comment envoyer et moduler les charges vers la grille du transistor de puissance. Pour cela, nous avons considéré une alimentation en tension parfaite. Dans la réalité, l'alimentation du gate driver du transistor « high side » doit être isolé de la partie contrôle et de la masse du convertisseur. Pour cela différentes techniques d'isolation existent comme vu dans le chapitre 1. Dans cette thèse, le signal de commande est envoyé par voie optique. Pour bénéficier du meilleur niveau d'isolation possible, 2 solutions semblent aujourd'hui envisageables, l'auto-alimentation (Rouger et al., 2006 ; Pefititsis et al., 2014 ; Taib et al., 2012) et l'alimentation par voie optique (Rouger, Le, et al., 2016 ; Rouger, Colin, et al., 2016 ; Ishigaki et al., 2017b ; Zhang et al., 2016a). L'auto-alimentation dépend du point de fonctionnement du convertisseur. Or nous souhaitons notre gate driver le plus générique possible. C'est pourquoi, la puissance de grille sera transmise par voie optique.

III.1. Stratégies d'alimentation

Pour avoir le meilleur compromis entre bande passante et consommation, le circuit de traitement du signal sera alimenté en 1.8V. Deux niveaux de tension sont donc à fournir au sein de la puce (1.8V et le niveau de tension de charge de grille, 5V dans notre cas). Plusieurs stratégies sont possibles pour fournir ces niveaux de tension et sont résumées sur le Figure 2-16:

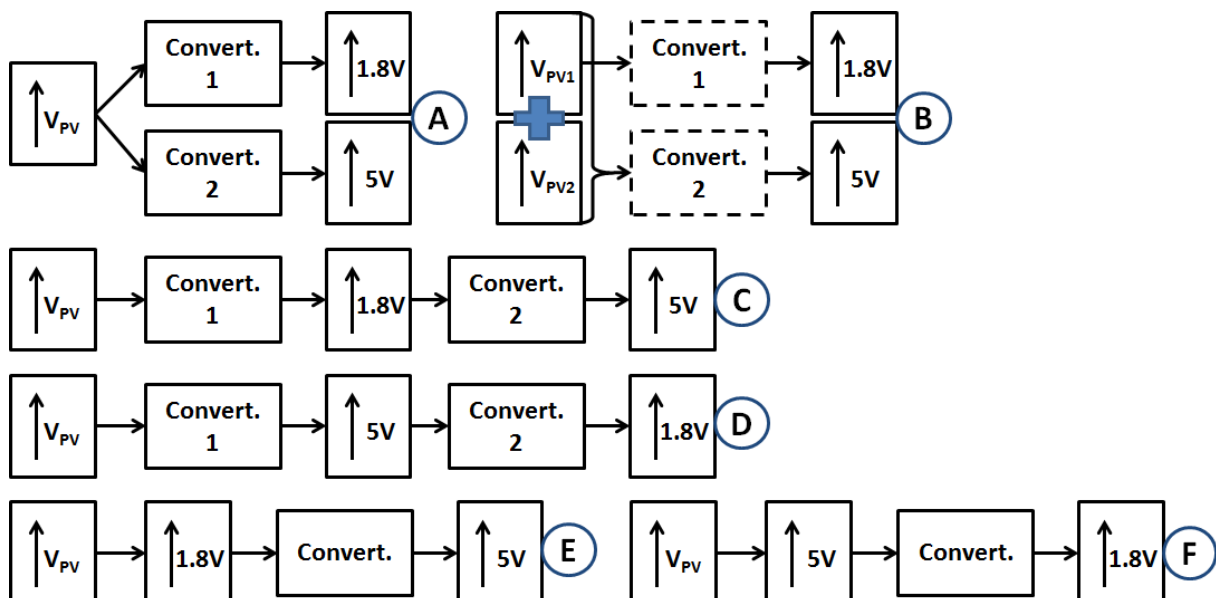


Figure 2-16: Stratégies d'alimentation

Pour essayer de trouver la meilleure stratégie possible, il faut prendre en considération les éléments suivants :

- La cellule photovoltaïque est intégrée dans la puce de technologie CMOS AMS H18 afin d'avoir un unique processus de fabrication pour cette puce réceptrice. On ne maîtrise donc pas les niveaux de dopages ni les épaisseurs des couches. En revanche, on peut jouer sur la géométrie, le nombre de cellules, la longueur d'onde de transmission, le type de couches, contacts et amenées métallisées. Sans étape supplémentaire au niveau du processus de fabrication, le rendement de la cellule sera faible (réflexion dû à l'oxyde de protection notamment) et donc sa maximisation sera primordiale. Mettre plusieurs cellules en parallèle ou en série peut augmenter la surface métallisée et rendre inutile une partie de la surface centrale, là où la puissance optique est la plus importante. En technologie standard, la jonction d'isolation est plus fortement polarisée pour les cellules en série. Plus on mettra de cellules en série, plus les pertes dues à cette polarisation seront importantes. De plus, il faut prendre en compte les variations de la caractéristique de la cellule PV en fonction de la température. Particulièrement, nous verrons par la suite que la tension en circuit ouvert V_{OC} est fortement dépendante de la température.
- Le convertisseur peut être de 2 natures : à capacités commutées ou de type hacheur, avec une inductance de filtrage en entrée. L'intégration de cette inductance pose problème puisqu'elle doit stocker de l'énergie et avoir une faible résistance série. Dans cette thèse, nous nous focalisons sur un convertisseur à capacité commutées pour avoir une intégration maximale. Cependant, le rendement de ce type de convertisseur est moins bon et il existe peu ou pas de degrés de liberté pour le commander et l'asservir.
- Nous partirons de l'hypothèse que la puissance consommée par la partie 5V est grande devant la puissance consommée en 1.8V, au point de fonctionnement nominal. Ceci est un prérequis au dimensionnement du circuit de réception des ordres de commande.

Par la mise en cascade de 2 convertisseurs, les stratégies C et D de la Figure 2-16 ont le désavantage de faire passer la puissance 1.8V ou 5V par 2 convertisseurs et donc d'augmenter les pertes. Ceci est particulièrement critique pour la stratégie C où la puissance 5V est octroyée des pertes des 2 convertisseurs. La stratégie A est la plus conventionnelle mais nécessite toutefois 2 convertisseurs (un pour chaque tension). Une variante de la stratégie A est la stratégie B où la cellule PV est décomposée en au moins 2 cellules (ou plus selon les niveaux de tensions disponibles), ce qui permet d'alimenter le 1.8V et le 5V. L'utilisation de convertisseurs est ici facultative. Le problème de B réside dans l'équilibrage du courant des 2 sous-cellules qui, pour être efficace, nécessite de connaître la charge en 1.8V. Les stratégies E et F consistent à adapter le nombre de cellules en série pour obtenir le

niveau de tension requis pour le 1.8V ou 5V. Ainsi, un seul convertisseur est nécessaire. La stratégie E présente un plus grand intérêt car il faut mettre moins de cellule en série pour obtenir 1.8V et un convertisseur pour obtenir 5V permettrait un contrôle de la tension de charge du transistor de puissance. Les avantages et inconvénients des différentes stratégies sont résumés dans la Table 9. Dans cette thèse, nous avons choisi la stratégie E car elle ne présente qu'un seul convertisseur qui pourrait réguler le 5V. Nous verrons dans le chapitre 3 que le circuit de traitement des ordres de commande a été dimensionné pour fonctionner suivant les caractéristiques d'une cellule PV 1.8V avec une variation de cette tension en fonction de la température.

Table 9 : Avantages et inconvénients des différentes stratégies d'alimentation

Stratégie	Rendement convertisseur	Possibilité d'adaptabilité cellule PV	Possibilité d'adaptabilité 1.8V / température	Possibilité d'adaptabilité 5V / température
A	+	++	++	++
B (avec convert.)	+	+	++	++
B (sans convert.)	+++	-	-	-
C	--	++	++	++
D	-	++	++	++
E	++	-	-	++
F	++	--	++	-

III.2. Intégration de la cellule photovoltaïque

Nous souhaitons concevoir une cellule photovoltaïque qui puisse fournir 1.8V dans des conditions nominales de fonctionnement. Cette cellule pourrait être externe à la puce CMOS et connectée par des fils de bonding. Dans la littérature, (Zhang et al., 2016c ; Ishigaki et al., 2017c) ont développé des alimentations optiques spécifiquement pour des applications de gate driver. Ces solutions sont basées sur des composants discrets ou sur des composants intégrés avec des technologies et processus de fabrication spécifiques. Dans cette thèse, nous souhaitons développer la partie réceptrice de l'alimentation optique au sein de la puce CMOS du gate driver, sans étapes de fabrication supplémentaires.

III.2.1 Principe de fonctionnement

Plusieurs solutions ont été développées dans la littérature pour intégrer une cellule photovoltaïque au sein d'une puce CMOS. Deux axes principaux de recherche nous intéressent, la maximisation du rendement et la montée en tension de fonctionnement. La tension en circuit ouvert d'une jonction PN en technologie CMOS dépend de la puissance optique reçue, de la température et des niveaux de dopages. Généralement cette tension de circuit ouvert est de l'ordre de 0.5V et dépasse rarement 1V pour une jonction. Pour atteindre la tension d'alimentation de 1.8V, il faudra donc mettre plusieurs jonctions en série. Or, dans la technologie CMOS AMS H18, il existe 3 types de couches, le substrat, les couches dites « well » profondes et faiblement dopées (DN_w , N_w , DP_w , P_w) et les couches peu profondes fortement dopées ($P+$, $N+$). Se pose alors la question du positionnement de la masse du circuit électronique qui doit être confondue avec le potentiel négatif de la cellule photovoltaïque. On distingue 2 cas :

- Le circuit électronique n'est pas isolé (masse au substrat) :

Dans ce cas, la possibilité de mise en série se limite à l'isolation des jonctions de la cellule PV à l'intérieur de la couche DN_w (voir Figure 2-17). Il existe une diode parasite entre DN_w et le substrat qui va induire des pertes pour les jonctions polarisées. Plus la jonction polarisée sera proche du potentiel positif de la cellule PV, plus le courant de fuite sera important. Ce problème devient critique lorsqu' i_{fuite} devient plus important qu' i_1 , la cellule peut alors consommer de l'énergie au lieu d'en fournir. Pour éviter ce problème, (Law, Bermak, 2010) ont proposé de mettre plusieurs cellules en parallèle pour compenser les fuites.

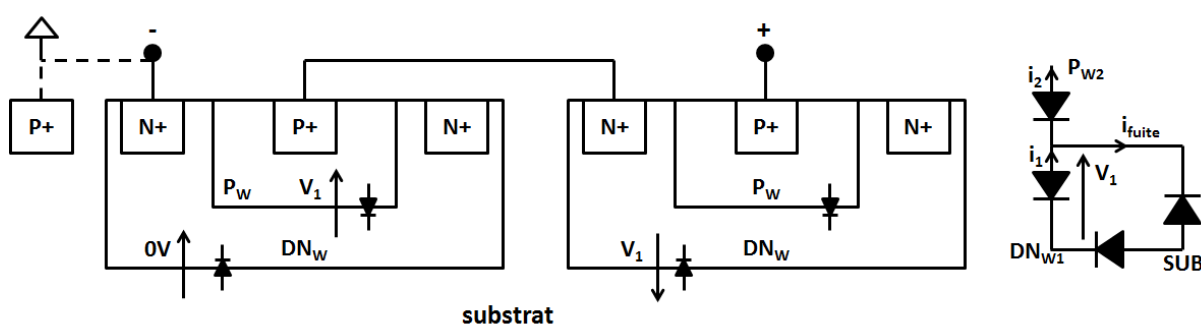


Figure 2-17 : Schéma de principe de la mise en série de 2 jonctions P_w-DN_w

Pour augmenter le rendement de la cellule PV et économiser de l'espace sur la puce CMOS, (Fong et al., 2013 ; Guilar et al., 2009) ont proposé d'intégrer des capacités de stockage au-dessus des jonctions et de s'en servir comme guide d'onde pour maximiser la puissance optique reçue par la cellule PV (voir Figure 2-18).

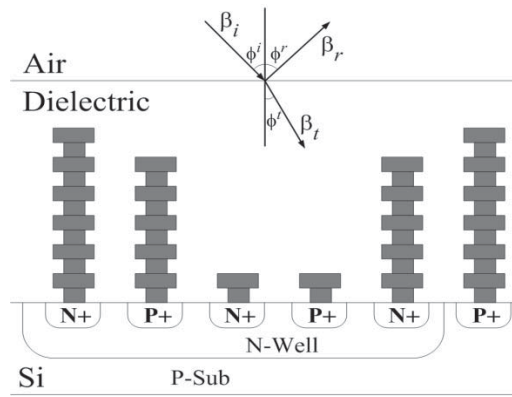


Figure 2-18 : Exemple de réseau de capacités MIM utilisées comme guide d'onde (Guilar et al., 2008)

- Le circuit électronique est isolé (à l'intérieur de DN_W) :

Dans ce cas, le substrat peut être utilisé à un potentiel différent du potentiel négatif de la cellule PV, et donc être une partie utile de la cellule PV. Pour économiser de la surface et pour maximiser le rendement, des solutions d'éclairage par l'arrière de la puce CMOS ont été développées (Hung et al., 2015). Des étapes supplémentaires de fabrication ont été appliquées pour réduire l'épaisseur de substrat à son épaisseur optimale et pour limiter les réflexions. Un rendement de 33% sous une lumière de 980 nm a été obtenu (Hung et al., 2015). Pour augmenter le niveau de tension, (Horiguchi, 2012) propose de placer le circuit électronique entre une jonction substrat/DN_W et une jonction P_W/DN_W où ce dernier DN_W est court-circuité avec le substrat. Pour limiter les pertes induites par les fuites entre le DN_W du circuit électronique et le substrat, la surface du circuit est recouverte par du métal. L'inconvénient de cette technique est la limitation à deux jonctions en série (l'ajout de jonctions supplémentaires induira des pertes entre DN_W et substrat). Ces deux dernières solutions sont illustrées sur la Figure 2-19.

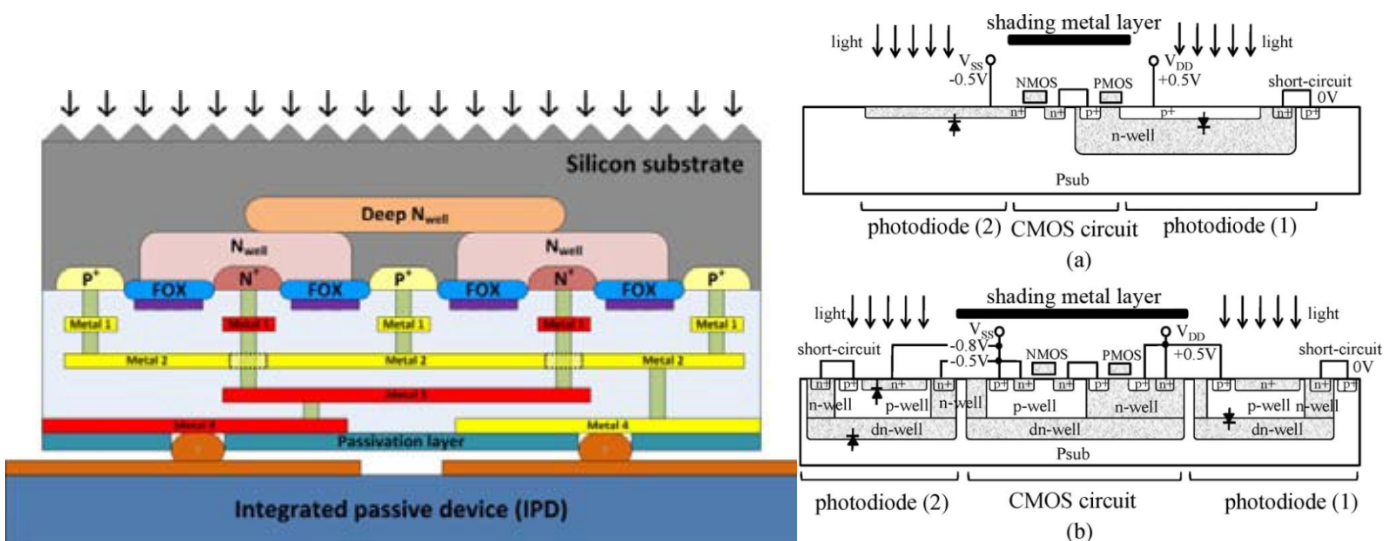


Figure 2-19: Illustration d'un éclairage par la face arrière de la puce CMOS (Hung et al., 2015) et d'une mise en série utilisant le substrat comme partie utile de la cellule PV (Horiguchi, 2012)

Dans la thèse de Thanh Long Le (Le, 2015), une cellule photovoltaïque en technologie CMOS SOI (Silicon On Insulator) a été conçue. L'avantage de la technologie SOI est d'avoir des couches N et P isolées par des tranchées profondes d'isolants. Ainsi, il est possible de mettre en série plusieurs jonctions sans avoir de courant de fuite parasite. La technologie XFAB XT018 est utilisée où l'épaisseur des couches « well » est comparable à celle de la technologie AMS H18, environ 1 à 1.5 μm . A ces épaisseurs, il est primordial d'utiliser des longueurs d'onde faibles, vers le bleu ou violet. À cause de l'oxyde de protection de la puce CMOS, il existe des réflexions à l'interface air/oxyde et oxyde/silicium, ce qui forme un résonateur de Fabry Perrot. Il existe donc des minima et maxima de réflexion en fonction de la longueur d'onde. La Figure 2-20 montre un exemple d'indice de réflexion pour la technologie XFAB pour 2 types d'oxyde. On peut voir que les écarts de longueurs d'onde entre minima de réflexions augmentent lorsque la longueur d'onde augmente. Pour des longueurs d'onde proches du bleu il est presque impossible de sélectionner une longueur d'onde de laser pour se situer sur un minima. Pour cela il serait préférable de sélectionner des longueurs d'onde au-delà de 800 nm mais l'absorption sera beaucoup plus faible. Pour éviter ce problème, une technique consiste à ajouter un revêtement antireflet (ARC), dont un exemple est tracé en jaune sur la Figure 2-20. On voit que ce revêtement a une performance maximale pour des longueurs d'onde de 400 à 450 nm.

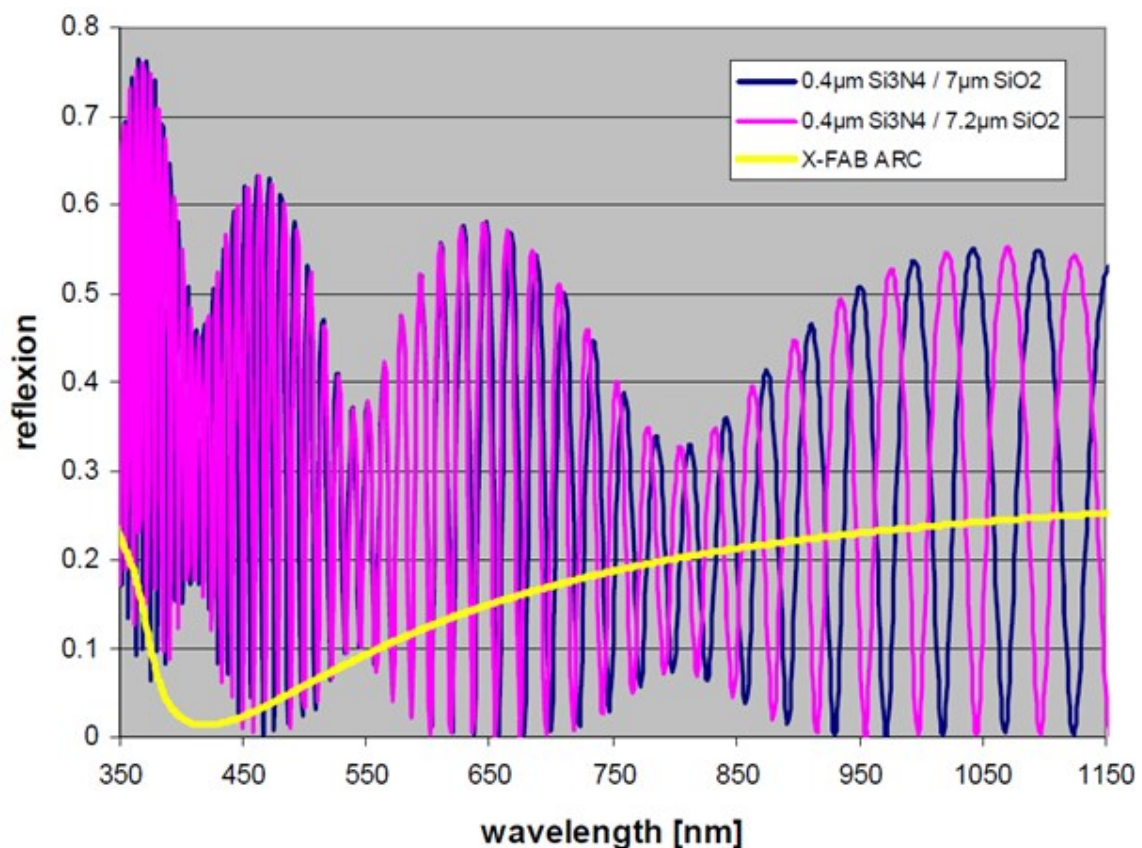


Figure 2-20: réflexion en fonction de la longueur d'onde pour différentes épaisseurs d'oxyde et pour un revêtement antireflet – données XFAB [(XFAB, 2010a)]

Des technologies CMOS optique, avec traitement antireflet sont disponibles en circuit multi-projets comme les technologies AMS 0.35 μm C35B4OA, C35B4O1 et XFAB 0.18 μm XS018. Une solution possible est donc de coupler 2 puces, une de technologie standard pouvant intégrer des MOS hautes tensions, et une puce optique dédiée à la cellule photovoltaïque. Avec un éclairage en face arrière, il est possible d'intégrer un découplage capacitif au sein de cette puce comme illustré sur la Figure 2-21 (les poteaux de connexion représente en fait des billes de soudure pour report « flip chip », leur hauteur est surestimée pour la lisibilité du schéma) :

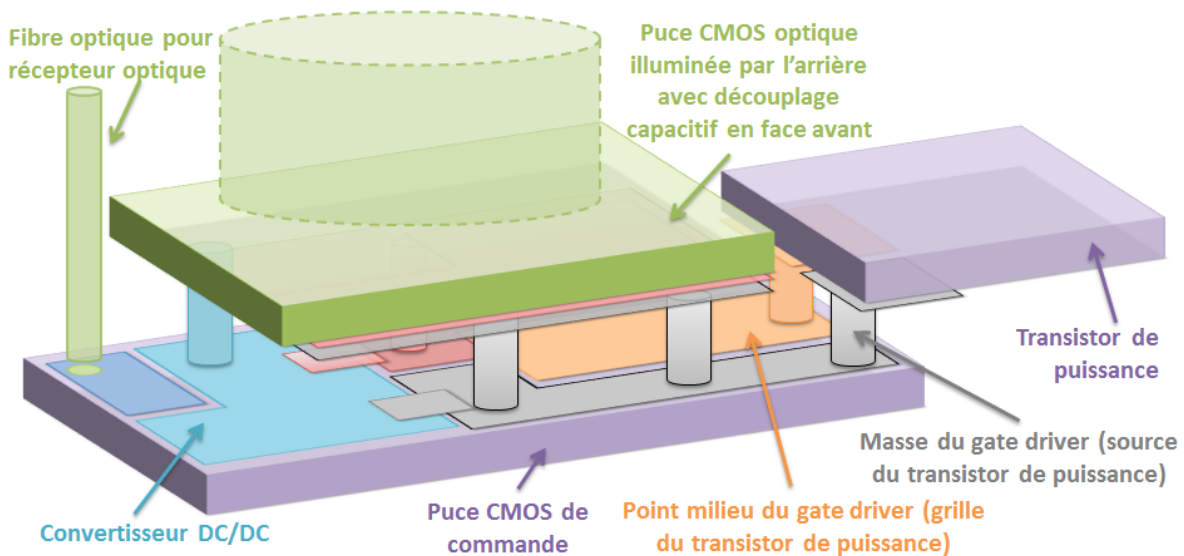


Figure 2-21 : illustration d'une solution bi-puce pour l'intégration du gate driver et de son alimentation optique.

Cette solution présente l'avantage de pouvoir optimiser l'alimentation optique avec un traitement antireflet et une taille de cellule relativement grande, ce qui permet d'utiliser des fibre de diamètre de cœur plus grande ou d'avoir une focalisation plus facile. L'inconvénient est d'utiliser 2 technologies différentes car même si en circuit multi-projet les technologies optiques sont du même ordre de grandeur au niveau du prix, une production à plus grande échelle serait plus coûteuse que dans le cas d'une seule technologie. Pour cette raison, nous avons décidé d'investiguer le développement de l'alimentation optique sur une seule puce fabriquée dans une technologie standard sans étapes supplémentaires de fabrication. Le principe de packaging est illustré sur la Figure 2-22. La cellule photovoltaïque est intégrée au sein de la puce CMOS, ce qui contraint sa taille car on souhaite limiter la surface totale de la puce pour des raisons économiques. Pour amener le découplage capacitif au plus proche, la configuration du buffer est modifiée pour intégrer la capacité de découplage. Un PCB intermédiaire entre le driver et le transistor de puissance est utilisé pour amener un découplage capacitif externe de plus forte valeur. A cause de l'épaisseur du PCB, la maille de

commutation est légèrement agrandie. Le PCB sert de maintien pour les fibres optiques et simplifie le report « flip chip » par rapport au report puce à puce présenté précédemment.

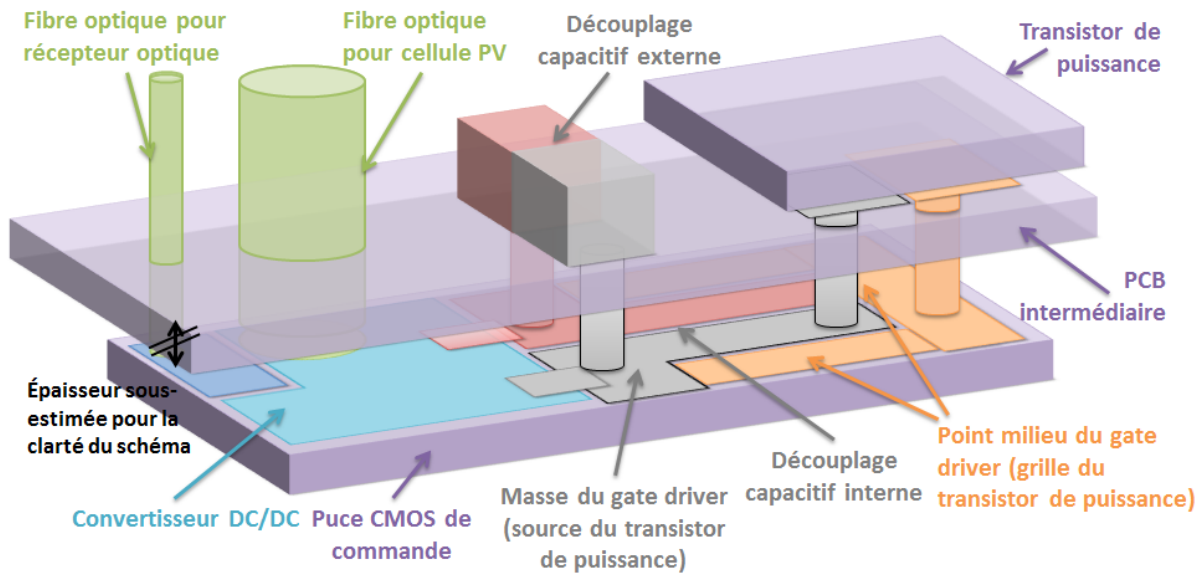


Figure 2-22 : illustration du packaging pour intégrer l'alimentation optique au sein de la puce CMOS de commande.

Une dernière solution consiste à intégrer le détecteur optique dans la cellule PV pour pouvoir utiliser une seule fibre qui transmette à la fois la puissance et le signal. Le courant photo-généré du photodétecteur dû à la transmission de puissance serait alors vu par ce détecteur comme une valeur DC (qui serait éliminée par le circuit de traitement du signal). Le signal de commande optique serait alors modulé pour pouvoir être différencié des fluctuations de puissance dues à l'émetteur de puissance optique.

III.2.2 Simulation de la cellule $P_W/DN_W/P_{SUB}$

Dans cette thèse, la masse du circuit électronique est reliée au substrat. Nous avons choisi d'investiguer la mise en œuvre d'une cellule PV en technologie CMOS standard. Le schéma électrique équivalent de la cellule PV est montré sur la Figure 2-23. Chaque jonction est modélisée par le modèle de diode présent dans la librairie de la technologie H18, associé en parallèle à une source de courant modélisant le courant généré par la lumière. Les résistances de shunt et série ne sont pas modélisées dans un premier temps pour simplifier le modèle. Ces résistances auront un impact sur le facteur de forme et pourront être déterminées par des tests expérimentaux. Pour les simulations, plusieurs paramètres sont pris en compte : la valeur de résistance de contact entre GND et le substrat, la proportion de courant photo-généré entre les jonctions P_W/DN_W et DN_W/SUB , la valeur de courant de court-circuit (courant photo-généré sans polarisation), et la valeur de température.

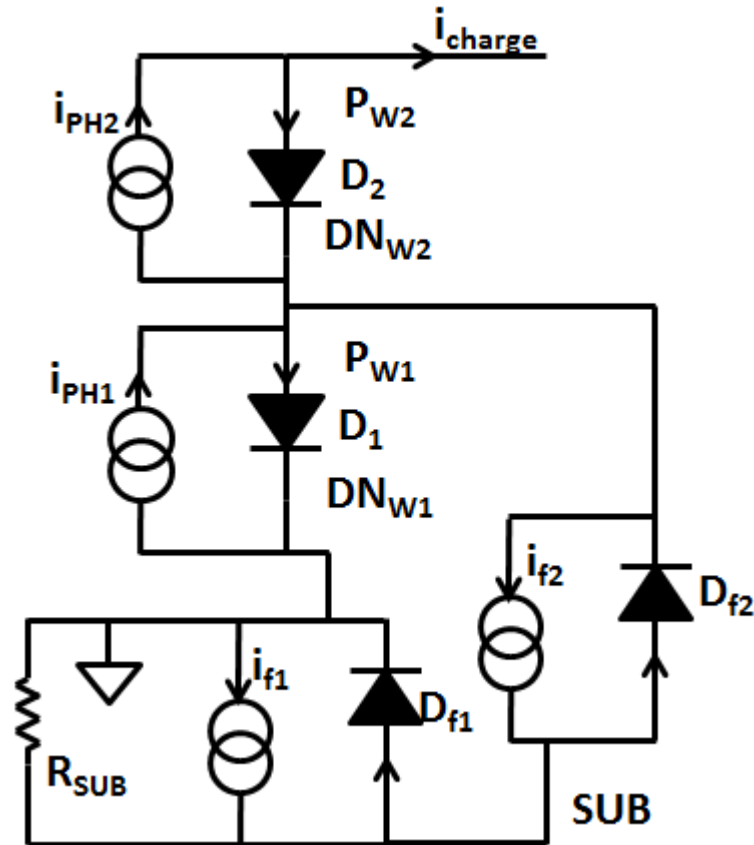


Figure 2-23 : Schéma électrique équivalent de la cellule PV

Des simulations sont d'abord effectuées pour voir l'influence de la résistance de contact entre le substrat et la masse de la cellule PV. Les résultats sont montrés sur la Figure 2-24, où le courant de la cellule PV et la polarisation du substrat sont tracés en fonction de la polarisation de la cellule PV. On a la relation $V_{Df1} = V_{D1} + V_{Df2}$. En l'absence de polarisation et de résistance de contact ($V_{D1} = 0$ V, $R_{SUB} \rightarrow \infty$), les polarisations de D_{f2} et D_{f1} sont égales. Les courants i_{f2} et i_{f1} se rebouclent dans D_{f2} et D_{f1} et $i_{PH2} = i_{PH1} = i_{charge}$. Lorsque la polarisation de la cellule PV augmente, V_{D2} augmente jusqu'au seuil de D_2 puis V_{D1} augmente. i_{PH2} est alors dévié vers D_{f2} et D_{f1} , pour s'opposer à i_{f2} et diminuer V_{Df2} et s'ajouter à i_{f1} et augmenter V_{Df1} . Ensuite, V_{D1} augmente jusqu'au seuil de D_1 et les courants i_{PH2} et i_{PH1} se rebouclent dans D_2 et D_1 . Comme on peut le voir avec la courbe à 100Ω, lorsque la résistance de contact est élevée, le problème est que le substrat est polarisé à une valeur assez importante (plus de 0.7V à 100Ω). Or, la masse de notre circuit électrique est reliée au substrat par un contact résistif. Pour le bon fonctionnement du circuit, il faut donc connecter la masse de la cellule PV au substrat. Dans ce cas (faible valeur de résistance de contact), à faible polarisation, D_1 se polarise en négatif pour compenser V_{Df2} et i_{f1} se reboucle dans D_{f1} et dans la résistance de contact. Lorsque la polarisation augmente, i_{PH2} est dévié vers D_{f2} et R_{SUB} . Ceci arrive à plus ou moins grande polarisation de cellule PV selon le niveau de polarisation du substrat. Puis V_{D1} augmente jusqu'à rattraper V_{D2} et passer leurs

seuils, les courants i_{PH2} et i_{PH1} se rebouclent ensuite dans D_1 et D_2 . Etant donné qu'il est difficile d'arriver à une valeur de contact résistif de 1Ω , nous prendrons comme valeur 10Ω pour la suite des simulations.

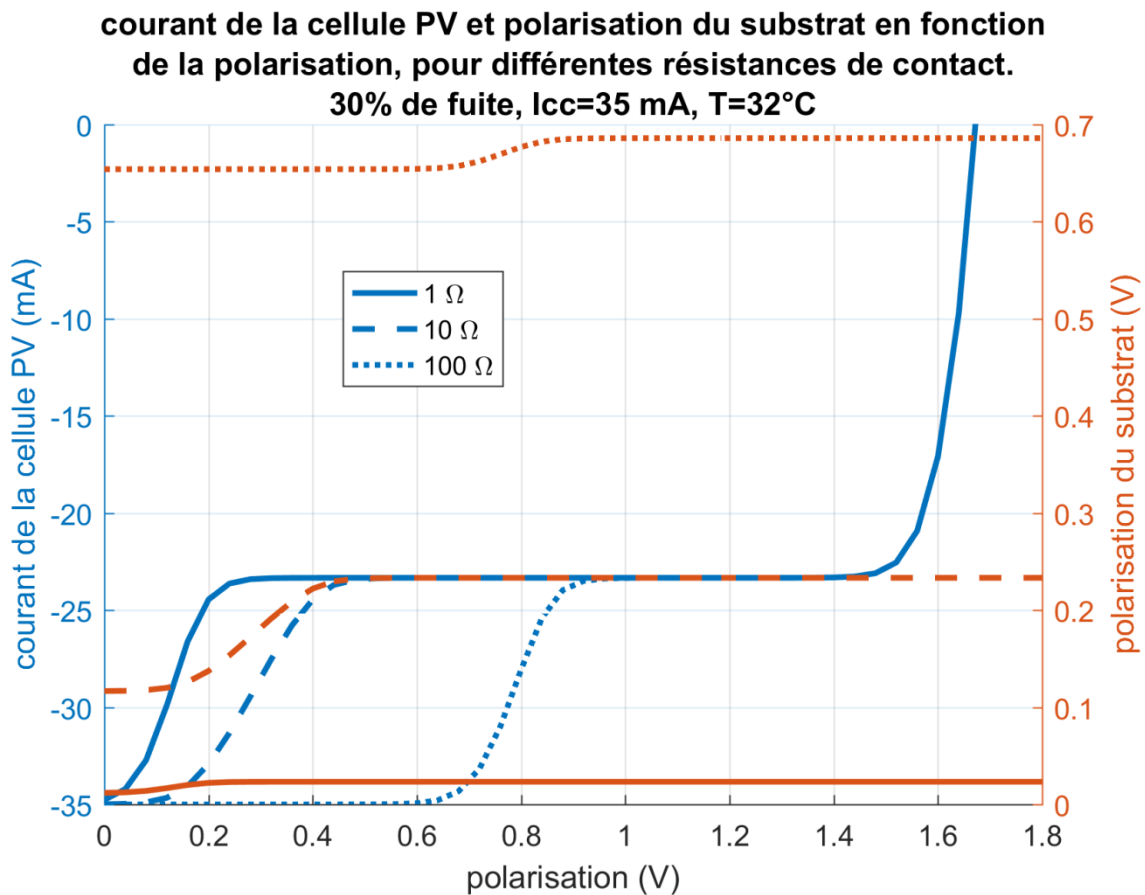


Figure 2-24 : Effets de la résistance de contact entre le substrat et la masse de la cellule PV

L'impact du pourcentage du courant de fuite est ensuite étudié. Le pourcentage de courant de fuite correspond au ratio entre le courant généré dans le substrat et le courant total. Il est représentatif de la longueur d'onde utilisée pour transmettre la puissance optique sans qu'on puisse connaître par avance à quelle longueur d'onde un pourcentage de fuite donné corresponde. Les résultats sont montrés sur la Figure 2-25, où l'impact du courant de court-circuit (ou courant photo-généré au sein des jonctions utiles) est également montré. On peut voir que les fuites impactent proportionnellement la puissance maximale disponible. L'augmentation du courant total induit une légère augmentation de la tension de court-circuit V_{OC} . Une augmentation ou une sous-estimation du courant de fuite peut être compensée par une augmentation de la puissance transmise, comme pour 50% de fuite, 40 mA photo-générés qui compensent une éventuelle sous-estimation de 30% de fuite avec 30 mA photo-générés.

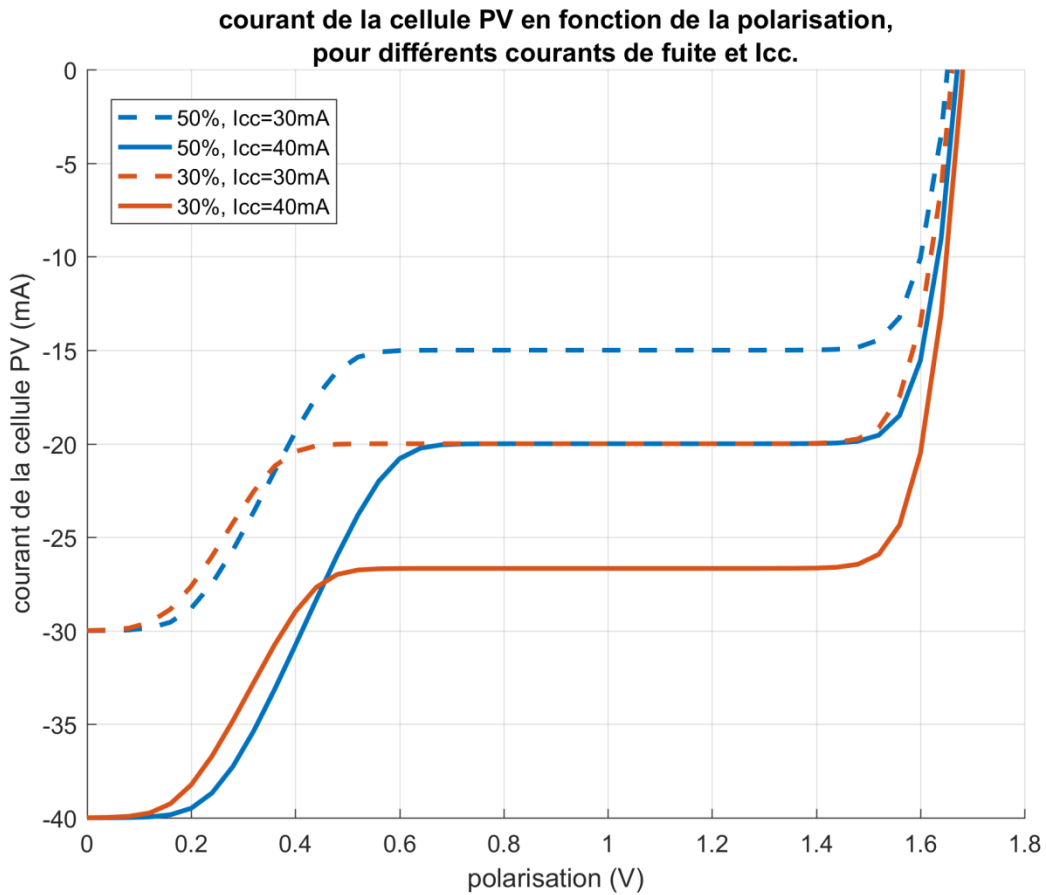


Figure 2-25 : Effets de la puissance optique transmise et des fuites sur la caractéristique de la cellule PV

L'influence de la température est étudiée pour un pourcentage de fuite de 30%, un courant photo-généré de 35 mA et une résistance de contact de 10Ω . Les résultats sont montrés sur la Figure 2-26, où le courant et la puissance générée de la cellule PV sont tracés en fonction de la polarisation pour des températures allant de $-40\text{ }^{\circ}\text{C}$ à $140\text{ }^{\circ}\text{C}$. On peut voir qu'à puissance maximale, la tension de polarisation de la cellule PV varie entre 1.2V et 1.8V. Pour la suite de ce manuscrit, on prendra cette caractéristique de cellule PV pour référence sauf indication contraire.

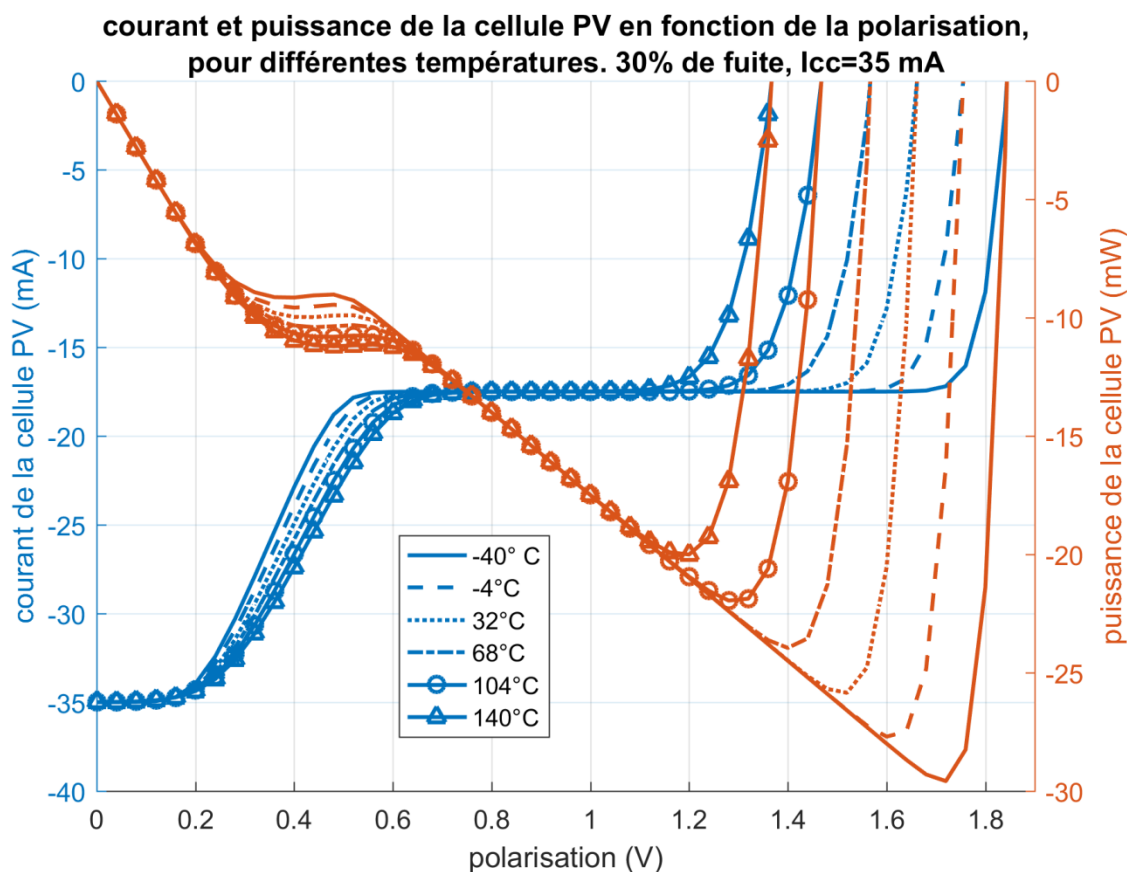


Figure 2-26 : Caractéristiques de la cellule PV en conditions nominales

III.2.3 Caractérisations

Les caractérisations réalisées sur la cellule PV fabriquée en technologie CMOS AMS 0.18 μm HV n'ont pas été concluantes, avec l'observation d'une résistance d'environ 30 Ω à la place de la caractéristique de cellule PV. Les résultats présentés sur la Figure 2-27 sont issus de caractérisations réalisées sur une puce de technologie XFAB SOI 0.18 μm , fabriquée lors de la thèse de Thanh Long LE. La cellule photovoltaïque réalisée est composée de 6 jonctions N⁺/N_{WELL}/P_{SUB} en série, sachant que P_{SUB} est un substrat local pour cette technologie. Les caractérisations ont été effectuées avec le laser fibré LP520-MF100 de longueur d'onde 520 nm, de puissance maximale 100 mW et de diamètre de cœur de fibre 105 μm . Le diamètre de la cellule PV est de 600 μm . Une première étape est réalisée pour calibrer la puissance du laser et des tests sont effectués à température ambiante pour différentes puissance optiques incidentes. La puissance optique maximale générée est de 2.6 mW pour un rendement de 4.2%. Cette puissance n'est malheureusement pas suffisante pour commander un transistor de puissance. La puissance maximale électrique générée est limitée par la puissance du laser disponible et les pertes d'insertion. On peut noter une bonne linéarité entre la puissance électrique maximale générée et la puissance optique incidente avec un coefficient $R^2=0.9996$. Des tests sont également effectués en fonction de la température. Une station de

caractérisation sous vide est utilisée dont la photo est disponible en Annexe II-D. Cette station possède une entrée optique. Cependant le couplage entre la fibre extérieure et la fibre à l'intérieur de la station induit des pertes optiques importantes, ce qui fait que la puissance optique incidente est inconnue, et nos détecteurs optiques calibrés ne rentrent pas dans la station. C'est pourquoi, les résultats de la puissance générée en fonction de la température sont normalisés avec la puissance obtenue à 50 °C.

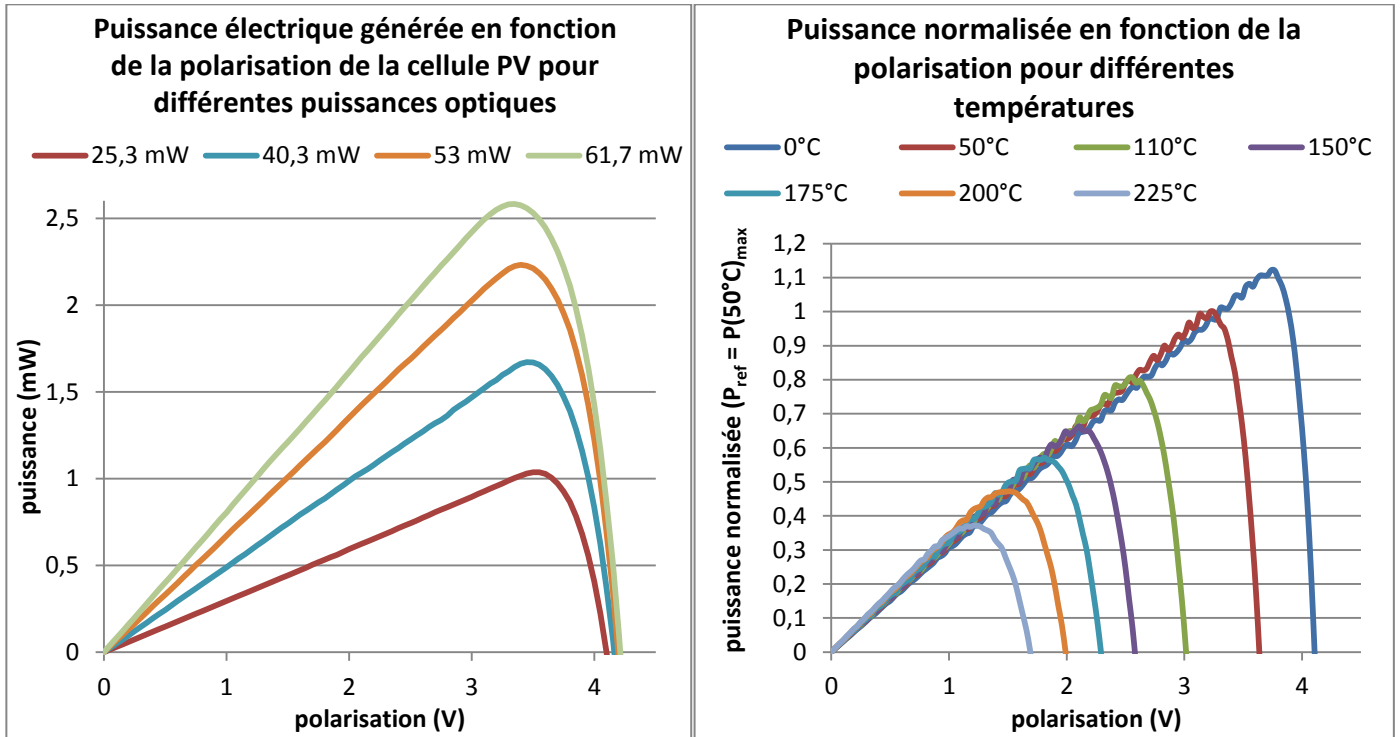


Figure 2-27 : Puissance générée par la cellule PV fabriquée en technologie XFAB SOI 0.18 µm

On voit qu'il y a une grande variation de la tension en circuit ouvert en fonction de la température. De plus, on peut remarquer que pour cette technologie la tension en circuit ouvert est plus faible que précédemment avec un V_{OC} à température ambiante de 4 V soit pour 2 jonctions, 1.33 V. Si on voulait adapter la stratégie choisie à la technologie XFAB, il faudrait utiliser 3 cellules en série et non 2.

En Annexe II-E, le masque de la cellule PV dimensionnée en technologie AMS 0.18 µm HV est montré. La cellule PV a été testée mais présente une caractéristique de résistance d'environ 20Ω (court-circuit). Le problème n'a pas été identifié.

III.3. Intégration d'un convertisseur DC/DC

Le but de ce convertisseur est d'élever la tension de la cellule PV, théoriquement comprise entre 1.2V et 1.8V, à la tension de 5V pour charger la grille d'un transistor GaN de type EPC ou GaN System.

III.3.1 Considérations générales

Le convertisseur DC/DC doit être intégrable au sein de la puce de commande, fabriquée en technologie CMOS AMS H18. « Intégrable » signifie que la taille nécessaire au convertisseur DC/DC doit être du même ordre de grandeur que le reste du circuit, soit typiquement 1 à 2 mm² maximum. La façon la plus simple de réaliser un convertisseur DC/DC élévateur de 1.2V à 1.8V en entrée à 5V en sortie est d'utiliser un hacheur élévateur. On peut montrer que la résistance parasite de l'inductance d'entrée limite le rapport de conversion selon l'expression suivante, où V_o est la tension de sortie, V_i , la tension d'entrée, α , le rapport cyclique, R , la résistance équivalente de la charge et R_L , la résistance parasite de l'inductance d'entrée :

$$\frac{V_o}{V_i} = \frac{1}{\frac{R_L}{R \cdot (1 - \alpha)} + 1 - \alpha}$$

Pour avoir un rapport de conversion supérieur à $5/1.2=4.17$, il faut donc avoir un ratio $R/R_L < 70$. La résistance du meilleur métal de la technologie H18 (top métal) est $R_{tm}=0.1 \cdot l/W$, où l est la longueur de piste et W est la largeur. Si on considère une inductance solénoïde parfaite, la valeur d'inductance est :

$$L = \mu_0 \cdot N^2 \cdot \frac{S}{N \cdot t}$$

Où N est le nombre de spires, S la surface et t l'épaisseur entre spires (épaisseur de métal + isolation). Notons l_s la longueur d'une spire :

$$L = 10^{-7} \cdot N \cdot \frac{l_s^2}{4 \cdot t}$$

La résistance de charge est de $1/C \cdot f$ avec une charge au pire cas de 10 nF x 1 MHz. La résistance parasite de l'inductance doit donc être inférieure à 14 Ω . D'où :

$$l_s^2 < \frac{196 \cdot W^2}{N^2}$$

Sachant que l'épaisseur t vaut environ 9 μm ,

$$L < 0.54 \cdot \frac{W^2}{N}$$

La valeur de l'inductance va limiter les ondulations de courant. En négligeant la résistance (le calcul devient complexe sinon), la valeur maximale de l'ondulation de courant est :

$$\Delta I_{Lmax} = \frac{V_i \cdot \alpha \cdot T}{L}$$

Avec $\alpha=0.88$ et $V_i=1.2V$ au pire cas, un ΔI_{Lmax} d'environ 20 mA (il faut rester proche du MPP de la cellule PV) et une fréquence de commutation de 100 MHz, la valeur minimale d'inductance visée serait d'environ 500 nH. Pour atteindre cette valeur d'inductance, il faudrait une épaisseur de métal de l'ordre du millimètre. Même si on se permettait d'avoir une telle taille d'inductance, le rendement serait faible puisqu'on se placerait à la limite de $R/R_L < 70$. Ceci n'est pas acceptable en vue de l'intégration du convertisseur DC/DC.

III.3.2 Dimensionnement du convertisseur DC/DC

Ces considérations sur le hacheur élévateur montrent qu'il est très difficile d'intégrer une inductance en technologie CMOS H18, compte tenu des conditions requises pour le convertisseur. L'utilisation d'un PCB pourrait être envisageable pour utiliser une inductance discrète, sachant que ce qui limite surtout l'intégration en technologie CMOS, c'est l'épaisseur de métal, faible, qui induit une valeur de R_L assez élevée. De plus l'utilisation d'un PCB est quasiment nécessaire pour intégrer une capacité de découplage élevée. Cependant, nous avons fait le choix d'un convertisseur à capacités commutées, plus simple de réalisation. Le convertisseur dimensionné est repris de la thèse de Thanh Long LE (Le, 2015) et (Maksimovic, Dhar, 1999) et adapté à la technologie AMS H18. Ce convertisseur est composé de 2 tripleurs de tension entrelacés, dont la structure est décrite en Annexe II-F. Le fonctionnement de ce convertisseur est détaillé dans la thèse de Thanh Long LE. Deux capacités sont chargées successivement à V_{in} et $2V_{in}$ pour pouvoir ensuite charger la capacité de sortie à $3V_{in}$. La spécificité du convertisseur dimensionné est de posséder deux convertisseurs couplés de telle sorte à réduire les oscillations en sortie du convertisseur.

Des éléments de dimensionnement sont repris ici pour montrer le compromis entre le rendement et la surface utilisée. Nous ferons l'hypothèse que la surface est essentiellement due aux 4 condensateurs du convertisseur. En technologie AMS H18, la capacité surfacique des condensateurs métal-isolant-métal (MIM) est de $4 \text{ fF}/\mu\text{m}^2$ soit $4 \text{ nF}/\text{mm}^2$. La valeur de capacité d'un condensateur en nF est donc la même que la valeur de surface en mm^2 (car 4 condensateurs pour le convertisseur considéré). Sur la Figure 2-28, les courbes du rendement et du gain en tension sont présentées en fonction de la valeur de capacité (ou surface) pour 3 valeurs de fréquence de commutation. Le dimensionnement des transistors étant figé au dimensionnement final. Il existe un front de Pareto entre le rendement (ou le gain en tension) et la surface utilisée. Il existe un optimum de rendement pour chaque fréquence de commutation, qui se situe vers des surfaces élevées lorsque la fréquence de commutation est faible. Autrement dit, le fait d'avoir une faible fréquence de commutation est bénéfique pour le rendement mais nécessitera une plus grande surface. La valeur de capacité choisie est de

400pF et la fréquence de commutation de 20 MHz car ils offrent un bon compromis entre un rendement maximal de 79%, un gain de 2.75 et une surface de 0.4 mm². En Annexe II-G, l'ondulation de tension est également présentée et vaut 0.1% de la tension de sortie à 400 pF à 20MHz.

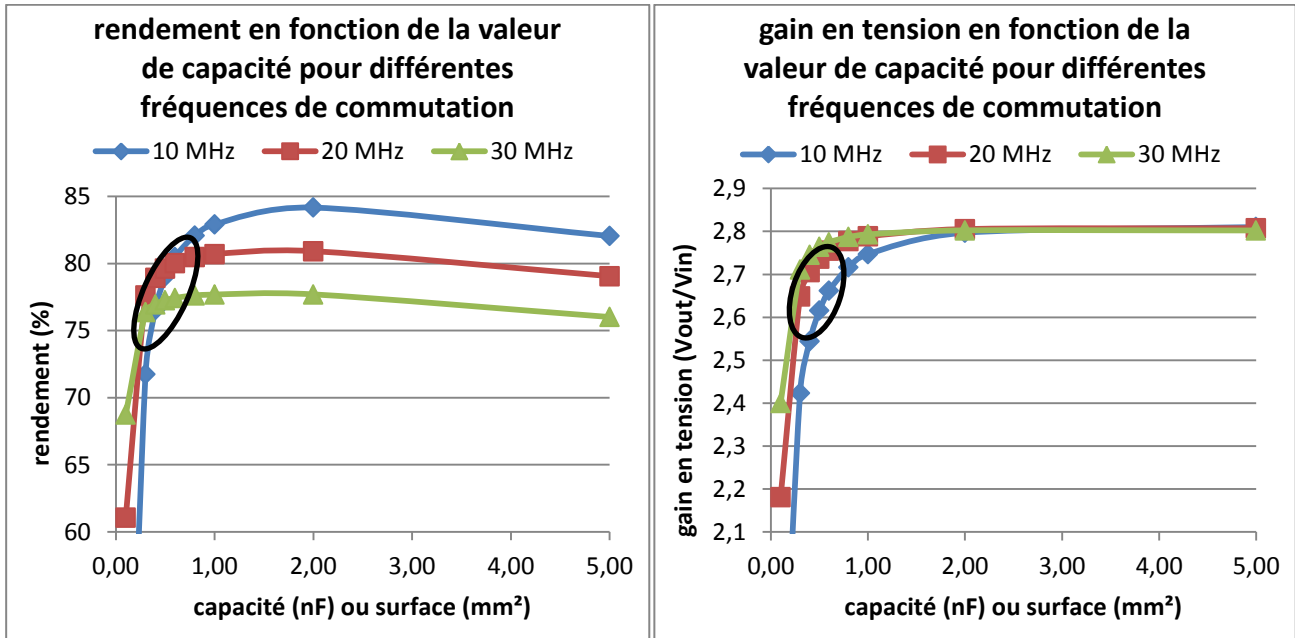


Figure 2-28 : Compromis entre rendement et surface utilisée par les capacités commutées

Un autre paramètre déterminant pour le rendement est le temps mort entre les 2 commandes. Des simulations sont effectuées en fonction du temps mort en fixant les temps de montée et descente à 400 ps. On peut voir que le rendement est maximal pour un temps mort égal aux temps de montée et descente. Ce paramètre n'a pas été correctement optimisé lors du dimensionnement du convertisseur. C'est pourquoi les rendements présentés par la suite seront légèrement inférieurs à ceux présentés ci-dessous.

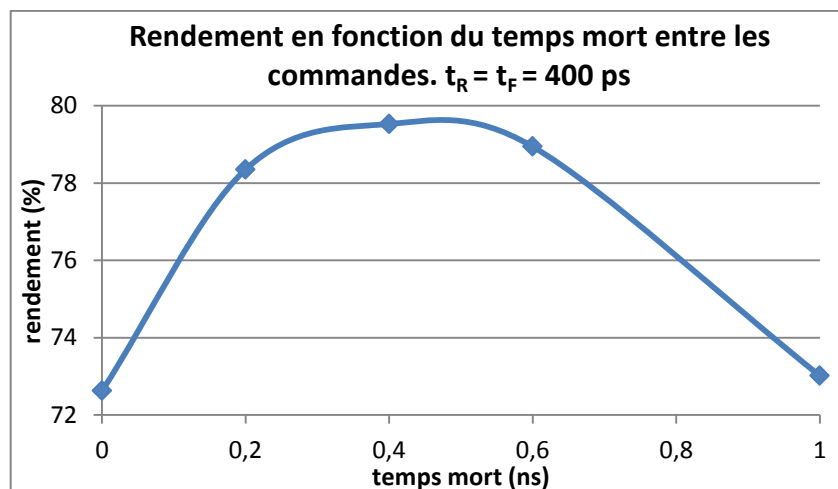


Figure 2-29 : Influence du décalage des commandes sur le rendement du convertisseur DC/DC

Le convertisseur complet (convertisseur + génération des ordres de commande) est simulé sous Cadence à 20°C. Des tests expérimentaux ont également été effectués à température ambiante (environ 20 °C). Sur la Figure 2-30, le rendement simulé et le rendement mesuré sont tracés en fonction de la puissance de sortie pour différentes tensions d'entrée. On peut voir qu'il existe des différences entre simulation et mesure mais l'allure des courbes reste la même, avec un rendement qui augmente lorsque la puissance de sortie augmente et atteint un maximum pour diminuer ensuite.

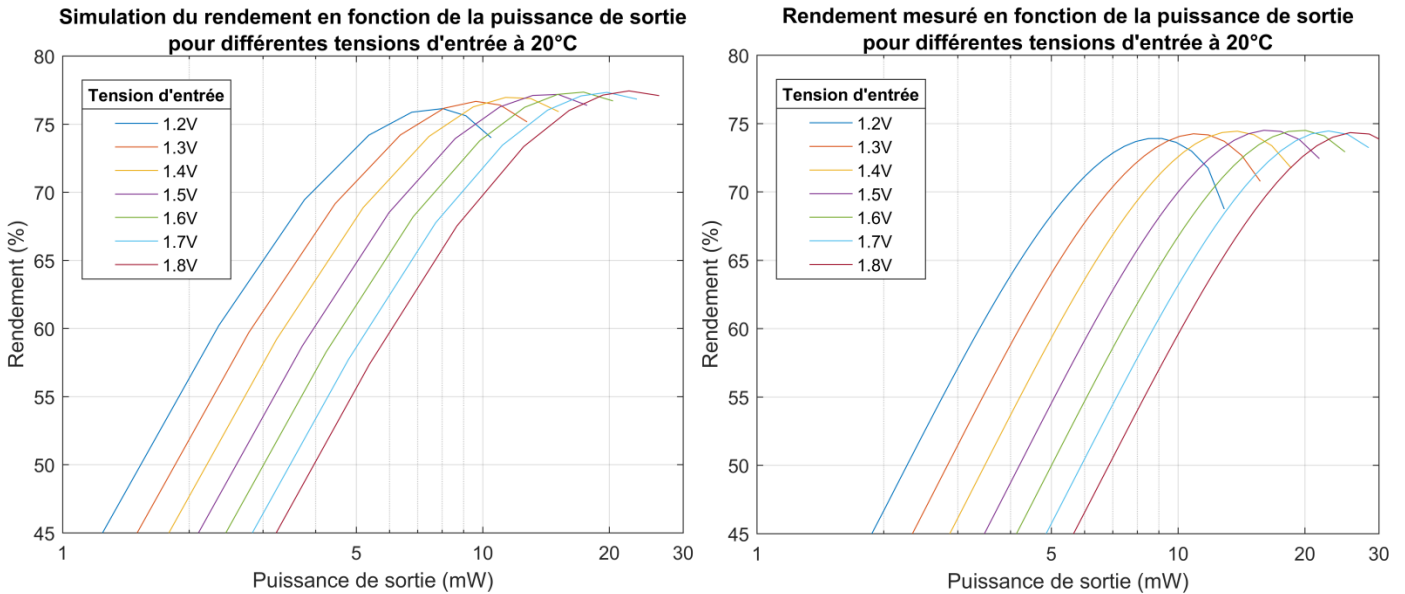


Figure 2-30 : Rendements simulé et mesuré en fonction de la puissance de sortie pour différentes tension d'entrée

Les points de rendement maximum sont enregistrés pour chaque tension d'entrée. Pour ces points, sur la Figure 2-31, le rendement, la puissance de sortie et la tension de sortie sont tracés, pour les valeurs mesurées et simulées. Pour la puissance de sortie, la puissance nécessaire à la charge d'une capacité de 1 nF à 1 MHz pour la tension de sortie tracée est également reportée, pour montrer que le convertisseur est optimisé pour cette charge. Le rendement maximal mesuré est d'environ 74% contre 76% à 77.5% en simulation. Ceci peut s'expliquer par la présence d'éléments parasites supplémentaires, dus au routage ou au report sur PCB. Les éléments parasites qui ont un impact possible sont les couplages capacitifs avec le substrat notamment, les résistances parasites du routage, et d'éventuels effets inductifs.

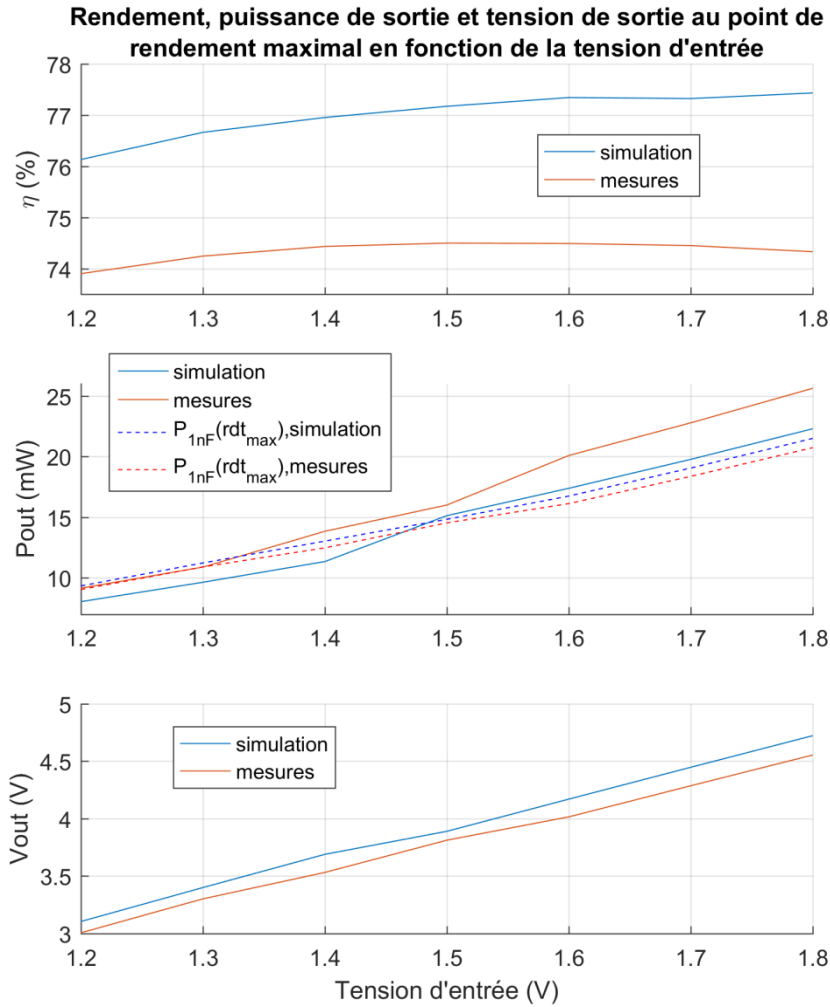


Figure 2-31 : Simulations et mesures au point de rendements maximums, à température ambiante

Pour conclure sur ce convertisseur DC/DC, une comparaison avec d'autres convertisseurs de la littérature est réalisée sur le tableau suivant :

	(Breussegem, Steyaert, 2009)	(Xiao et al., 2017)	(Butzen, Steyaert, 2017)	Ce travail
V_{in} (V) / V_{out} (V)	1.2 / 2.1	1.8 / 0.8	3.2 / 0.95	1.8 / 4.5
Rendement (%)	80	86.4	82	74
P_{out} (mW)	4.7	5	129	25
Surface (mm ²)	0.9	0.495	0.117	0.5
P (mW/mm ²)	5	10.1	1100	50
$\Delta V/V$ (%)	0.5	1	5.2	0.1
technologie	130 nm	180 nm	28 nm	180 nm

IV. Conclusion

Dans ce chapitre, le circuit d'alimentation et de modulation des charges a été dimensionné. L'amplificateur en courant a été rendu configurable pour pouvoir adapter la résistance de grille et ainsi trouver le meilleur compromis entre les surtensions et surcourants et les pertes par commutation. La capacité en courant maximal du buffer est de 7A. Le buffer est optimisé pour une charge de 1nFx1MHz.

L'alimentation a été réalisée par voie optique afin d'avoir la meilleure immunité au mode commun et le meilleur niveau d'isolation galvanique, et un haut niveau d'intégration. Cette alimentation se compose d'une cellule PV et d'un convertisseur DC/DC pour adapter la tension de la cellule PV à la tension de charge requise par le transistor de puissance. L'ensemble a été imaginé avec une cellule PV intégrée en technologie CMOS AMS 0.18 μ m mais les tests ont révélé un mauvais fonctionnement de la cellule. Une possibilité est d'adapter le circuit en technologie XFAB SOI 0.18 μ m où des tests ont montré le bon fonctionnement de la cellule PV. Une autre possibilité est d'utiliser une technologie CMOS optique spécifique pour intégrer la cellule PV et les capacités de découplage. Une dernière possibilité est d'utiliser un PCB intermédiaire pour intégrer une cellule PV discrète et un condensateur de découplage discret.

Le convertisseur DC/DC est un convertisseur à capacités commutés car l'intégration d'inductances de puissance est difficile en technologie CMOS. Ce convertisseur 1.8V/4.5V a été conçu pour une charge nominale de 1nFx1MHz avec un rendement mesuré supérieur à 74%.

Etant donné que le rendement du convertisseur n'est pas limitant, les efforts de recherche doivent porter sur la cellule PV, et la question de son intégration reste posée. En effet, intégrer la cellule PV fait gagner une surface conséquente mais au détriment du rendement. Comme l'utilisation d'un PCB intermédiaire est judicieuse pour l'intégration de la capacité de découplage et la tenue mécanique des fibres optiques, l'utilisation d'une cellule PV discrète semble envisageable. Une autre solution serait l'intégration du détecteur dans la cellule PV pour n'avoir qu'une seule fibre optique, ce qui diminuerait le coût et simplifierait l'intégration.

Chapitre 3 : Transfert du signal optique avec intégration du récepteur en technologie CMOS

I. Introduction

Dans le chapitre précédent, le transfert de la charge de grille à travers la barrière d'isolation optique a été abordé. Il a été démontré qu'une alimentation de quelques mW à quelques dizaines de mW était possible avec une isolation optique entre émetteur et récepteur. L'intégration de l'alimentation côté récepteur au sein d'une seule puce CMOS est possible à condition de bénéficier d'une technologie qui a une bonne densité de capacité MIM. L'intégration de la cellule photovoltaïque en technologie SOI est préférable. Un amplificateur en courant configurable à 6 états a été réalisé avec une capacité en courant maximale de 7A sous 5 V, permettant ainsi la commande haute fréquence (typiquement 1 MHz) de transistors GaN.

Dans ce chapitre, le transfert des ordres de commande à travers la barrière d'isolation optique sera abordé. Ce transfert est réalisé depuis un émetteur optique, via une fibre optique ou en champ libre, vers un récepteur optique suivi d'un circuit électronique de démodulation du signal, ces derniers étant intégrés monolithiquement au sein du driver en technologie CMOS. Nous aborderons ici le dimensionnement du circuit de réception optique afin qu'il soit entièrement intégrable au sein d'une puce CMOS. La problématique du transfert de puissance optique sera de nouveau considérée dans le sens où la consommation des circuits électroniques devra rester faible par rapport à la puissance demandée pour charger la grille du transistor (typiquement 25 mW pour une charge de 1 nF sous 5V à 1 MHz). La caractéristique $V(T)$ de la cellule photovoltaïque du chapitre précédent (Figure 2-26) sera considérée pour l'alimentation des circuits électroniques.

Deux approches seront abordées pour le transfert des ordres de commande et sont décrites sur la Figure 3-1. La première, appelée transfert en bande de base, consiste à envoyer un signal optique image de la commande du transistor (typiquement le signal de modulation de largeur d'impulsion). Lorsque le niveau de lumière est élevé, le transistor de puissance commandé est passant et en absence de lumière ou à faible niveau de lumière, il est bloqué. La seconde, appelée transfert numérique, consiste à envoyer les ordres de commutations (changements d'états : passant \rightarrow bloqué ou bloqué \rightarrow passant) et une unité de gestion logique intégrée à la puce gère l'état du transistor. Le transfert des ordres numériques s'effectuant à haute fréquence (typiquement 200 MHz), il est également possible d'envoyer des informations de configuration (comme la valeur de résistance de grille) durant le temps libre entre deux changements d'état du transistor de puissance.

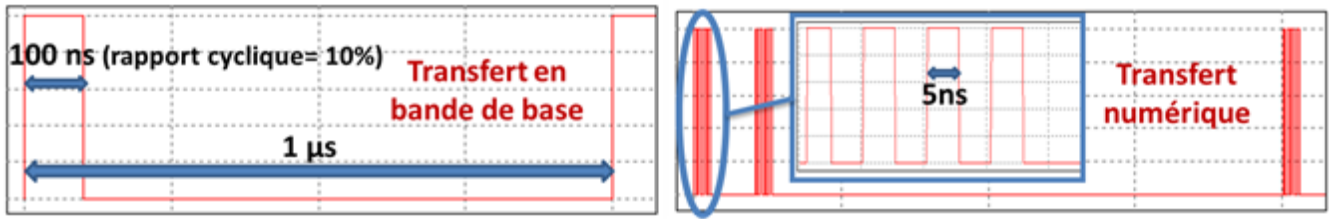


Figure 3-1 : Illustration des approches de transfert en bande de base et de transfert numérique

Avant d'aborder le dimensionnement des circuits de réception, nous allons montrer l'intérêt de la fibre optique par rapport à un dispositif de type émetteur-récepteur en vis-à-vis. Nous mettrons simplement en équation un dispositif classique afin de mettre en évidence les limitations qui peuvent apparaître entre la bande passante et le gain du circuit récepteur, la puissance optique et la distance d'isolation. Ces considérations générales nous guiderons ensuite pour le dimensionnement des circuits.

La transmission optique dans le cas d'un couplage émetteur-récepteur en vis à vis est représentée sur la Figure 3-2, par opposition avec un couplage de type fibre optique. La source lumineuse (par exemple un laser) possède un diamètre de spot D_{laser} . Ce spot illumine le récepteur optique (par exemple une photodiode de diamètre D_{phd}) avec une surface illuminée (de diamètre D_{spot}) non nécessairement égale à la surface de la photodiode, en l'absence de dispositif optique de focalisation. L'angle de divergence du faisceau lumineux est noté α . La distance d_{iso} représente la distance électrique d'isolation entre émetteur et récepteur. Le diélectrique (typiquement du SiO_2) a une permittivité relative ϵ_r . On note C_{iso} la capacité électrique parasite qui en résulte et $S_{\text{émetteur}}$ la surface côté émetteur qui participe à cette capacité (cette surface peut être beaucoup plus grande que le spot laser car elle comprend aussi la commande électrique rapprochée du laser).

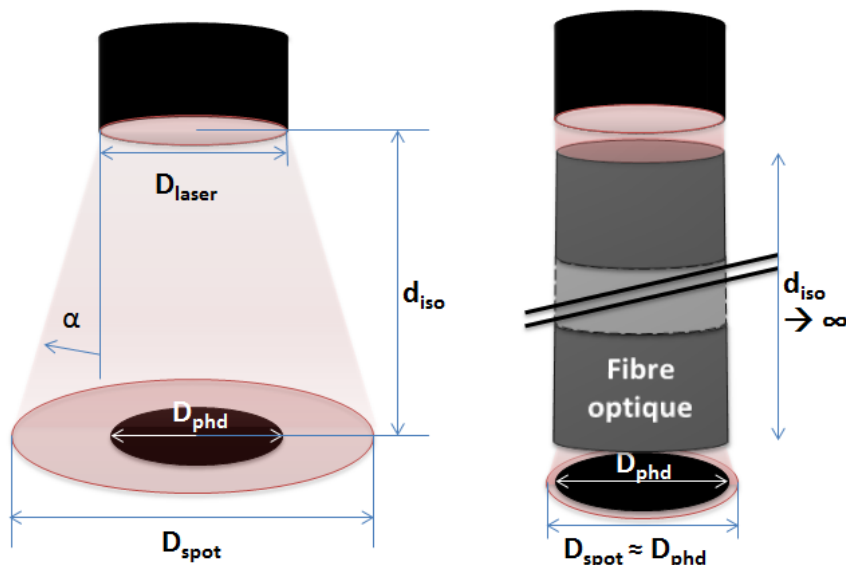


Figure 3-2 : Schéma de la transmission optique dans le cas d'un couplage émetteur-récepteur et d'un couplage par fibre optique

Pour simplifier les calculs, on considère une distribution spatiale uniforme de la lumière bien que cette distribution soit probablement gaussienne dans la réalité. On a alors les relations suivantes, où « $\eta_{couplage}$ » représente le rendement de couplage optique, c'est-à-dire le rapport entre la puissance optique effectivement reçue par la photodiode et la puissance fournie (il représente également la focalisation de la lumière sur le récepteur optique, et par suite les pertes optiques de couplage, souvent exprimées en dB ou dBm) :

$$\eta_{couplage} = \frac{P_{phd}}{P_{spot}} = \frac{D_{phd}^2}{D_{spot}^2}, \quad \eta_{couplage_{dB}} = 10 \cdot \log(\eta_{couplage}) \quad \text{Équation 3-1}$$

$$d_{iso} = \epsilon_0 \cdot \epsilon_r \cdot \frac{S_{émetteur}}{C_{iso}} \quad \text{Équation 3-2}$$

$$D_{spot} = D_{laser} + 2 \cdot \tan(\alpha) \cdot d_{iso} \quad \text{Équation 3-3}$$

Ces équations sont implémentées sous Matlab pour différentes valeurs de C_{iso} . Le rendement de couplage optique est ensuite tracé sur la Figure 3-3 en fonction de C_{iso} pour différents diamètres de photodiodes :

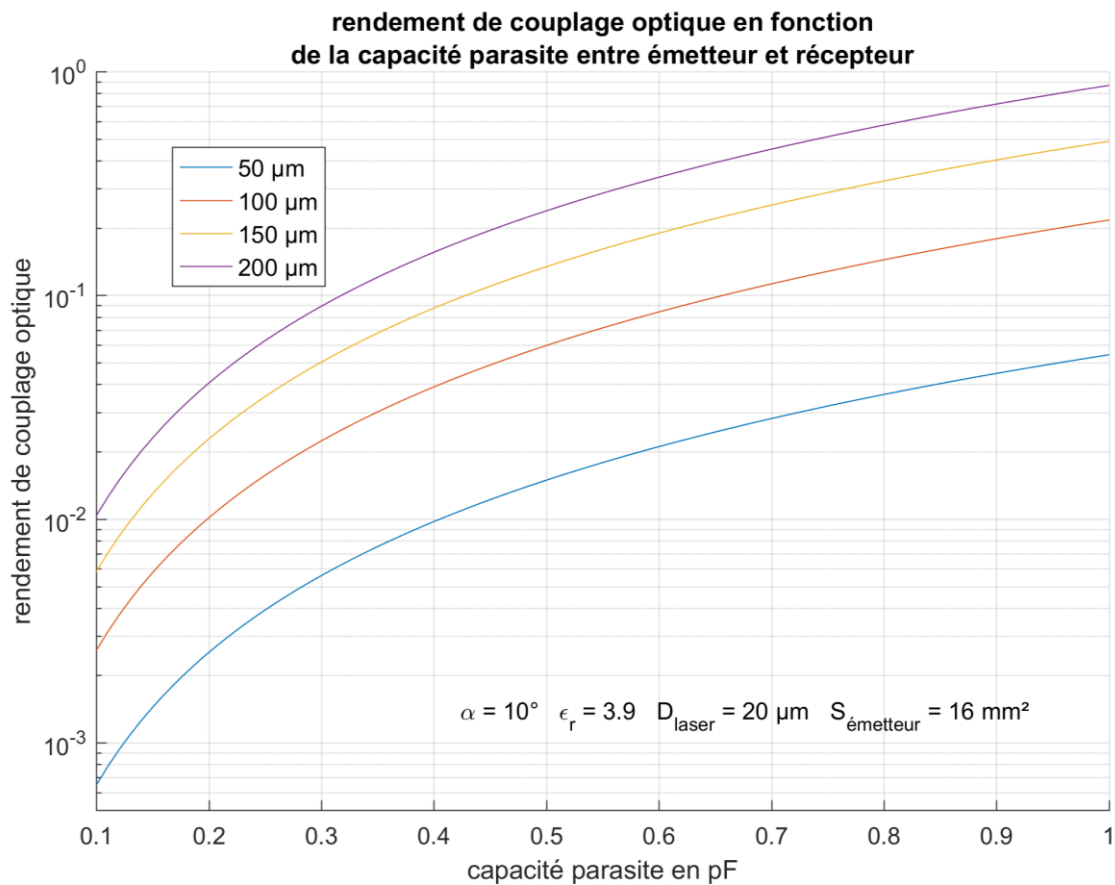


Figure 3-3 : rendement de couplage optique en fonction de la capacité parasite entre émetteur et récepteur

On voit que pour des valeurs de capacités parasites visées entre 0.1 pF et 1 pF, il est nécessaire d'avoir un grand diamètre de photodiode, typiquement supérieur à 200 µm de diamètre, afin de limiter la puissance optique requise pour le circuit récepteur. Cependant, la surface de cette photodiode est reliée à sa capacité parasite C_D et la puissance optique est reliée au niveau de courant photo-généré I_{in} et, par l'intermédiaire de l'amplificateur trans-impédant (TIA), à la tension générée en sortie. Se pose alors la question du compromis entre la bande passante du récepteur et le gain nécessaire pour amplifier cette tension générée par la lumière. Pour résoudre ce problème, considérons le TIA à feedback résistif classiquement utilisé et notamment développé dans la thèse de Thanh Long LE (Le, 2015). Son schéma est décrit sur la Figure 3-4:

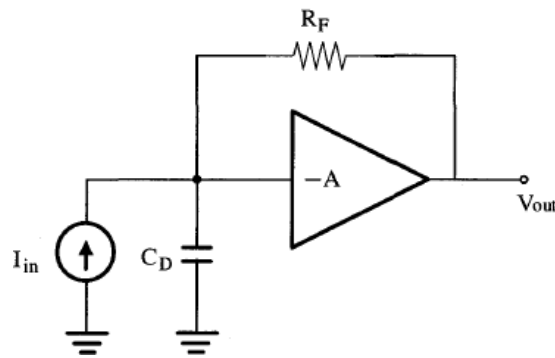


Figure 3-4 : TIA à feedback résistif

La fonction de transfert dans le domaine de Laplace associée à ce circuit est la suivante :

$$\left| \frac{V_{out}}{I_{in}} \right| = \frac{R_F}{1 + \frac{1}{A} + \frac{R_F \cdot C_D}{A} \cdot s} \quad \text{Équation 3-4}$$

Considérant $A \gg 1$,

$$\left| \frac{V_{out}}{I_{in}} \right| \approx \frac{R_F}{1 + \frac{R_F \cdot C_D}{A} \cdot s} \quad \text{Équation 3-5}$$

On a les relations suivantes (R_{phd} représente la réponse optique de la photodiode en A/W et V_b la polarisation de la photodiode):

$$C_D = \varepsilon \cdot \frac{S_{phd}}{e(V_b)} \quad \text{Équation 3-6}$$

$$I_{in} = R_{phd} \cdot P_{opt} \cdot S_{phd} = R_{phd} \cdot P_{laser} \cdot \frac{S_{phd}}{S_{spot}} \quad \text{Équation 3-7}$$

$$f_{-3dB} = \frac{A(P_{elec})}{2 \cdot \pi \cdot R_F \cdot C_D} = \frac{A(P_{elec}) \cdot e(V_b)}{2 \cdot \pi \cdot R_F \cdot \varepsilon \cdot S_{phd}} \quad \text{Équation 3-8}$$

$$V_{out} = R_F \cdot I_{in} = R_F \cdot R_{phd} \cdot P_{laser} \cdot \frac{S_{phd}}{S_{spot}} \quad \text{Équation 3-9}$$

$$f_{-3dB} \cdot V_{out} = \frac{2 \cdot A(P_{elec}) \cdot e(V_b) \cdot R_{phd}}{\pi^2 \cdot \varepsilon} \cdot \frac{P_{laser} \cdot \eta_{couplage}}{D_{phd}^2} \quad \text{Équation 3-10}$$

À puissance laser donnée, cette Équation 3-10 montre que le produit gain bande est limité soit par un grand diamètre de photodiode soit par un couplage optique faible. Pour espérer le meilleur compromis entre bande passante, gain, puissance optique et distance d'isolation, il faut un dispositif pour focaliser ou guider la lumière. La fibre optique offre le meilleur compromis puisqu'elle permet de guider la lumière sur de longues distances avec un diamètre de cœur typique de 50 μm (pour les fibres multimodes), ce qui est bien adapté dans notre cas de figure. Les fibres optiques sont généralement composées d'un cœur en silice et d'une gaine en silice dopé au fluor. Ces fibres ont une atténuation comprise entre 100 dB/km à 400 nm et 2 dB/km à 800 nm et un temps de propagation d'environ 5 ns par mètre (fiberguide, 2013 ; Thorlabs, 2016 ; Polyanskiy, 2017). Si on considère une longueur d'isolation requise entre le centimètre et le mètre, les atténuations restent négligeables même à 400 nm. Les revêtements de protection sont déterminants pour la tenue en température et le prix de la fibre. Le revêtement le plus courant est l'acrylate mais sa tenue en température est spécifiée entre -40 °C et 85 °C. Fiberguide Industries propose 100 m de ce type de fibre (50 μm de cœur) à 173\$ (au 27/06/2017 sur Amazon.com) soit 1.73\$/m. Pour tenir de plus larges plages de température, le revêtement couramment utilisé est le polyimide et permet de tenir des températures de -190°C à 350°C. Fiberguide Industries propose 50m de ce type de fibre (400 μm de cœur) à 1035\$ (au 27/06/2017 sur Amazon.com) soit 20.7\$/m. On remarque donc un fort écart entre ces 2 revêtements. Cependant, il faut noter qu'une fibre de 50 μm composée d'un cœur en germanium-silice et d'une gaine en silice, optimisée pour les télécommunications entre 850 nm et 1300 nm, avec un revêtement en polyimide est proposée à 218\$ pour 100m par Fiberguide Industries (au 27/06/2017 sur Amazon.com) soit 2.18\$/m. Ceci illustre le fait que le prix à un instant donné dépend des applications visées par le produit considéré. Les communications optiques dans le domaine du visible et l'infrarouge très proche ont un grand intérêt car le récepteur optique peut être intégré en silicium dans une technologie CMOS standard et l'émetteur peut être un VCSEL, type de laser émettant par la surface, de faible coût, plus facile à coupler dans une fibre optique et pouvant opérer à haute fréquence. Pour ces raisons, il est probable que le coût de la fibre optique, optimisée dans le domaine du visible, diminue dans les prochaines années. Les fibres plastiques sont une alternative peu onéreuse aux fibres en silice. Les fibres plastiques à gradient d'indice permettent d'avoir des diamètres de cœur faibles (jusqu'à 50 μm), avec des atténuations de, par exemple, 60 dB/km à 300 dB/km, pour des températures maximales d'utilisation de 70°C et un prix allant de 0.22\$/m à 1.79\$/m (i-fiberoptics, 2017 ;

fiberfin, 2017). Ces fibres ne sont pour l'instant pas adaptées aux applications d'électronique de puissance, du fait de leur faible tenue en température.

L'Équation 3-10 montre que pour optimiser le produit gain-bande, on peut jouer sur la puissance électrique par l'intermédiaire du gain A , sur la structure de la photodiode, qui peut donner une plus grande réponse spectrale R_{phd} et une plus grande largeur de charge et d'espace $e(V_b)$. On peut également jouer sur la puissance optique délivrée par le laser et le rendement de couplage optique en focalisant la lumière ou en utilisant une fibre optique. Cependant, le paramètre le plus influent (intervenant au carré) reste le diamètre de la photodiode. Dans (Le, 2015), les photodiodes développées avaient un diamètre de 100 μ m et 200 μ m. Dans cette thèse, pour opérer à plus haute fréquence, nous utiliserons un diamètre de photodiode de 50 μ m. Un diamètre plus petit aurait le désavantage de limiter trop fortement le couplage entre le laser et la fibre optique.

II. Transfert en bande de base

II.1. Présentation et dimensionnement

Dans le cas du transfert en bande de base, un signal optique est envoyé lorsqu'on veut commander le transistor à l'ouverture et aucun signal optique n'est envoyé dans le cas contraire. Le but du circuit électronique est donc de transformer le courant photo-généré par la photodiode en une tension binaire 0 – 1.8V connecté au buffer configurable via son level shifter. Les enjeux de cette conversion sont les suivants :

- Le délai de propagation doit être minimisé afin de permettre un fonctionnement du convertisseur à haute fréquence (typiquement 1 MHz). Une attention sera portée aux variations de ce délai avec la température, la tension d'alimentation et l'amplitude du courant photo-généré en entrée, afin de garantir une bonne précision des instants de commutation de puissance.
- Les différences de délais de propagation entre transitions montante et descendante devront également être minimisées. Cela revient à l'étude du rapport cyclique. Ceci est très important pour l'utilisation du gate driver dans un bras de pont.
- La puissance électrique consommée doit être minimisée car celle-ci est transmise par la lumière (cf. chapitre 2).
- La puissance du signal optique incident est un levier sur lequel on peut jouer pour relâcher les 3 précédentes contraintes mais doit rester raisonnable car une forte puissance optique implique une taille d'émetteur plus grande (et donc attention à la limite en bande passante) et/ou un coût plus important de l'émetteur.

- Dans le cas d'un transfert en bande de base, le signal est l'image directe de la PWM du convertisseur donc il faut assurer une large plage de fonctionnement en fréquence (on fait l'hypothèse ici que la fréquence PWM n'est pas connu du concepteur du gate driver) et assurer un démarrage qui soit le plus rapide possible.

Pour remplir ces objectifs, la structure suivante (Figure 3-5) a été adoptée. Les formes d'ondes associées sont disponibles en Figure 3-6.

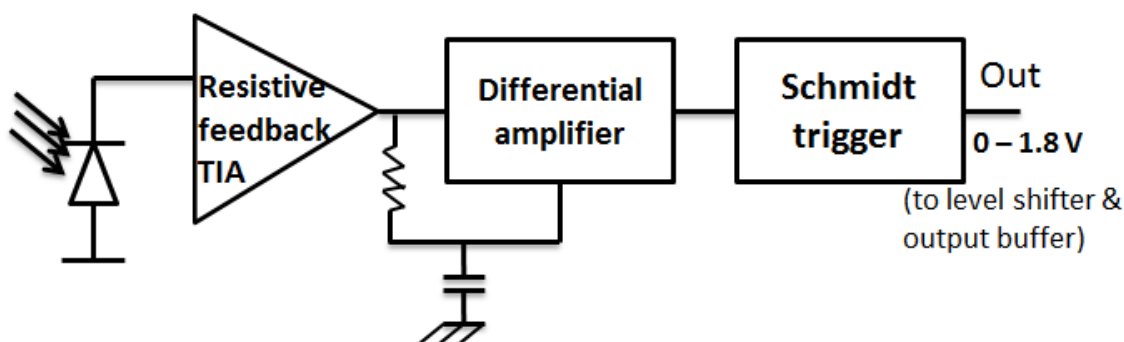


Figure 3-5 : Structure du circuit de transfert en bande de base, intégré en technologie CMOS au sein d'une même puce

Le courant photo-généré est transformé en tension par un TIA à feedback résistif décrit précédemment. On obtient en sortie une variation de tension autour d'un point de fonctionnement DC image de la variation du courant photo-généré. Cette tension est ensuite comparée à sa valeur filtrée dans une paire différentielle. Le filtre est choisi avec une faible constante de temps RC afin de générer en sortie de l'amplificateur différentiel un pic correspondant à la différence entre la valeur de tension TIA et sa valeur filtrée. Lorsque la valeur de tension TIA augmente, le pic est positif (tension TIA > tension filtrée) et lorsque la valeur de tension TIA diminue, le pic est négatif (tension TIA < tension filtrée). Ces 2 pics sont alors détectés par un Trigger de Schmidt. Cette technique présente plusieurs avantages :

- Il n'y a pas de régime transitoire. Le circuit n'a donc pas de délai de démarrage.
- Il existe une fréquence maximale de fonctionnement, dépendante du filtre RC, mais comme ce filtre peut être aussi petit que souhaité, on peut potentiellement atteindre des fréquences aussi élevées que souhaitées. Dans la pratique, les étages d'amplifications sont limitant, notamment la paire différentielle pour qui une trop faible constante RC limitera l'amplification. Il n'existe pas de limite basse en fréquence.
- Les pics sont générés de la même manière (par le même filtre) pour les fronts descendants et montants. Les différences de délais de propagation entre fronts montant et descendant (variations du rapport cyclique) en fonction de la température,

de la tension d'alimentation et de l'amplitude du courant photo-généré sont considérablement réduites.

- La taille du filtre est faible par conception.
- Le faible nombre d'éléments (2 amplificateurs et un trigger) apporte un avantage au niveau de la consommation électrique et de la surface de Silicium requise en technologie CMOS.

Le principe de fonctionnement du circuit est illustré par les courbes ci-dessous avec, pour l'exemple, un courant photo-généré de $2\mu\text{A}$ et une tension d'alimentation de 1.7V :

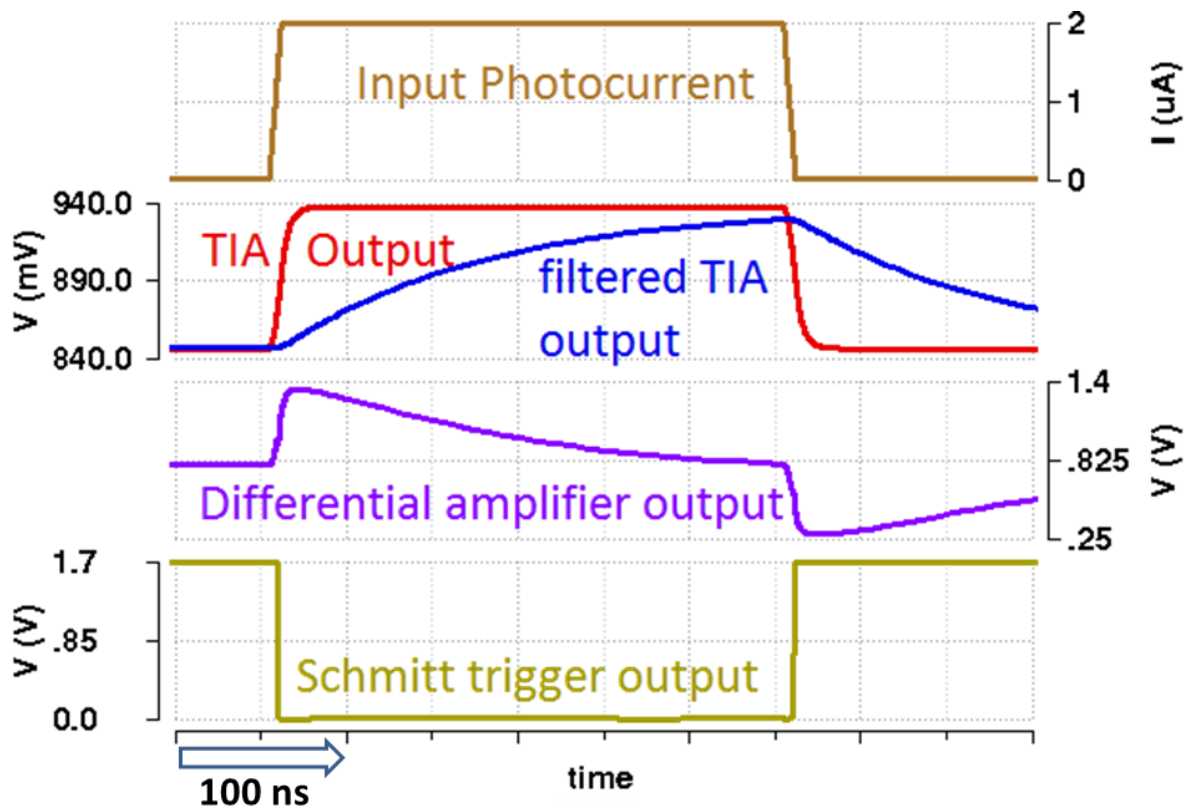


Figure 3-6 : Courbes illustrant le principe de fonctionnement du circuit de démodulation en bande de base

Le détail du circuit électronique de démodulation en bande de base est disponible en Annexe III-A. Afin de vérifier le bon fonctionnement du circuit, des simulations sont effectuées en fonction de la température, de la tension d'alimentation (qui dépend de la température pour une source de type cellule PV sans régulation) et de l'amplitude du courant photo-généré (qui peut varier si l'alignement n'est pas parfait entre la photodiode et la fibre optique par exemple). Les simulations sont effectuées sur l'ensemble {circuit de traitement du signal + Buffer} avec une charge en sortie de 1 nF . La fréquence de commutation est choisie à 1 MHz et le rapport cyclique à 50% . La photodiode considérée est de type NW/SUB de diamètre $50\text{ }\mu\text{m}$ (diode N-P avec caisson N profond et P substrat). Par hypothèse, ses temps de montée et de descente du courant photo-généré sont pris à 7 ns ce

qui correspond à une bande passante de la photodiode de 50 MHz. La capacité parasite de la photodiode est prise à 1 pF. Dans (Le, 2015), la capacité NW/SUB en technologie 0.35 μm de diamètre 100 μm avait une capacité mesurée de 1.5 pF. Dans ces travaux de thèse, deux versions de puces ont été conçues et caractérisées par la suite. Pour le circuit de transfert en bande de base, la 2^e version est simplement une amélioration de la 1^{ère} version. C'est pourquoi les résultats de simulation de la 2^e version seront présentés.

Les courbes des délais de propagation entre le courant photo-généré et la sortie du buffer en fonction de la température à une tension d'alimentation $V_{\text{dd}}=1.6\text{V}$ sont disponibles en Annexe III-B. Sur la plage de température $[-40^{\circ}\text{C} ; 140^{\circ}\text{C}]$, pour des photo-courant générés allant de $10\mu\text{A}$ à $25\mu\text{A}$, le délai montant varie entre 5.5 ns et 7.5 ns et le délai descendant varie entre 5 ns et 9 ns. Il y a donc dans ces conditions une variation du délai de propagation (delay mismatch) de 4 ns maximum. Il faut noter que ce mismatch ne tient pas compte d'une dispersion éventuelle du basculement de l'organe de modulation de la lumière (modulateur électronique et émetteur LED ou Laser).

Les courbes du rapport cyclique en fonction de la température à $V_{\text{dd}}=1.6\text{V}$ et en fonction de V_{dd} à 27°C sont tracées ci-dessous. Sur $[-40^{\circ}\text{C} ; 140^{\circ}\text{C}]$, pour des photo-courant générés de $10\mu\text{A}$ à $25\mu\text{A}$, le rapport cyclique varie entre 49.93 % et 50.21 % à 1MHz. Notons que le rapport cyclique augmente lorsque la température augmente. Sur $[1.2\text{V} ; 1.8\text{V}]$, pour des photo-courant générés de $10\mu\text{A}$ à $25\mu\text{A}$, le rapport cyclique varie entre 49.85 % et 50.16 %. Le rapport cyclique augmente lorsque la tension d'alimentation augmente. Pour une cellule PV, la tension à ces bornes en circuit ouvert (V_{oc}) augmente lorsque la température diminue, il y aura donc une compensation naturelle de la dispersion du rapport cyclique lorsque le circuit sera alimenté par une cellule PV.

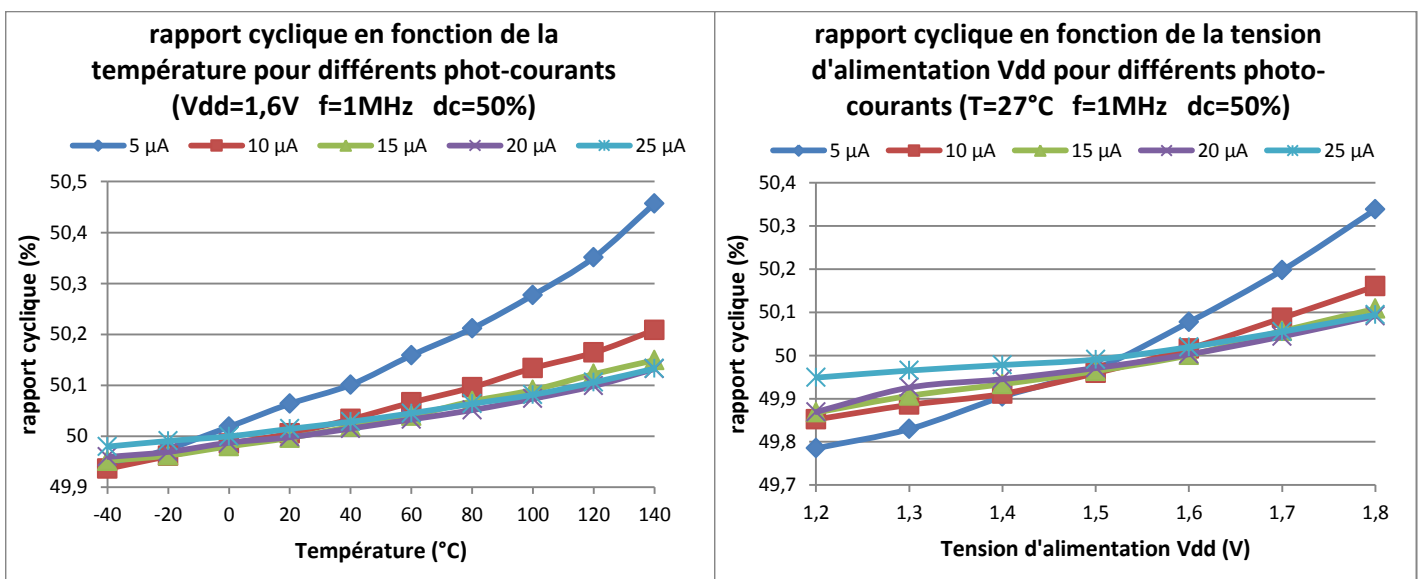


Figure 3-7 : évolution du rapport cyclique en fonction de la température et de la tension Vdd

La puissance consommée par la partie alimentée en 1.8 V du circuit en fonction de la température est présentée ci-dessous. La consommation diminue légèrement lorsque la température augmente et elle augmente significativement lorsque la tension d'alimentation augmente. Ceci aura potentiellement un impact sur la tension en circuit ouvert de la cellule PV. Lorsque la tension d'alimentation augmente, le courant consommé par la cellule PV augmente ce qui limitera l'augmentation de la tension aux bornes de la cellule.

L'augmentation de la consommation avec la tension d'alimentation s'explique par le fait que le circuit se comporte comme une charge résistive, notamment l'inverseur du TIA (gain A), qui est polarisé autour d'un point DC de fonctionnement. La puissance consommée est donc fonction de la tension d'alimentation au carré. De plus la charge résistive représentative du circuit n'est pas constante en fonction de la tension d'alimentation, puisque la résistance des PMOS et NMOS dépend de leur polarisation. A faible tension d'alimentation, la polarisation est plus faible, la résistance augmente et la consommation diminue. Il en est de même pour la variation de cette charge avec la température.

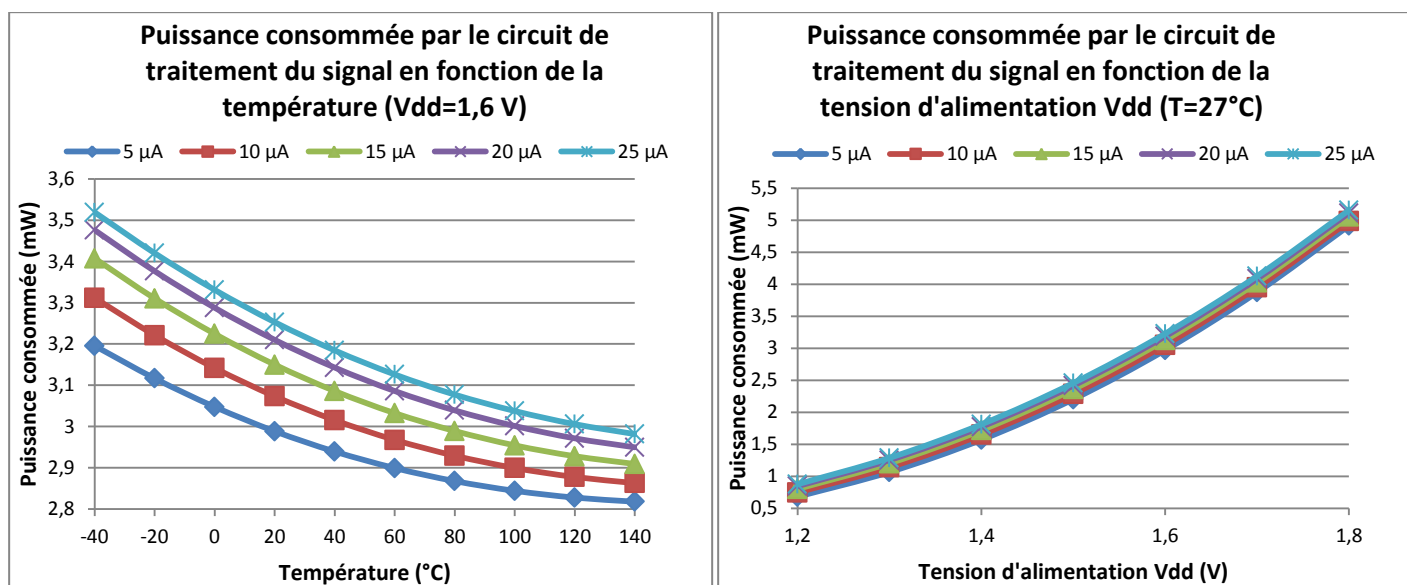


Figure 3-8 : Puissance consommée en fonction de la température et de Vdd. f = 1 MHz

Des simulations sont effectuées avec une tension d'alimentation paramétrée en fonction de la température selon la relation $V_{dd} = -0.00305 \times T + 1.678$ afin de simuler le comportement de la cellule PV sans toutefois la modéliser au niveau circuit. On fait ensuite varier la température comme paramètre de simulation. L'évolution des délais montant et descendant en fonction de la température est tracée ci-dessous. On peut voir que pour des courants photo-générés compris entre 10 μA et 25μA, les délais montant et descendant sont compris entre 5 ns et 9 ns, le delay mismatch est donc de 4 ns.

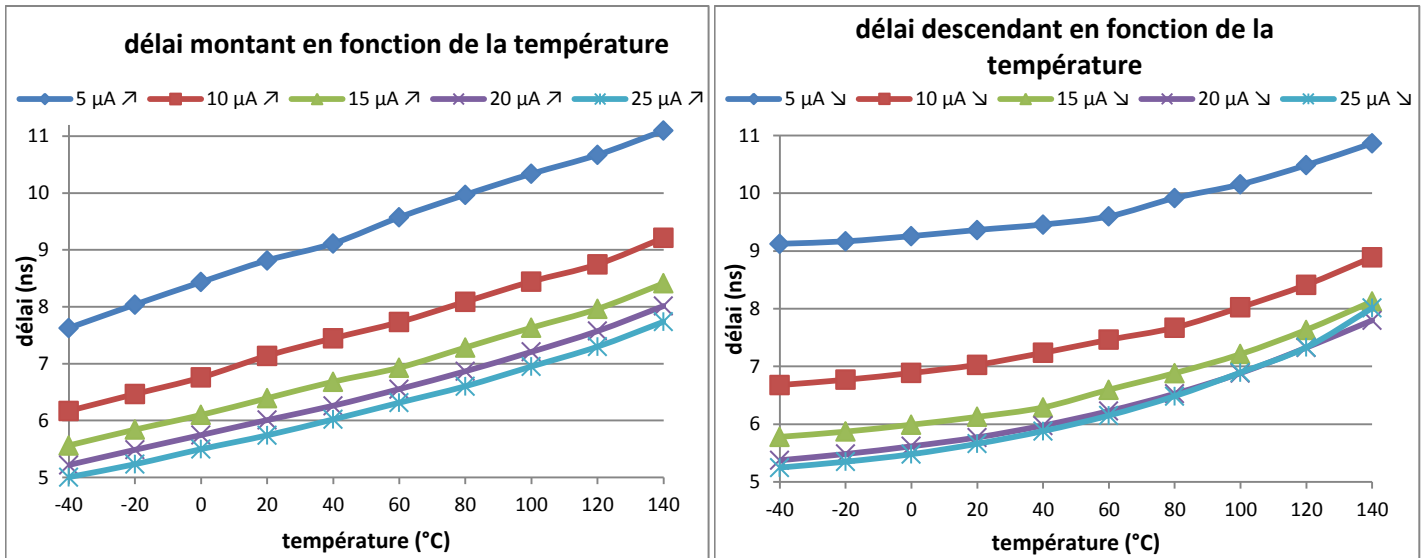


Figure 3-9 : délais en fonction de la température avec une caractéristique de cellule PV pour l'alimentation Vdd. f = 1 MHz

Le rapport cyclique est tracé en fonction de la température sur le graphique ci-dessous. Comme prévu, une compensation intervient au niveau de la dispersion grâce à la caractéristique V(T) de la cellule PV. Pour des courants photo-générés de 10 μA à 25 μA , on observe une dispersion de ce rapport cyclique inférieure à 0.1% (soit 1 ns, f=1MHz) sur la plage de température [-40°C ; 140°C]. Le signal obtenu est ainsi très peu déformé.

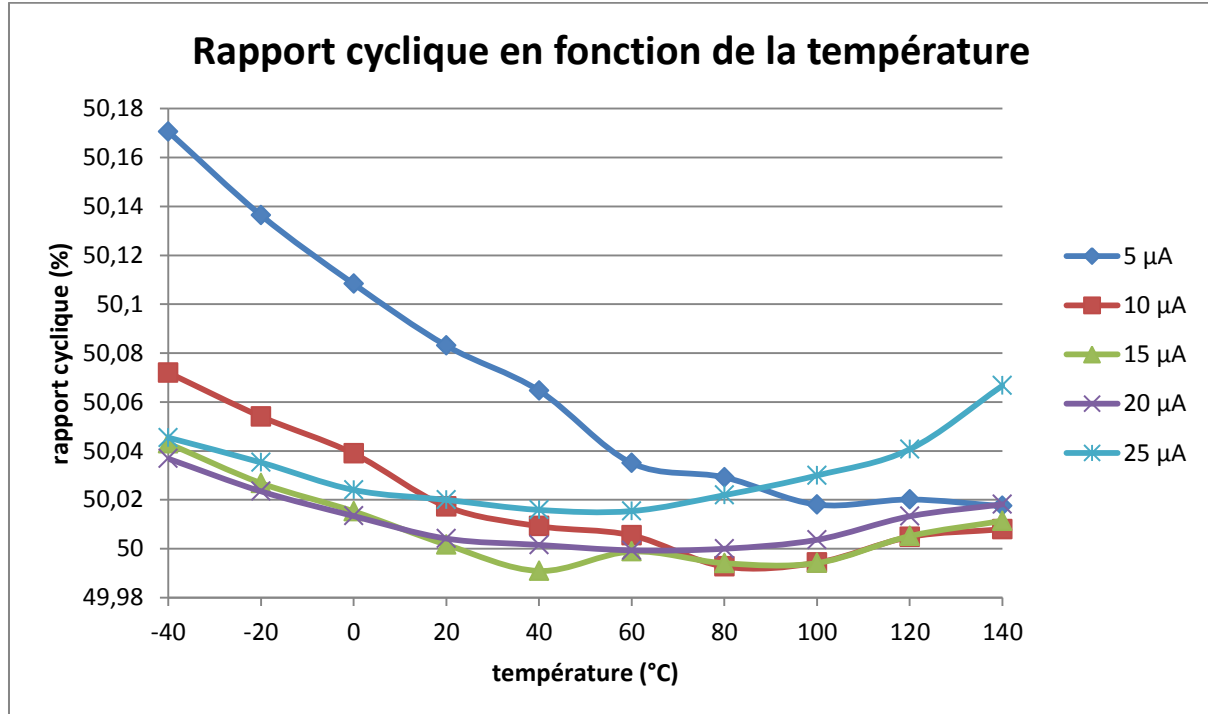


Figure 3-10 : Rapport cyclique en fonction de la température avec une caractéristique de cellule PV pour l'alimentation Vdd. f = 1 MHz, rapport cyclique = 50%

Pour compléter l'étude sur le rapport cyclique, des simulations sont effectuées avec des rapports cycliques du photo-courant d'entrée de 10% et 90%, comme dans une

configuration bras de pont avec 2 commandes complémentaires, sans temps mort. La différence entre le rapport cyclique à 10% et le complémentaire à 90% est également présentée. Les résultats sont montrés sur la Figure 3-11. On observe une nette dégradation du rapport cyclique en sortie du buffer. Cependant, la différence entre 10% et le complémentaire à 90% reste raisonnable pour des photo-courants allant de 10 μA à 25 μA , avec une différence de 0.2 % (soit 2 ns).

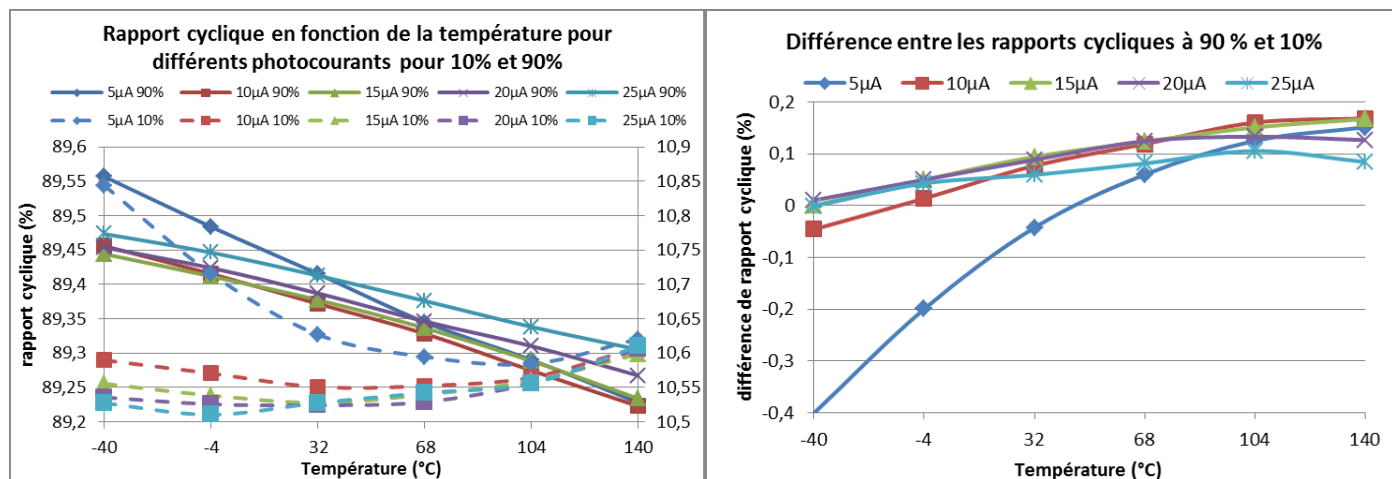


Figure 3-11: Simulation du rapport cyclique pour des rapport cyclique du phot-courant d'entrée de 10% et 90%

La courbe de la puissance consommée du circuit alimenté à Vdd en fonction de la température est tracée ci-dessous. La puissance consommée à -40°C est de 5.5 mW et diminue jusqu'à 1.5 mW à 140°C. On observe ici les effets combinés d'une faible température avec forte tension d'alimentation et une température élevée avec une faible tension d'alimentation.

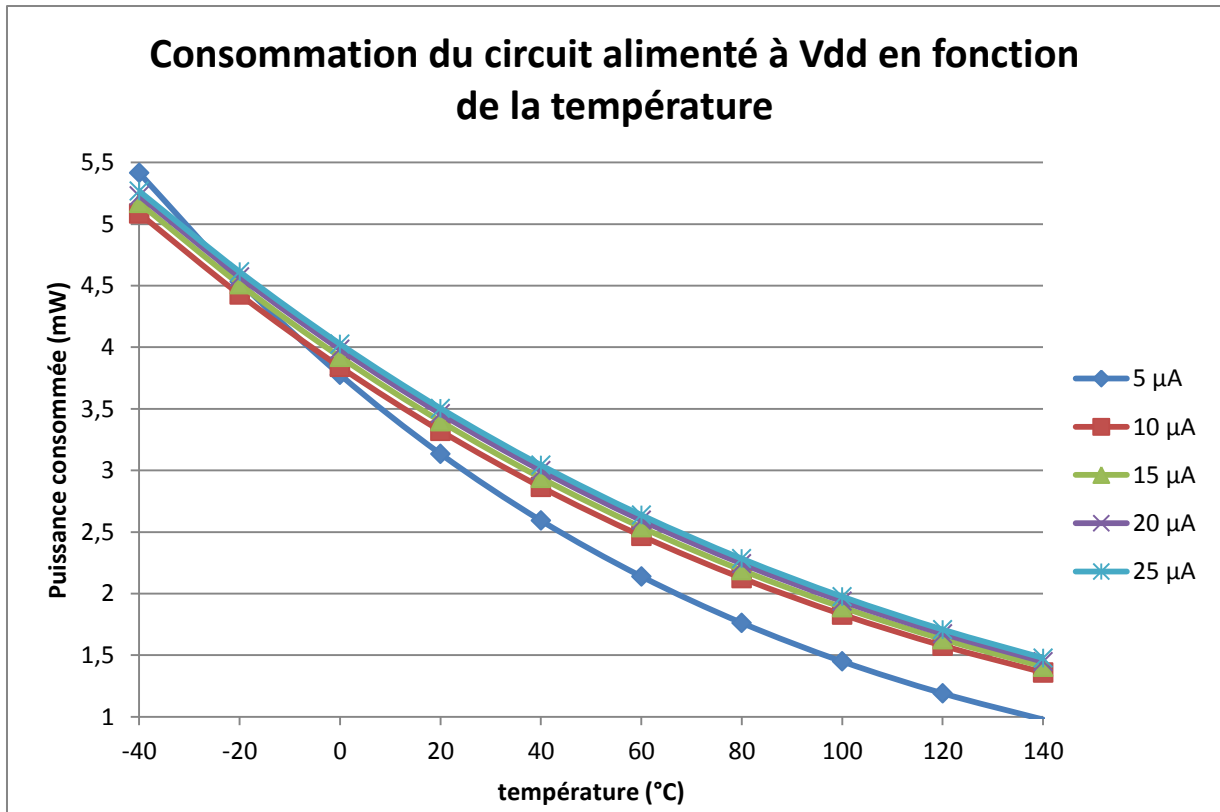


Figure 3-12 : Consommation en fonction de la température pour différents photo-courant générés avec une caractéristique de cellule PV pour l'alimentation Vdd. $f = 1 \text{ MHz}$

II.2. Caractérisations

Des tests ont été effectués pour vérifier le fonctionnement du circuit. La puce est reportée sur PCB et les entrées-sorties sont connectées par des fils de bonding. Dans la 1^{ère} version de la puce, il existe 2x3 entrées de configuration et 2x2 entrées de configuration pour la 2^e version (voir Figure 3-13).

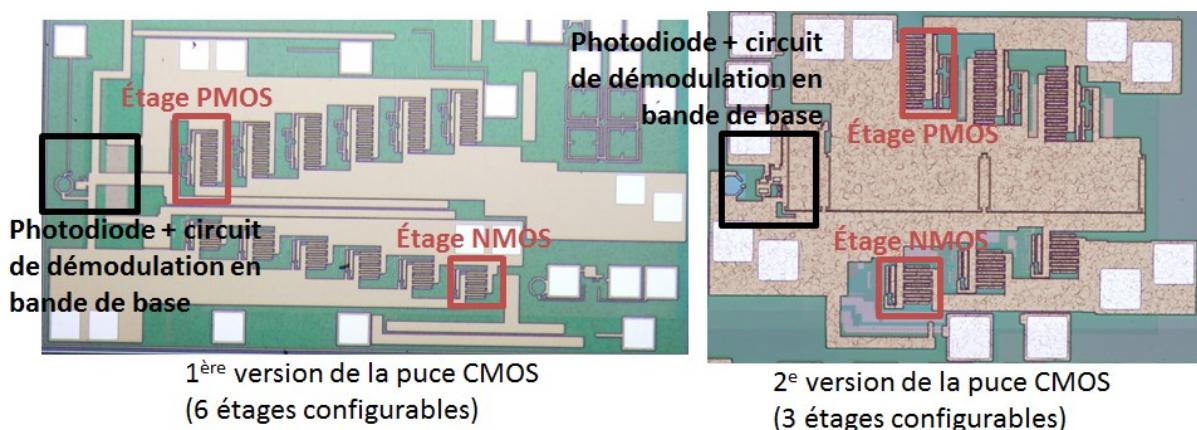


Figure 3-13 : photographie au microscope des 2 versions de puce

La 1^{ère} version de la puce est testée avec le laser LP520-MF100 de longueur d'onde 520 nm, de puissance maximale 100 mW et fibré dans une fibre multimode de 105 µm de

diamètre et de longueur 1m. Le délai rajouté par cette fibre est d'environ 5 ns. La diode laser est placée dans le support Thorlabs LDM9LP qui possède une entrée de modulation RF directement connectée à la diode. Cette entrée est utilisée pour la modulation du laser par le GBF RIGOL DG4062. Le laser est modulé à une fréquence de 1.5 MHz. La charge de sortie est de 2 nF. Les signaux sont observés avec l'oscilloscope Agilent MSO-X-3024A de bande passante 200 MHz et de fréquence d'acquisition 4GSa/s avec des sondes Agilent N3863B de bande passante 300 MHz et de capacité parasite 15 pF. Les résultats sont montrés sur la Figure 3-14 à température ambiante pour une configuration de résistance du buffer de sortie de 6R.



Figure 3-14 : Test du circuit de réception en bande de base. Modulation à 1.5 MHz sur une charge de 2 nF.

Les délais observés sont de 20 ns (front descendant) et 24 ns (front montant) entre la tension de modulation du laser et la tension de sortie de la puce, ce qui prend en compte, le temps de descente du GBF, le délai du laser, le délai de la fibre et le délai de la puce.

III. Transfert numérique : Vers une commande rapprochée plus fonctionnelle

III.1. Unité de gestion logique

Dans cette partie, nous allons tout d'abord montrer l'intérêt d'une commande numérique avec l'introduction de la notion de gate driver programmable. Ensuite, les différentes techniques de transmission de l'information seront abordées et le choix d'une transmission série numérique sera justifié. Puis le dimensionnement de l'unité de gestion logique sera explicité et nous montrerons quelques résultats expérimentaux.

III.1.1 Notion de gate driver programmable

L'isolation galvanique optique permet de réduire les capacités parasites de mode commun entre la référence de la commande rapprochée, flottante, et la référence de la commande éloignée, fixe. Ainsi, les courants de mode commun induits par les fortes vitesses de commutations (dV/dt) sont réduits. On peut ainsi améliorer l'aspect CEM et réduire les pertes par commutation. Cependant, les éléments parasites de la boucle de puissance ont également un fort impact sur ces 2 aspects.

- Les inductances parasites de piste et les capacités parasites C_{oss} des transistors de puissance peuvent induire des oscillations plus ou moins amorties suivant la valeur de résistance série de la boucle de puissance au moment des commutations. Ces oscillations sont sources de perturbations CEM (Oswald et al., 2014 ; Lautner, Piepenbreier, 2015).
- L'inductance parasite de maille est également responsable de surtensions (à l'ouverture) souvent critiques étant donné que les transistors ne supportent pas de tension supérieure à leur tension de claquage. Les sur-courants induits par les capacités parasites ou les charges à recouvrir posent également problème mais sont moins critiques car les dommages sont causés par la thermique et ces sur-courants sont transitoires. Pour ces raisons, il est souvent recommandé de ralentir les commutations et donc d'augmenter les pertes par commutation (Jones et al., 2015 ; Lautner, Piepenbreier, 2015).

Pour pallier à ces problèmes, inhérents à la boucle de puissance, et améliorer le compromis entre perturbations CEM et surtensions et pertes par commutations, le concept de gate driver programmable est largement discuté dans la littérature (Shorten et al., 2011 ; Dymond et al., 2016 ; Obara et al., 2017 ; Miyazaki et al., 2017 ; Dymond et al., 2017). Le principe, illustré sur la Figure 3-15, repose sur la segmentation du buffer de sortie afin de pouvoir contrôler la résistance de grille de façon dynamique à l'échelle de la commutation. La plage de temps de la commutation est discrétisé et séquencé par une horloge, ce qui permet d'appliquer une valeur de résistance (ON/OFF) à chaque pas de temps. A la fermeture, une faible résistance PMOS du buffer de sortie est appliquée lorsque la tension de grille est en dessous de la tension de seuil V_{TH} , ce qui réduit le délai de commutation. Ensuite, les valeurs de résistance sont ajustées pour contrôler les di/dt , dV/dt , ainsi que la phase oscillatoire qui s'ensuit. Puis une faible résistance est de nouveau appliquée pour maintenir le transistor dans l'état ON avec une faible chute de tension au plus tôt. A l'ouverture, une séquence similaire est appliquée pour les valeurs de résistance NMOS du buffer de sortie.

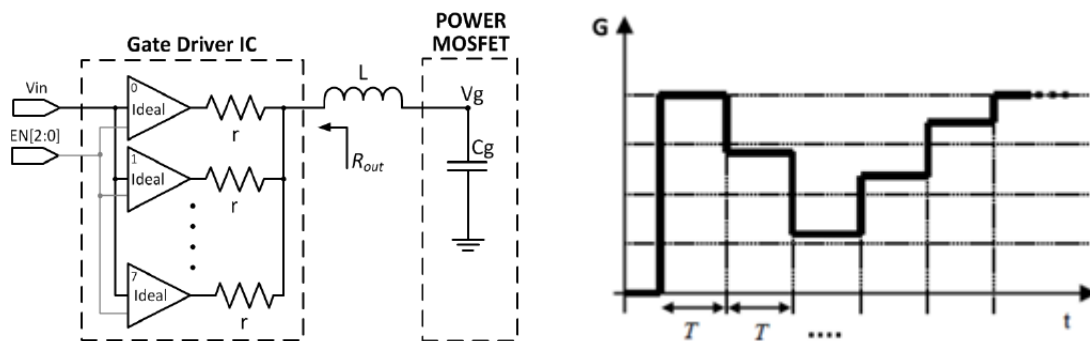


Figure 3-15 : principe du gate driver programmable

ci-dessous, 2 exemples de performances obtenues avec une commande active de la résistance de grille. Dans (Dymond et al., 2017), l'élimination de la surtension de grille est démontrée pour un transistor GaN EPC 2015 permettant une vitesse de commutation plus rapide qu'avec une commande avec résistance de grille constante. Dans (Miyazaki et al., 2017), la réduction du sur-courant à la fermeture est démontrée pour un IGBT à 500V, 15.4A, pour des pertes par commutations également réduites. L'utilisation d'un algorithme d'optimisation a permis des améliorations du compromis pertes – sur-courant significatives.

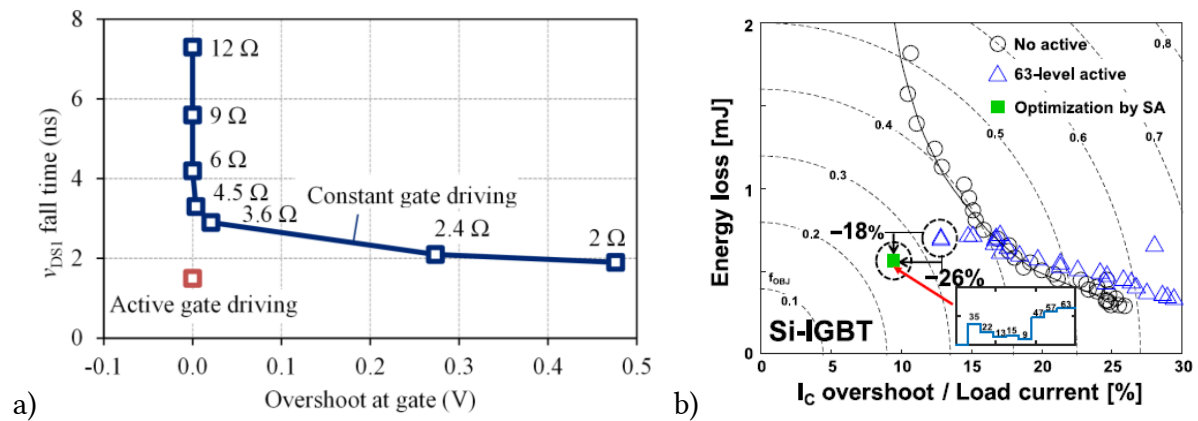


Figure 3-16 : Exemples de performances obtenues avec des gate driver programmables. a) amélioration du compromis entre vitesse de commutation et surtension de grille (Dymond et al., 2017). b) amélioration du compromis entre pertes par commutation et sur-courant à la fermeture (Miyazaki et al., 2017)

Ces exemples montrent l'intérêt du gate driver programmable. Cependant les travaux réalisés ne comprennent pas d'isolation ou alors l'isolation est réalisée électriquement par de nombreux isolateurs en parallèle. De plus, se pose la question d'adaptation continue pour suivre les variations (point de fonctionnement, température), qui pourraient modifier le réglage de la séquence de charge et décharge de grille. Pour transposer le gate driver programmable à l'isolation optique, il faudra considérer les notions de coût et donc limiter le nombre d'émetteurs – fibre – récepteurs discrets.

Dans ce travail de thèse, il ne s'agit pas de concevoir un gate driver programmable mais de rendre possible la configuration du gate driver à travers la barrière d'isolation optique et donc a posteriori la programmabilité de la résistance de grille.

III.1.2 Transfert des ordres de commande et d'information

Le but est de pouvoir transmettre de l'information (comme la valeur de résistance de grille ou une information de temps mort) en plus des ordres de commande. De plus, comme nous voulons le gate driver optique le plus générique possible, il faut prendre en compte la commande de plusieurs transistors (high side et low side, mise en parallèle ou en série) dans plusieurs bras de pont.

Pour adresser ordres de commande et information pour de multiples transistors, plusieurs techniques de multiplexage sont possibles (Baharudin et al., 2013) :

- Le multiplexage par longueur d'onde (WDM) : les différentes informations sont distinguées par une longueur d'onde spécifique. L'avantage est de pouvoir superposer les informations temporellement, ce qui permet d'optimiser la vitesse de transmission. L'inconvénient est qu'il faut plusieurs dispositifs émetteurs et récepteurs. Pour un coût

acceptable, une solution en photonique sur silicium semble envisageable (voir partie Perspectives) mais n'a pas été abordée dans cette thèse

- Le multiplexage en fréquence (FDM) : Il consiste à moduler chaque signal par une porteuse à une fréquence donnée, ainsi chaque signal occupe une plage fréquentielle. L'avantage est de pouvoir transmettre des signaux en même temps à condition d'avoir des plages fréquentielles bien distinctes. L'inconvénient, pour les transmissions d'ordre de commande, est d'avoir des circuits de démodulation différents pour chaque transistor et donc une gestion des mismatches plus difficile.
- Le multiplexage temporel (TDM) : La plage temporelle est segmentée de telle sorte que chaque signal possède une position définie. Chaque 1^{er} bit d'information de chaque signal est envoyé l'un à la suite de l'autre puis chaque 2^e bit de chaque signal et ainsi de suite jusqu'à la fin de la trame de transmission. L'avantage est de pouvoir cadencer précisément les signaux dans le temps et donc gérer les mismatches facilement mais l'inconvénient est qu'on transfère tous les signaux à chaque fois ce qui rallonge la durée de transmission.
- De nombreuses solutions hybrides existent également pour des applications spécifiques mais ne seront pas détaillées ici.

Dans cette thèse, les signaux sont envoyés de façon numérique avec un protocole de transmission série. La longueur de trame est variable suivant si on veut transmettre un ordre de commutation ou une information. Ainsi, on peut minimiser le délai pour les ordres de commutation tandis que pour l'information, on peut accepter des délais plus longs. La trame d'information est composée comme suit :

- Le bit de Start est 1.
- Un bit de différenciation permet de distinguer un ordre de commutation d'une information. On choisit arbitrairement 0 pour un ordre de commutation et 1 pour une information
- Ensuite vient l'information utile :
 - o Pour un ordre de commande : On transmet un code transistor ou un code de bras de pont avec une configuration préalable de high side / low side. Dans ce travail nous avons choisi d'allouer 4 bits pour ce code. On peut ainsi commander 16 transistors (ou bras de pont).
 - o Pour une information, nous avons choisi d'allouer 8 bits, ce qui permet de transmettre une information de configuration PMOS et NMOS du buffer de sortie ou une information de temps mort.
- Pour vérifier la bonne transmission du signal, un bit de parité est utilisé. Dans ce travail, l'ensemble {information utile} + {bit de parité} doit avoir un nombre de '1' pair.

Dans le cas d'une transmission d'ordre de commande, si ce bit de parité n'est pas correct (transmission supposée erronée), une décision doit être prise pour la sécurité du convertisseur. Dans ce travail, nous décidons d'ouvrir systématiquement le transistor au cas où le transistor complémentaire du même bras de pont se fermerait dans le but d'éviter un court-circuit. D'autres stratégies peuvent être envisagées suivant les cas de convertisseur et de placement des transistors.

Dans le cas d'une transmission d'information, si la parité est erronée, l'information n'est pas prise en compte.

- Le bit de fin est '0', ce qui permet la transmission de 2 trames successivement.

Ainsi, une information est transmise en 12 bits et un ordre de commande est transmis en 8 bits. Si on vise une vitesse de transmission de 200 Mbps, un ordre de commande serait transmis en 40 ns et une information en 60 ns. Durant ces temps de transmission, il n'est pas possible de transférer d'autres ordres ou informations, ce qui constitue la principale limitation de cette méthode. Deux solutions sont envisageables pour pallier au problème. La première est d'augmenter la vitesse de transmission, ce qui aura pour impact d'augmenter la consommation du circuit de réception optique. La seconde est de limiter le nombre de bits transmis (par exemple 2 bits au lieu de 4 pour les ordres de commande) et de recourir à un multiplexage en fréquence ou en longueur d'onde pour adresser un grand nombre de transistors ou des transistors susceptibles d'avoir des commutations rapprochées.

Etant donné le caractère unidirectionnel de la transmission optique, il est indispensable de synchroniser l'émetteur optique avec le récepteur. Pour cela, plusieurs techniques existent :

- Clock and Data Recovery (CDR) Circuit : Cette technique consiste à déduire la fréquence des données transmises à l'aide d'un système à base de PLLs. Cette méthode nécessite un temps de verrouillage et n'est donc pas toujours adaptée pour les contraintes de l'électronique de puissance où il peut y avoir de longues périodes d'attente entre les ordres de commande.
- Transmission du clock par voie optique : L'avantage de cette méthode est qu'il n'y a pas de problèmes de synchronisation mais l'inconvénient est qu'il faut une voie de transmission optique supplémentaire.
- Dans cette thèse, nous avons choisi de dimensionner une horloge interne à la puce de réception dont les variations en fréquence sont faibles par rapport à la température et la tension d'alimentation. Le détail sera présenté dans la partie III.3.

Le layout de la partie de gestion logique est montré sur la figure ci-dessous. Un démultiplexeur à trame variable est implémenté. Le compteur associé au démultiplexeur possède 2 modes (8 ou 12 bits) sélectionnés de façon logique en fonction du bit de

différenciation. Ensuite les données sont soit envoyées vers la mémoire (cas du transfert d'information), soit comparées au code transistor (codé en dur) pour déterminer si l'information s'adresse à cette puce ou non. La parité est testée pour vérifier la bonne transmission de l'information. Le test de parité possède également 2 modes sélectionnés de façon logique en fonction du bit de différenciation. Une machine d'état est implémentée pour déterminer dans quelle situation le circuit se trouve. Ses éléments sont dispersés sur l'ensemble du layout. La photographie de l'unité logique avec les pads est montrée, la longueur d'un côté d'un pad est de 100 μm . La surface utile est 0.01 mm^2 .

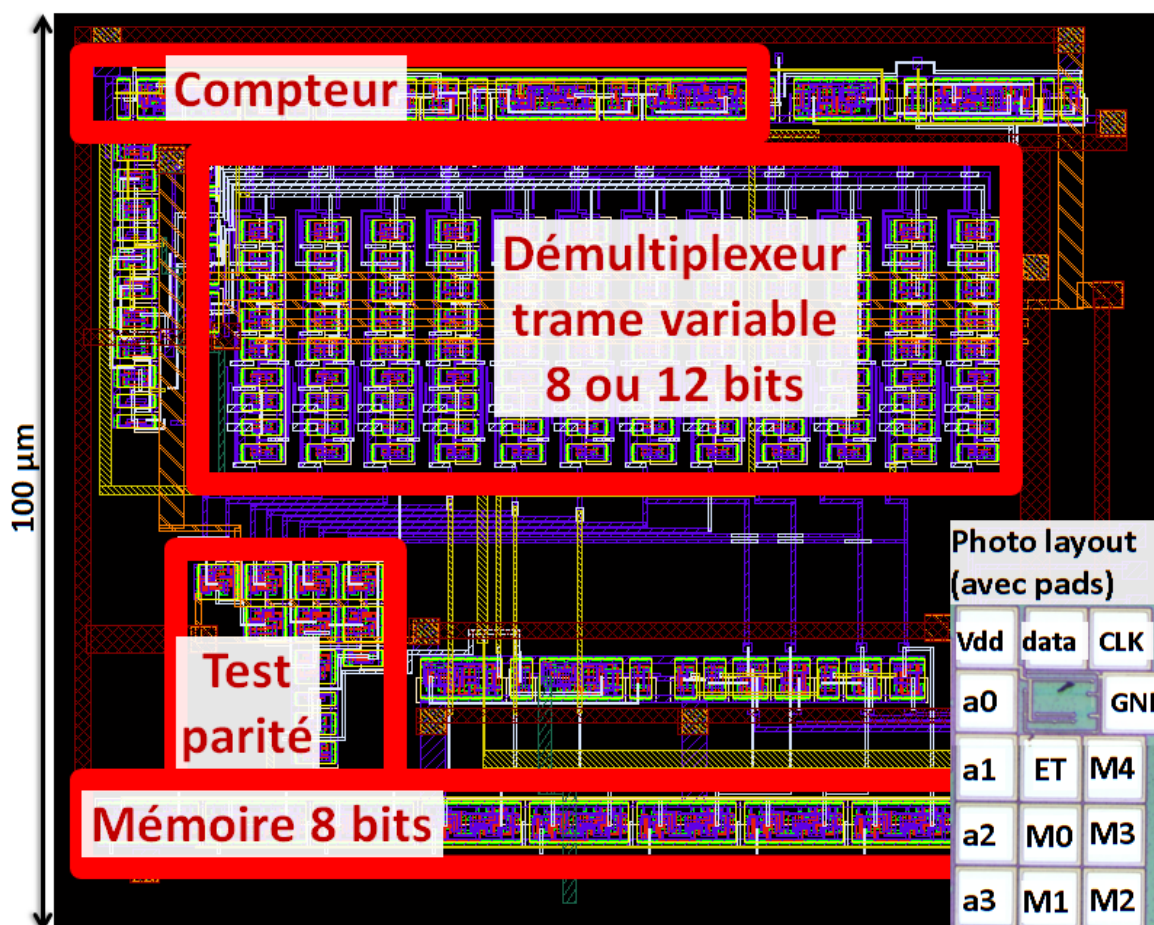


Figure 3-17: Layout de la partie de gestion logique

Ce circuit de gestion logique a été validé expérimentalement. Le système comprend 2 entrées de « data » et « clock », 4 entrées de configuration du code transistor, une sortie « état transistor (ET) » qui représente la prise de décision en cas de transmission d'ordre de commande et 5 sorties correspondant aux 5 1^{ers} bits de la mémoire. Comme on peut le voir sur la photo du layout, il n'est pas possible de bonder toutes les sorties. On fait le choix arbitraire d'observer « ET » et « M3 ». « CLK » et « DATA » sont générés par un FPGA Altera Cyclone 3. Les signaux de sorties sont observés avec un oscilloscope Agilent MSO-X-

3024A de bande passante 200 MHz et de fréquence d'acquisition 4GSa/s avec des sondes Agilent N3863B de bande passante 300 MHz et de capacité parasite 15 pF. Le système est validé à une fréquence de 1 MHz pour des raisons de mise en œuvre expérimentale (longs câbles, bande passante de l'oscilloscope faible et capacité de sonde élevée à charger – charge fournie par la puce). Quelques résultats sont montrés sur la Figure 3-18:

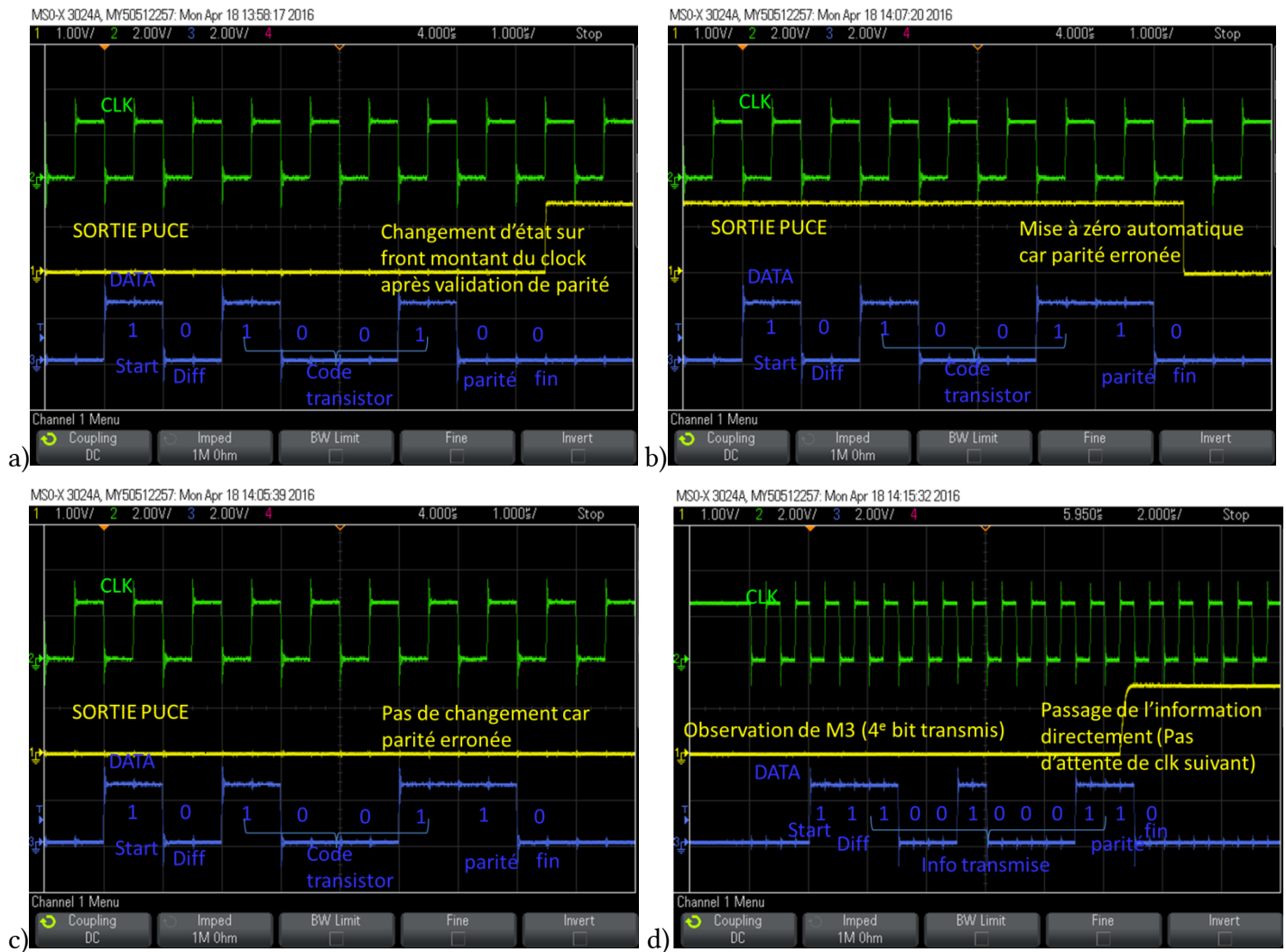


Figure 3-18: Validation expérimentale de la partie logique. a) Cas d'une transmission d'ordre de commande (0 → 1). b) Cas d'une transmission d'ordre de commande erronée (sortie initialement à 1). c) Cas d'une transmission d'ordre de commande erronée (sortie initialement à 0). d) Cas d'une transmission d'information.

En conclusion, la partie de gestion logique est validée expérimentalement à 1 MHz. Nous montrerons par la suite que le fonctionnement reste valable à plus haute fréquence.

III.2. Transfert optique « haute fréquence » pour le numérique

Dans cette partie, le dimensionnement d'un circuit de réception optique sera abordé, pour satisfaire des vitesses de transmission « haute fréquence », typiquement 200 MHz, pour le transfert d'informations numériques.

III.2.1 Dimensionnement et simulations

Comme nous l'avons vu précédemment, pour le TIA, il existe un compromis entre la bande passante, le gain d'amplification en tension, la puissance optique incidente et la consommation électrique du circuit. De plus, en technologie CMOS, les photodiodes standards ont une bande passante limitée (typiquement 50 MHz) et ne sont donc a priori pas adaptées pour les fréquences visées. Pour améliorer la bande passante du circuit électronique, il existe des techniques dites « inductive peaking », à base d'inductances pour faire résonner le système et ainsi repousser la fréquence de coupure (Analui, Hajimiri, 2004 ; Wu et al., 2005 ; Atef, Abd-elrahman, 2014). Ces méthodes ne sont pas utilisées dans cette thèse car elles nécessitent l'utilisation d'inductance, élément non disponible dans les bibliothèques Cadence de la technologie et donc non caractérisé.

Dans cette thèse, les éléments suivants sont utilisés pour améliorer la bande passante pour une amplification et une puissance optique incidente données tout en gardant une consommation raisonnable :

- Photodiode SML : Comme vu précédemment, elle permet de déduire le courant lent du substrat. Dans ce travail, on considèrera un temps de montée de 1ns soit une bande passante de 350 MHz. Le courant de substrat sera considéré sinusoïdal à la fréquence de la transmission du signal numérique.
- Amplificateur CSDA (Complementary Self-biased Differential Amplifier) (Hermans, Steyaert, 2006): Cet amplificateur résulte de la composition de 2 paires différentielles de type NMOS et PMOS avec un auto-ajustement de la tension de polarisation. Les transistors de cet amplificateur fonctionnent en régime linéaire ce qui permet de larges courants de charge et décharge et donc d'opérer à haute fréquence sans consommation excessive (courant de repos faible). En comparaison, une paire différentielle classique fournit une valeur de courant de charge et décharge au maximum égale à la valeur de la source de courant polarisée. Il en résulte une consommation statique plus importante.
- 2 signaux optiques en opposition de phase : Pour relâcher les contraintes sur le circuit d'amplification, deux signaux optiques sont envoyés et reçus par 2 circuits d'amplification identiques (voir Figure 3-19). Les 2 signaux sont ensuite amplifiés dans une paire différentielle et un trigger de Schmidt permet d'obtenir un signal binaire. L'avantage de cette technique est d'obtenir simultanément, depuis l'extérieur, 2 signaux amplifiés. Il en résulte une très grande immunité au bruit (étant donné la forte proximité des 2 circuits, ceux-ci perçoivent le même bruit). L'inconvénient est de générer deux signaux optiques en opposition de phase. Pour y arriver, une attention particulière doit être portée sur les délais des lasers et des circuits de pré-

amplification. Etant donné que le circuit de commande externe est moins contraint que la commande rapprochée en termes de température et tension d'alimentation dans le cas d'une transmission par fibre optique, la génération de 2 signaux haute fréquence en opposition de phase est envisageable.

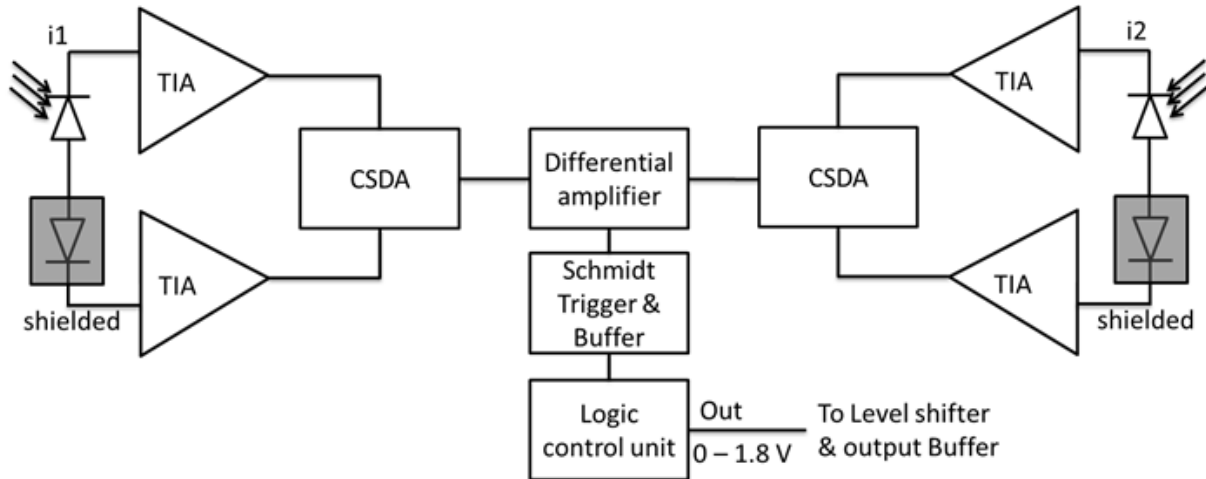


Figure 3-19: Schéma de principe du circuit de réception pour le numérique

Le détail du circuit de réception numérique est disponible en Annexe III-C.

Des simulations sont effectuées sous Cadence pour vérifier le bon fonctionnement du circuit en fonction de la température et de la tension d'alimentation. La transmission d'une suite de 0 et de 1 est étudiée car elle constitue le pire cas pour la bande passante requise. Les signaux optiques rapides sont modélisés par un créneau de fréquence égale à la moitié du débit de transmission, de temps de montée et descente de 1 ns, et d'amplitude variable de photo-courant. Les signaux lents sont modélisés par une sinusoïde de même fréquence que les signaux rapides avec une amplitude et une polarisation (valeur DC) variables.

Les formes d'ondes sont montrées sur la Figure 3-20 suivante. Pour l'exemple, la tension d'alimentation est de 1.7V, l'amplitude du photo-courant rapide généré est de $2\mu\text{A}$ et le débit de transmission est de 250 Mbps. Le premier volet de courbes montre les 2 photo-courants rapides en opposition de phase ainsi qu'un des 2 courants lents. Le 2^e volet montre les tensions en sortie des 2 TIA correspondant aux photodiodes illuminées. L'amplitude de ces tensions est d'environ 15 mV. Le 3^e volet montre les tensions en sortie des amplificateurs CSDA. L'amplitude des tensions est environ 200 mV, on a donc une amplification d'un facteur 10 par rapport aux sorties TIA. Le 4^e volet montre les tensions en sortie de l'amplificateur différentiel et du trigger de Schmitt. On obtient finalement une tension binaire entre 0 et 1.7 V. L'amplification entre la sortie TIA et la sortie du trigger de Schmitt a donc un rapport d'environ 100.

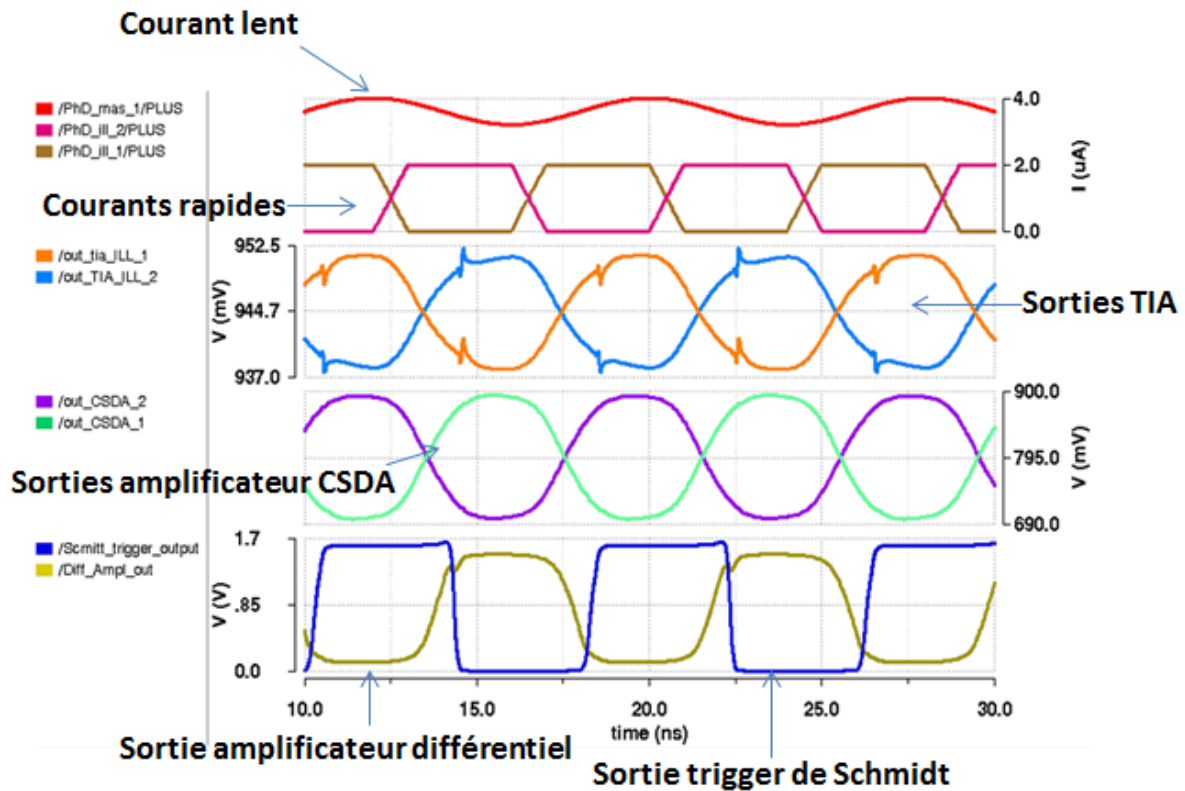


Figure 3-20: formes d'onde du circuit de réception pour le numérique

Des simulations sont effectuées en fonction de la température pour différentes tensions d'alimentation. Le courant photo-généré est fixé à $2 \mu\text{A}$ et le débit de transmission est de 185 MHz. Les délais montant et descendant sont observés sur la Figure 3-21 a) et b). Le délai montant devra être ajouté au délai global puisqu'on démarre la trame de communication par un '1' sur front montant. Ces délais sont compris entre 1.9 ns et 3.1 ns ce qui implique un mismatch dans le pire cas de 1.2 ns, mais typiquement de 0.65 ns. On observe également le rapport cyclique (Figure 3-21 c) afin de connaître les disparités qui peuvent déformer les '1' et '0'. Le rapport cyclique est toujours inférieur à 50%, ce qui signifie que les '1' sont plus courts que les '0' (quand il y a alternance '1' - '0'), et toujours supérieur à 48.45%, ce qui raccourci les '1' de moins de 2%. La consommation est également estimée (Figure 3-21 d). On observe une forte variation en fonction de la tension d'alimentation avec un facteur environ 4 entre 1.3 V et 1.8 V. Cependant la consommation reste acceptable, avec un maximum à 13.5 mW et un minimum de 3 mW. Les 4 TIA contribuent majoritairement à la consommation du circuit ainsi qu'à la forte variation en fonction de la tension d'alimentation.

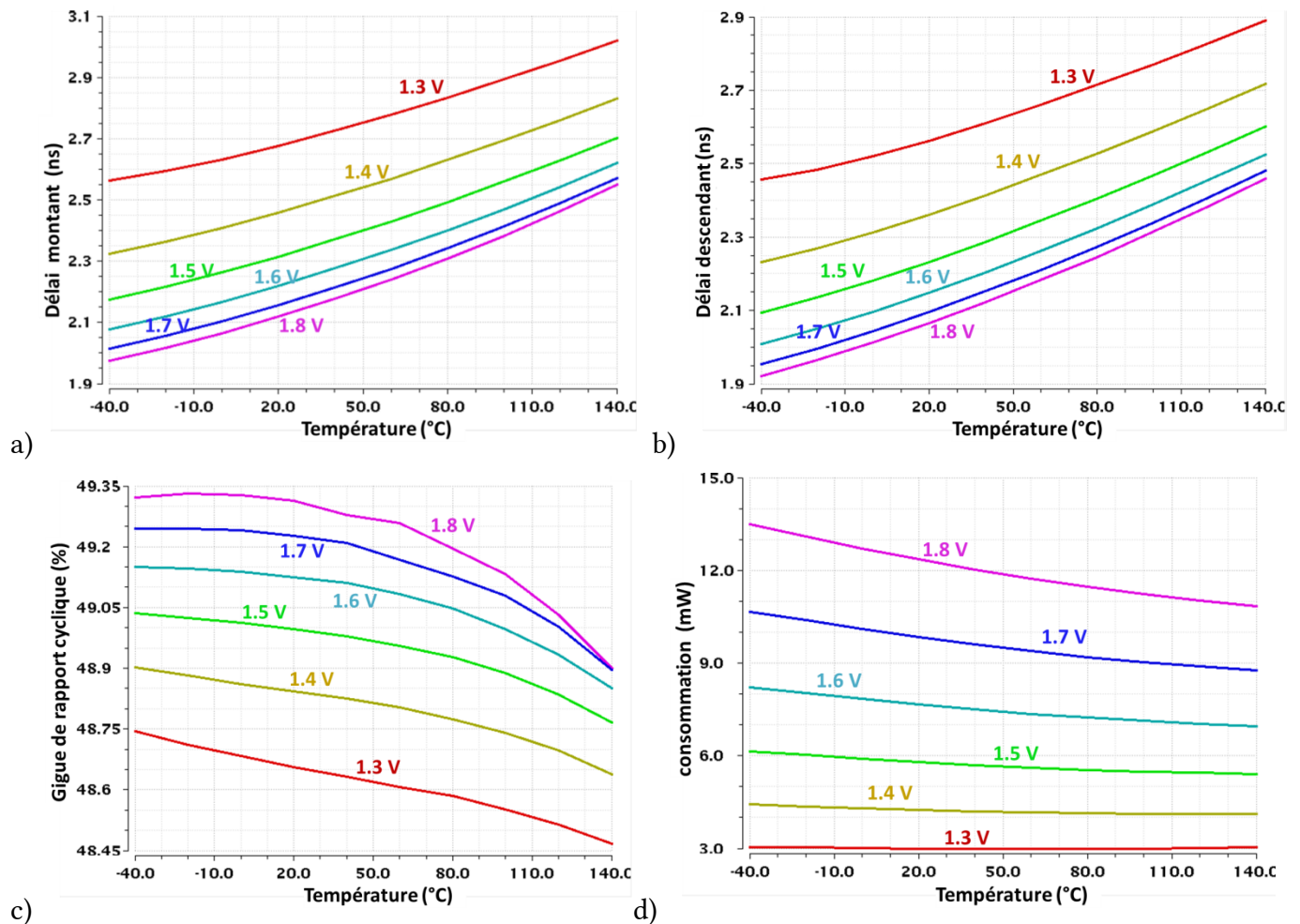


Figure 3-21: courbes de simulation en fonction de la température pour différentes tension d'alimentation. a) délai montant, b) délai descendant, c) gigue de rapport cyclique, d) consommation

Des simulations sont maintenant effectuées en fonction de l'amplitude du courant photo-généré. La tension d'alimentation est générée par le modèle de cellule photovoltaïque. Les résultats sont exprimés en fonction de la température sur la Figure 3-22 suivante. Pour des photo-courants compris entre $2\mu\text{A}$ et $10\mu\text{A}$, le délai montant varie entre 1.8 ns et 3 ns. On a donc une différence de délai dû au circuit optique de 1.2 ns. La déformation du signal (gigue du rapport cyclique) varie entre 48% et 49.4%. Le rapport cyclique visé étant de 50%, on a un écart maximal de 2% sur $[2\mu\text{A} ; 10\mu\text{A}] \times [-40^\circ\text{C} ; 140^\circ\text{C}]$, ce qui correspond à une déviation temporelle de 0.1 ns.

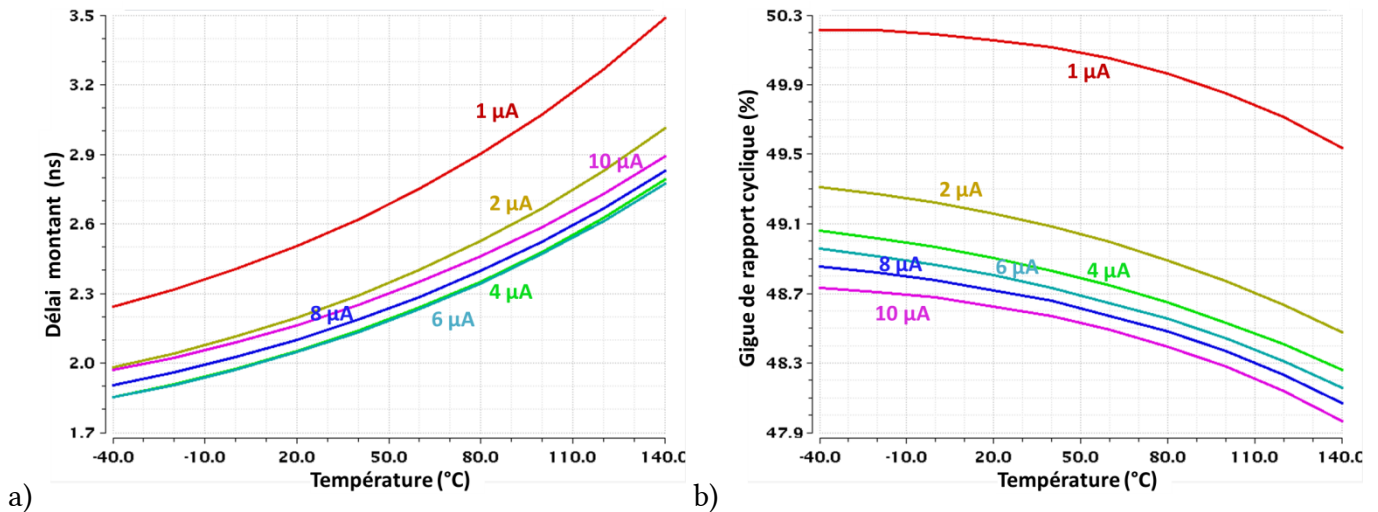


Figure 3-22 : courbes de simulation en fonction de la température pour différentes amplitudes de courant photo-généré. a) délai montant, b) gigue de rapport cyclique

Des simulations sont effectuées en fonction de la température, avec une alimentation par cellule photovoltaïque, à une amplitude de courant photo-généré de 2 μA , pour différents débit de transmission des données. Les résultats montrés sur la Figure 3-23 a) présentent le rapport cyclique en fonction de la température pour le design fabriqué et b) montre la même chose pour une conception différente où le rapport W_p/W_n des transistors du TIA est 2.5 fois plus élevé. Dans ce dernier cas, la consommation varie de 19 mW à 4.5 mW contre 14.5 mW à 3 mW pour le premier cas. On observe, dans le premier cas, un bon fonctionnement (gigue < 2%) jusqu'à 250 MHz et un fonctionnement acceptable (gigue < 3%) jusqu'à 400 MHz. Pour le second cas b), on observe une faible gigue jusqu'à 500 MHz (mais au prix d'une consommation plus élevée).

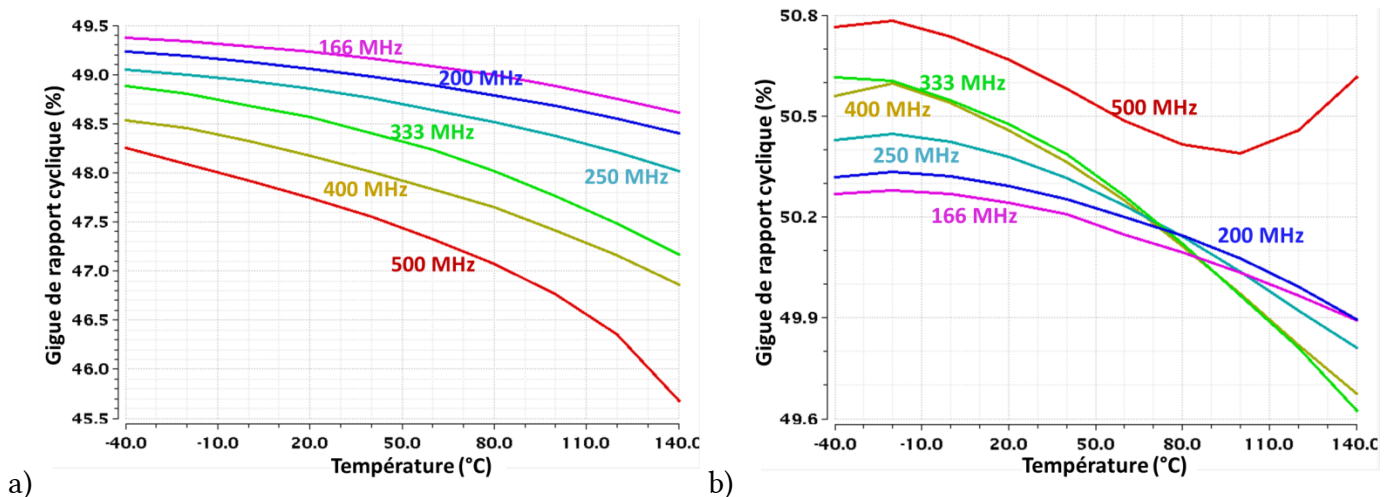


Figure 3-23 : courbes de simulation en fonction de la température pour différents débit de transmission. a) $W_p/W_n_{TIA}=3$, b) $W_p/W_n_{TIA}=7.5$

Finalement, des simulations sont effectuées (Figure 3-24) en fonction de la température, avec une alimentation par cellule photovoltaïque, avec des différences entre les

amplitudes des 2 courants photo-générés (figure a)), ce qui arrive en cas de mauvais alignement optique entre la fibre et les photodiodes, et différents délais temporels entre les 2 signaux (figure b)), c'est-à-dire que l'un des signaux arrive avant l'autre, ce qui arrive si les lasers n'ont pas le même délai électrique – optique ou si la commande des 2 lasers n'est pas exactement en opposition de phase. On observe que pour une variation de $\pm 20\%$ entre les 2 amplitudes induit une variation du rapport cyclique de 4%. Une variation de $\pm 20\%$ entre les 2 délais des signaux induit une variation de 2.2% du rapport cyclique. Ces variations sont modérées et laissent à penser que la solution proposée peut être mise en œuvre expérimentalement. Cependant, il faudra porter une attention particulière à l'alignement puisque un désalignement de 20 % représente une erreur spatiale de 10 μm (pour une photodiode de diamètre 50 μm).

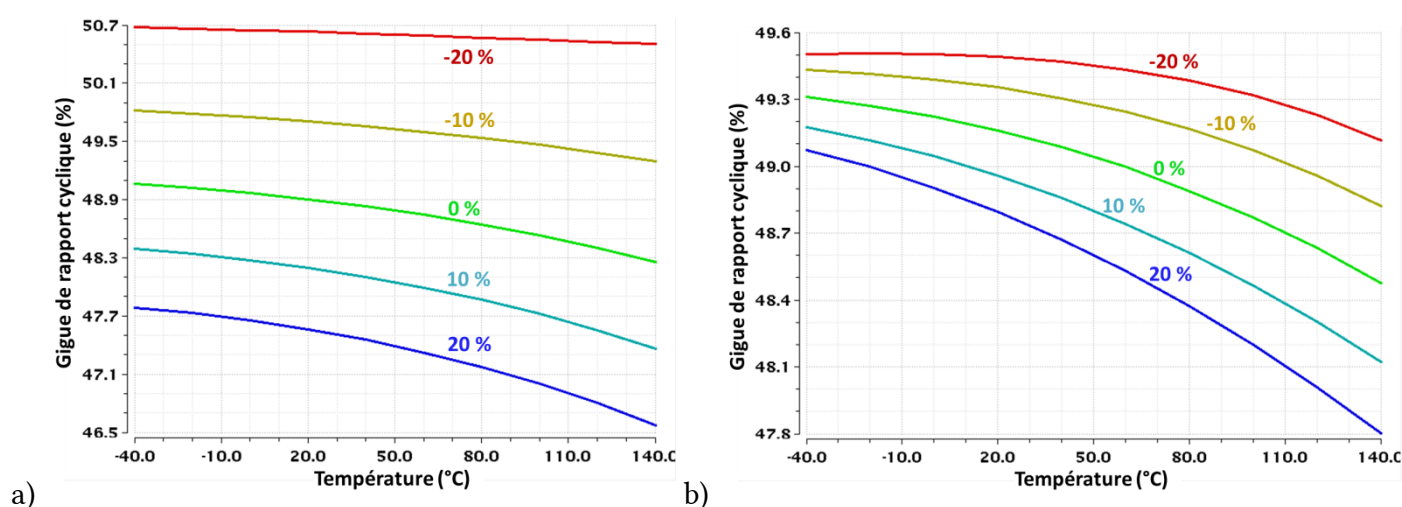


Figure 3-24 : courbes de simulation en fonction de la température pour a) une variation entre les amplitudes des 2 courants photo-générés et b) une variation entre les délais des 2 signaux

La photo du layout du circuit de réception haute fréquence pour le numérique est montrée sur la Figure 3-25. L'écartement entre les photodiodes a été choisi pour correspondre avec l'écartement de la fibre optique BFY50HS02 de Thorlabs. Cette fibre est en fait composée de 2 fibres dont les entrées sont séparées et dont les sorties sont rapprochées au sein du même enrobage époxy (une seule sortie mécanique). Pour les tests expérimentaux, il aurait été toutefois préférable de doubler les distances (photodiodes de 50 ou 100 μm et écartement de 180 μm) car il est difficile de focaliser une image optique avec un grandissement de 1. A ceci s'ajoute le problème de l'alignement pour lequel il faut un réglage linéaire (pour centrer le faisceau global) mais également rotatif (pour orienter les 2 faisceaux).

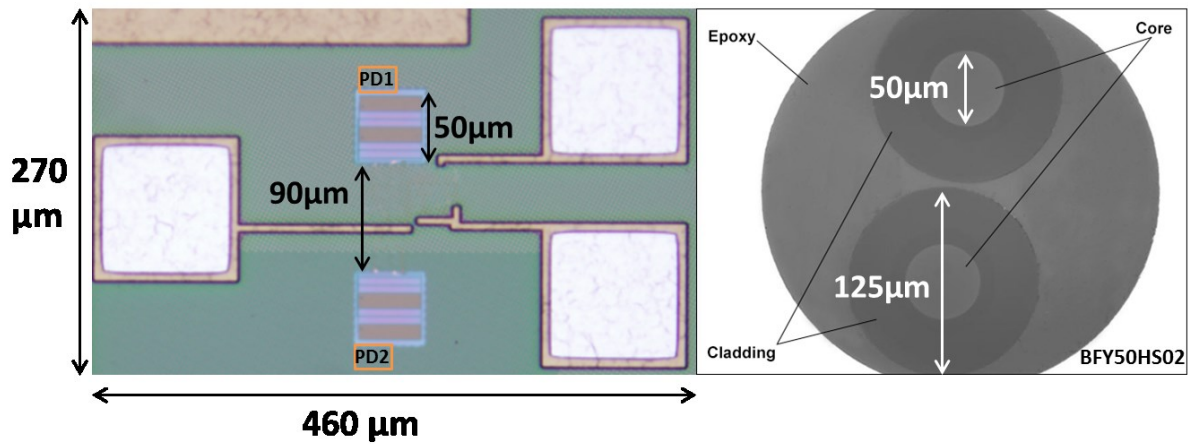


Figure 3-25 : Layout du circuit de réception haute fréquence pour le numérique.

III.3. Horloge interne : dimensionnement et caractérisation

Dans cette partie, le dimensionnement de l'horloge interne en fonction de la température et de la tension d'alimentation sera abordé. L'horloge interne doit permettre de récupérer les bits d'information en étant la plus synchronisée possible à la fréquence de l'horloge « externe ». Pour faciliter cette synchronisation, la stratégie suivante est adoptée : L'horloge est synchronisée au plus proche (temporellement) du front montant du bit de Start. La fréquence de l'horloge externe est choisie toujours supérieure à la fréquence de l'horloge interne. Ainsi, la déviation temporelle de l'horloge interne par rapport au débit de transmission est toujours positive. Le but de l'étude est de s'assurer que cette déviation est inférieure à une période d'horloge à la fin de la transmission de la trame.

III.3.1 Dimensionnement et simulation

Il existe plusieurs façons de générer un signal d'horloge. La première possibilité est d'utiliser un système mécanique oscillant externe type cristal de quartz ou MEMS. Le problème est que ces systèmes ne sont pas ou peu intégrables avec la puce CMOS. La deuxième possibilité est l'utilisation de circuit LC. Le problème réside alors dans le dimensionnement de l'inductance. La troisième solution, retenue dans le cadre de cette étude, est l'utilisation d'un oscillateur en anneau à base d'inverseur CMOS. Le principe est schématisé sur la Figure 3-26. Un nombre impair d'inverseurs de délai τ sont placés en série puis bouclés. Ainsi, un front montant en entrée du premier inverseur est répercuté par la chaîne d'inverseurs et revient en front descendant en entrée du premier inverseur après un délai de $N \cdot \tau$. De même pour ce front descendant qui revient en front montant après un délai de $N \cdot \tau$. Le système oscille donc à une période de $2 \cdot N \cdot \tau$. L'oscillateur génère N signaux déphasés de $2\pi/N$.

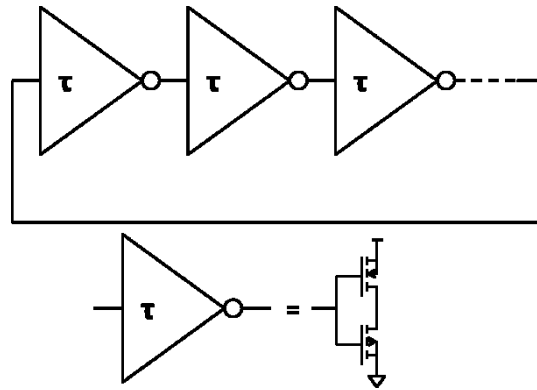


Figure 3-26 : schéma de principe d'un oscillateur en anneau

Dans notre étude, nous utilisons des cellules différentielles de type Maneatis et Lee Kim, comme dans (Montaseri, Naimi, 2010), qui ont des coefficients en température respectivement positif et négatif. Le schéma de principe est montré sur la Figure 3-27.

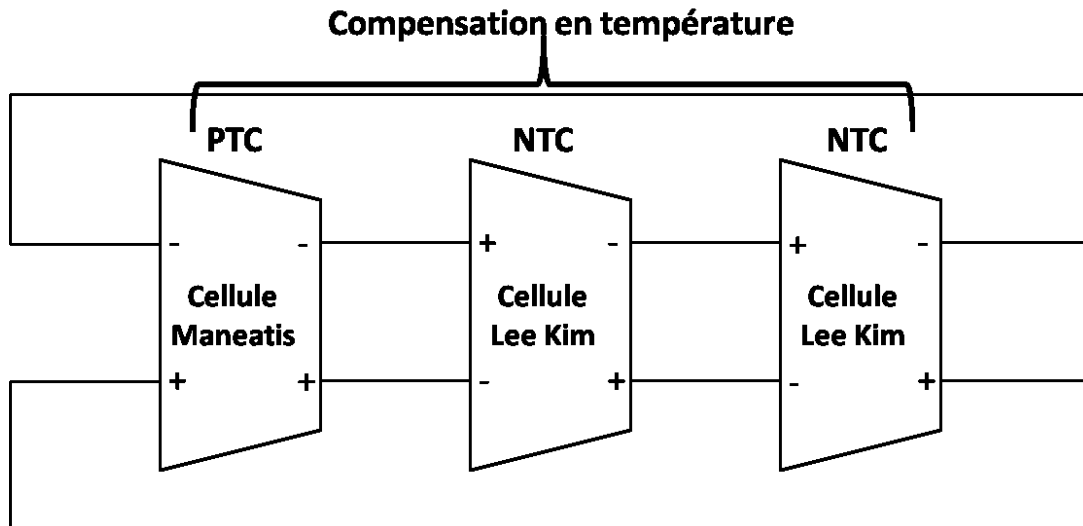


Figure 3-27 : schéma de principe de l'oscillateur interne

Des simulations sont effectuées en fonction de la tension d'alimentation pour différentes températures. Les résultats sont montrés sur la Figure 3-28. On observe que la fréquence du signal d'horloge augmente lorsque la tension d'alimentation augmente puis se stabilise pour des tensions d'alimentations plus élevées. La tension à partir de laquelle la fréquence se stabilise diminue lorsque la température augmente. Ainsi lorsque la tension d'alimentation est délivrée par la cellule photovoltaïque, la fréquence se stabilise puisqu'à faible température, la tension d'alimentation est élevée et à haute température, la tension d'alimentation est faible.

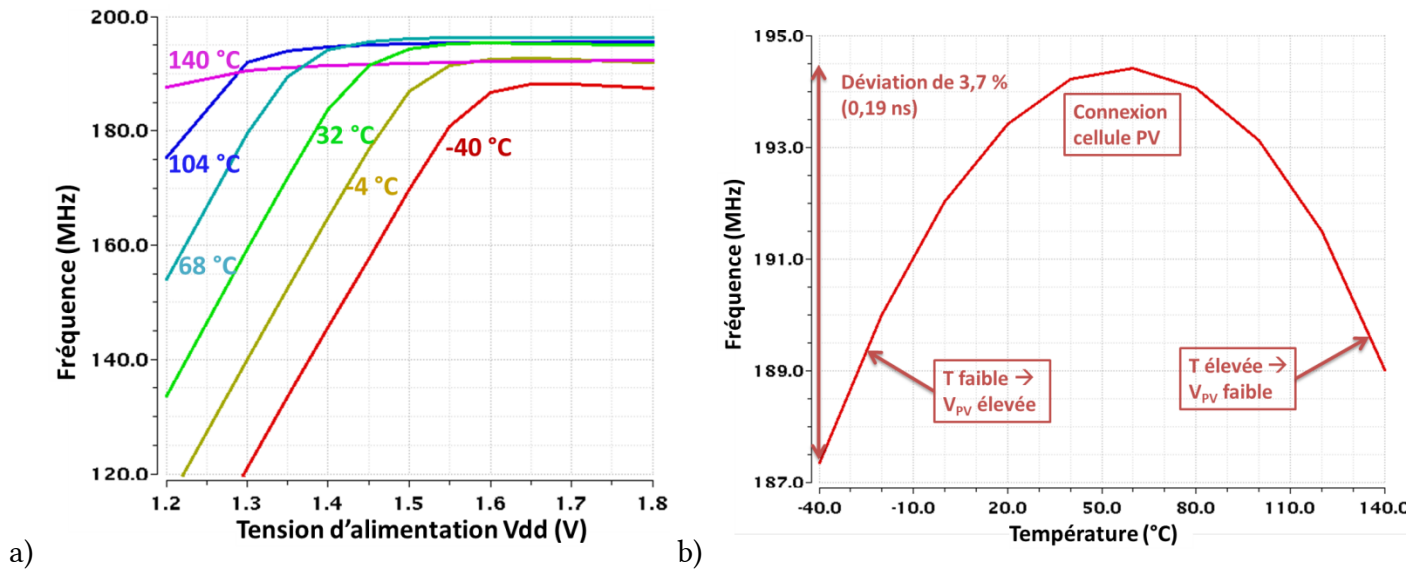


Figure 3-28 : Simulation de la fréquence de l'horloge interne. a) En fonction de la tension d'alimentation pour différentes températures. b) En fonction de la température lorsque l'alimentation est délivrée par la cellule PV

En alimentant l'horloge par la cellule photovoltaïque, on obtient une faible déviation de la fréquence par rapport à la température, de 3.7%. Ceci permet d'envoyer 12 bits avec une déviation finale de $12 \cdot 3.7 = 44.4\%$ soit moins d'une demi-période du signal transmis. Pour réaliser l'alignement de phase du bit de Start, la solution suivante a été envisagée : Sur front montant du bit de Start, toutes les valeurs des 6 signaux d'horloge disponibles de l'oscillateur en anneau sont enregistrées. Ensuite, une sélection logique est effectuée pour choisir le signal d'horloge le plus proche temporellement du front montant du bit de Start. La solution est illustrée sur la Figure 3-29. Malheureusement, elle n'a pas été routée sur la puce par manque de temps lors de la phase de conception, contrainte par les délais de fabrication. Les résultats de simulation indiquent que la sélection s'effectue en moins de 1 ns.

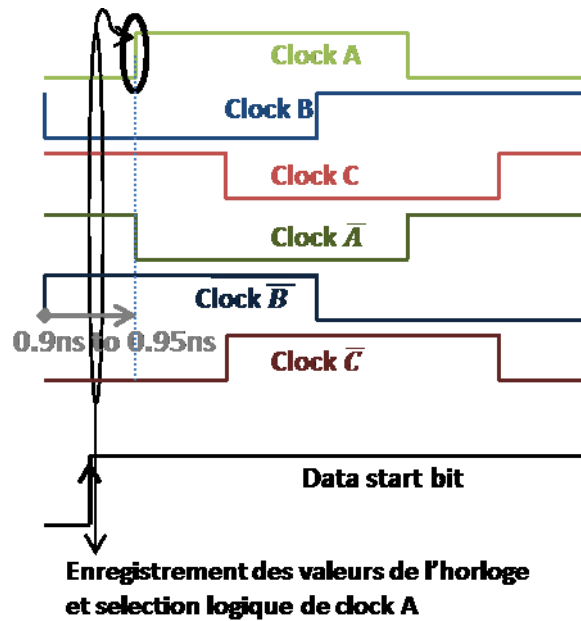


Figure 3-29 : Sélection logique des signaux d'horloge pour réaliser l'alignement de phase

III.3.2 Caractérisation

Des tests sont effectués pour différentes températures. Le circuit est monté sur SMI (Substrat Métallique Isolé) pour avoir une bonne conductivité thermique entre la puce et la plaque chauffante. Pour effectuer des mesures à haute fréquence, les éléments parasites sont minimisés, la piste de sortie a une surface réduite de 3 mm² afin d'avoir une capacité parasite de sortie de 1.5 pF. Pour prendre la mesure, la sonde est placée sur un support 3 axes. L'oscilloscope utilisé est le Tektronix MSO5204 qui a une bande passante de 2 GHz et un taux d'échantillonnage maximal de 10 GS/s. La sonde d'oscilloscope utilisée est une Tektronix TPP1000 de bande passante 1 GHz et de capacité parasite 3.9 pF. La capacité totale à charger par le circuit est donc de 5.5 pF. Pour cette raison, un buffer a été ajouté dans la puce pour un des signaux d'horloge (il n'y a donc que celui-ci qui pourra être observé). Pour réduire l'inductance de mesure, un fil de masse est câblé au plus proche de la pointe de mesure. La Figure 3-30 montre une photo du banc expérimental. Pour maintenir le SMI sur la plaque chauffante et favoriser l'échange thermique, des poteaux sont utilisés.

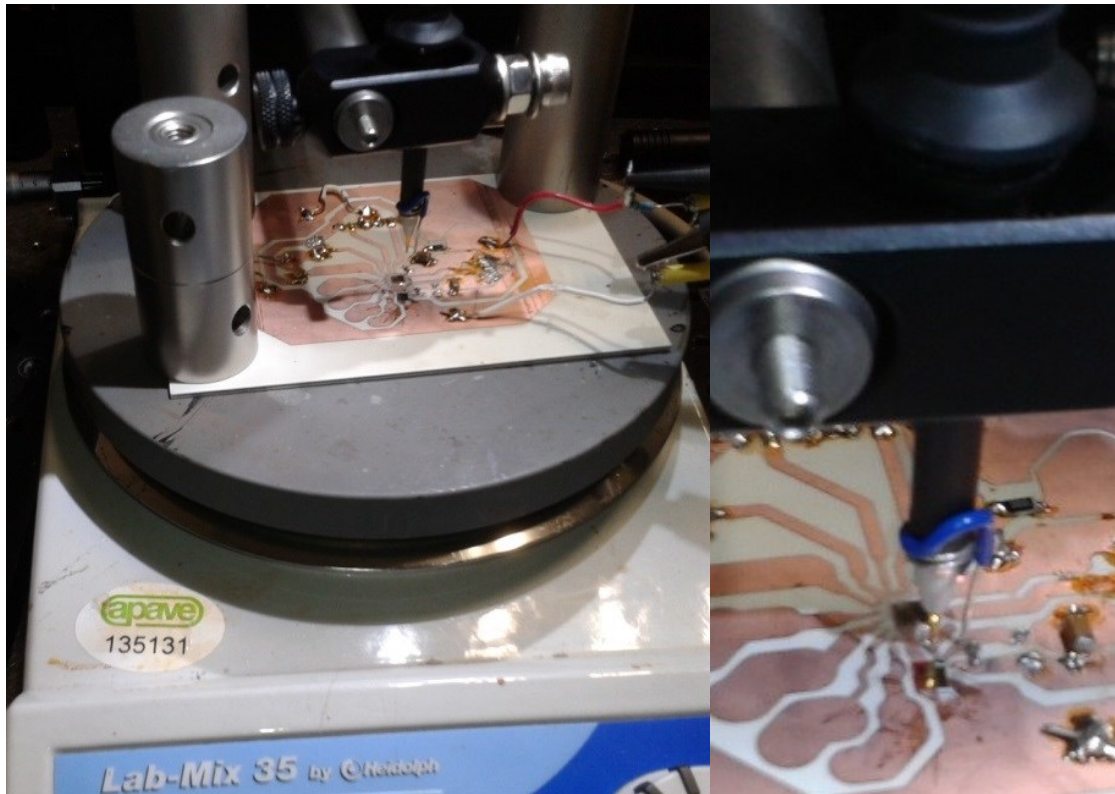


Figure 3-30 : Photo du banc de caractérisation de l'horloge interne

Pour chaque température, la tension d'alimentation, délivrée par la source Keithley 2636A, est élevée progressivement (sur plusieurs centaines de μ s) jusqu'à 1.6 V. Ceci permet de ne pas endommager le circuit par des surtensions intempestives et d'enregistrer la courbe du signal de sortie sur une plage continue de tension avec un grand nombre de périodes. Les données sont ensuite traitées sur Matlab. Les résultats sont montrés sur la Figure 3-31 a). On notera que les tests sont effectués jusqu'à 125 °C pour ne pas dégrader le SMI et la puce CMOS. Sur la figure a) sont également reportés les résultats de simulations avec une capacité parasite additionnelle entre chaque entrée-sortie des cellules inverseurs (6 capacités au total). Le choix de la capacité est effectué pour correspondre aux mesures expérimentales à température ambiante (Figure 3-31 b)). La capacité parasite choisie est de 7.5 fF (soit 45 fF au total). Pour chaque période, la valeur moyenne de la tension d'alimentation mesurée est calculée. Etant donné le grand nombre de périodes mesurées, il est possible d'avoir plusieurs fréquences mesurées pour chaque tension d'alimentation (du fait des dispersions des mesures), d'où l'épaisseur du trait pour les mesures expérimentales (ce sont en fait une conglomération de points de mesure). On observe que les mesures expérimentales correspondent bien aux simulations pour de faibles valeurs de la tension d'alimentation V_{dd} . En revanche, lorsque V_{dd} augmente, la fréquence se stabilise à une valeur plus faible qu'attendue. L'écart entre les valeurs de stabilisations simulées et expérimentales est d'autant plus important que la température augmente.

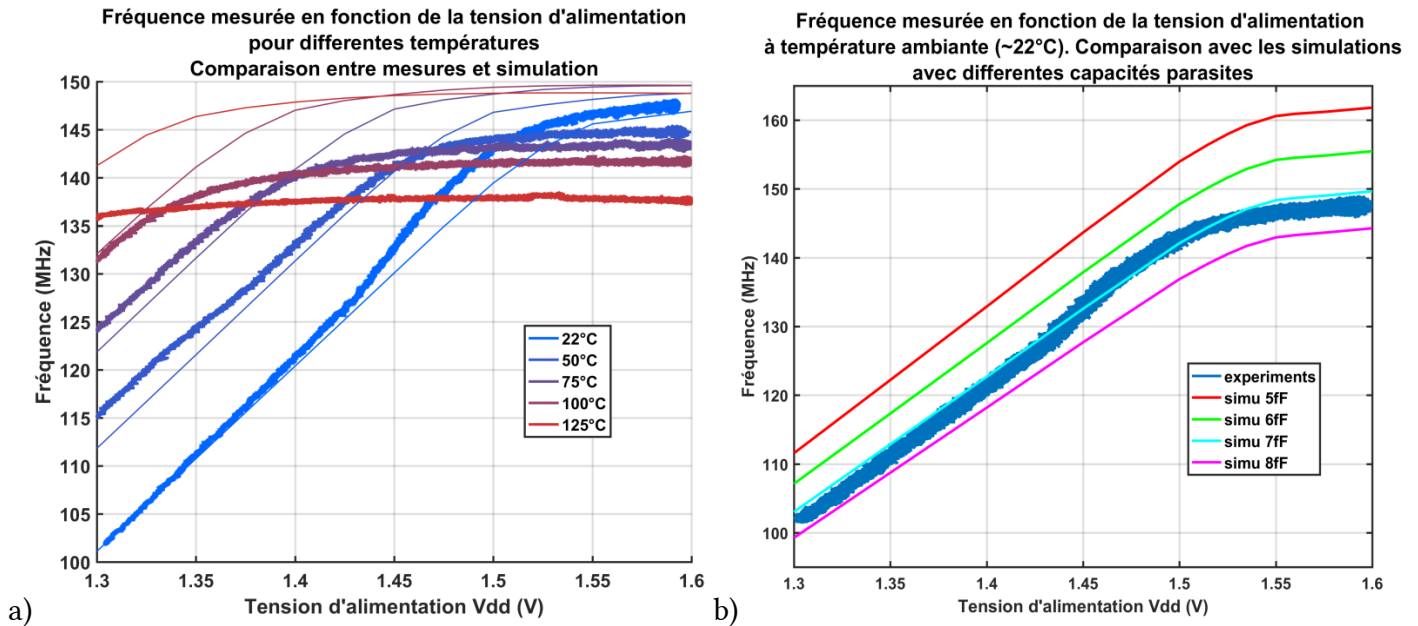


Figure 3-31: Mesures expérimentales de la fréquence de l'horloge interne en fonction de la tension d'alimentation. a) Comparaison avec les simulations pour différentes températures. b) Comparaison avec les simulations à température ambiante pour différentes valeurs de capacités parasites simulées.

Pour chaque température, la fréquence correspondant à la tension théoriquement délivrée par la cellule photovoltaïque est enregistrée afin de tracer la fréquence de l'horloge en fonction de la température. Les résultats sont montrés sur la Figure 3-32. On observe une déviation de 8 % (soit 0.56 ns), dû à l'abaissement à haute température de la fréquence de stabilisation. Cette déviation est encore acceptable pour la transmission de 8 bits d'information (cas d'un ordre de commande) car elle aboutit à une déviation totale de 64 % de la période de transmission à la fin de la trame dans le meilleur des cas et 81% dans le cas extrême où le signal d'horloge sélectionné est décalé de 60°. En revanche, pour une transmission d'information de 12 bits, la déviation totale est de 96 % à la fin de la trame dans le meilleur des cas, ce qui est insuffisant.

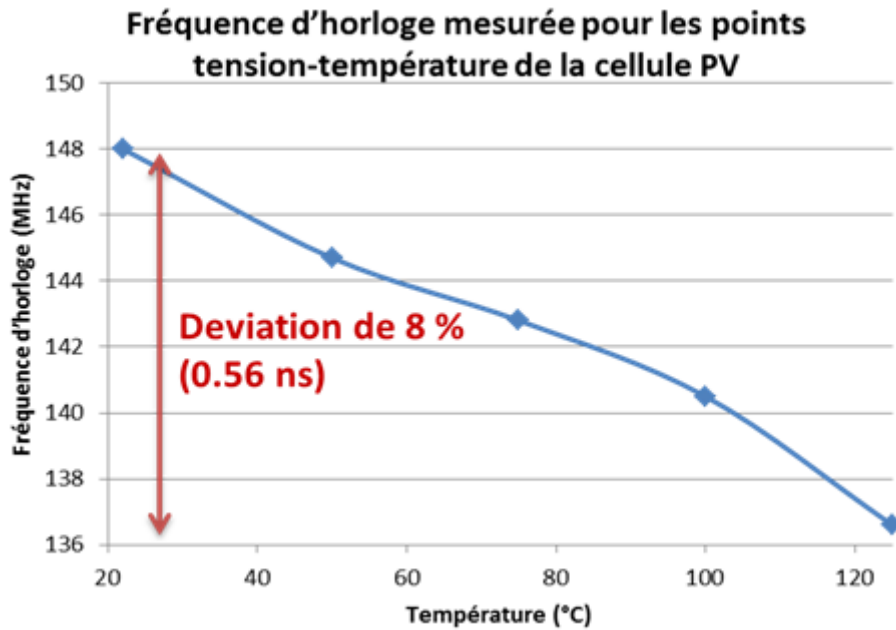


Figure 3-32 : Fréquence de l'horloge interne pour les points tension-température de la cellule PV

Des tests de transmission d'information ont été également réalisés en utilisant ce signal d'horloge à température ambiante. Le signal de données est envoyé par un FPGA Altera Cyclone 3. Le signal d'horloge est généré sur une puce à part pour pouvoir l'observer expérimentalement. Les signaux sont observés avec l'oscilloscope Tektronix MSO5204. Les résultats sont montrés sur la Figure 3-33 dans le cas d'une transmission d'ordre de commande (où la sortie état transistor est observée) et dans le cas de la transmission d'une information (où le 4^e bit de la mémoire est observé). La fréquence d'horloge du FPGA est ajustée pour faciliter la synchronisation entre l'horloge interne et les données. L'ordre de commande est transmis en 58 ns et l'information en 84 ns. Ces tests montrent que l'unité de gestion logique fonctionne correctement à des fréquences de l'ordre de 140 MHz.

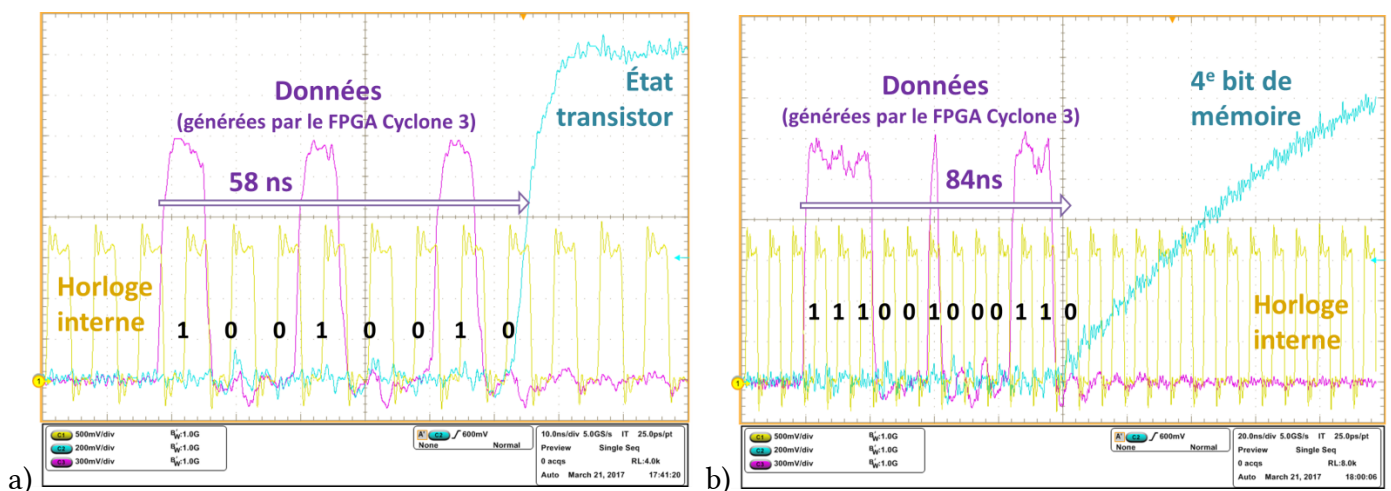


Figure 3-33 : Transmission de données générées par FPGA avec utilisation de l'horloge interne dans les cas a) d'un ordre de commande et b) d'une information.

IV. Conclusion du chapitre 3

Dans ce chapitre, 2 méthodes pour le transfert du signal optique ont été abordées. La première, appelée transfert en bande de base, consiste à envoyer un signal lumineux image de la commande du transistor. Cette technique ne permet pas la configuration du transistor mais présente l'avantage d'une faible consommation (<5 mW), d'un lien optique unique et d'une simplicité de mise en œuvre (en termes de design et de tests). En simulation, lorsque ce circuit est alimenté par le modèle de cellule photovoltaïque présenté au chapitre 2, les délais sont inférieurs à 9 ns, les mismatches sont inférieurs à 4 ns et le rapport cyclique varie entre 49.99% et 50.07% sur les plages $[5\mu\text{A}; 25\mu\text{A}] \times [-40^\circ\text{C}; 140^\circ\text{C}]$ de photo-courants et températures. Expérimentalement, le bon fonctionnement du circuit a été démontré avec des délais entre la tension de modulation du laser et la sortie du buffer de sortie d'environ 20 ns pour une charge de 2 nF à 1.5 MHz.

La seconde méthode consiste en une transmission numérique série des données. Cette méthode permet le transfert d'ordres de commutation pour plusieurs transistors ainsi que le transfert d'information telle que la résistance de grille ou le temps mort. Un circuit de réception optique haute fréquence a été dimensionné et simulé et peut opérer jusqu'à 400 MHz. Une unité de gestion logique a été conçue pour le traitement des données reçues. Pour le décodage des données numériques, une horloge interne, indépendante de la température et de la tension d'alimentation, a été dimensionnée. Des différences entre simulation et expérimentation ont été observées, une déviation de la fréquence d'horloge de 8% sur la plage de température $[20^\circ\text{C}; 125^\circ\text{C}]$ est observée expérimentalement contre une déviation de 3.7% sur la plage $[-40^\circ\text{C}; 140^\circ\text{C}]$ en simulation. Des transmissions (électriques) d'ordres de commutation en 58 ns et d'information en 84 ns ont cependant été démontrées à température ambiante avec cette horloge interne.

Conclusion générale

Dans cette thèse, nous avons démontré que la transmission par fibre optique pouvait être compétitive en termes de délais de propagation et mismatches tout en gardant un niveau élevé d'isolation galvanique. Le chapitre 1 nous a permis de nous positionner par rapport à l'état de l'art académique et industriel. La solution optique développée possède une partie réceptrice entièrement intégrée en technologie CMOS.

Dans le chapitre 2, nous avons discuté de l'alimentation par voie optique. Le buffer est rendu configurable pour pouvoir modifier la valeur de résistance de grille en fonctionnement. Le bon fonctionnement de la cellule PV n'a pas pu être démontré en technologie AMS H18 mais son intégration reste possible en technologie XFAB SOI 0.18 μm . Le convertisseur DC/DC permet d'adapter la tension de la cellule PV à la tension de grille du transistor de puissance mais une régulation ou différents modes de fonctionnement sont nécessaires pour palier à la chute de tension à haute température.

Dans le chapitre 3, deux solutions de transmission du signal ont été dimensionnés. Une transmission en bande de base, dont son bon fonctionnement a été démontré expérimentalement avec de faibles délais inférieurs à 25 ns (électrique – électrique). Une solution de transfert numérique série a été envisagée pour pouvoir envoyer des ordres de commandes et de l'information telle que la valeur de résistance de grille.

A court terme, des tests en température sont encore à effectuer pour vérifier le bon fonctionnement des circuits. Des améliorations sont à apporter, notamment pour le circuit numérique, un TIA avec une seule photodiode serait préférable, une fiabilisation de la fréquence d'horloge en fonction de la température est nécessaire et, le cas échéant, un transfert optique de l'horloge est à envisager.

L'intégration du photo-détecteur dans la cellule PV est à étudier pour n'avoir qu'une seule fibre optique et ainsi diminuer les coûts et faciliter le packaging. La question de l'intégration de la cellule PV reste posée.

A plus long terme, le dimensionnement du gate driver complet (partie émetteur, packaging de la fibre et partie réceptrice) est à étudier ainsi que l'intégration dans un convertisseur complet (plusieurs drivers) pour vérifier l'impact sur le rendement global et la CEM du convertisseur.

Bibliographie

ANALUI, B. et HAJIMIRI, A., 2004. Bandwidth enhancement for transimpedance amplifiers. In : *IEEE Journal of Solid-State Circuits*. août 2004. Vol. 39, n° 8, p. 1263-1270. DOI 10.1109/JSSC.2004.831783.

ATEF, M. et ABD-ELRAHMAN, D., 2014. 2.5 Gbit/s compact transimpedance amplifier using active inductor in 130nm CMOS technology. In : *2014 Proceedings of the 21st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*. S.l. : s.n. juin 2014. p. 103-107.

BAHARUDIN, N., ALSAQOUR, R., SHAKER, H., ALSAQOUR, O. et ALAHDAL, T., 2013. Review on multiplexing techniques in bandwidth utilization. In : *Middle-East Journal of Scientific Research*. 2013. Vol. 18, n° 10, p. 1510-1516.

BALIGA, B. Jayant, 2008. Power MOSFETs. In : BALIGA, B. Jayant, *Fundamentals of Power Semiconductor Devices* [en ligne]. Boston, MA : Springer US. p. 276-503. [Consulté le 3 juillet 2017]. ISBN 978-0-387-47313-0. Disponible à l'adresse : http://link.springer.com/10.1007/978-0-387-47314-7_6.

BALOGH, Laszlo, 2002. *Fundamentals of MOSFET and IGBT Gate Driver Circuits* [en ligne]. avril 2002. S.l. : Texas Instruments. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <http://www.ti.com/lit/ml/slua618/slua618.pdf>.

BONNAUD, Olivier, 2003. *Physique des Solides, des Semiconducteurs et Dispositifs* [en ligne]. [Consulté le 26 septembre 2017]. Disponible à l'adresse : http://edu.ens-rennes.fr/pluginfile.php/1741/mod_label/intro/DocPedagogiques/PhysiqueSC_Bonnaud2003.pdf.

BREUSSEGEM, T. V. et STEYAERT, M., 2009. A 82% efficiency 0.5% ripple 16-phase fully integrated capacitive voltage doubler. In : *2009 Symposium on VLSI Circuits*. S.l. : s.n. juin 2009. p. 198-199.

BRIERE, Michael, 2008. GaN-based power devices offer game-changing potential in power-conversion electronics | EE Times. In : *EETimes* [en ligne]. décembre 2008. [Consulté le 26 septembre 2017]. Disponible à l'adresse : http://www.eetimes.com/document.asp?doc_id=1272514.

BUTZEN, N. et STEYAERT, M., 2017. 10.1 A 1.1W/mm²-power-density 82%-efficiency fully integrated 3-Phase Switched-Capacitor DC-DC converter in baseline 28nm CMOS using Stage Outphasing and Multiphase Soft-Charging. In : *2017 IEEE International Solid-State Circuits Conference (ISSCC)*. S.l. : s.n. février 2017. p. 178-179.

CHE, S., NAGAI, S., NEGORO, N., KAWAI, Y., TABATA, O., ENOMOTO, S., ANDA, Y. et HATSUDA, T., 2017. A1W power consumption GaN-based isolated gate driver for a 1.0 MHz GaN power system. In : *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. S.l. : s.n. mai 2017. p. 33-36.

COLIN, D. et ROUGER, N., 2016. High speed optical gate driver for wide band gap power transistors. In : *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. S.l. : s.n. septembre 2016. p. 1-6.

COLIN, D. et ROUGER, N., 2017. High speed digital optical signal transfer for power transistor gate driver applications. In : *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. S.l. : s.n. mai 2017. p. 37-40.

COPPEE, D., PAN, W., VOUNCHX, R. et KUIJK, M., 1998. The spatially modulated light detector. In : *Optical Fiber Communication Conference and Exhibit, 1998. OFC '98., Technical Digest*. S.l. : s.n. février 1998. p. 315-316.

CREBIER, J. C. et NGUYEN, B. D., 2010. Gate Driver Supplies and Dead Time Management Circuits for AC to AC Converters. In : *IEEE Transactions on Power Electronics*. janvier 2010. Vol. 25, n° 1, p. 168-177. DOI 10.1109/TPEL.2009.2024676.

DAANOUNE, Mehdi, 2015. *Mesure de durée de vie de porteurs minoritaires dans les structures semiconductrices de basse dimensionnalité* [en ligne]. phdthesis. S.l. : Université Grenoble Alpes. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <https://tel.archives-ouvertes.fr/tel-01212501/document>.

DYMOND, H. C. P., LIU, D., WANG, J., DALTON, J. J. O., MCNEILL, N., PAMUNUWA, D., HOLLIS, S. J. et STARK, B. H., 2016. Reduction of oscillations in a GaN bridge leg using active gate driving with sub-ns resolution, arbitrary gate-resistance patterns. In : *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. S.l. : s.n. septembre 2016. p. 1-6.

DYMOND, H., WANG, J., LIU, D., DALTON, J., MCNEILL, N., PAMUNUWA, D., HOLLIS, S. et STARK, B., 2017. A 6.7-GHz Active Gate Driver for GaN FETs to Combat Overshoot, Ringing, and EMI. In : *IEEE Transactions on Power Electronics*. 2017. Vol. PP, n° 99, p. 1-1. DOI 10.1109/TPEL.2017.2669879.

EPC, 2016. EPC2021_datasheet.pdf. In : [en ligne]. avril 2016. [Consulté le 24 août 2017]. Disponible à l'adresse : http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2021_datasheet.pdf.

EPC, 2017. EPC2046_preliminary.pdf. In : [en ligne]. mai 2017. [Consulté le 26 septembre 2017]. Disponible à l'adresse : http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2046_preliminary.pdf.

FAIRCHILD, 2014. AN-6076 Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC - AN-6076.pdf. In : [en ligne]. décembre 2014. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <https://www.fairchildsemi.com/application-notes/AN/AN-6076.pdf>.

FIBERFIN, 2017. GigaPOF® 50 µm cable, GI POF Simplex, 100m - Perflourinated - Graded-Index POF - Fiber and Cable - Products. In : [en ligne]. 18 juillet 2017. [Consulté le 18 juillet 2017]. Disponible à l'adresse : <http://www.fiberfin.com/index.php/products/fiber-and-cable/graded-index-pof-13/perflourinated/gigapofr-50-m-cable-gi-pof-simplex-100m.html>.

FIBERGUIDE, Industries, 2013. All_Silica_Fiber_0301131.pdf. In : [en ligne]. 3 janvier 2013. [Consulté le 27 juin 2017]. Disponible à l'adresse : http://www.fiberguide.com/wp-content/uploads/2013/03/All_Silica_Fiber_0301131.pdf.

FONG, E.G., GUILAR, N.J., KLEEBURG, T.J., PHAM, Hai, YANKELEVICH, D.R. et AMIRTHARAJAH, R., 2013. Integrated Energy-Harvesting Photodiodes With Diffractive Storage Capacitance. In : *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. mars 2013. Vol. 21, n° 3, p. 486-497. DOI 10.1109/TVLSI.2012.2189898.

FUJITA, H., 2013. A Resonant Gate-Drive Circuit With Optically Isolated Control Signal and Power Supply for Fast-Switching and High-Voltage Power Semiconductor Devices. In : *IEEE Transactions on Power Electronics*. novembre 2013. Vol. 28, n° 11, p. 5423-5430. DOI 10.1109/TPEL.2013.2247423.

GENOE, J., COPPEE, D., STIENS, J. H., VONEKX, R. A. et KUIJK, M., 2001. Calculation of the current response of the spatially modulated light CMOS detector. In : *IEEE Transactions on Electron Devices*. septembre 2001. Vol. 48, n° 9, p. 1892-1902. DOI 10.1109/16.944174.

GUILAR, N.J., FONG, E.G., KLEEBURG, T., YANKELEVICH, D.R. et AMIRTHARAJAH, R., 2008. Energy harvesting photodiodes with integrated 2D diffractive storage capacitance. In : *2008 ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED)*. S.l. : s.n. août 2008. p. 63-68.

GUILAR, N.J., KLEEBURG, T.J., CHEN, A., YANKELEVICH, D.R. et AMIRTHARAJAH, R., 2009. Integrated Solar Energy Harvesting and Storage. In : *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. mai 2009. Vol. 17, n° 5, p. 627-637. DOI 10.1109/TVLSI.2008.2006792.

HERMANS, C. et STEYAERT, M.S.J., 2006. A high-speed 850-nm optical receiver front-end in 0.18- μm CMOS. In : *IEEE Journal of Solid-State Circuits*. juillet 2006. Vol. 41, n° 7, p. 1606-1614. DOI 10.1109/JSSC.2006.873855.

HORIGUCHI, F., 2012. Integration of Series-Connected On-Chip Solar Battery in a Triple-Well CMOS LSI. In : *IEEE Transactions on Electron Devices*. juin 2012. Vol. 59, n° 6, p. 1580-1584. DOI 10.1109/TED.2012.2189116.

HUNG, Yung-Jr, SU, Hsiu-Wei, CHUN, Chung-Lin, CHEN, Jia-Fa, HUANG, Chia-Wei et CAI, Meng-Syuan, 2015. Enhanced efficiency in backside-illuminated deep-n-well-assisted CMOS photovoltaic devices. In : *IEEE Electron Device Letters*. 2015. Vol. PP, n° 99, p. 1-1. DOI 10.1109/LED.2015.2476380.

I-FIBEROPTICS, 2017. SK-10 Super Eska™ .25 mm. In : [en ligne]. 18 juillet 2017. [Consulté le 18 juillet 2017]. Disponible à l'adresse : <http://i-fiberoptics.com/fiber-detail.php?id=120&sum=90>.

ISHIGAKI, M., FAFARD, S., MASSON, D. P., WILKINS, M. M., VALDIVIA, C. E. et HINZER, K., 2017a. A new optically-isolated power converter for 12 V gate drive power supplies applied to high voltage and high speed switching devices. In : *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. S.l. : s.n. mars 2017. p. 2312-2316.

ISHIGAKI, M., FAFARD, S., MASSON, D. P., WILKINS, M. M., VALDIVIA, C. E. et HINZER, K., 2017b. A new optically-isolated power converter for 12 V gate drive power supplies

applied to high voltage and high speed switching devices. In : *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. S.l. : s.n. mars 2017. p. 2312-2316.

ISHIGAKI, M., FAFARD, S., MASSON, D. P., WILKINS, M. M., VALDIVIA, C. E. et HINZER, K., 2017c. A new optically-isolated power converter for 12 V gate drive power supplies applied to high voltage and high speed switching devices. In : *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. S.l. : s.n. mars 2017. p. 2312-2316.

JAOUEN, Cédric, 2012. *Méthodologie de dimensionnement sur cycle de vie d'une distribution en courant continu dans le bâtiment: applications aux câbles et convertisseurs statiques DC/DC* [en ligne]. S.l. : École normale supérieure de Cachan-ENS Cachan. [Consulté le 27 septembre 2017]. Disponible à l'adresse : <https://tel.archives-ouvertes.fr/tel-00752354/>.

JEANNIN, Pierre-Olivier, 2001. *Le transistor MOSFET en Commutation: Application aux Associations Série et Parallèle de Composants à grille isolée*. [en ligne]. phdthesis. S.l. : Institut National Polytechnique de Grenoble - INPG. [Consulté le 25 septembre 2017]. Disponible à l'adresse : <https://tel.archives-ouvertes.fr/tel-00092429/document>.

JONES, E. A., WANG, F., COSTINETT, D., ZHANG, Z., GUO, B., LIU, B. et REN, R., 2015. Characterization of an enhancement-mode 650-V GaN HFET. In : *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*. S.l. : s.n. septembre 2015. p. 400-407.

KOLAR, Johann W. et AL, Et, 2015. Approaches to Overcome the Google/IEEE Little-Box Challenges. In : *INTELEC 2015* [en ligne]. S.l. : s.n. 2015. [Consulté le 25 septembre 2017]. Disponible à l'adresse : <https://www.research-collection.ethz.ch/handle/20.500.11850/106080>.

KUIJK, M., COPPEE, D. et VOUNCKX, R., 1998. Spatially modulated light detector in CMOS with sense-amplifier receiver operating at 180 Mb/s for optical data link applications and parallel optical interconnects between chips. In : *IEEE Journal of Selected Topics in Quantum Electronics*. novembre 1998. Vol. 4, n° 6, p. 1040-1045. DOI 10.1109/2944.736111.

KUMAR, Manoj, ARYA, Sandeep K. et PANDEY, Sujata, 2010. Level Shifter Design for Low Power Applications. In : *International Journal of Computer Science and Information Technology*. 29 octobre 2010. Vol. 2, n° 5, p. 124-132. DOI 10.5121/ijcsit.2010.2509.

LAUTNER, J. et PIEPENBREIER, B., 2015. Analysis of GaN HEMT switching behavior. In : *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*. S.l. : s.n. juin 2015. p. 567-574.

LAW, M. K. et BERMAK, A., 2010. High-Voltage Generation With Stacked Photodiodes in Standard CMOS Process. In : *IEEE Electron Device Letters*. décembre 2010. Vol. 31, n° 12, p. 1425-1427. DOI 10.1109/LED.2010.2075910.

LE, Thanh Long, 2015. *Isolation galvanique intégrée pour nouveaux transistors de puissance* [en ligne]. S.l. : Grenoble Alpes. [Consulté le 26 juin 2017]. Disponible à l'adresse : <http://www.theses.fr/2015GREAT105>.

LETOWSKI, Bastien, 2016. *Advanced technological integration for power electronics modules* [en ligne]. Theses. S.l. : Université Grenoble Alpes. [Consulté le 25 septembre 2017]. Disponible à l'adresse : <https://hal.archives-ouvertes.fr/tel-01529178>.

MAKSIMOVIC, D. et DHAR, S., 1999. Switched-capacitor DC-DC converters for low-power on-chip applications. In : *30th Annual IEEE Power Electronics Specialists Conference, 1999. PESC 99*. S.l. : s.n. août 1999. p. 54-59 vol.1.

MITOVA, Radoslava, 2005. *Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant* [en ligne]. S.l. : Institut National Polytechnique de Grenoble-INPG. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <https://tel.archives-ouvertes.fr/tel-00011937/document>.

MIYAZAKI, K., ABE, S., TSUKUDA, M., OMURA, I., WADA, K., TAKAMIYA, M. et SAKURAI, T., 2017. General-Purpose Clocked Gate Driver IC With Programmable 63-Level Drivability to Optimize Overshoot and Energy Loss in Switching by a Simulated Annealing Algorithm. In : *IEEE Transactions on Industry Applications*. mai 2017. Vol. 53, n° 3, p. 2350-2357. DOI 10.1109/TIA.2017.2674601.

MONTASERI, Mohammad Hassan et NAIMI, Hosei Miar, 2010. *Novel Temperature Independent Ring Oscillator*. Athens : World Scientific and Engineering Acad and Soc. ISBN 978-960-474-155-7.

NGUYEN, Van-Sang, 2016. *Design characterization and implementation of an integrated CMOS driver circuit for GaN components* [en ligne]. phdthesis. S.l. : Université Grenoble Alpes. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <https://tel.archives-ouvertes.fr/tel-01485856/document>.

OBARA, H., WADA, K., MIYAZAKI, K., TAKAMIYA, M. et SAKURAI, T., 2017. Active gate control in half-bridge inverters using programmable gate driver ICs to improve both surge voltage and switching loss. In : *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. S.l. : s.n. mars 2017. p. 1153-1159.

OSWALD, N., ANTHONY, P., MCNEILL, N. et STARK, B. H., 2014. An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations. In : *IEEE Transactions on Power Electronics*. mai 2014. Vol. 29, n° 5, p. 2393-2407. DOI 10.1109/TPEL.2013.2278919.

PAN, J., QI, F., CAI, H. et XU, L., 2016. Efficiency and electromagnetic interference analysis of wireless power transfer for high voltage gate driver application. In : *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. S.l. : s.n. septembre 2016. p. 1-5.

PEFTITSIS, D., RABKOWSKI, J. et NEE, H. P., 2014. Self-Powered Gate Driver for Normally-ON SiC JFETs: Design Considerations and System Limitations. In : *IEEE Transactions on Power Electronics*. octobre 2014. Vol. 29, n° 10, p. 5129-5135. DOI 10.1109/TPEL.2014.2320360.

POLYANSKIY, Mikhail, 2017. Refractive index of SiO₂ (Silicon dioxide, Silica, Quartz) - Malitson. In : [en ligne]. 19 juillet 2017. [Consulté le 19 juillet 2017]. Disponible à l'adresse : <https://refractiveindex.info/?shelf=main&book=SiO2&page=Malitson>.

RAONIC, D., 1998. SCR self supplied gate driver for medium voltage application with capacitor as storage element. In : *Conference Record of 1998 IEEE Industry Applications Conference. Thirty-Third IAS Annual Meeting (Cat. No.98CH36242)*. S.l. : s.n. octobre 1998. p. 1168-1173 vol.2.

RIEDINGER, Nicolas, 2016. Bilan énergétique de la France pour 2015. In : [en ligne]. novembre 2016. [Consulté le 22 septembre 2017]. Disponible à l'adresse : http://www.cairn.info/resume.php?ID_ARTICLE=RE1_085_0081.

ROHM, 2013. RCX120N20: Transistors - rcx120n20.pdf. In : [en ligne]. avril 2013. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <http://rohms.rohm.com/en/products/databook/datasheet/discrete/transistor/mosfet/rcx120n20.pdf>.

ROUGER, N., COLIN, D., LE, L. T. et CRÉBIER, J. C., 2016. CMOS gate drivers with integrated optical interfaces for extremely fast power transistors. In : *2016 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*. S.l. : s.n. novembre 2016. p. 1-6.

ROUGER, N., CREBIER, J.-C., MITOVA, R., AUBARD, L. et SCHAEFFER, C., 2006. Fully integrated driver power supply for insulated gate transistors. In : *IEEE International Symposium on Power Semiconductor Devices and IC's, 2006. ISPSD 2006*. S.l. : s.n. juin 2006. p. 1-4.

ROUGER, N., LE, L. T., COLIN, D. et CRÉBIER, J. C., 2016. CMOS SOI gate driver with integrated optical supply and optical driving for fast power transistors. In : *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*. S.l. : s.n. juin 2016. p. 427-430.

SCHULZE, H. J., NIEDERNOSTHEIDE, F. J., KELLNER-WERDEHAUSEN, U., PRZYBILLA, J. et UDER, M., 2003. High-voltage Thyristors for HVDC and other Applications: Light-triggering Combined with Self-protection Functions. In : *Proc. PCIM* [en ligne]. S.l. : s.n. 2003. p. 47-52. [Consulté le 26 septembre 2017]. Disponible à l'adresse : <http://golem.fjfi.cvut.cz/wiki/HW/Electronics/Thyristors/Light%20Triggered%20thyristors/Infineon%20-%20Editorial%20-%20High-voltage%20Thyristors%20for%20HVDC.pdf>.

SHORTEN, A., FOMANI, A. A., NG, W. T., NISHIO, H. et TAKAHASHI, Y., 2011. Reduction of conducted electromagnetic interference in SMPS using programmable gate driving strength. In : *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*. S.l. : s.n. mai 2011. p. 364-367.

SINGH, Priyanka et RAVINDRA, N.M., 2012. Temperature dependence of solar cell performance—an analysis. In : *Solar Energy Materials and Solar Cells*. juin 2012. Vol. 101, p. 36-45. DOI 10.1016/j.solmat.2012.02.019.

SUN, B., BURGOS, R., BOROYEVICH, D., PERRIN, R., BUTTAY, C., ALLARD, B., QUENTIN, N. et ALI, M., 2016. Two comparison-alternative high temperature PCB-embedded transformer designs for a 2 W gate driver power supply. In : *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. S.l. : s.n. septembre 2016. p. 1-7.

SZE, Simon M., 2002. *Semiconductor devices: physics and technology*. 2. ed. New York, NY : Wiley. ISBN 978-0-471-33372-2.

TAIB, N., METIDJI, B., REKIOUA, T. et FRANCOIS, B., 2012. Novel Low-Cost Self-Powered Supply Solution of Bidirectional Switch Gate Driver for Matrix Converters. In : *IEEE*

Transactions on Industrial Electronics. janvier 2012. Vol. 59, n° 1, p. 211-219. DOI 10.1109/TIE.2011.2165193.

TAKAMIYA, M., MIYAZAKI, K., OBARA, H., SAI, T., WADA, K. et SAKURAI, T., 2017. Power electronics 2.0: IoT-connected and AI-controlled power electronics operating optimally for each user. In : *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*. S.l. : s.n. mai 2017. p. 29-32.

THORLABS, 2016. TTN006635-S01 - FG050LGA-SpecSheet.pdf. In : [en ligne]. 29 septembre 2016. [Consulté le 27 juin 2017]. Disponible à l'adresse : <https://www.thorlabs.com/drawings/9aa9ec51dcd5346-156BDA0D-D9D7-BD09-F7CAD4C15B5436AC/FG050LGA-SpecSheet.pdf>.

TRAN, C. Q., KAWAGUCHI, H. et SAKURAI, T., 2005. Low-power high-speed level shifter design for block-level dynamic voltage scaling environment. In : *2005 International Conference on Integrated Circuit Design and Technology, 2005. ICICDT 2005*. S.l. : s.n. mai 2005. p. 229-232.

VAF AEI, Raha, 2014. *Design, Fabrication And Characterization Of a VMOS Monolithic Integrated Optical Detector* [en ligne]. phdthesis. S.l. : Université de Grenoble. [Consulté le 25 septembre 2017]. Disponible à l'adresse : <https://hal.archives-ouvertes.fr/tel-01090039/document>.

WU, Chia-Hsin, LEE, Chih-Hun, CHEN, Wei-Sheng et LIU, Shen-Iuan, 2005. CMOS wideband amplifiers using multiple inductive-series peaking technique. In : *IEEE Journal of Solid-State Circuits*. février 2005. Vol. 40, n° 2, p. 548-552. DOI 10.1109/JSSC.2004.840979.

XFAB, 2010a. *Photo Diode Manual - Photo_Diode_Manual_2.0.pdf*. décembre 2010. S.l. : s.n.

XFAB, 2010b. *Photo Diode Manual - Photo_Diode_Manual_2.0.pdf* [en ligne]. décembre 2010. S.l. : XFAB. [Consulté le 25 septembre 2017]. Disponible à l'adresse : file:///Z:/publications/05%20Cadence/CMOS/XT018/Photo_Diode_Manual_2.0.pdf.

XIAO, Z., BUI, A. K. et SIEK, L., 2017. A Hysteretic Switched-Capacitor DC-DC Converter With Optimal Output Ripple and Fast Transient Response. In : *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2017. Vol. PP, n° 99, p. 1-11. DOI 10.1109/TVLSI.2017.2728606.

ZHANG, X., LI, H., BROTHERS, J. A., FU, L., PERALES, M., WU, J. et WANG, J., 2016a. A Gate Drive With Power Over Fiber-Based Isolated Power Supply and Comprehensive Protection Functions for 15-kV SiC MOSFET. In : *IEEE Journal of Emerging and Selected Topics in Power Electronics*. septembre 2016. Vol. 4, n° 3, p. 946-955. DOI 10.1109/JESTPE.2016.2586107.

ZHANG, X., LI, H., BROTHERS, J. A., FU, L., PERALES, M., WU, J. et WANG, J., 2016b. A Gate Drive With Power Over Fiber-Based Isolated Power Supply and Comprehensive Protection Functions for 15-kV SiC MOSFET. In : *IEEE Journal of Emerging and Selected Topics in Power Electronics*. septembre 2016. Vol. 4, n° 3, p. 946-955. DOI 10.1109/JESTPE.2016.2586107.

ZHANG, X., LI, H., BROTHERS, J. A., FU, L., PERALES, M., WU, J. et WANG, J., 2016c. A Gate Drive With Power Over Fiber-Based Isolated Power Supply and Comprehensive

Protection Functions for 15-kV SiC MOSFET. In : *IEEE Journal of Emerging and Selected Topics in Power Electronics*. septembre 2016. Vol. 4, n° 3, p. 946-955. DOI 10.1109/JESTPE.2016.2586107.

Publications

Articles de conférence internationale :

D. Colin and N. Rouger, "High speed digital optical signal transfer for power transistor gate driver applications," *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, Sapporo, 2017, pp. 37-40

D. Colin and N. Rouger, "High speed optical gate driver for wide band gap power transistors," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, 2016, pp. 1-6

N. Rouger, D. Colin, L. T. Le and J. C. Crébier, "CMOS gate drivers with integrated optical interfaces for extremely fast power transistors," *2016 International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC)*, Toulouse, 2016, pp. 1-6

N. Rouger, L. T. Le, D. Colin and J. C. Crébier, "CMOS SOI gate driver with integrated optical supply and optical driving for fast power transistors," *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Prague, 2016, pp. 427-430

V. S. Nguyen, T. L. Le, F. Sarrafin, N. D. To, D. Colin, N. Rouger, P. Lefranc, Y. Lembeye, J. D. Arnould, B. Allard, J. C. Crebier, "Contributions to dedicated gate driver circuitry for very high switching speed high temperature power devices," *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Prague, 2016, pp. 443-446

T. L. Le, D. Colin, J. C. Crebier and N. Rouger, "CMOS gate driver with integrated optical receiver for power electronics applications," *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva, 2015, pp. 1-10

Articles de conférence nationale :

Van-Sang Nguyen, Thanh-Long Le, Farshid Sarrafin-Ardebili, Davy Colin, Ngoc-Duc To, Nicolas Rouger, Pierre Lefranc, Yves Lembeye, Jean-Daniel Arnould, Nicolas Carrao, Bruno Allard, Jean-Christophe Crebier, "Contributions aux circuits de « gate-driver » dédiés aux transistors de puissance à forte vitesse de commutation dans un environnement haute température », *Symposium de Génie Electrique 2016*, Grenoble, 2016

Annexes

I. Annexes Chapitre 1

Annexe I-A : Impressions écran du logiciel Cadence

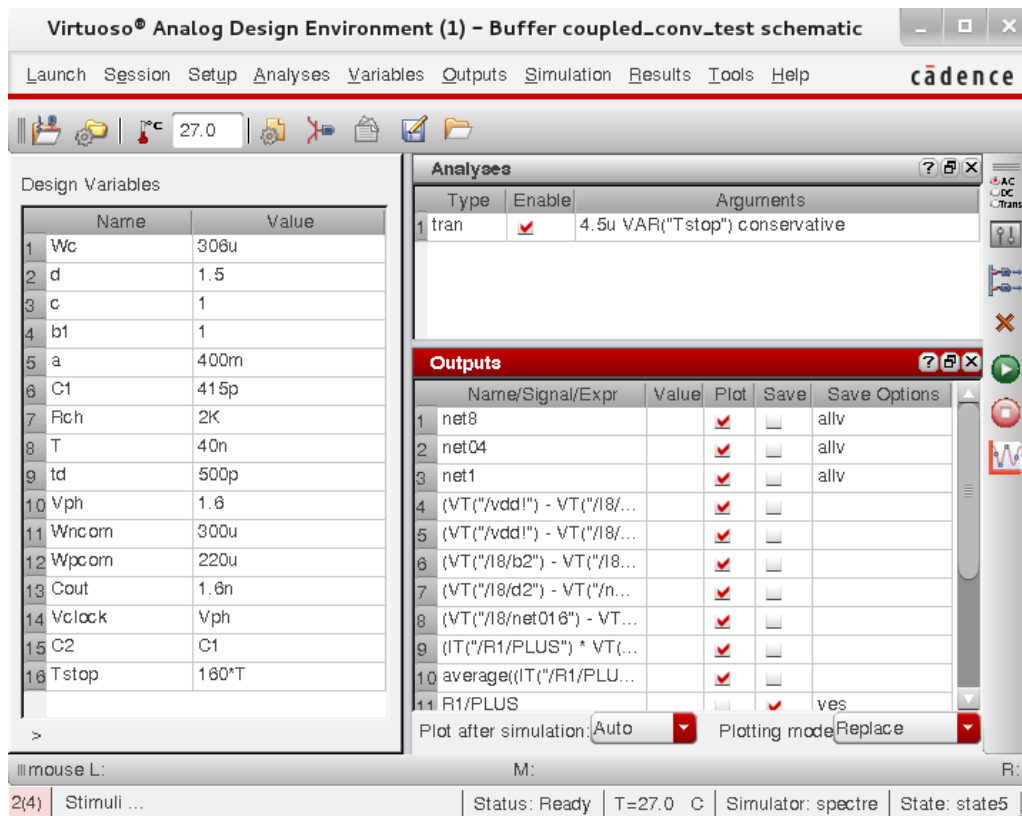


Figure annexe 1 : Environnement de simulation Cadence

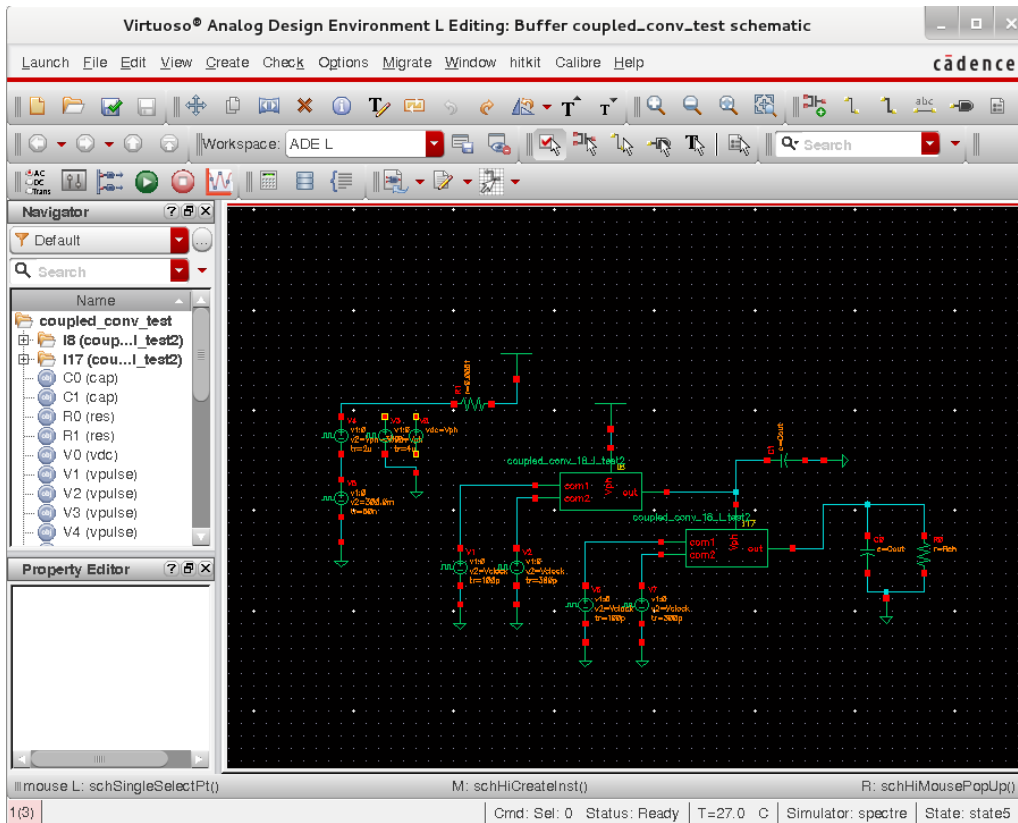


Figure annexe 2 : Environnement schématique de Cadence

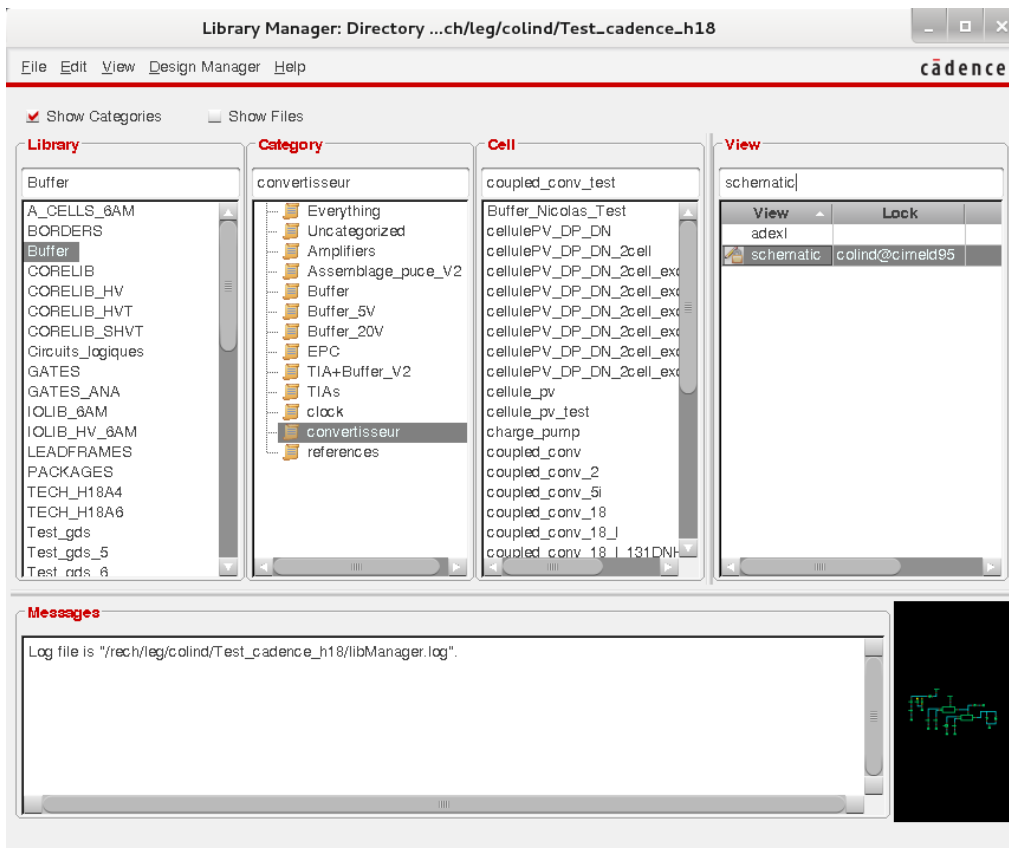


Figure annexe 3 : Gestionnaire de librairie Cadence

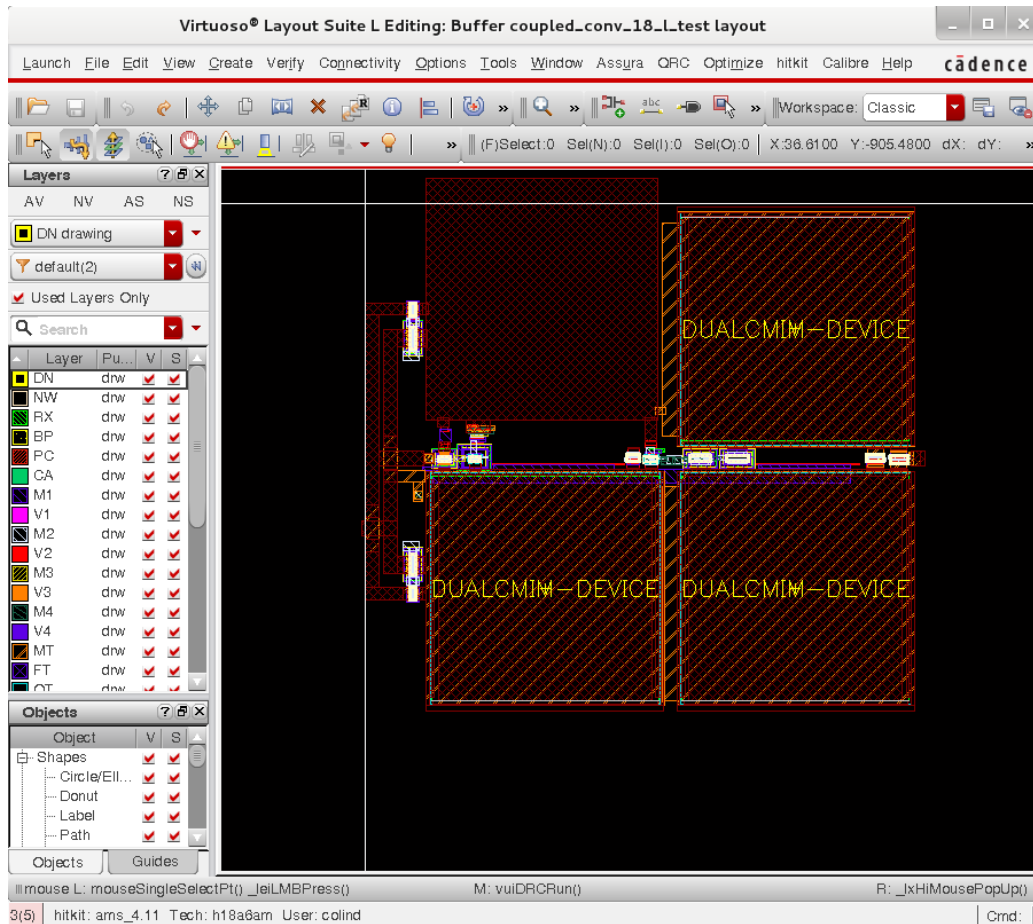


Figure annexe 4 : Environnement de layout Cadence

II. Annexes Chapitre 2

Annexe II-A Calcul de l'énergie dissipée à l'ouverture

$$V_{GS}(t) = V_{GG} \cdot \left(1 - e^{-t/\tau_{ISS}}\right), \quad V_{GP} = V_{GG} \cdot \left(1 - e^{-t_2/\tau_{ISS}}\right)$$

$$i_G(t) = \frac{V_{GG}}{R_G} \cdot e^{-t/\tau_{ISS}}, \quad i_{GP} = \frac{V_{GG}}{R_G} \cdot e^{-t_2/\tau_{ISS}} = \frac{V_{GG} - V_{GP}}{R_G}$$

$$\begin{aligned} Q_{GS} &= \int_0^{t_2} \frac{V_{GG}}{R_G} \cdot e^{-t/\tau_{ISS}} \cdot dt = \left[\frac{-V_{GG} \cdot \tau_{ISS}}{R_G} \cdot e^{-t/\tau_{ISS}} \right]_0^{t_2} = V_{GG} \cdot C_{GS} \cdot \left(1 - e^{-t_2/\tau_{ISS}}\right) \\ &= V_{GP} \cdot C_{GS} \end{aligned}$$

$$\begin{aligned} E_{GS} &= \int_0^{t_2} R_G \cdot i_G(t)^2 \cdot dt = \left[\frac{-V_{GG}^2 \cdot C_{ISS}}{2} \cdot e^{-2t/\tau_{ISS}} \right]_0^{t_2} = \frac{V_{GG}^2 \cdot C_{ISS}}{2} \cdot \left(1 - e^{-2t_2/\tau_{ISS}}\right) \\ &= \frac{V_{GG}^2 \cdot C_{ISS}}{2} \cdot \left(1 - \left(1 - \frac{V_{GP}}{V_{GG}}\right)^2\right) = \frac{V_{GG}^2 \cdot C_{ISS}}{2} \cdot \frac{V_{GP}}{V_{GG}} \cdot \left(2 - \frac{V_{GP}}{V_{GG}}\right) \\ &= \frac{V_{GP} \cdot C_{ISS} \cdot (2 \cdot V_{GG} - V_{GP})}{2} = \frac{Q_{GS} \cdot (2 \cdot V_{GG} - V_{GP})}{2} \end{aligned}$$

A l'ouverture, les phases de commutation sont inversées par rapport à la fermeture :

Durant la première phase $[0 ; t_1]$, la tension V_{GS} décroît jusqu'à atteindre le plateau Miller :

$$V_{GS}(t) = V_{GG} \cdot e^{-t/\tau_{ISS}}, \quad V_{GP} = V_{GG} \cdot e^{-t_1/\tau_{ISS}}$$

$$i_G(t) = -\frac{V_{GG}}{R_G} \cdot e^{-t/\tau_{ISS}}, \quad i_{GP} = \frac{V_{GG}}{R_G} \cdot e^{-t_1/\tau_{ISS}} = \frac{-V_{GP}}{R_G}$$

$$Q_{GS2} = \int_0^{t_1} \frac{V_{GG}}{R_G} \cdot e^{-t/\tau_{ISS}} \cdot dt = \left[\frac{V_{GG} \cdot \tau_{ISS}}{R_G} \cdot e^{-t/\tau_{ISS}} \right]_0^{t_1} = C_{ISS} \cdot (V_{GG} - V_{GP})$$

$$\begin{aligned} E_{GS2} &= \int_0^{t_1} \frac{V_{GG}^2}{R_G} e^{-2t/\tau_{ISS}} \cdot dt = \left[\frac{-V_{GG}^2 \cdot C_{ISS}}{2} \cdot e^{-2t/\tau_{ISS}} \right]_0^{t_1} = \frac{V_{GG}^2 \cdot C_{ISS}}{2} \cdot \left(1 - e^{-2t_1/\tau_{ISS}}\right) \\ &= \frac{C_{ISS} \cdot (V_{GG}^2 - V_{GP}^2)}{2} = \frac{Q_{GS2} \cdot (V_{GG} + V_{GP})}{2} \end{aligned}$$

Durant la deuxième phase $[t_1 ; t_2]$, $V_{GS}=V_{GP}$ et la capacité C_{GD} se décharge à courant constant i_{GP} à travers R_G :

$$i_{GP} = \frac{V_{GP}}{R_G} = C_{GD} \cdot \frac{dV_{DG}}{dt}, \quad \Delta t = \frac{C_{GD} \cdot \Delta V}{i_{GP}} = \frac{Q_{GD}}{i_{GP}}$$

$$E_{GP} = R_G \cdot i_{GP}^2 \cdot \Delta t = R_G \cdot i_{GP} \cdot Q_{GD} = V_{GP} \cdot Q_{GD}$$

Durant la troisième phase $[t_2 ; t_4]$, V_{GS} décroît de nouveau jusqu'à V_{TH} (t_3 , où le courant a décroît totalement) puis jusqu'à 0 :

$$E_{GS} = \frac{Q_{GS} \cdot V_{GP}}{2}$$

Au total, l'énergie dissipée est :

$$E_G = \frac{(Q_G + Q_{GD}) \cdot V_{GP} + (Q_G - Q_{GD} - Q_{GS}) \cdot V_{GG}}{2}$$

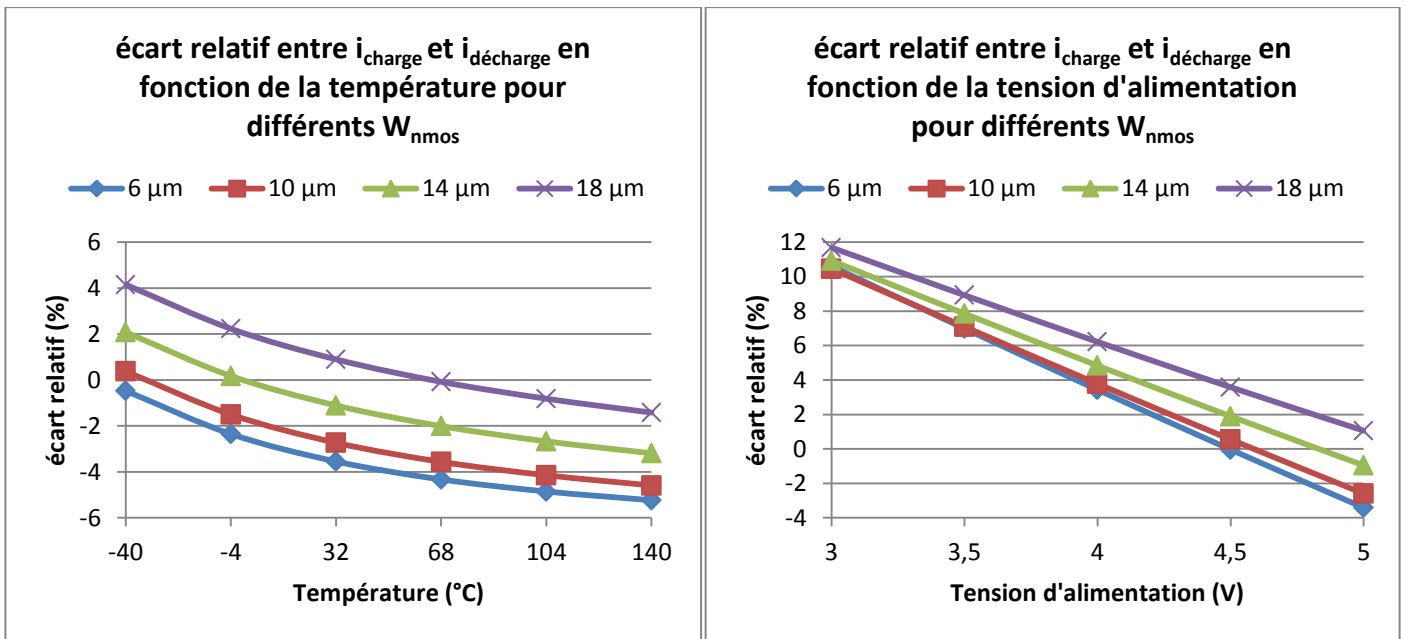
Annexe II-B Analyse des variations relatives entre i_{charge} et $i_{\text{décharge}}$ 

Figure annexe 5 : écart relatif entre i_{charge} et $i_{\text{décharge}}$ en fonction de la température et de la tension d'alimentation

Annexe II-C Schéma et délais introduits par le level shifter

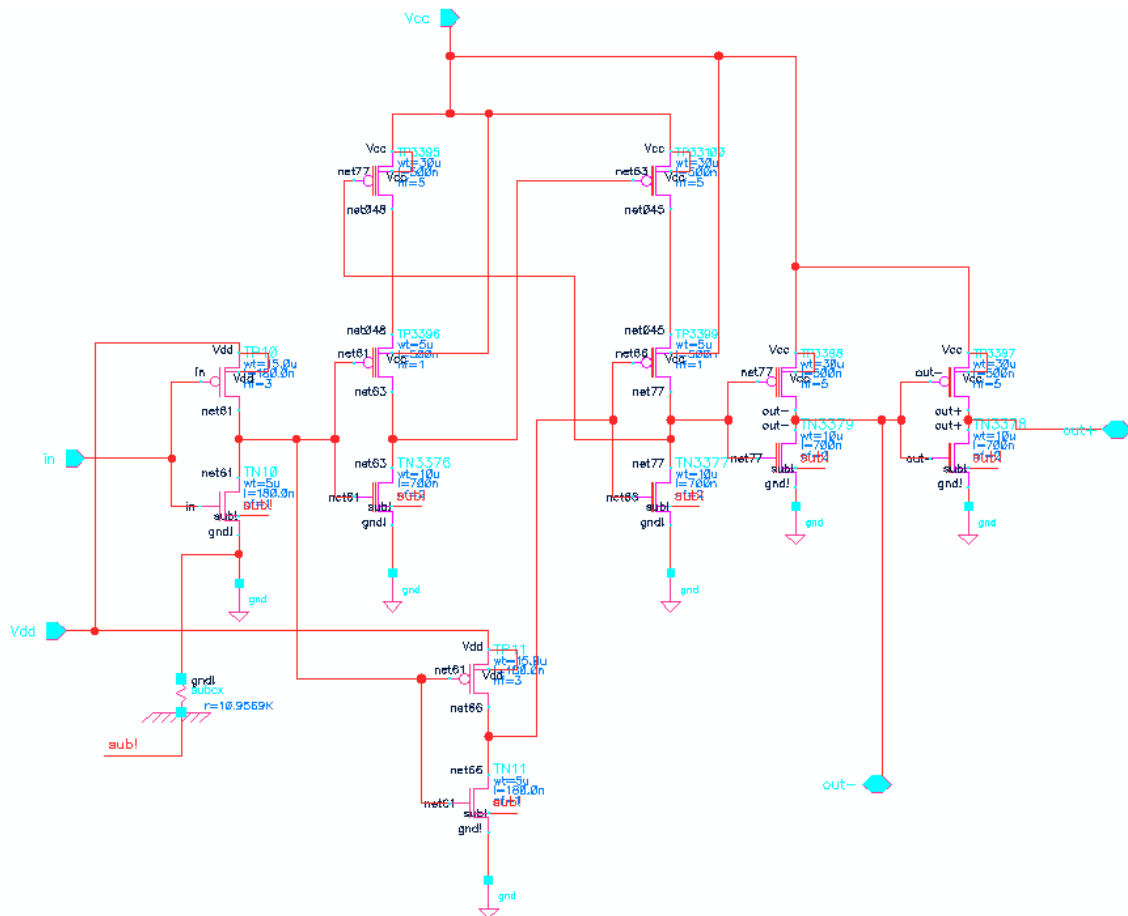


Figure annexe 6 : schéma du level shifter

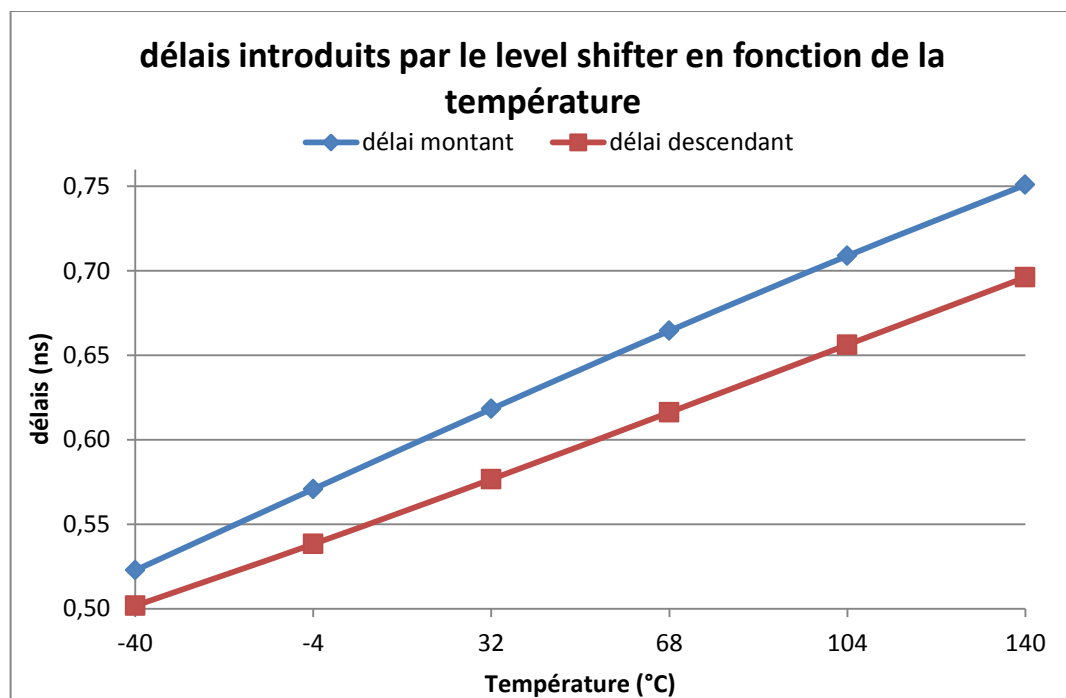


Figure annexe 7 : délais introduits par le level shifter

Annexe II-D Station sous vide de caractérisation électrique

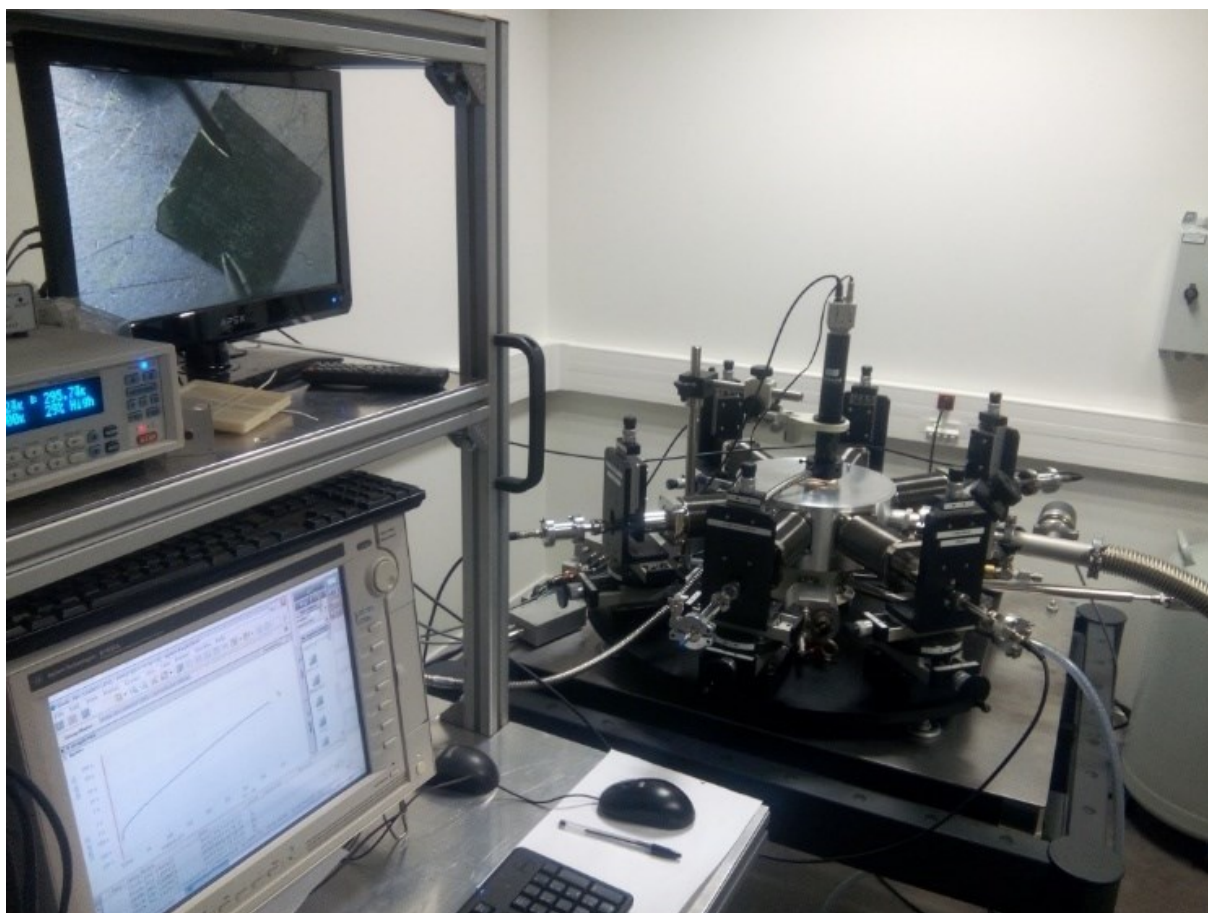


Figure annexe 8 : photo de la station sous vide « CARAPACE »

Annexe II-E Layout de la cellule PV intégrée en technologie AMS H18

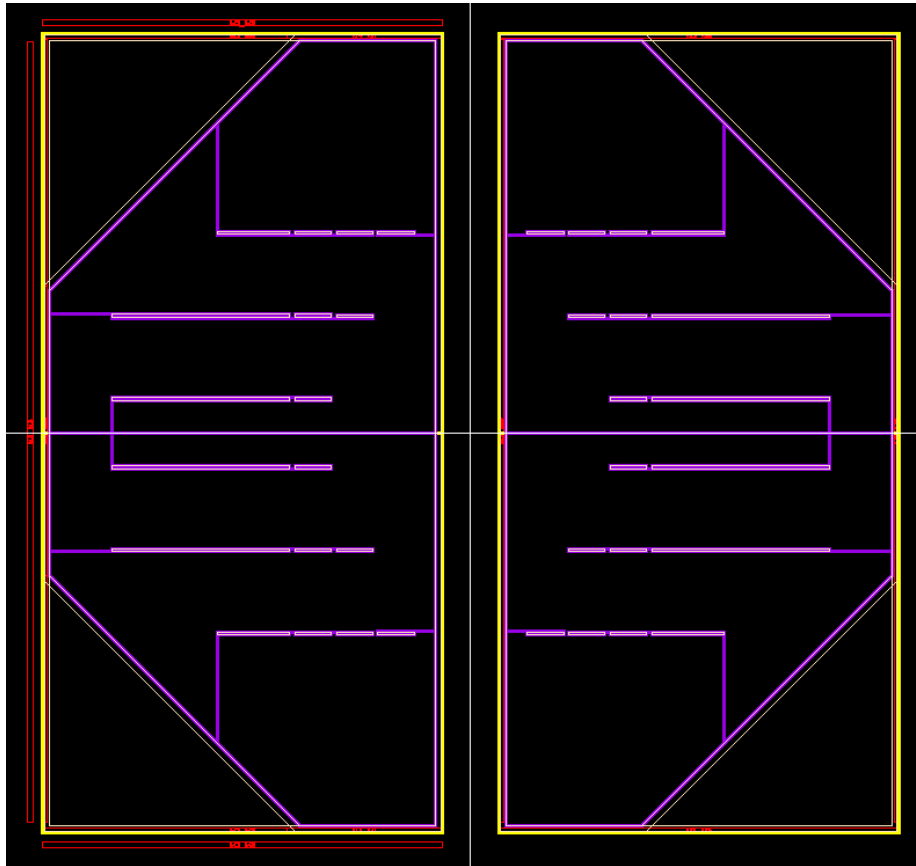


Figure annexe 9 : Layout de la cellule PV. Couches DN (jaune), DP (violet) et NW (blanc)

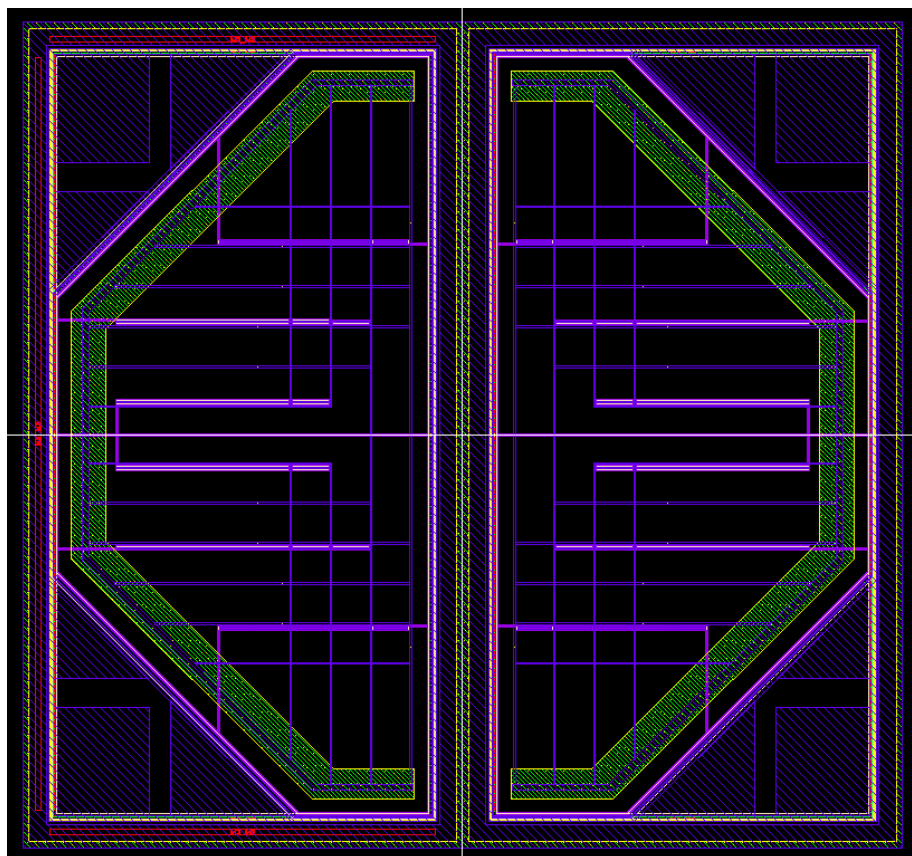


Figure annexe 10 : Layout de la cellule PV. Couches P+ (vert), M1 (bleu)

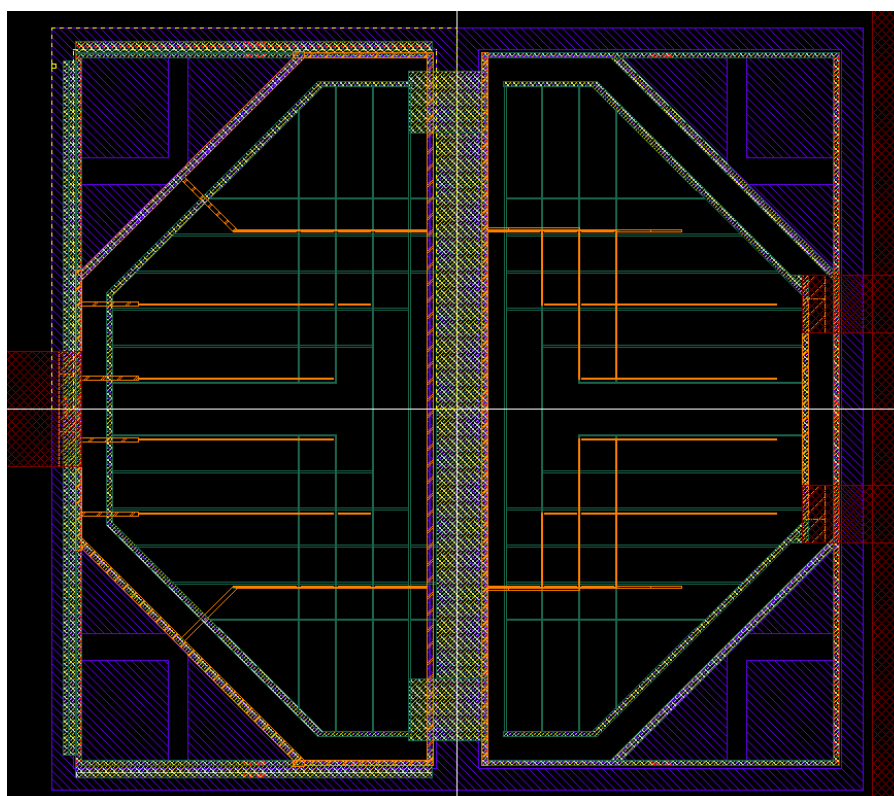


Figure annexe 11 : Layout de la cellule PV. Couches de métallisation, M1 (bleu), M2 (blanc), M3 (jaune), M4 (vert), MT (orange), AM (rouge)

Annexe II-F Schéma du convertisseur DC/DC

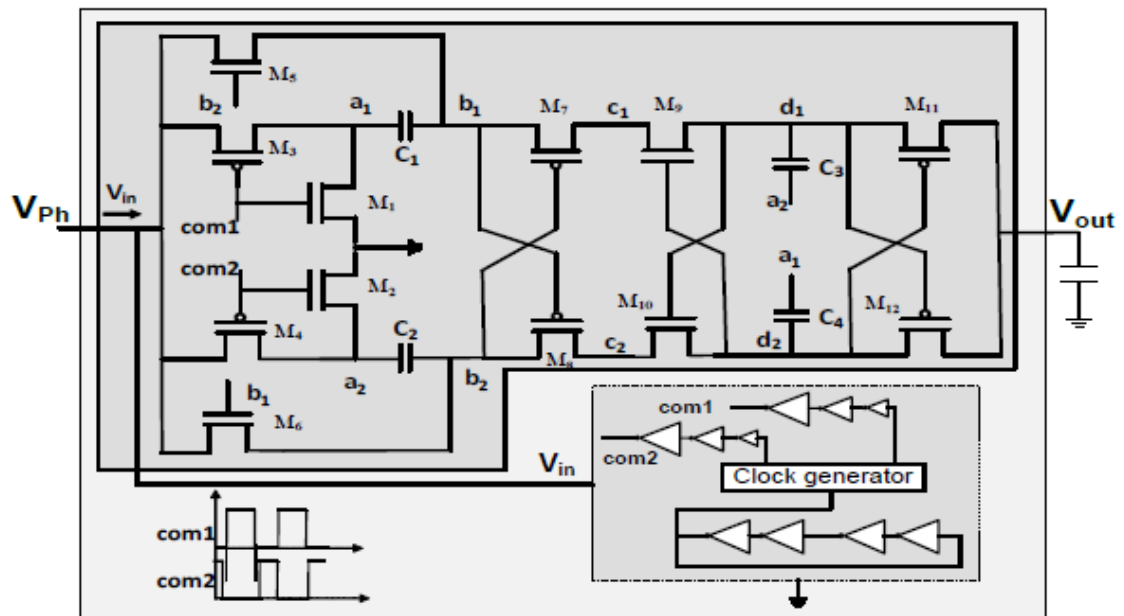


Figure annexe 12 : Schéma du convertisseur DC/DC

Annexe II-G Ondulation de tension du convertisseur DC/DC

Ondulation de la tension de sortie en fonction de la valeur de capacité pour différentes fréquences de commutation

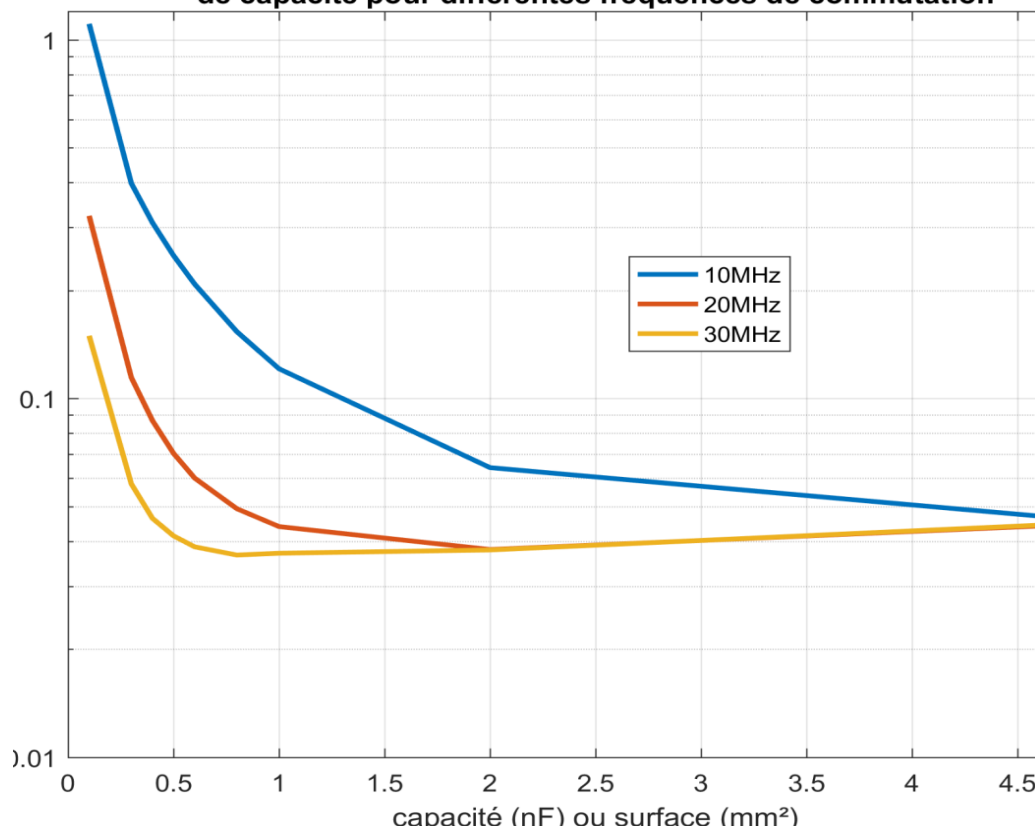


Figure annexe 13 : Ondulation de tension du convertisseur DC/DC

Annexe II-H Caractéristique tension – puissance du convertisseur DC/DC

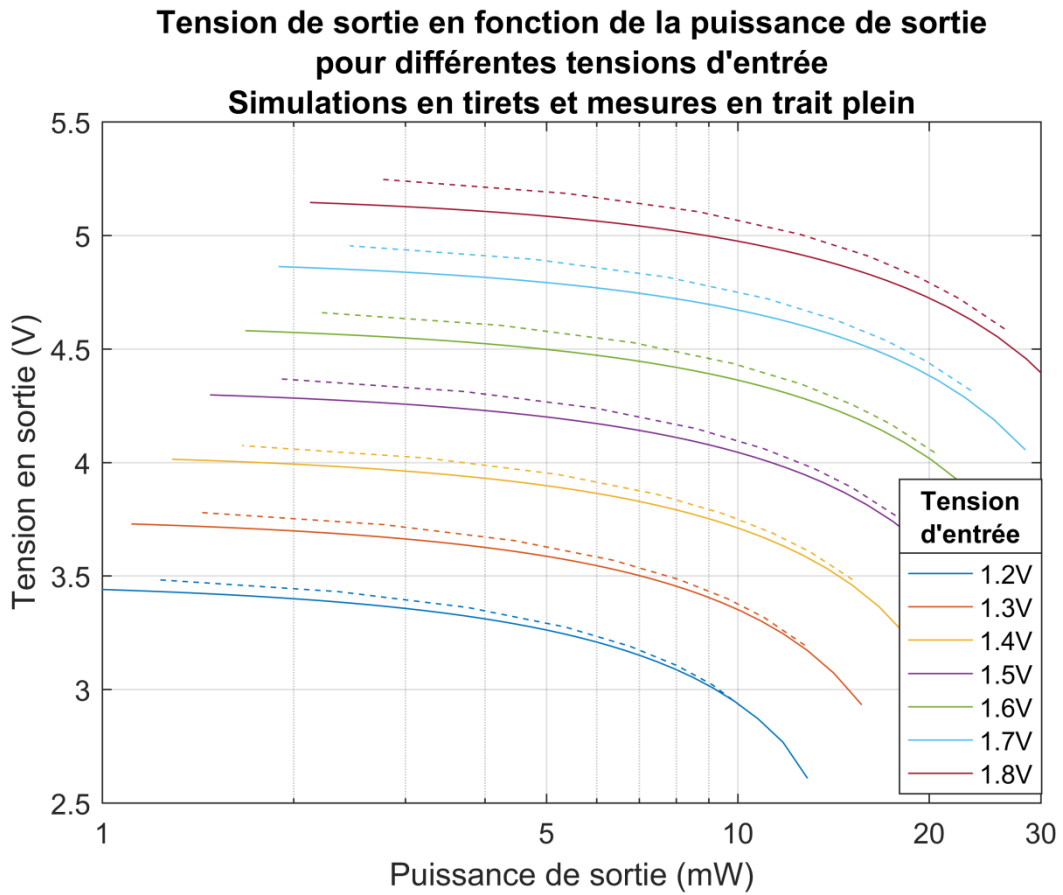


Figure annexe 14 : Caractéristique tension – puissance du convertisseur DC/DC

III. Annexes Chapitre 3

Annexe III-A Schéma du circuit de démodulation en bande de base

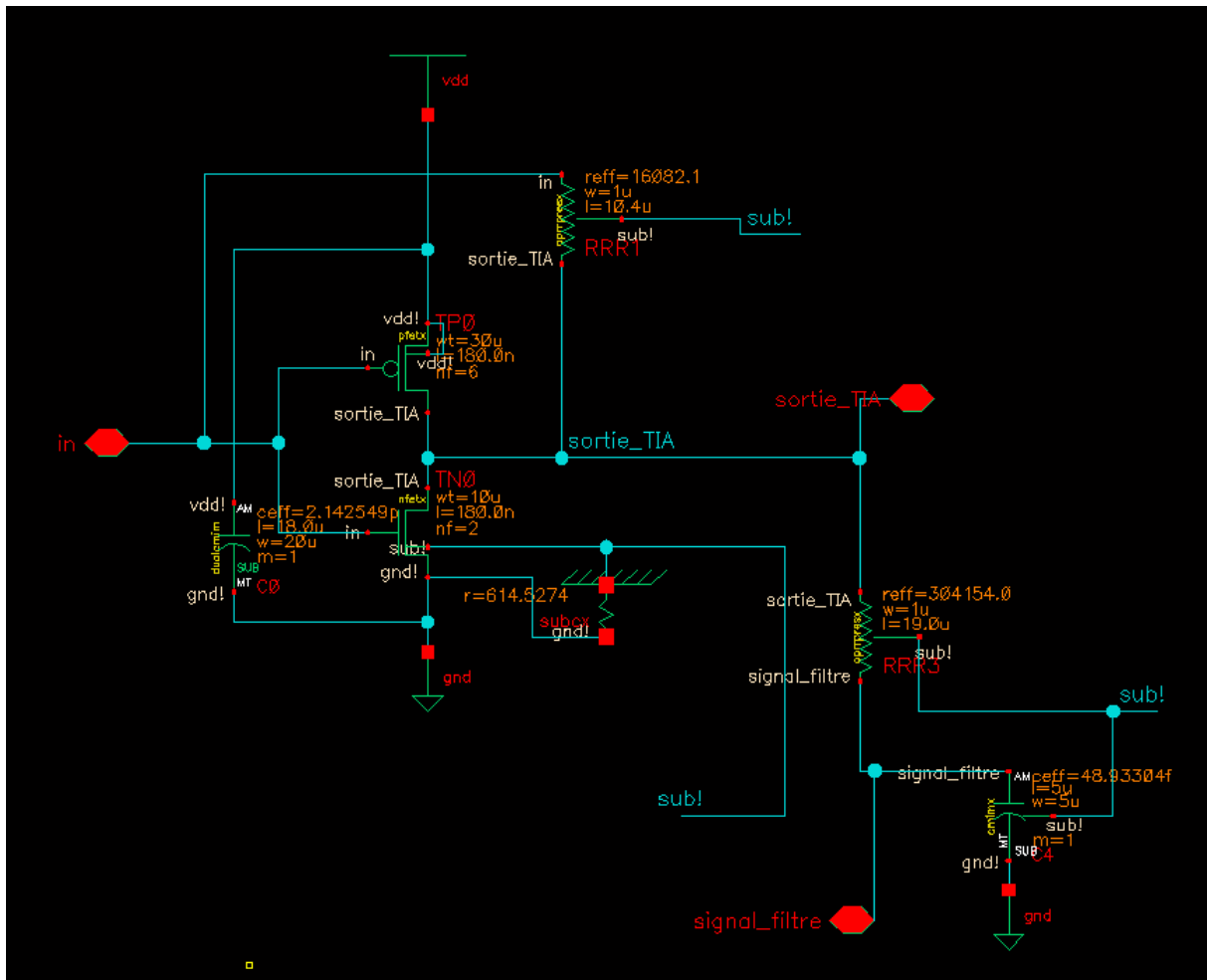


Figure annexe 15 : Schéma du TIA + filtre

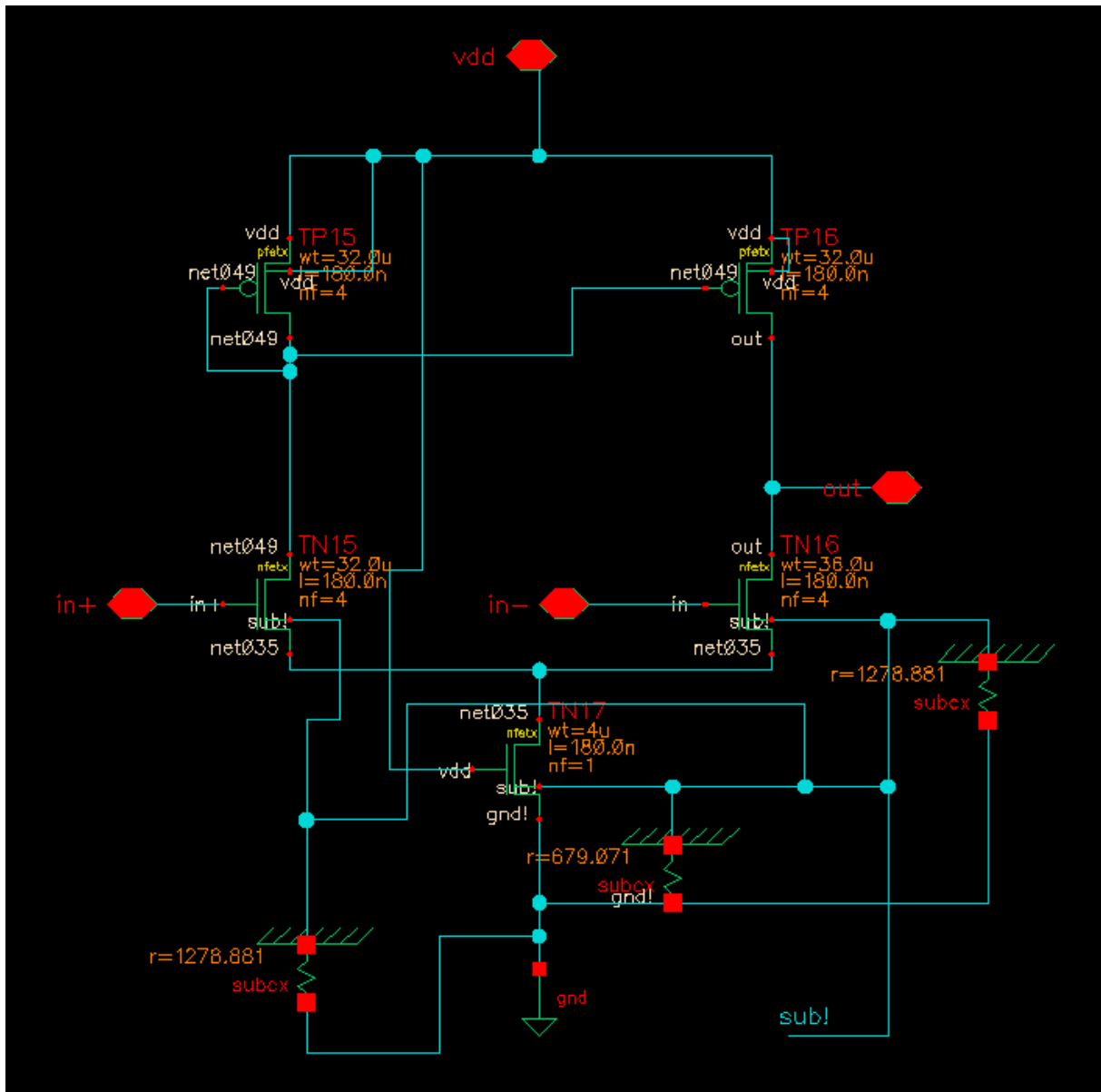


Figure annexe 16 : Schéma de l'amplificateur différentiel

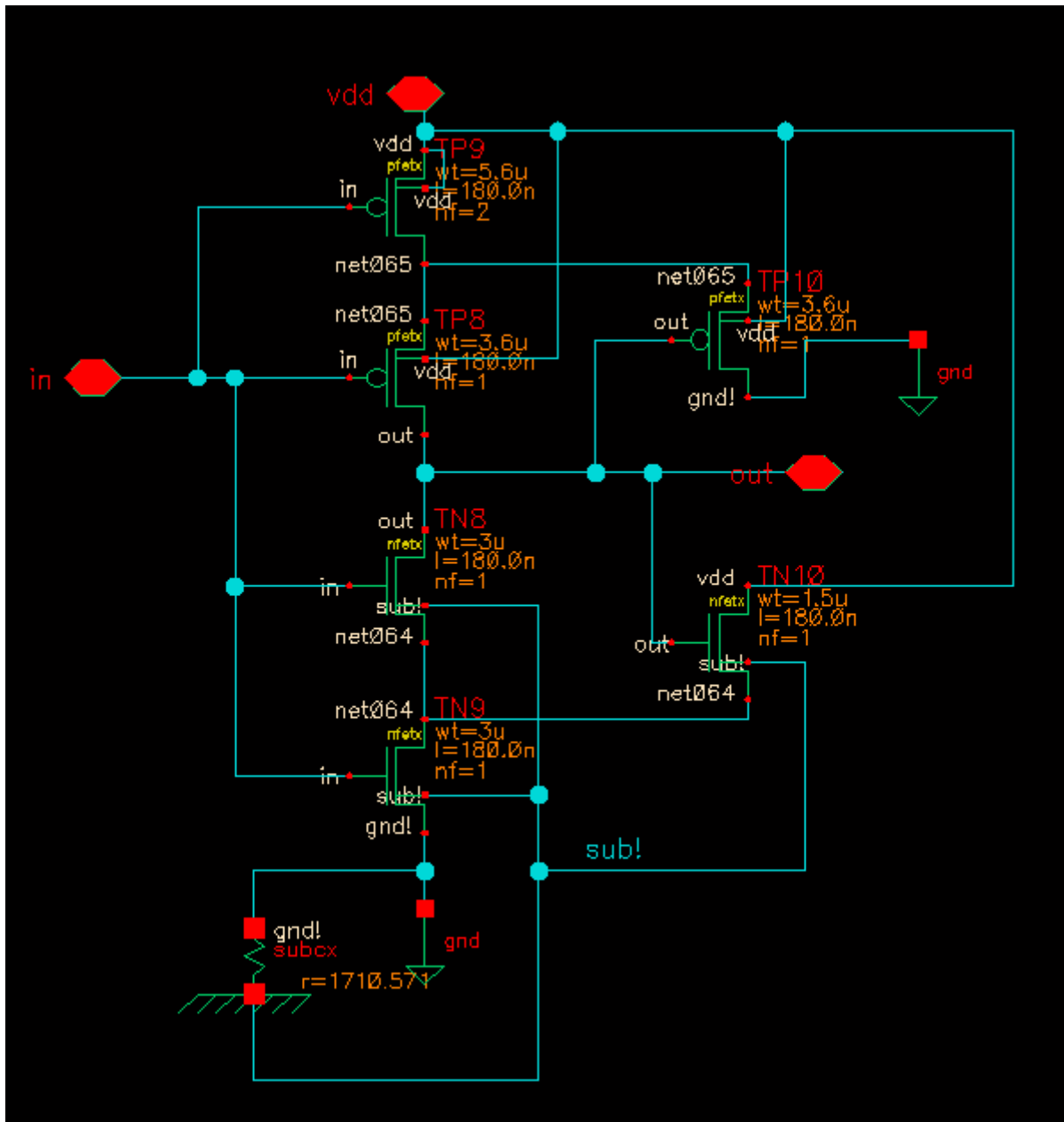
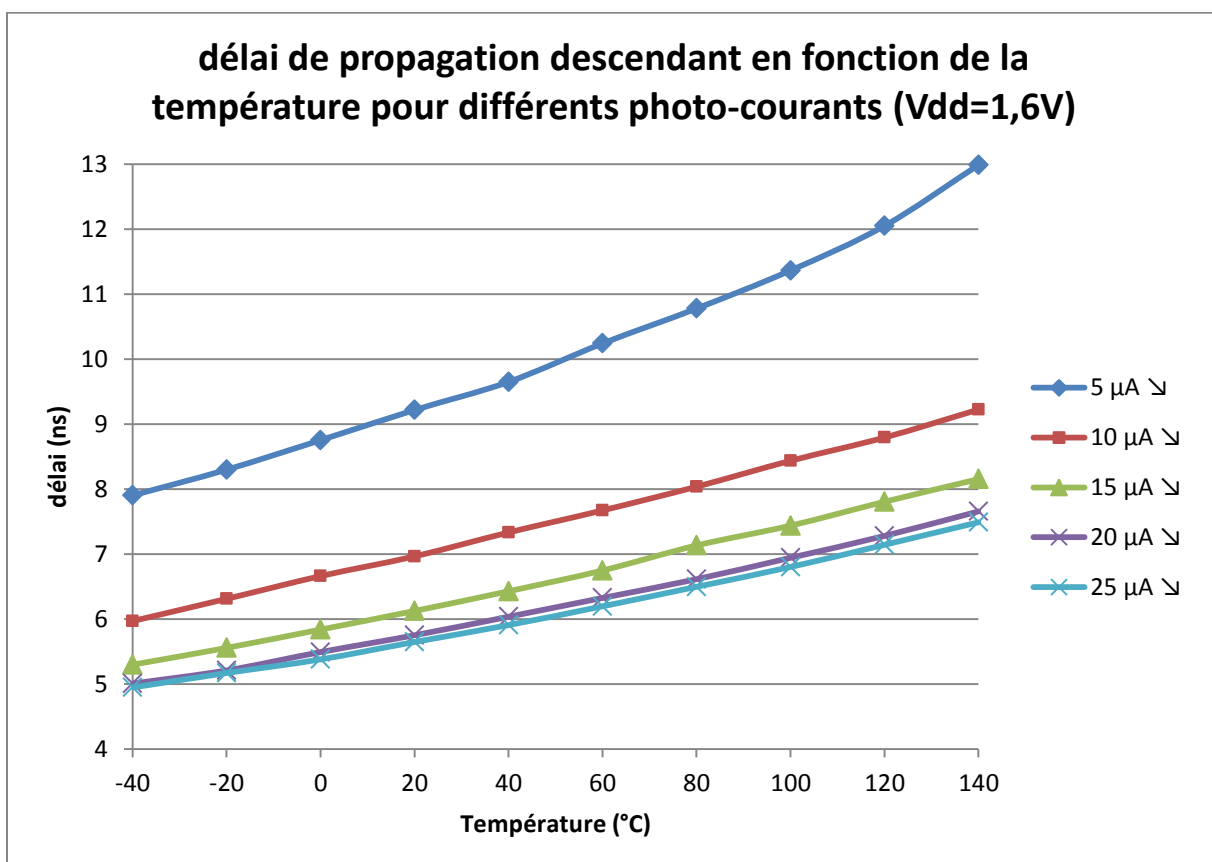
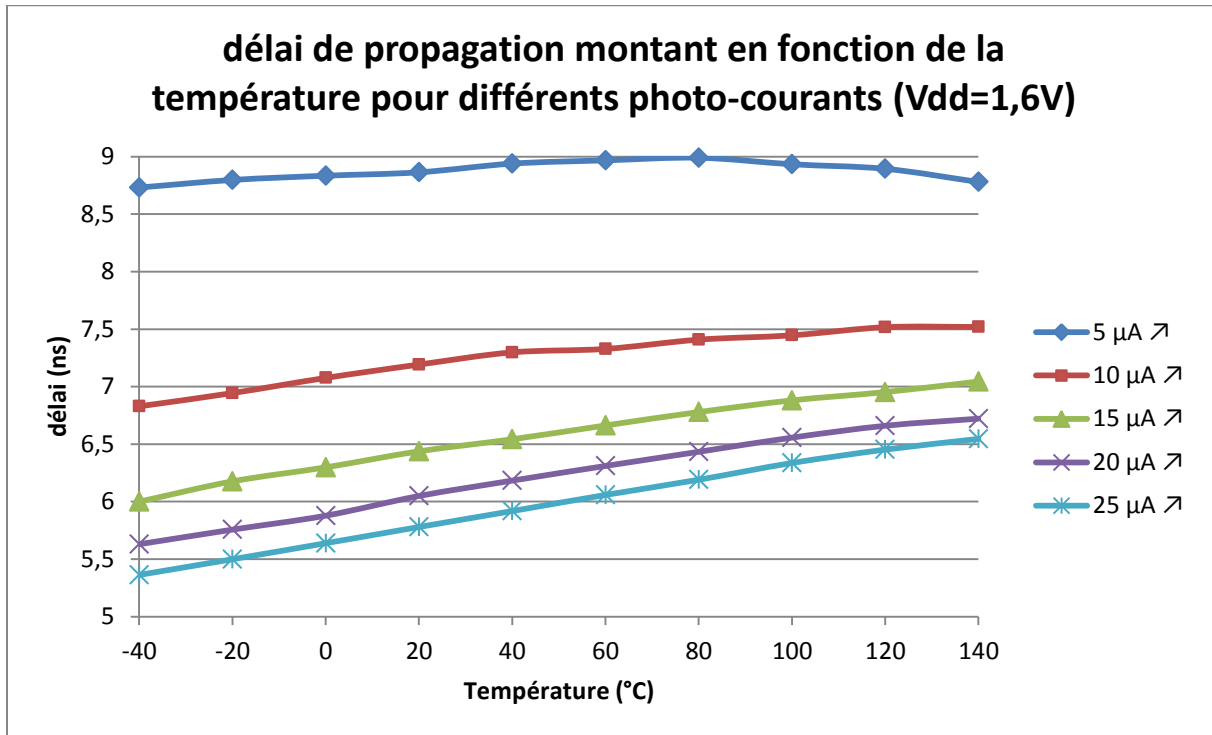


Figure annexe 17 : Schéma du trigger de Schmitt

Annexe III-B Délais de propagation en fonction de la température pour différents photo-courants



Annexe III-C Schéma du circuit de démodulation haute fréquence

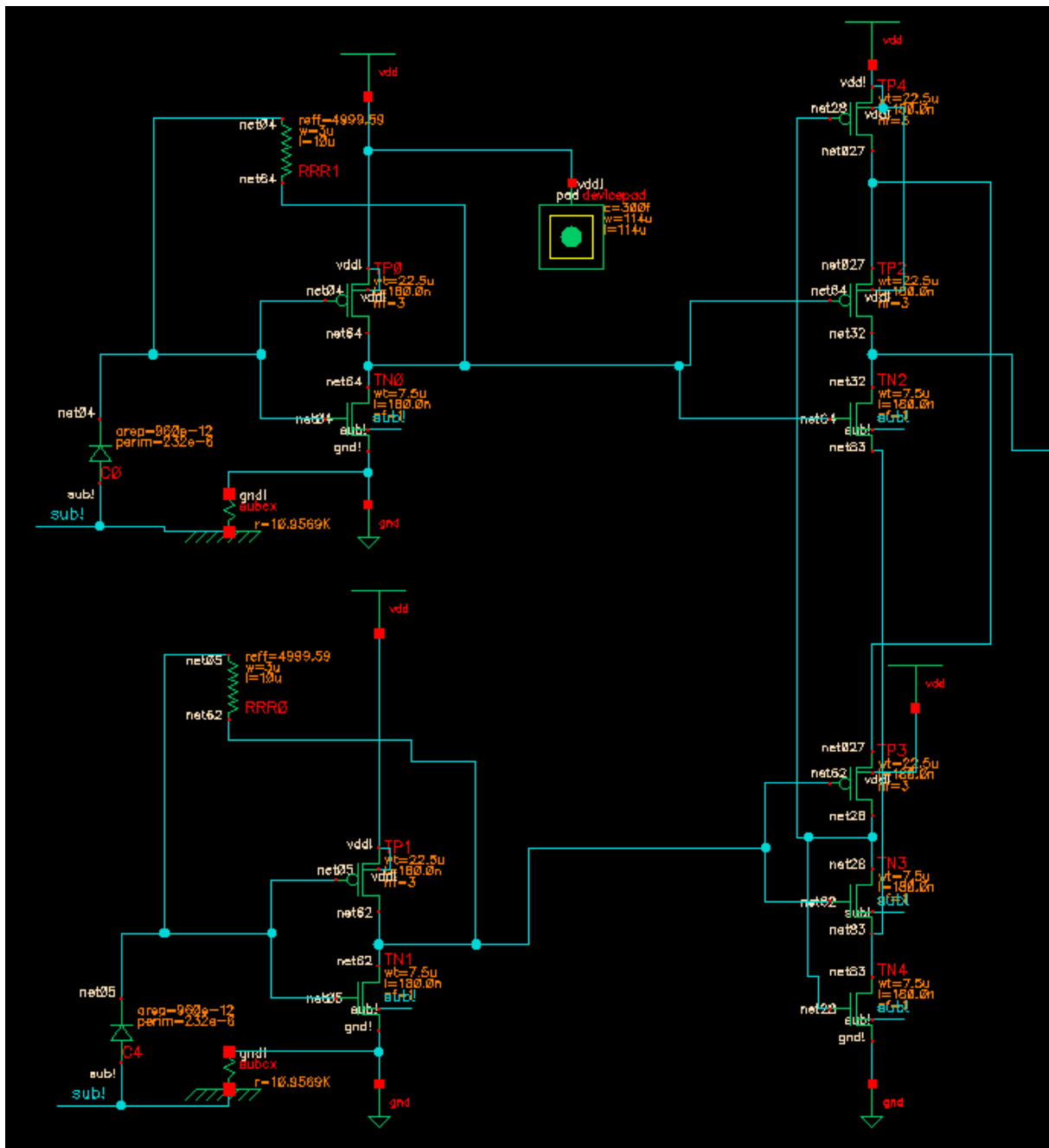


Figure annexe 18 : Schéma du TIA + CSDA

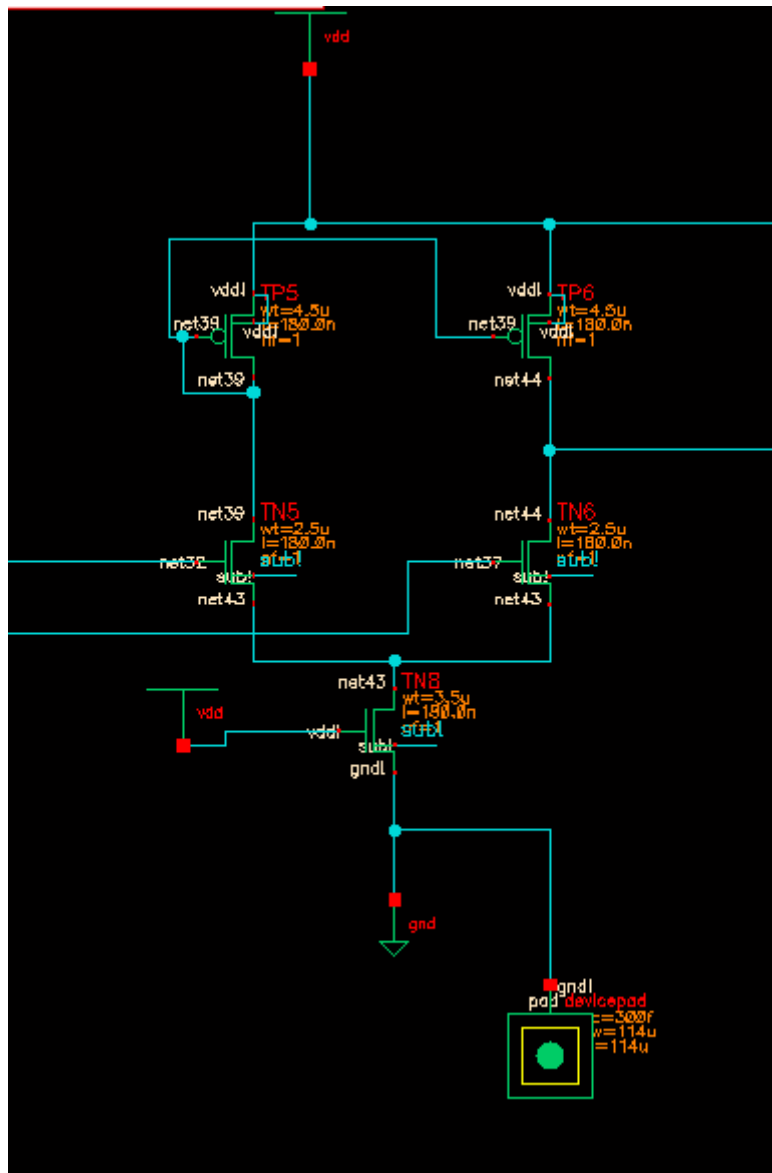


Figure annexe 19 : Schéma de l'amplificateur différentiel

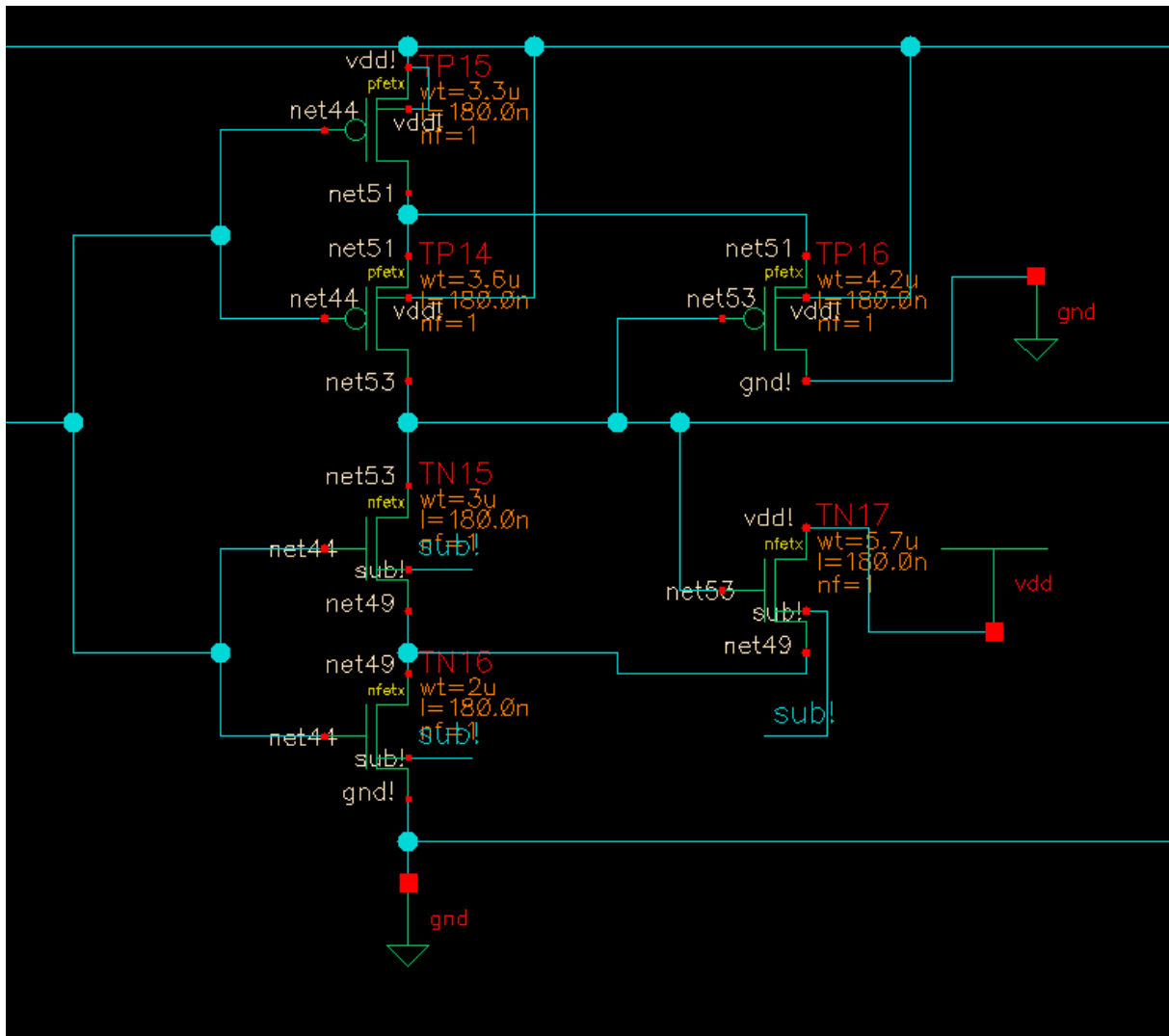


Figure annexe 20 : Schéma du trigger de Schmitt

Résumé : Le mémoire de thèse est structuré en 3 chapitres. Le 1^{er} chapitre présente le contexte de forte vitesse de commutation et de forte intégration en électronique de puissance, dans lequel s'inscrit cette thèse. Les fonctions et les enjeux de l'organe de commande rapprochée (« gate driver ») sont présentés. L'intégration du gate driver en technologie CMOS AMS 0.18 μm HV est présentée puis, plus particulièrement, l'intégration des fonctions optiques. Le 2^e chapitre concerne l'étude de la transmission et de la modulation des charges à travers la barrière d'isolation optique. Un amplificateur en courant configurable a été dimensionné afin de pouvoir faire varier la résistance de grille. Une alimentation optique est intégrée en technologie AMS H18, comprenant une cellule PV et un convertisseur DC/DC à capacités commutées. Dans le 3^e chapitre, 2 approches ont été développées pour la transmission du signal, la transmission dite en bande de base où les ordres de commande optiques sont l'image directe de la modulation en largeur d'impulsion (MLI), et la transmission dite numérique série où les changements d'état sont envoyés avec une trame haute fréquence. Un circuit de gestion logique et une horloge interne ont été conçus. La transmission numérique permet l'envoi d'information telle que la configuration de la résistance de grille. Le dimensionnement des circuits prend en compte une large plage de température de fonctionnement (-40°C à 140 °C), ainsi que les contraintes dues à l'alimentation optique (variation de la tension d'alimentation) et à l'alignement optique (variation du photo-courant généré).

Mots clés : électronique de puissance, gate driver, isolation galvanique optique, technologie CMOS

Abstract: The thesis dissertation is composed of 3 chapters. The 1st chapter introduces the thesis context of fast switching transients and highly integrated power electronics circuits. The functions and the issues of the close gate driver are presented. The gate driver is integrated in the AMS 0.18 μm technology with its optical functions. The second chapter deals with the transmission and modulation of the gate driver charge through the optical isolation barrier. A configurable buffer is designed in order to modulate the gate resistance value. An optical supply including a PV cell and a switched capacitors DC/DC converter is integrated. In the third chapter, two approaches are developed for the gate signal transfer. For the baseband analog transmission, the optical signal is a direct image of the pulse width modulation (PWM) signal whereas in the digital series transmission, only the commutation orders are transmitted in a high frequency frame. A logic circuit and an integrated clock are designed. The digital transmission allowed the transfer of information such as the gate resistance configuration. Large temperature range (-40°C to 140°C), optical supply constraints (supply voltage deviation) and optical alignment (photocurrent value deviation) are considered for the integrated circuits design.

Keywords: power electronics, gate driver, optical galvanic isolation, CMOS technology