



HAL
open science

Conception d'un ADC de résolution 8 bits basse consommation et 2 GHz de fréquence d'échantillonnage en technologie CMOS 180 nm

Gabriel Puech

► **To cite this version:**

Gabriel Puech. Conception d'un ADC de résolution 8 bits basse consommation et 2 GHz de fréquence d'échantillonnage en technologie CMOS 180 nm. Electronique. Université Clermont Auvergne [2017-2020], 2017. Français. NNT : 2017CLFAC094 . tel-01844086

HAL Id: tel-01844086

<https://theses.hal.science/tel-01844086v1>

Submitted on 19 Jul 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse

Présentée pour obtenir le titre de DOCTEUR en
Électronique et systèmes

Conception d'un ADC de résolution 8 bits basse consommation et 2 GHz de fréquence d'échantillonnage en technologie CMOS 180 nm

Gabriel Puech
gabriel.puech@gmail.com

Soutenue publiquement le 20/12/2017 devant un jury composé de :

<i>Président</i>	Dominique Pallin	
<i>Rapporteurs</i>	Christophe De La Taille	Laboratoire OMEGA IN2P3
	Olivier Rossetto	Université de Grenoble
<i>Examineurs</i>	Dominique Morche	CEA LETI
	Françoise Paladian	Université Clermont Auvergne
<i>Directeur de thèse</i>	Gérard Montarou	Laboratoire de Physique de Clermont IN2P3
<i>Encadrant de thèse</i>	Jacques Lecoq	Laboratoire de Physique de Clermont IN2P3



Thèse réalisée au Laboratoire de Physique de Clermont
Pôle MicRhAu
4 Avenue Blaise Pascal
63026 Aubière cedex 01

Tél : +33 (0)4 73 40 51 46

Fax : +33 (0) 4 73 26 45 98

Web : <http://lpc-clermont.in2p3.fr/spip.php>

Sous la direction de Gérard Montarou gerard.montarou@clermont.in2p3.fr

encadrement Jacques Lecoq lecoq@clermont.in2p3.fr

Financement Allocation de recherche de la Région Auvergne

Résumé

Après un rappel du contexte dans lequel ce travail de recherche a été conduit, le 1^{er} chapitre présente les caractéristiques communes aux convertisseurs analogiques numériques (ADC) avec leurs figures de mérites. Un état de l'art exhaustif sur les ADC réalisés et plus particulièrement avec le nœud technologique CMOS¹ 180 nm y est présenté.

Ce travail préliminaire permet de donner un aperçu du défi relevé. Les architectures multi-étapes à échantillonnage analogique ont été éliminées de l'étude du fait des limitations de la technologie pour les contraintes de performances de l'ADC.

Le chapitre 2 présente plus en détail les différentes implémentations possibles d'une famille d'ADC à échantillonnage numérique, les flash. Le portage de l'architecture TIQ est détaillé dans ce chapitre.

Le chapitre 3 détaille l'étude et le portage en CMOS 180 nm des ADC à échantillonnage numérique à repliement de signal.

Cette première partie conclut par le choix de l'architecture flash. La conception des briques de bases de l'ADC flash est détaillée dans les chapitres constituant la partie II du document.

Le chapitre 4 est dédié à l'étude et au portage en CMOS 180 nm des étages de comparateurs latchés responsables de l'échantillonnage à 2 GHz de l'ADC flash. La non linéarité ramenée en entrée de l'architecture retenue ayant défini les contraintes sur l'étage de pré-amplification, celui-ci est présenté dans le chapitre 5.

Le chapitre 5, présente les différentes charges actives étudiées pour l'étage de pré-amplification. Le passage en différentiel passif avec le comparateur full différentiel et l'architecture retenue y sont détaillés. La technique du QV et son portage sur l'architecture de préamplificateur retenu sont présentés.

Le décodeur **thermométrique**² binaire est présenté dans le chapitre 6. Deux implémentations de cette logique de décodage sont étudiées et portées. L'une est réalisée à partir d'un code de description matériel (VHDL) et la synthèse de cellules numériques en logique CMOS **pull-up pull-down**³. L'autre est réalisée à partir de multiplexeurs 1 bit et des flip flop à verrou en logique Pass gates complémentaire.

Le chapitre 7 présente les limitations et l'implémentation de l'interpolation avec l'emploi des pré-amplificateurs et du comparateur latché retenus. L'étude de l'insertion de paires de suiveurs en drain commun, nécessaire à la polarisation des étages de pré-amplification y est présentée. Enfin, les analyses de tirage de Monte Carlo en **mismatch**⁴ des résistances comme échelle de références sont comparées pour différents dimensionnements et topologies. Le synoptique global de l'ADC est présenté avec les cellules et techniques retenues.

L'approche bottom-up incontournable pour la conception de circuits analogiques ou full custom présentée dans cette deuxième partie conclut sur le choix de concevoir un ASIC de preuve de concept. Ce dernier contient ainsi les briques de bases ayant une valeur ajoutée et potentiellement critiques pour la conversion de signaux.

1. complementary métal oxyde semiconductor

2. voir définition 1

3. voir définition 6

4. voir définition 2

L'approche Top-down pour la conception est ainsi détaillée dans la 3^e partie en partant du synoptique global de l'ASIC de preuve de concept envoyé en fonderie de circuit multi projet **BuBIC1**, contenant les cellules critiques à tester.

La conception front-end de l'ASIC BuBIC1 avec notamment l'arbre d'horloge et les pads d'entrées sorties est présentée dans le chapitre 8.

La phase de back-end avec les layouts des cellules retenues dans la partie II ainsi que leur intégration dans des ensembles (clusters) est présentée dans le chapitre 9 avec le padding et l'intégration finale des macro-ensembles (Cores analogiques et numériques).

Mots clés : circuits intégrés, 2 GS/s 8 bits ADC, CMOS 180 nm, instrumentation, physique des particules, biomédical

**2 GHz sampling rate, 8 bits resolution low
power ADC design on 180 nm CMOS
process**

Abstract

After a brief recall of the context this research work have been carried, the 1st chapter present the common analog to digital converters (ADC) characteristics with their figures of merit (FoM). A relevant state of the art on realized ADC architectures is presented. A particular emphasis has been done on 180 nm CMOS process node.

This preliminary work gives a pertinent overview of the faced challenge. Multi step analog sampling architectures have been avoided from the study because of the transistors limited frequency performances.

Chapter 2 presents the different implementations of the Flash digital sampling ADC family architecture. The TIQ architecture embedding in the 180 nm CMOS process are detailed in this chapter.

Chapter 3 details the study and the design of an other digital sampling ADC family architecture on 180 nm CMOS process *i.e.* the signal folding architecture.

This 1st part of the document conclude with the choice of the Flash ADC architecture. The building bloc design for this ADC are detailed in the following chapters constituting the part II.

Chapter 4 is dedicated to the study and the design on 180 nm CMOS process of the latch comparator responsible of the 2 GHz sampling constraint of the overall ADC. As the retained comparator architecture input refereed non linearity defined the gain constraints of the preamplifier stage, the preamplifier is presented in the next chapter.

Chapter 5 present the different characteristics and techniques of the quantifier stage. The comparator preamplifier stage with its different actives loads, its passive full differential transposition and the retained architecture are detailed. The QV technique and its embedding in the retained preamplifier architecture are presented.

The **thermometric**¹ to binary encoder tree is presented in chapter 6. Two implementations of this encoding are studied and design on the Front-End (FE) level. The 1st one is a pipelined Wallace tree realized with a register transfer level (RTL) code on VHDL hardware description language. The synthesis flow on CMOS **pull-up pull-down**² combinatorial logic and rising edge flip flops are used for this architecture. The other architecture is designed using 1 bits multiplexers combinatorial pipelined with pass gated D latches with a full custom schematic implementation.

Chapter 7 presents the limitations and the embedding of the interpolation with the retained preamplifier and comparator latch. The study of common drain source follower (CDSF) pairs insertion, mandatory for the biasing of the preamplifier input stage to reach the 8 bits resolution is studied with details. Finally, Monte Carlo sampling **mismatch**³ analysis on the resistor references are studied by comparing different topologies and sizing. The overall ADC synoptic is presented with the retained cells and techniques.

The bottom-up design approach, mandatory for analog and full-custom design, exposed in this 2nd part conclude on the choice to design a proof of concept ASIC (**BuBIC1**) including all the critical

1. voir définition 1
2. voir définition 6
3. voir définition 2

piece of circuits of the overall ADC with added value and potentially critical for signal conversion.

The top-down approach for this ASIC design is detailed in the IIIrd part with the overall ASIC synoptic of the **BuBIC1** ASIC sent to multi project wafer (MPW) foundry run integrating all the critical cells.

The FE design of this ASIC with its clock tree and its input/output PAD are presented in chapter 8.

The Back-End design with the retained cells layout in part II with the cells integration in clusters are presented in chapter 9 with the pad-ring and final integration in digital and analog macro-cells cores.

Keywords: Integrated circuits, 2GS/s 8 bits ADC, CMOS 180 nm, instrumentation, particule physics, healthcare

Remerciements

Ce travail de thèse ayant été financé par une allocation de recherche de la région Auvergne sous contrat CNRS, je remercie ces entités et leurs représentants de m'avoir permis d'assurer ces travaux tout en étant indépendant financièrement.

Je remercie également le jury de la société Europractice basé à l'IMEC de Louvain qui m'a accordé un prix de 5000€ me permettant de réaliser un prototype de circuit intégré libre de frais pour mon laboratoire d'accueil. Le support offert par cette société sur la technologie CMOS 180 nm retenue m'a aussi permis de finaliser la conception du circuit et d'envoyer des masques de qualité correspondants aux règles de manufacturabilité.

Ce travail ayant été réalisé au laboratoire de Physique de Clermont, je remercie le directeur Dominique Pallin pour sa confiance à mon égard pour finaliser ces travaux. Les travaux de cette thèse ayant été réalisés dans le cadre du développement de l'électronique de lecture du détecteur pixelisé de grande acceptance, je remercie l'équipe de recherche AVIRM du pôle santé qui travaille depuis plusieurs années sur ce projet. Je tiens également à remercier tout le personnel technique impliqué dans ce projet pour leurs éclairages sur les enjeux et les contraintes techniques de ce détecteur.

Je suis également reconnaissant envers le personnel du service informatique qui a œuvré en coulisse sur la maintenance de l'infrastructure informatique et qui m'a offert une assistante technique remarquable.

Je remercie chacun des membres du service de microélectronique dans lequel j'ai évolué durant ces trois années. Ils m'ont enrichi par le partage de leurs connaissances et de leur expérience.

Je remercie particulièrement Samuel Manen pour avoir pris la responsabilité de l'aboutissement du projet sur sa phase finale. Il a fait preuve de beaucoup de patience lors de la relecture de mon manuscrit. Ses corrections et son intervention m'ont permis de présenter ce document au jury. Il m'a transmis sa démarche scientifique ce qui m'a permis d'exposer mes travaux et les performances de la puce de façon exhaustive.

L'implication de Laurent Royer, de Richard Vandaele et d'Alexandre Soulier sur la dernière phase du projet ainsi que pour la conception de la carte de tests ont été remarquables.

Les membres du Jury qui se sont prêtés au difficile exercice d'évaluer ce travail au regard de l'état de l'art et de ce qu'il apporte à la communauté scientifique.

Je tiens enfin à remercier très spécialement Jacques Lecoq qui, étant pourtant à la retraite, a été mon principal encadrant de facto durant ces 3 années. Nous avons longtemps travaillé ensemble sur les problématiques du circuit. Toujours très disponible, les compétences qu'il m'a transmises m'ont notablement fait évoluer d'un point de vue professionnel. Sa bienveillance m'a porté dans tous les moments difficiles que j'ai traversés. Bien plus qu'un collègue, c'est un véritable ami qui a véritablement changé ma vie.

Table des matières

Résumé	i
Abstract	v
Remerciements	vii
Table des matières	ix
Table des figures	xv
Liste des tableaux	xxi
Introduction	1
0.1 Cadre général :	1
0.1.1 Le laboratoire de physique de Clermont	1
0.1.2 Le Détecteur Pixelisé à Grande Acceptance (DPGA)	1
0.1.3 Architecture de l'électronique du DPGA	5
0.1.4 Filtrage optimal et extraction du temps de vol des γ	6
État de l'art, théorie et implémentations d'ADC rapides	7
1 État de l'art des ADC	9
1.1 Théorie des ADC avec l'exemple du flash mode commun	9
1.1.1 Résolution, pas et erreur de quantification	10
1.1.2 Non linéarité intégrale et différentielle	13
1.1.2.1 Influence de l'hystérésis des comparateurs	14
1.1.2.2 Influence de l'offset des comparateurs	15
1.1.2.3 Influence du bruit	16
1.1.2.4 Conclusion	16
1.1.3 ENOB, échantillonnage, bande passante et figures de mérite	16
1.1.4 Architectures à échantillonnage numérique VS analogique : le Track & Hold .	17
1.2 État de l'art des ADC	18
1.3 Conclusion	19
Points clés	20

2 Architectures flash dérivées	21
2.1 Comparateurs divisés en préamplificateur et latch	21
2.1.1 Offset et hystérésis	23
2.2 ADC flash différentiel	23
2.2.1 Échelle de référence active	24
2.2.2 Échelle de référence passive	25
2.2.2.1 Couplage des signaux par paire différentielle	26
2.2.2.2 Découplage de tensions de références	26
2.2.2.3 Préamplificateur full différentiel	27
2.2.2.4 Conclusion	27
2.3 ADC TIQ	27
2.3.1 Rappel du fonctionnement de l'inverseur CMOS	27
2.3.2 Principe du TIQ	28
2.3.3 Algorithme SSV et extraction de la matrice de seuils $V_m = f(W_N, W_P)$	30
2.3.4 Conclusion sur le portage du TIQ en CMOS 180nm	30
2.4 Autres variantes communes	31
2.4.1 Moyennage (<i>averaging</i>)	31
2.4.2 Interpolation	31
2.5 Conclusion	33
Points clés	35
3 ADC à repliement de signal (<i>folding</i>)	37
3.1 Principe et intérêt du repliement	37
3.2 Plieurs en courant	38
3.3 Architecture d'amplificateur plieur à paires différentielles couplés (CDP)	40
3.3.1 Paire différentielle avec une entrée commandée par une tension de référence V_{ref}	41
3.3.2 Amplificateur de repliement à facteur 3	44
3.3.3 Portage avec des transistors à oxyde épais	45
3.4 Limitations et emploi des folders	46
3.4.1 Déséquilibre de la tension différentielle de sortie	46
3.4.2 Effet d'arrondissement et architectures à conversion croisement de zéro	46
3.5 Conclusion	47
Points clés	49
Conception Bottom-Up, des briques de bases vers l'architecture retenue	51
4 Le comparateur latché	53
4.1 Principe du multivibrateur bistable (bascule ou latch)	53
4.1.1 Étude théorique	54
4.1.2 Conclusion	55
4.2 Comparateur switché à rééquilibrage de charges	55
4.2.1 Structure de base	55
4.2.2 Switch CMOS	56
4.2.3 Insertion de diodes d'écrêtage de signaux	56
4.3 Comparateur à évacuation de charges Schreier	57
4.3.1 Description du fonctionnement	57

4.3.2	Simulation	58
4.4	Comparateur à évacuation de charges Yang High Speed	60
4.5	Comparateur Yang High Speed améliorée	63
4.5.1	Banc de tests au niveau top	63
4.5.2	Générateur d'impulsion multivibrateur monostable	64
4.5.3	Résultats de simulation	65
4.6	Retour de bruit de commutation (<i>Kick-back noise</i>)	65
4.6.1	Structure Yang High Speed	66
4.6.2	Structure à rééquilibrage de charges	67
4.7	Conclusion	67
	Points clés	69
5	Le Préamplificateur à seuil interne	71
5.1	Préamplificateur mode commun et charges	71
5.1.1	Étude du préamplificateur à charges de type PMOS montés en diodes	71
5.1.2	Simulation	71
5.1.3	Étude du préamplificateur à charges couplées croisées type Lee	72
5.2	Préamplificateur différentiel	73
5.2.1	Étude de la polarisation de l'étage et de sa dynamique	73
5.2.2	Étude petit signaux de l'étage	74
5.3	Préamplificateur à quantification de voltage	75
5.3.1	Solution de l'équation $LSB = f(\Delta W)$	75
5.3.2	Portage de la technique du QV au préamplificateur full diff	76
5.4	Conclusion	78
	Points clés	79
6	Décodeurs thermométrique¹ binaire	81
6.1	Décodeur fat tree ou arbre de wallace	82
6.2	Décodeur à base de multiplexeurs 2 bits pour un ADC flash 7 bits	83
6.2.1	Logique combinatoire maître/esclave et FFlops D à verrou différentiel à pass gates	84
6.2.2	Modélisation comportementale idéale des 128 préamplificateurs et de l'interpolation	85
6.2.3	Architecture globale et simulation sur toute la dynamique	87
6.3	Conclusion	88
	Points clés	89
7	Architecture retenue	91
7.1	Étude de l'interpolation avec le préamplificateur et le latch retenu	91
7.1.1	Interpolation	91
7.1.2	Simulation des préamplificateurs à QV avec les latches retenus	92
7.2	Insertion de suiveurs symétriques	93
7.2.1	Étude des suiveurs symétriques	93
7.2.2	Portage sur le lot de préamplificateur à QV	94
7.2.2.1	Transition du lot de préamplificateurs sans suiveurs vers le lot avec suiveurs P	94

1. voir définition 1

7.2.2.2	Transition du lot de préamplificateurs avec suiveurs P vers le lot avec suiveurs N	95
7.3	Étude de l'échelle de références à base de résistances	97
7.3.1	Analyses de Monte Carlo mismatch ² sur différentes topologies	97
7.3.2	Topologie retenue	98
7.4	Synoptique de l'ADC flash et interpolation	98
7.4.1	Description détaillée	99
7.5	Conclusion	99
	Points clés	101

Conception Top-Down de l'ASIC BuBIC1 de preuve de concept 103

8 Conception Front-end de l'ASIC de preuve de concept BuBIC1 105

8.1	Synoptique et vue top de l'ASIC BuBIC1 de preuve de concept	105
8.2	Conception Front-End des cellules pour l'extraction des signaux numériques de l'ASIC	106
8.2.1	Limite fréquentielle du PAD de sortie	106
8.2.2	Modélisation des impédances caractéristiques de fil de bounding et de ligne .	107
8.2.3	Implémentations de mémoires synchrones à base de Flip Flop pour le démultiplexage	110
8.3	Signaux d'horloges	111
8.3.1	Schéma du CORE digital	111
8.3.2	Insertion de fan-outs ³ sur l'arbre d'horloge	113
8.4	Assemblage de l'ensemble analogique	114
8.4.1	Cellules intermédiaires : clusters de préamplificateurs et étages suiveurs . .	114
8.4.2	Macro cellule Core analogique	115
8.5	Simulations de l'ASIC et bancs de tests	115
8.5.1	Banc de tests	116
8.5.2	Résultats de simulation	116
8.6	Conclusion	118
	Points clés	119

9 Conception Back-End : Placement routage et Floorplan 121

9.1	Cellules élémentaires	121
9.1.1	Préamplificateur full-différentiel symétrique et à QV	121
9.1.2	Paires de suiveurs à drains commun (CD)	122
9.1.3	Comparateur latché	122
9.1.4	Simulation post layout	123
9.1.4.1	Simulation M1 en Cu VS Al	123
9.1.4.2	Transition sans suiveurs vers suiveurs de type PMOS	126
9.2	Ensembles de blocs	126
9.2.1	Ensembles de préamplificateurs	126
9.2.2	Ensembles de comparateurs latchés	127
9.2.3	Macro cellule analogique	128
9.3	Padding et vue top	128
9.3.1	Description du placement des IO	129
9.3.2	Vue Top du Circuit avec le padding	131

2. voir définition 2

9.4	Simulations Top extracted	131
9.5	Conclusion	131
	Points clés	132
Conclusion et Perspectives		133
Annexes		135
A Synoptique complet de l'ASIC		137
B Études complémentaires		139
B.1	Paramètres des transistors 180 nm	139
B.1.1	Équations level 1 du courant drain source	140
B.1.1.1	Expressions du courant I_D en saturation et en triode	140
B.1.1.2	transconductance	140
B.1.2	Tensions de seuils	140
B.1.2.1	Bandes plates, potentiel de Fermi et tension thermique	141
B.1.2.2	Capacité de grille C_{ox} , facteur de gain et mobilité de porteurs de charges	141
B.1.2.3	Canal long/court extraits de la documentation	141
B.1.3	Dépendance de la concentration de dopants du substrat N_B	142
B.1.4	Effet de corps	142
B.1.4.1	Extraction en simulation grâce au g_{mb} et au g_m	143
B.1.4.2	Extraction du facteur de pente n	144
B.1.5	Facteur d'inversion et courant spécifique	144
B.1.6	Modèle comportemental veriloga du MOS	145
B.1.7	Code veriloga du MOS ideal	146
B.2	Montages de transistors en analogique	146
B.2.1	Transistor en source commune (CS)	146
B.2.2	Montage CG	146
B.2.2.1	Passage T -II du montage CG	146
B.2.2.2	Application à la paire différentielle stimulée en mode commun	147
B.2.3	Montage Drain commun (CD) dit suiveur de source	149
B.3	Études complémentaires des TIQ	149
B.3.1	Algorithme SSV	149
B.3.2	Étude temporelle de l'inverseur	149
B.3.3	Simulations en CMOS 180nm	153
B.4	Études des plieurs (<i>folders</i>)	155
B.4.1	Portage en CMOS 180 nm du plieur en courant	155
B.4.2	Étude de la paire différentielle CDP	157
B.4.3	Redondance de la résolution de quantification	158
B.4.4	multiplexage des signaux issus des folders	158
B.4.5	Techniques spécifiques des plieurs à CDP	159
B.5	Études des comparateurs latchés	160
B.5.1	Étude temporelle	160
B.5.2	Étude fréquentielle	162

B.5.3	Architectures synthétisées	163
B.5.3.1	Yang High speed	163
B.5.3.2	Yang High speed améliorée	163
B.6	Étages de quantification	166
B.6.1	Charges de types Lee couplées croisés	166
B.6.2	Pre-amplificateur full différentiel	167
B.6.3	Seuil interne	168
B.7	Circuits internes de l'ASIC BuBIC1	168
B.7.1	Entrées sorties	168
B.7.2	Extraction d'un signal à 1 GHz à partir de 2 signaux à 500 MHz déphasés de $\Pi/2$	170
C	Détails des démarches de simulation	173
C.1	Caractérisation de la techno pour différents ratio de W_N/W_P du TIQ	173
C.1.1	Extraction du gamma	173
C.1.2	Extraction du facteur de pente n en figure B.3	174
C.2	Étude des comparateurs latched	174
C.2.1	Structures et banc de tests au niveau de la paire différentielle	174
D	Conception Back-end	179
D.1	Conventions de couches du Back-end	179
D.2	Prises caisson des PMOS	179
D.3	Procédures de conception assistée et automatisée sur le Flow numérique	180
D.3.1	Génération du PAD ring	180
D.3.1.1	Netlist verilog générée et corrigée	180
D.3.1.2	Fichier de placement des cellules pour le PAD ring	181
D.3.1.3	Script tcl encounter	182
D.3.1.4	Script tcl du PDK	183
D.4	Procédures de conception assistée et automatisée sur le Flow analogique	184
D.4.1	Placement vectorisé assisté	184
D.4.2	Procédure de génération du Pading	185
D.4.3	Définitions de contraintes et routage automatique	186
E	Définitions et Figures annexes	187
	Bibliographie	193

Table des figures

0.1.1	Principe de la hadron-thérapie et intérêt par rapport à la radiothérapie[30]	2
0.1.2	Principe de la TEP en ligne de faisceau de hadrons	3
0.1.3	Figures du DPGA et du photodétecteur	3
0.1.4	Extraction du temps de vol (TOF) des γ détectés pour reconstruire la position du β^+ sur le DPGA	4
0.1.5	Électronique de lecture projetée et implémentée sur le détecteur	5
0.1.6	Allure des signaux issus des photodétecteurs	6
1.1.1	Classifications de signaux et d'architectures de convertisseurs	9
1.1.2	Caractéristiques de l'ADC	10
1.1.3	Schémas de l'ADC mode commun	11
1.1.4	Erreurs de non linéarités de l'ADC dues aux comparateurs [16, p71]	13
1.1.5	Comparateur non-inverseur avec hystérésis	14
1.1.6	réponse de l'ADC à $0 < V_{OS} < LSB/2$ constant et centré à 0	14
1.1.7	Extraction des tensions d'offset et d'hystérésis à partir des mesures	15
1.1.8	Influence du bruit sur les échelons de la conversion	16
1.1.9	figure de mérite (FoM) Walden	17
1.2.1	Graphiques de l'état de l'art des ADC	19
2.1.1	Schéma d'un comparateur latché sur un signal d'horloge (Clock) avec étage de pré-amplification et étage de latch propre au comparateur [35, sec3.14.25]	22
2.1.2	Représentation des offsets sur les amplificateurs et les comparateurs	22
2.2.1	tension de signaux et de références différentielles	24
2.2.2	Schéma de l'ADC de N bits à échelle de résistances active	24
2.2.3	Schéma complet de l'ADC full diff rail to rail	25
2.2.4	Techniques d'amélioration de l'intégrité des signaux et références différentielles	26
2.2.5	Dual Différence Latch Préamp[41, p31]	27
2.3.1	Schéma de l'inverseur CMOS	27
2.3.2	Polarisation de l'inverseur CMOS	27
2.3.3	Polarisation de l'inverseur CMOS	28
2.3.4	Fonction de transfert DC $V_{out}(V_{in})$ [43]	28
2.3.5	Variation systématique des largeurs de transistors PMOS et NMOS pour obtenir les différents seuils de commutation	29
2.3.6	Matrice d'extraction des tensions V_m par mesure en simulation de l'inverseur en CMOS 180 nm en réponse à une double rampe	31
2.4.1	Averaging Moebius pour une sortie différentielle des préamplificateurs[35]	32
2.4.2	Principe de l'interpolation des ADC flash ($V1 > V2$)[16, fig 3.55]	32
2.4.3	Interpolation resistive pour différentes topologies	33

3.1.1	Principe du repliement, de la quantification grossière et fine [36, 35]	38
3.2.1	Schéma du plieur en courant à base de transistors NMOS	38
3.2.2	Signal replié en sortie de l'étage de folding	39
3.3.1	Crête du repliement sans recouvrement [36]	40
3.3.2	Schéma de la paire différentielle commandée par une tension de référence V_{ref}	42
3.3.3	Tension ΔV_{ref} mesurée en simulation	43
3.3.4	ΔV_{ref} de l'amplificateur à repliement à paires différentielles et effet de rounding sur les folders à recouvrement [36]	43
3.3.5	portage du folder à F=3 avec effet de rounding (limite de recouvrement) $W_{fold1,2,3} = 200 \mu m, R = 1 k\Omega, L_{fold} = 0.6 \mu m, I_{bias} = 245 \mu A$	44
3.3.6	portage du folder à F=3 avec crête $W_{fold1,2,3} = 200 \mu m, L_{fold} = 0.6 \mu m, R = 300 \Omega, I_{bias} = 150 \mu A$	45
3.3.7	Introduction de 2 folders parallèles avec chacun un ADC associé[35]	45
3.3.8	Simulation du folder avec des NFETM à $V_{DD} = 5 V, R = 300 \Omega, I_{bias} = 377 \mu A$	46
3.4.1	Repliement des signaux de la conversion avec compensation (3 CDP avec des sources de courant idéales en vert ; source de courant NMOS en jaune ; 2 CDP+2 demis CDP en rouge)	46
3.4.2	Schéma de principe de la conversion par repliage à croisement de zéro[44]	47
4.1.1	Rebouclage positif d'une bascule et états de stabilité[42]	54
4.1.2	Schéma de principe d'un inverseur CMOS[42]	54
4.1.3	Étude temporelle du latch avec la capacité équivalente et le gm équivalent de l'inverseur[41]	55
4.2.1	Schéma du comparateur latché à rééquilibrage de charges	56
4.3.1	Schéma et conventions du comparateur à évacuation de charges Schreier	57
4.3.2	Architecture Latch en phase de reset	58
4.3.3	Courbes des signaux internes et en sortie à $f_{clk} = 333 MHz, V_{DD} = 1.6 V$ prise caisson des PMOS des switches à V_{DD}	58
4.3.4	Résultats de l'analyse de Monte Carlo (mismatch) à $f_{clk} = 333 MHz, V_{in} = 8 mV$ PP à 1.6 MHz, $V_{DD} = 1.8 V$ (nominal) et $V_{DD} = 1.6 V$ (C0)	59
4.4.1	Schémas de principe et conventions	60
4.4.2	Résultats nominaux à $V_{DD} = 1.6 V, f_{clk} = 2 GHz$ et $V_{in} = 24 mV$ PP double rampe	61
4.5.1	Comparateur à évacuation de charges Yang high speed amélioré	63
4.5.2	Banc de test du comparateur latch Yang High Speed avec ses améliorations	64
4.5.3	Diagramme du générateur d'impulsion de type multivibrateur monostable [42]	65
4.5.4	Réponse du générateur d'impulsion à un signal d'horloge à 2 GHz et à 10 MHz	65
4.6.1	Analyse de kick-back noise	66
4.6.2	Courbes de la simulation à 2 GS/s pour un signal d'entrée de 200 mV crête à crête	66
4.6.3	Courbes des signaux du comparateur latché à rééquilibrage de charges pour 2 valeurs de capacités de boucle	67
5.1.1	Stimuli mode commun d'une paire différentielle	71
5.1.2	Réponses fréquentielles de la sortie $out-$	72
5.1.3	Charges Lee de diodes couplées croisées d'une paire diff	73
5.2.1	Schémas du préamplificateur full différentiel avec ses 2 paires différentielles avec charges résistives	74
5.3.1	Principe de l'ADC à QV[48]	75

5.3.2	Schéma des paires différentielles d'entrée du comparateur full diff avec l'assymétrie de largeur de transistors $W_{t+} = WN * Klog$ et $W_{t-} = WN/Klog$	76
5.3.3	Réponse de la sortie différentielle aux nœuds $V_{outp2} - V_{outn2}$ à une double rampe $\pm 2.8 V$ pour une tension de référence de 0 V différentielle et les seuils $W_{t+} = 25\mu m * Klog$, $W_{t+} = 25\mu m * Klog$, $W_{t-} = 25\mu m/Klog$, $Klog = [0.1; 10] = 10^{Qv}$ et $Qv = [-1; 1]$	77
5.3.4	Schémas du préamplificateur full différentiel reprenant la topologie de la figure 2.2.5 avec implémentation de la technique du QV	77
5.3.5	Vue schéma sous cadence du préamplificateur avec implémentation de la technique du QV	78
6.0.1	Décodeur T2B 3 bits à arbre de Wallace	81
6.1.1	Résultats de simulation de l'arbre de Wallace post-synthèse	83
6.2.1	Schéma d'un arbre de décodage thermométrique/Binaire à base de multiplexeurs 1 bits sur un ADC 3 bits [7]	84
6.2.2	Schéma du Flip Flop à verrou à pass gates	84
6.2.3	Schémas de principe du pipeline à mémoire Flip flop D à verrou entre circuits combinatoires maître esclave	85
6.2.4	Modèle du préamplificateur et des étage d'interpolation à base de sources contrôlées vccs	86
6.2.5	Modèle du comparateur latch à base de sources contrôlées vccs avec la correction de bit d'erreur	86
6.2.6	Réponse du code thermométrique issu des latch idéaux pour une rampe d'un signal différentiel de -1.8 à +1.8 V	87
6.2.7	Schéma des 3 derniers étages du décodeur 7 bits	87
6.2.8	Réponse du décodeur 7 bits à base de multiplexeurs 2 bits en pass gate NMOS	88
7.1.1	Schéma d'un lot de 3 préamplificateurs instanciés (I5 et I4 sont les QV, I0 est le préamplificateur symétrique) équivalent au lot de la figure interpolation	92
7.1.2	Signaux individuels relatifs à la masse (mode commun) avec les valeurs aux seuils de quantification en sortie directe et en interpolation	93
7.2.1	Architecture de préamplificateur avec suiveurs en entrée	94
7.2.2	Schéma du lot de 3 préamplificateurs reprenant le schéma 5.3.4 avec l'insertion de paire de suiveur à base de PMOS	95
7.2.3	Schéma du lot de 3 préamplificateurs reprenant le schéma 5.3.4 avec l'insertion de paire de suiveurs à base de PMOS et NMOS	96
7.2.4	Réponse à une double rampe autour de la transition des clusters de 6 préamplificateurs avec suiveurs de type P et de 6 préamplificateurs avec les 2 types de suiveurs	96
7.3.1	Différentes topologies pour une simulation en Monté Carlo mismatch	97
7.4.1	Synoptique complet de l'ADC flash 8 bits avec les techniques du QV et de l'interpolation	99
8.1.1	Synoptique simplifié de l'ASIC BuBIC1 avec les techniques de l'interpolation et du QV	105
8.2.1	Vue symbole de la cellule IOPAD 20mA avec contrôle de SR	106
8.2.2	Vue symbole de la cellule io_drvr pouvant atteindre 110mA (utilisée pour l'IOPAD_80)	106

8.2.3	Signaux extraits en simulation de l'IOPAD	107
8.2.4	Vue en coupe de l'ASIC soudé dans une cavité du PCB avec ces fils de bonding . . .	108
8.2.5	Courbes du signal transitoire en sortie de l'IOPAD avec une self série de 2 nH . . .	108
8.2.6	Modélisation de lignes sur PCB avec fils de bondings et de la charge de la sonde de l'analyseur logique	109
8.2.7	Circuits de temporisation des signaux de sortie des latches	110
8.2.8	Banc de tests du comparateur latché avec les résistances de sortie équivalent Thévenin de l'étage de préamplification (mesurée à 11 K Ω en AC)	111
8.3.1	Schéma des cellules de remise en forme du signal d'horloge dans le CORE numérique	112
8.3.2	Schéma du CORE numérique avec l'instanciation des 4 clusters de comparateurs latchés	112
8.3.3	Schémas du cluster de 12 latches avec interpolation et insertion de fan out d'horloge	113
8.3.4	Problèmes de fan out sur les signaux d'horloge en simulation <i>extracted</i> dus à l'insuffisance de la sortance des cellules de buffers employés	113
8.4.1	Schéma du cluster de 6 préamplificateurs avec 2 paires de suiveurs de chaque type et leurs capacités de shunt	114
8.4.2	Schéma du CORE analogique	115
8.5.1	Réalisation du DAC idéal du code thermométrique dans le banc de tests de la vue Top pour l'analyse des signaux de sortie	116
8.5.2	Résultats d'INL en tirages de Monte Carlo mismatch	117
8.5.3	Résultats de DNL en tirages de Monte Carlo mismatch	117
8.5.4	Réponse à une sinusoïde 50 MHz et $f_{ech} = 2 GHz$	117
9.1.1	Vues layout de la cellule des paires de suiveurs	122
9.1.2	Layout du comparateur latché avec les couches de dopage des drains sources (RX) en bleu, de polysilicium (PC) en rouge, de métal 2 en jaune	123
9.1.3	Résultats de simulation <i>extracted</i> avec le métal 1 en Cu	124
9.1.4	Résultats de simulation <i>extracted</i> avec le métal 1 en Al	125
9.1.5	Simulation post layout <i>extracted</i> des cellules individuelles de latch et de préamplificateurs rassemblés au niveau schéma avec la première transition	126
9.2.1	Cluster ensemble de 6 préamplificateur avec 2 paires de suiveurs de chaque type (couche poly en rouge)	127
9.2.2	Cluster de comparateurs latchés avec mémoires FFlops	128
9.2.3	Vue layout du CORE analogique avec les 4 lots de 6 préamplificateurs en U autour de l'échelle de références au milieu	129
9.3.1	Synoptique du padding de BuBIC1	130
9.3.2	Vue top du layout de l'ASIC BuBIC1 avec le padding	131
9.4.1	Simulation transitoire avec bruit de la puce sur le banc de tests décrit en section 8.5.1 pour 2 Giga echantillons/ seconde	131
9.4.2	Réponse sinusoïde 50 MHz pour 2 Giga echantillons/ seconde	132
9.0.1	Intégration du filtrage des niveaux d'énergie, du filtrage optimal et reconstruction temporelle du TOF des γ à 511 keV dans un SoC	134

A.1	Synoptique complet de l'ASIC BuBIC1 avec les techniques de l'interpolation et du QV	137
B.1	Aperçu schématique simplifié de la structure hiérarchique de PSP [1]	139
B.2	Extraction du γ pour $W = 10 \mu m, L = 1 \mu m V_{DS} = 0.7 V$ par extraction de g_m et g_{mb}	143
B.3	facteur de pente n en faible inversion	144
B.4	Modèle comportemental d'un MOS a base de la cellule vccs	145
B.1	passage d'un schéma petit signal T vers Π du transistor en CG	147
B.2	Schéma petit signal pour déterminer la résistance de sortie R_0 du MOS en CG[15, fig 3.22]	147
B.3	Stimuli mode commun d'une paire différentielle	148
B.4	Schéma petit signal du préamplificateur du comparateur de la figure 2.1.1	148
B.5	Fig 3.31 & 3.32 de [37] des montages suiveurs de source à drain commun (CD)	149
B.1	Schéma équivalent de l'inverseur pour une étude temporelle	150
B.2	Schéma de 2 inverseurs en cascade[43]	151
B.3	Réponse de 21 TIQ avec Fan out à une double rampe de période 10 ns (100 MHz) pour différents ratio de W_N/W_P du TIQ	152
B.4	Réponses des inverseurs TIQ à une double rampe de 1 MHz en sortie des Fan outs pour différents ratio de W_N/W_P du TIQ	154
B.1	Implémentation du schémas du plieur en courant sur la CMOS 180 nm	155
B.2	Tension V_{out} de sortie du plieur en courant à facteur 4 pour une entrée en rampe de courant de 0 à $420 \mu A$	156
B.3	nombre de comparateurs égal = $F - 1$ (sans redondance)	158
B.4	comparateur supplémentaire de redondance de la quantification coarse	158
B.5	Multiplexage des signaux des plieurs sur l'architecture d'Aytar Tangel Dundar[5]	159
B.6	Schémas des techniques de compensation de linéarité par un dummy CDP et de 2 demis CDP [26]	159
B.7	Banc de tests des 3 configurations avec les trans-résistances idéales modélisés par des cellules vccs à gain -10000	160
B.1	Extraction du temps tau et de la capacité équivalente à partir de la réponse impulsionnelle	161
B.2	Banc de tests d'extraction de capacité équivalente entre 2 inverseurs cascades	162
B.3	Extraction fréquentielle de la capacité équivalente par mesure du courant AC pour différentes largeurs W_n et $W_p = 2.7 * W_n$ des transistors des inverseurs.	162
B.4	Schéma du comparateur Yang High Speed	163
B.5	Schéma du multivibrateur monostable en logique pass gates et rebouclage positif	164
B.6	Réponse de la bascule à $f_{clk} = 10 MHz$ à un signal de $\pm 30 mV$	164
B.7	Réponse de la bascule à $f_{clk} = 125 MHz$ à un signal de $\pm 20 mV$	166
B.1	Schéma petit signal de la paire différentielle chargée par des diodes couplées croisées	166
B.1	Schema des cellules IOPADs de la librairie	169
B.2	Diviseur de fréquence d'horloge par 2 et par 4	171
B.3	Schéma de principe et de test de reconstitution d'un signal démultiplexé à partir du signal d'horloge reconstitué à 1 GHz	171
B.4	Courbes chronogrammes des signaux en entrées / sortie des PADs avec les fonctions de multiplexage et de logique OU exclusif (XOR)	172
C.1	Validation des conditions de polarisation du NMOS et du PMOS pour extraction du facteur de pente de la figure B.3	174

C.1	Implémentations des différentes structures au niveau de la paire différentielle d'entrée avec des transistors de la CMOS 180 nm et des vccs-MOS idéaux présentés en section B.1.6	175
C.2	Schéma de la paire différentielle avec ses différentes améliorations	175
C.3	Regroupage de paramètres avec un parametric set	176
D.1	NMOS et PMOS cross sections convention	179
D.1	Vue en coupe de Fusion de Drain ("Abutage") de transistors NMOS et isolation de caissons N de PMOS	180
D.1	Saisie de schéma pour exportation de netlist en NC-verilog	185
E.1	Figure 3.2 du [6]	187
E.2	Structure des portes logiques CMOS invoqués par l'outil de synthèse	188
E.3	Figures de régimes d'inversion des MOS	189
E.4	Chip edge et couches de métallisation / oxyde	191

Liste des tableaux

1.1	État de l'art des ADC autour du nœud technologique 180nm	18
4.1	Résultats nominaux à $f_{clk} = 333\text{ MHz}$, $V_{in} = 8\text{ mV}$ PP à 1.6 MHz, différents V_{DD} et prise Nwell des PMOS des switch	59
4.2	Valeurs optimales de largeurs de transistors du schéma de la fig B.4, de tension et de courant	60
4.3	Résultats de l'analyse de Monte Carlo (mismatch) à $V_{DD} = 1.6\text{ V}$ $f_{clk} = 2\text{ GHz}$ et $V_{in} = 24\text{ mV}$ PP double rampe	62
4.4	Résultats de l'analyse de Monte Carlo (mismatch) à $V_{DD} = 1.8\text{ V}$ $f_{clk} = 2\text{ GHz}$ et $V_{in} = 24\text{ mV}$ PP double rampe	62
4.5	Bilan des résultats de simulation des latches à 2 GS/s	67
6.1	Table de vérité de la bascule D à Verrou	85
7.1	Résultats de simulation DC de variation des tensions de références sur 200 tirages	98
B.1	Tension de bascule et d'hystérésis des comparateurs à inverseurs TIQ pour une rampe à signal d'entrée de période 10ns	153
B.2	Tension de bascule et d'hystérésis des comparateurs à inverseurs TIQ pour une rampe à signal d'entrée de période $1\text{ }\mu\text{s}$	154
B.3	Paramètres optimaux pour le plieur en figure B.1 obtenus par itérations de simulations	156
B.4	Consommation statique moyenne du comparateur entre deux fronts d'horloge (calculée sur 47ns)	165
B.5	Nœuds de câblage des entrées de la cellule io_drv pour les différents IOPADs	170
C.1	Paramètres d'extraction du facteur de corps γ à partir de l'équation de g_{mb} [37, eq 2.43],	173
C.2	Tableur de jeu de paramètres	176

Introduction

0.1 Cadre général :

0.1.1 Le laboratoire de physique de Clermont

Ce travail de thèse a été financé par une bourse obtenue dans le cadre du développement d'un instrument de thérapie sous faisceau de hadrons au LPC. Historiquement appelé laboratoire de physique corpusculaire, le LPC est une Unité Mixte de Recherche sous la tutelle de l'Université Clermont Auvergne et du Centre National de la Recherche Scientifique. Ses activités de recherche fondamentale s'effectuent principalement dans le cadre d'un institut du CNRS, l'IN2P3 (Institut National de Physique Nucléaire et de Physique des Particules), dont les thématiques traitent des "deux infinis", l'infiniment petit et l'infiniment grand, des constituants les plus élémentaires de la matière à la cosmologie. Des activités pluridisciplinaires exploitent les retombées de ces recherches fondamentales ou les méthodes et technologies utilisées.

Le laboratoire bénéficie d'une équipe formée d'ingénieurs en microélectronique qui conçoivent des circuits intégrés propre à une application ou ASICs (Application Specific Integrated Circuit), pour la physique nucléaire, la physique des particules et les détecteurs d'astrophysique. Ces détecteurs, relativement sophistiqués, nécessitent des technologies de pointe et cette équipe s'engage à atteindre les exigences élevées en matière de recherche fondamentale. Elle fournit également des modèles spécifiques adaptés de la recherche fondamentale aux industries utilisant le même type de détecteurs tels que l'imagerie médicale .

0.1.2 Le Détecteur Pixelisé à Grande Acceptance (DPGA)

Le DPGA est un instrument de contrôle balistique pour les traitements de hadron-thérapie clinique. Il permet de contrôler le faisceau en temps réel par reconstitution de sa zone d'impact balistique où l'énergie cinétique des hadrons se dépose.

Le principe de la hadron-thérapie est illustré sur la figure 0.1.1. Il s'agit de traiter les tumeurs profondes dans des zones les plus sensibles du corps humain (*e.g.* tumeurs cérébrales) évitant le risque d'une opération chirurgicale intrusive par l'irradiation des tumeurs d'un faisceau de hadrons. Ce dernier traverse des cellules saines en déposant une énergie réduite, il dépose la totalité de la dose radioactive à une distance précise au niveau de la tumeur grâce au pic de bragg, c'est la zone d'impact balistique. La distance de dépôt de dose radioactive des hadrons est réglée par l'énergie donnée au faisceau qui est de l'ordre de 100 MeV/nucléons, ce qui correspond à l'énergie pour traverser quelques cm de chair humaine. De ce fait, la hadron-thérapie est avantageuse par rapport à la radiothérapie qui dépose l'énergie des photons d'abord sur les tissus en surface avant d'atteindre la tumeur comme schématisé sur la fig 0.1.1.

Le dépôt de dose par les particules du faisceau induit la production de radio-isotopes instables par des réactions nucléaires. La désintégration rapide de ces radio-isotopes émet des β^+ . L'activité β^+

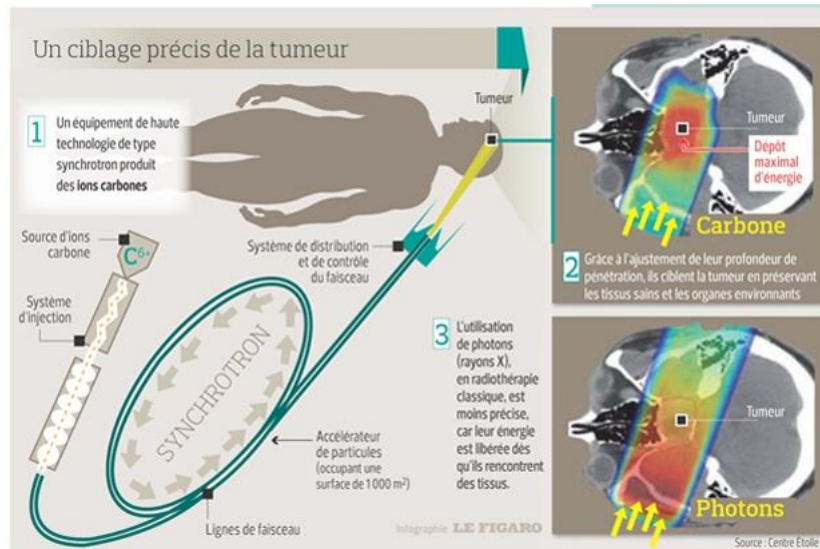


Fig. 0.1.1 – Principe de la hadron-thérapie et intérêt par rapport à la radiothérapie[30]

induite est corrélée avec le dépôt de dose et permet de remonter la position du pic de Bragg par leur mesure.

Le dépôt de dose important au niveau du pic de Bragg provoque des dommages graves aux cellules tumorales. Ces cellules vont rentrer dans un mode d'autodestruction dit **apoptose**¹ et cesseront de se reproduire avant qu'elles ne provoquent des métastases. Cette technique est actuellement en phase de traitement clinique dans les centres de hadron-thérapie de différents pays (Japon, Europe de l'ouest, USA) et beaucoup de nouveaux centres en cours de développement.

La contrainte la plus importante à maîtriser dans ce type de traitement est le contrôle de la qualité de la dose délivrée, *i.e.* la maîtrise de la position du pic de Bragg dans le patient pendant le traitement. De cette contrainte est née toute une R&D utilisant les particules secondaires induites par le faisceau primaire pour agir sur ce contrôle qualité du traitement. La corrélation entre le pic de Bragg et l'activité β^+ est une des méthodes les plus anciennes mise en jeu en clinique pour assurer le contrôle qualité (Darmstadt 1993 [14]). L'une des techniques est de détecter les 2 particules γ à 511 keV émises en directions opposées à chaque désintégration de β^+ . C'est le principe de la Tomographie à Émission de Positron (TEP) en ligne illustré sur la fig 0.1.2. La ligne constituant cette propagation colinéaire est dite LOR (line of response). La mesure de ces β^+ repose sur la même technique que la TEP clinique, destinée au contrôle et la détection des tumeurs cancéreuses par imagerie du métabolisme. D'autres types de particules peuvent être utilisés pour ce contrôle. *E.g.* les γ prompts émis par la dés-excitation de noyaux radioactifs créés par le faisceau. La tendance actuelle consiste à utiliser simultanément les divers types de particules secondaires.

L'idée étant, à terme, de rediriger le faisceau en temps réel au fur et à mesure de la progression de la destruction de la tumeur par apoptose. Cette thérapie se ferait intégralement en une séance pour chaque tumeur en réduisant les marges de sécurité de 3mm actuellement à 1mm des cellules saines, limitant ainsi les séances de TEP clinique et de hadron-thérapie. Cette lecture et cette redirection du faisceau en temps réel constituent une boucle d'asservissement de type multiple input, multiple output (MIMO) d'autant plus critique que la tumeur et le corps du patient font partie du système.

1. Cette destruction de cellule est en fait due à un endommagement de son ADN, de ses mitochondries ou de sa membrane, elle finit donc par s'autodétruire et est donc métabolisée par l'organisme

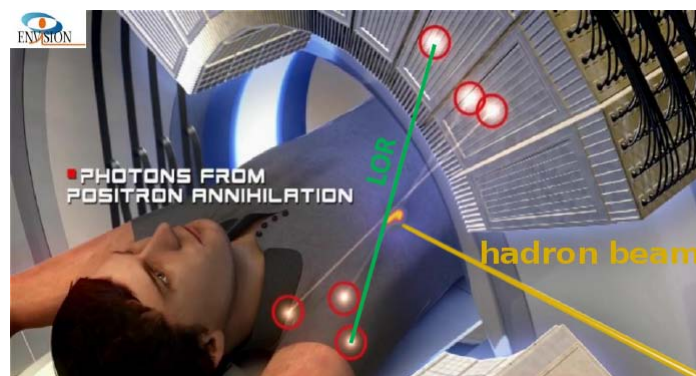
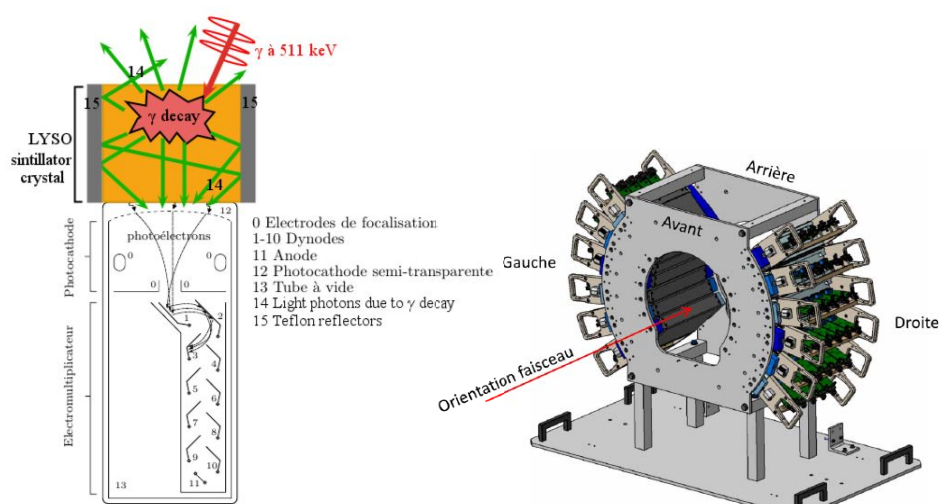


Fig. 0.1.2 – Principe de la TEP en ligne de faisceau de hadrons

Au LPC Clermont, le groupe AVIRM a conçu un démonstrateur appelé DPGA (DéTECTeur Pixelisé à Grande Acceptance). Il permet de tester la méthode de contrôle de la position du pic de Bragg par la mesure des β^+ sur des faisceaux de protons (au Centre Antoine Lacassagne de Nice).

Le principe du DPGA est de détecter les 2 particules γ à 511 keV de chaque LOR. Cette détection se fait grâce à des voies de conversion de l'énergie des γ de 511 keV en signal électrique par la combinaison d'un cristal (énergie radioactive en lumière) et d'un photomultiplicateurs à tube (PMT) (lumière en charge électrique) comme illustré sur la figure 0.1.3a. L'ensemble du PMT et du cristal forme un photodétecteur.



(a) Éléments d'un photodétecteur constitué d'un tube photomultiplicateur (PMT) et d'un cristal en LYSO avec le principe de la scintillation (b) Vue CAO de la géométrie complète du DPGA

Fig. 0.1.3 – Figures du DPGA et du photodétecteur

Les cristaux sont des cubes en cristal dit LYSO (alliage à base de Lutécium, Yttrium et Oxyde de Silicium) qui transforment l'énergie radioactive des particules γ en lumière. Lors de l'absorption d'un γ (de 511keV) dans un cristal, une énergie lumineuse sous forme de flux de photons isotrope proportionnelle à son énergie de 511 keV en moyenne sera émise.

Selon l'incidence du gamma par rapport au cristaux, les photons émis par scintillation ne partiront pas tous directement dans la photo-cathode. Certains photons iront se réfléchir sur les réflecteurs en téflon du LYSO comme sur la figure 0.1.3a avant d'arriver dans la photo-cathode.

Pour les imageur de TEP clinique, les PMTs sont disposés en étoile tout autour du patient comme sur la figure 0.1.2. Contrairement aux imageurs de TEP clinique, le DPGA de la figure 0.1.3b n'a

qu'une portion de ses cassettes de PMT sur cette disposition en étoile car le faisceau de protons doit faire le tour du patient, le champ devant être libéré de toute instrumentation sur le parcours du faisceau. Le DPGA doit donc reconstituer la position du pic de Bragg avec au moins autant de précision qu'un imageur de TEP clinique reconstitue les tumeurs mais avec moins de PMT.

Dans le cas de la TEP clinique (injection d'un agent vecteur de radiation, comme le glucose associé à du Fluor radioactif (FDG) sur le patient), ces signaux sont traités pour reconstituer une imagerie précise des tumeurs. Une détection de seuils à 511 keV plus ou moins un seuil d'erreur des signaux des PMT suffit. Une architecture d'électronique avec des mémoires analogiques et à déclenchement d'acquisition sur seuil remplit très bien cette fonctionnalité.

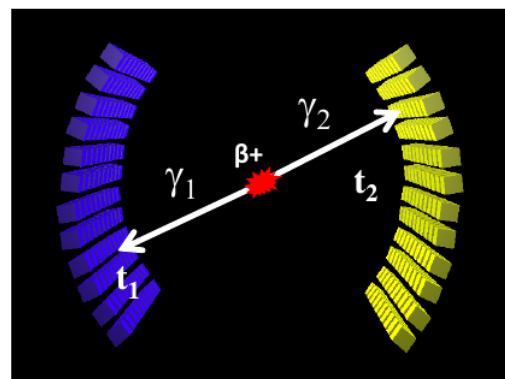
Dans le cas de la TEP en ligne, ces signaux sont traités dans le but de visualiser la désintégration des β^+ émis par le faisceau en temps réel. Ce retour d'informations permet de contrôler l'énergie et l'orientation de ce faisceau afin de contrôler la cible balistique avec le pic de Bragg. Le terme de "contrôle balistique" est donc plus adapté que "imageur" pour parler de cet instrument de TEP.

Un système d'acquisition et de traitement de données (DAQ) rapide a été conçu au sein du laboratoire. Il continue de faire l'objet d'un travail de développement intensif. Contrairement à la TEP clinique, des particules à plus haute énergie que les 511 keV ne provenant pas de la désintégration des β^+ sont émises (on parle alors de γ prompt). Elles sont également détectées par les photodétecteurs. Une détection de seuil supérieur à 511 keV plus un delta permet de rejeter ces particules en faisant une fenêtre de détection.

Des 1^{ers} tests expérimentaux ont montré que cette sélection par l'intermédiaire d'une fenêtre en énergie autour de 511 keV des signaux issus des PMT n'était pas suffisante. Les signaux physiques des 2 γ colinéaires à 511 keV de chaque LOR (issus de la désintégration des β^+) doit être isolée du bruit de fond des γ prompts. Une autre architecture de lecture de signaux est donc requise.

Une autre fenêtre de sélection peut être réalisée en utilisant une des caractéristiques des β^+ : les 2 γ colinéaires à 511 keV de chaque LOR sont émis simultanément dans le temps. Ils sont donc détectés en même temps plus ou moins un delta selon la position de la désintégration du β^+ comme le montre la figure 0.1.4.

L'inclusion de la mesure du temps de vol (TOF) des γ permet d'améliorer considérablement l'efficacité du détecteur. Par ailleurs, l'utilisation du TOF a permis également d'améliorer la sensibilité des TEP cliniques. Si une résolution de l'ordre de 400 ps est suffisante pour les TEP cliniques, des études préalables ([19]) ont montré qu'une résolution temporelle de l'ordre de la centaine de picosecondes était nécessaire pour le contrôle balistique en hadron-thérapie. Or les déformations du signal ne permettent pas de reconstituer une telle résolution temporelle avec une détection de seuil. Un filtrage optimal est nécessaire avant la détection de seuil [20]. Ce processus ne peut être accompli qu'avec des signaux numériques. La résolution sur le temps de vol est directement liée à la fréquence d'échantillonnage des signaux.



$$t_{\gamma\gamma} = \frac{t_1 + t_2}{2}$$

Fig. 0.1.4 – Extraction du temps de vol (TOF) des γ détectés pour reconstruire la position du β^+ sur le DPGA

0.1.3 Architecture de l'électronique du DPGA

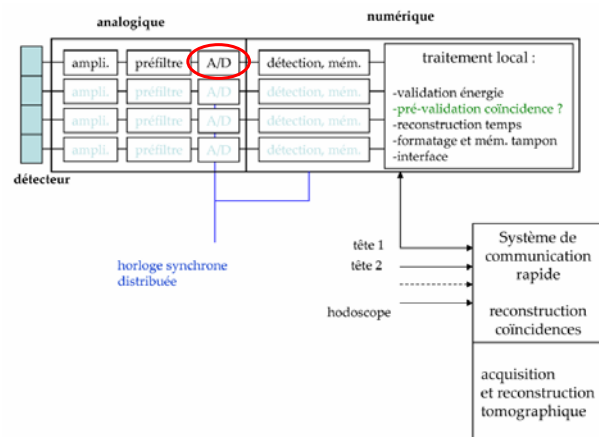
Les travaux de recherches du groupe AVIRM ont conduit à un concept d'électronique de lecture dont le synoptique est donné sur la figure 0.1.5a.

Idéalement l'ADC échantillonne le signal de chaque voie en flux continu. Les traitements de filtrage de particules d'énergies au delà de 511 keV (γ prompt par exemple) et en deçà (rayons cosmiques) plus ou moins un seuil de tolérance se font sur les signaux numérisés après la conversion de l'ADC. L'architecture de l'électronique implémentée actuellement est donnée sur la figure 0.1.5b. Elle emploie des mémoires analogiques circulaires 10 bits de type SCA (switch capacitor array) qui permettent d'échantillonner un signal analogique à 5 GHz et de les stocker pendant $1024 \times 200\text{ps} = 204.8\text{ns}$. En parallèle, le signal analogique est comparé avec un seuil haut et un seuil bas pour réaliser un fenêtrage et donc une discrimination de signaux. C'est le résultat de ce fenêtrage qui stoppe le SCA pour permettre la **quantification**² de chaque échantillon en mémoire. La conversion des échantillons est donc réalisée par l'ADC 20 MHz 12 bits.

Le temps mort induit par le déclenchement du SCA ne permet pas de quantifier en temps réel tous les signaux générés par l'absorption des γ . Par conséquent, les systèmes de lecture à seuil de déclenchement et de mémoires analogiques ne sont pas adaptés à ce détecteur.

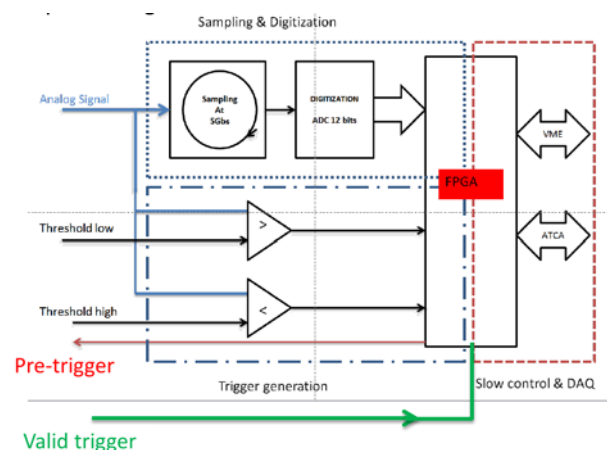
Le besoin de convertisseurs analogiques numériques (ADC) rapides au delà du GHz de fréquence d'échantillonnage est devenu évident dans le cadre du développement de cette DAQ. Les signaux analogiques rapides issus des PMT doivent être convertis en signaux numériques grâce à un ADC pour chaque photodétecteur. Le démonstrateur du DPGA portant le total à 240 PMT actuellement, l'ADC doit également avoir une surface et une consommation réduite.

Le volume de données produites par ce type de circuits de convertisseurs impose un traitement des données sur le Front-end de l'électronique de lecture. L'ADC conçu dans le cadre de ce travail de recherche a donc pour finalité de remplacer cet ensemble en vue de son intégration dans un système sur puce (SoC³) avec un circuit numérique réalisant l'ensemble du traitement numérique de la figure 0.1.5a.



G. 2.15.: Schéma de principe de l'architecture envisagée pour le système d'acquisition de données.

(a) Architecture d'électronique de lecture projetée[21]



(b) Architecture actuelle de l'électronique de lecture du détecteur

Fig. 0.1.5 – Électronique de lecture projetée et implémentée sur le détecteur

2. voir définition 7

3. voir définition 7

0.1.4 Filtrage optimal et extraction du temps de vol des γ

Au premier ordre, le signal électrique issu du photodétecteur suivra une distribution de Landau avec une amplitude proportionnelle à l'énergie du γ de 511 keV, 1.5 à 5 ns de temps de montée (dépend de la qualité du PMT employé) et de 100 ns de temps de descente dès qu'un γ se décompose dans le cristal. En réalité, le retard de chaque photon parcourant plus de distance en se réfléchissant sur les parois en téflon (comme illustré précédemment sur la figure 0.1.3a) déformera ce signal en plus des variations aléatoires. Des exemples de signaux issus des photodétecteurs sont représentés sur la figure 0.1.6. Le signal idéal d'un γ à 511 keV issu du photodétecteur aura une allure suivant une distribution de Landau comme le motif du **Pulse**. La majorité des γ à 511 keV généreront plutôt un **Pile-up** (empilement). À la détection d'un γ prompt, l'amplitude du signal issu du PMT saturera les étages d'électronique dans la chaîne de conversion.

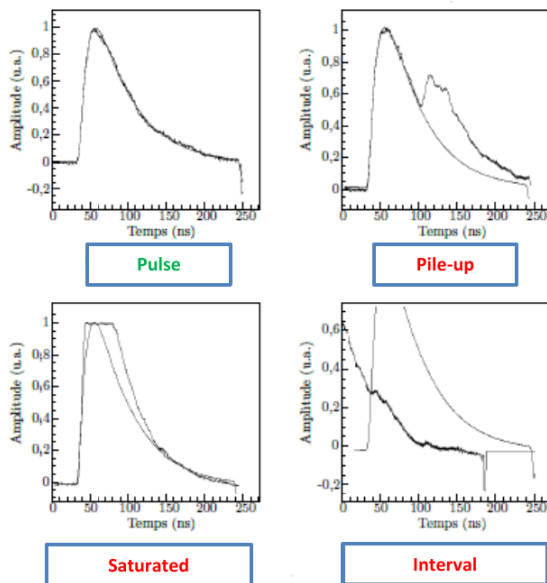


Fig. 0.1.6 – Allure des signaux issus des photodétecteurs

Le principe de la détection de fenêtrage de l'électronique présenté précédemment est d'éliminer les signaux issus des γ prompt. Le filtrage optimal a pour rôle de reconstruire le temps du pic de la distribution de Landau du **Pulse** idéal quel que soit le **Pile-up** que subit le signal avec les dispersions aléatoires. Le temps précis du pic du signal ainsi reconstruit peut donc être comparé avec les temps extraits sur les voies en face du détecteur comme sur la figure 0.1.4. L'électronique du système de communication rapide et de reconstruction de la figure 0.1.5a est développée dans cet objectif. Le temps de vol (TOF) des γ est donc restitué, ce qui permet la reconstruction de la position du β^+ .

Tout le traitement permettant d'extraire le temps du pic du signal issus de la détection d'un γ 511 keV doit donc être intégré dans la même puce que l'ADC en constituant un **SoC** afin de limiter le volume de données par voie à transmettre vers le système de communication rapide et de reconstruction de coïncidences de la figure 0.1.5a.

État de l'art, théorie et implémentations d'ADC rapides

“Car, comme le tissu de l'univers est le plus parfait et qu'il est l'œuvre d'un créateur très sage, il ne se passe absolument rien dans l'univers où n'apparaisse une relation de maximum et de minimum.”

(Leonhard Euler)

Chapitre 1

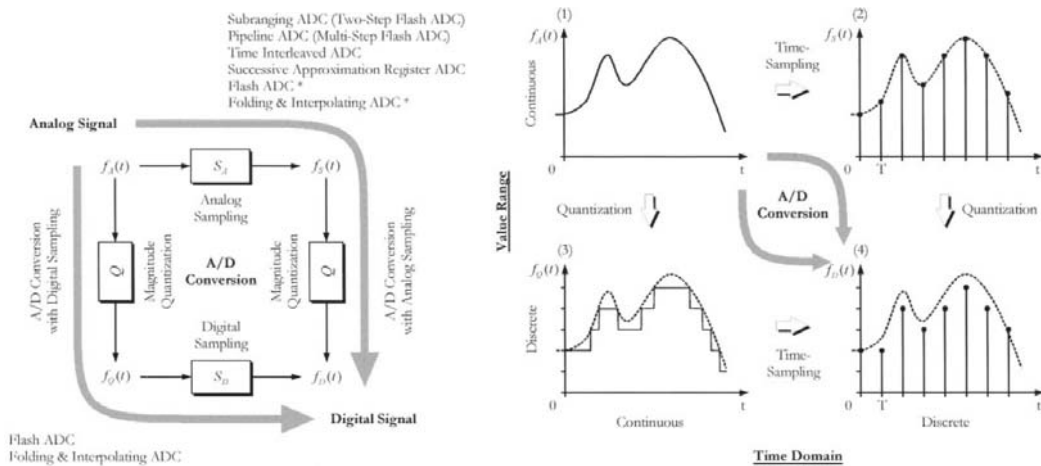
État de l'art des ADC

Les critères permettant de qualifier un ADC doivent être clairement identifiés avant de pouvoir faire un état de l'art. Le concept de l'ADC et sa réalisation dans ce travail de recherche se positionnent en fonction cet état de l'art.

Ce chapitre présente les caractéristiques techniques et la théorie des ADC en s'appuyant sur la bibliographie relevée.

1.1 Théorie des ADC avec l'exemple du flash mode commun

Le principe d'un convertisseur analogique numérique est double. Il doit **quantifier**¹ le signal analogique d'entrée d'une part et échantillonner le(s) signal(aux) à une période donnée d'autre part, on parle d'échantillonnage temporel.



(a) Architectures de Convertisseurs Analo-Numérique [10] (b) Classifications de signaux avant et après échantillonnage et quantification [10]

Fig. 1.1.1 – Classifications de signaux et d'architectures de convertisseurs

En reprenant la figure 1.1.1b, le signal analogique avant échantillonnage et **quantification**¹ est un signal continu en temps et en amplitude. Dans le cas d'une architecture à échantillonnage temporel avant quantification, on parlera d'architecture à échantillonnage analogique. Cette fonction est assurée par un ou plusieurs amplificateurs échantillonneurs bloqueurs.

1. voir définition 7

Au contraire, dans le cas où la quantification se fait avant échantillonnage temporel, on parlera d'architecture à échantillonnage numérique. Cette fonction étant assurée par des comparateurs latchés.

La figure 1.1.1a présente différentes architectures d'ADC avec les différentes séquences dans le processus de conversion. Ces familles seront brièvement présentées et comparés dans ce chapitre.

Un rappel des principes et des caractéristiques des ADC est d'abord présenté avec l'appui d'un exemple d'ADC flash mode commun.

1.1.1 Résolution, pas et erreur de quantification

La résolution d'un ADC est définie par le nombre de bits n qu'il extrait en sortie. L'ADC doit quantifier un signal d'entrée continu V_{in} compris entre $V_{in|min} < V_{in} < V_{in|max}$ sur $2^n - 1$ niveaux, V_{in} pouvant avoir une infinité de valeurs entre ces 2 bornes.

La tension V_{FS} (*full scale*) est appelée la tension de conversion pleine échelle, elle représente la dynamique du signal d'entrée que l'ADC peut quantifier,

$$V_{FS} = V_{in|max} - V_{in|min}$$

Au delà de $V_{in|max}$ ou en deçà de $V_{in|min}$ l'ADC est dit en saturation.

La figure 1.1.2a montre la fonction de transfert d'un ADC 3 bits idéal avec $V_{in|min} = 0$ et $V_{in|max} = 1$.

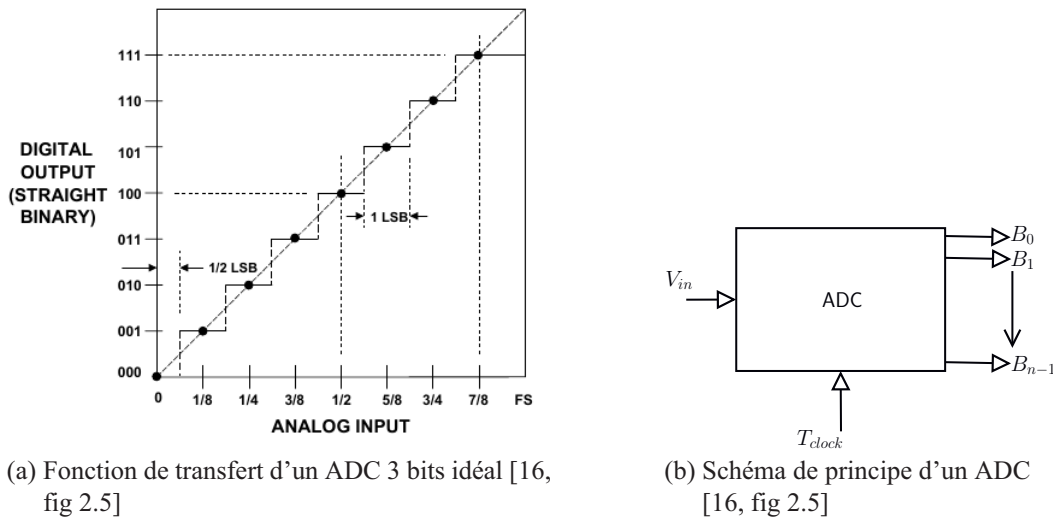


Fig. 1.1.2 – Caractéristiques de l'ADC

Cette notion de dynamique est très importante car elle permet d'augmenter la résolution d'un ADC pour une architecture donnée tout en limitant les erreurs de quantification.

La figure 1.1.2a montre également le pas de quantification d'un ADC, c'est la plus petite tension qu'il est capable de quantifier sur sa dynamique. Dans la littérature courante des ADC [9, 16, 35, p4, p60, p22], cette tension est nommée LSB pour Least Significant Bit (bit de poids faible), ce qui n'est pas cohérent car un bit n'est pas une tension mais un booléen. C'est néanmoins cette convention qui sera choisie, cette tension est aussi appelée pas de quantification et noté Q [35, p3],

$$LSB = \frac{V_{FS}}{2^n - 1} \tag{1.1.1}$$

La sortie de l'ADC étant un code binaire, il est possible de reconstituer cette valeur par un nombre entier D_{out} entre 0 et $2^n - 1$. En reprenant [35, p4],

$$D_{out} = \sum_{m=0}^{n-1} B_m \cdot 2^m \quad (1.1.2)$$

Exemple de l'ADC flash mode commun 8 bits

Le schéma d'un ADC flash mode commun pour 8 bits **rail to rail**² est donné sur la figure 1.1.3a.

L'étage de quantification est précédé d'un réseau de $2^N = 2^8$ soit 256 résistances séries [16, p180] alimenté entre V_{dd} et 0 V. Ce réseau permet d'obtenir les tensions de référence de l'ADC. Il faut que le premier comparateur commute à 1 en sortie à $V_{in} = \frac{Q}{2}$ (comme sur la courbe de la figure 1.1.3b). La première résistance **talon** doit donc être de $R_{ref(1)} = \frac{R_{ref}}{2}$.

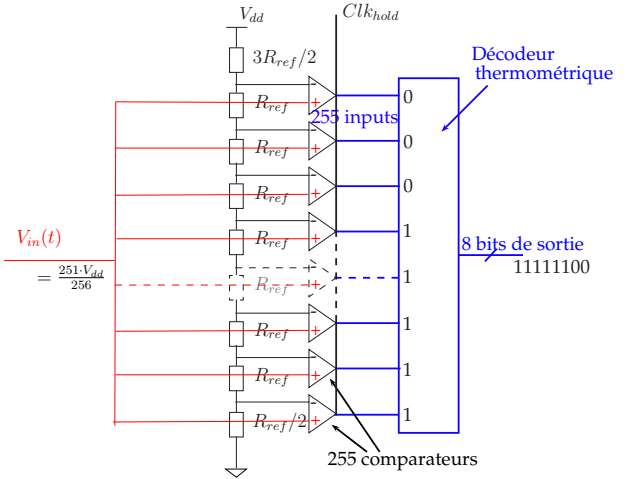
C'est le comportement idéal d'un convertisseur ADC décrit dans [16, p67]. La transition de l'ADC a lieu à $1/2$ LSB au dessus de zéro, puis à chaque LSB, jusqu'à $3/2$ LSB en dessous de la pleine échelle analogique V_{FS} (V_{dd} dans notre cas). Ce qui donne les relations suivantes pour les valeurs de résistances **talons**,

$$\begin{aligned} R_{ref(1)} &= \frac{R_{ref}}{2} \\ R_{ref(256)} &= 3 \frac{R_{ref}}{2} \end{aligned} \quad (1.1.3)$$

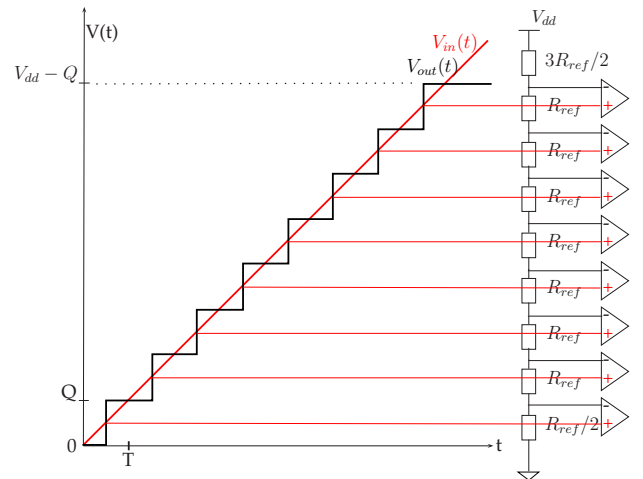
Le réseau de résistances constitue un pont diviseur de tension appliquant une tension de référence $V_{ref(n)}$ en entrée de chaque comparateur n ,

$$\begin{aligned} V_{ref(n)} &= \left(\frac{R_{ref}}{2} + (n-1) \cdot R_{ref} \right) \cdot I_{ref} \\ &= \frac{V_{dd}}{2 * 256} + (n-1) \cdot \frac{V_{dd}}{256} \end{aligned} \quad (1.1.4)$$

La tension de référence du 1er comparateur constitue la tension d'entrée de l'ADC pour laquelle la sortie numérique sera codée 0...1 avec 254 zéros à la sortie des 255 comparateurs. On parle de **code thermométrique**³ de la conversion de l'ADC flash. Il doit être décodé en binaire par un circuit combinatoire. Soit 00000001 en sortie de l'ADC en codage binaire, soit enfin 1 en décimal. Avec la tension $V_{DD} = 1.8 V$ en CMOS 180 nm le pas de quantification pour une architecture pleine échelle est donc $LSB = 7.03 mV$.



(a) Schéma de principe de l'ADC flash mode commun



(b) Erreur de quantification sans erreur d'offset d'un ADC flash à réseau de résistances centré

Fig. 1.1.3 – Schémas de l'ADC mode commun

2. voir définition 4
3. voir définition 1

Il est intéressant de noter que si la tension d'entrée a varié entre $V_{in} = (n-1) \cdot LSB$ et $V_{in} = n \cdot LSB$ entre le moment où le comparateur $n - 1$ et le comparateur n commutent, il y a eu une perte d'information due à cette quantification. Cette perte d'information représente le coût intrinsèque du passage du monde analogique vers le monde numérique. L'art de la conception de circuits pour la conversion de signaux consiste à limiter cette perte d'information de la manière la plus efficace possible. Cette perte est souvent appelée bruit de quantification. On parlera plutôt d'erreur de quantification, terme aussi assez courant dans la littérature [16, 35, p84, p7].

Erreur de quantification et rapport signal à bruit

L'erreur de quantification est calculée à partir de la conversion analogique numérique idéale en sortie de l'ADC. Cette dernière est calculée à partir de l'expression 1.1.2,

$$DAC_{out} = LSB \sum_{m=0}^{n-1} B_m \cdot 2^m \quad (1.1.5)$$

L'erreur de quantification est définie comme la différence entre le signal analogique en entrée de l'ADC et l'expression de sortie 1.1.5 [16, p83],

$$e(t) = V_{in}(t) - DAC_{out}(t)$$

L'erreur de quantification d'un ADC parfait est déterminée en stimulant son entrée avec une (double) rampe. La tension d'entrée V_{in} est soustraite à la tension de sortie V_{out} équivalente au codage binaire de l'ADC multiplié par la tension LSB.

La tension de l'erreur à l'instant t est de $e(t) = V_{in}(t) - V_{out}(t)$ qui est périodique de période $T = \frac{Q}{s}$ avec s la dérivée (pente) du signal d'entrée.

L'erreur moyenne doit être à zéro ($\bar{e}(t) = 0$) simplement en centrant la quantification sur V_{in} c'est-à-dire en ayant une erreur $e(t)$ comprise entre $-\frac{Q}{2}$ et $\frac{Q}{2}$: $-\frac{Q}{2} < e(t) < \frac{Q}{2}$. Ceci est obtenu avec les valeurs de résistances **talons** déterminées en 1.1.3.

L'erreur moyenne effective est calculée sur une période de cette tension où elle est continue par morceaux, soit entre $\frac{T}{2}$ à $\frac{3T}{2}$ par exemple, [16, p84]:

$$\bar{e}^2 = \frac{1}{T} \cdot \int_{-T/2}^{T/2} v^2(t) dt = \frac{2}{T} \cdot \int_0^{T/2} \left(\frac{Q}{T}\right)^2 t^2 dt = \frac{Q^2}{12} \quad (1.1.6)$$

Donc la valeur rms,

$$e_{rms} = \frac{Q}{\sqrt{12}} \quad (1.1.7)$$

Les mêmes valeurs se retrouvent dans la littérature pour les ADC dits idéaux [16, 35, p84, p8].

L'expression de l'amplitude rms de la sinusoïde en entrée de l'ADC est donc donnée à partir de [35, eq 1.11],

$$A_{rms} = \frac{2^n \cdot Q}{2\sqrt{2}}$$

L'expression du rapport signal à bruit est donnée par division de A_{rms} par 1.1.7,

$$S/N = 2^n \sqrt{1.5}$$

Soit en dB ,

$$S/N_{dB} = n * 6.02 + 1.76$$

La dynamique d'un système est définie comme le rapport S/N de ce système sur une bande passante égale à la moitié de la fréquence d'échantillonnage (cf [35, def p9]).

1.1.2 Non linéarité intégrale et différentielle

L'erreur Δ_{error} d'un ADC peut être défini comme la différence entre la sortie réelle de l'ADC issue du code binaire DAC_{out} de l'expression 1.1.5 et la sortie idéale .

Il est aussi égal à la différence des erreurs de quantification réelle et idéale ,

$$\begin{aligned} \Delta_{error}(t) &= DAC_{ideal}(t) - DAC_{out}(t) \\ &= e_{out}(t) - e_{ideal}(t) \end{aligned} \quad (1.1.8)$$

La non linéarité intégrale de l'ADC est définie comme la somme de toutes les erreurs RMS. m^{ieme} bit est la différence de la somme d'erreur de ce bit $\sum_{m=0}^{n-1} \epsilon_m$ et de l'erreur du bit de poids fort de l'ADC avec [35, eq 2.12-13],

$$\begin{aligned} INL &= \left(\frac{2^{n-1}}{2^n - 1} \sum_{m=0}^{n-1} \epsilon_m \right) - \epsilon_{n-1} \\ &= \sum_{m=0}^{n-1} \Delta_{error+} = - \sum_{m=0}^{n-1} \Delta_{error-} \end{aligned}$$

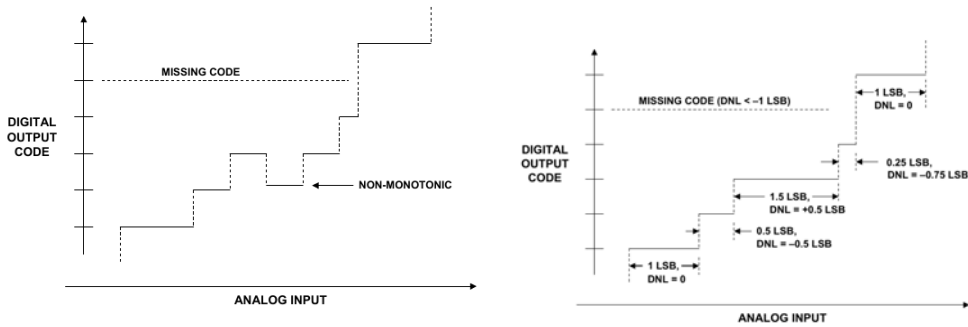


Figure 2.22: Non-Monotonic ADC with Missing Code

(a) Non monotonicité et code manquant d'un ADC

(b) Non linéarité différentielle d'un ADC

Fig. 1.1.4 – Erreurs de non linéarités de l'ADC dues aux comparateurs [16, p71]

La DNL d'un ADC peut aussi être évaluée par la mesure de l'amplitude du signal en entrée au seuil de commutation (à chaque changement de code) sur la dynamique V_{FS} de l'ADC. En reprenant [35, eq 2.17], la non linéarité différentielle équivalente pour chaque LSB est donnée,

$$DNL(n) = A_{in}(Q_n) - A_{in}(Q_{n-1}) - 1LSB \quad (1.1.9)$$

La DNL(n) maximum sur toute l'échelle est considérée comme la DNL de l'ADC.

L'expression 1.1.8 permet de voir le lien entre l'erreur de quantification et la non linéarité.

L'expression 1.1.9 donne une DNL en volt. Elle est souvent divisée par le LSB afin d'exprimer la DNL en LSB comme sur la figure 1.1.4b.

1.1.2.1 Influence de l'hystérésis des comparateurs

En électronique discrète, le cycle d'hystérésis d'un comparateur peut être volontairement augmenté en choisissant le rapport de l'impédance d'entrée et de l'impédance de rebouclage positif[46, p17] (voir figure 1.1.5a). Ceci permet d'éliminer la métastabilité autour du seuil de commutation.

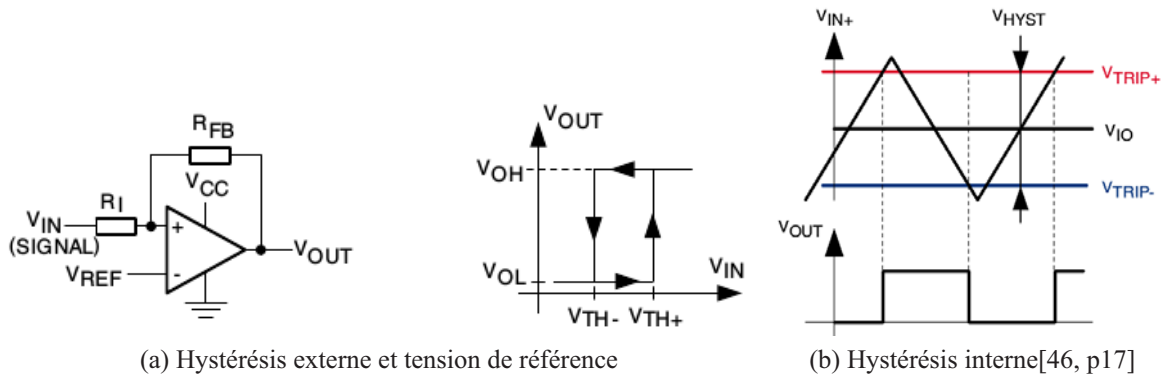


Fig. 1.1.5 – Comparateur non-inverseur avec hystérésis

Par analogie, pour la stabilité d'un amplificateur, un rebouclage négatif avec une capacité de compensation est introduite en interne [15, 46, p637, p4]. Dans le cas du comparateur, ce sera un rebouclage positif[46, p16].

Toute architecture de comparateur peut être conçue avec une tension d'hystérésis interne. Elle est déduite des mesures des tensions de commutation du comparateur à basse fréquence pour s'affranchir du temps de propagation du comparateur.

À plus haute fréquence du signal d'entrée, la différence entre le temps de montée et de descente accentue cette hystérésis. On a donc les tensions de commutation qui sont données quand V_{in} augmente, V_{trip+} et quand V_{in} diminue, V_{trip-} comme sur la figure 1.1.5b. C'est la différence des tensions de commutation qui donne la tension d'hystérésis[46, p9].

$$V_{HYST} = V_{trip+} - V_{trip-} \quad (1.1.10)$$

Voyons l'influence de l'hystérésis des comparateurs sur la réponse de l'ADC en augmentant la tension V_{in} de 0 V à $+V_{dd}$ puis en la diminuant de $+V_{dd}$ à 0 V (double rampe).

Sur la figure 1.1.6, on observe que la tension d'hystérésis introduit un décalage de la quantification à chaque pas de quantification. Ce qui se traduit par une erreur de quantification pour

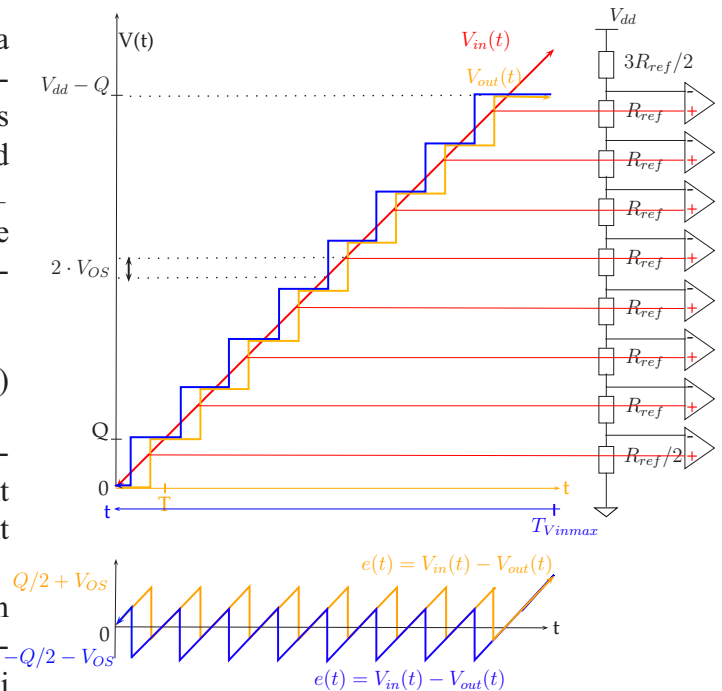


Fig. 1.1.6 – réponse de l'ADC à $0 < V_{OS} < LSB/2$ constant et centré à 0

l'ADC sur une simple rampe. Il convient donc de contenir la tension d'hystérésis de chaque comparateur inférieure au pas de quantification et centrée autour de 0.

$$0 < V_{HYST} < LSB \quad (1.1.11)$$

La tension d'hystérésis selon la fréquence du signal d'entrée est à prendre en compte lors de sa conception en comparant différentes architectures et dimensionnements.

1.1.2.2 Influence de l'offset des comparateurs

La tension d'offset du comparateur quant à elle, est le décalage de ce cycle d'hystérésis idéalement centré sur zéro (voir figure 1.1.7a) vers une tension non nulle (voir figure 1.1.7b). Elle traduit l'asymétrie aléatoire du comparateur, on parle plus souvent donc de son écart type σ_{OS} . Elle est aussi déduite des mesures des tensions de commutation V_{trip+} et V_{trip-} en calculant la moyenne[46, p9].

$$V_{IO} = \frac{V_{trip+} + V_{trip-}}{2} \quad (1.1.12)$$

Toujours en prenant l'exemple d'un tirage en Monte Carlo d'un comparateur à rééquilibrage de charge, mais cette fois avec $V_{trip+} = 18 \mu V$ et $V_{trip-} = -6 \mu V$, la tension d'hystérésis reste de $V_{HYST} = 24 \mu V$ mais la tension d'offset n'est plus nulle, mais a une valeur de $V_{IO} = \frac{18+(-6)}{2} = 6 \mu V$.

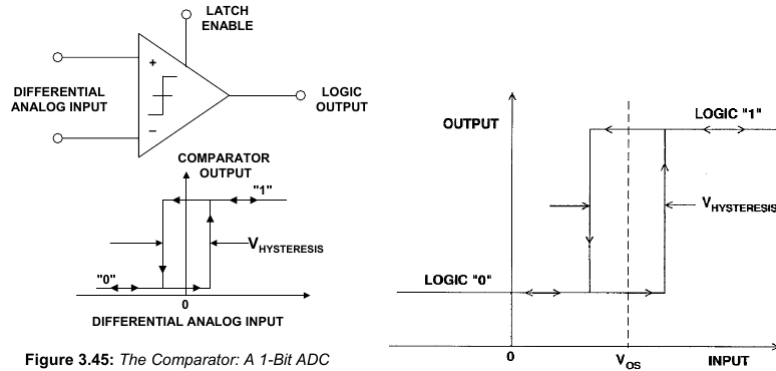


Figure 3.45: The Comparator: A 1-Bit ADC
 (a) Hystérésis d'un comparateur[16, p178]
 (b) Hystérésis et tension d'offset d'un comparateur[24, p3]

Fig. 1.1.7 – Extraction des tensions d'offset et d'hystérésis à partir des mesures

L'approximation de la tension d'offset V_{OS} comme la somme (ou de la différence si V_{IO}) de la tension d'offset en entrée V_{IO} et de la moitié de la tension d'hystérésis V_{HYST} peut être faite. Il s'agit en fait de la tension de commutation la plus grande en valeur absolue, soit V_{trip+} quand $V_{IO} > 0$ et V_{trip-} quand $V_{IO} < 0$,

$$V_{OS} = V_{IO} \pm \frac{V_{HYST}}{2} \quad (1.1.13)$$

Le comparateur introduit donc un décalage de la commutation avec le cycle d'hystérésis. Ceci se traduit par une erreur d'offset de l'ADC avec les signaux numériques issus de la conversion car les comparateurs n'auront pas commuté dans ce cycle. Il faudra donc dimensionner le comparateur pour que cette tension d'offset V_{OS} soit inférieure à la spécification du $LSB/2$ [39, p7]. L'équation 1.1.11 doit être revue pour intégrer cette tension d'offset.

$$V_{IO} + \frac{V_{HYST}}{2} < \frac{LSB}{2} \quad (1.1.14)$$

Chaque comparateur doit avoir un offset deux fois inférieur au pas de quantification pour fonctionner. On a l'expression suivante,

$$V_{OS} < \frac{LSB}{2} \quad (1.1.15)$$

Et donc, en reprenant l'équation 1.1.1, on a la spécification de notre comparateur,

$$V_{IO} + \frac{V_{HYST}}{2} < 3.515 \text{ mV} \quad (1.1.16)$$

1.1.2.3 Influence du bruit

Comme vu précédemment, les codes manquants de l'ADC peuvent avoir un impact compromettant pour la conversion de signaux.

Ces codes manquants peuvent avoir pour origine le bruit interne qui s'additionne avec un DNL négatif $> -LSB/2$ comme montré sur la figure 1.1.8 à droite.

Les ADC à large bande souffrent d'un bruit interne d'autant plus important qu'il s'intègre sur toute sa bande passante. Il convient donc de garder le pas de quantification le plus élevé possible afin de rendre l'ADC robuste au bruit.

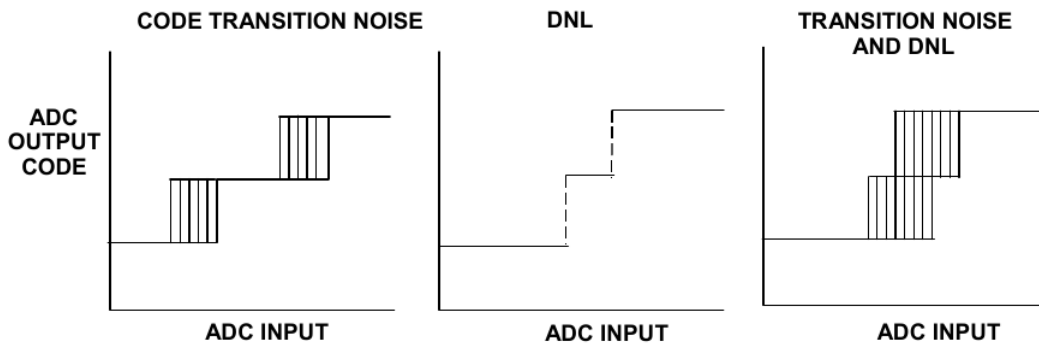


Fig. 1.1.8 – Influence du bruit sur les échelons de la conversion

1.1.2.4 Conclusion

Les erreurs de quantification introduites par les tensions d'hystérésis et d'offset ramenées en entrée ont été identifiées. Le pas de quantification (LSB) doit être suffisamment grand par rapport aux variations de ces sources de non linéarité. La tension de conversion pleine échelle (V_{FS}) est elle dépendante de la résolution de l'ADC. Une résolution de 8 bits est déjà conséquente pour un ADC flash.

1.1.3 ENOB, échantillonnage, bande passante et figures de mérite

La résolution effective dite Effective Number Of Bits (ENOB) est donnée à partir de la mesure du rapport S/N et du taux de distorsion harmonique[35, eq 2.20],

$$ENOB = \frac{SNDR_{mesure} - 1.76}{6.02} \quad (1.1.17)$$

Cette mesure de rapport signal à bruit peut être réalisée avec un signal sinusoïdal basse fréquence en entrée jusqu'à la fréquence de Nyquist [16, p85], c'est à dire avec une sinusoïde d'amplitude maximum de fréquence à la moitié de la fréquence d'échantillonnage. La résolution de l'ADC ainsi mesurée

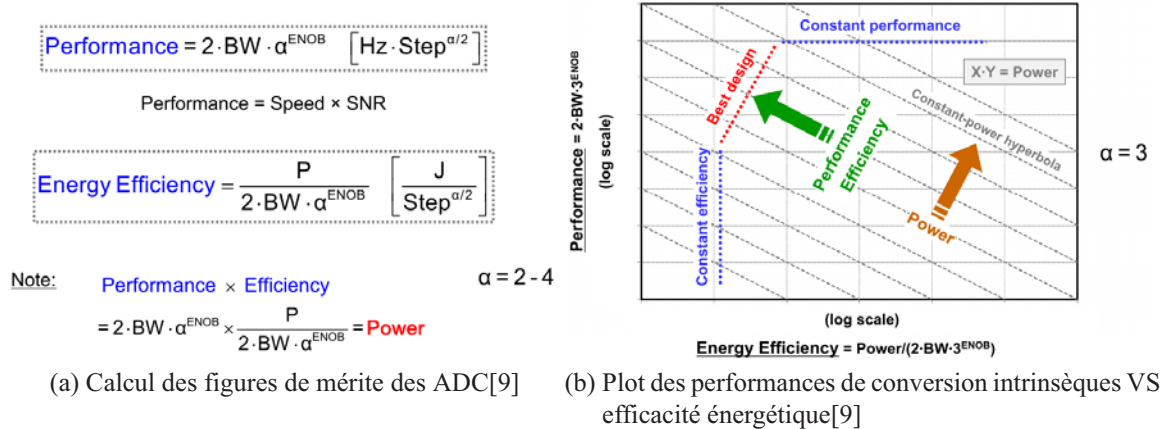


Fig. 1.1.9 – figure de mérite (FoM) Walden

comprend les erreurs de quantification, les erreurs dues au bruit de phase des horloges, les erreurs de distorsion et le bruit interne du circuit.

Avec les performances visées dans notre cas, l'ADC 8 bits aura un ENOB entre 7 et 8 et une bande passante de 200 MHz,

$$2 * 0.2e9 * 3^7 < Performance < 2 * 0.5e9 * 3^8$$

$$8.7480e + 11 Hz \cdot Step^{3/2} < Performance < 6.5610e + 12 Hz \cdot Step^{3/2} \quad (1.1.18)$$

1.1.4 Architectures à échantillonnage numérique VS analogique : le Track & Hold

Les architectures SAR, pipeline et multi-steps offrent l'avantage évident de la surface et la consommation réduite pour des applications low power [4, 9, 17]. Pour peu que les contraintes d'échantillonnage et de bande passante ne soient pas trop importantes par rapport aux performances de la technologie[35, 16], elles présentent de très intéressantes solutions.

Sur la figure 1.1.1a, ce type d'architecture rentre dans la catégorie des architectures multi-step à échantillonnage analogique. Le processus de quantification/conversion en signaux numériques intervient après un figeage du signal analogique d'entrée de l'ADC.

Ce figeage, indispensable pour une quantification en plusieurs étapes, est matérialisé par un Track/Sample and Hold (T&H).

Le temps d'établissement du signal de sortie de cet élément doit être très inférieur à la moitié de la période d'échantillonnage. Dans notre cas à 2 Gech/s, ceci correspond à un temps de montée de 100 ps, donc une bande passante de 4 GHz.

Les simulations effectuées avec la technologie retenue n'ont pas permis d'atteindre un compromis satisfaisant entre les 100 ps de temps de montée et la dynamique adaptée à la précision nécessaire. Ces constatations sont également confortées par l'étude bibliographique du tableau 1.1 qui n'a pas montré de T&Hold à 2 Gech/s dans une technologie CMOS 180 nm. C'est pourquoi toutes les architectures à échantillonnage analogique (fig 1.1.1a) n'ont pas été retenues.

1.2 État de l'art des ADC

Le nœud CMOS 180nm

ref	techno nm	resolution (ENOB) bits	f_{sample} S/s	consommation W	année	archi	T&H	Autres
Loeher[28]	180	1.5	2.5 G	?	2015	flash	Y	Yield>95%
		16 (12)	200 M	?		pipeline	Y	
Taft Francese[47]	180	10 (9.1)	1 G	2.52	2009	fold	Y	
Aytar[5]	350	9	1 G	375 m	2008	fold& TIQ	N	
Triveni Kalita[22]	180	4 (3.9)	5.12 G	4.19 m	2016	flash QV	N	
Daehyeok [25]	45	8 (6.56)	2 G	80 m	2016	fold	Y	

Tab. 1.1 – État de l'art des ADC autour du nœud technologique 180nm

Le nœud technologique de la CMOS 180 nm est arrivé à maturation, il présente aujourd'hui une très bonne alternative pour les projets de R&D à "petits" budgets et aux moyens limités par rapport aux technologies "high end" que sont par exemple les nœuds 130, 90 et 65nm chez des fondeurs tels qu'IBM ou TSMC extrêmement coûteuses en multi-projet (MPW).

Un état de l'art est donc présenté. Les résultats sont donnés sur le tableau 1.1.

Plusieurs conclusions peuvent en être tirées.

- Les architectures de repliement sont limitées en fréquence d'échantillonnage pour un nœud technologique donné et la consommation reste élevée pour une résolution suffisamment importante.
- Rares sont les ADC flash avec une résolution dépassant les 5 bits
- Les T&H sont souvent employés pour des CAN de fréquence d'échantillonnage inférieures ou égales à 1 GS/s
- Les figures de mérites type Wallden ne sont que très rarement données. Les performances d'une architecture d'ADC n'est pas seulement donnée par sa fréquence d'échantillonnage, sa résolution, sa consommation et son ENOB (qui peut être mesurée sur une bande passante réduite aux basses fréquences sans précisions dans les publications). Le rendement de fabrication avec le même ENOB[34, 38] et son insensibilité au bruits sont d'autres critères à prendre en compte. Or pour un ADC visant à être produit à quelques centaines d'unités pour un coût réduit, il faut absolument chercher à maximiser les facteurs de mérites de ces critères.

Tous nœuds CMOS

Quelques plots rendent compte de l'état de l'art. La figure 1.2.1a rend compte des ADC réalisés dans l'industrie et dans la recherche académique. Les performances visées avec l'ADC conçu présenté dans ce document sont annotées en **orange**. Elles correspondent aux valeurs de FoM déterminées en équation 1.1.18.

Avec les performances visées en équation 1.1.18, l'ADC se trouverait dans la moyenne de l'état de l'art. La consommation dépendra principalement de l'architecture retenue. Dans le cas d'un ADC flash, elle sera probablement autour de 1 W ce qui place le circuit à droite en termes d'efficacité énergétique.

L'autre aspect non visible ici est le coût de production ramené à un ADC et le rendement de fabrication avec les performances annoncées.

Ce dernier critère est déterminant pour une fabrication rentable avec un nombre d'unités produites permettant d'être compétitif sur le marché des circuits ADC. Le fait que le circuit serve également comme brique de base (IP) pour concevoir des SoC/ASIC plus complets permet d'amortir les coût de développement dans le cadre de ce travail de thèse.

Le fait de concevoir un ADC sur le nœud technologique de la CMOS 180 nm avec les performances visées est donc tout à fait cohérent pour se placer par rapport à l'état de l'art. Les problématiques rencontrées et les solutions techniques apportées représentent une contribution significative.

1.3 Conclusion

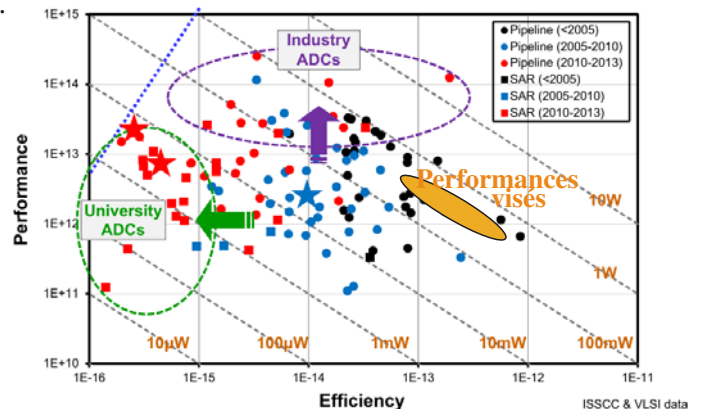
L'état de l'art a révélé deux grandes familles de convertisseurs analogiques numériques. Les architectures parallèles à échantillonnage numérique (contenant les flash et les folders) d'un côté et les architectures multi-steps à échantillonnage analogique (pipeline, quart et demi flash, SAR) de l'autre.

Dans notre cas, l'ADC répond surtout à des besoins de rapidité (fréquence d'échantillonnage f_s) et de consommation tout en ayant une résolution de 8 bits. Les spécifications de l'ADC sont ainsi données,

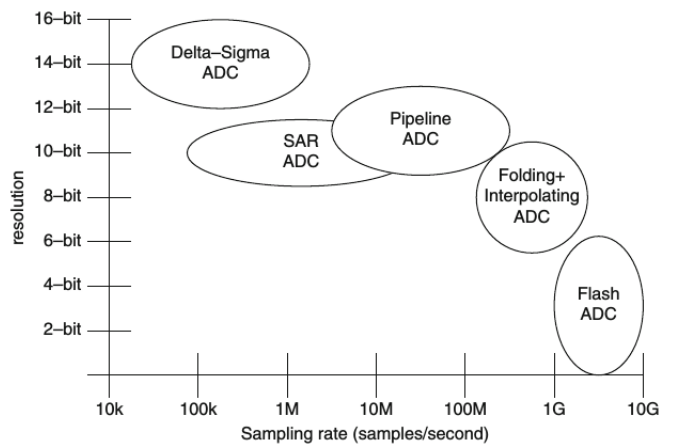
$$\begin{aligned} f_s &= 2 \text{ GHz} \\ n &= 8 \text{ bits} \end{aligned} \quad (1.3.1)$$

Les caractéristiques des ADC présentées dans ce chapitre avec les différentes architectures dans l'état de l'art ont permis d'identifier les caractéristiques critiques pour atteindre les performances voulues. Les résultats de l'étude ont permis de faire le choix de concevoir un ADC à échantillonnage numérique pour le nœud technologique de la CMOS 180 nm et compte tenu des performances visées données par les relations 1.3.1.

Un tel choix implique que la différence de délai entre deux étages de quantifications parallèles dans la chaîne de conversion ne devra pas dépasser 125 ps pour un échantillonnage à 2 GHz.



(a) Performances des ADC de l'état de l'art (2015)[9]



2.8 ADC architecture comparison

(b) Types d'architectures en fonction de la résolution et de la fréquence d'échantillonnage (2010)[4, p12]

Fig. 1.2.1 – Graphiques de l'état de l'art des ADC

Points clés

Positionnement

- ❑ Un état de l'art exhaustif sur différents nœuds a permis de rendre compte des développements réalisés à différents nœuds technologiques.
- ❑ Les coûts de développement et de prototypages de circuits sur les technologies fortement sub micrométriques (<180 nm) ont conduit à choisir la technologie CMOS 180 nm plus abordable que les technos plus récentes.
- ❑ Le cahier des charges est donc clair, concevoir un ADC de 8 bits de 2 GHz de fréquence d'échantillonnage sur la technologie CMOS 180 nm en limitant surface et consommation.
- ❑ Les architectures à échantillonnage analogique avec T&Hold sont exclues de l'étude compte tenu de ce que montre l'état de l'art d'une part et des performances requises d'autre part.

Contributions

- ❑ Les principales caractéristiques des ADCs permettant d'en extraire les performances ont été relevées.
- ❑ Identification qualitative des architectures d'ADC avec les étages et de leurs caractéristiques critiques dans une approche Top-Down de la conception ;
- ❑ L'état de l'art complet des architectures d'ADC a révélé que celles conçus en CMOS 180 nm avaient une résolution de moins de 6 bits pour 2 GHz de fréquence d'échantillonnage.

Chapitre 2

Architectures flash dérivées

Comme vu dans le précédent chapitre, la polarisation des transistors CMOS en région de fonctionnement saturée impose une dynamique limitée sur le signal analogique à quantifier. La tension de conversion pleine échelle V_{FS} doit alors être réduite ce qui réduit la tension de quantification LSB de l'ADC.

En section 1.1.1, il a été démontré que l'architecture flash mode commun en CMOS 180 nm limite le pas de quantification à moins de 7 mV (équation 1.1.1) pour une résolution de 8 bits.

Ceci a pour conséquence d'augmenter les contraintes de **matching**¹ et de bruit des comparateurs utilisés pour quantifier et échantillonner le signal analogique.

Une solution est d'augmenter les tailles des transistors afin de garder l'écart type des variations d'offset des comparateurs ramenés en entrée à moins de $LSB/6$ pour un rendement de 95%. L'augmentation des tailles de transistors impacte directement les performances fréquentielles de l'ADC à cause de l'augmentation proportionnelle de chacune des capacités internes des transistors. C'est pourquoi un préamplificateur analogique est souvent nécessaire pour réduire cette erreur par son gain. Le principe est détaillé dans ce chapitre en section 2.1.

Le gain de $\sqrt{2}$ sur le rapport signal à bruit rend la topologie différentielle pertinente. Les résultats de cette étude sont détaillés dans ce chapitre en section 2.2.

2.1 Comparateurs divisés en préamplificateur et latch

Comme vu dans le chapitre 1, les comparateurs induisent une Non Linéarité à l'ADC à cause de leurs offsets et de leur cycle d'hystérésis. Une solution est de diviser le comparateur en deux étages, un préamplificateur et un latch. Le latch est dimensionné pour atteindre les performances de fréquence d'échantillonnage (avec de petits transistors) tandis que le préamplificateur est dimensionné avec son gain pour réduire les sources de non linéarité du latch (offset, hystérésis et bruits) en entrée du comparateur.

Sur la figure 2.1.1, le comparateur est divisé en un étage préamplificateur et un étage de latch matérialisé par les transistors M4 M6 M7 M8 et M9. Le préamplificateur analogique a une paire différentielle matérialisé par les transistors M1 et M2. Celle-ci est polarisée par une source de courant matérialisée par le transistor M10 et chargée par les transistors M3 et M5 PMOS montés en diodes.

Les transistors du latch auront de multiples changements d'états au court des différentes phases d'échantillonnage, bascule et reset tandis que les transistors du préamplificateur analogique se retrouveront en région de fonctionnement de saturation autour du seuil de quantification.

1. voir définition 2

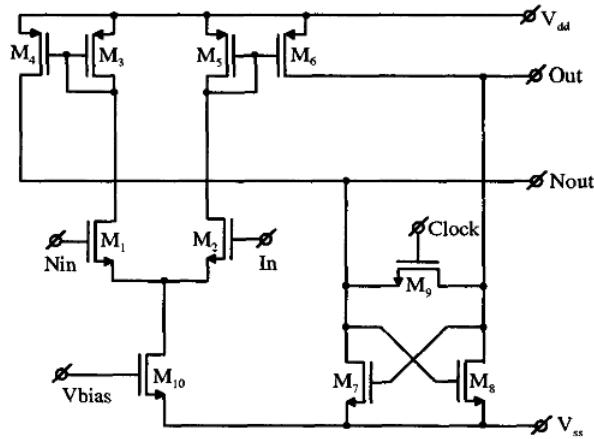


Figure 3.84: Comparator circuit diagram [126]

Fig. 2.1.1 – Schéma d’un comparateur latché sur un signal d’horloge (Clock) avec étage de préamplification et étage de latch propre au comparateur [35, sec3.14.25]

Par convention, les transistors responsables du déclenchement de la commutation du latch dans un sens ou dans l’autre (transistors M4 et M6 sur la figure 2.1.1) sont appelés transistors de trigger. Ils peuvent être vus comme des amplificateurs de déclenchement (trigger) d’un multivibrateur bistable. Ils conduisent l’étage à basculer dans le sens de la différence de tension à leur entrée vers les tensions d’alimentation.

Les transistors ayant pour rôle de rééquilibrer les charges ou de les évacuer lors de la phase de reset sont appelés des interrupteurs (switch). Dans le schéma de la figure 2.1.1, il s’agit du transistor M9 qui rééquilibre les charges entre les nœuds de sortie complémentaires **Out** et **Nout**.

Comme vu dans la section 1.1.2.2, le comparateur latché par une bascule introduit une tension d’offset (dynamique et statique) qui se cumule à la tension d’hystérésis. Ces deux tensions varient de façon aléatoire entre les différents comparateurs d’une même puce (**mismatch**²).

Pour les amplificateurs, la tension d’offset est représentée par une source de tension en série avec une entrée de l’amplificateur [37, fig 13.22]. On parle d’offset ramené en entrée.

L’offset des comparateurs suit la même convention. L’offset de chaque étage d’amplification et de latch peut être ramené en entrée comme sur la figure 2.1.2c,

Avec le gain total,

$$A_T = A_1 \cdot A_2 \cdot A_3$$

L’expression de la tension d’offset totale ra-

2. voir définition 2

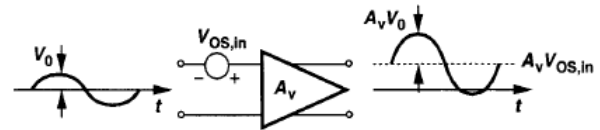
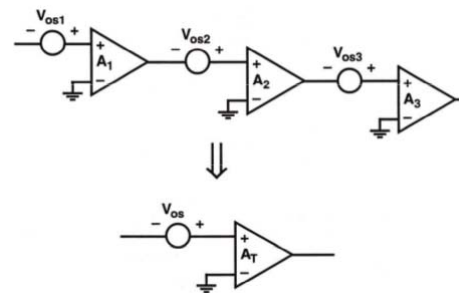
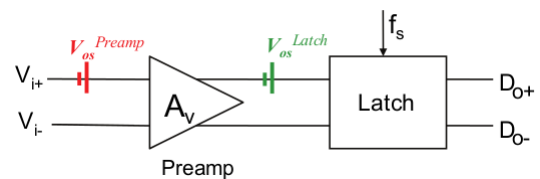


Figure 13.22 Effect of offset in an amplifier.

(a) Représentation de la tension d’offset des amplificateurs[37, fig 13.22]



(b) Offset ramené en entrée d’étages de gains en BO successifs [37, fig 13.22]



(c) Offset ramené en entrée par succession d’étages d’amplification et de latch[12]

Fig. 2.1.2 – Représentation des offsets sur les amplificateurs et les comparateurs

menée en entrée est donnée,

$$V_{OS} = V_{OS1} + \frac{V_{OS2}}{A_1} + \frac{V_{OS3}}{A_2}$$

En considérant la tension d'offset de chaque étage (amplification ou latch) comme une variable aléatoire indépendante, l'écart type d'offset ramené en entrée est ainsi noté,

$$\sigma_{Input-Refered-Offset} = \sqrt{\sigma_{V_{os-Preamp}}^2 + \frac{1}{A_{Preamp}^2} \sigma_{V_{os-latch}}^2} \quad (2.1.1)$$

Avec l'exemple d'un écart type de la tension d'offset du pré ampli $\sigma_{V_{os-Preamp}} = 2 \text{ mV}$, un écart type de la tension d'offset du latch de $\sigma_{V_{os-latch}} = 50 \text{ mV}$ et un gain du préamplificateur de $A_{V0} = 20$,

$$\sigma_{Input-Refered-Offset} = \sqrt{0.002^2 + \frac{1}{400} * 0.05^2} = 3.2 \text{ mV}$$

Cette valeur est satisfaisante pour un rendement de fabrication au delà de 95% pour un $LSB/2 = 7.03 \text{ mV}$ (issu de l'exemple en section 1.1.1) d'une architecture de flash différentielle.

2.1.1 Offset et hystérésis

La tension d'offset V_{IO} et l'hystérésis V_{HYST} du comparateur ont été détaillés en section 1.1.2.2 et 1.1.2.1 respectivement. Avec la variation aléatoire de ces deux tensions, la notion d'offset absolu V_{OS} a été introduite avec l'expression 1.1.13. Pour les bancs de tests, l'expression suivante est extraite en simulation,

$$V_{OS} = V_{IO} + \text{signe}(V_{IO}) * \frac{V_{HYST}}{2} \quad (2.1.2)$$

On parle d'**offset dynamique** et d'**offset statique**. L'effet a été abordé en section 1.1.2.3. L'ensemble cumulé en entrée peut être représenté comme sur la figure 2.1.2c.

2.2 ADC flash différentiel

Le principe de la topologie différentielle par des étages symétriques est présenté sur la figure 2.2.1a. Dans le cas où le mode commun en entrée de l'ampli op doit être rejeté, le montage de la figure 2.2.1a est modifié en entrée pour polariser les transistors M1 et M2 par une source de courant en obtenant une paire différentielle.

Ce principe peut également être porté sur un convertisseur. Le passage d'une conversion de signal mode commun vers un signal différentiel permet alors de doubler la tension de conversion pleine échelle $V_{FS|diff}$ par rapport à celle d'une topologie mode commun $V_{FS|CM}$,

$$V_{FS|diff} = 2 * V_{FS|CM}$$

En reprenant le schéma de la figure 2.2.1b, l'échelle de résistances est constituée de 2^N résistances identiques, elles sont représentées par une instanciation itérative (voir ci-contre). Les tensions de références différentielles sont prises entre les tensions aux nœuds $VS<255-n>$ et $VS<n>$. Elles sont ramenées en entrée de chacun des comparateurs.

$$V_{ref|diff}(n) = VS < 255 - n > - VS < n >$$

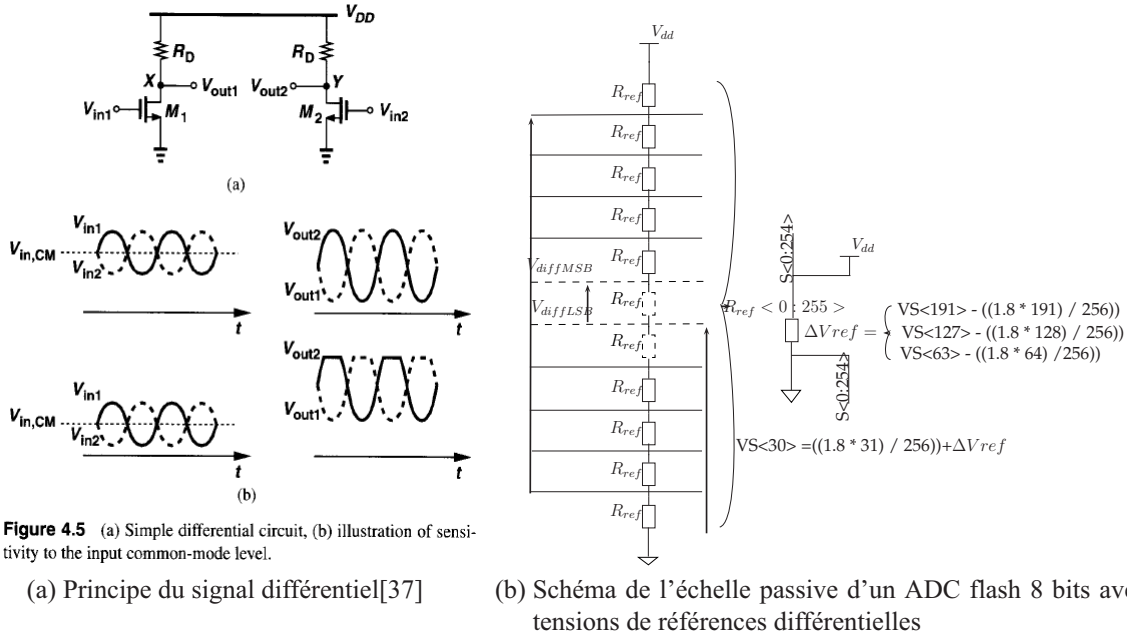


Fig. 2.2.1 – tension de signaux et de références différentielles

La variation aléatoire de ces tensions de références ΔV_{ref} doit être contenue en-dessous du $LSB/2$ avec un rendement suffisant ($> 3 \cdot \sigma(\Delta V_{ref})$)

$$\begin{aligned} \Delta V_{ref} &< LSB_{diff}/2 \\ &< LSB_{CM} \\ 3 \cdot \sigma(\Delta V_{ref}) &< LSB/2 \end{aligned}$$

2.2.1 Échelle de référence active

Le principe de l'ADC flash différentiel à échelle active présenté sur la figure 2.2.2 est de charger une paire différentielle par 2 échelles de résistances. Le $n^{i\text{ème}}$ comparateur est ainsi câblé avec le nœud $V_{ref-}(n)$ sur son entrée négative et le nœud $V_{ref+}(N - n)$ sur son entrée positive.

Les tensions caractéristiques de l'ADC et des transistors M0 et M1 sont ainsi identifiées, $-V_{FS}/2 < V_{in|diff} < V_{FS}/2$, $V_{GS1} = V_{inCM} + V_{in|diff}/2 - V_{DS|Mbias}$ et $V_{GS0} = V_{inCM} - V_{in|diff}/2 - V_{DS|Mbias}$.

Une telle structure est limitée sur sa dynamique. En effet, les polarisations suivantes doivent être combinées lors du dimensionnement des différents éléments,

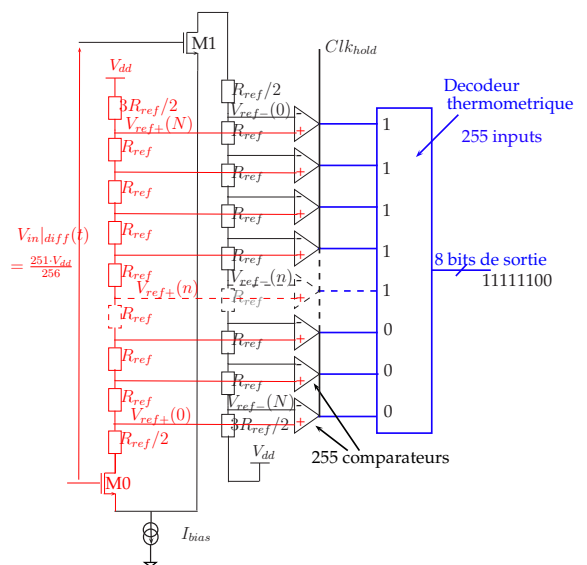


Fig. 2.2.2 – Schéma de l'ADC de N bits à échelle de résistances active

$$V_{DD} - I_{bias} * N \cdot R_{ref} > V_{DSsat}|_{M0}$$

$$V_{DD} - I_{bias} * N \cdot R_{ref} > \frac{V_{FS}}{4} + V_{inCM} - V_{th}|_{M0}$$

$$V_{DD} - I_{bias} * N \cdot R_{ref} - V_{inCM} + V_{th}|_{M0} > \frac{V_{FS}}{4}$$

$$V_{inCM} - \frac{V_{FS}}{4} \geq V_{th}|_{M0} + V_{DSsat}|_{Mbias}$$

$$\frac{V_{FS}}{4} \leq V_{inCM} - V_{th}|_{M0} - V_{DSsat}|_{Mbias}$$

Les résistances étant gravées en polysilicium au même niveau que les grilles de transistor juste au dessus du substrat, elles induisent une capacité parasite qui réduira la bande passante du signal.

La structure d'ADC à échelle de résistances passive est donc plus adaptée pour la dynamique propre qui peut atteindre les tensions d'alimentation. La bande passante n'est plus limitée que par la résistance de sortie interne r_0 de l'amplificateur ou du générateur en amont de l'ADC et la somme des capacités d'entrée des préamplificateurs ($= \Sigma C_{GS}|_{Nin}$) contrairement à la topologie active.

2.2.2 Échelle de référence passive

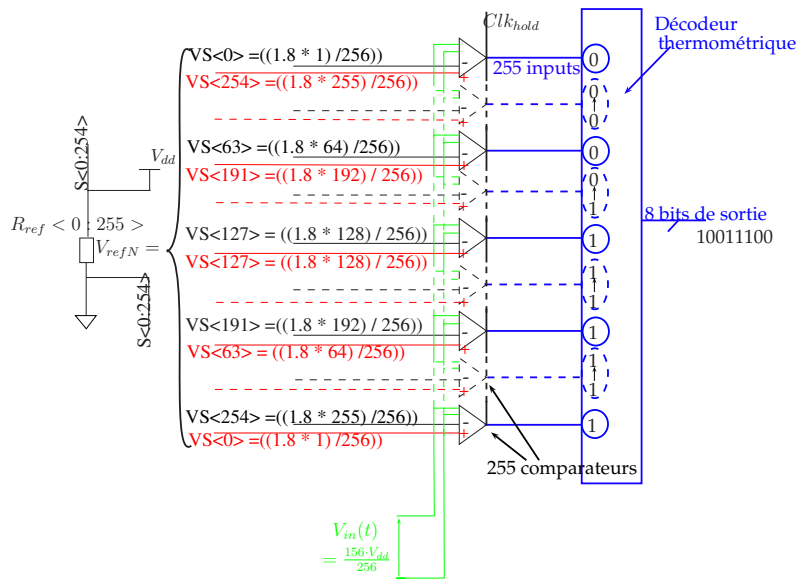


Fig. 2.2.3 – Schéma complet de l'ADC full diff rail to rail

Cette structure reprend l'échelle de résistance de l'ADC mode commun.

La figure 2.2.3 présente un ADC 8 bit "rail to rail". L'échelle de 256 résistances apportant les 255 tensions de référence est alimentée entre V_{DD} et 0 V, ce qui conduit à une dynamique globale de $V_{FS} = 2 * V_{DD}$ et donc un pas de quantification $LSB_{diff} = 2 * LSB_{CM}$.

Chaque préamplificateur de comparateur compare une tension de référence différentielle avec le signal différentiel $V_{in}|_{diff}$. Le 128^e comparateur compare ce signal autour du 0 volt différentiel. Comme illustré sur la figure 2.2.3, ce 0 volt différentiel est obtenu en appliquant la 128^e référence sur l'entrée positive et négative de référence du 128^e préamplificateur.

3. voir définition 4

Le $n^{i\text{eme}}$ préamplificateur se voit ainsi comparer le signal $V_{in}|_{diff}$ à la tension $V_{ref}|_{diff} = V_{Sref} < n > -V_{Sref} < 255 - n >$ alors que le $(255 - n)^{i\text{eme}}$ préamplificateur compare $V_{in}|_{diff}$ à la tension $V_{ref}|_{diff} = V_{Sref} < 255 - n > -V_{Sref} < n >$.

La 128^e tension de référence est donc la tension de mode commun optimale du signal d'entrée différentiel pour polariser les entrées des 255 comparateurs. L'influence de la tension de mode commun du signal d'entrée sur la polarisation des préamplificateurs sera présenté en section 5.2.

2.2.2.1 Couplage des signaux par paire différentielle

Les signaux différentiels ont pour avantage la robustesse aux perturbations externes de CEM et d'interférence entre signaux (diaphonie) si les fils ou les pistes sont propagés côte à côte. Les 2 fils représentés en vert sur la figure 2.2.3 sont matériellement conduits côte à côte sur le dessin de masques. L'effet sur le signal est représenté sur la figure 2.2.4a, ainsi le signal différentiel propagé entre les lignes L_2 et L_3 conserve son intégrité malgré les interférences du signal numérique sur la ligne L_1 qui se rapproche des lignes différentielles. La capacité parasite entre la ligne L_1 et L_2 d'une part et celle entre L_1 et L_3 d'autre part sont les mêmes ainsi que la mutuelle inductance. Par conséquent, l'interférence issue de L_1 par les éléments parasites vient s'ajouter avec la même amplitude et phase au signal sur les lignes L_2 et L_3 .

Ceci a pour effet de faire varier le mode commun du signal qui sera rejeté par la paire de transistors différentielle de l'étage suivant polarisé par une source de courant en conservant l'intégrité du signal différentiel.

2.2.2.2 Découplage de tensions de références

La stabilité des références étant sensible aux interférences provenant des commutations des cellules numériques, il est possible d'implémenter des capacités de découplage afin de filtrer le **kick-back noise**⁴ aux nœuds de l'échelle différentielle passive pour qu'elles soient suffisamment stables.

En reprenant le schéma 2.2.1b, le découplage au niveau des tensions de références est représenté sur chaque nœud avec des capacités C sur la figure 2.2.4b.

L'ADC flash "full différentiel" à échelle passive présente de nets avantages en termes de dynamique et de bande passante par rapport aux flash mode commun et différentiel à échelle active. L'immunité aux interférences est elle aussi améliorée grâce à cette technique.

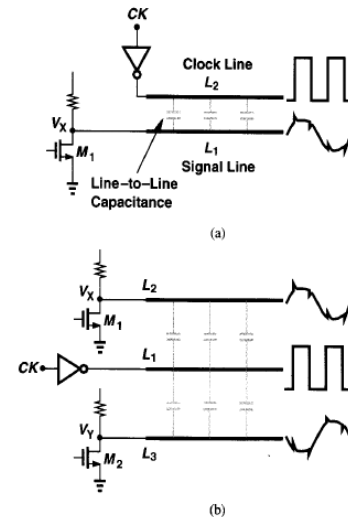
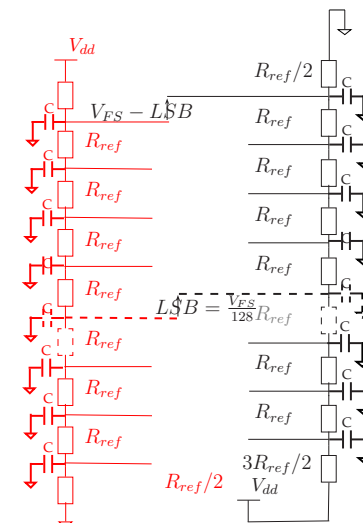


Figure 4.2 (a) Corruption of a signal due to coupling. (b) reduction of coupling by differential operation.

(a) Interférences d'un signal numérique sur un signal analogique en mode commun et d'une paire différentielle[37]



(b) Échelle de référence passive différentielle avec nœuds découplés

Fig. 2.2.4 – Techniques d'amélioration de l'intégrité des signaux et références différentielles

4. voir définition 5

C'est la solution qui a été retenue.

2.2.2.3 Préamplificateur full différentiel

Le passage en différentiel se fait en changeant l'étage d'entrée du préamplificateur. En unipolaire, il est constitué d'une paire différentielle comme sur la figure 2.1.1 avec les transistor M1 et M2 polarisés par la source de courant matérialisé par le transistor M10. Comme sur la figure 2.2.5, le passage en différentiel se fait en changeant cette paire différentielle par 2 paires différentielles.

Dual-Difference Comparator

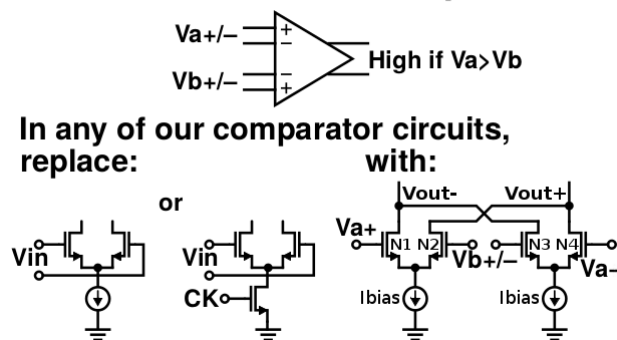


Fig. 2.2.5 – Dual Différence Latch Préamp[41, p31]

2.2.2.4 Conclusion

C'est l'architecture qui a été retenue pour l'ADC. La conception de l'architecture de préamplificateur dual différentiel sera détaillée au chapitre 5 en section 5.2.

La conception et les analyses de simulation de l'échelle de référence sont données en section 7.3.

2.3 ADC TIQ

Comme vu précédemment, l'architecture d'ADC flash conventionnelle nécessite des références issues d'un pont diviseur de tensions matérialisé par une échelle de résistances.

Une alternative à cette architecture consiste à implémenter ces seuils en ajustant les dimensions des transistors de l'étage d'entrée du comparateur assurant la quantification autour de son seuil. Ceci permet ainsi de se passer de références externes.

Une technique consiste à employer un inverseur CMOS comme étage de quantification, c'est la technique dite du TIQ (Threshold Inverter Quantifier)[18].

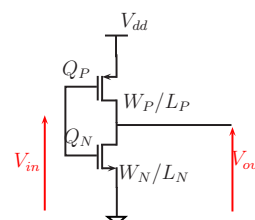


Fig. 2.3.1 – Schéma de l'inverseur CMOS

2.3.1 Rappel du fonctionnement de l'inverseur CMOS

L'inverseur CMOS donné sur la figure 2.3.1 est une porte logique utilisée pour les circuit numériques. Dans ce mode de fonctionnement, les deux transistors PMOS et NMOS parcourent toutes les régions de fonctionnement, de l'état bloqué ($I_D = 0$ et $V_{DS} = V_{DD}$) à l'état triode ($V_{DS} = 0$) de façon complémentaire pour le PMOS et le NMOS et inversement en fonction de l'évolution du signal en entrée, les deux cas sont illustrés sur la figure 2.3.2 et 2.3.3.

La tension de seuil de l'inverseur V_m est définie quand les deux transistors sont en région 2, régime saturé, au point pour lequel la

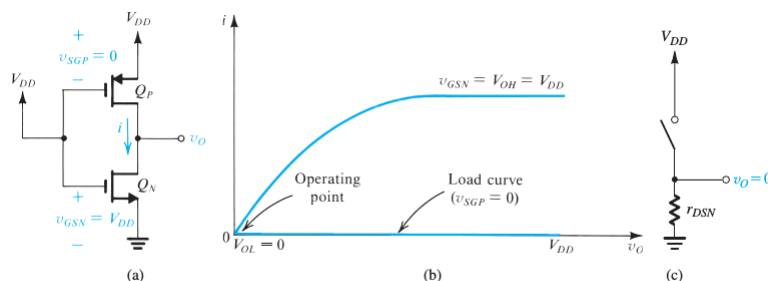


Figure 14.23 Operation of the CMOS inverter when v_i is high: (a) circuit with $v_i = V_{DD}$ (logic-1 level, or V_{OH}); (b) graphical construction to determine the operating point; (c) equivalent circuit.

(a) Polarisation des transistors à $V_{in} = V_{DD}$ [43]

Fig. 2.3.2 – Polarisation de l'inverseur CMOS

tension d'entrée est égale à la tension de sortie.

$$V_{out}(V_{in}) = V_{in} = V_m$$

En résolvant KCL au nœud de sortie avec les équations B.1.2 et B.1.1 level 1 du courant du NMOS et du PMOS d'après [18, eq 3.1] et [43, eq 13.58], V_m est

$$V_m = \frac{\sqrt{\frac{\mu_P W_P}{\mu_N W_N}} (V_{DD} - |V_{tP}|) + V_{tN}}{1 + \sqrt{\frac{\mu_P W_P}{\mu_N W_N}}} \quad (2.3.1)$$

Une résolution symbolique de cette tension V_m a été faite en prenant les valeurs de tension de seuils de la section B.1.2.3 ainsi que les mobilités de porteurs de charges de la section B.1.2.2 et une tension $V_{DD} = 1.8 V$. Une représentation de la matrice correspondante $V_m = f(W_N, W_P)$ pour des largeurs de $0.5 \mu m$ à $100 \mu m$ est donnée en figure 2.3.5b.

Les tensions de seuils des transistors sont également notées $V_{t|N}$ et $V_{t|P}$.

Un inverseur CMOS classique est dimensionné de telle sorte que $V_m = V_{DD}/2$. Ce qui pour la CMOS 180 nm donne la relation suivante,

$$W_N|_{inv} * 2.6 < W_P|_{inv} < W_N|_{inv} * 2.7 \quad (2.3.2)$$

C'est le rapport qui donne la même transconductance g_m au PMOS et au NMOS pour une tension $V_{DS|N} = -V_{DS|P}$. Ceci permet d'avoir un temps de montée égal au temps de descente quand l'un des transistor est bloqué sous le seuil et que l'autre est passant avec sa transconductance.

2.3.2 Principe du TIQ

Les inverseurs à seuils de quantification (TIQ)⁵ sont composés de 2 inverseurs cascades comme sur la figure 2.3.5a a.

L'ADC flash à base de TIQ est donc composé de $2^N - 1$ étages TIQ.

Le 1^{er} inverseur de la figure 2.3.5aa de chaque étage voit son **seuil de commutation** V_m varier sur sa dynamique de 1 à $2^N - 1$ LSB comme sur la courbe de $V_{out} = f(V_{in})$ de la figure 2.3.5ab. Les différentes tensions de seuils sont obtenues par dimensionnement systématique des largeurs de transistors PMOS et NMOS de cet inverseur grâce à l'équation 2.3.1 par des variations ΔW .

Le 2^e inverseur de la figure 2.3.5aa à $V_m = V_{DD}/2$ permet de donner plus de gain et donc de rendre l'étage plus rapide à la commutation numérique (pour atteindre la tension V_{IH} ou V_{IL}). Il joue le rôle d'un **fan-out3** pour amplifier le signal quantifié en sortie du 1^{er} inverseur et le convertir alors en signal numérique de tensions $+V_{DD}$ et 0 V. Ses largeurs de transistors NMOS et PMOS respectent l'équation 2.3.2.

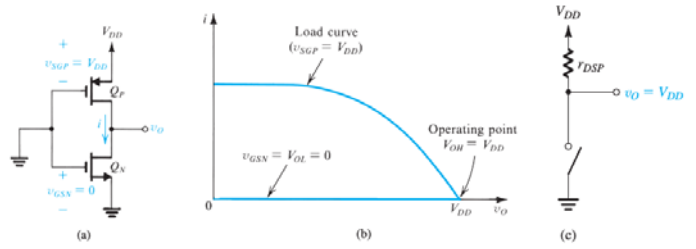


Figure 14.24 Operation of the CMOS inverter when v_i is low: (a) circuit with $v_i = 0 V$ (logic-0 level, or V_{ol}); (b) graphical construction to determine the operating point; (c) equivalent circuit.

(a) Polarisation des transistors à $V_{in} = 0 V$ [43]

Fig. 2.3.3 – Polarisation de l'inverseur CMOS

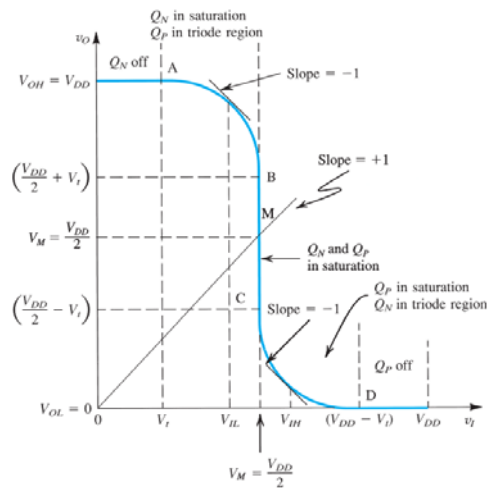


Fig. 2.3.4 – Fonction de transfert DC $V_{out}(V_{in})$ [43]

5. voir définition 10

Le décodage des signaux **thermométriques**⁶ issus de chaque étage TIQ sur la dynamique peut alors être implémenté grâce à une logique combinatoire. Il convient toutefois d'échantillonner les signaux en sortie de chaque TIQ grâce à une bascule FlipFlop D sur le front montant d'horloge afin d'éviter des déphasages entre les signaux de sortie. C'est ce qui permet une synchronisation des échantillonnages.

Il est ainsi possible de définir les limites d'opération du comparateur TIQ comme comparateur pour un ADC avec les tensions V_{FS} et LSB à partir des limites d'opération des transistors en région 0 (càd quand $V_{DD} - |V_{thP}| > V_{in} > V_{thN}$).

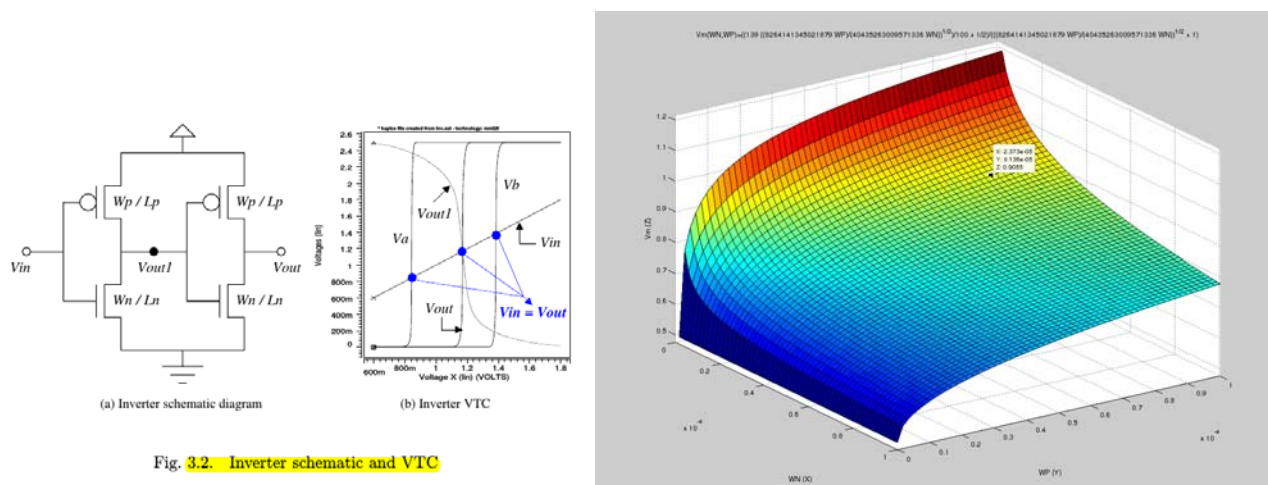


Fig. 3.2. Inverter schematic and VTC

(a) Schemas de l'étage de TIQ et différents V_m sur la (b) Courbe matricielle de la résolution symbolique de l'équation fonction de transfert DC [18] 2.3.1 de $V_m = f(W_N, W_P)$

Fig. 2.3.5 – Variation systématique des largeurs de transistors PMOS et NMOS pour obtenir les différents seuils de commutation

La tension de dynamique pleine échelle est ainsi donnée en CMOS 180 nm,

$$\begin{aligned} V_{FS} &= V_{DD} - |V_{thP}| - V_{thN} \\ &= 1.8 - 0.41 - 0.5 \\ &= 0.89 V \end{aligned} \quad (2.3.3)$$

Le pas de quantification d'un ADC sur 8 bits en est directement déduit,

$$\begin{aligned} LSB &= \frac{V_{DD} - |V_{thP}| - V_{thN}}{2^8 - 1} \\ &= 3 mV \end{aligned} \quad (2.3.4)$$

Il apparaît donc que la dynamique est réduite du fait des tensions de seuils et d'alimentation des transistors. La dépendance de l'équation 2.3.1 de V_m aux géométries des transistors et à leurs tensions de seuil rendent la linéarité de l'ADC à base de TIQ très sensible aux variations de **mismatch**⁷. Le fait que cette quantification ne soit pas sur un signal différentiel rend impossible toute technique de **matching** par symétrie. Des risques d'introduction de non linéarité conduisant à des codes manquants ou

6. voir définition 1

7. voir définition 2

des non monotonicités sont à prévoir si les ΔW sont trop faibles ($< 0.5 \mu m$) entre 2 inverseurs d'entrée de 2 TIQ adjacents TIQ(n) et TIQ(n-1). Ils sont en effet dimensionnés pour avoir leurs différence de seuils d'un LSB , soit $V_m(n) - V_m(n-1) = LSB$.

Les variations de process feront varier la tension de mode commun des seuils V_m entre différents échantillons de puces. Bien que cette variation ne puisse être corrigée au niveau de l'ADC. Une calibration externe peut être implémentée.

2.3.3 Algorithme SSV et extraction de la matrice de seuils

$$V_m = f(W_N, W_P)$$

- L'algorithme proposé par Jincheol et Yoo [18, eq 3.1] basé sur la technique dite de variation de dimensions systématique (SSV) permet d'extraire les dimensions des transistors du premier inverseur CMOS de chaque étage de TIQ pour obtenir un ADC complet.
- Cet algorithme extrait la largeur du PMOS et du NMOS en augmentant successivement la largeur du PMOS d'un ΔW_{min} tout en diminuant la largeur du NMOS de ce même ΔW_{min} en suivant une variation linéaire de la tension de seuil V_m . Cette extraction se fait à partir d'une matrice de données des tensions V_m comme celle de la figure 2.3.5b mais obtenue de façon expérimentale par simulation de la structure de l'inverseur pour différentes largeurs de NMOS et de PMOS.
- Initialement, il part d'une largeur de NMOS W_{Ninit} et de PMOS W_{Pinit} . Pour le dernier inverseur de l'ADC, la largeur du NMOS tend vers la largeur W_{Pinit} .
- Une extraction de la même matrice a donc été générée sur 166 par 166 largeurs de PMOS et NMOS de simulations SPECTRE transitoires. L'idée étant de retrouver cet algorithme sur matlab $V_m = V_{out} = V_{in}$. La matrice est donnée sur la figure 2.3.6.
- Le code ne permet pas d'extraire les tensions de seuils V_m avec la méthode de SSV pour l'instant, il est donné en section B.3.1.
- Cette extraction de simulation paramétrique prend la moyenne de la tension de commutation V_m à une rampe montante et la tension V_m à une rampe descendante. Or, selon la période de cette rampe, il peut y avoir un écart important (grande tension d'hystérésis)
- Comme vu précédemment, cette tension d'hystérésis est à l'origine d'un cumul d'erreurs de non linéarité et doit être contenue à moins de $LSB/2$ pour conserver une résolution effective d'au moins 1 LSB en dessous de la résolution implémentée. Par conséquent le choix du comparateur TIQ devra être judicieusement comparé aux comparateurs latch pour la résolution (8 bits) et bande passante analogique (compte tenu de la fréquence d'échantillonnage $2 GS/s$)

2.3.4 Conclusion sur le portage du TIQ en CMOS 180nm

L'étude temporelle des ADC TIQ est laissée en annexe en section B.3.2. Les analyses de résultats de simulations des circuits synthétisés en CMOS 180 nm sont en section B.3.3.

Les résultats de simulation nominale ont montré des résolutions effectives de moins de 3 bits pour des signaux au delà du MHz. La résolution effective obtenue est en réalité encore réduite. L'étude réalisée ici ne prenant pas en compte le bruit ni les dispersions aléatoires des paramètres des transistors. En effet, un pas de quantification de 3 à 4 mV est très proche des écarts types des offset de tensions de commutation et du bruit ramenés en entrée. Ce qui rend ces types de comparateurs encore moins adaptés pour réaliser un ADC de 8 bits de résolution.

Les tensions d'hystérésis (plusieurs dizaines de mV jusqu'à 10 MHz) obtenues ne permettent pas une implémentation avec les performances visées.

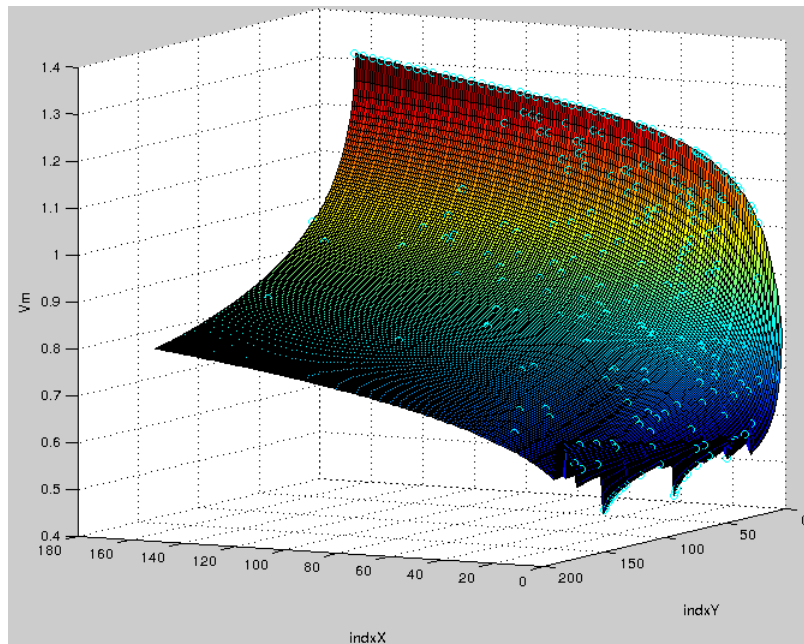


Fig. 2.3.6 – Matrice d'extraction des tensions V_m par mesure en simulation de l'inverseur en CMOS 180 nm en réponse à une double rampe

2.4 Autres variantes communes

2.4.1 Moyennage (*averaging*)

Le principe du moyennage (*averaging*) est de réduire les dispersions d'offset entre les différentes sorties des préamplificateurs d'un ADC par l'insertion d'une résistance entre la sortie de chaque préamplificateur et la sortie de son préamplificateur adjacent comme sur la figure 2.4.1. L'offset ramené en entrée en est d'autant plus réduit.

La sortie de chaque comparateur n'est plus déterminée simplement par leur propre décision individuelle mais aussi par celles de ses voisins.

Dans le cas de préamplificateurs différentiels en sortie, une structure d'averaging de type Moebius peut être implémentée comme en figure 2.4.1. Une résistance de rebouclage est insérée entre la 128^e sortie négative des préamplificateurs et la 1^{ère} sortie positive des préamplificateurs. De même, une résistance de même valeur reboucle la 128^e sortie positive avec la 1^{ère} sortie négative.

Ces résistances ont pour effet de rajouter encore plus de bruit blanc au système.

De plus, en CMOS 180 nm, elles sont gravées en polysilicium juste au dessus du substrat. Cette proximité a pour effet d'augmenter la capacité parasite entre la résistance et le substrat.

2.4.2 Interpolation

L'idée de l'interpolation est encore de réduire le nombre d'étages de prétraitement analogique dans le but de limiter la capacité d'entrée et d'augmenter la bande passante d'entrée du signal analogique. D'après la publication de Oza et Shruti [32, sect V] et la publication de Aytar et Tangel [31], il existe 2 techniques d'interpolation. L'interpolation active en courant employant des miroirs de courant pour réaliser une sommation d'une part et l'interpolation passive d'autre part.

La première technique active est très sensible à la non linéarité des miroirs de courant et très gourmande en consommation.

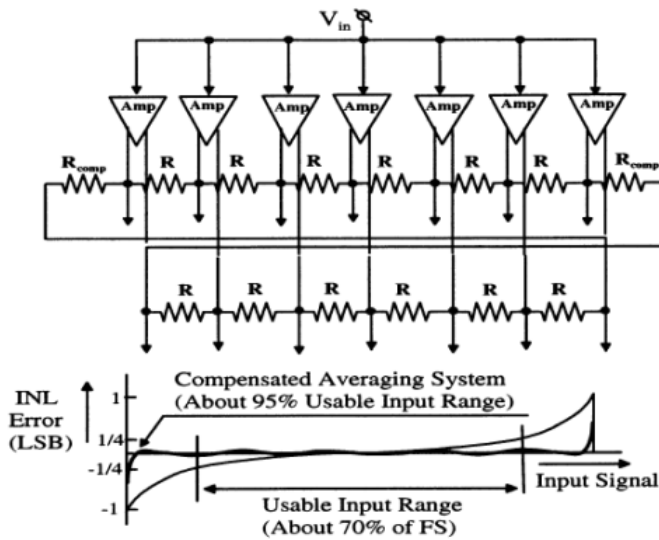


Figure 3.14: Moebius band averaging compensation

Fig. 2.4.1 – Averaging Moebius pour une sortie différentielle des préamplificateurs[35]

La technique passive est beaucoup plus répandue dans l'état de l'art. Elle consiste à extraire un signal différentiel entre la sortie négative du préamplificateur N et la sortie positive du préamplificateur $N-1$. Ce signal différentiel quantifie un LSB entre les 2 LSB de 2 préamplificateurs dans une architecture flash.

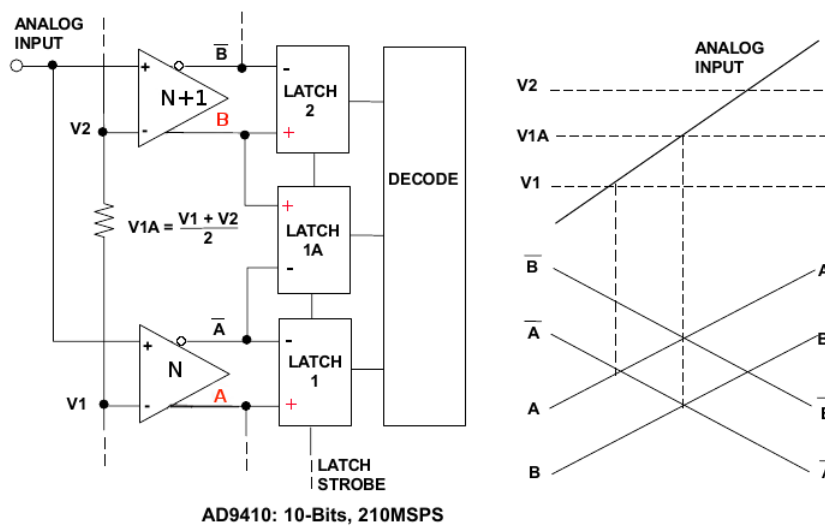


Fig. 2.4.2 – Principe de l'interpolation des ADC flash ($V1 > V2$)[16, fig 3.55]

Cette technique permet de diviser par 2 le nombre de préamplificateurs par rapport au nombre de comparateurs latchés sur la figure 1.1.3a.

Comme le montre la figure 2.4.2, l'interpolation implémentée quantifie la différence du signal $V_{out+}(n)$ en mode commun de sortie du préamplificateur n et le signal $V_{out-}(n+1)$ en sortie du préamplificateur $n+1$. Contrairement à une topologie sans interpolation il faut donc veiller à ce que la

variation de mode commun entre deux préamplificateurs reste en dessous du produit du gain et du pas de quantification.

Cette structure ayant été retenue sur l'ADC final 8 bits, le nombre de préamplificateurs total sera de 128. Avec l'emploi de la structure différentielle sur le préamplificateur de la figure 2.2.5, il convient de contenir le courant de polarisation des paires différentielles. Un courant de $250 \mu A$ est choisi pour l'étude des différentes structures :

$$I_{bias} = 250 \mu A \tag{2.4.1}$$

Pour la structure différentielle et la tension $V_{DD} = 1.8 V$, la consommation totale due à l'ensemble des préamplificateurs est de $115.2 mW$.

Interpolation résistive

En reprenant le principe du moyennage résistif vu précédemment, un niveau de quantification supplémentaire peut être obtenu par insertion de deux résistances séries entre deux préamplificateurs adjacents en formant ainsi un ladder de résistances en sortie des préamplificateurs.

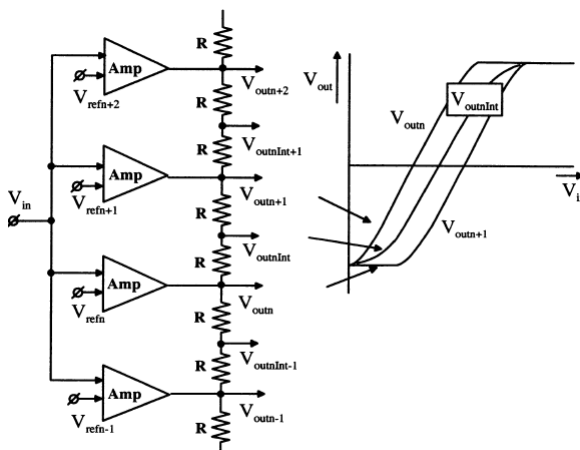


Figure 3.3: Resistive Interpolation

(a) Interpolation résistive en mode commun en sortie des amplificateurs d'un ADC flash [35]

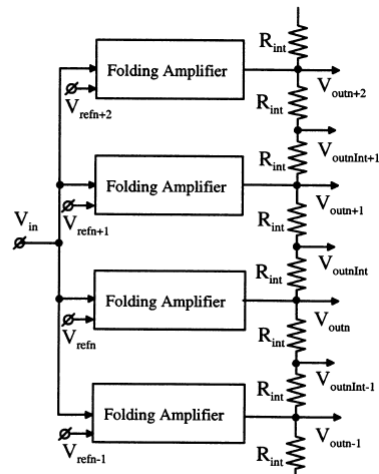


Figure 3.66: Resistive interpolation scheme

(b) Interpolation résistive en sortie des amplificateurs à folding décalés [35]

Fig. 2.4.3 – Interpolation résistive pour différentes topologies

Ce type de structures entraîne de la non linéarité aux bornes de l'échelle.

Dans le cas de l'amplificateur à repliement qui sera présenté dans le prochain chapitre, deux résistances séries peuvent être insérées entre chaque sortie d'amplificateur à travers résistance de chaque pliier comme sur la figure 2.4.3b.

2.5 Conclusion

Avec toutes les techniques développées dans l'état de l'art, la topologie différentielle est incontournable dans le choix d'un ADC full flash sur cette technologie et avec ces performances. La technique du TIQ n'est pas retenue à cause de ses performances en bande passante et en **matching**⁸. Le principe

8. voir définition 2

de l'obtention de seuils internes au préamplificateur est néanmoins retenue dans une implémentation différentielle. Elle apporte un véritable intérêt sur l'architecture d'ADC proposée. L'implémentation de ces seuils internes sera détaillé en section 5.3 dans le chapitre 5.

La technique de l'interpolation enfin étant relativement simple à mettre en œuvre, elle a également été choisie dans l'architecture de l'ADC flash final.

Points clés

Positionnement

- ❑ Le choix de concevoir un ADC à base de flash permet de se positionner pour optimiser les performances attendues.
- ❑ L'étude des ADC à inverseurs TIQ n'est pas adaptée pour les contraintes de l'ADC en vu d'un portage sur le nœud CMOS 180 nm.
- ❑ La technique du QV est une piste intéressante retenue pour le gain qu'elle apporte sur l'économie de ressources en terme de surface sur l'échelle de références.

Contributions

- ❑ Différentes architectures d'ADC employant différentes techniques ont été appréhendées, portés et simulées sur le nœud CMOS 180 nm.
- ❑ Les résultats ont permis de positionner la suite de la recherche et du développement de l'ADC sur une piste encore peu explorée dans l'état de l'art, la technique des seuils internes (détaillée en section 5.3 dans le chapitre 5).
- ❑ Cette technique a été retenue sur une structure différentielle à référence passive avec l'emploi de préamplificateurs avec interpolation. L'ensemble a abouti à une architecture robuste répondant aux contraintes de performances de l'ADC.

Chapitre 3

ADC à repliement de signal (*folding*)

Comme vu dans l'état de l'art en section 1.2, les ADC à repliement (*folding*) permettent d'atteindre une résolution jusqu'à 10 bits sur les nœuds technologiques à partir de la $0.35 \mu m$ pour une fréquence d'échantillonnage de $1 GHz$ à $2 GHz$. Comme les flash, ils peuvent être implémentés comme des ADC à échantillonnage numérique. Dans le cas d'un échantillonnage analogique un T&H échantillonne le signal analogique avant sa quantification numérique.

Une étude de ce type d'architecture est donc présentée dans ce chapitre.

3.1 Principe et intérêt du repliement

Le principe du repliement est illustré sur la figure 3.1.1 avec une rampe comme signal d'entrée sur la pleine échelle V_{FS} et le signal en sortie du plieur en bleu. Le but est de replier le signal pour quantifier les bits de poids faible LSB (fine conversion) sur différents niveaux définis par une quantification grossière (coarse). Cette dernière donne les bits de poids forts MSB de la conversion globale.

Le nombre de fois que le signal est replié est appelé le facteur de repliement F qui est de 8 dans le cas de la figure 3.1.1.

Le schéma de la figure 3.1.1 présente les différents sous circuits nécessaires à la conversion. On retrouve le sous ADC flash de la quantification coarse, le sous ADC flash de la quantification fine et son circuit de repliement de signal. Le sous ADC flash de la quantification coarse doit avoir une résolution N_{coarse} respectant la relation suivante,

$$N_{coarse} = \log_2(F) \quad (3.1.1)$$

Soit $N_{coarse} = 3 \text{ bits}$ pour cet exemple. La résolution globale nécessaire est alors définie par la résolution N_{fine} de l'ADC de quantification fine (7 et 4 bits respectivement pour ce même exemple).

Dans la mesure ou le circuit de repliement de signal a une surface et une consommation du même ordre de grandeur que l'ADC flash de quantification fine avec une non linéarité contenue, l'intérêt de l'architecture réside dans l'économie de comparateurs qu'elle permet par rapport à l'architecture full flash.

En effet, comme vu en section 1.1.1, $2^N - 1$ comparateurs sont nécessaires pour un ADC full flash de N bits. Grâce au repliement, la quantification coarse nécessite F comparateurs et la quantification fine $2^{N-\log_2(F)}$ comparateurs. Dans l'exemple de la figure 3.1.1, 8 comparateurs sont nécessaires pour la quantification coarse et 15 comparateurs pour la quantification fine. Pour une résolution globale de 7 bits, l'économie est donc de 105 comparateurs.

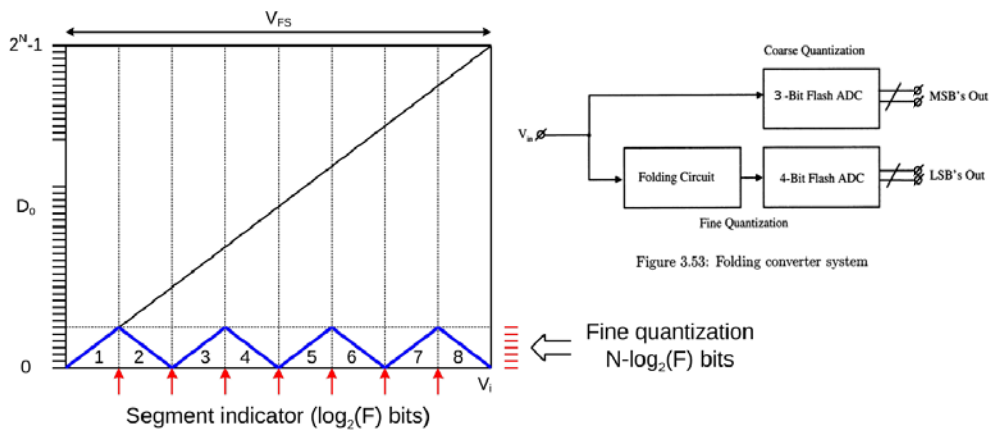


Fig. 3.1.1 – Principe du repliement, de la quantification grossière et fine [36, 35]

Redondance de la résolution de la quantification coarse

On notera que la quantification coarse nécessite un comparateur supplémentaire alors que $F - 1 = 2^{N_{coarse}} - 1$ comparateurs serait nécessaires a priori. Ceci permet de relâcher la contrainte de précision de celle-ci de $LSB/2$ à $2^{N - \log_2(F)} \cdot LSB/2$. Un exemple est laissé en annexe pour le cas du plieur à croisement de zéro en section B.4.3.

3.2 Pliers en courant

Le repliement de signal et ses limitations sont décrits dans cette section en prenant pour appui le plieur en courants. Son principe avec des transistors MOS et son implémentation en 180 nm sont reportés.

Étude analytique et qualitative

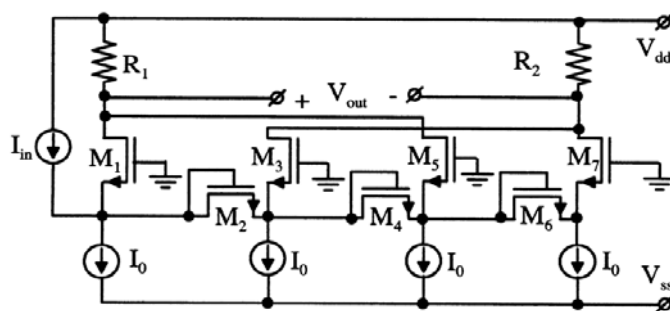


Figure 3.54: Current-folding 2-bit A/D converter structure

Fig. 3.2.1 – Schéma du plieur en courant à base de transistors NMOS

À partir du plieur en courant de la figure 3.2.1, le principe du repliement de signal (folding) est décrit de manière qualitative. Avec l'expression de la tension de sortie en fonction des courant de drain I_D des transistors M1, M3, M5 et M7 et de la résistance de charge,

$$\begin{aligned}
 V_{out+} &= V_{DD} - R \cdot (I_{D|M1} + I_{D|M5}) \\
 V_{out-} &= V_{DD} - R \cdot (I_{D|M3} + I_{D|M7}) \\
 V_{out} &= V_{out+} - V_{out-} \\
 V_{out} &= R \cdot (I_{D|M3} + I_{D|M7} - I_{D|M1} - I_{D|M5})
 \end{aligned} \tag{3.2.1}$$

Donc quand le signal en courant en entrée I_{in} est nul, le courant I_0 va passer au travers de chacun des transistors M1, M3, M5 et M7, soit,

$$I_{D|M1} = I_{D|M3} = I_{D|M5} = I_{D|M7} = I_0 \tag{3.2.2}$$

Dès que I_{in} va augmenter, le courant $I_{D|M1}$ va diminuer jusqu'à $I_{in} = I_0$. Avec KCL appliqué au nœud de la source de M1, M3, M5 et M7,

$$\begin{aligned}
 I_{D|M1} &= I_0 - I_{in} \\
 I_{D|M3} = I_{D|M5} = I_{D|M7} &= I_0
 \end{aligned} \tag{3.2.3}$$

La tension aux bornes de la résistance de charge R_1 va donc diminuer, la tension différentielle de sortie se trouve alors avec les équations 3.2.3 et 3.2.1,

$$V_{out} = R \cdot I_{in} \tag{3.2.4}$$

Au delà de $I_{in} = I_0$, le transistor monté en diode M2 va devenir passant voyant sont courant $I_{D|M2} = I_{in} - I_0$, ainsi, jusqu'à $I_{in} = 2I_0$,

$$I_{D|M1} = 0 \text{ A} \tag{3.2.5}$$

$$I_{D|M3} = 2 \cdot I_0 - I_{in} \tag{3.2.6}$$

$$I_{D|M5} = I_{D|M7} = I_0 \tag{3.2.7}$$

Sur cette plage de courant d'entrée, avec les équations 3.2.3 et 3.2.1, la tension différentielle de sortie devient,

$$V_{out} = R \cdot (2 \cdot I_0 - I_{in}) \tag{3.2.8}$$

En continuant d'augmenter le courant d'entrée au delà de I_0 , c'est le transistor monté en diode M4 va devenir passant. Son courant $I_{D|M4} = I_{in} - 2 \cdot I_0$ jusqu'à $I_{in} = 3I_0$. De même pour M6 à partir de $I_{in} > 3I_0$ jusqu'à $I_{in} = 4I_0$.

La réponse en tension de l'étage de repliement en courant donnée sur la figure 3.2.2 correspond à l'analyse qualitative développée plus haut. L'intérêt est alors de quantifier ce signal replié par un convertisseur flash, la sortie de cette quantification donne les bits de poids faible (LSB) du convertisseur complet.

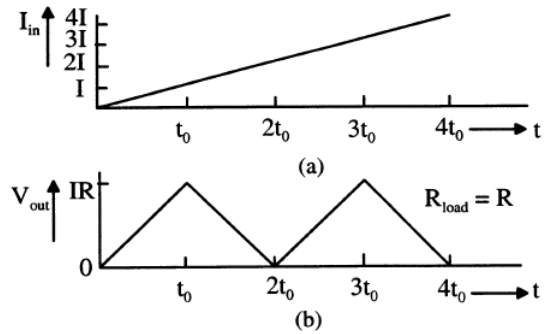


Figure 3.55: Input and output signal as a function of time

Fig. 3.2.2 – Signal replié en sortie de l'étage de folding

Pour un repliage de 4 comme dans l'exemple de ce plieur en courant, il reste 4 niveaux donc 2 bits de poids fort à quantifier par un convertisseur grossier (coarse). La réponse en tension de sortie est ainsi bien linéaire comme sur la figure 3.2.2. Il est possible de quantifier la sortie fine avec un convertisseur adapté comme par exemple un convertisseur flash de résolution N_{fine} ,

$$N_{fine} = 6 \text{ bits} \tag{3.2.9}$$

L'intérêt du repliement de signal (folding) est alors évident puisque le nombre de comparateurs nécessaires se retrouve réduit par rapport à une architecture dite full flash. Le nombre de comparateurs pour la quantification grossière (coarse) par un flash pour un plieur de facteur 4 étant de $4 - 1 = 3$ et le nombre de comparateur pour la quantification fine 6 bit étant de $2^6 - 1 = 63$ pour un nombre total de comparateurs de 66 soit par rapport à full flash 8 bit de $2^8 - 1 = 255$ comparateurs, une économie de 189 comparateurs avec leurs étages de préamplification vus au chapitre 4.

La fréquence du signal de sortie du circuit de repliement est alors donnée par la relation suivante[31, 27, eq 4, eq 3],

$$f_{out} = \sqrt{2}K_S \cdot f_{in} \tag{3.2.10}$$

Où K_S est le facteur de repliement donné par le nombre de croisement de zéros de l'amplificateur de repliement aussi noté F [36], donné à 4 dans l'exemple de la figure 3.2.2.

Conclusion

La synthèse de cette architecture en CMOS 180 nm est laissée en annexe en section B.4.1.

3.3 Architecture d'amplificateur plieur à paires différentielles couplés (CDP)

Présentée également dans [35, chap 3.14], cette architecture d'amplificateur plieur constitue l'état de l'art de l'architecture la plus utilisée pour la conception d'ADC à signaux repliés en technologie CMOS. Cette architecture offre de meilleures performances de consommation et de bande passante de signal d'entrée analogique.

Cette architecture doit avoir un nombre de paires différentielles couplés (CDP) égal au facteur de repliement de l'équation 3.2.10 [31].

L'analyse qualitative peut être développée comme suit, en appliquant une tension rampe en entrée de l'étage V_i sur la figure 3.3.1, le signal de sortie différentiel suivra idéalement la courbe grise de la figure 3.3.1. Pour $V_{in} < V_{Ref1} - V_{GS}|_2 + V_{th}$, tous les courants I_D des transistors des paires différentielles commandés par les tensions de références (M2 M4 et M6 sur la figure 3.3.1) drainent le courant de polarisation noté I_S sur la figure 3.3.1. Une tension différentielle de sortie $V_{out} = R_L \cdot I_S$ est alors générée. Quand $V_{in} > V_{Ref1} - V_{GS}|_2 + V_{th}$, le transistor M1 va commencer à drainer une partie du courant I_S qui se soustrait au courant I_D du transistor M2 avec

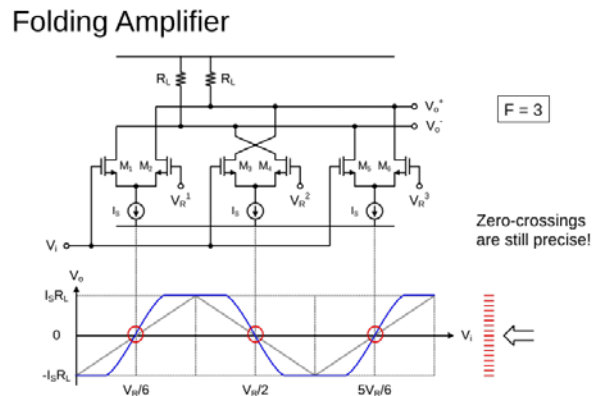


Fig. 3.3.1 – Crête du repliement sans recouvrement [36]

KCL ce qui va faire diminuer la tension de sortie V_{out} jusqu'à $V_{out} = -R_L \cdot I_S$ quand le transistor M1 drainera tout le courant de polarisation I_S de la paire différentielle. Vient le tour de M3 de commencer à drainer une partie du courant de polarisation de la paire différentielle M3-M4 ce qui se traduit par une augmentation de la tension différentielle V_{out} jusqu'à $V_{out} = R_L \cdot I_S$ puis le cycle se répète avec les autres paires différentielles, repliant ainsi le signal autant que le nombre de paires différentielles pour peu qu'il y en ai un nombre impair.

Entre l'instant où le transistor M1 draine tout le courant de polarisation de la paire différentielle M1-M2 et le transistor M3 commence à drainer une partie du courant de polarisation de la paire différentielle M3-M4, il se trouve une crête de la tension différentielle de sortie. Cette crête est visible à partir d'une tension de référence suffisamment importante entre deux paires différentielles adjacentes d'un amplificateur plieur à paires différentielles [44, 36]. C'est un ADC à repliement **sans recouvrement**.

Les seuils de repliement sont définis quand les transistors commandés par la tension d'entrée analogique drainent tour à tour la moitié du courant de polarisation de leur paire différentielle respective. Dès lors, la tension différentielle de sortie s'annule ($V_{out} = 0$). Bien qu'il y ait cette crête de tension de sortie V_{out} , comme identifié sur la courbe de la figure 3.3.1, les seuils sont très bons.

Il est toutes fois nécessaire de retrouver les paramètres des transistors et de leur polarisation qui influent sur ces tensions d'entrée pour lesquelles les transistors commandés en entrée par le signal analogique commencent à drainer le courant de polarisation de leurs paires différentielles respectives. De même quand ils drainent tout ce courant. Pour l'étude analytique et le dimensionnement de l'architecture d'amplificateur de repliement à paires différentielles présenté dans les cours [36][44], c'est le fonctionnement de la paire différentielle commandée par une tension de référence V_{ref} qui est présenté dans un 1^{er} temps.

Amplificateur à trans-résistance

La sortie en courant des CDP est généralement conduite sur un étage de gain à trans-résistance différentiel plutôt que sur des charges directes. Ceci permet de polariser les drains des transistors des CDP pour les laisser en région de fonctionnement saturé ou bloqué tout en augmentant l'amplitude du signal de sortie. La dynamique V_{FS} et le pas de quantification LSB sont alors suffisamment important par rapport aux offset ramenés en entrée des comparateurs de l'ADC de la quantification fine. La figure B.7 du banc de tests de 3 configurations de CDP implémente des trans-résistances idéales grâce à des cellules **vcvs**¹.

On considère cet amplificateur et son rebouclage différentiel comme faisant parti du circuit de repliement.

3.3.1 Paire différentielle avec une entrée commandée par une tension de référence V_{ref}

Donnée sur la figure 3.3.2, cette paire différentielle est chargée par deux résistances de même valeur. Un dimensionnement optimisé du CDP de l'amplificateur plieur de facteur 4 sert d'exemple pour les applications numériques. Les dimensions des NMOS de la paire différentielle sont données pour $W = 200 \mu m$ et $L = 0.6 \mu m$. Une valeur de $1 K\Omega$ est choisie pour les charges ainsi qu'un courant de polarisation de $250 \mu A$ déjà matérialisée par un miroir de courant en faible inversion ($V_{GS} = 0.56 V$).

La paire différentielle ainsi dimensionnée voit sa tension de sortie varier de V_{DD} à $V_{out}|_{max}$,

$$V_{out}|_{max} = V_{DD} - R_{load} \cdot I_{bias} \quad (3.3.1)$$

1. voir définition 11

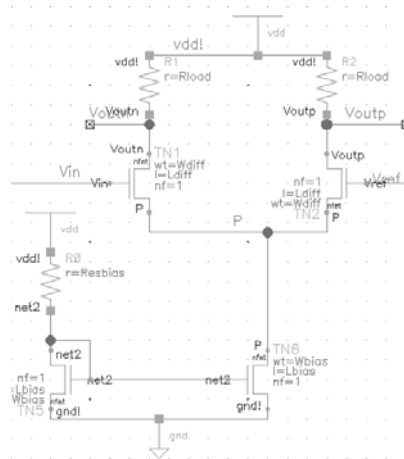


Fig. 3.3.2 – Schéma de la paire différentielle commandée par une tension de référence V_{ref}

Soit,

$$\begin{aligned} V_{out}|_{max} &= 1.8 \text{ e}3 * 0.25 \text{ e} - 3 \\ &= 1.55 \text{ V} \end{aligned}$$

La mise en équation et l'application numérique des tensions de limite de conduction en entrée de la paire CDP sont laissées en annexe B.4.2. Le delta minimum admissible en entrée est de $\Delta V_{ref} = 148 \text{ mV}$.

Le choix de la zone d'inversion des transistors des paires différentielles limiterons le facteur de repliement de cette architecture de folder. Un compromis doit être fait entre le choix d'un plieur à paires différentielles **rapide** avec un régime de forte inversion pour les petits transistors et un **facteur de repliement plus faible** d'une part et un plieur à paires différentielles plus **lent** avec un régime de faible inversion pour de gros transistors et un **facteur de repliement maximum** d'autre part. Le facteur de repliement pour augmenter le nombre de niveaux à quantifier par le convertisseur grossier et diminuer le nombre de niveaux pour la conversion fine est donc limité par la tension d'alimentation.

Avec un facteur de repliement de 4 et donc 4 niveaux à convertir (3 comparateurs flash) , soit 2 bits significatifs de MSB, il reste 6 bits de LSB à quantifier finement par un convertisseur flash par exemple soit 63 comparateurs ce qui représente une économie de 189 comparateurs.

Simulation

Le résultat de la simulation transitoire de la paire différentielle de la figure 3.3.2 est donné sur la figure 3.3.3. La mesure du delta de la tension d'entrée $\Delta V_{ref} = V_{in}|_{highFold} - V_{in}|_{on.setFold}$ est donnée avec les curseurs. Pour ce dimensionnement, il est de 220 mV , ce qui est tout de même assez éloigné de l'application numérique calculée à partir de B.4.5 avec $\Delta V_{ref} = 2(V_{GS}|_2 - V_{th}|_N)$.

La conduction sous le seuil des transistors ne peut être négligée.

Modèle avec régimes d'inversion faible (conduction sous le seuil)

La figure 3.3.4 [36] propose un modèle avec un facteur $\sqrt{2}$ pour prendre en compte la conduction sous le seuil. La tension $\Delta V_{ref} = 2\sqrt{2}(V_{GS}|_2 - V_{th}|_N)$ peut être recalculée,

$$\begin{aligned} \Delta V_{ref} &= 2 * \text{sqrt}(2 * 0.25 \text{ e} - 3 / (273 \text{ e} - 6 / 2 * 200 / 0.6)) \\ &= 209.6 \text{ mV} \end{aligned}$$

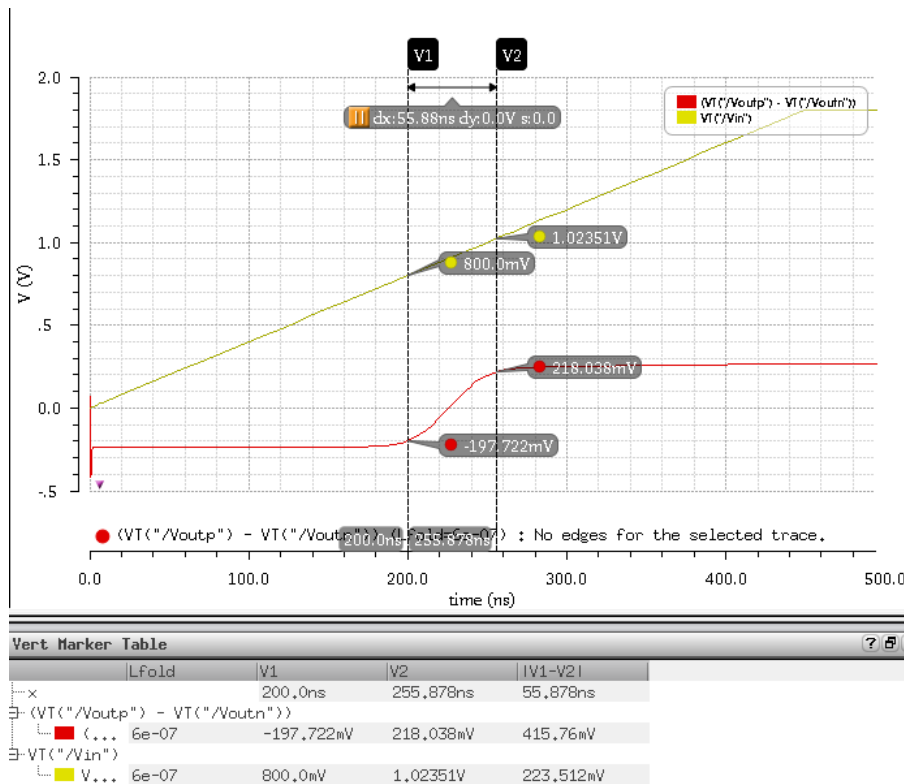
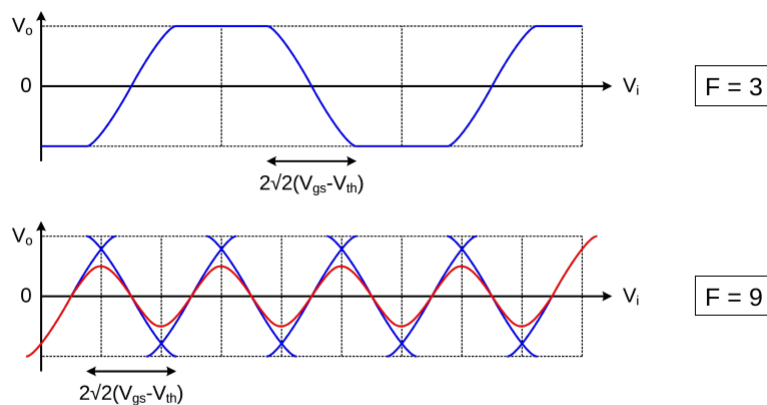


Fig. 3.3.3 – Tension ΔV_{ref} mesurée en simulation

“Rounding” Problem



- Large F results in signal “rounding”, causing gain and swing loss.
- Max. folding factor is limited by V_{ov} of folder and supply voltage.

Fig. 3.3.4 – ΔV_{ref} de l’amplificateur à repliement à paires différentielles et effet de rounding sur les folders à recouvrement [36]

Le facteur de repliement maximum avec la technologie CMOS 180 nm AMS pour une utilisation du plieur sans recouvrement est ainsi donné pour un fonctionnement en inversion modérée ($V_{GS} - V_{th} = 0.1 V$),

$$F_{max} = \frac{V_{DD} - V_{th} - 0.1}{2\sqrt{2} * 0.1} = 4.5$$

Le cas où les différences entre tensions de référence successives des CDP d'un plieur sont inférieures à cette tension est dit **plier à recouvrement**. Le facteur de repliement peut alors être augmenté, ce cas est décrit en section 3.4.2.

3.3.2 Amplificateur de repliement à facteur 3

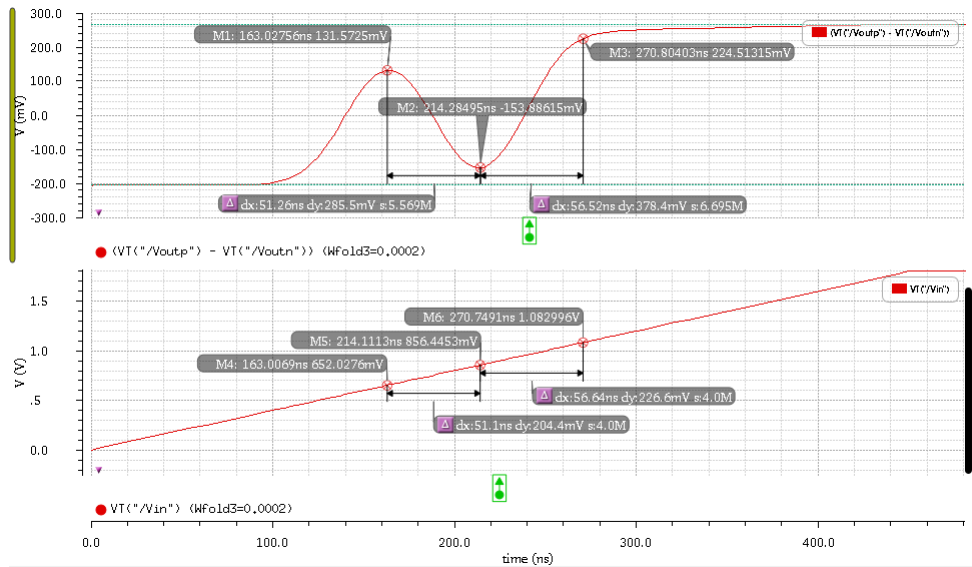


Fig. 3.3.5 – portage du folder à $F=3$ avec effet de rounding (limite de recouvrement) $W_{fold1,2,3} = 200 \mu m$, $R = 1 k\Omega$, $L_{fold} = 0.6 \mu m$, $I_{bias} = 245 \mu A$

Constitué ainsi de 3 CDP, il replie 3 fois le signal d'entrée. Le facteur de repliement étant impair, il n'y a pas besoin de source de courant "dummy".

Deux dimensionnements ont été simulés. Un est en limite de recouvrement sur la fig 3.3.5 et un sans recouvrement avec crête sur la fig 3.3.6.

Dans les 2 cas, des plieurs parallèles sont nécessaires pour conserver un repliement linéaire du signal sur toute la dynamique.

Plieurs parallèles

- Dans le cas de limite de recouvrement, un effet visible est l'arrondissement (rounding) des signaux qui crée une distorsion du signal. Cette non linéarité oblige alors à employer un plieur parallèle comme sur la figure 3.3.7.
- Le problème d'arrondissement s'observe sur ce type de folder entre deux repliements, ou dans le cas du plieur en tension à CDP entre l'instant où le transistor de la paire différentielle n commandé par $V_{ref}(n)$ commence à ne plus conduire de courant et l'instant où le transistor de

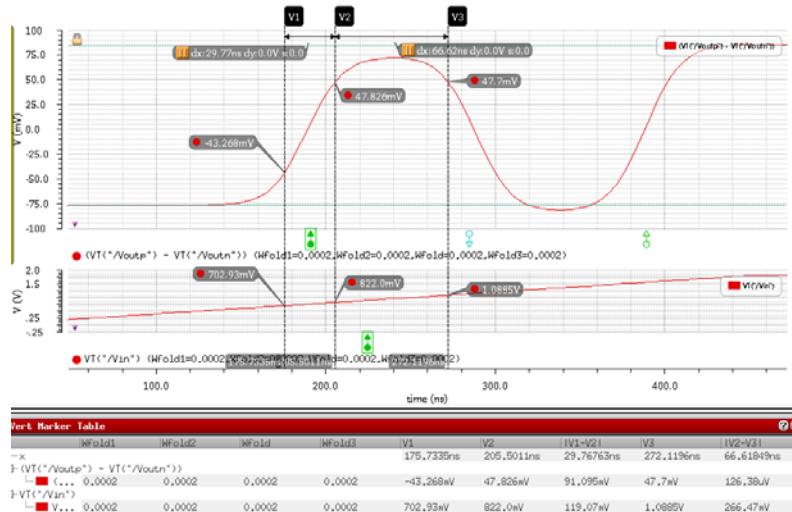


Fig. 3.3.6 – portage du folder à F=3 avec crête $W_{fold1,2,3} = 200 \mu m, L_{fold} = 0.6 \mu m, R = 300 \Omega, I_{bias} = 150 \mu A$

la paire diff n+1 commandé par V_{in} commence à conduire. Ce qui en réalité commence en faible inversion pour une tension $V_{gs} < V_{th}$ soit,

$$V_{in}|_{onsetFold} < V_P + V_{th}|_N$$

$$< V_{ref} - \sqrt{\frac{I_{bias}}{\frac{K_N}{2} \cdot \frac{W_N}{L_N}}}$$

- Il est également possible d'augmenter les ΔV_{ref} et laisser apparaître la crête pour assurer une portion linéaire sans distortion pour le signal de sortie du folder. Pour le dimensionnement donnant la réponse de la figure 3.3.6, la portion linéaire ramenée sur le signal d'entrée est de 119 mV et la portion de crête de 266 mV. 3 folders parallèles sont donc nécessaires.
- Un multiplexage des signaux de sortie est possible au lieu d'instancier un ADC par folder 3.3.7 comme sur l'architecture Aytar Tangel Dundar[5] (voir annexe B.4.4).

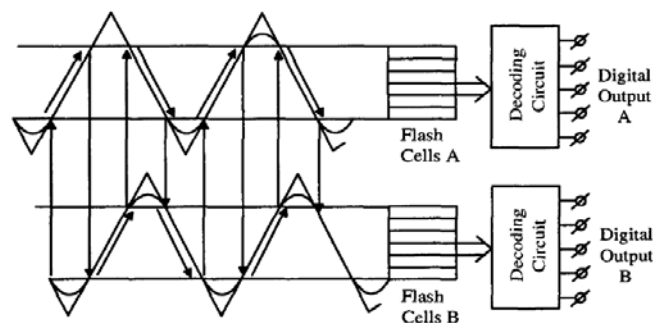


Figure 3.61: Double folding output signals

Fig. 3.3.7 – Introduction de 2 folders parallèles avec chacun un ADC associé[35]

3.3.3 Portage avec des transistors à oxyde épais

En s'inspirant de l'architecture Oktay et Aytar[31], le portage du plieur s'est fait sur les transistors à oxyde épais de la technologie. Ces derniers ont une épaisseur de grille plus importante que les MOS

classiques. De ce fait, leur claquage est moins sensible aux tensions de plus de 1.8 V à cause du champ électrique plus faible le long de l'épaisseur d'oxyde. Leur tension d'alimentation peut atteindre $V_{DD} = 5 V$ en restant dans les conditions de fonctionnement sûres (SOA).

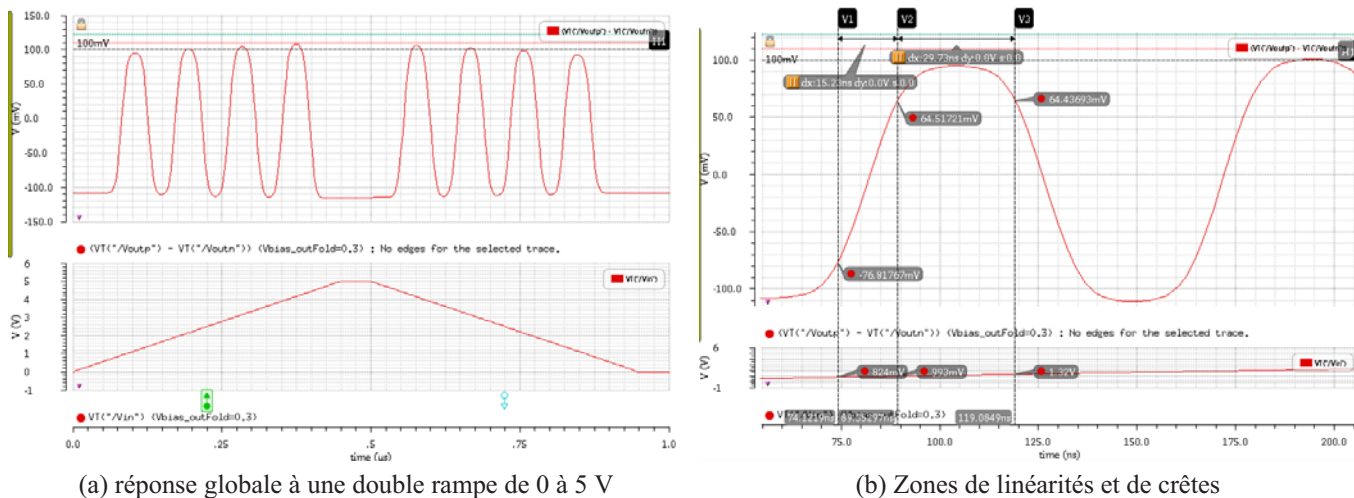


Fig. 3.3.8 – Simulation du folder avec des NFETM à $V_{DD} = 5 V$, $R = 300 \Omega$, $I_{bias} = 377 \mu A$

Un facteur de repliement de 8 est atteint grâce à ces transistors pour un folder sans recouvrement. Avec une zone de linéarité de 169 mV et une zone de crête de 327 mV ramenée au signal d'entrée, 3 folders parallèles sont nécessaires suivi de leur amplificateur à trans-résistance.

3.4 Limitations et emploi des folders

3.4.1 Déséquilibre de la tension différentielle de sortie

Le problème du pré-traitement de repliement avec les CDP est le fait que la sortie différentielle est déséquilibrée car non centrée autour de 0 V. Le portage avec des sources de courant idéales annule ce phénomène comme illustré sur la courbe verte de la figure 3.4.1. Une solution proposée dans [26] est de remplacer le dummy folder CDP amplifier par 2 demis CDP de repliement à moyennage dont le principe est détaillé sur la figure B.6 laissé en annexe. Le résultat n'est pas encore satisfaisant comme la courbe rouge de la figure 3.4.1. Le schéma du banc de tests est laissé en annexe sur la figure B.7.

La logique numérique pour le décodage de la fonction repliée représentée sur le schémas 3.4.1 consiste à implémenter un code circulaire.

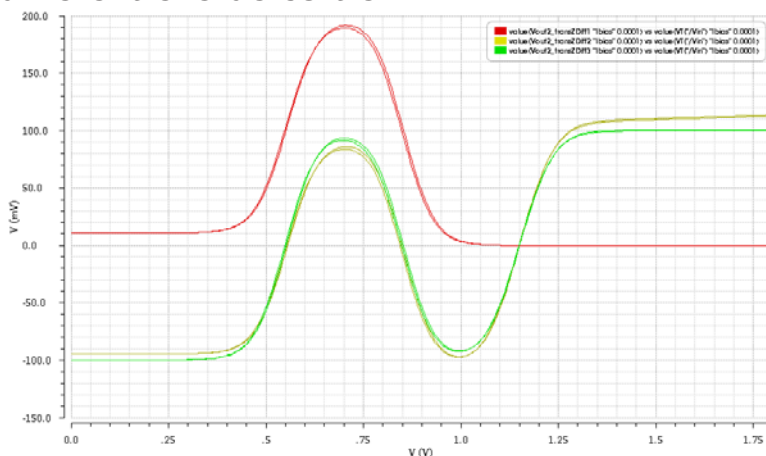


Fig. 3.4.1 – Repliement des signaux de la conversion avec compensation (3 CDP avec des sources de courant idéales en vert; source de courant NMOS en jaune; 2 CDP+2 demis CDP en rouge)

3.4.2 Effet d'arrondissement et architectures à conversion croisement de zéro

Ces derniers dimensionnements en CMOS 180 nm ont montré que les zones de transition entre la conduction des différents CDP adjacents d'un même amplificateur de repliement ne sont pas parfaits avec les passages à différents régimes d'inversion de transistors. L'effet est appelé le rounding (arrondissement) du signal, il oblige de multiplier les amplificateurs à CDP avec chacun un décalage de ses tensions de références pour qu'il y ait toujours un CDP sur sa zone linéaire autour de son croisement de zéro.

Cette idée peut même être poussée jusqu'à ce que les CDP d'un même amplificateur à repliement se recouvrent entre leurs phases de conduction diminuant ainsi l'amplitude du signal en sortie d'un plieur car les courants se soustraient en sortie. L'effet de distorsion est démontré sur la figure 3.3.4 avec un facteur de repliement de 9. L'effet d'arrondissement s'accroissant, la zone de linéarité d'un CDP se retrouve alors réduite autour du passage à zéro de chaque CDP. Chaque plieur décalé doit alors quantifier sur 4 ou 1 LSB chacun. Le nombre de plieurs décalés donnent ainsi les derniers pas de quantification fine.

Un ADC 4 bit est présenté sur la figure 3.4.2, l'idée est de convertir le signal analogique en numérique avec les bits de poids fort (MSB) fournis par un convertisseur grossier (coarse), et les bits de poids faible (LSB) par la conversion des signaux pliés donnés par les étage de repliement (Folding Bloc).

Le problème de cette structure est qu'elle nécessite un déterminisme de moins de la moitié de la période d'échantillonnage sur le délai de transition des étage de repliement et de quantification grossière.

3.5 Conclusion

Les architectures d'amplificateurs à repliement (*folders*) ont été présentés dans cette section en appui d'une étude bibliographique approfondie. Les limitations d'emploi de cette architecture ont été identifiées pour le portage en CMOS 180 nm.

Les transistors à mid oxyde employés pour cet étage de plieur permettent d'augmenter le facteur de repliement comme dans l'architecture Oktay et Aytar [31]. Un portage a été réalisé sur cette technologie et a rendu compte de la validité du concept. Les ajustements de tension en sortie de l'étage de repliement et de son amplificateur à trans-résistance sont nécessaires avant l'entrée sur l'ADC de quantification fine.

Les performances fréquentielles de ces transistors ne sont clairement pas adaptés aux contraintes de l'ADC. Leurs grilles étant plus épaisses, leur gain sont réduits alors que les capacités internes par rapport au bulk sont les mêmes que les transistors à faible épaisseur de grille.

L'effet d'arrondissement dû aux recouvrements des zones de conduction entre CDPs induit une non linéarité supplémentaire à la quantification fine. Ce qui oblige alors à multiplier les plieurs parallèles pour qu'il y en ai un constamment sur sa zone linéaire sur toute la dynamique du signal d'entrée. Une technique consiste alors à ne quantifier que le passage à zéro de chaque plieur parallèle comme illustré sur la figure 3.4.2.

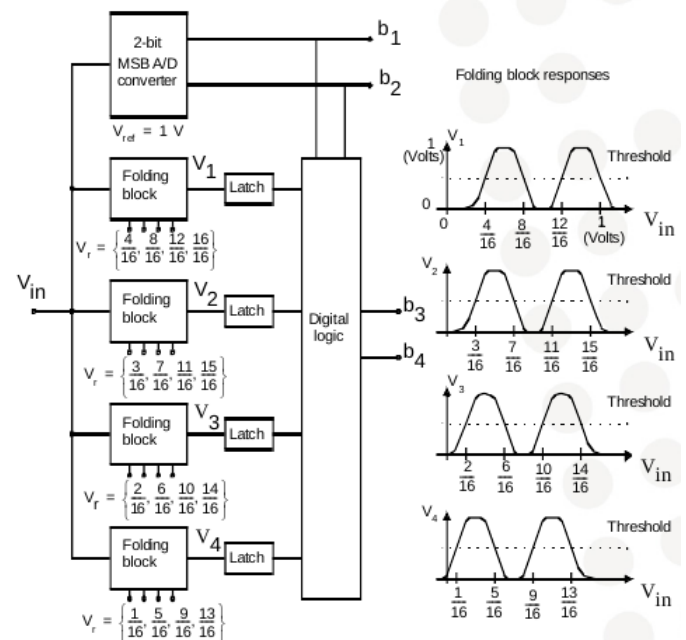


Fig. 3.4.2 – Schéma de principe de la conversion par repliement à croisement de zéro[44]

Les problèmes de synchronisation entre les bits de la quantification grossière et fine est une contrainte supplémentaire qui rendent ces architectures inadaptés à 2 GHz de fréquence d'échantillonnage.

Points clés

Positionnement

- ❑ Les plieurs permettent de diviser par $\log_2(F)$ le nombre de comparateurs nécessaires. L'évaluation du portage de cette architecture est donc incontournable pour la réalisation d'un ADC rapide.
- ❑ La conception du circuit complet requiert une analyse approfondie de la synchronicité entre la conversion fine et de la conversion coarse.
- ❑ Pour ce faire, les cellules employés (folders sans recouvrements, croisement de zéro, comparateurs, ADC coarse, fine, etc.) doivent être simulés en SPICE/SPECTRE avec des bancs de tests complets.
- ❑ La résolution N_{fine} de l'ADC de quantification fine impose $2^{N_{fine}}$ folders parallèles où ils sont utilisés en croisement de zéro. La consommation de l'ensemble de l'étage de repliement est alors bien plus importante (de l'ordre du facteur de repliement) par rapport à l'ensemble des comparateurs.

Contributions

- ❑ Les intérêts des ADC à repliement (folding) ont été identifiés avec leurs limitations pour un portage technologique.
- ❑ Les différentes variantes du repliement ont été reportées et une comparaison qualitative exhaustive a été conduite.
- ❑ L'alternative offerte par les transistors à mid oxyde a été explorée pour montrer la validité du concept sur des technologies sub micrométriques avec des facteurs de repliement de 8 ou plus.

Conception Bottom-Up, des briques de bases vers l'architecture retenue

“Alors Jésus leur dit : Ne craignez pas;””

(Évangile de Matthieu 28 :10)

Chapitre 4

Le comparateur latché

La conception du comparateur est très critique, car comme décrit au premier chapitre et dans [38, p7], les comparateurs doivent avoir un offset deux fois inférieur au pas de quantification et échantillonner à 2 GHz.

Les comparateurs introduisent une erreur de quantification qui doit être ramenée à moins d'un pas de quantification à son entrée. C'est pourquoi un préamplificateur analogique est souvent nécessaire pour réduire cette erreur par son gain comme vu en section 2.1 au chapitre 2.

C'est le comparateur latché qui a été étudié en premier et qui est donc d'abord présenté. Le rôle du préamplificateur est de corriger les erreurs de quantification introduites par le comparateur latché en les ramenant en entrée à moins d'un demi pas de quantification. Il a donc été conçu et dimensionné en fonction des caractéristiques de fonctionnement du comparateur latché retenu présenté dans ce chapitre. Le préamplificateur conçu sera présenté au chapitre 5.

Design flow du comparateur latché

Le fait que l'architecture de convertisseur flash soit différentielle est transparent pour la conception du latch car la quantification du signal d'entrée par rapport à des tensions de références différentielles se fait sur le 1^{er} étage qui est le préamplificateur. Il est ainsi possible de concevoir et dimensionner l'étage de latch dans un premier temps pour pouvoir échantillonner correctement à 2 GS/s . L'optimisation de l'étage de pré-amplification dual différentiel se fait en conséquence des contraintes de capacité d'entrée du latch, de surface et de consommation tout en réduisant les écarts d'offset et d'hystérésis ramené en entrée avec le gain. L'emploi des techniques de layout centroïde commun pour matcher les caractéristiques des transistors permet de réduire encore ces écarts.

L'offset absolu de l'étage de latch retenu définit les contraintes de gain sur l'étage de pré amplification. Les tensions d'offsets et hystérésis des latches étudiés seront comparés et retenus comme un critère de mérite permettant de départager les différentes architectures fonctionnelles à 2 GHz d'horloge.

4.1 Principe du multivibrateur bistable (bascule ou latch)

La bascule est matérialisée par deux inverseurs en boucle fermée de telle sorte que le circuit peut se retrouver dans 2 états stables (A et C sur la figure 4.1.1c). L'état intermédiaire (B sur la figure 4.1.1c) est rendu instable par le gain de boucle positif formé par les 2 inverseurs de la figure 4.1.1a.

Il n'y a pas besoin de switches de rééquilibrage tant que le déclenchement de la bascule dans l'autre sens est suffisamment important. Ce qui est le cas pour des signaux numériques mais pas pour des petits signaux analogiques autour du seuil du préamplificateur.

La capacité prédominante qui limite la vitesse est la capacité Miller ($C * A_v$), d'où la nécessité d'implémenter des *switchs* pour ramener la sortie au point B rapidement et ainsi limiter le cycle d'hystérésis.

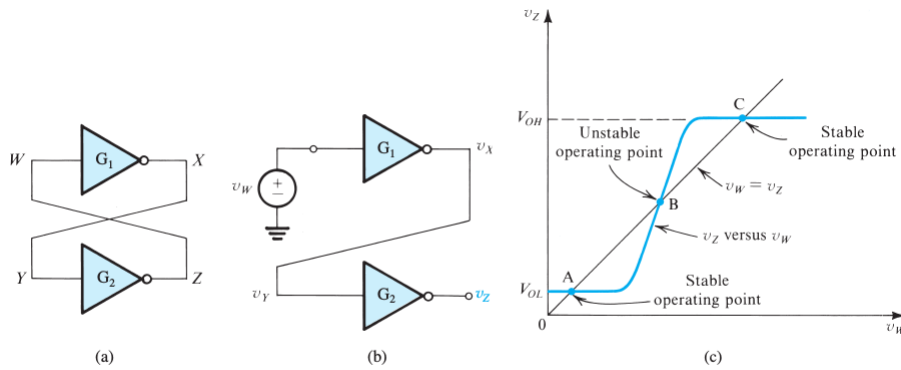


Figure 16.1 (a) Basic latch. (b) The latch with the feedback loop opened. (c) Determining the operating point(s) of the latch.

Fig. 4.1.1 – Rebouclage positif d’une bascule et états de stabilité[42]

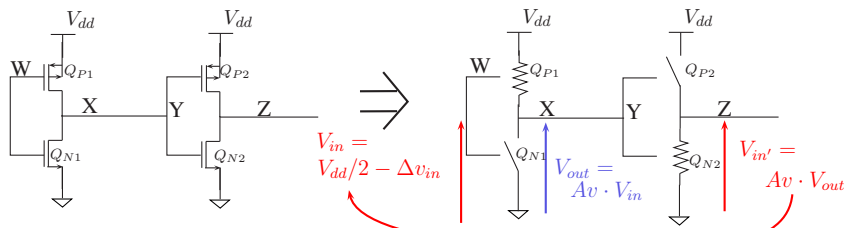


Fig. 4.1.2 – Schéma de principe d’un inverseur CMOS[42]

Le gain intrinsèque en basses fréquences d’un inverseur est ainsi donné,

$$A_{V0} = -\frac{g_{mN} + g_{mP}}{G_{DS|N} + G_{DS|P}}$$

4.1.1 Étude théorique

Le latch de la figure 4.1.1a peut être représenté par un schéma équivalent en figure 4.1.3 où l’inverseur est représenté par une transconductance équivalente $g_m = g_{mN} + g_{mP}$ et la capacité équivalente C de deux inverseurs cascades. Celle-ci a été présentée de manière qualitative avec l’étude temporelle des 2 inverseurs cascades du TIQ en section B.3.2. Les équations différentielles aux dérivés partielles sont présentées pour le signal en mode commun et le signal différentiel.

Il est ainsi possible d’extraire le temps τ et donc la capacité équivalente par une réponse indicielle du nœud x au nœud y de la figure 4.1.3 à un échelon de tension en boucle fermée. La transconductance équivalente g_m est calculée avec les transconductances des transistors NMOS et PMOS extraites en simulation.

L’extraction des temps τ et des capacités équivalentes par mesure des signaux x au nœud y de la figure 4.1.3 en simulation transitoire sont laissés en annexe en section B.5. Une extraction par mesure de courant est également proposée. Une simulation paramétrique sur différentes largeurs de transistors a été réalisée. Les résultats montrent que les capacités équivalentes augmentent beaucoup plus que les transconductances en augmentant les largeurs de transistors.

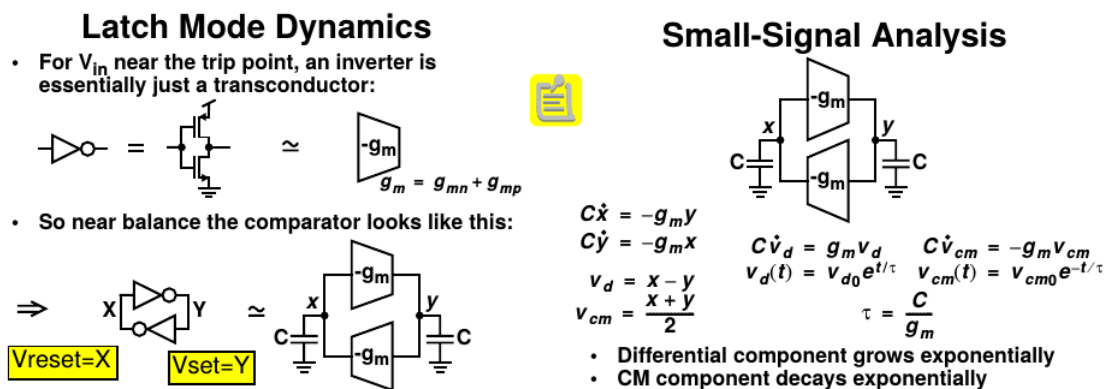


Fig. 4.1.3 – Étude temporelle du latch avec la capacité équivalente et le g_m équivalent de l'inverseur[41]

4.1.2 Conclusion

L'extraction de la capacité équivalente par la méthode temporelle ou fréquentielle se sont montrés satisfaisantes avec la variation paramétrique de $5 \mu m$ à $107 \mu m$. Les valeurs extraites sont comparables aux ordres de grandeurs théoriques de la littérature.

Les temps de montée extraits rendent compte de son augmentation inéluctable avec la largeur du transistor. Les capacités internes¹ des transistors cumulées augmentant plus que les transconductances.

L'insertion de switch est donc nécessaire pour transformer la bascule en flip flop synchrone et assurer un échantillonnage à 2 GHz pour les petits signaux autour d'un LSB. Le synchronisme de cet échantillonnage entre les différentes bascules permet de quantifier sans erreur de déphasage entre comparateurs. L'implémentation de ces switch doit permettre de réduire le cycle d'hystérésis de l'ensemble du comparateur (preamp plus latch) en dessous du pas de quantification de l'ADC.

4.2 Comparateur switché à rééquilibrage de charges

L'architecture de latch proposée en figure 4.2.1 portée sur la CMOS 180 nm est similaire à l'architecture de latch présentée sur la figure 2.1.1 si ce n'est que les transistors de déclenchement (trigger) sont polarisés par une source de courant. Enfin, le comparateur se voit inverser les types de transistors. Les tensions d'alimentations sont donc permutées pour obtenir l'architecture duale afin d'atteindre de meilleures performances à haute fréquence (paire diff NMOS plus rapide que PMOS²).

4.2.1 Structure de base

Le schéma détaillé de la figure 4.2.1 est ainsi divisé entre un étage proprement dit de latch et un de mémoire isolé et labellisé **MemOut P**. L'étage de latch est un multivibrateur bistable du fait des transistors de charges **P0** et **P1** qui créent une boucle positive commutant les nœuds de sortie vers les états stables A et C de la figure 4.1.1. Le rééquilibrage réalisé par le passage du signal de grille du transistor N3 au niveau logique V_{DD} permet de revenir à l'état B. Le signal d'horloge pour cette architecture est donc unipolaire, les tensions de sortie à l'équilibre B étant autour de $V_{DD}/2$, un transistor NMOS avec sa grille à V_{DD} aura un $V_{GS} \gg V_{th}$ quoi qu'il arrive. Inversement et pour les mêmes raisons, une

1. Moyenne mesurée pour des transistors en région de fonctionnement saturé

2. grâce au gain intrinsèque obtenu pour des transistors plus petits avec la mobilité des porteurs de charges négatifs des NMOS plus importants que les positifs des PMOS

tension de grille à 0 V impliquera un $V_{GS} \ll V_{th}$ permettant au latch de basculer rapidement vers les états stables A ou C aux nœuds de sortie.

Le déclenchement de la commutation est assuré par le signal d'entrée de la paire différentielle (N1 et N2) avec sa source de courant statique. Cette structure souffre donc d'une consommation statique incompressible.

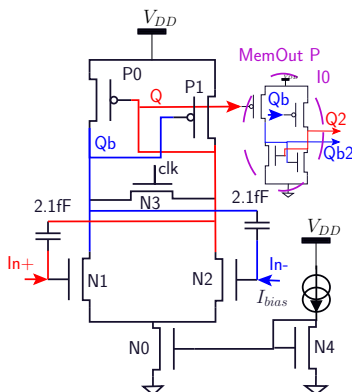


Fig. 4.2.1 – Schéma du comparateur latché à rééquilibrage de charges

L'emploi des capacités de boucle positive sera détaillé en section 4.6.2.

4.2.2 Switch CMOS

Le problème posé par l'emploi d'un switch NMOS par rapport au CMOS est l'injection de charges du canal aux nœuds de sortie qui se fait principalement à sa source. Cette source permute avec le drain à chaque fois que l'entrée différentielle change de signe. Les charges accumulées ne sont donc pas évacuées tant que le courant I_{DS} du transistor N1 ou N2 (ayant son drain correspondant à la source du NMOS de l'interrupteur) n'est pas suffisamment important. Ce courant dépendant de l'amplitude du signal d'entrée, cela se traduit par une augmentation de la tension d'hystérésis de l'étage.

Une solution pour pallier à ce phénomène est d'employer un interrupteur de type CMOS ayant un PMOS de mêmes dimensions en parallèle commandé au niveau de sa grille par le signal complémentaire de la grille du NMOS. Les charges injectés dans le canal se recombinent alors entre les charges positives du PMOS et les charges négatives du NMOS lors de l'ouverture de l'interrupteur.

Pour une opération à 2 GHz cependant, les simulations ont révélé que les capacités internes du PMOS (C_{eqP}), notamment C_{GS} , pénalisent la commutation en moins de 200 ps. En effet, les courants I_{DS} des transistors P0, P1, N1 et N2 ne sont pas suffisants pour évacuer les charges ($q_Q = C_{eqP} \cdot V_Q$ et $q_{Qb} = C_{eqP} \cdot V_{Qb}$) cumulées dans ces capacités pour basculer les tensions de sortie dans le cycle de 200 ps. La technique des switches CMOS est donc inadaptée pour le cahier des charges de l'ADC.

4.2.3 Insertion de diodes d'écrêtage de signaux

Une autre possibilité est d'implémenter une paire de transistors en diode entre les deux nœuds de sortie permettant ainsi d'écrêter l'amplitude du signal différentiel sans altérer le gain autour de zéro. En effet ils ne conduisent aucun courant tant que le signal différentiel de sortie ne dépasse pas le seuil V_{th} du transistor en diode pour $V_{GS} > 0$. Ce qui laisse ainsi l'étage commuter rapidement à des tensions permettant à l'étage mémoire suivant de lui commuter à des niveaux de tension logique 0 V et 1.8 V.

Dès que la tension différentielle excède V_{th} , le transistor en diode commence à conduire du courant vers le transistor PMOS de charge.

De même que pour le transistor PMOS de l'interrupteur CMOS, les capacités internes notamment C_{GS} de ces transistors en diodes pénalisent la commutation en moins de 200 ps rendant cette technique inadaptée pour le cahier des charges de l'ADC.

4.3 Comparateur à évacuation de charges Schreier

Dans l'idée de réduire la consommation statique du comparateur qui s'observe en dehors des phases de comparaison/commutation juste après les fronts d'horloges, d'autres architectures ont été étudiées et conçues sur la CMOS 180 nm.

Le comparateur à évacuation de charges présenté ici, contrairement à l'architecture de rééquilibrage de charges, est un comparateur qui évacue les charges cumulées dans les capacités de la source d'alimentation aux nœuds V_{DD} et GND lors du reset (à l'état bas de l'horloge).

4.3.1 Description du fonctionnement

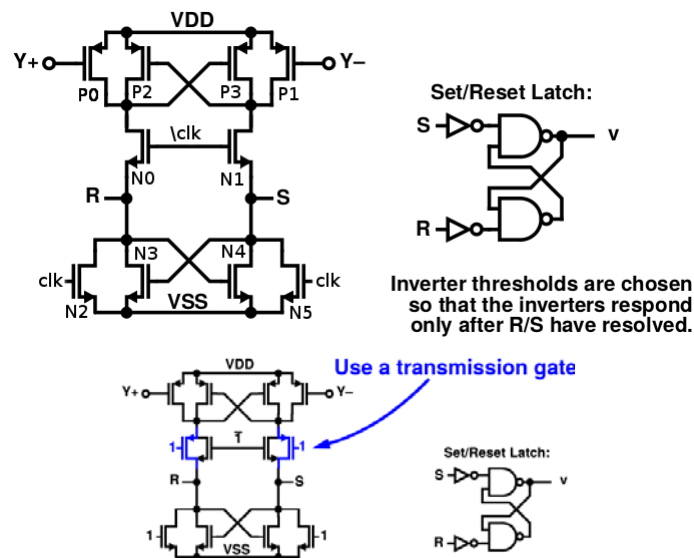


Fig. 4.3.1 – Schéma et conventions du comparateur à évacuation de charges Schreier

Donnée dans [41], cette architecture de bascule synchrone est déclenchée en courant par la paire de transistors de trigger P0 et P1 sur la figure 4.3.1. Les transistors P2 et P3 constituent alors les demi-inverseurs d'un latch classique complétés par les transistors N3 et N4.

L'intérêt de cette architecture se trouve dans le système de switch permettant de rééquilibrer les sorties de cet étage. À l'état d'horloge haut comme sur la figure 4.3.2, les charges aux nœuds constitués des drains des transistors P0 et P2, P3 et P1 sont renvoyés à la source d'alimentation V_{DD} . Les charges aux nœuds correspondants aux drains des transistors N2 et N3, N4 et N5 sont renvoyées à V_{SS} . Avec le complémentaire d'horloge à 0 V, les transistors N0 et N1 sont complètement bloqués. Les transistors P0 et P1 sont en triode grâce à la tension de polarisation $V_{Y+|CM} = V_{Y-|CM} = V_{DD} - V_{SG} = 0.9V$. Les charges se retrouvent alors immédiatement évacués au lieu de devoir se rééquilibrer entre les 2 nœuds des drains des transistors couplés croisés P2 et P3. Contrairement aux charges qui se rééquilibrent entre les drains des transistors P0 et P1 avec l'interrupteur matérialisé par le transistor N3 de l'architecture de la figure 4.2.1.

Enfin, les interrupteurs N0 et N1 à base de NMOS du schéma de la figure 4.3.1 ont été remplacés comme suggéré par des CMOS (transmission gate).

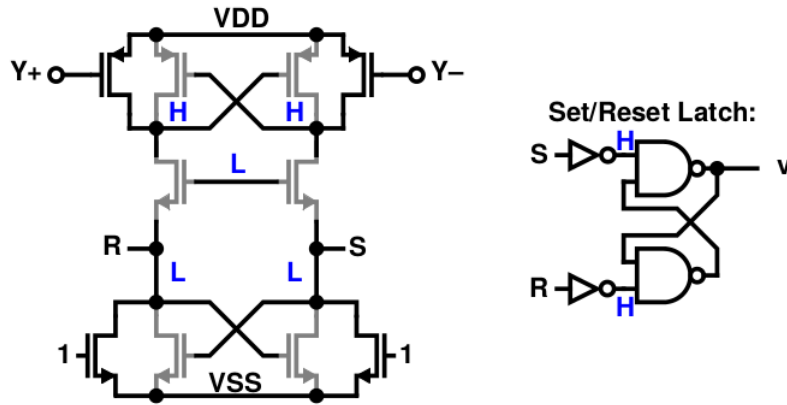


Fig. 4.3.2 – Architecture Latch en phase de reset

4.3.2 Simulation

Le câblage des caissons des PMOS des interrupteurs CMOS N0 et N1 de la figure 4.3.1 pouvant être soit connecté à leur sources respectives soit à V_{DD} , les deux options ont été simulées et sont données en paramètres d'entrée du simulateur.

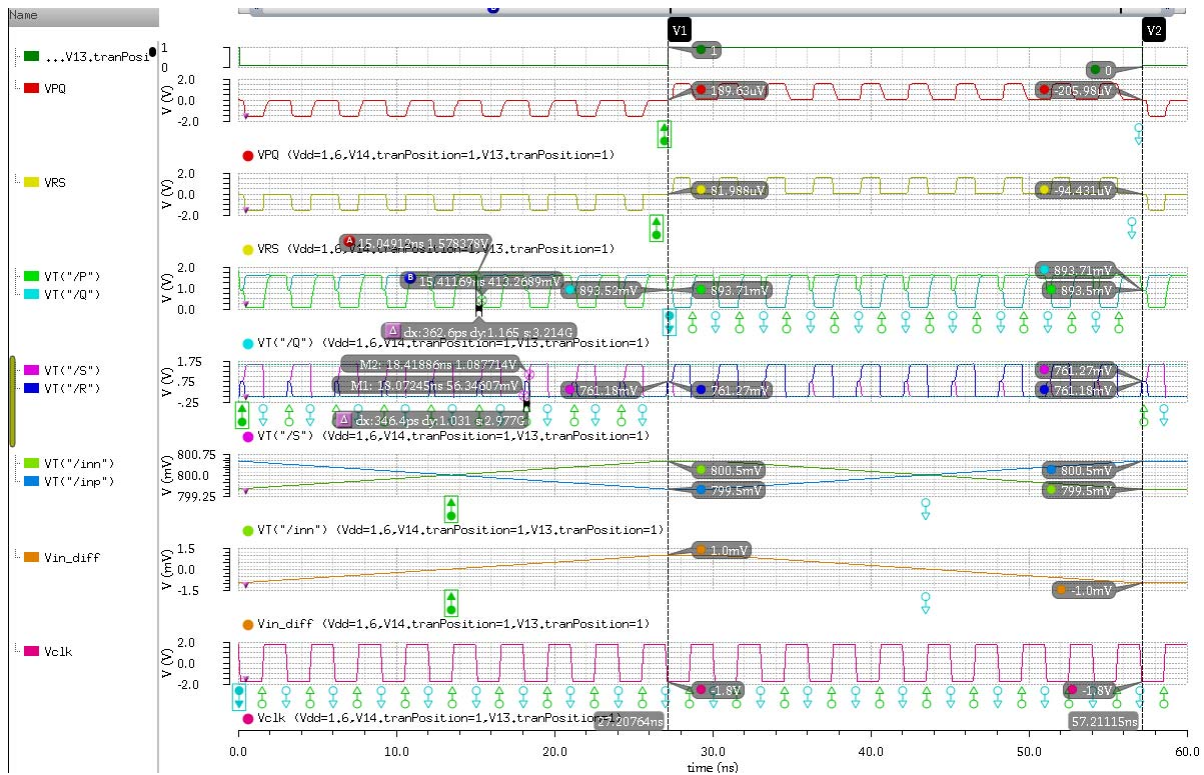


Fig. 4.3.3 – Courbes des signaux internes et en sortie à $f_{clk} = 333 \text{ MHz}$, $V_{DD} = 1.6 \text{ V}$ prise caisson des PMOS des switches à V_{DD}

Les résultats de la simulation du comparateur avec les courbes des signaux de stimuli et mesurés sont donnés sur la figure 4.3.3. Des marqueurs (A, B, M1 et M2) sont placés pour extraire les temps de montée et descente. Les tensions aux nœuds P et Q correspondants aux drains des transistors P0 à P3 sont également tracés. Les marqueurs verticaux donnent les points de basculement de la double rampe.

L'optimum est trouvé pour une tension d'alimentation de 1.6 V et la prise des caissons à connectée à V_{DD} . Les résultats de l'analyse nominale pour les différents points de simulations (3 différentes tensions d'alimentation et 2 câblages du caisson des PMOS des interrupteurs N0 et N1) sont répertoriés sur le tableau 4.1. L'hystérésis relevé pour l'optimum est de $2*1.012$ mV pour un temps de reset de **190 ps** et un temps de bascule de **247 ps**, la consommation moyenne est de **815 μ W**.

Paramètres d'entrée		Résultats d'analyses				
Vdd	NWell	Reset_timeP_single	Latch_timeP	HysteresVin_Half	offset_Vin	AvrgPower
1.8	VDD	1.560e-10	2.521e-10	6.541e-04	6.492e-08	-1.272e-03
1.6	VDD	1.903e-10	2.468e-10	1.012e-03	7.120e-08	-8.147e-04
1.4	VDD	3.009e-10	2.607e-10	2.438e-03	3.993e-08	-4.784e-04
1.8	Source	1.629e-10	2.385e-10	4.807e-04	1.706e-06	-1.276e-03
1.6	Source	1.960e-10	2.365e-10	8.308e-04	8.907e-08	-8.138e-04
1.4	Source	3.107e-10	2.526e-10	2.080e-03	1.891e-07	-4.779e-04

Tab. 4.1 – Résultats nominaux à $f_{clk} = 333$ MHz, $V_{in} = 8$ mV PP à 1.6 MHz, différents V_{DD} et prise Nwell des PMOS des switch

Le tableau 4.3.4 présente les résultats de l'analyse de 400 tirages en Monté Carlo **mismatch**^{3 4} pour un câblage des caissons des PMOS à V_{DD} . Deux tensions d'alimentations sont simulés avec des corners, $V_{DD} = 1.8$ V et la configuration optimum ($V_{DD} = 1.6$ V). Les valeurs de la configuration optimale sont mis en gras, les noms des résultats d'analyses correspondants prennent l'extension "_C0". à noter le résultat d'analyse **Absolute_offset** qui correspond au calcul de l'expression proposée en équation 2.1.2. Les tirages correspondants à l'ensemble des points en dehors des **84.75%** de rendement (**Yield**) des résultats d'analyse des expressions **Vin_LatchDown_C0** à **Absolute_offset_C0** sont des tirages pour lesquels le stimuli de 8 mV crête à crête n'a pas été suffisant pour commuter le latch à zéro lors de la phase de descente de la double rampe.

Name	Yield (%)	Min	Max	Mean	Sigma	Unit
HysteresVin_Half	84	6.537e-04	7.410e-04	7.061e-04	4.213e-05	V
HysteresVin_Half_C0	84.75	1.010e-03	1.100e-03	1.068e-03	4.057e-05	
offset_Vin	84	-7.318e-03	7.109e-03	1.020e-05	3.788e-03	
offset_Vin_C0	84.75	-6.963e-03	6.962e-03	-6.929e-05	3.600e-03	
Absolute_offset	84	-8.000e-03	7.764e-03	1.421e-05	4.404e-03	
Absolute_offset_C0	84.75	-8.000e-03	8.000e-03	-8.887e-05	4.547e-03	s
Latch_timeP	92.75	2.108e-10	4.121e-10	2.561e-10	2.797e-11	
Latch_timeP_C0	94.5	2.079e-10	4.138e-10	2.512e-10	2.731e-11	
Reset_timeP_single	92.75	1.555e-10	1.567e-10	1.561e-10	2.070e-13	
Reset_timeP_single_C0	94.5	1.834e-10	1.955e-10	1.904e-10	2.099e-12	W
AvrgPower	100	-1.288e-03	-1.200e-03	-1.264e-03	1.329e-05	
AvrgPower_C0	100	-8.263e-04	-7.734e-04	-8.100e-04	8.632e-06	

Fig. 4.3.4 – Résultats de l'analyse de Monte Carlo (mismatch) à $f_{clk} = 333$ MHz, $V_{in} = 8$ mV PP à 1.6 MHz, $V_{DD} = 1.8$ V (nominal) et $V_{DD} = 1.6$ V (C0)

3. voir définition 2

4. avec un stimuli de $V_{in} = 8$ mV crête à crête

Bilan

- Consommation statique nulle lors de la phase de reset ;
- Limitée à 300 Mega échantillons par seconde avec une amplitude du signal d’entrée de $\pm 20\text{ mV}$.
- Consommation /Hz augmente avec la fréquence d’échantillonnage ;

4.4 Comparateur à évacuation de charges Yang High Speed

L’architecture Yang High Speed est présentée sur la figure 4.4.1. Le schéma synthétisé sur éditeur est laissé en annexe sur la figure B.4. Elle est classée comme une architecture à évacuation de charges comme celle vue précédemment. Elle est constituée d’une paire différentielle NMOS polarisée par une source de courant statique avec une sortie en courant sur les nœuds Y et \bar{Y} , c’est le déclenchement (trigger) du comparateur.

L’étage de latch est constitué d’une paire de PMOS en CS qui doit drainer le courant de l’étage de déclenchement. Celui qui draine le plus de courant à cause du trigger voit sa tension de drain (Y ou \bar{Y}) descendre. La boucle positive créée par l’inverseur permet de basculer le nœud de grille de ce PMOS (qui constitue un des 2 nœuds de sortie de l’étage Q ou QD) vers V_{DD} et donc de commuter le nœud de Drain vers 0 V. L’inverse se produit sur l’autre branche.

Le rebouclage positif est augmenté grâce aux NMOS couplés croisés drainant une partie du courant de drain des PMOS. Il sont polarisés par une source de courant dynamique matérialisée par un NMOS en CS.

Le reset est réalisé par la commande de ce NMOS par le signal d’horloge (CLK). Deux autres commutateurs matérialisés par des NMOS évacuent les charges des nœuds Q et QD vers la masse par une commande complémentaire de l’horloge \overline{CLK} .

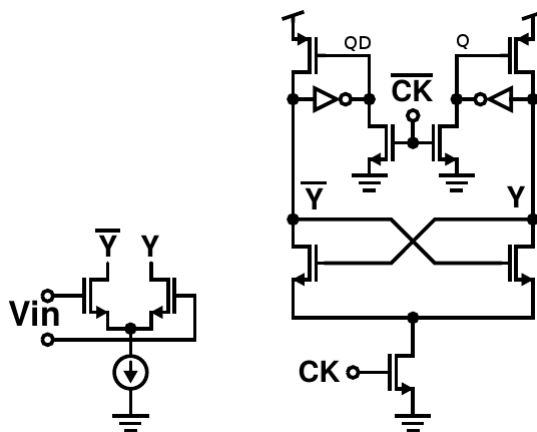


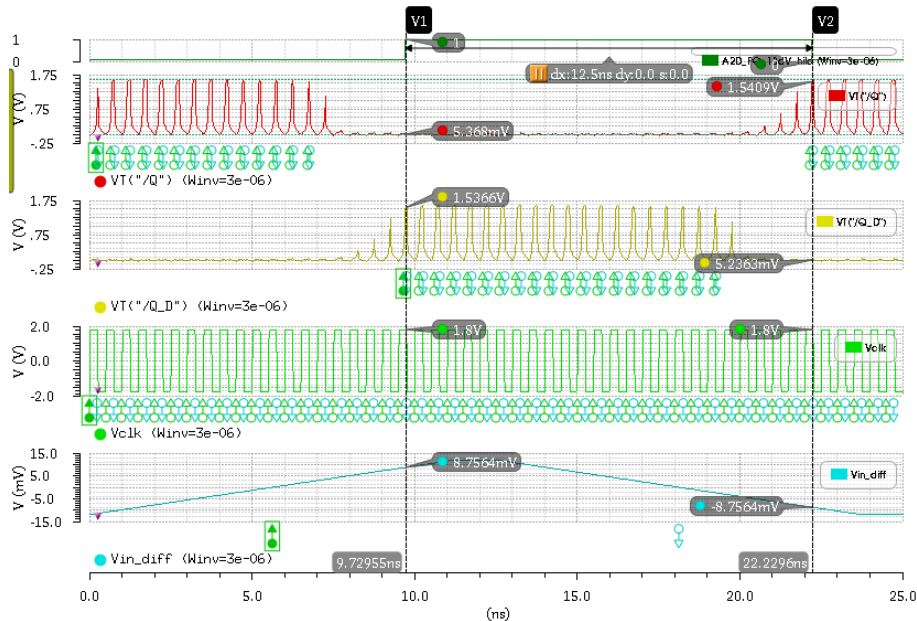
Fig. 4.4.1 – Schémas de principe et conventions

Paramètres	Vdd (V)	IbiasIn (A)	TN5 Wclk (m)	TN9&10 Wclk_Q	(TP0&1) TN7&8 Winv	TN3&4 WlatchN	TP2&3 WlatchP	TN11&12 WbiasIn	TN0&1 WdiffIn
Valeurs optimales	1.6	600u	10u	5u	(3*)3u	1.5u	3u	90u	12u

Tab. 4.2 – Valeurs optimales de largeurs de transistors du schéma de la fig B.4, de tension et de courant

Les valeurs optimales du tableau 4.2 ont été obtenues pour un latch atteignant 2 GS/s avec 24 mV

d'amplitude sur le signal d'entrée. La réponse de la cellule est donnée sur la figure 4.4.2 pour une alimentation à 1.6 V.



(a) Courbes des signaux en sortie de la bascule, du stimuli d'entrée et de l'horloge

Nom du resultat d'analyse	Valeur	Units
Vin_LatchDown	-8.712e-03	V
Vin_LatchUp	8.715e-03	
HysteresVin_Half	8.714e-03	
offset_Vin	1.245e-06	s
Absolute_offset	8.715e-03	
Latch_timeP	1.993e-11	
Reset_timeP	1.075e-10	
latch_timeDigit	9.710e-09	
latch_timeDigit2	2.221e-08	W
AvrgPower	-1.828e-03	

(b) Caractéristiques de tensions, de temps et de consommation

Fig. 4.4.2 – Résultats nominaux à $V_{DD} = 1.6 V$, $f_{clk} = 2 GHz$ et $V_{in} = 24 mV$ PP double rampe

Les simulations en tirage de Monte Carlo **mismatch**⁵ sont rapportées sur les tableaux suivants. L'optimum est trouvé pour une tension $V_{DD} = 1.6 V$ avec un rendement de 74% pour une double rampe de $V_{in} = 24 mV$ crête à crête. La variation d'offset absolu tel que définit en équation 2.1.2 donne une déviation standard de 10 mV.

Bilan

- Fonctionne à 2GS/s ;
- Consommation /Hz diminue avec la fréquence d'échantillonnage ;
- Consommation statique due au dernier étage du préamplificateur ;
- Dimensionné pour un simple préamplificateur à paire différentielle, amélioration possible (compresseur dynamique, Cascode replié, etc.) ;

5. voir définition 2

Name	Yield (%)	Min	Max	Mean	Sigma	Unit
Vin_LatchDown_C0	74.75	-1.200e-02	-2.285e-03	-8.177e-03	2.756e-03	V
Vin_LatchUp_C0	100	-1.200e-02	1.200e-02	3.459e-03	9.266e-03	
HysteresVin_Half_C0	74.75	5.835e-03	9.833e-03	8.429e-03	5.113e-04	
offset_Vin_C0	74.75	-4.822e-03	4.805e-03	2.514e-04	2.616e-03	
Absolute_offset_C0	74.75	-1.200e-02	1.200e-02	5.105e-04	1.074e-02	
Latch_timeP_C0	90.5	1.946e-11	2.171e-11	1.991e-11	2.295e-13	s
latch_timeDigit_C0	100	0.000e+00	2.500e-08	7.411e-09	4.520e-09	W
AvrgPower_C0	100	-1.917e-03	-1.625e-03	-1.805e-03	5.242e-05	

Tab. 4.3 – Résultats de l’analyse de Monte Carlo (**mismatch**) à $V_{DD} = 1.6 V$ $f_{clk} = 2 GHz$ et $V_{in} = 24 mV$
PP double rampe

Name	Yield (%)	Min	Max	Mean	Sigma	Unit
Vin_LatchDown_C1	16.75	-1.200e-02	-7.716e-03	-1.077e-02	1.159e-03	V
Vin_LatchUp_C1	100	-1.200e-02	1.200e-02	-8.068e-03	8.784e-03	
HysteresVin_Half_C1	16.75	9.858e-03	1.200e-02	1.112e-02	5.821e-04	
offset_Vin_C1	16.75	-1.602e-03	2.142e-03	3.504e-04	8.511e-04	
Absolute_offset_C1	16	-1.200e-02	1.200e-02	5.275e-03	1.067e-02	
Latch_timeP_C1	64.5	2.526e-11	2.797e-11	2.619e-11	3.673e-13	s
Reset_timeP_C1	0.25	1.210e-10	1.210e-10	1.210e-10	0.000e+00	
latch_timeDigit_C1	100	0.000e+00	1.276e-08	1.915e-09	4.286e-09	W
AvrgPower_C1	100	-2.396e-03	-1.890e-03	-2.081e-03	7.891e-05	

Tab. 4.4 – Résultats de l’analyse de Monte Carlo (**mismatch**) à $V_{DD} = 1.8 V$ $f_{clk} = 2 GHz$ et $V_{in} = 24 mV$
PP double rampe

- Résultats de **mismatch**⁶ de Monte Carlo satisfaisants (offset de l'étage faible par rapport à la sensibilité);

4.5 Comparateur Yang High Speed améliorée

L'idée de la consommation low power de l'ADC est de chercher à réduire voir annuler la consommation statique en coupant les sources de courant une fois que la conversion d'un échantillon est faite en s'inspirant de la logique combinatoire en technologie CMOS **pull up/down network**⁷.

Différentes structures ont été imaginées et synthétisées. Un banc de tests complet a été élaboré pour ce besoin. L'emploi de cellules en langage de modélisation comportementales **veriloga** et de l'**analogLib** a été nécessaire comme le MOS idéal modifié à partir du vccs de l'**ahdl lib** donné en section B.1.6 en annexe. Les résultats sont donnés dans cette section.

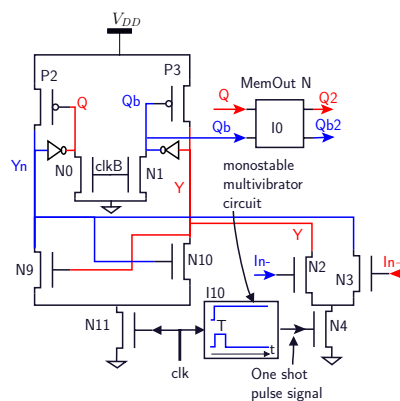


Figure 4.5.1 – Comparateur à évacuation de charges Yang high speed amélioré

4.5.1 Banc de tests au niveau top

La conception de cette cellule avec les différentes structures possibles nécessite des analyses croisées pour être comparés. Un banc de test hiérarchique a été implémenté comme sur la figure 4.5.2. Celui-ci divise le comparateur en 3 étages :

- La paire différentielle d'entrée de la figure 4.4.1 (instance **I25**) a pour rôle de déclencher le basculement du comparateur à chaque nouvel échantillon. Ces noeuds de sortie sont **Y** et **Yn**;
- Le latch (instance **I15**) avec ses inverseurs rebouclés positivement doit basculer ses signaux de sortie **Q** et **Q_D** aux niveaux logiques V_{dd} et 0 V à chaque nouvel échantillon. Elle contient ses switch de reset.
- La mémoire d'état (instance **I26**) non représentée sur la figure 4.4.1 doit sauvegarder l'état de la bascule entre 2 échantillons pendant la phase de reset tant qu'elle ne bascule pas dans l'autre sens. Ses signaux de sortie sont **A** et son complémentaire **Ab**;

La génération du signal d'horloge avec son complémentaire est assurée par les sources de tensions **V0** et **V6** en bas à droite sur le schéma. Les délais d'analogLib permettent de retarder la commande des switchs de la bascule par rapport à la sortie du générateur d'impulsion (instance **I16**).

Pour une analyse DC ou transitoire de la structure, les switchs **S2** et **S3** permettent de basculer sur les sources de tensions adaptées à la bonne analyse.

6. voir définition 2

7. voir définition 6

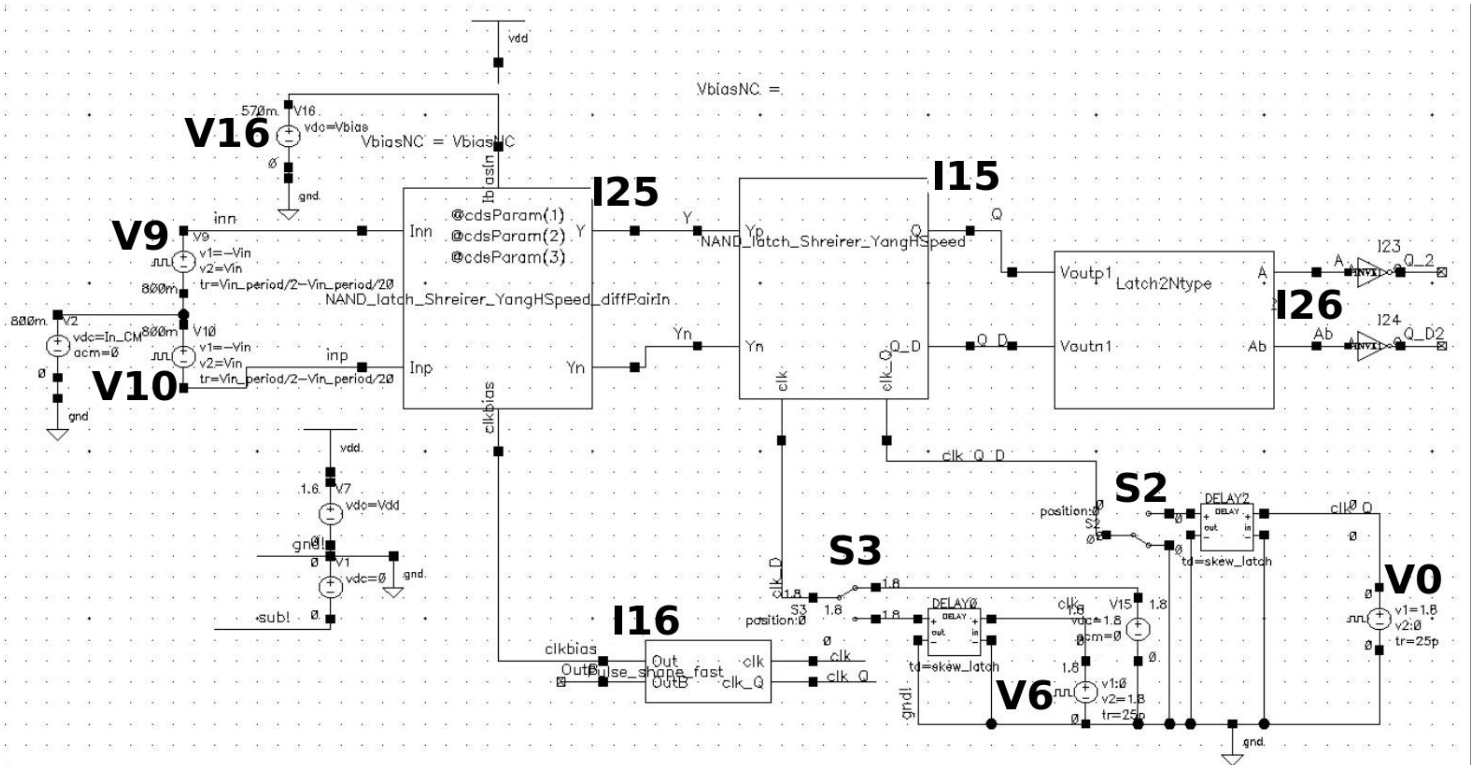


Fig. 4.5.2 – Banc de test du comparateur latch Yang High Speed avec ses améliorations

Le signal d'entrée différentiel est une double rampe générée par les sources de tensions **V9** et **V10** autour de 800 mV. Son amplitude est définie par le paramètre V_{in} de l'ordre du mV.

La polarisation de la source de courant statique de la paire différentielle est assurée par la source de tension **V16** réglée à 570 mV.

Enfin, l'aiguillage de la polarisation de la paire différentielle sur la source de courant statique ou dynamique est assuré par le paramètre V_{biasNC} . La source de courant dynamique est contrôlée par le générateur d'impulsion (instance **I16**).

Le détail du banc de test au niveau de la paire différentielle (cellule **I25** sur la figure 4.5.2) est laissé en section C.2.1.

4.5.2 Générateur d'impulsion multivibrateur monostable

Le multivibrateur monostable (instance **I16** sur la figure 4.5.2) utilisé pour polariser la source de courant de la paire différentielle du comparateur Yang High Speed a pour principe de générer un signal pendant le temps nécessaire au basculement du comparateur. Ainsi, il permet d'économiser la consommation statique de la bascule une fois que celle-ci a basculé.

Cette fonctionnalité est réalisée avec un délai et une porte logique XOR comme sur la figure 4.5.3.

Les portes logiques en CMOS étant assez limités en fréquence de fonctionnement, c'est la logique de pass gates complémentaires qui a été retenue avec un rebouclage de gain positif en sortie de la porte logique matérialisé par des PMOS. Le schéma de la cellule est laissé en annexe sur la figure B.5. Les délais d'analogLib sont matérialisés par des inverseurs en cascade comme sur la figure 4.5.3.

La réponse de la cellule est donnée en figure 4.5.4 pour un signal d'horloge à 2 GHz (2 périodes) et à 10 MHz (1 période) avec la consommation moyenne en courant de 1.26 mA et 6.7 μA respectivement. Ce qui confirme le principe de la consommation statique annulé de ce type de structure.

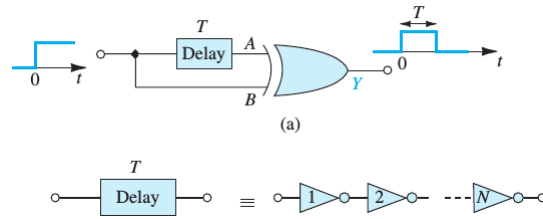


Fig. 4.5.3 – Diagramme du générateur d’impulsion de type multivibrateur monostable [42]

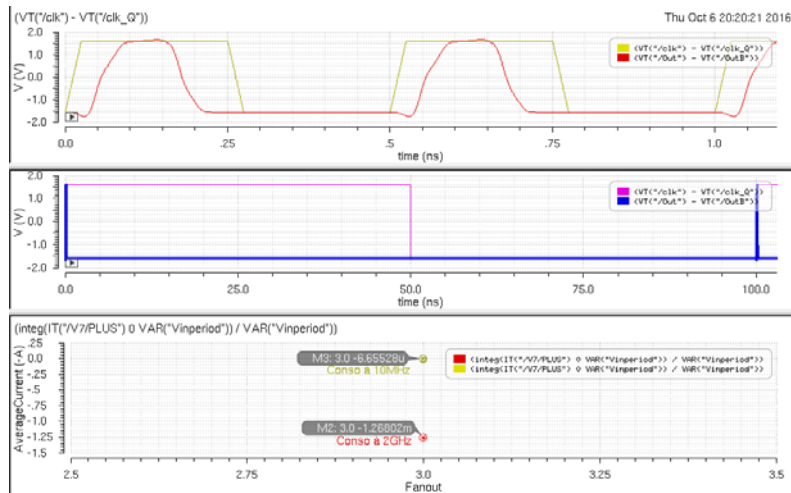


Fig. 4.5.4 – Réponse du générateur d’impulsion à un signal d’horloge à 2 GHz et à 10 MHz

4.5.3 Résultats de simulation

L’idée de ces améliorations est de chercher à atteindre les meilleures performances de consommation par unité de fréquence possibles. Les résultats de simulation aux différentes fréquences d’échantillonnage sont présentés en section annexe B.5.3.2. Le signal d’entrée à une amplitude de 60 mV crête à crête.

Les résultats montrent un fonctionnement valide jusqu’à 100 MHz pour ce stimuli d’entrée.

En terme de consommation statique, la seule structure permettant une réduction significative est celle employant la source de courant dynamique avec le générateur d’impulsion présenté en section 4.5.2 et les diodes séries avec un courant de moins de $10 \mu A$ pour les deux cycles d’horloge (voir table B.4 en annexe). Ce qui se traduit par $70 \mu W$ de consommation moyenne.

4.6 Retour de bruit de commutation (*Kick-back noise*)

Bien que la conception de l’étage de latch du comparateur ait été présentée avant l’étage de pré-amplification, il est important de noter que l’implémentation de ce dernier introduit une impédance de Thévenin de sortie équivalente. Or les nœuds des grilles des transistors d’entrée des comparateurs latched ont été directement reliés aux sources de tension des stimuli des bancs de tests réalisés.

Les tensions aux nœuds de sortie de l’étage de latch commutent aux rails d’alimentation. Des charges vont se retrouver aux entrées des transistors de déclenchement (trigger) à cause de la capacité Miller. Ce qui se traduira par des pics de tension à cause de la résistance de sortie de l’étage d’amplification analogique précédant l’entrée des 255 comparateurs. Ces pics viennent s’ajouter au signal analogique à l’entrée des grilles des transistors de trigger du latch. Ce qui peut perturber la

conversion à une certaine échelle. C'est ce qu'on appelle le bruit de retour de commutation (*kick-back noise*).

L'analyse transitoire du comparateur en appliquant des résistances séries aux sources des générateurs aux entrées du comparateur sous test (DUT) permet d'observer ce phénomène sur le signal d'entrée des grilles des transistors de déclenchement (*trigger*) du latch.

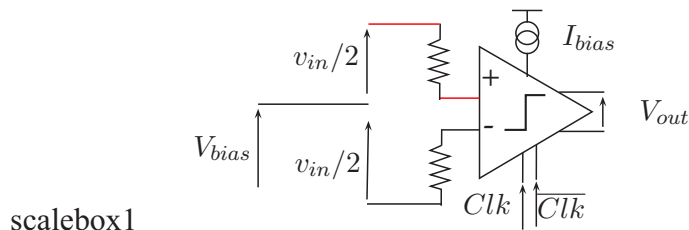


Fig. 4.6.1 – Analyse de kick-back noise

Le bruit *kick-back* est en grande partie filtré par l'étage de pré-amplification. Dans les faits, une partie des charges se retrouvent aux nœuds d'entrée du préamplificateur et donc de l'échelle de référence. Une des solutions est de mettre des petites capacités de découplage aux nœuds de l'échelle de référence comme vu en section 2.2.2.2 au chapitre 2.

En séparant l'étage de pré amplification et de bascule (latch) par un miroir de courant comme vu sur la figure 2.1.1, ce bruit peu être réduit en entrée du comparateur. Cette topologie n'étant tout de fois pas suffisante pour réduire totalement cet effet.

4.6.1 Structure Yang High Speed

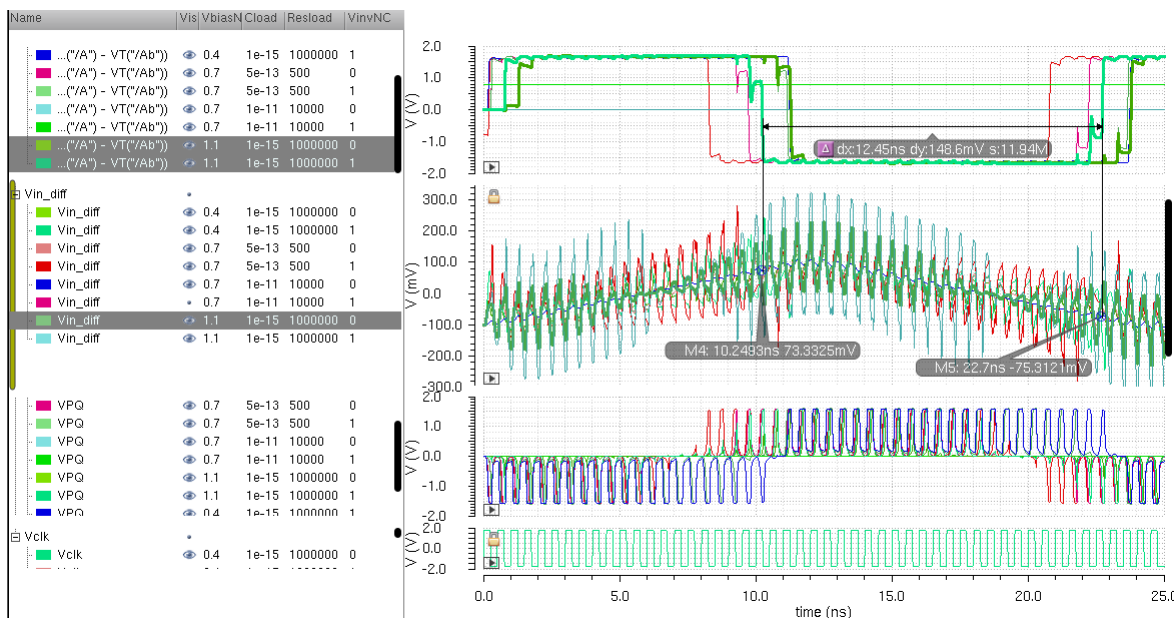


Fig. 4.6.2 – Courbes de la simulation à 2 GS/s pour un signal d'entrée de 200 mV crête à crête

La figure 4.6.2 montre les résultats de simulation de la Yang High speed dans ses différentes configurations avec les résistances séries. Le signal d'entrée a du être augmenté à 200 mV d'amplitude crête à crête pour observer la commutation dans ces différentes configuration.

L'effet du bruit *kick back* est très sensible sur la configuration avec source de courant dynamique. L'hystérésis est de 80 mV pour la configuration avec la source de courant statique et atteint 148 mV

pour la configuration avec le multivibrateur monostable sans diodes séries et 193 mV avec diodes séries.

4.6.2 Structure à rééquilibrage de charges

La structure de comparateur latch conçu initialement à rééquilibrage de charges de la figure 4.2.1 présente elle aussi du bruit *kick-back* en entrée.

Le schémas du banc de test de la seule bascule avec la résistance de sortie de l'étage de pré amplification permet de visualiser l'effet du bruit *kick-back* sur le signal d'entrée et de sortie.

Les résultats de simulation ont montré des tensions d'hystérésis de 10 mV pour la structure avec capacités de boucle et 17 mV sans capacités de boucle. L'effet est particulièrement visible sur les signaux d'entrée aux nœuds de grille (V_{inp} - V_{inn}) et aux nœuds de sortie du latch avant la mémoire $V_t(I2/V_{outp} - V_t(I2/V_{outn})$ sur la fig 4.6.3. La valeur optimale est donc de 2.1 fF.

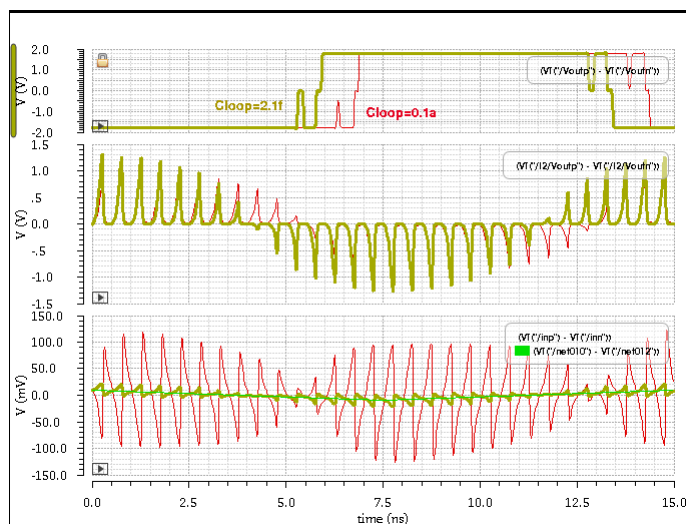


Fig. 4.6.3 – Courbes des signaux du comparateur latché à rééquilibrage de charges pour 2 valeurs de capacités de boucle

4.7 Conclusion

Architecture	Conso statique	Consommation moyenne à $f_{ech} = 2$ GHz	Offset et hystérésis ramenés en entrée pour double rampe à 25 MHz d'amplitude $V_{in pp}$
Rééquilibrage de charges (fig 4.2.1)	0.6 mW	0.6 mW	$\sigma_{OS} = 10$ mV, $V_{hyst} = 11.5$ mV ($V_{in pp} = 20$ mV)
Yang High Speed (fig 4.5.1)	0	1.8 mW	$\sigma_{OS} = 12$ mV, $V_{hyst} = 148$ mV ($V_{in pp} = 200$ mV)

Table 4.5 – Bilan des résultats de simulation des latches à 2 GS/s

Les sources d'erreurs de quantification suivantes ont été identifiées pour le latch :

- La tension d'hystérésis ramenée en entrée interne au comparateur latché dépend essentiellement de l'architecture de latch et de son dimensionnement lors du portage technologique ;
- La tension d'offset ramenée en entrée et son écart type σ_{offset} en Monte Carlo **mismatch**⁸ dépend de la taille des transistors et de leur symétrie. Ce dernier facteur peut être augmenté en implémentant une topologie de transistors en centroïd commun.
- Le kick back noise ou bruit de retour de commutation est dû à la commutation des nœuds de sortie du latch ;

8. voir définition 2

L'addition de tous les effets décrits dans cette section conduisent l'ADC à cumuler de l'erreur de quantification. C'est pourquoi les comparateurs latchés se voient insérer un préamplificateur analogique. Son gain ayant pour rôle de ramener les tensions d'offset et d'hystérésis avec les effets cumulés de bruit en entrée à moins de $LSB/2$ avec le meilleur rendement possible afin d'assurer une résolution effective $ENOB > 7$ bits pour un ADC 8 bits.

Les différentes cellules conçues ont prouvé par leurs résultats de simulation que la technologie CMOS 180 nm est adaptée pour la conception d'un ADC flash de 2 GHz de fréquence d'échantillonnage.

Le latch à rééquilibrage de charges permet d'atteindre la fréquence d'échantillonnage avec une consommation réduite à 500 μ W malgré une consommation statique constante.

Points clés

Positionnement

- ❑ Bien que les latch à évacuation de charges permettent de réduire la consommation statique grâce à différentes techniques, les performances à hautes fréquences et la consommation dynamique ne sont pas adaptés à cette étude.
- ❑ La structure à rééquilibrage de charges avec les capacités de rebouclage permettant de réduire le bruit de retour de commutation a atteint les performances requises pour un courant de polarisation entre 200 à 300 μA . C'est la cellule retenue pour l'ADC flash complet.

Contributions

- ❑ Un banc de tests complet et intégrant le cumul de l'hystérésis, de la tension d'offset et du kick back noise a été élaboré.
- ❑ Différentes cellules de latch ont été portées sur la techno CMOS 180 nm. Les résultats de simulation ont été comparés et exposés.
- ❑ Des améliorations innovantes ont été proposées pour ces cellules afin de chercher à éliminer le kick back noise ou la consommation statique.

Chapitre 5

Le Préamplificateur à seuil interne

5.1 Préamplificateur mode commun et charges

C'est le gain en tension de ce préamplificateur qui est chargé de ramener les sources d'erreur de quantification en entrée à moins d'un LSB/2.

5.1.1 Étude du préamplificateur à charges de type PMOS montés en diodes

Le préamplificateur du schéma de la figure 2.1.1 étant simplement chargé par des PMOS montés en diodes, le gain différentiel pour un petit signal appliqué sur l'entrée In est calculé à partir du schéma petit signal.

La paire différentielle chargée par des PMOS montés en diode stimulée en mode commun est représentée sur la figure 5.1.1.

L'étude de cette cellule avec son schéma petit signaux est laissée en section annexe B.2.2.2. Le gain de l'étage est donc de g_{mN}/g_{mP} . Ce qui limite le gain de l'étage pour la dynamique atteignable. Elle même limitée par la polarisation du PMOS monté en diode en saturation (voir expression B.2.5 en annexe).

En effet, un gain important est obtenu en limitant g_{mP} tout en gardant g_{mN} constant. Pour ce faire, il faut diminuer la largeur du PMOS ce qui a pour effet de faire augmenter sa tension V_{SG} et donc réduit la dynamique de fonctionnement.

5.1.2 Simulation

La réponse fréquentielle donne ainsi le même gain en basse fréquence que le stimuli soit en mode commun ou en différentiel $A_{v0} = V_{out} / V_{In}|_{CM} = V_{out} / (V_{In} - N_{In})$ sur la figure 5.1.2. Le calcul du gain statique avec l'expression B.2.3 et les valeurs de transconductances extraites en simulation donne 1.534 et 1.157 soit 15.3% et 16.3% au dessus de la mesure. En rajoutant les g_{DS} des transistors M1 et M3, le résultat est identique à celui de la réponse fréquentielle. L'influence de la longueur de

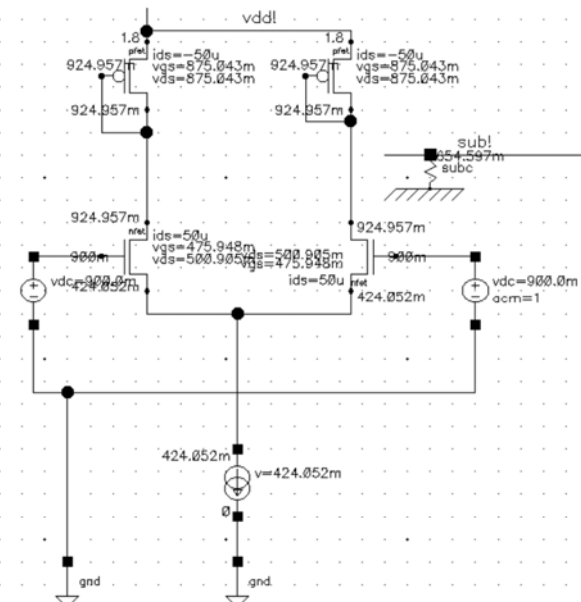


Fig. 5.1.1 – Stimuli mode commun d'une paire différentielle

grille des transistors est aussi montré. Avec le même courant de polarisation, la transconductance est donnée par substitution de l'expression de $V_{GS} - V_{th}$ en fonction de I_{DS} dans l'expression B.1.4,

$$g_m = \sqrt{2 \cdot \mu C_{ox} \frac{W}{L} I_{DS}}$$

Avec la longueur de grille qui est divisée par 2 en passant de 400 nm à 800 nm, la transconductance est multipliée par $\sqrt{2}$ ce qui est 11% au dessus de ce qui est extrait en simulation. L'approximation de l'expression B.2.3 avec la conductance de sortie négligée devant la transconductance est donc tout à fait valable, de même pour l'expression de la transconductance.

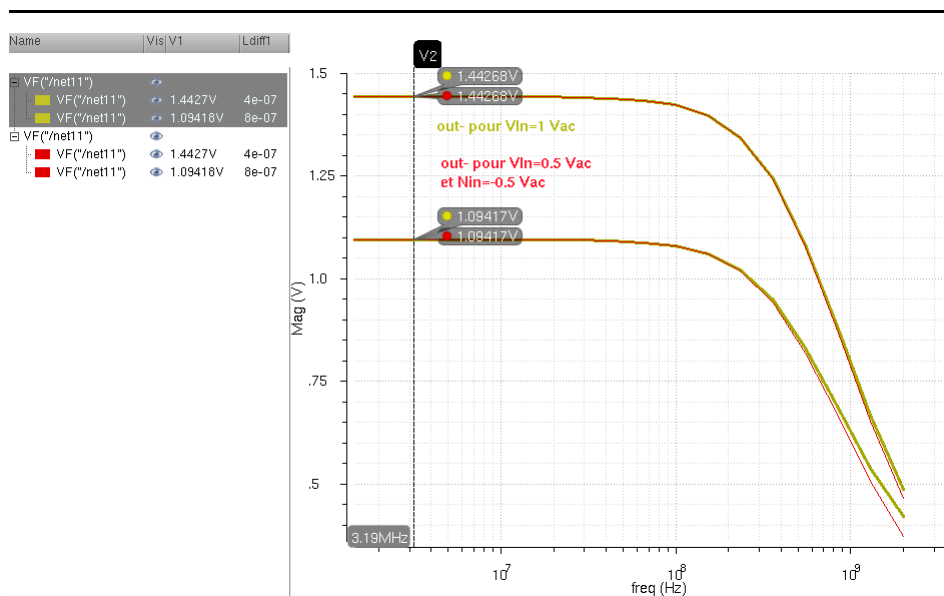


Fig. 5.1.2 – Réponses fréquentielles de la sortie *out-*

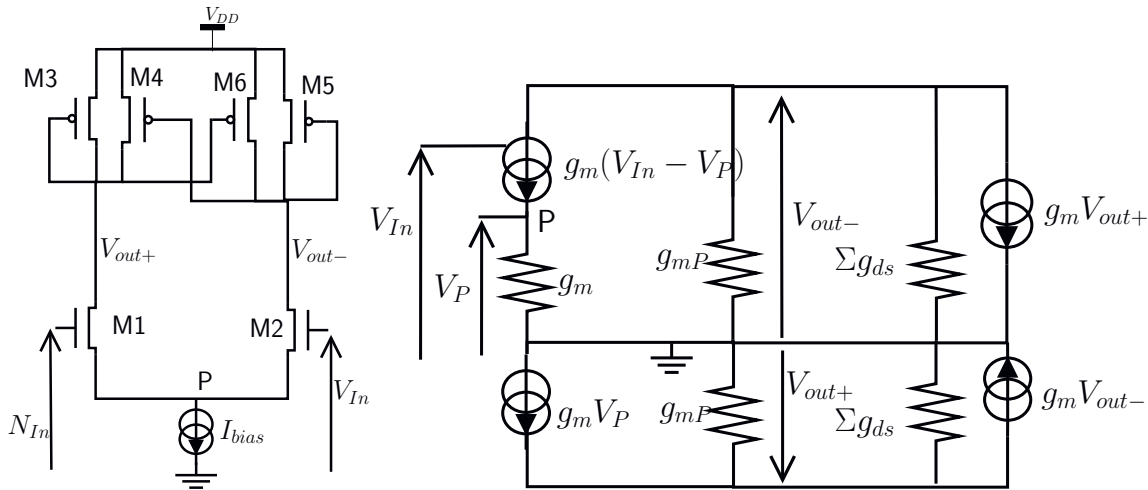
5.1.3 Étude du préamplificateur à charges couplées croisées type Lee

Une amélioration simple au niveau de la charge pour obtenir plus de gain consiste à implémenter un rebouclage positif avec des transistors PMOS couplés croisés ou de charges de type Lee comme sur la figure 5.1.3.

Le gain basse fréquences A_{v0} est donc extrait (le détail du calcul est laissé en annexe en section B.6.1),

$$A_{v0} = \frac{V_{out-}}{V_{In}} = \frac{V_{out+} - V_{out-}}{V_{In}} = \frac{g_m}{\Sigma g_{DS}} \quad (5.1.1)$$

Cette expression correspond au gain du même montage stimulé en différentiel. On retrouve un gain intrinsèque du même type qu'un transistor en CS comme vu en section B.2.1. Cela présente un certain avantage par rapport aux charges de diodes du préamplificateur de la figure 2.1.1 où le gain peut être augmenté grâce à la transconductance g_m avec la largeur de grille des transistors de la paire différentielle ou avec le courant de polarisation. Il sera ajusté pour réduire l'offset du latch en entrée pour atteindre la spécification du demi pas de quantification $LSB/2$. La polarisation des nœuds de sortie à l'équilibre dépend quant à elle principalement du rapport W/L des transistors PMOS constituant la charge différentielle avec le courant de polarisation. En négligeant l'effet de modulation du canal, l'expression de $V_{GS|P}$ est donnée,



(a) Schémas de la paire différentielle chargée par des diodes couplées croisées
 (b) Schéma petit signal de la paire différentielle chargée par des diodes couplées croisées

Fig. 5.1.3 – Charges Lee de diodes couplées croisées d'une paire diff

$$V_{GS|P} = \sqrt{\frac{I_{bias}}{2\mu_P C_{ox} \left(\frac{W}{L}\right)_P}} + V_{th|P}$$

Contrairement aux charges résistives ou aux diodes, il est possible d'ajuster le gain de l'étage indépendamment de la polarisation des nœuds de sortie.

Les limites technologiques seront atteintes pour le compromis du gain statique avec la fréquence de coupure due au pôle dominant créée avec des capacités parasites des transistors employés, dont principalement la capacité C_{GS} des transistors M3 à M6 des figures 5.1.3. Les conductances de sortie (Σg_{DS}) de l'étage dépendant essentiellement de la longueur de grille des transistors M1 à M6, les diminuer en conservant les points de polarisation avec l'augmentation des largeurs de grille revient à multiplier ces capacités internes.

À noter que dans la mesure où l'entrée du signal se retrouve directement sur les grilles des transistors M2 de chaque préamplificateur, la capacité miller ramenée en entrée constituera un pôle dû à ce gain intrinsèque et à la capacité C_{GD} avec la résistance interne du générateur de signaux.

5.2 Préamplificateur différentiel

L'intérêt de la structure différentielle a été vu en section 2.2. Cette section présente le montage et son dimensionnement en 180 nm avec les charges de types Lee.

5.2.1 Étude de la polarisation de l'étage et de sa dynamique

La dynamique en entrée est limitée par la polarisation de la source de courant en saturation. Avec des dimensionnements typiques de transistors polarisés à $I_{bias} = 250 \mu A^1$ en régime d'inversion modéré la tension de grille en entrée est limitée par la borne inférieure suivante (détail en annexe en section B.6.2),

1. voir eq 2.4.1

$$V_G|_{N1,2,3,4} > 0.73 V$$

- La tension $V_{GS}|_{Nbias}$ qui est responsable de la polarisation en courant des paires différentielles est choisie pour faire opérer le transistor en inversion forte, $V_{GS}|_{Nbias} - V_{th}|_{Nbias} > 100 mV$. L'inversion faible ayant une caractéristique courant-tension $I_{DS}(V_{GS})$ exponentielle, elle présente le défaut d'avoir beaucoup de variations aléatoires.
- N_{Bias} : $L=500 nm \Rightarrow V_{th}|_{Nbias} = 0.43 V$, $K_N = 274 \mu A/V^2$, $\beta = \mu_n \cdot C_{ox} \cdot \frac{W}{L}$
- Il est possible d'améliorer la variation aléatoire de l'offset en dessinant les transistors par paires (différentielles et charges) en centroïde commun, mais ce n'est pas simulable en Monte Carlo. C'est un des intérêts de soumettre un circuit à fondre même si il ne contient que des sous-ensembles (blocs), cela constitue déjà une base pour poursuivre la recherche en utilisant une même technologie.

5.2.2 Étude petit signaux de l'étage

Cet étage étant composé de 2 paires différentielles avec un transistor de chaque paire en CS (N1 et N4 sur les figures 2.2.5&5.2.1) dégénéré par la conductance d'entrée de l'autre transistor de chaque paire différentielle en CG (N2 et N3 sur les figures 2.2.5&5.2.1). L'étude précédente peut être reprise avec son schéma petits signaux donné sur la figure 5.2.1.

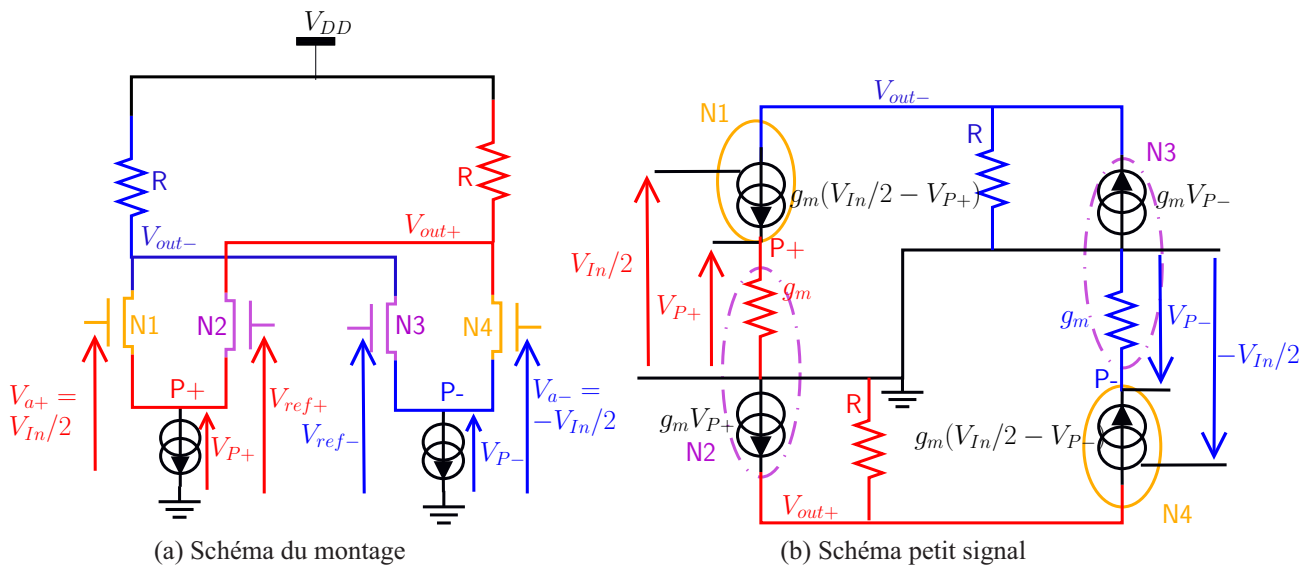


Fig. 5.2.1 – Schémas du préamplificateur full différentiel avec ses 2 paires différentielles avec charges résistives

Tout comme la paire différentielle stimulée sur une seule grille, KCL aux sources des transistors de la figure 5.2.1b) donne $V_{P+} = V_{In+}/4$ et $V_{P-} = V_{In-}/4$. Les expressions de KCL aux nœuds de sortie sont données,

$$\begin{aligned} g_m V_{in}/4 + V_{out-}/R &= -g_m V_{in}/4 \\ -g_m V_{in}/4 + V_{out+}/R &= g_m V_{in}/4 \end{aligned}$$

Le gain différentiel statique est donc déduit,

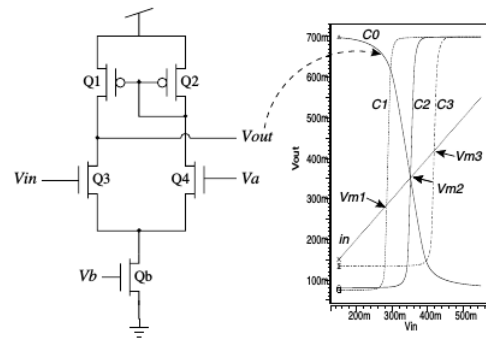
$$A_{v0} = \frac{V_{out+} - V_{out-}}{V_{in}} = g_m R \quad (5.2.1)$$

Le gain d'un étage dual différentiel dépend donc de la transconductance des transistors des paires différentielles et de la charge comme pour un étage à une seule paire différentielle. Il faut veiller à conduire les tensions de référence par paire. La tension différentielle d'entrée quant à elle sera insensible aux perturbations externes jusqu'aux grilles des transistors d'entrée des préamplificateurs.

5.3 Préamplificateur à quantification de voltage

L'idée de la quantification de voltage est de réduire les références externes issues de l'échelle de résistances du pont diviseur de tensions vu en section 1.1.1 en créant un seuil de quantification interne à la paire différentielle d'entrée du préamplificateur de la figure 2.1.1. Pour ce faire, une dissymétrie est implémentée sur la largeur des transistors de la paire différentielle.

En prenant le schémas de la figure 5.3.1, la largeur de grille du transistor Q3 augmente pendant que celle de Q4 diminue. Le seuil de quantification ($I_D|_{Q1,Q3} = I_D|_{Q2,Q4}$ quand $V_{in} < V_a$) est ainsi obtenu à $V_{out} = V_{in} = V_{m1}$. Il est en dessous du seuil du comparateur où les largeurs de Q3 et Q4 sont les mêmes ($I_D|_{Q1,Q3} = I_D|_{Q2,Q4}$ quand $V_{in} = V_a$) où le seuil est obtenu à $V_{out} = V_{in} = V_{m2} > V_{m1}$. De même pour le seuil à $V_{m3} > V_{m2}$ où $W_{Q4} > W_{Q3}$ ($I_D|_{Q1,Q3} = I_D|_{Q2,Q4}$ quand $V_{in} > V_a$). L'idée est donc d'obtenir le pas de quantification LSB voulu avec le ΔW correspondant à $I_D|_{Q1,Q3} = I_D|_{Q2,Q4}$ pour $V_{in} + LSB = V_a$.



(a) Schematic and VTC

Fig. 5.3.1 – Principe de l'ADC à QV[48]

5.3.1 Solution de l'équation $LSB = f(\Delta W)$

L'expression de la variation de cette largeur ΔW en fonction du pas de quantification LSB autour du seuil $I_D|_{Q1,Q3} = I_D|_{Q2,Q4}$ est donnée (voir détail en section B.6.3 en annexe),

$$\Delta W(LSB) = \frac{W_{Qdiff}}{2 * (V_{GS4} - V_{thN})^2 / (LSB^2 + 2LSB \cdot V_{GS4} - 2LSB \cdot V_{thN}) + 1}$$

$$\Delta W(n \cdot LSB) = \frac{W_{Qdiff}}{2 * (V_{GS4} - V_{thN})^2 / ((n \cdot LSB)^2 + 2n \cdot LSB \cdot V_{GS4} - 2n \cdot LSB \cdot V_{thN}) + 1} \quad (5.3.1)$$

L'expression de la variation ΔW en fonction du pas de quantification LSB est donc une équation solution d'un polynôme du 2nd ordre. ΔW n'est donc pas constant pour chaque incrément d'un pas de quantification de $n \cdot LSB$ à $(n + 1)LSB$. Elle dépend aussi de la tension $V_{DS}|_{Qb}$ du transistor Qb de polarisation et donc du V_{GS4} du transistor Q4 à l'équilibre qui va varier avec le seuil de quantification en augmentant avec la largeur du transistor Q3 et en diminuant celle de Q4.

Il est important de noter que cette étude de l'équation de $LSB = f(\Delta W)$ ne prend pas en compte la modélisation PSP significativement plus fidèle mais qui rendrait les équations littérales beaucoup

moins abordables. Enfin, il est important de rappeler que les dimensions des transistors sont limités par la résolution de gravure et donc les seuils sont limités en précision comme pour les architectures TIQ.

Une approche expérimentale est nécessaire pour préciser les variations de largeur de transistor en fonction des seuils de quantification $\Delta W(n \cdot LSB)$. Enfin, les dimensions de transistors subissent une variation sensible en dispersion aléatoire, à cela vient s'ajouter la variation de la mobilité des porteurs de charges μ et des tensions de seuils. C'est pourquoi, le choix d'une variation systématique de la largeur de transistor pour obtenir toute une gamme de seuils a été écartée.

5.3.2 Portage de la technique du QV au préamplificateur full diff

La technique du QV étant nouvelle et assez peu employée sur les architectures d'ADC flash conçues dans l'état de l'art. L'idée a émergé de porter cette technique du QV sur le préamplificateur full différentiel présenté en section 5.2.

La figure 5.3.3 présente les signaux différentiels pour différents facteurs d'asymétrie de -1 à 1. Les seuils sont obtenus avec $W_t = 25\mu m * Klog$ (Klog de 0.1 à 10) et $dV_{ref} = 0$. Le gain s'effondre littéralement dès que le facteur d'asymétrie atteint ± 0.7 .

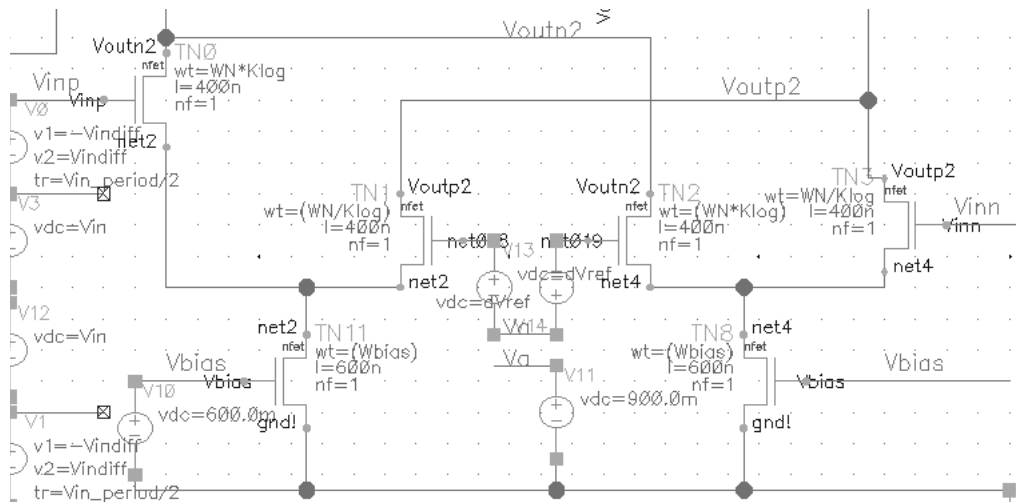


Fig. 5.3.2 – Schéma des paires différentielles d'entrée du comparateur full diff avec l'asymétrie de largeur de transistors $W_{t+} = WN * Klog$ et $W_{t-} = WN/Klog$

La technique du QV a été adoptée pour obtenir une quantification interne au dessus d'un préamplificateur symétrique et une en dessous. Une solution plus plausible plutôt que de chercher à extraire tous les seuils de quantification en augmentant la variation de largeur de façon systématique sur les 255 seuils de quantification de l'ADC 8 bits flash.

Le schéma 5.3.4 présente la structure retenue intégrant le préamplificateur différentiel de la fig2.2.5 avec les charges Lee de la fig5.1.3 et la technique du QV sur l'asymétrie des largeurs de transistors des paires différentielles.

Les préamplificateurs sont rassemblés par 3 dans une instanciation itérative des transistors. Le facteur d'asymétrie QV_{factor} s'est trouvé être de 12.8% pour un seuil interne de 24 mV différentiel par rapport au seuil d'un préamplificateur symétrique. Grâce à une paire différentielle symétrique, une avec une asymétrie de +12.8 % et la troisième avec une asymétrie de -12.8%, 3 seuils internes sont ainsi obtenus à partir de la même référence différentielle $V_{ref+} - V_{ref-}$.

Les charges en haut sont coupés en 2 par 2 instances pour chaque transistor afin de les placer en common centroid en layout. De même pour chacune des paires différentielles TN0 et TN1 d'un côté, et

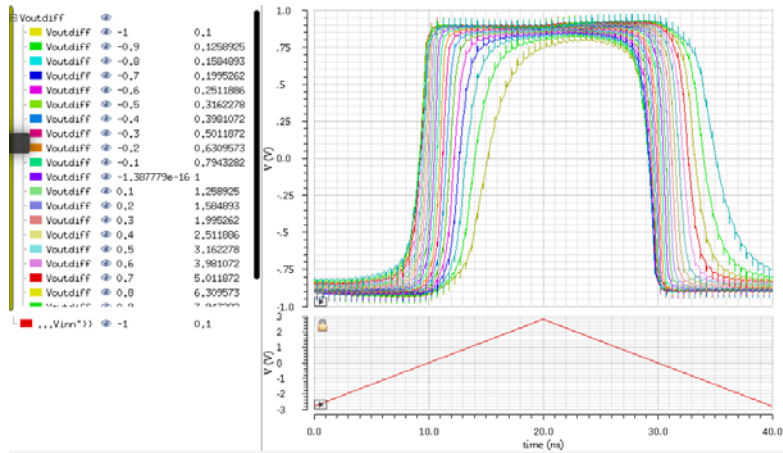


Fig. 5.3.3 – Réponse de la sortie différentielle aux nœuds $V_{outp2} - V_{outn2}$ à une double rampe $\pm 2.8 V$ pour une tension de référence de 0 V différentielle et les seuils $W_{t+} = 25\mu m * Klog$, $W_{t-} = 25\mu m / Klog$, $Klog = [0.1; 10] = 10^{Qv}$ et $Qv = [-1; 1]$

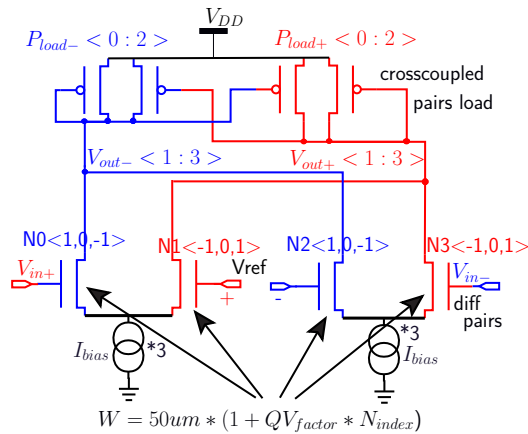


Fig. 5.3.4 – Schémas du préamplificateur full différentiel reprenant la topologie de la figure 2.2.5 avec implémentation de la technique du QV

TN2 et TN3 de l'autre. La technique du QV est implémentée telle que sur la figure 5.3.4 en réduisant les largeurs de chacun de ces transistors des paires différentielles à $43.6 \mu m$ au lieu de $50 \mu m$ pour le préamplificateur sans QV symétrique. La différence est ajoutée grâce aux transistors d'asymétrie TN12 et TN14 de $W_{QV} = 2 * 6.4 \mu m$ chacun. Ces derniers sont eux aussi coupés en 2 afin d'être placés en common centroid.

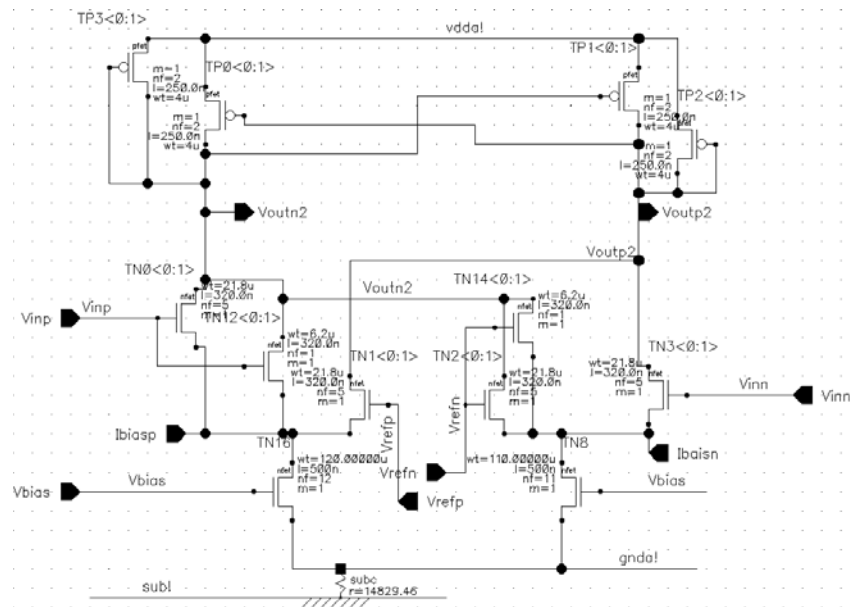


Fig. 5.3.5 – Vue schéma sous cadence du préamplificateur avec implémentation de la technique du QV

5.4 Conclusion

L'architecture différentielle à charges de type Lee de paires couplées croisées est donc retenue au niveau du pré-amplificateur. Il est implémenté avec la technique du QV permettant d'obtenir 3 seuils de quantification internes et ainsi limiter les références de comparateurs. Les résultats de simulation ont prouvé que la technologie CMOS 180 nm est adaptée pour la conception d'un ADC flash de résolution supérieure à 5 bits.

Les cellules de pré-amplification et de comparateurs retenues étant validés au niveau Front-end en simulation sur la techno CMOS 180nm pour la conception d'un ADC 8 bits à 2 GS/s, il reste à voir leur intégration sur l'ensemble de la pleine échelle. Les techniques de l'interpolation doivent être validées avec le préamplificateur et le latch retenu. Le concept sera alors validé pour la réalisation d'un ADC complet sur puce.

Points clés

Positionnement

- ❑ L'aspect low power a été pris en compte dans la sélection des cellules et dans leurs dimensionnement en respectant avant tout les contraintes de fréquence d'échantillonnage et de résolution effective.
- ❑ Les adaptations et améliorations possibles au niveau des cellules ou de l'architecture globale ont été proposées et développées après avoir bien maîtrisé les limites des cellules conçues.

Contributions

- ❑ La technique du QV a été portée sur l'architecture différentielle permettant alors de limiter le nombre de références pour l'ADC.
- ❑ Le dimensionnement a été optimisé pour le pas de quantification de $LSB=12\text{ mV}$ de l'ADC 8 bits.

Chapitre 6

Décodeurs thermométrique¹ binaire

Le code thermométrique en sortie des 255 comparateurs lachés étant très conséquent en nombre de signaux, il convient de le décoder sur 8 bits binaire pour chaque échantillon. Plusieurs architectures permettent ce décodage[11]. Les performances fréquentielles diffèrent en fonction de celles-ci.

Ce circuit étant un circuit numérique, ses performances fréquentielles ainsi que les performances en terme de consommation dépendent beaucoup du type de structures logiques employées. Les performances fréquentielles des circuits numériques dépendent du chemin critique du combinatoire. C'est le plus long délai pour un circuit logique de mettre à jour ses signaux de sortie par un changement d'état d'un signal d'entrée aux niveaux logiques (0 V ou V_{DD}).

Toutes les architectures peuvent être décrites en langage de description matériel standard (VHDL, verilog). C'est alors à l'outil de synthèse de matérialiser la logique combinatoire par des portes logiques. Il génère ainsi un code VHDL synthétisé avec les délais de chaque circuit combinatoire cascadié et de leur consommation. Les performances fréquentielles attendues peuvent être données à l'outil de synthèse. Il temporisera le traitement des signaux logiques dans le chemin des circuits combinatoires en créant un pipeline.

L'exécution de celui-ci constitue une machine à états finis dont le signal de changement d'état est le signal d'horloge. Cette temporisation est exécutée par des mémoires de type bascules D flip flop. L'outil de synthèse est également capable de gérer les problèmes de **fan-out**² et **fan-in** (charge présente en entrée) des portes logiques et des bascules en sélectionnant la porte logique de taille suffisante ou en insérant les buffers nécessaires. Cette gestion des **fan-out** est indispensable pour conduire le signal d'horloge sur l'entrée de chaque bascule D et que celles-ci-es basculent de façon synchrone.

Malgré tout, si le chemin critique d'une porte logique est trop long par rapport à la spécification de performance fréquentielle, il n'y a aucun moyen pour l'outil de synthèse de contourner cet obstacle. D'autres structures de portes logiques permettent de gagner en terme de délai de chemin critique. L'ouvrage des ingénieurs d'IBM [23] bien que publié en 1999 est une très bonne ressource pour ce type de structure de portes logiques.

Le problème est que les outils de synthèse sont prévus pour la synthèse de circuits numériques des

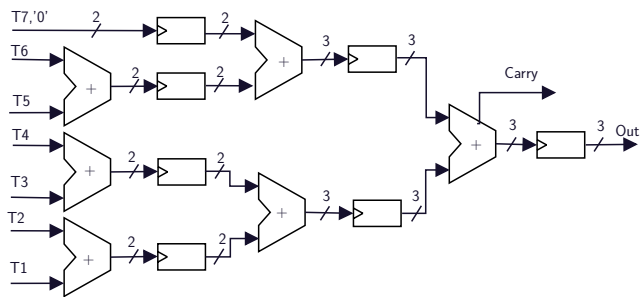


Fig. 6.0.1 – Décodeur T2B 3 bits à arbre de Wallace

1. voir définition 1

2. 3

design kits avec des portes logiques CMOS **pull-up pull-down**³ (décrit en figure E.2). En effet les design kits des différentes technologies suivant une certaine convention, ils sont tous prévus pour ce type de structure. Certaines portes comme les multiplexeurs ou les portes XOR peuvent être implémentées en pass gate [13].

Les différentes topologies conçues en VHDL grâce à l’outil de synthèse ou directement sur l’éditeur de schémas sur la CMOS 180 nm sont donc détaillées et simulées.

6.1 Décodeur fat tree ou arbre de wallace

Cette architecture de décodeur est la plus robuste et couramment employée sur les ADC flash de faible résolution où la fréquence d’horloge numérique n’est plus le facteur limitant. Typiquement, elle est utilisée sur les ADC de type pipeline où chaque étage quantifie sur plus de 1 bit qui sont aussi appelés des demi ou quart de flash.

Son principe est d’additionner tous les bits thermométriques grâce à des additionneurs. La figure 6.0.1 montre cette opération pour un ADC 3 bits. Elle est divisée en N étages pour un ADC N bits. Le premier étage étant donc une instanciation de $2^{N-1} - 1$ additionneurs 1 bit qui additionnent les bits du code thermométrique 1 à 1. Le 2^e étage additionne alors 2 à 2 les résultats de chaque addition du 1^{er} étage grâce à 2^{N-2} additionneurs 2 bits, etc.

Le code VHDL décrivant les cellules d’addition est ainsi donné avec l’exemple de l’additionneur 1 bit et du 7 bits,

```

1 procedure add1 ( signal A, B : in std_logic; signal S : out std_logic_vector(1 downto 0) ) is
2 begin
3     S(0) <= A xor B; —resultat d'une addition 1 bit
4     S(1) <= A and B; —retenue
5
6 end procedure;
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999
1000

```

L’instanciation est faite de manière itérative pour chaque étage sauf le dernier additionneur 8 bits,

```

1 ROW_1 :      for i in 1 to 127 generate
2
3             add1( DATA_IN(2*i - 1), DATA_IN(2*i), DATA_INT_1(i)(1 downto 0) );
4             — instanciation de 127 adders 1 bits pour le 1er etage
5             end generate;
6
7             DATA_INT_1(127)(1) <= '0';
8             DATA_INT_1(127)(0) <= DATA_IN(255);
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
159
160
161
162
163
164
165
166
167
168
169
170
171
172
173
174
175
176
177
178
179
180
181
182
183
184
185
186
187
188
189
190
191
192
193
194
195
196
197
198
199
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246
247
248
249
250
251
252
253
254
255
256
257
258
259
260
261
262
263
264
265
266
267
268
269
270
271
272
273
274
275
276
277
278
279
280
281
282
283
284
285
286
287
288
289
290
291
292
293
294
295
296
297
298
299
300
301
302
303
304
305
306
307
308
309
310
311
312
313
314
315
316
317
318
319
320
321
322
323
324
325
326
327
328
329
330
331
332
333
334
335
336
337
338
339
340
341
342
343
344
345
346
347
348
349
350
351
352
353
354
355
356
357
358
359
360
361
362
363
364
365
366
367
368
369
370
371
372
373
374
375
376
377
378
379
380
381
382
383
384
385
386
387
388
389
390
391
392
393
394
395
396
397
398
399
400
401
402
403
404
405
406
407
408
409
410
411
412
413
414
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439
440
441
442
443
444
445
446
447
448
449
450
451
452
453
454
455
456
457
458
459
460
461
462
463
464
465
466
467
468
469
470
471
472
473
474
475
476
477
478
479
480
481
482
483
484
485
486
487
488
489
490
491
492
493
494
495
496
497
498
499
500
501
502
503
504
505
506
507
508
509
510
511
512
513
514
515
516
517
518
519
520
521
522
523
524
525
526
527
528
529
530
531
532
533
534
535
536
537
538
539
540
541
542
543
544
545
546
547
548
549
550
551
552
553
554
555
556
557
558
559
560
561
562
563
564
565
566
567
568
569
570
571
572
573
574
575
576
577
578
579
580
581
582
583
584
585
586
587
588
589
590
591
592
593
594
595
596
597
598
599
600
601
602
603
604
605
606
607
608
609
610
611
612
613
614
615
616
617
618
619
620
621
622
623
624
625
626
627
628
629
630
631
632
633
634
635
636
637
638
639
640
641
642
643
644
645
646
647
648
649
650
651
652
653
654
655
656
657
658
659
660
661
662
663
664
665
666
667
668
669
670
671
672
673
674
675
676
677
678
679
680
681
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730
731
732
733
734
735
736
737
738
739
740
741
742
743
744
745
746
747
748
749
750
751
752
753
754
755
756
757
758
759
760
761
762
763
764
765
766
767
768
769
770
771
772
773
774
775
776
777
778
779
780
781
782
783
784
785
786
787
788
789
790
791
792
793
794
795
796
797
798
799
800
801
802
803
804
805
806
807
808
809
810
811
812
813
814
815
816
817
818
819
820
821
822
823
824
825
826
827
828
829
830
831
832
833
834
835
836
837
838
839
840
841
842
843
844
845
846
847
848
849
850
851
852
853
854
855
856
857
858
859
860
861
862
863
864
865
866
867
868
869
870
871
872
873
874
875
876
877
878
879
880
881
882
883
884
885
886
887
888
889
890
891
892
893
894
895
896
897
898
899
900
901
902
903
904
905
906
907
908
909
910
911
912
913
914
915
916
917
918
919
920
921
922
923
924
925
926
927
928
929
930
931
932
933
934
935
936
937
938
939
940
941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987
988
989
990
991
992
993
994
995
996
997
998
999
1000

```

Un process décrit le flux de signaux à chaque étage sur front d’horloge, c’est une machine à état où les signaux de changement d’état sont uniquement la **clock** et le **reset**,

3. voir définition 6

le premier étage d'un décodeur d'ADC flash N bits, il y a donc $\frac{2^N - 1}{2}$ multiplexeurs. Ces multiplexeurs ont tous leur entrée select reliée au bit du milieu de la dynamique (**IN04** dans le cas du 3 bits).

Pour reprendre l'exemple du flash 3 bits, les bits **IN07** & **IN(7-4=3)** du code thermométrique sont aiguillés par le bit **IN04** grâce à un multiplexeur 1 bit. De même pour les couples **IN06** & **IN02** et **IN05** & **IN01**.

En sortie de ce premier étage, le nouveau code thermométrique de $2^{N-1} - 1$ bits qui sont divisés en 2 portions **MSBs2** et **LSBs2**. Le bit du milieu de dynamique est donc le second bit MSB du code binaire (**B01** dans le cas du 3 bits), il aiguille les **MSBs2** et **LSBs2** de la même façon que pour le premier étage grâce à $\frac{2^{N-1} - 1}{4}$ multiplexeurs. Un bit du code binaire est ainsi extrait à chaque étage.

Il est aussi possible de créer un pipeline sur cet arbre de décodage en temporisant sur un certain nombre d'étage par insertion de bascules FlipFlop D sur front d'horloge. Ces FlipFlop temporisent les bits **MSBsX** et **LSBsX** de chaque étage. Des FlipFlop maître/esclave peuvent également être employés, ils réduisent ainsi la contrainte sur le chemin critique à la période d'échantillonnage qui est de 0.5 ns et donc sont commandés par une horloge à 1 GHz. Ils sont chargés de copier l'entrée sur la sortie pendant l'état bas (esclave) et de mémoriser l'état de sortie pendant que l'horloge est à l'état haut le temps que le circuit combinatoire en aval commute (maître).

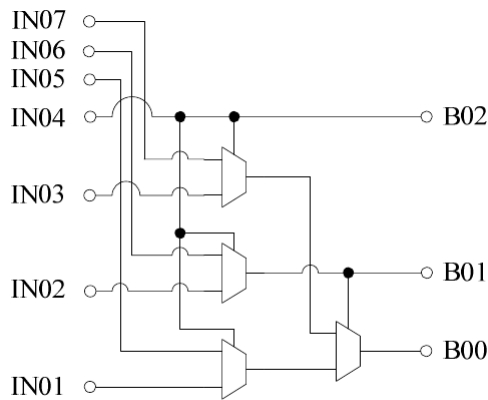


Figure 7. A 7-to-3 MUX-based TM2B Encoder

Fig. 6.2.1 – Schéma d'un arbre de décodage thermométrique/Binaire à base de multiplexeurs 1 bits sur un ADC 3 bits [7]

6.2.1 Logique combinatoire maître/esclave et FFlops D à verrou différentiel à pass gates

Il a été choisi de concevoir cette architecture de décodeur thermométrique binaire au niveau schéma afin de gagner en fréquence de fonctionnement. Une technique de pipeline combinatoire dite maître/esclave avec des Flip Flop D à verrou en pass gates comme présentés dans l'ouvrage des ingénieurs d'IBM [23] a été implémentée.

Le schéma du latch à pass gate est donné sur la figure 6.2.2. Le principe est qu'il ne recopie pas le signal d'entrée en sortie seulement sur front montant mais sur tout le cycle d'horloge à l'état haut. Quand l'horloge est à l'état bas, il mémorise l'état recopié pendant l'état haut. La table de vérité est donnée sur la table 6.1. Ainsi, comme il nécessite le complémentaire du signal d'entrée, la boucle positive des inverseur du multivibrateur bistable permet de commuter la sortie du circuit combinatoire plus rapidement et ainsi gagner en fréquence de fonctionnement. Lors de la phase de mémorisation, les sorties sont mémorisés par le réseau NMOS des transistors TN5 et TN4.

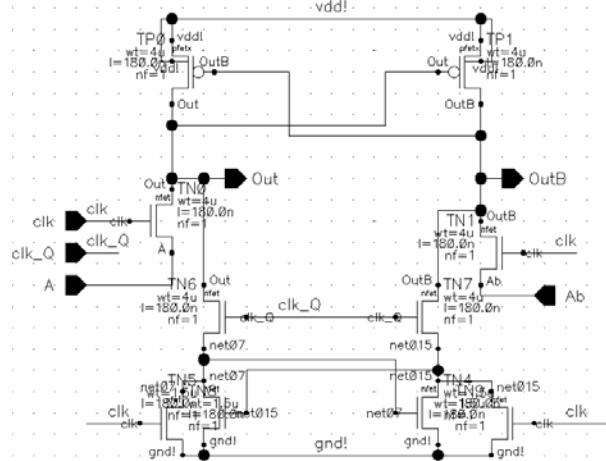


Fig. 6.2.2 – Schéma du Flip Flop à verrou à pass gates

Le traitement des signaux dans un circuit combinatoire peut être découpé en plusieurs étages avec

D (A et Ab)	E (clk et clkQ)	Q (Out)	\overline{Q} (OutB)
X	0	Q_{prev}	$\overline{Q_{prev}}$
0	1	0	1
1	1	1	0

Tab. 6.1 – Table de vérité de la bascule D à Verrou

des FFlop à chaque interface pour les signaux intermédiaires. Comme présenté sur la figure 6.2.3, les FFlops d'indice pair sont commandés par le signal d'horloge clk , les FFlops d'indice impair sont commandés par le complémentaire d'horloge \overline{clk} .

Quand une FFlop est en phase de mémorisation elle est dite étage maître avec son circuit combinatoire associé, la FFlop et le combinatoire de l'étage suivant est son esclave. Les étages paires et impaires sont donc tour à tour maîtres et esclaves.

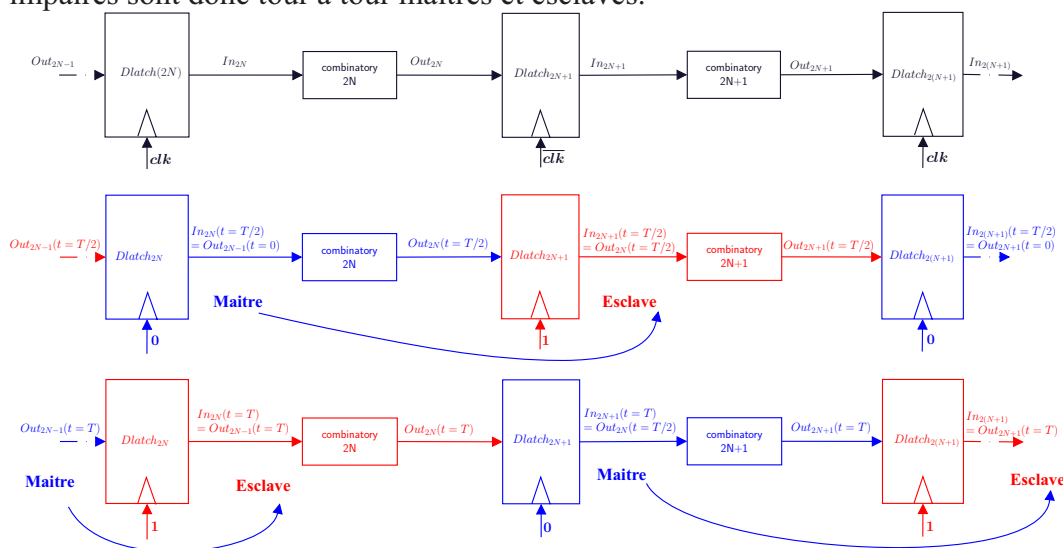


Fig. 6.2.3 – Schémas de principe du pipeline à mémoire Flip flop D à verrou entre circuits combinatoires maître esclave

Une telle topologie permet donc de traiter les signaux numériques de façon complémentaire avec un rebouclage positif en sortie. Si la sortie n'est pas complètement commutée (i.e. a franchi le seuil de 10% en front \downarrow et 90% en front \uparrow) en fin de cycle, le rebouclage positif du multivibrateur bistable permet de terminer ce processus lors de la phase de mémorisation.

L'outil de synthèse ne permet pas de réaliser des circuits utilisant ce type de logique. Elle doit être réalisée au niveau schéma avec les cellules de la CORELIB ou full custom.

6.2.2 Modélisation comportementale idéale des 128 préamplificateurs et de l'interpolation

Pour faire abstraction de l'étage de comparateurs et de pré-amplification lors des simulations, un modèle comportemental idéal a été développé.

Les préamplificateurs différentiels ont été cascades pour valider le principe de l'interpolation.

Les comparateurs latch complémentaires sont modélisés par des sources de tension contrôlés en tension v_{cs} ⁶.

6. voir définition 11

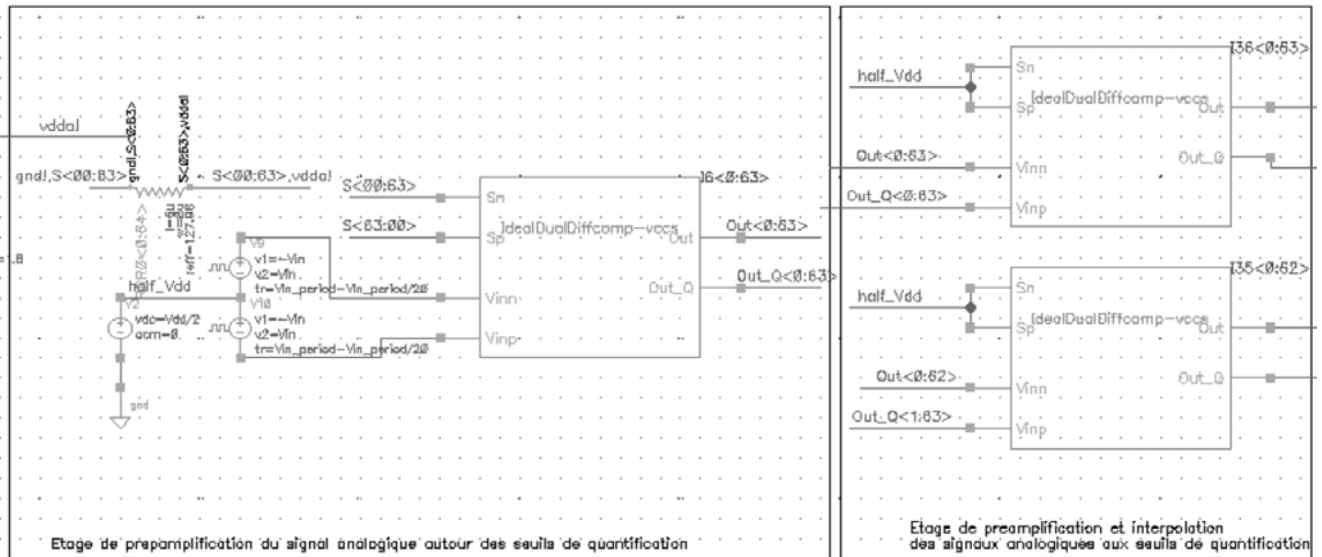


Fig. 6.2.4 – Modèle du préamplificateur et des étage d’interpolation à base de sources contrôlées vccs

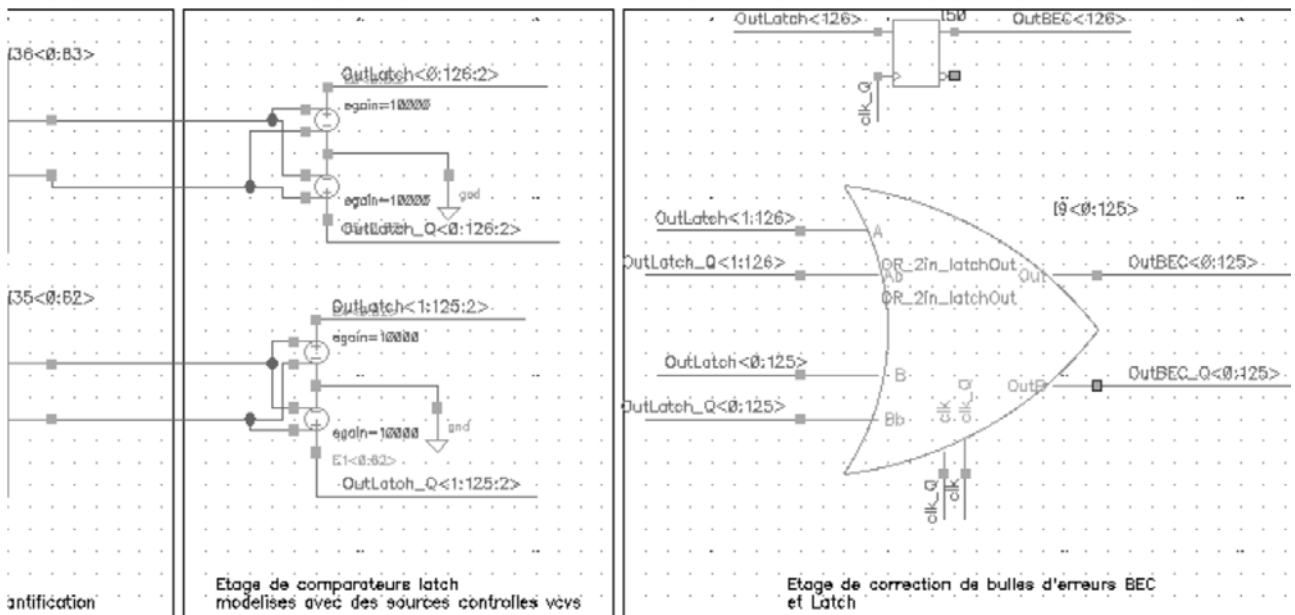


Fig. 6.2.5 – Modèle du comparateur latch à base de sources contrôlées vccs avec la correction de bit d’erreur

Elles sont instanciées de manière itérative vectorisé sur toute la dynamique. Leurs gains étant de 10000, leurs fronts de montée sont idéaux. Leur tension de saturation bas est à 0 et le haut à 1.8V. La réponse est donc présentée sur la figure 6.2.6.

6.2.3 Architecture globale et simulation sur toute la dynamique

La figure 6.2.7 montre les deux derniers étages du décodeur thermométrique binaire avec les bascules Flip flop intercalées pass gate à verrou. Les signaux émules issus du 4e étage sont latchés directement par les 7 Flip Flop D à verrou **PassGate_Dlatch** (instances I45<0 :6> sur la fig 6.2.7). Les sorties **4_stgDcd_ltc<0 :2,4 :6>** de ces FFlops chargent les entrées **B & A** respectivement des 3 MUX à pass gate du 5e étage (instances I20<0 :2> de la figure 6.2.7) avec le même signal complémentaire **4_stgDcd_ltc<3>** et **4_stgDcd_Q_ltc<3>** pour les entrées **S** et **S̄** des 3 MUX. Les sorties des multiplexeurs I20<0 :2> constituant les signaux **5_stgDcd<0 :2>** du 5e étage sont directement reliées aux entrées **B, S** et **A** du multiplexeur I22 du 6e étage. Le signal **5_stgDcd_Q<1>** complémentaire sur l'entrée **S̄** du MUX I22 du 6e étage est extrait de la sortie du MUX I23. Le MUX I23 voit les signaux **4_stgDcd_Q_ltc<1,5>** sur les entrées **B & A** et est commandé par les mêmes signaux **S** et **S̄** des 3 MUX I20<0 :2>.

Les bits des entrées select **S** des multiplexeurs de chaque étage constituent les bits de sortie du décodeur. Ils sont placés dans des piles mémoires de type FiFos I48 et I49 afin d'extraire chaque bit de la conversion correspondant à chaque échantillon. La figure 6.2.8 donne les chronogrammes de la simulation SPECTRE de l'ensemble des 7 étages pour une horloge à 1 GHz. La consommation moyenne obtenue en simulation est de 8 mW. La transition où le bit de poids fort MSB (**digitout<6>**) passe de 0 à 1 à 78 ns montre une désynchronisation des signaux. Ceci se traduit par un code de sortie erroné car le code 1000000 n'apparaît à aucun instant.

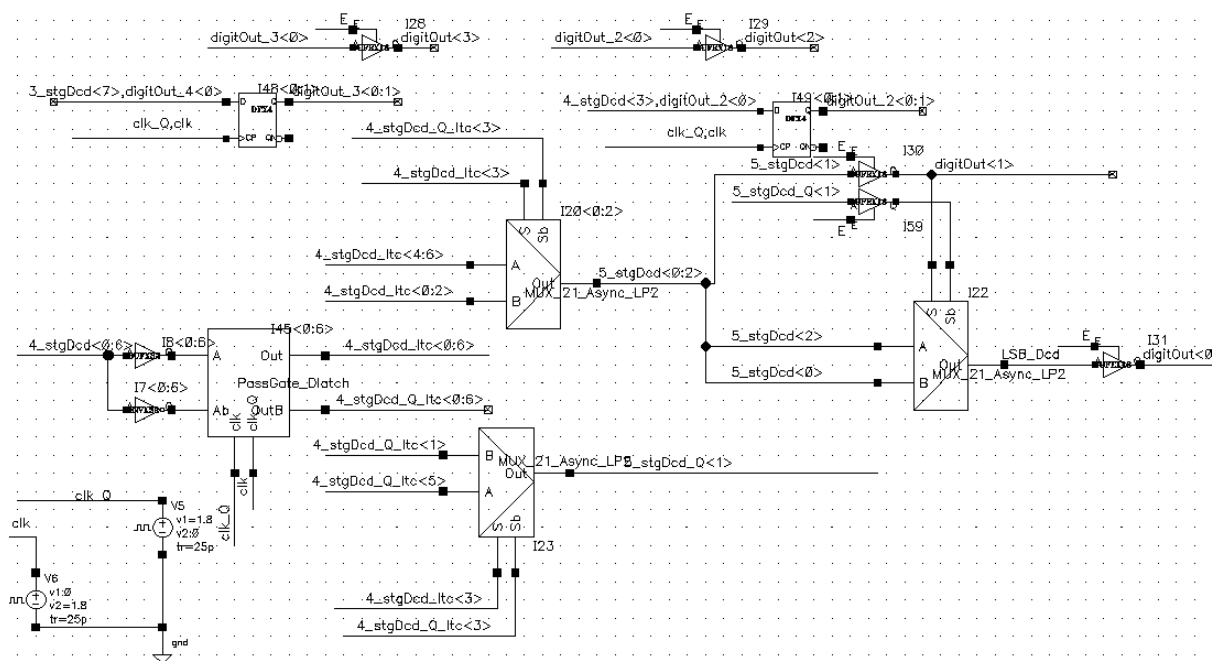


Fig. 6.2.7 – Schéma des 3 derniers étages du décodeur 7 bits

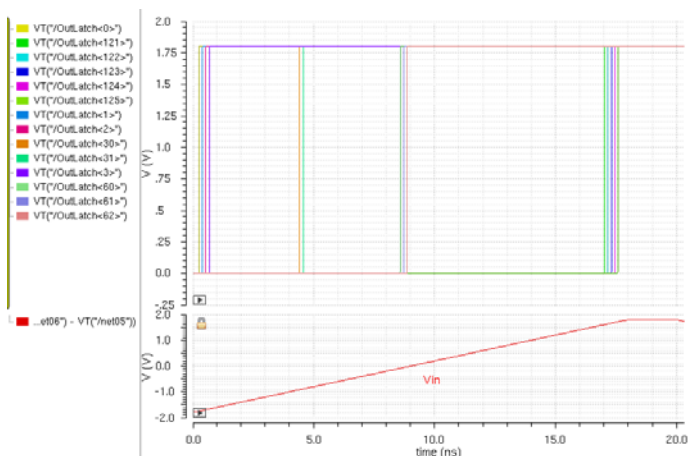


Fig. 6.2.6 – Réponse du code thermométrique issu des latch idéaux pour une rampe d'un signal différentiel de -1.8 à +1.8 V

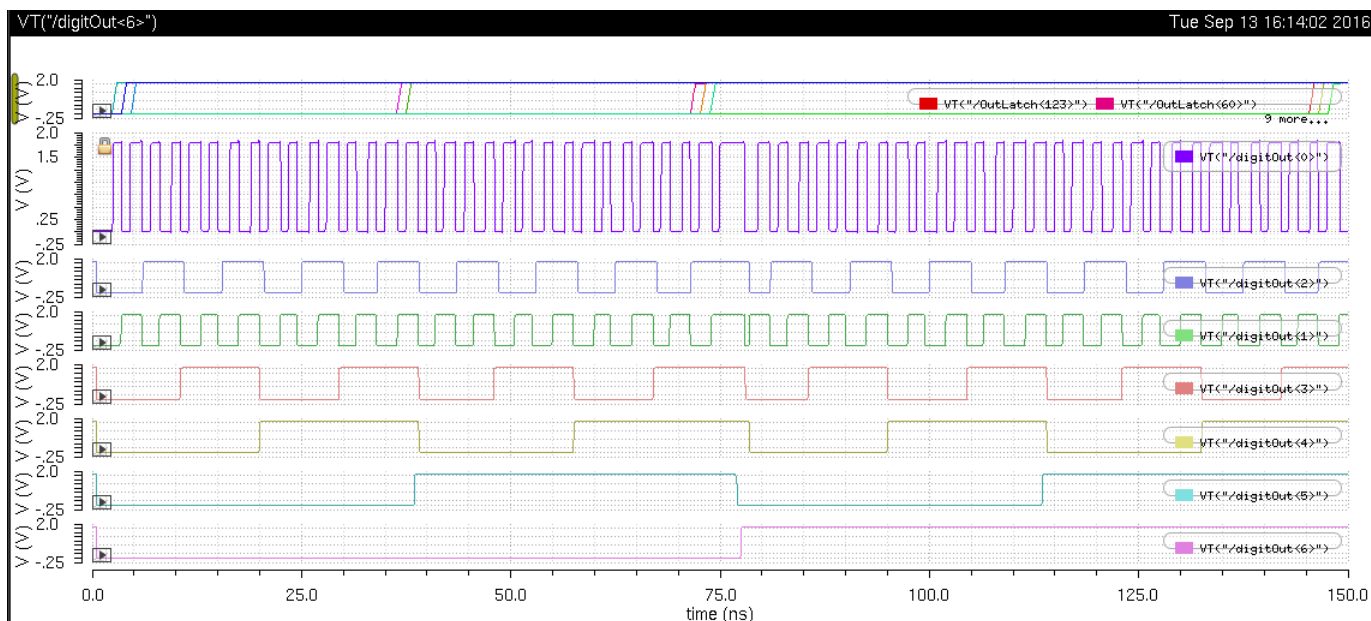


Fig. 6.2.8 – Réponse du décodeur 7 bits à base de multiplexeurs 2 bits en pass gate NMOS

6.3 Conclusion

Le portage de l'architecture à arbre de Wallace sur la technologie CMOS 180 nm a été réalisé à partir d'un code de description matériel VHDL par une synthèse.

L'arbre de décodage thermométrique binaire 7 bits à base de multiplexeurs 1 bits a été porté en schéma sur une topologie avec pipeline maître/esclave et une logique à pass gates. Il a permis de prouver la faisabilité d'un ADC flash différentiel complet 8 bits signé avec une fréquence d'échantillonnage de 2 GHz en schéma sur cette topologie. Celle-ci nécessite une horloge numérique de 1 GHz pour le pipeline. La désynchronisation des signaux de sortie du décodeur montre néanmoins la nécessité de faire de la vérification formelle sur ce type de circuit.

L'arbre de décodage doit être corrigé notamment en changeant les MUX 1 bit à pass gates NMOS par des CMOS. Chaque étage du pipeline implémenté doit être compartimenté dans un niveau de hiérarchie et conçu en Back-end pour une extraction des effets parasites. Si le temps de transit analysé est trop long, un niveau de pipeline supplémentaire doit être rajouté.

Enfin une vérification fonctionnelle continue doit être réalisée en parallèle par des tests automatisés.

Points clés

Positionnement

- ❑ Le flot de conception numérique est indispensable pour synthétiser des architectures de décodeurs thermométriques binaires.
- ❑ La notation vectorisée et la modélisation en schéma permettent de concevoir des circuits aussi complexes avec des logiques différentes que la CMOS **pull-up pull-down**⁹
- ❑ Les logiques complémentaires n'étant pas prises en charge par les outils de synthèse, elles permettent pourtant d'atteindre de meilleures performances.
- ❑ La spécification et la vérification fonctionnelle est incontournable pour valider le fonctionnement aux performances visées.

Contributions

- ❑ Le décodeur thermométrique binaire à arbre de Wallace a été synthétisé à partir d'un code VHDL sur la 180 nm. Les résultats de simulation ont montré les limites de la techno avec la synthèse.
- ❑ Une modélisation en schéma des étages précédents à été proposée et employée.
- ❑ L'architecture de décodeur thermométrique binaire à base de multiplexeurs 1 bit à pass gate NMOS à été portée en 180 nm avec des portes OU en pass gates complémentaires pour la correction de bits d'erreurs.

Chapitre 7

Architecture retenue

Les architectures d'ADC flash dérivés ont été étudiées dans le chapitre 2 d'un point de vue théorique. L'architecture de comparateur et le préamplificateur nécessaire avec l'emploi de la technique du seuil interne ont été discutés dans les chapitres 4 et 5. Ils sont validés pour l'architecture complète. Ce chapitre présente donc l'assemblage des préamplificateurs et des comparateurs conçus avec les ajustements nécessaires pour atteindre les 8 bits de résolution de l'ADC complet. Les sections suivantes détaillent l'intégration de ces cellules entre elles pour converger sur l'architecture retenue de l'ADC de la figure 7.4.1.

7.1 Étude de l'interpolation avec le préamplificateur et le latch retenu

7.1.1 Interpolation

Comme vu en section 2.4.2, l'interpolation des sorties différentielles des préamplificateurs permet de doubler la résolution d'un ADC grâce à la division des comparateurs en étages de préamplification et de bascule. Cette technique a été retenue pour l'ADC.

$V_{inCM}|_{inter}$ est définie comme la tension de mode commun ou plutôt la tension aux grilles des transistors d'entrée de chaque bascule quantifiant les interpolations autour de son seuil de commutation.

$V_{inCM}|_{direct}$ est la tension de mode commun des bascules en sortie directe des pré-amps autour du seuil.

Du fait que l'entrée des bascules est différentielle, la tension $V_{inCM}|_{inter}$ diminue d'un facteur égal à la moitié du pas de quantification multiplié par le gain du préamplificateur par rapport à la tension $V_{inCM}|_{direct}$,

$$V_{inCM}|_{inter} = V_{inCM}|_{direct} - LSB \cdot A_v|_{preamp}/2 \quad (7.1.1)$$

Il convient donc de vérifier si le latch conçu est toujours dans des conditions de polarisation permettant son fonctionnement.

Avec le dimensionnement des charges de type Lee retenu en section 5.3.2, la tension de mode commun direct est $V_{inCM}|_{direct} = 1 V$. La tension $V_{inCM}|_{inter}$ de l'équation 7.1.1 avec le gain des pré-amps de 20 à 25 devient,

$$1 - 25 * 6e - 3 < V_{inCM}|_{inter} < 1 - 20 * 6e - 3 \\ 0.85 V < V_{inCM}|_{inter} < 0.88 V \quad (7.1.2)$$

Cette polarisation permet de garder les transistors des latches en région de saturation.

Les bascules utilisées pour l'interpolation sont donc les mêmes que celles en sortie directe des préamplificateurs.

Moyennage et interpolation résistive

L'interpolation résistive a été présentée en section 2.4.2. Elle se fait dans le cas d'un moyennage passif comme présenté en section 2.4.1. Les résistances de l'échelle augmentent la charge de sortie des préamplificateurs ce qui diminue leur gain intrinsèque. De plus, les résistances dans cette technologie se trouvent sur la même couche que le polysilicium des grilles de transistors. Les capacités parasites de l'ordre de la dizaine de fF de chaque résistance de précision de $2\mu\text{m} \times 6\mu\text{m}$ de $180\ \Omega$ viennent s'ajouter aux capacités internes des transistors.

Le moyennage passif et donc l'interpolation résistive entraînant une pénalité de performances sur l'ADC, ces techniques n'ont pas été retenues pour l'architecture finale.

7.1.2 Simulation des préamplificateurs à QV avec les latches retenus

Avec la topologie différentielle des préamplificateurs présentée en section 5.2 et son portage avec la technique du QV présenté en section 5.3 retenue, la technique de l'interpolation a été adaptée pour aboutir à l'architecture finale.

Les trois techniques sont combinées et présentées sur le schéma 7.1.1. Elle présente 2 préamplificateurs à QV identiques dont les signaux de phase opposés d'entrée d'une part et de sortie d'autre part sont chacun inversés.

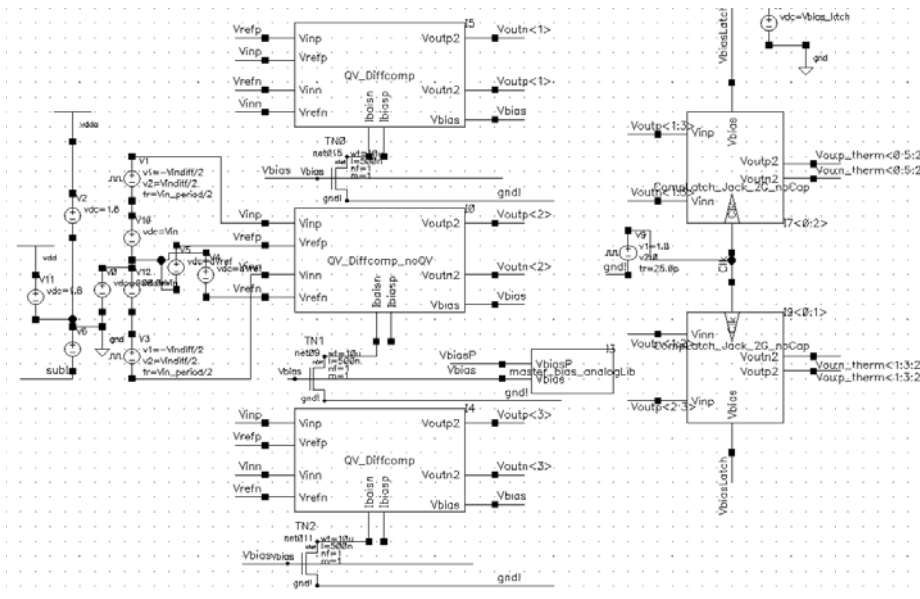


Fig. 7.1.1 – Schéma d'un lot de 3 préamplificateurs instanciés (I5 et I4 sont les QV, I0 est le préamplificateur symétrique) équivalent au lot de la figure interpolation

Comme vu en section 2.4.2, l'interpolation des sorties des préamplificateurs implique un changement du mode commun en entrée des comparateurs lachés autour du seuil de quantification interpolé par rapport au seuil de quantification en sortie directe.

La figure 7.1.2 montre les signaux en entrée des comparateurs lachés par rapport à la masse pour différentes tensions de références dV_{ref} . Ils sont annotés par des marqueurs aux croisements correspondants aux croisement de zéro des signaux différentiels directs en sortie des préamplificateurs et

aux interpolations. Les 1^{ers} ont un mode commun de 1.02 V alors que les 2^{emes} sont à 954 mV soit 67 mV d'écart en moyenne.

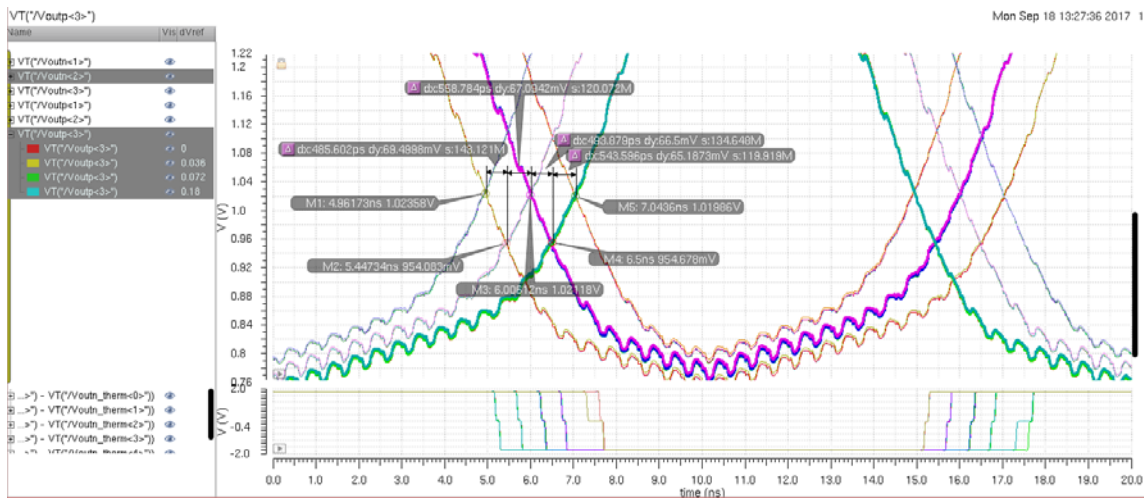


Fig. 7.1.2 – Signaux individuels relatifs à la masse (mode commun) avec les valeurs aux seuils de quantification en sortie directe et en interpolation

Les comparateurs lachés sont fonctionnels dans les 2 cas de figure comme en témoigne les signaux différentiels de sortie **Voutp_therm-Voutn_therm**.

7.2 Insertion de suiveurs symétriques

Comme vu en section 5.2, la structure pleine différentielle souffre d'une limitation de dynamique due à la polarisation des transistors en région 2 pour conserver le gain prévu. À partir d'une tension de référence négative $< 648\text{ mV}$, il faut donc veiller à conserver la polarisation du transistor de source de courant de la paire différentielle associé en région de fonctionnement saturé. De même, pour la tension de référence positive $> 1.35\text{ mV}$ les charges de type Lee doivent rester en région saturée avec les transistors de la paire différentielle associée pour conserver suffisamment de gain.

7.2.1 Étude des suiveurs symétriques

La solution proposée a donc été d'insérer des suiveurs de chaque type aux entrées des paires différentielles du préamplificateur comme sur la figure 7.2.1. Ces suiveurs permettent d'atteindre les tensions d'alimentation en entrée. Cet écart est égal à la tension V_{GS} du transistor en CD.

Les suiveurs permettent une polarisation adaptée des transistors de type N de la paire différentielle. En effet, les suiveurs avec les transistors de type P polarisent les grilles des transistors de la paire différentielle avec la référence et l'entrée négatives à une tension supérieure d'une tension $V_{SG|P}$. De même, les suiveurs avec les transistors de type N polarisent les grilles des transistors de la paire différentielle avec la référence et l'entrée positives à une tension inférieure d'une tension $V_{GS|N}$.

Les suiveurs permettent donc de polariser la paire différentielle avec ses charges couplées croisées (non représentés sur la figure 5.2) en fonctionnement saturé.

Étude analytique qualitative de la symétrie de la paire de suiveurs

En implémentant des suiveurs par symétrie, les tensions de références aux entrées correspondent aux tensions de seuil du comparateur et peuvent atteindre les tensions d'alimentation. Les tensions de

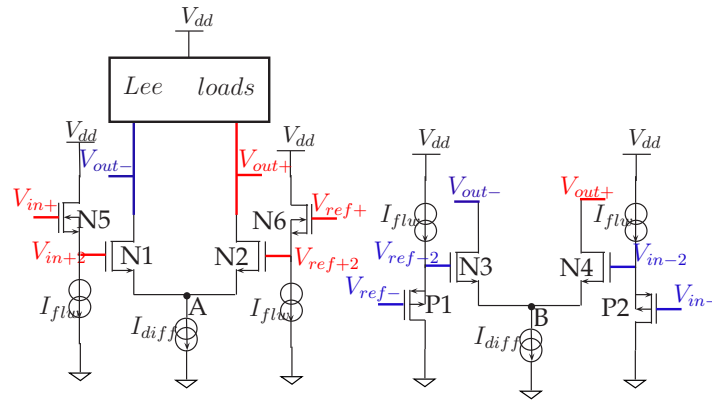


Fig. 7.2.1 – Architecture de préamplificateur avec suiveurs en entrée

références et du signal d'entrée V_{refp2} , V_{refn2} , V_{inp2} et V_{inn2} ramenés aux entrées des paires différentielles dépendent des variations aléatoires des paramètres de chaque transistor employé. Pour réaliser ces suiveurs, il est indispensable de réduire ces variations en rassemblant ces transistors par symétrie dans des montages de centroïde commun.

Les expressions des tensions de sortie sont donc données à partir de la résolution de KVL entre les entrées du suiveur jusqu'à la masse pour un preamp à charge résistive différentielle,

$$V_{outn} = 1.8 - R_{load}\beta_{Ndiff} \left((V_{GS3} - V_{th|diff})^2 + (V_{GS2} + V_{inp2} - V_{refp2} - V_{th|diff})^2 \right)$$

$$V_{outp} = 1.8 - R_{load}\beta_{Ndiff} \left((V_{GS2} - V_{th|diff})^2 + (V_{GS3} + V_{inn2} - V_{refn2} - V_{th|diff})^2 \right)$$

Les expressions des tensions aux nœuds de sortie ne dépendent pas des tensions de seuils $V_{th|flwN}$ et $V_{th|flwP}$ des transistors des suiveurs à partir du moment où ceux-ci sont bien symétriques. Ceci permet d'obtenir des seuils de quantification indépendants des variations de process au niveau de l'ensemble du préamplificateur avec ses suiveurs.

7.2.2 Portage sur le lot de préamplificateur à QV

L'insertion de suiveurs symétriques a donc été implémentée sur le lot de 3 préamplificateurs employant la technique du QV réalisée en section 5.3.2. À noter que du fait qu'il y a la même référence et le même signal d'entrée, il n'y a besoin que d'une seule paire de suiveurs par lot de 3 ce qui rend les 2 techniques du QV et de l'insertion de suiveur complémentaires. Ceci permet d'économiser de la surface et de la consommation sur l'architecture globale.

Il faut cependant apporter une petite nuance car il faut noter que la polarisation des transistors des paires différentielles n'est plus la même une fois les suiveurs insérés. Au premier ordre en effet, la paire différentielle polarisée par une source de courant idéale va complètement rejeter le mode commun à ses nœuds de sortie. Mais comme cette source de courant est matérialisée par un transistor NMOS esclave d'un miroir de courant, celui-ci va générer un courant qui dépend aussi de sa tension V_{DS} à cause de l'effet de modulation du canal.

7.2.2.1 Transition du lot de préamplificateurs sans suiveurs vers le lot avec suiveurs P

Dans ce cas, la modulation de canal de la source de courant de la paire différentielle se voyant insérer les suiveurs à base de PMOS va donc augmenter la tension V_{GS} des transistors de la paire différentielle. Les tensions V_{DS} des charges du préamplificateur vont donc augmenter. Le mode commun

des sorties du lot de préamplificateur avec les suiveurs P va donc diminuer par rapport à celui du lot de préamplificateur sans suiveurs.

Ceci aurait été sans conséquences si ce n'est d'augmenter le gain du préamplificateur pour le latch en sortie directe du preamp. Par contre, vu qu'il a été choisi de faire un ADC flash à interpolation de la sortie des preamps, le pas de quantification entre le seuil du préamplificateur QV+ sans suiveur et du préamplificateur QV- introduira une non monotonie sur la conversion si le montage est gardé tel quel.

Deux solutions se présentent alors, soit l'interpolation entre le lot de préamplificateurs sans suiveur et le lot de préamplificateurs avec suiveurs est supprimée, soit l'augmentation du courant est compensée.

Dans le premier cas, il faut s'assurer que la différence de seuil de quantification en sortie directe du préamplificateur à QV+ sans suiveur et en sortie directe du QV- avec suiveur est d'un LSB. Ce qui oblige à changer la valeur de la résistance sur l'échelle de références pour obtenir non plus 6 mais 5 LSB entre les tensions de références différentielles.

C'est donc la deuxième solution qui a été retenue pour conserver un même motif sur les résistances de référence.

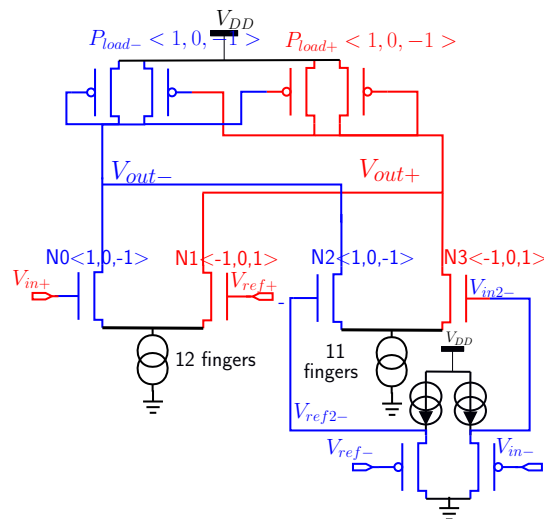


Fig. 7.2.2 – Schéma du lot de 3 préamplificateurs reprenant le schéma 5.3.4 avec l'insertion de paire de suiveur à base de PMOS

Comme montré sur la figure 7.2.2, il a été choisi de compenser cette augmentation du courant en augmentant ou en diminuant la source de courant principale. Il a été observé en simulation qu'il suffisait de retirer un doigt sur les douze de ce transistor afin d'obtenir une même tension de mode commun en sortie autour du seuil de commutation du préamplificateur.

7.2.2.2 Transition du lot de préamplificateurs avec suiveurs P vers le lot avec suiveurs N

À partir du moment où les tensions V_{DS} des transistors N0<1,0,-1> et N1<1,0,-1> deviennent inférieures aux tensions de saturation V_{DSsat} à cause de l'augmentation des tensions d'entrée, il faut également insérer une paire de suiveurs à base de transistors NMOS comme sur la figure 7.2.3.

À l'inverse de l'insertion de suiveurs à base de PMOS, les suiveurs à base de NMOS réduisent le courant de polarisation de la paire différentielle à laquelle elle s'insère. Par conséquent, le douzième doigt précédemment retiré du NMOS de source de courant de la paire différentielle des signaux négatifs est remis en place. Ceci dans le but de compenser le courant de ce transistor qui a baissé de plusieurs microampères par rapport au NMOS de la paire différentielle des signaux positifs.

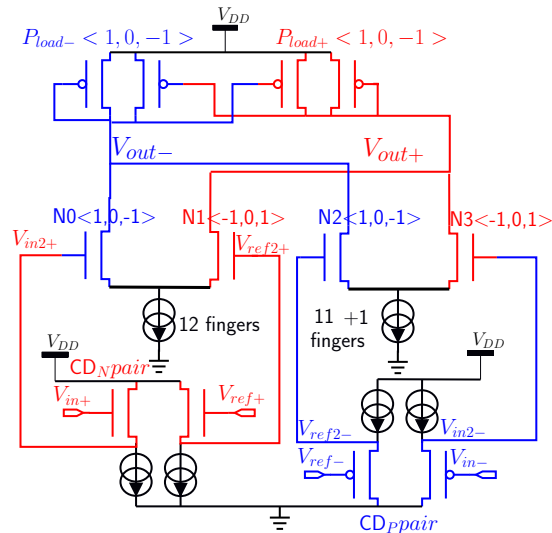


Fig. 7.2.3 – Schéma du lot de 3 préamplificateurs reprenant le schéma 5.3.4 avec l’insertion de paire de suiveurs à base de PMOS et NMOS

Simulation des préamplificateurs autour de cette transition

Le résultat de la simulation de ces lots de préamplificateurs est présenté sur la figure 7.2.4. Le banc de tests reprend celui de la figure 7.1.2 si ce n’est que les 3 préamplificateurs sont intégrés dans une cellule selon chaque type d’ensemble comme sur les figures 5.3.4, 7.2.2 et 7.2.3. La double rampe différentielle ayant 400 mV d’amplitude entre 664 mV et 1.06 V. Les sorties différentielles directes des préamplificateurs ($V_{outp} < n > -V_{outn} < n >$) sont données avec leurs interpolations ($V_{outp} < n+1 > -V_{outn} < n >$) ainsi que les sorties des comparateurs lachés correspondants jusqu’à un LSB après la transition.

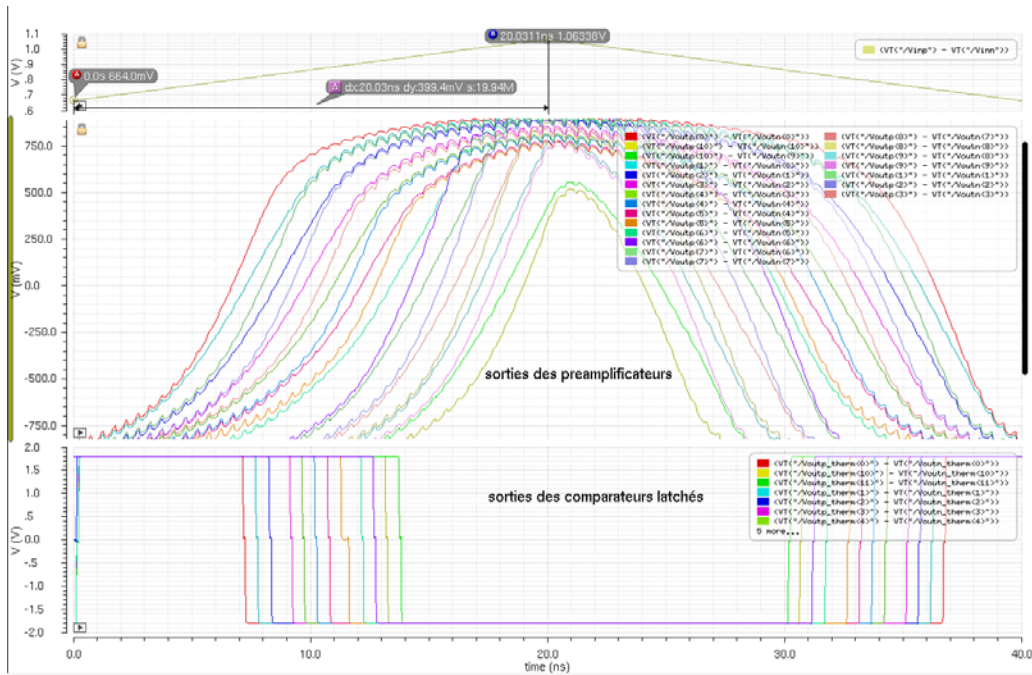


Fig. 7.2.4 – Réponse à une double rampe autour de la transition des clusters de 6 préamplificateurs avec suiveurs de type P et de 6 préamplificateurs avec les 2 types de suiveurs

Cette simulation montre ainsi la bonne fonctionnalité de chaque élément. Il est à noter une non

linéarité cumulée d'une centaine de picosecondes du fait du délai plus important des cellules avec suiveurs lorsque le signal d'entrée décroît à 30 ns. Elle reste acceptable.

7.3 Étude de l'échelle de références à base de résistances

Comme présentée en section 5.3, la technique du quantum voltage permet d'obtenir des seuils de commutation décalés en changeant la taille des transistors des paires différentielles d'entrée. Elle ne permet pas pourtant pas de les décaler sur toute l'échelle de conversion V_{FS} , c'est pourquoi, il est nécessaire d'évaluer la qualité des références résistives de l'ADC sur la technologie retenue.

7.3.1 Analyses de Monte Carlo mismatch¹ sur différentes topologies

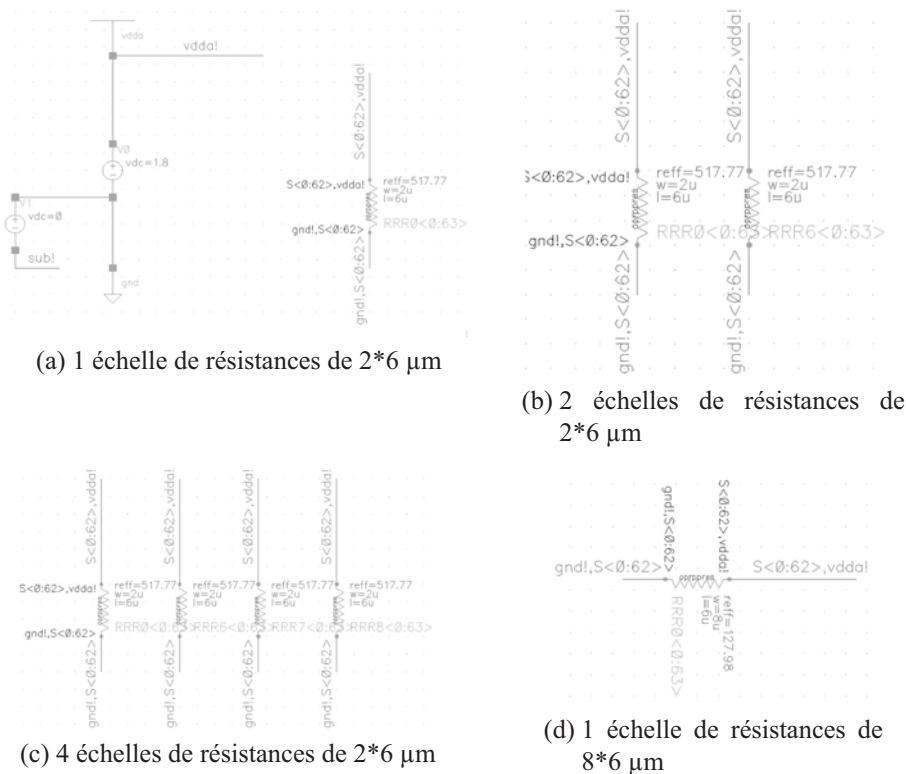


Fig. 7.3.1 – Différentes topologies pour une simulation en Monte Carlo **mismatch**

La techno CMOS 180 nm d'AMS propose des résistances de précision **oprppres**. C'est donc avec cette résistance que l'étude est menée. Les résistances sont de $W = 2 \mu m$ par $L = 6 \mu m$, soit une résistance de 517.8Ω . Dans le cas de la figure 7.3.1a, le courant est donné ,

$$I_{ref} = 1.8 / (64 * 517.8) = 54.3 \mu A$$

Ce courant est multiplié par 2 dans la 2^e figure puis par 4 pour les 2 autres topologies.

1. voir définition 2

Test	Name	Min	Max	Mean	Sigma
1 échelle de résistances 2u*6u	"(VDC('"/S<14>') - ((1.8 * 15) / 64))"	-9.077e-04	9.857e-04	2.506e-05	4.140e-04
	"(VDC('"/S<30>') - ((1.8 * 31) / 64))"	-1.172e-03	1.190e-03	2.850e-05	4.741e-04
	"(VDC('"/S<45>') - ((1.8 * 46) / 64))"	-1.145e-03	1.249e-03	5.997e-06	4.611e-04
2 échelles de résistances 2u*6u	"(VDC('"/S<14>') - ((1.8 * 15) / 64))"	-1.003e-03	6.974e-04	3.228e-06	2.924e-04
	"(VDC('"/S<30>') - ((1.8 * 31) / 64))"	-1.047e-03	9.718e-04	-1.897e-05	3.530e-04
	"(VDC('"/S<45>') - ((1.8 * 46) / 64))"	-1.036e-03	1.026e-03	-2.808e-05	3.302e-04
4 échelles de résistances 2u*6u	"(VDC('"/S<14>') - ((1.8 * 15) / 64))"	-5.142e-04	4.725e-04	-2.318e-06	2.084e-04
	"(VDC('"/S<30>') - ((1.8 * 31) / 64))"	-6.817e-04	6.405e-04	-1.267e-05	2.454e-04
	"(VDC('"/S<45>') - ((1.8 * 46) / 64))"	-5.765e-04	6.059e-04	-2.307e-05	2.181e-04
1 échelle de résistance 8u*6u	"(VDC('"/S<14>') - ((1.8 * 15) / 64))"	-4.464e-04	4.748e-04	7.316e-06	2.015e-04
	"(VDC('"/S<30>') - ((1.8 * 31) / 64))"	-5.771e-04	5.724e-04	7.202e-06	2.308e-04
	"(VDC('"/S<45>') - ((1.8 * 46) / 64))"	-5.623e-04	6.030e-04	-2.223e-06	2.244e-04

Tab. 7.1 – Résultats de simulation DC de variation des tensions de références sur 200 tirages

En conclusion des résultats de simulation dans le tableau 7.1, il apparaît que le sigma est plus que 10 fois inférieur au pas de quantification de notre ADC pour la topologie la plus simple d'échelle de résistances en figure 7.3.1a et cela pour un courant de $54.3 \mu A$.

En augmentant la taille des résistances, l'appariement augmente comme prévu mais pas de façon proportionnelle. Enfin, le fait de choisir une topologie avec une seule échelle de grosses résistances ($W = 8 \mu m$ par $L = 6 \mu m$) ou 4 échelles de résistances ne change pas le matching en Monte Carlo.

Les variations des références DC sont donc négligeables par rapport au pas de quantification.

7.3.2 Topologie retenue

Afin d'augmenter le matching et de rendre les tensions de références plus insensibles au bruit de retour de commutation, il a été choisi d'augmenter le courant de polarisation d'une échelle de résistance à $200 \mu A$. Les résistances implémentés ont une dimension de $9 \mu m * 9.7 \mu m$ afin de dissiper la chaleur produite. La valeur de chaque résistance est de 182Ω .

Enfin du fait qu'il y a beaucoup de fils à tirer des références aux entrées des préamplificateurs ou de leurs suiveurs, les résistances ont été instanciées dans l'optique d'un floorplan en U. Avec une seule échelle de résistances disposées en U, il faudrait tirer les fils de chaque nœud de résistance de l'autre côté du U pour ramener les tensions de références positives et négatives pour chaque préamplificateur.

Par conséquent, l'échelle a été instanciée deux fois. Elle est placée au centre sur le schéma A.1 (en annexe) du circuit envoyé en fabrication. Les 2 instances sont disposées têtes bêtes en U de façon concentrique par rapport aux autres blocs dans le layout.

7.4 Synoptique de l'ADC flash et interpolation

Le synoptique de l'architecture proposée est donné sur la figure 7.4.1. Les cellules retenues avec le seuil interne QV, interpolation entre les sorties des préamplificateurs et les entrées de latch sont combinées sur une architecture d'ADC full flash différentielle. En se limitant à un niveau d'interpolation, les erreurs d'offset en sortie des préamplificateur ne sont pas cumulées par d'autres niveaux.

Une échelle de référence DC a été retenue comprenant 42 résistances (+ 2 de talon) ce qui est 6 fois moins que la topologie sans QV et sans interpolation.

Enfin, les paires de suiveurs en drain commun sont insérées pour les préamplificateurs devant quantifier le signal autour des références qui ne polarisent plus les transistors en région 2 de fonctionnement saturé. Ces paires de suiveurs ne sont pas représentés sur la figure 7.4.1.

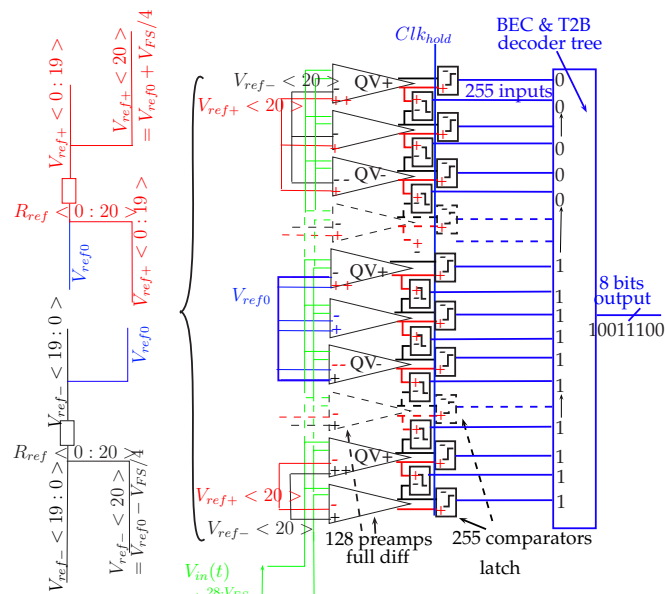


Fig. 7.4.1 – Synoptique complet de l'ADC flash 8 bits avec les techniques du QV et de l'interpolation

7.4.1 Description détaillée

La technique du QV permet d'obtenir **128 niveaux** de quantification ($3 \cdot 43 - 1$) à partir de 43 références :

- 42 références différentielles (**21+** et **21-**) +1 nulle à $V_{ref0} = V_{DD}/2$ grâce à l'échelle de résistances ;
- +2 références internes aux préamplificateurs de quantification grâce à la technique QV ;

La technique de l'interpolation permet de doubler cette résolution en passant à **255 niveaux** de quantification ;

La correction de bulles d'erreurs (**BEC**) permet de corriger une non monotonie sur un bit. Ceci est indispensable pour un décodeur thermométrique binaire (**T2B**) rapide (architecture fat tree à arbre de wallace exclue) :

- L'architecture retenue est implémentée sur **7 bits** en schémas Front-end grâce à des multiplexeurs en pass gate NMOS (Le changement en CMOS est à considérer). Le 128^e bit du code thermométrique donnant le bit de signe d'une conversion **8 bits signée**;

7.5 Conclusion

Le préamplificateur full différentiel permet de passer sur un ADC différentiel avec une dynamique doublée par rapport à une topologie mode commun.

L'insertion de suiveurs permet d'atteindre 8 bits de résolution avec un $LSB = 12 mV$ apportant donc une certaine robustesse aux interférences et de passer le rendement de l'ADC à 95% pour un $ENOB > 7$ à basse fréquence.

La technique de l'interpolation permet de diviser par 2 le nombre de préamplificateurs nécessaires. Cumulée avec la technique du QV, le nombre de suiveurs et de références sont divisés par 6. La consommation globale des suiveurs nécessaires pour un ADC complet est donc de 7.6 mA.

Il a été choisi de soumettre les éléments les plus critiques sur la dynamique de l'ADC pour valider les concepts proposés. Les 3 différents ensembles de préamplificateurs et de suiveurs vus au chapitre 5 doivent être implémentés aux 2 transitions :

- Le lot de préamplificateurs de la figure 5.3.4 n'ayant pas de suiveurs vu en section 5.3.2
- Le lot de préamplificateurs de la figure 7.2.2.1 ayant des suiveurs de type P vu en section 7.2.2. Il doit être instancié aux deux transitions avec les deux autres ensembles.
- Le lot de préamplificateurs de la figure 7.2.3 ayant des suiveurs de chaque type N&P vu en section 7.2.2.2

Deux portions de dynamique de l'ADC seront implémentées avec toutes les techniques présentées sur l'architecture globale. Ce seront les cellules de pré-amplification avec leurs comparateurs latchés associés et aux interpolations retenues dans les chapitres 4 et 5 qui seront intégrées à cet ASIC.

Les signaux à injecter et à extraire de cet ASIC doivent être soigneusement évalués et choisis en fonction des contraintes de temps de développement et des cellules d'interface entrée sortie disponibles avec le design kit.

Points clés

Positionnement

- ❑ Une architecture hybride combinant différentes techniques a été proposée.
- ❑ Le choix a été fait de valider l'architecture globale retenue précédemment au niveau du comparateur avec son préamplificateur et de son latch sans inclure d'encodeur T2B vu au chapitre 6.
- ❑ Les transitions critiques sur la pleine échelle de l'ADC entre les préamplificateurs sans suiveurs et avec suiveurs de type P d'une part et entre les préamplificateurs avec suiveurs de type P et les préamplificateurs avec suiveurs de type N&P d'autre part, sont intégrées dans l'ASIC de preuve de concept.

Contributions

- ❑ Les contraintes de performances en termes de résolution (8 bits) et de fréquence d'échantillonnage (2 GHz) ont été respectées. La résolution effective ENOB a été optimisée pour rester supérieure à la résolution de l'ADC moins un bit ($ENOB > 7 bits$).
- ❑ Les techniques retenues ont été combinées pour aboutir à une architecture novatrice répondant au cahier des charges de l'ADC.
- ❑ Les simulations ont montré que le portage en 180 nm est possible.
- ❑ Un synoptique clair et détaillé est proposé.

Conception Top-Down de l'ASIC BuBIC1 de preuve de concept

“Le diable se cache dans les
détails.””

(Laurent Puech)

Chapitre 8

Conception Front-end de l'ASIC de preuve de concept BuBIC1

La technologie CMOS 180 nm avec ses cellules numériques étant limitée en fréquence d'opération, la fréquence de 2 GHz pour l'horloge et de 1 GHz pour les signaux de sortie des comparateurs à Nyquist sont en limite de technologie. Des adaptations peuvent être nécessaires à plusieurs niveaux.

Les PADS d'entrée du signal d'horloge et de sortie pour les signaux issus des comparateurs doivent être adaptés aux contraintes fréquentielles et aux effets parasites des pistes avec notamment les charges RLC qui induisent de la réflexion d'ondes (résonance) aux discontinuités d'impédance de ligne.

8.1 Synoptique et vue top de l'ASIC BuBIC1 de preuve de concept

Le circuit réalisé et envoyé en fonderie contient les cellules critiques de l'ADC. Le synoptique simplifié est donc donné sur la figure 8.1.1.

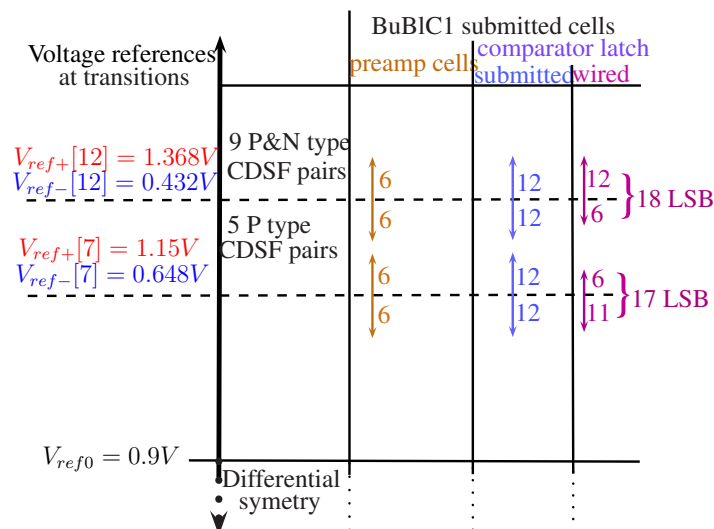


Fig. 8.1.1 – Synoptique simplifié de l'ASIC BuBIC1 avec les techniques de l'interpolation et du QV

Le décodeur a été volontairement omis. Une représentation détaillée de cet ASIC avec les cellules de base des préamplificateurs avec et sans QV et les comparateurs latchés est laissée en annexe sur la figure A.1.

Il a été choisi de démultiplexer ces signaux thermométriques grâce à 2 bascules D pour chaque comparateur (l'une recopie le signal du comparateur latché sur front \uparrow et l'autre sur front \downarrow de l'horloge à 1 GHz). Ceci permet de limiter la fréquence du signal de sortie des IOPADs. Ce choix est justifié par une étude complète des IOPAD détaillée en section 8.2.

Le PAD ring porte donc un total de 70 PADs de sortie pour les signaux du code thermométrique à extraire sur les 2 portions de dynamique.

La finalité de l'ADC étant, à terme, d'être employée sur un système sur puce (SoC) implémentant d'autres macro cellules ou circuits, ce 1^{er} ASIC est baptisé **BuBIC1** pour signifier **Building Bloc Converter**.

Dans l'étude de cas du DPGA, le SoC pourra implémenter une à quatre voies de FE d'amplificateur différentiel avec les ADC **BuBIC** associés et le filtrage optimum nécessaire à la reconstruction du temps de vol (TOF) du γ ([19]).

8.2 Conception Front-End des cellules pour l'extraction des signaux numériques de l'ASIC

8.2.1 Limite fréquentielle du PAD de sortie

Le fondeur fournit une librairie de cellules de PADs permettant d'alimenter le circuit, d'injecter et de sortir des signaux numériques et analogiques.

Une étude préliminaire de cette librairie a d'abord permis de faire le bon choix de cellules et de voir s'il était possible de les modifier pour les adapter aux besoins de performance de notre concept.

La figure 8.2.1 présente la vue symbole de la cellule IOPAD_20. Cette cellule peut être utilisée tantôt comme une entrée ou une sortie selon l'état des signaux OE0, OE1 et IE grâce à un circuit combinatoire. Elles intègrent toutes un gros inverseur CMOS **io_drvr_1V8** qui est donné sur la figure 8.2.2. Cet inverseur a chaque réseau de transistor PMOS d'un côté et NMOS de l'autre décomposé en plusieurs instances avec chacun son nœud de grille. Il est ainsi possible de configurer le fan-out3 de la cellule en appliquant soit les signaux numériques issu du combinatoire soit la tension V_{DD} et 0 V pour les PMOS et les NMOS non utilisés respectivement. L'indice de fan-out IOPAD_XX correspond au courant que la cellule est capable de délivrer.

Dans le cas des cellules IOPAD_XX_HS pour high speed le contrôle de slew rate est omis. L'entrée de la cellule **io_drvr_1V8** est reliée directement depuis la sortie des portes logiques de combinatoire sans utiliser le contrôle de slew rate.

L'étude de reverse engineering détaillée de ces cellules est laissée en section B.7.1 en annexe.

Simulations

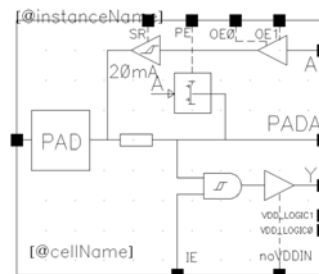


Fig. 8.2.1 – Vue symbole de la cellule IOPAD 20mA avec contrôle de SR

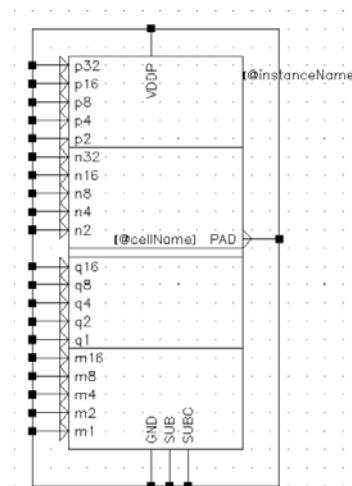
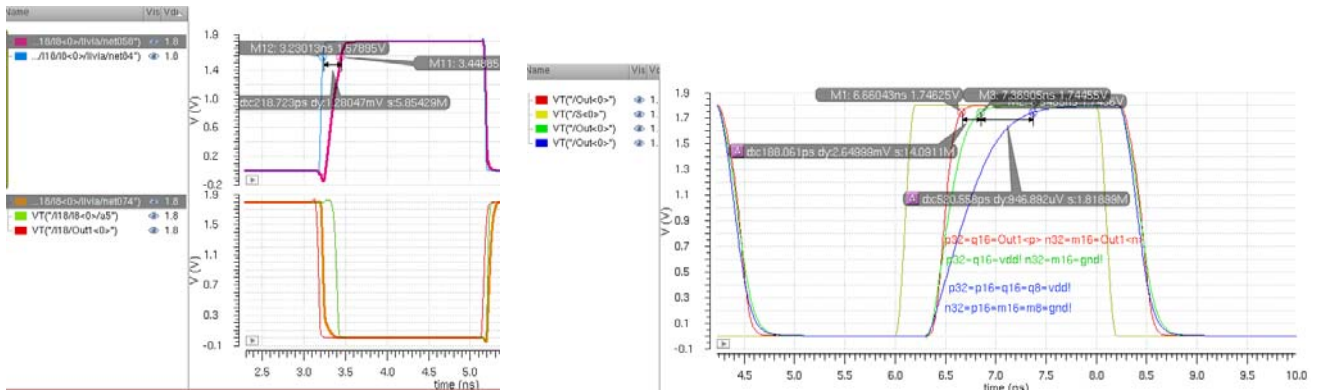


Fig. 8.2.2 – Vue symbole de la cellule **io_drvr** pouvant atteindre 110mA (utilisée pour l'IOPAD_80)



(a) Signaux internes de la cellule *io_ivl* de la figure B.1b
 (b) Courbes de charge de la capacité de fil avec un signal à 500 MHz pour différents fan outs du driver d'IO PADS chargé à 6 pF

Fig. 8.2.3 – Signaux extraits en simulation de l'IOPAD

Une simulation avec un signal numérique d'entrée de 500 MHz a été réalisée pour évaluer la performance des cellules IOPAD_XX_HS. Elle permet de rendre compte de l'intérêt de l'ajout de transistors de fan-out³. Une charge de 6 pF est utilisée comme charge dans le banc de tests. Elle correspond à 1 cm de piste sur une carte PCB et la charge d'entrée d'une porte [33].

La figure 8.2.3b présente les signaux de sortie pour les IOPAD_20_40 et 80 qui emploient respectivement les transistors de l'inverseur *io_drv* suivant les câblages des grilles décrits dans le tableau B.5 en annexe en section B.7.1. Il est ainsi démontré l'intérêt de la cellule IOPAD_40_HS qui permet d'atteindre 1.75 V en gagnant 520 ps par rapport à l'IOPAD_20_HS. L'intérêt de l'IOPAD_80_HS en est réduit à un gain de 188 ps par rapport à la cellule IOPAD_40_HS.

Par conséquent, c'est l'IOPAD_40_HS qui est retenu pour extraire les signaux de l'ASIC. La réalisation d'une cellule de PAD full custom (IOPAD_80) avec des transistors doublés présente un risque de défaut de fonctionnement et n'est pas valorisable dans ce travail de recherche.

8.2.2 Modélisation des impédances caractéristiques de fil de bounding et de ligne

Ces PADS de sortie sont chargés de conduire le signal sur la ligne de transmission sur le PCB sur lequel sera monté l'ASIC. Il convient donc de modéliser le plus fidèlement possible cette ligne. La figure 8.2.4 présente une vue en coupe de l'ASIC tel qu'il sera monté sur sa carte. Il a été choisi de le monter dans une cavité de la carte. Ainsi, les fils de bounding reliant les PADS aux pistes de métallisation sont les plus courtes possible et limite l'effet d'inductance due à la boucle de ce fil.

Les fils de bounding ont un diamètre fixe de 60 μm et leur longueur minimum de 4 à 5 mm. Un tel fil au dessus d'un plan de masse introduit une inductance de $\sim 10 \text{ nH/cm}$ [33]. L'expression de l'inductance L_{nH} pour une largeur w et une longueur l en mm est ainsi rappelée,

$$L_{nH} = 0.2 * l * \left(\log\left(\frac{2 * l}{w}\right) + 0.5 + 0.22 * \left(\frac{w}{l}\right) \right)$$

Le fil de bounding induira donc une inductance de 5.61 nH. En disposant l'ASIC sur une couche de métal de niveau top-1 constituant le plan de masse, la capacité du fil de bondage C_{bond} avec le plan de masse est donc déterminé par l'épaisseur du die $d=0.3 \text{ mm}$ et la permittivité effective du milieu

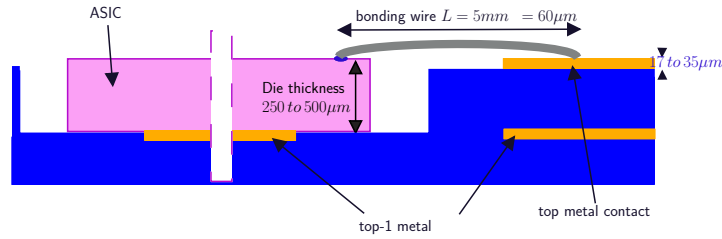


Fig. 8.2.4 – Vue en coupe de l'ASIC soudé dans une cavité du PCB avec ces fils de bonding

diélectrique ϵ_{eff} qui est pris à 1 en considérant le diélectrique de bonne qualité de permittivité proche du vide,

$$\begin{aligned}
 C_{bond} &= \epsilon_0 \epsilon_{eff} \frac{A}{d} \\
 &= 60e-6 * 5e-3 * 8.854e-12 / 0.3e-3 \\
 &= 8.854 \text{ fF}
 \end{aligned}
 \tag{8.2.1}$$

L'effet capacitif est donc tout à fait négligeable devant l'effet inductif et l'impédance est donc désadaptée car l'inductance linéique est constante alors que la capacité passe de 2 pF/cm à 17.7 fF/cm. Cette désadaptation à 5 mm du PAD entraînera de la réflexion d'onde pour les harmoniques n dont la longueur d'onde λ_n est $\lambda_n < 5 \text{ cm}$. L'autre solution est de diminuer cette inductance en laissant une fente dans le plan de masse en ne métallisant aucune couche sous le fil de bondage comme représenté sur la figure 8.2.4. L'inductance de ligne peut alors se réduire à 1 nH/cm [33] sur du PCB (soit 10 fois moins) et donc potentiellement à 0.6 nH pour le bondwire de l'ASIC. Cet effet est dû au fait que le courant dynamique consommé par le PAD circule par le plan de masse et est donc en sens opposé du courant dynamique dans la ligne, c'est donc une boucle de spire qui est ainsi éliminée.

Il est important de noter que la figure 8.2.4 ne représente pas le **chipedge**¹ connecté à la masse dans le die de l'ASIC, en effet celui-ci est une barrière verticale de la plus haute couche de métal jusqu'au substrat entourant le circuit intégré y compris les PADs. Ainsi, la capacité linéique calculé en équation 8.2.1 est en réalité un peu plus élevée sans augmenter l'inductance linéique. La désadaptation d'impédance et donc les réflexions d'ondes sont moins importantes qu'avec ce calcul.

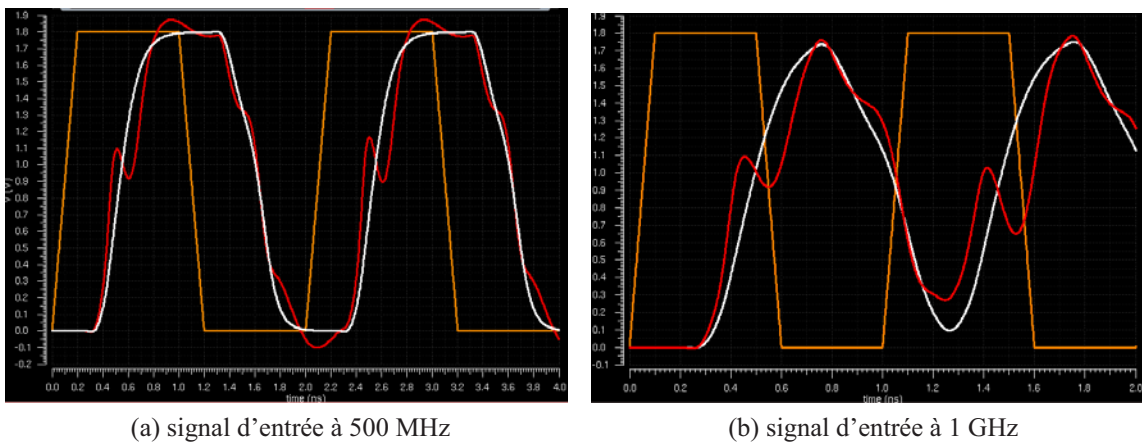


Fig. 8.2.5 – Courbes du signal transitoire en sortie de l'IOPAD avec une self série de 2 nH

1. voir définition13

Enfin, une simulation à été lancée en rajoutant la résistance d'entrée d'une sonde d'analyseur logique et une self inductances séries de 2 nH équivalente à 2 mm de longueur de piste [33]. Les résultats pour un signal d'entrée à 500 MHz et à 1 GHz sont présentés sur les figures 8.2.5 a&b. Le circuit RLC ainsi réalisé crée un filtre passe bas. Les harmoniques aux delà de $1/(2\pi\sqrt{LC}) = 1.6 GHz$ sont filtrés. Le dernier harmonique encore visible a une période de 200 ps soit 5 GHz ce qui en fait le 10^e harmonique du spectre de la fonction trapézoïdale injectée. L'amplitude de cet harmonique est de l'ordre de la centaine de mV, ce qui est relativement élevé pour le 10^e harmonique. En effet en rappelant l'expression du coefficient de la série de Fourier d'une fonction T périodique $f(t)$ en fonction de l'harmonique n,

$$A_n = \frac{2}{T} \int_{T/2}^{T/2} f(t) \cdot \cos(n\omega t) dt$$

$$B_n = \frac{2}{T} \int_{T/2}^{T/2} f(t) \cdot \sin(n\omega t) dt$$

Dans le cas d'un signal carré idéal ($f(t) = 1.8$ pour $0 \leq t < T/2$ et $f(t) = 0$ pour $T/2 \leq t < T$), le coefficient $B_{n=10}$ est donc

$$B_{n=10} = 2 * 1.8 * \cos(10 * \pi/2) / (10 * \pi)$$

$$= 0.114$$

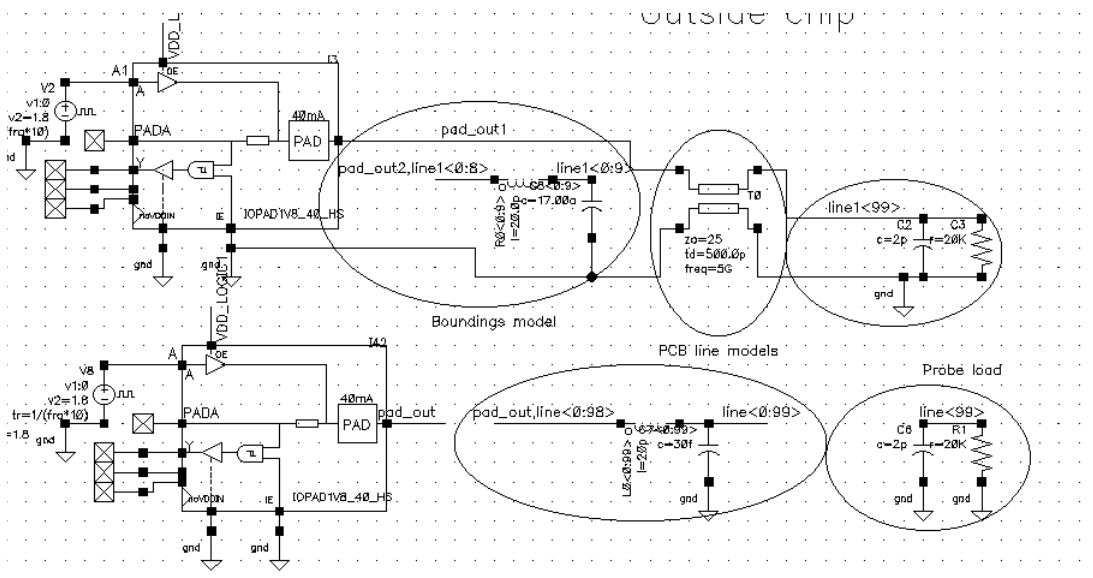


Fig. 8.2.6 – Modélisation de lignes sur PCB avec fils de bondings et de la charge de la sonde de l'analyseur logique

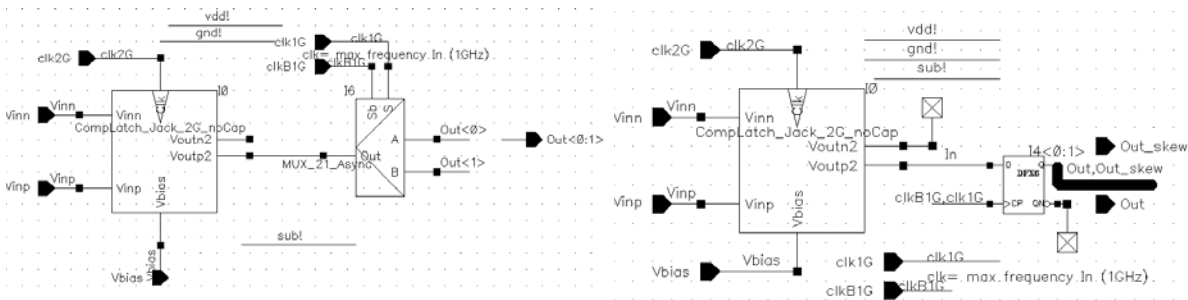
L'état d'avancement a conduit à différents modèles de ligne. La figure 8.2.6 contient 3 modèles pour simuler les PADS. Le premier modélise la ligne grâce au composant de ligne de l'analogLib (Tline) en considérant qu'elle est intégralement adaptée (ce qui est vrai pour les 3 premiers harmoniques du signal à 500 MHz mais pas au delà). Le deuxième modèle décompose la ligne entre la portion du

bounding et la portion sur PCB. Alors que la portion du PCB est modélisé par le composant Tline, la portion du bounding a son inductance et la capacité linéique du bounding calculées (0.5 nH et 8.854 fF en équation 8.2.1 respectivement) divisée en 10 inductances et capacités infinitésimales. Le troisième modèle enfin, modélise la ligne en 100 impédances et capacités infinitésimales.

8.2.3 Implémentations de mémoires synchrones à base de Flip Flop pour le démultiplexage

Les IOPADs de la bibliothèque ne permettent pas d'atteindre le Giga Hertz de fréquence de signal numérique 0 V 1.8 V. Il a donc été choisi de démultiplexer les signaux issus de la conversion de chaque comparateur latché. Ainsi, si le spectre du signal d'entrée de l'ADC à quantifier a une amplitude de plus d'un LSB à 1 GHz, la sortie du ou des comparateurs commutant dans les deux sens à une période d'horloge à 2 GHz se verra temporisée par le démultiplexage afin de rester à un signal numérique de 500 MHz en sortie des IOPADs.

Dans un premier temps, c'est un démultiplexage asynchrone qui a été pensé comme sur la figure 8.2.7a. Une telle topologie suppose que le combinatoire en sortie du comparateur latché et du démultiplexeur soit négligeable par rapport à la fréquence d'horloge commandant le démultiplexage. Or, pour un signal select complémentaire à 1 GHz, la sortie du MUX souffre d'un temps de monté de quelques centaines de ps et varie avec le bruit de phase ce qui n'est pas acceptable pour assurer une synchronicité des signaux en sortie du chip.



(a) Comparateur latché avec démultiplexeur asynchrone (b) Comparateur latché avec mémoires synchrones de démultiplexage

Fig. 8.2.7 – Circuits de temporisation des signaux de sortie des latches

La solution la plus adaptée est de démultiplexer le signal de sortie du comparateur de manière synchrone. L'utilisation de mémoires de type Flip Flop actives sur front montant de l'horloge à 1 GHz assure le changement d'état au même instant pour les sorties des mémoires de chaque comparateur (voir figure 8.2.7b). Il faut cependant veiller à ce que le signal de sortie issu du comparateur change d'état de 10 à 90% de V_{DD} ou inversement à un intervalle de plusieurs dizaines de ps par rapport aux fronts d'horloge à 1 GHz au niveau des Flips Flops. Ceci est assuré par le temps de transit de la mémoire de sortie du latch et de ses fan outs. Afin d'assurer une synchronicité adapté a cet usage, l'horloge 1 GHz devra être extraite depuis l'horloge 2 GHz grâce à un circuit adapté.

Sur le banc de tests sur la figure 8.2.8, 2 horloges idéales sont appliqués en plus du petit signal d'entrée. Une horloge est unipolaire à 2 GHz et l'autre est avec son complémentaire à 1 GHz. Les circuits nécessaires à la génération des signaux d'horloges sont décrits en section annexe B.7.2.

Les résultats de simulation ont été concluants et ont permis de valider ce fonctionnement. Les simulations *extracted* de la cellule de latch présentées en section 9.1.4.1 sur les figures 9.1.4b et 9.1.3b présentent les signaux correspondants.

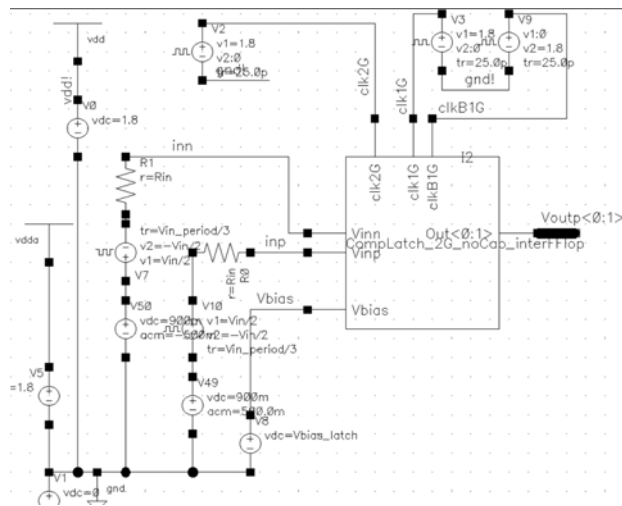


Fig. 8.2.8 – Banc de tests du comparateur latché avec les résistances de sortie équivalent Thévenin de l'étage de préamplification (mesurée à $11\text{ K}\Omega$ en AC)

8.3 Signaux d'horloges

Comme vu précédemment plusieurs signaux d'horloges synchrones sont nécessaires au bon fonctionnement de l'ASIC à réaliser. Une à 2 GHz, une à 1 GHz avec complémentaire et une à 500 MHz avec son déphasage. Les circuits générant les 2 dernières à partir du signal à 2 GHz sont présentés sur les figures B.2 et B.3 en annexe. Elles ont été implémentées dans l'ASIC avec les cellules permettant d'obtenir ce signal avec toute son intégrité notamment les fan out.

Dans le cas de la réalisation de cet ASIC, il a été choisi de générer le signal 2 GHz par un instrument de laboratoire de type générateur de signaux plutôt que de réaliser un oscillateur et une boucle à verrouillage de phase intégrée. Le signal alors sous forme de sinusoïde est injecté dans la puce au travers d'un PAD analogique. Il est remis en forme par une cascade de 3 inverseurs dans la cellule **entree_sinus** comme sur la figure 8.3.1.

Le concept de la reconstruction d'un signal à 1 GHz à partir de 2 signaux à 500 MHz déphasés de $\Pi/2$ est présenté en section annexe B.7.2. Il permet de palier à une limitation en fréquence du PAD d'entrée. Il a été choisi de permettre de générer le signal à 2 GHz à partir de 2 signaux sinusoïdaux à 1 GHz déphasés de $\Pi/2$.

La figure 8.3.1 présente le schémas du montage permettant les 2 options. L'horloge à 2 GHz directement issue d'une sinusoïde externe redressée par la cellule **I34** d'une part sur le signal **clk2G_sqrt**, et les 2 sinusoïdes à 1 GHz d'autre part. Ces sinusoïdes sont redressés par les cellules **I35<0:1>**. Un signal à 2 GHz est ainsi reconstitué grâce à une extraction de signal complémentaire et une porte XOR dans la cellule **I28** sur le signal **clk2G_XORted**. Les signaux **clk2G_XORted** et **clk2G_sqrt** sont sélectionnés au travers de la porte **NAND2X6**. L'une ou l'autre option sera sélectionnée en gardant l'autre signal à 0.

8.3.1 Schéma du CORE digital

Au niveau schémas, l'horloge une fois remise en forme est nommé **clk2G_In**. Elle est injectée en entrée des cellules **I5** et **I94**. La première est une instance de la cellule B.2 présentée précédemment permettant d'obtenir l'horloge **clk1G** avec complémentaire **clkB1G** et l'horloge **clk500M**. La seconde cellule **I94** et les 2 cellules en cascade sont des fan-out3 permettant d'obtenir un signal **clk2G** avec un front montant en phase avec les fronts montant de **clk1G**.

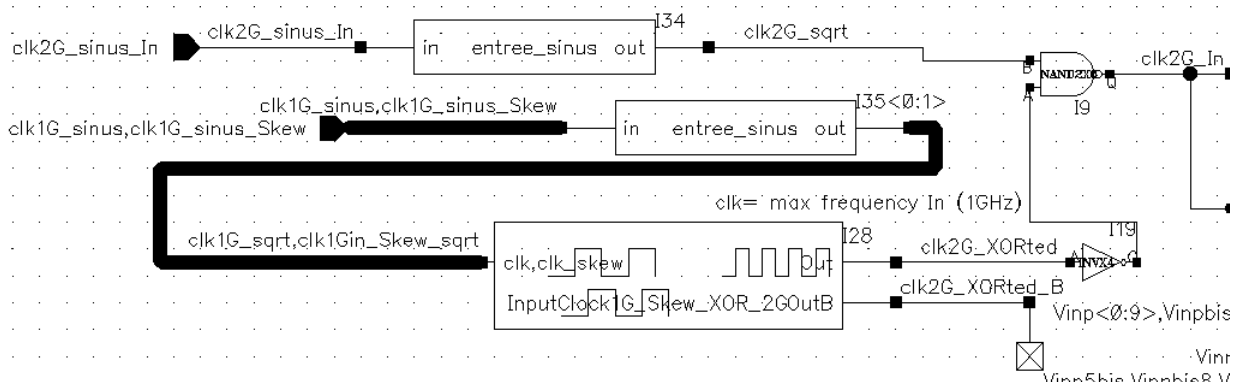


Fig. 8.3.1 – Schéma des cellules de remise en forme du signal d’horloge dans le CORE numérique

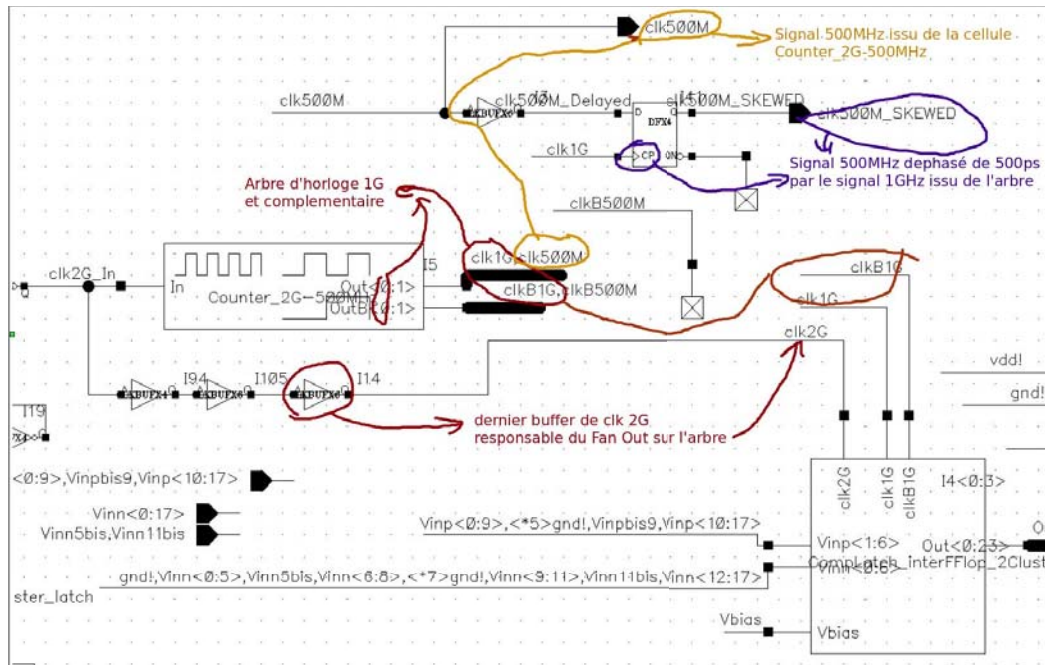


Fig. 8.3.2 – Schéma du CORE numérique avec l’instanciation des 4 clusters de comparateurs latchés

À noter que le buffer d'horloge à 2 GHz responsable du fan out sur l'arbre a dû être remplacé par un buffer d'indice X24 afin de charger la capacité parasite de ligne de l'arbre après simulation *extracted* comme le montre la figure 8.3.4a.

Les 4 clusters de préamplificateurs instanciés dans le CORE analogique n'étant pas tous câblés aux entrées des comparateurs latchés correspondants, les comparateurs latchés non utilisés ont leurs grilles à **gnd!**.

8.3.2 Insertion de fan-outs3 sur l'arbre d'horloge

Du fait des effets parasites des capacités des pistes transmettant les signaux d'horloges depuis la source jusqu'aux comparateurs et leurs flip flop, ces signaux perdent de leur intégrité. Ainsi, il est souvent nécessaire de rajouter des fan-outs sur le chemin des signaux d'horloge. La figure 8.3.3 inclut 6 comparateurs latchés pour la comparaison directe en sortie des préamplificateurs et 6 comparateurs responsables de l'interpolation. Ces fan outs sont mis dans un ensemble pour chaque horloge à 2 GHz, 1 GHz et 1 GHz complémentaire avec 12 comparateurs latchés. Initialement, des buffers d'indice de fan-out3 X6 avaient été implémentés pour les 3 signaux d'horloge. Ceci s'est révélé être suffisant pour charger les capacités internes des transistors au niveau schéma avec une très bonne intégrité des signaux d'horloge.

Après une simulation parasitique *extracted* de l'ensemble du CORE numérique, il s'est avéré que les signaux avaient perdu toute leur intégrité à cause des capacités de ligne comme le montre la figure 8.3.4a. Un buffer d'indice X24 a été inséré à la place du buffer X6 pour l'horloge **clk2G_buf**, et 2 buffers d'indice X16 pour les signaux **clk1G_buf** et **clkB1G_buf**.

Le correctif ainsi implémenté a permis d'obtenir des signaux d'horloge avec une intégrité satisfaisante comme présenté sur la figure 8.3.4b en simulation *extracted*.

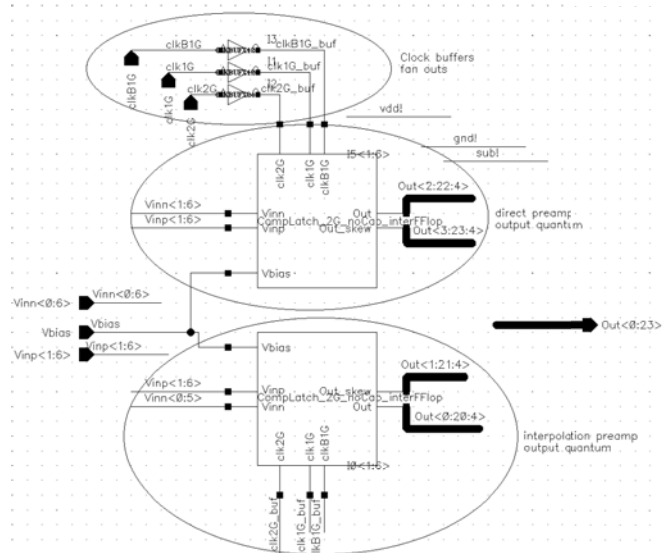


Fig. 8.3.3 – Schémas du cluster de 12 latches avec interpolation et insertion de fan out d'horloge

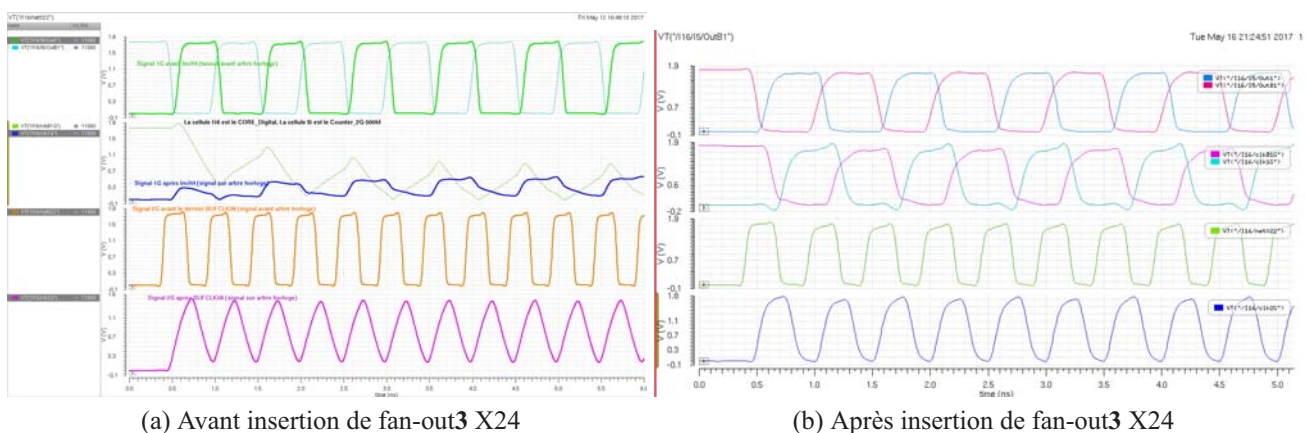


Fig. 8.3.4 – Problèmes de fan out sur les signaux d'horloge en simulation *extracted* dus à l'insuffisance de la sortance des cellules de buffers employés

8.4 Assemblage de l'ensemble analogique

Étant donné l'aspect analogique mixte de l'ASIC envoyé, les cellules analogiques ont été rassemblées dans une macro cellule dite de CORE analogique où le nœud de masse est noté *gnda!* et le nœud d'alimentation + est noté *vdda!*. Il peuvent être alimentés indépendamment des nœuds numériques *vdd!* et *gnd!* à l'extérieur de la puce.

8.4.1 Cellules intermédiaires : clusters de préamplificateurs et étages suiveurs

Comme pour les latches rassemblés en clusters, les préamplificateurs avec leurs suiveurs sont rassemblés par 6 avec éventuellement 2 paires de suiveurs de type P et 2 paires de type N. La cellule ainsi créée en Back-end est optimisée pour son encombrement et pour le routage des pistes de signaux différentiels d'entrée et de sortie en évitant les diaphonies et les croisements de pistes.

L'exemple de la cellule intermédiaire intégrant les 2 types de suiveurs est présenté sur la figure 8.4.1. C'est l'équivalent de 2 instanciations du cluster représenté sur la figure 7.2.3. Le 12^e doigt de transistor de source de courant de chaque préamplificateur doit compenser l'effet de modulation de canal dû à l'insertion de suiveurs de type N. Un transistor de largeur correspondant à ce doigt est inséré dans ce niveau de hiérarchie pour chaque pré-amplificateur. Ils correspondent aux transistors TN0, TN1, TN2<0 :1> et TN3<0 :1> de $W = 10 \mu m$ sur la figure 8.4.1.

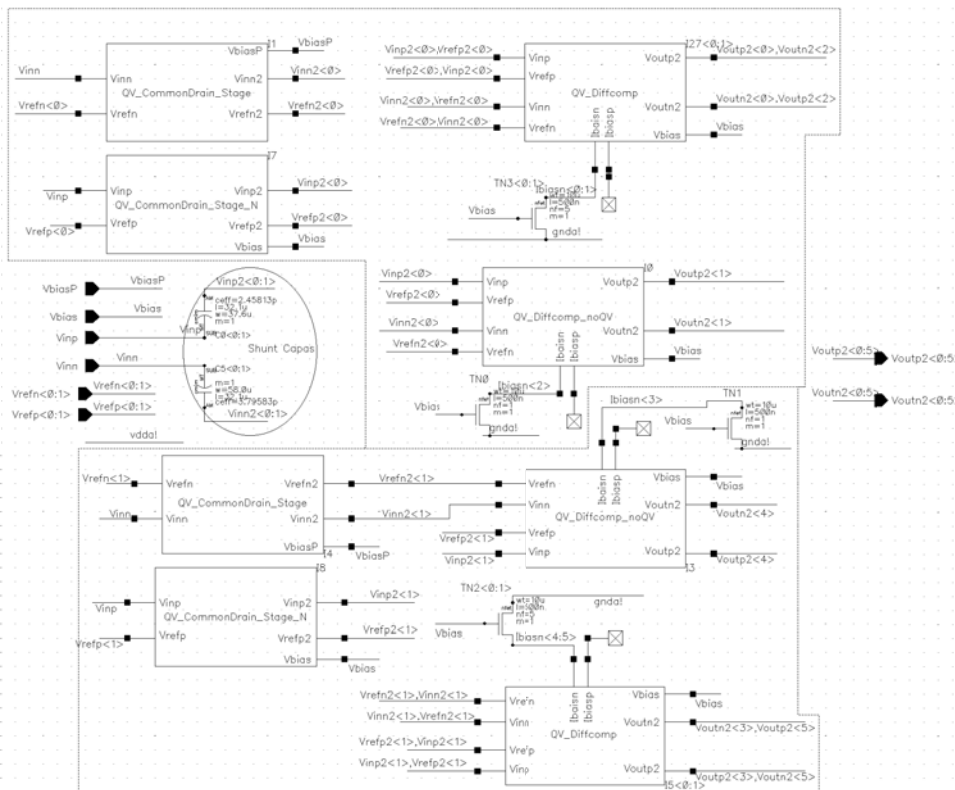


Fig. 8.4.1 – Schéma du cluster de 6 préamplificateurs avec 2 paires de suiveurs de chaque type et leurs capacités de shunt

On notera l'insertion de 4 capacités de shunt (1 pour chaque paire de suiveurs). Elles ont pour rôle d'aiguiller le signal directement sur les grilles des préamplificateurs et le dériver des suiveurs qui introduisent un délai. Les capacités $C_0 < 0 : 1 >$ de 2.45 pF shuntent des suiveurs N et $C_1 < 0 : 1 >$

de 3.79 pF shuntent des suiveurs P. Ces valeurs ont été choisies pour correspondre à la surface de la cellule de 6 préamplificateurs.

Les 3 types de cluster de 3 préamplificateurs décrits sur les figures 5.3.4, 7.2.2 et 7.2.3 ont été réalisés par regroupement de 2 (toujours 6 préamplificateurs par cluster). Les capacités de shunts ne sont évidemment utilisées que quand le suiveur correspondant est instancié.

Enfin, les doigts de compensation TN0, TN1, TN2<0:1> et TN3<0:1> de $W = 10 \mu\text{m}$ sont retirés du cluster de 6 préamplificateurs avec uniquement les suiveurs de type P comme décrit sur le schéma 7.2.2.

8.4.2 Macro cellule Core analogique

Le schéma du CORE analogique donné sur la fig 8.4.2 reprend le câblage des banc de tests des préamplificateurs avec et sans leurs suiveurs respectifs.

L'échelle de références différentielles a été étudiée en section 7.3.2. Une fois instanciée dans la macro-cellule du CORE analogique, elle présente les 21 références positives, les 21 négatives et la référence différentielle nulle au mode commun $V_a = V_{DD}/2$ du milieu de l'échelle. Les références utilisés par les clusters de préamplificateurs instanciés dans l'ASIC sont découplés pour filtrer le kick-back noise grâce à des capas MOS selon la technique présentée en figure 2.2.1b. Ces capacités MOS ont l'avantage de la densité et d'être juste au dessus du substrat évitant ainsi les vias de contacts jusqu'au métal 6 des capacités MIM. Il est ainsi possible de les rapprocher le plus possible des grilles d'entrées des étages suiveurs et préamplificateurs.

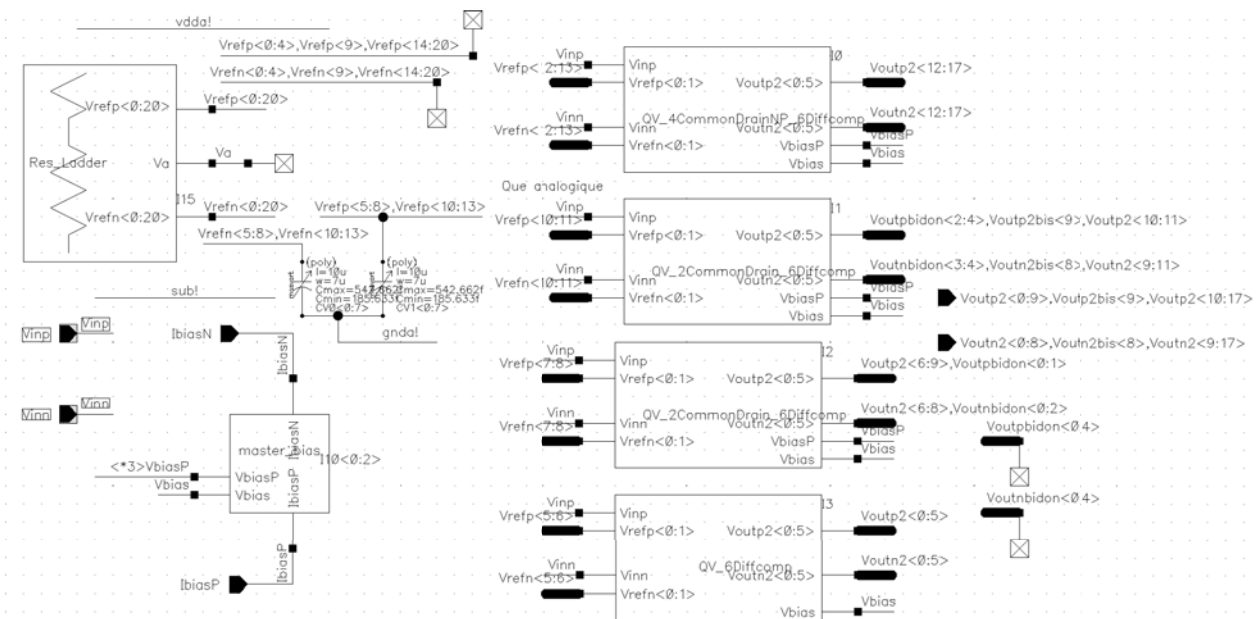


Fig. 8.4.2 – Schéma du CORE analogique

Seuls les signaux utilisés par les latches pour être convertis et sortis du chip sont extraits de cette cellule afin de limiter le routage au strict minimum.

8.5 Simulations de l'ASIC et bancs de tests

Le travail de conception de ces cellules au niveau Front-end a été confronté à des simulations complètes permettant de valider leur implémentation. Leur agencement dans les macro cellules et dans

l'ASIC de test selon le synoptique de la figure A.1 doit être simulé en nominal et en tirage de Monte Carlo. Les résultats de simulations globales en *extracted* pourront alors être confrontés aux résultats de tests des échantillons du circuit.

8.5.1 Banc de tests

Un premier banc de tests avait permis de comparer les performances des cellules conçues au niveau Front-end sur la figure 7.2.4 avec les performances post layout *extracted* qui seront présentés en section 9.1.4.2 sur la figure 9.1.5. Ce banc de tests n'était pas complet pour analyser le fonctionnement global de l'ASIC avec notamment la non linéarité. Il a été repensé dans cet objectif.

Des cellules *vcvs*² sont assemblées comme sur la figure 8.5.1. Il y en a autant que de pas de quantification (53 pour cet ASIC). Elles sont paramétrés pour saturer à 0 V et à 12 mV (1 pas de quantification) quand le signal d'entrée différentiel est inférieur à zéro et supérieur à zéro respectivement. Elles sont alors mises en séries entre les nœuds de sortie de $V_{outpDAC} < 0 >$ à $V_{outpDAC} < 53 >$. Leurs entrées négatives étant toutes à $V_{DD}/2$ et leurs entrées positives aux 53 sorties des latches sur toute la dynamique. Elles constituent un convertisseur numérique analogique (DAC) idéal en additionnant un pas de quantification par bit à 1.

Pour le test de l'ASIC, les 70 sorties sont passées 2 à 2 dans une porte OR et une AND idéales de l'*ahdlib* pour recombinaison les 35 bits de sortie des latches. Comme il y a un vide dans la dynamique, la sortie 17 est en entrée de 19 *vcvs* série. La sortie du DAC<53>_2 issue de la porte OR sera à sélectionner quand le signal d'entrée croît. La sortie DAC<53>_3 correspondant à la sortie AND sera à sélectionner quand le signal d'entrée décroît.

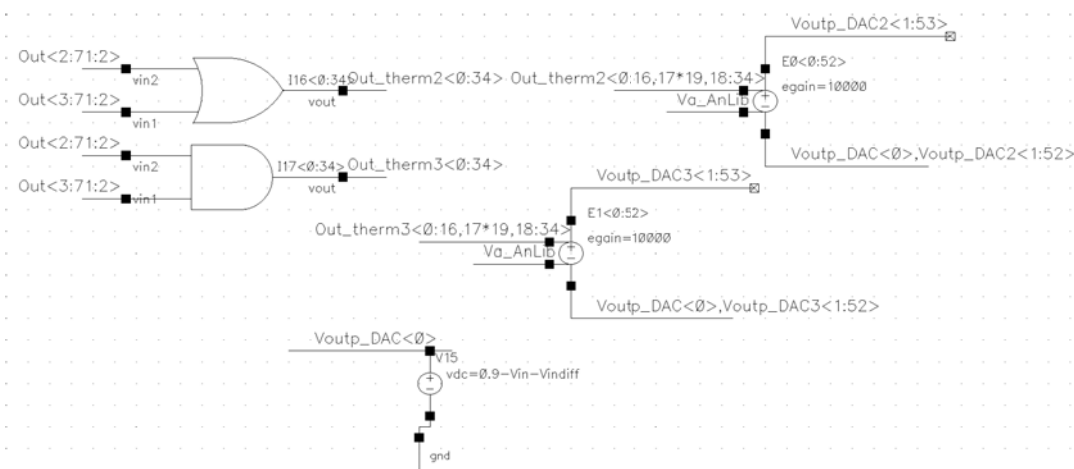


Fig. 8.5.1 – Réalisation du DAC idéal du code thermométrique dans le banc de tests de la vue Top pour l'analyse des signaux de sortie

8.5.2 Résultats de simulation

Les figures 8.5.2 et 8.5.3 correspondent aux simulations lancées sur 5 tirages de Monte-Carlo mismatch. Il s'agit d'une simulation globale des cellules de pré-amplification et de comparateur lachés mis dans la puce. Les résultats suivants en sont tirés :

- Non Linéarité intégrale < 0.5 LSB pour 51/52 LSB sur la pleine échelle de 3 tirages /5.
- NL différentielle < 0.5 LSB pour 51/52 LSB sur la pleine échelle pour 5/5 tirages.

2. voir définition 11

Ces résultats de non linéarité permettent de conclure qu'un rendement de 95% peut être raisonnablement attendu avec un $ENOB > 7$ bits sur un ADC complet. Ce qui permet de conserver une non linéarité dans les limites ci dessous pour une double rampe d'entrée sur toute la dynamique et un échantillonnage à 2 GHz,

$$-0.8 < INL < 0.8$$

$$-0.7 < DNL < 0.7$$

La technique de layout de transistors en centroïde commun améliore ces résultats pour garder les 2 types de NL < 0.5 LSB sur la pleine échelle pour 95% des tirages.

Une simulation nominale pour une sinusoïde pour une amplitude sur la pleine échelle à 50 MHz est donnée sur la figure 8.5.4. L'horloge étant toujours cadencé à 2 GHz pour cette simulation, on observe que les 2 premiers comparateurs de la pleine échelle ne commutent pas ce qui donne un aperçu des limites de bande passante du circuit proposé.

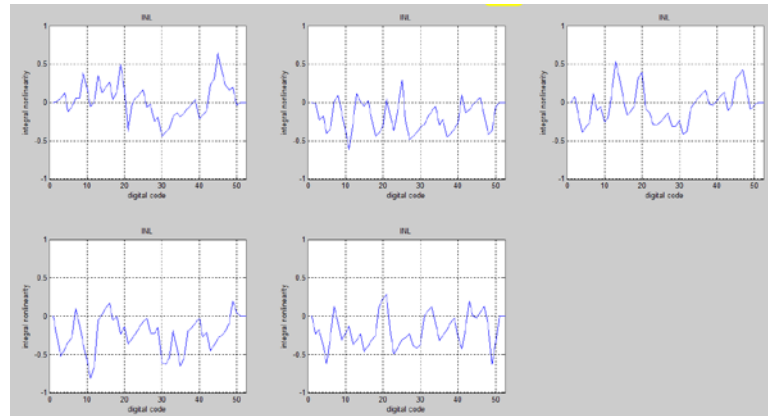


Fig. 8.5.2 – Résultats d'INL en tirages de Monte Carlo mismatch

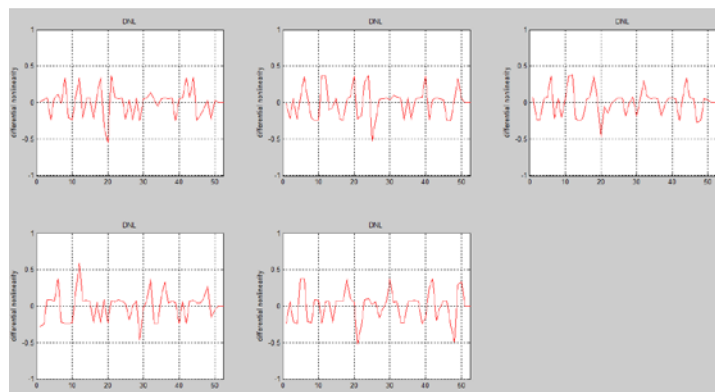


Fig. 8.5.3 – Résultats de DNL en tirages de Monte Carlo mismatch

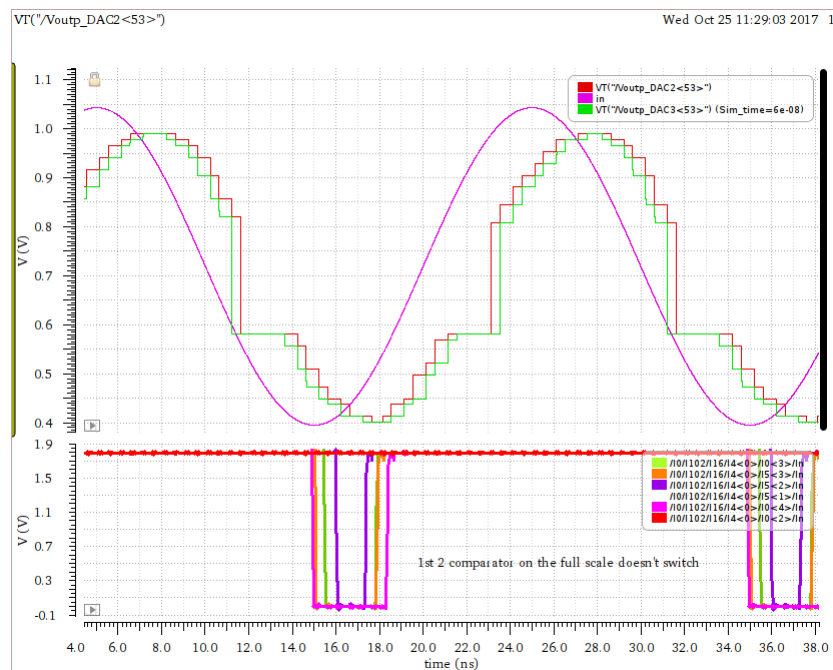


Fig. 8.5.4 – Réponse à une sinusoïde 50 MHz et $f_{ech} = 2$ GHz

8.6 Conclusion

Les caractéristiques de l'ASIC retenu pour la preuve de concept sont définies par les résultats de l'étude de l'architecture globale du chapitre 7 et de l'étude des IOPADs vu en section 8.2. Le synoptique global est donné en figure 8.1.1.

Les simulations post layout présentées dans ce chapitre et dans le chapitre 9 ont permis de redimensionner les fan-out³ par les techniques présentées et de valider les performances de l'ASIC à 2 GHz.

Le floorplan et les techniques de back-end employées dans cet ASIC seront donc détaillés dans le chapitre 9.

3. voir définition 3

Points clés

Positionnement

- ❑ Un ASIC de preuve de concept incluant les cellules les plus critiques a été proposé
- ❑ Le code thermométrique de la conversion aux seuils critiques est démultiplexé par 2 mémoires. Ceci réduit la fréquence de sortie des fronts aux changements d'états. Le démultiplexage permet de rester dans des conditions de fonctionnement adaptés aux performances des IOPADs dans une optique de tests à 2 GHz de fréquence d'échantillonnage et de signal d'entrée ayant une amplitude supérieure LSB sur son spectre à 1GHz.
- ❑ Différentes techniques permettant de contourner les limites technologiques des PADs ont été proposés.

Contributions

- ❑ Les techniques employées pour contourner les limitations fréquentielles des cellules de la techno ont été détaillées avec l'encapsulation du Die sur la carte de tests afin de limiter les selfs séries.
- ❑ Les simulations extractées des cellules individuelles, des clusters de cellules et des vues top ont permis de valider la conception du Back-end et de conduire aux topologies les plus adaptées aux performances visées.
- ❑ Les techniques permettant de contourner les limites technologiques des PADs sont implémentées dans l'ASIC de preuve de concept.

Chapitre 9

Conception Back-End : Placement routage et Floorplan

Les layout réalisés sont présentés dans cette section avec les commentaires sur les topologies adoptées par rapport aux règles de dessins de la technologie ou aux contraintes sur l'intégrité des signaux.

Acronymes et Conventions de couches

Ce chapitre présentant les layout réalisés avec des descriptions détaillées, il est fait mention des couches de masques pour la métallisation, de poli-silicium et de dopage. Les acronymes employés et les conventions de couches sont données en section D.1 en annexe.

9.1 Cellules élémentaires

9.1.1 Préamplificateur full-différentiel symétrique et à QV

La cellule de préamplificateur conçue au niveau layout reprend la topologie en schéma sur la figure 5.3.5 avec de haut en bas :

- Les transistors PMOS de charges de Type Lee sont associés ("abutés") par la fusion de leurs sources (voir figure D.1 pour la fusion de drains de NMOS). Ils respectent le pattern suivant pour le common centroid :

TP3<0>	TP0<0>	TP1<1>	TP2<1>
TP2<0>	TP1<0>	TP0<1>	TP3<1>

- Les 2 paires différentielles (abutées d'une part) et les transistors d'asymétrie (abutés d'autre part) au milieu avec le pattern suivant pour le common centroid :

transistors d'asymétrie QV abutés		Paires différentielles abutés			
TP12<0>	TP14<1>	TN0<0>	TN1<1>	TP2<0>	TP3<1>
TP14<0>	TP12<1>	TN1<0>	TN0<1>	TP3<0>	TP2<1>

- Les sources de courant en bas qui sont simplement placées côtes à côte et associées (abutées) La vue layout de cette cellule n'est pas présentée ici. Elle est visible sur trois instances dans le cluster de la figure 9.2.1 en section 9.2.

9.1.2 Paires de suiveurs à drains commun (CD)

La cellule de paire de suiveurs de type P et celle de paire de suiveurs de type N reprennent également la topologie en schéma comme sur les figures 7.2.1.

La technique common centroid est implémentée pour les sources de courant et les transistors en CD pour les deux types de transistors.

Type PMOS

La figure 9.1.1a présente la topologie retenue pour les paires de suiveurs de type PMOS.

Pour des raisons de réduction d'encombrement, les doigts du PMOS de source de courant sont au nombre de 10 et de $W_{biasfinger}|_{PCD} = 8.8 \mu m$ chacun. Il est coupé en 2 pour réaliser une topologie common centroid avec la source de courant associée de la paire. Les demi transistors sont abutés entre les 2 sources de courant pour réduire l'encombrement. Leurs sources étant communes, ceci ne pose pas de problèmes. L'ensemble des 2 sources de courant en common centroid est tourné pour des raisons d'encombrement vertical.

Type NMOS

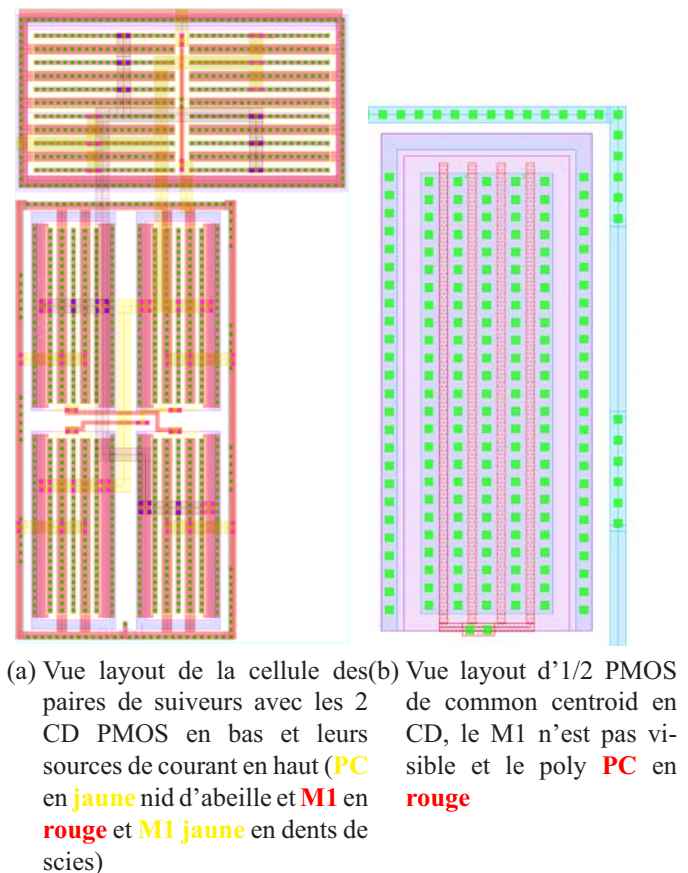
Le layout de la cellule seule n'est pas présenté. Le placement des instances est visible dans le cluster de la figure 9.2.1 en section 9.2.

Ainsi comme pour le PMOS, le placement des transistors de la paire de suiveurs NMOS reprend la figure 7.2.1 avec de haut en bas les NMOS en CD placés en centroid commun et leurs sources de courant elles aussi en centroid commun. Du fait que les NMOS ont leur prise bulk partagée avec tous les NMOS du die, celui-ci ne peut être relié aux sources respectives de chaque NMOS en CD. Par conséquent, les prises N+ de substrats des guard rings sont connectées à **gnd** !.

9.1.3 Comparateur latché

Le comparateur latché retenu a été conçu en back-end et réuni avec les mémoires FFlop de démultiplexage synchrone dans une cellule. Le layout du latch et de la cellule intégrant les Flip Flops à une largeur réduite de $8 \mu m$ permet de rassembler les 255 instances sur l'ADC 8 bits complet selon un vecteur de 2 mm. Ce vecteur peut être replié selon une topologie en U de $3 * 700 \mu m$ facilitant grandement le routage de ces pistes de signaux d'entrées depuis les sorties des 128 préamplificateurs si eux aussi sont disposés en U.

Le layout du comparateur reprend le schéma du latch de la figure 9.1.4a. Les transistors NMOS de la paire différentielle TN1 et TN2 et de charge TP0 et TP1 ont été chacun déclarés en 2 instances en parallèle afin de les disposer en une topologie common centroid dans le but de limiter la dispersion des tensions d'offset ramenées en entrée.



(a) Vue layout de la cellule des paires de suiveurs avec les 2 CD PMOS en bas et leurs sources de courant en haut (PC en jaune nid d'abeille et M1 en rouge et M1 jaune en dents de scies)

(b) Vue layout d'1/2 PMOS de common centroid en CD, le M1 n'est pas visible et le poly PC en rouge

Fig. 9.1.1 – Vues layout de la cellule des paires de suiveurs

La figure 9.1.2 présente le layout de la cellule avec les couches de métallisation 2 et 3 en jaune et orange respectivement et le polysilicium en rouge nid d'abeille. Le métal 1 réservé aux alimentations et au signal Pdiff n'est pas affiché. Les transistors sont disposés comme en schéma de haut en bas.

Une attention particulière a été de mise afin de limiter les cross talk entre les signaux d'entrée analogique et de sortie numérique en phase inverse. Par contre, comme les capacités de rebouclage positif n'ont pas été matérialisées par un composant du design kit, les pistes de signaux d'entrée/sortie en phase ont été rapprochées le plus possible. Ce rapprochement permet d'annuler une partie du kick back noise en augmentant la capacité mutuelle. Les signaux d'entrée/sortie de phase inverse sont sur la même couche de métal pendant que leurs complémentaires respectifs sont sur la couche de métal au dessus ou en dessous.

9.1.4 Simulation post layout

Comme vue en section 7.2, la fonctionnalité des cellules développées a été prouvée par simulation SPECTRE au niveau schéma. Le développement des masques de ces cellules au niveau layout (Back-end) doit être validé par des résultats de simulation post layout rétro-annotée pour spectre. Ils sont donc confrontés aux précédents résultats pour la fonctionnalité et les performances. Les simulations post layout étant fatalement altérées par la topologie des dessins de masques avec les capacités parasites induites, il convient de comparer les résultats des variantes possibles sur le dessin des masques et des effets parasites.

9.1.4.1 Simulation M1 en Cu VS Al

Lors du changement d'option technologique, la fonctionnalité du comparateur a été compromise. Le banc de test mis en place avec les résistances de sortie du préamplificateur a permis de trouver l'origine du problème.

Comme il est possible de voir sur les courbes de la figure 9.1.3b, la fonctionnalité était opérationnelle pour l'ancienne option technologique quelque soit les conditions de polarisation de la bascule entre 550 et 600 mV de tension de grille pour la source de courant.

Or sur la figure 9.1.4b, la fonctionnalité n'est plus opérationnelle à 550 mV. Le courant de polarisation a lui été réduit de $30 \mu A$.

Un affichage des tensions aux différents nœuds à l'instant du basculement sur les figures 9.1.4a et 9.1.3a rend compte de la résistivité de la première couche de métal avec la chute de tension entre la source du transistor de source de courant TN0 et le 0 V effectif. Elle est de $40 \mu V$ pour le portage sur la technologie avec du cuivre pour le métal 1. Elle est de $3.5 mV$ pour la techno avec le métal 1 en Aluminium. La tension de source étant ainsi supérieure avec l'aluminium, la tension V_{GS} et le courant de polarisation baissent ce qui conduit à un comparateur qui ne bascule plus pour les mêmes signaux d'entrée.

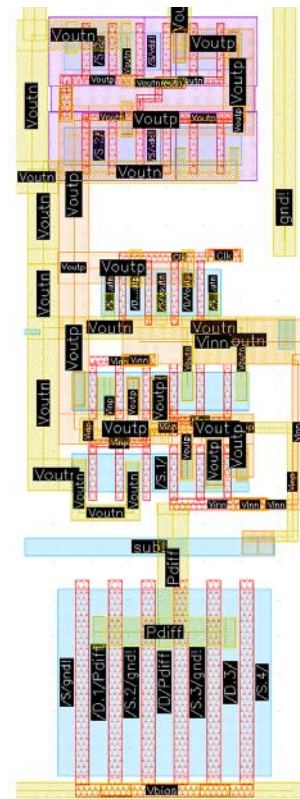
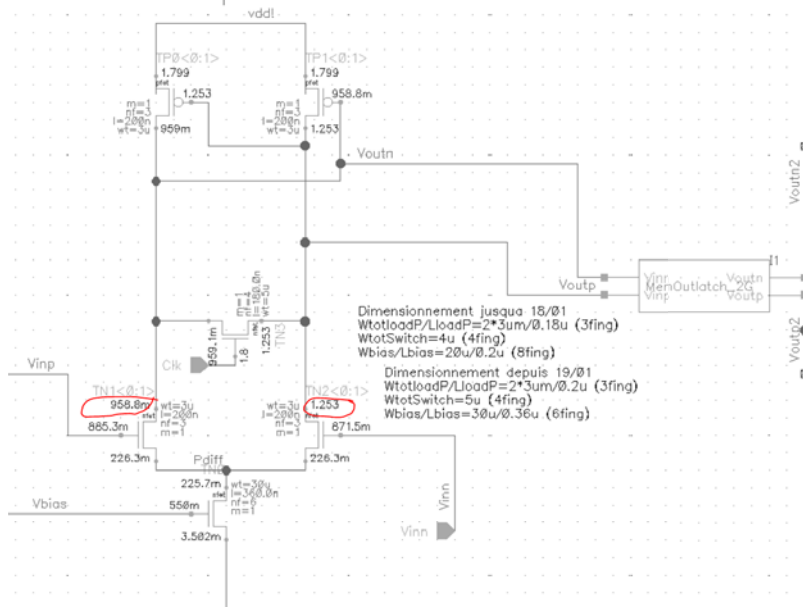
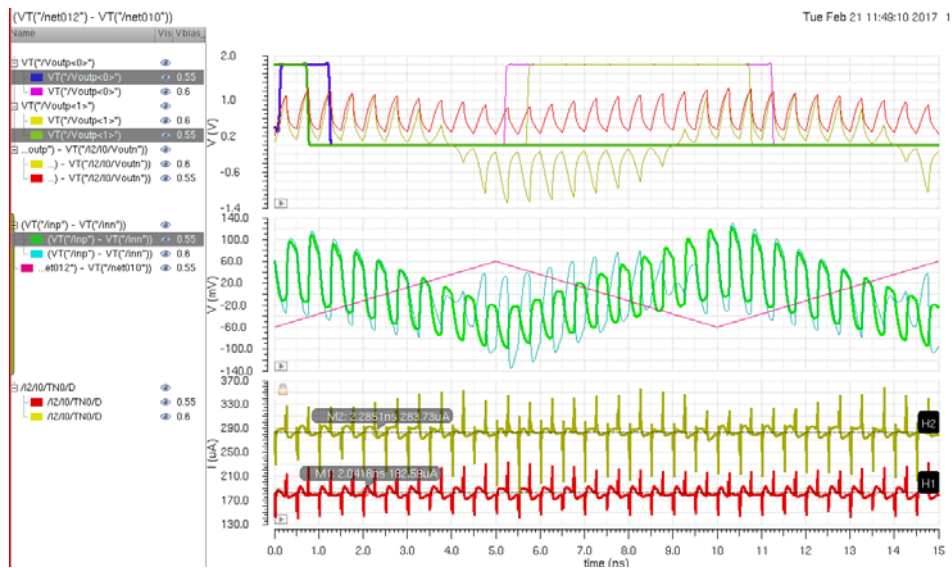


Fig. 9.1.2 – Layout du comparateur latché avec les couches de dopage des drains sources (RX) en bleu, de polysilicium (PC) en rouge, de métal 2 en jaune



(a) Le basculement n'est pas atteint pour un courant de polarisation moyen de 182.5 μ A



(b) Le courant de polarisation moyen de 182.5 μ A est obtenu avec une tension de grille de 0.55 V.

Fig. 9.1.4 – Résultats de simulation extractés avec le métal 1 en Al

9.1.4.2 Transition sans suiveurs vers suiveurs de type PMOS

La figure 7.2.4 en section 7.2.2.1 présentant les deux transitions dans un banc de test a été simulée à nouveau après extraction des parasites des cellules individuelles. La figure 9.1.5 présente ainsi les signaux de sortie des préamplificateurs différentiels et la sortie des comparateurs lachés.

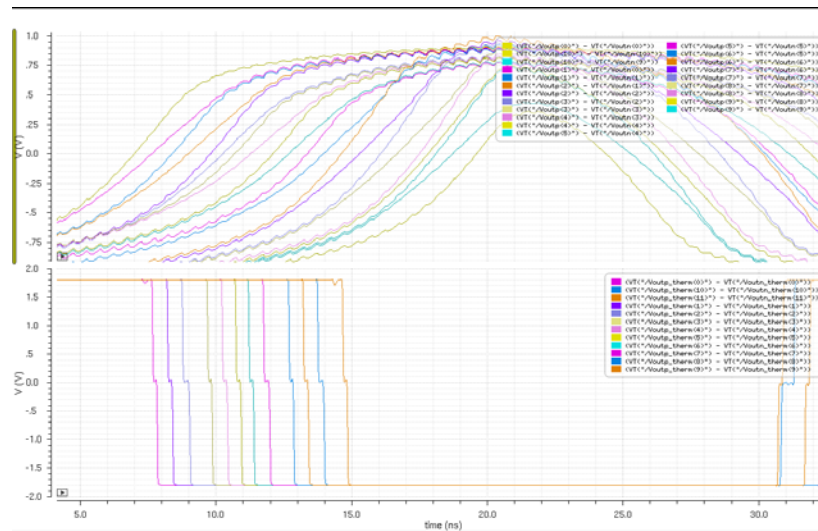


Fig. 9.1.5 – Simulation post layout extracted des cellules individuelles de latch et de préamplificateurs rassemblés au niveau schéma avec la première transition

La fonctionnalité de chaque bloc est donc toujours valide. L'interpolation souffre d'une non linéarité limitée à quelques centaines de picosecondes autour des transitions des préamplificateurs avec et sans suiveurs à cette même fréquence de signal d'entrée.

9.2 Ensembles de blocs

Les cellules élémentaires ont été rassemblées dans des clusters (ensembles) en alignant les transistors de chacune de ces cellules. La corrélation (matching) des caractéristiques des transistors et donc de leurs cellules est ainsi améliorée. Ceci permet également de faciliter le routage en plaçant les ports d'entrée de ces cellules côte à côte sur une arête du cluster et les ports de sortie sur l'arête opposée et d'améliorer la qualité des signaux différentiels en permettant de tirer leurs nets par paires comme décrit en section 2.2.2.1.

Cette méthodologie rend le circuit robuste aux interférences cross-talk et permet de conserver l'intégrité des signaux comme vu en section 2.2.2.1.

9.2.1 Ensembles de préamplificateurs

La cellule de préamplificateur décrite précédemment est instanciée 6 fois dans 3 ensembles comme décrit en section 8.4.1. Elle correspond à 2 instanciations des schémas de chacune des 3 figures 5.3.4, 7.2.2 et 7.2.3. Le layout du cluster où sont assemblées les 2 paires de suiveurs de type P et les 2 de type N est présenté sur la figure 9.2.1.

Le premier ensemble réalisé fut celui de la figure 7.2.2. Les deux autres ensembles ont été copiés et modifiés en conséquence. Il a été ainsi optimisé pour aligner les préamplificateurs et les sources de courant des suiveurs de type P et pour réduire l'encombrement. Lors de la modification du 2^e ensemble

(de la fig 7.2.3 avec les suiveur de type N), les douzièmes "doigts" de compensation des sources de courants ont été placés là où il restait de la place. Par conséquent, certains ont été de nouveau découpés en 5 doigts de $W_{bias|compensFinger} = 2 \mu m$. Ce qui représente un léger risque de mismatch pouvant conduire à l'augmentation de la non linéarité aux interpolations selon les échantillons. Le troisième ensemble n'ayant plus de suiveurs, il a été réalisé à partir de la copie du deuxième ensemble.

Pour ce qui est des accès, les arêtes du haut sont les accès aux ports de sortie et les arêtes du bas aux références et au signal différentiel d'entrée. Les deux autres arêtes latérales permettant alors de tirer les alimentations et les vias d'accès aux capacités MIM de shunt.

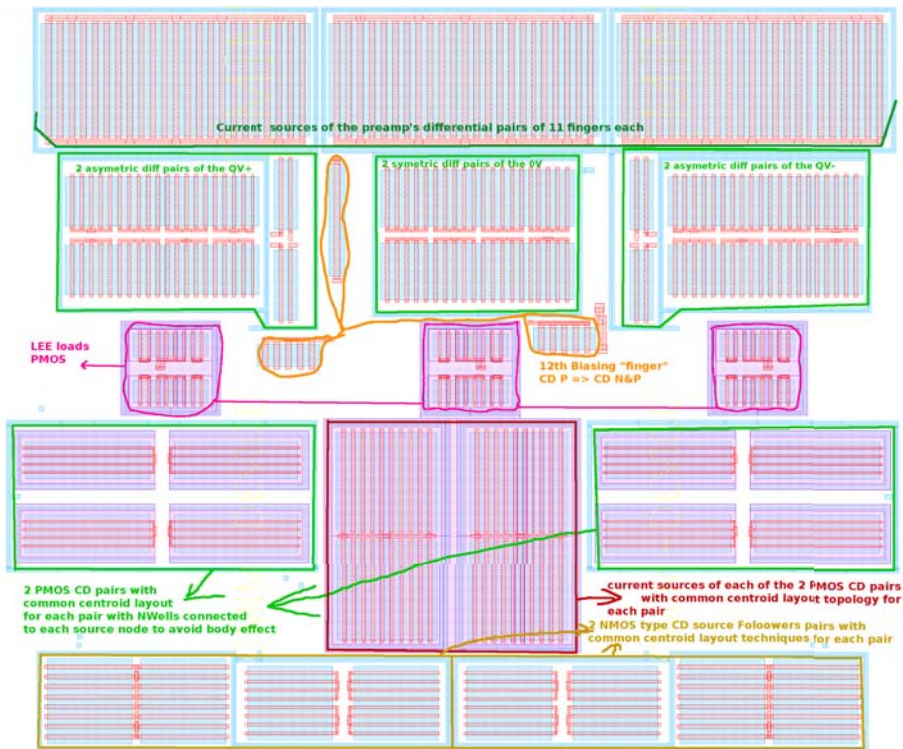


Fig. 9.2.1 – Cluster ensemble de 6 préamplificateur avec 2 paires de suiveurs de chaque type (couche poly en rouge)

9.2.2 Ensembles de comparateurs latchés

Le **cluster de 12 comparateurs** vu en section 8.3.2 avec les fanouts d'horloge et les mémoires d'intercalage des signaux a été conçu en layout comme reporté sur la figure 9.2.2.

La largeur de la cellule de comparateur latch de la figure 9.1.2 est maintenue lors de l'assemblage avec ses flipflop pour optimiser l'encombrement total. Les 3 buffers d'horloge de la figure 8.3.3 sont placés en haut du cluster du côté des signaux de sortie numérique de chacun des FliFlop évitant ainsi les interférences avec les signaux analogiques dont les entrées sont en bas.

Les signaux d'horloges correspondants sont tirés manuellement en couches de métallisation 4 et 5 (en vert sur la figure 9.2.2) selon un arbre permettant à chaque comparateur et FlipFlop de recevoir chacun un signal en phase. Ce qui limite le skew des signaux de sortie.

Les alimentations sont tirées en couche de métallisation 1 (rouge) ce qui permet ainsi de réserver les couches 2 et 3 pour le routage des signaux de sortie numérique de chacun des FliFlop vers les PADs.

Le placement des 12 comparateurs et des pins s'est fait au travers de l'assistant de placement selon la procédure détaillée en annexe D.4.1. L'alignement de chacune des instances permet ainsi d'assurer la meilleure corrélation des transistors entre chaque comparateur.

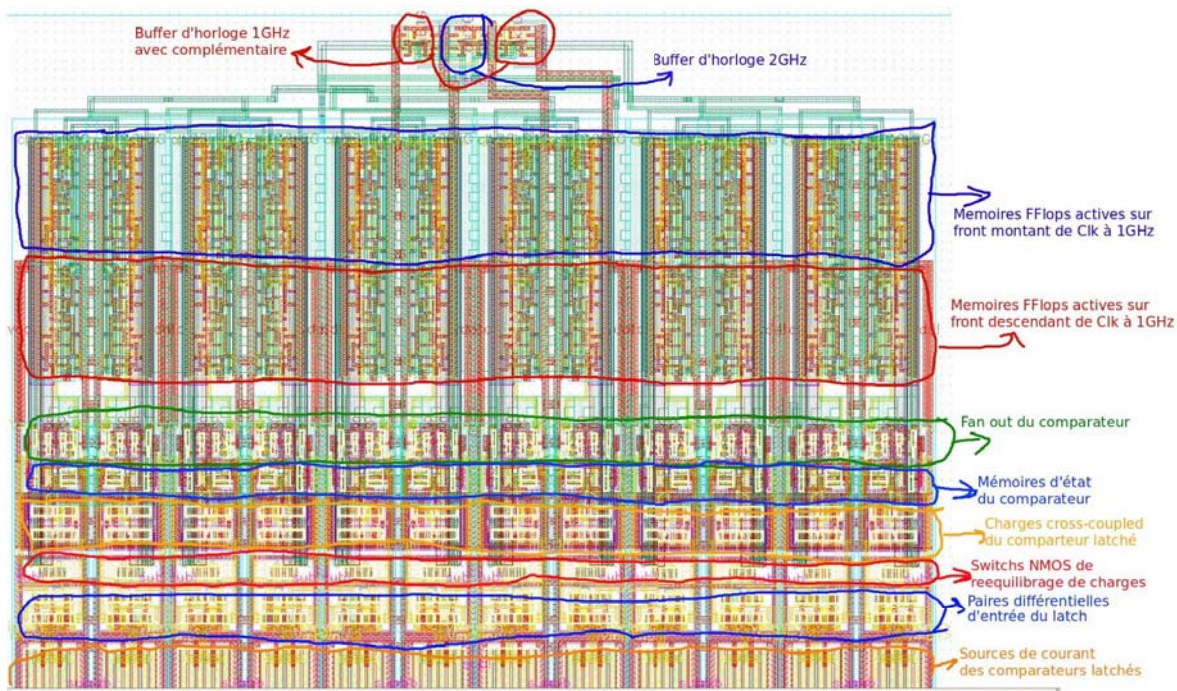


Fig. 9.2.2 – Cluster de comparateurs latchés avec mémoires FFlops

9.2.3 Macro cellule analogique

L'assemblage des clusters et des cellules au niveau du CORE analogique est présenté sur la figure 9.2.3. Comme mentionné précédemment, la topologie en U concentriques a été retenue pour le floorplan dès l'assemblage des résistances de références jusqu'au niveau des macrocellules facilitant le routage. La surface est donc optimisée tout en limitant les croisement de signaux.

Les 4 lots de 6 préamplificateurs sont disposés au plus près autour de l'échelle de références au milieu. Les capacités de découplage des références utilisées sont disposées au plus près des grilles d'entrée des suiveurs et des préamplificateurs ou de leurs suiveurs. Des capacités MOS ont été choisies pour cet usage du fait de leur forte densité sachant que leur précision n'est pas un facteur important. Le maître de miroir de courant NMOS (pour la polarisation des paires différentielles des préamplificateurs et suiveurs NMOS) avec le maître de miroir de courant PMOS (des suiveurs du même type) sont tous deux rassemblés dans la même cellule master bias avec une résistance série chacun. Cette cellule est instanciée 3 fois pour chaque branche du U à chaque fois aligné avec les esclaves du miroir de courant.

Les sorties différentielles des préamplificateurs sont tirées par paires en étoiles vers les entrées des comparateurs latchés en clusters eux aussi disposés en U. La paire différentielle du signal d'entrée est distribuée selon un arbre dont le premier nœud est au centre de la cellule de l'échelle de références permettant ainsi une répartition du signal en phase sur chaque entrée.

Le placement des pins s'est fait grâce à l'assistant de placement selon la procédure détaillée en annexe D.4.1. Les paires différentielles d'entrée et de sorties ont été contraintes et routées grâce à le wire assistant selon la procédure décrite en annexe D.4.3.

9.3 Pading et vue top

La conception du pading complet de 0.89 cm de périmètre en Back-end manuel étant assez fastidieuse avec une résolution de l'ordre du nanomètre, il a été choisi de générer une *netlist* à partir du schéma en Front-end. Le layout est généré à partir d'un script **tel** fourni par le fondeur et modifié pour ce besoin. C'est la 2^e fois que cette technique est employée dans le service.

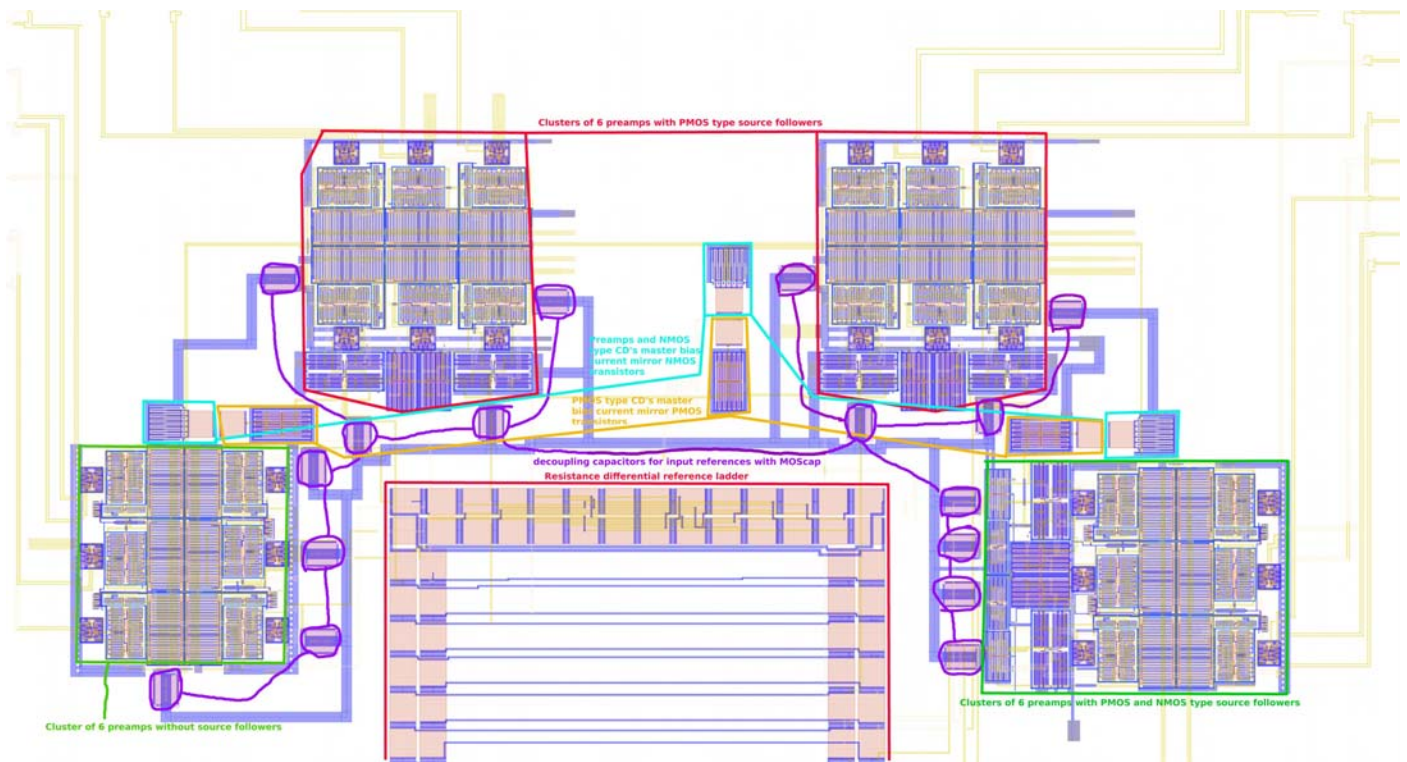


Fig. 9.2.3 – Vue layout du CORE analogique avec les 4 lots de 6 préamplificateurs en U autour de l'échelle de références au milieu

Le synoptique du pading avec la place réservée aux cores analogiques et numériques est présenté en figure 9.3.1.

9.3.1 Description du placement des IO

Le pading a été dimensionné avec les rappels d'alimentation par des couples de PADs GND et V_{DD} tous les 16 PADs de sortie comme sur la figure 9.3.1.

Le dimensionnement du PAD ring a été conduit en prenant en compte les points :

- Un IOPAD fait $75 \mu m$ de largeur. Or, les sorties intercalées des 35 comparateurs pour tester la linéarité de la conversion numérique nécessitent **70 IOPADs**. Le total occupe donc $70 * 75 = 5325 \mu m$ linéaire sur les $8944 \mu m$ de périmètre.
- La simulation de **2 IOPAD_1V8_40** (40mA) avec 2 signaux à 500 MHz déphasés de $\pi/2$ révèle une consommation moyenne de 20 mA et 30 mA RMS.
- Les concentrations de courants maximum permettent d'admettre des clusters de **20 à 24 IOPADs** entre 2 paires de V_{DD}/GND PADs. Le fondeur confirme **entre 10 et 16 IOPADs** par cluster comme optimum sans pour autant l'avoir testé à 500 MHz. Par conséquent il a été choisi de placer un couple de PAD V_{DD}/GND à chaque 16 IOPADs de sortie.
- Reste **1 PAD** d'entrée analogique ou numérique pour l'**horloge 2GHz**.
- **2 PADs** analogiques pour le signal différentiel à convertir.
- La consommation du **CORE analogique** étant de $10.2 mA$, 1 paire de PAD V_{DD}/GND suffit.
- Le CORE numérique consomme $< 10.8 mA$. Une paire de PAD V_{DD}/GND suffit.

Le placement de cellules avec un pas de quelques nm sur une surface de $5 mm^2$ a été généré par l'usage d'un script **tel** à partir de la netlist exportée depuis le schéma. La procédure est laissée en annexe en section D.4.2.

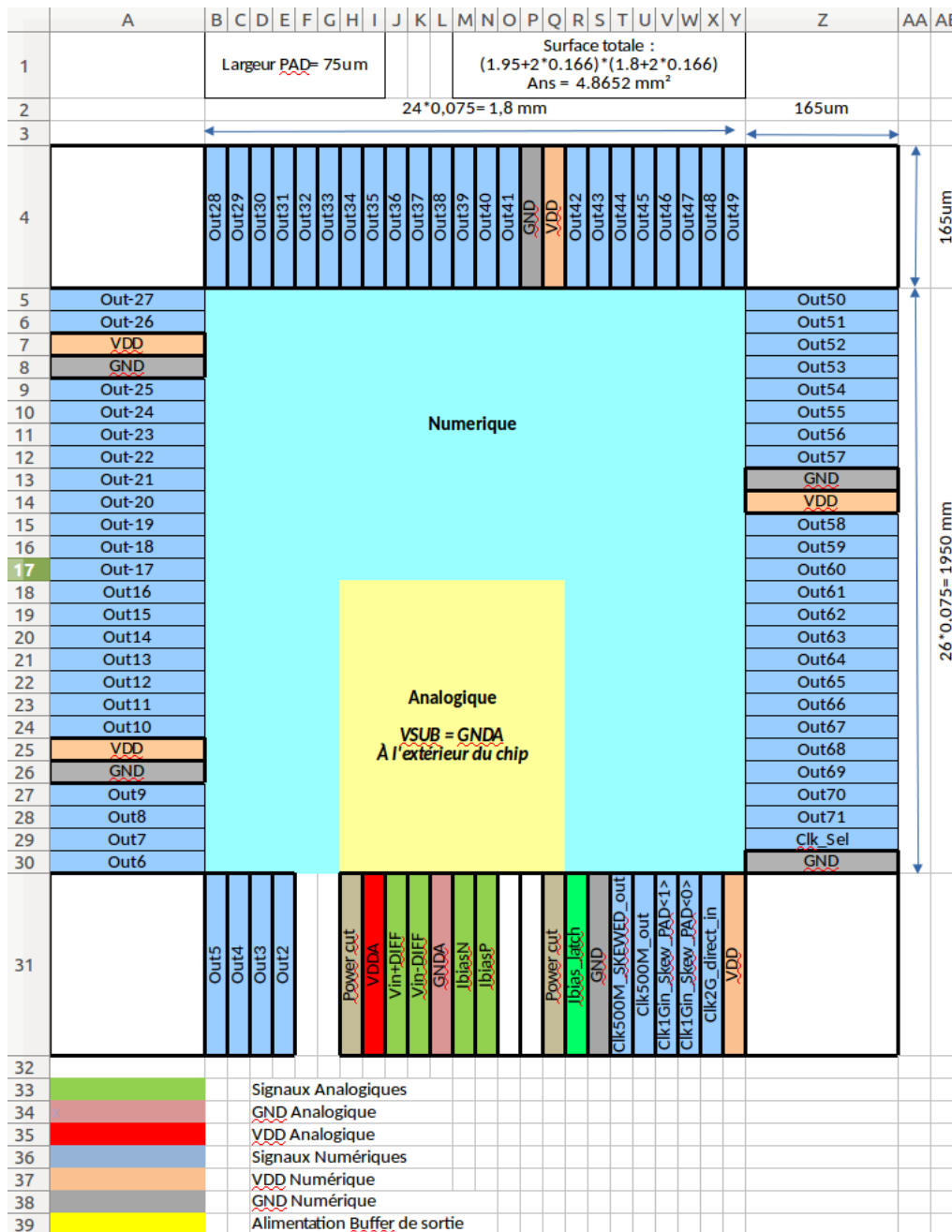


Fig. 9.3.1 – Synoptique du pading de BuBIC1

9.3.2 Vue Top du Circuit avec le padding

Une fois le padding généré, il a été copié sur le flow Back-end analogique pour y instancier la cellule de CORE intégrant l'ensemble analogique et numérique. Restait alors à router les fils d'alimentation et d'entrée/sortie.

De même que pour les fils internes entre le CORE analogique et numérique, les sorties des 70 FliFlops des 35 comparateurs lachés sont routées automatiquement sur les entrées des PADs. Préalablement, ce routage a été réalisé en prédéfinissant les contraintes de matching des longueurs des pistes afin de limiter le skew entre signaux de sortie d'une part et les couches top et down d'autre part grâce à la procédure décrite en annexe D.4.3.

Le layout ainsi complété est donné sur la figure 9.3.2.

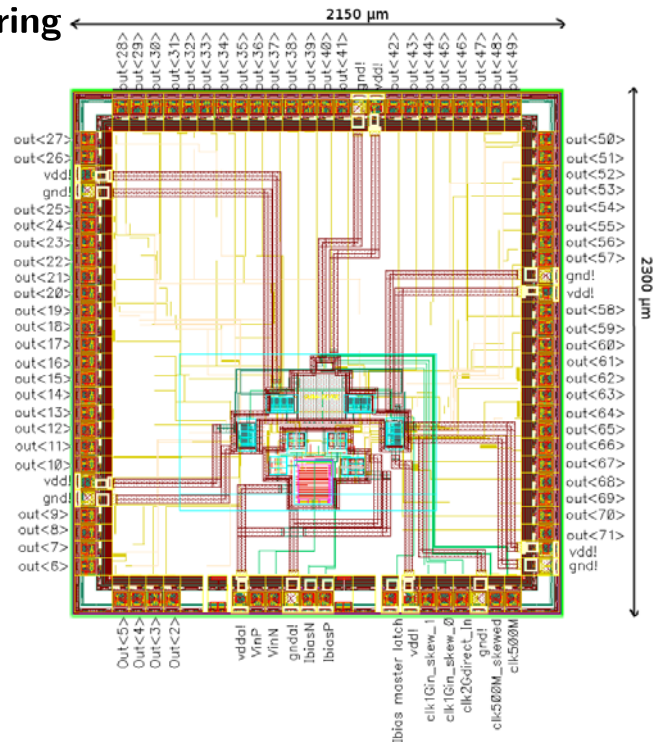


Fig. 9.3.2 – Vue top du layout de l'ASIC BuBIC1 avec le padding

9.4 Simulations Top extracted

Les résultats de simulation de l'ASIC en extracted avec le banc de tests décrit en figure 8.5.1 sont reportés sur la figure 9.4.1. Ils sont beaucoup plus satisfaisants et complets que ceux de la figure 7.2.4.

La figure 9.4.2 présente le résultat de simulation avec une sinusoïde à 50 MHz à titre de comparaison avec la simulation sans effets parasites de la figure 8.5.4. Ici, ce sont les 5 premiers comparateurs qui ne commutent pas. L'ENOB à 50 MHz $ENOB(f=50MHz)$ est donc compris entre $5\ bits < ENOB(f = 50MHz) < 6\ bits$ mais très proche de 6 bits.

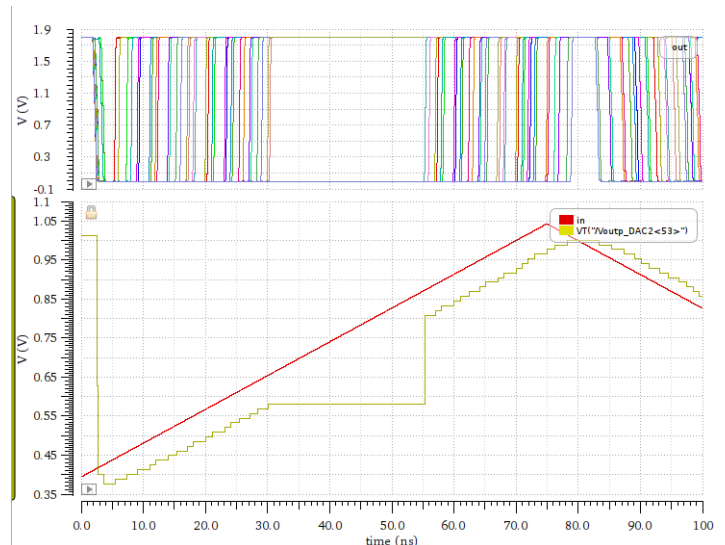


Fig. 9.4.1 – Simulation transitoire avec bruit de la puce sur le banc de tests décrit en section 8.5.1 pour 2 Giga échantillons/ seconde

9.5 Conclusion

La réalisation des masques au niveau du Back-end a prouvé la fonctionnalité de l'architecture proposée. Les simulations incluant les parasites extraits le confirme pour les performances attendues à 2 Giga échantillons par seconde. Chaque pas de quantification est visible sur la réponse de la figure 9.4.1 grâce à une double rampe à 6.7 MHz. Une simulation avec une réponse à une sinusoïde à 50 MHz permet de rendre compte des performances fréquentielles atteignables avec un ADC employant les cellules conçues sur la pleine échelle de dynamique différentielle.

Les tests de cet ASIC en retour de fonderie permettront de valider ses performances dans un environnement réel.

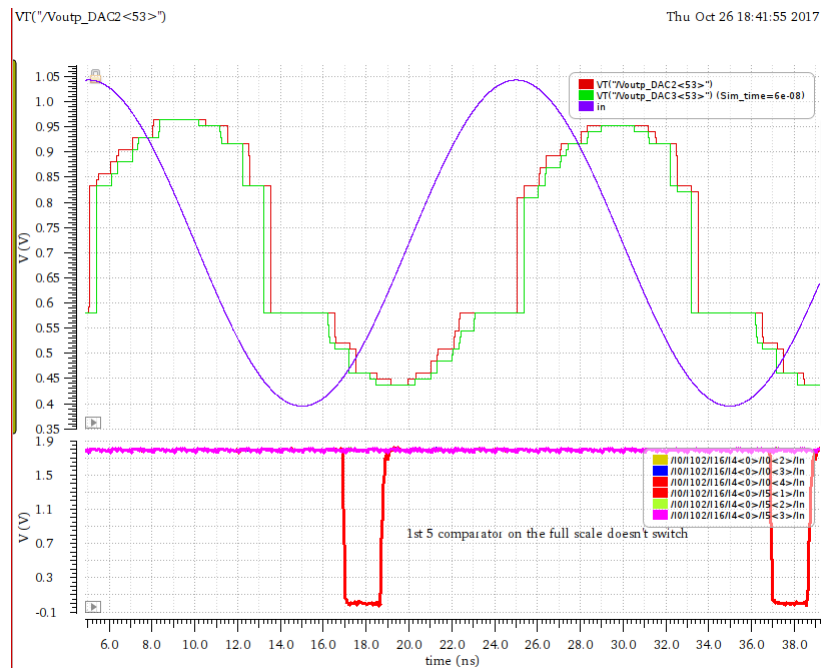


Fig. 9.4.2 – Réponse sinusoïde 50 MHz pour 2 Giga echantillons/ seconde

Points clés

Positionnement

- ❑ Choix de soumettre les blocs conçus pour la conversion numérique analogique avec les références et les polarisations aux seuils de quantification les plus critiques de l'architecture ;
- ❑ Un maximum de seuils de quantification critique sur la dynamique sont implémentés avec les PAD de sortie disponibles pour la surface offerte par Europractice ;
- ❑ Les mesures de linéarité des seuils en sortie permettrons de caractériser les erreurs de quantifications d'un ADC complet utilisant ces structures.

Contributions

- ❑ Dessin des masques en employant l'outil de contrainte afin de définir les topologies apportant de la robustesse au circuit par rapport aux variations aléatoires (common centroïd et paires différentielles pour perturbations CEM entre signaux). Les longueurs de pistes entre les sorties des mémoires et les entrées des PAD sont identiques pour chaque sortie afin de s'affranchir d'une variation systématique du délai de propagation (*skew*) qui viendrait s'ajouter à une variation aléatoire incompressible due aux bruits de phase (*jitter*).
- ❑ Emploi de techniques de clusterisation pour le placement de vecteurs d'instances grâce à l'outil **modgen** et de routage automatique pour respecter ces contraintes et génération d'un layout du padding avec un script **tcl** grâce à une *netlist* issue d'un schéma.
- ❑ Concrétisation du concept proposé en front-end en phase de back-end et validation en simulation extracted post-layout.
- ❑ Envoi en fabrication multi-projet (MPW) avec le service Europractice (groupement d'intérêt publique). Ce qui fait que ce projet bénéficie d'un soutien reconnu au niveau européen.

Conclusion et Perspectives

Rappel des objectifs

La visée de cette recherche était de proposer une architecture d'ADC atteignant les 2 GHz de fréquence d'échantillonnage et 8 bits de résolution avec une faible consommation. La technologie CMOS 180 nm a été retenue pour son coût de production et sa qualité de fabrication qui la rend particulièrement adaptée pour les circuits analogiques mixtes tels que les ADC.

La conception de l'ADC devait être faite en prévision d'une intégration pour des systèmes de DAQ multicanaux tels que le DPGA présenté en introduction. La surface et le coup unitaire de l'ADC devait donc être optimisés. La résolution effective de cet ADC devait rester proche de la résolution définie, supérieure à 7 bits pour une résolution de 8 bits avec une bande passante se rapprochant de la centaine de MHz.

Bilan des travaux effectués

Une recherche bibliographique et une étude exhaustive de état de l'art des architectures ADC et de leurs cellules ont été conduites. La figure de mérite Walden rend compte de la performance de l'ADC par une mesure de la résolution effective sur la limite fréquentielle de la bande passante.

L'étude sur l'état de l'art a permis d'éliminer les architectures à échantillonnage analogique.

Différentes architectures d'ADC rapides sous famille des flash ou utilisant les flash ont été étudiées à partir de la bibliographie. Certains circuits ont été implémentés en CMOS 180 nm. Les résultats de simulations et les calculs reportés ont rendu compte des performances respectives qu'il est possible d'en extraire. L'étude des ADC TIQ a montré qu'ils ne sont pas adaptés pour cet usage.

L'architecture retenue avec ses différentes techniques a fait l'objet d'une conception de chaque cellule dans une approche dite bottom-up.

L'ASIC réalisé a permis de confronter les concepts proposés à la réalisation des masques. Les performances avec extraction de parasites ont permis de donner l'influence de ces effets et de projeter la performance effective des cellules conçues. Les performances de l'ADC complet peuvent être déduites à partir de ces résultats.

Apports, limites et perspectives

Le passage au traitements de signaux tout numérique est donc validé au niveau de l'ADC pour des signaux jusqu'à 50 MHz avec un ENOB de 6 bits.

La combinaison de différentes techniques au niveau de l'architecture d'ADC flash a été accomplie dans le but de trouver le meilleur compromis possible entre la performance brute, le rendement de fabrication avec ses performances et la consommation énergétique. Les bancs de tests élaborés au cours de ces travaux ont permis des analyses complètes des simulations des cellules conçues pour la réalisation de l'ADC.

L'emploi d'outil de modélisation avec des bancs de tests complets intégrant les variations aléatoires permettrait de comparer différentes architectures à un plus haut niveau de conception.

La synthèse et la vérification fonctionnelle suffisamment exhaustive des circuits numériques est incontournable pour valider leur fonctionnement aux performances visées.

La conception d'un ADC complet reprenant le synoptique de la figure 7.4.1 est la prochaine étape de ce travail de recherche.

Enfin, comme présenté en introduction en section 0.1.3, le volume de données généré par chacune des voies impose un pré-traitement numérique le plus en amont possible sur la chaîne de lecture. L'architecture de lecture actuelle du détecteur présentée sur la figure 0.1.5b serait modifiée comme sur la figure 0.1.5a. Elle est rappelée sur la figure 9.0.1. Le système sur puce complet intégrerait donc la conversion de signaux sur une voie avec le traitement local permettant d'extraire le temps de vol (TOF) des γ à 511 keV pour le cas du DPGA.

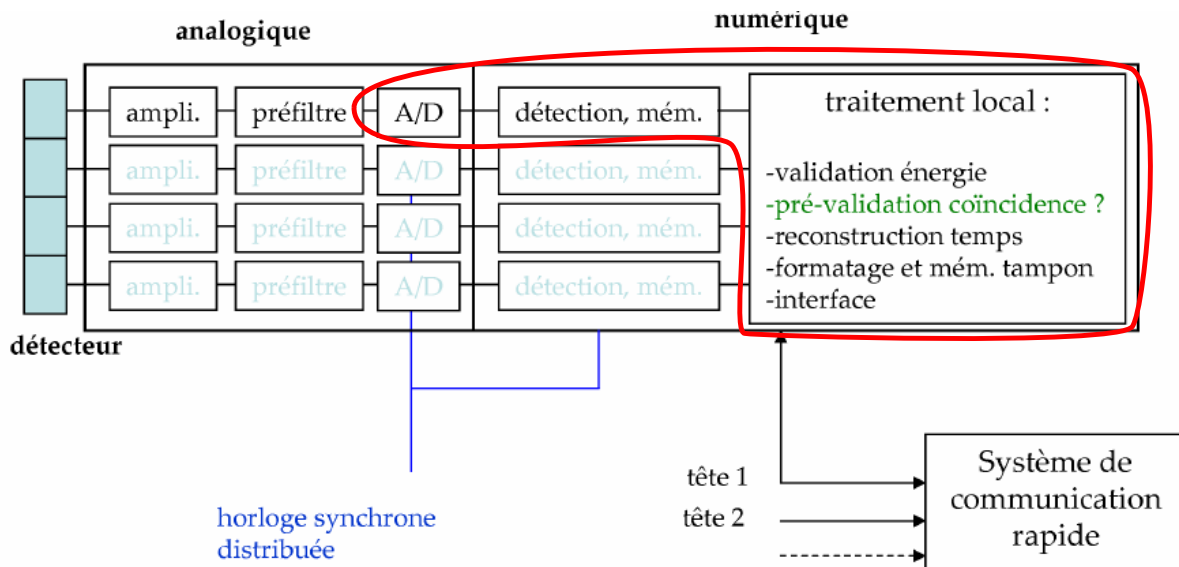


Fig. 9.0.1 – Intégration du filtrage des niveaux d'énergie, du filtrage optimal et reconstruction temporelle du TOF des γ à 511 keV dans un SoC

Annexes

Annexe A

Synoptique complet de l'ASIC

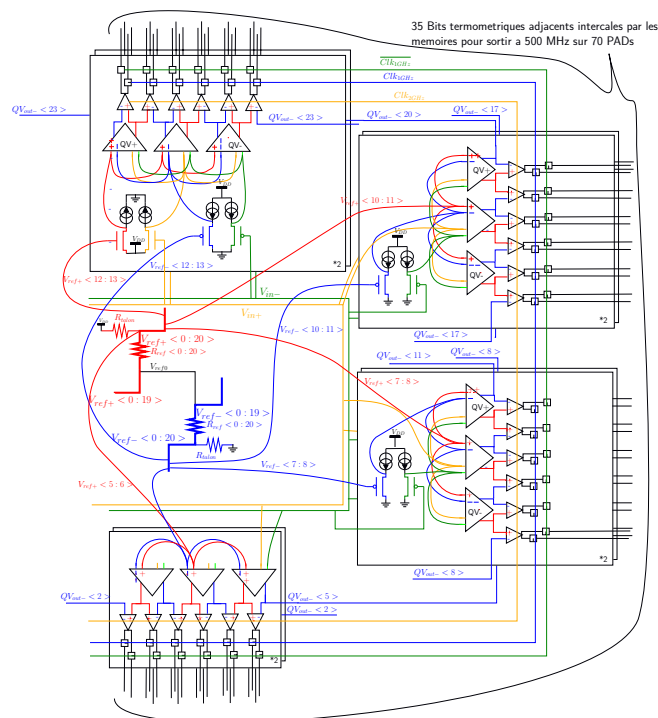


Fig. A.1 – Synoptique complet de l'ASIC BuBIC1 avec les techniques de l'interpolation et du QV

La dernière sortie négative (en bleu) de chaque cluster de préamplificateur se retrouve à la 1^{ère} entrée négative du cluster de latch associé au cluster de préamplificateurs suivant. Les 3 préamplificateurs avec suiveurs de type PMOS entre les deux clusters de 6 se trouvant aux transitions ne sont pas instanciés ni leurs latches associés dans l'ASIC. Les références positives et négatives d'index 9 issues de l'échelle de référence ne sont donc pas utilisées. Les sorties négatives 9 à 16 et positives 10 à 16 des préamplificateurs ne sont pas connectées aux entrées des latches associés. Ces dernières sont connectées à **gnd** ! annulant ainsi leur consommation. Ce qui porte à 35 bits utilisés sur le code thermométrique.

Pour la réalisation de l'ASIC, il a été choisi de ré-indexer les sorties des préamplificateurs du synoptique A.1 par rapport à la réalisation du schéma 8.4.2 du core. Ainsi, les sorties positives 19 à 26 sont ré-indexées de 10 à 17 et les sorties négatives 18 à 26 sont ré-indexées de 9 à 17.

Les sorties utilisées seules sont indexées de 0 à 9 et de 10 à 17 pour les positives et de 0 à 8 et de 9 à 17 pour les négatives avec les bis+<9> et bis-<8> ce qui porte à 20 le total de sorties de chaque signe.

Annexe B

Études complémentaires

B.1 Paramètres des transistors 180 nm

La documentation [3] nous renseigne sur le modèle comportemental utilisé pour simuler les transistors MOS avec spectre ou autres simulateurs de type SPICE. Il s'agit d'un standard de l'industrie du semi-conducteur, le modèle PSP 102.3 [1]. C'est un modèle compact des TMOS adapté à l'utilisation de ces derniers pour la conception de circuits intégrés de type analogiques, RF et numériques. Il a été conjointement développé entre la société NXP, Delft University of Technology et Arizona State University depuis 2011. PSP est un modèle de transistors MOS basé sur le potentiel de surface du substrat noté V_S où se forme le canal de conduction, contenant tous les effets physiques pertinents (réduction de mobilité, saturation de vélocité, DIBL, courant de grille, lateral doping gradient effects, stress de STI (tranchée isolante), etc.) pour modéliser les nœuds technologiques CMOS sub-micrométriques à substrat d'aujourd'hui et de demain.

La figure B.1 présente le compartimentage du modèle entre le niveau global et local. Pour chaque instance de transistor employant ce modèle, le simulateur calculera ainsi les paramètres (concentrations de dopant, mobilités des porteurs de charges, capacités fixes etc) issus des caractéristiques géométriques seules de l'instance (L , W et prises substrats conduisant aux surfaces caractéristiques des Drains, sources, grilles, recouvrements, profondeur de caissons etc.). Ces calculs constituent le niveau global du modèle et permettent d'extraire le jeu de paramètres nécessaires aux calculs thermiques puis électriques du niveau local du modèle conduisant à différentes propriétés électriques de chaque transistor.

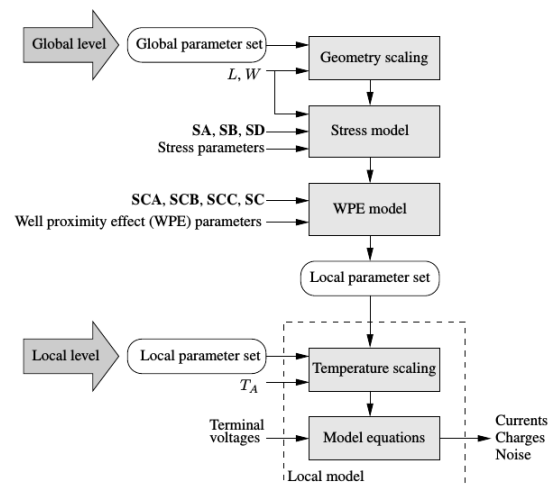


Figure 1.1: Simplified schematic overview of PSP's hierarchical structure.

Fig. B.1 – Aperçu schématique simplifié de la structure hiérarchique de PSP [1]

B.1.1 Équations level 1 du courant drain source

B.1.1.1 Expressions du courant I_D en saturation et en triode

— En région 1 :

$$I_{DS} = K_P \frac{W}{L} ((V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2) \quad (\text{B.1.1})$$

— En région 2 [6, eq 2.11],

$$I_{DS} = \frac{K_P}{2} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (\text{B.1.2})$$

La relation du courant $I_{DS} = f(V_{GS})$ des transistors MOS level 1 en inversion forte donné par l'expression suivante [6, eq 2.11],

$$I_{DS} = \frac{1}{2} \left(\frac{\mu_N \cdot C_{ox}}{n} \right) \frac{W}{L} (V_{GS} - V_{thN})^2 \quad (\text{B.1.3})$$

B.1.1.2 transconductance

L'expression de la transconductance est donnée à partir de l'expression B.1.3,

$$g_m = \frac{\delta I_{DS}}{\delta V_{GS}} = \left(\frac{\mu_N \cdot C_{ox}}{n} \right) \frac{W}{L} (V_{GS} - V_{thN}) \cdot (1 + \lambda V_{DS}) \quad (\text{B.1.4})$$

B.1.2 Tensions de seuils

Les tensions de seuils V_{th} constituent également un jeu de paramètres déterminant sur la dynamique d'utilisation des transistors car le courant de sortie I_{DS} d'un transistor est contrôlé par la différence entre la tension de grille et la tension de seuil $V_{GS} - V_{th}$. Cette différence correspond à la tension au pincement du canal V_P quand le transistor se retrouve en région 2 de fonctionnement saturé,

$$V_p = V_{GS} - V_{th} \quad (\text{B.1.5})$$

En reprenant le schéma B.1, la tension de seuil d'un transistor ne peut être déterminée qu'en sortie du niveau local du modèle. En effet, celle-ci détermine la région de fonctionnement du transistor avec ses tensions de polarisation. En reprenant l'expression dans [37, eq2.22],

$$V_{th} = V_{t0} + \gamma (\sqrt{|2 \cdot \phi_F + V_{SB}|} - \sqrt{|2 \cdot \phi_F|}) \quad (\text{B.1.6})$$

Cette expression se décompose en une tension de seuil V_{t0} et un membre dépendant de la polarisation du substrat et de la source V_{SB} du transistor avec le facteur de corps γ et le potentiel de Fermi ϕ_F . Ce dernier est l'inverse du potentiel de contact du substrat [29] soit la différence d'énergie entre les niveaux de Fermi du semi conducteur dopé (E_B) et du SC intrinsèque (E_B) divisé par la charge élémentaire d'un électron $q = 1,602e - 19C$. La tension ϕ_F est ce qu'il faut à V_S sur la surface de contact pour transformer le substrat dopé en semi-conducteur intrinsèque. Donc $2\phi_F$ correspond à ce qu'il faut pour inverser le substrat afin d'obtenir un canal significatif pour rendre le transistor en régime d'inversion forte.

La tension V_{t0} est calculée au niveau local thermique du modèle PSP à cause de la tension thermique U_T après avoir déterminé le dopage du substrat au niveau global. L'étude bibliographique de V_{t0} selon les modèles pour la technologie CMOS 180 nm est donnée en section B.1.2.

Avec V_{t0} [37, 45, eq2.1, eq2.10] la tension de seuil,

$$\begin{aligned} V_{t0} &= \phi_{ms} + 2 \cdot \phi_F + \frac{Q'_{B0}}{C_{ox}} \\ &= V_{FB} + \psi_0 + \gamma \sqrt{\psi_0} \end{aligned} \quad (\text{B.1.7})$$

Les paramètres principaux sont donc présentés ci dessous.

B.1.2.1 Bandes plates, potentiel de Fermi et tension thermique

Avec Q_{ox} les charges totales et Q'_{ox} sa densité de charges par unité de surface piégés dans oxyde de grille du transistor, la tension V_{FB} de bande plate correspond à la tension de grille source V_{GS} pour laquelle il n'y a plus de charges positives sur la surface d'interface Si-SiO₂,

$$\begin{aligned} V_{FB} &= \phi_{ms} - \frac{Q'_{ox}}{C_{ox}} \\ &= \phi_{ms} - Q_{ox} \end{aligned} \quad (\text{B.1.8})$$

ϕ_{ms} est la différence d'énergie à fournir à un électron/trou pour être au niveau du vide dans le métal. Le potentiel de Fermi du substrat ϕ_F et ϕ_{ms} dépendent aussi de la tension thermique U_T . Cette dernière est directement proportionnelle à la température en Kelvin.

La recherche bibliographique non présentée dans ce document a relevé de nombreux paramètres avec des diagrammes d'énergie pour illustrer ces propriétés physiques des semi-conducteur ([29, sect 5.2]).

B.1.2.2 Capacité de grille C_{ox} , facteur de gain et mobilité de porteurs de charges

C_{ox} est la capacité par unité de surface entre la grille et la région du canal dans le substrat. Elle est calculée à partir de son équation [43, eq5.3]. Elle dépend de l'épaisseur d'oxyde t_{ox} et de la permittivité de l'oxyde de grille ϵ_{si} . t_{ox} est extrait de la documentation alors que ϵ_{si} est une constante physique,

$$C_{ox}|_{N\&P} = \frac{\epsilon_{si}}{t_{ox}} = \frac{3.9 * 8.854e - 12}{3.5e - 9} = 9.87e - 3 \text{ fF} \cdot \mu\text{m}^{-2} \quad (\text{B.1.9})$$

B.1.2.3 Canal long/court extraits de la documentation

Les valeurs extraites de la documentation sont listées ci-dessous. Pour les NMOS,

$$V_{th}|_{Short Chan doc} = 0.43 \text{ V}$$

(canal court issu de la documentation dimensions $W = 5 \mu\text{m}$ et $L = 0.18 \mu\text{m}$ [3, note 2]),

$$V_{th}|_{Long Chan doc} = 0.355 \text{ V}$$

(canal long issu de la documentation dimensions $W = 5 \mu\text{m}$ et $L = 5 \mu\text{m}$ [3, note 2]),

De même pour les PMOS, $V_{th} = V_{GS}$ quand $I_{DS} = 70 \text{ nA} * W_{eff}/L_{eff}$ [3, note 2]. Les valeurs nominales du process,

$$V_{th}|_{Short Chan doc} = -0.405 \text{ V}$$

(canal court issu de la documentation dimensions $W = 5 \mu\text{m}$ et $L = 0.18 \mu\text{m}$ [3, note 2]),

$$V_{th}|_{Long Chan doc} = -0.365 \text{ V}$$

(canal long issu de la documentation dimensions $W = 5 \mu\text{m}$ et $L = 5 \mu\text{m}$ [3, note 2]),

B.1.3 Dépendance de la concentration de dopants du substrat N_B

Avec la réduction des géométries des transistors des technologies CMOS sub-micrométriques les courants de fuite deviennent de plus en plus importants au point que la conduction en inversion faible se produit même dans le cas où le transistor est supposé être bloqué. Pour compenser ce phénomène, les tensions de seuil des transistors en canal court sont augmentées en augmentant le dopage N_B juste sous la grille pour les petites géométries [8, p87].

Cette technique est couramment employée afin de limiter le courant de fuite quand le transistor est bloqué. Ce courant de fuite est dû au recouvrement des zones de déplétion du drain et de la source qui finissent par se rapprocher voire se recouvrir sous la grille. Étant donné que les technologies évoluent dans le but d'intégrer de plus en plus de cellules combinatoires ou de mémoires traitant ou stockant des signaux numériques, le courant de fuite des transistors bloqués utilisés pour ces portes logiques est absolument proscrit. Les topologies de ces portes logiques dites en **PULL-UP PULL-DOWN**¹ sont donc conçues avec ces transistors à fort dopage de leur substrats.

Pour les étages analogiques à courant constant, certaines technologies proposent des transistors dits à "low-VT" qui eux n'ont pas cette augmentation du dopage sous leur grille. Le V_{th} étant ainsi réduit permet de profiter d'une dynamique plus importante. Selon les conventions retenues par les fondeurs, ce sont soit les MOS avec un dopage de la zone du canal qui sont les transistors standard et ceux qui n'en ont pas qui sont low-VT soit ces derniers sont les transistors standards et ceux qui ont un dopage de la zone sous la grille qui sont high-VT. La technologie TSMC CMOS 130nm par exemple suit la première convention.

La technologie CMOS 180 nm choisie pour ce travail de recherche ne dispose pas de transistors low-VT. Ses transistors nominaux ont des tensions de seuils qui sont plus élevées pour les transistors en canal court qu'en canal long. Les valeurs sont extraites de la documentation [3] en section B.1.2.3. Elle dispose également de transistors high-VT avec tensions de seuil encore plus élevées. La conception d'étages analogiques s'en retrouve ainsi compliquée par les tensions de seuil élevées limitant leurs dynamiques.

Cette augmentation a pour effet d'augmenter les paramètres de la tension de seuil V_{t0} dans l'expression B.1.7 présentés en section B.1.2 (potentiel de Fermi ϕ_F , la densité de charge Q'_{B0} , la tension de bandes plates V_{FB}). Ces paramètres dépendent donc de la géométrie du transistor à cause de cette technique d'une part et des conditions d'opération de température à cause de la tension thermique U_T d'autre part.

C'est pourquoi les simulateurs de type SPICE simulent à température constante et prennent rarement en compte l'échauffement dû à la puissance électrique absorbée. On notera cependant que le modèle PSP intègre la température au niveau local sur la figure B.1.

La version 102.4 du modèle permet d'extraire ce paramètre directement en simulation pour chaque instance [2, p121] avec le paramètre **lp_neff** mais pas la 102.3.

B.1.4 Effet de corps

Cet effet est dû à la polarisation de la source respective du transistor NMOS par rapport à sa tension de substrat (bulk) ou de caisson N pour les PMOS, elle est notée V_{SB} qui a pour conséquence d'augmenter la densité de charges Q'_B dans la zone de déplétion.

Cette augmentation de Q'_B a pour effet d'augmenter la tension de seuil V_{th} du transistor avec cette tension V_{SB} . C'est le 2^e membre de l'équation B.1.6 avec le facteur de corps noté γ donné dans la documentation.

1. voir définition 6

Avec les constantes de la charge d'un électron q et de la permittivité du silicium ϵ_{si} . L'équation de γ est donnée d'après [29, eq 8.12] et [6, table 3.1] et s'exprime en \sqrt{V} ou $V^{1/2}$,

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_B}}{C_{ox}} \quad (\text{B.1.10})$$

N_B dépendant de la géométrie du transistor comme vu en section B.1.3, le γ est donc dépendant de la géométrie du transistor. Dans le modèle PSP, il est recalculé au niveau local [1, eq 4.14] grâce au paramètre NEFF de la concentration effective due à la température.

Ce changement de la tension de seuil par la polarisation du substrat se traduit par une variation du courant I_{DS} et donc en petit signal par une transconductance de substrat noté g_{mb} ,

$$g_{mb} = \frac{\delta I_{DS}}{\delta V_{BS}}$$

B.1.4.1 Extraction en simulation grâce au g_{mb} et au g_m

Avec l'expression du g_{mb} de [37, eq 2.43],

$$g_{mb} = g_m \frac{\gamma}{2\sqrt{|2\phi_F + V_{SB}|}} \quad (\text{B.1.11})$$

Il est ainsi possible d'extraire le gamma en simulation.

$$\gamma = \frac{g_m}{g_{mb}} 2\sqrt{|2\phi_F + V_{SB}|} \quad (\text{B.1.12})$$

La figure B.2 présente la variation de ce facteur pour un transistor MOS en canal long. Le détail de la simulation est donné en section C.1.1.

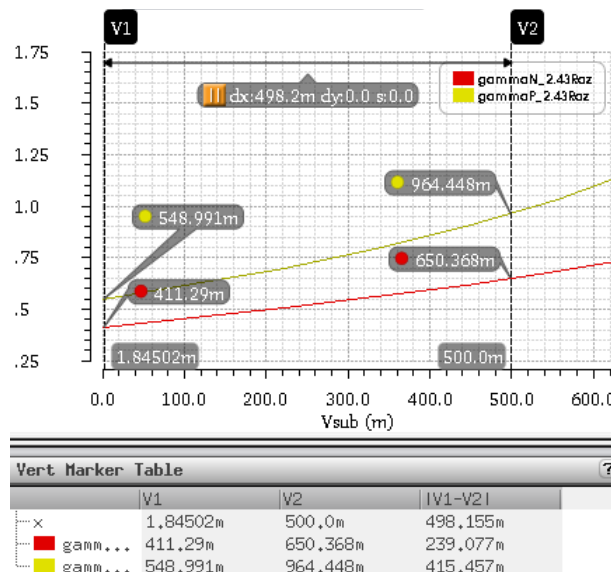


Fig. B.2 – Extraction du γ pour $W = 10 \mu\text{m}$, $L = 1 \mu\text{m}$ $V_{DS} = 0.7 \text{V}$ par extraction de g_m et g_{mb}

B.1.4.2 Extraction du facteur de pente n

Le facteur n est extrait par différenciation de la tension de pincement δV_p de l'équation B.1.5 par rapport à la tension de grille δV_G en faible inversion ($\delta V_p / \delta V_G$) d'après [45, eq 2.13, fig 2.3],

$$n = 1 + \frac{1}{2\sqrt{\psi_s + V_p}} \quad (\text{B.1.13})$$

Soit l'expression en faible inversion donnée par [6, tab 3.20],

$$n = 1 + \frac{1}{2\sqrt{V_{SB} + 2\phi_F}} = 1 + \frac{g_{mb}}{g_m} \quad (\text{B.1.14})$$

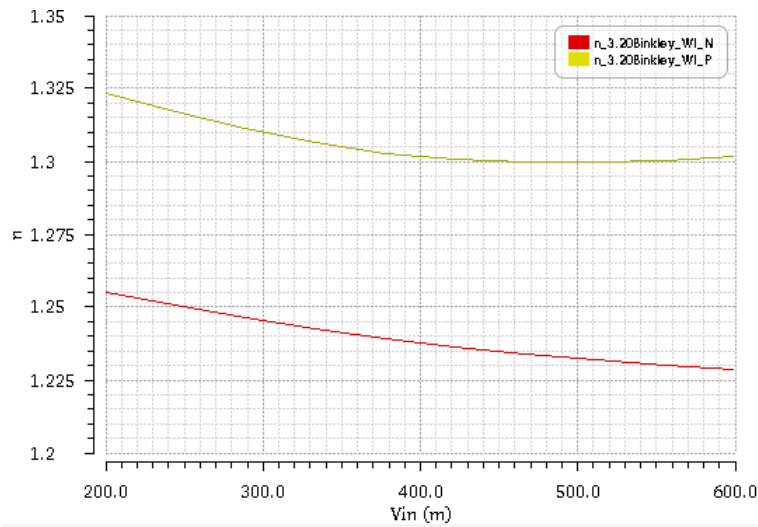


Fig. B.3 – facteur de pente n en faible inversion

La moyenne de n en inversion modérée n_0 peut en être déduite, d'après [6, p51],

$$\begin{aligned} n_0|_N &= 1.2393 \\ n_0|_P &= 1.3 \end{aligned} \quad (\text{B.1.15})$$

B.1.5 Facteur d'inversion et courant spécifique

Le modèle EKV présente un certain avantage par rapport aux équations level 1 et level 2 car pour une complexité et une fidélité équivalente, il est valable quelque soit le régime d'inversion.

Le coefficient d'inversion est déduit directement du courant de polarisation I_{DSsat} et du courant spécifique I_S dans le modèle EKV,

$$IF(I_{DSsat}) = \frac{I_{DSsat}}{I_S} \quad (\text{B.1.16})$$

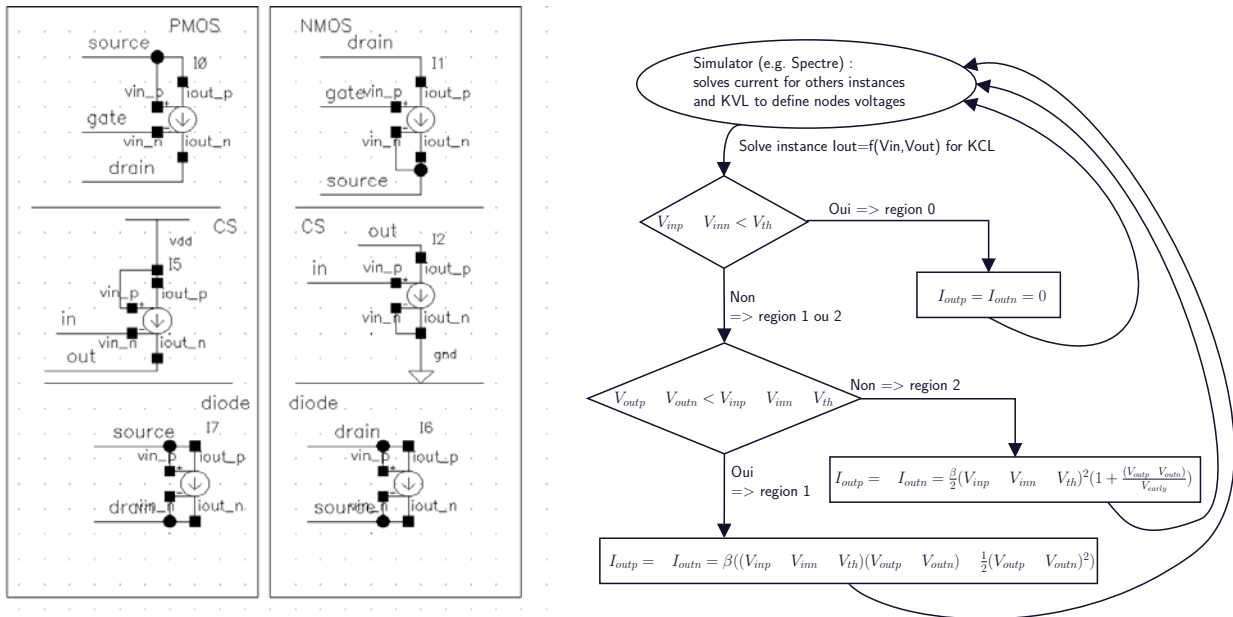
D'après [6, eq3.15], l'expression du facteur d'inversion en fonction de la tension de grille effective $V_{EFF} = V_{GS} - V_{th}$ correspondant au V_p de l'équation B.1.5, de la tension thermique U_t et le facteur de pente n pouvant être approximé par sa valeur moyenne extraite en équation B.1.15,

$$IF = (\ln(1 + e^{\frac{V_{GS} - V_{th}}{2n \cdot U_t}}))^2 \quad (\text{B.1.17})$$

L'évolution des régimes d'inversion avec la tension V_p de l'équation B.1.5 en fonction de ce facteur est laissée en annexe sur la figure E.3b.

B.1.6 Modèle comportemental veriloga du MOS

Un modèle comportemental simplifié du MOS en **veriloga** a été conçu à partir de la cellule **vccs** de l'**AHDL lib**. En reprenant la fig B.4a, les deux types de MOS sont ainsi obtenus en connectant tantôt la patte + d'entrée sur la patte + de sortie pour le PMOS tantôt la patte - d'entrée sur la patte - de sortie pour le NMOS. Dans le 1^{er} cas, la grille est le nœud - d'entrée, la source et le drain sont respectivement les nœuds + et - de sortie. Dans le 2^e cas, la grille est le nœud + d'entrée, la source et le drain sont respectivement les nœuds - et + de sortie.



(a) Emploi de la cellule comportementale MOS **vccs** (b) Diagramme algorithmique d'interaction du simulateur et du modèle pour une instance pour différentes topologies

Fig. B.4 – Modèle comportemental d'un MOS a base de la cellule **vccs**

Son algorithme est donné sur la figure B.4b. Dans ce modèle, ce sont les équations level 1 qui ont été portés. Le code **veriloga** correspondant est laissé en annexe B.1.7. Il est ainsi centré sur la détermination de la région de fonctionnement bloqué, saturé ou triode du transistor. Les valeurs de V_{th} , C_{ox} , de la mobilité des porteurs de charges μ_n et μ_p et de tension de early V_{early} sont fixes et définies soit dans le code veriloga soit dans les paramètres d'instanciation avec la largeur et la longueur du transistor.

À noter que ce modèle ne modélise pas l'inversion des sources et des drains. Pour ce faire, il faut qu'il soit à trois pattes. Ainsi la tension $V_{inp} - V_{inn}$ du **vccs**² de la fig B.4a et de son modèle devienne $V_G - V_S$ pour le NMOS et $V_S - V_G$ pour le PMOS en interne. Le modèle doit alors prendre en compte l'inversion des nœuds externes sources et drain en fonction du signe de la différence de tension de ces nœuds externes.

Cette modélisation permet ainsi de tester différentes architectures de circuits analogiques mixtes d'un point de vu conceptuel sans les capacités internes et les non linéarités dues aux effets de corps ou canal court. Ceci permet ensuite de remplacer les transistors un a un par des transistors de la technologie et observer l'influence de ces capacités internes sur les performances fréquentielles de l'étage conçu en fonction des dimensions de chacun des transistors.

Il est possible également d'insérer les capacités de l'**analogLib** pour modéliser les capacités internes des transistors une par une.

2. voir définition 12

B.1.7 Code veriloga du MOS ideal

```

‘include ”discipline.h”
‘include ”constants.h”

module vcs_hdl(iout_p, iout_n, vin_p, vin_n);
input vin_p, vin_n;
inout iout_n, iout_p;
electrical iout_n, iout_p, vin_p, vin_n;
parameter real width = 5u;
parameter real length = 0.18u;
parameter real vth = 0.5;
parameter real vearly = 12;
parameter real cox = 9.87m;
parameter real u0 = 27.8m; //for PMOS -> 5.9m
    real beta, vgs;
    analog begin
        vgs = V(vin_p, vin_n);
        beta = u0*cox*width/length;
        if ( V(vin_p, vin_n) > vth ) begin
            if ( V(iout_p, iout_n) > V(vin_p, vin_n) - vth ) begin
                I(iout_p, iout_n) <+ 0.5*beta*pow((vgs-vth),2)*(1+V(iout_p, iout_n)/vearly);
            end else begin
                I(iout_p, iout_n) <+ beta*((V(vin_p, vin_n)-vth)*V(iout_p, iout_n) - 0.5*pow(V(iout_p, iout_n), 2));
            end else begin
                I(iout_p, iout_n) <+ 0;
            end
        end
    end
endendendmodule

```

B.2 Montages de transistors en analogique

B.2.1 Transistor en source commune (CS)

Le gain intrinsèque en tension du NMOS en basse fréquences est donné par le rapport de la transconductance sur la conductance de sortie,

$$A_{v0} = \frac{g_m N}{G_{DS}} \quad (\text{B.2.1})$$

Un transistor NMOS de $W = 5\mu\text{m}$ et $L = 0.18\mu\text{m}$ à été polarisé dans cette configuration. Avec $V_{GS} = 616\text{mV}$ à $I_{DS} = 52.87\mu\text{A}$, les valeurs calculées $g_m = 997\mu\text{A/V}$ et $G_{ds} = 43.2\mu\text{A} \cdot \text{V}^{-1}$ donnent la valeur suivante pour le gain intrinsèque,

$$A_{v0} = \frac{1.04}{0.043} = 26.5 \quad (\text{B.2.2})$$

B.2.2 Montage CG

L'étude du montage en CG et son emploi sur le cascode télescopique sont présentés dans cette section.

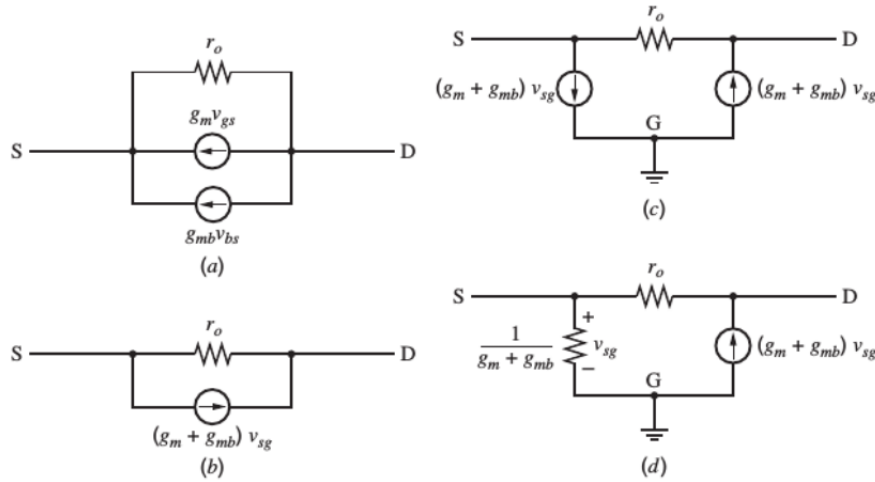
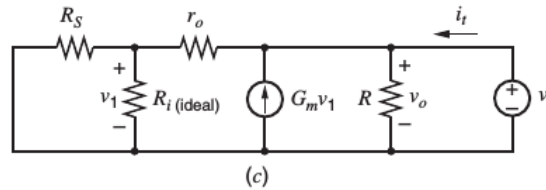
B.2.2.1 Passage T -II du montage CG

En reprenant la convention de [15, fig 3.20], le passage d'un schéma petit signal T vers II est démontré graphiquement,

Ainsi, la résistance de sortie du MOS en CG est donnée avec $G_m = g_m + g_{mb}$ et $R_{i(ideal)} = 1/G_m$,

$$R_0 = \frac{1}{\frac{1}{R_S \cdot r_0 (g_m + g_{mb} + 1/r_0 + 1/R_s)} + \frac{1}{R}}$$

La résistance R n'existe pas pour le MOS et est remplacé par ∞ ,


 Fig. B.1 – passage d'un schéma petit signal T vers Π du transistor en CG

 Fig. B.2 – Schéma petit signal pour déterminer la résistance de sortie R_0 du MOS en CG [15, fig 3.22]

$$R_0 = R_S \cdot r_0 (g_m + g_{mb} + 1/r_0 + 1/R_S)$$

Avec KCL au noeud P,

$$\begin{aligned} g_m(V_{In} - V_P) &= g_m V_P \\ V_P &= V_{In}/2 \end{aligned}$$

B.2.2.2 Application à la paire différentielle stimulée en mode commun

Identifions le montage des différents transistors constituant cet étage. La tension $V_{N_{In}}$ au noeud N_{In} est la tension DC de seuil du comparateur, elle est considérée comme une masse en petit signal. Ainsi, le transistor M1 est en grille commune, il va présenter une conductance d'entrée g_m entre la source et la masse. Le transistor M2 va se retrouver en CS dégénéré par cette conductance. Les transistors M3 et M5 vont présenter une charge g_{mP} aux drains des transistors M1 et M2, ces noeuds de sortie sont notés $out+$ et $out-$ respectivement. Le schéma petit signal déduit est présenté en figure B.4.

Ainsi, les tension V_{out+} et V_{out-} avec KCL à leurs noeuds,

$$\begin{aligned} V_{out+} &= \frac{g_m}{g_{mP}} \frac{V_{In}}{2} \\ V_{out-} &= -\frac{g_m}{g_{mP}} \frac{V_{In}}{2} \end{aligned} \quad (B.2.3)$$

Le gain mode commun/différentiel est donc le même que si la paire différentielle était stimulée en différentiel entre V_{In} et N_{In} ,

$$A_{V0} = \frac{V_{out+} - V_{out-}}{V_{In}} = \frac{g_m}{g_{mP}} \quad (B.2.4)$$

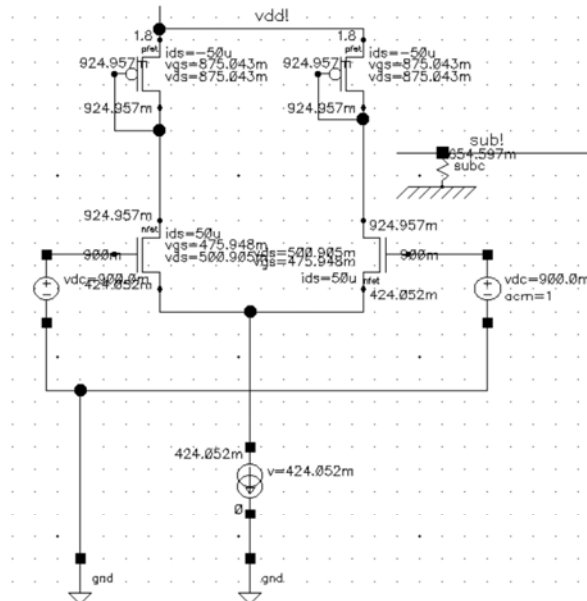


Fig. B.3 – Stimuli mode commun d'une paire différentielle

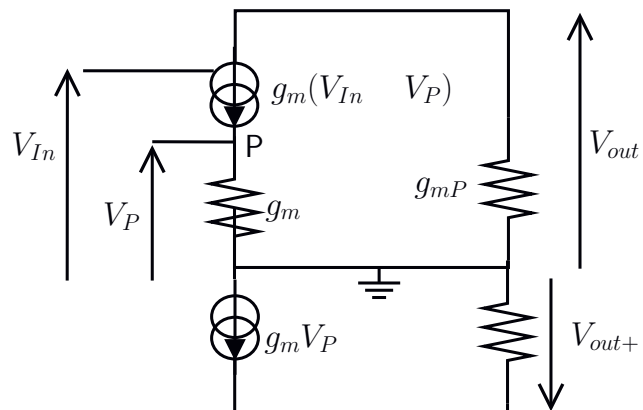


Fig. B.4 – Schéma petit signal du préamplificateur du comparateur de la figure 2.1.1

Cette configuration limite le gain de l'étage pour la dynamique atteignable V_{out} . Elle est bornée par l'expression suivante :

$$V_{DD} - V_{th} > V_{out} > V_{DD} - \sqrt{\frac{I_{bias}}{\frac{K}{2} \frac{W}{L}}} + V_{th} \quad (B.2.5)$$

Le gain intrinsèque peut donc être augmenté en réduisant le rapport W/L du PMOS ce qui a pour effet direct de réduire la dynamique avec l'expression B.2.5 qui est rapidement nulle.

B.2.3 Montage Drain commun (CD) dit suiveur de source

D'après [37, p71], on a les schémas petits signaux suivants,

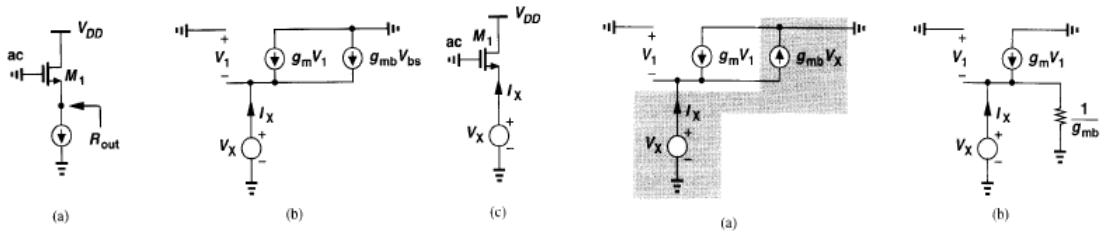


Figure 3.31 Calculation of the output impedance of a source follower.

Figure 3.32 Source follower including body effect.

Fig. B.5 – Fig 3.31 & 3.32 de [37] des montages suiveurs de source à drain commun (CD)

Ce qui donne les relations suivantes,

$$A_v = \frac{1/(g_{mb} + 1/r_{on1} + 1/r_{on2})}{1/g_m + 1/(g_{mb} + 1/r_{on1} + 1/r_{on2})}$$

B.3 Études complémentaires des TIQ

B.3.1 Algorithme SSV

L'algorithme SSV n'étant pas donné dans la thèse consacrée, un code matlab a été élaboré dans le but de le retrouver.

```
% script de génération des 255 tensions de seuil Vm à partir de la matrice
% de points extraite
Vm_min=min(min(AvgVLatch));
Vm_max=max(max(AvgVLatch));
% tensions min et max de la matrice (tension pleine echelle VFS)
LSB=(Vm_max-Vm_min)/255;
% tension de LSB pour un ADC à base de TIQ
VmZeroNL=zeros(1,255);%[1:255];
for i=1:255
VmZeroNL(i)=i*LSB;
end
% genere 255 points linéaires avec un pas de 1LSB
VmZeroNL=VmZeroNL+Vm_min;
% offset de la tension min de la matrice
```

B.3.2 Étude temporelle de l'inverseur

Délais de propagation par la méthode du courant moyen

L'idée de cette méthode est d'extraire le courant moyen I_{av} donné par la moyenne de ses équations level 1 en région triode B.1.1 et de saturation B.1.2 pour chaque type de transistor de l'inverseur en

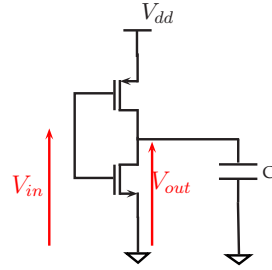


Fig. B.1 – Schéma équivalent de l'inverseur pour une étude temporelle

omettant l'effet de modulation du canal[43]. L'expression de la moyenne du courant dans la capacité C est donnée,

$$\begin{aligned} I_{avC} &= C \cdot \frac{dU_C}{dt} \\ I_{avC} \cdot t_P &= C \cdot (V_{DD} - V_{DD}/2) \end{aligned} \quad (\text{B.3.1})$$

En calculant KCL au nœud de sortie dans la phase de descente, le courant $I_{DS|N} = I_{avC}$, dans la phase de montée, $I_{DS|P} = I_{avC}$

$$I_{av} \cdot t_P = C(V_{DD} - V_{DD}/2)$$

L'expression du temps de propagation est donné[43, eq 14.50],

$$t_{PHL|PLH} = \frac{\alpha_{N|P} \cdot C}{K'_{N|P}(W/L)_{N|P}V_{DD}} \quad (\text{B.3.2})$$

Les temps de propagation t_{PHL} et t_{PLH} dépendent du facteur $\alpha_{N|P}$,

$$\alpha_{N|P} = \frac{2}{7/4 - 3V_{thN|P}/V_{DD} + (V_{thN|P}/V_{DD})^2} \quad (\text{B.3.3})$$

Délais de propagation par la méthode de la résistance équivalente

Compte tenu de l'effet canal court de la velocity saturation, les équations level 1 utilisés pour le calcul du courant moyen ne sont plus utilisables pour des technologies sub-micrométriques[43]. En effet, dès les technologies $0.25 \mu m$, la première méthode ne convient plus.

Une alternative est de remplacer les transistors Q_N et Q_P de la figure B.1 par des résistances R_N et R_P respectivement. L'expression des temps t_{PHL} et t_{PLH} est ainsi donné,

$$t_{PHL|PLH} = 0.69R_{N|P} \cdot C \quad (\text{B.3.4})$$

L'expression des résistances R_N et R_P est donnée par les expressions suivantes [43, eq 14.56],

$$R_N = \frac{12.5}{(W/L)_N} \quad (\text{B.3.5})$$

$$R_P = \frac{30}{(W/L)_P} \quad (\text{B.3.6})$$

Ainsi, en reprenant l'équation B.3.4, le rapport des temps de propagation haut bas et bas haut est donné,

$$\frac{t_{PLH}}{t_{PHL}} = \frac{R_P}{R_N} = \frac{30}{12.5} \cdot \frac{W_N}{W_P} \quad (\text{B.3.7})$$

De ces deux méthodes, les délais de propagation de montée t_{PHL} et de descente t_{PLH} sont déséquilibrés pour des rapports $(W/L)_P$ et $(W/L)_N$ qui ne satisfont pas la relation 2.3.2. Le rapport des temps d'établissement haut bas t_{PHL} et bas haut t_{PLH} dépend ainsi directement du rapport des largeurs de transistors. Ce qui se traduit par un décalage dynamique des tensions de commutation. La tension d'hystérésis du TIQ augmente donc avec la fréquence du signal d'entrée.

Détermination de la capacité équivalente

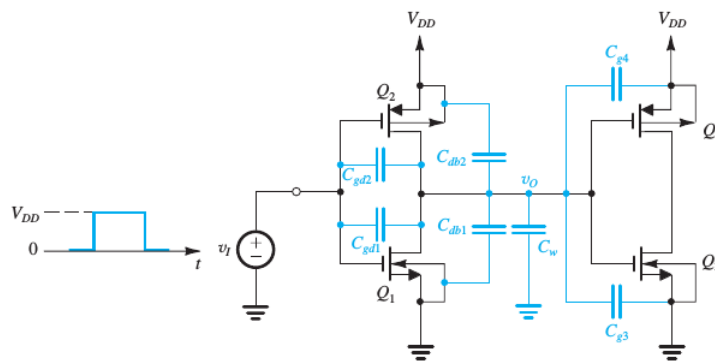


Figure 14.32 Circuit for analyzing the propagation delay of the inverter formed by Q_1 and Q_2 , which is driving a similar inverter formed by Q_3 and Q_4 .

Fig. B.2 – Schéma de 2 inverseurs en cascade[43]

Dans Sedra&Smith [43, sec 13.3], le problème 13.40 analyse l'effet du rapport des longueurs de grilles des PMOS et du NMOS de deux inverseurs identiques montés en cascade.

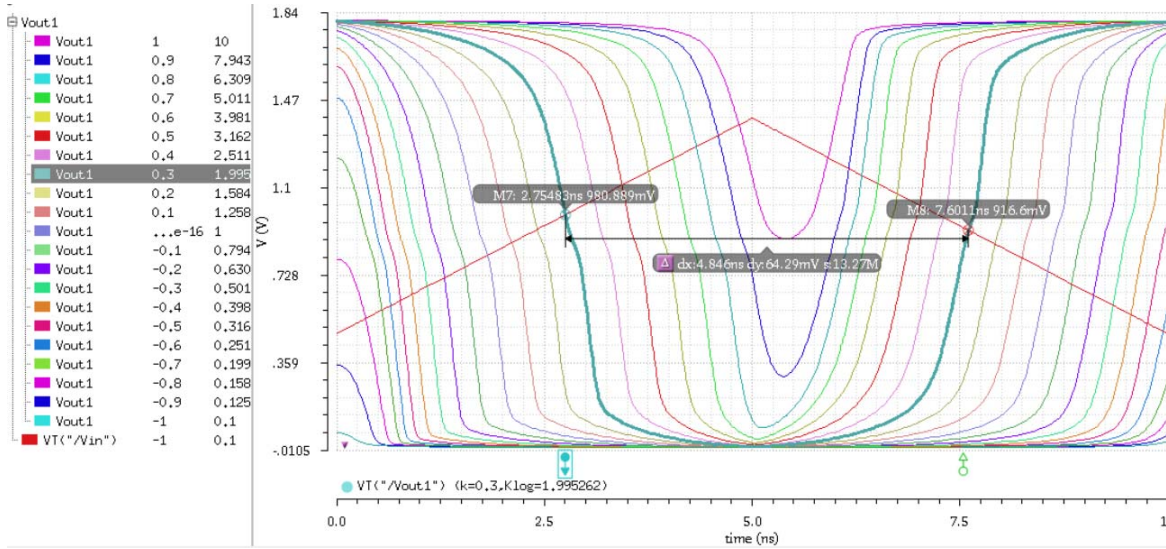
L'expression de la capacité équivalente est donnée par l'expression issue de l'équation 13.73 [43, sec 13.3]

$$C = 2 \cdot C_{GD|N} + 2 \cdot C_{GD|P} + C_{DB|N} + C_{DB|P} + C_{GS|N} + C_{GS|P} + C_w \quad (\text{B.3.8})$$

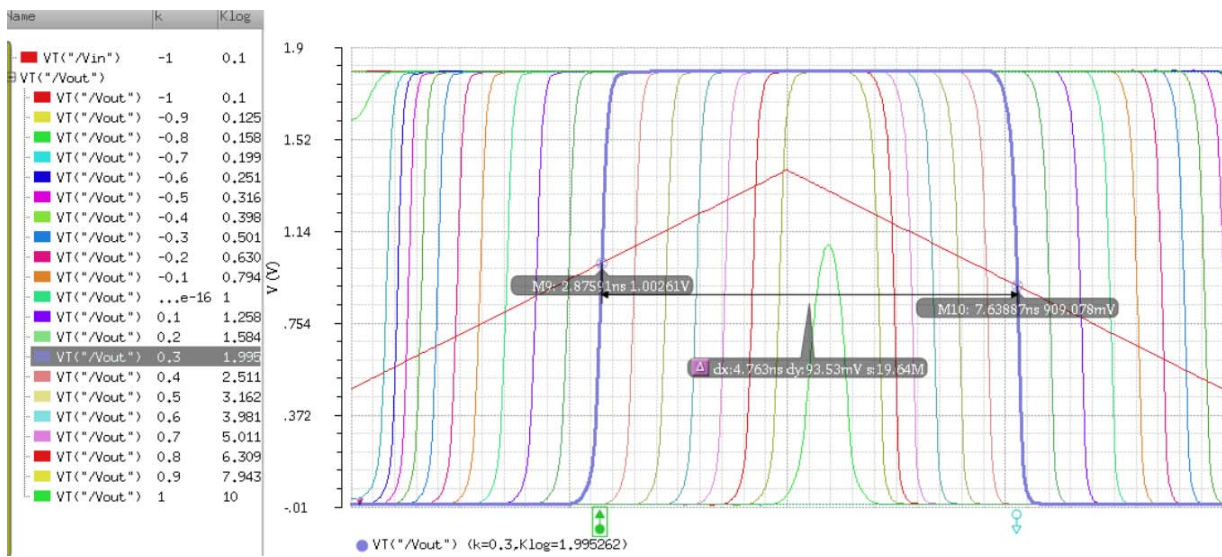
La capacité C_w étant la capacité du fil reliant les deux inverseurs cascades, elle devient de plus en plus significative pour les technos submicrométriques par rapport aux capacités internes des transistors. Toutes les autres capacités étant proportionnelles aux largeurs de grilles du PMOS ou du NMOS pour $C_{ox|N} = C_{ox|P}$ et $L_N = L_P = L_{min}$, l'expression de la capacité équivalente devient alors,

$$\begin{aligned} C &= (2 \cdot C_{GD|N} + C_{DB|N} + C_{GS|N}) \cdot \left(1 + \frac{W_P}{W_N}\right) + C_w \\ &= C_n \cdot \left(1 + \frac{W_P}{W_N}\right) + C_w \end{aligned} \quad (\text{B.3.9})$$

Il n'est donc pas possible de compenser la tension d'hystérésis qui augmente avec la fréquence du signal d'entrée. À cause du déséquilibre entre le délai de propagation Haut Bas et le délai Bas Haut visible sur l'équation B.3.4, la tension de seuil de l'inverseur et donc la tension de basculement du comparateur est différente selon que le signal augmente ou diminue.



(a) sortie du TIQ



(b) sortie du Fan out

Fig. B.3 – Réponse de 21 TIQ avec Fan out à une double rampe de période 10 ns (100 MHz) pour différents ratio de W_N/W_P du TIQ

WP	WN	$V_m _{risingVin}$	$V_m _{fallingVin}$	$V_m _{avg}$	Hysteresis
metres	metres	Volts	Volts	Volts	Volts
1.581e-6	15.81e-6	626.9e-3	505.3e-3	0.56610	121.6e-3
1.991e-6	12.56e-6	646.3e-3	546.5e-3	0.59640	99.75e-3
2.506e-6	9.976e-6	673.7e-3	589.2e-3	0.63145	84.52e-3
3.155e-6	7.924e-6	0,709	634.6e-3	0.67180	74.42e-3
3.972e-6	6.295e-6	752.5e-3	683.9e-3	0.71820	68.56e-3
5e-6	5e-6	803.7e-3	737.4e-3	0.77055	66.34e-3
6.295e-6	3.972e-6	861.8e-3	794.3e-3	0.82805	67.44e-3
7.924e-6	3.155e-6	925.1e-3	853.3e-3	0.88920	71.81e-3
9.976e-6	2.506e-6	991.6e-3	0,912	0.95180	79.61e-3
12.56e-6	1.991e-6	1.059	967.7e-3	1.01335	91.22e-3
15.81e-6	1.581e-6	1.125	1.018	1.07150	107.3e-3
19.91e-6	1.256e-6	1.189	1.061	1.12500	128.7e-3
25.06e-6	997.6e-9	1.251	1.095	1.17300	156.8e-3
31.55e-6	792.4e-9	1.312	1.119	1.21550	193.3e-3
39.72e-6	629.5e-9	1.374	1.148	1.26100	226.1e-3
50e-6	500e-9	1.306	1.22	1.26300	86.23e-3

Tab. B.1 – Tension de bascule et d’hystérésis des comparateurs à inverseurs TIQ pour une rampe à signal d’entrée de période 10ns

B.3.3 Simulations en CMOS 180nm

Étude pour un signal d’entrée de période 10 ns

Avec les résultats de simulation du tableau B.1, il est possible de calculer la tension de conversion numérique pleine échelle V_{FS} ,

$$V_{FS}(V_{HYST} < 120mV) = 1.1 - 0.56 = 0.54V \quad (B.3.10)$$

Le nombre de niveaux pour ne pas avoir de recouvrement est donc déduit,

$$\begin{aligned} Level &= \frac{V_{FS}}{V_{HYST}} \\ &= 4.5 \end{aligned} \quad (B.3.11)$$

Soit le nombre de bit de conversion de 2 pour 4 niveaux,

$$\begin{aligned} N &= \log_2(4) \\ &= 2 \end{aligned} \quad (B.3.12)$$

Étude pour un signal d’entrée de période 1 μs

De même que pour la simulation à V_{in} à 1 MHz, il est possible de calculer la résolution possible pour cette fréquence de signaux,

$$V_{FS}(V_{HYST} < 4mV) = 1.1 - 0.57 = 0.53V \quad (B.3.13)$$

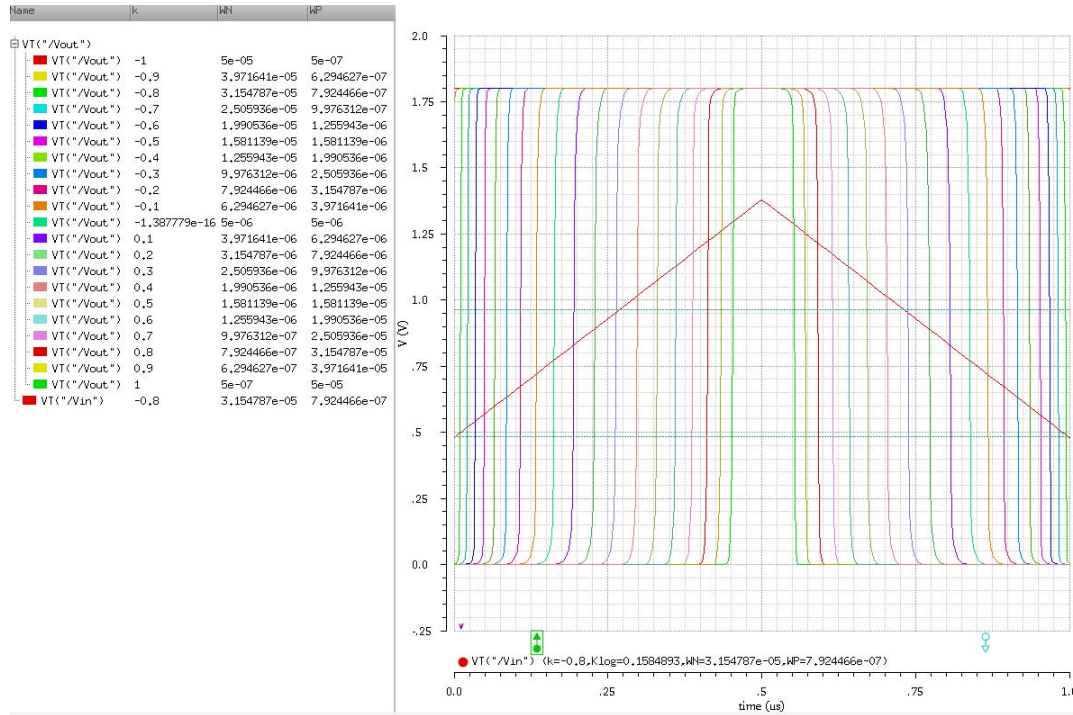


Fig. B.4 – Réponses des inverseurs TIQ à une double rampe de 1 MHz en sortie des Fan outs pour différents ratio de W_N/W_P du TIQ

WN (m)	WP (m)	$V_m _{risingVin}$ (Volts)	$V_m _{fallingVin}$ (Volts)	Hysteresis (Volts)
31.55e-6	792.4e-9	497.4e-3	488.9e-3	8.473e-3
25.06e-6	997.6e-9	518e-3	511.4e-3	6.542e-3
19.91e-6	1.256e-6	541.3e-3	536.2e-3	5.097e-3
15.81e-6	1.581e-6	567.8e-3	563.8e-3	4e-3
12.56e-6	1.991e-6	598.2e-3	595e-3	3.181e-3
9.976e-6	2.506e-6	633.2e-3	630.7e-3	2.574e-3
7.924e-6	3.155e-6	673.7e-3	671.6e-3	2.152e-3
6.295e-6	3.972e-6	720.1e-3	718.2e-3	1.891e-3
5e-6	5e-6	772.5e-3	770.7e-3	1.771e-3
3.972e-6	6.295e-6	830.1e-3	828.3e-3	1.775e-3
3.155e-6	7.924e-6	891.5e-3	889.6e-3	1.914e-3
2.506e-6	9.976e-6	954.3e-3	952.1e-3	2.191e-3
1.991e-6	12.56e-6	1.016	1.014	2.623e-3
1.581e-6	15.81e-6	1.075	1.072	3.246e-3
1.256e-6	19.91e-6	1.13	1.126	4.098e-3
997.6e-9	25.06e-6	1.179	1.174	5.201e-3
792.4e-9	31.55e-6	1.223	1.217	6.629e-3
629.5e-9	39.72e-6	1.262	1.254	8.463e-3

Tab. B.2 – Tension de bascule et d’hystérésis des comparateurs à inverseurs TIQ pour une rampe à signal d’entrée de période 1 μs

Le nombre de niveaux pour ne pas avoir de recouvrement est déduit.

$$\begin{aligned} Level &= \frac{V_{FS}}{V_{HYST}} \\ &= 132.5 \end{aligned} \quad (\text{B.3.14})$$

Soit le nombre de bit de conversion de 7 pour 128 niveaux,

$$N = 7 \quad (\text{B.3.15})$$

B.4 Études des plieurs (folders)

B.4.1 Portage en CMOS 180 nm du plieur en courant

L'architecture de plieur en courant de la figure 3.2.1 a été portée sur la technologie CMOS 180 nm d'AMS en remplaçant les NMOS câblés en diodes par des PMOS à prise de caisson V_B afin de faire varier sa tension de seuil. Le facteur de repliement est aussi à 4. Le fait de pouvoir contrôler la tension de seuil des transistors montés en diode permet de limiter l'augmentation de la tension d'entrée à cause des tensions V_{GS} nécessaires pour faire passer le courant d'entrée dans chacun d'eux.

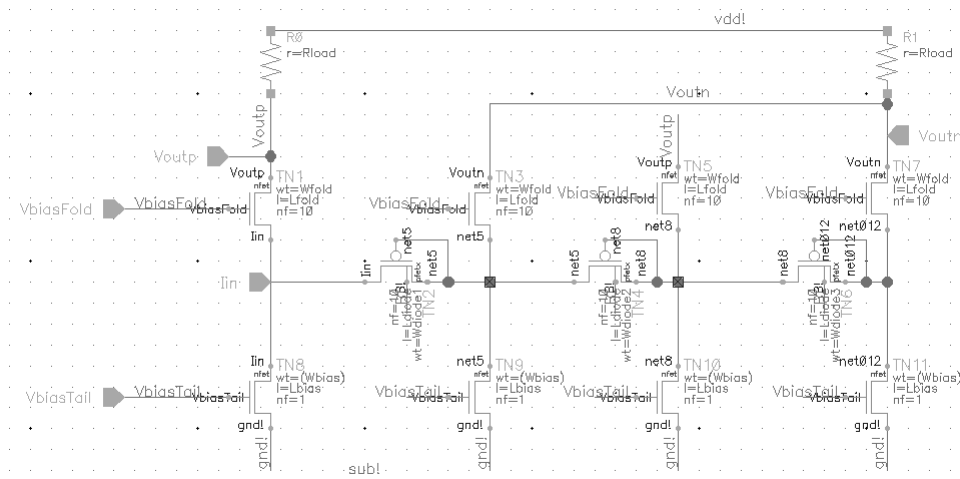


Fig. B.1 – Implémentation du schémas du plieur en courant sur la CMOS 180 nm

Avec ce dimensionnement, la tension maximum au nœud d'entrée se trouve être inférieure à 1.9 V ce qui est tout à fait satisfaisant pour garder les transistors dans des zones d'opération sûres (SOAC).

Par ailleurs, la tension de sortie sur la figure B.2 est entre 0 et 474 mV permet de définir les caractéristiques de l'ADC de la quantification fine d'une résolution de 6 bit définie par la relation 3.2.9, avec la tension de conversion pleine échelle V_{FS} ,

$$\begin{aligned} V_{FS} &= 474 \text{ mV} \\ LSB &= V_{FS}/2^6 \\ &= 7.4 \text{ mV} \end{aligned}$$

Par contre, la montée en fréquence du signal analogique d'entrée de cette architecture pose des problèmes à cause des larges capacités des transistors de diodes et des faibles courants employés pour contenir les variations de tension en entrée de l'étage.

Paramètres sur la figure B.1	valeurs optimales
Lbias	600nm
Ldiode	200nm
Lfold	1um
Resbias	14 kΩ
Rload	6 kΩ
Vdd	1.8 V
period Vin	1us
Wbias	30um
Wdiode	50um
Wfold	10um
IinMax	420uA
VbiasFold = VNwell	800mV
Wdiode1 =Wdiode2 =Wdiode3	50um

Tab. B.3 – Paramètres optimaux pour le plieur en figure B.1 obtenus par itérations de simulations

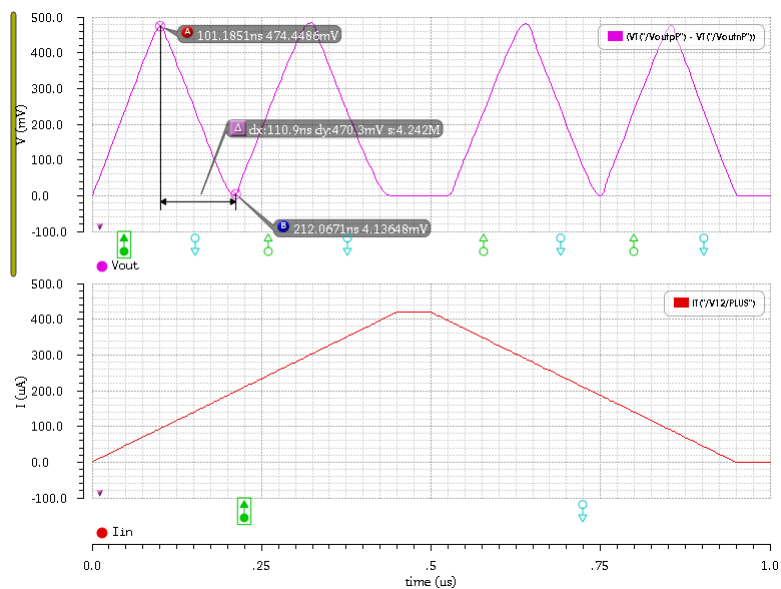


Fig. B.2 – Tension V_{out} de sortie du plieur en courant à facteur 4 pour une entrée en rampe de courant de 0 à 420 μA

B.4.2 Étude de la paire différentielle CDP

L'étude analytique de la conduction de la paire différentielle commandée par un signal unipolaire et une tension de référence est présentée dans cette annexe en reprenant le schéma de la figure 3.3.2.

Étant utilisée par les folders sans recouvrements comme un étage de paire différentielle couplée (CDP) dans sa zone de fonctionnement linéaire, ses limitations de dynamique en limite le facteur de repliement F.

Ramenée en entrée, la tension $V_{in|onsetFold}$ pour laquelle le transistor 1 commence à conduire est donnée par les équations level 1 quand $V_{in} = V_P + V_{th|N}$ avec $V_P = V_{ref} - V_{GS|2}$

$$\begin{aligned}
 V_{in|onsetFold} &= V_P + V_{th|N} \\
 &= V_{ref} - \sqrt{\frac{I_{bias}}{\frac{K_N}{2} \cdot \frac{W_N}{L_N}}} - V_{th|N} + V_{th|N} \\
 &= V_{ref} - \sqrt{\frac{I_{bias}}{\frac{K_N}{2} \cdot \frac{W_N}{L_N}}}
 \end{aligned} \tag{B.4.1}$$

De même la tension $V_{in|highFold}$ à partir de laquelle le transistor 1 draine tout le courant de polarisation est donnée pour quand la tension $V_{GS|2} = V_{th|N}$ soit $V_P = V_{ref} - V_{th|N}$,

$$\begin{aligned}
 V_{in|highFold} &= V_{GS|1} + V_P \\
 &= \sqrt{\frac{I_{bias}}{\frac{K_N}{2} \cdot \frac{W_N}{L_N}}} + V_{th|N} + V_P \\
 &= \sqrt{\frac{I_{bias}}{\frac{K_N}{2} \cdot \frac{W_N}{L_N}}} + V_{th|N} + V_{ref} - V_{th|N}
 \end{aligned} \tag{B.4.2}$$

L'application numérique des équations B.4.1 et B.4.2 des tension $V_{in|onsetFold}$ et $V_{in|highFold}$ de limites de conduction du transistor M1 avec les valeurs extraites dans la section B.1 donne,

$$V_{in|onsetFold} = 0.9 - \text{sqrt}(0.25e - 3/(273e - 6/2 * 200/0.6)) \tag{B.4.3}$$

$$= 0.82574 \tag{B.4.4}$$

$$V_{in|highFold} = 0.97 V$$

Soit ΔV_{ref} la différence de tension de sortie de cet étage,

$$\begin{aligned}
 \Delta V_{ref} &= V_{in|highFold} - V_{in|onsetFold} \\
 &= 2 \sqrt{\frac{I_{bias}}{\frac{K_N}{2} \cdot \frac{W_N}{L_N}}} \\
 &= 2(V_{GS|2} - V_{th|N})
 \end{aligned} \tag{B.4.5}$$

Ce ΔV_{ref} dépendant donc de la différence ($V_{GS|2} - V_{th|N}$), il dépend du régime d'inversion du transistor. L'application numérique est donnée,

$$\begin{aligned}
 \Delta V_{ref} &= 2 * \text{sqrt}(0.25e - 3/(273e - 6/2 * 200/0.6)) \\
 &= 148 mV
 \end{aligned}$$

B.4.3 Redondance de la résolution de quantification

- La redondance entre la quantification coarse et fine peut être implémentée par l'ajout d'un latch d'overflow. Les contraintes de linéarité de la quantification grossière se retrouvent donc relâchées et la sensibilité des latches réduite au $LSB/2$ de la quantification coarse soit la tension $\Delta V_{ref}/2$ du repliement ramenée en entrée.
- Cette synchronisation coarse et fine requiert une précision de $LSB/2$ de la quantification fine sur l'offset et la sensibilité des comparateurs de la quantification coarse

La contrainte de précision de celle-ci peut être relâchée de $LSB/2$ à $2^{N-\log_2(F)} \cdot LSB/2$ en rajoutant de la redondance par l'ajout d'un comparateur.

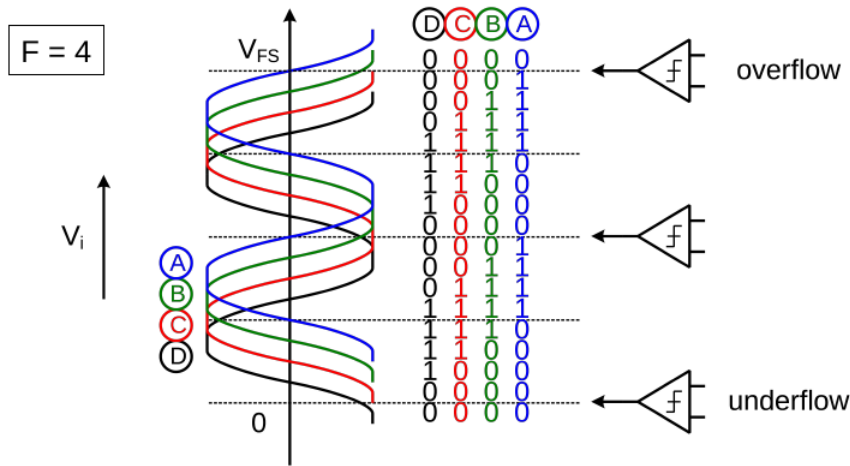


Fig. B.3 – nombre de comparateurs égal = $F - 1$ (sans redondance)

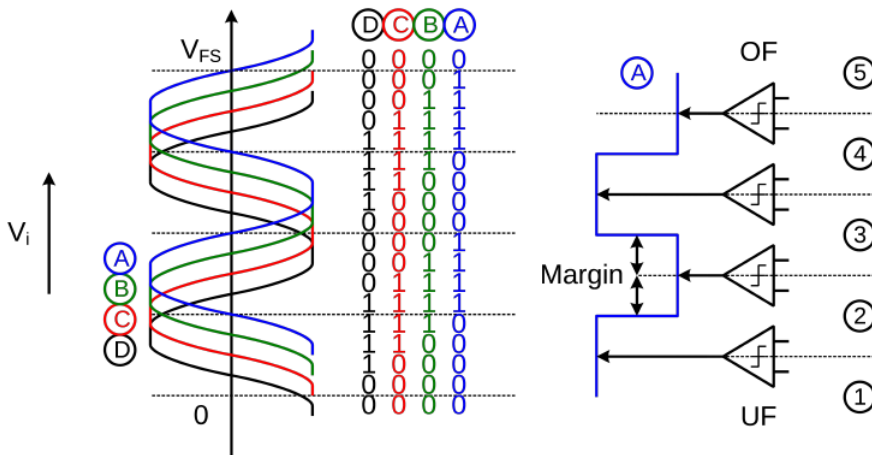


Fig. B.4 – comparateur supplémentaire de redondance de la quantification coarse

B.4.4 multiplexage des signaux issus des folders

L'emploi de folders parallèles peut s'avérer coûteuse en surface et en consommation si un ADC fine est instancié pour chaque plieur parallèle (comme sur la figure 3.3.7) par rapport à un ADC full flash. Ceci est d'autant plus vrai si la zone de linéarité du plieur est réduite et que les plieurs parallèles sont multipliés.

Une solution est de sélectionner le signal de sortie des amplificateurs à trans-résistance de chaque plieur grâce à un décodage de la quantification grossière sur $\log_2(F)$ bits supplémentaires comme sur le schéma de la figure B.5.

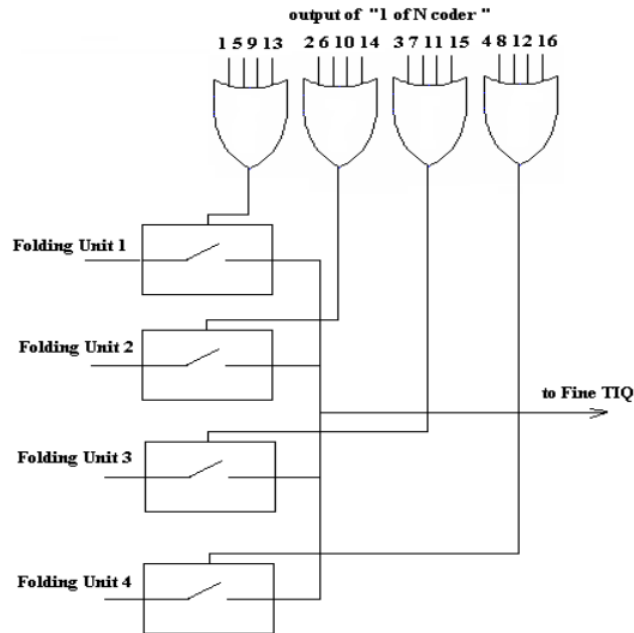


Fig 11. The schematic of the folder selector unit

Fig. B.5 – Multiplexage des signaux des plieurs sur l’architecture d’Aytar Tangel Dundar[5]

B.4.5 Techniques spécifiques des plieurs à CDP

Le problème du repliement en tension avec des paires différentielles croisés (CDP) est la non linéarité cumulée des CDP successifs qui se traduit par une asymétrie de chaque repliement comme illustré sur la figure 3.4.1 avec la courbe jaune. La première solution est d’implémenter un dummy CDP avec un transistor bloqué (fig B.6 a) ou une source de courant supplémentaire [35, sec 3.14.7]. Une autre solution est de diviser le dummy CDP en 2 comme suggéré par [26]. Le principe est illustré sur la figure B.6 b.

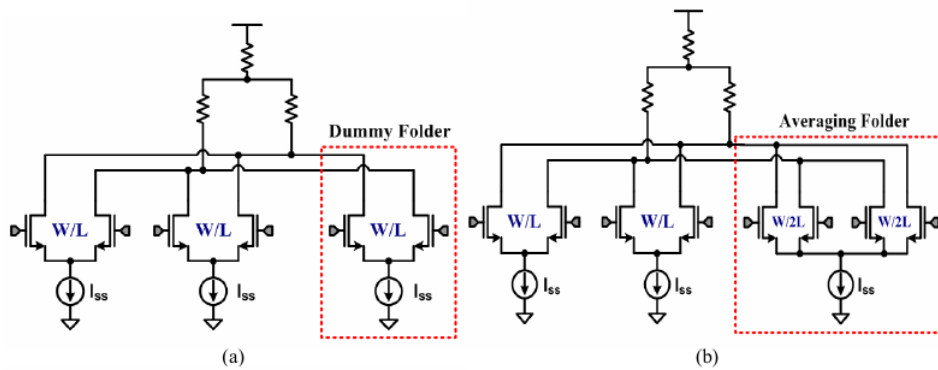


Fig. B.6 – Schémas des techniques de compensation de linéarité par un dummy CDP et de 2 demis CDP [26]

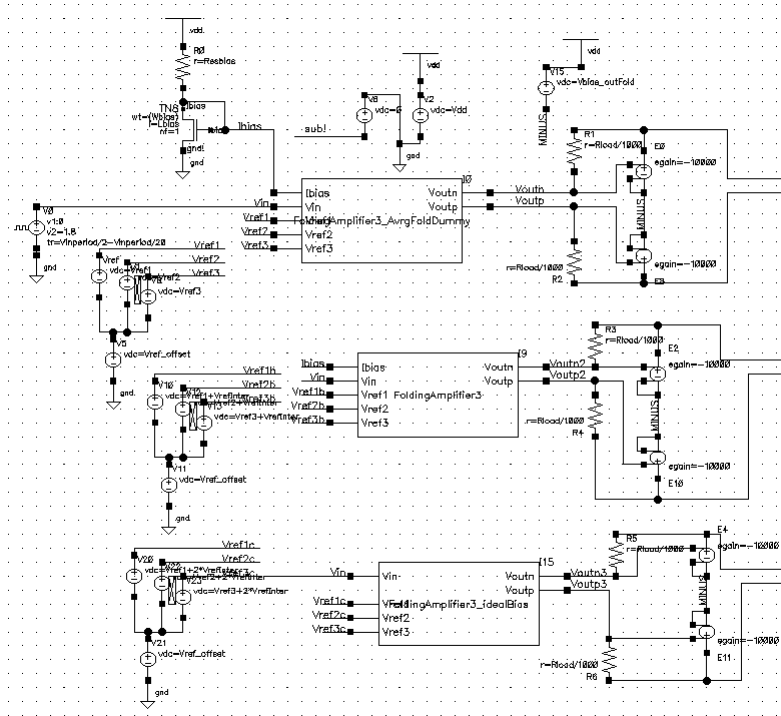


Fig. B.7 – Banc de tests des 3 configurations avec les trans-résistances idéales modélisés par des cellules **vcrs** à gain -10000

B.5 Études des comparateurs latchés

B.5.1 Étude temporelle

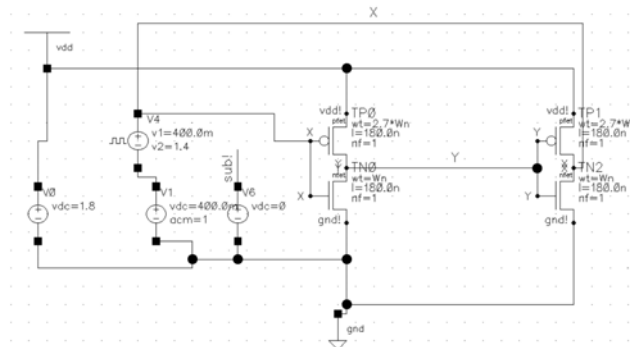
Extraction de la capacité équivalente par simulation

Le schéma du banc de test est présenté sur la figure B.1a. L'échelon est réglé entre 800 mV et 1.8 V (100 mV en dessous de l'équilibre vers V_{DD}). Il est maintenu sur 5 ns pour observer les courbes exponentielle à $5 * \tau$ des signaux en mode commun et différentiel pour des largeurs de transistors jusqu'à $W_N = 200 \mu m$.

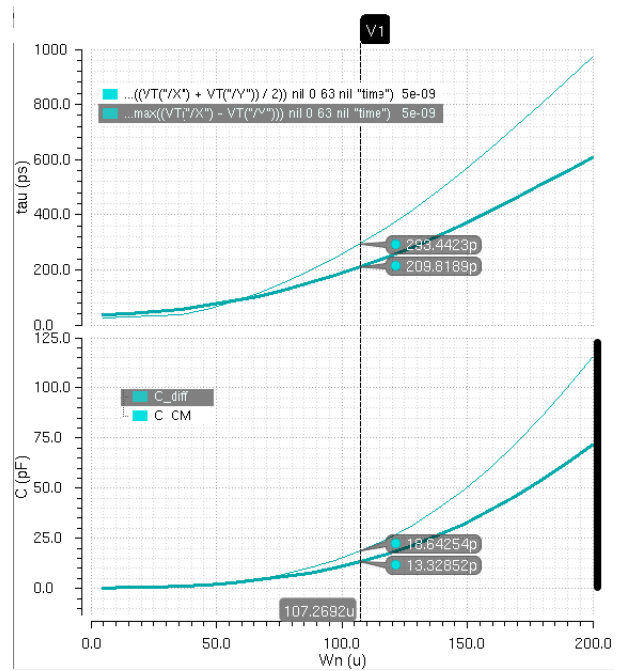
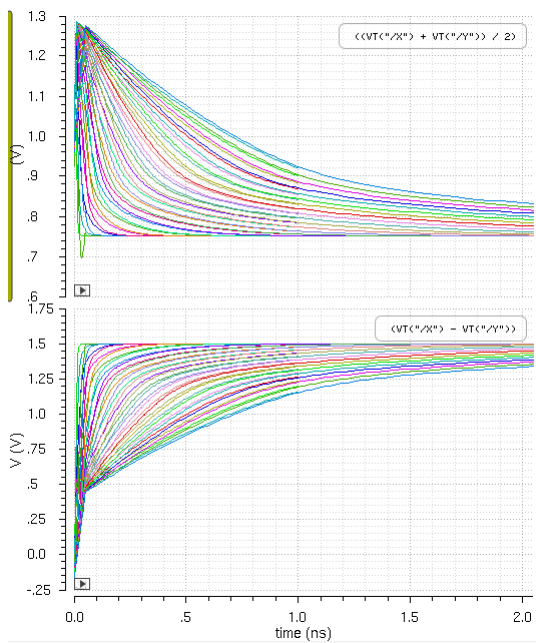
Les signaux en mode commun ($V_{cm} = \frac{x+y}{2}$) et différentiel ($V_{cm} = x - y$) avec les équations aux dérivées partielles données en figure B.3.2 sont extraites en simulation grâce au banc de test de la figure B.1a. Les réponses indicielles pour les différentes largeurs de transistors sont données sur la figure B.1b<

Les résultats d'extraction de la constante de temps entre le mode commun et différentiel montre une différence très sensible à partir de $W_N = 75 \mu m$. Elle est de 83 ps à $W_n = 107 \mu m$.

La simulation à $W_N = 0.35 \mu m$ donne une transconductance de $0.17 mA/V$ et une capacité extraite de $6.7 fF$ avec la constante de temps du mode différentiel et $5 fF$ avec le mode commun. À titre de comparaison, cette valeur de capacité correspond à l'ordre de grandeur de l'exemple 14.7 de Sedra Smith [42] ou la valeur de capacité équivalente est de $6.25 fF$ pour un inverseur avec un NMOS de $0.375 \mu m / 0.25 \mu m$ et un PMOS de $1.125 \mu m / 0.25 \mu m$.



(a) Banc de tests de l'analyse transitoire des 2 inverseurs en boucle fermée



(b) Réponse indicielle du mode commun du mode dif-
férentiel à un échelon de 5 ns pour différentes lar-
geurs de transistors

(c) Extraction de la capacité équivalente à partir du temps τ du mode commun et différentiel et le transconductance équivalente $g_m = g_{mN} + g_{mP}$

Fig. B.1 – Extraction du temps tau et de la capacité équivalente à partir de la réponse impulsionnelle

B.5.2 Étude fréquentielle

Banc de tests

L'extraction de la capacité équivalente C peut se faire en simulation AC en boucle ouverte selon le schéma de la figure B.2. Tous les inverseurs sont en fonctionnement linéaire (inverseurs polarisés à $V_{dd}/2$ en entrée et en sortie permettant de garder les PMOS et les NMOS en saturation).

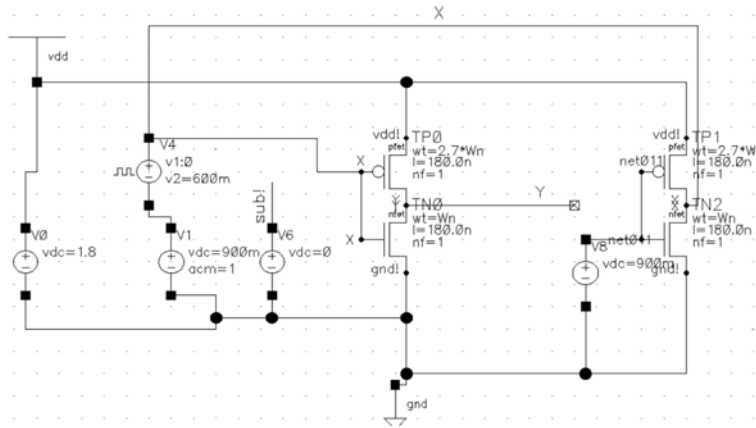


Fig. B.2 – Banc de tests d'extraction de capacité équivalente entre 2 inverseurs cascades

KCL au nœud de sortie de la cellule donne l'expression suivante,

$$i_{AC}(\omega) = i_C + i_{\Sigma gds}$$

Avec $i_C = v_{AC} * jC\omega$ et $v_{AC} = 1$ sur le banc de test de la fig B.2,

$$C = \frac{i_{AC}(\omega) - i_{\Sigma gds}}{\omega} = \frac{\Delta i_{AC}}{f * 2\pi}$$

Extraction de capacité équivalente par simulation

Les courbes de courant $i_{AC}(\omega)$ pour différentes largeurs de transistors sont répertoriés sur la figure B.3. Les delta de courant et de fréquence pour $i_{AC}(\omega) = 2 * i_{\Sigma gds}$ sont marqués.

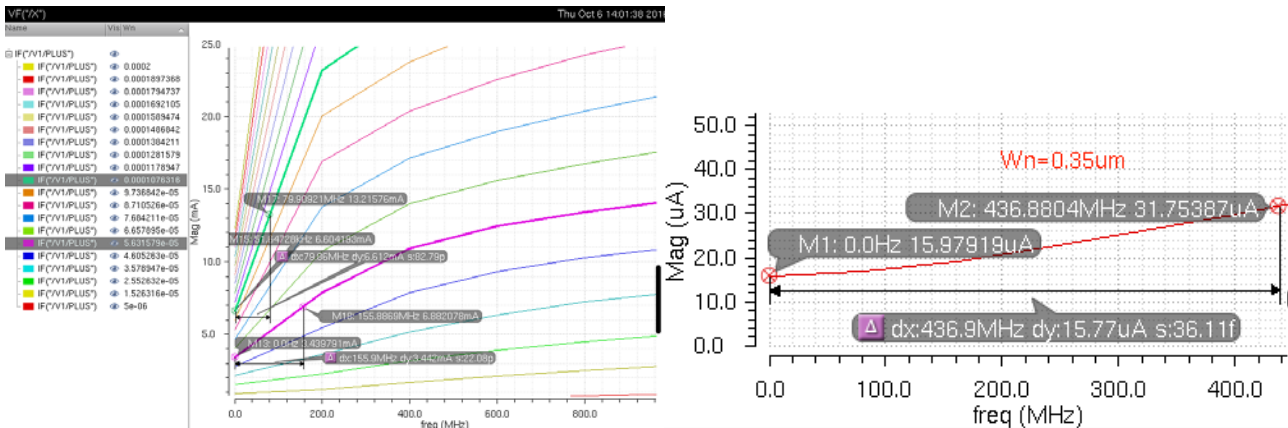


Fig. B.3 – Extraction fréquentielle de la capacité équivalente par mesure du courant AC pour différentes largeurs W_n et $W_p = 2.7 * W_n$ des transistors des inverseurs.

Le courant AC du noeud d'entrée est mesuré pour obtenir la valeur de la capacité équivalente. Pour une fréquence $f_{iAC/2}$ telle que $i_{AC}(f = f_{iAC/2}) = 2 * i_{AC}(f = 0 \text{ Hz})$

$$C = \frac{i_{AC}(f = f_{iAC/2}) - i_{AC}(f = 0 \text{ Hz})}{f_{iAC/2} 2\pi} = \frac{\Delta i_{AC}}{f_{iAC/2} 2\pi}$$

>> $C(W_n=56\mu\text{m}) = 3.5 \text{ e}^{-3} / (155 \text{ e}6 * 2 * \pi) = 3.5938 \text{ e}^{-12}$ (3.6 pF)

>> $C(W_n=107\mu\text{m}) = 6.6 \text{ e}^{-3} / (80 \text{ e}6 * 2 * \pi) = 1.3130 \text{ e}^{-11}$ (13 pF)

>> $C(W_n=0.35\mu\text{m}) = 16 \text{ e}^{-6} / (436 \text{ e}6 * 2 * \pi) = 5.8405 \text{ e}^{-15}$ (5.84 fF)

La valeur de capacité à $W = 0.35 \mu\text{m}$ retrouvée ici correspond à l'ordre de grandeur de l'exemple 14.7 de Sedra Smith [42] où la valeur de capacité équivalente est de 6.25 fF pour un inverseur avec un NMOS de $0.375 \mu\text{m} / 0.25 \mu\text{m}$ et un PMOS de $1.125 \mu\text{m} / 0.25 \mu\text{m}$.

Ces valeurs obtenues sont sensiblement identiques aux valeurs extraites avec la méthode temporelle.

B.5.3 Architectures synthétisées

B.5.3.1 Yang High speed

Le schéma de l'architecture synthétisée sur l'éditeur est donné sur la figure B.4.

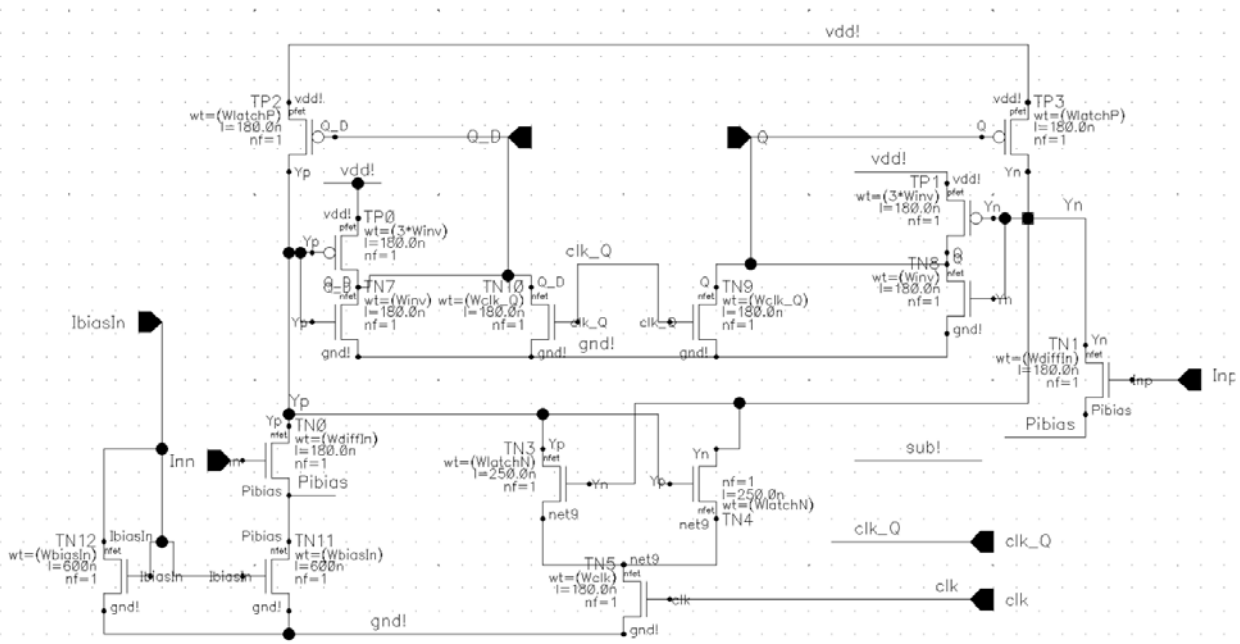


Fig. B.4 – Schéma du comparateur Yang High Speed

B.5.3.2 Yang High speed améliorée

Résultats à 10 MHz

Les résultats de simulation à 10 MHz montrent l'intérêt des diodes séries qui coupent le courant dans la branche de la bascule qui commute à l'état bas. La courbe orange de la sortie du latch de la configuration avec la source de courant dynamique commute une seule fois à la montée du signal 1.2 ns et une seule fois à la descente du signal à 3.7 ns. La courbe violette de la même configuration mais

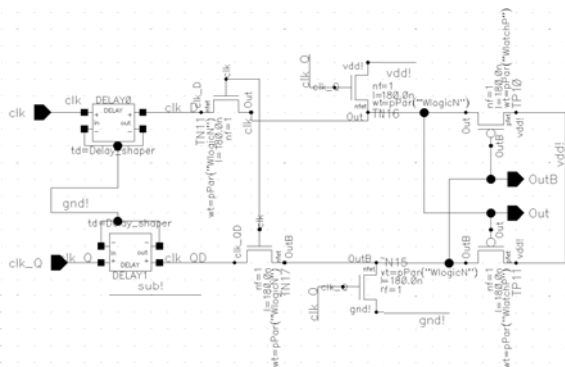


Fig. B.5 – Schéma du multivibrateur monostable en logique pass gates et rebouclage positif

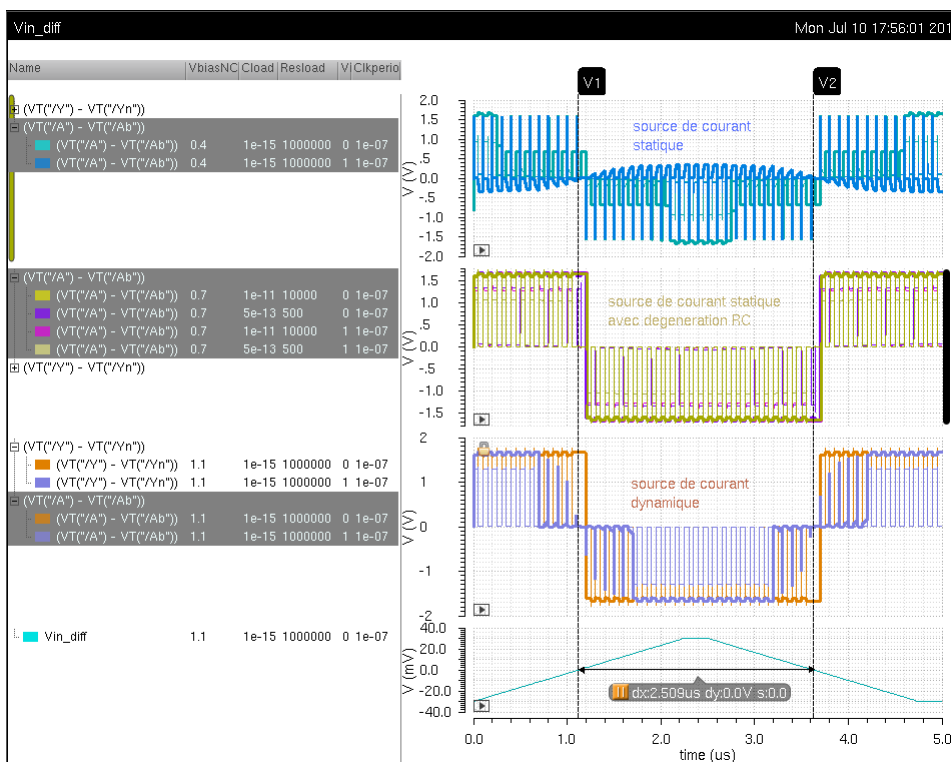


Fig. B.6 – Réponse de la bascule à $f_{clk} = 10 \text{ MHz}$ à un signal de $\pm 30 \text{ mV}$

sans diodes séries commute plusieurs fois et la mémoire est remise à zéro à chaque coup d'horloge pendant 10 périodes autour de chaque transition.

La charge de dégénération RC est fonctionnelle dans ce cas et permet d'utiliser la structure en polarisation statique à basse fréquence.

Commentaires sur les points de simulation		Paramètres de simulation			
		Diode série	Cload (F)	Resload (Ω)	VbiasNC (V)
maître du miroir de courant statique	Esclave du miroir de courant sans charge série	non	1E-15	1000000	0,4
		oui	1E-15	1000000	0,4
	Esclave du miroir de courant avec Charge série RC dégénérée	non	1E-11	10000	0,7
		oui	1E-11	10000	0,7
		non	5E-13	500	0,7
		oui	5E-13	500	0,7
Source de courant commandée par une impulsion		non	1E-15	1000000	1.1
		oui	1E-15	1000000	1.1

Commentaires sur les points de simulation		Conso moyenne (W)	conso entre fronts d'horloge (W)	
			$\downarrow\uparrow$	$\uparrow\downarrow$
maître du miroir de courant statique	Esclave du miroir de courant sans charge série	1.124e-03	-8.519e-04	-5.046e-04
		1.181e-03	-8.320e-04	-8.308e-04
	Esclave du miroir de courant avec Charge série RC dégénérée	3.424e-04	-7.733e-05	-2.456e-04
		1.872e-04	-6.466e-05	-3.870e-05
		8.433e-04	-4.933e-04	-5.221e-04
		6.946e-04	-4.665e-04	-3.614e-04
Source de courant commandée par une impulsion		3.042e-04	-1.675e-07	-2.514e-04
		7.091e-05	-9.292e-06	-5.439e-06

Tab. B.4 – Consommation statique moyenne du comparateur entre deux fronts d'horloge (calculée sur 47ns)

La sémantique des différents points de simulation sont détaillés en section C.2.1.

Résultats à 125 MHz

En augmentant la fréquence d'échantillonnage, la structure avec ses sources de courant dynamique arrive en limite de fonctionnement dès 125 MHz de fréquence d'échantillonnage avec un signal d'entrée double rampe de $\pm 20 mV$.

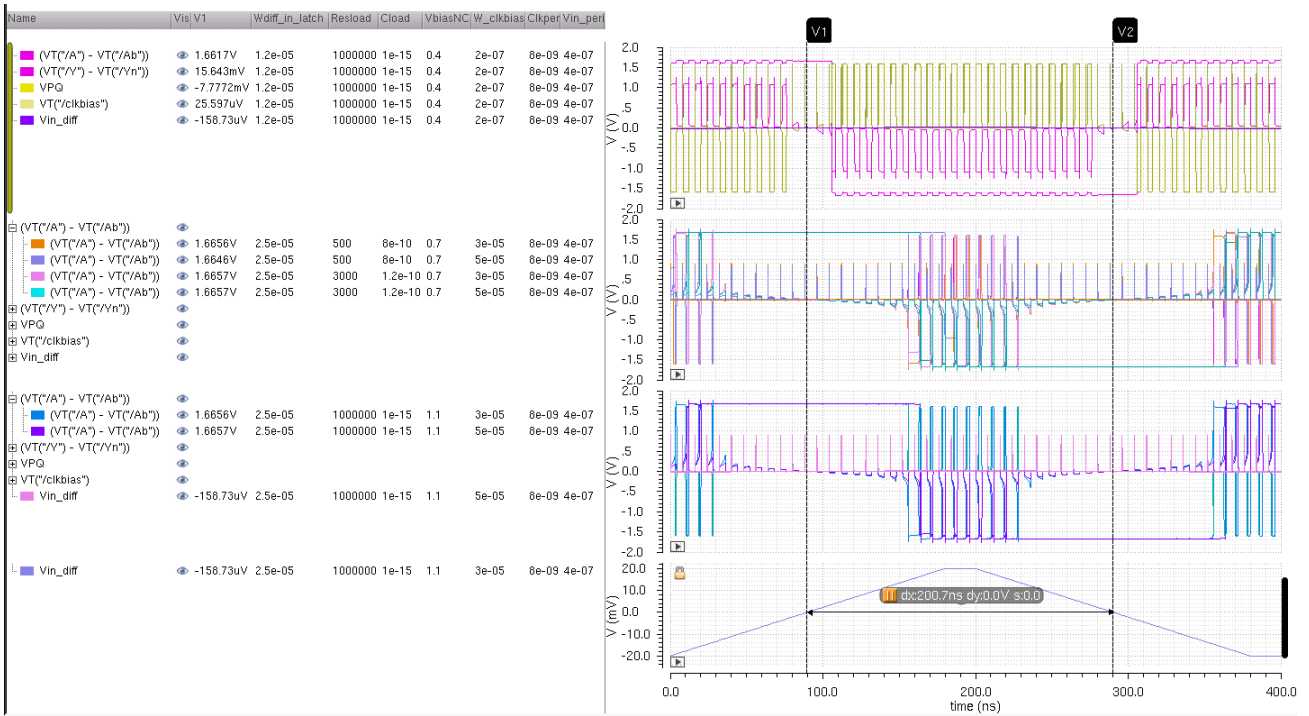


Fig. B.7 – Réponse de la bascule à $f_{clk} = 125 \text{ MHz}$ à un signal de $\pm 20 \text{ mV}$

B.6 Étages de quantification

B.6.1 Charges de types Lee couplées croisés

Le schéma de ce type de charges est donné en figure 5.1.3 pour un amplificateur avec une paire différentielle.

Calcul analytique du gain d'un ampli chargé

Le schema petit signal est rappelé

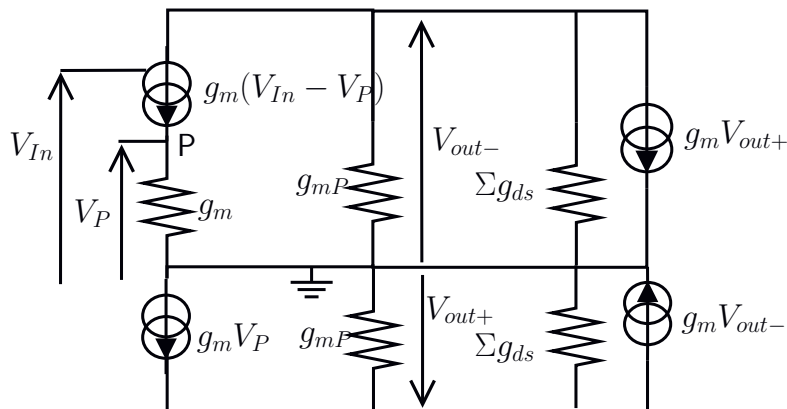


Fig. B.1 – Schéma petit signal de la paire différentielle chargée par des diodes couplées croisées

La tension V_P en petit signal est toujours à $V_{In}/2$, avec KCL aux nœuds de sortie,

$$\begin{aligned} g_m V_{In}/2 + g_{mP} V_{out+} + V_{out-} (g_{mP} + \Sigma g_{DS}) &= 0 \\ -g_m V_{In}/2 + g_{mP} V_{out-} + V_{out+} (g_{mP} + \Sigma g_{DS}) &= 0 \end{aligned}$$

L'expression de la tension V_{out+} est extraite de l'expression de KCL au noeud $out+$,

$$V_{out+} = \frac{g_m V_{In}/2 - g_{mP} V_{out-}}{g_{mP} + \Sigma g_{DS}}$$

L'expression de KCL au noeud $out-$ est donnée en remplaçant V_{out+} par son expression,

$$g_m V_{In}/2 + g_{mP} \frac{g_m V_{In}/2}{g_{mP} + \Sigma g_{DS}} - \frac{g_{mP}^2 V_{out-}}{g_{mP} + \Sigma g_{DS}} + V_{out-} (g_{mP} + \Sigma g_{DS}) = 0$$

En considérant $g_{mP} \gg \Sigma g_{DS}$ l'expression se simplifie,

$$g_m V_{In}/2 + g_m V_{In}/2 - V_{out-} g_{mP} + V_{out-} (g_{mP} + \Sigma g_{DS}) = 0$$

Soit,

$$g_m V_{In} + V_{out-} \Sigma g_{DS} = 0$$

B.6.2 Pre-amplificateur full différentiel

Étude de la dynamique de l'étage

- L'implémentation de la quantification d'un signal différentiel au niveau du comparateur est réalisée par deux paires différentielles. Le signal analogique à quantifier ($V_{a+} - V_{a-}$) est comparé au signal de référence ($V_{b+} - V_{b-}$). Pour peu que le mode commun soit le même, la sortie ($V_{out+} - V_{out-}$) amplifie $(V_{a+} - V_{a-}) - (V_{b+} - V_{b-})$.
- La tension $V_G|_{N1,2,3,4} = V_{GS}|_{N1,2,3,4} + V_{DS}|_{Nbias}$ avec $V_{GS}|_{N1,2,3,4} = \sqrt{\frac{I_{bias}}{\beta}} + V_{th}|_{N1,2,3,4}$ avec $\beta = \mu_n \cdot C_{ox} \cdot \frac{W}{L}$
- D'après les équations level 1, $V_{DSsat}|_{Nbias} = V_{GS}|_{Nbias} - V_{th}|_{Nbias}$. d'après [6, eq3.15], on a l'expression du facteur d'inversion en fonction de la tension de grille effective $V_{EFF} = V_{GS} - V_{th}$, $IF = (\ln(1 + e^{\frac{V_{GS}-V_{th}}{2n \cdot U_t}}))^2$ [45, eq 2.28] (avec $n_0|_N = 1.2393$ et $n_0|_P = 1.3$). La tension de saturation donnant le V_{DS} minimum pour que le transistor soit en région 2 de saturation quelque soit le régime d'inversion est donnée par l'équation suivante,

$$V_{DSsat} = V_T \cdot (2 \cdot \sqrt{IF} + 4) \quad (\text{B.6.1})$$

$V_{DSsat}|_{Nbias} = V_T \cdot (2 \cdot \sqrt{IF} + 4)$. Ces transistors opèrent en inversion faible pour garder une dynamique suffisante, la tension $V_{GS}|_{Nbias} = 0.46 \text{ V}$, soit pour $W/L|_{N1,2,3,4} = 30 \mu\text{m}/0.18 \mu\text{m}$ et un courant de $I_{bias} = 250 \mu\text{A}$ ³, $V_{DSsat}|_{Nbias} = 146 \text{ mV}$

$$\begin{aligned} V_G|_{N1,2,3,4} &> \sqrt{\frac{250}{(274/2) * 30/0.18}} + 0.51 + 0.146 \\ &> 0.73 \text{ V} \end{aligned}$$

3. voir eq 2.4.1

B.6.3 Seuil interne

Résolution de KCL du comparateur à QV (figure 5.3.1)

de KCL à l'équilibre, $I_D|_{Q1} = \frac{\mu C_{ox}}{2} \frac{W_{Q1,2}}{L} (V_{GS}|_{Q1,2} - V_{thP})^2 (1 + \lambda(V_{DD} - V_{out})) = I_D|_{Q2} = \frac{\mu C_{ox}}{2} \frac{W_{Q1,2}}{L} (V_{GS}|_{Q1,2} - V_{thP})^2 (1 - \lambda V_{GS}|_{Q1,2})$, soit $V_G|_{Q1,2} = V_D|_{Q1} = V_{out}$, soit

$$\begin{aligned} I_D|_{Q3} &= \frac{\mu C_{ox}}{2} \frac{W_{Q3}}{L} (V_a + LSB - V_{DS}|_{Qb} - V_{thN})^2 (1 + \lambda(V_{out} - V_{DS}|_{Qb})) \\ &= I_D|_{Q4} = \frac{\mu C_{ox}}{2} \frac{W_{Q4}}{L} (V_a - V_{DS}|_{Qb} - V_{thN})^2 (1 + \lambda(V_{out} - V_{DS}|_{Qb})) \end{aligned}$$

Soit, avec $V_a - V_{DS}|_{Qb} = V_{GS4}$, $W_{Q3} = W_{Qdiff} - \Delta W$ et $W_{Q4} = W_{Qdiff} + \Delta W$,

$$(W_{Qdiff} - \Delta W)(V_a + LSB - V_{DS}|_{Qb} - V_{thN})^2 = (W_{Qdiff} + \Delta W)(V_a - V_{DS}|_{Qb} - V_{thN})^2$$

$$W_{Qdiff} \cdot LSB(LSB + 2 \cdot V_{GS4} - 2V_{thN}) = \Delta W(2 * (V_{GS4} - V_{thN})^2 + LSB(LSB + 2V_{GS4} - 2 \cdot V_{thN}))$$

B.7 Circuits internes de l'ASIC BuBIC1

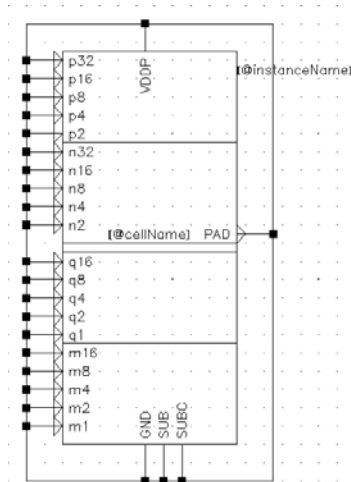
B.7.1 Entrées sorties

Les cellules internes de l'IOPAD utilisé pour l'entrée sortie des signaux numériques de l'ASIC sont présentées dans cette section.

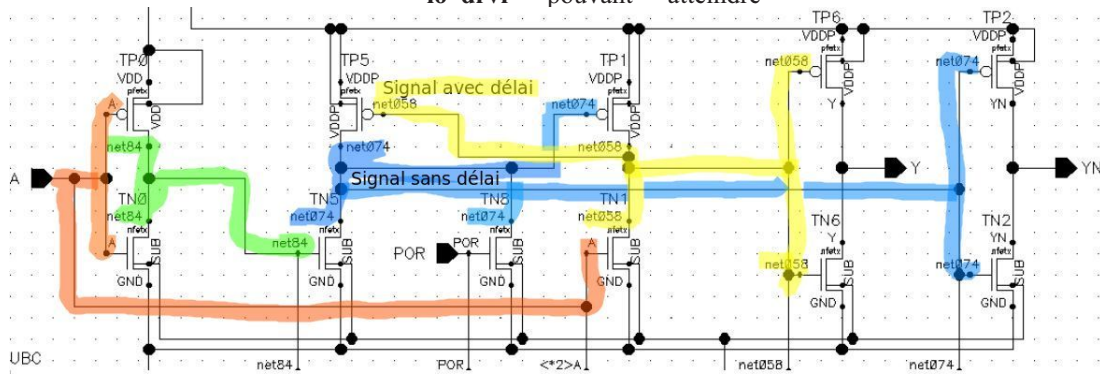
Les signaux **gp0** et **gn0** issu des cellules **io_predrv_1V8** sont câblés au nombre de transistors adaptés de la cellule **io_drvr_1V8** en câblant les grilles des transistors non utilisés à V_{DD} pour les PMOS et à **gnd** pour les NMOS. Dans le cas de la cellule IOPAD 20 mA, les plus gros transistors sont inutilisés et donc les entrées **m8**, **n16** sont à GND et **q8**, **p16** sont à V_{DD} . Dans le cas de la 40 mA, elles sont câblées au signaux **gn0** et **gp0** respectivement.

La figure B.1c présente les instances de transistors de l'inverseur **io_drvr_1V8** avec leurs grilles reliées aux différents terminaux de la cellule. Les différentes instances doublent ainsi leurs largeurs pour chaque indice de terminal doublé (le PMOS avec la grille à **q4** est 2 fois plus large que celui à **q2** et le NMOS avec sa grille à **m4** est 2 fois plus large que celui à **m2**, etc.). La conception de ces cellules étant optimisée pour un fonctionnement robuste, cette topologie a pour finalité d'assurer une protection des composants intégrés aux interfaces externes tout en étant utilisables pour toutes applications d'usage général. On remarquera que la somme des courants annotés sur la cellule de base ne donne pas 40 mA mais 52.8 mA.

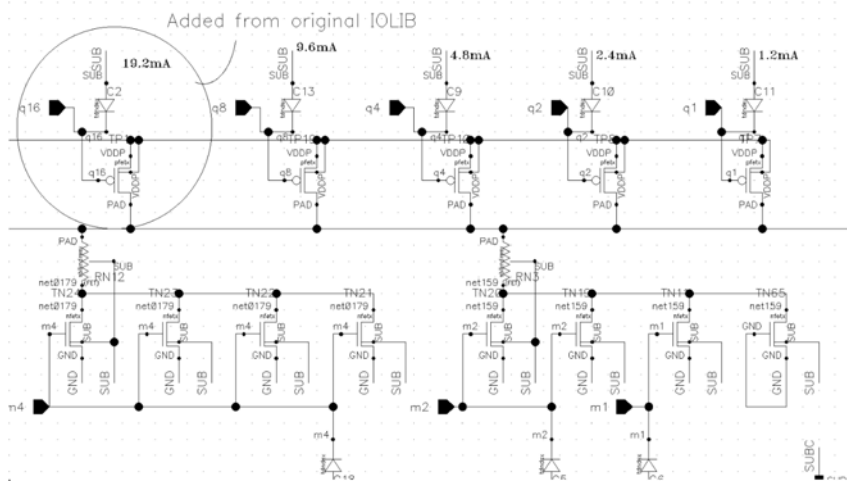
Il est cependant intéressant de simuler les IOPADs en modifiant la cellule **io_drvr_1V8** du driver en rajoutant une instance de NMOS et de PMOS doublant la largeur totale de l'inverseur équivalent et analyser le gain de temps de montée du signal en sortie du PAD pour une charge typique. Des transistors ont été ainsi rajoutés à l'inverseur de sortie de la figure B.1c. Il s'agit de voir s'il est possible d'atteindre de meilleures performances fréquentielles en rajoutant des transistors avec la même topologie pour augmenter la sortance du PAD ou si la cellule est déjà aux limites technologiques.



(a) Vue symbole de la cellule io_drvr pouvant atteindre



(b) Cellule de génération du signal complémentaire. Les courbes des signaux correspondants sont sur la figure 8.2.3a



(c) Cellule de driver de PAD de sortie avec différentes instances de transistors

Fig. B.1 – Schema des cellules IOPADs de la librairie

Il a donc été rajouté un transistor PMOS de $W = 96 \mu m$ et la patte **q16** de sa grille associé comme sur la figure B.1c. De même un PMOS de $W = 192 \mu m$ avec sa grille **p32**, 32 NMOS de $2.4 \mu m$ à **n32** et 16 NMOS à **m16**, ce qui porte le total de courant à 110 mA.

Pour suivre la même logique l'IOPAD utilisant tous ces transistors elle est appelée IOPAD_80_HS. Ainsi, le câblage des grilles de la cellule **io_drv** pour les différents IOPAD_XX est décrit dans le tableau B.5.

IOPAD_XX (HS)	nœuds n(2x)& m(x) x=1,2,4	nœuds n16& m8	nœuds n32& m16	nœuds p(2x)& q(x) x=1,2,4	nœuds p16& q8	nœuds p32& q16
20	gn0	gnd!	gnd!	gp0	vdd!	vdd!
40	gn0	gn0	gnd!	gp0	gp0	vdd!
80	gn0	gn0	gn0	gp0	gp0	gp0

Tab. B.5 – Nœuds de câblage des entrées de la cellule **io_drv** pour les différents IOPADs

Simulations

La figure 8.2.3a présente les signaux intermédiaires de la cellule **io_lvl** du PAD de la figure B.1b en réponse au signal de sortie d'un latch. Ce circuit ayant pour rôle d'extraire le signal complémentaire de son entrée **A** grâce à un inverseur. La sortie de cet inverseur **net84** est donc appliquée sur la grille d'un NMOS **TN5** en CS dont sa propre sortie **net74** est complémentaire avec le signal du nœud **net58** lui-même étant la sortie du **TN1** en CS.

Ces 2 nœuds de sortie des transistors en CS sont rebouclés positivement par les PMOS **TP5** et **TP1** en CS respectivement. Ce montage permet d'obtenir des signaux complémentaires en phase en sortie de la cellule afin de commander les grilles respectives des transistors NMOS et PMOS de l'inverseur de sortie **io_drvr_1V8**.

Il est à noter cependant que le signal complémentaire n'est pas parfaitement en phase. Ce qui se traduit par un délai de $219 ps$ entre le signal du nœud **net58** et **net84** sur front montant alors que le signal complémentaire au nœud **net74** ne subit pas ce délai au front descendant. Quand ces fronts s'inversent, i.e. que le signal d'entrée est sur un front montant, c'est le signal du nœud **net74** qui est en retard par rapport au nœud **net84**. Cette asymétrie est due au fait que le dimensionnement des PMOS et des NMOS fait qu'ils n'ont pas la même transconductance g_m à $V_{GS}|_N = V_{SG}|_P = V_{DD}/2$ et $V_{DS}|_N = -V_{DS}|_P$ comme vu avec la relation 2.3.2 sur les couples de transistors **TP0& TN0**, **TP1& TN1** et **TP5& TN5** du schéma B.1b.

B.7.2 Extraction d'un signal à 1 GHz à partir de 2 signaux à 500 MHz déphasés de $\Pi/2$

La limitation fréquentielle pratique des PADs a imposé de démultiplexer les signaux de sortie de façon synchrone. Il est donc important d'extraire le signal d'horloge dont les fronts sont synchrones avec les signaux de sortie de l'ASIC.

En supposant que cet ASIC soit testé avec un instrument de mesure de type analyseur logique pouvant réaliser les fonctions logiques de OU exclusif et de multiplexage, il serait possible de contourner les limites fréquentielles pour extraire les signaux d'horloge et de sortie de l'ASIC.

Pour extraire l'horloge clk_{f_1} de fréquence f_1 , un signal clk_{f_2} de fréquence $f_2 = f_1/2$ est généré grâce à une FlipFlop D dont le signal de copie est le signal de sa sortie complémentaire rebouclée comme sur la figure B.2.

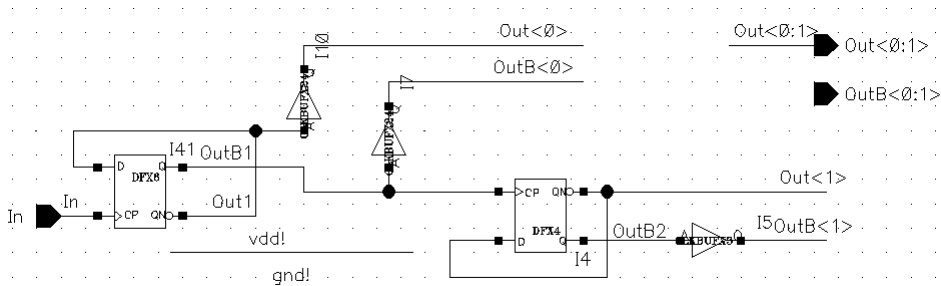


Fig. B.2 – Diviseur de fréquence d’horloge par 2 et par 4

Il faut alors générer un signal $clk_{f_2}|_{skew}$ qui déphasé de $\Pi/2$ par rapport à clk_{f_2} grâce à une FlipFlop D dont le signal de copie est le signal d’horloge d’origine. Les 2 signaux clk_{f_2} et $clk_{f_2}|_{skew}$ sont alors sortis de l’ASIC grâce à une cellule IOPAD 40 mA.

Pour reconstituer le signal d’horloge clk_{f_1} à l’extérieur de l’ASIC à partir des signaux clk_{f_2} et $clk_{f_2}|_{skew}$ il suffit de réaliser un ou exclusif sur ces deux signaux. Une architecture de logique pass gate complémentaire à rebouclage positif a été choisie pour réaliser cette fonction.

Sur la figure B.3, le signal clk_{f_1} est le signal $clk1G$ dont $f_1 = 1\text{ GHz}$. Le signal clk_{f_2} est le signal $clk500M$ à $f_2 = 500\text{ MHz}$, enfin le signal à $f_2 = 500\text{ MHz}$ déphasé de $\Pi/2$ est nommé $clk500M_SKEWED$. Il est sorti de l’ASIC avec son signal déphasé en sortie de l’IOPAD sur les signaux $Clk_SkewPAD<0:1>$ chacun chargé d’une capacité dont la valeur est paramétrée par la variable $Cload_Wire$.

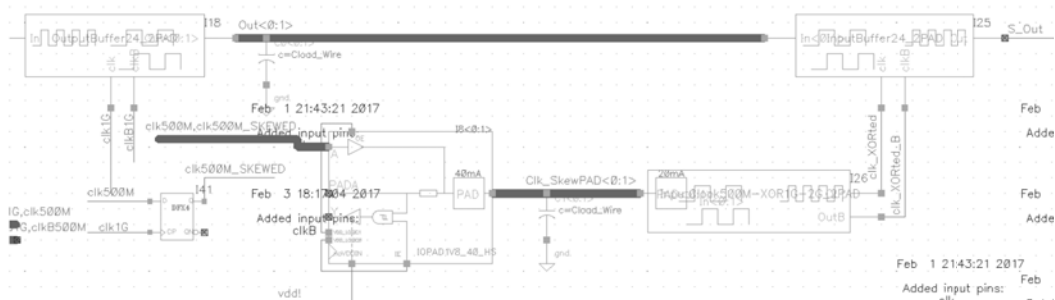


Fig. B.3 – Schéma de principe et de test de reconstitution d’un signal démultiplexé à partir du signal d’horloge reconstitué à 1 GHz

L’instance **I26** comprenant deux IOPADs câblés en entrées et une porte XOR en Pass gates complémentaires est chargée de remettre en forme un signal à 1 GHz visible sur le chronogramme en jaune de la dernière ligne de la figure B.4. Ce signal est alors utilisé pour multiplexer les signaux **Out<0>** et **Out<1>** visibles sur les lignes 2 et 3 du chronogramme. Le résultat de l’opération de multiplexage est visible sur la ligne 4 sur le signal en rouge **S_Out**.

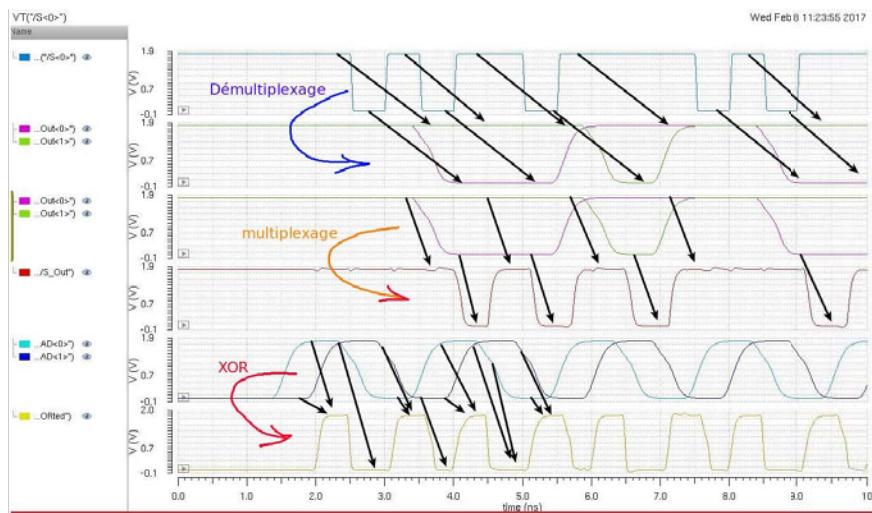


Fig. B.4 – Courbes chronogrammes des signaux en entrées / sortie des PADS avec les fonctions de multiplexage et de logique OU exclusif (XOR)

Annexe C

Détails des démarches de simulation

C.1 Caractérisation de la techno pour différents ratio de W_N/W_P du TIQ

Les simulations de caractérisation de la section B.1 est réalisé avec les expressions suivantes.

C.1.1 Extraction du gamma

nom (sur les courbes)	expression ocean
gamman	$((v_{thn} - v_{t0n}) / (\phi_{vbs} - \sqrt{\phi_{2fermi}}))$
gamman_2.43raz	$((g_{mbn} * 2 * \sqrt{\text{abs}((2 * \phi_{ib}) + \text{pv}("tn7" "vbs" ?result "dcopinfo"))})) / g_{mn})$
gmbn	$\text{pv}("tn7" "gmb" ?result "dcopinfo")$
gmbp	$\text{pv}("tp0" "gmb" ?result "dcopinfo")$
gamman_2.43raz	$((g_{mbn} * 2 * \sqrt{\text{abs}((2 * \phi_{ib}) + \text{pv}("tn7" "vbs" ?result "dcopinfo"))})) / g_{mn})$
gammap_2.43raz	$((g_{mbp} * 2 * \sqrt{\text{abs}((2 * \phi_{ib}) + \text{pv}("tp0" "vbs" ?result "dcopinfo"))})) / g_{mp})$
phi_2fermi	$\text{pv}("top-level" "sbdphib" ?result "designparamvals")$
phib	$\phi_{2fermi} / 2$
vthn	$\text{pv}("tn7" "vth" ?result "dcopinfo")$
vthp	$\text{pv}("tp0" "vth" ?result "dcopinfo")$
vt0n	$\text{pv}("tn7" "vto" ?result "dcopinfo")$
vt0p	$\text{pv}("tp0" "vto" ?result "dcopinfo")$
phi_vbs	$\sqrt{\text{abs}((\phi_{2fermi} - \text{pv}("tn7" "vbs" ?result "dcopinfo")))}$ $\sqrt{\text{abs}((\phi_{2fermi} - v_{dc}("/sub !")))}$
uo_n	$\text{pv}("top-level" "uo_n" ?result "designparamvals")$
uo_p	$\text{pv}("top-level" "uo_p" ?result "designparamvals")$

Tab. C.1 – Paramètres d'extraction du facteur de corps γ à partir de l'équation de g_{mb} [37, eq 2.43],

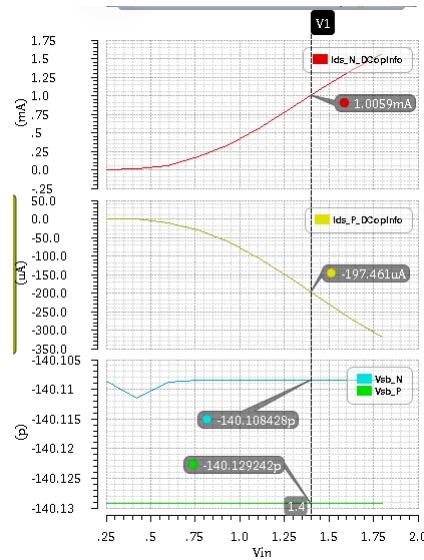


Fig. C.1 – Validation des conditions de polarisation du NMOS et du PMOS pour extraction du facteur de pente de la figure B.3

C.1.2 Extraction du facteur de pente n en figure B.3

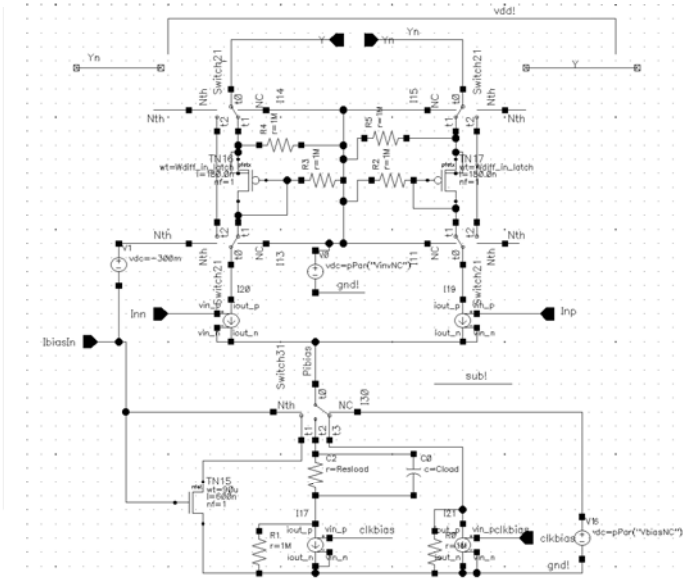
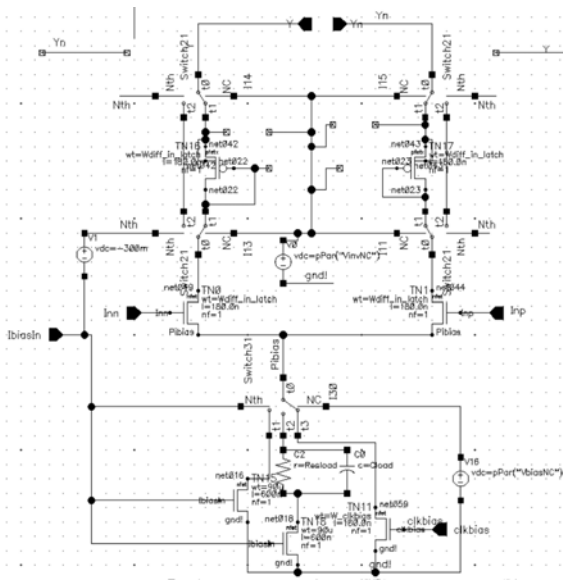
C.2 Étude des comparateurs latchés

C.2.1 Structures et banc de tests au niveau de la paire différentielle

En partant de la figure 4.4.1, la paire différentielle déclenchant le basculement du latch s'est vue insérer plusieurs éléments ayant pour but de réduire la consommation. La figure C.1a présente la cellule **I25** du schéma 4.5.2. Ainsi, la source de courant statique matérialisée par le transistor **TN15** (non dégénéré) reproduit la configuration classique de la figure 4.4.1, elle est active pour $V_{biasNC} < 570 \text{ mV}$. Une version avec une source de courant dégénérée par une charge RC (active à $570 \text{ mV} < V_{biasNC} < 1.1 \text{ V}$) avec le transistor **TN18**. La source de courant dynamique active à $1.1 \text{ V} < V_{biasNC}$ est matérialisée par le transistor **TN11** dont la largeur est définie par le paramètre $W_{clkbias}$. La charge de dégénération de la source de courant statique est paramétrée par le couple Res_{load} et C_{load} . L'idée de cette dégénération RC est de limiter le courant en statique par une résistance et de permettre un courant de circuler en parallèle juste après la commutation de la source de courant dynamique avec la variation de tension ($i_C = C \cdot dU_C/dt$).

Enfin, des diodes séries insérées entre le drain de chaque transistor de la paire différentielle et les nœuds de sortie **Y** et **Yn** respectivement. Ces diodes sont matérialisés par des transistors PMOS avec la prise caisson à leurs sources. Elles permettent de couper le courant dans la branche de la paire différentielle ayant le plus de courant à l'équilibre à partir d'un certain seuil, ce qui permet le basculement complet de l'étage aux niveaux logiques. L'aiguillage du courant dans ces diodes dans le banc de test est assuré par le paramètre V_{invNC} . La sortie de la paire différentielle est donc aiguillée sur les diodes pour $V_{invNC} < 270 \text{ mV}$ et directement sur l'entrée du latch pour $V_{invNC} > 270 \text{ mV}$.

La figure C.2 montre l'exemple de l'aiguillage sur les diodes séries et la source de courant statiques avec ses charges dégénérés. Les tensions aux différents nœuds sont annotés, le paramètre $V_{biasNC} = 700 \text{ mV}$ est bien compris dans la plage correspondante $570 \text{ mV} < V_{biasNC} < 1.1 \text{ V}$ ainsi que le



(a) Différentes structures de la paire différentielle avec les transistors de la technologie

(b) Modèle comportemental avec des transistors idéaux

Fig. C.1 – Implémentations des différentes structures au niveau de la paire différentielle d'entrée avec des transistors de la CMOS 180 nm et des vccs-MOS idéaux présentés en section B.1.6

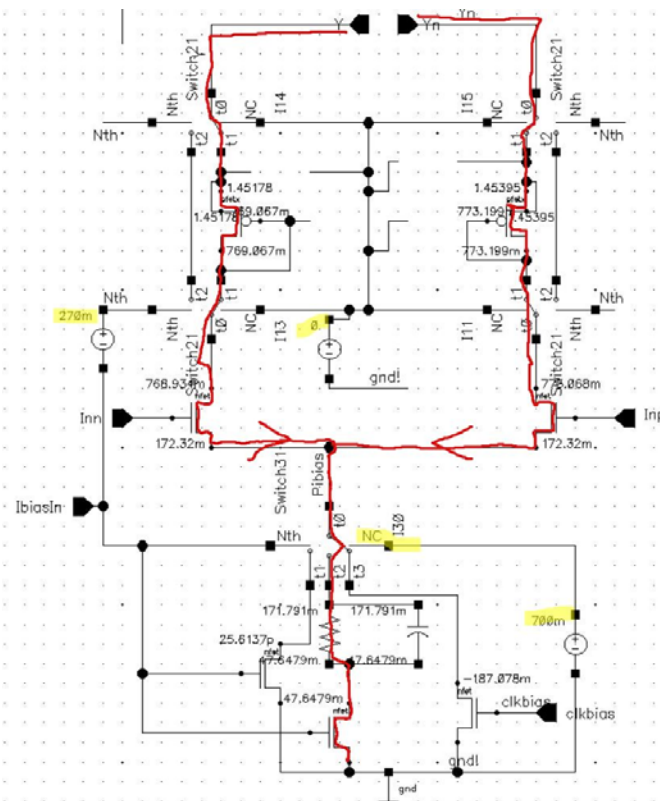


Fig. C.2 – Schéma de la paire différentielle avec ses différentes améliorations

paramètre $V_{invNC} < 270\text{ mV}$. Il sont surlignés en jaune sur la figure. Le nœud I_{biasIn} n'est pas noté, il est à 570 mV .

Étant donné la complexité du fonctionnement de chacune de ces structures, un modèle comportemental a été porté en implémentant les **vccs**¹-MOS idéaux présentés en section B.1.6 pour la paire différentielle (voir figure C.1b). Il permet ainsi de chercher le meilleur dimensionnement des transistors pour assurer la fonctionnalité à différentes fréquences sans prendre en compte les effet des capacités internes qui compromettent le fonctionnement aux hautes fréquences.

Il convient de générer une matrice de paramètres afin de tester toutes ces solutions en aiguillant tour à tour les composants avec la variation des paramètres adaptés correspondants selon un vecteur. Le traitement d'un jeu de paramètres en un vecteur comme sur le tableau C.2 se fait naturellement sur différents environnements comme matlab ou n'importe quel logiciel de tableurs.

	maître du miroir de courant statique		maître du miroir de courant statique et charges dégénérés RC				maître du miroir de courant dynamique sans dégénération	
$R_{load} (\Omega)$	1M	1M	3k	3k	500	500	1M	1M
$C_{load} (F)$	1f	1f	10p	10p	500f	500f	1f	1f
$V_{biasNC} (V)$	400m	400m	700m	700m	700m	700m	1.1	1.1
$V_{invNC} (V)$	1	0	1	0	1	0	1	0

Tab. C.2 – Tableur de jeu de paramètres

Dans l'environnement cadence, il faut mettre les valeurs de chaque vecteur paramétrique dans une liste avec le même nombre de valeurs pour chaque paramètre. Pour faire calculer les différents points de simulation selon un seul vecteur, il faut ensuite les sélectionner et les regrouper dans un **parametric set** avec un clic droit.

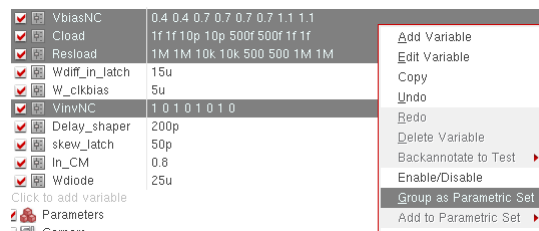


Fig. C.3 – Regroupage de paramètres avec un parametric set

Cette complexité sur le schéma pour tester différentes configurations peut être évité avec les dernières versions d'outil virtuoso comme décrit en annexe C.2.1 grâce aux vues config.

Simulation paramétrique sur différentes vues d'une cellule

Les dernières versions d'outil permettent de lancer une simulation selon différentes vues d'une cellule. Elles peuvent être schématiques, extracted, veriloga, etc.

La procédure consiste à ajouter une variable de **"config sweep"** depuis l'onglet **"data view"** de **"ADE XL©"** ou **"verifier assembler©"**.

1. voir définition12

Add/Edit Config Sweep [X]

Library Name: Two_Stage_Opamp [v]

Cell Name: OpAmp [v]

View Name List: [] **Select**

[OK] [Cancel] [Help]

Data View [?] [] [X]

+ [] [] Tests	
+ [] [] Global Variables	
+ [] [] cload	2f
+ [] [] rload	1K
+ [] [] CONFIG/Two_Stage_Opamp/OpAmp	schematic schematic_V2 schematic_v3
+ [] [] CONFIG/Two_Stage_Opamp/opamp_dc_feedback	schematic schematic2
Click to add variable	
+ [] [] Parameters	
+ [] [] Corners	
+ [] [] Documents	
+ [] [] Setup States	
+ [] [] Reliability Analyses	
+ [] [] Checks/Asserts	

Annexe D

Conception Back-end

Cette annexe à pour but de donner un aperçu exhaustif de la méthodologie utilisées avec les outils du flow cadence (**encounter/genus/innovus** pour le numérique et **virtuoso** pour l'analogique) pour les différentes phases de conception au niveau Back-end.

D.1 Conventions de couches du Back-end

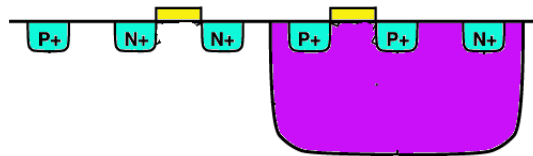


Fig. D.1 – NMOS et PMOS cross sections convention

- **M1, M2, M3, M4, MT et AM**: pour les couches de métallisation de 1 à 6. M1 étant la couche juste au dessus du polysilicium de grille des transistors et AM étant la plus haute
- **PC PC**: PolisiliCium de grille en **jaune** ou en **rouge**
- **RX**: Prises de dopage des sources et drains N+ pour les transistors NMOS ou P+ pour les PMOS ou de dopage des prises bulks (guard rings) N+ pour les NWell et P+ pour le substrat partagé du die, elle est toujours **bleu ciel** (voir figure D.1)
- **NW**: Prises N Well (caissons) des PMOS, elle est toujours en **violet**

Il y a d'autres couches pour la conception mais elles ne sont pas mentionnées ici. Selon, les figures, ces couches changent de couleur pour les rendre visibles en particulier le poli-silicium qui est tantôt **jaune** (peu visible sur fond blanc) tantôt **rouge** en fonction de la représentation du métal 1 en **rouge** et parfois **bleu**.

Le lecteur est invité à se référer aux acronymes listés ici, les couleurs employées étant explicitement décrites pour chaque figure.

D.2 Prises caisson des PMOS

Les transistors PMOS en CD ont leur prise bulk reliée à leurs sources respectives. La figure 9.1.1b présente un demi transistor en CD avec son guard ring de prise bulk N+ du Nwell en **bleu** sur **violet** avec des vias de contact (vert) et le metal 1 à gauche et à droite. Ce transistor est généré à partir d'un

paramètre CDF du composant instancié en schéma. Chacun de ces demi transistors PMOS en CD ont 4 doigts de $11 \mu\text{m}$ portant à $88 \mu\text{m}$ la largeur équivalente du transistor complet. Une portion du guard ring P+ de prise substrat partagé est visible en haut et à droite en **bleu** sur blanc.

La figure 9.1.1a montre les contacts en métal M1 entre les sources et les prises bulk respectifs à gauche et à droite de chaque demi transistor. On notera que l'espacement entre chaque demi transistor est de $1.28 \mu\text{m}$ pour respecter une règle de dessin exigeant un espacement minimum entre 2 caissons Nwell tel qu'illustré sur la vue en coupe sur la figure D.1. Ainsi, il n'est pas possible d'abuter ces transistors comme leurs sources de courant.

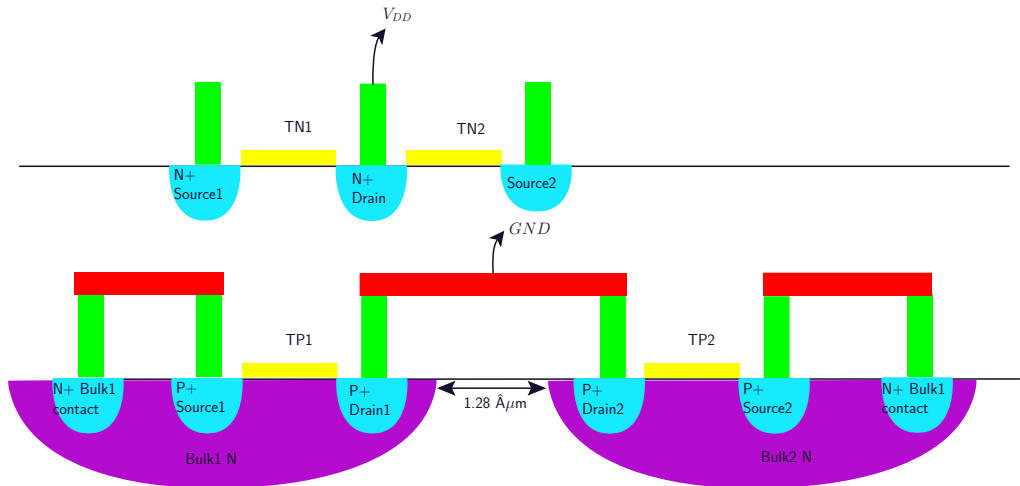


Fig. D.1 – Vue en coupe de Fusion de Drain ("Abutage") de transistors NMOS et isolation de caissons N de PMOS

D.3 Procédures de conception assistée et automatisée sur le Flow numérique

D.3.1 Génération du PAD ring

Comme vu en section D.4.2, le padding a été généré grâce à une procédure automatique en employant un script **tcl**. Ce langage rentre dans la catégorie des langage interprété dits de shell. Le shell, c'est la première interaction homme/machine entre utilisateur et systèmes respectant la norme POSIX comme le kernel linux.

Le **tcl** est donc un standard industriel respectant cette norme qui est étendu au niveau de chacun des différents éditeurs de progiciel de la CAD. Cette norme permettant à ces derniers de pouvoir faire interagir leurs outils avec les PDKs des fondeurs. Les concepteurs de circuits VLSI mêmes full custom pouvant gagner en productivité en invoquant les outils adaptés selon leur besoins d'automatiser une partie de la conception notamment lors de la phase de back-end.

Le flow numérique **encounter/genus/innovus** de la société cadence ne faisant pas exception avec le PDK de la techno CMOS 180 nm, le détail de la procédure de génération du padding dans ce flow est détaillée ci-dessous.

SAV : Alexandre Soulier (alexandre.soulier@clermont.in2p3.fr)

D.3.1.1 Netlist verilog générée et corrigée

C'est ce qui est généré à partir du schéma de la figure D.1 grâce à l'outil NC-verilog.

```

1 // Library - BuBIC1, Cell - padding, View - schematic
2 // LAST TIME SAVED: May 4 13:57:12 2017
3 // NETLIST TIME: May 4 14:06:22 2017
4 *timescale 1ns / 1ps
5
6 module padding ( \gnd! , \vdd! , \vdda! , \gnda! , clk500M_SKEWED_pad, clk500M_pad ,
7   Ibias_master_latch_PAD, out_pad[2], out_pad[3], out_pad[4],
8   out_pad[5], out_pad[6], out_pad[7], out_pad[8], out_pad[9],
9   out_pad[10], out_pad[11], out_pad[12], out_pad[13], out_pad[14],
10  out_pad[15], out_pad[16], out_pad[17], out_pad[18], out_pad[19],
11  out_pad[20], out_pad[21], out_pad[22], out_pad[23], out_pad[24],
12  out_pad[25], out_pad[26], out_pad[27], out_pad[28], out_pad[29],
13  out_pad[30], out_pad[31], out_pad[32], out_pad[33], out_pad[34],
14  out_pad[35], out_pad[36], out_pad[37], out_pad[38], out_pad[39],
15  out_pad[40], out_pad[41], out_pad[42], out_pad[43], out_pad[44],
16  out_pad[45], out_pad[46], out_pad[47], out_pad[48], out_pad[49],
17  out_pad[50], out_pad[51], out_pad[52], out_pad[53], out_pad[54],
18  out_pad[55], out_pad[56], out_pad[57], out_pad[58], out_pad[59],
19  out_pad[60], out_pad[61], out_pad[62], out_pad[63], out_pad[64],
20  out_pad[65], out_pad[66], out_pad[67], out_pad[68], out_pad[69],
21  out_pad[70], out_pad[71], IbiasN_PAD, IbiasP_PAD, VinnPAD,
22  VinnPAD, clk1Gin_Skew_PAD[0], clk1Gin_Skew_PAD[1],
23  clk2Gdirect_In_PAD );
24
25 output clk500M_SKEWED_pad, clk500M_pad;
26
27 inout \gnd! , \vdd! , \vdda! , \gnda! ,Ibias_master_latch_PAD;
28
29 input IbiasN_PAD, IbiasP_PAD, VinnPAD, VinnPAD, clk2Gdirect_In_PAD;
30
31 inout [2:71] out_pad;
32
33 input [0:1] clk1Gin_Skew_PAD;
34
35
36 specify
37   specparam CDS_LIBNAME = "BuB1C1";
38   specparam CDS_CELLNAME = "padding";
39   specparam CDS_VIEWNAME = "schematic";
40 endspecify
41
42 PWRCUT_DX I19 ;
43 PWRCUT_DX I20 ;
44 APRI01V8_200 I100 ( .Z(net0650) , .PAD(Ibias_master_latch_PAD));
45 APRI01V8_200 I133 ( .Z(net0647) , .PAD(IbiasP_PAD));
46 APRI01V8_200 I132 ( .Z(net0558) , .PAD(IbiasN_PAD));
47 VDDPADIV8ALL I93 ( .PAD(\vdd! ));
48 VDDPADIV8ALL I92 ( .PAD(\vdd! ));
49 VDDPADIV8ALL I91 ( .PAD(\vdd! ));
50 VDDPADIV8ALL I90 ( .PAD(\vdd! ));
51 VDDPADIV8ALL I21 ( .PAD(\vdd! ));
52 VDDPADIV8ALL I27 ( .PAD(\vdda! ));
53 APRI01V8_00_HC I17 ( .Z(net0675) , .PAD(clk2Gdirect_In_PAD));
54 APRI01V8_00_HC I17 ( .Z(net0160) , .PAD(clk1Gin_Skew_PAD[1]));
55 APRI01V8_00_HC I15 ( .PAD(VinnPAD) , .Z(net0660));
56 APRI01V8_00_HC I26 ( .PAD(VinnPAD) , .Z(net0566));
57 APRI01V8_00_HC I199 ( .Z(net0161) , .PAD(clk1Gin_Skew_PAD[0]));
58 GNDPADIV8ALL I98 ( .PAD(\gnd! ));
59 GNDPADIV8ALL I97 ( .PAD(\gnd! ));
60 GNDPADIV8ALL I96 ( .PAD(\gnd! ));
61 GNDPADIV8ALL I95 ( .PAD(\gnd! ));
62 GNDPADIV8ALL I94 ( .PAD(\gnd! ));
63 GNDPADIV8ALL I22 ( .PAD(\gnd! ));
64 GNDPADIV8ALL I25 ( .PAD(\gnda! ));
65 IOPADIV8_40_HS I14 ( .OE(net017) , .noVDDIN(net0382) , .A(net0524) ,
66   .PAD(clk500M_SKEWED_pad) , .IE(net016) , .Y(net0383) ,
67   .PADA(net0384) , .VDD_LOGIC1(net017) , .VDD_LOGIC0(net016));
68 IOPADIV8_40_HS I13 ( .OE(net019) , .noVDDIN(net047) , .A(net0654) ,
69   .PAD(clk500M_pad) , .IE(net018) , .Y(net050) , .PADA(net038) ,
70   .VDD_LOGIC1(net019) , .VDD_LOGIC0(net018));

```

D.3.1.2 Fichier de placement des cellules pour le PAD ring

Le code ci dessous permet de définir le placement des IOPADs sur le PAD ring en automatisant le procédé.

```

1 #####
2 # Generated by: Cadence Encounter 10.12-s181_1
3 # OS: Linux x86_64(Host ID clrmecad01.in2p3.fr)
4 # Generated on: Wed Jan 20 15:58:58 2016
5 # Design: BuBIC1
6 # Command: saveIoFile -locations xtract_richard_v9.io
7 #####
8
9 (globals
10     version = 3
11     io_order = default
12 )
13 (iopad
14 #####
15     (topright
16         (inst name="corner4" cell="CORNER" )
17     )
18     (top
19         (inst name="I46" space=0 cell="IOPAD1V8_40_HS" place_status=placed )
20         (inst name="I47" cell="IOPAD1V8_40_HS" place_status=placed )
21         (inst name="I48" cell="IOPAD1V8_40_HS" place_status=placed )
22         (inst name="I49" cell="IOPAD1V8_40_HS" place_status=placed )
23         (inst name="I50" cell="IOPAD1V8_40_HS" place_status=placed )
24         (inst name="I51" cell="IOPAD1V8_40_HS" place_status=placed )
25         (inst name="I52" cell="IOPAD1V8_40_HS" place_status=placed )
26         (inst name="I53" cell="IOPAD1V8_40_HS" place_status=placed )
27         (inst name="I54" cell="IOPAD1V8_40_HS" place_status=placed )
28         (inst name="I55" cell="IOPAD1V8_40_HS" place_status=placed )
29         (inst name="I56" cell="IOPAD1V8_40_HS" place_status=placed )
30         (inst name="I57" cell="IOPAD1V8_40_HS" place_status=placed )
31         (inst name="I58" cell="IOPAD1V8_40_HS" place_status=placed )
32         (inst name="I59" cell="IOPAD1V8_40_HS" place_status=placed )
33         (inst name="I22" cell="GNDPAD1V8ALL" place_status=placed )
34         (inst name="I21" cell="VDDPAD1V8ALL" place_status=placed )
35         (inst name="I60" cell="IOPAD1V8_40_HS" place_status=placed )
36         (inst name="I61" cell="IOPAD1V8_40_HS" place_status=placed )
37         (inst name="I62" cell="IOPAD1V8_40_HS" place_status=placed )
38         (inst name="I63" cell="IOPAD1V8_40_HS" place_status=placed )
39         (inst name="I64" cell="IOPAD1V8_40_HS" place_status=placed )
40         (inst name="I65" cell="IOPAD1V8_40_HS" place_status=placed )
41         (inst name="I66" cell="IOPAD1V8_40_HS" place_status=placed )
42         (inst name="I67" cell="IOPAD1V8_40_HS" place_status=placed )
43     )
44 #####
45     (topleft
46         (inst name="corner3" cell="CORNER" )
47     )
48     (left
49         (inst name="I13" space=0 cell="IOPAD1V8_40_HS" place_status=placed )
50         (inst name="I14" cell="IOPAD1V8_40_HS" place_status=placed )
51         (inst name="I15" cell="IOPAD1V8_40_HS" place_status=placed )
52         (inst name="I16" cell="IOPAD1V8_40_HS" place_status=placed )
53         (inst name="I95" cell="GNDPAD1V8ALL" place_status=placed )
54         (inst name="I91" cell="VDDPAD1V8ALL" place_status=placed )
55         (inst name="I23" cell="IOPAD1V8_40_HS" place_status=placed )
56         (inst name="I24" cell="IOPAD1V8_40_HS" place_status=placed )
57         (inst name="I28" cell="IOPAD1V8_40_HS" place_status=placed )
58         (inst name="I29" cell="IOPAD1V8_40_HS" place_status=placed )
59         (inst name="I30" cell="IOPAD1V8_40_HS" place_status=placed )
60         (inst name="I31" cell="IOPAD1V8_40_HS" place_status=placed )
61         (inst name="I34" cell="IOPAD1V8_40_HS" place_status=placed )
62         (inst name="I35" cell="IOPAD1V8_40_HS" place_status=placed )
63         (inst name="I36" cell="IOPAD1V8_40_HS" place_status=placed )
64         (inst name="I37" cell="IOPAD1V8_40_HS" place_status=placed )
65         (inst name="I38" cell="IOPAD1V8_40_HS" place_status=placed )
66         (inst name="I39" cell="IOPAD1V8_40_HS" place_status=placed )
67         (inst name="I40" cell="IOPAD1V8_40_HS" place_status=placed )
68         (inst name="I41" cell="IOPAD1V8_40_HS" place_status=placed )
69     )
70

```

D.3.1.3 Script tcl encounter

Ce code étant confidentiel aux signataires du NDA du fondeur, seules les procédures ouvertes sont présentées à titre éducatif.

```

1  ## Global variables
2  set topcellname "None"
3  set dbdir "DB"
4  set consList {func test}
5
6  set HOME $env(HOME)
7  set AMS_DIR $env(AMS_DIR)
8
9  set checkedLogTillLine 0
10
11 # source du fichier tcl de techno
12 if {[file exists "amsSetup.tcl"]} {
13   source amsSetup.tcl
14 }
15
16 # source du fichier tcl utilisateur
17 if {[file exists $HOME/.encounter_personal.tcl]} {
18   source $HOME/.encounter_personal.tcl
19   print "---# TCL Script $HOME/.encounter_personal.tcl loaded"
20 }
21
22 # commandes utilisateur de la procédure
23 proc amc {start {end -1}} {
24   if {Send == -1} { set end $start }
25   for {set i $start} {$i<=$end} {incr i} {
26     print "---# ---- Step $i ----"
27     set step [format "%d" $i]
28     switch -exact $step {
29
30       "s0" { freeDesign }
31       "s1" { amsDbSetup }
32       "s2" { amsVerify }
33       "s3" { amsSaveDesign }
34
35       "s4" { amsSetMMMC }
36       "s5" { amsSetAnalysisView minmax {func test} }
37       "s6" { amsFloorplan core 0.8 50 }
38       "s7" { amsAddEndCaps }
39       "s9" { amsPowerRoute {{vdd! 20} {gnd! 20} {vsub! 5}} }
40       "s10" { amsPlace ntd }
41       "s11" { amsCts }
42       "s12" { amsTa postCTS }
43       "s13" { optDesign -postCTS }
44       "s14" { amsFillperi }
45       "s15" { amsRoute wroute }
46       "s16" { amsFillcore }
47       "s17" { amsTa postRoute }
48       "s18" { amsWrite final }
49       "s19" { amsWriteSDF4View {func_min func_max} }
50     }
51   }
52   amsCheckLog
53 }

```

D.3.1.4 Script tcl du PDK

Ce code étant confidentiel aux signataires du NDA du fondeur, seules les procédures ouvertes sont présentées à titre éducatif.

```

1  proc amsHelp {} {
2  print "#### Available Functions"
3  print "---# - amsDbSetup..... Setup Database - read Config"
4  print "---# - amsUserGrid..... Sets the grid for the IO-Cells"
5  print "---# - amsGlobalConnect type..... connects global nets: "
6  print "---#                               type = core | both"
7  print "---# - amsAddEndCaps..... place Caps"
8  print "---# - amsSetMMMC ..... set MultiMode"
9  print "---# - amsSetAnalysisView cond constlist.. set Analysis Views"
10 print "---# - amsFillcore ..... places core filler cells"
11 print "---# - amsFillperi ..... places periphery filler cells"
12 print "---# - amsRoute router..... run routing with: "
13 print "---#                               router = nano|wroute|wroute2(using 2CPUs)"
14 print "---# - amsWrite postfix ..... writes GDS, Verilog NL, SPEF, DB"
15 print "---# - amsWritesDF4View viewList..... write SDF for all analysis views in list"
16 print "---# - amsZoomTo x y ..... zooms to coordinates x y"
17 print "#### "
18 }
19 proc amsDbSetup {} {
20 ## Load configuration file
21 loadConfig c35_None.conf 0
22 commitConfig
23 #setCTSMode bottomPreferredLayer 2
24 #setMaxRouteLayer 6
25
26 # chargement du fichier de cellules à placer
27 loadIoFile padring.io
28
29 floorPlan r 1 0.7 4 4 4 4
30
31 #cellules de remplissages de vides (fillers)
32 addIoFiller cell PERI_SPACER_100 PERI_SPACER_50 PERI_SPACER_20 PERI_SPACER_10 PERI_SPACER_5 PERI_SPACER_2 PERI_SPACER_1
33 PERI_SPACER_0p5 PERI_SPACER_0p1 PERI_SPACER_0p05 PERI_SPACER_0p01
34 fit
35 }
36 proc amsSaveDesign {} {
37 createOaLib padring attachTech TECH_C18A6
38 oaOut padring padring layout leafViewNames {layout}
39 }

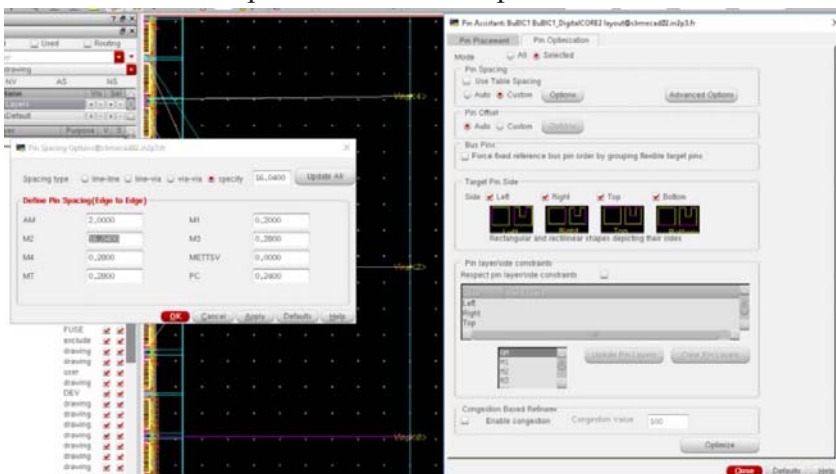
```

D.4 Procédures de conception assistée et automatisée sur le Flow analogique

D.4.1 Placement vectorisé assisté

Le placement des Pins ou des cellules devant toujours être réalisé directement par un être humain il peut être vectorisé grâce à des outils comme le **Pin Placement** ou **modgen**.

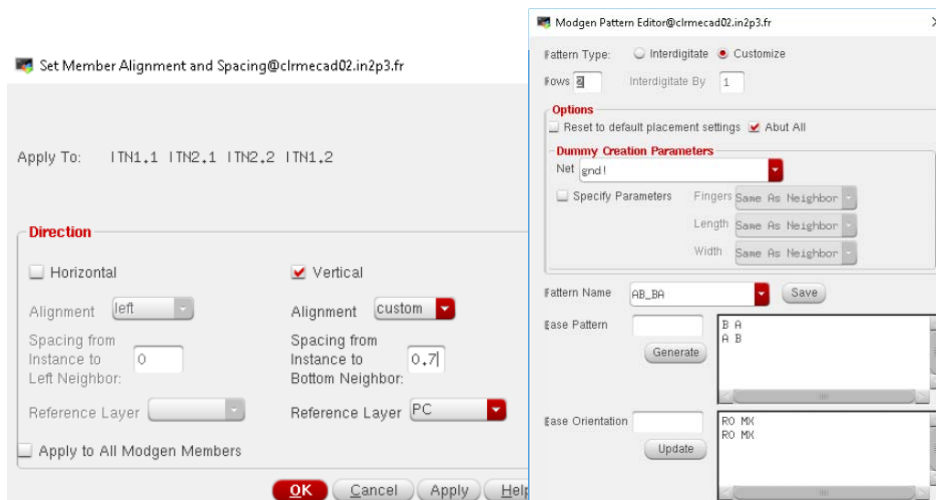
- Les cellules ou les Pins à placer de façon vectorisées doivent être sélectionnées
- Place -> Pin placement -> Pin Optimization -> LMB Custom & Option



- Place -> Analog -> Create /Edit Modgen pour ensuite générer une topologie de type vectorisée et alignée avec un espacement régulier défini par le menu de l'icône suivante

Il est également possible de placer les deux composants selon une topologie de type centroïde commun grâce au menu de l'icône suivante . Très utile pour les transistors en symétrie comme les

paires différentielles, les miroirs de courants, charges actives d'étages différentiels et les suiveurs en CD employés par paires en entrée des preamps.



D.4.2 Procédure de génération du Pading

La procédure est donc la suivante :

- Saisie du schéma **sans vectorisation de cellules ou de net** comme sur la figure D.1
- Exportation de la *netlist* grâce à l'outil *NC-verilog*
- Correction du fichier texte de la *netlist* pour respecter la syntaxe du schéma pour les signaux globaux ”\gnd! ,\vdd! ,\vdda! ,\gnda! ” en début du fichier et pour la déclaration des **IOPADS** et en supprimant les propriétés *inh*.
- Génération du pading sous *Encounter*.

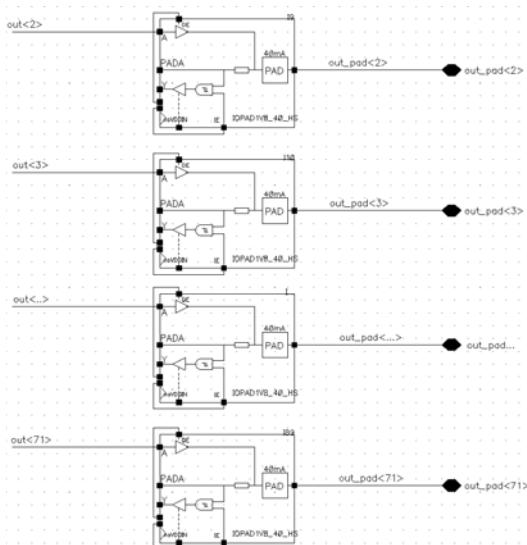


Fig. D.1 – Saisie de schéma pour exportation de netlist en NC-verilog

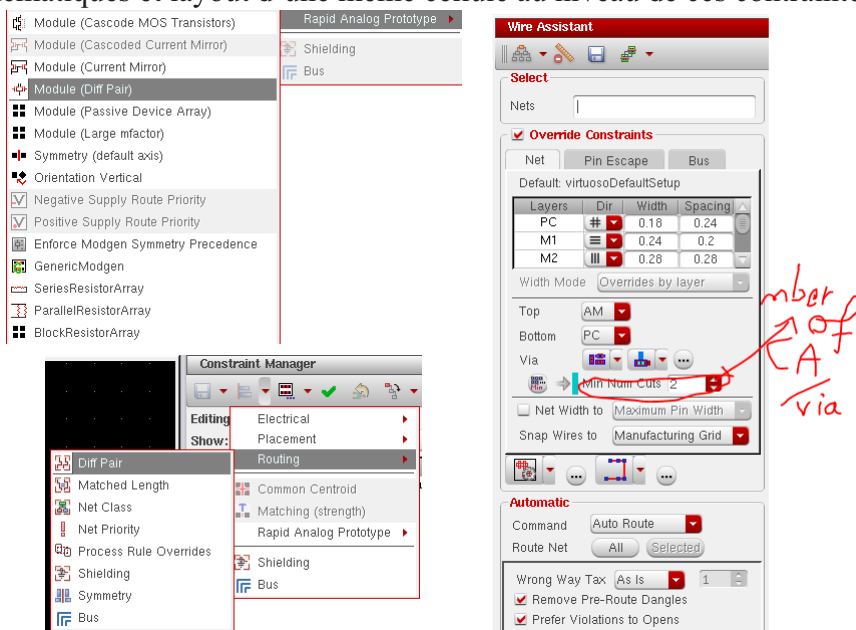
Les scripts invoqués et les fichiers générés sont détaillés dans la section annexe D.3.1.

Par la suite, les sorties des 70 FliFlops des 35 comparateurs latchés sont routés automatiquement sur les entrées des PADs (annexe D.4.3).

D.4.3 Définitions de contraintes et routage automatique

L'avancement de la puissance de calcul des serveurs de CADs qui sont rassemblés en clusters ont permis aux éditeurs de progiciels de CAD de pousser fortement l'assistance de la conception vers une automatisation des tâches rébarbatives en confiant le routage des nets aux machines.

Ainsi, il est possible de définir tous types de contraintes sur les nets comme leurs imposer une même longueur. La conception au niveau du Front-end étant séparée de la conception Back-end dans l'industrie du semi-conducteur, cadence propose un outil permettant de faire le lien entre les vues schématiques et layout d'une même cellule au niveau de ces contraintes.



Il est alors possible de confier le routage de nets à l'autorouteur qui prendra en compte les diverses contraintes définies via l'outil adapté et les règles de routages de l'assistant en veillant bien à définir les couches de routage top et bottom, les largeurs et les espacements.

Annexe E

Définitions et Figures annexes

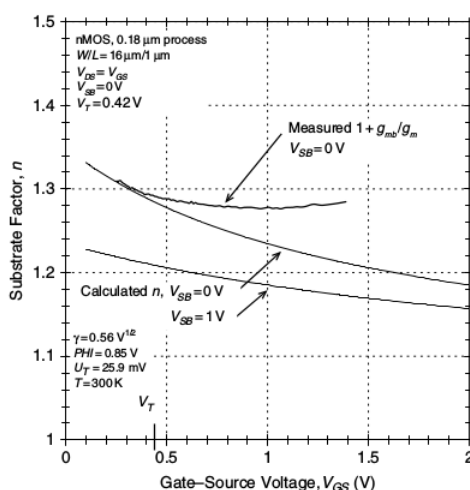


Figure 3.2 Predicted substrate factor, n , versus gate-source voltage with overlay of measured $1 + g_{mb}/g_m$ for nMOS devices in a $0.18\ \mu\text{m}$ CMOS process. The measured $1 + g_{mb}/g_m$ overlay tracks n in weak inversion before leveling off in strong inversion. n decreases by 3% from the onset of weak inversion to the onset of strong inversion and decreases by approximately 6% for a source-body voltage of $V_{SB} = 1\ \text{V}$. n is slightly higher for pMOS devices due to an increase in process γ

Fig. E.1 – Figure 3.2 du [6]

Définition 1. Code thermométrique: Présenté en section 1.1.1, l'ADC flash N bits est constitué de $2^N - 1$ comparateurs chacun chargé de quantifier le signal de 1 LSB. Les signaux de l'ensemble de ces comparateurs est dit le **code thermométrique** de l'ADC. Ils doivent être décodés sur N bits en interne de la puce pour réduire ses interfaces grâce au décodeur qui est présenté au chapitre 6.

Définition 2. Mismatch (Littéralement, dépareillement): Les dispersions aléatoires dues à la gravure des composants (transistors, capacités, résistances) font varier leur caractéristiques de façon individuelles. Même si les circuits intégrés permettent de bien contrôler ces dispersions des caractéristiques, elles restent présentes. Des tirages en montecarlo permettent d'extraire ces variations sur différentes caractéristiques (comme les offsets) des circuits réalisés avec ces composant. On parle alors de mismatch.

Définition 3. Fan-out: sortance d'un étage généralement numérique. Correspond au courant moyen délivré en sortie lors de la phase de basculement en front montant et descendant. En CMOS, un ou plusieurs inverseurs sont insérés entre l'étage qui n'a pas assez de **fan-out** et ses charges afin de la faire basculer en un temps voulu. Par abus de langage, on parle d'insertion de **fan-out** pour ces inverseurs.

Définition 4. Rail to rail: Un circuit analogique est dit rail to rail quand sa dynamique de signal d'entrée va de 0 V à V_{DD} .

Définition 5. Kick-Back-Noise: C'est un effet propre aux circuits analogiques mixtes dû aux injections de charges qui déforment les signaux analogique. Dans le cas des comparateurs latchés, la commutation aux niveaux de tensions logiques ($+V_{DD}$, GND) des nœuds de sortie amplifie le retour de charges aux entrées. Il est étudié sur quelques architectures de comparateurs en section 4.6.

Définition 6. Logique CMOS pull-up pull-down: C'est la logique numérique comme présentés sur la figure E.2. Elle est employée dans tous les circuits numériques conçus par synthèse de code **hdl** par les fab-less et donc 99% des circuits vendus dans le monde. Par opposition à la synthèse, les circuits full custom peuvent employer des familles de logique numérique plus rapides comme décrits dans l'ouvrage des ingénieurs d'IBM [23]. L'intérêt de cette famille de circuit réside dans le fait que une fois commuté, les cellules ont une consommation statique nulle pour peu que les transistors employés soient à **high-Vt** (voir section B.1.3) afin que la tension $V_{GS} \ll V_{th}$ pour les NMOS et inversement pour les PMOS lorsque la sortie est commutée à V_{DD} et GND respectivement. Ceci permet d'assurer qu'aucun courant de fuite ne circule entre drain et source à l'état bloqué.

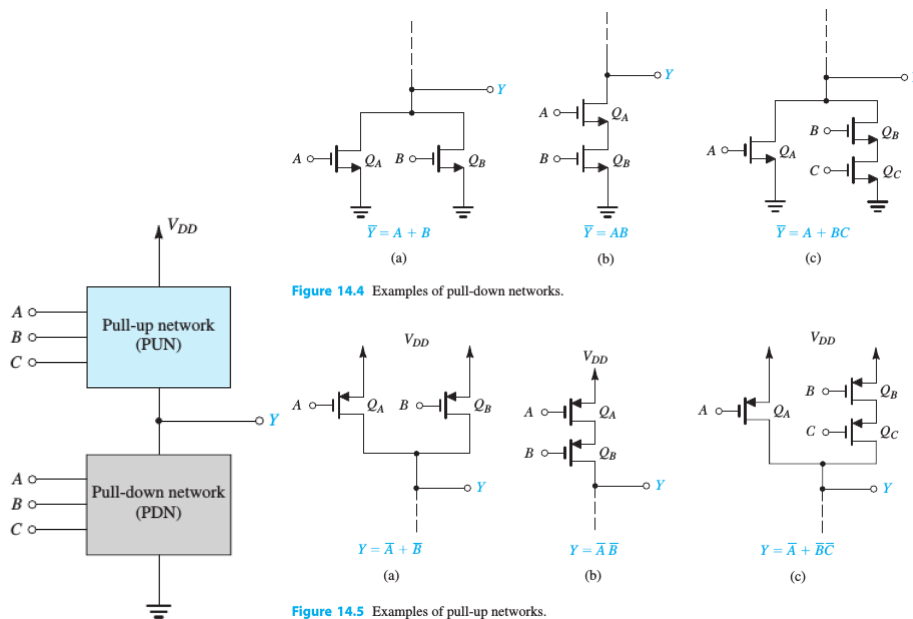


Fig. E.2 – Structure des portes logiques CMOS invoqués par l'outil de synthèse

Définition 7. Quantification: La quantification est le processus qui extrait un signal continu (analogique) ayant une amplitude réelle sur une dynamique donnée pour le quantifier en terme de bits numériques pour une résolution donnée.

Définition 8. Régimes d'inversion des MOS: les transistors MOS en région de fonctionnement saturés ne passent pas directement à l'état bloqué quand leur tension de grille source passe sous la tension de seuil, $|V_{GS}| < |V_{th}|$. Plusieurs régimes existent entre le blocage de tout courant drain source I_{DS} et l'état saturé en inversion forte quand les charges inverses de la grille attirés se cumulent pour inverser le type de porteurs de charges du canal. On parle de régimes d'inversion.

Selon les modèles de transistors, ces régimes ont différentes limites. Le cas du modèle EKV est illustré sur la figure E.3b où 3 régimes sont identifiés. Le modèle EKV étant basé sur le facteur d'inversion IF , l'**inversion faible** est à $IF < 0.1$ et l'**inversion forte** pour $IF > 10$, une **inversion modérée** existe entre ces 2 bornes.

Le modèle level 2 intégrant les effets de canal courts des transistors MOS avec notamment la **saturation de vélocité** des porteurs de charges, le régime d'inversion correspondant est illustré sur la figure E.3a de la transconductance g_m d'un MOS en fonction de sa tension V_{GS} . Les transistors des ampli op rapides se trouvent plus souvent dans ce régime d'inversion car ils sont plus petits (et ont donc des capacités internes plus faibles) que si ils était en inversion faible pour un même g_m . La dérivé de g_m convergeant vers 0 avec $V_{GS} \rightarrow +\infty$, g_m tend vers une transconductance de saturation maximum g_{msat} .

Remarque. Les transistors des ampli op rapides ne sont donc jamais dimensionnés pour être profondément dans ce régime d'inversion car la polarisation de la tension V_{DS} des transistors concernés doit être supérieure à la tension de pincement de canal $V_p = V_{DSsat} = V_{GS} - V_{th}$ au risque de passer en région triode et de voir baisser le gain. Ce qui limite alors d'autant plus la dynamique d'utilisation pour un gain de transconductance minime.

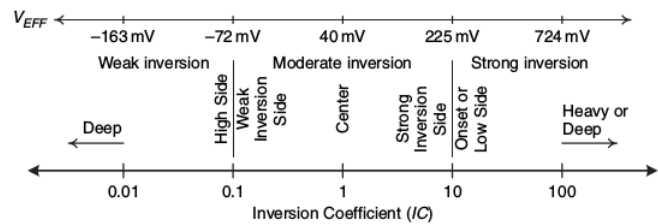
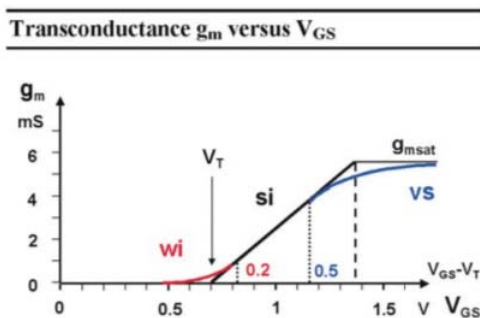


Figure 3.3 The inversion coefficient presented as a number line showing the regions and subregions of MOS inversion with corresponding effective gate-source voltage, $V_{EFF} = V_{GS} - V_T$. The effective gate-source voltage is for room temperature ($T = 300K$) and an average substrate factor of $n = 1.4$. It is higher than values shown for short-channel devices operating in strong inversion due to velocity saturation. Moderate inversion is increasingly important in modern, low-voltage processes because of lower allowable effective gate-source and drain-source saturation voltages

- (a) Transconductance g_m en fonction de V_{GS} issue de [40, p18] avec 3 régimes d'inversion : weak/faible (**wi**), strong/forte (**si**) et saturation de vélocité (**vs**) des porteurs de charge
- (b) Figure 3.3 de Binkley [6] des régimes d'inversion : **wi**, inversion modérée (**mi**) et **si** en fonction du facteur **IF** du modèle EKV de la section B.1.5 en équation B.1.16 & B.1.17 (la tension de pincement de canal V_p de l'équation B.1.5 est notée V_{EFF})

Fig. E.3 – Figures de régimes d'inversion des MOS

Définition 9. SoC: System on Chip (Système sur Puce). Un circuit intégré de type SoC est un ensemble de différents macro circuits avec des fonctions dédiés assemblés dans une même puce. Ces différents

macros circuits traitent différents signaux numériques et analogiques. Un exemple de SoC intègre typiquement des mémoires numériques, un ou plusieurs cœurs de processeur, des voies de conversion de signaux pour les interfaces, une ou plusieurs boucles à verrouillage de phase, etc.

Définition 10. TIQ: Threshold Inverter Quantifier (inverseur à seuil de quantification). C'est un étage constitué de 2 inverseurs cascades dont le 1^{er} est chargé de quantifier le signal d'entrée comme étant au-dessus ou en dessous d'un seuil défini par le dimensionnement de ses transistors complémentaires. Le 2^e est un **fan-out3** permettant de basculer le signal de sortie aux niveaux logiques $+V_{DD}$ et 0 V. Le principe est illustré sur la figure 2.3.5a a.

Définition 11. vcvs: voltage controlled voltage source. Source de tension contrôlée en tension. C'est une cellule commune à tous les éditeurs de schémas de type spice. C'est une cellule de gain intrinsèque idéale modélisant un ampli op. Les 3 paramètres les plus utilisés sont donc : son gain, sa tension de saturation de sortie haute et sa tension de saturation de sortie basse.

Définition 12. vccs: voltage controlled current source. Source de courant contrôlée en tension. C'est une cellule commune à tous les éditeurs de schémas de type spice. Elle modélise une transconductance idéale. Elle a, comme le **vcvs**, 3 paramètres principaux : sa transconductance, son courant de saturation de sortie max et son courant de saturation de sortie min.

Définition 13. Chip-Edge: Le Chip-Edge d'un circuit intégré permet de protéger ses composants des événements CEM qui déposent des charges à l'intérieur du circuit et peuvent les détruire. Associé à des entrées sorties protégées par des pinces de protection, un fonctionnement robuste est assuré aux circuits sur carte réalisés avec cet ASIC. La topologie du chip edge est donnée sur la figure E.4b.

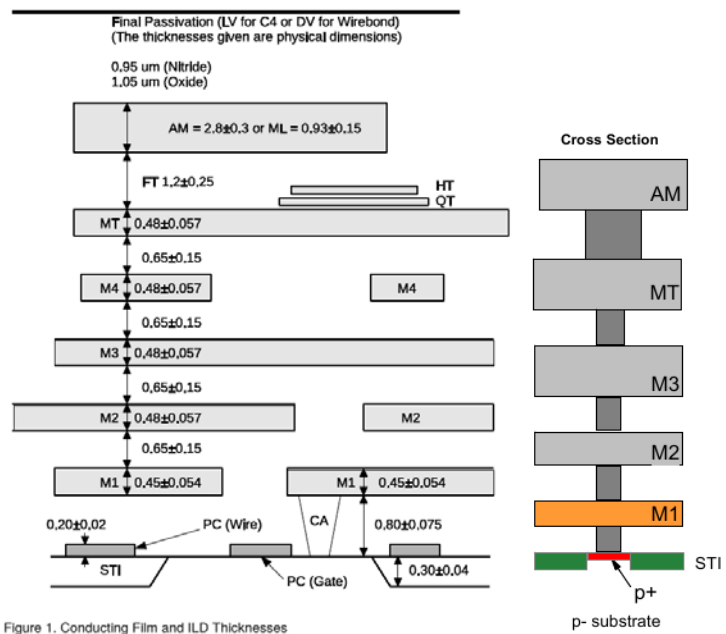


Figure 1. Conducting Film and ILD Thicknesses

- (a) Couches de métallisation de la technologie CMOS 180 nm
(b) Vue en coupe du chipEdge

Fig. E.4 – Chip edge et couches de métallisation / oxyde

Bibliographie

- [1] psp102p3_summary.pdf.
- [2] psp102p4_summary.pdf.
- [3] 0.18um CMOS Process Parameters, 2016.
- [4] Imran Ahmed. *Pipelined ADC Design and Enhancement Techniques*. Springer Netherlands, Dordrecht, 2010.
- [5] O. Aytar, A. Tangel, and G. Dundar. A 9-bit 1gs/S CMOS folding ADC implementation using TIQ based flash ADC cores. In *15th International Conference on Mixed Design of Integrated Circuits and Systems, 2008. MIXDES 2008*, pages 159–164, June 2008.
- [6] David Binkley. *Tradeoffs and Optimization in Analog CMOS Design*. John Wiley & Sons, September 2008.
- [7] V. H. Bui, Seunghyun Beak, Seunghwan Choi, Jongkook Seon, and T. T. Jeong. Thermometer-to-binary encoder with bubble error correction (BEC) circuit for Flash Analog-to-Digital Converter (FADC). In *2010 Third International Conference on Communications and Electronics (ICCE)*, pages 102–106, August 2010.
- [8] C. Enz, F. Krummenacher and E. Vittoz. An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications - ekvpaper1.pdf. *Kluwer Academic Publishers*, pages pp. 83–114, July 1995.
- [9] Yun Chiu. Design and Calibration Techniques for SAR and Pipeline ADCs, May 2015.
- [10] Dr.-Ing. Keh-La Lin, Armin Kemna, Prof. Bedrich J. Hosticka. *Modular Low-Power, High-Speed CMOS Analog-to-Digital Converter for Embedded Systems*, volume 722 of *The International Series in Engineering and Computer Science*. Kluwer Academic Publishers, Boston, 2004.
- [11] Dr. Manisha Pattanaik. TM2b_and_bec_for_flash_adc.pdf, September 2012.
- [12] EECS Berkeley. Data Converters- Flash ADC- Comparator Design.
- [13] Elad Alon. EECS150 - Digital Design-cmos implementaion - University of California Berkeley lec07.pdf, 2011.
- [14] Wolfgang Enghardt, Jürgen Debus, Thomas Haberer, Bernhard Georg Hasch, Rainer Hinz, Oliver Jäkel, Michael Krämer, Kathrin Lauckner, and Jörg Pawelke. The application of PET to quality assurance of heavy-ion tumor therapy. *Strahlenther Onkol*, 175(2) :33–36, June 1999.

- [15] Paul R. Gray. *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, January 2001.
- [16] Analog Devices inc. *Data Conversion Handbook*. Newnes, 2005.
- [17] Paul Jespers. *Integrated Converters - Paul Jespers - Oxford University Press*.
- [18] Jincheol Yoo. *A TIQ BASED CMOS FLASH A/D CONVERTER FOR SYSTEM-ON-CHIP APPLICATIONS*. PhD thesis, The Pennsylvania State University, May 2003.
- [19] B. Joly, G. Montarou, J. Lecoq, G. Bohner, M. Crouau, M. Brossard, and P. E. Vert. An Optimal Filter Based Algorithm for PET Detectors With Digital Sampling Front-End. *IEEE Transactions on Nuclear Science*, 57(1) :63–70, February 2010.
- [20] B. Joly, G. Montarou, and P. E. Vert. Sampling Rate and ADC Resolution Requirements in Digital Front-End Electronics for TOF PET. *IEEE Transactions on Nuclear Science*, 64(9) :2543–2550, September 2017.
- [21] Baptiste Joly. *Optimisation de la résolution temporelle en Tomographie par Emission de Positons dédiée au contrôle de dose en hadronthérapie*. phdthesis, Université Blaise Pascal - Clermont-Ferrand II, February 2010.
- [22] T. Kalita and B. Das. A 4 bit Quantum Voltage Comparator based flash ADC for low noise applications. In *2016 Conference on Emerging Devices and Smart Systems (ICEDSS)*, pages 24–29, March 2016.
- [23] Kerry Bernstein. *High Speed CMOS Design Styles*. Springer US, 1999.
- [24] Walt Kester. MT-083 : Comparators - MT-083.pdf.
- [25] Daehyeok Kim, Sunghyun Park, Munkyo Lee, Sunphil Nah, and Minkyu Song. An 8-bit 2 GS/s 80 mW high accurate CMOS folding A/D converter with a symmetrical zero-crossing technique. *Analog Integr Circ Sig Process*, 86(3) :407–415, January 2016.
- [26] Dongjin Lee, Jaewon Song, Jongha Shin, Sanghoon Hwang, Minkyu Song, and T. Wysocki. Design of a 1.8v 8-bit 500msps folding-interpolation CMOS A/D converter with a folder averaging technique. In *18th European Conference on Circuit Theory and Design, 2007. ECCTD 2007*, pages 356–359, August 2007.
- [27] S. Limotyakis, Ki Young Nam, and B. A. Wooley. Analysis and simulation of distortion in folding and interpolating A/D converters. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, 49(3) :161–169, March 2002.
- [28] R. Loehr, M. Kempf, F. Ohnhaeuser, J. Roeber, R. Weigel, and A. Baenisch. Implementation of a high-speed flash ADC for high-performance pipeline ADCs in an 180nm CMOS process. In *2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, pages 317–322, November 2015.
- [29] Henry Mathieu and Hervé Fanet. *Physique des semiconducteurs et des composants électroniques - 6ème édition : Cours et exercices corrigés*. Dunod, July 2009.
- [30] Nathalie Szapiro-Manoukian. Les ions carbone, nouvelle arme contre le cancer. November 2013.

- [31] Ali Tangel Oktay Aytar. Employing threshold inverter quantization (TIQ) technique in designing 9-Bit folding and interpolation CMOS analog-to-digital converters (ADC). *Scientific research and essays*, 6(2), 2011.
- [32] Shruti Oza and N. M. Devashrayee. Low power folding and interpolating ADC using 0.35- μm technology. In *Engineering (NUiCONE), 2011 Nirma University International Conference on*, pages 1–7. IEEE, 2011.
- [33] Philippe DUNAND. CEM des cartes rapides / Lignes de transmission, November 2012.
- [34] Rudy Plassche. *Integrated Analog-To-Digital and Digital-To-Analog Converters*. Springer US, Boston, MA, 1994.
- [35] Rudy Plassche. *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Springer US, Boston, MA, 2003.
- [36] Professor Y. Chiu. Interpolating and Folding ADC, 2014.
- [37] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. Tata McGraw-Hill, October 2002.
- [38] Marc Sabut. CMOS switched capacitor ADC, 2014.
- [39] Marc Sabut. Pipeline ADC, 2014.
- [40] Willy M. C. Sansen. *Analog Design Essentials*. Springer Science & Business Media, February 2007.
- [41] Richard Schreirer. COMPARATOR & FLASH ADC DESIGN, 2015.
- [42] Adel S. Sedra and Kenneth C. Smith. *Microelectronic Circuits (The Oxford Series in Electrical and Computer Engineering) 7th edition*. Oxford University Press, New York ; Oxford, 7 edition edition, November 2014.
- [43] Adel S. Sedra and Kenneth Carless Smith. *Microelectronic Circuits*. Oxford University Press, 6th edition, 2010.
- [44] Snorre Aunet. Interpolating ADCs, Folding ADCs and Oversampling Converters, March 2009.
- [45] Danica Stefanovic and Mayer Kayal. *Structured Analog CMOS Design*. Springer Netherlands, Dordrecht, 2009.
- [46] STMICROELECTRONICS. Introduction to comparators, their parameters and basic applications, October 2012.
- [47] R. C. Taft, P. A. Francese, M. R. Tursi, O. Hidri, A. MacKenzie, T. Hoehn, P. Schmitz, H. Werker, and A. Glenney. A 1.8 V 1.0 GS/s 10b Self-Calibrating Unified-Folding-Interpolating ADC With 9.1 ENOB at Nyquist Frequency. *IEEE Journal of Solid-State Circuits*, 44(12) :3294–3304, December 2009.
- [48] Jincheol Yoo, Kyusun Choi, and Jahan Ghaznavi. Quantum Voltage comparator for 0.07 μm CMOS flash A/D converters. In *IEEE Computer Society Annual Symposium on VLSI, 2003. Proceedings*, pages 280–281, February 2003.