



HAL
open science

Convertisseur analogique-numérique large bande avec correction mixte

Alexandre Mas

► **To cite this version:**

Alexandre Mas. Convertisseur analogique-numérique large bande avec correction mixte. Autre. Université Paris Saclay (COMUE), 2018. Français. NNT : 2018SACLC054 . tel-01872053

HAL Id: tel-01872053

<https://theses.hal.science/tel-01872053>

Submitted on 11 Sep 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Convertisseur analogique-numérique large bande avec correction mixte

Thèse de doctorat de l'Université Paris-Saclay
préparée à CentraleSupélec

Ecole doctorale n°575 Electrical, Optical, Bio-physics and Engineering (EOBE)
Spécialité de doctorat : Electronique et Optoélectronique, Nano et Microtechnologies

Thèse présentée et soutenue à GIF-SUR-YVETTE, le 10 Juillet 2018, par

ALEXANDRE MAS

Composition du Jury :

Samir BOUAZIZ Professeur, Université Paris-Saclay	Président
Dominique DALLET Professeur, INP Bordeaux	Rapporteur
Robert SOBOT Professeur, ENSEA	Rapporteur
Samir BOUAZIZ Professeur, Université Paris-Saclay	Examineur
Aziz BENLARBI Professeur, UPMC - Sorbonne Université	Examineur
Caroline LELANDAIS-PERRAULT Maître de Conférence, CentraleSupélec (MiSCaS)	Examineur
Philippe BÉNABÈS Professeur, CentraleSupélec (MiSCaS)	Directeur de thèse
Filipe VINCI-DOS-SANTOS Professeur, CentraleSupélec (SANA)	Invité
Éric ANDRE Docteur-Ingénieur, STMicroelectronics	Invité

Liste des Acronymes

ADC Analog-to-Digital Converter.

BOX Buried OXide.

BP Back-Plane.

CAN Convertisseur Analogique-Numérique.

CAN-ET Convertisseur Analogique Numérique à Entrelacement Temporel.

CML Current Mode Logic.

CMTS Cable Modem Termination System.

CNA Convertisseur Numérique-Analogique.

CTAT Complementary to absolute temperature.

DAC Digital-to-Analog Converter.

DIBL Drain Induced Barrier Lowering.

DOCSIS Data Over Cable Service Interface Specification.

DRF Disparités de Réponses Fréquentielles.

ECL Eldo Control Language.

ENOB Effectif Number Of Bits.

FBB Forward Body-Biasing.

FD-SOI Fully Depleted Silicon on Insulator.

FFT Fast Fourier Transform.

FI Fréquence Intermédiaire.

FIR Finite Impulse Response.

FOM Figure of Merit.

HB Harmonic Balance.

I/Q In-phase and Quadrature.

LDO Low Drop Output.

LMS Least Mean Square.

LSB Least Significant Bit.
LVT Low Voltage Threshold.
MDAC Multiplying Digital-to-Analog Conversion.
MOS Metal-Oxide-Semiconductor.
MSB Most Significant Bit.
NMOS N-type Metal-Oxide-Semiconductor.
OFDMA Orthogonal Frequency Division Multiplexing.
PD-SOI Partially Depleted Silicon on Insulator.
PE Pleine Échelle.
PLL Phase-Locked Loop.
PLS Post Layout Schematic.
PMOS P-type Metal-Oxide-Semiconductor.
QAM Quadrature Amplitude Modulation.
RBB Reverse Body-Biasing.
RMS Root Mean Square.
RVT Regular Voltage Threshold.
SAR Successives Approximations Register.
SFDR Spurious Free Dynamic Range.
SNDR Signal to Noise and Distorsion Ratio.
SNR Signal to Noise Ratio.
STI Shallow Trench Isolation.
T/H Track and Hold.
T/Hs Suiveurs-Bloqueurs.
TFTD Transformée de Fourier à Temps Discret.
THD Total Harmonic Distortion.
TI-ADC Time Interleaved Analog to Digital Converter.

Table des matières

Liste des Acronymes	ii
Remerciements	xv
Introduction générale et contexte de l'étude	1
1 Introduction	6
1.1 La cellule RF-CAN	7
1.1.1 Les Figures de mérite	7
1.1.2 Les Architectures de RF-CAN	7
1.1.3 L'architecture CAN-ET	9
1.2 Variabilité en technologie CMOS	13
1.2.1 Variation Globale (Systématique)	13
1.2.2 Variation Locale (Aléatoire)	14
1.3 Les Désappariements dans les circuits CAN-ET	15
1.3.1 Le désappariement d'Offset	16
1.3.2 Le désappariement de Gain	18
1.3.3 Le désappariement de l'instant d'échantillonnage	18
1.3.4 Le désappariement de bande passante	21
1.4 Conclusion	22
2 État de l'art	23
2.1 Minimisation des désappariements dynamiques	24
2.1.1 T/H maître	24
2.1.2 Échantillonnage aléatoire	25
2.1.3 Horloge d'échantillonnage sinusoïdale	25
2.1.4 Horloge maîtresse	26
2.1.5 Échantillonnage passif global	27
2.2 Calibrations des désappariements dynamiques	27
2.2.1 Les types de calibration	28
2.2.2 Calibrations numériques	30
2.2.2.1 Calibrations du Skew	31
2.2.2.2 Calibrations des disparités de réponses fréquentielles	33
2.2.3 Calibrations mixtes	36
2.2.3.1 Estimation des désappariements dynamiques	36

2.2.3.2	Compensation analogique de l'erreur de skew	37
2.2.3.3	Compensation analogique de l'erreur de bande passante	43
2.3	Conclusion	45
3	Le circuit d'échantillonnage	46
3.1	Généralités	47
3.1.1	Principes d'échantillonnage	47
3.1.2	Technologie FD-SOI	48
3.2	Modélisation du T/H	50
3.2.1	La structure « bottom plate sampling »	50
3.2.2	Modélisation en composants passifs du T/H	52
3.2.2.1	Calcul de la fonction de transfert	53
3.3	Limitations du T/H et conséquences pour une architecture TI-ADC	58
3.3.1	Sources d'erreurs dans la phase de suivi	60
3.3.2	Sources d'erreurs lors d'une transition d'horloge	61
3.3.2.1	Injection de charges	61
3.3.2.1.a	Injection de charges provenant du canal	62
3.3.2.1.b	L'excursion d'horloge (Clock feedthrough)	64
3.3.2.2	Retards d'échantillonnage	69
3.3.3	Sources d'erreurs dans la phase Intermédiaire 1	71
3.3.4	Sources d'erreurs dans le mode de maintien	73
3.3.4.1	Droop Rate	73
3.3.4.2	L'excursion du signal d'entrée (Hold mode feedthrough)	73
3.4	Conclusion	75
4	Compensation Analogique de l'erreur de Skew	76
4.1	Modulation de la face arrière (body-biasing)	77
4.1.1	Principe	77
4.1.2	Plage d'utilisation du body-biasing	78
4.2	Compensation via les transistors d'échantillonnage	81
4.2.1	Solutions proposées	81
4.2.2	Dimensionnement des transistors d'échantillonnage	84
4.2.3	Conséquences sur le processus d'échantillonnage	88
4.2.3.1	Phase de Suivi	89
4.2.3.2	Transition CLK_{BOT}	91
4.2.3.3	Phase Intermédiaire 1	91
4.2.3.4	Transition CLK_{TOP}	94
4.2.3.5	Phase de maintien	94
4.2.3.6	Conclusion	97
4.2.4	Estimation de la plage de Compensation du Skew	98
4.2.4.1	Principe	98
4.2.4.2	Résultats de simulation	100
4.2.5	Évaluation de la performance des compensations	102
4.2.5.1	Validation de l'estimation des plages de compensation	103
4.2.5.2	Résultats de Simulation	106

4.2.5.3	Comportement face aux dérives de température	109
4.3	Conclusion	112
5	Compensations Analogique de l'erreur de Bande-passante	113
5.1	Modélisation de l'erreur de bande-passante	114
5.1.1	Réglage(s) analogique(s) de l'erreur de bande-passante	116
5.1.2	Paramètres de réglage de la résistance en régime linéaire des com- mutateurs	118
5.2	Compensation par modulation des tensions	119
5.2.1	Variation de la face arrière	119
5.2.1.1	Principe	119
5.2.1.2	Dimension des transistors SW_{top} et SW_{bot}	119
5.2.1.3	Conséquences sur le processus d'échantillonnage	124
5.2.2	Variation de la tension de Grille-Source	127
5.2.2.1	Principe	127
5.2.2.2	Choix des tailles de transistors	129
5.2.2.3	Conséquences sur le processus d'échantillonnage	135
5.3	Compensation par modulation de la largeur W	138
5.3.1	Principe	138
5.3.2	Conséquences sur le processus d'échantillonnage	139
5.4	Méthodologie de comparaison des différentes compensations	143
5.4.1	Estimation des tensions optimales de compensation	144
5.4.1.1	Principe	144
5.4.1.2	Validation	150
5.5	Résultats de simulation	153
5.5.1	Condition de simulation	153
5.5.2	Performance	155
5.5.2.1	Réglage de compensation idéal	155
5.5.2.2	Quantification du réglage de compensation	157
5.6	Conclusion	160
6	Technique de calibration en ligne mixte	162
6.1	Estimation des désappariements statiques et dynamiques	163
6.1.1	Modélisation du signal échantillonné	163
6.1.2	Construction du modèle de régression linéaire	164
6.1.3	Identification des erreurs d'appariement	165
6.2	Comparaison des compensations de bande passante en phase de maintien	169
6.2.1	Vue d'ensemble de la calibration mixte	169
6.2.2	Comparaison des différentes techniques de compensation	171
6.2.2.1	Exécution de la calibration mixte pour chaque compen- sation	172
6.2.2.2	Extraction des paramètres SFDR et THD	175
6.2.3	Choix de la compensation de bande passante optimale	182
6.3	Calibration Mixte des erreurs d'appariement	184
6.3.1	Algorithme de la calibration mixte	185

6.3.2 Résultats de simulation	186
Conclusion	190
Tables des Annexes	1
Annexe A Première annexe	2
A.1 Introduction à la régression	2
A.1.1 Modèle de régression linéaire	2
A.1.2 Estimateur	4
Bibliographie	5

Table des figures

1	Échantillonnage à l'aide d'un RF-ADC	2
1.1	Performance dynamique et énergétique en fonction de la fréquence d'échantillonnage et de l'architecture du RF-CAN	8
1.2	Principe de l'entrelacement temporel	10
1.3	Entrelacement temporel d'un CAN-ET à 4 voies	10
1.4	Énergie par conversion en fonction de la fréquence d'échantillonnage pour un sous-CAN et un CAN-ET à M voies [1]	11
1.5	Classification des CAN-ET selon le type d'architecture des sous-CANs, le SNDR et la FOM_W	12
1.6	Spectre de sortie d'un CAN-ET 12-bit idéal ($M = 8, \omega_0 = 0.96\pi$)	16
1.7	Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement d'offset ($M = 8, \sigma_o = 10 \times LSB, \omega_0 = 0.96\pi$)	17
1.8	Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement de gain ($M = 8, \sigma_g = 0.01, \omega_0 = 0.96\pi$)	18
1.9	Figure illustrant la contribution du skew pour le m -ième sous-CAN	19
1.10	Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement de l'instant d'échantillonnage ($M = 8, \sigma_s = 0.05, \omega_0 = 0.96\pi$)	20
1.11	Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement de bande passante ($M = 8, \sigma_b = 0.01, \omega_0 = 0.96\pi, \bar{b} = 1/2\pi$)	22
2.1	Implémentation et chronogramme du T/H maître [2]	24
2.2	Implémentation et chronogramme de l'architecture proposée par [2]	25
2.3	Circuit permettant la transformation CML/Unipolaire [3]	26
2.4	Principe de la technique de "clock reassignment"	26
2.5	Principe de fonctionnement de la technique d'échantillonnage passif	27
2.6	Types de calibration	28
2.7	Classification des calibrations selon le domaine d'implémentation	29
2.8	Classification selon le domaine d'implémentation des calibrations de skew et de bande passante	29
2.9	Concept de la compensation proposée par [4]	32
2.10	Architectures des lignes à retard	38
2.11	Cellule à retard <i>Shunt-Capacitor Inverter</i> [1]	38
2.12	Cellule à retard à l'aide d'une matrice d'inverseur [5]	39
2.13	Cellule à retard basé sur l'inverseur de courant appauvri [6]	40
2.14	Compensation du skew	40

2.15	Cellule à retard utilisé dans [7]	41
2.16	Principe de la compensation du skew dans [8]	42
2.17	Schématiques des compensations agissant dans le circuit de bootstrap	44
2.18	Structure de compensation proposée par [9]	45
3.1	Composants élémentaires d'un circuit d'échantillonnage	47
3.2	Circuit de principe d'un T/H avec son chronogramme	47
3.3	Vue en coupe d'un transistor Nmos en technologie (a) BULK, (b) PD-SOI et (c) FD-SOI	48
3.4	Vue en coupe d'un transistor PMOS et NMOS utilisant l'architecture (a) RVT, (b) LVT	49
3.5	T/H utilisant l'architecture "bottom plate sampling"	51
3.6	Niveau de la raie d'harmonique 3, 5 et 7 en fonction de l'amplitude du signal d'entrée	52
3.7	Vue en coupe et modèle passif d'un commutateur LVT	53
3.8	Simplification du modèle linéaire selon la fréquence du signal d'entrée	54
3.9	Dégradation de R_{EQ} et C_{EQ} en fonction de (a) la fréquence du signal d'entrée et (b) l'amplitude du signal d'entrée	56
3.10	Modélisation du T/H avec des éléments passifs	56
3.11	Dégradation de la tension aux bornes de C_s à cause de l'échantillonnage non idéal	59
3.12	Illustration des erreurs d'injection de charges	62
3.13	Modèle à deux distributions du transistor MOS	63
3.14	Modèle équivalent du T/H en représentation unipolaire au moment de la transition $\phi_H \rightarrow \phi_L$ de CLK_{BOT}	65
3.15	Module et phase de l'impédance complexe de SW_{top} lorsqu'il est passant	65
3.16	Simplification du modèle équivalent de la figure 3.14	66
3.17	Modèle équivalent du T/H en représentation unipolaire pour exprimer l'erreur de tension due aux excursions d'horloges dans C_s^+	67
3.18	Module et Phase de l'impédance complexe de SW_{bot} lorsqu'il est bloqué	68
3.19	Schéma équivalent des capacités reliés à la masse	68
3.20	Récapitulatif des désappariements créés durant les transitions de CLK_{BOT} et CLK_{TOP} à cause des erreurs d'injection de charges	69
3.21	Modélisation du retard d'échantillonnage	70
3.22	Récapitulatif de tous les désappariements créés durant les transitions de CLK_{BOT} et CLK_{TOP}	70
3.23	Diagramme de Bode de $\underline{H}_{T/H} \textcircled{2}$	71
3.24	Schéma équivalent du T/H durant la phase $\textcircled{2}$ lorsque $f_{in} > 100$ Hz	72
3.25	Récapitulatif des désappariements créés durant la phase $\textcircled{3}$	73
3.26	Diagramme de Bode de $\underline{H}_{T/H} \textcircled{3}$	74
4.1	Extraction du facteur de body selon l'architecture RVT et LVT	78
4.2	Schéma et vue en coupe d'un inverseur utilisant la technologie BULK	79
4.3	Schéma et vue en coupe d'un inverseur RVT	79
4.4	Schéma et vue en coupe d'un inverseur LVT	80

4.5	Range de Body-biasing utilisant (a) la technologie BULK , (b) la technologie FD-SOI avec des transistors RVT, (c) avec des transistors LVT	81
4.6	Compensation du skew en ajustant (a) le transistor du haut SW_{top} , (b) le transistor du bas SW_{bot} , (c) les deux transistors	82
4.7	Courant de la diode Nwell/Psub des transistors SW_{top} et SW_{bot} à $125^{\circ}C$ et en process <i>fast</i> lorsque la technique de body-biasing est utilisée entre 0V et 3V	83
4.8	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de skew basée sur la polarisation du caisson de body de SW_{bot}	85
4.9	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de skew basée sur la polarisation du caisson de body de SW_{top}	86
4.10	Compensations proposées lorsque que nous ajustons SW_{top} et SW_{bot}	88
4.11	Découpage du processus d'échantillonnage en 4 phases	88
4.12	Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} dans la phase ① selon la valeur de la tension de correction appliquée et la compensation (a) BB_{bot} , (b) BB_{top} , (c) $BB_{top-bot-1}$, (d) $BB_{top-bot-2}$	89
4.13	SNDR en fonction de la fréquence normalisée pour chaque compensation de skew lorsque la tension de compensation est réglée au maximum (1.1V ou 0.55V)	90
4.14	Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} dans la phase ② selon la valeur de la tension de correction appliquée et la compensation (a) BB_{bot} , (b) BB_{top} , (c) $BB_{top-bot-1}$, (d) $BB_{top-bot-2}$	92
4.15	Évolution de la fonction de transfert du T/H dans la phase ② lorsque les compensations sont utilisées avec une tension de compensation nulle et maximale	93
4.16	Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} dans la phase ③ selon la valeur de la tension de correction appliquée et la compensation (a) BB_{bot} , (b) BB_{top} , (c) $BB_{top-bot-1}$, (d) $BB_{top-bot-2}$	95
4.17	Évolution de la fonction de transfert du T/H dans la phase ③ lorsque les compensations sont utilisées avec une tension de compensation nulle et maximale	96
4.18	Banc de simulation pour extraire la quantité de skew compensée ϕ_S	98
4.19	Polarisation des tensions de body de T/H_{ref} (haut) et T/H_{cal} (bas) selon la compensation appliquée (transistor LVT)	99
4.20	Quantité et répartition du skew compensé pour chaque compensation proposée en fonction de la tension de compensation appliquée	101
4.21	Banc de simulation pour vérifier l'estimation de ϕ_S	103
4.22	Évolution et comparaison pour chaque compensation des variables $SFDR_{matlab}$ et $SFDR_{simu}$ sur toute la bande du signal	105

4.23	SFDR avant et après chaque compensation appliquée en fonction de la fréquence normalisée et de la tension de compensation	108
4.24	SFDR en fonction du skew introduit pour les compensations BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$	109
4.25	Variation de la tension de seuil en fonction de la température T	110
4.26	Variation du SFDR en fonction de la température, pour une compensation fixe à la valeur calibrée pour $27^{\circ}C$	111
5.1	Évolution en fonction de la fréquence normalisée et du degrés maximal des polynômes P et Q du (a) SNDR et de (b) le module de la différence des fonctions de transfert	115
5.2	Variation des coefficients des polynômes P et Q selon la variation de la résistance (a) R_{on-top} et (b) R_{on-bot}	117
5.3	Performance et écart relatif entre les coefficients de H_{ref} et ceux de H_{cal} avant et après la compensation idéale via uniquement la résistance R_{on-bot}	117
5.4	Compensation de l'erreur de bande-passante en ajustant (a) le transistor du haut SW_{top} , (b) le transistor du bas SW_{bot}	119
5.5	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante BB_{bot}	121
5.6	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante BB_{top}	123
5.7	Découpage du processus d'échantillonnage en 4 phases	124
5.8	Variation du R_{on} et skew ajouté avec les compensations BB_{top} et BB_{bot}	124
5.9	Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} selon la valeur de la tension de compensation appliquée V_{cor} et leur zone de fonctionnement (a) ohmique, (b) bloqué	125
5.10	Fonction de transfert du T/H dans les phases (a) ② et (b) ③ lorsque les compensations $BB_{top/bot}$ utilisent une tension de compensation d'amplitude maximale	126
5.11	Compensation du désappariement de bande-passante en ajustant (a) la tension de grille de SW_{top} et (b) la tension de grille de SW_{bot} et (c) la tension de source de SW_{bot}	128
5.12	Variation de R_{EQ} selon la tension de compensation V_{cor} pour les 3 compensations avec un ratio R_{on-top}/R_{on-bot} de 50/50	129
5.13	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante V_{G-bot}	132
5.14	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante V_{G-top}	133
5.15	Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante V_{S-bot}	134
5.16	Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} selon la valeur de la tension de compensation appliquée V_{cor} et leur zone de fonctionnement (a) ohmique, (b) bloqué	135
5.17	$H_{T/H}$ dans les phases (a) ② et (b) ③ lorsque les compensations V_{G-top} et V_{S-bot} utilisent une tension de compensation d'amplitude maximale	136

5.18	Schéma de la compensation ΔW avec N transistors additionnels	138
5.19	Largeur des transistors additionnels en fonction de W_{min}	139
5.20	Schéma de la compensation ΔW avec trois transistors additionnels	140
5.21	Capacité de grille C_{gg} des transistors principaux et additionnels en fonction du temps	140
5.22	Conséquences temporelles des différentes C_{gg} sur la tension V_g des transistors additionnels et principaux	141
5.23	Vue d'ensemble de la calibration proposée dans la phase de suivi	144
5.24	Conséquences temporelle de l'erreur de bande passante	145
5.25	Évolution du SNDR en fonction de la fréquence normalisée lorsque H_{ref} et H_{cal} sont modélisées respectivement par le ratio de deux polynômes de degrés 4 et par un filtre passe bas du premier ordre	146
5.26	Modèle passif linéaire du transistor LVTNFET	146
5.27	Banc de simulation pour estimer l'erreur de bande-passante	148
5.28	Banc de simulation pour estimer l'erreur de bande-passante avec la compensation ΔW	149
5.29	Banc de simulation pour estimer l'erreur de bande-passante	150
5.30	Convergence des paramètres de l'estimateur et performance	151
5.31	Analyse Monte Carlo sur (a) le transistor du haut SW_{top} , (b) le transistor du bas SW_{bot} et (c) la capacité d'échantillonnage C_s	154
5.32	Performance des compensations avec un réglage optimal	156
5.33	Niveau de la raie de distorsion selon la fréquence du signal d'entrée AVANT et APRES les compensations de bande-passante avec une quantification du réglage de compensation sur (a) 3-bit, (b) 4-bit, (c) 5-bit, (d) 6-bit, (e) 7-bit, (f) 8-bit	158
5.34	Niveau de la raie de distorsion en fonction de la quantification lorsque la fréquence du signal d'entrée est à (a) basse fréquence $f_{in} = 0.01 \times f_s$, (b) $f_{in} = 0.49 \times f_s$	159
6.1	Linéarisation du processus d'échantillonnage	163
6.2	Principe du processus d'estimation du désappariement de bande passante	166
6.3	Plateforme de simulation mixte permettant de calibrer le désappariement de bande passante en phase de maintien	169
6.4	Algorigramme de la calibration mixte appliqué à l'erreur de bande passante	170
6.5	Évolution des paramètres d'estimation en fonction du nombre d'itérations de la calibration pour chaque compensation de bande-passante	173
6.6	Banc de simulation post-calibration du désappariement de bande passante pour extraire le SFDR et les estimés $\Delta\hat{G}$ et $\Delta\hat{S}$	176
6.7	Résultats obtenus en appliquant successivement les paramètres $V_{cor-opt}/m_{cor-opt}$, G_{cor} et S_{cor} lorsque la FFT est réalisée en phase de maintien	178
6.8	Résultats obtenus en appliquant simultanément les paramètres $V_{cor-opt}/m_{cor-opt}$, G_{cor} et S_{cor} lorsque la calibration du désappariement de Bande passante est exécutée une deuxième fois à partir des réglages acquis lors de la première itération	181
6.9	Cellule de retard contrôlée par la technique de body-biasing	184

6.10	Retard introduit par la cellule de retard en fonction de la tension de compensation appliquée sur les caissons des transistors PMOS	185
6.11	Organigramme de la calibration mixte pour compenser les quatre désappariements	186
6.12	Performances de la calibration complète à la fin de la première itération	187
6.13	Performances de la calibration complète au bout de la deuxième itération	189

Liste des tableaux

2.1	Comparaison des calibrations numériques et mixtes corrigeant l'erreur d'offset, de gain et de skew	30
3.1	Valeurs extraites des paramètres du modèle passif de SW_{top} et SW_{bot} en fonction des phases du T/H	54
3.2	Valeurs Numériques des zéros et des pôles	57
3.3	Tableau récapitulatif des désappariements créés dans la phase ① à cause des variations des procédés de fabrication	61
3.4	Tableau récapitulatif des désappariements créés en présence d'un désappariement de taille des transistors d'échantillonnage	75
4.1	Variation des zéros et des pôles dans la phase ① après l'usage des différentes compensations de skew avec une tension de compensation d'amplitude maximale	90
4.2	Variation des zéros et des pôles dans la phase ② après l'usage des différentes compensations de skew avec une tension de compensation d'amplitude maximale	92
4.3	Variation des zéros et des pôles dans la phase ③ après l'usage des différentes compensations de skew avec une tension de compensation nulle et maximale	95
4.4	Conséquences phase par phase des compensations BB_{top} , BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ sur le processus d'échantillonnage	97
4.5	Valeur du skew introduit pour chaque compensation selon la tension de compensation utilisée	106
5.1	Valeur des zéros et des pôles dans les phases ② et ③ après l'usage de la compensation BB_{top} ou BB_{bot} avec une tension de compensation $V_{cor} = 1.1V$	126
5.2	Conséquences étape par étape des compensations BB_{top} et BB_{bot} sur le processus d'échantillonnage	127
5.3	Valeur des zéros et des pôles dans les phases ② et ③ après l'usage de la compensation V_{G-top} ou V_{S-bot}	136
5.4	Conséquences étape par étape des compensations V_{G-top} , V_{G-bot} et V_{S-bot} sur le processus d'échantillonnage	137
5.5	Conséquences étape par étape de la compensation ΔW sur le processus d'échantillonnage	142

5.6	Récapitulatif de la valeur moyenne et de l'écart type (σ) pour chaque composant du T/H	154
5.7	Tension (resp. Largeur) de compensation optimale selon la compensation utilisée (resp. le nombre de transistors additionnels utilisés)	155
6.1	Répartition de R_{on-top} et R_{on-bot} dans la résistance équivalente R_{EQ} avant l'exécution de chaque compensation de bande passante	172
6.2	Dégradation des erreurs d'appariement d'Offset, de Gain et de Skew après chaque compensation de bande passante avec un réglage optimal $V_{cor-opt}$ ou $m_{cor-opt}$	172
6.3	Valeurs des paramètres $\Delta B\hat{W}$, $Q_{\hat{G}}$ et $Q_{\hat{S}}$ lorsque le réglage optimal $V_{cor-opt}$ ou $m_{cor-opt}$ est obtenu au bout de deux itérations de la calibration mixte	180
6.4	Tableau récapitulatif des performances de chaque compensation selon les critères de sensibilité et de performance à basse et haute fréquence et suivant les paramètres $Q_{\hat{G}}$ et $Q_{\hat{S}}$	183

Remerciements

Ces travaux de recherche ont été effectués en collaboration avec le laboratoire Génie électrique et électronique de Paris (GEEPS) et la société STMicroelectronics à Crolles. Je tiens à remercier toutes les personnes grâce à qui ces travaux ont pu être réalisés.

Mes premiers remerciements s'adressent à Monsieur Dominique Dallet, Professeur à l'Institut Nationale Polytechnique de Bordeaux, ainsi qu'à Monsieur Robert Sobot, Professeur à l'Ecole Nationale Supérieure de l'Électronique et de ses Applications de Paris, de l'honneur qu'ils m'ont fait en acceptant d'être rapporteurs de cette thèse.

J'exprime mes sentiments sincères à Monsieur Samir Bouaziz, Professeur à l'Université de Paris-Saclay pour avoir accepté de présider mon jury de thèse ainsi qu'à Monsieur Aziz Benlarbi d'avoir accepté d'examiner mon travail.

Je remercie mon directeur de thèse, Philippe Bénabès, Professeur à CentraleSupélec pour m'avoir accueilli au sein de son équipe et pour la confiance qu'il m'a accordée.

Mes remerciements les plus chaleureux s'adressent à mes encadrants. En premier lieu, je souhaite remercier mon encadrant industriel Eric André, ingénieur chez STMicroelectronics à Crolles, pour m'avoir donné l'opportunité de rejoindre son équipe. J'ai apprécié les multiples échanges ainsi que son expertise en électronique analogique qui m'ont aidés à accomplir cette thèse.

Ensuite, j'aimerais remercier grandement Caroline Lelandais-Perrault, Maître de conférence à CentraleSupélec qui outre son appui scientifique, a toujours été là pour me soutenir et me conseiller tout au long de cette thèse. Je lui suis également reconnaissant pour le temps conséquent qu'elle m'a accordé, ses qualités pédagogiques et scientifiques, sa franchise et sa sympathie.

Enfin, j'adresse mes sincères remerciements à Filipe Vinci dos Santos, Professeur à CentraleSupélec avec qui j'ai apprécié travaillé tout au long de cette thèse. Merci pour tes paroles, tes nombreux conseils, suggestions et critiques qui ont guidés mes réflexions et permis d'améliorer la qualité de mes contributions scientifiques.

Ces remerciements seraient incomplets si je n'en adressais pas à l'ensemble de mes collègues de STMicroelectronics et de CentraleSupélec grâce à qui, ces années de travail

se sont déroulées dans une ambiance excellente. Merci à Denis, Christophe, Sarah, Valérie, Florent, Claire, Jérémie, Nicolas, Benjamin, Audrey, Séverin, Gérald, Jean-Pierre, Emmanuel, Stéphane, Émilie, Anthony, Pietro, Jérôme, Laurent, Morgan, Grand Pierre, petit Pierre, Juliette, Ludwig, Hanan, Fernando et tous les autres.

Je remercie également Pascale, Alexandra, Sophie, Luc et Francis pour leur support administratif.

J'adresse toute mon affection à ma famille en particulier à mon frère Maxime, ainsi que mes parents, Dominique et Gérard pour leur soutien au cours de ces quatre années et sans lesquels je n'en serais pas là aujourd'hui.

Pour conclure, du fond du cœur, je te remercie toi, Megan, qui a été mon plus grand soutien durant ces quatre années. Merci d'avoir fait des sacrifices pour ma thèse et de m'avoir accompagné, encouragé et soutenu durant toutes ces années.

Introduction Générale

L'accroissement du débit d'information à transmettre ne cesse de croître, qu'il s'agisse de canaux filaires ou de canaux hertziens. Les applications concernées par cet élargissement des bandes passantes sont nombreuses comme par exemple, la Télévision par câble ou par satellite, la vidéo à la demande via les plateformes de streaming, les liaisons internet point à point ou encore les stations de base pour réseau cellulaire. Pour que les utilisateurs d'un même quartier puissent utiliser plusieurs de ces applications en même temps, il est nécessaire d'avoir une infrastructure de réseau appropriée.

Cependant, les derniers mètres de raccordement entre le [Cable Modem Termination System \(CMTS\)](#) (tête du réseau) et les habitations limitent les performances des débits montants et descendants. En effet, bien que les données sortant du [CMTS](#) sont transmises dans des câbles optiques, il faut généralement passer par un convertisseur optique/électrique pour atteindre les habitations qui sont souvent dépourvues de connexion optique. Les données sont donc transmises aux utilisateurs par un câble coaxial (75Ω) qui atténue fortement les hautes fréquences malgré la présence d'amplificateur sur le réseau. Pour remédier à ce problème, les fournisseurs de réseau ont la possibilité de modifier les derniers mètres du réseau mais les coûts engendrés sont souvent trop importants. C'est pour cela qu'ils utilisent depuis les années 97 un nouveau standard de télécommunication développé par Cable Labs : le [Data Over Cable Service Interface Specification \(DOCSIS\)](#) (état-Unis et Asie) appelé [EuroDOCSIS](#) en Europe.

Avec la version actuelle ([DOCSIS 3.0](#)), les canaux sont transmis avec une largeur de bande de 6MHz ([DOCSIS](#)) ou 8MHz ([EuroDOCSIS](#)) qui sont distribués sur toute la bande de fréquence. Ce système de communication est bidirectionnel et utilise dans le sens descendant une modulation de phase et d'amplitude mono-porteuse avec 256 [Quadrature Amplitude Modulation \(QAM\)](#) sur une gamme de fréquence 45 MHz - 1002 MHz ce qui permet d'atteindre des taux de transfert jusqu'à 300 Mbit/s.

Cependant depuis peu, la norme [DOCSIS 3.1](#) (publiée en Octobre 2013) commence à se déployer sur les réseaux existants. Cette nouvelle norme améliore considérablement les débits descendants et montants (10 Gbit/s et 1Gbit/s) grâce à l'utilisation de la correction d'erreur LDPC (Low Density Parity Check Code) en combinaison avec la modulation [Orthogonal Frequency Division Multiplexing \(OFDMA\)](#). La robustesse du LDPC a permis d'utiliser des constellations allant jusqu'à des 4096 points, ce qui n'était pas concevable auparavant. La gamme de fréquence des signaux modulés évolue également car elle se situe désormais entre 102 MHz et 1794 MHz. Une fois que ses signaux ont été transmis jusqu'aux habitations, il convient ensuite de les convertir

numériquement à l'aide d'un [Convertisseur Analogique-Numérique \(CAN\)](#).

Pour réduire les coûts et la taille du matériel de la chaîne de réception, les récepteurs superhétérodynes qui étaient un standard depuis plusieurs dizaines années ont été abandonnés pour laisser place aux récepteurs à échantillonnage direct. Avec ce type de récepteur, le [CAN](#) est placé au plus haut de la chaîne de réception comme le montre la figure 1 ci-dessous.

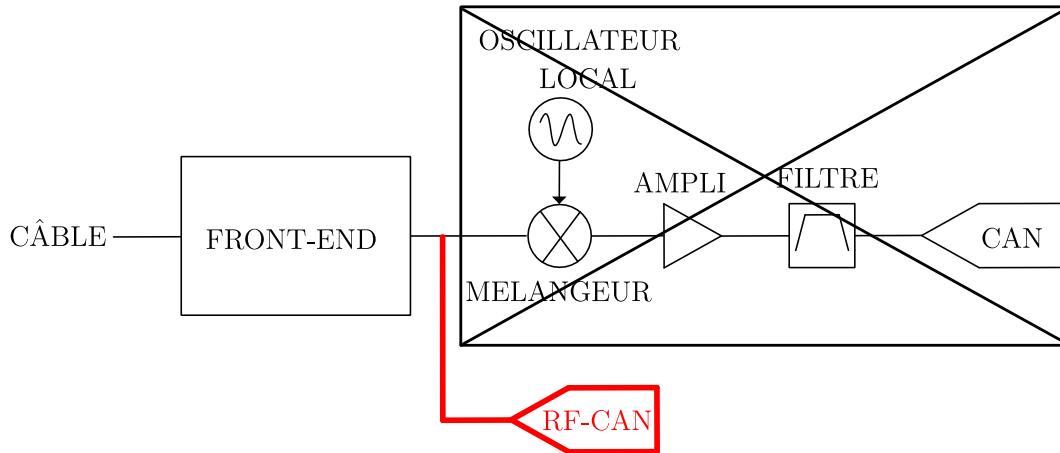


FIGURE 1 – Échantillonnage à l'aide d'un RF-ADC

Avec cette nouvelle position du [CAN](#), les étages multiples de conversion [Fréquence Intermédiaire \(FI\)](#) à base d'amplificateurs, de mélangeurs et de filtres sont éliminés ce qui permet de réaliser un maximum de fonctions dans le domaine numérique et donc d'avoir une meilleure intégration du circuit global. En contrepartie, l'échantillonnage des signaux d'entrée impose de fortes contraintes sur le [CAN](#) en terme de largeur de bande car la fréquence d'échantillonnage (f_s) doit être au minimum de 3,588 GHz. Par la suite, nous désignerons ce type de [CAN](#) par le terme [RF-CAN](#).

En plus des contraintes de bande passante, une forte résolution est également requise (10 à 12 bits) dans le cas de la réception TV par câble afin que la démodulation soit possible. Lorsque que nous combinons ces deux contraintes pour un seul [CAN](#), sa conception en devient très complexe et cela même si nous profitons des avantages offerts par les dernières technologies.

Pour arriver à atteindre de telles performances, la conversion des signaux ne se fait plus à l'aide d'un seul [CAN](#) mais grâce à M [CANs](#) placés en parallèle qui convertissent à tour de rôle les signaux d'entrée. Cette architecture de [CAN](#) s'appelle [Convertisseur Analogique Numérique à Entrelacement Temporel \(CAN-ET\)](#) et permet de réduire par M la vitesse de fonctionnement des [Track and Holds \(T/Hs\)](#). Malheureusement comme tous les [CANs](#) utilisés ne sont pas parfaitement identiques à cause par exemple des variations des procédés de fabrication ou de la température, des défauts d'entrelacement existent. Ces défauts peuvent se modéliser par un échantillonnage non-uniforme des signaux d'entrée liés à des différences d'offset, de gain, d'instant d'échantillonnage et de bande passante entre l'ensemble des [CANs](#) utilisés. Par conséquent si nous voulons

profiter pleinement de cette technique de conversion, il devient impératif de procéder à une compensation de ces défauts d’entrelacement.

Plan du manuscrit

Ce mémoire s’intéresse à la calibration mixte des défauts d’entrelacement existants entre les différentes voies d’un CAN-ET. Un intérêt plus particulier sera porté à la compensation analogique du désappariement de la bande passante car ce dernier limite les performances des RF-CANs lorsqu’il n’est pas compensé. Ces travaux de recherche ont été effectués dans le cadre d’une thèse CIFRE avec la société STMicroelectronics à Crolles et le laboratoire GEEPS.

Le chapitre 1 sera axé uniquement sur le circuit RF-CAN. Dans la première partie du chapitre, une petite étude des architectures de RF-CAN sera réalisée afin de déterminer celle qui est la plus apte à répondre aux spécifications de la norme DOCSIS. Une fois l’architecture identifiée, nous étudierons dans une dernière partie l’impact des variations locales sur le spectre de sortie du signal échantillonné. Pour cela, nous nous appuierons sur les expressions calculées dans [10] et nous illustrerons ces résultats en modélisant les erreurs d’échantillonnage sur MATLAB lorsque le signal appliqué en entrée est sinusoïdal.

Le chapitre 2 sera consacré exclusivement à une étude de l’état de l’art des désappariements de skew et de bande passante. Dans la première partie, nous présenterons les différentes techniques de conception qui minimisent ces deux défauts, puis dans une deuxième partie, nous étudierons les différentes calibrations qui existent pour ces erreurs.

Le chapitre 3 analysera les erreurs qui sont commises par un T/H durant toutes les phases du processus d’échantillonnage ainsi que leurs conséquences sur le spectre de sortie du signal reconstitué lorsque les T/Hs sont entrelacés temporellement.

Une première partie du chapitre rappellera brièvement le principe d’échantillonnage et présentera deux architectures possibles des transistors conçus en technologie Fully Depleted Silicon on Insulator (FD-SOI).

Puis, une présentation de l’architecture “*bottom-plate sampling*” ainsi que son chronogramme permettra de comprendre le processus d’échantillonnage qui est découpé en quatre phases distinctes. Pour exprimer les erreurs commises dans chacune de ces phases, nous calculerons la fonction de transfert du T/H en construisant un modèle linéaire du transistor d’échantillonnage à partir de sa structure vue dans la première partie.

Dans la dernière partie, l’expression mathématique des erreurs commises dans chaque phase sera analysée afin d’en déduire les désappariements créés lorsque l’échantillonnage du signal d’entrée est réalisé via des T/Hs entrelacés qui ont tous des fonctions de transfert différentes.

Le chapitre 4 portera uniquement sur la compensation analogique du désappariement de l'instant d'échantillonnage dans les **CAN-ETs**. Pour cela, nous profiterons des avantages offerts par la technologie **FD-SOI** en ajustant la tension de seuil du/des transistor(s) d'échantillonnage à l'aide de la technique de body-biasing.

Dans la première partie, nous rappellerons le principe de fonctionnement de cette technique ainsi que ses limitations selon l'architecture des transistors **FD-SOI**.

Dans la deuxième partie, cette technique sera appliquée sur les deux transistors du **T/H** réalisant l'échantillonnage afin de former quatre configurations de compensation possibles. Avant d'évaluer la performance de chaque configuration proposée, nous dimensionnerons les transistors d'échantillonnage de manière à ce que la compensation du skew influence au minimum le processus d'échantillonnage. Une fois le dimensionnement optimal trouvé, un banc de test implémenté sur Cadence permettra d'estimer la plage de retard que peut compenser chaque configuration. La précision des valeurs trouvées par notre méthode d'estimation sera évaluée en confrontant les valeurs du **Spurious Free Dynamic Range (SFDR)** calculées à partir de MATLAB et du simulateur Eldo.

Enfin, nous évaluerons la performance de chaque configuration en comparant la valeur du **SFDR** obtenue après compensation et cela pour différentes valeurs de retard à compenser.

Le chapitre 5 sera dédié exclusivement à la compensation analogique du désappariement de bande passante dans les **CAN-ETs**. Nous verrons que pour compenser parfaitement ce désappariement, il convient d'égaliser la fonction de transfert de chaque sous-**T/H** en ajustant les coefficients de tous les pôles et de tous les zéros. Cependant, comme la fonction de transfert du **T/H** est composée d'un ratio de deux polynômes d'ordre 5, cette méthode de compensation sera trop complexe à implémenter car elle demandera d'avoir à disposition au moins dix réglages de compensation distincts. Pour simplifier le processus de compensation, nous abaisserons l'ordre des deux polynômes tout en garantissant un **SFDR** de 80dB à la fréquence de Nyquist.

Après cette réduction, nous identifierons un paramètre analogique commun à tous les coefficients des deux polynômes réduits et qui peut être ajusté simplement. Une fois ce paramètre de compensation trouvé, nous nous baserons sur son expression mathématique afin de dégager plusieurs variables d'ajustement électrique qui permettront de proposer différentes compensations analogiques. Le principe de chaque compensation proposée sera expliqué tout comme leurs conséquences sur le processus d'échantillonnage.

Dans une dernière partie, nous proposerons une première méthode de comparaison où nous nous baserons uniquement sur la valeur du **SFDR** lorsque les échantillons sont pris dans la phase de suivi. Cette méthode de comparaison particulière permettra d'observer la performance des compensations de bande passante proposées car la raie de distorsion qui est présente sur le spectre de sortie du **CAN-ET** sera uniquement due à la présence d'un désappariement de bande passante. Pour trouver la valeur optimale du réglage de compensation, une calibration en continu sera implémentée sur Cadence.

Enfin, le réglage optimal sera quantifié avec un **Digital-to-Analog Converter (DAC)** idéal sur plusieurs bits afin d'observer la sensibilité de chaque compensation proposée.

Le chapitre 6 présentera dans un premier temps un estimateur numérique des quatre principaux désappariements identifiés de la structure CAN-ET. Cet estimateur qui sera basé sur la méthode des Moindres Carrés ajustera les paramètres d'un modèle de régression linéaire multiple en se basant sur les échantillons pris en phase de maintien et, lorsque les caractéristiques du signal d'entrée sont connues. Cet estimateur sera tout d'abord utilisé pour compléter notre comparaison des compensations de bande passante puis dans un second temps, il permettra d'estimer la quantité d'offset, de gain et de skew qu'à ajouté chaque compensation de bande passante lors de son exécution. Avec toutes ces nouvelles données acquises, les compensations de bande passante proposées pourront être classées selon différents critères de performance afin d'identifier la meilleure.

Dans la deuxième partie de ce chapitre, nous calibrerons deux T/Hs ayant des composants de taille différentes afin de mettre en application la meilleure compensation de bande passante ainsi que la technique de body-biasing pour compenser le skew. Nous proposerons alors une calibration mixte de ces deux défauts où nous utiliserons l'estimateur de la première partie. Les désappariements statiques (offset et gain) n'étant pas traités dans cette thèse, nous les compenserons dans le domaine numérique grâce à des blocs théoriques idéaux. Les résultats de simulations nous permettront donc de valider l'efficacité des compensations proposées (skew et bande passante).

Contributions

Les contributions de ce travail de thèse sont les suivantes :

— Conférence :

- ◇ **A.MAS**, E. Andre, C. Lelandais-Perrault, F.V. dos Santos et P. Benabes ; Analog bandwidth mismatch compensation for time-interleaved ADCs using FD-SOI technology ; IEEE International Symposium on Circuits and Systems (ISCAS) ; Mai 2017

— Posters :

- ◇ [Poster1] **A.MAS**, E. Andre, C. Lelandais-Perrault, F.V. dos Santos et P. Benabes ; État de l'Art sur les Calibrations de TI-ADC Haute Vitesse ; Poster JNRDM ; Mai 2015
- ◇ [Poster2] **A.MAS** ; A Comprehensive Analog Bandwidth Mismatch Calibration Technique for Time-Interleaved ADCs ; Poster GDR-SOC2 ; Juin 2017
- ◇ [Poster3] **A.MAS** ; Convertisseur analogique-numérique large bande avec correction mixte ; Poster STMicroelectronics « Doctorant Poster Day » ; Juin 2017

Chapitre 1

Introduction

Sommaire

1.1 La cellule RF-CAN	7
1.1.1 Les Figures de mérite	7
1.1.2 Les Architectures de RF-CAN	7
1.1.3 L'architecture CAN-ET	9
1.2 Variabilité en technologie CMOS	13
1.2.1 Variation Globale (Systématique)	13
1.2.2 Variation Locale (Aléatoire)	14
1.3 Les Désappariements dans les circuits CAN-ET	15
1.3.1 Le désappariement d'Offset	16
1.3.2 Le désappariement de Gain	18
1.3.3 Le désappariement de l'instant d'échantillonnage	18
1.3.4 Le désappariement de bande passante	21
1.4 Conclusion	22

1.1 La cellule RF-CAN

1.1.1 Les Figures de mérite

Pour répondre aux contraintes imposées par la norme DOCSIS 3.1 (résolution de plus de 10-bit et $f_s > 4\text{GHz}$), il est important de bien choisir l'architecture du RF-CAN parmi toutes celles disponibles. Pour évaluer la performance d'une architecture, la communauté scientifique s'appuie sur des facteurs de mérite (*Figure of Merit (FOM)*) qui sont construits à partir de plusieurs métriques tel que, le rapport signal sur bruit (*Signal to Noise and Distorsion Ratio (SNDR)*), le nombre effectif de bits (*Effectif Number Of Bits (ENOB)*), la fréquence d'échantillonnage f_s ou encore la puissance dissipée P_{diss} .

À cause du nombre important de FOM disponibles ([11–13]), cette communauté a décidé de s'appuyer principalement sur la FOM de Walden (FOM_W) [14] et celle de Schreier (FOM_S) [15] dont leur expression respective est définie par les équations (1.1) et (1.2). Il est à noter que l'équation (1.2) est initialement définie avec le range dynamique (DR) au lieu du SNDR car il est maintenant d'usage d'inclure les distorsions dans le calcul de cette FOM [16].

$$FOM_W = \frac{P_{diss}}{2^{ENOB} \cdot f_s} \quad (1.1)$$

$$FOM_S = SNDR(dB) + 10\log\left(\frac{BW}{P_{diss}}\right) \quad (1.2)$$

avec, BW la bande-passante du CAN

La FOM de Walden est construite empiriquement tandis que la FOM de Schreier (aussi appelée thermal FOM) est une modification de la FOM [17] qui suppose que la performance d'un CAN est principalement limitée par le bruit thermique. Ces deux FOMs ne prennent pas en compte toutes les métriques caractérisant un CAN mais elles permettent de faire un bon compromis entre puissance dissipée, bruit et cadence d'échantillonnage.

Pour la suite de cette thèse, nous utiliserons la FOM de Walden.

1.1.2 Les Architectures de RF-CAN

Les contraintes imposées par la norme DOCSIS 3.1 ne permettent pas d'utiliser toutes les architectures de CAN disponibles dans la littérature. Pour identifier celles qui sont les plus adaptées, nous allons tracer la FOM de Walden et la métrique du SNDR en fonction de la fréquence d'échantillonnage f_s .

Pour cela, nous allons étudier toutes les données collectées par Boris Murmann [18] provenant des publications réalisées dans les conférences International Solid State Circuit ISSCC et VLSI Symposium depuis 1997. Les résultats obtenus sont affichés sur les figures 1.1a et 1.1b. Les performances dynamiques et énergétiques minimales requises

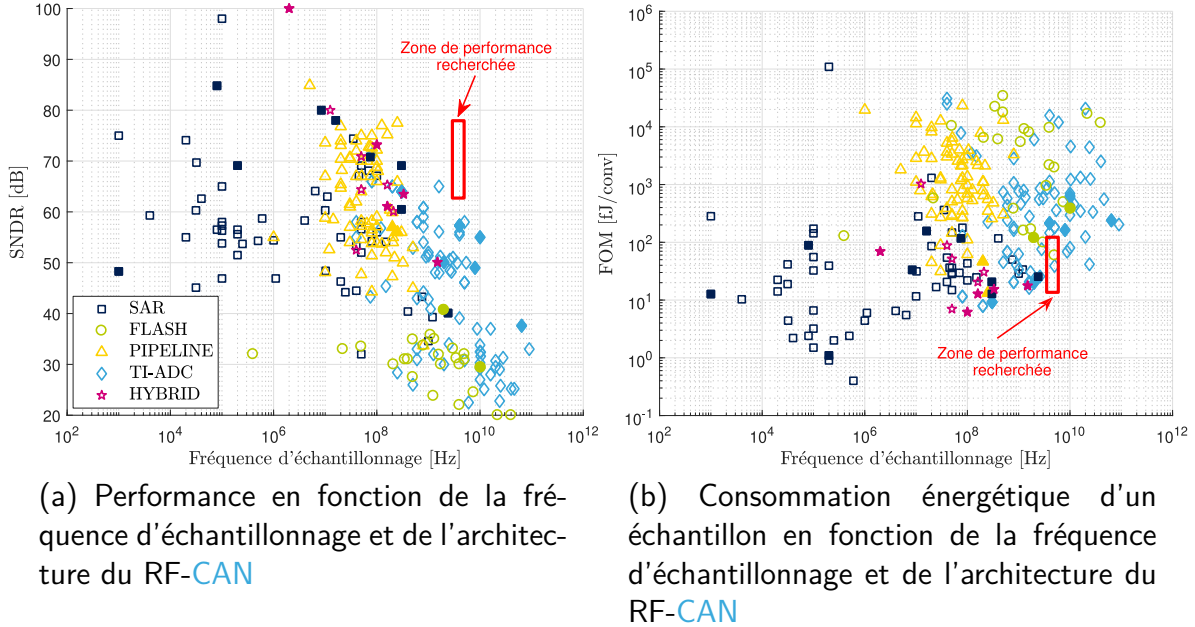


FIGURE 1.1 – Performance dynamique et énergétique en fonction de la fréquence d'échantillonnage et de l'architecture du RF-CAN

par l'application [DOCSIS 3.1](#) sont représentées via un carré rouge et les circuits réalisés en 2017 par des marqueurs pleins.

Pour bien analyser ses deux graphiques, notons que le [CAN](#) "idéal" qui répond aux contraintes du [DOCSIS](#) serait situé dans le coin en haut à droite de la figure 1.1a et en bas à droite de la figure 1.1b. En effet, celui-ci disposerait à la fois d'une très forte résolution et d'une très grande bande passante tout en dissipant un minimum de puissance.

Tout d'abord, l'étude de ces données nous apprend qu'aucune architecture de [CAN](#) ne permet aujourd'hui d'atteindre les spécifications requises pour l'application [DOCSIS 3.1](#) mais que certaines permettent de s'en approcher fortement. En effet, à cause de sa simplicité de conception, l'architecture [Successives Approximations Register \(SAR\)](#) n'arrive pas à combiner forte résolution et grande bande passante. En revanche c'est la seule qui permettent de convertir un échantillon en consommant moins de 10 fJ/conv. Pour arriver à une telle efficacité énergétique, elle profite de la mise à l'échelle des transistors et de différentes innovations dans l'algorithme de conversion [19–22]. De plus, pour minimiser la consommation dynamique causée par les commutations du [T/H](#), la tension d'alimentation utilisée est souvent plus basse que celle supportée par la technologie (0.7V dans [23] et même 0.35V dans [24]).

Si nous considérons l'architecture Pipeline, nous constatons qu'elle ne permet pas non plus de répondre favorablement aux spécifications du [DOCSIS](#) car même si elle offre une résolution minimale de 50dB, sa vitesse se situe entre 10MS/s et 250 MS/s. Cependant, en profitant des derniers nœuds technologiques et en calibrant certaines

erreurs (temps d'établissement, effets mémoires, kick-back noise), cette architecture a atteint une cadence d'échantillonnage record de 2.5 GS/s avec un **SNDR** mesuré à 64dB dans une publication récente [25]. Mais, comme cette architecture est composée de plusieurs éléments actifs (amplificateurs, comparateurs) le coût énergétique pour convertir un échantillon est assez élevé comparé à celui de l'architecture **SAR**. Un même constat peut être observé vers les très hautes fréquences avec l'architecture Flash qui est composée exclusivement de comparateurs. De plus, son architecture ne permet pas d'atteindre une résolution suffisante ($< 40\text{dB}$).

Les architectures hybrides sont composées d'au moins deux architectures de **CANs** différentes comme dans [26] où un **SAR** et un Pipeline sont utilisés en série pour convertir le signal d'entrée. Ce type d'architecture a pour but de profiter des avantages de chaque architecture de base utilisée (**SAR**, Pipeline, flash).

Dans [26], la bande passante du **CAN** hybride est maximisée grâce à l'utilisation du **CAN** pipeline (160MS/s) et la consommation globale est limitée (12.8 fJ/conversion) grâce au **CAN SAR** qui vient contrebalancer la forte consommation du Pipeline.

Il existe d'autres structures hybrides comme dans [27] où le **CAN** de résolution 6-bit est composé d'un **SAR** 6-bit assisté d'un **CAN** Flash 3-bit afin de réduire le nombre d'itérations nécessaires pour quantifier un échantillon. Les 3 bits de poids fort (en anglais **Most Significant Bit (MSB)**) vont être convertis par le Flash en un seul coup d'horloge et les 3 autres bits restants via le **SAR** en 3 coups d'horloge. Le signal est ainsi converti en seulement 4 coups d'horloge au lieu de 7 (1 pour l'échantillonnage et 6 pour la quantification) comme cela aurait été le cas avec l'utilisation d'un **SAR** 6-bit seul.

L'architecture Hybride est sur le principe intéressant mais nous constatons qu'elle ne permet pas d'atteindre à la fois une vitesse et une résolution très élevée.

Enfin nous constatons que les **CAN-ETs** sont les seuls qui permettent de s'approcher au plus près des spécifications du **DOCSIS3.1** car ils atteignent des fréquences d'échantillonnage supérieures à 4 GHz avec au moins 50 dB de **SNDR**.

1.1.3 L'architecture CAN-ET

Pour arriver à atteindre ces cadences d'échantillonnage de plusieurs Gigahertz, le **CAN-ET** repose sur le principe de l'entrelacement temporel. Ceci est illustré sur la figure 1.2a où M sous-**CANs** identiques cadencés à la fréquence $f_{clk} = \frac{f_s}{M}$ échantillonnent cycliquement le signal d'entrée $x(t)$ à tour de rôle.

Comme les horloges d'échantillonnage des M sous-**CANs** sont toutes décalées les unes des autres d'exactly T_s (cf figure 1.2b), les sorties numériques des M sous-**CANs** sont combinées afin de reformer le signal en sortie à la cadence f_s .

La figure 1.3 illustre l'entrelacement temporel en prenant pour exemple un **CAN-ET** à 4 voies (composé de 4 sous-**CAN**). La fonction du multiplexeur est modélisée par la somme des signaux de sortie des 4 sous-**CAN**. L'idée de séparer la conversion du signal par plusieurs **CANs** a été proposée la première fois en 1980 par Black and Hodges [28] où un **CAN-ET** composé de 4 sous-**CAN** cadencés à 4MHz a permis de reconstruire un signal sinusoïdal de 100 KHz avec un rapport Signal sur Bruit (*Signal to Noise Ratio*

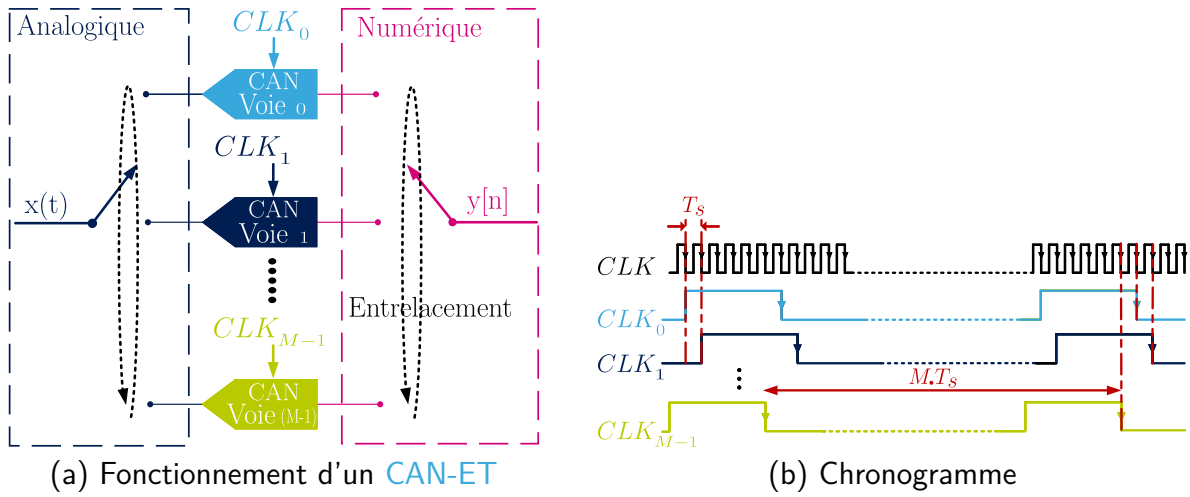


FIGURE 1.2 – Principe de l'entrelacement temporel

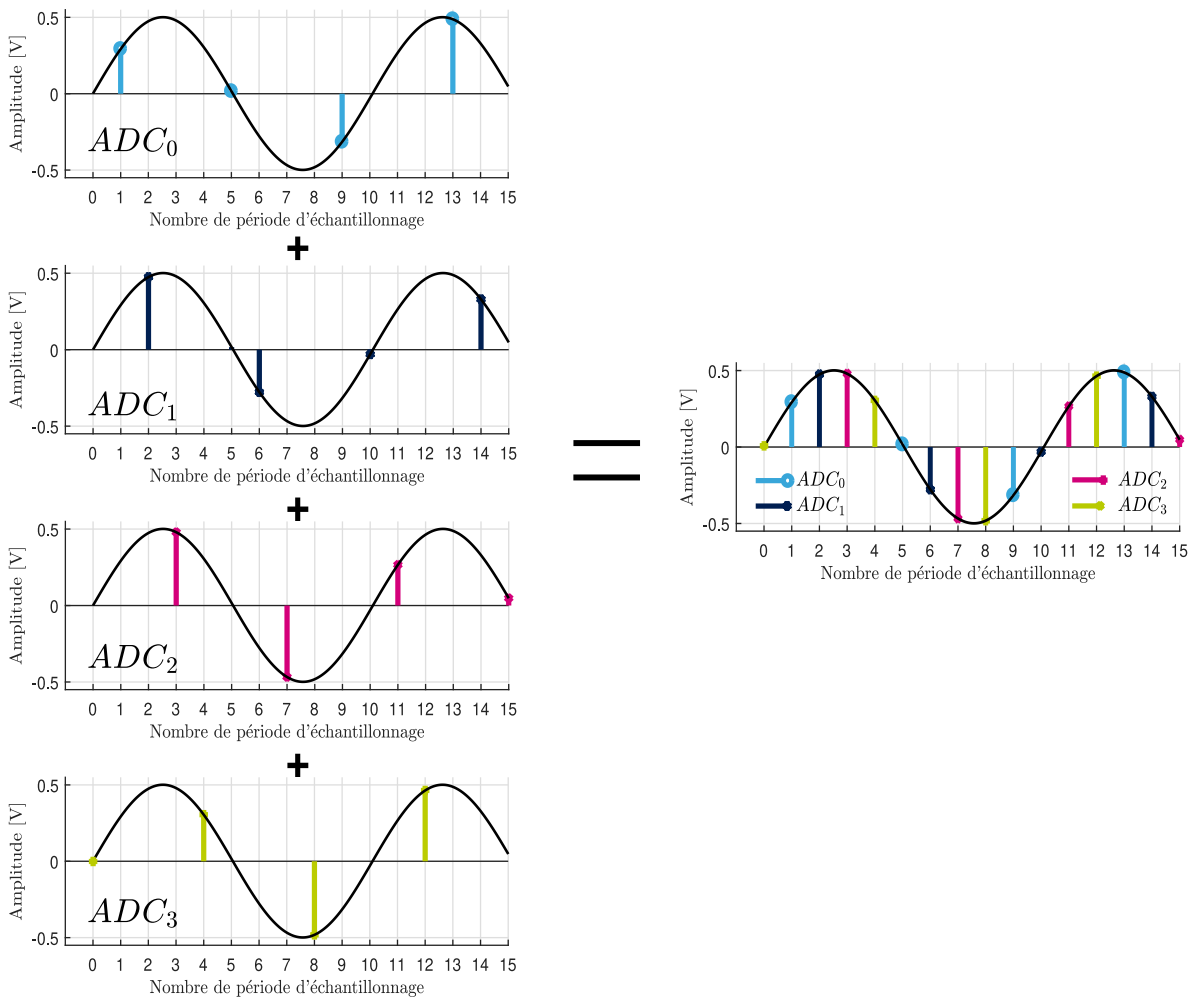


FIGURE 1.3 – Entrelacement temporel d'un CAN-ET à 4 voies

(*SNR*) de 39dB. À partir de ce moment, la communauté scientifique a pris conscience de la puissance de paralléliser la conversion et les **CAN-ETs** ont fait l'objet de multiples études qui ont conduit à repousser de plus en plus loin la fréquence d'échantillonnage. En effet, si nous comparons les performances atteintes en 1980 par [28] avec celles de ces dernières années, nous notons que la fréquence d'échantillonnage a quasiment été multipliée par 2000 pour une même résolution [29].

L'utilisation de la technique d'entrelacement temporel permet donc d'une part d'augmenter facilement la fréquence d'échantillonnage par un facteur M mais d'autre part de ne pas augmenter la puissance dissipée comme cela aurait été le cas en utilisant un **CAN** équivalent au **CAN-ET**.

En effet, lorsqu'un **CAN** à 1 voie est cadencé proche de sa fréquence d'échantillonnage maximale $f_{clk-max}$, l'énergie par conversion qui se définit d'après [1] par le ratio entre la puissance dissipée et la fréquence d'échantillonnage n'est plus linéaire ce qui rend le coût énergétique du **CAN** à cette fréquence totalement disproportionnée [6].

Maintenant, si nous utilisons M sous-**CAN** en parallèles cadencés à une fréquence M fois plus petite que $f_{clk-max}$, ceux-ci vont travailler dans un régime de fonctionnement plus efficient et de ce fait, l'énergie par conversion va rester linéaire comme cela est illustré par la figure 1.4 qui est issue de [1].

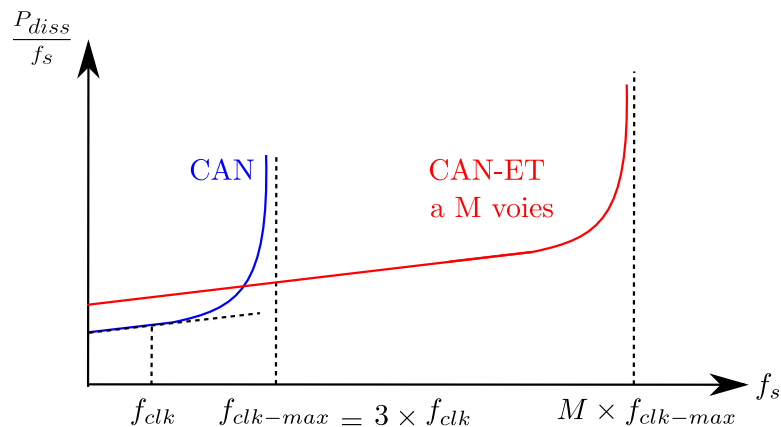


FIGURE 1.4 – Énergie par conversion en fonction de la fréquence d'échantillonnage pour un sous-CAN et un CAN-ET à M voies [1]

Il est à noter que le choix du nombre de sous-**CAN** à entrelacer est primordial pour profiter pleinement des avantages de l'entrelacement temporel. Un nombre trop élevé va certes permettre de diminuer la cadence d'échantillonnage des M sous-**CANs** mais cela va surtout augmenter la charge des drivers d'entrée. En conséquence, la bande-passante du **CAN-ET** et sa linéarité vont diminuer alors que la puissance dissipée va augmenter [6]. À cela s'ajoute une génération et une distribution complexe des multiples horloges tout comme la calibration des erreurs d'entrelacement.

À l'inverse si ce nombre est trop faible, les sous-**CAN** vont fonctionner proche de leur fréquence maximale ce qui va augmenter déraisonnablement l'énergie par conversion et donc rendre l'entrelacement temporel sans intérêt. De plus, les coûts additionnels liés à l'entrelacement des sous-**CAN** vont ajouter un surplus de consommation inutile.

Malheureusement comme souvent en analogique, il n'existe pas de règle formelle qui régit ce choix pour un jeu de spécification donnée. Ainsi, les concepteurs se basent sur leur propre expérience comme l'explique Aaron Buchwald dans [30] où il préconise de partir sur une base de départ à 4 voies.

Une fois le nombre de sous-CAN fixé, il faut définir leur architecture. Cependant comme précédemment, il n'y a pas de réponse universelle pour définir ce choix [30]. Pour avoir une vue d'ensemble sur les performances des CAN-ETs selon l'architecture sous-CAN utilisée (Flash, SAR, Pipeline ou Hybride), nous allons réitérer les mêmes figures que précédemment sauf que cette fois-ci nous nous basons exclusivement sur les données empiriques de [18] utilisant un CAN-ET. Les résultats de cette classification sont affichés sur les figures 1.5a et 1.5b ci-dessous.

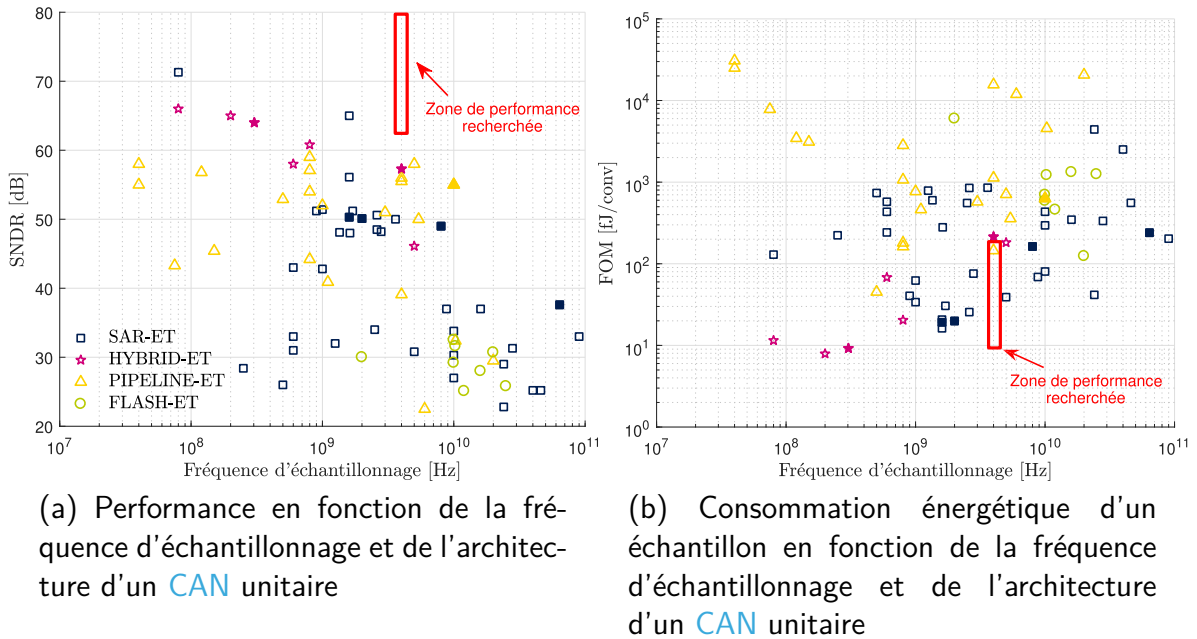


FIGURE 1.5 – Classification des CAN-ET selon le type d'architecture des sous-CANs, le SNDR et la FOM_W

D'après ces deux figures, nous constatons qu'aucune architecture de sous-CAN ne répond aux spécifications imposées par la norme DOCSIS mais, les CAN-ETs de type SAR [31–33] et Pipeline [25, 34, 35] permettent de s'en approcher.

Si nous regardons uniquement l'aspect énergétique, nous observons que les SARs entrelacés obtiennent les meilleures performances mais si le critère de comparaison est la résolution, il est préférable d'utiliser les sous-CAN Pipeline.

L'étude réalisée par Buchwald [30] montre que pour une bande passante et une résolution donnée, les architectures SAR et Pipeline sont comparables. Le Pipeline a l'avantage d'être plus rapide que le SAR ce qui se traduit par un CAN-ET ayant moins de voies et donc une calibration des erreurs d'appariements plus simple et une distribution des horloges plus facile. En revanche comme le Pipeline a besoin de ré-échantillonner le résidu de chaque Multiplying Digital-to-Analog Conversion (MDAC) (ce qui n'est pas

le cas pour le SAR), il est nécessaire d’effectuer en plus des erreurs d’appariement, une calibration des erreurs de radix, des erreurs linéaires et non linéaires de l’amplificateur ou encore des effets mémoires sous peine de voir les performances du CAN-ET Pipeline fortement limitées.

En plus de ces deux architectures, nous pouvons également ajouter les récents CAN-ET hybrides composés d’un pipeline utilisant un CAN SAR (en anglais Pipelined-SAR) qui depuis 2015 permettent d’atteindre une cadence d’échantillonnage supérieure au Gigahertz [36–38] dont un avec une résolution proche de 9.5-bit [38].

En conclusion, nous pouvons confirmer qu’il est préférable d’après les figures 1.1a et 1.5a d’utiliser l’architecture CAN-ET pour atteindre une résolution supérieure à 65dB et une bande passante de l’ordre de plusieurs Gigahertz. En revanche, le choix de l’architecture des sous-CAN est quant à lui plus discutable car il dépend de plusieurs facteurs qui sont fixés par l’application visée [30].

Dans le cadre de cette thèse, nous n’avons pas eu à faire un choix concernant l’architecture du CAN-ET car ce dernier était déjà en conception dès le commencement des recherches. Le CAN-ET sur lequel nous allons travailler est composé de 16 sous-CAN de type Pipeline qui sont cadencés à la fréquence de 250MHz afin d’avoir une cadence d’échantillonnage globale f_s de 4 GHz.

1.2 Variabilité en technologie CMOS

Les erreurs d’appariement entre les voies d’un CAN-ET proviennent fondamentalement de la variabilité des dispositifs électroniques fabriqués en technologie CMOS. Dans cette section, nous allons examiner comment les variations entre les dispositifs sont modélisées.

1.2.1 Variation Globale (Systématique)

Prenons l’exemple de deux plaques de silicium provenant d’un même lot et qui ont été fabriquées en même temps et dans la même salle blanche. Bien que chaque équipement du procédé de fabrication soit étalonné régulièrement, il est inévitable que de légères déviations apparaissent entre les plaques car certaines étapes technologiques s’effectuent plaque par plaque alors que d’autres se font simultanément. Dans le premier cas, seule la notion de répétabilité intervient tandis que dans l’autre cas la notion d’homogénéité spatiale à l’intérieur de l’équipement vient s’ajouter.

Si nous continuons ce raisonnement, deux circuits d’une même plaque peuvent avoir des performances différentes en raison d’un procédé de fabrication non uniforme (irrégularité de l’épaisseur d’oxyde par exemple). Ce type de variabilité affecte tous les composants (transistors, résistances, capacités ou inductances) dans le même sens et par conséquent sera désigné comme **variation globale** (variabilité de la moyenne) [39]. Pour minimiser l’effet de ces variations, les concepteurs de circuits utilisent des techniques de dessin (layout) comme par exemple la technique *common centroid* qui permet de compenser les effets d’un gradient spatial en plaçant les composants de manière symétrique.

1.2.2 Variation Locale (Aléatoire)

Maintenant si l'échelle d'observation est de l'ordre de la taille d'un transistor, il est considéré qu'à cette distance les paramètres de fabrication sont identiques et par conséquent que le désappariement observé n'est plus de nature déterministe mais aléatoire suivant une loi gaussienne. Dans ce cas, on parle de **variation locale** (variabilité autour de la moyenne) et les sources de variabilité proviennent des matériaux constituant le transistor. Il existe plusieurs sources de variabilité comme la rugosité de ligne de grille (*Line Edge Roughness*) ou encore la fluctuation du nombre de dopants dans le canal *Random Dopant Fluctuation* (RDF). À cause de la mise à l'échelle des transistors, la RDF est devenue la principale source de variabilité stochastique des transistors [40]. Par exemple les mesures réalisées par [41] ont montré que le nombre de dopants chute à environ 40 pour un cube de 20 nm^3 tandis qu'il atteint environ 5000 pour un cube de 100 nm^3 . Malheureusement, comme leur quantité implantée dans le canal du transistor permet d'ajuster la valeur de sa tension de seuil (V_{th}), un fort désappariement existe entre les transistors lorsque la longueur de grille est petite. Les performances des circuits logiques et analogiques ([Analog-to-Digital Converter \(ADC\)](#)) sont ainsi fortement impactées par cette variation.

Les concepteurs de circuits subissent ces variabilités mais ils doivent malgré tout s'assurer que les circuits conçus présenteront des performances dont les dispersions seront dans les marges requises du cahier des charges et avec un rendement maximum. C'est pourquoi il est important d'avoir une bonne estimation des dispersions d'un paramètre électrique tel que la tension de seuil V_{th} . En effet si la dispersion est surestimée, les marges prises par les concepteurs seront trop importantes par rapport à la réalité (over design) entraînant une hausse de la consommation et une baisse des performances. À l'inverse, si la variation locale est sous-estimée le rendement sera fortement diminué.

L'estimation de la variabilité d'un paramètre électrique P est effectuée en déterminant l'écart type (σ) de la différence de P entre deux dispositifs identiques et adjacents. Le modèle mathématique (1.3) proposé par Pelgrom [42] suppose que chacune des sources de variabilité locale s'exprime sous la forme d'une variable aléatoire distribuée selon une loi gaussienne de moyenne nulle.

$$\sigma_{\Delta P}^2 = \frac{A_P^2}{W_d \cdot L_d} + S_P^2 D_x^2 \quad (1.3)$$

avec L_d et W_d la longueur et la largeur dessinées du transistor, A_P et S_P des coefficients qui dépendent de la technologie et D_x la distance entre les deux dispositifs.

Bien que ce modèle ait été conçu en 1989, il permet encore de modéliser précisément la variabilité des composants utilisant les dernières technologies.

Dans le cadre de cette thèse, nous nous intéressons uniquement aux désappariements existants entre les voies adjacentes du [CAN-ET](#). Par conséquent, la distance D_x entre

les deux dispositifs (deux sous -ADC) est très petite et la contribution du deuxième terme de l'équation (1.3) dans σ_P^2 est considérée comme quasi nulle. De ce fait, (1.3) se simplifie par l'équation (1.4) qui est appelée *Loi de Pelgrom* :

$$\sigma_{\Delta P} = \frac{A_P}{\sqrt{W.L}} \quad (1.4)$$

L'équation (1.4) permet d'exprimer la variabilité d'un transistor à partir de sa tension de seuil $\sigma_{\Delta V_{th}}$ ainsi que celle d'une résistance $\sigma_{\Delta R}$ ou d'une capacité $\sigma_{\Delta C}$ (lorsque sa valeur est $> 0.1pF$ [43]). L'équation ci-dessous résume l'écart type pour chacun des composants que nous venons d'énoncer :

$$\sigma_{\Delta V_{th}} = \frac{A_{V_{th}}}{\sqrt{W.L}} \quad \frac{\sigma_{\Delta R}}{R} = \frac{A_R}{\sqrt{W.L}} \quad \frac{\sigma_{\Delta C}}{C} = \frac{A_C}{\sqrt{C}} \quad (1.5)$$

Cette équation montre que la croissance de l'écart-type de ΔV_{th} , ΔR ou ΔC est linéaire et inversement proportionnelle à la surface du composant. Les constantes $A_{V_{th}}$, A_R et A_C sont propres au dispositif et au procédé de fabrication.

La miniaturisation extrême des transistors accentue donc leur sensibilité aux variabilités locales et globales. L'impact des variations globales peut être minimisé en respectant certaines règles de layout ou en augmentant la taille des composants ce qui n'est pas le cas pour les variations locales qui, à cause de la mise à l'échelle des transistors, contribuent maintenant majoritairement aux désappariements créés. C'est pourquoi, deux circuits identiques sur une même puce et fondus sur un même wafer de silicium auront des comportements différents selon leur emplacement. Cette conséquence représente un problème pour les circuits analogiques tel que les ADCs ou les DACs car ils sont souvent composés de capacités qui servent à fixer un gain (cas du ADC de type pipeline). Ceci est encore plus critique pour un CAN-ET car ses sous ADCs doivent tous être parfaitement identiques sous peine d'effectuer un échantillonnage non-uniforme. La performance et la consommation de ces circuits dépendent donc de l'appariement des dispositifs qui les composent.

Il convient alors d'analyser les conséquences de ces variations locales sur le spectre de sortie d'un CAN-ET.

1.3 Les Désappariements dans les circuits CAN-ET

Pour augmenter d'un facteur M la valeur de la fréquence d'échantillonnage tout en gardant une résolution constante, il suffit, en théorie, d'entrelacer temporellement M CANs ayant tous la même résolution. Mais comme nous venons de le voir, la variabilité de la technologie CMOS va impacter chaque sous-CAN de manière différente provoquant des erreurs d'appariement statiques (offset et gain) et dynamiques (skew et bande passante) [44] qui vont engendrer une reconstruction non uniforme du signal d'entrée.

L'impact de ces quatre erreurs d'appariement sur le spectre de sortie du CAN-ET ainsi

que sur les métriques de **SNR** et de **SFDR** ont fait l’objet de nombreuses études depuis plusieurs dizaines d’années [45–49]. Par conséquent, nous n’allons pas redémontrer tous ces résultats déjà donnés dans la littérature mais, nous reprendrons simplement le travail effectué dans [10] où l’expression du signal de sortie échantillonné d’un **CAN-ET** à M voies est exprimée en présence de chaque erreur d’appariement à l’aide de la **Transformée de Fourier à Temps Discret (TFTD)**. La variable $w = \Omega T_s$ représentera la fréquence angulaire normalisée périodique de période 2π .

En plus de chaque expression théorique, le spectre de sortie d’un **CAN-ET** 12-bit ($B=12$) constitué de 8 voies ($M=8$) et échantillonné à la cadence $f_s = 4$ GHz sera affiché en fonction de la fréquence normalisée pour chaque désappariement grâce à une modélisation MATLAB¹. Pour cela, une **Fast Fourier Transform (FFT)** de 2048 points est exécutée lorsque le signal d’entrée est sinusoïdale $V_{in} = A \sin(2.\pi.i.f_0.t)$ avec $A = 0.5$ et $f_0 = 0.48 \times f_s$.

Avec ces conditions de simulation et aucune erreur d’appariement entre les huit voies du **CAN-ET**, le spectre de sortie du signal échantillonné est affiché par la figure 1.6.

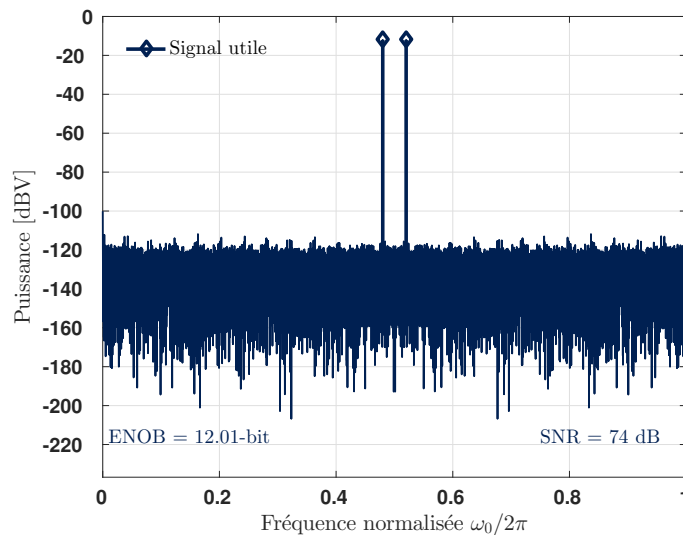


FIGURE 1.6 – Spectre de sortie d’un CAN-ET 12-bit idéal ($M = 8$, $\omega_0 = 0.96\pi$)

1.3.1 Le désappariement d’Offset

Le désappariement d’offset émane du fait que chaque sous-CAN détient un offset qui lui est propre (o_m) ce qui se traduit par un décalage positif ou négatif (selon le signe de o_m) de la caractéristique de transfert idéale de chaque sous-CAN. Comme toutes les caractéristiques de transfert sont différentes, le code numérique en sortie de chaque sous-CAN est donc non nul et différent d’un sous-CAN à un autre lorsqu’aucun signal est présent en entrée. La valeur des o_m va dépendre majoritairement de l’offset

1. L’unique objectif de ces différentes figures est simplement d’illustrer graphiquement l’impact de chaque désappariement. Par conséquent, la valeur du désappariement est choisie de manière arbitraire

intrinsèque des éléments actifs constituant le sous-CAN tel que les amplificateurs ou les comparateurs.

L'ajout systématique d'une tension d'offset sur le signal échantillonné n'est pas une erreur qui dégrade significativement les performances d'un CAN utilisé seul car cela crée qu'une raie de distorsion à la pulsation $\Omega = 0$. Par contre, sa dynamique d'entrée va être diminuée. Dans le cas d'un CAN-ET à M voies, le spectre de sortie ne va plus être pollué par une seule raie de distorsion mais par M raies de distorsion qui apparaissent aux fréquences fixes F_s/M comme le montre l'équation (1.6) issue de [10].

$$\tilde{X}_{2\pi}(w) = X_{2\pi}(w) + \frac{2\pi}{M} \sum_{k=0}^{M-1} \sum_{m=0}^{M-1} \overbrace{o_m e^{-j2\pi \frac{km}{M}}}_{O_k} \delta_{2\pi} \left(w - k \frac{2\pi}{M} \right) \quad (1.6)$$

avec, $\tilde{X}_{2\pi}(w)$ le signal d'entrée effectivement échantillonné, $X_{2\pi}(w)$ le signal d'entrée échantillonné idéalement, M le nombre de sous-CAN et o_m l'offset propre du m -ième sous-CAN

D'après (1.6) le niveau de ses raies de distorsion est pondéré par le terme O_k qui représente les coefficients de Fourier de la séquence d'offset $\{o_0; o_1; \dots; o_{M-1}\}$. Pour illustrer graphiquement l'impact de ce désappariement sur le spectre de sortie, nous allons reprendre la même configuration que celle utilisée pour la figure 1.6 tout en y ajoutant un désappariement d'offset dont la valeur efficace σ_o ² est égale à $10 \times LSB$ ³. Le résultat obtenu est affiché sur la figure 1.7.

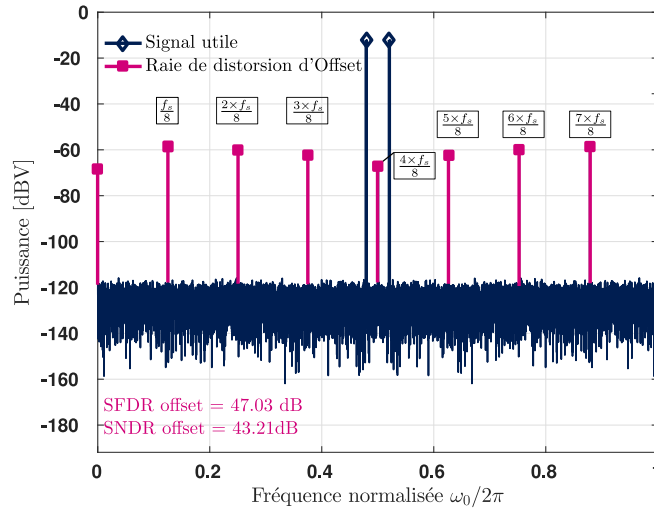


FIGURE 1.7 – Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement d'offset ($M = 8$, $\sigma_o = 10 \times LSB$, $\omega_0 = 0.96\pi$)

-
2. $\sigma_o = \sqrt{\frac{1}{M} \sum_{m=0}^{M-1} o_m^2}$
 3. Least Significant Bit (LSB) égale à $1/2^B$

1.3.2 Le désappariement de Gain

L'autre désappariement statique qui intervient en plus de l'offset et le désappariement de gain. Ce désappariement se produit lorsque les gains des M sous-CAN (g_m) diffèrent tous entre eux. Comme le montre l'équation (1.7) issue de [10], le désappariement de gain va polluer le spectre de sortie du CAN-ET en repliant $M - 1$ fois le signal d'entrée autour des fréquences $k \times F_s/M$. Ces repliements sont pondérés par les coefficients de Fourier G_k de la séquence de gain $\{g_0; g_1; \dots; g_{M-1}\}$.

$$\tilde{X}_{2\pi}(w) = \sum_{k=0}^{M-1} \frac{1}{M} \underbrace{\sum_{m=0}^{M-1} g_m e^{-j2\pi \frac{km}{M}}}_{G_k} X_{2\pi}\left(w - k \frac{2\pi}{M}\right) \quad (1.7)$$

Comme pour le cas du désappariement d'offset, la figure 1.8 reprend les conditions de simulation de la figure 1.6 en traçant le spectre de sortie d'un CAN-ET impacté par un désappariement de gain dont la valeur efficace σ_g ⁴ est égale à 0,01.

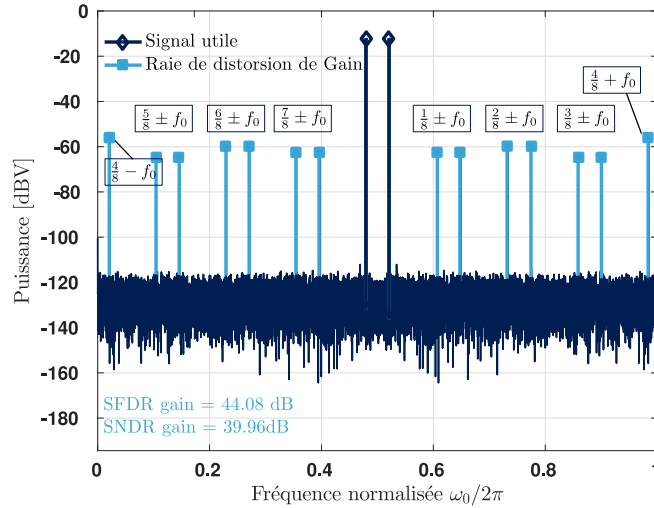


FIGURE 1.8 – Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement de gain ($M = 8$, $\sigma_g = 0.01$, $\omega_0 = 0.96\pi$)

1.3.3 Le désappariement de l'instant d'échantillonnage

Lorsque le terme désappariement de l'instant d'échantillonnage (ou Skew) est employé, cela signifie que l'instant d'échantillonnage de chaque sous-CAN a dévié d'un retard fixe $\pm\Delta_t$ (propre à chaque sous-CAN) par rapport à l'instant d'échantillonnage idéal comme le montre la figure 1.9. Par conséquent en présence de skew, l'échantillonnage du signal d'entrée n'est plus uniforme car le retard d'échantillonnage entre deux sous-CAN consécutifs du CAN-ET n'est plus parfaitement égale à T_s . Selon le signe des retards associés aux deux sous-CANs, cette écart est soit légèrement plus grand que T_s soit légèrement plus petit.

4. $\sigma_g = \sqrt{\frac{1}{M} \sum_{m=0}^{M-1} (g_m^2 - \bar{g})}$

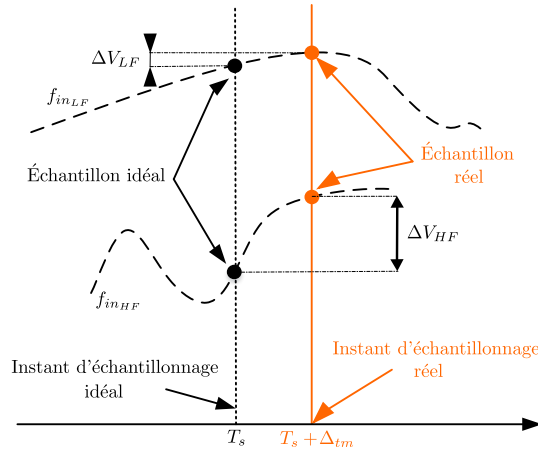


FIGURE 1.9 – Figure illustrant la contribution du skew pour le m -ième sous-CAN

Une des sources d’erreur majeure qui est responsable de la création des différents retards Δ_t provient de la disparité des tensions de seuil des transistors d’échantillonnage ainsi que ceux générant les signaux d’horloge (cf section 1.2.2). Si nous nous basons sur les estimations réalisées dans [10], il vient que $\sigma_{\Delta V_{th}} \approx 8mV$ lorsque la longueur (L) et la largeur (W) d’un transistor **N-type Metal-Oxide-Semiconductor (NMOS)** utilisant la technologie 28nm **FD-SOI** sont fixées à $L = 30nm$ et $W = 1\mu m$. De ce fait, si l’on considère uniquement la variation de la tension de seuil des transistors d’échantillonnage et si la pente des fronts des horloges est comprise entre 20ps et 50ps pour une tension d’alimentation fixée à 1.1V alors, le retard créé varie entre 165fs et 360fs.

Une autre source d’erreur provient du routage des signaux d’horloges et du signal d’entrée vers chaque sous-CAN. Par exemple, lorsque le nombre de sous-CAN à entre-lacer est supérieur à 4, le routage des lignes de transmission ne peut plus être réalisé en étoile ce qui provoque une dissymétrie des lignes et donc des temps de propagation différents entre les signaux se propageant depuis le circuit générant les horloges d’échantillonnage jusqu’au T/H de chaque sous-CAN. Le temps de propagation (t_p) que met un signal à traverser une ligne de transmission va dépendre de la structure de la ligne. Si nous prenons l’exemple de la structure coplanaire avec plan de référence qui est la structure utilisée pour transmettre les signaux d’horloges et le signal d’entrée, une différence de $20\mu m$ entre deux lignes de propagation provoque une augmentation du temps de propagation d’environ 180fs⁵.

La liste d’erreur contribuant à l’augmentation du niveau de skew que nous venons de cité est bien évidemment non exhaustive cependant elle permet de montrer que même si les retards créés sont petits, la somme de chaque retard peut atteindre un retard cumulé de l’ordre de plusieurs picosecondes.

Contrairement au désappariement d’offset et de gain, ce désappariement est dit

5. Cette valeur est calculée à partir d’un modèle discret des lignes de transmission qui est fourni par l’outil interne « Self »

dynamique car son impact sur les performances du CAN-ET varie selon la fréquence du signal d'entrée. En effet comme l'illustre la figure 1.9, plus la fréquence du signal d'entrée est haute (f_{inHF}), plus l'erreur de tension commise (ΔV_{HF}) entre l'échantillon idéal et l'échantillon réel est grande pour un même retard Δ_t .

D'après l'équation (1.8) issue de [10], la présence de skew créé sur le spectre de sortie du CAN-ET des répliques de la dérivée du signal d'entrée aux fréquences $k \times F_s/M \pm f_0$.

$$\tilde{X}_{2\pi}(w) \approx (1 - jw\bar{s})X_{2\pi}(w) - \sum_{k=1}^{M-1} \frac{1}{M} \underbrace{\sum_{m=0}^{M-1} s_m e^{-j2\pi \frac{km}{M}}}_{S_k} j \left(w - k \frac{2\pi}{M} \right) X_{2\pi} \left(w - k \frac{2\pi}{M} \right) \quad (1.8)$$

avec $s_m = \frac{\Delta t_m}{T_s}$ la valeur du $m^{\text{ième}}$ retard normalisé et $\bar{s} = \frac{1}{M} \sum_{k=0}^{M-1} s_m$ la valeur moyenne des m retards

Il est à noter que le terme $jw\bar{s}X_{2\pi}(w)$ ne crée pas de raie puisque \bar{s} est un retard global et par conséquent il ne dégrade pas les performances du CAN-ET. Enfin, comme avec le cas du désappariement de gain, les répliques sont pondérées par S_k qui correspond aux coefficients de Fourier de la séquence des retards $\{s_0; s_2 \dots s_{M-1}\}$.

La figure 1.10 illustre l'impact du désappariement de l'instant d'échantillonnage avec les mêmes conditions de simulation que la figure 1.6. La valeur des différents retards fixes qui est appliquée sur l'horloge de chaque sous-CAN (Δt_m) est réglée de manière à ce que la valeur efficace $\sigma_s = \sqrt{\frac{1}{M} \sum_{m=0}^{M-1} s_m^2}$ soit égale à 0.05.

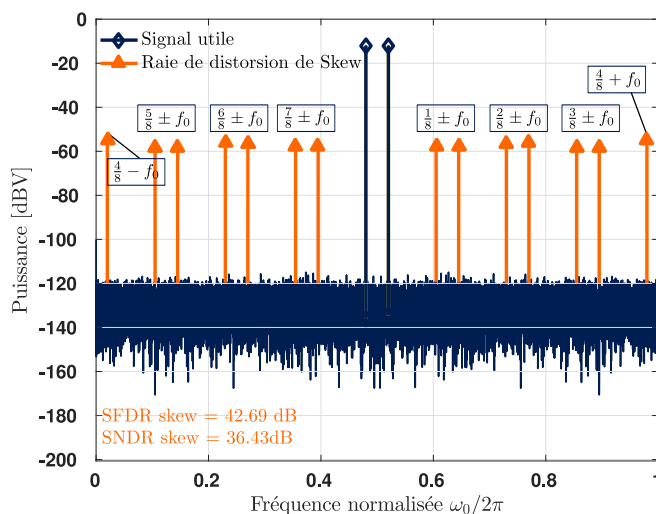


FIGURE 1.10 – Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement de l'instant d'échantillonnage ($M = 8$, $\sigma_s = 0.05$, $\omega_0 = 0.96\pi$)

1.3.4 Le désappariement de bande passante

Le désappariement de bande passante est lié aux différentes fonctions de transfert des **T/Hs** entrelacés qui vont chacune filtrer le signal d'entrée de manière différente. Jusqu'à présent, la mise à l'échelle des transistors a permis de repousser la bande passante des **T/Hs** suffisamment loin de façon à ce que les **CAN-ETs** ne soient pas sensibles à ce désappariement. Pour cela, il suffisait de diminuer la taille de la capacité d'échantillonnage tout en respectant la contrainte de bruit thermique et d'augmenter celle des transistors d'échantillonnage. Malheureusement comme la variation locale de la capacité d'échantillonnage est inversement proportionnelle à sa surface (cf section 1.2.2) et que l'accroissement du débit d'information à transmettre ne cesse de grandir, il en résulte que les **T/Hs** sont de plus en plus sensibles aux variations locales et que leurs premiers pôles sont de plus en plus près de la fréquence maximale des signaux d'entrée à convertir. Par conséquent, ce désappariement ne peut plus aujourd'hui être considéré comme négligeable pour les **CAN-ETs** large bande car il commence à limiter leurs performances lorsqu'une forte résolution est demandée.

Comme pour les trois désappariements précédents, la présence d'un désappariement de bande passante vient polluer le spectre de sortie du **CAN-ET**. En effet comme le montre l'équation (1.9) issue de [10], il contient M répliques du signal d'entrée autour des fréquences $2\pi/M$ qui sont filtrées par une combinaison linéaire des M fonctions de transfert associées aux M **T/Hs**.

$$\tilde{X}_{2\pi}(w) = \sum_{k=0}^{M-1} \left[\frac{1}{M} \sum_{m=0}^{M-1} H_m \left(\frac{1}{T_s} \left(w - k \frac{2\pi}{M} \right) \right) e^{-j2\pi \frac{km}{M}} \right] X_{2\pi} \left(w - k \frac{2\pi}{M} \right) \quad (1.9)$$

Bien qu'il existe plusieurs architectures de **T/H**, elles peuvent toutes être simplifiées au premier ordre par une capacité C_{EQ} et une résistance R_{EQ} équivalente. Avec cette simplification, la fonction de transfert d'un **T/H** peut être modélisée par un filtre passe bas du premier ordre comme cela est définie dans l'équation (1.10) ci-dessous :

$$H_m(\omega) = \frac{1}{1 + j\omega\tau_m} \quad \text{avec} \quad \tau_m = R_{EQ}C_{EQ} \quad (1.10)$$

Si nous injectons l'équation (1.10) dans (1.9) et que nous supposons que la déviation en fréquence des M pôles (Δb_m) est très petite par rapport à la fréquence moyenne des M pôles (\bar{b}) il vient alors d'après [10] :

$$\tilde{X}_{2\pi}(\omega) \approx \frac{X_{2\pi}(\omega)}{1 + j\omega\bar{b}} - \sum_{k=1}^{M-1} \overbrace{\left[\frac{1}{M} \sum_{m=0}^{M-1} \left(\frac{\Delta b_m}{\bar{b}} \right) e^{-j2\pi \frac{km}{M}} \right]}^{B_k} \frac{j \left(\omega - k \frac{2\pi}{M} \right) \bar{b}}{1 + j \left(\omega - k \frac{2\pi}{M} \right) \bar{b}} \frac{X_{2\pi} \left(\omega - k \frac{2\pi}{M} \right)}{1 + j \left(\omega - k \frac{2\pi}{M} \right) \bar{b}} \quad (1.11)$$

avec,

$$\begin{cases} b_m = \frac{\tau_m}{T_s} = \bar{b} + \Delta b_m & \text{la constante de temps normalisée du } m^{\text{ième}} \text{ T/H} \\ \bar{b} = \frac{1}{M} \sum_{m=0}^{M-1} b_m & \text{la constante de temps moyenne (choisie comme référence)} \end{cases}$$

En utilisant une modélisation au premier ordre de la fonction de transfert du T/H, l'équation (1.11) montre que le spectre de sortie du signal reconstitué en présence de désappariement de bande passante est pollué par des répliques du signal d'entrée. Ces répliques sont atténuées par B_k qui correspond aux coefficients de Fourier de la séquence des fréquences de coupures normalisées $\left\{ \left(\frac{\Delta b_0}{\bar{b}} \right); \left(\frac{\Delta b_2}{\bar{b}} \right) \dots \left(\frac{\Delta b_{M-1}}{\bar{b}} \right) \right\}$ et qui sont filtrés par la fonction de transfert $\frac{j(\omega - k \frac{2\pi}{M})\bar{b}}{1 + j(\omega - k \frac{2\pi}{M})\bar{b}}$

Pour illustrer graphiquement l'équation (1.11), nous allons reprendre les mêmes conditions de simulation que nous avons utilisées avec la figure 1.6 en y ajoutant un désappariement de bande passante en modifiant la valeur des paramètres b_m de manière à ce que la valeur efficace $\sigma_b = \sqrt{\frac{1}{M} \sum_{m=0}^{M-1} \left(\frac{b_m}{\bar{b}} - 1 \right)^2}$ soit égale à 0.01. Le résultat est affiché à la figure 1.11.

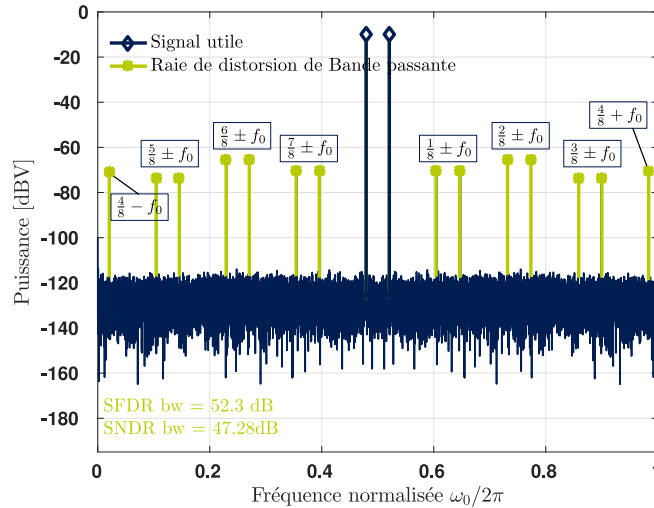


FIGURE 1.11 – Spectre de sortie d'un CAN-ET 12-bit à 8 voies impacté par un désappariement de bande passante ($M = 8$, $\sigma_b = 0.01$, $\omega_0 = 0.96\pi$, $\bar{b} = 1/2\pi$)

1.4 Conclusion

Dans ce premier chapitre nous avons montré que l'architecture CAN-ET est la seule qui permette de s'approcher au mieux des spécifications imposées par la norme DOCSIS. En revanche, le choix de l'architecture des sous-CANs ainsi que leur nombre est encore un sujet ouvert car nous ne sommes toujours pas capables d'apporter une réponse sur ce point. Enfin dans la dernière partie, nous avons rappelé l'expression du signal échantillonné en présence des quatre erreurs d'appariement en reprenant le travail effectué dans [10]. Grâce à une modélisation MATLAB du CAN-ET et des quatre erreurs d'appariement, nous avons illustré l'impact de chaque désappariement sur les performances d'un CAN-ET en traçant le spectre de sortie d'un CAN-ET 8 voies en fonction de la fréquence d'entrée. Le chapitre suivant propose une étude de l'état de l'art qui porte sur la calibration des erreurs d'appariement dynamiques que nous venons de rappeler.

Chapitre 2

État de l’art

Sommaire

2.1 Minimisation des désappariements dynamiques	24
2.1.1 T/H maître	24
2.1.2 Échantillonnage aléatoire	25
2.1.3 Horloge d’échantillonnage sinusoïdale	25
2.1.4 Horloge maîtresse	26
2.1.5 Échantillonnage passif global	27
2.2 Calibrations des désappariements dynamiques	27
2.2.1 Les types de calibration	28
2.2.2 Calibrations numériques	30
2.2.3 Calibrations mixtes	36
2.3 Conclusion	45

NOUS venons de le voir que les erreurs d’appariement d’offset, de gain, d’instant d’échantillonnage et de bande passante génèrent des distorsions indésirables qui dégradent les performances du CAN-ET. Comme ces erreurs sont inéluctables, il devient donc impératif de réduire leur niveau. Pour cela il est possible, pour des coûts minimes, d’appliquer des techniques de conception qui minimisent voire éliminent certains désappariements. Si le niveau des désappariements est encore trop élevé malgré l’utilisation de ces techniques, il devient alors nécessaire d’effectuer une calibration (estimation + compensation) de chaque erreur. Les désappariements d’offset et de gain sont exclus de ce chapitre car nous considérons que ces erreurs statiques sont éliminées jusqu’à un degré suffisant par des techniques de calibration déjà disponibles. En effet, il existe de nombreuses techniques efficaces pour calibrer ces erreurs de manière mixte [50–53] ou numérique [1, 54–56]. Dans ce chapitre, nous allons dans un premier temps faire un état de l’art des différentes techniques de conception qui permettent de minimiser les erreurs dynamiques puis dans une deuxième partie nous étudierons les différentes calibrations qui existent pour ces erreurs.

2.1 Minimisation des désappariements dynamiques

Nous rappelons que les erreurs dynamiques d'un CAN sont créés majoritairement dans le T/H [57]. De ce fait, lorsque ces erreurs diffèrent d'un sous-CAN à un autre, nous obtenons des désappariements dynamiques qu'il devient nécessaire de réduire.

2.1.1 T/H maître

Dans le cadre de la réception par satellite de la télévision, la métrique SFDR doit être suffisamment élevée afin de s'assurer qu'aucunes raies de distorsion ne dégradent le rapport signal/bruit dans la bande de fréquence d'un canal de réception (chaîne de télévision). Par conséquent, en choisissant de convertir le signal via la structure conventionnelle du CAN-ET (cf figure 1.2a), nous nous exposons à être pénalisés par la puissance des erreurs d'entrelacement, qui contrairement à la gigue d'échantillonnage n'est pas distribuée uniformément sur le spectre de sortie du signal reconstitué.

Une manière radicale pour éviter les effets indésirables des désappariements qui sont reliés au processus d'échantillonnage est de réaliser l'échantillonnage du signal d'entrée par un seul T/H [58], appelé T/H maître comme cela est illustré par les figures 2.1.



(a) Implémentation de la technique du T/H maître

(b) Chronogramme

FIGURE 2.1 – Implémentation et chronogramme du T/H maître [2]

Malheureusement cette solution réduit fortement la bande passante du CAN-ET car il y a au moins $\frac{M}{2}$ sous-CANs qui doivent être piloter simultanément (cf figure 2.1b). Pour éviter ce problème, [2] conserve l'architecture conventionnelle du CAN-ET et ajoute le T/H maître en amont des M voies comme cela est illustré à la figure 2.2a. Avec cette nouvelle architecture l'échantillonnage du signal d'entrée est certes toujours effectué par le T/H maître, cependant comme chaque sous-CAN va ré-échantillonner la tension bloquée (tension DC) dans le T/H maître, les désappariements dynamiques existants ne vont donc plus affecter les performances du CAN-ET. Pour s'assurer qu'un seul T/H charge le T/H maître, le rapport cyclique de l'horloge de chaque sous-CAN doit être modifié de manière à ce que le temps alloué pour effectuer la phase de suivi soit inférieur à une période de l'horloge principale (de période T_s). Les fortes contraintes de temps imposées sur le T/H maître rendent l'implémentation de cette technique très difficile lorsque la cadence d'échantillonnage est élevée. Néanmoins, cette technique a

été appliquée dans [59] avec de très bonnes performances malgré une cadence d'échantillonnage de 20 GHz. Le **SNDR** à Nyquist a atteint 33.8dB pour une consommation de 32mW. Pour arriver à de telles performances, le driver en sortie de chaque **T/H** a été retiré afin de ne pas diminuer la linéarité du **CAN-ET** ainsi que sa puissance dissipée.

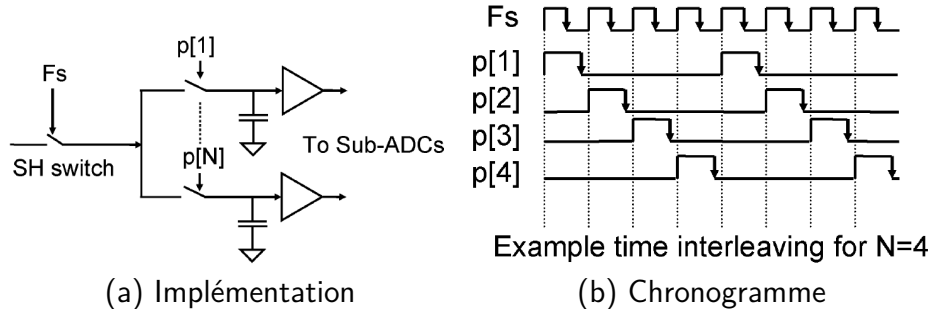


FIGURE 2.2 – Implémentation et chronogramme de l'architecture proposée par [2]

2.1.2 Échantillonnage aléatoire

La technique d'échantillonnage aléatoire du signal d'entrée [60] ne permet pas d'être insensible au skew et à l'erreur de bande passante comme précédemment, mais elle minimise leur impact en étalant la puissance des raies de distorsions sur toute la bande du signal. Cette technique est appliquée dans [61], où M échantillons sont retardés puis redistribués aléatoirement grâce à des circuits additionnels qui sont placés après chaque étage du pipeline. Le problème majeur avec cette solution est qu'il faut implémenter $M(M - 1)/2$ cellules de retard ce qui devient inexploitable lorsque le nombre de sous-CANs est élevé. Pour remédier à ce problème, [62] implémente un nouvel algorithme demandant d'utiliser qu'une seule cellule à retard. Malheureusement, la multitude de circuits additionnels orientant les échantillons aléatoirement dégradent la valeur du signal bloqué ce qui amplifie les désappariements initiaux entre les voies du **CAN-ET**. Pour éviter cela, une autre solution consiste à ajouter un ou plusieurs sous-CAN(s) en plus de ceux constituant le **CAN-ET** et de réaliser le mélange aléatoire des données en digital [63,64]. Cette solution est efficace cependant elle augmente la surface de silicium occupée ainsi que la consommation. Pour diminuer ces deux critères, [65] s'appuie sur cette idée mais au lieu d'ajouter un sous-CAN l'auteur propose de modifier le réseau d'échantillonnage en ajoutant un ou plusieurs **T/H**(s).

2.1.3 Horloge d'échantillonnage sinusoïdale

La distribution des horloges d'échantillonnage est un point clé pour minimiser les erreurs de skew. Pour minimiser les effets du bruit des tensions d'alimentation, ces horloges sont généralement générées à l'aide d'un circuit **Current Mode Logic (CML)**. Comme ce circuit propage des signaux différentiels ayant une dynamique de sortie égale à la moitié de la tension d'alimentation, il est nécessaire d'ajouter un circuit supplémentaire pour commander correctement le(s) transistor(s) d'échantillonnage du **T/H**. Hélas, ce circuit additionnel est une source générant du skew qui peut atteindre jusqu'à 6ps **Root Mean Square (RMS)** [3]. Une nouvelle topologie de circuit (cf figure

2.3) est implémentée dans [3] permettant de diminuer le skew à 0.45 ps RMS (valeur simulée) par rapport à une architecture conventionnelle qui est composée d’une paire différentielle chargée par des transistors de type P-type Metal-Oxide-Semiconductor (PMOS) et d’un buffer.

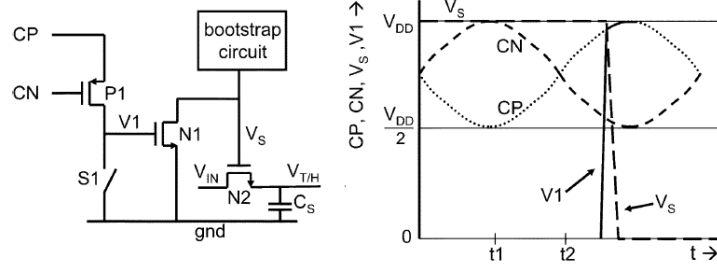


FIGURE 2.3 – Circuit permettant la transformation CML/Unipolaire [3]

Durant la phase de suivi, l’interrupteur S_1 est fermé. À la fin de cette phase, le nœud V_s va être déchargé rapidement vers la masse à l’aide des transistors N_1 et P_1 . En effet lorsque $(V_{CN} - V_{CP}) > V_{th_{P1}}$, P_1 devient passant et la tension V_{CP} se retrouve appliquée sur la grille de N_1 provoquant la décharge du nœud V_s à travers N_1 . Cette architecture est une solution intéressante car les signaux d’horloge sont sinusoïdaux ce qui minimise la distorsion et l’atténuation tout au long de la ligne de transmission. De plus, comme elle minimise la distance entre le point où l’horloge d’échantillonnage est restituée et le T/H, cette technique limite la valeur du skew à quasiment que les disparités des tensions de seuil de P_1 et N_1 . Ce problème peut se corriger facilement en appliquant la technique de body-biasing que nous étudierons plus tard dans le chapitre 4. Un potentiel problème ce cette solution peut provenir d’une dissymétrie des horloges CP et CN qui provoquerait un déséquilibre des horloges.

2.1.4 Horloge maîtresse

Pour minimiser les erreurs de skew, une technique appelée “*Clock reassignment*” [66, 67] consiste à effectuer l’échantillonnage des M sous-CAN à l’aide d’une seule horloge (nommée horloge maîtresse) qui est cadencée à la fréquence du CAN-ET comme le montre la figure 2.1.4.

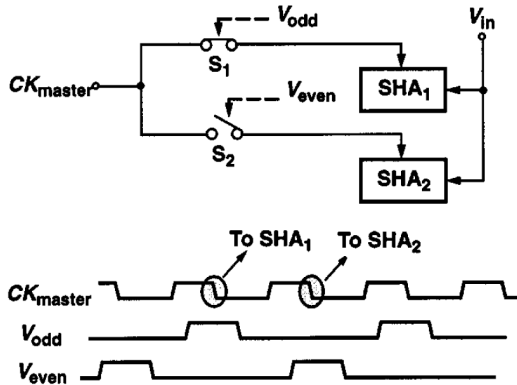


FIGURE 2.4 – Principe de la technique de “*clock reassignment*”

Les signaux V_{odd} et V_{even} vont alternativement orienter l’horloge maîtresse vers le T/H devant effectuer l’échantillonnage. Avec cette technique, le désappariement de l’instant d’échantillonnage n’est pas annulé mais simplement minimisé car il reste un skew résiduel qui dépend des désappariements des transistors d’échantillonnage ainsi que du retard entre les interrupteurs S_1 & S_2 et les transistors d’échantillonnage.

2.1.5 Échantillonnage passif global

L'échantillonnage passif ("*global passive sampling*") est une autre technique qui permet de réduire d'environ 15dB les raies de distortion liées au skew [68]. Cette technique a été conçue à l'origine pour compenser le skew qu'il existe entre les horloges d'échantillonnage d'un T/H utilisant la technique à double échantillonnage [69] puis elle a été adaptée aux CAN-ETs. Le principe de fonctionnement est au premier abord très similaire à celui de la technique précédente car l'échantillonnage est réalisé à l'aide d'une seule horloge (Φ) comme le montre la figure 2.5. Cependant il existe une différence majeure entre cette technique et la technique précédente puisque cette fois-ci l'horloge maîtresse est cadencée à la fréquence du CAN-ET et non deux fois plus vite. Cependant, cette architecture reste sensible aux dispersions des M horloges non-recouvrantes à cause des capacités parasites des trois interrupteurs (cf figure 2.5b). Les auteurs de [68] montrent dans une étude approfondie que le skew est réduit d'un ratio $a = \frac{C_{p2}}{C_{p2} + C_{p1} + C_{Hi}}$ par rapport à un CAN-ET n'utilisant pas cette technique d'échantillonnage. Malheureusement ce ratio n'est pas tout à fait exact car les auteurs supposent que les capacités parasites et la capacité d'échantillonnage de chacune des voies du CAN-ET sont toutes égales, or, ceci est impossible à cause de la variabilité aléatoire des composants.

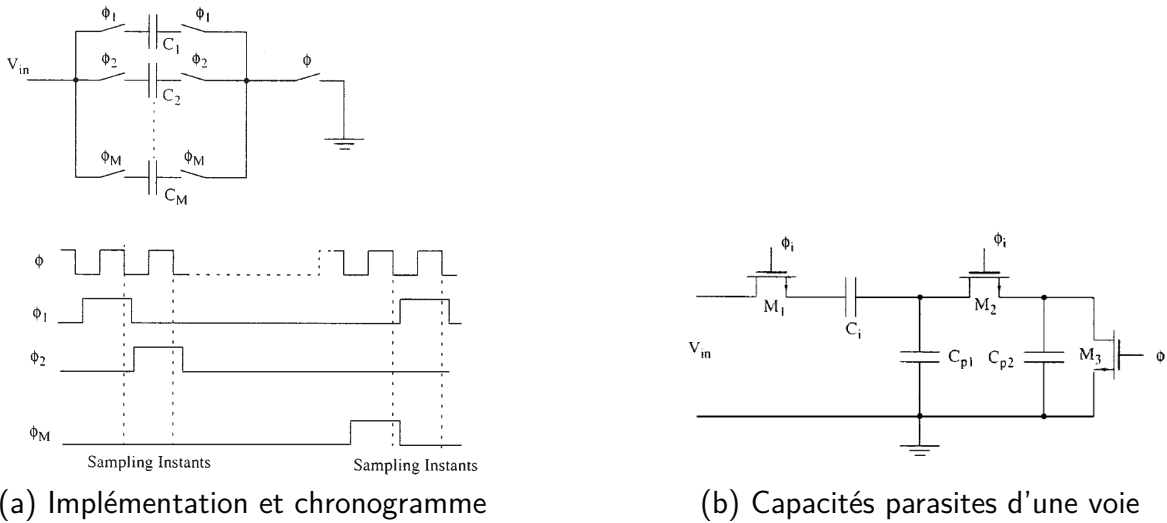


FIGURE 2.5 – Principe de fonctionnement de la technique d'échantillonnage passif

Si les techniques que nous venons d'exposer ne suffisent pas à abaisser le niveau des désappariements de skew et de bande passante suffisamment, il devient alors nécessaire d'implémenter une calibration de ses erreurs en plus des erreurs d'appariement d'offset et de gain (erreurs statiques, hors du champs d'étude de cette thèse).

2.2 Calibrations des désappariements dynamiques

Avant d'étudier les différentes techniques qui existent pour calibrer les erreurs dynamiques, nous allons d'abord définir le terme calibration.

2.2.1 Les types de calibration

La calibration des erreurs d'appariement est une thématique importante abordée depuis plusieurs années. Les calibrations peuvent être divisées en deux familles principales : les calibrations dites hors-ligne (cf figure 2.6a) et celles dites en-ligne (cf figure 2.6b).

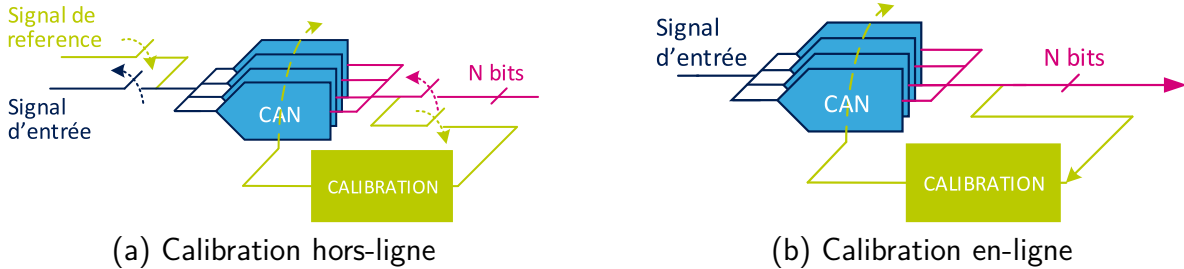


FIGURE 2.6 – Types de calibration

La calibration hors-ligne (“*foreground calibration*”) a une mise en œuvre simple et directe. Malheureusement, elle ne peut pas s’appliquer sur des circuits variant fortement avec le temps car elle nécessite un arrêt complet du processus de conversion normal pour être exécutée. À l’inverse, la calibration en-ligne (“*background calibration*”) s’effectue en tâche de fond et n’interrompt pas la conversion du signal d’entrée par le CAN-ET. En contrepartie, sa mise en œuvre est plus compliquée. Ce type de calibration est principalement utilisé pour les systèmes de communication [37, 54, 70].

La calibration en-ligne peut être subdivisée en deux sous-parties : les calibrations dites aveugles (“*blind calibrations*”) et celles dites non-aveugles (“*non-blind calibrations*”). Les calibrations aveugles ne présupposent pas de forme spécifique du signal d’entrée et calibrent les défauts du CAN en se basant uniquement sur les propriétés statistiques du signal d’entrée [54]. Ce type de calibration est compliqué à réaliser, à l’inverse des calibrations non-aveugles, qui, elles, modifient le signal d’entrée de manière à récupérer des informations qui vont aider le processus d’estimation. Par exemple dans [71] le signal d’entrée est multiplié par une séquence aléatoire pour extraire les erreurs de gains et de décalage d’horloge. En pratique, les calibrations en-ligne et aveugles sont les plus recherchées car elles sont transparentes pour l’utilisateur. Enfin, nous pouvons classer les calibrations citées (hors-ligne, en-ligne et aveugle, en-ligne non-aveugle) selon le domaine dans lequel elles sont implémentées. Si la calibration a lieu entièrement dans le domaine analogique ou numérique, on parle respectivement de calibration analogique (cf figure 2.7a) ou numérique (cf figure 2.7b). En revanche, les calibrations qui estiment les erreurs dans le domaine numérique et qui les corrigent dans le domaine analogique sont dites mixtes (cf figure 2.7c).

Pour avoir une vision globale sur l’utilisation des calibrations analogiques, numériques et mixtes, nous allons reprendre les données [18] et s’intéresser à la calibration des erreurs de skew et de bande passante. Nous avons choisi de classer les calibrations à travers ces deux erreurs car les erreurs d’offset et de gain sont majoritairement calibrées dans le domaine numérique. Il est à noter que pour cette étude l’architecture des sous-CAN ne nous importe pas ainsi que la famille de calibration (en-ligne ou hors-ligne).

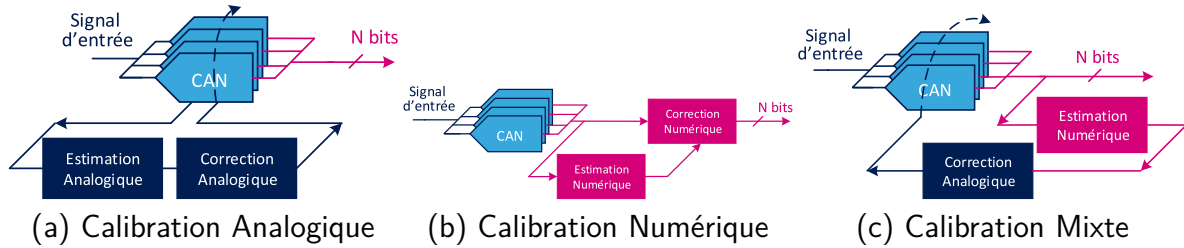


FIGURE 2.7 – Classification des calibrations selon le domaine d'implémentation

Les résultats de cette classification sont affichés sur les figures 2.8a et 2.8b qui tracent respectivement le SNDR et la FOM de Walden en fonction de la cadence d'échantillonnage. Comme pour le cas des figures 1.1, les marqueurs pleins sont les calibrations de 2017.

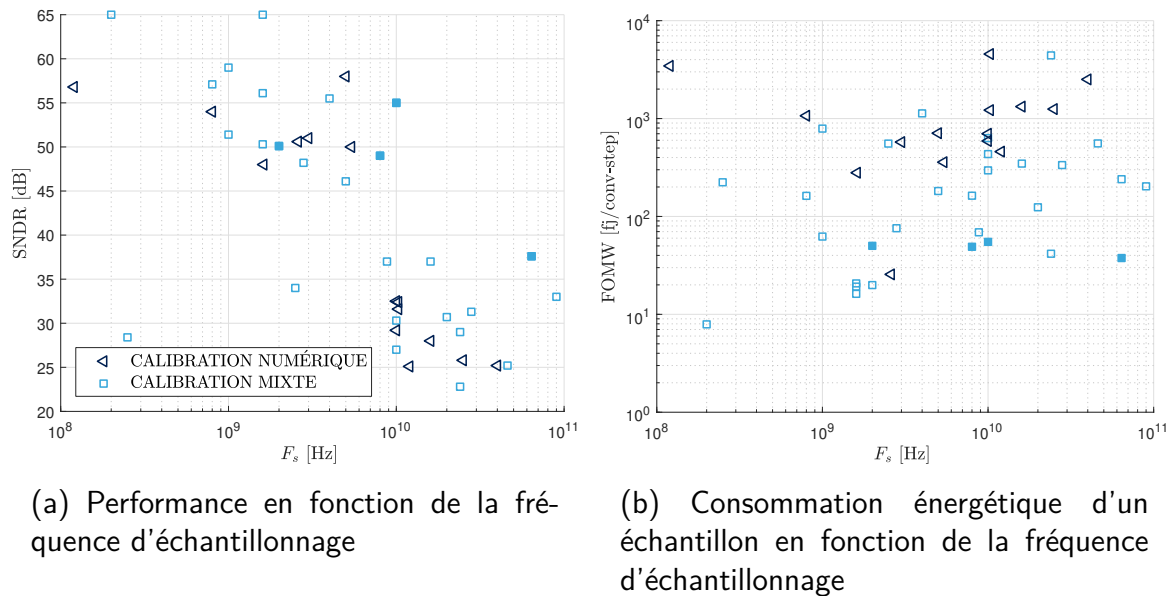


FIGURE 2.8 – Classification selon le domaine d'implémentation des calibrations de skew et de bande passante

Les figures 2.8 montrent une répartition très inégale entre les calibrations analogiques, numériques et mixtes. En effet, nous constatons que les calibrations purement analogiques sont inexistantes pour les erreurs de skew et de bande passante même lorsqu'une faible résolution est visée. Ce résultat s'explique par le fait que le processus d'estimation et de compensation analogique n'est pas précis et dépend fortement des variations de fabrication du circuit. À l'inverse, on dénombre une quantité importante de calibrations purement numériques et mixtes. Les calibrations mixtes ont le vent en poupe depuis quelques années car leur consommation est optimisée par rapport à celle qui s'effectue en numérique. Par exemple pour le skew, il suffit dans le domaine analogique de retarder les horloges d'échantillonnages à l'aide de cellules à retard tel que de simple inverseurs [51] tandis qu'en numérique, une solution très souvent utili-

sée consiste à calculer la dérivée du signal d’entrée à l’aide d’un filtre [Finite Impulse Response \(FIR\)](#) dérivateur qui est cadencé à la fréquence d’échantillonnage du [CAN-ET](#) [54]. Les calibrations numériques ont donc l’inconvénient de consommer beaucoup d’énergie, cependant elles ont des atouts indéniables tel que la flexibilité, le faible coût de développement et la précision, grâce notamment à une granularité de correction plus petite qu’en analogique. En effet, le tableau 2.1 montre qu’à [SNDR](#) quasi constant, le niveau des raies de distorsions après calibration est 10 dB plus bas avec la compensation numérique qu’avec les compensations mixtes. Par contre comme nous l’avons mentionné précédemment, cela se paie au niveau de l’efficacité énergétique car elle consomme plus de 4 fois plus.

	[54]	[72]	[1]
Technologie	40nm	65nm	65nm
Fréquence [GHz]	1.62	1	2.8
Calibration	Numérique	Mixte	Mixte
Niveau ds raies de distorsion [dBFS]	70	60	60
SFDR [dBFS]	62	60	55
SNDR [dB]	48	51.4	48
Puissance [mW]	93	19.8	44,6
FOM_W [fJ/conv]	283	76	62.3

TABLE 2.1: Comparaison des calibrations numériques et mixtes corrigeant l’erreur d’offset, de gain et de skew

En conclusion, les calibrations mixtes et numériques sont toutes les deux efficaces pour compenser les désappariements de skew et de bande passante contrairement aux calibrations analogiques qui sont délaissées à cause de l’imprécision du processus d’estimation. En revanche entre mixte et numérique, il n’existe pas une calibration optimale car les défauts de l’une sont les avantages de l’autre. De ce fait, seul les spécifications de l’application visée peuvent orienter le choix de la calibration à implémenter.

Nous allons maintenant faire un état de l’art des différentes techniques de calibrations qui existent pour calibrer les désappariements de l’instant d’échantillonnage et de bande passante. Pour cela, nous nous concentrerons exclusivement sur les calibrations numériques et mixtes.

2.2.2 Calibrations numériques

Les compensations numériques ont fait l’objet d’une grande variété de propositions dans la littérature pour compenser les défauts d’entrelacement. Le choix de la méthode à appliquer va principalement dépendre de la résolution visée et de la bande passante du [CAN-ET](#). Lorsque la résolution est de l’ordre de 8 à 10-bit, la calibration du skew et des erreurs statiques suffit [73]. Dans ce cas, les erreurs d’appariement sont identifiées puis compensées séparément.

2.2.2.1 Calibrations du Skew

Certaines calibrations numériques reposent sur les propriétés statistiques du signal d'entrée [55, 74–77]. Dans [75, 76], les auteurs montrent que si le signal d'entrée est un processus gaussien stationnaire de moyenne nulle et que sa période n'est pas synchronisée avec la fréquence d'échantillonnage alors la probabilité qu'il passe par zéro (P_Z) est proportionnelle à l'intervalle d'échantillonnage de deux sous-CANs adjacents. Par conséquent, l'information du skew s'obtient en prenant la différence de deux intervalles calculés à partir des probabilités P_Z . Le skew est ensuite compensé de manière itérative à l'aide d'un algorithme **Least Mean Square (LMS)** qui a pour but d'égaliser les intervalles calculés. Dans [55], le skew est estimé en mesurant la variance de la différence des codes de sortie de deux sous-CANs adjacents.

Une autre technique de calibration du skew consiste à aligner les raies de distorsion avec le signal d'entrée afin de calculer la corrélation qu'il y a entre ses deux signaux. Cette méthode est utilisée dans [71, 78] où le signal d'entrée est d'abord filtré par un filtre d'Hilbert (afin d'enlever l'orthogonalité) puis multiplié par une séquence binaire pseudo-aléatoire. La compensation du skew est ensuite réalisée à l'aide d'un filtre numérique à retard fractionnaire (multiple non entier de la période d'échantillonnage). Cette méthode de calibration est étendue à un **CAN-ET** quatre voies dans [79]. Dans [80–83], le signal d'entrée est sur-échantillonné afin d'avoir une bande de fréquence (proche de Nyquist) où seules les raies de distorsions liées aux erreurs d'entrelacement sont présentes. À partir de ses signaux isolés, le signal idéal (sans erreur d'entrelacement) est reconstruit numériquement à l'aide d'un algorithme **LMS** basé sur la corrélation du signal.

Une autre technique consiste à estimer l'erreur de tension liée au skew en faisant une approximation de Taylor au premier ordre. Grâce à cette approximation, il suffit de connaître la dérivée du signal d'entrée et la quantité de skew à corriger pour compenser le skew [54, 84, 85]. Dans [85] le skew est estimé à l'aide de l'estimateur proposé par [6] qui consiste à faire un mixage numérique des sorties de deux sous-CANs (ADC_1 et ADC_2) dans le but de calculer la différence de la fonction d'autocorrelation évaluée aux instant d'échantillonnage $(n.T_s + T_{skew})$ et $(n.T_s - T_{skew})$. Pour calculer la pente du signal d'entrée autour des échantillons pris par deux sous-CAN adjacents, un **CAN** auxiliaire utilise la technique d'échantillonnage différé¹ afin de quantifier la différence de tension ΔV entre deux échantillons pris à des instants d'échantillonnage espacés de ΔT . Connaissant ΔV , le ratio $\frac{\Delta V}{\Delta T}$ (la pente) est connue car ΔT est introduit intentionnellement. De ce fait une fois que le skew T_{skew} est estimé, l'échantillon idéal d'une voie s'obtient directement en numérique par l'équation ci-dessous :

$$Y_{ideal,cal} = Y_{p,cal} + Y_{a,cal} \times \frac{T_{skew}}{\Delta T} \quad (2.1)$$

avec $Y_{ideal,cal}$ la sortie numérique du sous-CAN en calibration corrigée, $Y_{p,cal}$ la sortie numérique du sous-CAN en calibration non corrigée et $Y_{a,cal}$ la sortie numérique du

1. L'échantillonnage différé consiste à échantillonner un signal à deux instants différents à l'aide de deux T/Hs qui ont un retard $\Delta T \ll T_s$ entre leur horloge. Ce retard est introduit intentionnellement et peut être réglable.

CAN auxiliaire.

Cette méthode de calibration est assez rapide car dès lors que la première voie a été calibrée, elle est considérée comme une référence supplémentaire. De ce fait seize voies sont calibrées en exécutant 4 fois cette calibration. Ce gain de temps se paie sur la puissance consommée car il faut obligatoirement $M/2$ CAN auxiliaires pour l'exécuter. Le concept de la compensation de skew proposée par [4] est illustré à la figure 2.9.

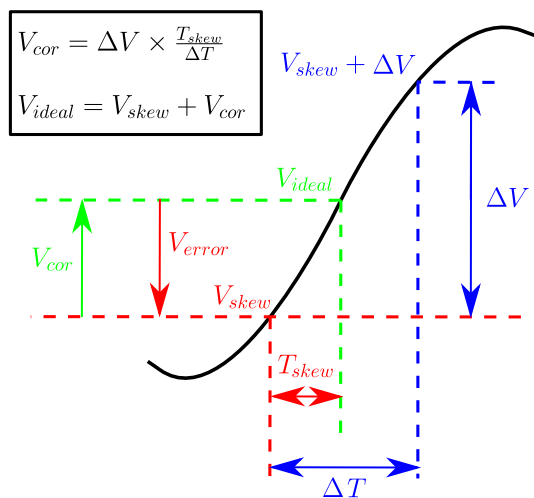


FIGURE 2.9 – Concept de la compensation proposée par [4]

L'objectif est d'annuler la tension d'erreur engendrée par le skew (V_{error}) en ajoutant une tension de correction (V_{cor}) qui est identique et de signe contraire à la tension échantillonnée V_{skew} . Pour réaliser cette calibration, l'échantillonnage différé [85] est également utilisé sauf qu'au lieu de quantifier la différence de tension ΔV avec un CAN auxiliaire, ici cette tension est conservée dans une capacité secondaire afin d'être additionnée à la tension d'entrée du sous-CAN en calibration. En parallèle, le skew (T_{skew}) est estimé numériquement à l'aide de l'estimateur [6]. La tension de correction $V_{cor} = \Delta V \frac{T_{skew}}{\Delta T}$ est ensuite ajustée de manière itérative dans une boucle rétroactive en ajustant numériquement la valeur du ratio $\frac{T_{skew}}{\Delta T}$. Le principe de cette technique est très similaire à [85] cependant la puissance dissipée par la calibration est meilleure car la tension ΔV est conservée au lieu d'être quantifiée par un CAN auxiliaire.

La calibration proposée par [54] opère en boucle ouverte pour calibrer le skew. Grâce à un filtre FIR dérivateur à coefficients fixe, la dérivée du signal sortant de chacune des voies est calculée à la fréquence d'échantillonnage du CAN-ET. En calculant la covariance entre la sortie de chaque voie et la dérivée de la sortie de chaque voie, l'auteur montre qu'il est possible en une seule itération d'obtenir le skew de toutes les voies du CAN-ET par rapport à la voie de référence. Par conséquent, le signal corrigé s'obtient numériquement en soustrayant l'erreur de skew à chaque voie du CAN-ET. Cette solution à l'avantage d'être directe par rapport à celles que nous venons de présenter cependant le fait de calculer la dérivée à la fréquence f_s contribue à une forte consommation de la calibration. En effet, la calibration du skew représente 38% de la puissance

dissipée par le **CAN-ET** [10]. De plus, la précision de cette méthode de calibration est faible lorsque les valeurs de skew à compenser sont grandes à cause de la précision du processus d'estimation. Basé sur le même principe de compensation que [54], la calibration du skew proposée par [84] converge plus rapidement et consomme moins. Pour y arriver, la méthode d'estimation du skew entre deux voies est semblable à celle proposée dans [75, 76] car le principe est d'égaliser deux intervalles de temps. Le skew est compensé via un algorithme **LMS** qui va minimiser la moyenne de la différence entre deux intervalles construits à partir de deux échantillons successifs de la voie de référence et d'un échantillon de la voie en calibration. Cette méthode de calibration est efficace cependant elle s'applique uniquement sur un **CAN-ET** composé de 2^N voies. Les compensations basées sur l'utilisation de filtres polyphase permettent également de diminuer la consommation de la calibration numérique car ces filtres fonctionnent à une cadence m fois plus lente que celle du **CAN-ET**. Dans [82, 83] les coefficients des filtres polyphase sont ajustés à l'aide d'un algorithme **LMS**. La complexité de conception² de ce type de compensation est assez importante car les coefficients des filtres sont stockés dans une lookup table durant la calibration.

Toutes les calibrations que nous venons d'étudier sont efficaces uniquement pour une résolution inférieure à 10-bit [87] car la calibration est réduite aux désappariements linéaires et indépendants de la fréquence (désappariements d'offset, de gain statique et de skew). Pour augmenter la résolution du **CAN-ET**, il convient désormais de compenser en plus les désappariements dépendant de la fréquence [88]. Pour cela, la communauté scientifique s'est concentrée exclusivement sur la calibration des **Disparités de Réponses Fréquentielles (DRFs)** qui est une sorte de calibration générale de tous ses désappariements.

2.2.2.2 Calibrations des disparités de réponses fréquentielles

À cause des erreurs d'entrelacement, le **CAN-ET** se modélise comme un système linéaire à temps variant périodique de période M , car à chaque instant d'échantillonnage la réponse fréquentielle du **CAN-ET** est différente [89]. Pour calibrer les différentes réponses fréquentielles et donc retrouver un système à temps invariant, il est possible d'utiliser un banc de filtre de correction où chaque filtre du banc va filtrer la sortie d'une voie [90–96]. Pour minimiser la complexité d'implémentation³ et de conception, une autre solution consiste à utiliser un filtre **FIR** à voie multiples [97]. Enfin d'après [98], les **DRFs** peuvent également être compensées en appliquant un filtre **FIR** linéaire à temps variant périodique de période M sur la sortie du **CAN-ET** [99]. Tous ces types de filtre se caractérisent par un jeu de plusieurs coefficients qui va falloir calculer de manière itérative [100] ou non-itérative [92, 99, 101] en résolvant des équations.

Le premier papier qui ouvre la problématique de la compensation des **DRFs** est proposé

2. La complexité de conception se définit comme l'effort de calcul pour trouver les coefficients du filtre [86]

3. La complexité d'implémentation se définit comme l'effort de calcul nécessaire pour faire fonctionner le filtre (nombre de taps, nombre de multiplicateurs et d'additionneurs associés [86])

par [101] où les différentes réponses fréquentielles sont égalisées à l'aide d'un filtre **FIR** à temps variant qui est placé dans chacune des voies du **CAN-ET**. Cette calibration étant exécutée en-ligne, les réponses fréquentielles sont caractérisées en injectant un sinus à différentes fréquences. Une fois que celles-ci sont estimées, les coefficients des filtres **FIR** sont identifiés à l'aide d'un algorithme des Moindres Carrés pondéré. Pour que cette calibration fonctionne bien, le nombre de taps des filtres de corrections doit être important ce qui se traduit par une consommation élevée de la calibration. Une version plus simple et moins énergivore est proposée dans [99] cependant sa complexité d'implémentation est encore assez élevée.

Dans [92] une calibration non-itérative est appliquée au cas spécifique du désappariement de bande passante où les deux voies du **CAN-ET** sont compensées individuellement par des filtres **FIR** à temps variant comme dans [101]. Pour déterminer les coefficients des deux filtres de correction, il convient d'inverser un système d'équation qui repose sur le fait que la sortie du **CAN-ET** ne doit pas contenir de raies de distorsion et que le gain et la phase à la fréquence du signal d'entrée doit respectivement être unitaire et nulle. En modélisant le désappariement de bande passante par un filtre passe bas du premier ordre, la réponse impulsionnelle de chaque filtre est approximée par une technique de fenêtrage. La stratégie utilisée par [96,100] pour calibrer l'erreur de bande passante permet de baisser la complexité d'implémentation. En effet, au lieu de compenser chaque réponse fréquentielle par rapport à sa valeur nominale, elles sont compensées par rapport à une voie du **CAN-ET** qui est choisie comme référence. Malheureusement, les différentes méthodes de compensation que nous venons d'exposer ont une grande complexité d'implémentation lorsque le nombre de voies du **CAN-ET** est supérieure à deux et lorsque l'on souhaite effectuer une calibration aveugle. De plus, elles ne sont pas adaptées pour suivre les variations de tension, de température ou de vieillissement car il faut relancer toute la calibration pour mettre à jour la valeur des coefficients des filtres de correction.

Pour résoudre ces problèmes, les recherches ont été orientées dans l'implémentation de structures de compensation plus flexibles et minimisant la complexité d'implémentation. Une avancée majeure a été réalisée lorsque les méthodes de reconstruction itératives initialement proposées par [102] ont été adaptées aux cas des **DRFs** [103–109]. Le principe de ces méthodes est de reconstruire le signal d'erreur qui est issu de l'échantillonnage non-uniforme et de le retrancher au signal de sortie du **CAN-ET**. Par exemple, dans [102,110], la tension d'erreur causée par la présence du skew est décomposée comme la somme de plusieurs erreurs à l'aide d'une série de Taylor. Pour reconstruire le signal d'erreur, la structure de compensation proposée par les auteurs se décline en plusieurs étages cascades qui vont chacun reproduire un des termes de la série de Taylor. Pour cela, chaque étage est composé d'un filtre dérivateur et d'un multiplicateur. La performance de ces méthodes de reconstruction itératives va donc dépendre du nombre d'étages cascades de la structure de compensation. En effet, plus la structure a d'étages plus le signal reconstruit est précis.

Dans [73] la réponse fréquentielle d'une voie est modélisée par un polynôme d'ordre P comme dans [105,109]. En exploitant cette représentation polynomiale, les **DRFs** sont

compensées en réalisant une approximation polynomiale du filtre linéaire à temps variant et périodique de période M , grâce à une structure de compensation composée de M étages cascades, qui sont chacun composés de P filtres FIRs dérivateurs et de P multiplicateurs variables. Le but de la compensation est donc d’ajuster pour chaque étage les P multiplicateurs variables afin que chaque polynôme de correction construit soit l’inverse de la réponse fréquentielle de la voie qui lui est associé. La publication [103] est très similaire à celle de [73] car la structure de compensation proposée est également cascadiée. Malheureusement aucune de ses deux publications proposent une méthode d’estimation des réponses fréquentielles. Basé sur la même structure de compensation que [73], [105] propose une estimation quasiment aveugle afin de calibrer les DRFs d’un CAN-ET deux voies. Pour cela, les auteurs sur-échantillonnent le signal d’entrée afin que toutes les raies de distorsions liées aux DRFs apparaissent dans une même bande de fréquence [109, 111]. Pour isoler le signal d’erreur du signal désiré (sans erreur), le signal en sortie du CAN-ET est filtré par un filtre passe haut. Les valeurs des multiplicateurs variables sont alors ajustées via un algorithme adaptatif (FxLMS) [112] basé sur la corrélation du signal. Dans la calibration [109], la sortie du CAN-ET n’est plus filtrée par un filtre passe haut car la technique de “*channel swapping*” est utilisée. Dans [111] les DRFs sont calibrées via des filtres numériques variables qui sont construit sur la méthode Gauss-Seidel.

De nouvelles méthodes de calibration sont apparues lorsque [113] montre qu’il existe des similitudes entre les composantes fréquentielles des raies de distorsion liées aux DRFs contenues dans le signal réel d’un CAN-ET deux voies et celles liées aux disparités contenues entre deux voies *In-phase and Quadrature (I/Q)*. En effet dans le cas d’un CAN-ET deux voies, une symétrie par rapport à $f_s/2$ est observée entre les composantes fréquentielles des disparités et celles du signal idéal. Dans le cas d’un signal I/Q, cette symétrie est par rapport à 0 (DC). Ces symétries impliquent que le spectre de sortie du signal complexe I/Q et celui d’un CAN-ET deux voies sont reliées par une transformation passe bas-passe bande [114]. Par conséquent en utilisant un traitement numérique assez simple sur la sortie du CAN-ET, il est possible de transformer le signal de sortie du CAN-ET en un signal de type I/Q. Cette remarque est intéressante car les compensations développées pour compenser les disparités entre les voies I et Q peuvent désormais être applicables dans le cadres des CAN-ETs et vice versa. Les premières publications qui interprètent la calibration des DRFs comme un problème d’identification et de compensation des déséquilibres entre les voies I/Q sont dans un premier temps appliquées sur un CAN-ET deux voies [115–117]. Dans [115], les signaux des DRFs sont recréées à partir d’un filtre FIR linéaire à temps variant dont les coefficients sont ajustés grâce à l’algorithme proposé par [118], qui utilise la propriété de circularité du signal d’entrée. L’avantage avec cet estimateur est que l’information relative aux DRFs est disponible sur toute la bande du signal, et non pas sur une bande étroite, comme c’est le cas avec les estimateurs qui utilisent la technique de sur-échantillonnage. Une fois que les coefficients du filtre FIR de correction sont ajustés, seule la partie réelle des signaux complexes sortant de ce filtre sont retranchés au signal sortant du CAN-ET afin de reconstruire le signal idéal. Adapter les structures de compensation et d’identification initialement dédiées aux déséquilibres des voies I/Q à la calibration des DRFs d’un

CAN-ET n'est malheureusement pas généralisable pour M voies entrelacées mais au maximum pour quatre [119–121]. La publication [122] propose une calibration aveugle et adaptative des **DRFs** sur un **CAN-ET** à deux voies qui est plus performante et plus simple que celles proposées par *Singh et al* [115, 116, 119] malgré le fait qu'elle soit basée sur le même principe d'estimation [121].

La liste non-exhaustive que nous venons de faire permet de montrer qu'une multitude de techniques purement numérique ont été développée pour compenser les erreurs dynamiques. Les défauts principaux de ces calibrations numériques sont la complexité d'implémentation et de conception, qui restent relativement élevées malgré les efforts qui ont été faits pour rendre les structures de compensation plus simples. Pour surmonter ces deux points, des études ont proposées de compenser les erreurs dynamiques dans le domaine analogique, afin de former des calibrations mixtes, moins onéreuses.

2.2.3 Calibrations mixtes

2.2.3.1 Estimation des désappariements dynamiques

Les calibrations mixtes réalisent le processus d'estimation dans le domaine numérique. De ce fait, les techniques d'estimation sont généralement les mêmes que celles utilisées pour les calibrations purement numériques. De ce fait, nous n'allons pas revoir toutes les méthodes d'estimation vues précédemment mais simplement illustrer ces similitudes en prenant quelques exemples. Dans [72], le skew est estimé en mesurant la variance entre la sortie des différentes voies du **CAN-ET** et d'un **CAN** auxiliaire, comme le propose la calibration numérique [55]. Le processus d'estimation du skew est amélioré dans [123, 124] pour le cas des signaux aléatoire, car l'algorithme converge plus rapidement. Celui de [76] est repris dans [125], où une calibration en arrière-plan est réalisée grâce à un répliqua du **T/H**, qui est implémenté dans chaque sous-**CAN** afin de détecter le passage à zéro du signal d'entrée. Dans [126] le skew est détecté en minimisant la corrélation entre chaque voie du **CAN-ET** et un **CAN** auxiliaire. Comme la majorité des calibrations mixtes du skew ont une boucle de rétroaction, il n'est donc pas nécessaire d'estimer parfaitement la dérivée du signal d'entrée, comme c'est le cas avec les compensations numériques, mais simplement de connaître le signe de la dérivée. Dans [1], la dérivée du signal d'entrée est estimée grossièrement en prenant la différence des codes de sortie de deux **CANs** auxiliaires dont l'un a son instant d'échantillonnage légèrement retardé par rapport à l'autre. Cette technique d'estimation est assez similaire à l'échantillonnage différé vue dans [85]. Dans [127, 128] le signe de la dérivée est obtenue d'une autre manière via un filtre passe haut du premier ordre en série avec un comparateur.

Le processus de compensation des calibrations mixtes s'effectue lui dans le domaine analogique afin de diminuer le coût matériel et donc la consommation de la calibration. Dans la suite de cette section, nous allons proposer une liste non exhaustive des différentes techniques de compensation analogiques qui existent pour compenser les erreurs dynamiques. Dans un premier temps nous allons nous concentrer uniquement

sur le skew puis dans une seconde partie nous traiterons le désappariement de bande passante.

2.2.3.2 Compensation analogique de l’erreur de skew

La manière la plus simple de ralentir un signal dans le domaine analogique est de le faire passer dans une cellule à retard. Le principe d’une telle cellule est de générer sur sa sortie le même signal qui est appliqué sur son entrée mais retardé d’un délai prédéfini. Si plusieurs cellules à retard sont connectées les une à la suite des autres, il convient d’utiliser alors le terme de ligne à retard.

La ligne à retard se caractérise par une plage de réglage, une granularité et des performances par rapport à la gigue d’échantillonnage. La granularité va permettre de définir le plus petit délai D_{min} et la plage de réglage le plus grand délai D_{max} qu’elle est capable d’appliquer sur le signal la traversant. Pour définir la valeur de D_{max} , il suffit d’avoir une estimation de la quantité maximale de skew à compenser. Pour cela, le **CAN-ET** est caractérisé à l’aide de simulations statistiques pour différentes valeurs de température et de paramètres de fabrication (procédé). Par exemple dans [72], la ligne à retard implémentée doit être capable de compenser un skew maximal de 20ps. Pour ce qui concerne la valeur de D_{min} , elle se détermine en calculant le skew maximal que peut tolérer un **CAN-ET** ayant M voies et une résolution B -bit. Pour cela, [126] a formulé l’expression (2.2) qui exprime l’écart type du skew σ_s lorsque le signal d’entrée est un sinus de fréquence f_{in} .

$$\sigma_s^2 = \frac{M}{M-1} \times \frac{2}{3.2^{2B}(2\pi f_{in})^2} \quad (2.2)$$

En s’appuyant sur (2.2), si un sinus de 2 GHz est échantillonné par un **CAN-ET** de résolution 12-bit ayant seize voies, le skew résiduel après calibration doit être au maximum d’environ une dizaine de femtosecondes. Par conséquent, pour que la calibration du skew soit efficace, il faut que la granularité de la correction soit inférieure à 10fs.

Bien qu’il existe une multitude de cellules à retard, les lignes à retard peuvent se classer suivant deux architectures : les lignes à retard fixe (sorties multiples) et les lignes à retard ajustables (sortie unique). La ligne à retard fixe (cf figure 2.10a) consiste à cas-cader N cellules à retard toutes identiques afin de créer un délais global fixe qui se définit comme la somme des temps de propagation de chaque cellule. Ce type d’architecture n’est pas adaptée pour compenser le skew des **CAN-ETs** car la granularité est fixée par le temps de propagation d’une cellule à retard, qui malheureusement est proportionnel à la dimension de ses transistors [129]. Par conséquent, si nous souhaitons atteindre une granularité de 10 fs, les dimensions des transistors vont être si faibles que le temps de propagation sera très sensible aux variations des procédés de fabrication ce qui va donc dégrader fortement la gigue d’échantillonnage. De plus, à cause de la nature complexe du réseau capacitif d’une cellule à retard, la linéarité du délai introduit se retrouve dégradée.

L'autre architecture est la ligne à retard à sortie unique (cf figure 2.10b). Comme elle est composée de cellules à retard ajustables, cette architecture est plus apte à compenser le skew des CAN-ETs. Cette fois-ci la valeur du délai introduit ne dépend plus du nombre de cellules connectées mais uniquement de la valeur du signal de contrôle qui est appliqué sur les cellules à retard. Le signal de contrôle peut être soit un signal analogique généré à l'aide d'un DAC [6, 130–132] soit un mot numérique [1, 5, 34, 51, 56, 72, 74, 123–125, 133–135].

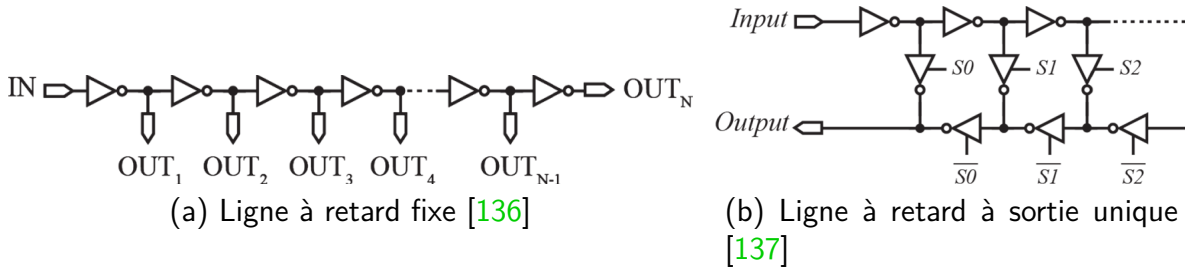


FIGURE 2.10 – Architectures des lignes à retard

Peu importe la nature du signal de contrôle, le délai introduit par une cellule à retard ajustable peut être contrôlé soit en modifiant la vitesse de commutation des transistors qui la compose [138], soit en augmentant sa charge en sortie [1, 5, 51, 56, 125, 132, 134] ou soit en régulant le courant qui la traverse [6, 130, 131, 133]. La cellule à retard qui est la plus utilisée pour compenser le skew est la cellule *Shunt-Capacitor Inverter* (SCI) qui est affichée à la figure 2.11.

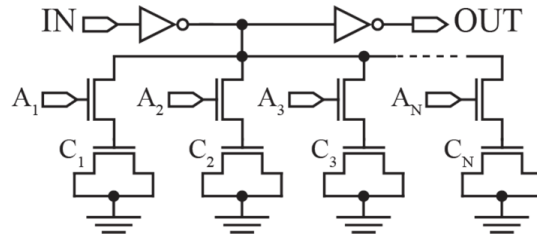


FIGURE 2.11 – Cellule à retard *Shunt-Capacitor Inverter* [1]

Dans cette cellule, un réseau de capacités MOS est connecté sur la sortie du premier inverseur à l'aide de transistors NMOS qui jouent le rôle d'interrupteur. Le délai introduit par cette cellule varie selon le code numérique qui est appliqué sur les entrées A_1, A_2, \dots, A_n . Si aucun transistor est activé, la charge du premier inverseur est principalement définie par la capacité d'entrée du second inverseur. En revanche dès lors qu'un transistor est activé, la capacité MOS se retrouve en parallèle de la capacité d'entrée du second inverseur ce qui a pour effet d'augmenter la charge équivalente et donc de coucher les fronts des horloges. Pour compenser une grande plage de compensation tout en gardant une forte résolution, la majorité des compensations mixtes qui implémente cette cellule à retard utilisent deux lignes à retard différentes [56, 72, 133]. La première ligne est dimensionnée de manière à effectuer une première compensation grossière puis à l'aide de la deuxième ligne le réglage de compensation est affiné. Par

exemple dans [72], les deux lignes à retard sont contrôlées par deux bus 3-bit afin de compenser le skew avec une résolution de 2ps/code et de 0.3ps/code. Le problème de scinder en deux la compensation du skew est que la gigue d'échantillonnage va être dégradée à cause des forts délais introduits par la compensation grossière. Pour éviter ce problème, [134] propose d'implémenter qu'une seule ligne à retard et d'ajuster le délai progressivement tout au long de la ligne de transmission de l'horloge. Cette solution est effectivement meilleure, car le **SNDR** obtenu après compensation est identique au **SNDR** obtenu dans les mêmes conditions de simulation mais avec une compensation purement numérique qui, elle, ne dégrade pas la gigue d'échantillonnage. En revanche le nombre de bits contrôlant la ligne augmente car il faut désormais 10-bit pour avoir une plage de compensation de ± 5 ps avec une granularité 10fs/code.

Sur le même principe que la SCI, la matrice d'inverseur permet également de compenser le skew en ajustant la charge de sortie d'un inverseur [5,74]. Dans [5] une matrice de 63 inverseurs est connectée en parallèle d'un premier inverseur comme le montre la figure 2.12.

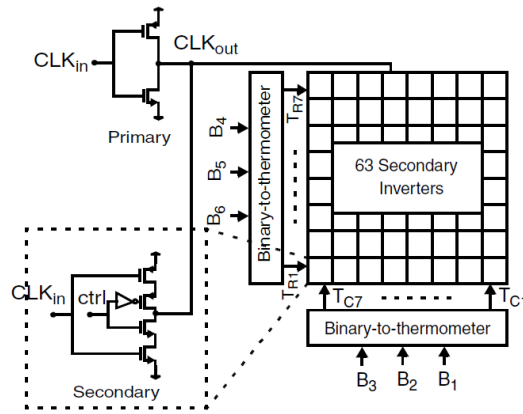


FIGURE 2.12 – Cellule à retard à l'aide d'une matrice d'inverseur [5]

En appliquant un mot numérique, une partie des inverseurs de la matrice vont s'activer ce qui va modifier le ratio W/L du premier inverseur et donc modifier le délai de propagation de ce dernier. La granularité obtenue avec cette solution est de 0.86ps/code [5]. Dans [74], la matrice n'est plus constituée d'inverseurs mais de capacités. Cette différence d'élément permet d'avoir une compensation plus linéaire et une granularité plus petite (0.25ps/code). Le problème avec cette solution est encore une fois la sensibilité à la gigue d'échantillonnage qui est augmentée. Dans [139] cette dernière est augmentée de 39%. Pour diminuer cette sensibilité, il faudrait que la tension d'alimentation de cette cellule soit générée par un régulateur **Low Drop Output (LDO)**.

Dans [6] le skew est compensé à l'aide d'une nouvelle cellule à retard qui est basée sur l'inverseur appauvri en courant ("*Current Starved Inverter (CSI)*") comme le montre la figure 2.13. Le principe est de contrôler le courant qui traverse l'inverseur en faisant varier la résistance du transistor M_4 à partir d'un **DAC** résistif. Le plus petit délai est fixé par le courant traversant M_3 lorsque le code de contrôle est 0. Comme M_3 est

toujours passant, la linéarité du délai introduit est grandement améliorée par rapport à la structure du CSI (composée exclusivement de M_1 , M_2 et M_3) notamment vers les derniers codes de compensation. En effet, le délai introduit par la structure CSI n'est plus du tout linéaire lorsque la tension de compensation appliquée sur la grille de M_3 est proche de sa tension de seuil car le transistor est proche de se bloquer. Cette cellule à retard ajustable est implémentée dans [130] avec une granularité de 0.3ps/code.

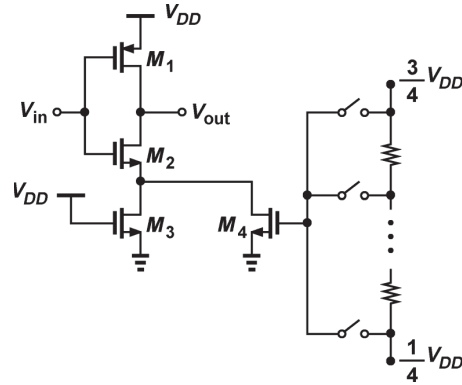
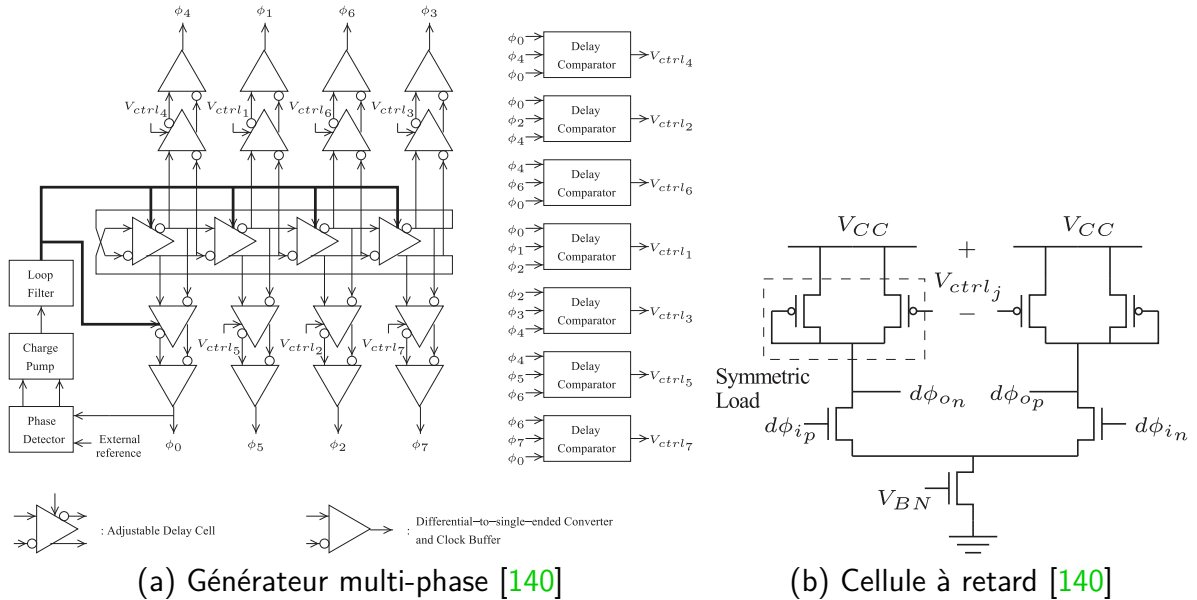


FIGURE 2.13 – Cellule à retard basé sur l'inverseur de courant appauvrit [6]

Dans [140] un oscillateur en anneau contrôlé en tension permet de générer les horloges d'échantillonnage de chaque sous-CAN comme le montre la figure 2.14a issue de [141].



(a) Générateur multi-phase [140]

(b) Cellule à retard [140]

FIGURE 2.14 – Compensation du skew

Le générateur multi-phases est composé de 4 cellules à retard différentielles qui sont embarquées dans une Phase-Locked Loop (PLL) afin de générer 8 horloges d'échantillonnage. Pour compenser le skew inhérent entre chaque phase, une cellule à retard qui est basée sur celle présentée dans [142] est introduite juste après la PLL (cf figure

2.14b). Le principe de compensation est similaire à celui du CSI car le délai introduit dépend du courant qui traverse la résistance formée par la paire de transistor PMOS. Selon la valeur du signal analogique V_{ctrl_j} appliqué, cette résistance est ajustée ce qui modifie la vitesse du transfert de charge des transistors de sortie. Comme les signaux de sortie de cette cellule à retard sont différentiels et avec une excursion limitée, un buffer est placé juste après pour convertir l'horloge différentielle en une horloge unipolaire.

La structure de ce générateur multi-phases [140] est repris dans [7] pour générer les horloges d'échantillonnage de chaque sous-CAN. Cette fois-ci la compensation du skew est directement réalisée dans le circuit convertissant l'horloge différentielle en une horloge unipolaire qui est affiché sur la figure 2.15.

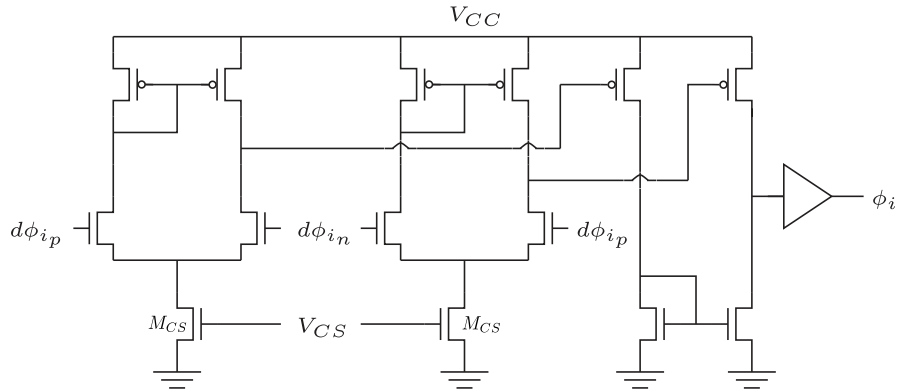
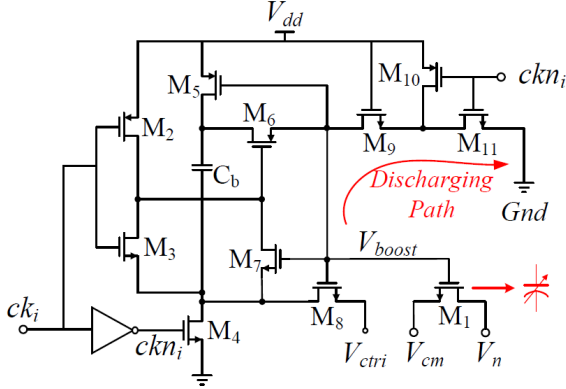


FIGURE 2.15 – Cellule à retard utilisé dans [7]

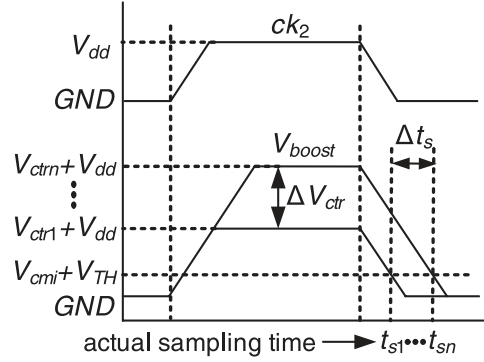
Le délai introduit varie selon la valeur de la tension de polarisation V_{CS} qui est appliquée sur M_{CS} . Comme avec toutes les compensations qui agissent sur une tension de polarisation, la plage de compensation est limitée. Pour que la relation temps/tension soit la plus linéaire possible il faut que M_{CS} soit toujours polarisés dans la zone de saturation. En effet, si les transistors sont amenés à être polarisés dans leur zone ohmique, la variation de leur tension V_{gs} n'a pas beaucoup d'influence sur le courant les traversant. L'inconvénient principale de cette technique est la génération de la tension V_{CS} qui doit être bien isolée du bruit et la plus stable possible afin de ne pas diminuer la performance de la calibration.

Dans [8, 143] la compensation du skew ne se fait pas en ajustant une ligne à retard mais en modifiant la tension de l'horloge d'échantillonnage lorsqu'elle est à l'état haut (V_{CLK_H}). Comme cette technique de compensation est appliquée sur une architecture "bottom plate sampling", la tension V_{CLK_H} est modifiée à l'aide d'un circuit de bootstrap qui est appliqué sur le transistor d'échantillonnage M_1 comme le montre la figure 2.16a.

Durant la phase de maintien du T/H ($clk_i = 0$) la capacité C_b est chargé à la tension V_{dd} et la tension de grille de M_1 (V_{boost}) est à la masse. Au moment où le T/H passe dans la phase de suivi ($clk_i = 1$), la tension V_{ctrl} est appliquée sur l'armature basse de C_b ce qui modifie la tension V_{boost} qui est désormais égale à $V_{dd} + V_{ctrl}$. L'instant d'échan-



(a) Transistor d'échantillonnage avec son circuit de bootstrap



(b) Modification de l'instant d'échantillonnage

FIGURE 2.16 – Principe de la compensation du skew dans [8]

tillonnage est alors défini lorsque la tension grille-source de M_1 devient inférieure à sa tension de seuil V_{TH} . En effet lorsque cette condition est vraie, M_1 s'ouvre et provoque un blocage de la tension aux bornes de la capacité d'échantillonnage C_s .

Le principe de cette compensation est illustré à la figure 2.16b où l'on suppose que le rapport cyclique de l'horloge clk_i est toujours constant. Si $V_{ctrl} > 0$ alors l'instant d'échantillonnage est retardé d'une quantité Δt_s et inversement, si $V_{ctrl} < 0$ l'instant d'échantillonnage est alors avancé. La linéarité de la loi délai/tension dépend des dimensions du transistor M_9 comme le montre l'équation (2.3) issue de [8].

$$t_{décharge} = \int_{V_{cm}+V_{th}}^{V_{dd}+V_{ctrli}} \frac{C_p}{I(V)} dV = \int_{V_{cm}+V_{th}}^{V_{dd}+V_{ctrli}} \frac{C_p}{K_n(V_{dd} - V_{th})^2(1 + \lambda V)} dV \quad (2.3)$$

avec C_p la capacité parasite équivalente sur la grille de M_1 , K_n un coefficient qui dépend de la technologie utilisée et λ le facteur modélisant la modulation de la longueur du canal

En choisissant une longueur de grille suffisamment grande, l'auteur arrive à compenser ± 20 ps de skew avec seulement un $\Delta V_{ctrl} = 1$ V. Cette compensation à l'avantage de ne pas dégrader la gigue d'échantillonnage car elle ne modifie pas la pente du front d'horloge. De plus si la valeur initiale de V_{ctrl} est réglée à la moitié de la tension d'alimentation, il devient alors possible de retarder et d'avancer l'instant d'échantillonnage avec qu'une seule tension positive. Malheureusement cette solution détient un problème majeur car elle crée un désappariement de bande passante. En effet comme nous le verrons dans le chapitre 5, la résistance à l'état passant d'un transistor dépend de sa tension de grille-source. Par conséquent, si la grille du transistor est ajustée il en résulte que sa résistance à l'état passant l'est aussi. Cet aspect n'est malencontreusement pas abordé dans les deux papiers proposant cette compensation. De plus comme nous n'avons aucune information sur la bande passante des T/Hs utilisées, il n'est pas possible de quantifier la dégradation du désappariement de bande passante créé avec les

critères de SFDR et de SNDR annoncés.

Dans [138], l’auteur propose d’ajuster le temps de propagation d’un inverseur en ajustant la tension de seuil des transistors PMOS et NMOS en employant la technique de body-biasing que nous détaillerons dans le chapitre 4. Selon le signe de cette tension de compensation, la vitesse de commutation des transistors compensés est soit accélérée soit diminuée, ce qui se traduit par un temps de propagation qui est soit réduit soit augmenté. Cette technique d’ajustement du temps de propagation n’a pas encore été implémentée pour compenser le skew d’un CAN-ET. En revanche, elle est implémentée avec une technologie 28 nm FD-SOI dans [144] pour diminuer le temps des chemins critiques des circuits de logique. Cette technique d’ajustement est prometteuse pour compenser le skew car au lieu de coucher les fronts de l’horloge comme avec les lignes à retard, ici c’est uniquement l’instant d’échantillonnage qui se déplace via l’ajustement de la tension de seuil.

Les techniques de compensation de skew que nous venons de voir modifient soit l’instant d’échantillonnage soit le signal qui déclenche l’échantillonnage. Une dernière technique consiste à avancer ou retarder le signal d’entrée en modifiant la fonction de transfert du T/H de la voie en calibration [145]. Cette modification va créer un désappariement de bande passante qui nous le rappelons se comporte comme un désappariement de magnitude combiné à un désappariement de phase linéaire et/ou non-linéaire suivant la nature et la fréquence du signal d’entrée. Le principe de cette compensation repose donc sur le fait que le désappariement de phase engendré par le désappariement de bande passante créé varie beaucoup plus vite que le désappariement de magnitude [146]. La quantité de skew réglable via cette technique de compensation est limitée par l’influence du désappariement de magnitude et de phase (non-linéaire à l’approche d’un pôle ou d’un zéro) qui dépendent de la bande passante du CAN-ET (BW) et de la fréquence maximale du signal d’entrée ($f_{in_{max}}$). En effet, si BW est suffisamment grand par rapport à $f_{in_{max}}$, alors ces deux désappariements sont négligeables par rapport au désappariement de phase linéaire ce qui se traduit par une grande plage de compensation du skew. Dans le cas contraire, la plage de compensation est très restreinte. Il est à noter qu’il est possible de compenser uniquement le désappariement de magnitude créé en utilisant la compensation proposée par [94].

2.2.3.3 Compensation analogique de l’erreur de bande passante

À l’inverse des DRFs qui ont fait l’objet de nombreuses recherches, très peu de publications proposent de compenser l’erreur de bande passante dans le domaine analogique. Pour améliorer la linéarité du T/H, les transistors d’échantillonnage utilisent généralement un circuit de bootstrap [147]. Ce circuit va dans une première phase charger une capacité de bootstrap ($C_{bootstrap}$) à la tension d’alimentation du bootstrap ($V_{dd-bootstrap}$). Dans une deuxième phase, l’armature basse de $C_{bootstrap}$ est connectée au signal d’entrée (V_{in}) afin que la tension de son armature haute soit égale à $V_{dd-bootstrap} + V_{in}$. Grâce à ce circuit, la tension de grille-source (V_{GS}) du transistor d’échantillonnage est donc toujours maintenue constante et égale à $V_{dd-bootstrap}$ et cela quel que soit l’amplitude du signal en entrée

du T/H. La compensation de bande-passante proposée par [148, 149] est illustrée sur la figure 2.17a. Le principe de la compensation est de modifier la tension de grille (V_G) du transistor d'échantillonnage (S_1) afin de moduler la valeur de sa résistance à l'état passant (cf chapitre 5). Pour cela, les auteurs proposent de moduler la tension V_{ctrl} . Cette méthode de compensation analogique est difficile à mettre en œuvre car l'auteur à besoin d'avoir un DAC 10-bit pour atteindre un SFDR de 65 dBc. De plus, comme cette technique est appliquée sur une architecture "top plate sampling", l'ajustement de la tension V_{GS} va décaler l'instant d'échantillonnage du transistor, ce qui va provoquer une dégradation du désappariement de l'instant d'échantillonnage (principe appliqué dans [8, 143] pour compenser le skew). De ce fait, si nous souhaitons appliquer cette technique de compensation en évitant de dégrader le skew, il convient alors d'opter pour une architecture "bottom plate sampling".

La compensation proposée par [150] (cf figure 2.17b) est similaire à la précédente car elle agit également sur la tension V_G . En considérant C_p l'ensemble des capacités parasites qui sont connectées sur la grille de S_1 , il vient alors que V_G s'exprime par la relation (2.4).

$$V_G = V_{in} + V_{dd-boost} \frac{C_{boost}}{C_{boost} + C_p} \quad (2.4)$$

Par conséquent, si l'on souhaite augmenter V_G il convient alors d'augmenter la taille de C_{boost} et dans le cas contraire, il faut augmenter la taille de C_p . De ce fait, les auteurs implémentent donc un banc de capacité de compensation connectés en parallèle de C_{boost} et/ou C_p qui sont contrôlés par un bus $N - bit$.

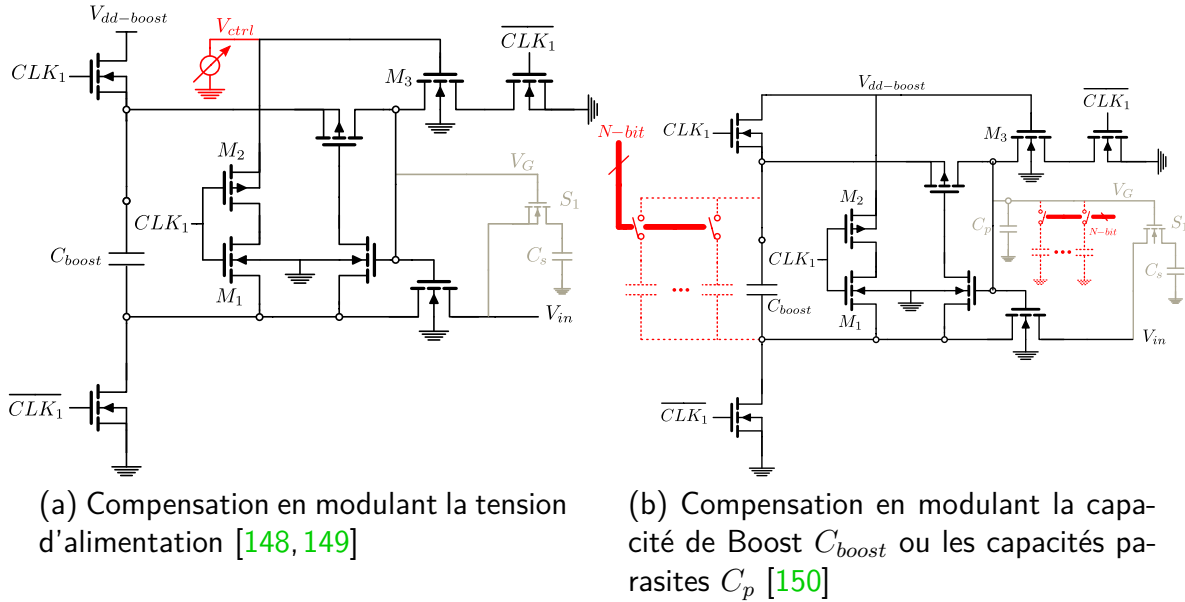


FIGURE 2.17 – Schématisques des compensations agissant dans le circuit de bootstrap

Dans [9, 67], les auteurs proposent de modifier la fonction de transfert du T/H en augmentant la taille de la capacité d'échantillonnage via des capacités de compensation programmables placées en parallèle de cette dernière (cf figure 2.18). L'activation d'une capacité de compensation se fait selon le code appliqué sur l'entrée du multiplexeur.

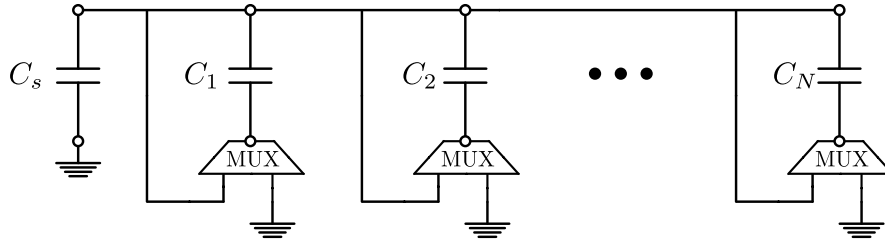


FIGURE 2.18 – Structure de compensation proposée par [9]

Enfin dans [151], les auteurs profitent de la technologie 28nm [FD-SOI](#) pour appliquer la technique de body-biasing proposée par [138] sur les transistors d'échantillonnage d'une architecture "*bottom plate sampling*". Les performances mentionnées pour différentes quantifications de la tension de compensation montrent que cette technique de compensation est prometteuse. En effet avec un [DAC](#) de seulement 3-bit, les raies de distorsions sont repoussées de 22dB lorsque le signal d'entrée est proche de Nyquist. Cette technique de compensation n'est cependant pas parfaite car l'ajustement de la tension de seuil va déplacer l'instant d'échantillonnage de chaque transistor et donc créer du skew. Cette aspect est évoqué par les auteurs cependant le skew ajouté n'est pas compensé car les auteurs ont exécuté une [FFT](#) durant la phase de suivi du [T/H](#).

2.3 Conclusion

Ce chapitre a permis de mettre en évidence que l'erreur de skew a largement été traitée durant ses 15 dernières années, que ce soit à l'aide des calibrations numériques ou mixtes. Ce très fort intérêt de la communauté scientifique a amené rapidement une multitude de solutions simples et efficaces. De ce fait, les dernières publications qui traitent de ce sujet se contentent simplement d'optimiser les structures de compensation et les algorithmes d'estimation existants. En revanche, ce constat ne s'avère pas vrai pour le cas du désappariement de bande passante, qui est un sujet de recherche assez récent et donc ouvert. Les calibrations numériques compensent cette erreur via les [DRFs](#), cependant très peu de ces techniques sont généralisables à un [CAN-ET](#) à M voies. De plus, ces méthodes de calibration sont souvent énergivores et compliquées à implémenter. Les calibrations mixtes permettent de surmonter ces défauts, cependant très peu de techniques sont proposées dans la littérature. Nous allons donc dans la suite de cette thèse proposer différentes techniques de compensation analogique du désappariement de bande passante afin d'apporter des solutions efficaces et plus performantes. Nous proposerons également une compensation analogique de l'erreur de skew en profitant des avantages de la technologie [FD-SOI](#). Cependant avant d'étudier chacune de ses propositions, nous allons d'abord nous focaliser sur le [T/H](#) qui est le circuit du [CAN-ET](#) où toutes les compensations proposées vont agir. De ce fait, il est important de bien comprendre le processus d'échantillonnage de ce circuit et d'identifier le rôle de chacun de ses composants afin d'ajuster les bons paramètres et de prévoir les conséquences de ces modifications.

Chapitre 3

Le circuit d'échantillonnage

Sommaire

3.1 Généralités	47
3.1.1 Principes d'échantillonnage	47
3.1.2 Technologie FD-SOI	48
3.2 Modélisation du T/H	50
3.2.1 La structure « bottom plate sampling »	50
3.2.2 Modélisation en composants passifs du T/H	52
3.3 Limitations du T/H et conséquences pour une architecture TI-ADC	58
3.3.1 Sources d'erreurs dans la phase de suivi	60
3.3.2 Sources d'erreurs lors d'une transition d'horloge	61
3.3.3 Sources d'erreurs dans la phase Intermédiaire 1	71
3.3.4 Sources d'erreurs dans le mode de maintien	73
3.4 Conclusion	75

LE SUIVEUR BLOQUEUR est le circuit de l'ADC permettant de faire l'opération d'échantillonnage. Par conséquent, sa conception est un vrai challenge car il doit fonctionner à des vitesses très élevées tout en gardant le même niveau de performance sur toute l'amplitude et la plage de fréquence du signal d'entrée. Ce chapitre est axé sur les conséquences des erreurs commises par le T/H durant le processus d'échantillonnage lorsque ceux-ci sont utilisés dans une architecture CAN-ET. Pour cela, une première partie du chapitre est consacrée à la technologie FD-SOI afin de justifier le choix des transistors utilisés dans le T/H. Ensuite, l'architecture du T/H utilisée dans cette thèse sera présentée puis un modèle composé exclusivement d'éléments linéaires sera proposé pour modéliser les transistors d'échantillonnage. Grâce à ce modèle, la fonction de transfert du T/H sera calculée afin d'en déduire ses limitations dans chaque phase du processus d'échantillonnage. Enfin, la dernière partie résumera les désappariements qui interviennent durant chaque étape du processus d'échantillonnage lorsque les T/H sont entrelacés temporellement et tous différents à cause des variations de fabrication qui existent sur une même pièce de silicium.

3.1 Généralités

3.1.1 Principes d'échantillonnage

Le T/H est le circuit électronique qui permet d'acquérir une information analogique (précision infinie) et de maintenir sa valeur durant un temps de maintien t_{hold} suffisamment long afin que le CAN placé juste après puisse procéder à sa conversion. Peu importe l'architecture du T/H, il est toujours constitué d'un amplificateur d'entrée, d'un dispositif permettant de stocker l'information analogique (typiquement une capacité), d'un circuit de commutation et d'un amplificateur de sortie comme le montre la figure 3.1.1.

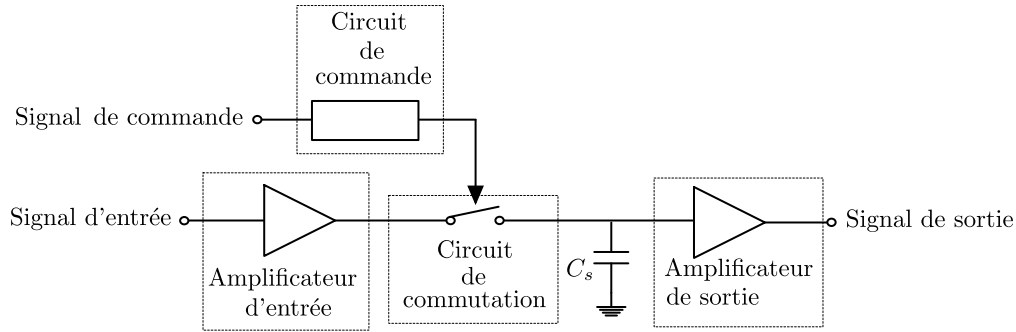


FIGURE 3.1 – Composants élémentaires d'un circuit d'échantillonnage

La manière la plus simple de concevoir un T/H est d'utiliser un commutateur analogique (un transistor **Metal-Oxide-Semiconductor (MOS)**) monté en série avec une capacité d'échantillonnage (C_s) comme le montre la figure 3.2a. Le processus d'échantillonnage associé est représenté à la figure 3.2b où dans un premier temps les transitions du transistor ainsi que la valeur de sa résistance à l'état bloqué et passant sont considérées comme idéales afin de comprendre le principe d'échantillonnage.

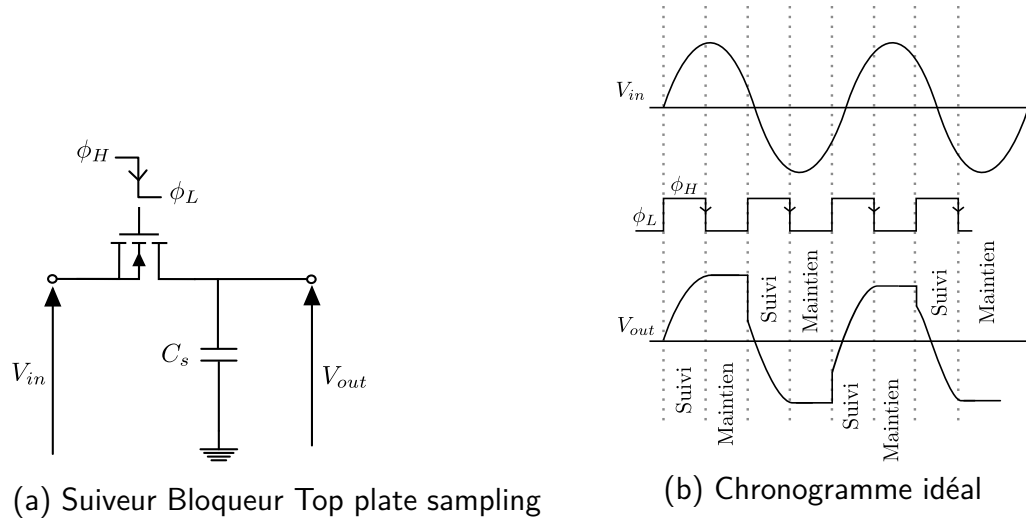


FIGURE 3.2 – Circuit de principe d'un T/H avec son chronogramme

Les commandes d'ouverture et de fermeture sont assurées par un circuit de logique qui génère un signal carré périodique appelée horloge d'échantillonnage qui bascule d'un niveau de tension haut ϕ_H à un niveau de tension bas ϕ_L . Le transistor est le dispositif de commutation qui transmet ou bloque le signal d'entrée suivant le niveau de tension de l'horloge d'échantillonnage appliqué sur sa grille. Lorsque la tension est à l'état haut, le transistor est fermé et le T/H suit les variations du signal d'entrée. En revanche, lorsque l'horloge d'échantillonnage est à l'état bas, le transistor est ouvert et la tension aux bornes de C_s est mémorisée jusqu'à la prochaine phase d'échantillonnage.

Malheureusement un T/H idéal comme celui illustré à la figure 3.2 qui est capable de suivre n'importe quel type de signal analogique avec une précision infinie tout en maintenant indéfiniment sa valeur sans perte de tension et sans retard n'existe pas. En effet, dans la pratique tous les T/H sont sujets à commettre des erreurs dans chaque phase du processus d'échantillonnage ce qui va affecter la valeur de la tension stockée sur C_s . Ces erreurs proviennent du fait que le(s) transistor(s) d'échantillonnage ne sont pas des interrupteurs idéaux et que la pente des fronts d'horloge n'est pas infinie. Par conséquent si l'on veut limiter ses erreurs, il est important de bien choisir le(s) transistor(s) d'échantillonnage. Pour cela, nous allons étudier les différents types de transistors que nous offre la technologie FD-SOI de chez STMicroelectronics afin de choisir ceux qui sont le plus adaptés pour réaliser la fonction d'interrupteur.

3.1.2 Technologie FD-SOI

La structure d'un transistor utilisant la technologie FD-SOI est montrée à la figure 3.3.

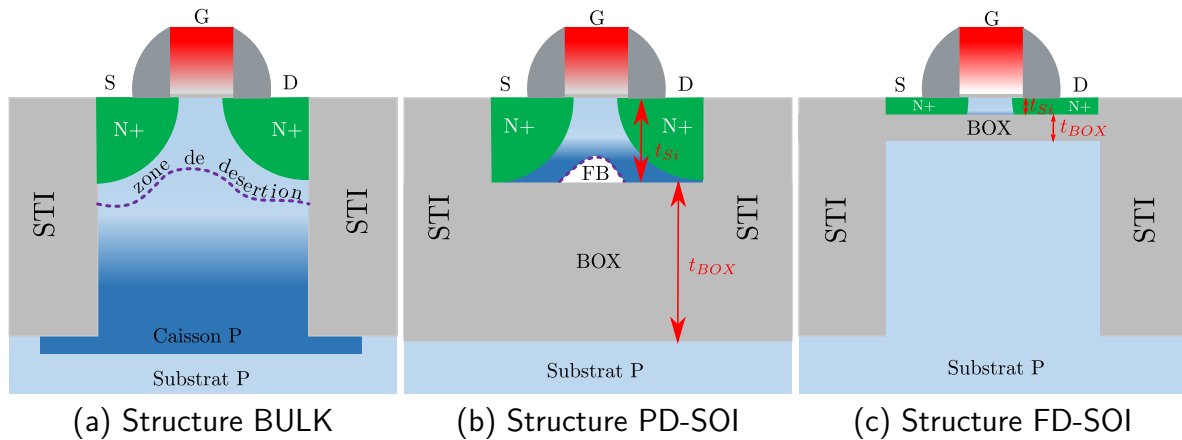


FIGURE 3.3 – Vue en coupe d'un transistor Nmos en technologie (a) BULK, (b) PD-SOI et (c) FD-SOI

L'avantage de la technologie FD-SOI par rapport aux autres technologies de type BULK ou Partially Depleted Silicon on Insulator (PD-SOI) provient principalement de l'épaisseur fine du canal de silicium ($t_{si} \approx 5 - 7nm$) et de la couche d'oxyde enterrée appelé Buried OXide (BOX) ($t_{box} = 25nm$). En effet, grâce à la finesse de la couche de silicium, les effets indésirables liés au substrat flottant sont supprimés [152]. De plus, comme celle-ci est non dopée, une réduction de la variation de la tension de seuil du

transistor est observée au cours du temps. L'isolant formé par l'oxyde enterré permet de réduire en profondeur la surface des diffusions source et drain. Par conséquent, la valeur des capacités de jonction du transistor diminue amenant une meilleure consommation dynamique d'une porte logique en commutation par rapport à une technologie BULK. La consommation statique est également améliorée malgré la faible longueur du canal car l'effet de **Drain Induced Barrier Lowering (DIBL)** est minimisé par l'augmentation du contrôle électrostatique du canal par la grille. Enfin, les transistors **FD-SOI** ne souffrent pas des effets de "latch-up" car ils sont électriquement isolés du substrat et des transistors adjacents grâce à la couche d'oxyde enterrée et aux isolations **Shallow Trench Isolation (STI)**.

La technologie 28nm **FD-SOI** développée chez STMicroelectronics offre la possibilité d'avoir des transistors **PMOS** et **NMOS** possédant chacun deux valeurs différentes de tension de seuil. La valeur de ces tensions de seuil est déterminée selon le type et le niveau de concentration du dopage de la zone implantée sous le **BOX** qui est appelé **Back-Plane (BP)**. Par conséquent, lorsque le **T/H** est de type opposé aux source/drain, la tension de seuil initiale augmente et les transistors sont appelés **Regular Voltage Threshold (RVT)** (cf figure 3.4a) et inversement, lorsque le **BP** et les source/drain sont de même type, la valeur de seuil initiale diminue pour former les transistors dits **Low Voltage Threshold (LVT)** (cf figure 3.4b) [153].

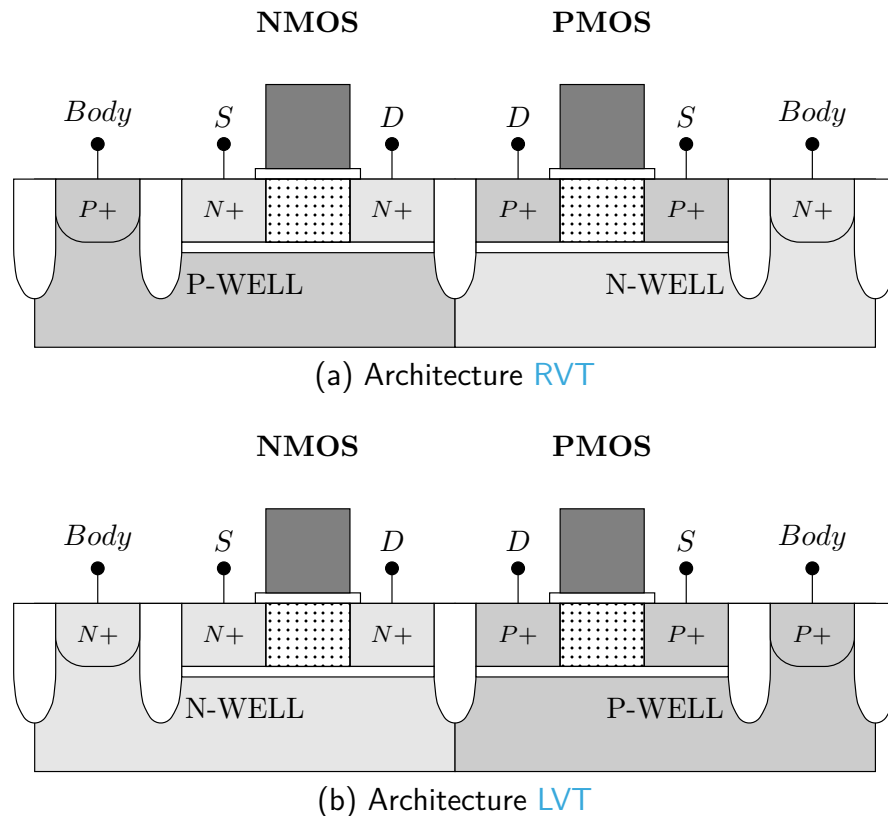


FIGURE 3.4 – Vue en coupe d'un transistor PMOS et NMOS utilisant l'architecture (a) RVT, (b) LVT

Ces deux types d'architectures se différencient donc par la valeur initiale de la tension de seuil mais également par la tension maximale que l'on peut appliquer sur leur grille. En effet, comme l'épaisseur d'oxyde de grille d'un transistor **RVT** est plus épaisse que celle d'un **LVT**, sa tension maximale de grille est de 1.8V au lieu de 1.1V pour un **LVT**. Par conséquent, l'utilisation des transistors **RVT** est privilégiée dans les applications types économie d'énergie afin de diminuer les courants de fuite (interrupteur de puissance) tandis que les transistors **LVT** sont utilisés lorsque des vitesses de commutations rapides sont requises (Amplificateur, comparateur, échantillonneur).

L'interrupteur idéal possède une résistance nulle lorsqu'il est passant pour ne pas atténuer le signal d'entrée et une résistance infinie lorsqu'il est bloqué afin de parfaitement isoler la tension stockée sur C_s du signal d'entrée. Comme ces deux caractéristiques ne sont pas réunies dans les architectures **RVT** et **LVT** nous devons faire un choix entre privilégier la consommation du **T/H** (**RVT**) ou la bande passante (**LVT**). En effet, comme la tension de seuil d'un transistors **LVT** est plus faible que celle d'un transistors **RVT**, sa résistance de canal l'est également pour une même taille de largeur W et de longueur (L). À cause des fortes contraintes de vitesse imposées par l'application visée, l'architecture **LVT** a été choisie pour réaliser la fonction d'interrupteur.

3.2 Modélisation du T/H

3.2.1 La structure « bottom plate sampling »

Les circuits **T/H** peuvent être grossièrement classés en deux catégories selon la nature des composants qu'ils les composent. Les architectures composées uniquement d'éléments passifs (transistors et capacités) sont dites passives et celles qui utilisent en plus un ou plusieurs amplificateurs sont dites actives. Chacune de ces deux architectures possède des avantages et des inconvénients. Les architectures actives à boucle fermée permettent de suivre le signal d'entrée avec une forte précision. Cependant la bande passante du **T/H** est limitée par le slew rate et la bande passante du /des amplificateur(s). À l'inverse, les architectures passives sont très rapides mais moins précises. Il n'existe pas une architecture idéale qui permette d'atteindre des vitesses de conversion élevées tout en maintenant une forte précision d'échantillonnage. Par conséquent, le choix de l'architecture du **T/H** dépend des contraintes imposées par l'application visée. Bien que les contraintes imposées sur le **T/H** sont réduites grâce à la technique d'entrelacement temporel, la vitesse d'échantillonnage d'un sous-CAN reste tout de même assez élevée. De ce fait, nous avons choisi d'utiliser une architecture passive.

L'architecture vue à la figure 3.2a est certes la plus rapide grâce à sa simplicité mais à cause des injections de charges du transistor d'échantillonnage elle voit ses performances fortement limitées. Par conséquent, pour minimiser l'erreur d'injection de charge (distorsions créées) et la complexité de la structure, l'architecture “*bottom-plate sampling*” représentée à la figure 3.5a a été choisie pour ce projet. Cette architecture est illustrée en représentation asymétrique (ou “single ended”) pour favoriser la compré-

hension. Cependant, tous les résultats de cette thèse sont basés sur une configuration différentielle afin de supprimer les harmoniques de distorsion paires ainsi que les phénomènes d’injection de charges que nous étudierons plus tard dans la section 3.3.2.1.

La structure “*bottom-plate sampling*” est composée de deux transistors d’échantillonnage SW_{top} et SW_{bot} qui utilisent l’architecture LVT de la technologie FD-SOI et d’une capacité d’échantillonnage C_s . Le chronogramme associé à cette architecture se déroule sur quatre phases à l’aide de deux horloges d’échantillonnage CLK_{bot} et CLK_{top} légèrement décalées dans le temps comme le montre la figure 3.5b. Le fait d’ajouter le transistor SW_{bot} et de décaler les deux horloges d’échantillonnage permet en « théorie » d’éliminer les injections de charges dans C_s qui sont créées lors de l’ouverture de SW_{top} (transition ② → ③). En effet comme SW_{bot} est ouvert à ce moment du processus d’échantillonnage, l’armature basse de C_s est un nœud de tension haute impédance ce qui contraint les injections de charges provenant de SW_{top} d’être redirigées vers le driver d’entrée du T/H (non représenté sur la figure 3.5a) qui a une impédance de sortie faible. Il est à noter que les injections de charges provenant de l’ouverture de SW_{bot} sont indépendantes du signal d’entrée. De ce fait, elles vont créer une tension d’offset sur C_s qui s’élimine facilement à l’aide d’une structure différentielle du T/H.

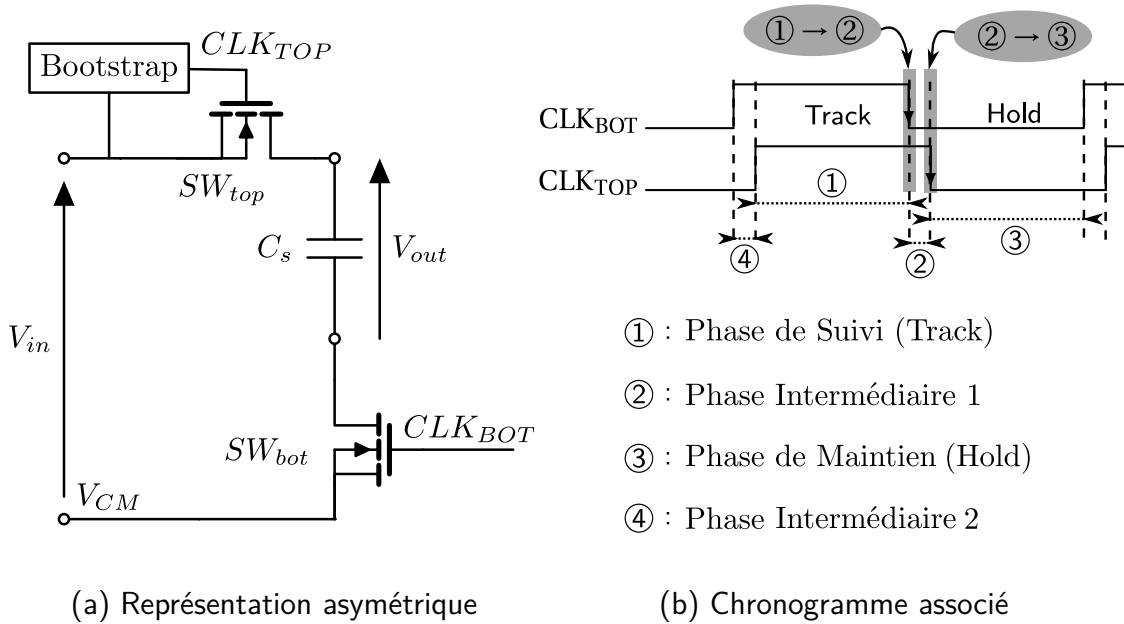


FIGURE 3.5 – T/H utilisant l’architecture “bottom plate sampling”

La taille de SW_{top} et de SW_{bot} a été définie en fonction de celle de C_s de manière à ce que chaque T/H ait suffisamment de bande passante et à ce que l’erreur de tension commise à la fin de la phase de suivi soit inférieure à un demi-LSB [154]. En prenant en compte ces contraintes de conception, il vient que les paramètres de largeur (W) et de longueur (L) de ses deux transistors sont définis par l’équation suivante :

$$L_{top} = L_{bot} = 20nm \quad W_{top} = 20\mu m \quad W_{bot} = 40\mu m \quad (3.1)$$

Pour minimiser la variation de la résistance à l'état passant de SW_{top} (R_{on-top}) en fonction de l'amplitude du signal d'entrée, un circuit de bootstrap similaire à celui proposé dans [147] est utilisé. L'ajout de ce circuit est une technique connue qui permet de maintenir la tension V_{gs} de SW_{top} constante et égale à la tension d'alimentation ce qui permet de réduire significativement les distorsions à ce niveau.

Malheureusement cette architecture n'est pas parfaite puisque des erreurs sont créés dans chaque phase du processus d'échantillonnage. Pour exprimer analytiquement ces différentes erreurs en fonction des composants du T/H, nous allons dans la suite modéliser le T/H à l'aide d'éléments passifs.

3.2.2 Modélisation en composants passifs du T/H

Une modélisation linéaire du T/H va être proposée dans cette partie afin de pouvoir calculer sa fonction de transfert ($H_{T/H}$) pour chacune des quatre phases du processus d'échantillonnage. Comme ce type de modélisation est linéaire et que les deux transistors qui compose le T/H sont des quadripôles non linéaires, la précision de la modélisation proposée va dépendre du niveau des raies de distorsion générées par ses transistors durant le processus d'échantillonnage. Pour estimer la puissance des harmoniques générées, nous allons exécuter une analyse **Harmonic Balance (HB)** qui est une analyse fréquentielle qui permet de calculer la réponse en régime permanent d'un circuit non linéaire. Cette analyse est exécutée durant la phase de suivi (phase ①) en injectant en entrée du T/H de la figure 3.5a un signal d'entrée sinusoïdale à la fréquence de Nyquist et d'amplitude crête à crête différentielle maximale de 1V ($1V_{cc-diff}$) pour maximiser la sensibilité aux non-linéarités. Les résultats de cette simulation sont montrés à la figure 3.6 où nous avons fait varié l'amplitude du signal d'entrée entre 1mV et 250mV (soit entre $4mV_{cc-diff}$ et $1V_{cc-diff}$ en différentielle).

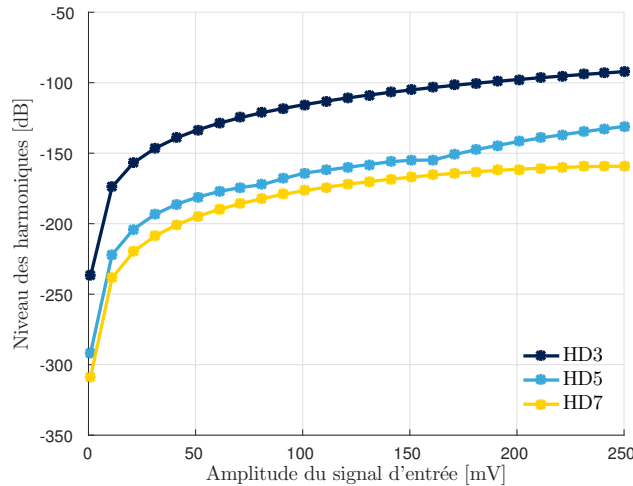


FIGURE 3.6 – Niveau de la raie d'harmonique 3, 5 et 7 en fonction de l'amplitude du signal d'entrée

L'architecture étant différentielle, les distorsions du T/H sont donc uniquement dues

aux puissances des harmoniques impaires et principalement fixées par l'harmonique d'ordre 3 (HD3). Par conséquent, comme d'après la figure 3.6 la puissance maximale de l'HD3 atteint -92.17 dB, la modélisation linéaire en petit signal proposée ici est considérée comme suffisamment précise pour notre étude.

Maintenant que nous savons qu'une modélisation linéaire du T/H est suffisamment précise, nous pouvons calculer la fonction de transfert du T/H notée $\underline{H}_{T/H}$ à partir des impédances complexes. Pour la suite de ce chapitre, l'impédance complexe d'un élément X sera notée $\underline{Z}_{(X)}$.

3.2.2.1 Calcul de la fonction de transfert

En repartant de la figure 3.5a, l'expression de $\underline{H}_{T/H}$ s'exprime à partir du rapport d'impédance complexe défini ci-dessous :

$$\underline{H}_{(S/B)} = \frac{\underline{Z}_{(C_s)}}{\underline{Z}_{(SW_{top})} + \underline{Z}_{(SW_{bot})} + \underline{Z}_{(C_s)}} \quad (3.2)$$

avec $\underline{Z}_{(SW_{top})}$ l'impédance complexe du transistor SW_{top} , $\underline{Z}_{(SW_{bot})}$ l'impédance complexe du transistor SW_{bot} et $\underline{Z}_{(C_s)}$ l'impédance complexe de la capacité d'échantillonnage C_s .

Pour exprimer $\underline{Z}_{(SW_{top})}$ et $\underline{Z}_{(SW_{bot})}$, nous allons proposer un modèle linéaire de SW_{top} et de SW_{bot} en se basant sur la vue en coupe d'un transistor LVT qui est affichée à la figure 3.7a. Ce modèle linéaire inclut l'ensemble des capacités parasites de drain (C_{ds} , C_{dg} , C_{db}), la capacité du BOX C_b , la résistance du body R_b et enfin la résistance du canal de charge R_{on} . Comme les capacités parasites du drain sont toutes en parallèles, elles sont regroupées en une seule capacité nommée C_p pour former le réseau passif illustré à la figure 3.7b.

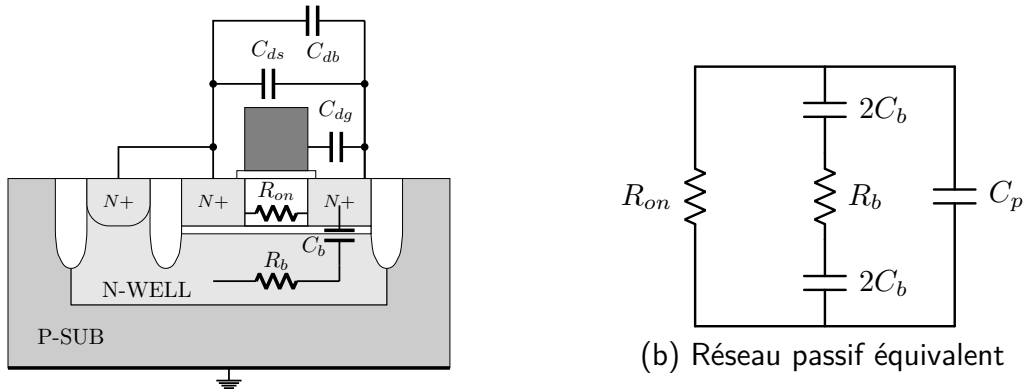
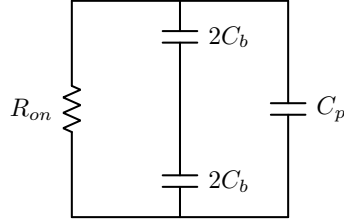


FIGURE 3.7 – Vue en coupe et modèle passif d'un commutateur LVT

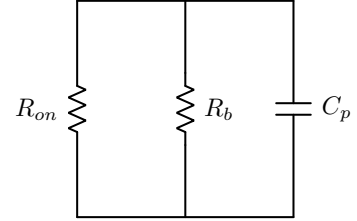
Pour extraire la valeur des paramètres R_{on} , R_b , C_b et C_p pour chaque transistor d'échantillonnage, nous allons calculer l'admittance complexe (\underline{Y}_{SW}) du modèle non-linéaire (modèle transistor) à partir de simulations AC lorsque la fréquence d'entrée est

à très haute (HF) et à très basse (BF) fréquences. En effet, lorsque les fréquences BF et HF sont choisies de manière à satisfaire l'équation (3.3) alors le modèle passif de la figure 3.7b se simplifie à BF par le réseau de la figure 3.8a et à HF par le réseau de la figure 3.8b.

$$\underline{Z}_{(C_b)BF} \gg \underline{Z}_{(R_b)BF} \quad \& \quad \underline{Z}_{(C_b)HF} \ll \underline{Z}_{(R_b)HF} \quad (3.3)$$



(a) Simplification Basse Fréquence



(b) Simplification Haute fréquence

FIGURE 3.8 – Simplification du modèle linéaire selon la fréquence du signal d'entrée

Par conséquent dans ces conditions, la valeur des paramètres s'obtient facilement à partir de la partie réelle et imaginaire de l'admittance complexe comme le montre les équations (3.4) ci-dessous :

$$\left\{ \begin{array}{l} \frac{1}{\Re_e\{\underline{Y}_{(SW)}\}_{BF}} = R_{on} \\ -\frac{\Im_m\{\underline{Y}_{(SW)}\}_{BF}}{\omega} = C_p + C_b \\ \frac{1}{\Re_e\{\underline{Y}_{(SW)}\}_{HF}} = \frac{R_{on} \times R_b}{R_{on} + R_b} \\ -\frac{\Im_m\{\underline{Y}_{(SW)}\}_{HF}}{\omega} = C_p \end{array} \right. \Leftrightarrow \left\{ \begin{array}{l} R_{on} = \frac{1}{\Re_e\{\underline{Y}_{(SW)}\}_{BF}} \\ R_b = \frac{\frac{R_{on}}{\Re_e\{\underline{Y}_{(SW)}\}_{HF}}}{R_{on} - \frac{1}{\Re_e\{\underline{Y}_{(SW)}\}_{HF}}} \\ C_p = -\frac{\Im_m\{\underline{Y}_{(SW)}\}_{HF}}{\omega} \\ C_b = \frac{\Im_m\{\underline{Y}_{(SW)}\}_{BF} - \Im_m\{\underline{Y}_{(SW)}\}_{HF}}{\omega} \end{array} \right. \quad (3.4)$$

Ces différentes relations sont appliquées sur SW_{top} et SW_{bot} et les résultats obtenus sont récapitulés dans le tableau 3.1 pour chaque phase du T/H.

Paramètre	Phase ①		Phase ②		Phase ③		Phase ④	
	SW_{top}	SW_{bot}	SW_{top}	SW_{bot}	SW_{top}	SW_{bot}	SW_{top}	SW_{bot}
R_{on} [Ω]	16.35	14.87	16.35	429G	1.34M	429G	1.34M	14.87
R_b [Ω]	711	1122	711	1209	768	1209	768	1122
C_b [fF]	4.11	9.91	4.11	5.21	2.00	5.21	2.00	9.91
C_p [fF]	6.91	18.62	6.91	17.39	5.88	17.39	5.88	18.62

TABLE 3.1: Valeurs extraites des paramètres du modèle passif de SW_{top} et SW_{bot} en fonction des phases du T/H

Afin d'estimer l'erreur commise par la linéarisation du modèle transistor **LVT** par le modèle passif proposé, une seconde analyse **HB** est exécutée dans la phase de suivi. Cette nouvelle analyse va permettre de comparer les valeurs de la résistance et de la capacité équivalente du **T/H** (R_{EQ} ; C_{EQ}) lorsque les transistors **LVT** sont modélisés soit par leur modèle non-linéaire, soit par le modèle linéaire proposé. Les expressions analytiques de R_{EQ} et de C_{EQ} en fonction de la fréquence d'entrée sont exprimées par les équations (3.5) lorsque les transistors sont modélisés par le réseau passif proposé. Ces deux équations sont calculées numériquement à partir des valeurs du tableau 3.1 dans la phase ①. En revanche, lorsque les transistors utilisent le modèle non-linéaire, les valeurs de R_{EQ} et de C_{EQ} sont directement extraites à partir de la simulation **HB**.

$$\begin{cases} R_{EQ} = \Re_e\{\underline{Z}_{(S/B)}\} = \Re_e\{\underline{Z}_{(SW_{top})}\} + \Re_e\{\underline{Z}_{(SW_{bot})}\} \\ C_{EQ} = \frac{1}{\Im_m\{\underline{Z}_{(S/B)}\} \times \omega} = \frac{1}{\left(\Im_m\{\underline{Z}_{(SW_{top})}\} + \Im_m\{\underline{Z}_{(SW_{bot})}\} + \Im_m\{\underline{Z}_{(C_s)}\}\right) \times \omega} \end{cases} \quad (3.5)$$

avec,

$$\begin{cases} \Re_e\{\underline{Z}_{(SW_{top})}\} = \frac{R_{on-top} \left(1 + R_{b-top} C_{b-top}^2 (R_{b-top} + R_{on-top}) w^2\right)}{\left(1 - R_{b-top} R_{on-top} C_{b-top} C_{p-top} w^2\right)^2 + w^2 \left(R_{on-top} (C_{b-top} + C_{p-top}) + R_{b-top} C_{b-top}\right)^2} \\ \Re_e\{\underline{Z}_{(SW_{bot})}\} = \frac{R_{on-bot} \left(1 + R_{b-bot} C_{b-bot}^2 (R_{b-bot} + R_{on-bot}) w^2\right)}{\left(1 - R_{b-bot} R_{on-bot} C_{b-bot} C_{p-bot} w^2\right)^2 + w^2 \left(R_{on-bot} (C_{b-bot} + C_{p-bot}) + R_{b-bot} C_{b-bot}\right)^2} \\ \Im_m\{\underline{Z}_{(SW_{top})}\} = \frac{-R_{on-top}^2 (C_{b-top} + C_{p-top}) w - R_{b-top}^2 R_{on-top}^2 C_{b-top}^2 C_{p-top} w^3}{\left(1 - R_{b-top} R_{on-top} C_{b-top} C_{p-top} w^2\right)^2 + w^2 \left(R_{on-top} (C_{b-top} + C_{p-top}) + R_{b-top} C_{b-top}\right)^2} \\ \Im_m\{\underline{Z}_{(SW_{bot})}\} = \frac{-R_{on-bot}^2 (C_{b-bot} + C_{p-bot}) w - R_{b-bot}^2 R_{on-bot}^2 C_{b-bot}^2 C_{p-bot} w^3}{\left(1 - R_{b-bot} R_{on-bot} C_{b-bot} C_{p-bot} w^2\right)^2 + w^2 \left(R_{on-bot} (C_{b-bot} + C_{p-bot}) + R_{b-bot} C_{b-bot}\right)^2} \\ \Im_m\{\underline{Z}_{(C_s)}\} = -\frac{1}{C_s w} \end{cases}$$

Les résultats de la simulation **HB** sont affichés sur les figures 3.9. Les courbes de la figure 3.9a sont obtenues pour une amplitude maximale du signal d'entrée et celles de la figure 3.9b pour une fréquence d'entrée fixée à la fréquence de Nyquist. D'après ces résultats, l'erreur maximale commise par à la linéarisation du modèle non-linéaire est d'environ 0.14% à la fréquence de Nyquist lorsque l'amplitude du signal d'entrée est maximale. Cette faible dégradation de R_{EQ} et de C_{EQ} à la fréquence de Nyquist nous permet de justifier une modélisation linéaire des transistors SW_{top} et SW_{bot} pour la suite du manuscrit.

Maintenant que les transistors **LVT** peuvent être modélisés à l'aide d'éléments linéaires, un modèle passif du **T/H** est proposé sur la figure 3.10 où la capacité parasite de l'armature basse de C_s est incluse dans la capacité C_{p-bot} puisqu'elle est connectée à la masse.

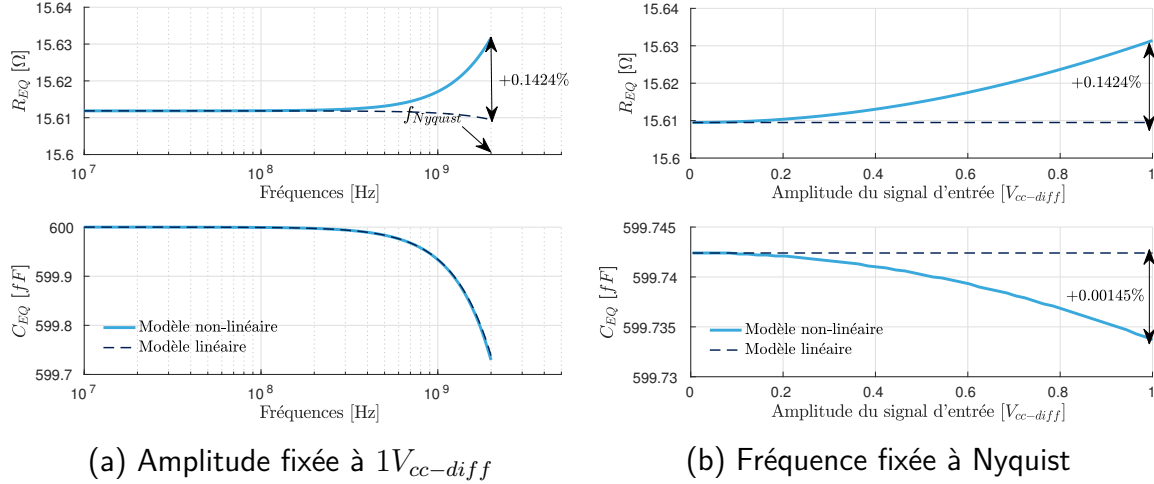


FIGURE 3.9 – Dégradation de R_{EQ} et C_{EQ} en fonction de (a) la fréquence du signal d'entrée et (b) l'amplitude du signal d'entrée

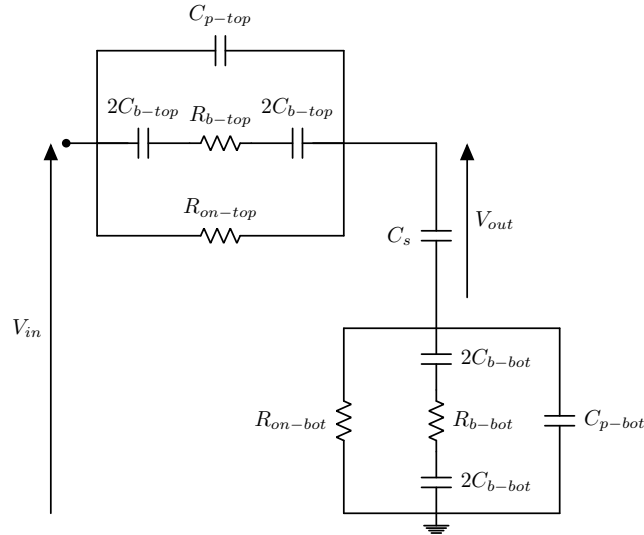


FIGURE 3.10 – Modélisation du T/H avec des éléments passifs

Dans ce modèle passif, notons $\underline{Z}_{(SW_{top})}$ et de $\underline{Z}_{(SW_{bot})}$ les impédances des transistors d'échantillonnage SW_{top} et SW_{bot} :

$$\underline{Z}_{(SW_X)} = \frac{R_{on-X}(1 + jC_{b-X}R_{b-X}\omega)}{1 + j\omega(R_{b-X}C_{b-X} + R_{on-X}(C_{p-X} + C_{b-X})) - R_{on-X}R_{b-X}C_{p-X}C_{b-X}\omega^2} \quad (3.6)$$

où X représente soit top soit bot

En substituant (3.6) dans (3.2), $\underline{H}_{T/H}$ peut s'écrire sous la forme suivante :

$$\underline{H}_{T/H}(\omega) = \frac{1 + A_1(j\omega) + B_1(j\omega)^2 + C_1(j\omega)^3 + D_1(j\omega)^4}{1 + A_2(j\omega) + B_2(j\omega)^2 + C_2(j\omega)^3 + D_2(j\omega)^4} \quad (3.7)$$

avec,

$$\begin{aligned}
A_1 &= C_{b-bot}R_{b-bot} + R_{on-bot}(C_{p-bot} + C_{b-bot}) + C_{b-top}R_{b-top} + R_{on-top}(C_{p-top} + C_{b-top}) \\
A_2 &= A_1 + C_s(R_{on-top} + R_{on-bot}) \\
B_1 &= R_{on-bot}R_{b-bot}C_{p-bot}C_{b-bot} + R_{on-top}R_{b-top}C_{p-top}C_{b-top} + C_{b-top}R_{b-top}C_{b-bot}R_{b-bot} \\
&\quad + C_{b-top}R_{b-top}R_{on-bot}(C_{p-bot} + C_{b-bot}) + R_{on-top}C_{b-bot}R_{b-bot}(C_{p-top} + C_{b-top}) \\
&\quad + R_{on-top}R_{on-bot}(C_{p-top} + C_{b-top})(C_{p-bot} + C_{b-bot}) \\
B_2 &= B_1 + R_{on-bot}C_s(C_{b-bot}R_{b-bot} + C_{b-top}R_{b-top} + R_{on-top}(C_{p-top} + C_{b-top})) \\
&\quad + R_{on-top}C_s(C_{b-top}R_{b-top} + C_{b-bot}R_{b-bot} + R_{on-bot}(C_{p-bot} + C_{b-bot})) \\
C_1 &= C_{b-top}R_{b-top} + R_{on-top}(C_{p-top} + C_{b-top}) + R_{on-bot}R_{b-bot}C_{p-bot}C_{b-bot} \\
&\quad + R_{on-top}R_{b-top}C_{p-top}C_{b-top}(C_{b-bot}R_{b-bot} + R_{on-bot}(C_{p-bot} + C_{b-bot})) \\
C_2 &= C_1 + C_sR_{b-top}R_{b-bot}C_{b-bot}C_{b-top}(R_{on-top} + R_{on-bot}) + C_{b-bot}R_{b-bot}(C_{p-top} + C_{b-top}) \\
&\quad + C_sR_{on-bot}R_{on-top}(C_{b-top}R_{b-top}(C_{p-bot} + C_{b-bot})) \\
&\quad + C_sR_{on-bot}R_{on-top}R_{b-top}(R_{b-bot}C_{p-bot}C_{b-bot} + R_{b-top}C_{p-top}C_{b-top}) \\
D_1 &= R_{on-bot}R_{on-top}R_{b-bot}R_{b-top}C_{p-top}C_{p-bot}C_{b-top}C_{b-bot} \\
D_2 &= D_1 + C_sR_{on-bot}R_{on-top}R_{b-top}R_{b-bot}C_{b-top}C_{b-bot}(C_{p-top} + C_{p-bot})
\end{aligned}$$

Afin de simplifier l'expression (3.7), il est préférable d'adopter la représentation zéro-pôle décrite par l'équation (3.8) où les zéros et les pôles sont représentés respectivement par z_1, z_2, z_3, z_4 et p_1, p_2, p_3, p_4 .

$$\underline{H}_{T/H}(s) \Leftrightarrow \left(\frac{p_1 \cdot p_2 \cdot p_3 \cdot p_4}{z_1 \cdot z_2 \cdot z_3 \cdot z_4} \right) \times \frac{(s - z_1)(s - z_2)(s - z_3)(s - z_4)}{(s - p_1)(s - p_2)(s - p_3)(s - p_4)} \quad (3.8)$$

À cause de la complexité de l'expression de $\underline{H}_{T/H}$, la décomposition de la fonction de transfert est réalisée numériquement à l'aide des valeurs extraites et de la fonction $zpk()$ de MATLAB. Comme le séquençement de l'architecture “*bottom-plate sampling*” se déroule sur quatre phases, les commutateurs vont alternativement passer de l'état passant à l'état bloqué. Ces changements d'état vont modifier la valeur des paramètres du réseau passif et donc engendrer différentes réponses en fréquence. Pour illustrer cela, le tableau 3.2 résume la valeur de chaque pôle et zéro en fonction des quatre phases et lorsque les transistors SW_{top} et SW_{bot} sont dimensionnés par l'équation (3.1).

[GHz]	z_1 / p_1	z_2 / p_2	z_3 / p_3	z_4 / p_4
Phase ①	14.1 / 13.71	53.1 / 17.1	583 / 54.0	1442 / 818
Phase ②	$\{18 / 1\}^1$	38 / 28.7	54 / 53.9	144.2 / 474.6
Phase ③	$\{18 / 1\}^1$	0.015 / 0.004	38 / 34.6	141 / 116.5
Phase ④	$\{18 / 1\}^1$	0.015 / 0.004	38 / 34.6	141 / 116.5

TABLE 3.2: Valeurs Numériques des zéros et des pôles

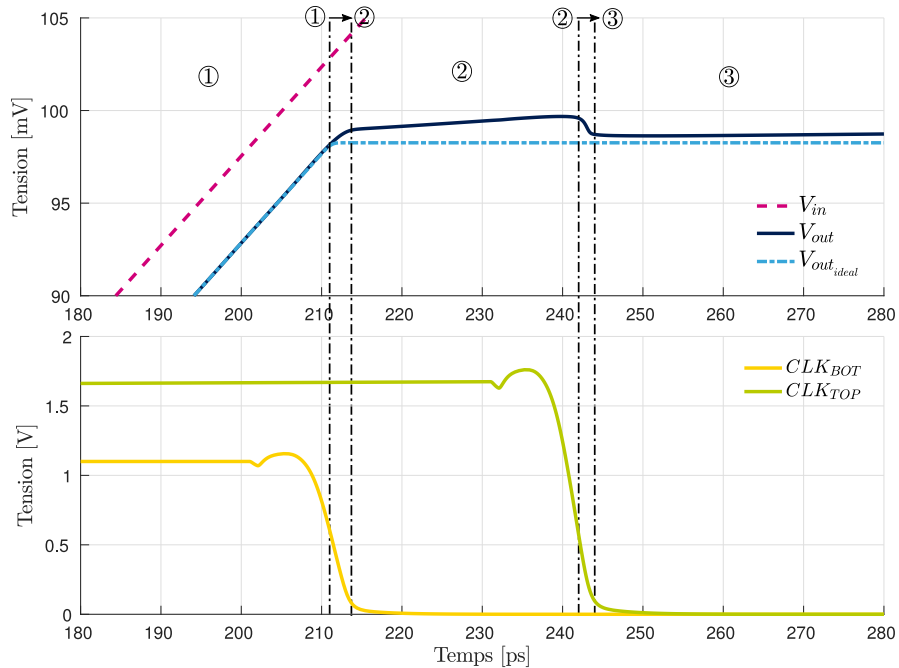
1. Exprimé en Hz

3.3 Limitations du T/H et conséquences pour une architecture TI-ADC

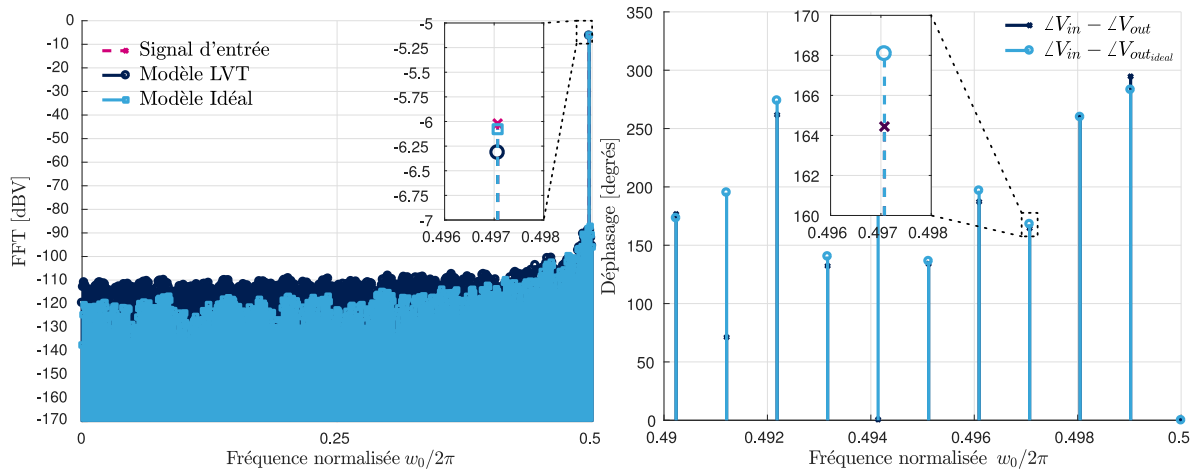
La fonction d'échantillonnage ne peut pas être une opération parfaite car les interrupteurs permettant de bloquer ou laisser passer le signal d'entrée sont implémentés avec des transistors MOS qui ont une bande passante finie et des capacités parasites qui créent des couplages entre la capacité C_s , le signal d'entrée et les horloges d'échantillonnage. Ces couplages capacitifs vont provoquer une constante évolution de la tension aux bornes de C_s durant chaque phase et chaque transition de phase du processus d'échantillonnage et cela même lorsque les transistors d'échantillonnage sont bloqués. De plus, comme les horloges d'échantillonnage sont également conçues à l'aide de transistors MOS la pente des fronts d'horloges n'est pas infinie rendant l'échantillonnage sensible à la gigue d'échantillonnage (en anglais *jitter*). Toutes ces limitations physiques du T/H entraînent la création de plusieurs erreurs qui vont s'accumuler aux bornes de C_s tout au long du processus d'échantillonnage et donc dégrader les performances du T/H. Ces erreurs vont atténuer et déphaser le signal d'entrée mais également créer des distorsions lorsque celles-ci sont corrélées avec le signal d'entrée.

Pour illustrer ces erreurs, nous allons utiliser le schéma de la figure 3.5a et observer l'évolution de la tension aux bornes de C_s durant les quatre phases du processus d'échantillonnage lorsque dans un cas, les transistors d'échantillonnage sont modélisés par des interrupteurs idéaux et dans l'autre cas par le modèle non-linéaire du transistor LVT. Un interrupteur est considéré comme idéal lorsque qu'il est modélisé uniquement à l'aide d'une résistance dont sa valeur à l'état bloqué est très élevée afin de totalement isoler les charges stockées sur C_s ($R_{off} \approx 100G\Omega$) et sa valeur à l'état passant est très faible ($R_{on} \approx 1m\Omega$). Pour réaliser ces simulations, deux T/H non entrelacés échantillonneront le même signal d'entrée avec les mêmes horloges d'échantillonnage. Le signal d'entrée injecté est un sinus de fréquence 3MHz et d'amplitude $1V_{cc-diff}$ et les tailles des transistors SW_{top} et SW_{bot} sont définies par l'équation (3.1). Enfin, la résistance à l'état passant R_{on} du modèle idéal est réglée à la même valeur que celle du transistor LVT lorsqu'il est polarisé dans sa zone ohmique durant la phase ① afin de pouvoir comparer correctement les deux processus d'échantillonnage. Les résultats de ces simulations sont affichés à la figure 3.11a où les courbes bleu ciel en pointillées sont pour le cas idéal, les courbes bleu marine en trait plein pour le cas du modèle transistor LVT et les courbes rose représente le signal d'entrée.

Si l'on découpe phase par phase le processus d'échantillonnage on n'observe aucune différence de tension durant la phase de suivi (Phase ①) entre le modèle idéal et le modèle non linéaire LVT. En effet, cette juxtaposition des deux courbes provient du fait que nous avons réglé la même valeur de R_{EQ} pour les deux modèles et qu'à 3MHz, l'impédance complexe des transistors SW_{top} et SW_{bot} est quasiment définie que par sa résistance à l'état passant. De ce fait, la fonction de transfert du T/H dans ces conditions est la même pour les deux modèles. En revanche, à partir de la transition de CLK_{BOT} vers son état bas (① \rightarrow ②) une différence notable apparaît entre les deux



(a) Evolution de la tension aux bornes de C_s durant les 4 phases du processus d'échantillonnage



(b) Spectre de sortie du signal échantillonné (c) Déphasage entre le signal d'entrée et le signal échantillonné

FIGURE 3.11 – Dégradation de la tension aux bornes de C_s à cause de l'échantillonnage non idéal

modèles à cause d'erreurs commises durant le processus d'échantillonnage.

Toutes les erreurs commises durant le processus d'échantillonnage se traduisent par une atténuation et un déphasage du signal échantillonné par rapport au signal d'entrée comme le montre les figures 3.11b et 3.11c qui représentent respectivement la partie réelle et la partie imaginaire d'une FFT réalisée en prenant les échantillons dans la phase ③. L'atténuation et le déphasage du signal échantillonné avec le modèle non-

linéaire **LVT** (bleu marine) est logiquement plus fort qu'avec le modèle idéal car la valeur d'un échantillon est modifiée depuis la phase ① jusqu'à la phase ③.

Nous allons donc dans la suite de cette section, identifier et exprimer analytiquement les erreurs commises par le **T/H** durant le processus d'échantillonnage pour constater leurs conséquences sur le spectre de sortie d'un signal échantillonné par un **CAN-ET** qui n'a aucune voie identique à cause des variations de fabrication.

3.3.1 Sources d'erreurs dans la phase de suivi

Comme le **T/H** n'a pas une bande passante infinie et que le temps d'acquisition (t_{aq}) qui lui est alloué pour suivre les variations du signal d'entrée est limité, la tension aux bornes de C_s à la fin de la phase de suivi n'est pas l'image parfaite du signal en entrée. Pour illustrer cela simplement, nous allons supposer que le signal d'entrée est de forme sinusoïdale tel que $V_{in} = A \cos(\omega t + \phi)$ et que la fonction de transfert du **T/H** peut être approximée au premier ordre par celle d'un filtre RC. Dans ces conditions, la tension aux bornes de la capacité d'échantillonnage V_{C_s} se définit par l'équation (3.9) si nous considérons des conditions initiales nulles.

$$V_{C_s}(t) = \underbrace{-\frac{A \cdot \cos(\phi - \angle H_{T/H} \textcircled{1})}{\sqrt{1 + (\omega\tau)^2}} \times \exp\left(-\frac{t}{\tau}\right)}_{\text{Régime transitoire}} + \underbrace{\frac{A \cdot \cos(\omega t + \phi - \angle H_{T/H} \textcircled{1})}{\sqrt{1 + (\omega\tau)^2}}}_{\text{Régime permanent}} \quad (3.9)$$

avec $\angle H_{T/H} \textcircled{1}$ la phase de la fonction de transfert $H_{T/H}$ à la pulsation ω et τ la constante de temps du filtre RC.

D'après l'équation (3.9), lorsque $t = t_{aq}$, la tension V_{C_s} contient une première erreur (e_1) due au terme exponentielle ainsi qu'une deuxième erreur (e_2) qui atténue et déphase le signal d'entrée. Comme ses deux erreurs dépendent de τ , elles modifient la valeur de V_{C_s} différemment selon la fréquence du signal d'entrée. Si ces erreurs étaient toutes identiques selon les voies, alors la performance des **CAN-ETs** ne serait pas dégradée. Malheureusement comme ces derniers sont très sensibles aux variations de fabrication, les fonctions de transfert associées aux **T/Hs** entrelacés vont donc toutes être différentes ce qui va provoquer des erreurs e_1 et e_2 différentes selon les voies et donc amener la création d'un désappariement de bande passante.

Pour diminuer l'impact de ces deux erreurs, il convient d'augmenter la bande passante du **T/H**. Pour avoir un ordre de grandeur sur la fréquence minimale du premier pôle de $\underline{H}_{T/H}$, nous allons utiliser les résultats de [18] qui simplifie la modélisation du **T/H** à un filtre RC du premier ordre. Avec cette simplification, [18] a montré que la fréquence de coupure (f_{cut}) qui permet d'acquérir dans le temps imparti t_{aq} la valeur de l'amplitude du signal d'entrée dans le pire des cas ($0 \rightarrow$ **Pleine Échelle (PE)**) et avec une précision de 1/2 **LSB** doit satisfaire l'inéquation ci-dessous :

$$\frac{t_{aq}}{2.\pi f_{cut}} \leq \ln(2.2^B) \quad (3.10)$$

avec B le nombre de bit du **CAN-ET**.

Par exemple dans le cas d'un **CAN-ET** de 10-bit ($B = 10$) à deux voies ($t_{aq} = T_s/2$), la fréquence de coupure doit être $f_{cut} > 16.48GHz$.

En conclusion, la première étape du processus d'échantillonnage est source de création d'un désappariement de bande passante à cause des erreurs e_1 et e_2 qui diffèrent d'un **T/H** à un autre. Le tableau 3.3 représente les différents types de désappariement qui peuvent être créés au cours des quatre phases du processus d'échantillonnage. Pour signaler la présence d'un désappariement créé, le symbole X est utilisé et \emptyset dans le cas contraire. Enfin, le symbol ? signifie que nous n'avons pas encore étudié ce cas. La première colonne de ce tableau peut désormais être remplie.

	①	① → ②	②	② → ③	③
CLK _{TOP}	1	1	1	$\overline{\downarrow}$	0
CLK _{BOT}	1	$\overline{\downarrow}$	0	0	0
Désappariement O	\emptyset	?	?	?	?
Désappariement G	\emptyset	?	?	?	?
Désappariement S	\emptyset	?	?	?	?
Désappariement BW	X	?	?	?	?

TABLE 3.3: Tableau récapitulatif des désappariements créés dans la phase ① à cause des variations des procédés de fabrication

Nous allons maintenant étudier les erreurs qui sont commises durant les transitions des horloges d'échantillonnage CLK_{BOT} et CLK_{TOP} .

3.3.2 Sources d'erreurs lors d'une transition d'horloge

Les erreurs créées durant la transition d'une horloge d'échantillonnage sont liées aux injections de charges dans la capacité C_s et à des retards d'ouverture des transistors d'échantillonnage.

3.3.2.1 Injection de charges

L'injection de charges est un phénomène majeur qui limite la performance du **T/H** lors d'un changement d'état de l'horloge d'échantillonnage. Ici, nous nous intéressons uniquement aux transitions de l'état haut (ϕ_H) vers l'état bas (ϕ_L) des horloges d'échantillonnage CLK_{TOP} et CLK_{BOT} car les erreurs produites durant cette transition modifient les charges stockées sur C_s avant la phase de maintien. L'origine de ce phénomène

provient de deux mécanismes d'injection de charges qui sont représentés à la figure 3.12 : les charges accumulées dans le canal de conduction du transistor d'échantillonnage (en anglais *canal charge injection* bleu) et les charges venant du signal d'horloge (en anglais *clock feedthrough* rouge).

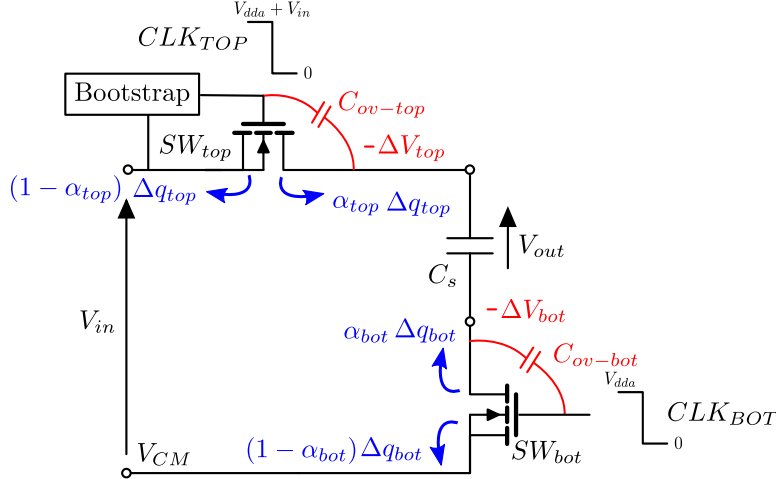


FIGURE 3.12 – Illustration des erreurs d'injection de charges

Comme ses deux erreurs se produisent simultanément, il est très difficile de les estimer séparément et précisément car elles dépendent de plusieurs paramètres qui sont souvent mal contrôlés comme l'impédance vue de la source et du drain du transistor d'échantillonnage ou encore de la pente du front d'horloge. Cependant, la quantité de charges totale (ΔQ_{tot}) injectée dans C_s à la fin de la transition est toujours définie comme la somme de ces deux erreurs. Des modèles analytiques complexes existent dans la littérature pour modéliser précisément chacune de ces deux erreurs cependant, ce n'est pas l'objectif de cette partie. Ici, nous allons les définir à l'aide d'un modèle simple afin d'identifier leurs conséquences sur la tension échantillonnée lorsque les T/H sont utilisés dans une architecture CAN-ET. Pour cela, nous allons utiliser un modèle distribué du transistor à deux distributions qui est illustré à la figure 3.13 où C_{ov} représente les capacités de recouvrement (en anglais *overlap*) entre la grille et la source/drain ; C_{canal} la capacité entre la grille et le canal de conduction ; C_s la capacité d'échantillonnage et C_{sb} et C_{db} les capacités de jonction entre le drain/source et le caisson de body.

3.3.2.1.a Injection de charges provenant du canal

La quantité de charges injectée dans C_s provenant du canal de conduction dépend de plusieurs paramètres dont la vitesse de commutation de l'horloge d'échantillonnage. En effet, lorsque le temps de transition entre l'état haut et l'état bas de l'horloge d'échantillonnage (t_{clk}) est largement supérieur à la vitesse de transition du transistor que l'on définit comme l'inverse de la fréquence de transition f_T , il est considéré que toutes les charges piégées dans le canal de conduction ont le temps d'être évacuées vers l'impédance la plus faible soit vers l'amplificateur du signal d'entrée. En revanche lorsque $t_{clk} \ll 1/f_T$, le transistor n'a pas le temps de réagir assez vite et les charges piégées sont expulsées vers le drain et la source avec une répartition α qui dépend de l'impédance

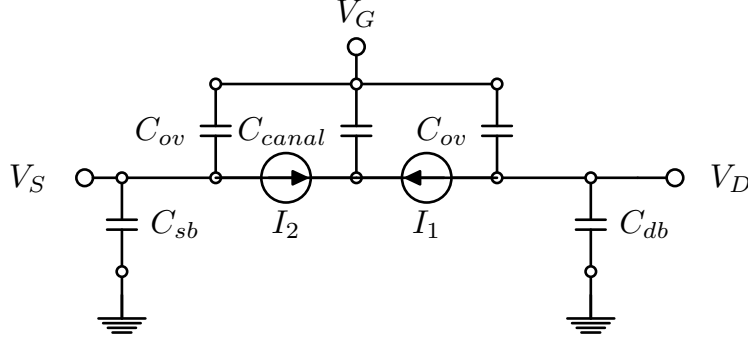


FIGURE 3.13 – Modèle à deux distributions du transistor MOS

vue du drain et de la source. Comme dans notre cas d'étude $t_{clk} \ll 1/f_T$ alors la tension aux bornes de C_s va être modifiée par les charges provenant du canal de conduction.

L'expression des capacités de recouvrement C_{ov} au premier ordre est définie d'après [6] par l'équation ci-dessous avec C_{ox} la capacité d'oxyde de grille, L_{ov} la longueur de recouvrement entre le poly de grille et les zones de drain et source et W la largeur du transistor.

$$C_{ov} \approx W \cdot L_{ov} \cdot C_{ox} \quad (3.11)$$

Si l'on suppose que l'inversion du canal se produit lorsque $V_{gs} = V_{th}$ et que la différence de potentiel entre le drain et la source est nulle (résistance du transistor très faible), il vient alors que la densité de charge dans le canal est définie approximativement par l'équation ci-dessous :

$$\begin{aligned} Q_{canal} &\approx C_{canal}(V_{gs} - V_{th}) \\ &\approx W \cdot L_{canal} \cdot C_{ox}(V_{gs} - V_{th}) \\ &\approx (W \cdot (L - 2 \cdot L_{ov}) \cdot C_{ox})(V_{gs} - V_{th}) \end{aligned} \quad (3.12)$$

avec V_{th} la tension de seuil du transistor, V_{gs} la tension grille/source et L la longueur du transistor dessinée sur le layout .

Comme l'architecture "bottom plate sampling" est constituée de deux transistors d'échantillonnages, les injections de charges vont avoir lieu au moment des transitions $\phi_H \rightarrow \phi_L$ de CLK_{BOT} et de CLK_{TOP} .

Transition de CLK_{BOT} :

Si l'on applique l'équation (3.12), la quantité de charges Δq_{bot} injectées sur l'armature basse de C_s s'exprime par l'équation (3.13) en fonction du paramètre α_{bot} qui représente le pourcentage de charges injectées dans C_s parmi toutes celles présentes dans le canal de SW_{bot} .

$$\Delta q_{bot} \approx -\alpha_{bot} \times W_{bot} \cdot L_{canal-bot} \cdot C_{ox_{bot}}(V_{dda} - V_{CM} - V_{th_{bot}}) \quad (3.13)$$

avec V_{dda} la tension d'alimentation analogique du circuit générant les horloges d'échantillonnage CLK_{BOT} et CLK_{TOP} et V_{CM} la tension de mode commun.

D'après (3.13), les charges injectées Δq_{bot} sont indépendantes du signal d'entrée au premier ordre. De ce fait, cette erreur se manifeste comme une tension d'offset qui s'ajoute à la tension de C_s .

Transition de CLK_{TOP} :

Si nous appliquons le même raisonnement mais cette fois-ci lors de la transition $\phi_H \rightarrow \phi_L$ de CLK_{TOP} , la quantité de charge Δq_{top} qui s'ajoute sur l'armature haute de C_s est définie par l'équation (3.14) :

$$\begin{aligned} \Delta q_{top} &\approx -\alpha_{top} \times W_{top} \cdot L_{canal-top} \cdot C_{ox_{top}} ((V_{dda} + V_{in}) - V_{in} - V_{th_{top}}) \\ \Delta q_{top} &\approx -\alpha_{top} \times W_{top} \cdot L_{canal-top} \cdot C_{ox_{top}} (V_{dda} - V_{th_{top}}) \end{aligned} \quad (3.14)$$

D'après (3.14), les charges injectées sur C_s ne dépendent pas du signal d'entrée et donc cela se traduit comme pour le cas précédent par l'ajout d'une tension d'offset sur C_s .

En conclusion, les erreurs d'injection de charges provenant du canal de conduction de SW_{top} et de SW_{bot} viennent modifier la tension aux bornes de C_s en ajoutant une tension d'offset qui dépend de la taille des transistors et du niveau de tension de l'horloge d'échantillonnage à l'état haut. Comme le T/H utilisé dans ce projet possède une structure différentielle, les charges injectées dans C_s s'annulent si les deux branches du T/H sont parfaitement identiques. Or, comme il est impossible de garantir une parfaite symétrie entre ces deux branches à cause des variations de fabrication, la tension V_{C_s} d'un T/H va forcément contenir une tension d'offset résiduelle qui provient de ses injections de charges différentielles. En conséquence, lorsque les T/H sont entrelacés temporellement, cette tension d'offset va se transformer en un désappariement d'offset qui va créer des raies de distorsion sur le spectre du signal reconstitué.

En plus de l'erreur d'injection de charges du canal, une seconde erreur due à l'excursion d'horloge (en anglais *clock feedthrough*) vient modifier la valeur de V_{C_s} lors de la transition d'une horloge d'échantillonnage.

3.3.2.1.b L'excursion d'horloge (Clock feedthrough)

À cause des capacités de recouvrement C_{ov} des transistors d'échantillonnage (cf figure 3.12), un couplage capacitif existe entre le signal d'horloge et la capacité C_s ce qui se traduit par l'ajout de nouvelles charges sur la capacité C_s . Comme la quantité de charge ajoutée dépend également de la pente du front d'horloge, nous nous placerons dans le même cas d'étude que précédemment en considérant que les transitions des horloges sont rapides par rapport à la vitesse des transistors d'échantillonnage ($t_{clk} \ll 1/F_T$).

Transition de CLK_{BOT} :

Pour connaître l'expression de la tension ajoutée sur C_s causé par le phénomène de clock feedthrough durant la transition $\phi_H \rightarrow \phi_L$ de CLK_{BOT} , nous allons nous baser sur le schéma équivalent du T/H de la figure 3.14 qui a été défini à partir du modèle distribué du transistor d'échantillonnage vu précédemment à la figure 3.13 et du modèle linéaire de la figure 3.7b

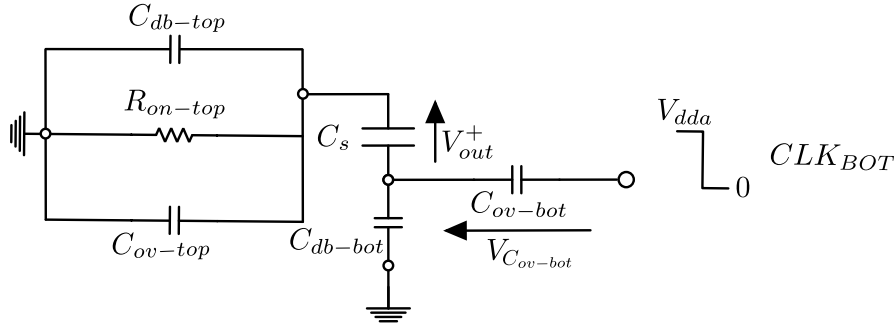


FIGURE 3.14 – Modèle équivalent du T/H en représentation unipolaire au moment de la transition $\phi_H \rightarrow \phi_L$ de CLK_{BOT}

Pour simplifier le réseau passif modélisant SW_{top} , nous allons nous baser sur la valeur du module et de la phase jusqu'à 2 GHz de son impédance complexe qui sont tracées en trait plein sur la figure 3.15.

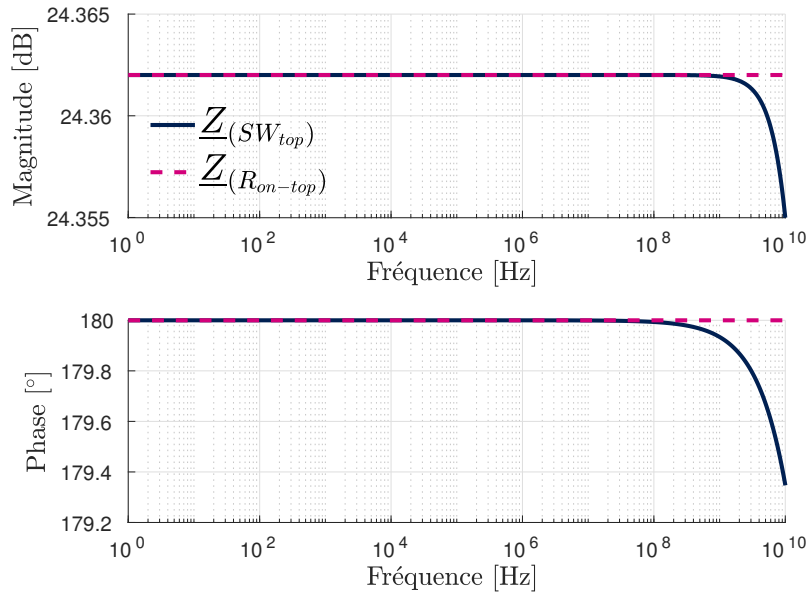


FIGURE 3.15 – Module et phase de l'impédance complexe de SW_{top} lorsqu'il est passant

Si nous observons le module de $Z_{SW_{top}}$, nous constatons qu'il est quasiment constant jusqu'à 2 GHz ce qui signifie que sur cet intervalle de fréquence l'impédance est réelle

et donc uniquement définie par une résistance. Si nous négligeons la résistance du body (R_b) qui est en série de C_b , $Z_{SW_{top}}$ est définie uniquement par sa résistance à l'état passant R_{on-top} comme le montre la courbe en trait discontinu rose qui représente l'impédance de R_{on-top} en fonction de la fréquence d'entrée. Ce résultat est attendu car dans cette phase, SW_{top} est passant et par conséquent nous souhaitons que son impédance soit la plus faible possible afin qu'il charge le signal d'entrée dans C_s rapidement et sans atténuation. Après la fréquence de Nyquist, le module de $Z_{SW_{top}}$ commence à diminuer à cause de l'influence des capacités parasites C_p et C_b . En conclusion, le modèle équivalent de SW_{top} lorsqu'il est passant peut être simplifié au premier ordre par sa résistance R_{on-top} lorsque celui-ci est passant et lorsque la fréquence maximale est de 2GHz.

Maintenant que nous avons simplifié le modèle de SW_{top} par sa résistance R_{on-top} , le nouveau schéma équivalent du T/H pendant la transition $\phi_H \rightarrow \phi_L$ de CLK_{BOT} est illustré à la figure 3.16.

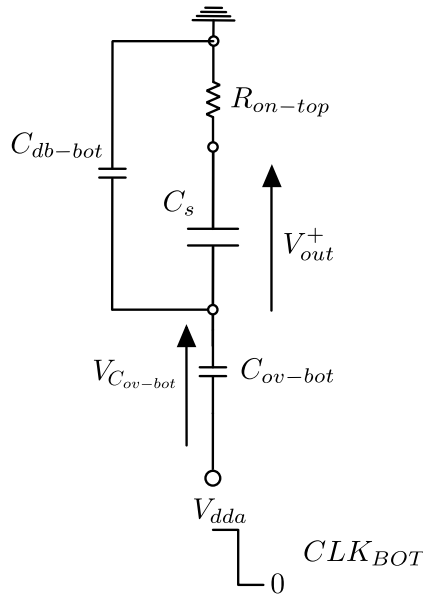


FIGURE 3.16 – Simplification du modèle équivalent de la figure 3.14

Si l'on considère que R_{on-top} est très faible, C_s^+ et C_{db-bot}^+ sont donc en parallèle et dans cette condition l'erreur accumulée sur l'armature basse de C_s^+ peut être approximée par la relation suivante :

$$\Delta V_{bot}^+ = -V_{dda} \times \frac{C_{ov-bot}^+}{C_s^+ + C_{ov-bot}^+ + C_{db-bot}^+} \quad (3.15)$$

D'après (3.15), cette erreur est une atténuation de la tension d'alimentation V_{dda} par le ratio des capacités C_s^+ , C_{ov-bot}^+ et C_{db-bot}^+ . L'erreur de tension différentielle ΔV_{bot}

s'exprime donc par l'équation (3.16) ci-dessous :

$$\Delta V_{bot} = V_{dda} \times \left(\frac{C_{ov-bot}^-}{C_s^- + C_{ov-bot}^- + C_{db-bot}^-} - \frac{C_{ov-bot}^+}{C_s^+ + C_{ov-bot}^+ + C_{db-bot}^+} \right) \quad (3.16)$$

Grâce à la structure différentielle, cette nouvelle erreur s'annule si les branches (+) et (-) sont identiques. Dans le cas contraire, un désappariement d'offset est créé.

Transition de CLK_{TOP} :

Pour exprimer la tension ajoutée sur C_s^+ durant la transition ② \rightarrow ③, la figure 3.17 modélise le T/H en représentation unipolaire lorsque SW_{bot} est bloqué et au moment de la transition de CLK_{top} .

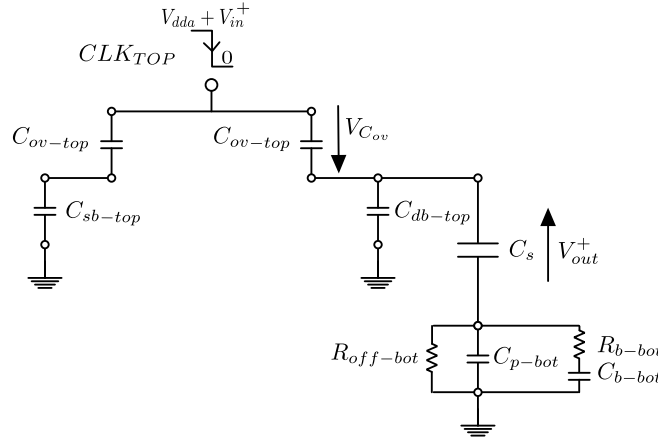


FIGURE 3.17 – Modèle équivalent du T/H en représentation unipolaire pour exprimer l'erreur de tension due aux excursions d'horloges dans C_s^+

Pour simplifier le réseau passif modélisant SW_{bot} à l'état bloqué, nous allons nous baser comme précédemment sur la valeur du module et de la phase jusqu'à 2 GHz de son impédance complexe SW_{bot} qui est tracée en trait plein sur la figure 3.18.

D'après ces deux courbes, nous constatons que le module est constant jusqu'à environ 10Hz puis qu'il diminue linéairement en fonction de la fréquence d'entrée jusqu'à 2 GHz. En effet, à très basse fréquence les capacités parasites se comportent comme des interrupteurs ouverts car leurs impédances sont très fortes et par conséquent, l'impédance du SW_{bot} est uniquement définie par sa résistance à l'état bloqué $R_{off-bot}$. En revanche, plus la fréquence augmente, plus l'impédance des capacités parasites diminuent et comme celles-ci sont en parallèle de $R_{off-bot}$, ce sont elles qui vont fixer l'impédance équivalente. Si nous regardons la phase nous constatons qu'à partir de 500 Hz celle-ci vaut -90° ce qui montre bien que l'impédance est purement imaginaire. De ce fait à partir de 500 Hz et jusqu'à 2 GHz, l'impédance de SW_{bot} peut être approximée au premier ordre par une capacité C_1^+ dont sa valeur est la somme de C_{p-bot}^+ et C_{b-bot}^+ comme le montre la courbe en trait discontinu jaune de la figure 3.18 qui représente

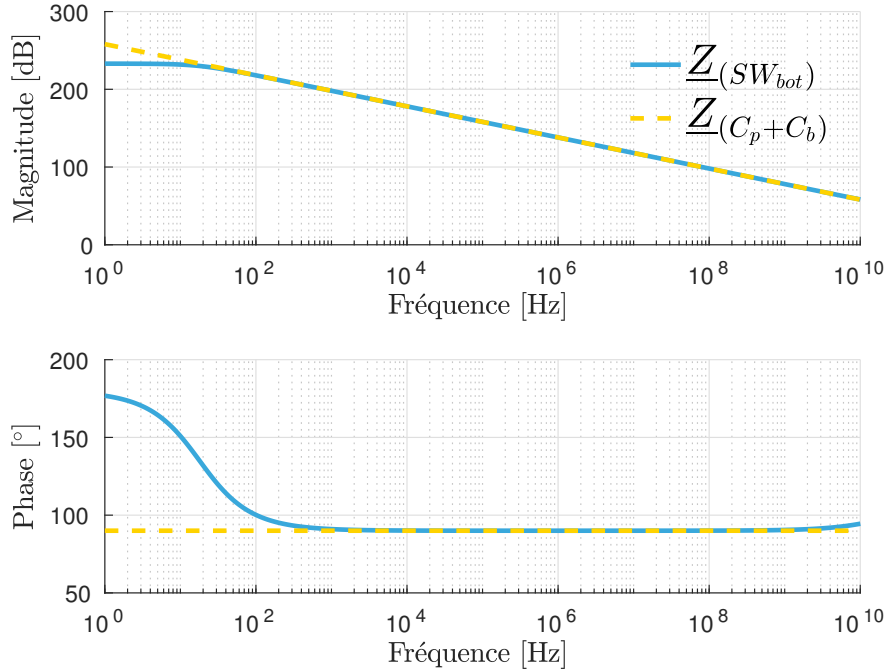


FIGURE 3.18 – Module et Phase de l'impédance complexe de SW_{bot} lorsqu'il est bloqué

l'impédance de C_1^+ en fonction de la fréquence d'entrée.

Pour exprimer la tension d'erreur ajoutée sur l'armature haute de C_s^+ (ΔV_{top}^+), on exprime la capacité équivalente C_{EQ}^+ comme le montre la figure 3.19.

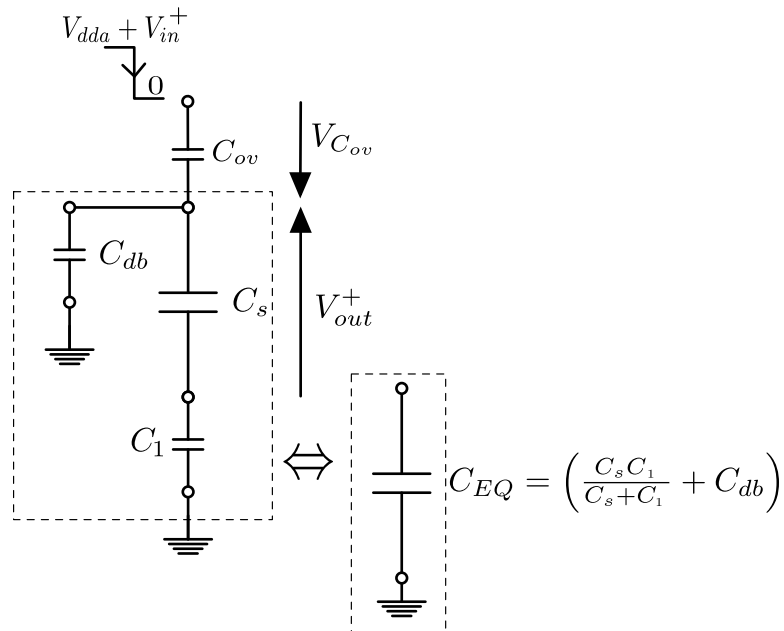


FIGURE 3.19 – Schéma équivalent des capacités reliés à la masse

Basé sur ce schéma simplifié, le bilan des charges entre les instants où l'horloge CLK_{TOP} est à l'état haut (ϕ_H) et à l'état bas (ϕ_L) s'écrit :

$$Q_{C_{ov}^+}(\phi_H) + Q_{C_{EQ}^+}(\phi_H) = Q_{C_{ov}^+}(\phi_L) + Q_{C_{EQ}^+}(\phi_L)$$

$$C_{ov}^+(V_{out}^+ - (V_{dda} + V_{in}^+)) + C_{EQ}^+V_{out}^+ = C_{ov}^+(V_{out}^+ + \Delta V_{top}^+) + C_{EQ}^+(V_{out}^+ + \Delta V_{top}^+) \quad (3.17)$$

$$\Delta V_{top}^+ = -(V_{dda} + V_{in}^+) \times \frac{C_{ov}^+}{C_{ov}^+ + C_{EQ}^+}$$

L'équation (3.17) montre que l'erreur ΔV_{top}^+ dépend à la fois du signal d'entrée et d'un terme constant. L'erreur de tension différentielle ΔV_{top} s'exprime par l'équation (3.18) à partir de (3.17).

$$\Delta V_{top} = V_{dda} \times \left(\frac{C_{ov}^-}{C_{ov}^- + C_{EQ}^-} - \frac{C_{ov}^+}{C_{ov}^+ + C_{EQ}^+} \right) + V_{in} \times \left(\frac{C_{ov}^-}{C_{ov}^- + C_{EQ}^-} - \frac{C_{ov}^+}{C_{ov}^+ + C_{EQ}^+} \right) \quad (3.18)$$

Cette dernière équation montre que si les deux branches de la structure différentielle sont identiques, l'erreur due à l'excursion d'horloge de $V_{CLK_{TOP}}$ dans C_s résulte uniquement en une atténuation du signal d'entrée. Si ce n'est pas le cas, une tension d'offset vient s'ajouter en plus.

Les différents désappariement qui sont créés durant la transitions à l'état bas des horloges d'échantillonnage CLK_{BOT} et CLK_{TOP} à cause des phénomènes d'injection de charges sont résumés dans le tableau 3.20.

	①	① → ②	②	② → ③	③
CLK _{TOP}	1	1	1	⌋	0
CLK _{BOT}	1	⌋	0	0	0
Désappariement O	∅	X	?	X	?
Désappariement G	∅	∅	?	X	?
Désappariement S	∅	∅	?	∅	?
Désappariement BW	X	∅	?	∅	?

FIGURE 3.20 – Récapitulatif des désappariements créés durant les transitions de CLK_{BOT} et CLK_{TOP} à cause des erreurs d'injection de charges

Nous allons maintenant étudier les erreurs liées à l'instant d'échantillonnage qui apparaissent également durant les transitions d'horloges.

3.3.2.2 Retards d'échantillonnage

Le retard d'échantillonnage t_{delay} (*Aperture delay* en anglais) est modélisé au premier ordre par la figure 3.21. Il est créé à cause du temps fini de basculement des horloges

d'échantillonnage t_{clk} et se définit comme le temps écoulé entre le début de la transition de l'horloge et le moment où le transistor est totalement bloqué ($V_{gs} = V_{th}$).

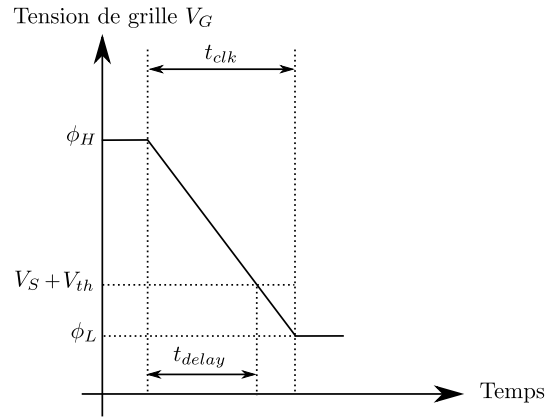


FIGURE 3.21 – Modélisation du retard d'échantillonnage

D'après le modèle de la figure 3.21, l'expression de t_{delay} s'obtient par :

$$t_{delay} = t_{clk} \times \frac{\phi_H - (V_S + V_{th})}{(\phi_H - \phi_L)} \quad (3.19)$$

Contrairement à la gigue d'échantillonnage, le retard d'ouverture ne limite pas la performance des T/H car l'erreur de tension liée à ce retard se manifeste simplement comme un changement de phase linéaire du signal échantillonné. En revanche, lorsque les T/H sont entrelacés temporellement et que les tensions de seuil V_{th} des transistors de chaque T/H sont différentes, cette erreur de phase se transforme en un désappariement de l'instant d'échantillonnage.

Le tableau 3.22 résume tous les désappariement qui sont créés durant la transitions à l'état bas des horloges d'échantillonnage CLK_{BOT} et CLK_{TOP} .

	①	① → ②	②	② → ③	③
CLK_{TOP}	1	1	1	$\bar{1}$	0
CLK_{BOT}	1	$\bar{1}$	0	0	0
Désappariement O	\emptyset	X	?	X	?
Désappariement G	\emptyset	\emptyset	?	X	?
Désappariement S	\emptyset	X	?	X	?
Désappariement BW	X	\emptyset	?	\emptyset	?

FIGURE 3.22 – Récapitulatif de tous les désappariements créés durant les transitions de CLK_{BOT} et CLK_{TOP}

3.3.3 Sources d'erreurs dans la phase Intermédiaire 1

La phase intermédiaire est la phase ② du processus d'échantillonnage durant laquelle l'horloge CLK_{BOT} vient de basculer à l'état bas et l'horloge CLK_{TOP} est toujours maintenue à l'état haut comme cela est illustré à la figure 3.11a. Le changement d'état de CLK_{BOT} a modifié la valeur des paramètres du modèle linéaire modélisant SW_{bot} et par conséquent le signal d'entrée va être filtré par une nouvelle fonction de transfert notée $\underline{H}_{T/H\textcircled{2}}$. Si l'on considère $C_s = 300$ fF et d'après les valeurs du tableau 3.2 et l'équation (3.8), il vient que l'expression numérique de $\underline{H}_{T/H\textcircled{2}}$ est définie par l'équation ci-dessous :

$$\underline{H}_{T/H\textcircled{2}}(w) = 0.0025 \times \frac{(1 + j0.0088w)(1 + j4.185 \times 10^{-12}w)(1 + j2.944 \times 10^{-12}w)(1 + j1.104 \times 10^{-13}w)}{(1 + j0.1427w)(1 + j5.541 \times 10^{-12}w)(1 + j2.948 \times 10^{-12}w)(1 + j3.353 \times 10^{-13}w)} \quad (3.20)$$

Pour illustrer le comportement fréquentiel de cette nouvelle fonction de transfert, la figure 3.23 trace son module et sa phase.

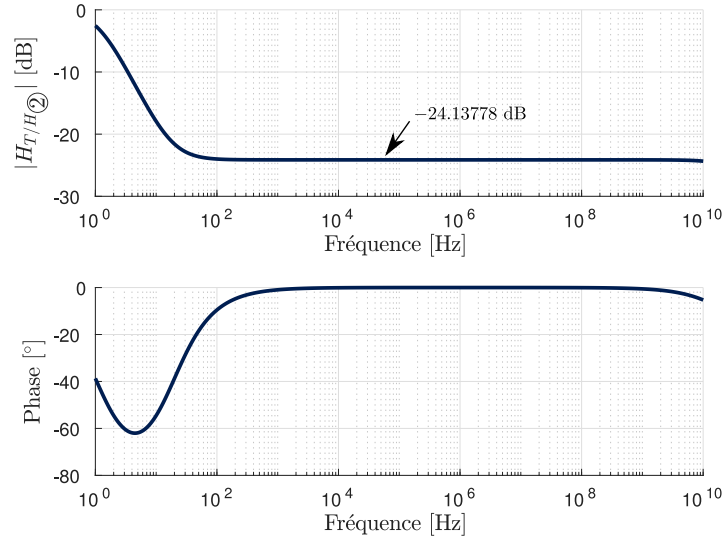


FIGURE 3.23 – Diagramme de Bode de $\underline{H}_{T/H\textcircled{2}}$

Si nous regardons uniquement le module, nous observons une diminution du gain d'environ 20dB/décade jusqu'à environ 10Hz puis une stabilisation jusqu'à la fréquence de Nyquist. Si nous reprenons les valeurs du tableau 3.2 qui résume la fréquence de tous les pôles et zéros présents dans $\underline{H}_{T/H\textcircled{2}}$, nous constatons que la forme du module jusqu'à 100 Hz est due à l'effet du pôles p_1 et du zéro z_1 qui vont respectivement se compenser en diminuant le gain de 20dB/décade puis en l'augmentant de +20dB/décade. Passé la fréquence de 100Hz, le signal d'entrée est atténué par un gain quasi constant jusqu'à 2 GHz car aucun pôle et/ou zéro n'intervient dans cette bande de fréquence.

Pour comprendre l'origine de ce gain quasi-constant, nous allons nous baser sur les simplifications faites sur l'impédance équivalente de SW_{top} et de SW_{bot} lorsque nous avons étudié les erreurs liées à l'excursion d'horloge dans C_s . En effet, nous avons montré

que l'impédance équivalente de SW_{top} et de SW_{bot} peuvent se simplifier respectivement par la résistance R_{on-top} et une capacité C_1 qui est définie comme la somme des capacités C_{p-bot} et C_{b-bot} . De ce fait, le modèle équivalent du T/H dans la phase ② se simplifie par le schéma de la figure 3.24.

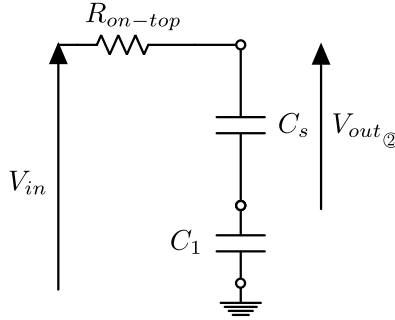


FIGURE 3.24 – Schéma équivalent du T/H durant la phase ② lorsque $f_{in} > 100$ Hz

D'après ce schéma, comme C_1 relie l'armature basse de C_s à la masse, un chemin se crée entre le signal d'entrée et la masse ce qui explique que le signal d'entrée continu d'évoluer dans C_s malgré que SW_{bot} soit ouvert. Maintenant, si nous considérons que la tension aux bornes de C_s est égale à la tension d'entrée V_{in} (R_{on-top} très faible), nous montrons que le signal d'entrée est atténué par le rapport capacitif entre C_1 et C_s comme cela est défini ci-dessous :

$$V_{out②} \approx V_{in} \times \frac{C_1}{C_1 + C_s} \quad (3.21)$$

Si nous calculons numériquement ce ratio capacitif à l'aide des éléments du tableau 3.1, nous retrouvons la valeur du module de $H_{S/B②}$ de la figure 3.23 car on obtient une atténuation de 0.0621 soit -24.1381 dB.

En conclusion, à cause des capacités parasites de SW_{bot} qui permettent au T/H de continuer à suivre les variations du signal d'entrée, un désappariement de bande passante est créé lorsque les fonctions de transfert des T/H entrelacés sont toutes différentes à cause des variations de fabrication. Suivant la fréquence du signal d'entrée, ce désappariement créé ne va pas contribuer de la même manière dans la puissance de la raie de distorsion qui apparaît sur le spectre de sortie du signal reconstitué. Lorsque la fréquence du signal d'entrée $f_{in} > 100$ Hz l'impact de ce désappariement est faible car le signal d'entrée est fortement atténué (d'environ -24 dB). En revanche lorsque $f_{in} < 100$ Hz son impact est plus fort car le signal est atténué uniquement par le pôle p_1 avec une pente de -20dB/décade. Il est à noter que peu importe la fréquence d'entrée l'impact de ce désappariement de bande passante créé est beaucoup moins importante que celui qui est créé dans la phase de suivi.

Le tableau 3.25 permet de résumer les désappariements qui se sont créés depuis le début du processus d'échantillonnage.

	①	① → ②	②	② → ③	③
CLK _{TOP}	1	1	1	$\overline{\downarrow}$	0
CLK _{BOT}	1	$\overline{\downarrow}$	0	0	0
Désappariement O	∅	X	∅	X	?
Désappariement G	∅	∅	∅	X	?
Désappariement S	∅	X	∅	X	?
Désappariement BW	X	∅	X	∅	?

FIGURE 3.25 – Récapitulatif des désappariements créés durant la phase ③

Nous allons terminer cette étude par la dernière phase du processus d'échantillonnage.

3.3.4 Sources d'erreurs dans le mode de maintien

Bien que les deux transistors d'échantillonnage soient bloqués, la tension aux bornes de C_s continue toujours d'évoluer.

3.3.4.1 Droop Rate

L'erreur principale qui dégrade les performances du processus d'échantillonnage dans la phase de maintien est l'erreur de droop rate (ΔV). Cette erreur va modifier les charges stockées sur C_s à cause des fuites de courant (I_{fuite}) provenant des transistors d'échantillonnage ou de la capacité d'échantillonnage C_s . Si nous supposons que I_{fuite} est constant alors l'erreur de tension ΔV peut s'exprimer au premier ordre par la relation suivante :

$$\frac{\Delta V}{\Delta t} = \frac{I_{fuite}}{C_s} \quad (3.22)$$

L'équation (3.22) montre que pour diminuer cette erreur il faut augmenter la taille de C_s . Cependant, cela a pour conséquence de réduire la bande passante du T/H et donc augmenter le temps d'ouverture. Dans le cas d'une architecture CAN-ET et en présence de désappariement de taille des transistors d'échantillonnage, la pente de l'affaïssement de tension va différer selon les T/H et par conséquent cette erreur va créer un désappariement de gain.

3.3.4.2 L'excursion du signal d'entrée (Hold mode feedthrough)

La seconde erreur qui a lieu dans cette phase de maintien est une erreur analogique qui provient des fuites de signaux AC dans la capacité C_s . Le signal d'entrée se propage dans C_s principalement à cause des capacités parasites C_{ds} de SW_{top} et SW_{bot} qui forment un chemin vers la masse. Par conséquent le signal est au premier ordre atténué par un diviseur capacitif composé donc de C_{ds-top} , C_{ds-bot} et de C_s . Pour illustrer cette erreur et quantifier l'atténuation du signal d'entrée, la figure 3.26 trace le module de la fonction de transfert durant la phase de maintien (phase ③).

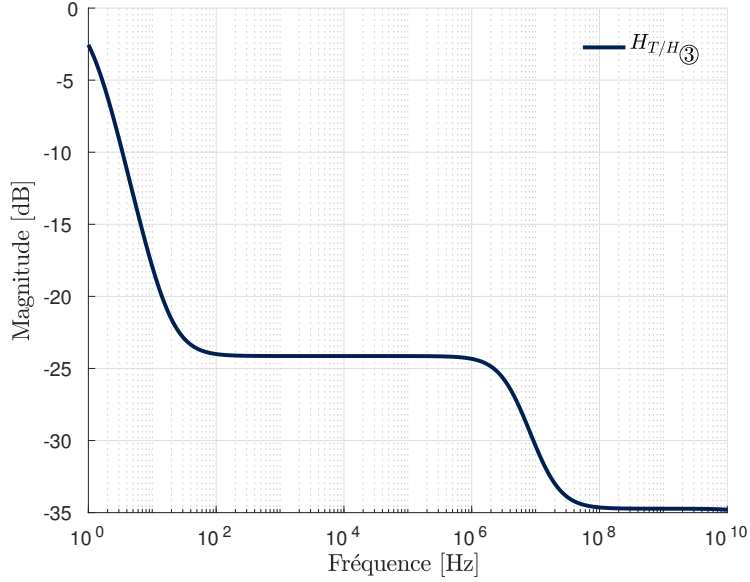


FIGURE 3.26 – Diagramme de Bode de $\underline{H}_{T/H} \textcircled{3}$

D’après cette figure, nous constatons que le module de la fonction de transfert n’est plus constant sur la plage de fréquence [100Hz ; 2GHz] comme c’était le cas précédemment avec la phase $\textcircled{2}$. En effet, comme SW_{top} est désormais bloqué, la valeur de sa résistance de canal $R_{off-top}$ est devenue très grande par rapport à R_{on-top} et par conséquent, les fréquences des pôles et des zéros qui dépendaient de R_{on-top} vont être déplacées vers les basses fréquences.

D’après le tableau 3.2 et la figure 3.26, nous constatons que ce sont principalement les pôles p_3, p_4 et les zéros z_3, z_4 qui ont été touchés par l’ouverture de SW_{top} . Par conséquent, lorsque les tailles des transistors diffèrent d’un T/H à un autre, un désappariement de bande passante va être créé dans cette phase.

Comme pour la phase $\textcircled{2}$, la contribution de ce désappariement de bande passante sur le niveau de la raie de distorsion est beaucoup plus faible que celui créé durant la phase de suivi ($\textcircled{1}$). En effet, le signal subit une atténuation sur toute la bande de fréquence [0 ; 2GHz] qui s’accroît vers les hautes fréquences là où l’effet du désappariement est le plus fort.

Afin de synthétiser tous ces résultats, le tableau 3.4 résume tous les désappariements créés phase par phase lorsque les T/H entrelacés utilisent une architecture “*bottom-plate sampling*” en différentielle.

	①	① → ②	②	② → ③	③
CLK _{TOP}	1	1	1	$\overline{\perp}$	0
CLK _{BOT}	1	$\overline{\perp}$	0	0	0
Désappariement O	∅	X	∅	X	∅
Désappariement G	∅	∅	∅	X	X
Désappariement S	∅	X	∅	X	∅
Désappariement BW	X	∅	X	∅	X

TABLE 3.4: Tableau récapitulatif des désappariements créés en présence d'un désappariement de taille des transistors d'échantillonnage

3.4 Conclusion

Dans ce chapitre, nous avons dans un premier temps modélisé les transistors d'échantillonnage à l'aide d'un modèle linéaire afin de pouvoir exprimer analytiquement la fonction de transfert du **T/H** dans chaque phase du processus d'échantillonnage. Grâce à cette modélisation, nous avons pu exprimer toutes les erreurs créées par le **T/H** durant le processus d'échantillonnage. En fonction de la nature de ces erreurs, nous en avons déduit leurs conséquences lorsque plusieurs **Suiveurs-Bloqueurs (T/Hs)** sont entrelacés temporellement et impactés par les variations des procédés de fabrication. Ce dernier point a montré qu'un désappariement de taille des transistors d'échantillonnage entraîne la création d'un désappariement d'offset, de gain, de skew et de bande passante qui viennent dégrader la performance du **CAN-ET**. Par conséquent, il devient nécessaire d'effectuer une calibration de ses quatre désappariements créés pour profiter pleinement des avantages offerts par la structure **CAN-ET**.

Chapitre 4

Compensation Analogique de l'erreur de Skew

Sommaire

4.1 Modulation de la face arrière (body-biasing)	77
4.1.1 Principe	77
4.1.2 Plage d'utilisation du body-biasing	78
4.2 Compensation via les transistors d'échantillonnage	81
4.2.1 Solutions proposées	81
4.2.2 Dimensionnement des transistors d'échantillonnage	84
4.2.3 Conséquences sur le processus d'échantillonnage	88
4.2.4 Estimation de la plage de Compensation du Skew	98
4.2.5 Évaluation de la performance des compensations	102
4.3 Conclusion	112

NOUS venons de voir dans le chapitre précédent qu'un désappariement de taille entre les composants de chaque T/H entrelacé donne naissance à des désappariements d'offset, de gain, d'instant d'échantillonnage et de bande passante. Dans ce chapitre, nous allons uniquement nous focaliser sur la compensation analogique du désappariement de l'instant d'échantillonnage. Pour cela, nous allons profiter des avantages offerts par la technologie FD-SOI en proposant plusieurs solutions basées sur l'ajustement de la tension de seuil.

4.1 Modulation de la face arrière (body-biasing)

4.1.1 Principe

Afin d'ajuster efficacement la tension de seuil (V_{th}) d'un transistor **FD-SOI** (**RVT** ou **LVT**), il est nécessaire d'identifier les paramètres dont elle dépend. Pour cela, nous proposons d'utiliser l'expression mathématique de la tension de seuil d'un transistor **NMOS FD-SOI** à canal long et ayant un film de silicium dopé déserté en face arrière [155] :

$$V_{th} = \phi_m - \left(\chi + \frac{E_g}{2q} \right) + \frac{kT}{q} \ln \left((1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) + r \left(\phi_{BP} - \left(\chi + \frac{E_g}{2q} \right) + \frac{kT}{q} \ln \left((1+r) \frac{kT}{q} C_{ox} \frac{1}{qn_i T_{Si}} \right) - V_{bs} \right) \quad (4.1)$$

où

- ϕ_m : représente le travail de sortie de la grille avant métallique
- χ : le travail de sortie de la bande de conduction du film de silicium
- E_g : l'énergie du gap du film de silicium
- q : la charge d'un électron
- k : la constante de Boltzmann
- T : la température
- r : le coefficient de couplage capacitif entre la grille avant et la grille arrière

$$r = \frac{T_{ox}}{T_{BOX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} T_{Si}} \quad (4.2)$$

avec T_{ox} l'épaisseur de l'oxyde de grille avant, T_{BOX} l'épaisseur du BOX, T_{Si} l'épaisseur du film de silicium, ϵ_{Si} la permittivité du silicium et ϵ_{SiO_2} la permittivité du Dioxyde de silicium.

- C_{ox} : la capacité de l'oxyde de grille
- n_i : la concentration intrinsèque des porteurs libre
- ϕ_{BP} ; le travail de sortie du **BP**
- V_{bs} : la différence de potentiel entre le **BP** et la source

D'après (4.1), nous remarquons qu'il est possible d'ajuster la tension de seuil après fabrication en appliquant un potentiel V_b sur la prise caisson du body. Cette technique d'ajustement dynamique s'appelle le body-biasing et c'est l'une des forces majeures de la technologie **FD-SOI** car elle permet de contrôler les performances dynamiques et statiques des transistors **FD-SOI**. Le facteur qui modélise la variation de la tension de seuil engendrée par la variation de la tension V_{bs} est nommé pour la suite le “*body factor*” (b_f). Ce facteur est proportionnel au coefficient de couplage capacitif r , comme le montre l'équation suivante :

$$b_f = \frac{\Delta V_{th}}{\Delta V_{bs}} \propto r \quad (4.3)$$

Pour estimer le b_f associé aux architectures **LVT** et **RVT**, des simulations DC sont exécutées en faisant varier V_{bs} sur des transistors de type NMOS entre plus ou moins la tension d'alimentation analogique disponible, soit $\pm 1.1V$. Les résultats de ces simulations sont affichés à la figure 4.1.1.

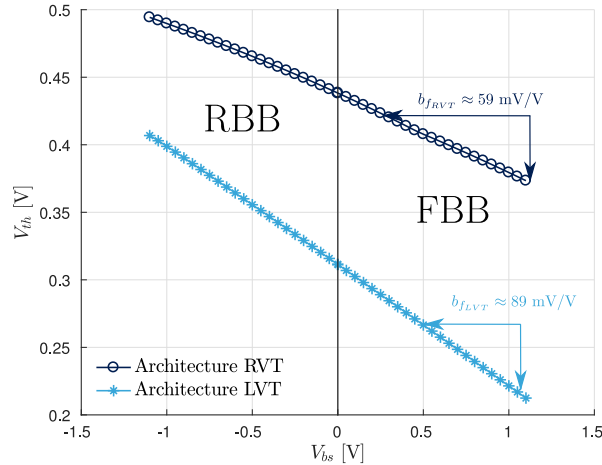


FIGURE 4.1 – Extraction du facteur de body selon l'architecture RVT et LVT

D'après ces deux courbes, nous constatons que la variation de V_{th} en fonction de V_{bs} est quasiment linéaire pour les deux architectures mais que l'effet du body-biasing est plus important avec l'architecture **LVT** qu'avec l'architecture **RVT** ($b_{f_{LVT}} \ll b_{f_{RVT}}$). Cette différence de sensibilité provient du fait que les **BPs** ont un type différent. Cette figure montre également que selon le signe de V_{bs} , V_{th} augmente ou diminue. Dans le cas où V_{th} augmente, le caisson est polarisé en **Reverse Body-Biasing (RBB)** et lorsqu'il diminue le caisson est polarisé en **Forward Body-Biasing (FBB)**. Lorsque la polarisation **RBB** est utilisée, la performance du transistor est diminuée car pour une même tension V_{gs} appliquée, le courant fourni par le transistor est plus faible, mais les fuites de courant statique sont réduites. Inversement, en polarisation **FBB**, la performance et les courants de fuite statiques du transistor sont augmentés. De surcroît, plus la valeur de tension V_{bs} est grande, plus l'effet du body-biasing est fort. Si on utilise l'effet du body-biasing sur un seul transistor de type **PMOS** ou **NMOS**, la plage de variation de la tension V_{bs} s'étend jusqu'à la tension de claquage du **BOX** soit environ $\pm 3V$. En revanche, si nous utilisons le body-biasing dans un inverseur, la plage d'utilisation est plus restreinte à cause des diodes formées par les caissons de type P et N.

4.1.2 Plage d'utilisation du body-biasing

La limitation majeure de l'effet de body-biasing est le risque de polariser en directe (conduction) les jonctions P-N qui existent dans le transistor **MOS**. En effet, si une jonction vient à s'activer à cause d'un mauvais choix de tension V_{bs} , les performances du transistor vont fortement se dégrader tout comme sa consommation statique et dynamique. Par conséquent, il est important de connaître la plage d'utilisation de la technique de body-biasing selon l'architecture des transistors utilisés. Pour comparer

les plages d'utilisation de la technique de body-biasing lorsque la technologie des transistors est du **FD-SOI** ou du **BULK**, nous allons étudier trois configurations d'inverseur avec des transistors d'architecture **RVT**, **LVT** ou **BULK**.

La première configuration représentée à la figure 4.2 est celle d'un inverseur utilisant la technologie **BULK**.

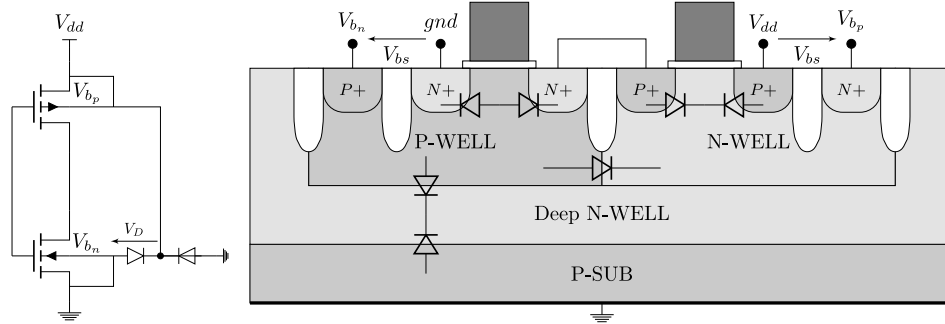


FIGURE 4.2 – Schéma et vue en coupe d'un inverseur utilisant la technologie **BULK**

Le transistor **PMOS-BULK** est dans un caisson **N-WELL** (NW) tandis que le transistor **NMOS-BULK** est dans un caisson de type **P-WELL** (PW). Afin d'isoler le substrat du PW, du **deep N-WELL** (DNW) est rajouté. Lorsque aucun **body-biasing** est effectué, le DNW et le body du PMOS (V_{bp}) sont polarisés à la tension d'alimentation (V_{dd}) et le body du NMOS (V_{bn}) à la masse (gnd). La polarisation **FBB** ($V_{bp} < V_{dd}$ et $V_{bn} > gnd$) est limitée lorsque les jonctions drain/source du NMOS et du PMOS sont polarisées en direct. Comme la tension de seuil ces jonctions V_D est estimée à 300mV [156], la limite en **FBB** est atteinte lorsque $V_{bp-max} = V_{dd} - V_D$ et $V_{bn-max} = V_D$. La polarisation **RBB** ($V_{bp-max} > V_{dd}$ et $V_{bn-max} < gnd$) est également limité à -300 mV à cause du courant **GIDL** qui devient trop important. De plus, il est important de signaler que le risque de "latch-up" est fortement augmenté en utilisant le **FBB** dans une technologie **BULK**.

La deuxième configuration utilise la technologie **FD-SOI** avec l'architecture **RVT** comme le montre la figure 4.3.

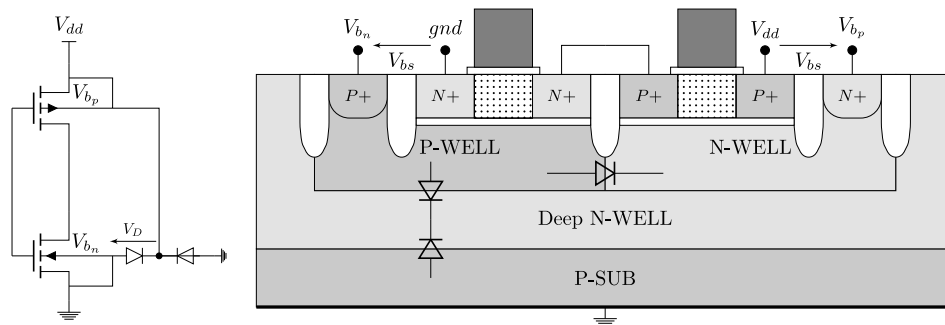


FIGURE 4.3 – Schéma et vue en coupe d'un inverseur **RVT**

La disposition des dopages sous le BOX ainsi que la polarisation des caissons de body sont identiques à ceux du l'inverseur BULK. Cependant, comme le RVT dispose d'un BOX isolant ses jonctions source/drain des caissons PW/NW, une plage beaucoup plus importante de body-biasing est possible. En effet, ici la limitation provient uniquement de la diode formée à l'interface des deux caissons de type opposé. Par conséquent, en FBB, la polarisation des caissons de body est limitée à $V_{bn-max} = \frac{V_{dd}}{2} + 150 \text{ mV}$ et $V_{bp-max} = \frac{V_{dd}}{2} - 150 \text{ mV}$. En RBB, la polarisation des caissons de body PW et NW est limitée par la tension d'avalanche qui est d'environ 6V. Par conséquent, $V_{bp-max} = 3 \text{ V}$ et $V_{bn-max} = -3\text{V}$.

Enfin, le cas LVT est représenté à la figure 4.4.

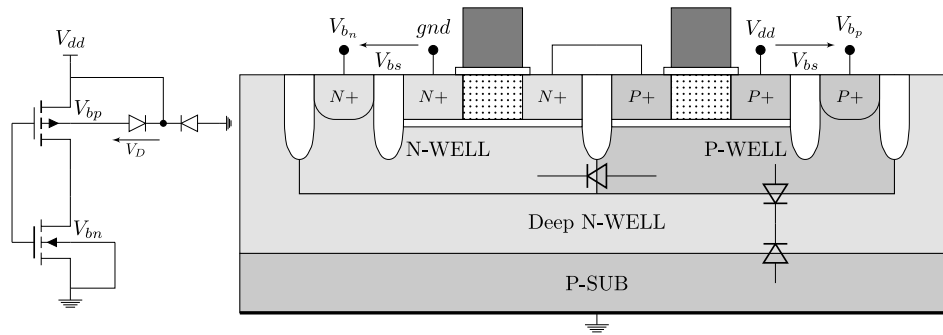


FIGURE 4.4 – Schéma et vue en coupe d'un inverseur LVT

Cette fois-ci, les caissons sous le BOX sont du même type que ceux de la source et du drain. De ce fait, les caissons de body P et N sont initialement polarisés à la masse (*gnd*). En FBB, il ne faut pas atteindre la tension d'avalanche de la diode, donc $V_{bp-max} = -3\text{V}$ et $V_{bn-max} = 3\text{V}$. En revanche, en RBB la plage de body-biasing est limitée à +/-150 mV à cause du DNW qui est relié au *gnd*.

Le récapitulatif des plages de tensions utilisables pour le body-biasing selon la technologie et l'architecture est représenté à la figure 4.5. Cette figure montre clairement l'avantage de la technologie FD-SOI par rapport à la technologie BULK lorsque nous comparons uniquement la plage d'utilisation de la technique de body-biasing. En effet, nous constatons que la tension maximale en FBB d'un transistor LVT est 10 fois supérieure à celle d'un transistor BULK. Il en est de même en RBB avec un transistor RVT.

Nous venons de voir que la technique de body-biasing permet de moduler la tension de seuil d'un transistor. De plus, nous avons montré que l'utilisation de cette technique sur des transistors utilisant la technologie FD-SOI permet de polariser le caisson de body avec une tension qui peut atteindre jusqu'à 3V sans risque de détruire le BOX. Par conséquent, nous allons profiter de cet avantage technologique afin de compenser les désappariements de l'instant d'échantillonnage présents dans les Time Interleaved Analog to Digital Converter (TI-ADC).

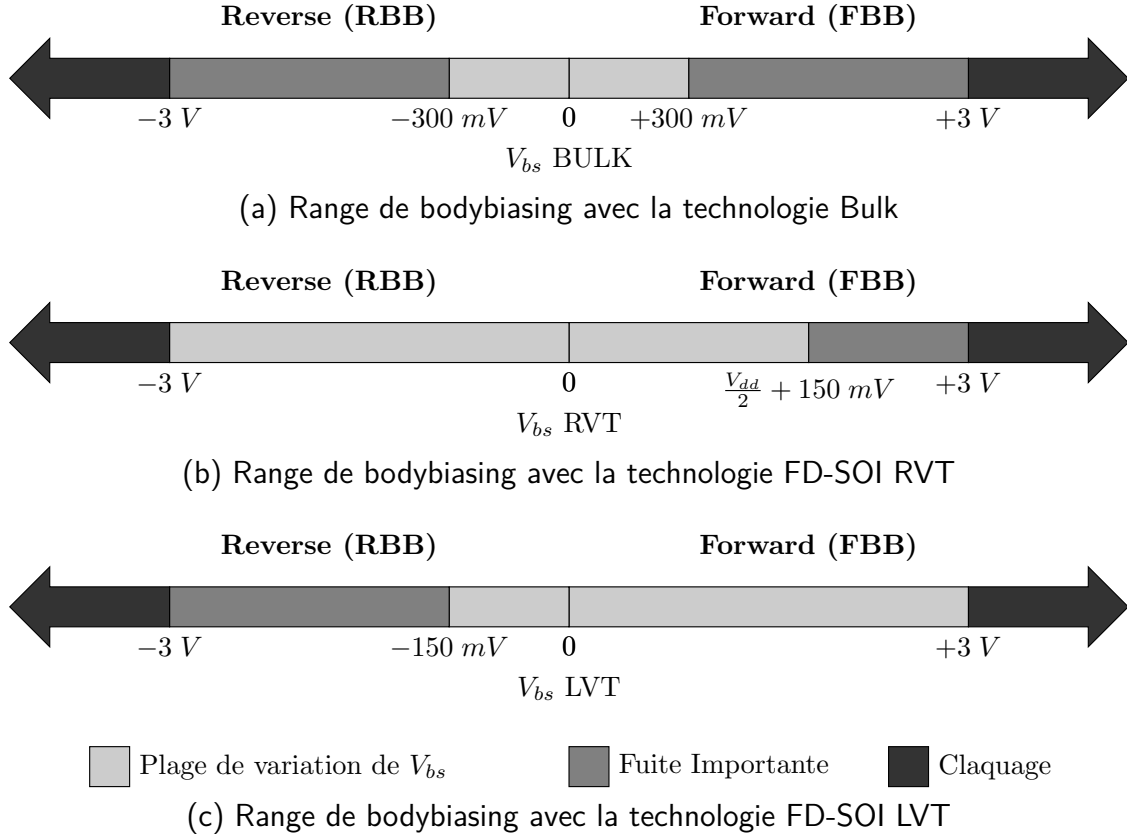


FIGURE 4.5 – Range de Body-biasing utilisant (a) la technologie BULK , (b) la technologie FD-SOI avec des transistors RVT, (c) avec des transistors LVT

Comme les sources générant du skew proviennent par exemple d'un désappariement des tensions de seuil des transistors d'échantillonnage et des transistors générant les horloges, la technique de body-biasing peut être appliquée sur tous les transistors ayant un lien avec la génération des horloges ou le processus d'échantillonnage. Les compensations de skew retardant les horloges d'échantillonnage à l'aide de lignes de retard contrôlées par body-biasing ont déjà été étudiées dans le passé [138]. Par conséquent nous allons dans la suite de ce chapitre appliquer la technique de body-biasing directement sur les transistors d'échantillonnage afin d'étudier si c'est une solution viable et performante pour la compensation du skew.

4.2 Compensation via les transistors d'échantillonnage

4.2.1 Solutions proposées

Comme l'architecture "*bottom plate sampling*" utilise deux transistors d'échantillonnage, il est donc possible d'appliquer la technique de body-biasing soit sur SW_{top} , soit sur SW_{bot} , ou soit sur SW_{top} et SW_{bot} comme le montre la figure 4.6.

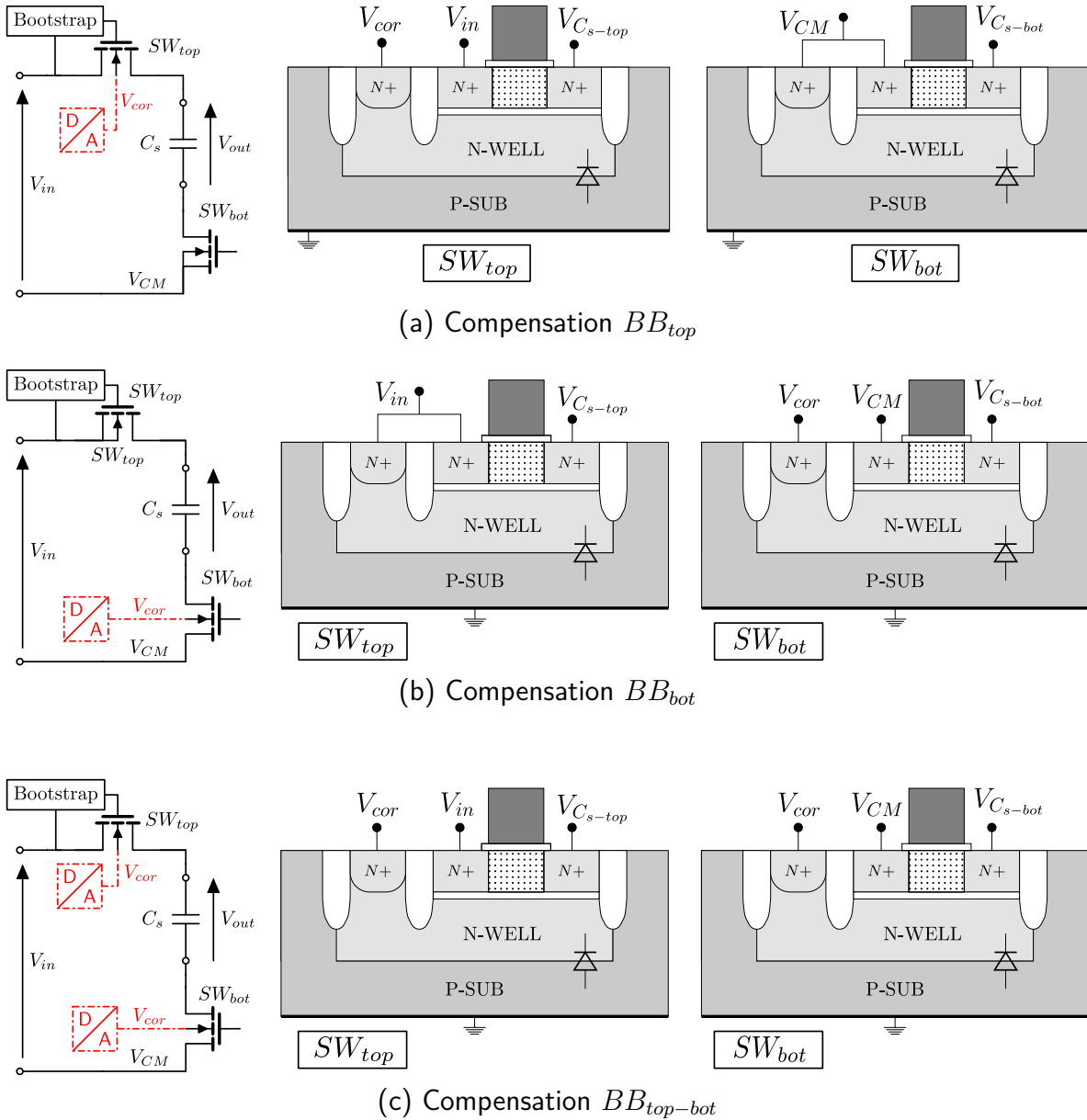


FIGURE 4.6 – Compensation du skew en ajustant (a) le transistor du haut SW_{top} , (b) le transistor du bas SW_{bot} , (c) les deux transistors

L'avantage principal de ces différentes solutions est que nous ne dégradons pas l'horloge d'échantillonnage comme c'est le cas avec les techniques de compensation basées sur l'ajout d'une ou plusieurs cellules de retard entre les horloges d'échantillonnage et les T/Hs. En contrepartie, la plage de compensation du skew est limitée car au maximum, nous avons que deux réglages de compensations (deux transistors) pour compenser tous les retards qui se sont accumulés depuis le séquenceur jusqu'aux T/Hs.

La plage de compensation de skew pour les trois configurations va dépendre de la tension maximale que nous pouvons appliquer sur le caisson de body du/des transistor(s) d'échantillonnage. Comme les transistors SW_{top} et SW_{bot} sont des LVT NMOS, la

seule contrainte que nous avons provient de la diode Nwell/Psub qui doit toujours être polarisée en inverse. Pour assurer cela, il faut que la tension de compensation V_{cor} qui s'applique sur le body du/des transistor(s) soit toujours supérieure à celle du substrat qui est polarisée à la masse. Cette condition implique que V_{cor} peut donc atteindre 3V d'après la figure 4.5. Malheureusement comme la tension d'alimentation analogique V_{dd} disponible est seulement de 1.1V, V_{cor} évoluera entre 0V et 1.1V pour les trois compensations proposées.

Pour évaluer la fuite de courant de la diode Nwell/Psub ($D_{SW_{top}}$ et $D_{SW_{bot}}$) des transistors d'échantillonnage SW_{top} et SW_{bot} en fonction de la tension de compensation V_{cor} , nous avons exécuté une simulation **Post Layout Schematic (PLS)** afin d'extraire les dimensions de $D_{SW_{top}}$ et de $D_{SW_{bot}}$. La valeur de la superficie et du périmètre sont résumés par l'équation (4.4) ci-dessous :

$$\begin{aligned} D_{SW_{top}} : \text{Surface} &= 2.45088 \text{ pm}^2 \quad \text{Périmètre} = 6.426 \text{ } \mu\text{m} \\ D_{SW_{bot}} : \text{Surface} &= 13.7996 \text{ pm}^2 \quad \text{Périmètre} = 21.42 \text{ } \mu\text{m} \end{aligned} \quad (4.4)$$

Une fois les dimensions connues, les fuites de courant sont extraites à l'aide d'une simulation DC en balayant la tension de compensation V_{cor} entre 0 et +3V (tension maximale théorique supportée par le BOX). Pour simuler le pire cas, la température est réglée à 125°C et le process en *Fast*. Les résultats sont affichés sur la figure 4.7.

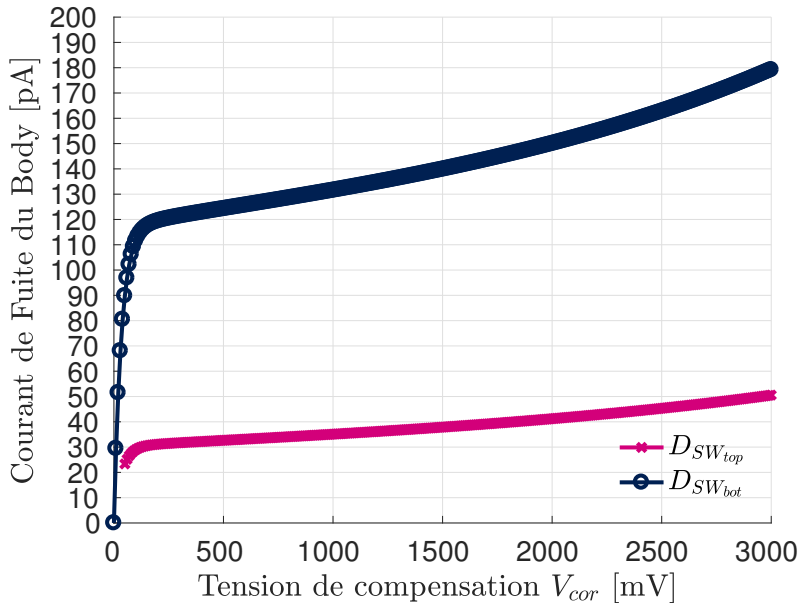


FIGURE 4.7 – Courant de la diode Nwell/Psub des transistors SW_{top} et SW_{bot} à 125°C et en process *fast* lorsque la technique de body-biasing est utilisée entre 0V et 3V

D'après la figure 4.7, la fuite de courant des diodes $D_{SW_{bot}}$ et $D_{SW_{top}}$ atteint dans le pire cas environ 130pA et 35pA lorsque la polarisation du caisson est de 1.1V. Comme ses valeurs de courant sont très faibles, les charges stockées sur la capacité du BOX vont

s'évacuer très doucement vers le substrat (*PSUB*). De ce fait, dans l'optique de minimiser la consommation de la compensation de skew, il est envisageable d'implémenter la technique de body-biasing sur un CAN-ET à M voies avec qu'un seul DAC au lieu de M . Dans ce cas, la capacité du BOX de chaque transistor compensé est rechargée périodiquement où le temps de rafraichissement sera défini selon le niveau de précision que nous souhaitons maintenir.

Avant d'utiliser la technique de body-biasing, il convient de bien dimensionner les transistors d'échantillonnage. En effet, comme la tension de seuil intervient dans l'expression de la résistance à l'état passant (R_{on}) des transistors d'échantillonnage (cf section 5.5 page 118), la technique de body-biasing va donc amplifier le désappariement de bande passante qui se crée durant tout le processus d'échantillonnage et principalement dans la phase de suivi. Par conséquent, pour minimiser ce désappariement de bande passante, il est nécessaire de bien dimensionner les transistors d'échantillonnage suivant la compensation que nous souhaitons appliquer (BB_{bot} , BB_{top} ou $BB_{top-bot}$).

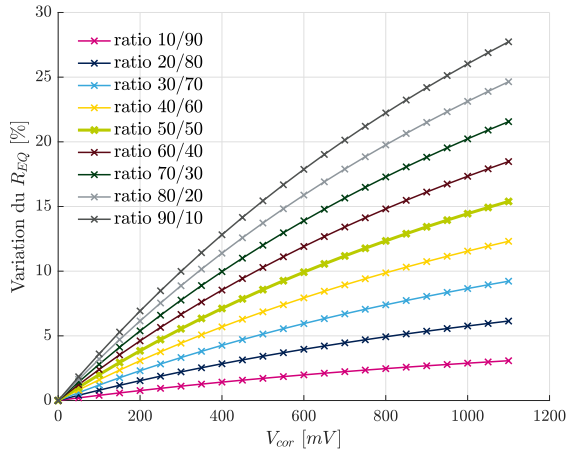
4.2.2 Dimensionnement des transistors d'échantillonnage

Nous avons vu au chapitre précédent que la résistance équivalente du T/H dans la phase de suivi $R_{EQ} = R_{on-top} + R_{on-bot}$ est imposée par le temps d'acquisition et par le bruit thermique de C_s . En revanche, le concepteur est libre de choisir la contribution de la valeur de R_{on-top} et de R_{on-bot} dans R_{EQ} . Comme d'après (4.3) il n'y a pas de relation entre b_f et les dimensions des transistors, le choix du ratio R_{on-top}/R_{on-bot} ne va pas avoir d'impact sur la plage de compensation du skew. Par contre, il va permettre de minimiser le désappariement de bande passante en minimisant la variation de R_{EQ} vis à vis de V_{cor} .

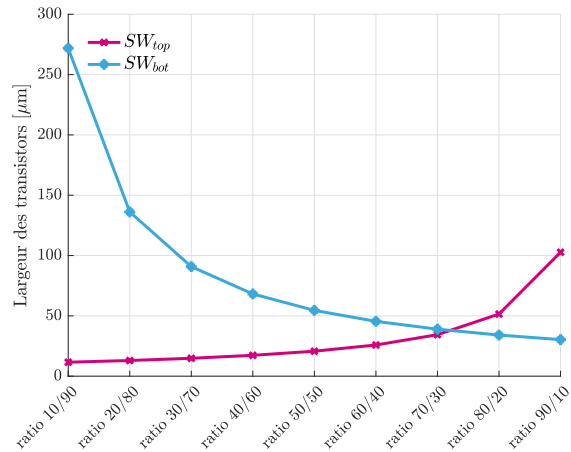
Pour choisir le ratio optimal qui minimise la variation du R_{EQ} , des simulations DC sont exécutées et les résultats sont affichés aux figures 4.8 et 4.9 lorsque la technique de body-biasing est appliquée respectivement sur SW_{top} et sur SW_{bot} . Les figures 4.8a et 4.9a tracent la variation de la résistance équivalente R_{EQ} en fonction de la tension de compensation V_{cor} et du ratio R_{on-bot}/R_{on-top} . Les figures 4.8b et 4.9b tracent la largeur $SW_{top/bot}$ selon le ratio choisi et les figures 4.8c et 4.9c tracent le module de la fonction de transfert du T/H dans la phase de suivi ①, la phase Intermédiaire 1 ② et la phase de maintien ③. Ces figures vont permettre d'obtenir la pondération à adopter entre R_{on-bot} et R_{on-top} pour minimiser la variation du R_{EQ} en fonction de la compensation appliquée.

Choix du ratio R_{on-bot}/R_{on-top} pour la compensation BB_{bot} :

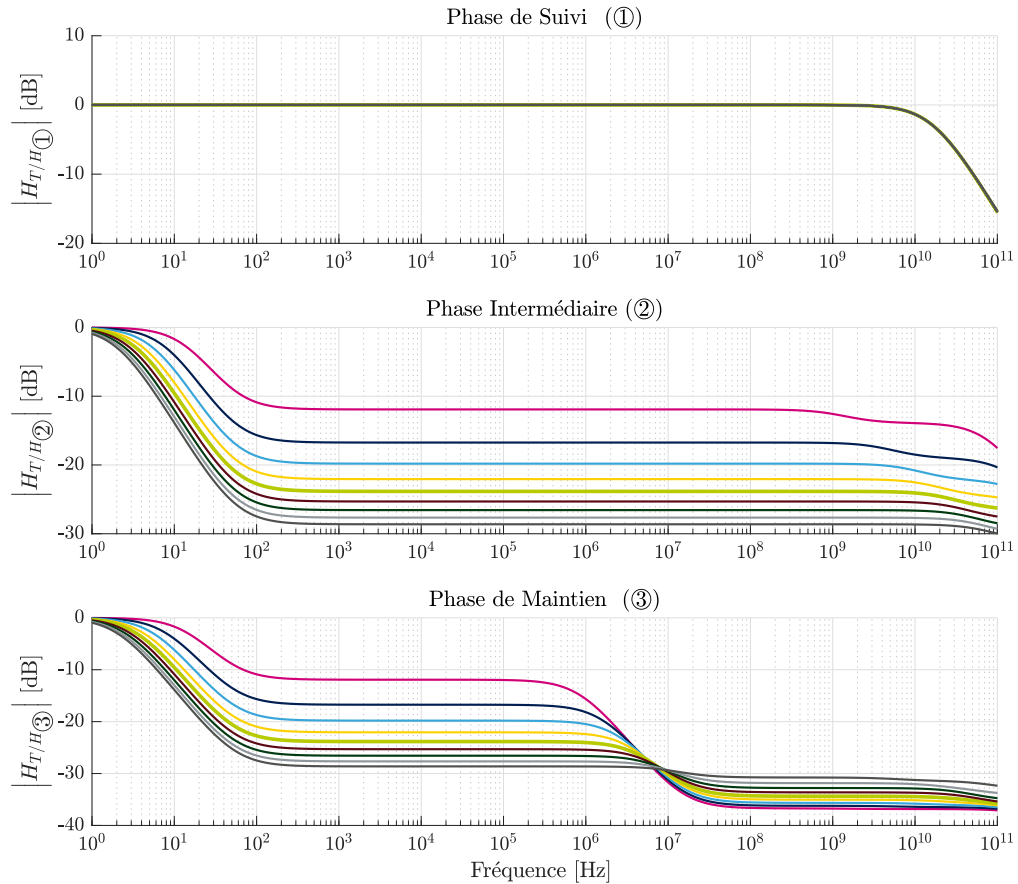
D'après la figure 4.8a, l'augmentation de la contribution de R_{on-top} dans R_{EQ} permet de diminuer la plage de variation du R_{EQ} et ceci principalement pour les fortes valeurs de V_{cor} . Par exemple, pour le ratio 10/90 ($R_{on-bot}=10\%$ de R_{EQ} et $R_{on-top}=90\%$ de R_{EQ}) et lorsque $V_{cor} = 1.1V$, la variation de R_{EQ} diminue d'environ 80% par rapport au ratio de base 50/50. Cependant comme le montre la figure 4.8b, la taille de SW_{bot} est multipliée par plus de 7 ce qui à pour conséquence d'augmenter fortement la taille



(a) Variation de R_{EQ} selon le ratio R_{on-bot}/R_{on-top} et V_{cor}

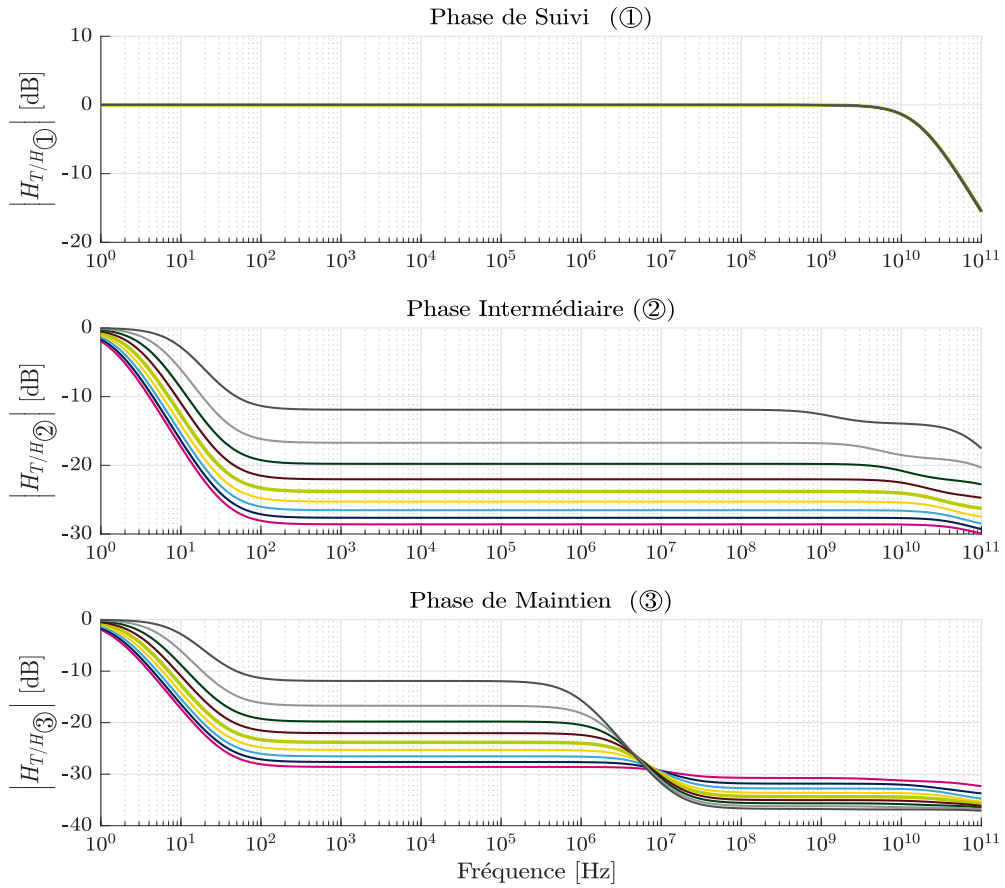
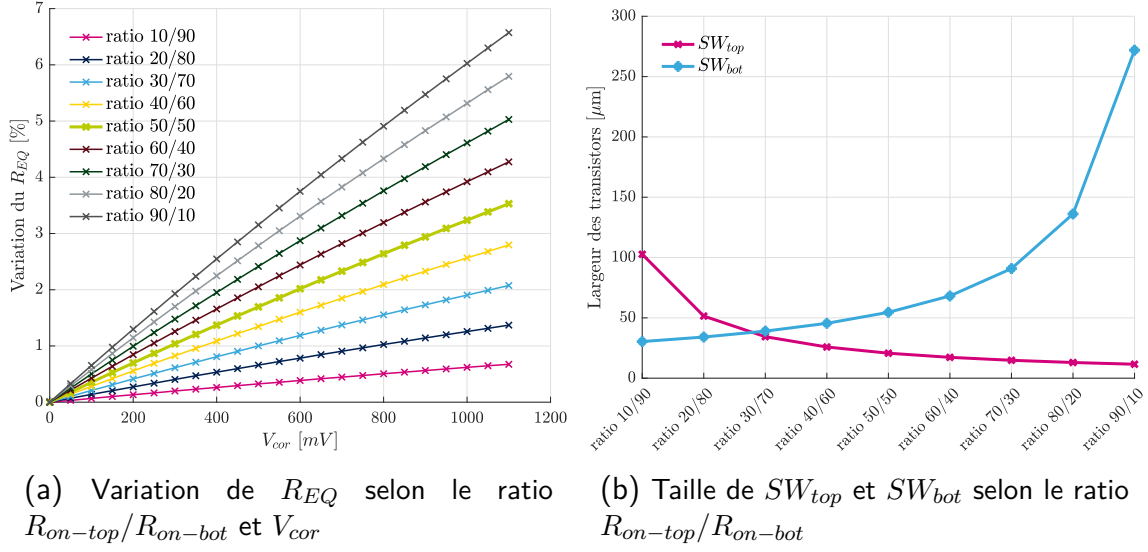


(b) Taille de SW_{top} et SW_{bot} selon le ratio R_{on-bot}/R_{on-top}



(c) Module de la fonction de transfert durant la phase ① , ② et ③ selon le ratio R_{on-bot}/R_{on-top}

FIGURE 4.8 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de skew basée sur la polarisation du caisson de body de SW_{bot}



(c) Module de la fonction de transfert durant la phase ①, ② et ③ selon le ratio R_{on-top}/R_{on-bot}

FIGURE 4.9 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de skew basée sur la polarisation du caisson de body de SW_{top}

de ses capacités parasites et donc de diminuer l'atténuation du signal d'entrée dans les phases ② et ③ comme le montre la figure 4.8c. En effet, les capacités parasites sont responsables de l'atténuation du diviseur capacitif composé de C_p et C_s dans la phase ② (cf section 3.3.3 page 71) ainsi que de l'erreur d'excursion du signal d'entrée dans la phase ③ (cf section 3.3.4.2 page 73).

En conclusion, plus R_{on-bot} est petit moins R_{EQ} varie mais plus les effets des désappariements de gain et de bande passante créés durant les phases ② et ③ sont amplifiés. Cependant, comme le signal d'entrée est atténué durant ces deux phases, l'amplification de ces désappariements a beaucoup moins d'influence sur la puissance de la raie de distorsion que le désappariement de bande passante créé dans la phase ① où le signal d'entrée n'est quasiment pas atténué. Par conséquent, le ratio 10/90 semble être le plus intéressant à utiliser pour minimiser R_{EQ} . Cependant, la forte largeur de SW_{bot} avec ce ratio va fortement augmenter la consommation dynamique du T/H à cause des pertes CV^2f . De ce fait, nous allons choisir le ratio 30/70 qui est légèrement plus petit et qui permet de diviser par 3 la largeur de SW_{bot} .

Choix du ratio R_{on-top}/R_{on-bot} pour la compensation BB_{top} :

La figure 4.9a montre que la variation de R_{EQ} est beaucoup plus faible en polarisant le body de SW_{top} que celui de SW_{bot} et cela pour toutes les configurations de ratio possibles. Cette différence de variation s'explique par le fait que SW_{top} a un circuit de bootstrap qui maintient sa tension V_{gs} à la tension d'alimentation, contrairement à SW_{bot} où sa tension V_{gs} est polarisée à la moitié de l'alimentation à cause de la tension de mode commun V_{CM} . Par conséquent, pour une même variation de V_{th} , la tension d'overdrive ($V_{gs} - V_{th}$) de SW_{top} varie beaucoup moins que celle de SW_{bot} , rendant sa plage de variation beaucoup moins importante. Grâce au circuit de bootstrap, R_{EQ} varie de seulement 3.52 % avec un ratio 50/50 et de 0.84 % avec le ratio 10/90 ($R_{on-top}=10\%$ de R_{EQ} et $R_{on-bot}=90\%$ de R_{EQ}). Si nous regardons la figure 4.9c, on remarque que plus R_{on-top} est faible plus le signal d'entrée est atténué durant les phases ② et ③. De ce fait, moins R_{EQ} varie plus l'impact des désappariements de gain et de bande passante durant ces deux phases est réduit.

En conclusion, si nous appliquons la compensation BB_{top} , il faut que la contribution de R_{on-top} soit la plus faible possible dans la valeur de R_{EQ} . Comme la largeur de SW_{top} est toujours inférieure à $100 \mu m$, le ratio 10/90 est choisi.

Choix du ratio R_{on-bot}/R_{on-top} pour la compensation $BB_{top-bot}$:

Lorsque nous décidons d'appliquer la technique de body-biasing sur les deux transistors, deux configurations sont possibles comme cela est illustré à la figure 4.10. La première configuration que nous noterons $BB_{top-bot-1}$ consiste à minimiser la variation du R_{EQ} en faisant varier les tensions de compensation $V_{cor_{top}}$ et $V_{cor_{bot}}$ dans le sens opposé (cf figure 4.10b). Comme il n'y a pas de tension négative à disposition, la tension de polarisation initiale (compensation non activée) est polarisée à la moitié de l'alimentation du T/H ($V_{dda}/2$). Dans ce cas, $V_{cor_{bot}}$ varie entre $[V_{dda}/2; V_{dda}]$ et $V_{cor_{top}}$ entre

$[V_{dda}/2; 0]$. L'inconvénient de cette configuration est que la plage de compensation du skew est divisée par deux.

Dans la deuxième compensation proposée (cf figure 4.10a), les tensions de compensation V_{cor_top} et V_{cor_bot} varient dans le même sens entre $[0; V_{dda}]$ afin de maximiser la plage de compensation du skew.

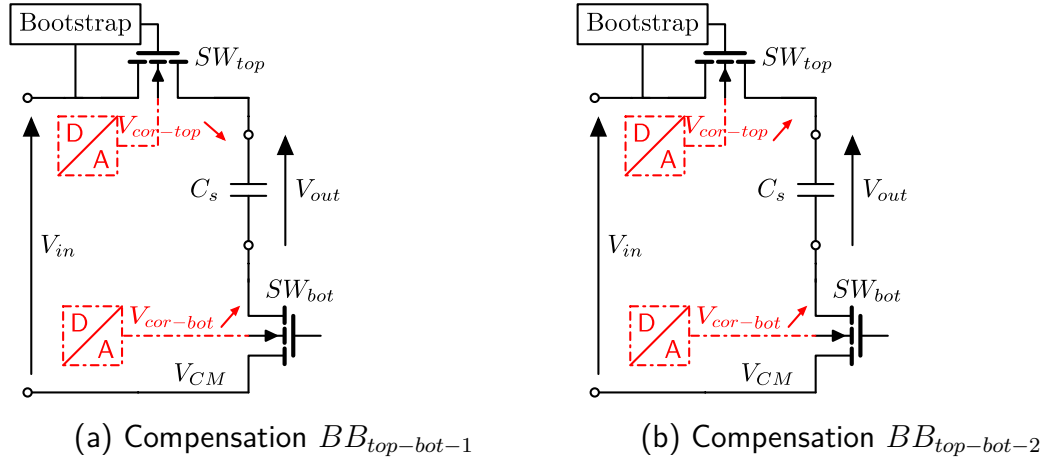


FIGURE 4.10 – Compensations proposées lorsque que nous ajustons SW_{top} et SW_{bot}

Comme R_{EQ} varie plus lorsque le caisson de SW_{bot} est polarisé, il est plus intéressant de minimiser la variation de R_{on-bot} que celle de R_{on-top} . Par conséquent, on choisira le même ratio que celui de la compensation BB_{bot} soit le ratio $30/70$.

Maintenant que nous avons choisi le ratio à appliquer pour chaque compensation proposée, nous allons voir dans la suite si la variation de la tension de body modifie le processus d'échantillonnage en amplifiant ou diminuant les désappariements existants.

4.2.3 Conséquences sur le processus d'échantillonnage

Dans cette partie, nous allons voir l'impact de la modulation de la tension de seuil sur le processus d'échantillonnage qui se découpe en quatre phases comme le rappelle la figure 4.11 ci-dessous :

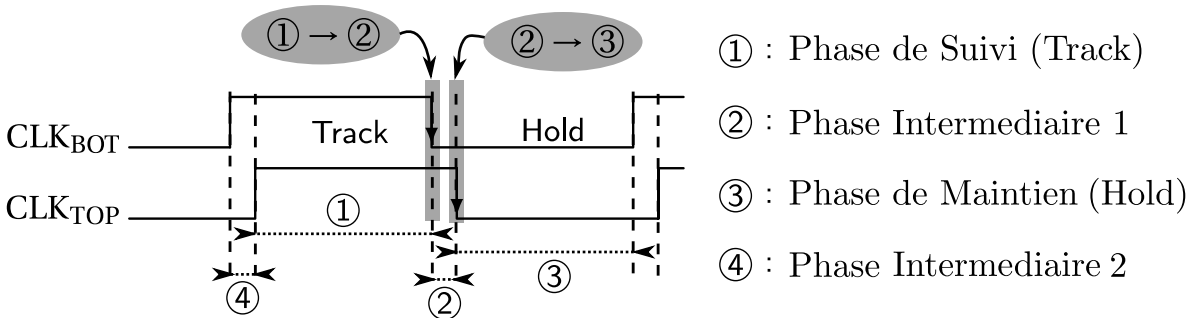


FIGURE 4.11 – Découpage du processus d'échantillonnage en 4 phases

4.2.3.1 Phase de Suivi

Durant cette phase, les transistors SW_{top} et SW_{bot} sont passants et par conséquent le T/H suit les variations du signal d'entrée. Pour quantifier les modifications apportées par chaque compensation sur la fonction de transfert du T/H, les transistors SW_{top} et SW_{bot} sont modélisés à l'aide du modèle passif de la figure 3.10 (page 53) afin d'extraire la variation des paramètres $C_{b-top/bot}$, $R_{b-top/bot}$, $C_{p-top/bot}$ et $R_{on-top/bot}$ en fonction de la tension de compensation V_{cor} appliquée. Pour cela, des simulations AC sont réalisées sur SW_{top} et SW_{bot} qui sont dimensionnés avec les ratios choisis précédemment. Les tensions $V_{cor-top/bot}$ varient entre 0 et la tension maximale autorisée par chaque compensation. Les résultats de ces simulations sont affichés à la figure 4.12.

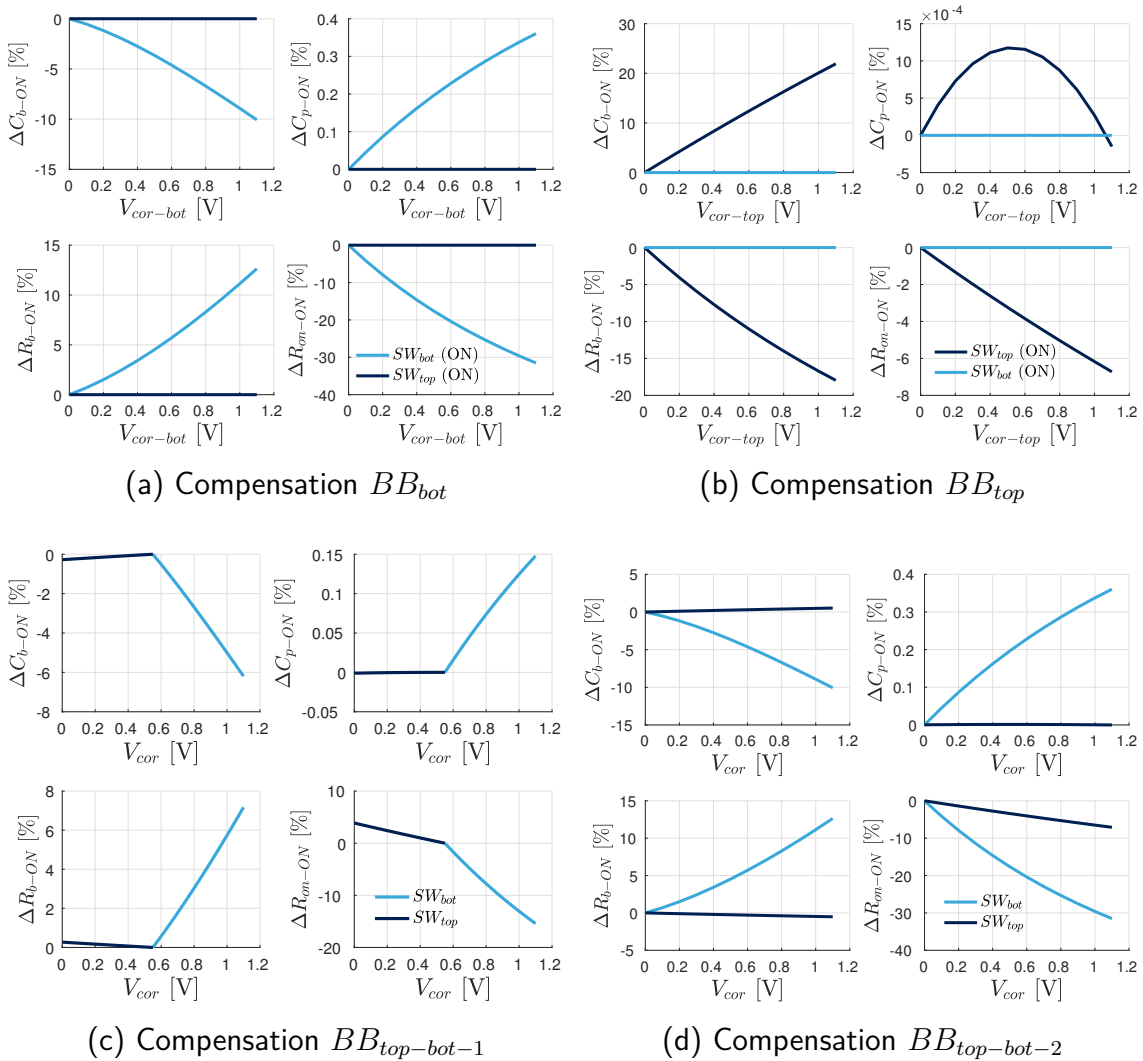


FIGURE 4.12 – Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} dans la phase ① selon la valeur de la tension de correction appliquée et la compensation (a) BB_{bot} , (b) BB_{top} , (c) $BB_{top-bot-1}$, (d) $BB_{top-bot-2}$

D'après ces résultats, les valeurs de tous les paramètres excepté C_{p-bot} varient en fonction de la tension de compensation V_{cor} . Par conséquent, les pôles et zéros de la fonction de transfert de chaque T/H compensé vont se décaler en fréquence provoquant un désappariement de bande passante. Pour quantifier le pire cas, le tableau 4.1 résume pour chaque compensation la variation en fréquence des pôles et des zéros lorsque la tension de compensation est nulle et maximale.

Phase ① [%]	$\Delta z_1 / \Delta p_1$	$\Delta z_2 / \Delta p_2$	$\Delta z_3 / \Delta p_3$	$\Delta z_4 / \Delta p_4$
BB_{bot}	0.19 / -0.08	9.93 / 0	0.47.8 / 43.7	29.8 / 0
BB_{top}	0.022 / 0.021	-1.18 / 0	-0.16 / 0	-5.46 / -6.73
BB_{top-bot} (Cas 1)	0.063 / -0.032	1.1 / -0.131	0.2308 / 17.4	11.5 / -3.59
BB_{top-bot2} (Cas 2)	0.2 / -0.088	16.2 / 0.255	0.476 / 43.7	32.17 / 7.34

TABLE 4.1: Variation des zéros et des pôles dans la phase ① après l'usage des différentes compensations de skew avec une tension de compensation d'amplitude maximale

Pour illustrer graphiquement les conséquences de ses variations pour chaque compensation, le SNDR¹ est calculé en fonction de la fréquence normalisée à l'aide de l'équation (5.2) lorsque deux T/Hs (T/H_{ref} et T/H_{cal}) sont entrelacés. La tension V_{cor} de T/H_{ref} est toujours polarisée à la masse et celle de T/H_{cal} à la tension maximale de chaque compensation. Les résultats sont affichés à la figure 4.13 et supposent qu'aucun désappariement n'est présent avant la compensation du Skew.

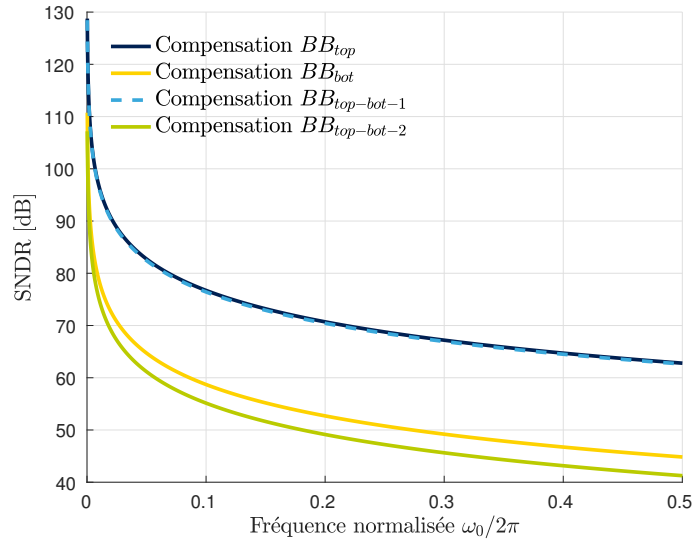


FIGURE 4.13 – SNDR en fonction de la fréquence normalisée pour chaque compensation de skew lorsque la tension de compensation est réglée au maximum (1.1V ou 0.55V)

Les résultats de la figure 4.13 sont en accord avec le tableau 4.1 car la compensation BB_{top} est celle qui modifie le moins les fréquences des pôles et des zéros et par

1. Seul le bruit de quantification est modélisé dans cette métrique

conséquent c'est celle qui obtient la meilleure performance de SNDR. La compensation $BB_{top-bot_2}$ obtient logiquement la plus mauvaise performance car par construction elle diminue à la fois R_{on-top} et R_{on-bot} . En ce qui concerne $BB_{top-bot_1}$, la modification dans le sens opposé des tensions de compensations permet d'être aussi performant que BB_{top} .

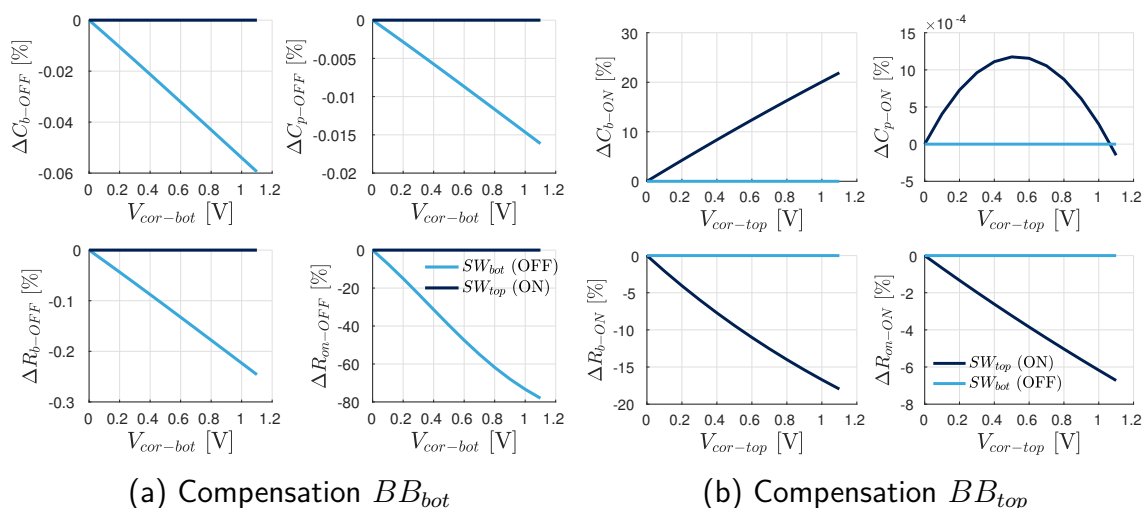
En conclusion, peu importe la compensation de skew utilisée, le désappariement de bande passante est fortement dégradé dans la phase de suivi et cela malgré le fait d'avoir dimensionné les transistors SW_{top} et SW_{bot} avec des ratios minimisant la variation du R_{EQ} en fonction de la tension de polarisation du body. En effet, la valeur du SNDR à déjà fortement chuté alors que nous sommes qu'à la première phase du processus d'échantillonnage. Par conséquent, l'utilisation de la technique de body-biasing pour compenser le skew implique d'effectuer une compensation de l'erreur de bande passante.

4.2.3.2 Transition CLK_{BOT}

Durant la transition à l'état bas de l'horloge CLK_{BOT} , seuls les phénomènes d'injection de charges viennent modifier la tension aux bornes de C_s . Comme d'après (3.13) l'injection de charges provenant du canal de conduction de SW_{bot} dépend de la valeur de sa tension de seuil, toutes les compensations qui modulent V_{th-bot} vont créer un désappariement d'offset. Il en est de même pour l'injection de charges provenant de l'excursion de CLK_{BOT} dans C_s car cette erreur dépend de la capacité drain-body C_{db} qui varie en fonction de la tension body.

4.2.3.3 Phase Intermédiaire 1

Nous avons montré dans la section 3.3.3 page 71 que durant cette phase le signal d'entrée continuait d'évoluer dans C_s bien que SW_{bot} soit bloqué. De ce fait, un désappariement de bande passante existe avant l'utilisation des compensations de skew à cause des variations de fabrication. Comme précédemment, nous allons extraire la variation des paramètres composant le modèle passif des transistors SW_{top} et SW_{bot} en fonction de la tension de compensation appliquée. Les résultats sont affichés à la figure 4.14.



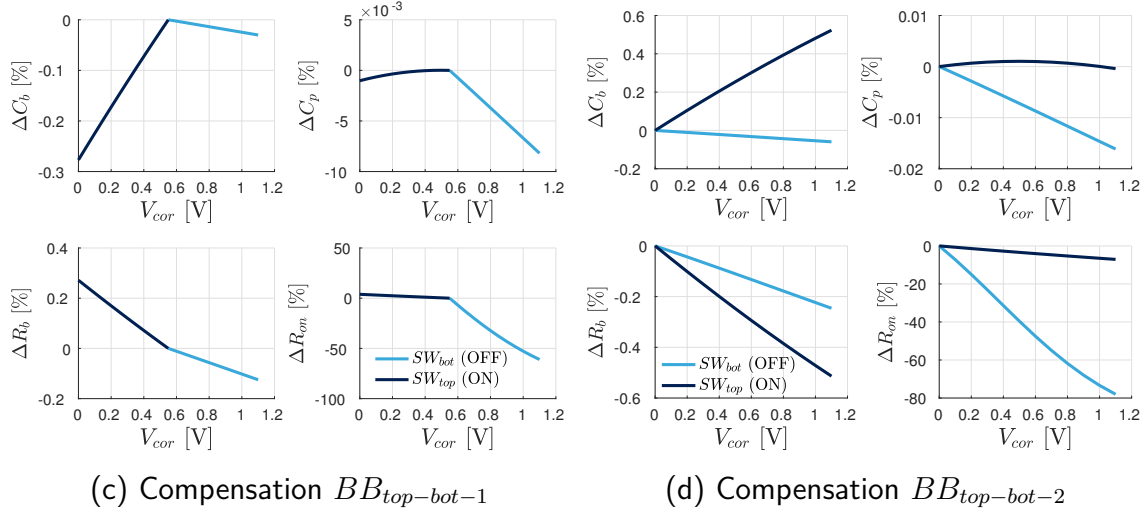


FIGURE 4.14 – Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} dans la phase ② selon la valeur de la tension de correction appliquée et la compensation (a) BB_{bot} , (b) BB_{top} , (c) $BB_{top-bot-1}$, (d) $BB_{top-bot-2}$

À partir de ces valeurs extraites lorsque $V_{cor} = 0V$ et $V_{cor} = 1.1V$ ou $0.55V$ (selon la compensation utilisée), les variations en fréquence des pôles et des zéros sont calculées via MATLAB et les résultats sont résumés dans le tableau 4.2.

Phase ② [%]	$\Delta z_1 / \Delta p_1$	$\Delta z_2 / \Delta p_2$	$\Delta z_3 / \Delta p_3$	$\Delta z_4 / \Delta p_4$
BB_{bot}	355.34 / 355.23	0.295 / 0.302	0 / 0	0 / 0.0143
BB_{top}	0 / 0	0 / 0.0077	0.255 / 0.482	7.34 / 7.02
BB_{top-bot-1}	156.856 / 156.82	0.15 / 0.11	-0.013 / -0.025	-3.59 / -3.42
BB_{top-bot-2}	355.34 / 355.23	0.295 / 0.379	0.255 / 0.482	7.348 / 7.038

TABLE 4.2: Variation des zéros et des pôles dans la phase ② après l'usage des différentes compensations de skew avec une tension de compensation d'amplitude maximale

Enfin pour illustrer graphiquement ce tableau, le module et la phase de la fonction de transfert des deux T/Hs sont tracés sur la figure 4.15 pour chaque compensation.

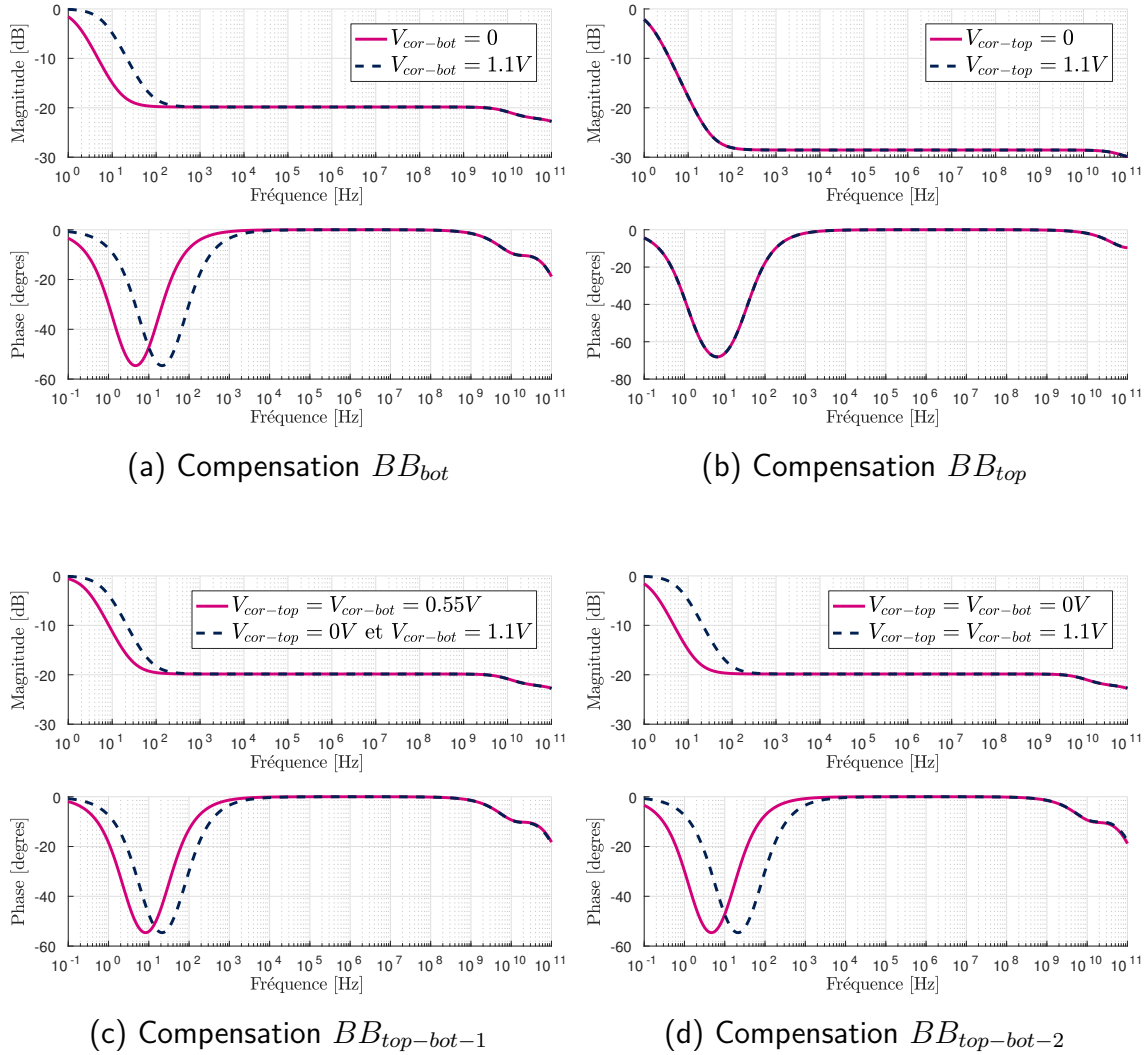


FIGURE 4.15 – Évolution de la fonction de transfert du T/H dans la phase ② lorsque les compensations sont utilisées avec une tension de compensation nulle et maximale

Interprétation des Résultats : D'après le tableau 4.2, les compensations agissant uniquement sur SW_{top} décalent p_4 et z_4 et quasiment pas les autres pôles et zéros et inversement pour les compensations modifiant la tension $V_{cor-bot}$. En revanche, comme les tensions $V_{cor-top}$ et $V_{cor-bot}$ de la compensation $BB_{top-bot-1}$ sont ajustées dans le sens contraire, les fréquences de tous les pôles et zéros sont très peu influencées par le body-biasing. En effet, p_1 varie de 10.23 % avec $BB_{top-bot-1}$ au lieu de 355.34% avec $BB_{top-bot-2}$.

Les variations en fréquence des pôles et des zéros modifient le module et la phase de la fonction de transfert est cela va modifier le désappariement de bande passante existant avant compensation. Comme la fréquence initiale de p_4 et de z_4 se situent à plusieurs centaines de Gigahertz, leurs variations vont modifier certes le désappariement de bande

passante existant mais cela ne va pas impacter la valeur du signal échantillonné qui évolue dans la plage de fréquence $[0;2\text{GHz}]$. Il en est de même pour p_2, p_3 et z_2, z_3 car leurs fréquences avant body-biasing se situent à plusieurs dizaines de Gigahertz. En revanche, comme les fréquences de p_1 et z_1 varient fortement avec le body-biasing et qu'elles se sont dans la plage $[0;2\text{GHz}]$, le désappariement de bande passante initial va être modifié pour les compensations de skew qui agissent sur SW_{bot} . Cependant, comme l'effet du désappariement de bande passante est quasiment nul à très basse fréquence, on peut considérer que ce désappariement n'a aucune influence dans le processus d'échantillonnage. Enfin, comme p_1 et z_1 ont des fréquences très proches, ils vont rapidement s'annuler et le signal va être atténué par un gain constant² jusqu'à la fréquence de p_2 . Comme ce gain constant provient du diviseur capacitif composé de $C_{p-bot} + C_{b-bot}$ et C_s d'après la section 3.3.3 page 71 et que ces capacités ne varient quasiment pas en fonction de $V_{cor-top}$ et $V_{cor-bot}$ d'après les figures 4.14, on considère qu'aucun désappariement de gain est créé dans la plage fréquentielle $[0;2\text{GHz}]$.

En résumé, la compensation BB_{top} ne crée aucun désappariement de bande passante dans la phase intermédiaire car la fonction de transfert du T/H dans cette phase n'est pas modifiée dans la plage de fréquence du signal d'entrée. À l'inverse, les compensations BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ modifient fortement z_1 et p_1 mais comme leurs fréquences respectives sont très basses, nous considérons que le désappariement créé ne contribue pas à la puissance des raies de distorsion liées à l'erreur de bande passante.

4.2.3.4 Transition CLK_{TOP}

Les erreurs commises durant cette transition proviennent des injections de charges du canal de conduction de SW_{top} et de l'excursion d'horloge qui dépendent respectivement de V_{th-top} (3.14) et de C_{p-bot} et C_{b-bot} (3.17). Par conséquent, les compensations BB_{top} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ vont créer un désappariement d'offset en modulant V_{th-top} . Simultanément, les compensations de skew BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ engendrent un désappariement de gain car les capacités C_{p-bot} et C_{b-bot} varient en fonction de $V_{cor-bot}$.

4.2.3.5 Phase de maintien

Cette phase est la dernière étape du processus d'échantillonnage avant que l'échantillon soit converti par l'ADC. Comme le signal d'entrée est toujours en train d'évoluer dans C_s bien que les deux transistors soient bloqués, un désappariement des fonctions de transfert causé par la technique de body-biasing va modifier le désappariement de bande passante existant. Comme pour la phase Intermédiaire 1, nous allons extraire la variation des paramètres du modèle passif de SW_{top} et de SW_{bot} (cf figure 3.7b) en fonction de la tension de compensation V_{cor} appliquée (cf figure 4.16) puis calculer la variation de chaque pôle et de chaque zéro (cf tableau 4.3) et le module et la phase de la fonction de transfert dans le cas extrême (cf figure 4.17).

2. La valeur de ce gain diffère d'une compensation à une autre car elle dépend du ratio choisi entre R_{on-top} et R_{on-bot}

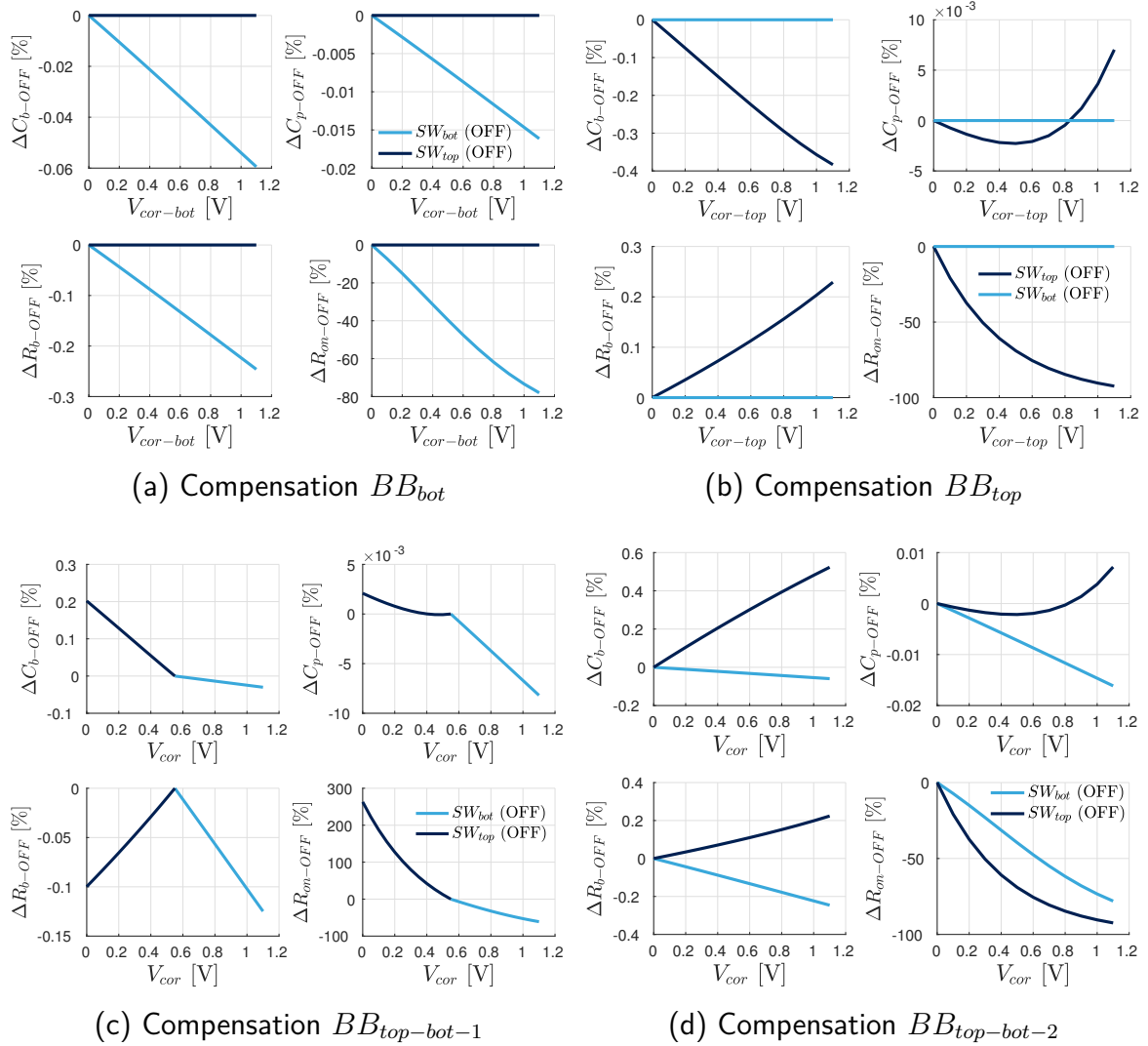


FIGURE 4.16 – Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} dans la phase ③ selon la valeur de la tension de correction appliquée et la compensation (a) BB_{bot} , (b) BB_{top} , (c) $BB_{top-bot-1}$, (d) $BB_{top-bot-2}$

Phase ③ [%]	$\Delta z_1 / \Delta p_1$	$\Delta z_2 / \Delta p_2$	$\Delta z_3 / \Delta p_3$	$\Delta z_4 / \Delta p_4$
BB_{bot}	355.34 / 355.23	0 / 0.022	0.295 / 0.296	0 / 0.0009
BB_{top}	0 / 0.0001	1211/ 1213	0.36 / 0.218	0 / 0.0179
BB_{top-bot-1}	156.856 / 156.82	-72.47 / -72.45	0.146 / 0.136	-0.052 / -0.089
BB_{top-bot-2}	355.35 / 355.23	1219/ 1218	0.295 / 0.353	0.073 / 0.131

TABLE 4.3: Variation des zéros et des pôles dans la phase ③ après l'usage des différentes compensations de skew avec une tension de compensation nulle et maximale

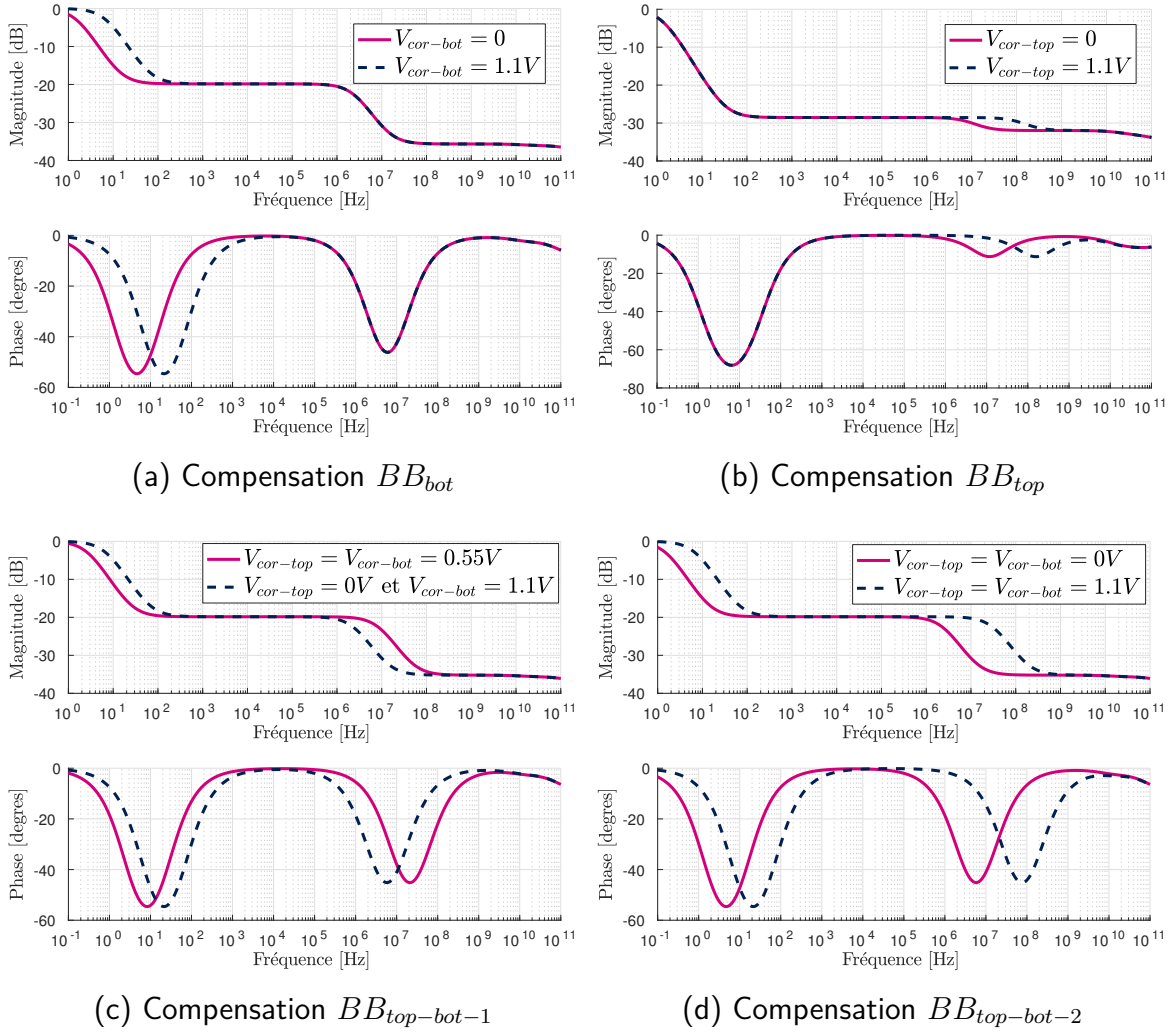


FIGURE 4.17 – Évolution de la fonction de transfert du T/H dans la phase ③ lorsque les compensations sont utilisées avec une tension de compensation nulle et maximale

Interprétation des Résultats : La seule différence dans cette phase par rapport à la phase Intermédiaire 1 est que SW_{top} est désormais bloqué. De ce fait, seuls les paramètres de SW_{top} vont varier en fonction de la tension de compensation appliquée. Si nous observons les figures 4.16, on remarque que seule la résistance de canal de SW_{top} est influencée par la technique de body-biasing. En effet, les capacités parasites et la résistance de body de SW_{top} varient au maximum que de $\pm 0.5\%$. Cette forte variation de la résistance $R_{off-top}$ se traduit par une unique et forte variation en fréquence de z_2 et p_2 pour chaque compensation qui agit sur SW_{top} d'après le tableau 4.3 et les figures 4.17.

En résumé, comme z_1 et p_1 dépendent peu ou pas de $R_{off-top}$ qui est l'unique paramètre qui varie dans cette phase, les désappariements de bande passante qui se sont créés dans la phase intermédiaire sont toujours présents. Les seuls pôles et zéros qui dépendent de $R_{off-top}$ sont z_2 et p_2 . De ce fait, un autre désappariement de bande passante est

créé autour des fréquences de z_2 et p_2 , mais comme le signal d'entrée est fortement atténué vers ses fréquences (-20 dB ou -30 dB selon la compensation), l'impact de ce désappariement sur le niveau des raies de distorsion est faible.

4.2.3.6 Conclusion

Pour conclure cette partie, le tableau 4.4 synthétise étape par étape les conséquences de toutes les compensations de skew sur le processus d'échantillonnage. La première ligne du tableau représente les désappariements existants d'Offset (O), de Gain (G) de Skew (S) et de Bande passante (BW) qui sont liés aux variations de fabrication. Lorsqu'un désappariement est écrit en couleur verte cela signifie qu'il a été compensé, lorsqu'il est écrit en rouge cela signifie qu'il a été modifié ou créé et lorsqu'il est maintenu en noir cela signifie que la compensation utilisée ne l'a ni dégradé ni compensé.

	①	① → ②	②	② → ③	③
Sans Compensation	BW	S + O	BW	S + G + O	BW + G
BB_{top}	BW	S + O	BW	S + G + O	BW + G
BB_{bot}	BW(++)	O + S(++)	BW	S + G	BW + G
$BB_{topbot-1}$	BW	O + S(++)	BW	S + G + O	BW + G
$BB_{topbot-2}$	BW(++)	O + S(++)	BW	S + G + O	BW + G
BW-Bande passante		O-Offset	G-Gain		S-Skew

TABLE 4.4: Conséquences phase par phase des compensations BB_{top} , BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ sur le processus d'échantillonnage

D'après ce tableau, nous notons que toutes les compensations de skew proposées modifient le désappariement de bande passante existant dans chaque phase du processus d'échantillonnage. En effet, la technique de body-biasing va déplacer certains pôles et zéros de la fonction de transfert du T/H en calibration. Cependant comme dans les phases ② et ③ la fréquence des pôles et des zéros déplacés se situent soit à très basse fréquence (< 100 Hz) soit lorsque le signal est déjà atténué (-20dB), la contribution des désappariements de bande passante créés sur le niveau de puissance des raies de distorsions liés à l'entrelacement non idéal est minime par rapport à celui créé dans la phase ① où le signal n'est pas atténué et dont la fréquence des premiers pôles et zéros se situent aux alentours de 14GHz.

En ce qui concerne le désappariement d'offset créé, il est lié au désappariement d'injections de charges dans C_s . Pour jauger l'impact de ce désappariement sur le spectre de sortie du signal reconstitué, des simulations fréquentielles (cf Chapitre 6) ont permis de montrer que le niveau des raies de distorsion créées était plus bas que -100dB et par conséquent, ce désappariement peut être négligé par la suite. Enfin, le désappariement de l'erreur d'excursion de l'horloge CLK_{TOP} va modifier le désappariement de gain existant. Cependant, comme le signal d'entrée est déjà atténué dans la phase ②, la contribution de ce désappariement dans le désappariement de gain total existant devrait être faible.

4.2.4 Estimation de la plage de Compensation du Skew

4.2.4.1 Principe

Pour estimer la quantité de skew que peut corriger chaque compensation en fonction des tensions de compensation $V_{cor-top}$ et $V_{cor-bot}$, nous allons utiliser les deux bancs de test illustrés à la figure 4.18. Dans le premier banc de test (en bas), deux **T/Hs** (T/H_{ref} et T/H_{cal}) sont entrelacés temporellement et échantillonnent le même signal d'entrée sinusoïdal. Sur le deuxième banc de test (en haut), un signal d'entrée DC est appliqué sur l'entrée de deux autres **T/Hs** qui fonctionnent cette fois-ci dans la phase de suivi (horloges d'échantillonnage bloquées à V_{dd}).

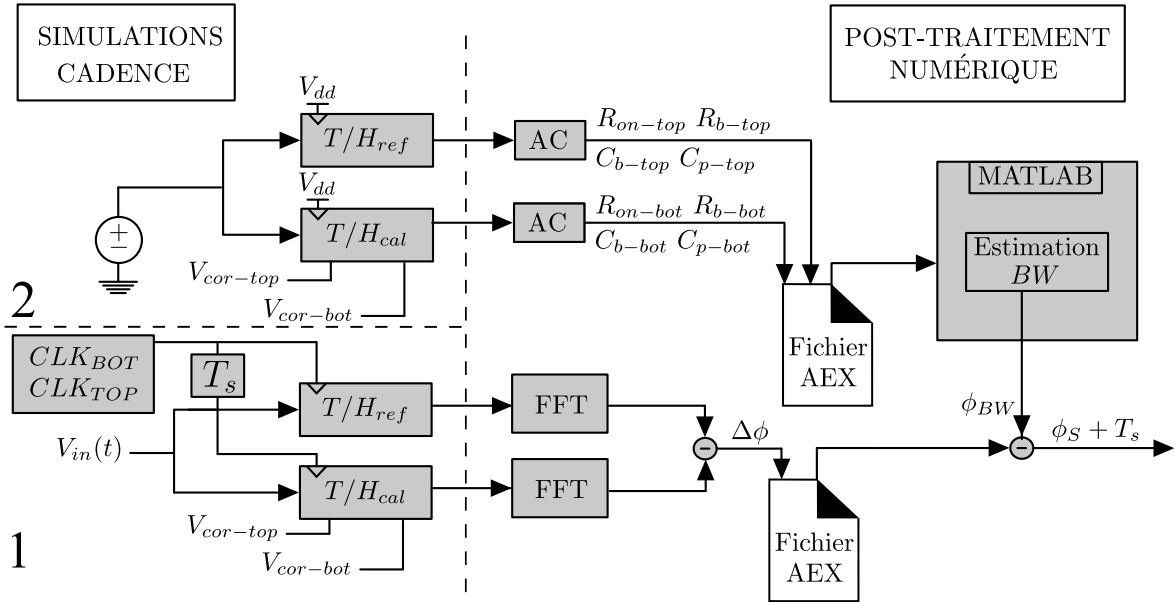


FIGURE 4.18 – Banc de simulation pour extraire la quantité de skew compensée ϕ_S

Le caisson de body des transistors d'échantillonnage de T/H_{cal} ($SW_{top-cal}$ et $SW_{bot-cal}$) est polarisé avec une tension qui varie entre 0 et 1.1V, ou V_{CM} et 1.1V, selon la compensation utilisée. Le caisson des transistors d'échantillonnage de T/H_{ref} ($SW_{top-ref}$ et $SW_{bot-ref}$) est lui toujours polarisé avec une tension fixe qui vaut soit 0, soit V_{CM} , comme le montre la figure 4.19.

La différence de polarisation entre les caissons des transistors de T/H_{ref} et ceux de T/H_{cal} va créer un échantillonnage non-uniforme du signal d'entrée car l'instant d'échantillonnage et la fonction de transfert de T/H_{cal} diffèrent de ceux de T/H_{ref} . Pour estimer la quantité de skew que nous avons introduit via le body-biasing, nous allons effectuer une analyse de Fourier sur la sortie de chaque **T/H** afin d'extraire la différence de déphasage entre T/H_{ref} et T/H_{cal} notée $\Delta\phi$ et dont l'expression est définie ci-dessous :

$$\Delta\phi = \phi_{ref} - \phi_{cal} \quad (4.5)$$

avec ϕ_{ref} (resp. ϕ_{cal}) le déphasage entre l'entrée et la sortie de T/H_{ref} (resp. T/H_{cal}).

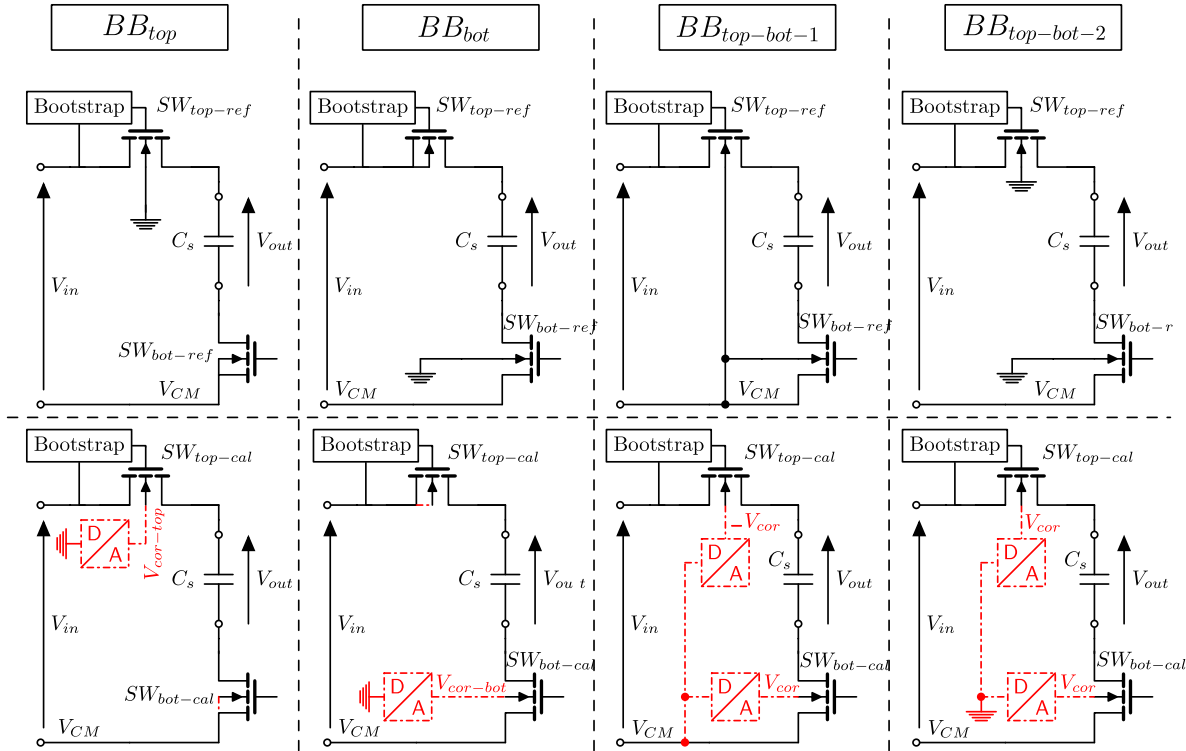


FIGURE 4.19 – Polarisation des tensions de body de T/H_{ref} (haut) et T/H_{cal} (bas) selon la compensation appliquée (transistor LVT)

Comme la technique de body-biasing modifie à la fois la valeur de la résistance à l'état passant et la valeur de la tension de seuil des transistors d'échantillonnage de T/H_{cal} , $\Delta\phi$ se décompose comme la somme d'un retard lié au skew créé (ϕ_S) et au désappariement de bande passante créé (ϕ_{BW}) comme le montre l'équation ci-dessous :

$$\Delta\phi = \overbrace{\phi_{BW} + \phi_S}^{\delta} + T_s \quad (4.6)$$

Par conséquent, il vient que :

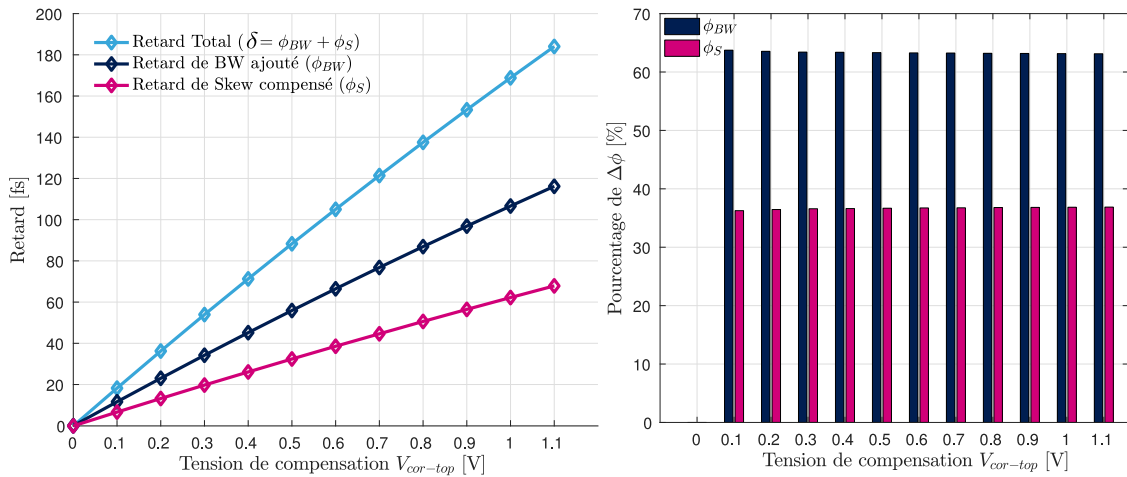
$$\phi_S = \Delta\phi - \phi_{BW} - T_s \quad (4.7)$$

L'équation (4.7) montre qu'il est nécessaire d'estimer ϕ_{BW} pour extraire ϕ_S . Pour cela, nous allons supposer que la valeur de ϕ_{BW} est uniquement fixée par le désappariement de bande passante créé durant la phase ① du processus d'échantillonnage. Grâce à cette simplification, ϕ_{BW} se calcule dans MATLAB à partir des fonctions de transfert de T/H_{ref} ($H_{T/H_{ref}}$) et de T/H_{cal} ($H_{T/H_{cal}}$) qui sont construites à l'aide des paramètres R_{on} , R_b , C_p , C_b extraits via des analyses AC exécutées sur le banc de test n° 2. Pour rappel, aucun autre désappariement (variation des géométries, ...) est pris en considération.

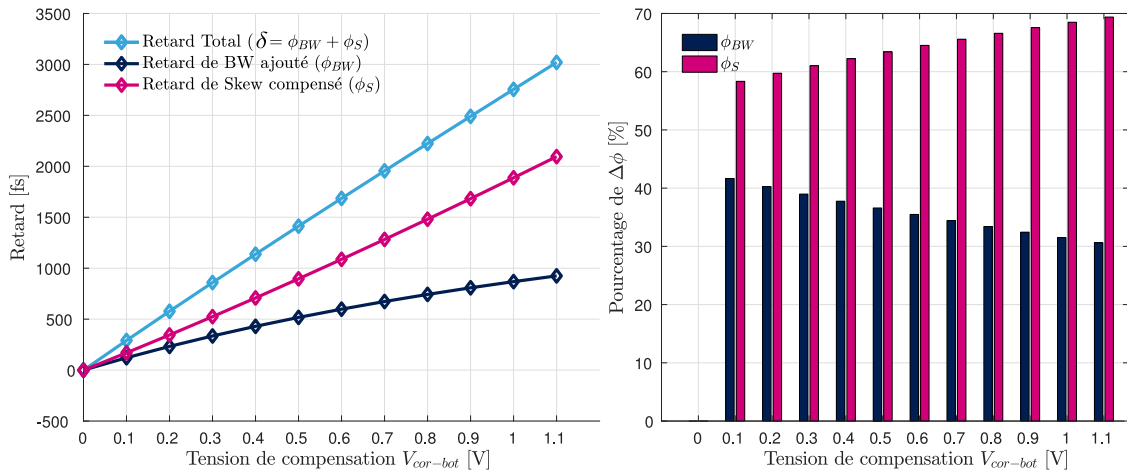
4.2.4.2 Résultats de simulation

La méthode d'estimation que nous venons d'expliquer est appliquée pour toutes les compensations de skew proposées et pour différentes tensions V_{cor} . Les valeurs de $\Delta\phi$ sont extraites en réalisant une FFT sur 64 points lorsque $f_s = 2GHz$, et avec un signal d'entrée sinusoïdale de fréquence $f_{in} = 93.75 MHz$. Le choix de la fréquence de f_{in} permet d'une part de ne pas être sensible au désappariement de phase non-linéaire et d'autre part, il garantit que la fonction de transfert du T/H est proche de celle d'un filtre passe bas du premier ordre. De plus à cette fréquence, le désappariement de bande passante créé par chaque compensation dans les phases 2 et 3 peut être considéré comme négligeable par rapport à celui créé dans la phase 1 (cf figure 4.15 et 4.17).

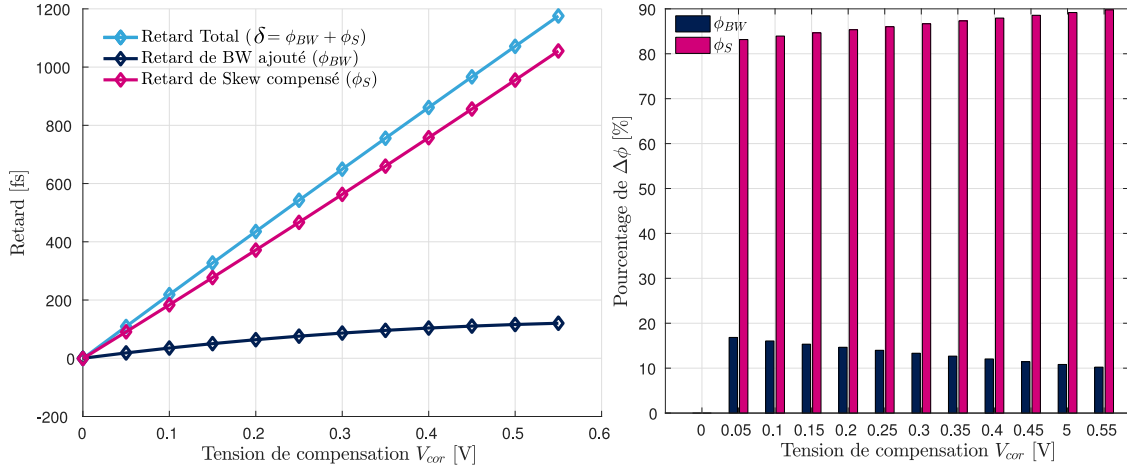
Les résultats obtenus sont affichés à la figure 4.20 où δ , ϕ_S et ϕ_{BW} sont représentés respectivement par les courbes bleu-ciel, rose et bleu marine. Les diagrammes bâton associés à chaque compensation permettent de quantifier la proportion de retard lié au skew et celui lié au désappariement de bande passante et cela pour chaque tension de compensation.



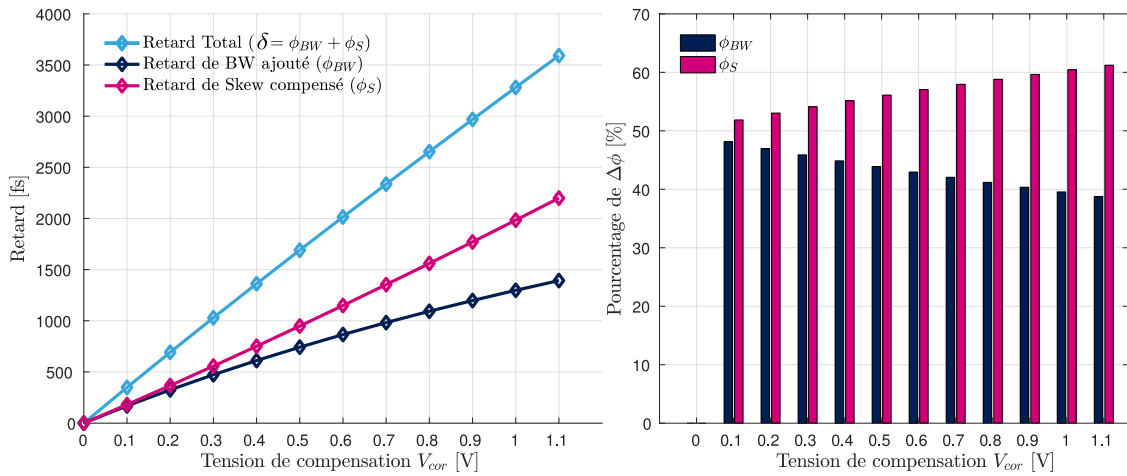
(a) Compensation BB_{top}



(b) Compensation BB_{bot}



(c) Compensation $BB_{top-bot-1}$



(d) Compensation $BB_{top-bot-2}$

FIGURE 4.20 – Quantité et répartition du skew compensé pour chaque compensation proposée en fonction de la tension de compensation appliquée

Interprétation des résultats : D’après la figure 4.20, la relation entre la quantité de skew compensée et la tension de compensation semble être quasiment linéaire pour toutes les compensations proposées. En effet, comme chaque compensation déplace légèrement la tension de seuil V_{th} sur le front de l’horloge d’échantillonnage qui est a priori une droite aux alentours de V_{th} , il semble normal d’avoir une variation linéaire. En revanche, comme le signal d’entrée ne subit pas la même atténuation au moment de la transition à l’état bas de CLK_{BOT} et de CLK_{TOP} , les coefficients directeurs de ces droites diffèrent d’une compensation à une autre. Par exemple pour le cas extrême, nous constatons que le coefficient directeur nous remarquons que peu importe la valeur de la tension $V_{cor-top}$ appliquée, plus de 60 % du retard créé par la technique de body-biasing provient d’un déphasage lié au désappariement des fonctions de transfert. Par conséquent, nous pouvons déjà conclure que la compensation BB_{top} est plus adaptée pour compenser un désappariement de bande passante qu’un désappariement de l’instant d’échantillonnage.

En appliquant la technique de body-biasing uniquement sur SW_{bot} , il est possible de retarder l'échantillonnage du signal d'entrée jusqu'à 3ps lorsque $V_{cor-bot}=1.1V$. Cependant avec ce réglage, seulement 69% du retard créé est un retard fixe (ϕ_S). La quantité ϕ_S chute même jusqu'à 58% lorsque $V_{cor-bot}=0.1V$. Par conséquent, il est préférable d'utiliser cette compensation pour corriger des fortes valeurs de skew car plus la tension $V_{cor-bot}$ est forte, plus la proportion du retard lié au désappariement de bande passante créé est faible. Cette observation s'applique également pour la compensation $BB_{top-bot-2}$ qui est une extension de BB_{bot} car elle ajuste dans le même sens le caisson de body de SW_{top} en plus de celui de SW_{bot} .

Enfin, la compensation $BB_{top-bot-1}$ semble être la plus adaptée pour compenser du skew car le désappariement de bande passante créé est fortement réduit par le fait que les tensions de compensation appliquées sur les caissons de body de SW_{bot} et de SW_{top} varient dans le sens opposées. En effet, d'après les figures 4.20c, nous constatons qu'au minimum 80% du retard créé est un retard fixe. En contrepartie, la plage de compensation de skew est divisée par deux par rapport à la compensation BB_{bot} .

En résumé, si nous comparons les valeurs de ϕ_S et de ϕ_{BW} pour chaque compensation nous pouvons conclure que toutes les compensations de skew proposées excepté la compensation BB_{top} semblent être adaptées pour corriger du skew car $\phi_S > \phi_{BW}$. Nous allons dans la suite de cette section juger la performance de chaque compensation en regardant la valeur du SFDR avant et après avoir appliqué chaque compensation.

4.2.5 Évaluation de la performance des compensations

Pour estimer la performance de chaque compensation de skew proposée, nous allons calculer sur toute la bande du signal ($[0; 0.5 \times f_s]$), la différence de SFDR ($\Delta SFDR$) avant et après avoir appliqué chaque compensation. Dans un premier temps, le SFDR avant compensation est extrait pour différentes fréquences d'entrée à l'aide d'un premier jeu de simulations où les horloges d'échantillonnage de T/H_{cal} sont retardées idéalement d'un skew. Dans un second temps, le skew injecté est compensé en appliquant la tension de compensation adéquat dans le but d'extraire cette fois-ci le SFDR obtenu après compensation.

La valeur du skew injectée doit être choisie dans la plage de correction de la compensation utilisée afin d'être sûr que la puissance de la raie de distorsion obtenue après compensation soit uniquement due au désappariement de bande passante créé et non pas à la combinaison d'un désappariement de bande passante créé et d'un skew résiduel mal corrigé. Pour ce faire, le skew injecté prendra les valeurs de ϕ_S calculées précédemment (cf figure 4.20) et il sera compensé par la tension V_{cor} qui lui est associé.

Avant de calculer $\Delta SFDR$, nous devons quantifier l'erreur d'estimation que nous avons commis lorsque nous avons estimé les valeurs de ϕ_S en fonction de V_{cor} . En effet, nous avons supposé que celles-ci dépendent des valeurs de ϕ_{BW} qui sont calculées sous l'hypothèse que le désappariement de bande passante créé par la technique de body-

biasing modifie uniquement la valeur du signal d'entrée dans la phase de suivi. Or cette hypothèse n'est pas tout à fait vraie car bien que le signal d'entrée soit fortement atténué dans les autres phases du processus d'échantillonnage, il évolue quand même au travers de C_s .

4.2.5.1 Validation de l'estimation des plages de compensation

Pour vérifier au premier ordre la grandeur des valeurs de ϕ_S calculées précédemment pour chaque compensation, nous allons utiliser les deux bancs de simulation illustrés à la figure 4.21. Sur un des deux T/H entrelacés, les compensations proposées seront appliquées à tour de rôle. Comme aucun désappariement de type gain, skew, offset ou bande passante n'est ajouté, la puissance de la raie de distorsion qui apparait sur le spectre du signal reconstitué est uniquement liée par l'application de la technique de body-biasing. Par conséquent, son niveau dépend de la création d'un skew ϕ_S (modification de $V_{th_{cal}}$) et d'un désappariement de bande passante ϕ_{BW} (modification de $R_{EQ_{cal}}$).

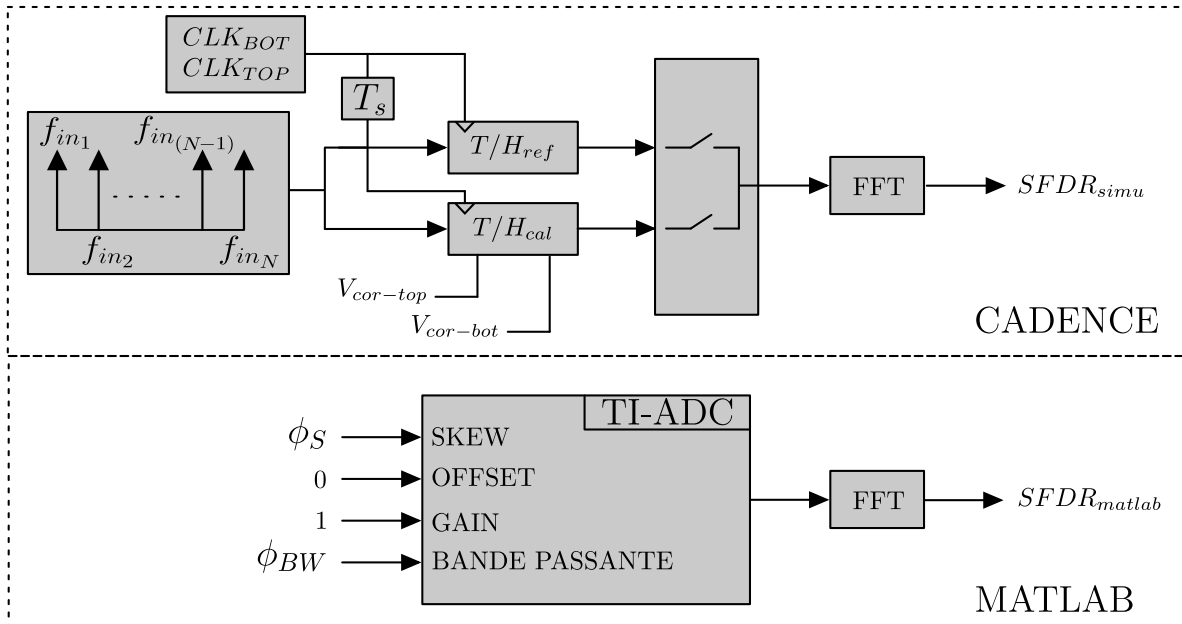


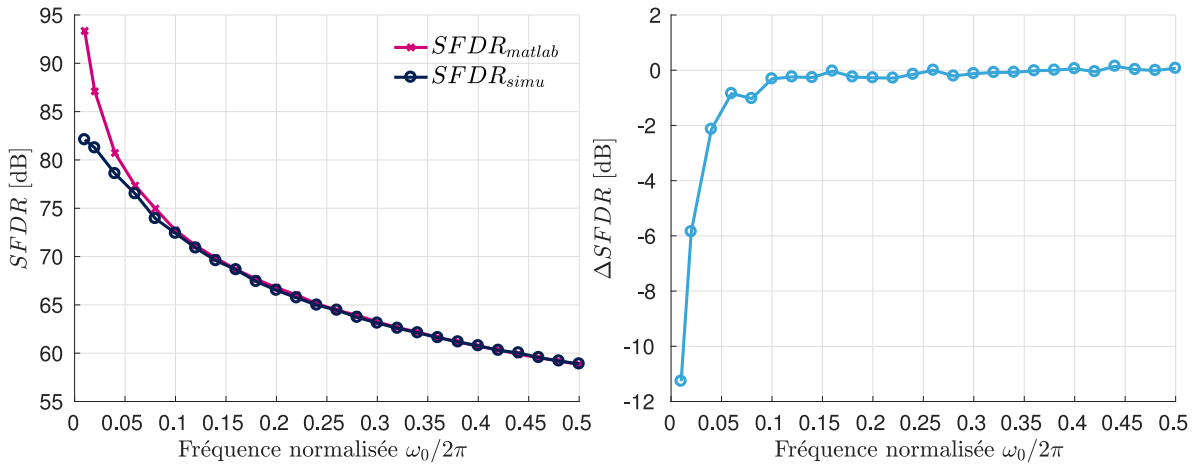
FIGURE 4.21 – Banc de simulation pour vérifier l'estimation de ϕ_S

Dans un premier temps, nous allons extraire le SFDR ($SFDR_{simu}$) sur toute la bande du signal d'entrée en utilisant le modèle électrique complet (Simulateur Eldo). Pour cela, nous allons injecter à l'entrée du T/H un signal sinusoïdal ayant N fréquences différentes. L'analyse de Fourier (2048 points) exécutée pour le calcul de $SFDR_{simu}$ va prendre la tension sur la sortie du multiplexeur (signal reconstitué).

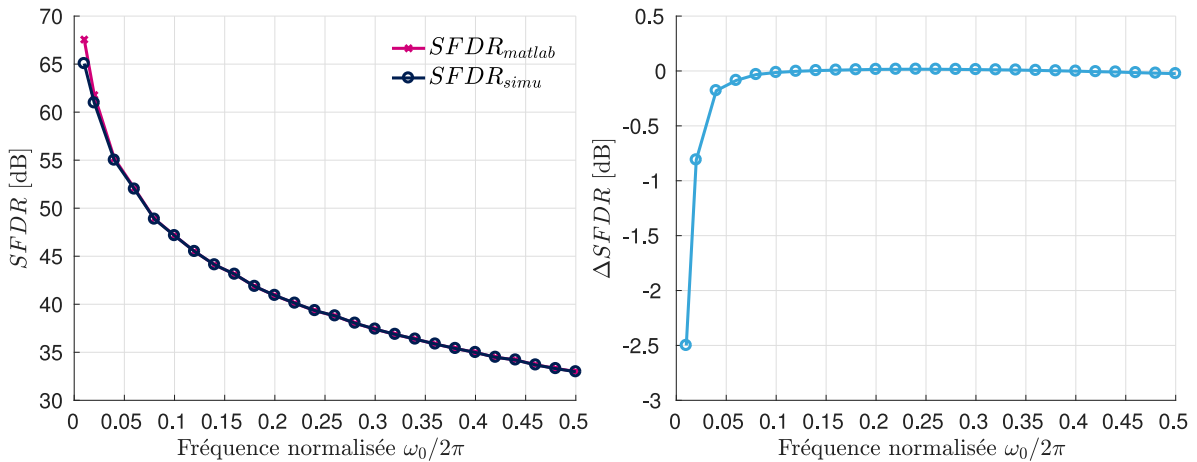
Dans un second temps, nous allons calculer le SFDR à partir d'un modèle linéaire du TI-ADC réalisé sous MATLAB ($SFDR_{matlab}$) où le skew introduit est modélisé comme un retard fixe du temps d'échantillonnage réglé aux valeurs ϕ_S trouvées précédemment

(cf figure 4.20). En ce qui concerne le désappariement de bande passante créé, nous allons utiliser les fonctions de transferts calculées au chapitre 3 où les coefficients de chaque monôme des deux polynômes sont calculés à l'aide des paramètres extraits précédemment dans la phase ①.

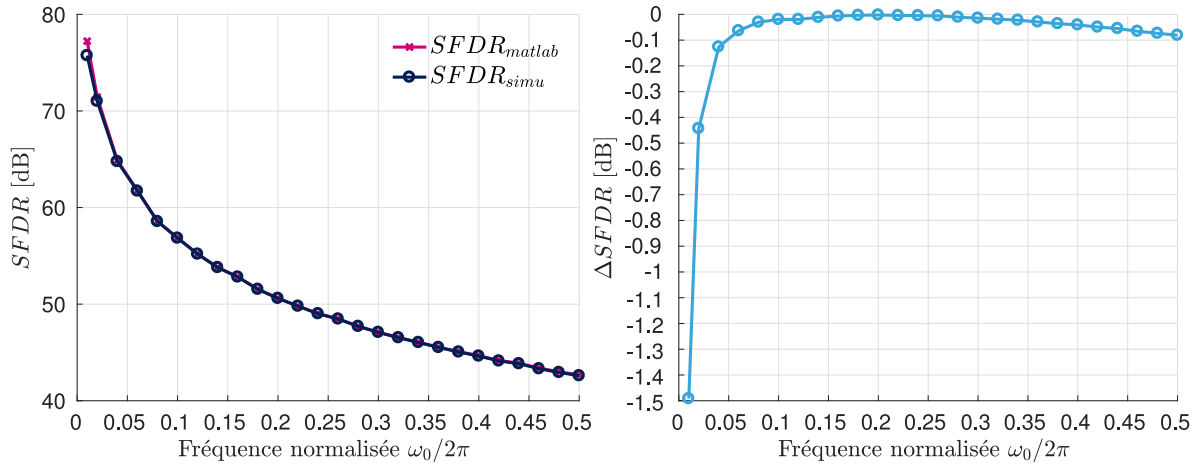
En résumé, $SFDR_{simu}$ est calculé à partir du simulateur Eldo (Cadence) en utilisant la technique de body-biasing uniquement sur T/H_{cal} , et $SFDR_{matlab}$ s'obtient avec MATLAB à partir des éléments ϕ_S et ϕ_{BW} calculés aux figures 4.20. De ce fait, la différence entre $SFDR_{simu}$ et $SFDR_{matlab}$ permet de quantifier au premier ordre la qualité des valeurs de ϕ_S calculées. Si cette différence est faible sur toute la bande du signal d'entrée, cela signifie que les valeurs ϕ_S calculées avec notre méthode d'estimation sont proches de la réalité malgré toutes les approximations réalisées. Cette vérification a été réalisée pour toutes les valeurs de tension de compensation cependant, pour des raisons de lisibilité, nous montrerons uniquement les résultats obtenus lorsque la tension de compensation appliquée est maximale (1.1V pour BB_{bot} , BB_{top} et $BB_{topbot-2}$ et 0.55V pour $BB_{topbot-1}$) car cela maximise les non-linéarités et donc représente le pire cas. Les résultats obtenus sont affichés à la figure 4.22 ci-dessous :



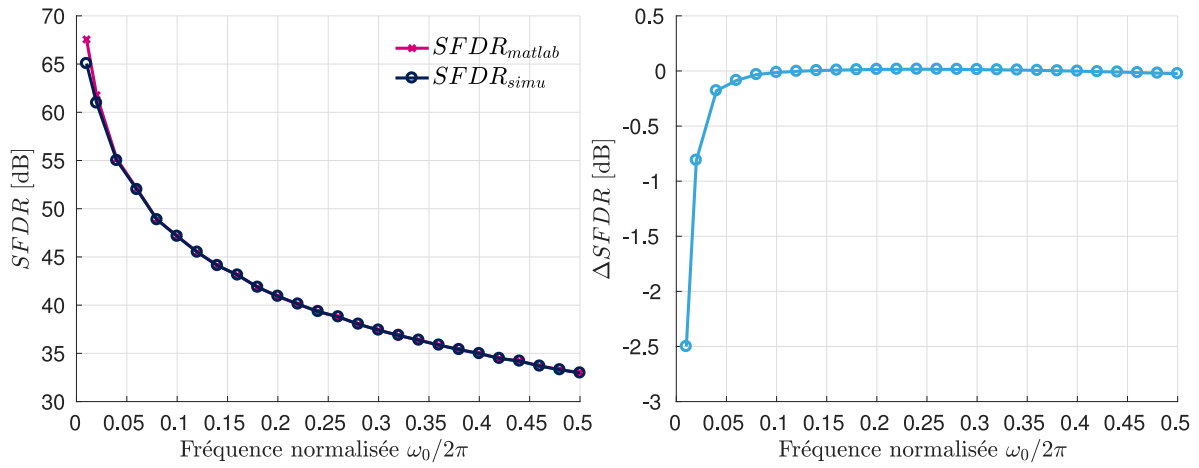
(a) Compensation BB_{top}



(b) Compensation BB_{bot}



(b) Compensation $BB_{top-bot-1}$



(c) Compensation $BB_{top-bot-2}$

FIGURE 4.22 – Évolution et comparaison pour chaque compensation des variables $SFDR_{matlab}$ et $SFDR_{simu}$ sur toute la bande du signal

Si nous comparons la différence entre $SFDR_{simu}$ et $SFDR_{matlab}$ pour toutes les compensations, nous constatons globalement que ces deux courbes sont assez proches l'une de l'autre sur toute la bande du signal d'entrée. Cependant, un écart systématique apparaît à très basse fréquence pour toutes les compensations lorsque la valeur du SFDR est la plus grande (niveau des désappariements créés très faible). Cet écart à basse fréquence provient d'une part de notre approximation faite précédemment concernant le désappariement de bande passante (création uniquement dans la phase ①) et d'autre part du fait que les non-linéarités ne sont pas prises en compte lors du calcul de $SFDR_{matlab}$.

En conclusion, cette vérification à permis de mettre en évidence que l'estimation de ϕ_S est au premier ordre suffisamment précise pour toutes les compensations proposées.

4.2.5.2 Résultats de Simulation

Les résultats de simulation présentés dans cette partie proviennent du modèle linéaire du **TI-ADC** réalisé sous MATLAB. Comme nous voulons compenser les différents skew introduits par un retard fixe de l’instant d’échantillonnage, nous allons appliquer des retards prenant les valeurs ϕ_S calculées précédemment et nous allons les compenser par les tensions de compensation (V_{cor}) qui leurs sont associées (cf figure 4.20). De ce fait, nous nous assurons que la compensation du skew est uniquement liée au déplacement de la tension de seuil du transistor compensé. Le tableau 4.5 résume pour chaque compensation les valeurs de ϕ_S et de V_{cor} réglées.

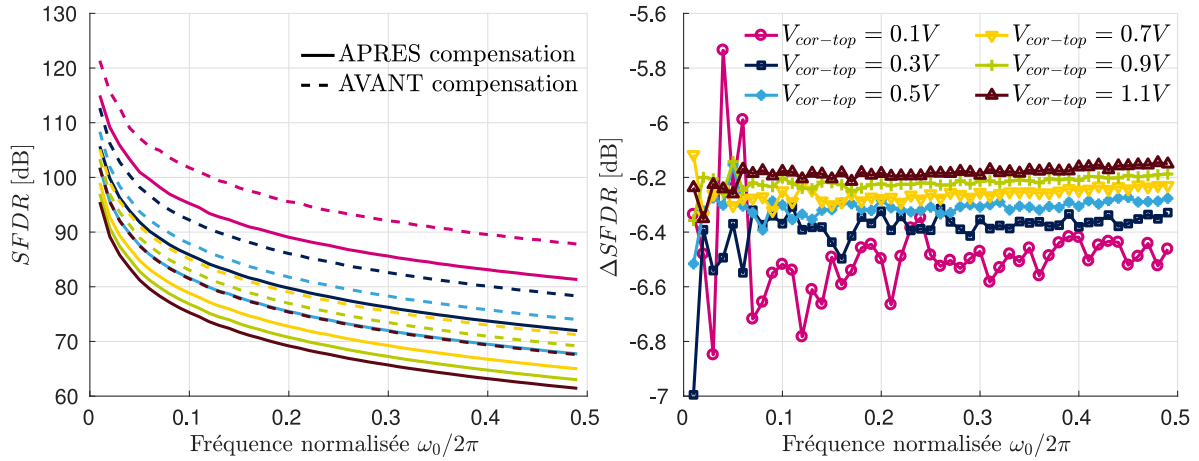
BB _{top}		BB _{bot}		BB _{top-bot-2}		BB _{top-bot-1}	
ϕ_S [fs]	V_{cor} [V]	ϕ_S [fs]	V_{cor} [V]	ϕ_S [fs]	V_{cor} [V]	ϕ_S [fs]	V_{cor} [V]
6.6	0.1	169.6	0.1	180.79	0.1	90.77	0.05
19.71	0.3	524.43	0.3	556.9	0.3	277.06	0.15
32.38	0.5	895.62	0.5	948.23	0.5	466.76	0.25
44.63	0.7	1282.1	0.7	1353.3	0.7	659.79	0.35
56.45	0.9	1682.3	0.9	1770.6	0.9	856.02	0.45
67.86	1.1	2095.1	1.1	2199.1	1.1	1055.4	0.55

TABLE 4.5: Valeur du skew introduit pour chaque compensation selon la tension de compensation utilisée

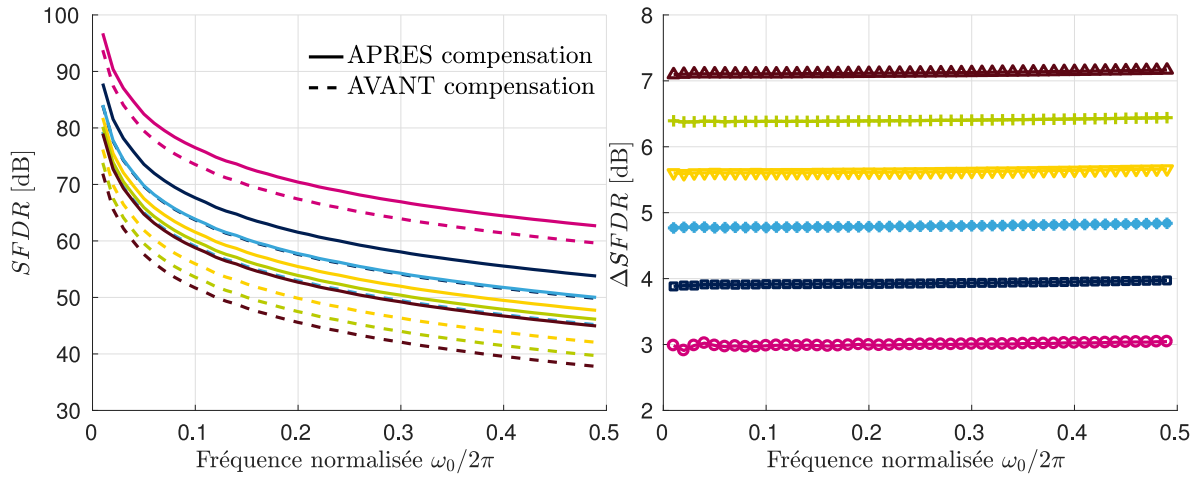
Pour calculer le **SFDR** avant et après chaque compensation, deux **FFTs** sur 2048 points sont réalisées sur le signal reconstitué en faisant varier la fréquence du signal d’entrée avec un pas de $0.01 \times f_s$. Le SFDR avant compensation est calculé en injectant uniquement un skew ϕ_S et celui après compensation est calculé en appliquant uniquement le désappariement de bande passant créé par la technique de body-biasing³. Avec cette méthode, les performances obtenues après compensation sont légèrement surestimées car nous supposons que tout le skew est compensé par la tension V_{cor} appliquée or ce n’est pas tout à fait le cas comme nous venons de l’expliquer. Cependant cela nous permet d’avoir au premier ordre une idée sur l’efficacité des compensations de skew proposées.

Les résultats des simulations exécutées pour chaque compensation sont affichés à la figure 4.23. Sur la figure de gauche, la valeur du SFDR avant et après compensation est affichée en fonction de la fréquence d’entrée et de la tension de compensation appliquée. Enfin sur la figure de droite, c’est la différence qui est représentée en fonction de la fréquence d’entrée.

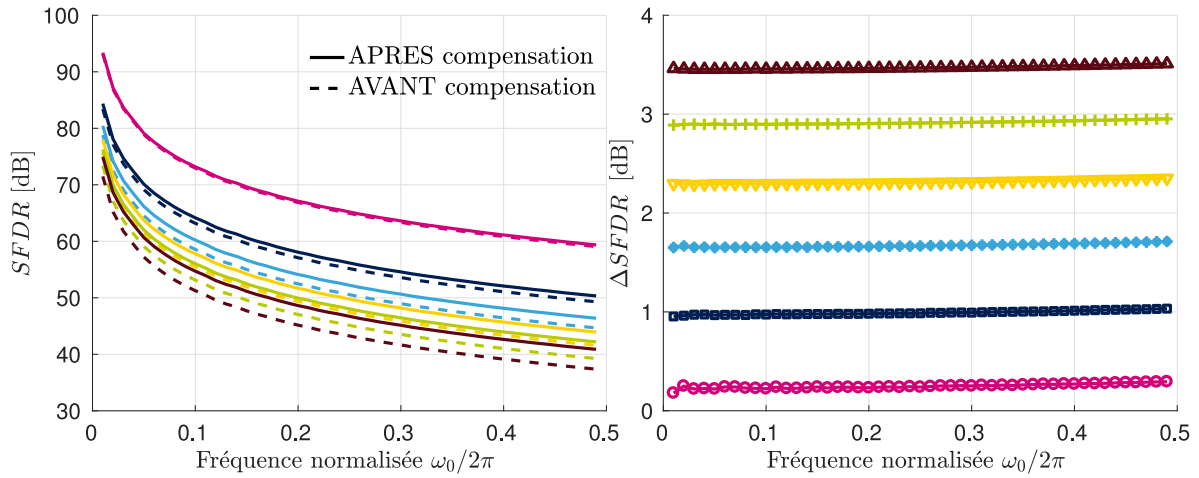
3. Les valeurs de ϕ_S et de ϕ_{BW} sont issues du tableau 4.5



(a) Compensation BB_{top}



(b) Compensation BB_{bot}



(c) Compensation $BB_{top-bot-2}$

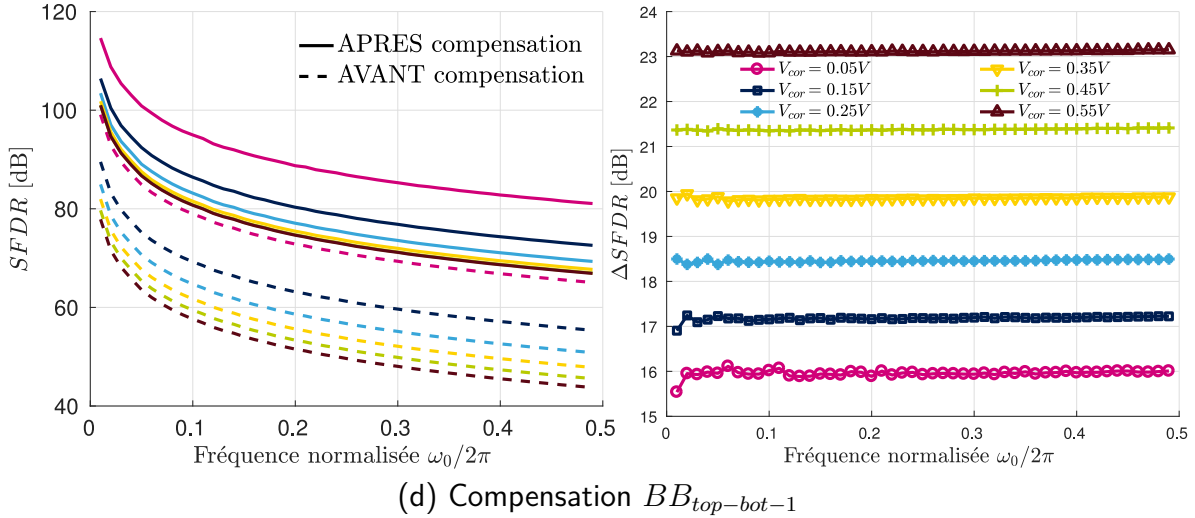


FIGURE 4.23 – SFDR avant et après chaque compensation appliquée en fonction de la fréquence normalisée et de la tension de compensation

Interprétation des résultats : La figure 4.23a confirme qu’appliquer la technique de body-biasing sur SW_{top} ne permet pas de corriger du skew car la puissance de la raie de distorsion due à l’entrelacement non idéal est toujours plus forte de 6dB après compensation qu’avant compensation et cela quel que soit la valeur de skew introduit. Nous avons déjà prédit cette tendance avec le diagramme bâton de la figure 4.20a où nous avons montré que la majorité du retard créé par la technique de body-biasing provenait du désappariement de bande passante et non du déplacement de la tension seuil V_{th} .

D’après les figures 4.23b, 4.23c et 4.23d, toutes les autres compensations ont une différence de SFDR positive quel que soit le skew introduit. Cependant, la compensation $BB_{bot-top-1}$ est celle qui obtient la meilleure amélioration avec au minimum 16 dB de gain après compensation. Cette meilleure performance s’explique toujours par le fait que la tension $V_{cor-top}$ varie dans le sens opposé de la tension $V_{cor-bot}$ ce qui permet de compenser une partie du désappariement de bande passante créée par le body-biasing de SW_{bot} .

D’après ces résultats, la compensation BB_{top} est maintenant exclue de notre étude à cause de ces performances. Par conséquent, pour comparer les trois compensations restantes, nous allons introduire la même quantité de skew à corriger et extraire le SFDR obtenu après avoir appliqué chaque compensation. Les résultats obtenus sont affichés sur la figure 4.24 où le SFDR après compensation est tracé en fonction de la quantité de skew introduit qui est exprimée en pourcentage de la période d’échantillonnage ($T_s = 250ps$).

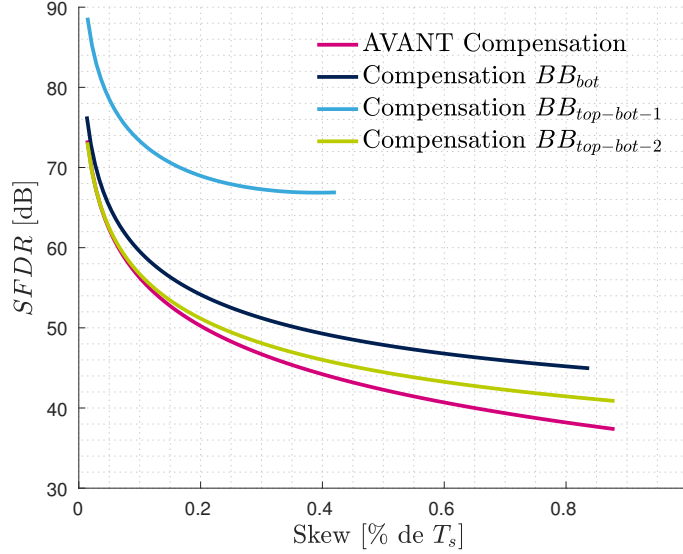


FIGURE 4.24 – SFDR en fonction du skew introduit pour les compensations BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$

D'après la figure 4.24, lorsqu'aucune compensation de bande passante n'est envisagée, l'utilisation de la compensation $BB_{top-bot-1}$ est à privilégier. Malheureusement, comme la tension de body des deux transistors avant compensation ($V_{cor_{init}}$) est réglée à la moitié de la tension d'alimentation du circuit (0.55V), la quantité de skew que peut compenser cette technique est limitée par rapport aux deux autres. Pour augmenter cette plage de compensation, il convient d'avoir à disposition une tension d'alimentation plus élevée ou d'appliquer une tension $V_{cor_{init}}$ plus basse. Il est à noter que cette dernière solution se fait au détriment de la performance puisque, le désappariement de bande passante créé va également augmenter (le pire cas étant lorsque $V_{cor_{init}} = 0$ ce qui correspond à la compensation $BB_{top-bot-2}$).

Maintenant si nous considérons qu'une compensation de bande passante est disponible, le critère de sélection n'est plus la performance mais la plage de compensation qui doit être la plus grande possible. Bien que la compensation $BB_{top-bot-2}$ détienne la plus grande plage de compensation, il est préférable d'utiliser la compensation BB_{bot} puisque sa plage de compensation est quasiment aussi grande que celle de $BB_{top-bot-2}$ alors qu'elle demande de générer qu'une seule tension de compensation au lieu de deux.

4.2.5.3 Comportement face aux dérives de température

Les variations de température modifient le comportement du transistor car certains paramètres comme la tension de seuil ou la mobilité varient en fonction de la température T . En effet, le paramètre V_{th} dépend linéairement de T [157] comme le montre l'équation (4.8) où T_0 est la température de référence :

$$V_{th}(T) = V_{th}(T_0) + \frac{\partial V_{th}}{\partial T}(T - T_0) \quad (4.8)$$

Le terme $\frac{\partial V_{th}}{\partial T} = \alpha_T$ qui est appelé coefficient thermique de la tension de seuil permet de connaître la sensibilité d'une technologie à la température. Son expression mathématique est définie par l'équation (4.9) [158].

$$\frac{\partial V_{th}}{\partial T} = \frac{\phi_{ms}}{T} + \frac{2\phi_f}{T} + \frac{\sqrt{\epsilon q N_a \phi_f}}{C_{ox}} \times \frac{\partial \phi_f}{\partial T} \quad (4.9)$$

avec ϕ_{ms} ⁴ la différence de travaux de sortie entre le métal de la grille et le semi-conducteur du canal, ϕ_f ⁵ le niveau de Fermi et $\frac{\partial \phi_f}{\partial T}$ ⁶ la dérivée partielle du niveau de Fermi par rapport à la température T .

Pour assurer la stabilité thermique du transistor, α_T doit toujours être négatif dans un canal dopé avec un type N . En effet si celui-ci devient positif, le transistor risque de se détruire puisqu'il va entrer dans un mécanisme où l'augmentation de la température va modifier son comportement de manière à encore plus augmenter la température. En général α_T varie entre $-0.5mV/^\circ C$ et $-4mV/^\circ C$ [157].

Pour connaître la valeur du coefficient α_T des transistors d'échantillonnage SW_{top} et SW_{bot} LVT de la technologie 28nm FD-SOI, une simulation DC a été utilisée pour extraire leur tension V_{th} lorsque la température varie entre $-40^\circ C$ et $125^\circ C$. Les résultats de cette simulation sont affichés sur la figure 4.25.

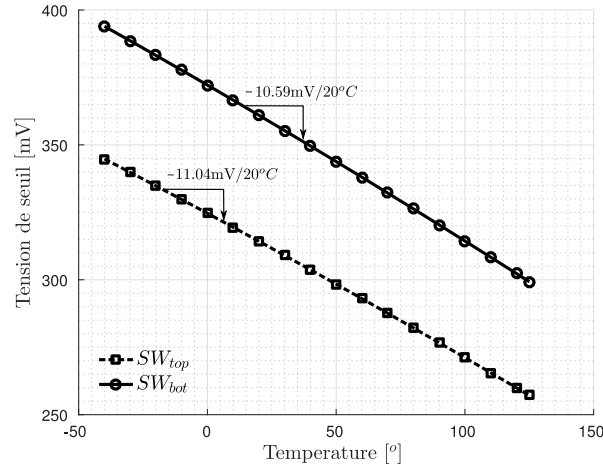


FIGURE 4.25 – Variation de la tension de seuil en fonction de la température T

D'après la figure 4.25, la tension V_{th} varie comme prévu linéairement en fonction de la température avec un coefficient α_T d'environ $-11mV/20^\circ C$ soit $-0.55mV/^\circ C$. Ce coefficient est certes faible mais non nul. Par conséquent, comme toutes les compensations de skew proposées dans ce chapitre ajustent le paramètre V_{th} , le SFDR obtenu après calibration à la température T_0 ne sera pas maintenu sur une large plage de température.

4. $\phi_{ms} = -\frac{kT}{q} \ln\left(\frac{N_a \times N_g}{n_i^2}\right)$ avec N_g le niveau de dopage de la grille, $n_i^2 \propto T^3 \exp\left(\frac{-E_{g0}}{kT}\right)$ le dopage intrinsèque du silicium, E_{g0} l'énergie de la bande interdite lorsque $T = 0$

5. $\phi_f = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right)$

6. $\frac{\partial \phi_f}{\partial T} = \frac{\phi_f}{T} - \frac{3k}{2q} - \frac{E_{g0}}{2qT}$

Pour quantifier l'évolution du SFDR en fonction des dérives de température, plusieurs simulations transitoires sont exécutées avec différentes valeurs de température évoluant entre -40°C et 125°C et en maintenant la valeur du réglage de compensation trouvée par les compensations $BB_{top-bot-1}$ et BB_{bot} à la température $T_0 = 27^{\circ}\text{C}$. Les résultats obtenus se visualisent sur la figure 4.26.

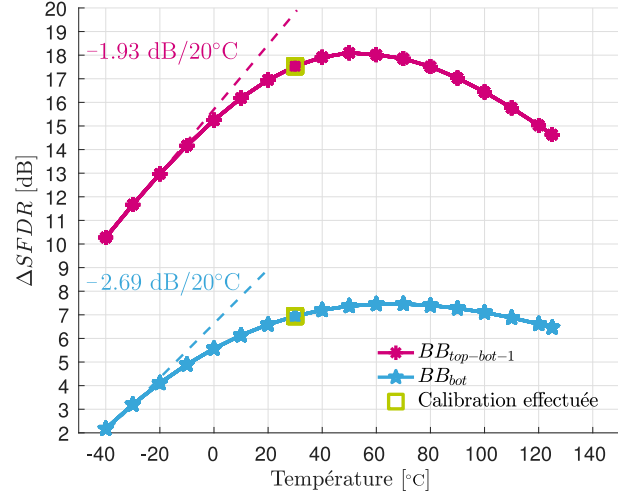


FIGURE 4.26 – Variation du SFDR en fonction de la température, pour une compensation fixe à la valeur calibrée pour 27°C

Tout d'abord, nous remarquons que le réglage obtenu à 27°C pour chaque compensation n'est pas optimal car le maximum se situe aux alentours de 50°C . Cette différence s'explique par les erreurs d'estimation que nous avons évoquées précédemment. En ce qui concerne la dégradation du SFDR lorsque la tension de compensation appliquée ne suit pas la variation du V_{th} ($-0.55\text{mV}/^{\circ}\text{C}$), nous constatons que celui-ci diminue dans le pire des cas d'environ de 2dB lorsque la température varie de $\pm 20^{\circ}\text{C}$. Si l'application visée est dans un environnement où la température varie brusquement, il peut être intéressant de générer une tension de référence à partir d'un circuit [Complementary to absolute temperature \(CTAT\)](#). En effet avec ce type de circuit, la tension générée a approximativement une dépendance à la température qui est linéaire négative (cf équation (4.10) [159]) tout comme la variation du V_{th} .

$$V_{CTAT}(T) = B + CT + DT \ln T \text{ avec } B > 0 \text{ et } C < 0 \quad (4.10)$$

Pour concevoir cette tension V_{CTAT} , il existe dans la littérature plusieurs manières de conception. Pour cela, il est possible d'utiliser soit la tension V_{be} d'un transistor bipolaire [160] soit la tension V_{gs} d'un transistor MOS polarisé dans en faible inversion. Une dernière solution consiste à polariser deux transistors MOS en zone de saturation afin de prendre la différence des deux tensions V_{gs} qui sont pondérées par des coefficients a et b comme cela est modélisé par l'équation (4.11) [159] ci-dessous :

$$\begin{aligned} V_{REF} &= aV_{GS1} - bV_{GS2} \\ &= (a - b)V_{th} + a\sqrt{\frac{2I_{d1}}{\mu_n C_{ox} W_1/L_1}} \left(1 - \frac{a}{b} \sqrt{\frac{I_{d2}(W_2/L_2)}{I_{d1}(W_1/L_1)}} \right) \end{aligned} \quad (4.11)$$

avec a (resp. b) le nombre de transistors connectés en série qui ont une tension grille-source égale à V_{gs1} (resp. V_{gs2})⁷ et un courant de drain égale à I_{d1} (resp. I_{d2})

7. Lorsque les transistors sont polarisés en saturation, l'expression de V_{gs} s'exprime par :

$$V_{gs} = V_{th} + \sqrt{\frac{2I_d}{\mu_n C_{ox} W/L}}$$

D'après (4.11), la condition pour que $V_{ref} = (a - b)V_{th}$ est $\frac{a}{b}\sqrt{\frac{I_{d2}(W_2/L_2)}{I_{d1}(W_1/L_1)}} = 1$. Par conséquent, en choisissant correctement a et b , il existe une multitude de solutions pour que $V_{ref} \propto V_{th}$.

En conclusion, si les tensions de compensation ne sont pas générées à l'aide d'une tension de référence qui elle-même est générée via des circuits CTAT, la performance des compensations BB_{bot} et $BB_{top-bot-1}$ chutes d'environ $0.1dB/^\circ C$.

4.3 Conclusion

Dans ce chapitre nous avons étudié quatre configurations où la technique de body-biasing est appliquée directement sur les transistors d'échantillonnage afin de compenser le désappariement de l'instant d'échantillonnage. Parmi les quatre solutions proposées, les compensations BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ améliorent le SFDR tandis que la compensation BB_{top} est plutôt destinée à la compensation de l'erreur de bande passante car elle dégrade plus les performances du SFDR qu'elle les améliorent. Sur les trois compensations viables, seule deux permettent de compenser au moins 2ps de skew et une moitié moins. Par conséquent, il est insuffisant d'utiliser uniquement ce type de compensation pour corriger tout le skew présent dans un TI-ADCs car celui-ci a été mesuré en laboratoire à plus d'une dizaine de picosecondes malgré les efforts qui ont été mis en œuvre pour le minimiser. En revanche, ces compensations peuvent être utilisées en complément d'une autre compensation de skew plus grossière telle que la ligne de retard afin de pouvoir régler finement le skew.

L'autre inconvénient de ces compensations est qu'elles sont sensibles aux dérives de température. Par conséquent, il est impératif d'utiliser soit une boucle de compensation continue, soit un DAC compensé en température afin de maintenir la bonne tension de compensation.

Pour la suite, nous allons nous intéresser à la compensation analogique du désappariement de bande passante car sa présence commence désormais à limiter la performance des TI-ADC. Pour cela, nous allons proposer différentes solutions analogiques dont certaines utilisent également la technique de body-biasing.

Chapitre 5

Compensations Analogique de l'erreur de Bande-passante

Sommaire

5.1	Modélisation de l'erreur de bande-passante	114
5.1.1	Réglage(s) analogique(s) de l'erreur de bande-passante	116
5.1.2	Paramètres de réglage de la résistance en régime linéaire des commutateurs	118
5.2	Compensation par modulation des tensions	119
5.2.1	Variation de la face arrière	119
5.2.2	Variation de la tension de Grille-Source	127
5.3	Compensation par modulation de la largeur W	138
5.3.1	Principe	138
5.3.2	Conséquences sur le processus d'échantillonnage	139
5.4	Méthodologie de comparaison des différentes compensations	143
5.4.1	Estimation des tensions optimales de compensation	144
5.5	Résultats de simulation	153
5.5.1	Condition de simulation	153
5.5.2	Performance	155
5.6	Conclusion	160

NOUS avons vu précédemment, que l'erreur de bande passante est un facteur limitant la performance des TI-ADC. Pour trouver le paramètre analogique qui compense au mieux cette erreur, il est nécessaire d'avoir un modèle précis de cette erreur. Pour cela, la première partie de ce chapitre est consacrée à la modélisation de l'erreur de bande passante puis, basé sur le modèle proposé, différents paramètres de réglages analogiques vont être proposés et étudiés. Enfin, une calibration analogique de l'erreur de bande-passante va être présentée dans une dernière partie afin de comparer les performances des techniques de compensation proposées selon le niveau de la raie de distorsion et de la quantification du réglage de compensation.

5.1 Modélisation de l'erreur de bande-passante

Nous avons vu au chapitre 1 que le désappariement de bande passante dans un CAN-ET est lié aux différentes fonctions de transfert des T/Hs entrelacés qui vont chacune filtrer le signal d'entrée de manière différente. La conséquence de cet échantillonnage non uniforme sur le spectre de sortie du signal reconstitué est la présence de raies de distorsion. Pour annuler ces raies de distorsion, il faut avoir un échantillonnage uniforme sur chaque voie du CAN-ET ce qui revient à égaliser les fonctions de transfert entre elles.

L'expression de la fonction de transfert d'un T/H est rappelée par l'équation (5.1) qui a été démontrée dans le chapitre 3 comme étant le ratio de deux polynômes de degré 4 (P et Q) dont les coefficients ($A_{m,1}$, $B_{m,1}$, $C_{m,1}$, $D_{m,1}$, $A_{m,2}$, $B_{m,2}$, $C_{m,2}$ et $D_{m,2}$) dépendent de la valeur des paramètres (R_b, C_b, C_p et R_{on}) du modèle linéaire des transistors d'échantillonnage.

$$\underline{H}_m(w) = \frac{P_m(jw)}{Q_m(jw)} = \frac{1 + A_{m,1}(jw) + B_{m,1}(jw)^2 + C_{m,1}(jw)^3 + D_{m,1}(jw)^4}{1 + A_{m,2}(jw) + B_{m,2}(jw)^2 + C_{m,2}(jw)^3 + D_{m,2}(jw)^4} \quad (5.1)$$

Si nous souhaitons parfaitement annuler les raies de distorsion dues à l'entrelacement non idéal, il est nécessaire d'égaliser tous les coefficients de P et de Q avec ceux de chaque fonction de transfert associée à un T/H entrelacé. Pour que cela soit réalisable mathématiquement, il faut être capable d'ajuster ces coefficients séparément et donc avoir à disposition au moins 8 paramètres de réglage différents (4 paramètres qui sont associées au modèle de SW_{top} et 4 autres pour le modèle de SW_{bot}). Cette forte contrainte sur le nombre de paramètres à ajuster revient à réaliser une compensation très complexe à implémenter ce que nous ne souhaitons pas. De plus, comme notre objectif est de repousser le niveau de ces raies de distorsion aux alentours de -85dB à la fréquence de Nyquist, il n'est pas nécessaire d'ajuster parfaitement chaque coefficient.

Pour connaître le nombre de coefficients à égaliser parmi ceux constituant P et Q tout en gardant une précision suffisante pour atteindre un SNDR d'environ 80dB, nous allons nous placer dans le cas de deux T/Hs entrelacés qui ont respectivement les mêmes fonctions de transfert qui sont définies sur le modèle de l'équation (5.1) et que nous noterons \underline{H}_0 et \underline{H}_1 . Les coefficients de P et Q associés à \underline{H}_0 et \underline{H}_1 sont calculés à partir des valeurs en phase de suivi des paramètres $R_{b-top/bot}, C_{b-top/bot}, C_{p-top/bot}$ et $R_{on-top/bot}$ qui sont résumées dans le tableau 3.1.

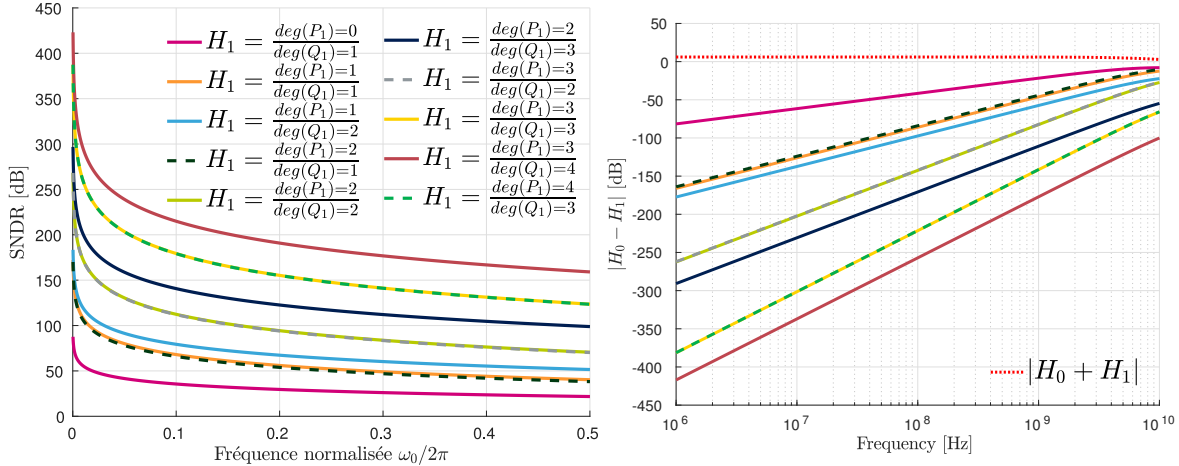
En appliquant l'équation (1.9) à notre cas de deux T/H entrelacés (M=2), il résulte que la valeur du SNDR en fonction de la pulsation w s'exprime par l'équation suivante :

$$SNDR = 20 \cdot \log_{10} \left(\frac{|\underline{H}_0(w) + \underline{H}_1(w)|}{|\underline{H}_0(w - \pi) - \underline{H}_1(w - \pi)|} \right) \quad (5.2)$$

D'après l'équation (5.2), si $\underline{H}_0 = \underline{H}_1$ alors le SNDR est infini¹ et lorsqu'une différence existe entre les deux fonctions de transfert le SNDR décroît. Pour connaître la

1. Le bruit de quantification n'est pas pris en compte ici dans le calcul du SNDR car nous nous intéressons uniquement aux effets d'un désappariement de bande passante

valeur du SNDR en fonction du nombre de coefficients communs entre les polynômes P_0 , P_1 et Q_0 , Q_1 , nous avons effectué plusieurs simulations en fixant toujours P_0 et Q_0 comme des polynômes de degré 4 et en faisant varier le degré de P_1 et Q_1 entre 0 et 4. Les résultats de ces simulations sont affichés sur la figure 5.1 où les figures 5.1a et 5.1b tracent respectivement le SNDR et la différence de module $|H_0 - H_1|$ en fonction de la fréquence normalisée et les degrés de P_1 et de Q_1 .



(a) SNDR en fonction de la fréquence normalisée et du degrés maximal des polynômes P et Q

(b) $|H_0 - H_1|$ en fonction de la fréquence normalisée et du degrés maximal des polynômes P et Q

FIGURE 5.1 – Évolution en fonction de la fréquence normalisée et du degrés maximal des polynômes P et Q du (a) SNDR et de (b) le module de la différence des fonctions de transfert

Pour interpréter ces deux figures, nous allons prendre l'exemple de la courbe bleu ciel où $\deg(P_1) = 1$ et $\deg(Q_1) = 2$. Dans ce cas, les fonctions de transfert \underline{H}_0 et \underline{H}_1 s'expriment sous la forme suivante :

$$\begin{aligned} \underline{H}_0(w) &= \frac{P_0(jw)}{Q_0(jw)} = \frac{1 + A_{0,1}(jw) + B_{0,1}(jw)^2 + C_{0,1}(jw)^3 + D_{0,1}(jw)^4}{1 + A_{0,2}(jw) + B_{0,2}(jw)^2 + C_{0,2}(jw)^3 + D_{0,2}(jw)^4} \\ \underline{H}_1(w) &= \frac{P_1(jw)}{Q_1(jw)} = \frac{1 + A_{1,1}(jw)}{1 + A_{1,2}(jw) + B_{1,2}(jw)^2} \end{aligned} \quad (5.3)$$

Dans ces conditions, les polynômes P_0 et P_1 ont un coefficient en commun et Q_0 et Q_1 ont en deux. Le fait d'avoir ôté les degrés 4, 3 et 2 de P_1 et les degrés 4 et 3 de Q_1 se traduit par un SNDR de l'ordre de 50 dB. Sachant que l'objectif est d'atteindre 80dB de SNDR, il faut que la simplification de la fonction de transfert permette d'atteindre au moins 100 dB afin de prendre en compte une compensation non idéale. Par conséquent et d'après ces résultats, la fonction de transfert ne peut pas être simplifiée avec des polynômes P et Q de degré inférieur à 3. En effet, si on prend par exemple le cas extrême où la fonction de transfert est associée à celle d'un filtre passe-bas du premier ordre ($\deg(P_1) = 0$ et $\deg(Q_1) = 1$), nous notons que le SNDR à une valeur d'environ

30 dB à la fréquence de Nyquist, ce qui est trop faible.

En conclusion, le désappariement de bande passante d'un CAN-ET se modélise comme la différence en fréquence des trois premiers coefficients des polynômes P et Q utilisés pour modéliser la fonction de transfert de chaque T/H en phase de suivi. Maintenant que cette erreur est modélisée en fonction de paramètres linéaires, il faut désormais trouver quels paramètres analogiques permettent de la compenser au mieux.

5.1.1 Réglage(s) analogique(s) de l'erreur de bande-passante

Nous venons de montrer d'après la figure 5.1a que si les trois premiers coefficients des polynômes P et Q pour chaque fonction de transfert sont parfaitement égalisés alors le SNDR est de l'ordre de 100 dB. Pour pouvoir régler séparément ces six coefficients, il est donc nécessaire d'avoir à disposition six réglages analogiques. Or comme nous voulons minimiser la complexité de la compensation, il n'est donc pas concevable d'appliquer une compensation où autant de réglages sont ajustés. De ce fait, nous allons dans un premier temps ajuster uniquement la valeur d'un seul paramètre analogique et si cela n'est pas suffisant, nous augmenterons le nombre de réglages nécessaires tant que le SNDR n'atteint pas 80dB.

Pour ajuster la valeur des coefficients via un seul paramètre, il est nécessaire de trouver un paramètre parmi tous ceux du modèle passif des transistors d'échantillonnage qui est commun à tous coefficients des monômes de P et Q . D'après les équations (3.7) qui expriment l'expression analytique de chaque coefficient de P et Q en fonction des paramètres R_b, C_b, C_p et R_{on} , nous remarquons que tous ses paramètres sont communs aux coefficients de P et Q . Par conséquent, ils sont théoriquement tous de bons candidats pour compenser l'erreur de bande passante. Parmi ces paramètres, nous pouvons éliminer les paramètres C_p et C_b et R_b car ils sont difficilement ajustables de manière analogique puisqu'ils représentent soit des parasites, soit la résistance de body. En conséquence, seul l'ajustement des résistances à l'état passant des deux commutateurs d'échantillonnage (R_{on-top} et/ou R_{on-bot}) sont des solutions viables.

Pour avoir un ordre de grandeur des variations de chaque coefficient de P et de Q en fonction de la variation des résistances R_{on-top} et R_{on-bot} , il faut observer les figures 5.2a et 5.2b. D'après ces courbes, nous observons que chaque coefficient de P (courbes en trait plein) et Q (courbes en trait continu) varient linéairement en fonction des résistances R_{on-bot} et R_{on-top} mais avec des pentes différentes. Nous remarquons également que les coefficients de P varient moins que ceux de Q quelque soit la résistance ajustée. Cette différence de variation va engendrer une variation plus importante des pôles que des zéros.

Pour quantifier la performance d'une compensation de bande passante qui agit uniquement sur la résistance R_{on-bot} par exemple, nous avons simulé une calibration numérique idéale à l'aide de MATLAB. Pour cela, nous avons défini deux fonctions de transfert (\underline{H}_{ref} et \underline{H}_{cal}) sur le modèle de l'équation (5.1) qui ont un désappariement

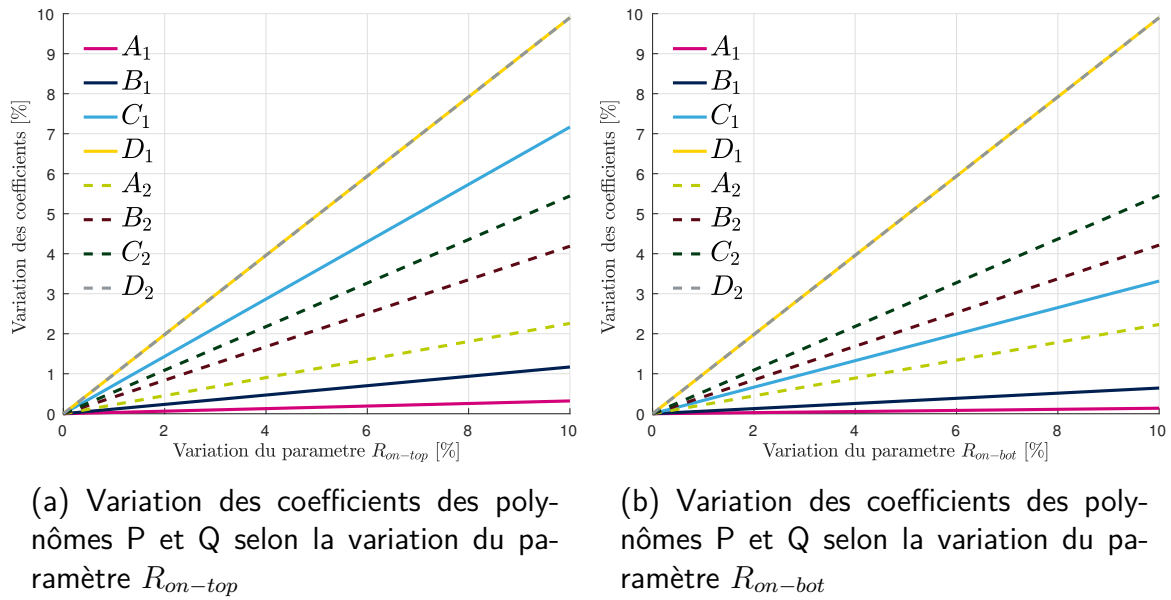


FIGURE 5.2 – Variation des coefficients des polynômes P et Q selon la variation de la résistance (a) R_{on-top} et (b) R_{on-bot}

aléatoire entre chacun de leurs coefficients respectifs ($A_{0,1} \neq A_{1,1}; \dots A_{0,2} \neq A_{1,2}$). Pour compenser aux mieux les désappariements introduits, la valeur de R_{on-bot} est ajustée via un script MATLAB qui maximise le SNDR à la fréquence de Nyquist. L'écart relatif entre les coefficients de \underline{H}_{ref} et ceux de \underline{H}_{cal} ainsi que la valeur du SNDR avant et après la compensation idéale sont représentés respectivement sur la figure 5.3a et la figure 5.3b par des marqueurs en forme de croix et des marqueurs ronds.

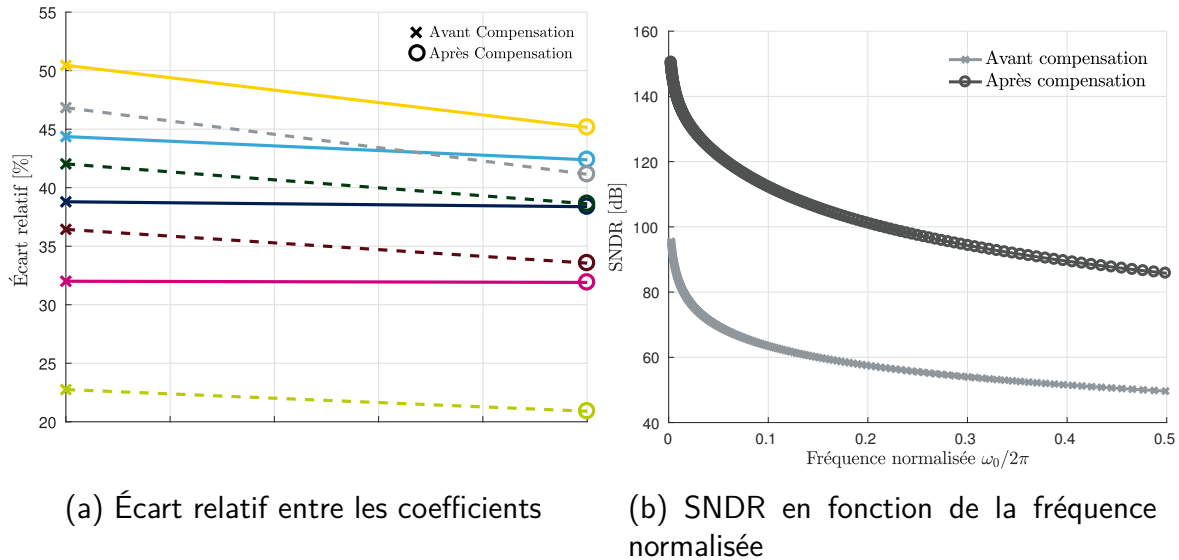


FIGURE 5.3 – Performance et écart relatif entre les coefficients de \underline{H}_{ref} et ceux de \underline{H}_{cal} avant et après la compensation idéale via uniquement la résistance R_{on-bot}

Les résultats obtenus avec un seul réglage de compensation sont intéressants puisque le **SNDR** obtenu après compensation est supérieur à 80 dB à la fréquence de Nyquist malgré qu'une forte différence existe encore entre les coefficients respectifs de \underline{H}_{ref} et ceux de \underline{H}_{cal} . De ce fait, nous pouvons conclure qu'il n'est pas nécessaire d'ajuster d'autres paramètres du modèle linéaire pour compenser le désappariement de bande passante.²

5.1.2 Paramètres de réglage de la résistance en régime linéaire des commutateurs

Pour identifier les paramètres d'ajustement des résistances R_{on-top} et/ou R_{on-bot} , nous allons développer leur expression analytique en se basant sur le modèle de Schichman-Hodges [161] d'un transistor **NMOS** fonctionnant dans le régime linéaire ($V_{gs} \geq V_{th}$ et $V_{ds} \leq (V_{gs} - V_{th})$). La relation entre le courant I_d , et les tensions de polarisation V_{gs} et V_{ds} d'un transistor NMOS fonctionnant dans ce régime est définie au premier ordre par l'équation (5.4) où la mobilité μ_n et la tension de seuil V_{th} sont supposées constantes sur toute la longueur du canal et indépendantes des tensions de grille (V_g) et de drain (V_d) [6] :

$$I_d \approx \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds} \quad (5.4)$$

avec C_{ox} la capacité d'oxyde de grille, W la largeur du transistor et L sa longueur.

Cette équation n'est absolument pas précise surtout avec les nouvelles technologies qui ont un canal très court, cependant cela permet de mettre en évidence les paramètres majeurs qui contribuent au courant de drain lorsque le transistor est polarisé dans sa zone ohmique. D'après l'équation (5.4), la relation linéaire entre le courant I_d et la tension V_{ds} montre que le canal de conduction entre la Source et le Drain du transistor $SW_{top/bot}$ peut être représenté par une résistance linéaire $R_{on-top/bot}$ dont l'expression est définie ci-dessous :

$$R_{on-top/bot} \approx \frac{L}{W \cdot \mu_n C_{ox} [(V_{gs} - V_{th})]} \quad (5.5)$$

Ainsi, d'après (5.5), la résistance peut être ajustée selon plusieurs paramètres :

- la tension de seuil V_{th}
- la tension de polarisation V_{gs}
- la largeur du transistor W

La modulation de la longueur du transistor n'est pas une possibilité de réglage car il n'est pas possible de l'ajuster dynamiquement. Dans la suite de ce chapitre nous allons étudier puis comparer chacune des trois solutions présentées ci-dessus.

2. Cette étude a également été effectuée avec R_{on-top} et les résultats obtenus sont identiques que ceux que nous venons de présenter

5.2 Compensation par modulation des tensions

5.2.1 Variation de la face arrière

5.2.1.1 Principe

La première solution de compensation de l'erreur de bande-passante consiste à ajuster la tension de seuil des commutateurs d'échantillonnage V_{th} grâce à l'effet de body-biasing. Comme pour la compensation de skew, cette technique peut s'appliquer sur les deux transistors du T/H comme le montre la figure 5.4. Lorsque la technique est appliquée sur SW_{top} elle est notée compensation BB_{top} , et compensation BB_{bot} lorsqu'elle est appliquée sur SW_{bot} .

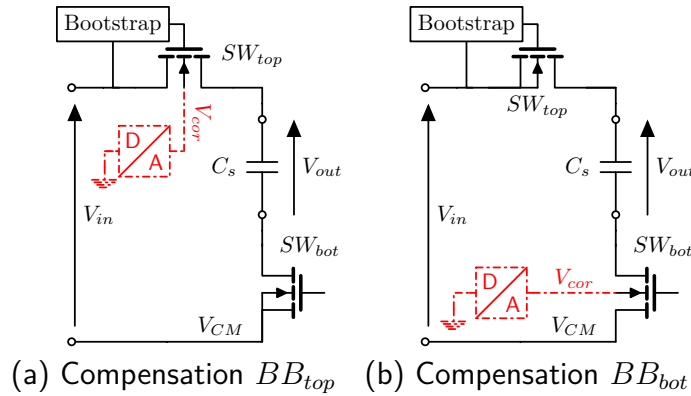


FIGURE 5.4 – Compensation de l'erreur de bande-passante en ajustant (a) le transistor du haut SW_{top} , (b) le transistor du bas SW_{bot}

La modulation de la tension de seuil (V_{th}) du/des transistor(s) d'échantillonnage, va modifier la valeur de R_{EQ} pour compenser le désappariement de bande-passante qui apparait dans la phase de suivi du T/H. La technologie 28nm FD-SOI nous permet d'appliquer une tension soit positive, soit négative sur le caisson de body des transistors LVT. Par conséquent, il est possible soit d'augmenter, soit de diminuer la fréquence de coupure du T/H en calibration. Cependant, comme nous l'avons vu à la figure 4.5, la plage de variation de V_{th} n'est pas la même selon le signe de la tension appliquée à cause de la mise en conduction de la diode Nwell-Psub. De ce fait, pour profiter de la plus grande plage de variation de V_{th} , il a été choisi de toujours appliquer une tension positive (polarisation FBB). L'inconvénient de ce choix est l'augmentation des courants de fuites du transistor polarisé due à la diminution de sa tension de seuil. En revanche, cela à l'avantage d'augmenter la bande passante globale du CAN-ET car comme la valeur du R_{on} diminue lorsque V_{bs} augmente, le T/H de référence est donc celui qui détient la plus grande bande-passante.

5.2.1.2 Dimension des transistors SW_{top} et SW_{bot}

Pour que cette technique de compensation n'agisse pas comme une modification de l'instant d'échantillonnage, il faut dès la conception du T/H, dimensionner les tran-

sistors SW_{top} et SW_{bot} de manière à minimiser le désappariement de skew créé par l’ajustement de la tension de seuil V_{th} . Par conséquent, cela implique que la largeur du transistor polarisé soit la plus petite possible afin de maximiser la variation de son R_{on} en fonction de la tension V_b appliquée. Cette contrainte de dimensionnement impose d’avoir un ratio R_{on-top}/R_{on-bot} différent selon la technique de compensation utilisée (BB_{bot} et BB_{top})³.

Pour définir le ratio le plus adapté à chaque technique de compensation, nous allons réutiliser les résultats des figures 4.8 et 4.9 (chapitre 4 page 85 et 86) que nous avons utilisé lors de la compensation du skew. Pour des raisons de lisibilité, toutes ces figures vont de nouveau être affichés dans la suite de ce chapitre.

Comme cette fois-ci nous souhaitons compenser un désappariement de bande passante, le ratio optimal pour les deux compensations va être différent de celui qui a été choisi précédemment. Le choix du ratio optimal se fera donc en fonction des résultats précédents mais également selon la valeur du pire cas de désappariement de bande passante qui est estimé à 13.86 % d’après les simulations Monte-Carlo effectuées dans la sous-section 5.5.1 que nous verrons plus tard.

Choix du ratio R_{on-bot}/R_{on-top} pour la compensation BB_{bot} :

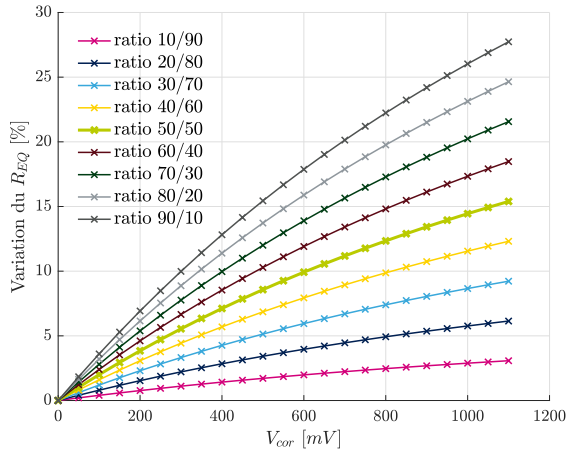
D’après la figure 5.5a, l’augmentation de la contribution de R_{on-bot} dans R_{EQ} permet d’augmenter la plage de variation du R_{EQ} et ceci principalement pour les fortes valeurs de V_{cor} . Par exemple, le ratio 90/10 ($R_{on-bot}=90\%$ de R_{EQ} et $R_{on-top}=10\%$ de R_{EQ}) augmente d’environ 80% la variation de R_{EQ} par rapport au ratio de base 50/50 lorsque la tension de compensation est maximale (1.1V). Cependant comme le montre la figure 5.5b, la taille de SW_{top} est multiplié par plus de 5, ce qui a pour principale conséquence d’augmenter fortement la consommation du T/H puisque le driver de CLK_{TOP} doit être nécessairement plus gros.

Si nous regardons la figure 5.5c, nous constatons que plus le ratio est grand ($R_{on-top} \ll R_{on-bot}$) plus le signal est atténué dans la phase ② et ③ sauf sur la plage de fréquence [10MEG ; 2GHz] de la phase ③. Cependant, comme sur cette plage de fréquence l’amplitude du signal d’entrée est de -30dB cela n’a pas beaucoup d’importance. Le fait d’atténuer le signal d’entrée est plutôt une bonne chose car cela va minimiser l’impact du désappariement de gain et de bande passante qui se créés durant ses phases.

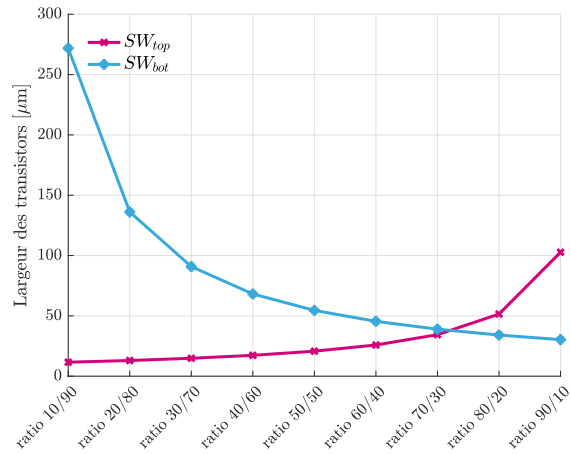
En conclusion, plus le ratio est grand ($R_{on-top} \gg R_{on-bot}$), meilleure est la compensation de bande passante car R_{EQ} varie de manière importante et le signal d’entrée est plus atténué dans les autres phases du processus d’échantillonnage. En contrepartie, la consommation du T/H augmente fortement car la taille de SW_{top} explose. De ce fait, un bon compromis peut être de choisir le ratio **40/60**.

Maintenant que nous connaissons le ratio pour l’utilisation de la compensation BB_{bot} , il convient de réitérer cette étude pour définir le ratio de la compensation BB_{top} .

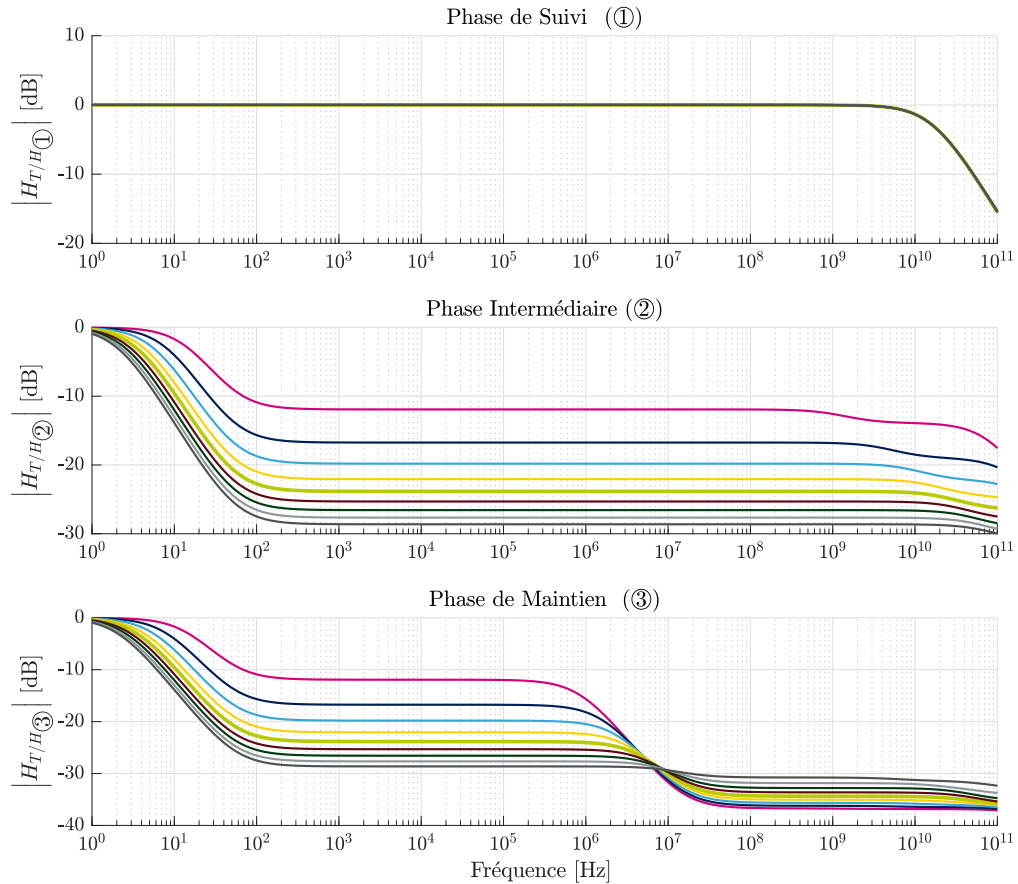
3. Nous rappelons que le ratio initial (non-optimal) est le ratio 50/50 qui signifie que la valeur de R_{on-top} et de R_{on-bot} contribuent chacun à 50% de celle de R_{EQ}



(a) Variation de R_{EQ} selon le ratio R_{on-bot}/R_{on-top} et V_{cor}



(b) Taille de SW_{top} et SW_{bot} selon le ratio R_{on-bot}/R_{on-top}



(c) Module de la fonction de transfert durant les phases ①, ② et ③ selon le ratio R_{on-bot}/R_{on-top}

FIGURE 5.5 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante BB_{bot}

Choix du ratio R_{on-top}/R_{on-bot} pour la compensation BB_{top} :

Tout d’abord, si nous comparons les figures 5.6c et 5.5c nous observons que pour un même ratio les conséquences sont opposées. En effet, cette fois ci, plus le ratio est grand, plus les désappariements apparaissant durant le processus d’échantillonnage sont dégradés car le signal d’entrée est moins atténué dans les phases Intermédiaire 1 et de maintien.

La grosse différence entre les compensations BB_{bot} et BB_{top} se situe sur la plage de variation du R_{EQ} qui est très restreinte avec la compensation BB_{top} . En effet d’après la figure 5.6a, nous constatons qu’avec la compensation BB_{top} et une tension de compensation maximale, le paramètre R_{EQ} varie de seulement 6.57 % avec le ratio 90/10 ($R_{on-top}=90\%$ de R_{EQ} et $R_{on-bot}=10\%$ de R_{EQ}) qui est le plus adapté pour maximiser la plage de variation. Dans les mêmes conditions mais en utilisant la compensation BB_{bot} , le paramètre R_{EQ} varie de 27.73 %.

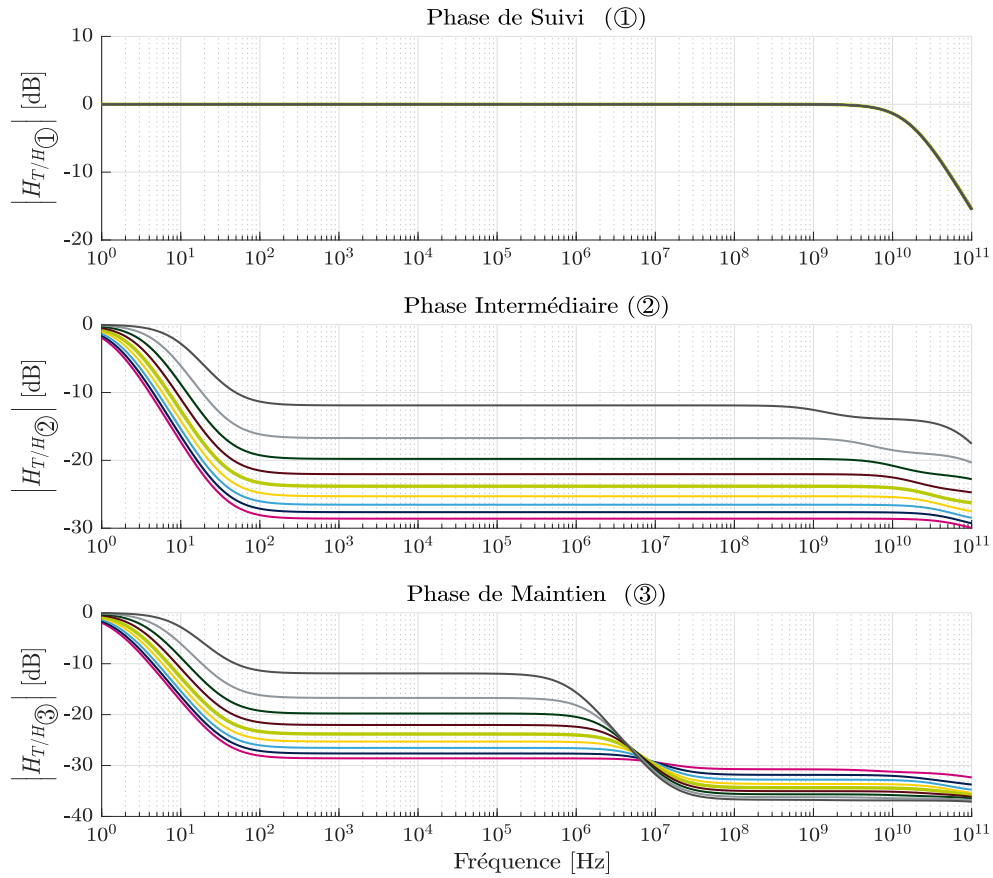
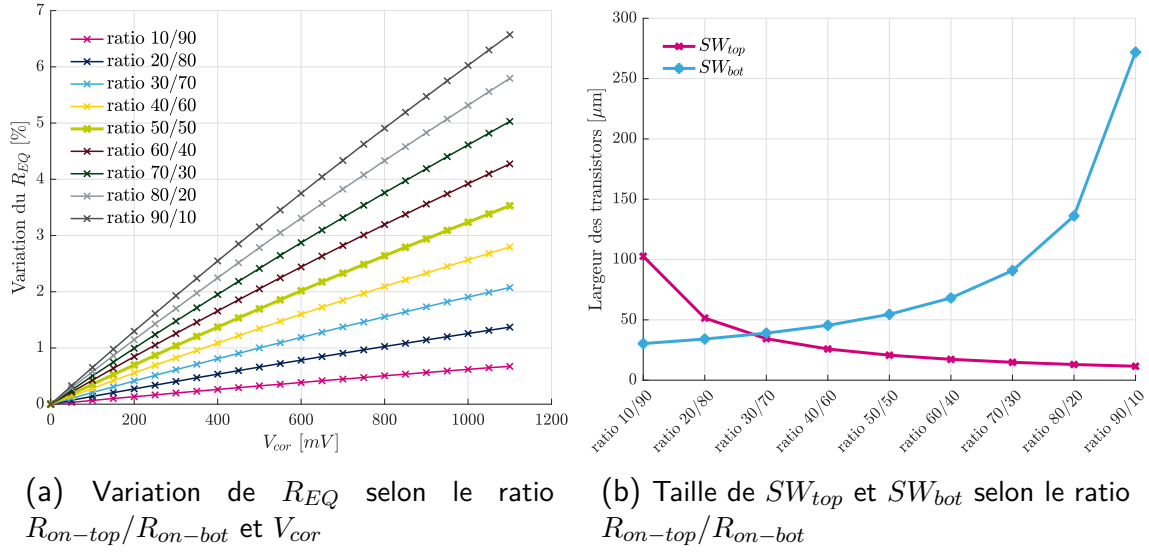
Cette forte différence s’explique par le faite que SW_{top} à un circuit de bootstrap qui maintient sa tension V_{gs} à la tension d’alimentation (fixé ici à 1.1V) contrairement à SW_{bot} où son V_{gs} est égale à la moitié de l’alimentation à cause de la tension de mode commun V_{CM} . Par conséquent, pour une même variation de V_{th} , la tension d’overdrive ($V_{gs} - V_{th}$) de SW_{top} varie beaucoup moins que celle de SW_{bot} rendant sa plage de variation beaucoup moins importante.

Une solution pour augmenter la plage de correction de SW_{top} tout en minimisant les non linéarités provoquées par la variation de V_{gs} de SW_{top} selon l’amplitude du signal d’entrée est d’utiliser un commutateur composé d’un transistor NMOS et PMOS appelé “Transmission gate” au lieu du circuit de bootstrap. Cette solution n’a pas été étudiée car les non-linéarités résultant de cette nouvelle architecture de T/H étaient trop fortes pour l’application visée.

Enfin, comme la technologie 28nm FD-SOI permet de polariser jusqu’à 3V le body en FBB, une autre solution consiste à augmenter la tension de correction. Cependant, cela demande d’avoir à disposition une tension supérieure à l’alimentation des circuits analogiques. Si ce n’est pas le cas, la conception d’une pompe de charge est requise mais son fonctionnement augmenterait la consommation globale de la compensation ce qui n’est pas envisageable.

En conclusion, la compensation BB_{top} est adaptée à la compensation de petit désappariement de bande-passante. Étant donné que cette compensation ne permet pas de compenser le pire cas de désappariement de bande passante elle peut être utilisée qu’en complément de la compensation BB_{bot} . Dans ce cas, le ratio $\boxed{60/40}$ semble être le plus approprié puisqu’il permet de faire varier R_{EQ} de plus de 4% tout en gardant des dimensions de transistors contenues.

Maintenant que le ratio des transistors pour chaque compensation a été défini, il est nécessaire d’étudier les conséquences de la variation de la tension de seuil sur le processus d’échantillonnage pour ses deux compensations.



(c) Module de la fonction de transfert durant les phases ① , ② et ③ selon le ratio R_{on-top}/R_{on-bot}

FIGURE 5.6 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante BB_{top}

5.2.1.3 Conséquences sur le processus d'échantillonnage

Dans cette partie, nous allons étudier l'impact de la modulation de la tension de seuil sur le processus d'échantillonnage. Ce processus est découpé en quatre phases comme le rappelle la figure 5.7.

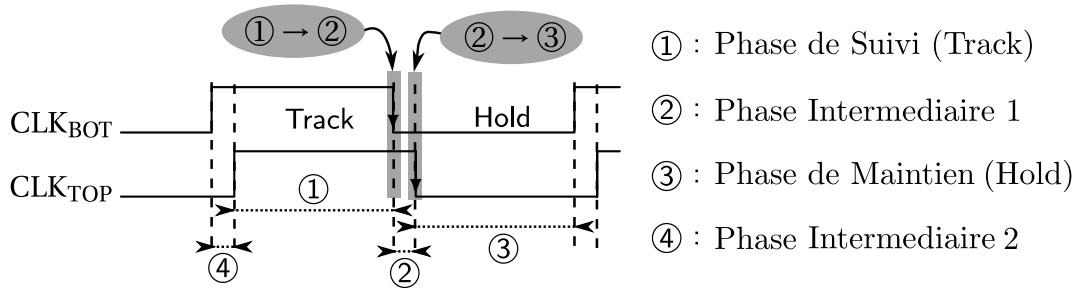


FIGURE 5.7 – Découpage du processus d'échantillonnage en 4 phases

Tout d'abord, la diminution de la tension de seuil de SW_{bot} durant la phase de suivi va accélérer son ouverture et donc créer un désappariement de skew entre les T/Hs. Ce même problème apparaît avec la compensation BB_{top} lors de l'ouverture de SW_{top} (transition ② → ③). Cependant, comme au cours de la phase ② le signal d'entrée est fortement atténué par le diviseur capacitif composé de C_s et de C_{p-bot} (-25dB), la quantité de skew ajoutée dans ce cas est beaucoup plus faible qu'avec la compensation BB_{bot} où le signal n'est pas atténué.

Dans un premier temps, la quantité de skew ajoutée par la compensation BB_{top} est considérée comme négligeable et celle ajoutée par la compensation BB_{bot} peut être estimée mathématiquement en supposant une pente du front descendant de l'horloge d'échantillonnage CLK_{bot} égale à 20ps et un body factor $bf=88mV/V$. Les résultats sont affichés sur la figure 5.8.

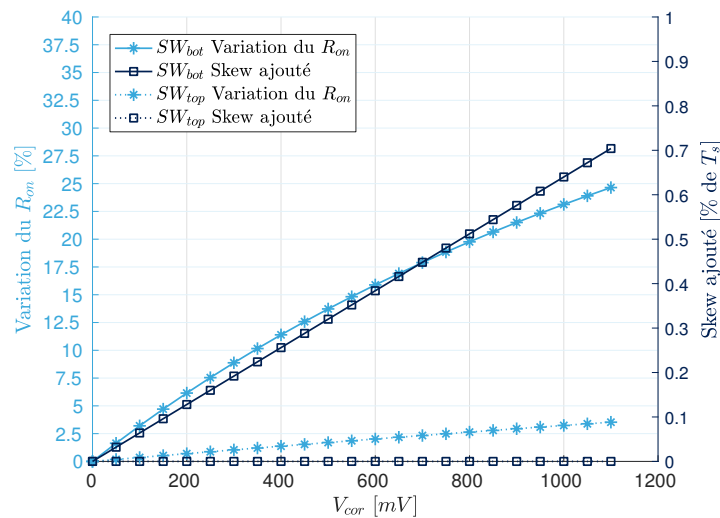


FIGURE 5.8 – Variation du R_{on} et skew ajouté avec les compensations BB_{top} et BB_{bot}

D'après les courbes bleu-marine de la figure 5.8 qui représentent la quantité de skew ajoutée exprimée en pourcentage de la période d'échantillonnage ($T_s = 250\text{ps}$), nous constatons que le retard créé par la modulation de V_{th} et en supposant une pente de 20 ps peut atteindre jusqu'à 0.7% de T_s . Ce retard est important tout comme la variation de R_{EQ} qui atteint plus de 27%. De plus, d'après [10] comme la quantité de skew ajoutée est inférieure à 1% de T_s , elle peut être corrigée à l'aide d'algorithmes numériques du premier ordre, sans fortement dégrader la consommation d'énergétique de la compensation. Malgré tout, si le skew ajouté est trop grand, une solution consisterait à re-dimensionner la largeur de SW_{bot} en prenant un ratio au-dessus de celui choisi précédemment (exemple 80/20).

Nous avons montré dans le chapitre 3 que le rapport C_s / C_{p-bot} devait être le même pour tous les T/Hs, si nous ne voulons pas créer un désappariement de gain durant la phase ②. Nous avons également montré que dans la phase ③, l'atténuation du signal d'entrée est fixé par le couple zéro/pôle (z_2/p_2) dans la plage de fréquence $[0;2\text{GHz}]$. Par conséquent, pour s'assurer que les compensations BB_{top} et BB_{bot} ne dégradent pas plus ces désappariements, il est nécessaire d'extraire pour chaque phase du processus d'échantillonnage la variation des paramètres composants le modèle passif des transistors SW_{top} et SW_{bot} ($C_{b-top/bot}$, $R_{b-top/bot}$, $C_{p-top/bot}$ et $R_{on-top/bot}$) en fonction de de leur zone de fonctionnement (passant et bloqué), et de la tension de compensation V_{cor} appliquée.

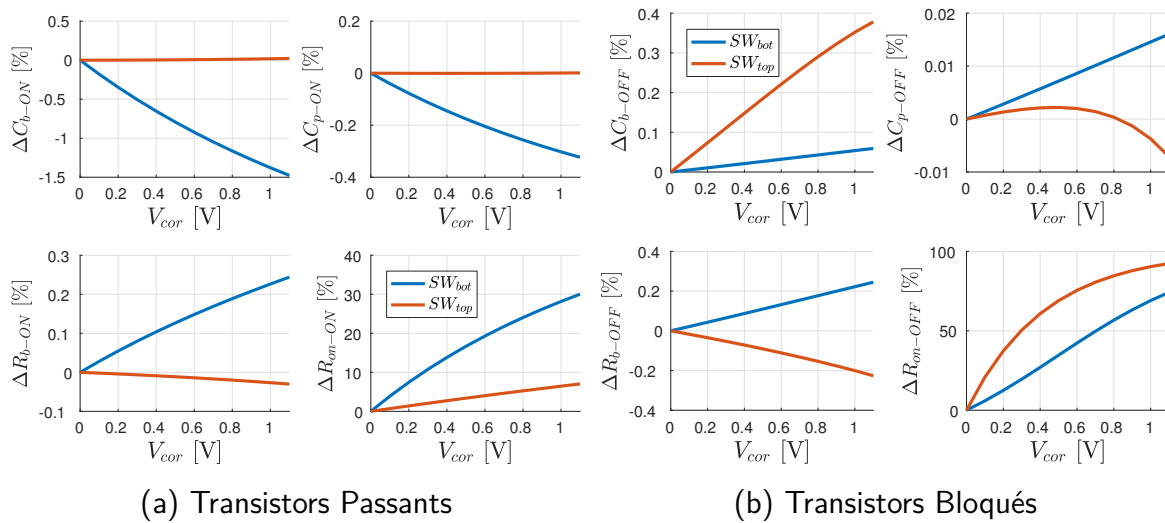


FIGURE 5.9 – Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} selon la valeur de la tension de compensation appliquée V_{cor} et leur zone de fonctionnement (a) ohmique, (b) bloqué

D'après les résultats affichés à la figure 5.9, lorsque la tension de compensation est mise à la tension d'alimentation, la variation maximale des paramètres $C_{b-top/bot}$, $R_{b-top/bot}$ et $C_{p-top/bot}$ s'élève à +1.5%. En revanche, cette variation peut atteindre +92% et +74% lorsque nous regardons la résistance de canal des deux transistors lorsque ceux-ci sont bloqués ($R_{off-top/bot}$).

Comme les paramètres du modèle linéaire varient tous différemment selon la polarisation des transistors, la fonction de transfert du T/H en calibration va différer de celle du T/H de référence durant les phases ② et ③ du processus d'échantillonnage. En conséquence, cela va potentiellement dégrader les désappariements existants.

Basé sur la valeur des paramètres extraits précédemment lorsque $V_{cor} = 1.1V$, les fréquences des pôles et des zéros sont calculées via MATLAB pour les phases ② et ③ et pour chaque compensation. Les résultats sont résumés dans le tableau 5.1.

Les valeurs en gras représentent le cas où aucune compensation n'est appliquée tandis que les valeurs en rouge décrivent un changement de fréquence causé par la variation des paramètres. Enfin, les valeurs en noir indiquent que la fréquence est inchangée.

[GHz]	z_1 / p_1	z_2 / p_2	z_3 / p_3	z_4 / p_4
Phase ②	$\{18 / 1\}^1$	38 / 28.7	54.0 / 53.9	1412 / 471.4
<i>BB_{bot}</i>	$\{69.7 / 4.37\}^1$	38.14 / 28.8	54.0 / 53.9	1412 / 471.5
<i>BB_{top}</i>	$\{18 / 1\}^1$	38 / 28.7	54.1 / 54.0	1516 / 505.6
Phase ③	$\{18 / 1\}^1$	0.0141 / 0.0043	38 / 34.5	146.2 / 118.3
<i>BB_{bot}</i>	$\{69.7 / 4.37\}^1$	0.0141 / 0.0043	38.1 / 34.6	146.2 / 118.3
<i>BB_{top}</i>	$\{18 / 1\}^1$	0.186 / 0.057	38 / 34.5	146.3 / 118.4

TABLE 5.1: Valeur des zéros et des pôles dans les phases ② et ③ après l'usage de la compensation BB_{top} ou BB_{bot} avec une tension de compensation $V_{cor} = 1.1V$

Afin d'illustrer graphiquement ce tableau, le module et la phase des 6 fonctions de transfert sont tracés à la figure 5.10 pour les phases ② et ③ lorsque les compensations $BB_{top/bot}$ sont utilisées avec une tension de correction maximale (1.1V) et nulle.

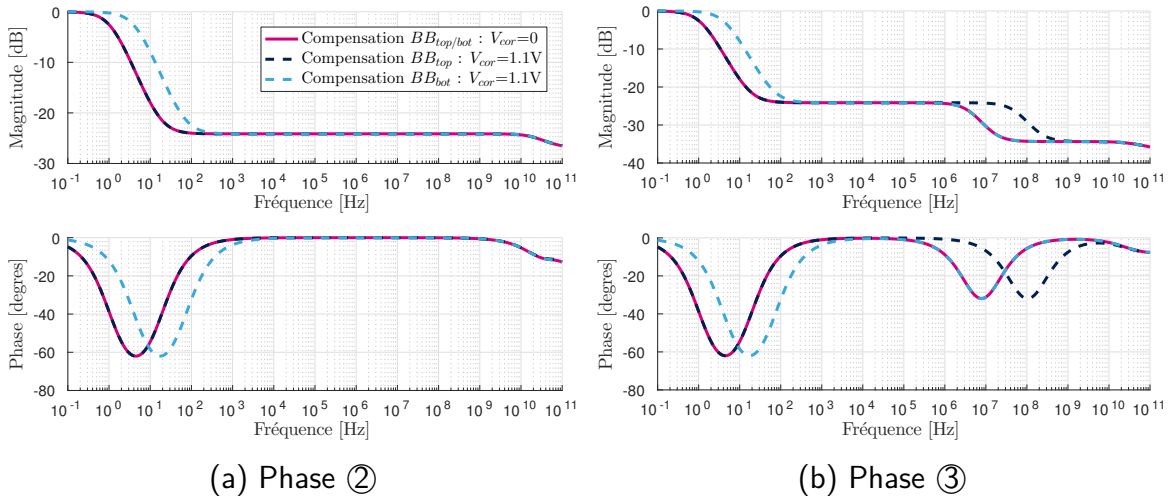


FIGURE 5.10 – Fonction de transfert du T/H dans les phases (a) ② et (b) ③ lorsque les compensations $BB_{top/bot}$ utilisent une tension de compensation d'amplitude maximale

1. Exprimé en Hz

comme il est impossible de garantir que tous les pôles et zéros p_1 et z_1 de chaque T/H soient parfaitement alignés en fréquence,

D'après la figure 5.10 et le tableau 5.1, la compensation BB_{top} ne change pas la fonction de transfert du T/H durant la phase ② contrairement à la compensation BB_{bot} qui décale z_1 et p_1 . De ce fait, le désappariement de bande-passante existant durant cette phase se retrouve dégradé. Durant la phase ③, la compensation BB_{bot} modifie la fréquence de p_3 et z_3 . Cependant comme cette modification est tellement faible cela n'impacte pas la fonction de transfert sur la plage de fréquence [1KHz ;2GHz] et par conséquent aucun désappariement n'est dégradé. En revanche, ce n'est pas le cas pour la compensation BB_{top} qui modifie les fréquences de p_2 et z_2 amplifiant donc le désappariement de bande passante qui apparaît sur la plage de fréquence [1MHz ;2GHz].

Pour conclure cette partie, le tableau 5.2 synthétise étape par étape les conséquences des compensations BB_{top} et BB_{bot} . La première ligne du tableau représente les désappariements existants (noir) lorsqu'aucune compensation est activée. La deuxième et troisième ligne indiquent les effets lorsque les compensations BB_{top} et BB_{bot} sont activées. Lorsqu'un désappariement est écrit en couleur verte cela signifie qu'il a été compensé par la compensation utilisée et lorsqu'il est écrit en rouge cela signifie qu'il a été soit dégradé lorsqu'il était présent initialement (sans compensation) ou soit créé lorsqu'il ne l'était pas.

	①	① → ②	②	② → ③	③
Sans Compensation	BW	S+O	BW	S+G+O	BW+G
BB_{top}	BW	S+O	BW	S+G+O	BW+G
BB_{bot}	BW(++)	O+S(++)	BW	S+G	BW+G
	BW-Bande passante	O-Offset	G-Gain		S-Skew

TABLE 5.2: Conséquences étape par étape des compensations BB_{top} et BB_{bot} sur le processus d'échantillonnage

Nous allons étudier dans la prochaine section une autre compensation basée également sur l'ajustement d'une tension de polarisation pour compenser l'erreur de bande-passante.

5.2.2 Variation de la tension de Grille-Source

5.2.2.1 Principe

Une autre manière de compenser l'erreur de bande passante est d'ajuster la tension de polarisation V_{gs} afin de moduler la valeur du R_{on} des transistors d'échantillonnage SW_{top} ou SW_{bot} . Comme la modulation de V_{gs} peut se faire via l'ajustement de la tension de grille V_g ou la tension de source V_s , nous allons donc étudier ces deux possibilités de réglage. Les compensations basées sur l'ajustement de V_g seront notées

V_{G-top} ⁴ respectivement V_{G-bot} lorsque celles-ci sont appliquées sur les transistors SW_{top} respectivement SW_{bot} et V_{S-bot} pour la compensation basée sur l’ajustement de V_s du transistor SW_{bot} . La compensation V_{S-top} n’est pas analysée car c’est le nœud de tension où est connecté le signal d’entrée et par conséquent il n’est pas possible de l’ajuster.

Les compensations V_{G-top} et V_{G-bot} peuvent être facilement réalisables en ajustant soit la tension de bootstrap comme le montre la figure 5.11a, soit en modifiant la tension d’alimentation du driver de l’horloge CLK_{bot} comme illustré à la figure 5.11b.

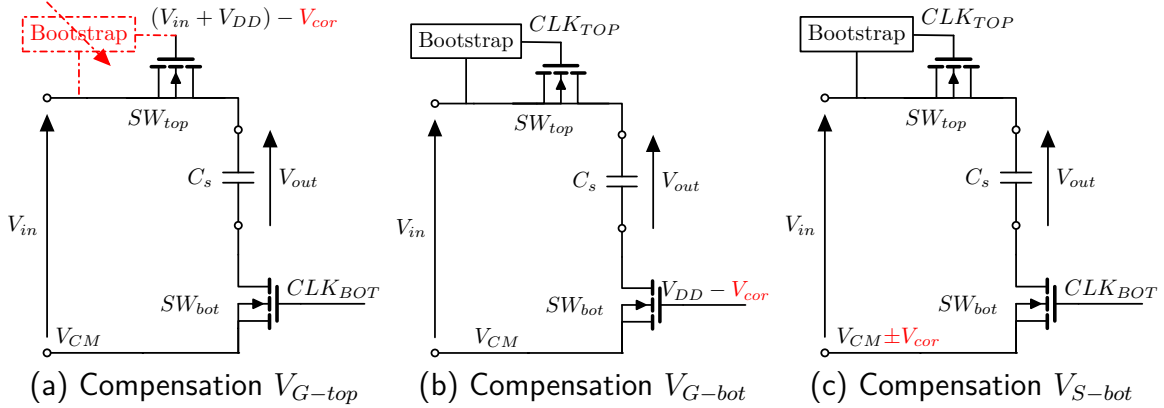


FIGURE 5.11 – Compensation du désappariement de bande-passante en ajustant (a) la tension de grille de SW_{top} et (b) la tension de grille de SW_{bot} et (c) la tension de source de SW_{bot}

Pour ces deux compensations, l’idéal est de diminuer le R_{on} du transistor compensé (en augmentant la tension V_g) afin que le T/H de référence soit toujours celui qui détient la plus grande bande-passante. Comme un circuit de bootstrap est utilisé pour diminuer les non linéarités de T/H, la tension V_{gs} de SW_{top} est toujours proche de la tension d’alimentation V_{DD} qui est ici fixée à 1.1V. De ce fait, l’utilisation de la compensation V_{G-top} implique de toujours diminuer la tension de grille car les transistors d’échantillonnage d’architecture LVT ne peuvent pas supporter une tension de grille supérieure à 1.1V sous peine de claquer l’oxyde de grille.

Pour la compensation V_{G-bot} , nous allons également diminuer la tension de grille de SW_{bot} car nous n’avons pas à disposition une tension supérieure à V_{DD} .

Pour ce qui concerne V_{S-bot} , la modulation de R_{on-bot} se fait en ajustant la tension de mode commun qui est approximativement égale à la moitié de la tension d’alimentation $V_{CM} = 520mV$, comme décrit à la figure 5.11c. Comme la tension V_{gs} de SW_{bot} n’atteint pas 1.1V, cette solution à l’avantage de pouvoir soit d’augmenter la tension de mode commun, soit de la diminuer. Cependant, cette manière de compenser le désappariement de bande passante peut être un inconvénient selon l’architecture du CAN connecté après le T/H. En effet, dans le cas d’un CAN pipeline, comme V_{CM} polarise

4. Nous rappelons que la compensation V_{G-top} a déjà fait ses preuves car elle a été réalisée dans l’article [148] puis brevetée par la suite [162]

les paires différentielles de l'amplificateur du MDAC, une modification trop importante de cette tension entrainera une diminution des performances de gain et de bande passante de l'amplificateur qui se traduiront en une augmentation des non-linéarités.

5.2.2.2 Choix des tailles de transistors

Comme toutes ses techniques ajustent le R_{on} via un paramètre de premier ordre (V_{gs}), nous pouvons nous attendre à ce qu'une faible variation de la tension V_{cor} permette une forte variation de R_{on} . Afin de voir la sensibilité de chaque technique et voir s'il est nécessaire d'adapter le ratio entre SW_{top} et SW_{bot} , la figure 5.12 trace la variation de R_{EQ} selon la tension de compensation V_{cor} pour les 3 compensations lorsque le ratio R_{on-top}/R_{on-bot} est fixé initialement à 50/50.

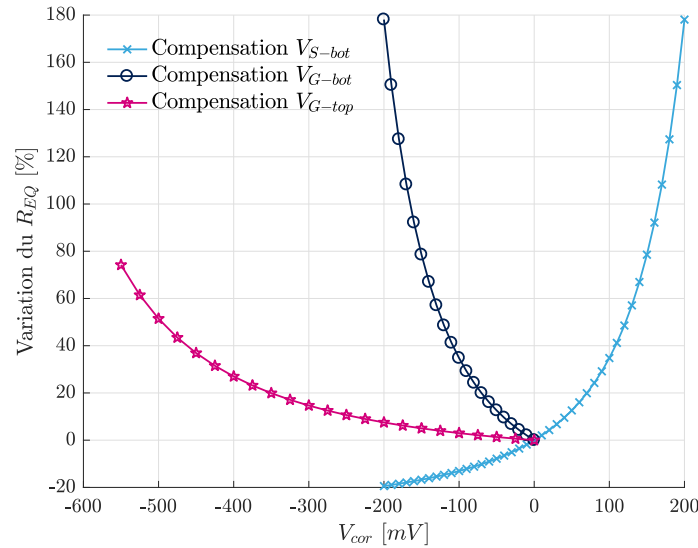


FIGURE 5.12 – Variation de R_{EQ} selon la tension de compensation V_{cor} pour les 3 compensations avec un ratio R_{on-top}/R_{on-bot} de 50/50

Tout d'abord, d'après les courbes bleues, lorsque la tension V_{gs} de SW_{bot} est modulée à la baisse ($V_g < 0$ ou $V_s > 0$), une forte variation monotone mais non linéaire du R_{EQ} en fonction de V_{cor} est observée pour les compensations V_{G-bot} et V_{S-bot} . En effet, si $V_{cor} = 200$ mV, le R_{EQ} varie de +180% par rapport à sa valeur initiale. En revanche, cette sensibilité est fortement diminuée lorsque la tension V_{gs} de SW_{bot} est modulée à la hausse ($V_s < 0$) car pour la même tension V_{cor} appliquée la variation de R_{EQ} est de seulement 20%. Cette grande différence de variation provient du fait que la relation $R_{on-bot} = f(V_{gs})$ est non linéaire. Maintenant si nous observons la sensibilité de la compensation V_{G-top} (courbe rose) lorsque la tension V_{gs} est modulée à la baisse ($V_g < 0$), nous constatons qu'elle est beaucoup plus faible que les compensations précédente à cause du circuit de bootstrap.

Ces premiers résultats permettent de montrer que les compensations basées sur l'ajustement à la hausse ou à la baisse de la tension V_{gs} sont beaucoup plus sensibles

que celles basées sur l’ajustement de la tension de seuil. Certes, cette forte sensibilité à donc l’avantage de peu dégrader les désappariements déjà existants ainsi que la quantité de skew ajoutée mais cela va imposer de fortes contraintes sur le DAC qui génère la tension de compensation V_{cor} . Par conséquent, une compensation précise demandera une résolution élevée du DAC et donc cela augmentera la consommation énergétique et la surface de la compensation de bande passante. Si nous voulons relâcher les contraintes du DAC pour diminuer cette consommation, il convient d’atténuer la sensibilité en réduisant le ratio R_{on-top}/R_{on-bot} mais au dépens d’une augmentation de la quantité de skew ajoutée. Si la quantité de skew ajoutée est trop importante, la consommation de la calibration augmentera car le skew ne pourra plus être estimé et corrigé au premier ordre. Par conséquent, le choix du ratio R_{on-top}/R_{on-bot} n’est pas simple et doit prendre en compte la quantité de skew ajoutée par la compensation de bande-passante, la quantité de bande-passante corrigible, la surface du DAC et la consommation énergétique globale de la calibration complète des erreurs d’appariement.

De ce fait, nous allons dans la suite refaire les mêmes simulations que pour les compensations BB_{bot} et BB_{top} afin de savoir s’il est judicieux de garder le ratio de base 50/50 ou de l’adapter pour chaque compensation. La quantité de skew ajoutée sera estimée mathématiquement en supposant une pente du front d’horloge de CLK_{BOT} de 20ps.

Choix du ratio R_{on-bot}/R_{on-top} pour la compensation V_{G-bot} :

D’après les courbes de la figure 5.13a, la diminution du ratio abaisse bien la sensibilité du R_{EQ} à V_{cor} mais cela vient également diminuer l’atténuation du signal d’entrée dans les phases ② et ③ comme le montrent les figures 5.13c et 5.13b. Afin de privilégier la performance de la compensation tout en gardant des tailles de transistors de l’ordre de la dizaine de micromètre, nous allons choisir le ratio 30/70. De plus, ce ratio permet d’abaisser la sensibilité de la compensation par rapport au ratio 50/50.

Choix du ratio R_{on-top}/R_{on-bot} pour la compensation V_{G-top} :

La figure 5.14c montre que plus le ratio diminue plus le signal est atténué durant la phase ② et ③. De plus, la sensibilité diminue également ce qui diminue l’impact de la quantification de la tension de compensation. Il conviendrait donc de prendre le ratio le plus petit mais comme la taille de SW_{top} explose d’après la figure 5.14b nous allons choisir le ratio 70/30 dans l’optique de maximiser la performance tout en gardant encore une fois des tailles de transistors contenues.

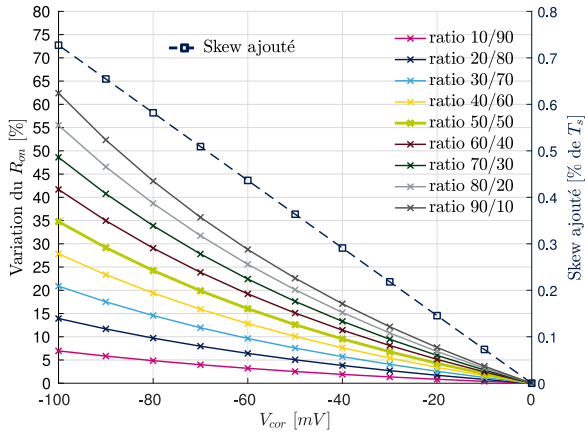
Choix du ratio R_{on-bot}/R_{on-top} pour la compensation V_{S-bot} :

Nous avons vu précédemment que cette compensation avait l’avantage de pouvoir moduler à la baisse R_{on-bot} en diminuant la tension V_s . D’après les courbes de la figure 5.15a et a ratio identique, nous constatons que la modulation à la baisse de V_{gs} diminue fortement la sensibilité de R_{EQ} . En effet, pour le ratio 50/50 R_{EQ} varie de +35 % lorsque $V_s = +100\text{mV}$ et de -13 % lorsque $V_s = -100\text{mV}$. Cette diminution de la sensibilité permet de réduire l’effet de la quantification de la compensation de compensation

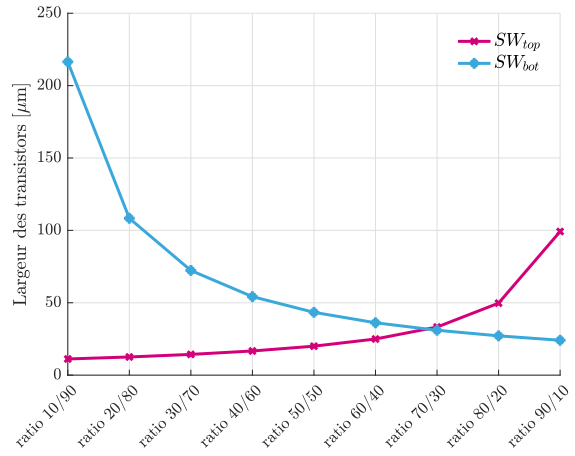
mais pour une même quantité de bande-passante à corriger la valeur de tension V_{cor} augmente. Maintenant, si nous observons l'impact du ratio, nous remarquons que plus le ratio diminue, moins le signal est atténué dans la phase ② et ③.

En conclusion, le sens de variation de V_s va dépendre de la variation tolérée de la tension de mode commun. Si ce seuil de variation est de l'ordre de la centaine de millivolts, il est alors préférable de diminuer V_{gs} . Dans le cas contraire, il faut privilégier l'augmentation de V_{gs} et donc cela revient à effectuer la même technique que V_{G-bot} . Ici, comme nous voulons évaluer la performance de plusieurs solutions, nous allons choisir d'abaisser la tension V_s . Afin de privilégier la performance de la compensation de bande-passante par rapport à la dégradation des autres erreurs, nous allons choisir le plus petit ratio qui permet d'avoir des tailles de transistors de l'ordre de la dizaine de micromètre. Par conséquent, le ratio **30/70** semble être le plus adapté.

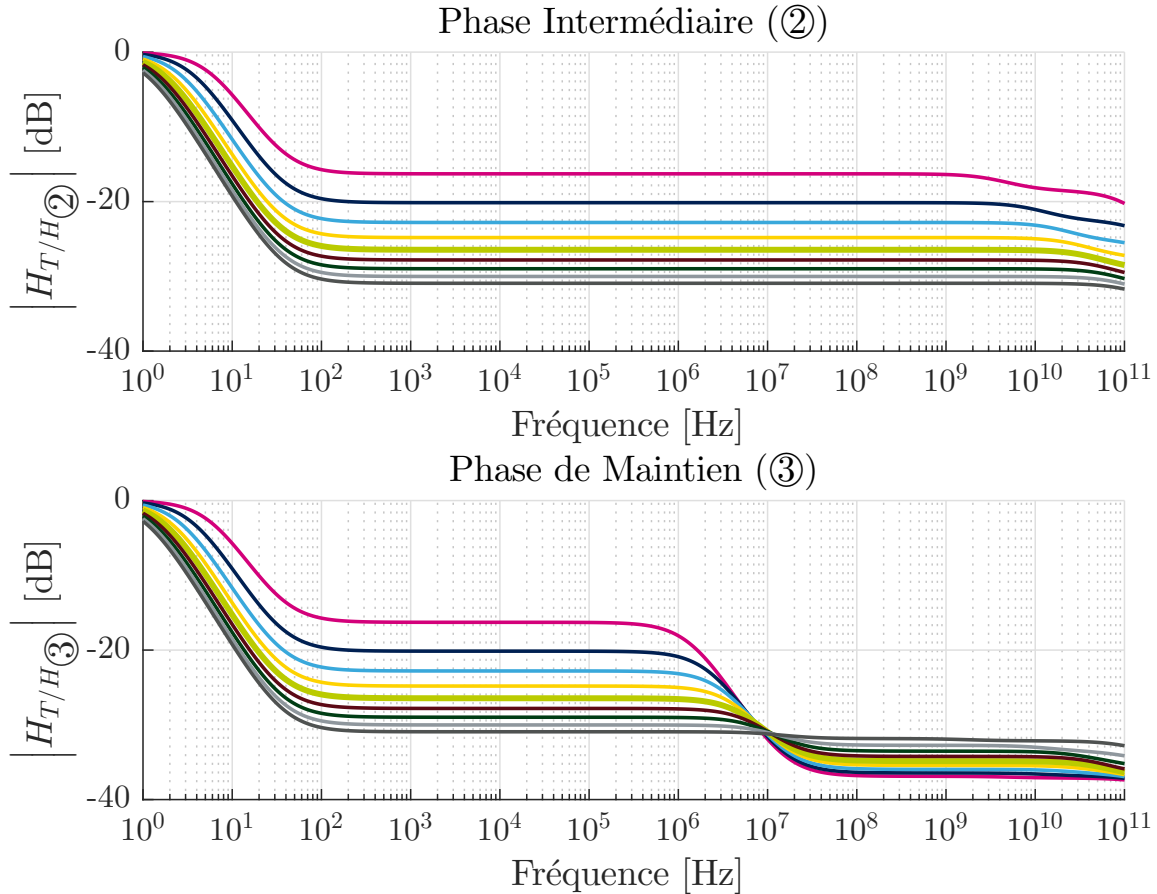
Maintenant que pour chacune des compensations proposées un ratio a été déterminé, il convient d'étudier les conséquences de la modulation de la tension V_{gs} sur le processus d'échantillonnage.



(a) Variation de R_{EQ} selon le ratio R_{on-bot}/R_{on-top} et V_{cor}

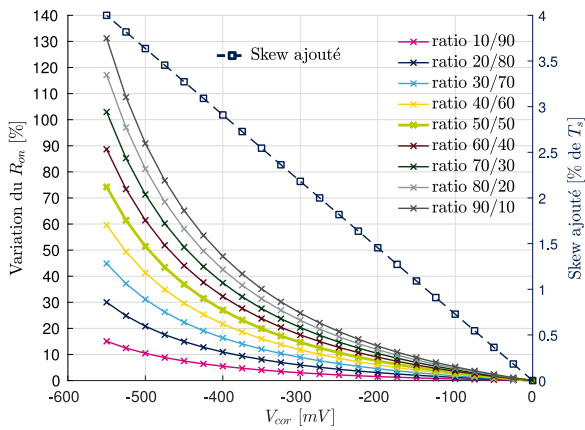


(b) Taille de SW_{top} et SW_{bot} selon le ratio

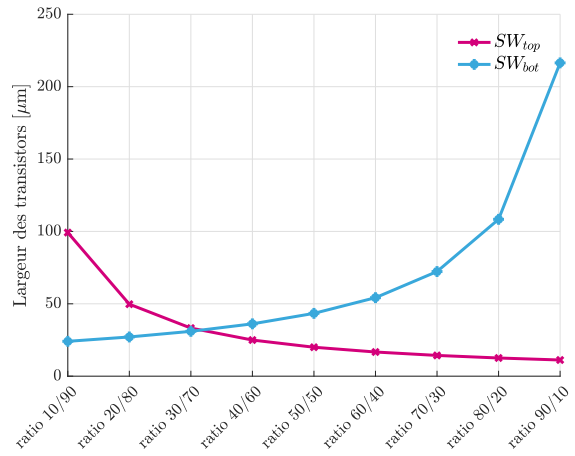


(c) Fonction de transfert du T/H durant les phases ② et ③

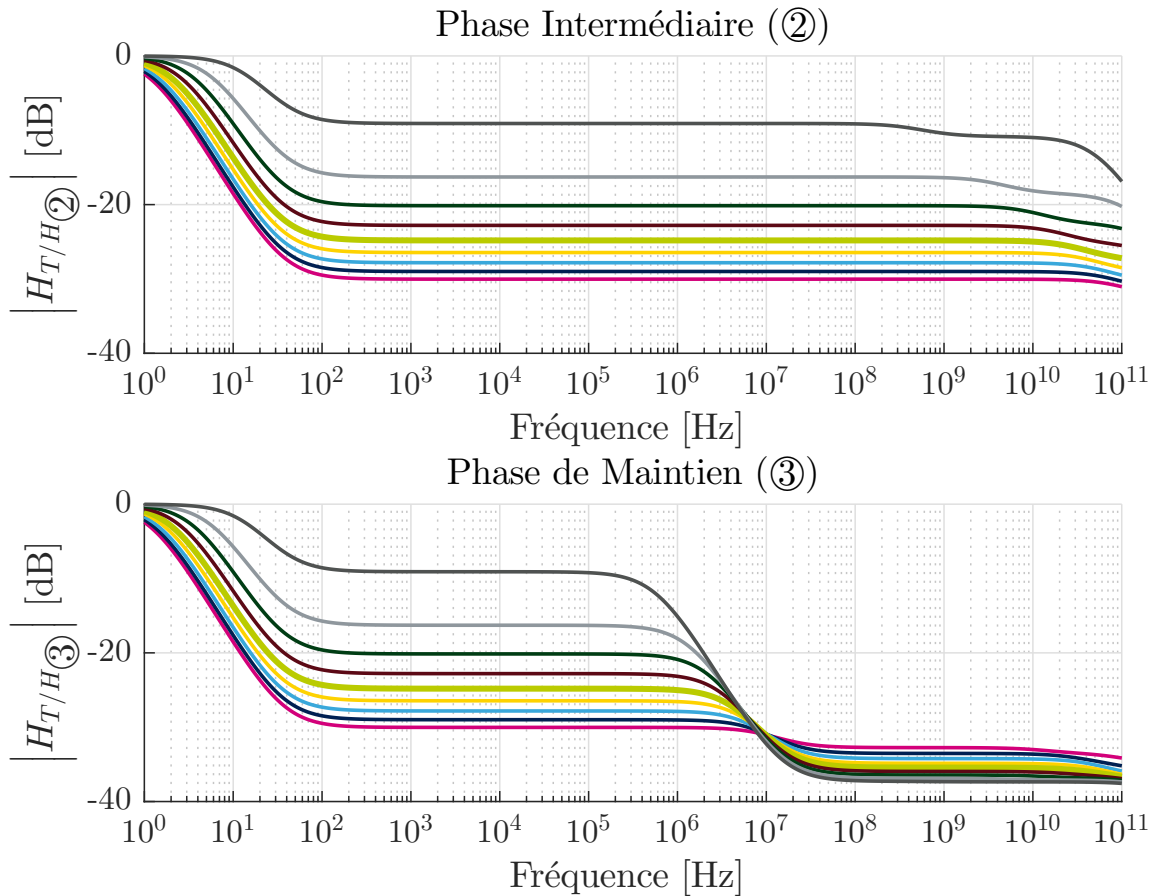
FIGURE 5.13 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante V_{G-bot}



(a) Variation de R_{EQ} selon le ratio R_{on-bot}/R_{on-top} et V_{cor}



(b) Taille de SW_{top} et SW_{bot} selon le ratio



(c) Fonction de transfert du T/H durant les phases ② et ③

FIGURE 5.14 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante V_{G-top}

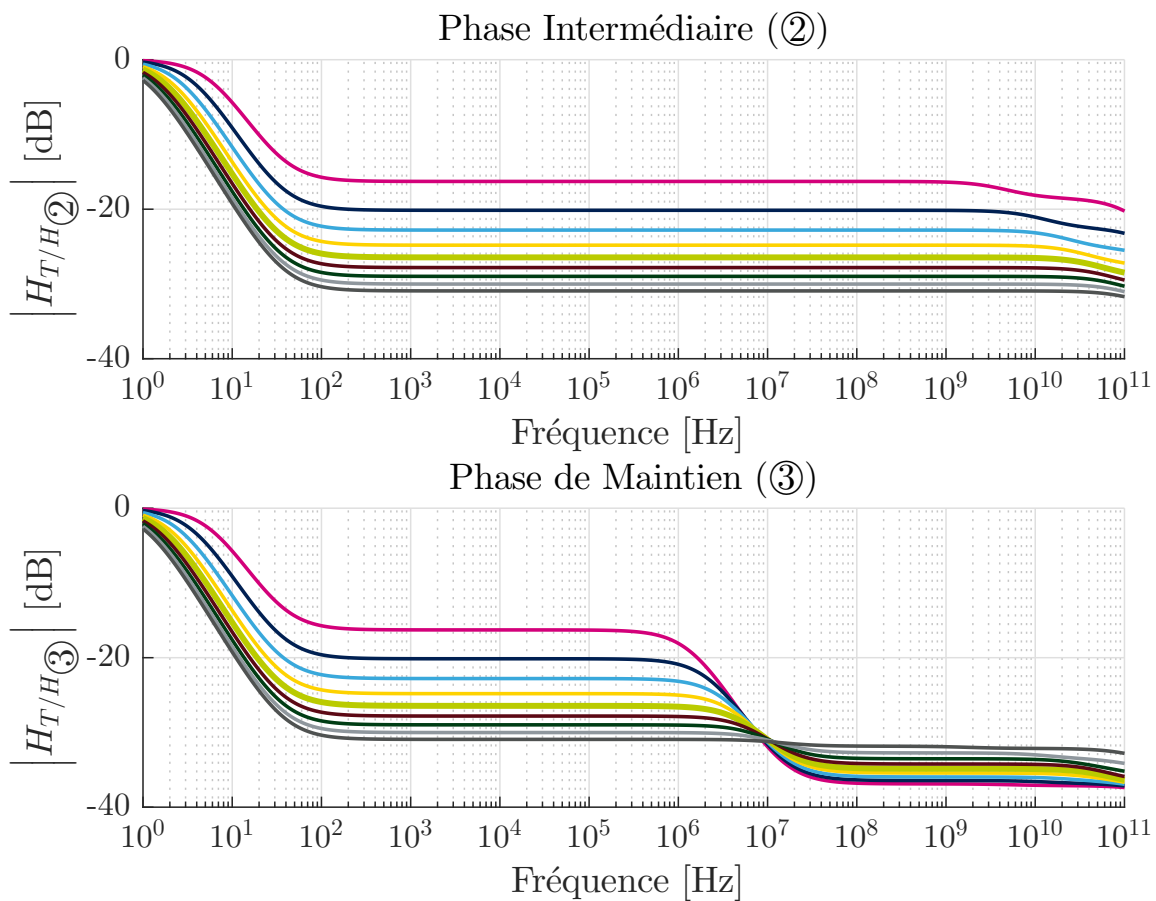
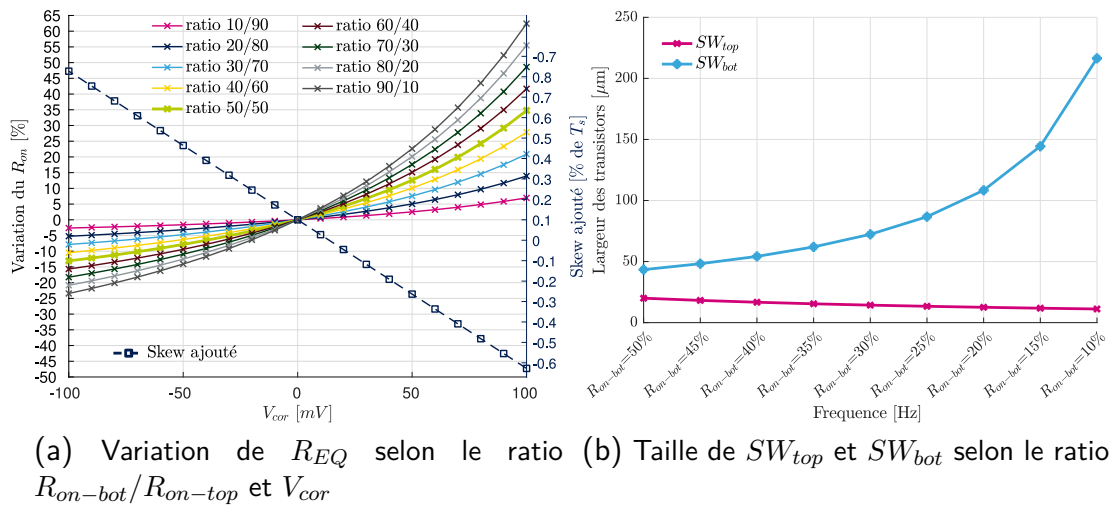


FIGURE 5.15 – Résultats des simulations DC afin de choisir le ratio le plus adapté à la compensation de bande passante V_{S-bot}

5.2.2.3 Conséquences sur le processus d'échantillonnage

Contrairement aux compensations basées sur l'ajustement du V_{th} où la tension V_{cor} modifie la valeur des éléments parasites du transistor durant tout le processus d'échantillonnage, ici la compensation V_{G-bot} influence uniquement la phase de suivi. Effectivement, comme elle agit sur la tension de grille de SW_{bot} , la compensation n'a plus d'effet une fois que le transistor est bloqué. De ce fait, cette compensation ne dégrade pas les désappariements de gain et de bande passante qui apparaissent dans les phases ② et la phase ③. En revanche, elle ajoute une quantité de skew qui dépend de la valeur de V_{cor} qui est appliquée.

Pour ce qui concerne la compensation V_{G-top} , seule la phase ② du processus d'échantillonnage est impactée par la modulation de V_{gs} car durant cette phase SW_{top} est encore passant. Enfin, comme la compensation V_{S-bot} décale la tension basse de l'horloge CLK_{BOT} , elle va modifier la valeur des éléments parasites de SW_{bot} durant la phase ② et la phase ③.

Des simulations DC sont exécutées afin de quantifier la variation des paramètres parasites du transistor SW_{top} lorsqu'il est passant et du transistor SW_{bot} lorsqu'il est bloqué en fonction de la tension de compensation V_{cor} et de la compensation appliquée. Les résultats sont affichés sur la figure 5.16 où V_{cor} varie de 0 jusqu'à la tension permettant de compenser le pire cas de désappariement de bande passante soit 13.86%⁵.

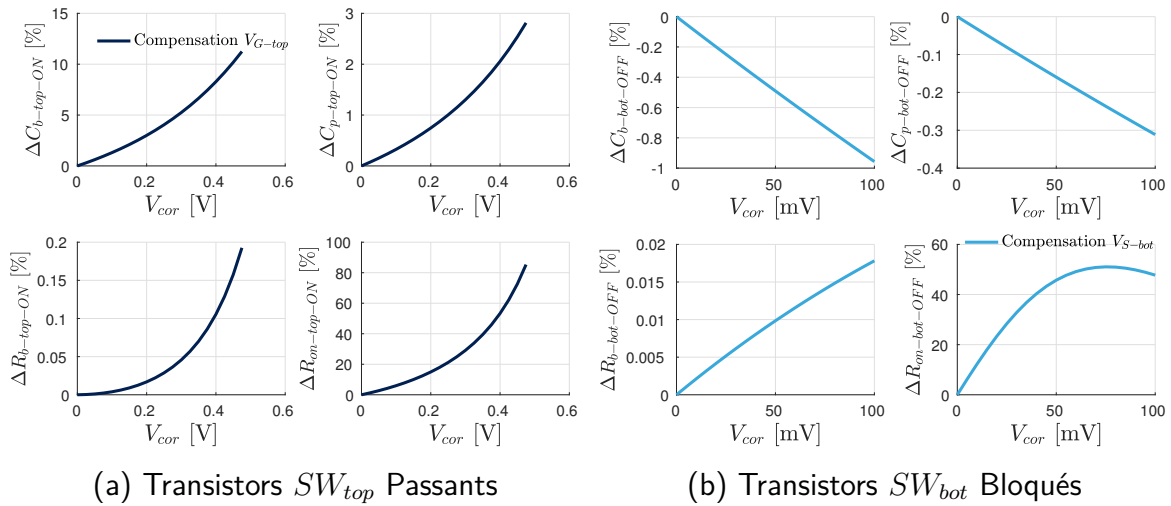


FIGURE 5.16 – Variation des paramètres du modèle passif des transistors d'échantillonnage SW_{top} et SW_{bot} selon la valeur de la tension de compensation appliquée V_{cor} et leur zone de fonctionnement (a) ohmique, (b) bloqué

D'après ces courbes, les paramètres de SW_{top} varient peu hormis la capacité de BOX (C_{b-top}) qui augmente de 12% lorsque la tension maximale de compensation est

5. Les différentes valeurs de V_{cor} sont trouvées d'après les figures 5.13a, 5.14a et 5.15a

appliquée. Pour ce qui concerne V_{S-bot} , seule la résistance à l'état bloquée $R_{on-bot-OFF}$ varie significativement (+50%). A cause de la modification plus ou moins importante de certains paramètres, les fréquences des pôles et zéros de la fonction de transfert du T/H dans les phases ② et ③ vont être modifiées. Basé sur les résultats de la figure 5.16, les fréquences des pôles et des zéros sont calculées via MATLAB pour les phases ② et ③ lorsque V_{cor} égale 0, 100 mV ou 475 mV afin de compenser les pire cas de désappariement de bande passante. Les résultats sont résumés dans le tableau 5.3 où les valeurs en rouge décrivent un changement de fréquence causé par la variation des paramètres. Les valeurs en noir indiquent que la fréquence est inchangée.

			[Hz]	[GHz]		
			z_1/p_1	z_2/p_2	z_3/p_3	z_4/p_4
Phase ②	V_{G-top}	$V_{cor} = 0$	35.7/1.14	9.622/9.621	135.8/102.3	1442/1028
		$V_{cor} = 475$ mV	35.7/1.14	9.622/9.621	135.8/ 101.2	803.3/537.7
	V_{S-bot}	$V_{cor} = 0$	27.28/1.77	36.2/27.3	71.6/71.3	1451/419.5
		$V_{cor} = 100$ mV	18.96/1.20	36.5/27.56	71.6/71.3	1451/ 420.4
Phase ③	V_{G-top}	$V_{cor} = 0$	35.7/1.14	0.015/0.010	24.75/22.18	135.8/114.6
		$V_{cor} = 475$ mV	35.7/1.14	0.015/0.010	24.75/22.18	135.8/114.6
	V_{S-bot}	$V_{cor} = 0$	27.88/1.77	0.0149/0.0038	36.22/33.45	187.8/152.8
		$V_{cor} = 100$ mV	18.96/1.20	0.0149/0.0038	36.5/33.72	187.8/ 152.9

TABLE 5.3: Valeur des zéros et des pôles dans les phases ② et ③ après l'usage de la compensation V_{G-top} ou V_{S-bot}

Pour illustrer ce tableau, la figure 5.17 trace la différence de module de la fonction de transfert du T/H ($H_{T/H}$) lorsque les compensations V_{G-top} et V_{S-bot} sont activées ou pas.

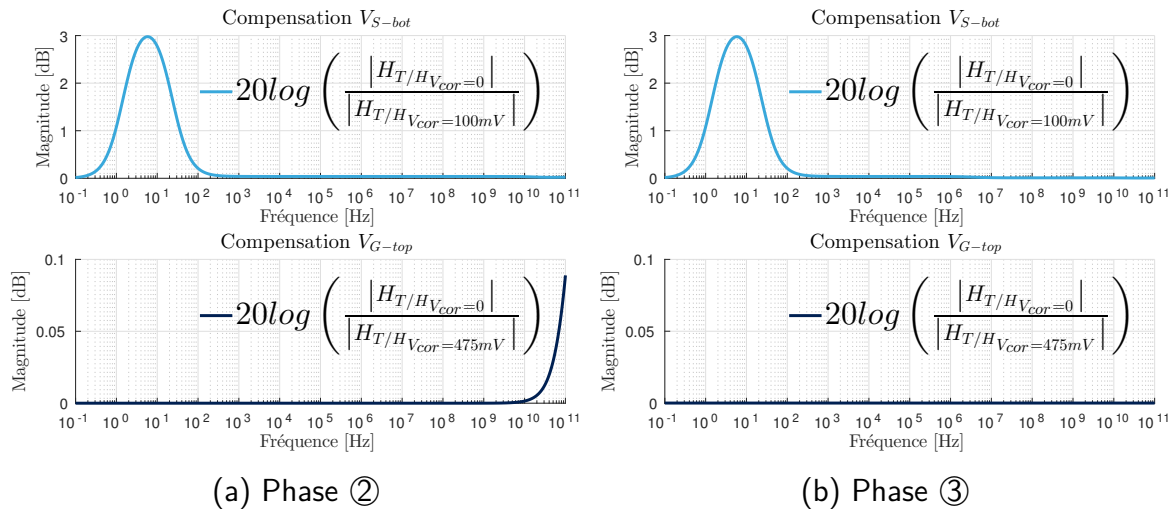


FIGURE 5.17 – $H_{T/H}$ dans les phases (a) ② et (b) ③ lorsque les compensations V_{G-top} et V_{S-bot} utilisent une tension de compensation d'amplitude maximale

D'après le tableau 5.3, lorsque la compensation V_{S-bot} est activée les pôles et les zéros basse fréquence (p_1/z_1) et (p_2/z_2) évoluent ce qui se traduit par une différence de module qui peut atteindre +3dB sur la plage de fréquence [0;100Hz] d'après 5.17a. Cette dégradation basse fréquence est maintenue durant la phase ③ et une très légère modification de la fréquence du pôle et zéro (p_3/z_3) vient changer la fonction de transfert à haute fréquence. Cependant, si nous grossissons sur la plage de fréquence de (p_3/z_3) nous observons une différence de module négligeable qui atteint au maximum 0.05dB. En conclusion, la compensation V_{S-bot} vient dégrader le désappariement de bande passante qui apparait dans la phase ② et ② uniquement sur la plage de fréquence [0;100Hz].

Pour ce qui concerne V_{G-top} , seules les hautes fréquences ($f_{in} > 10G$) de la phase ② sont impactées par la modulation de V_{gs} d'après 5.17b. Cependant, comme la fréquence du signal d'entrée est limité à 2GHz, cette compensation ne vient pas amplifier les désappariements de gain et de bande qui apparaissent dans ses deux phases.

Pour conclure cette partie, le tableau 5.4 synthétise étape par étape la dégradation ou la création d'erreurs d'appariements provoquées par les compensations V_{G-top} , V_{G-bot} et V_{S-bot} . Ce tableau s'interprète de la même manière que les tableaux précédents (cf tableau 5.1).

	①	① → ②	②	② → ③	③
Sans Compensation	BW	S+O	BW	S+G+O	BW+G
V_{G-top}	BW	S+O	BW	S+G+O	BW+G
V_{G-bot}	BW(++)	O+S(++)	BW	S+G+O	BW+G
V_{S-bot}	BW(++)	O+S(++)	BW	S+G+O	BW+G
BW-Bande passante		O-Offset	G-Gain		S-Skew

TABLE 5.4: Conséquences étape par étape des compensations V_{G-top} , V_{G-bot} et V_{S-bot} sur le processus d'échantillonnage

D'après ce tableau récapitulatif, la compensation V_{G-top} semble être la plus intéressante car contrairement aux deux autres elle ajoute du skew uniquement durant la transition ② → ③ là où le signal est atténué de plus de 25 dB. En contrepartie, elle compense très peu de bande passante car sa plage de variation est limitée par le circuit de bootstrap. Enfin, nous pouvons dire que les compensations V_{S-bot} et V_{G-bot} sont équivalentes puisque le désappariement de bande passante dégradé par la compensation V_{S-bot} se situe à très basse fréquence or, à ces fréquences, ce désappariement n'a aucun effet sur les performances du CAN-ET.

5.3 Compensation par modulation de la largeur W

5.3.1 Principe

Ici l'ajustement du R_{on} n'est plus réalisé en modulant les tensions de polarisation de SW_{top} ou SW_{bot} mais en modulant leur largeur via des transistors additionnels de différentes tailles placés en parallèle de SW_{bot} comme le montre la figure 5.18.

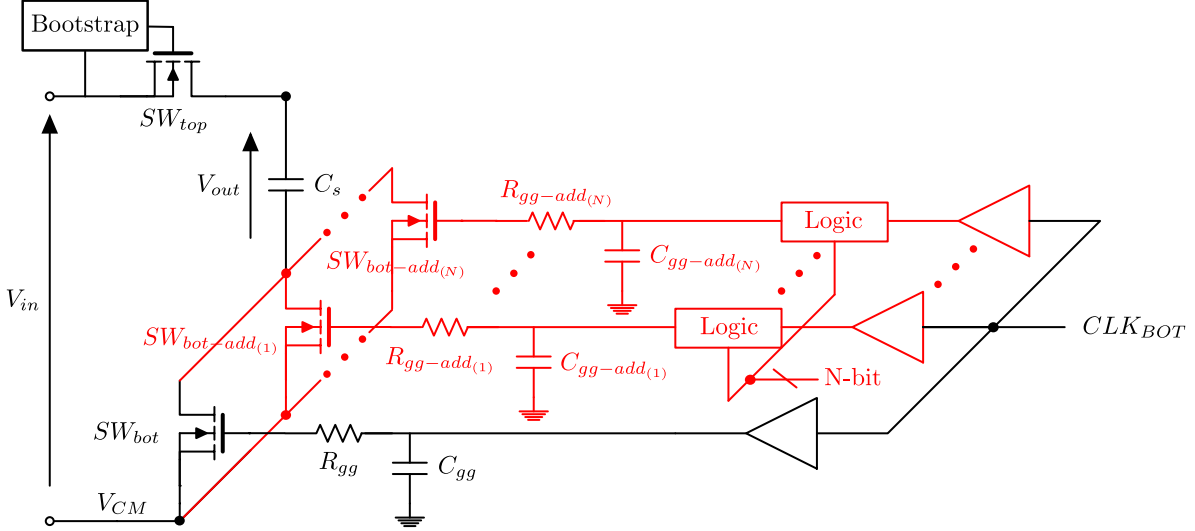


FIGURE 5.18 – Schéma de la compensation ΔW avec N transistors additionnels

La granularité minimale de cette compensation est imposée par la largeur minimale W_{min} d'un transistor qui est fixée à 80 nm d'après les règles de conception de la technologie 28nm FD-SOI. De ce fait, la largeur du plus petit transistor additionnel $W_{add(1)}$ est un multiple m de W_{min} . Ainsi, la largeur des autres transistors additionnels est définie comme un multiple de $W_{add(1)}$ comme cela est illustré dans la figure 5.19.

L'avantage de moduler la largeur au lieu de la tension est qu'ici il n'y a pas besoin de concevoir un DAC pour générer le réglage de compensation. En effet, il suffit d'activer ou pas les transistors additionnels en générant seulement deux niveaux de tension (V_{dd} ou 0) à l'aide d'une simple logique numérique.

Durant la phase de suivi des T/Hs (phase ①), l'impédance des transistors d'échantillonnage est principalement fixée par leur résistance R_{on} comme nous l'avons montré précédemment dans le chapitre 3. Par conséquent durant cette phase, les pôles et les zéros de T/H_{cal} sont ajustés en modulant la valeur de la résistance équivalente R_{EQ} qui est définie dans l'équation (5.6) avec les paramètres $R_{on-bot(N,(N-1),...,1)}$ qui représentent la résistance des transistors additionnels activés.

$$R_{EQ} = \frac{R_{on-bot} \times \prod_{k=1}^N R_{on-bot_k}}{R_{on-bot} + \sum_{k=1}^N R_{on-bot_k}} \quad (5.6)$$

La compensation par parallélisation des transistors permet donc de corriger le désappariement de bande passante dans la phase de suivi. Comme cette compensation ne peut que diminuer le paramètre R_{EQ} , elle a l'avantage d'augmenter la bande passante des

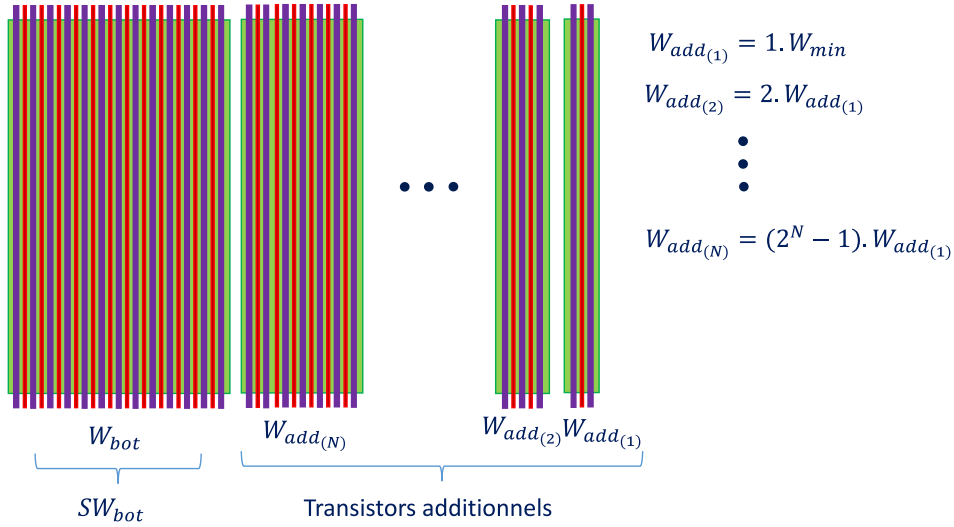


FIGURE 5.19 – Largeur des transistors additionnels en fonction de W_{min}

T/Hs en calibration car le **T/H** de référence sera toujours celui qui détient la plus grande bande passante (R_{EQ} le plus petit). Cependant nous allons voir par la suite que cette compensation va accentuer les autres désappariements qui apparaissent durant le processus d'échantillonnage.

5.3.2 Conséquences sur le processus d'échantillonnage

Pour comprendre la dégradation potentielle des désappariements apparaissant durant le processus d'échantillonnage due à l'utilisation de la calibration ΔW , nous allons étudier l'évolution du signal d'entrée à travers la tension de la capacité C_s . Pour cela, deux **T/Hs** ayant chacun trois transistors d'échantillonnage ($SW_{bot-(cal/ref)-add(1)}$, $SW_{bot-(cal/ref)-add(2)}$ et $SW_{bot-(cal/ref)-add(3)}$) échantillonnent le même signal d'entrée de forme sinusoïdal comme le montre la figure 5.20.

Parmi les deux **T/Hs**, l'un est considéré comme la référence (T/H_{ref}) et l'autre le dispositif en calibration (T/H_{cal}). Le code du **DAC** de T/H_{cal} est fixé à "000" tandis que celui de T/H_{ref} est fixé à "111" afin de maximiser les écarts.

Durant la phase de suivi (phase ①) le désappariement de bande passante est compensé et aucun autre désappariement n'est créé ou dégradé.

Au moment de la transition ① \rightarrow ② (front descendant de CLK_{BOT}), le désappariement de taille entre le transistor principal de T/H_{ref} et celui de T/H_{cal} crée un désappariement de l'instant d'échantillonnage. Pour savoir si l'ajout des transistors additionnels va dégrader ou non ce désappariement, la capacité de grille $C_{gg} = C_{gs} + C_{gb} + C_{gd}$ est extrait à partir d'une simulation DC pour chaque transistor composant T/H_{ref} et T/H_{cal} . Les résultats de la simulation sont affichés à la figure 5.21.

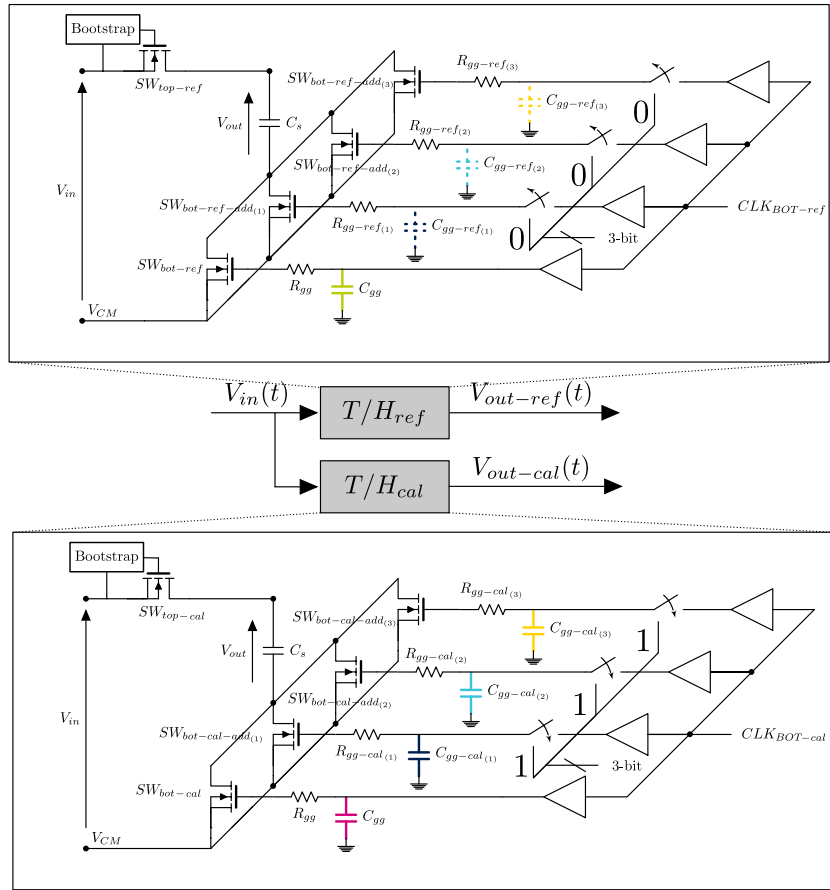


FIGURE 5.20 – Schéma de la compensation ΔW avec trois transistors additionnels

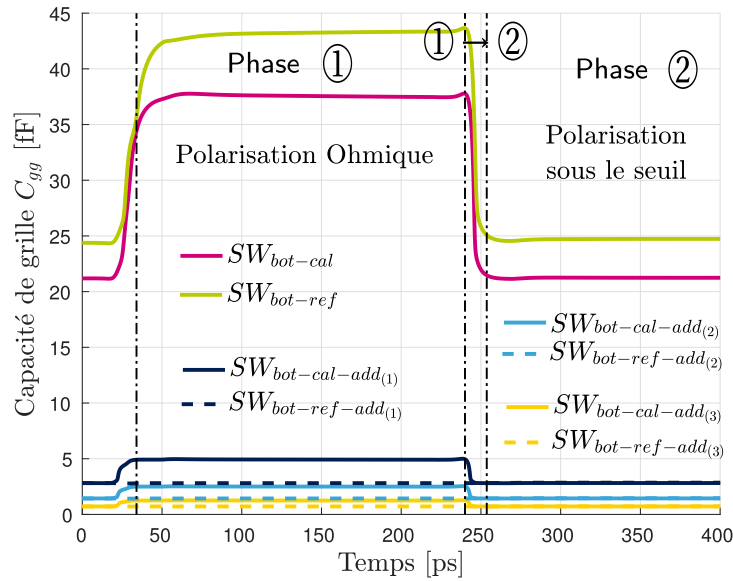


FIGURE 5.21 – Capacité de grille C_{gg} des transistors principaux et additionnels en fonction du temps

D'après la figure 5.21, nous constatons que la valeur de C_{gg} dépend de la taille du transistor ainsi que de sa polarisation (passant ou bloqué). Par conséquent, selon le code de compensation imposé par le DAC de T/H_{cal} , le signal d'horloge CLK_{bot} va être déphasé différemment selon la grille du transistor qu'il attaque. En effet, chaque constante de temps RC composée de R_{gg} (résistance de grille) et de C_{gg} diffère d'un transistor additionnel à un autre mais également entre les deux T/Hs.

Pour mettre en évidence ces différents déphasages durant le processus d'échantillonnage, l'évolution de la tension de grille (V_g) pour chaque transistor de T/H_{cal} et T/H_{ref} activés est représentée à la figure 5.22.

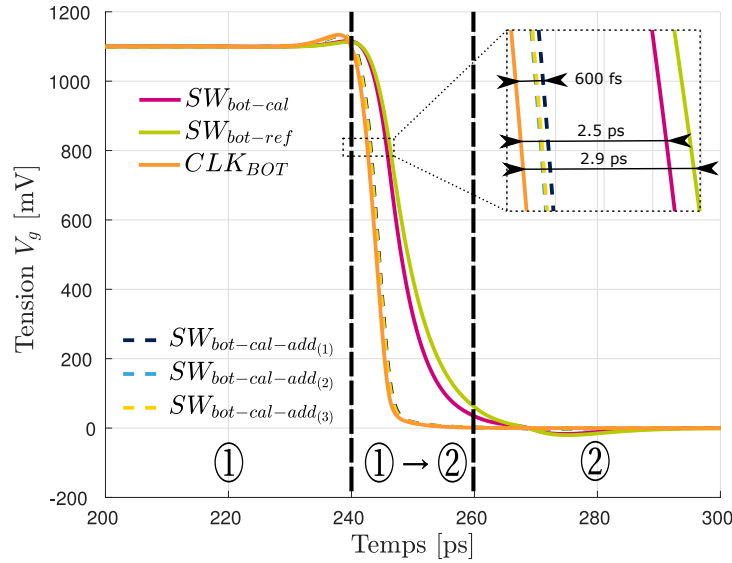


FIGURE 5.22 – Conséquences temporelles des différentes C_{gg} sur la tension V_g des transistors additionnels et principaux

La courbe en orange est la tension de grille sortant du driver d'horloge (avant de passer dans le filtre RC). Les courbes en pointillées représentent la tension de grille V_g des transistors additionnels de T/H_{cal} et les courbes en trait plein roses et vertes sont respectivement la tension de grille des transistors principaux $SW_{bot-cal}$ et $SW_{bot-ref}$.

En supposant une tension de seuil commune à tous les transistors additionnels d'une valeur de 350 mV, le signal d'horloge $CLK_{BOT-cal}$ met au maximum environ 600 fs pour atteindre la grille de $SW_{bot-cal-add(1)}$ tandis qu'il met environ 2.5ps et 2.9ps pour atteindre respectivement les grilles de $SW_{bot-cal}$ et $SW_{bot-ref}$. Cette large différence de temps d'ouverture s'explique par le fait que la largeur des transistors additionnels est bien inférieure à celle des transistors principaux et donc que la taille de leur capacité de grille C_{gg} est plus petite.

En conclusion, malgré un déphasage différent des signaux d'horloge de chaque transistor additionnel, l'instant échantillonnage est majoritairement fixé par le transistor le plus large soit par le transistor principal SW_{bot} . Par conséquent, le désappariement de

l'instant d'échantillonnage apparaissant durant la transition ① → ② n'est pas dégradé par l'ajout des transistors additionnels car il est fixé par le désappariement de taille et de tension de seuil entre $SW_{bot-cal}$ et $SW_{bot-ref}$.

Après avoir passé la transition ① → ②, tous les transistors du bas de T/H_{ref} et de T/H_{cal} sont désormais bloqués (phase Intermédiaire 1).

Nous avons vu dans le chapitre 3 que les capacités parasites (C_p) de SW_{bot} créent un chemin entre l'armature basse de C_s et la masse ce qui a pour conséquence de continuer à suivre une faible amplitude du signal d'entrée dans la capacité C_s car celui-ci est atténué par le diviseur capacitif composé de C_s et C_p . Nous avons également montré qu'un désappariement de C_s et/ou de C_p provoque un désappariement de bande-passante entre les T/H_s . Ici ce diviseur capacitif ne dépend plus uniquement de C_p mais de la somme des capacités parasites de drain de chaque transistor additionnel ($C_{p-bot(N,(N-1),\dots,1)}$) comme cela est définie à l'équation (5.7). De ce fait, un désappariement entre les capacités parasites $C_{p-bot(N,(N-1),\dots,1)}$ de T/H_{cal} et T/H_{ref} va dégrader le désappariement de bande passante déjà existant. De plus, comme l'atténuation du diviseur capacitif est moins forte en présence de plusieurs transistors additionnels, le désappariement de l'instant d'échantillonnage dû à l'ouverture de SW_{top} au moment de la transition ② → ③ va être légèrement plus fort.

$$C_{EQ} = C_{p-bot} + C_{p-bot(N)} + C_{p-bot(N-1)} + \dots + C_{p-bot(1)} \quad (5.7)$$

Enfin durant la phase de maintien (phase ③), malgré que SW_{top} soit ouvert le signal d'entrée continue d'évoluer à travers C_s à cause de la capacité C_{ds} de SW_{top} . Par conséquent, le désappariement d'impédance entre tous les transistors du bas de T/H_{cal} et ceux de T/H_{ref} de la phase ② va amplifier le désappariement de bande-passante existant dans la phase ③.

Pour conclure cette partie, le tableau 5.5 synthétise étape par étape la dégradation ou la création des erreurs d'appariement provoquée par la compensation ΔW . La légende du tableau est la même que celle utilisée pour le tableau 5.2.

	①	① → ②	②	② → ③	③
Sans Compensation	BW	S+O	BW	S+G+O	BW+G
ΔW	BW	S+O	BW	S+G+O	BW+G
	BW-Bande passante	O-Offset	G-Gain		S-Skew

TABLE 5.5: Conséquences étape par étape de la compensation ΔW sur le processus d'échantillonnage

La compensation par modulation de la taille des transistors compense donc le désappariement de bande-passante dans la phase de suivi en activant certains transistors de calibration placés en parallèle du transistor principal SW_{bot} . Les avantages de cette technique sont qu'il n'y a pas besoin d'avoir un DAC pour imposer le réglage et qu'elle ne dégrade pas le désappariement de l'instant échantillonnage qui se produit systématiquement durant la transition ① → ②. Malheureusement, cette compensation dégrade

les désappariement de gain, de bande passante et de skew apparaissent respectivement dans la phase ②, ③ et la transition ② → ③. Cependant comme le signal d'entrée est fortement atténué durant ses trois phases, les conséquences sur les performances du CAN-ET vont être minimales. Enfin, la granularité de ΔW va être limitée par la taille minimale imposée par la technologie 28nm FD-SOI.

5.4 Méthodologie de comparaison des différentes compensations

La performance d'une technique de compensation dépend aussi bien de la précision de l'estimation que celle de la correction. Dans cette partie, nous voulons valider les différentes compensations de bande-passante proposées précédemment afin de sélectionner la meilleure pour pouvoir l'utiliser par la suite dans une calibration implémentable. Par conséquent, un estimateur purement théorique implémenté dans le domaine continu est suffisant pour trouver le réglage de compensation optimal à appliquer pour compenser le désappariement de bande-passante des T/Hs entrelacés. De plus, contrairement aux estimateurs implémentés dans le domaine numérique qui demandent un grand nombre d'échantillons pour converger vers la solution, l'estimateur implémenté permet de gagner énormément de temps de simulation.

Une fois la valeur du réglage optimal de compensation trouvée, un moyen simple de comparer les différentes techniques de compensation est de regarder sur le spectre de sortie du signal reconstitué des T/Hs entrelacés, le niveau des raies de distorsion dû à l'erreur de bande-passante AVANT et APRÈS compensation.

Comme ces raies de distorsion interviennent aux mêmes fréquences que celles dues aux erreurs de gain et de skew, nous devons donc corriger ces deux derniers défauts parfaitement. Une solution plus simple consiste à isoler uniquement l'erreur de bande-passante en exécutant une FFT dans la phase de suivi des T/Hs entrelacés. En effet dans cette phase, l'erreur de skew n'a aucune influence sur la valeur du signal échantillonné car les horloges des commutateurs d'échantillonnage sont bloquées à l'état haut. De plus, le désappariement de gain statique n'intervient pas.

Une vue d'ensemble du banc de test mis en place dans la phase de suivi des T/Hs est représentée à la figure 5.23.

Un premier banc de simulation va permettre de trouver le réglage optimal de l'erreur de bande-passante via l'estimateur analogique théorique. Ensuite ce réglage est quantifié par un bloc de quantification idéal puis injecté dans un autre banc de simulation composé de deux T/Hs entrelacés temporellement. L'exécution de l'analyse fréquentielle sur le signal de sortie reconstitué va permettre de calculer le niveau de la raie de distorsion due à l'erreur de bande-passante selon la quantification du réglage et la technique de compensation utilisée.⁶

6. Pour la compensation ΔW , un autre banc de simulation analogique va être proposé (cf figure 5.28) pour trouver la largeur optimale de compensation

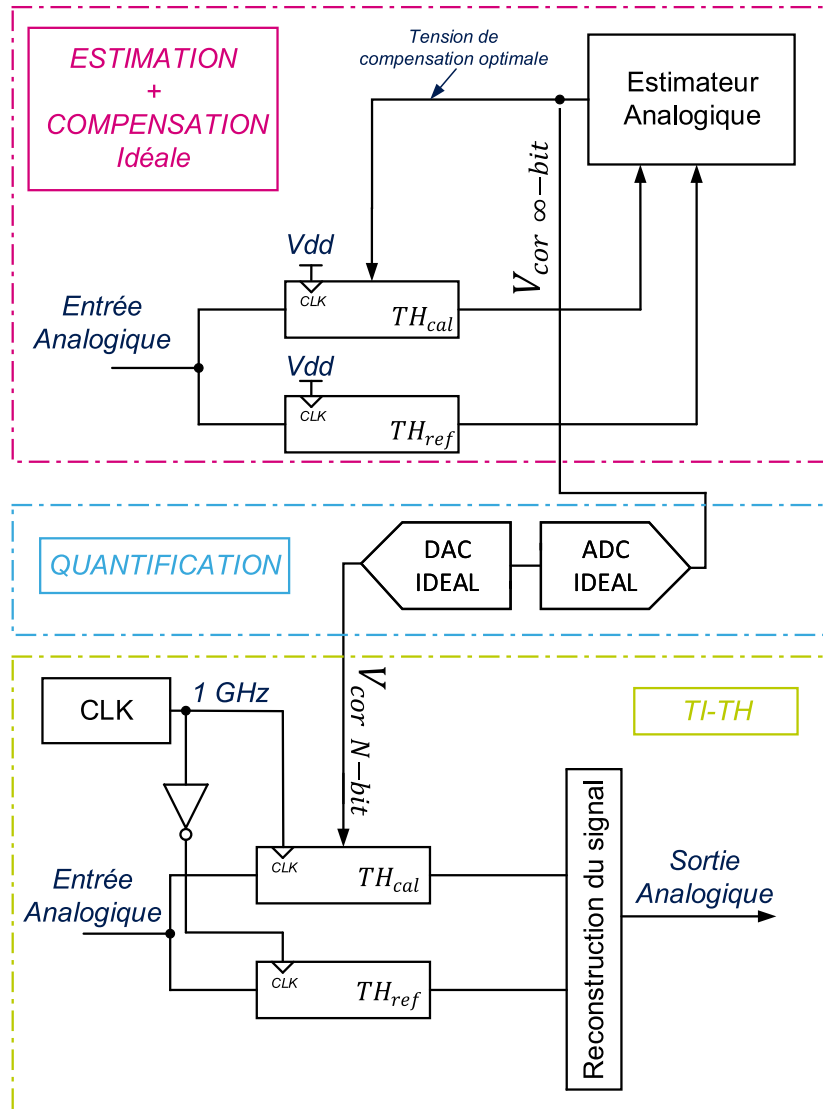


FIGURE 5.23 – Vue d’ensemble de la calibration proposée dans la phase de suivi

5.4.1 Estimation des tensions optimales de compensation

5.4.1.1 Principe

Afin d’estimer l’erreur de bande passante entre deux T/H s entrelacés temporellement, l’un est considéré comme la référence T/H_{ref} et l’autre comme le dispositif à calibrer T/H_{cal} . Les fonctions de transfert associées à T/H_{ref} et T/H_{cal} sont nommées H_{ref} et H_{cal} . Ces deux T/H s partagent le même signal d’entrée comme le montre la figure 5.24 et fonctionnent dans la phase de suivi pour s’affranchir de l’influence du skew. De plus, nous supposons qu’aucun désappariement de gain statique est présent entre les deux T/H s. De ce fait, l’erreur de bande-passante résulte uniquement en un déphasage Δt et une atténuation ΔV qui dépendent de la fréquence du signal d’entrée.

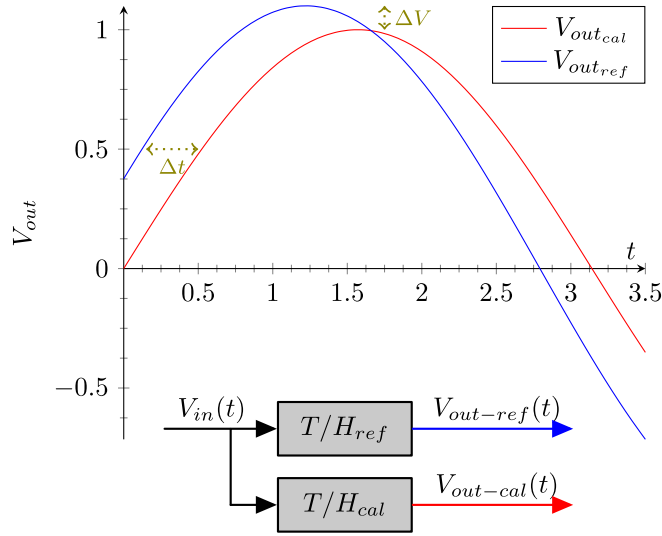


FIGURE 5.24 – Conséquences temporelle de l'erreur de bande passante

Le principe du banc de test implémenté est de trouver le réglage de compensation qui égalise la différence de tension $V_{out-ref}(t) - V_{out-cal}(t)$ en ajustant la résistance R_{on-bot} ou R_{on-top} selon la compensation utilisée. Pour que l'erreur de bande passante résulte uniquement en un déphasage Δt , il convient d'annuler l'erreur d'amplitude ΔV en injectant une fréquence d'entrée très basse fréquence afin que $|H_{ref}| \approx |H_{cal}| \approx 1$. Une condition suffisante pour satisfaire cette condition est d'avoir une fréquence d'entrée f_{in} beaucoup plus faible que la fréquence du premier pôle de H_{ref} et de H_{cal} notée respectivement p_{1-ref} et p_{1-cal} comme cela est défini par l'expression ci-dessous :

$$f_{in} \ll p_{1-ref} \ \& \ f_{in} \ll p_{1-cal} \quad (5.8)$$

Cette restriction sur la fréquence d'entrée est toujours satisfaite car nous choisissons la fréquence du signal d'entrée à injecter dans l'estimateur. En travaillant à basse fréquence, le comportement du T/H peut être associé à celui d'un filtre passe bas du premier ordre comme le montre la figure 5.25 où le SNDR est tracé en fonction de la fréquence d'entrée lorsque H_{ref} est modélisée comme un ratio de deux polynômes de degré 4 (cf équation (5.1)) et H_{cal} comme un filtre passe bas ayant une constante de temps $\tau_{cal} = (R_{on-bot} + R_{on-top})C_s$.

D'après la figure 5.25, lorsque $f_{in} \leq 0.01 \times f_s \approx 40\text{MHz}$ l'erreur commise en modélisant H_{ref} comme H_{cal} est inférieure à -140 dB ce qui est considéré comme suffisamment faible pour modéliser H_{ref} comme un filtre RC. Ce résultat se retrouve également à partir de l'impédance complexe équivalente notée Z_{eq} du transistor d'échantillonnage lorsqu'il est modélisé par le modèle linéaire proposé dans le chapitre 3 et rappelé par la figure 5.26.

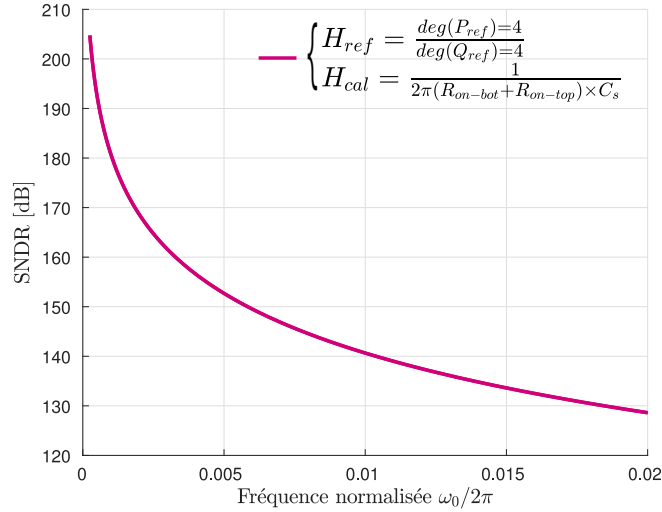


FIGURE 5.25 – Évolution du SNDR en fonction de la fréquence normalisée lorsque H_{ref} et H_{cal} sont modélisés respectivement par le ratio de deux polynômes de degrés 4 et par un filtre passe bas du premier ordre

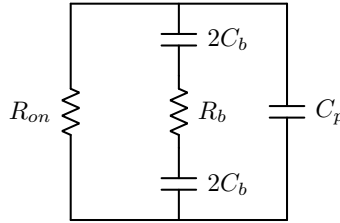


FIGURE 5.26 – Modèle passif linéaire du transistor LVTNFET

En effet, lorsque $f_{in} \leq 0.01 \times f_s$ l'impédance du sous réseau formé par C_b et R_b est uniquement fixée par l'impédance de C_b car f_{in} respecte la condition de l'équation (5.9).

$$f_{in} \ll \frac{1}{2\pi R_b C_b} \approx 16\text{GHz} \quad (5.9)$$

De plus, comme f_{in} respecte également l'équation (5.10) qui représente la fréquence de coupure du réseau formé par R_{on} , C_p et C_b il vient bien que Z_{eq} dépend uniquement de R_{on} et donc que le modèle linéaire équivalent du T/H est bien un filtre RC avec $\tau = (R_{on-top} + R_{on-bot})C_s$.

$$f_{in} \ll \frac{1}{2\pi R_{on}(C_p + C_b)} \approx 374\text{GHz} \quad (5.10)$$

Pour la suite, l'estimateur va donc utiliser une fréquence f_{in} de l'ordre du Mégahertz afin de respecter la condition (5.8) et plus particulièrement la restriction $f_{in} \leq 0.01 \times f_s$. Dans cette condition, nous pouvons écrire que $\Delta t \ll 1/f_{in}$ et que les paramètres ΔV et Δt sont définis par les équations (5.11) ci-dessous où $\tau_{ref} = (R_{on-bot_{ref}} + R_{on-top_{ref}}) \cdot C_{s_{ref}}$

et $\tau_{cal} = (R_{on-bot_{cal}} + R_{on-top_{cal}}) \cdot C_{s_{cal}}$.

$$\begin{cases} \Delta V(w) = \frac{1}{\sqrt{1 + (\tau_{ref} \cdot w)^2}} - \frac{1}{\sqrt{1 + (\tau_{cal} \cdot w)^2}} \\ \Delta t(w) = -\arctan(\tau_{ref} \cdot w) + \arctan(\tau_{cal} \cdot w) \end{cases} \quad (5.11)$$

Pour avoir la relation entre la fréquence du signal d'entrée f_{in} et les constantes de temps τ_{ref} et τ_{cal} , les équations (5.11) sont développées en séries de Taylor.

$$\Delta V(w) \approx -\frac{1}{2}(\tau_{ref} - \tau_{cal})w^2 + \frac{3}{8}(\tau_{ref} - \tau_{cal})w^4 - \dots \quad (5.12)$$

$$\Delta t(w) \approx -(\tau_{ref} - \tau_{cal})w + \frac{w^3}{3}(\tau_{ref} - \tau_{cal})^3 - \frac{w^5}{5}(\tau_{ref} - \tau_{cal})^5 + \dots \quad (5.13)$$

Comme nous avons choisi une fréquence d'entrée très basse fréquence, Δt est au premier ordre la différence des constantes de temps des deux T/Hs et ΔV est nulle ce que nous souhaitons. Du coup, l'erreur en tension $e(t)$ due à l'erreur d'appariement entre les deux T/Hs peut être approximée par :

$$e(t) = (V_{out_{ref}} - V_{out_{cal}}) \approx \Delta t \times \frac{dV_{out_{ref}}}{dt} \quad \text{avec} \quad \Delta t \approx -(\tau_{ref} - \tau_{cal})w$$

L'estimateur implémenté va analyser uniquement la sortie des deux T/Hs ($V_{out_{ref}}$ et $V_{out_{cal}}$) à la fréquence f_{in} pour minimiser l'erreur quadratique définie par l'équation ci-dessous :

$$J_{V_{cor}} = |e(t)|^2 = |V_{out_{ref}}(t) - V_{out_{cal}}(t)|^2 \quad (5.14)$$

Afin de converger vers la valeur optimale de la tension de compensation ($V_{cor-opt}$), un algorithme du gradient va mettre à jour la tension V_{cor} selon l'équation définie ci-dessous où μ est la taille du pas.

$$\begin{aligned} V_{cor}(t+1) &= V_{cor}(t) - \mu \cdot \frac{\partial J_{V_{cor}}}{\partial V_{cor}} \\ &= V_{cor}(t) - 2 \cdot \mu \cdot e(t) \cdot \frac{dV_{out_{ref}}}{dt} \cdot \frac{\partial \Delta t}{\partial V_{cor}} \end{aligned} \quad (5.15)$$

D'après (5.5), (5.13) et comme $V_{bcor} \in [0; 1.1V]$ et $b_f = 80\text{mV/V}$ alors $\frac{\partial \Delta t}{\partial V_{cor}}$ est une fonction monotone qui assure la convergence de l'algorithme.

La figure 5.27 montre le banc de simulation implémenté dans Cadence pour calculer la tension de compensation V_{cor} où l'erreur du gradient est approximée par la constante K_1 qui est définie par les équations suivantes selon la technique de compensation utilisée.

$$\frac{\partial \Delta_t(V_{cor})}{\partial V_{cor}} \approx \begin{cases} K_1 = C_s \cdot w \times \frac{L \cdot W \cdot \mu_n C_{ox} \cdot b_f}{W \cdot \mu_n C_{ox} [(V_{gs} - (V_{th0} + b_f(V_{cor} - V_s)))]^2} & \text{(Modulation de } V_{th}) \\ K_1 = -C_s \cdot w \times \frac{L \cdot W \cdot \mu_n C_{ox}}{W \cdot \mu_n C_{ox} [(V_{gs} - V_{th})]^2} & \text{(Modulation de } V_g) \\ K_1 = C_s \cdot w \times \frac{L \cdot W \cdot \mu_n C_{ox} \cdot (1 - b_f)}{W \cdot \mu_n C_{ox} [(V_{gs} - (V_{th0} + b_f(V_{cor} - V_s)))]^2} & \text{(Modulation de } V_s) \end{cases}$$

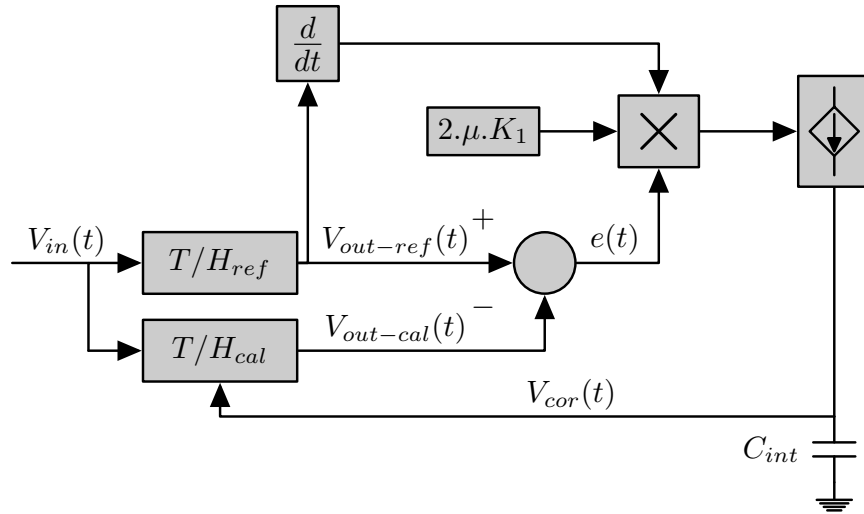


FIGURE 5.27 – Banc de simulation pour estimer l’erreur de bande-passante

Pour ce qui concerne la compensation ΔW , la largeur optimale ($W_{cor-opt}$) ne peut pas être trouvée à l’aide du banc de test précédent (figure 5.27) car cette technique de compensation est déjà quantifiée. Par conséquent, $W_{cor-opt}$ va dépendre du nombre de transistors additionnels (N_{SW}).

Pour trouver la largeur optimale selon le nombre de transistors additionnels utilisés ($W_{cor-opt(N_{SW})}$), un algorithme de dichotomie implémenté dans un script codé en [Eldo Control Language \(ECL\)](#) va ajuster la taille des N transistors additionnels ($W_{bot-cal-add(N)}$) via un seul paramètre (m_{cor}) de manière à minimiser le niveau de la raie de distorsion extrait à une fréquence de $0.01 \times F_s$ à l’aide d’une [FFT](#) réalisée dans la phase de suivi.

La relation liant $W_{cor-opt(N_{SW})}$ à m_{opt} (valeur optimale de m_{cor}) est définie par l'équation (5.16) ci-dessous :

$$\begin{aligned}
 W_{cor-opt(N_{SW})} &= \sum_{k=1}^{N_{SW}} W_{bot-cal-add(k)} \\
 &= \sum_{j=0}^{N_{SW}-1} 2^j \cdot m_{opt} \cdot W_{min}
 \end{aligned}
 \tag{5.16}$$

Le banc de test pour cette calibration est représenté à la figure 5.28 où la valeur par défaut de m_{cor} est réglée au minimum soit à 1.

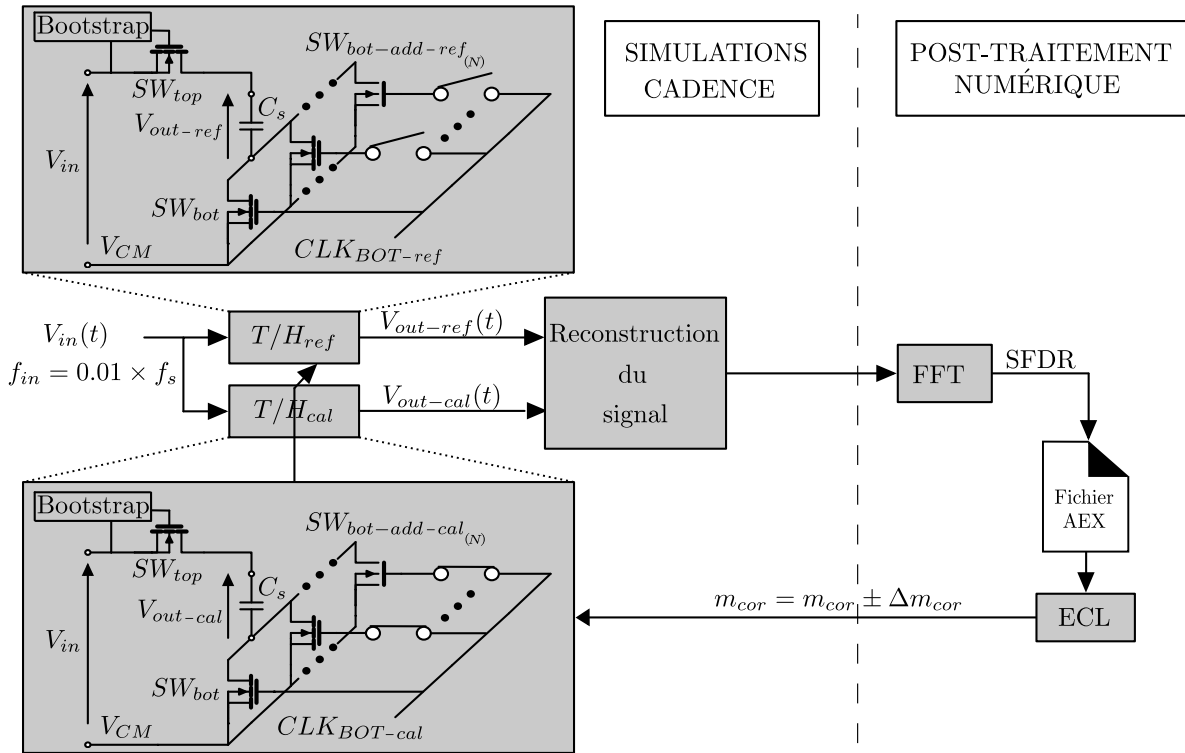


FIGURE 5.28 – Banc de simulation pour estimer l’erreur de bande-passante avec la compensation ΔW

Comme la valeur de m_{cor} est basée sur une FFT, il n’y a pas besoin de le valider le principe d’estimation. En revanche, ce n’est pas le cas pour le réglage de compensation V_{cor} trouvé via le banc de simulation 5.27 où des approximations au premier ordre sont faites. Dans ce cas, la tension de compensation renvoyée par l’estimateur ne va pas corriger parfaitement le désappariement de bande passante et une erreur d’estimation va être commise.

Dans la suite de cette partie, nous allons quantifier l’impact de cette erreur d’estimation sur le niveau de la raie de distorsion après compensation.

Dans un premier temps, le principe d'estimation sera validé via une première calibration réalisée à l'aide du banc de simulation présenté à la figure 5.29 où deux T/H_s entrelacés temporellement sont modélisés par des filtres RC idéaux. Dans ces conditions, la fonction de transfert des T/H_s est celle d'un filtre RC et donc l'estimateur doit converger vers la tension de compensation optimale $V_{cor-opt}(t)$ qui correspond à l'égalisation parfaite des constantes de temps des deux T/H_s .

Une fois que le principe d'estimation aura été validé, la même séquence de calibration va être exécutée mais cette fois-ci les commutateurs des T/H_s vont être remplacés par le modèle transistor *LVT* puis par le modèle linéaire (cf figure 5.26). Dans ce cas, la constante de temps τ_{cal} sera ajustée en polarisant le caisson de body du transistor SW_{bot} via la tension de compensation $V_{cor}(t)$. Dans ces conditions, la fonction de transfert des deux T/H_s est modélisée par deux polynômes de degrés 4 et de ce fait, le niveau de la raie de distorsion obtenu en appliquant $V_{cor}(t)$ montrera la limite de notre estimateur sur toute la plage de fréquence du signal d'entrée.

5.4.1.2 Validation

Le banc de test présenté à la figure 5.29 permet de valider le principe de l'estimateur proposé.

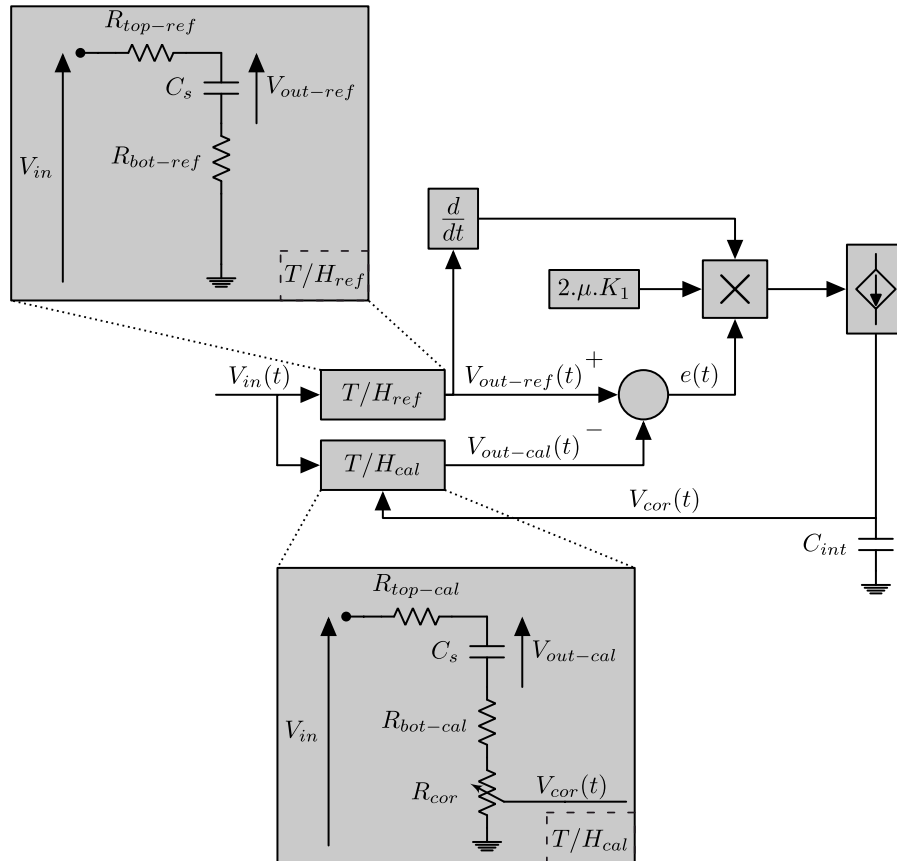


FIGURE 5.29 – Banc de simulation pour estimer l'erreur de bande-passante

L'égalisation des constantes de temps τ_{cal} et τ_{ref} est rendue possible grâce à une résistance variable idéale R_{cor} dont sa valeur dépend de la tension de compensation instantanée $V_{cor}(t)$ comme le montre l'équation (5.17) :

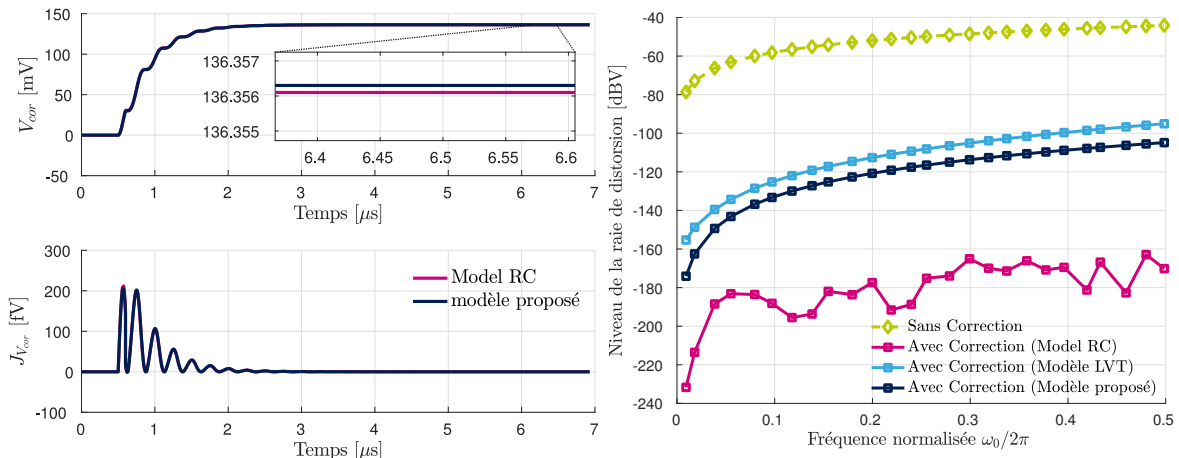
$$R_{cor}(t) = \frac{V_{cor}(t)}{112.5mS} \quad (5.17)$$

où 112.5 mS représente approximativement le gain de la fonction $R_{on} = f(V_{th})$ des transistors LVT.

Les courbes roses sur les figures 5.30a et 5.30b montrent la convergence de $V_{cor}(t)$ et du gradient $J_{V_{cor}}$ avec un jeu de paramètres $\mu = 800m$ et $K_1 = 15$ et avec un signal de calibration ayant une fréquence de 2MHz afin de satisfaire l'équation (5.8).

En grossissant la convergence de $V_{cor}(t)$ vers la fin de la simulation, nous observons que la tension est parfaitement stabilisée et que le gradient restant est de l'ordre du femtovolt. Pour transformer la tension restante du gradient en un niveau de raie de distorsion, une analyse FFT est réalisée dans la phase de suivi des T/Hs entrelacés comme affiché à la figure 5.30b.

Les courbes vertes et roses représentent la performance obtenue avant et après compensation. Comme le niveau de la raie de distorsion après compensation est inférieur à -160 dB à la fréquence de Nyquist, l'estimateur implémenté est considéré comme quasi-idéal. Le fait que le niveau de la raie de distorsion obtenu après compensation soit quasiment constant est attendu, car dans ce cas, les fonctions de transfert des deux T/Hs sont des "vraies" filtres RC du premier ordre et par conséquent, les équations (5.11) sont valables sur toute la plage de fréquence du signal d'entrée.



(a) Convergence de la tension de compensation V_{cor} et du gradient $J_{V_{cor}}$

(b) Niveau de la raie de distorsion due au désappariement de bande passante selon la fréquence normalisée

FIGURE 5.30 – Convergence des paramètres de l'estimateur et performance

Maintenant que nous avons validé la performance de l'estimateur lui-même, nous allons estimer l'impact d'avoir choisi d'effectuer l'estimation à basse fréquence. Pour cela, la même séquence de calibration va être exécutée mais cette fois-ci les transistors d'échantillonnage sont remplacés par le modèle transistor **LVT** où la constante de temps τ_{cal} est ajustée via le body du transistor SW_{bot} .

La performance obtenue dans ce cas est illustrée par la courbe bleue ciel de la figure 5.30b où une différence de 70 dB à la fréquence de Nyquist apparaît entre le modèle transistor **LVT** et le modèle RC. Nous pourrions noter également une augmentation de la raie de distorsion d'environ 60dB entre les basses et hautes fréquences. Cette différence de performance est due au fait que la fonction de transfert des deux **T/Hs** est un ratio de deux polynômes d'ordre 4 et que l'estimation du désappariement de bande passante a été réalisée à l'aide d'une seule fréquence qui se situe à basse fréquence. L'expression du module de H_{cal} en fonction des coefficients pondérant chaque monôme des deux polynômes P_{cal} et Q_{cal} est montrée par l'équation (5.18) ci-dessous :

$$|H_{cal}(w)| = \sqrt{\frac{(1 - B_{cal,1}w^2 + D_{cal,1}w^4)^2 + (A_{cal,1}w - C_{cal,1}w^3)^2}{(1 - B_{cal,2}w^2 + D_{cal,2}w^4)^2 + (A_{cal,2}w - C_{cal,2}w^3)^2}} \quad (5.18)$$

Si nous calculons la valeur de ce module à la fréquence sur laquelle l'estimation a été réalisée (2 MHz), nous constatons clairement d'après l'équation (5.19) que ce sont uniquement les coefficients des monômes du premier degrés qui contribuent à sa valeur ($A_{cal,1}$ et $A_{cal,2}$).

$$|H_{cal}(2 \times 10^6)| = \sqrt{\frac{(1 - 5.4 \times 10^{-9} + 2.24 \times 10^{-20})^2 + (1.16 \times 10^{-4} - 2.31 \times 10^{-14})^2}{(1 - 2.53 \times 10^{-8} + 1.37 \times 10^{-18})^2 + (2.888 \times 10^{-4} - 6.245 \times 10^{-13})^2}} \quad (5.19)$$

Par conséquent à 2 MHz, l'estimateur va ajuster le réglage de compensation de manière à égaliser uniquement ses coefficients étant donné que le produit des autres coefficients avec leur monôme associé modifie de manière insignifiante la valeur du module de H_{cal} . En revanche, dès lors que la fréquence d'entrée augmente, le produit des autres coefficients avec leur monôme associé ne devient plus négligeable, et, comme le réglage de compensation appliquée est toujours le même qu'à basse fréquence, une erreur de compensation va s'amplifier plus la fréquence d'entrée augmente. C'est à cause de cela que le niveau de la raie de distorsion obtenu après compensation est faible à basse fréquence puis beaucoup plus grand lorsque f_{in} augmente.

Pour appuyer ce raisonnement, les transistors d'échantillonnage sont remplacés par le modèle linéaire de la figure 5.26 qui inclue tous les paramètres modélisant les parasites du transistor. La compensation est alors effectuée à l'aide de la résistance variable précédente de valeur initiale R_{on-bot} . Les résultats obtenus après compensation sont présentés aux figures 5.30a et 5.30b par les courbes bleues-marine.

La tension de compensation obtenue avec cette nouvelle modélisation des commutateurs est sensiblement la même qu'avec le modèle RC car à la fréquence de 2MHz, le

réseau linéaire est équivalent à la résistance R_{on-bot} comme nous l'avons vu précédemment (cf équations (5.9) et (5.10)). En ce qui concerne la performance obtenue, une forte similitude existe entre le modèle transistor LVT et le réseau passif proposé malgré un léger décalage tout au long de la fréquence d'entrée. Ce décalage se justifie par le fait que la valeur des éléments parasites change en fonction de la tension V_b appliquée comme nous l'avons vu sur les figures 5.9. Or, comme la valeur des composants du réseau passif a été extrait à l'aide d'une analyse AC, cette variation de valeur selon V_b n'est pas prise en compte par le réseau passif.

Le fait d'avoir quasiment les mêmes performances lorsque nous utilisons le modèle LVT et le modèle linéaire lorsque les conditions d'estimation sont similaires, montre que la détérioration de la compensation est uniquement liée aux éléments parasites du transistor. Ces éléments parasites résultent dans une fonction de transfert des T/Hs plus complexe qui modifie la valeur du module selon la fréquence f_{in} .

En conclusion, la performance obtenue avec le banc de test proposé permet d'abaisser le niveau de la raie de distorsion à -98 dBV à $f_{Nyquist}$ lorsque la représentation virgule flottante (norme IEEE 754) est utilisée sur la tension de compensation appliquée sur le caisson du body de SW_{bot} . Bien que le système de calibration de l'erreur de bande passante en phase de suivi n'est pas parfait à cause des limitations annoncées dans cette partie, il est considéré comme suffisamment précis pour être utilisé pour comparer les différentes techniques de compensation dans la suite.

5.5 Résultats de simulation

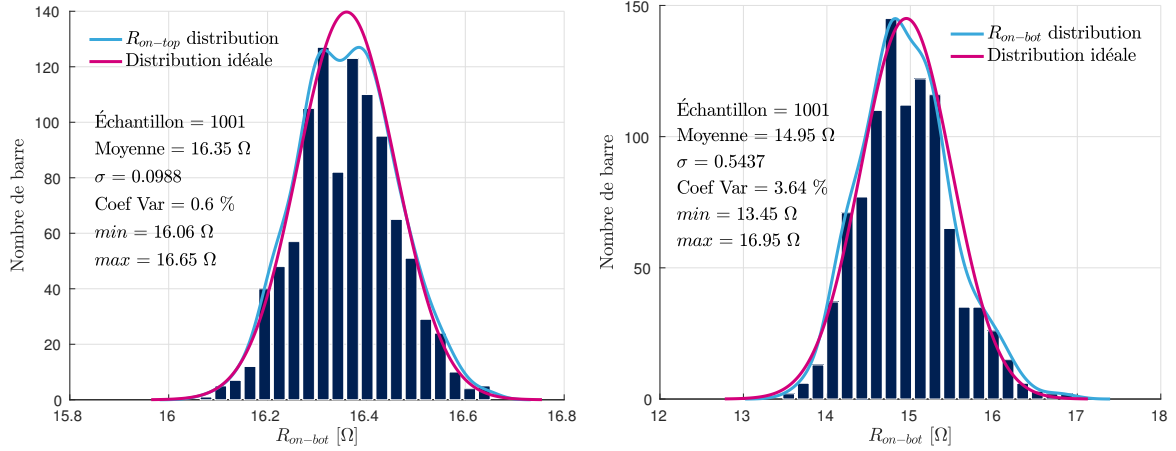
5.5.1 Condition de simulation

Les techniques de compensation sont appliquées dans le cas de deux T/Hs entrelacés temporellement dont l'un est considéré comme la référence T/H_{ref} est l'autre comme le dispositif en calibration T/H_{cal} .

Afin de simuler une erreur d'appariement de bande-passante entre ces deux T/Hs, une analyse Monte-Carlo (MC) va être exécutée pour estimer la variation locale maximale de chaque composant du T/H (SW_{top} , SW_{bot} et C_s). La distribution des variations locales est supposée gaussienne ce qui caractérise la variabilité par une valeur moyenne et un écart-type σ .

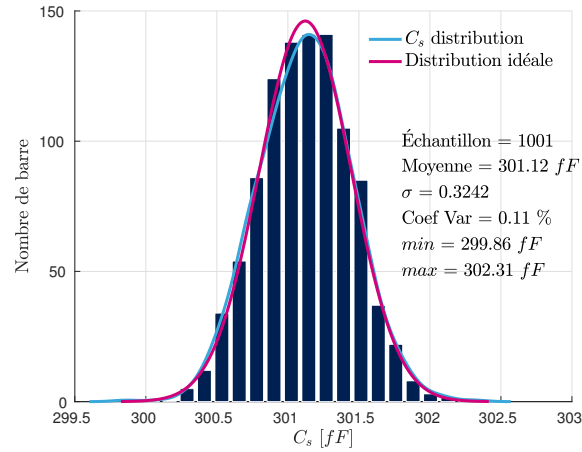
Le corner des transistors d'échantillonnage pour cette analyse MC est réglé sur *Typique* car les corners sont des variations globales et leurs conséquences s'appliquent de la même manière sur tous les composants du T/H. De ce fait, comme la dégradation est la même pour tous les composants du T/H, aucun désappariement de bande passante n'est créé selon les trois valeurs de corner possible (Slow, Typique, Fast) comme les simulations l'ont démontré.

Les résultats d'une analyse Monte-Carlo de 1001 simulations sont illustrés à la figure 5.31 et résumés dans le tableau 5.6.



(a) Variation locale de R_{on-top}

(b) Variation locale de R_{on-bot}



(c) Variation locale de C_s

FIGURE 5.31 – Analyse Monte Carlo sur (a) le transistor du haut SW_{top} , (b) le transistor du bas SW_{bot} et (c) la capacité d'échantillonnage C_s

T/Hs composants	Moyenne(Std)
$R_{ON_{top}}$ (Distribution Gaussienne)	16.35 Ω (0.0988 Ω)
$R_{ON_{bot}}$ (Distribution Gaussienne)	14.95 Ω (0.54 Ω)
C_s (Distribution Gaussienne)	301.12 fF (0.32 fF)

TABLE 5.6: Récapitulatif de la valeur moyenne et de l'écart type (σ) pour chaque composant du T/H

Pour simuler le pire cas possible du désappariement de taille, la largeur des commutateurs d'échantillonnage et la taille de C_s composants T/H_{cal} (resp. T/H_{ref}) vont être modifiées de manière à ce qu'elles dévient de $+3\sigma$ (resp. -3σ) autour de leurs valeurs moyenne. De ce fait, il existera un écart de 6σ entre tous les composants de T/H_{cal} et de T/H_{ref} .

5.5.2 Performance

5.5.2.1 Réglage de compensation idéal

Dans un premier temps, la performance de chaque compensation va être évaluée en appliquant directement le réglage de compensation optimal trouvé via les bancs de simulation 5.27 et 5.28. Cette première comparaison a pour but d'estimer la performance maximale associée à ce réglage. Les deux premières lignes du tableau 5.7 résument la valeur des réglages optimaux pour toutes les compensations de bande-passante basées sur une modulation de tension tandis que les deux suivantes résument la largeur optimale à ajouter pour compenser l'erreur de bande-passante selon le nombre de transistors additionnels passants utilisés.

Compensation	BB_{top}	BB_{bot}	V_{G-top}	V_{G-bot}	V_{S-bot}
$V_{cor-opt}$ [mV]	1100	604.2206	239.8188	37.8298	34.9198
Nombre de transistors (N_{SW})	3	4	5	6	7
$W_{cor-opt}$ [μm]	13.294	12.684	12.660	12.625	12.586

TABLE 5.7: Tension (resp. Largeur) de compensation optimale selon la compensation utilisée (resp. le nombre de transistors additionnels utilisés)

D'après le tableau 5.7, la tension optimale appliquée sur les compensations basées sur la modulation de la tension de seuil (BB_{top} et BB_{bot}) est beaucoup plus importante que celle qui est appliquée sur les compensations basées sur la modulation de la tension V_{gs} . Cette différence de valeur s'explique par le fait que les compensations V_{S-bot} et $V_{G-top/bot}$ ajustent le R_{on} via un paramètre de premier degré (V_{gs}) contrairement aux autres compensations qui l'ajustent via un paramètre de second degré (V_b) fortement atténuée par le "body factor". En conséquence, la pleine échelle du DAC qui génère la tension compensation sur le caisson de body sera plus importante mais en contrepartie, ces deux compensations seront mieux immunisées contre les bruits externes venant perturber le réglage de compensation.

Bien que les compensations BB_{top} et BB_{bot} soient basées sur la même technique, une différence notable de tension de compensation apparaît à cause du circuit de bootstrap qui augmente la différence de tension entre V_{gs} et V_{th} comme nous l'avons vu précédemment. Cette remarque s'applique également pour les compensations basées sur l'ajustement de la tension de grille.

La figure 5.32 récapitule la performance obtenue avec le réglage de compensation

optimal pour chaque technique de compensation. Pour le cas de la compensation ΔW (courbe rose), nous avons choisi d'utiliser sept transistors additionnels.⁷⁾

D'après cette figure, la compensation BB_{top} n'améliore que très peu le niveau de la

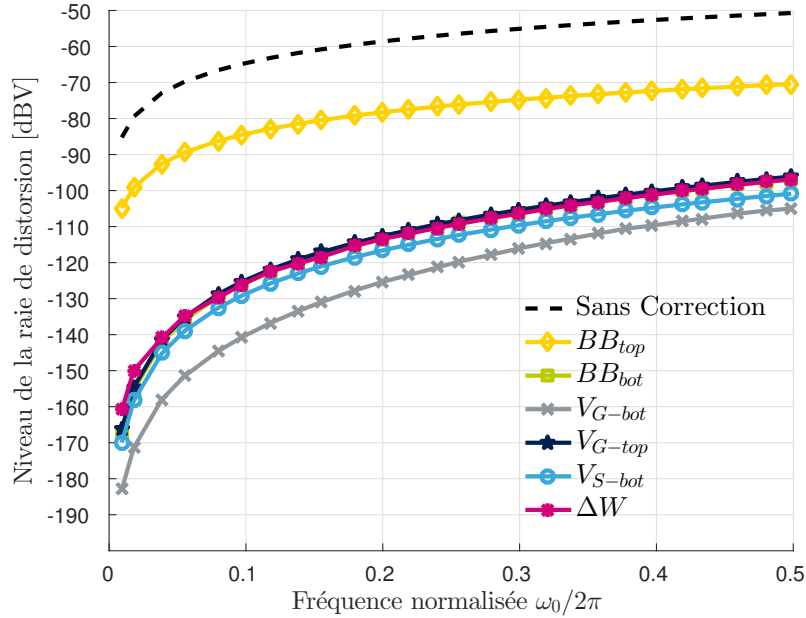


FIGURE 5.32 – Performance des compensations avec un réglage optimal

raie de distorsion car comme nous l'avons vu auparavant, la quantité d'erreur à corriger est supérieure à sa plage de correction.

Si nous regardons à basse fréquence ($f_{in} \in [0;0.1] \times f_s$), le réseau modélisant les commutateurs peut être ramené à seulement la résistance R_{on} car l'impédance des éléments parasites est très élevée. Par conséquent, le niveau de la raie de distorsion obtenu à très basse fréquence est au plus bas pour chaque compensation. Dans cette gamme de fréquences, les compensations V_{G-top} et V_{S-bot} obtiennent des meilleures performances que les autres ce qui signifie que le ratio utilisé et leur réglage de compensation a tendance à ramener leur fonction de transfert vers le comportement d'un filtre RC du premier ordre. Cette caractéristique se retrouve également à haute fréquence ($f_{in} \in [0.4;0.5] \times f_s$) car la performance obtenue avec ces deux compensations est toujours meilleure que celle des autres. Si nous regardons les performances obtenues avec les autres compensations nous constatons qu'elles sont moins bonnes que les deux précédentes. Cependant, comme dans le pire cas la raie de distorsion est repoussée à -98 dBV pour une fréquence d'entrée proche de Nyquist ces compensations sont considérées comme suffisamment précises. Enfin, la forme des courbes de chaque compensation s'explique par le fait que la fonction de transfert du T/H n'est pas celle d'un premier ordre et donc qu'il existe une erreur de bande passante résiduelle qui dégrade la performance des compensations en fonction de la fréquence d'entrée.

7. Le nombre de transistors additionnels choisis n'influe en rien la performance de la compensation puisque la largeur optimale est toujours trouvée via l'unique paramètre de réglage m_{cor} (cf (5.16))

Cette première partie nous permet de mettre en évidence la faiblesse de la compensation BB_{top} par rapport aux autres compensations. Afin de voir la sensibilité de chaque technique de compensation, le réglage de compensation optimum va désormais être quantifié.

5.5.2.2 Quantification du réglage de compensation

N'ayant aucune information sur le réglage de correction et sachant que ce réglage sera généré à l'aide d'un DAC, il convient d'estimer l'influence d'une erreur de quantification du réglage de compensation pour chaque solution proposée. Pour rester dans la condition de pire cas, la tension de référence du DAC (V_{ref}) est majorée de 20% par rapport au réglage optimum de chaque compensation afin de prendre en compte les variations globales des composants du T/H et les variations de température. De plus, la discrétisation de N-bit dans le range de V_{ref} est appliquée sur le réglage optimum de manière à ce qu'un écart d'un demi LSB sépare le réglage optimal du code du DAC comme le montre l'équation (5.20).

$$V_{cor\ N-bit} = V_{cor\ \infty-bit} - \frac{V_{ref}}{2^{N+1} - 2} \quad (5.20)$$

En ce qui concerne la compensation ΔW , le DAC en largeur utilisé doit également être quantifié dans le pire cas pour pouvoir faire une comparaison juste des résultats. De ce fait, il faut trouver la largeur minimale ($W_{min(N_{SW})}$) qui lorsque le code maximal du DAC est réglé permette d'avoir un écart d'un demi LSB avec la largeur optimale trouvée par le banc du simulation 5.28 et cela suivant le nombre de transistors additionnels (N_{SW}). Cette condition est résumée mathématiquement par l'équation ci-dessous :

$$\sum_{j=0}^{N_{SW}-1} 2^j \times W_{min(N_{SW})} = W_{cor-opt(N_{SW})} - \frac{1}{2} \times \frac{W_{ref(N_{SW})}}{2^{N_{SW}} - 1} \quad (5.21)$$

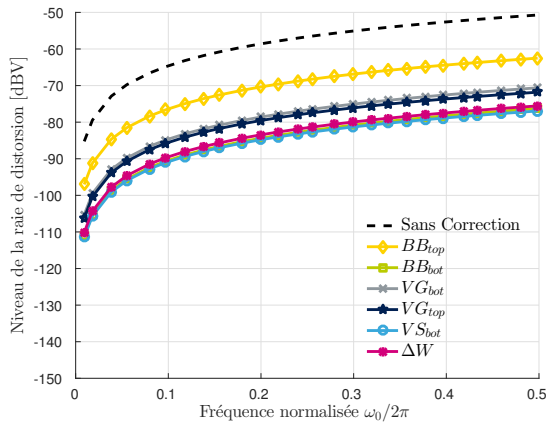
Comme précédemment, la largeur de référence $W_{ref(N_{SW})}$ est majorée de 20% afin de prendre une marge supplémentaire. Par conséquent, l'équation (5.21) devient :

$$\sum_{j=0}^{N_{SW}-1} 2^j \times W_{min(N_{SW})} = W_{cor-opt(N_{SW})} - \frac{1.2 \times W_{cor-opt(N_{SW})}}{2^{(N_{SW}+1)} - 2} \quad (5.22)$$

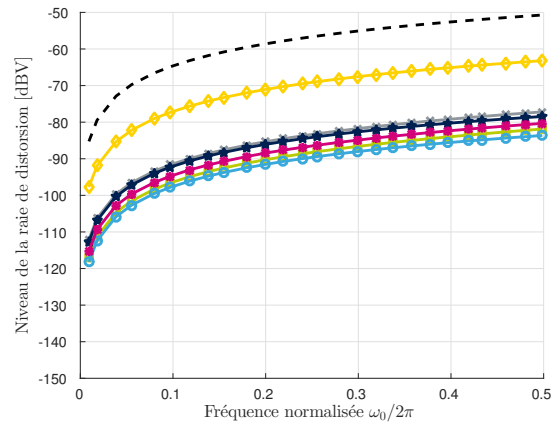
$$W_{min(N_{SW})} = m_{opt(N_{SW})} \times W_{min} \left(1 - \frac{1.2}{2^{(N_{SW}+1)} - 2} \right) \quad (5.23)$$

avec $m_{opt(N_{SW})}$ la valeur du paramètre optimal trouvé précédemment avec le banc de test 5.28 et W_{min} la largeur minimale imposée par la technologie (80 nm).

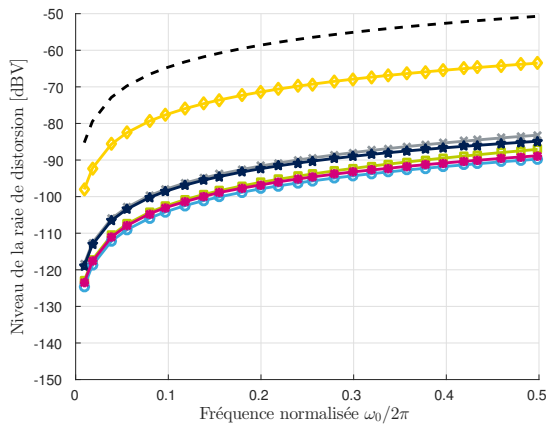
Une fois que le réglage de compensation pour chaque compensation a été quantifié selon le nombre de bit du DAC (N) ou le nombre de transistors (N_{SW}), une FFT est réalisée en phase de suivi afin de voir la sensibilité de chacune des compensations. Toutes les techniques sont comparés à la figure 5.33 où le niveau de la raie de distorsion de bande-passante est extrait selon la quantification du réglage de compensation et la fréquence du signal d'entrée.



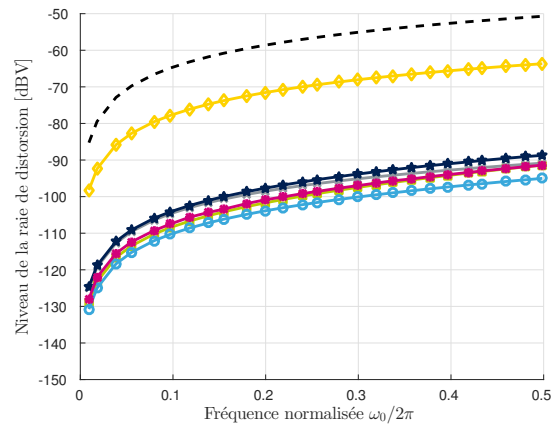
(a) $N=3$ -bit et $N_{SW}=3$ transistors



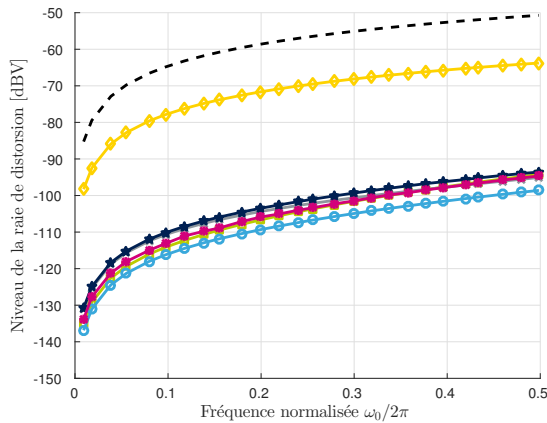
(b) $N=4$ -bit et $N_{SW}=4$ transistors



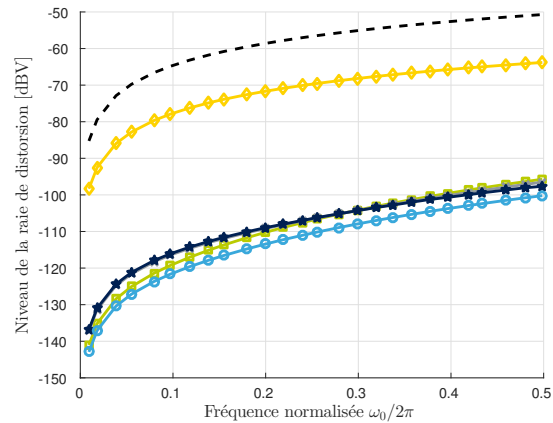
(c) $N=5$ -bit et $N_{SW}=5$ transistors



(d) $N=6$ -bit et $N_{SW}=6$ transistors



(e) $N=7$ -bit et $N_{SW}=7$ transistors



(f) $N=8$ -bit

FIGURE 5.33 – Niveau de la raie de distorsion selon la fréquence du signal d'entrée AVANT et APRES les compensations de bande-passante avec une quantification, le réglage de compensation sur (a) 3-bit, (b) 4-bit, (c) 5-bit, (d) 6-bit, (e) 7-bit, (f) 8-bit

Pour synthétiser toutes ces courbes, les figures 5.34a et 5.34b tracent le niveau de la raie de distorsion pour chaque compensation et pour différents niveaux de quantification du réglage de compensation lorsque la fréquence d'entrée est très basse ($f_{in} = 0.01 \times f_s$) et très haute ($f_{in} = 0.49 \times f_s$). Pour évaluer la sensibilité de chaque compensation, nous proposons de calculer (à partir des figures 5.34a et 5.34b) la pente entre deux niveaux de quantification consécutifs de la tension de compensation. Ces calculs sont affichés sur les figures 5.34c et 5.34d.

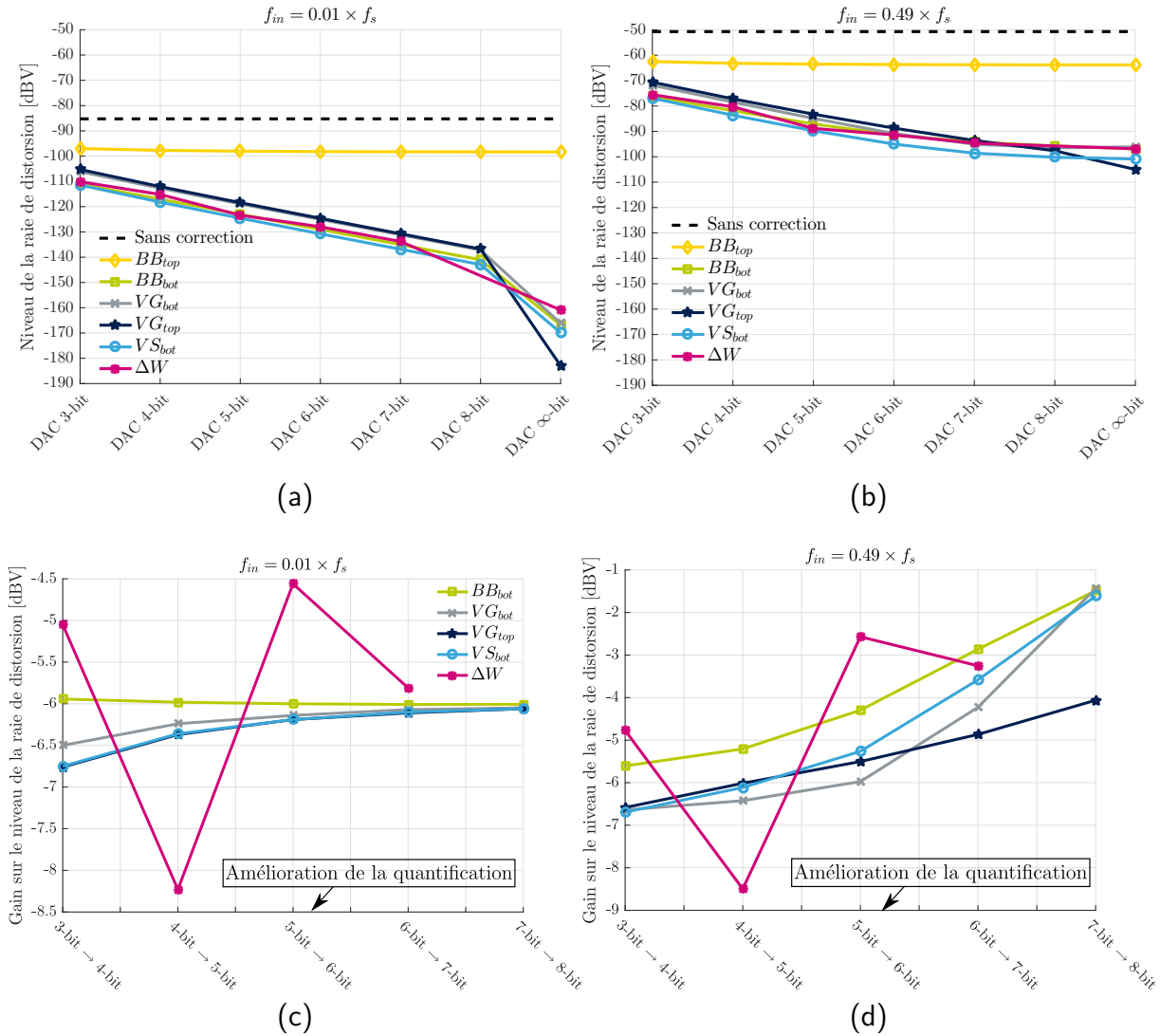


FIGURE 5.34 – Niveau de la raie de distorsion en fonction de la quantification lorsque la fréquence du signal d'entrée est à (a) basse fréquence $f_{in} = 0.01 \times f_s$, (b) $f_{in} = 0.49 \times f_s$

D'après les figures 5.34a et 5.34c, nous constatons qu'à basse fréquence toutes les compensations excepté la compensation ΔW ont la même sensibilité soit environ 6dB/bit. En effet, lorsque nous augmentons le niveau de quantification de la tension de compensation d'un bit nous abaissons la raie de distorsion à basse fréquence d'environ

-6 dB. Cette diminution quasiment constante de la raie de distorsion n'est cependant pas valable pour la compensation ΔW car en ajustant la largeur W elle modifie R_{EQ} mais également C_{EQ} qui lui ne varient pas linéairement en fonction de W .

Maintenant si nous observons les résultats à haute fréquence, nous constatons d'après les figures 5.34d et 5.34b que les compensations BB_{bot} , V_{S-bot} et V_{G-bot} ont approximativement des sensibilités proches surtout lorsque le niveau de quantification de la tension de compensation V_{cor} est supérieur à 6-bit. Parmi ces trois compensations, la compensation V_{S-bot} se démarque légèrement des autres car, quelque soit le niveau de quantification de V_{cor} , le niveau de la raie de distorsion est toujours le plus bas. À l'opposé, la compensation V_{G-top} est la plus sensible des compensations puisque le niveau de la raie de distorsion s'abaisse de quatre décibels lorsque le niveau de quantification de V_{cor} augmente de 7-bit à 8-bit (dans les mêmes conditions, le niveau de la raie de distorsion diminue de seulement un décibel avec les autres compensations). Par conséquent, l'utilisation de la compensation V_{G-top} implique d'avoir un DAC avec un niveau de quantification élevé ce qui peut être un obstacle pour certaines applications où les contraintes de surface de silicium ainsi que de consommation sont fortes.

En conclusion, cette première étude montre que toutes les compensations agissant sur la tension V_{cor} (excepté V_{G-top}) détiennent quasiment la même sensibilité. Cependant, la compensation V_{S-bot} est celle qui permet d'avoir le meilleur niveau de performance sur toute la bande utile du signal d'entrée. Les compensations BB_{bot} et ΔW sont également intéressantes car la raie de distorsion est repoussée à -75 dB proche de la fréquence de Nyquist lorsque leur réglage de compensation est quantifié sur seulement 3-bit. Enfin, nous avons montré que la compensation BB_{top} n'est pas du tout appropriée pour compenser une erreur de bande passante lorsqu'un circuit de bootstrap est présent.

5.6 Conclusion

Dans ce chapitre, l'expression de la fonction de transfert du T/H dans la phase de suivi a été simplifiée de manière à modéliser l'erreur de bande passante. Basé sur ce modèle, plusieurs techniques de compensation analogique de l'erreur de bande passante ont été proposées et analysées. Pour comparer la performance de ces différentes techniques, une première comparaison basée sur le niveau de la raie de distorsion avant et après compensation a été réalisée durant la phase de suivi des T/Hs entrelacés.

Pour réaliser cette première comparaison, un banc de simulation fonctionnant dans la phase de suivi des T/Hs a été implémenté pour trouver la valeur du réglage optimal des différentes compensations. Les résultats obtenus avec cette première comparaison montrent tout d'abord que la compensation BB_{top} n'est pas du tout adaptée pour compenser l'erreur de bande passante à cause du circuit de bootstrap. Parmi les autres compensations, la performance des compensations V_{S-bot} , ΔW et BB_{bot} se distinguent des autres surtout à haute fréquence où elles ont besoin d'un niveau de quantification en moins sur la tension de compensation pour atteindre les mêmes performances.

Afin d'avoir une comparaison complète des compensations proposées, il est nécessaire d'estimer la dégradation des autres erreurs d'appariement une fois l'erreur de bande-passante calibrée. Pour cela, il faut être capable d'estimer les désappariements de gain, d'offset et de l'instant d'échantillonnage lorsque les échantillons sont pris dans la phase de maintien. Pour accéder à ces informations d'erreurs et donc définir la meilleure compensation de bande passante, un estimateur numérique de chaque erreur d'appariement va être proposé dans le prochain chapitre. Grâce à cet estimateur, nous allons proposer une nouvelle calibration hors ligne mixte afin de mettre en application les compensations de bande passante et de skew que nous avons proposées dans cette thèse.

Chapitre 6

Technique de calibration en ligne mixte

Sommaire

6.1 Estimation des désappariements statiques et dynamiques	163
6.1.1 Modélisation du signal échantillonné	163
6.1.2 Construction du modèle de régression linéaire	164
6.1.3 Identification des erreurs d'appariement	165
6.2 Comparaison des compensations de bande passante en phase de maintien	169
6.2.1 Vue d'ensemble de la calibration mixte	169
6.2.2 Comparaison des différentes techniques de compensation . . .	171
6.2.3 Choix de la compensation de bande passante optimale	182
6.3 Calibration Mixte des erreurs d'appariement	184
6.3.1 Algorithme de la calibration mixte	185
6.3.2 Résultats de simulation	186

DANS un premier temps, ce dernier chapitre a pour but de sélectionner parmi les différentes techniques de compensation de bande passante proposées celle qui dégrade le moins les désappariements déjà existant d'offset, de gain et de skew. La valeur de chaque erreur d'appariement sera extraite dans la phase de maintien du T/H par la méthode des Moindres Carrés où les paramètres d'un modèle de régression linéaire multiple seront ajustés. Une fois la compensation de bande passante sélectionnée, une calibration hors-ligne mixte sera proposée afin de calibrer les quatre erreurs d'appariement.

6.1 Estimation des désappariements statiques et dynamiques

6.1.1 Modélisation du signal échantillonné

Durant toute cette partie, nous utiliserons uniquement deux **T/Hs** entrelacés dont l'un est considéré comme la référence (T/H_{ref}) et l'autre comme le dispositif en calibration (T/H_{cal}). D'après le chapitre 3, la fonction d'échantillonnage effectuée par chaque **T/H** est imparfaite car le signal qui évolue aux bornes de la capacité C_s accumule des erreurs de différentes natures tout au long du processus d'échantillonnage. En conséquence, la valeur bloquée dans C_s à la fin de chaque processus d'échantillonnage (V_{out}) peut se linéariser comme une version atténuée, déphasée et décalée du signal qui est appliqué en entrée du **T/H**. La figure 6.1 modélise ce processus imparfait où G , θ et O représentent respectivement le gain, le déphasage et l'offset créés¹.

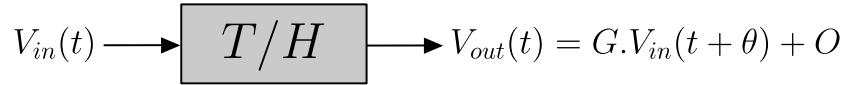


FIGURE 6.1 – Linéarisation du processus d'échantillonnage

Pour estimer les désappariements entre T/H_{ref} et T/H_{cal} , nous proposons d'injecter en entrée du **CAN-ET** un signal connu qui est défini par l'équation (6.1).

$$V_{in}(t) = \cos(2\pi f_{in_{BF}}t) + \cos(2\pi f_{in_{HF}}t) \quad (6.1)$$

Ce signal possède une composante basse fréquence (BF) de fréquence $f_{in_{BF}} \approx 2MHz$ et une autre haute fréquence (HF) de fréquence $f_{in_{HF}} \approx 2GHz$. La fréquence $f_{in_{BF}}$ est choisie de manière à minimiser l'impact du désappariement de bande passante et la contribution des monômes de degrés élevés des polynômes P et Q dont nous rappelons que leur ratio modélise la fonction de transfert des **T/Hs**. A l'inverse, $f_{in_{HF}}$ est choisie proche de la fréquence de Nyquist afin de maximiser l'impact du désappariement de bande passante et donc de permettre une meilleure estimation de ce dernier.

En notant $H_{T/H_{ref}}$ et $H_{T/H_{cal}}$ les fonctions de transfert des deux **T/Hs** cadencés à la fréquence $f_s/2$, les échantillons de tension sortant des deux **T/Hs** ($V_{out-ref}(t)$ et $V_{out-cal}(t)$) s'expriment par les équations (6.2) où $G_{ref/cal}$ représente le produit d'un gain statique $G_{S-ref/cal}$ et d'un gain dynamique $G_{BW_{ref/cal}} = |H_{T/H_{ref/cal}}|$ et $\theta_{ref/cal}$ la somme d'un retard fixe θ_{Skew} et d'un retard dynamique $\theta_{BW_{ref/cal}} = \angle H_{T/H_{ref/cal}}$.

Pour extraire les erreurs d'appariements entre les deux **T/Hs**, il faut être capable d'estimer les paramètres $O_{ref/cal}$, $G_{ref(BF/HF)}$, $G_{cal(BF/HF)}$ et $\theta_{ref(BF/HF)}$, $\theta_{cal_{BF/HF}}$. Pour cela, nous proposons de construire un modèle de régression linéaire des équations (6.2) afin d'appliquer la méthode des moindres carrés (cf Annexe A).

1. Cette modélisation est vraie que pour une fréquence d'échantillonnage

$$\left\{ \begin{array}{l}
V_{out-ref}(t) = \sum_{n=1}^{\infty} \left[\underbrace{G_{ref_{BF}}}_{G_{BW-ref} \cdot G_{S-ref}} \cdot \cos(2.\pi.f_{in_{BF}}.t + \underbrace{\theta_{ref_{BF}}}_{\theta_{BW-ref}}) + O_{ref} \right. \\
\left. + \underbrace{G_{ref_{HF}}}_{G_{BW-ref} \cdot G_{S-ref}} \cdot \cos(2.\pi.f_{in_{HF}}.t + \underbrace{\theta_{ref_{HF}}}_{\theta_{BW-ref}}) \right] \delta \left(t - \left(n - \frac{1}{2} \right) T_s \right) \\
V_{out-cal}(t) = \sum_{n=1}^{\infty} \left[\underbrace{G_{BW-cal} \cdot G_{S-cal}}_{G_{cal_{BF}}} \cdot \cos(2.\pi.f_{in_{BF}}.t + \underbrace{\theta_{BW-cal} + \theta_{Skew}}_{\theta_{cal_{BF}}}) + O_{cal} \right. \\
\left. + \underbrace{G_{BW-cal} \cdot G_{S-cal}}_{G_{cal_{HF}}} \cdot \cos(2.\pi.f_{in_{HF}}.t + \underbrace{\theta_{BW-cal} + \theta_{Skew}}_{\theta_{cal_{HF}}}) \right] \delta(t - n.T_s)
\end{array} \right. \quad (6.2)$$

6.1.2 Construction du modèle de régression linéaire

Pour construire le modèle de régression linéaire, nous allons utiliser la propriété mathématique énoncée ci-dessous :

$$R \cos(x - \alpha) = a \sin(x) + b \cos(x) \quad (6.3)$$

avec $R = \sqrt{a^2 + b^2}$ et $\alpha = \arctan\left(\frac{b}{a}\right)$

En appliquant (6.3) sur les équations (6.2), nous pouvons désormais construire les matrices \mathbf{X}_{ref} et \mathbf{X}_{cal} qui sont définies par les équations suivantes :

$$\mathbf{X}_{ref} = \begin{bmatrix} 1 & \cos\left(2.\pi.f_{in_{BF}}.\frac{T_s}{2}\right) & \sin\left(2.\pi.f_{in_{BF}}.\frac{T_s}{2}\right) & \cos\left(2.\pi.f_{in_{HF}}.\frac{T_s}{2}\right) & \sin\left(2.\pi.f_{in_{HF}}.\frac{T_s}{2}\right) \\ 1 & \cos\left(2.\pi.f_{in_{BF}}.3.\frac{T_s}{2}\right) & \sin\left(2.\pi.f_{in_{BF}}.3.\frac{T_s}{2}\right) & \cos\left(2.\pi.f_{in_{HF}}.3.\frac{T_s}{2}\right) & \sin\left(2.\pi.f_{in_{HF}}.3.\frac{T_s}{2}\right) \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ 1 & \cos\left(2.\pi.f_{in_{BF}}.9.\frac{T_s}{2}\right) & \sin\left(2.\pi.f_{in_{BF}}.9.\frac{T_s}{2}\right) & \cos\left(2.\pi.f_{in_{HF}}.9.\frac{T_s}{2}\right) & \sin\left(2.\pi.f_{in_{HF}}.9.\frac{T_s}{2}\right) \end{bmatrix} \quad (6.4)$$

$$\mathbf{X}_{cal} = \begin{bmatrix} 1 & \cos(2.\pi.f_{in_{BF}}.1.T_s) & \sin(2.\pi.f_{in_{BF}}.1.T_s) & \cos(2.\pi.f_{in_{HF}}.1.T_s) & \sin(2.\pi.f_{in_{HF}}.1.T_s) \\ 1 & \cos(2.\pi.f_{in_{BF}}.2.T_s) & \sin(2.\pi.f_{in_{BF}}.2.T_s) & \cos(2.\pi.f_{in_{HF}}.2.T_s) & \sin(2.\pi.f_{in_{HF}}.2.T_s) \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ 1 & \cos(2.\pi.f_{in_{BF}}.5.T_s) & \sin(2.\pi.f_{in_{BF}}.5.T_s) & \cos(2.\pi.f_{in_{HF}}.5.T_s) & \sin(2.\pi.f_{in_{HF}}.5.T_s) \end{bmatrix} \quad (6.5)$$

Par conséquent, d'après (6.4) et (6.5), le modèle de régression linéaire appliqué pour T/H_{ref} et T/H_{cal} s'exprime par l'équation ci-dessous :

$$\mathbf{V}_{ref/cal} = \mathbf{X}_{ref/cal} \cdot \hat{\boldsymbol{\beta}}_{ref/cal} \quad (6.6)$$

où $\mathbf{V}_{ref/cal}$ représente le vecteur des tensions de sortie des deux T/Hs dans la phase de maintien et $\hat{\boldsymbol{\beta}}_{ref/cal}$ le vecteur des coefficients estimés du modèle de régression.

$$\mathbf{V}_{ref} = \begin{bmatrix} V_{out-ref}(1) \\ V_{out-ref}(2) \\ \vdots \\ V_{out-ref}(5) \end{bmatrix} \quad \hat{\boldsymbol{\beta}}_{ref} = \begin{bmatrix} \hat{\beta}_{ref1} \\ \hat{\beta}_{ref2} \\ \vdots \\ \hat{\beta}_{ref5} \end{bmatrix} \quad \mathbf{V}_{cal} = \begin{bmatrix} V_{out-cal}(1) \\ V_{out-cal}(2) \\ \vdots \\ V_{out-cal}(n) \end{bmatrix} \quad \hat{\boldsymbol{\beta}}_{cal} = \begin{bmatrix} \hat{\beta}_{cal1} \\ \hat{\beta}_{cal2} \\ \vdots \\ \hat{\beta}_{caln} \end{bmatrix}$$

6.1.3 Identification des erreurs d'appariement

En appliquant la méthode des moindres carrés (A.6) sur le modèle de régression linéaire (6.6), les paramètres estimés de chaque T/H ($\hat{O}_{ref/cal}$, $\hat{G}_{ref_{BF/HF}}$, $\hat{G}_{cal_{BF/HF}}$, $\hat{\theta}_{ref_{BF/HF}}$ et $\hat{\theta}_{cal_{BF/HF}}$) vont pouvoir être exprimés en fonction des coefficients estimés des vecteurs $\hat{\boldsymbol{\beta}}_{ref}$ et $\hat{\boldsymbol{\beta}}_{cal}$ comme le montre les équations suivantes :

$$\left\{ \begin{array}{l} \hat{\theta}_{ref_{BF}} = \arctan \left(\frac{\hat{\beta}_{ref3}}{\hat{\beta}_{ref2}} \right) \\ \hat{\theta}_{cal_{BF}} = \arctan \left(\frac{\hat{\beta}_{cal3}}{\hat{\beta}_{cal2}} \right) \\ \hat{\theta}_{ref_{HF}} = \arctan \left(\frac{\hat{\beta}_{ref5}}{\hat{\beta}_{ref4}} \right) \\ \hat{\theta}_{cal_{HF}} = \arctan \left(\frac{\hat{\beta}_{cal5}}{\hat{\beta}_{cal4}} \right) \end{array} \right. \quad \left\{ \begin{array}{l} \hat{G}_{ref_{BF}} = \sqrt{(\hat{\beta}_{ref2})^2 + (\hat{\beta}_{ref3})^2} \\ \hat{G}_{cal_{BF}} = \sqrt{(\hat{\beta}_{cal2})^2 + (\hat{\beta}_{cal3})^2} \\ \hat{G}_{ref_{HF}} = \sqrt{(\hat{\beta}_{ref4})^2 + (\hat{\beta}_{ref5})^2} \\ \hat{G}_{cal_{HF}} = \sqrt{(\hat{\beta}_{cal4})^2 + (\hat{\beta}_{cal5})^2} \end{array} \right. \quad \left\{ \begin{array}{l} \hat{O}_{ref} = \hat{\beta}_{ref1} \\ \hat{O}_{cal} = \hat{\beta}_{cal1} \end{array} \right. \quad (6.7)$$

D'après les équations ci-dessus, l'estimation du désappariement d'offset ($\Delta\hat{O}$) est immédiat comme le montre l'équation (6.8)

$$\Delta\hat{O} = \hat{O}_{ref_{BF}} - \hat{O}_{cal_{BF}} = \hat{\beta}_{ref1} - \hat{\beta}_{cal1} \quad (6.8)$$

Pour déterminer le désappariement de gain statique ($\Delta\hat{G}$), nous allons considérer que le gain estimé à BF ($\hat{G}_{(cal/ref)_{BF}}$) est uniquement fixé par le gain statique (G_s) car l'atténuation du signal calculé à partir du module de la fonction de transfert de chaque T/H est proche de 1 lorsque $f_{in_{BF}} = 2\text{MHz}$. D'après cette supposition, l'expression de $\Delta\hat{G}$ s'exprime par l'équation (6.9) ci-dessous :

$$\Delta\hat{G} = \Delta\hat{G}_{BF} = \frac{\hat{G}_{cal_{BF}}}{\hat{G}_{ref_{BF}}} = \frac{G_{s(cal)} \times |H_{T/H(cal)_{BF}}|}{G_{s(ref)} \times |H_{T/H(ref)_{BF}}|} \approx \frac{G_{s(cal)}}{G_{s(ref)}} = \sqrt{\frac{(\hat{\beta}_{ref2})^2 + (\hat{\beta}_{ref3})^2}{(\hat{\beta}_{cal2})^2 + (\hat{\beta}_{cal3})^2}} \quad (6.9)$$

L'estimation du désappariement de bande passante ($\Delta\hat{B}\hat{W}$) se fait en calculant la différence entre le désappariement de gain basse fréquence ($\Delta\hat{G}_{BF}$) et celui haute

fréquence ($\Delta\hat{G}_{HF}$) comme le montre l'équation (6.10).

$$\Delta B\hat{W} = \Delta\hat{G}_{BF} - \Delta\hat{G}_{HF} \quad (6.10)$$

avec,

$$\Delta\hat{G}_{HF} = \frac{\hat{G}_{cal_{HF}}}{\hat{G}_{ref_{HF}}} = \frac{G_{s(cal)} \times |H_{T/H(cal)}_{HF}|}{G_{s(ref)} \times |H_{T/H(ref)}_{HF}|} = \sqrt{\frac{(\hat{\beta}_{ref_4})^2 + (\hat{\beta}_{ref_5})^2}{(\hat{\beta}_{cal_4})^2 + (\hat{\beta}_{cal_5})^2}} \quad (6.11)$$

Pour illustrer graphiquement l'équation (6.10), nous allons nous servir de l'exemple de la figure 6.2 où nous considérons que le désappariement de gain statique n'est pas encore compensé et que le désappariement de bande passante a engendré une bande passante de T/H_{ref} plus grande que celle de T/H_{cal} . Quoi qu'il en soit, peu importe le signe de $\Delta\hat{G}_{HF}$, le désappariement de bande passante n'est plus présent uniquement lorsque $\Delta\hat{G}_{HF} = \Delta\hat{G}_{BF}$ ce qui se traduit par un désappariement de gain statique sur toute la bande utile du signal. Il est à noter que le signe de $\Delta B\hat{W}$ est une information essentielle pour la partie compensation car il va permettre de définir le sens du réglage à appliquer pour égaliser $\Delta\hat{G}_{BF}$ et $\Delta\hat{G}_{HF}$.

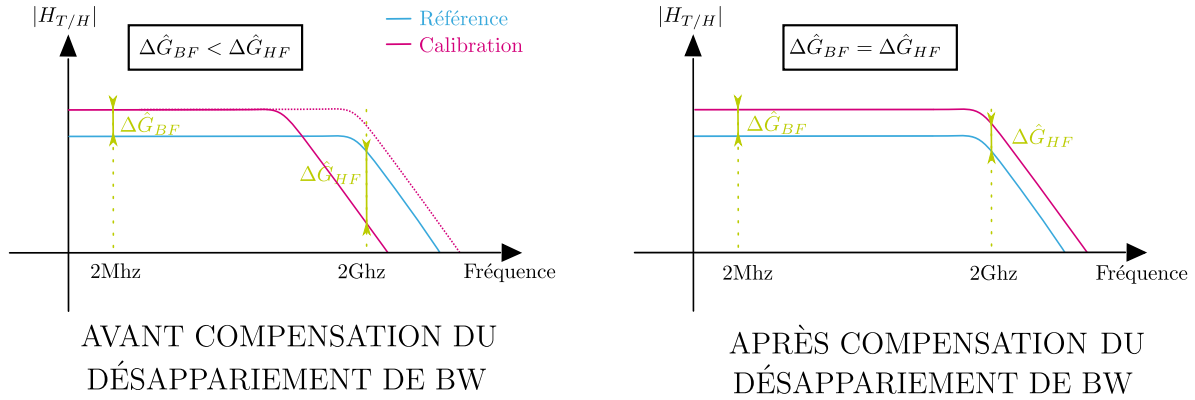


FIGURE 6.2 – Principe du processus d'estimation du désappariement de bande passante

L'estimation que nous proposons est plus précise que celle de [9] car au lieu d'approximer la fonction de transfert des T/H_s par un filtre RC du premier ordre et de calculer la différence des fréquences de coupure, ici notre critère d'estimation se base uniquement sur les données brutes sortant de chaque T/H . De plus, notre méthode d'estimation a l'avantage de prendre en compte le désappariement potentiel de gain statique créé lors de la compensation du désappariement de bande passante.

L'information du désappariement de l'instant d'échantillonnage ($\Delta\hat{S}$) s'obtient en retranchant le déphasage lié au désappariement de bande passante (ϕ_{BW}) au déphasage total (ϕ_{Tot}) entre les deux T/H_s . La valeur du skew étant indépendante de la fréquence du signal d'entrée, le calcul de $\Delta\hat{S}$ peut se faire soit à BF soit à HF comme le montre l'équation (6.12) où $\angle \underline{H}_{T/H(ref/cal)}_{(BF/HF)}$ représente la phase de la fonction de transfert

à la fréquence $f_{in_{BF}}$ ou $f_{in_{HF}}$.

$$\begin{aligned}\Delta\hat{S} &= \underbrace{(\hat{\theta}_{ref_{BF}} - \hat{\theta}_{cal_{BF}})}_{\phi_{Tot_{BF}}} - \underbrace{(\angle \underline{H}_{T/H_{ref_{BF}}} - \angle \underline{H}_{T/H_{cal_{BF}}})}_{\phi_{BW_{BF}}} \\ &= \underbrace{(\hat{\theta}_{ref_{HF}} - \hat{\theta}_{cal_{HF}})}_{\phi_{Tot_{HF}}} - \underbrace{(\angle \underline{H}_{T/H_{ref_{HF}}} - \angle \underline{H}_{T/H_{cal_{HF}}})}_{\phi_{BW_{HF}}}\end{aligned}\quad (6.12)$$

Pour pouvoir estimer $\Delta\hat{S}$, nous devons d'après l'équation (6.12) exprimer $\angle \underline{H}_{T/H_{ref}}$ et $\angle \underline{H}_{T/H_{cal}}$ en fonction des paramètres de gain renvoyés par l'estimateur à BF et à HF soit $\hat{G}_{(ref/cal)_{BF}} = |\underline{H}_{T/H_{(ref/cal)_{BF}}}|$ et $\hat{G}_{(ref/cal)_{HF}} = |\underline{H}_{T/H_{(ref/cal)_{HF}}}|$. Pour cela, nous allons dans un premier temps exprimer $\underline{H}_{T/H_{ref}}$ à BF ($f_{in_{BF}} = 2\text{MHz}$) et à HF ($f_{in_{HF}} = 2\text{GHz}$) en calculant la valeur de chaque monôme des polynômes P_{ref} et Q_{ref} à l'aide d'une analyse AC. Les résultats obtenus sont exprimés par les équations ci-dessous :

$$\left\{ \begin{aligned}\underline{H}_{T/H_{ref}}(w) &= \frac{P_{ref}(jw)}{Q_{ref}(jw)} = \frac{(1 - B_{[ref,1]}w^2 + D_{[ref,1]}w^4) + j(A_{[ref,1]}w - C_{[ref,1]}w^3)}{(1 - B_{[ref,2]}w^2 + D_{[ref,2]}w^4) + j(A_{[ref,2]}w - C_{[ref,2]}w^3)} \\ \underline{H}_{T/H_{ref_{BF}}} &= \frac{(1 - 5.4 \times 10^{-9} + 2.24 \times 10^{-20}) + j(1.16 \times 10^{-4} - 2.31 \times 10^{-14})}{(1 - 2.53 \times 10^{-8} + 1.37 \times 10^{-18}) + j(2.888 \times 10^{-4} - 6.245 \times 10^{-13})} \\ &\approx \frac{1 + j(1.16 \times 10^{-4})}{1 + j(2.888 \times 10^{-4})} \\ \underline{H}_{T/H_{ref_{HF}}} &= \frac{(1 - 5.4 \times 10^{-3} + 2.24 \times 10^{-8}) + j(1.16 \times 10^{-1} - 2.31 \times 10^{-5})}{(1 - 2.53 \times 10^{-2} + 1.37 \times 10^{-6}) + j(2.888 \times 10^{-1} - 6.245 \times 10^{-4})} \\ \underline{H}_{T/H_{ref_{HF}}} &\approx \frac{(1 - 5.4 \times 10^{-3}) + j(1.16 \times 10^{-1})}{(1 - 2.53 \times 10^{-2}) + j(2.888 \times 10^{-1})}\end{aligned}\right.\quad (6.13)$$

Les équations (6.13) montrent une expression différente de $\underline{H}_{T/H_{ref}}$ à BF et à HF. En effet, à BF $\underline{H}_{T/H_{ref}}$ contient un pôle et un zéro tandis qu'à HF elle en contient deux. Par conséquent, il est impossible d'exprimer $\angle \underline{H}_{T/H_{ref_{BF}}}$ ou $\angle \underline{H}_{T/H_{ref_{HF}}}$ en fonction des seuls paramètres $\hat{G}_{ref_{BF}}$ et $\hat{G}_{ref_{HF}}$ car comme le montre les équations (6.14), $\hat{G}_{ref_{BF}}$ et $\hat{G}_{ref_{HF}}$ incluent respectivement deux coefficients inconnus à BF et quatre à HF.

$$\left\{ \begin{aligned}|\underline{H}_{T/H_{ref_{BF}}}| &= \sqrt{\frac{1 + (2\pi A_{[ref,1]}f_{in_{BF}})^2}{1 + (2\pi A_{[ref,2]}f_{in_{BF}})^2}} = \hat{G}_{ref_{BF}} \\ \angle \underline{H}_{T/H_{ref_{BF}}} &= \arctan(2\pi A_{[ref,1]}f_{in_{BF}}) - \arctan(2\pi A_{[ref,2]}f_{in_{BF}}) \\ |\underline{H}_{T/H_{ref_{HF}}}| &= \sqrt{\frac{(1 - B_{[ref,1]}(2\pi f_{in_{HF}})^2)^2 + (2\pi A_{[ref,1]}f_{in_{HF}})^2}{(1 - B_{[ref,2]}(2\pi f_{in_{HF}})^2)^2 + (2\pi A_{[ref,2]}f_{in_{HF}})^2}} = \hat{G}_{ref_{HF}} \\ \angle \underline{H}_{T/H_{ref_{HF}}} &= \arctan\left(\frac{2\pi A_{[ref,1]}f_{in_{HF}}}{1 - 2\pi B_{[ref,1]}f_{in_{HF}}}\right) - \arctan\left(\frac{2\pi A_{[ref,2]}f_{in_{HF}}}{1 - 2\pi B_{[ref,2]}f_{in_{HF}}}\right)\end{aligned}\right.\quad (6.14)$$

Pour avoir une estimation précise de $\Delta\hat{S}$ à l'aide des paramètres sortant de l'estimateur, il faut ajouter des fréquences d'entrée afin d'avoir autant d'équations que d'inconnues. Pour éviter de complexifier notre estimation, nous allons choisir une solution beaucoup plus simple qui suppose que la fonction de transfert des **T/Hs** ne varie pas avec la fréquence et qu'elle contient uniquement un seul pôle. Avec cette supposition, les **T/Hs** sont désormais modélisés par un filtre RC du premier ordre dont la constante de temps $\tau_{(ref/cal)} = (R_{on-top(ref/cal)} + R_{on-bot(ref/cal)})C_s$. Avec cette modélisation, l'expression de $\underline{H}_{T/H_{(ref/cal)}}$ devient :

$$\underline{H}_{T/H_{(ref/cal)}}(w) = \frac{1}{1 + j\tau_{(ref/cal)}w} \quad (6.15)$$

où,

$$\begin{cases} |\underline{H}_{T/H_{(ref/cal)}}(w)| = \frac{1}{\sqrt{1 + (\tau_{(ref/cal)}w)^2}} \\ \angle \underline{H}_{T/H_{(ref/cal)}}(w) = -\arctan(\tau_{(ref/cal)}w) \end{cases} \quad (6.16)$$

À partir du module de l'équation (6.16), τ_{ref} peut désormais s'exprimer en fonction des paramètres estimés \hat{G}_{refBF} , \hat{G}_{refHF} comme le montre l'équation ci dessous :

$$\begin{cases} \hat{G}_{refBF} = G_s \times |\underline{H}_{T/H_{refBF}}| \approx G_s \\ \hat{G}_{refHF} = G_s \times |\underline{H}_{T/H_{refHF}}| = \frac{\hat{G}_{refBF}}{\sqrt{1 + (2\pi\tau_{ref}f_{inBF})^2}} \Rightarrow \tau_{ref} = \frac{\sqrt{\left(\frac{\hat{G}_{refBF}}{\hat{G}_{refHF}}\right)^2 - 1}}{2\pi f_{inHF}} \end{cases} \quad (6.17)$$

Par conséquent, si nous reprenons l'équation (6.12) et que nous appliquons les équations (6.16) et (6.17) il vient alors que l'expression de $\Delta\hat{S}$ s'exprime sous la forme suivante :

$$\Delta\hat{S} = \hat{\theta}_{refHF} - \hat{\theta}_{calHF} + \arctan\left(\sqrt{\left(\frac{\hat{G}_{refBF}}{\hat{G}_{refHF}}\right)^2 - 1}\right) - \arctan\left(\sqrt{\left(\frac{\hat{G}_{calBF}}{\hat{G}_{calHF}}\right)^2 - 1}\right) \quad (6.18)$$

Notre estimation du skew est le point faible de notre processus d'estimation car l'expression (6.18) découle d'une modélisation au premier ordre de la fonction de transfert des **T/Hs**. Mais nous pourrions vérifier a posteriori si notre approximation aura été valable selon les performances obtenues après calibration.

Maintenant qu'il est possible d'estimer les quatre erreurs d'appariement à partir d'échantillons pris dans la phase de maintien, nous allons comparer la valeur des désappariements d'offset, de gain statique et de skew avant et après avoir appliqué chaque technique de compensation de bande passante.

6.2 Comparaison des compensations de bande passante en phase de maintien

6.2.1 Vue d'ensemble de la calibration mixte

Une vue d'ensemble de la calibration mixte du désappariement de bande passante en phase de maintien est exposée à la figure 6.3. La calibration mixte est implémentée dans une plateforme de simulation mixte Cadence/Matlab où la communication entre les deux logiciels est réalisée à l'aide du langage de programmation ECL.

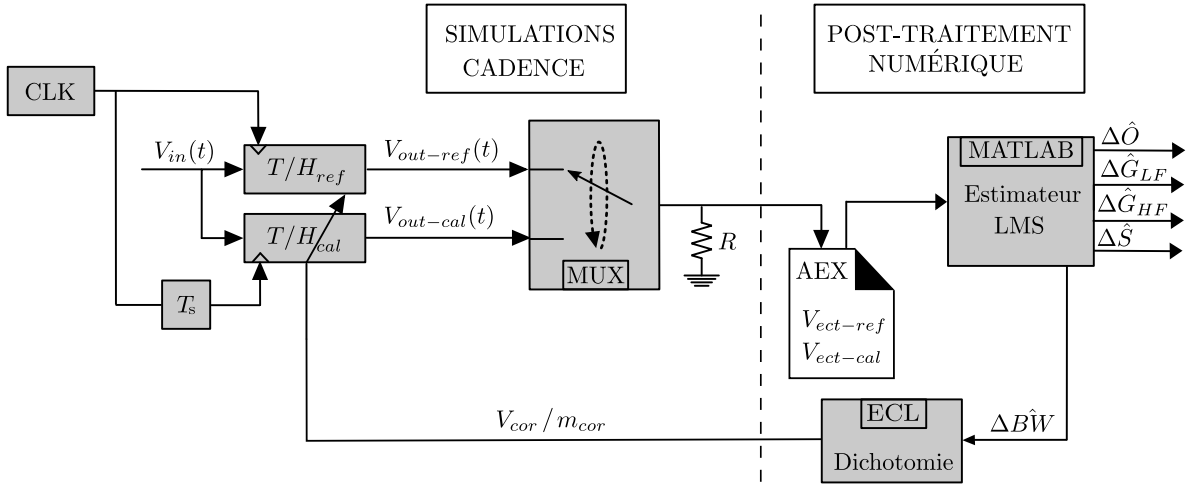


FIGURE 6.3 – Plateforme de simulation mixte permettant de calibrer le désappariement de bande passante en phase de maintien

Deux T/H s entrelacés échantillonnent à tour de rôle le signal d'entrée défini par l'équation (6.1) à la cadence $f_s/2$. Pour reconstruire un échantillonnage à la fréquence f_s , la tension stockée sur la capacité d'échantillonnage C_s de chaque T/H à la fin de la phase de maintien est ensuite amené aux bornes d'une résistance notée R à l'aide d'un multiplexeur. Le pont résistif créé par les résistances des transistors du multiplexeur et R a amené à choisir R de manière à ne pas trop atténuer le signal échantillonné. De ce fait, la valeur de R est d'environ une centaine de Kilo-Ohm tandis que celle des transistors du multiplexeur à l'état passant et bloqué est de l'ordre de l'Ohm et du Giga-Ohm.

Pour extraire la valeur de la tension stockée sur R à des intervalles de temps espacés de T_s , nous allons utiliser des fonctions d'extraction disponibles depuis le simulateur Eldo. Ces données extraites sont rangées dans deux vecteurs de tension ($V_{ect-ref}$ et $V_{ect-cal}$) qui sont écrits dans un fichier d'extraction (fichier *AEX*). Un script MATLAB va venir lire les données du fichier *AEX* afin d'estimer les désappariements d'offset ($\Delta\hat{O}$), de gain BF et HF ($\Delta\hat{G}_{LF/HF}$), de skew ($\Delta\hat{S}$) et de bande passante ($\Delta\hat{B}\hat{W}$) à l'aide de l'algorithme des Moindres Carrés présenté précédemment. Comme les désappariements sont estimés à chaque itération de la calibration du désappariement de bande passante, nous allons donc pouvoir observer l'impact de notre correction sur ces différents défauts.

La compensation du désappariement de bande passante est effectuée dans le domaine analogique pour toutes les compensations de bande passante comme le montre l'algorithme représenté à la figure 6.4.

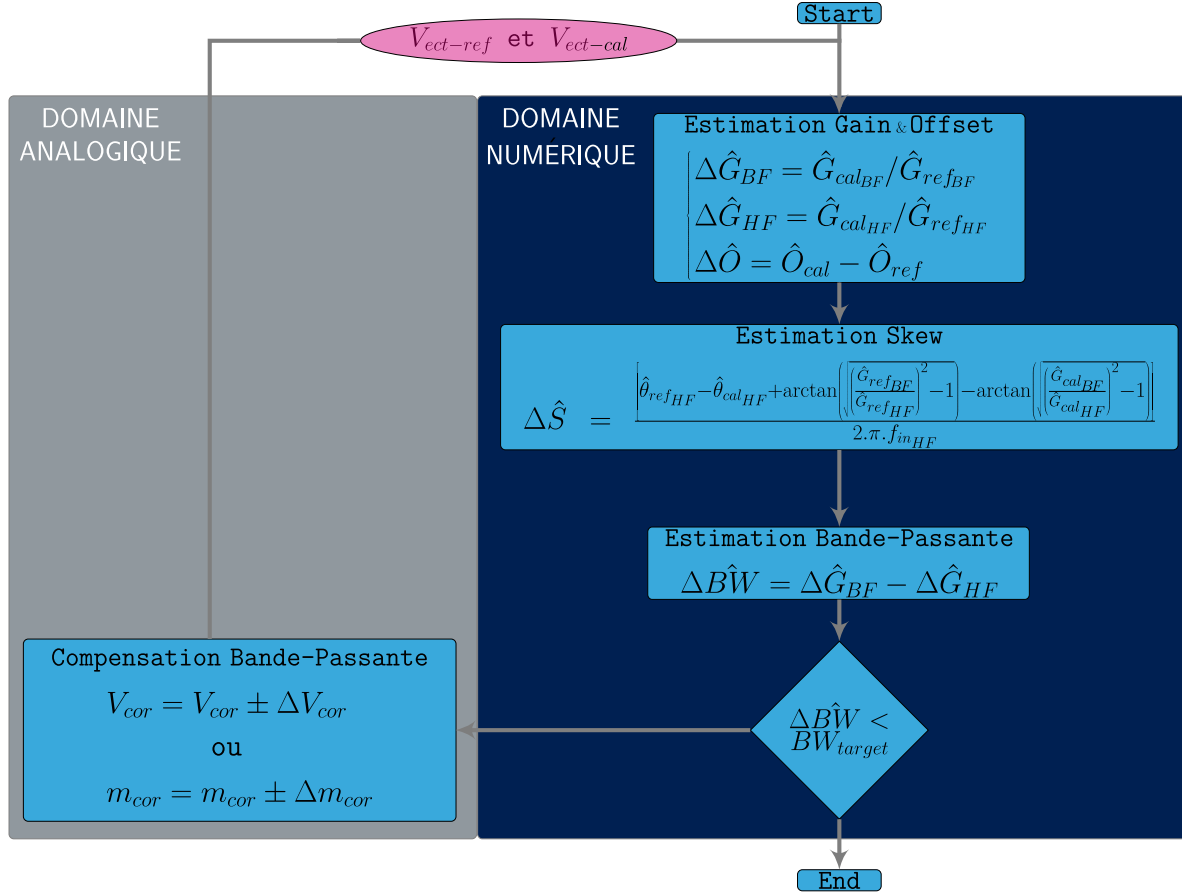


FIGURE 6.4 – Algorithme de la calibration mixte appliqué à l’erreur de bande passante

Pour que le comparatif entre toutes les compensations soit équitable, chaque réglage de compensation doit pouvoir être ajusté avec le même niveau de précision. Pour les compensations BB_{bot} , V_{G-top} , V_{G-bot} et V_{S-bot} , la tension de compensation V_{cor} (initialement polarisée à 0V) est ajustée avec une précision virgule flottante par un algorithme de dichotomie implémenté dans le domaine numérique en ECL. Si nous souhaitons garder ce niveau de précision avec la compensation ΔW , nous devons ajuster la largeur du plus petit transistor additionnel et non le nombre de transistors additionnels à activer. En effet, plus cette largeur est petite plus la précision de la compensation ΔW est élevée. Par conséquent, l’algorithme de dichotomie va donc ajuster avec une précision virgule flottante le paramètre m_{cor} (initialement réglé à 1) qui est un facteur multiplicatif commun à tous les transistors additionnels activés (cf section 5.3). Tant que la valeur de $\Delta \hat{B}\hat{W}$ est supérieure à la valeur d’un certain seuil noté BW_{target} , le réglage de compensation optimal n’est pas trouvé et par conséquent, toute la boucle de calibration est relancée. Lorsque la calibration est terminée ($\Delta \hat{B}\hat{W} < BW_{target}$), les quantités

d'offset, de gain statique et de skew ajoutées par la compensation de bande passante (notées respectivement $Q_{\hat{O}}$, $Q_{\hat{G}}$ et $Q_{\hat{S}}$) sont définies par les équations ci-dessous :

$$\begin{cases} Q_{\hat{O}} = \Delta\hat{O}_0 - \Delta\hat{O}_{\text{end}} & [V] \\ Q_{\hat{G}} = \left(\frac{\Delta\hat{G}_{\text{end}}}{\Delta\hat{G}_0} - 1 \right) \times 100 & [\%] \\ Q_{\hat{S}} = \left(\frac{\Delta\hat{S}_0 - \Delta\hat{S}_{\text{end}}}{T_s} \right) \times 100 & [\% \text{ de } T_s] \end{cases} \quad (6.19)$$

avec $\Delta\hat{O}_0$, $\Delta\hat{G}_0$ et $\Delta\hat{S}_0$ la valeur des estimés avant la calibration de la bande passante ($V_{\text{cor}} = 0$) et $\Delta\hat{O}_{\text{end}}$, $\Delta\hat{G}_{\text{end}}$ et $\Delta\hat{S}_{\text{end}}$ la valeur des estimés lorsque le réglage de la compensation de bande passante est optimal ($\Delta\hat{B}W < BW_{\text{target}}$).

Dans le cas de la compensation de type ΔW , les paramètres $\Delta\hat{O}_0$, $\Delta\hat{G}_0$ et $\Delta\hat{S}_0$ représentent les valeurs des estimées lorsque $m_{\text{cor}} = 1$ et lorsqu'aucun transistor additionnel n'est activé soit lorsque le code du bus de contrôle est 0. Enfin, les paramètres $\Delta\hat{O}_{\text{end}}$, $\Delta\hat{G}_{\text{end}}$ et $\Delta\hat{S}_{\text{end}}$ sont les valeurs des estimés lorsque le code max ($2^N - 1$) est appliqué sur le bus de contrôle du T/H en calibration et lorsque le paramètre m_{cor} est optimal. Le choix d'effectuer la calibration du désappariement de bande passante en appliquant le code max permet de simuler le pire cas car c'est celui qui dégrade le plus les désappariements existants.

Pour la suite, nous allons appliquer cette calibration mixte pour chaque compensation de bande passante proposée afin d'extraire les estimés $Q_{\hat{O}}$, $Q_{\hat{G}}$ et $Q_{\hat{S}}$ lorsque le réglage de compensation appliqué a une précision virgule flottante. De ce fait, nous allons pouvoir estimer la meilleure compensation possible en comparant la dégradation de ces trois désappariements. Avant d'exécuter cette calibration mixte, nous rappelons que la compensation BB_{top} est exclue de ce comparatif car comme nous l'avons vu précédemment sa plage de variation est insuffisante pour pouvoir compenser le pire cas de désappariement de bande-passante.

6.2.2 Comparaison des différentes techniques de compensation

Tous les résultats qui vont suivre dans cette section sont obtenus avec les mêmes conditions de simulation qu'en 5.5.1. Les fréquences du signal de calibration injecté en entrée des T/Hs sont choisies cohérentes avec la fréquence d'échantillonnage f_s de manière à pouvoir effectuer une FFT avec les mêmes fréquences que celles utilisées pour la calibration. Il vient alors que $f_{\text{in}_{BF}} = 31.25$ MHz et $f_{\text{in}_{HF}} = 1.984375$ GHz. Pour ce qui concerne la compensation ΔW , nous avons choisi d'utiliser cinq transistors additionnels. En conséquence, le code max appliqué au moment de la calibration est de 31. Enfin, nous rappelons également via le tableau 6.1 que le ratio avant compensation du désappariement de bande passante entre $R_{\text{on-top}}$ et $R_{\text{on-bot}}$ diffère d'une compensation à une autre afin d'optimiser la performance de chaque compensation de bande passante.

	BB_{bot}	V_{G-top}	V_{G-bot}	V_{S-bot}	ΔW
R_{on-bot} [Ω]	60%	70%	30%	30%	50%
R_{on-top} [Ω]	40%	30%	70%	70%	50%

TABLE 6.1: Répartition de R_{on-top} et R_{on-bot} dans la résistance équivalente R_{EQ} avant l'exécution de chaque compensation de bande passante

6.2.2.1 Exécution de la calibration mixte pour chaque compensation

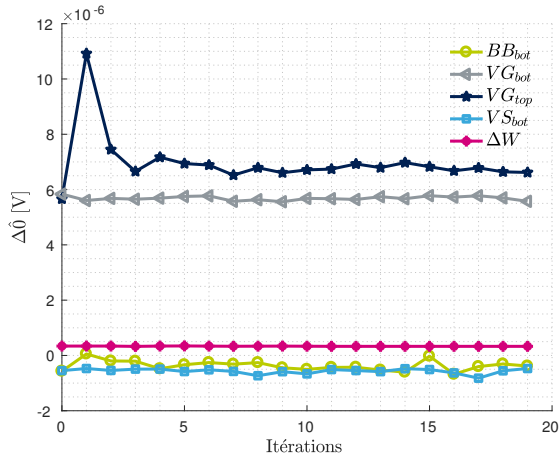
Les résultats affichés à la figure 6.5 rassemblent l'évolution des quatre erreurs d'appariement estimées en fonction du nombre d'itérations effectués et cela pour chaque compensation de bande-passante proposée. En se basant sur les données des figures 6.5, les valeurs des paramètres $Q_{\hat{O}}$, $Q_{\hat{G}}$ et $Q_{\hat{S}}$ sont extraits pour chaque compensation et résumées dans le tableau 6.2. La plus grande et la plus faible valeur de chaque ligne est respectivement mise en évidence par des cases rouges et des cases vertes.

Compensation	BB_{bot}	V_{G-top}	V_{G-bot}	V_{S-bot}	ΔW
Réglage ($V_{cor-opt}$ [mV] ou $m_{cor-opt}$)	309.759	-98.022	-42.90	43.777	3.31337
BW restant ($\Delta B\hat{W}$) [$10.e^{-8}$]	-3.33	-8.00	2.39	1.73	-0.047
Offset ajouté ($Q_{\hat{O}}$) [nV]	40.12	1078	-58.5	75.8	9.7
Gain statique ajouté ($Q_{\hat{G}}$) [%]	-0.0014	0.0407	0.0047	-0.0069	-0.0042
Skew ajouté ($Q_{\hat{S}}$) [% de T_s]	-0.467	0.151	0.437	-0.626	-0.319

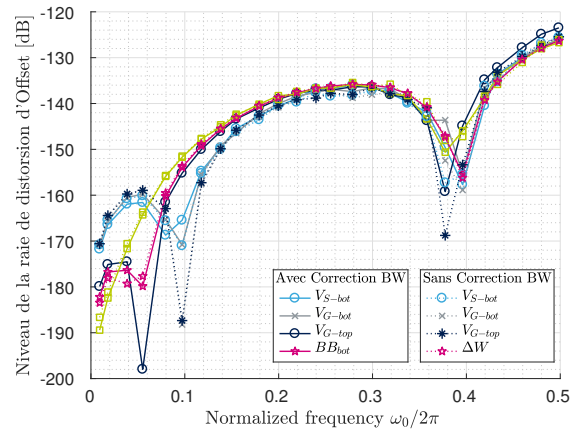
TABLE 6.2: Dégradation des erreurs d'appariement d'Offset, de Gain et de Skew après chaque compensation de bande passante avec un réglage optimal $V_{cor-opt}$ ou $m_{cor-opt}$

Tout d'abord avant d'étudier chaque figure en détail, nous précisons qu'à cause des différents ratios entre R_{on-top} et R_{on-bot} et du fait que le nœud de body de SW_{bot} est polarisé à une tension différente selon la compensation utilisée², la valeur des désappariements d'offset, de gain, de skew et de bande passante avant calibration (Itération 0) va différer d'une compensation à une autre. En effet si nous prenons l'exemple du skew, nous constatons une légère différence entre la quantité de skew initiale ($\Delta\hat{S}_0$) de BB_{bot} et de V_{S-bot} . Maintenant si nous observons la valeur de $\Delta\hat{S}_0$ ou de $\Delta\hat{G}_0$ pour les compensations V_{S-bot} et V_{G-bot} , nous constatons que ces valeurs sont inversées. Cette différence s'explique simplement par le fait que le T/H de référence n'est pas le même pour ces deux compensations. En effet, comme les compensations V_{G-top} et V_{G-bot} abaissent respectivement la tension de grille de SW_{bot} et de SW_{top} , la valeur de R_{EQ} du T/H en calibration augmente après avoir appliqué la compensation. Par conséquent dans ce cas, c'est le T/H qui détient la plus petite bande passante qui est choisi comme référence. Pour les autres compensations (V_{S-bot} , BB_{bot} et ΔW) c'est l'inverse car elles diminuent toutes la valeur de R_{EQ} du T/H en calibration. Enfin, nous notons qu'à cause

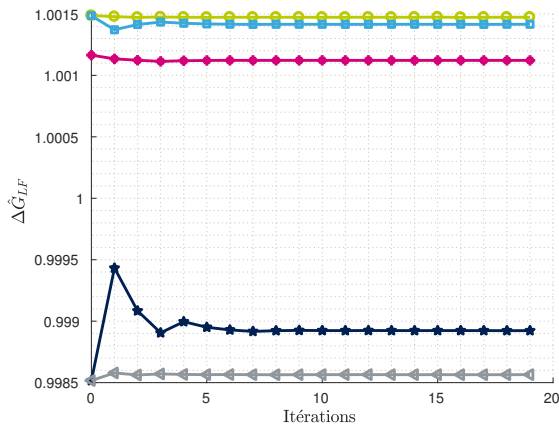
2. Le body de SW_{bot} est connecté à la tension de mode commun pour les calibrations modulant le V_{gs} et à la masse pour les calibrations BB_{bot} et ΔW



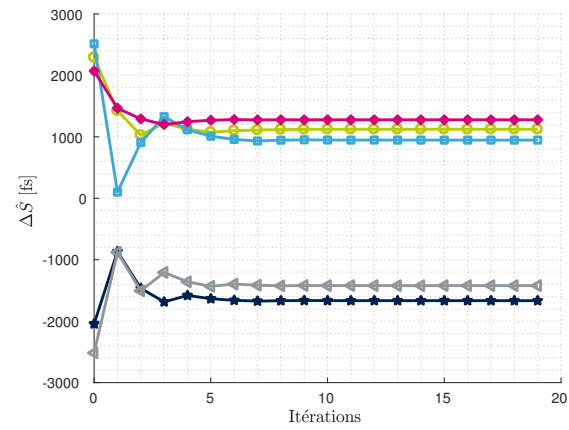
(a) Évolution de $\Delta\hat{O}$ en fonction du nombre d'itérations



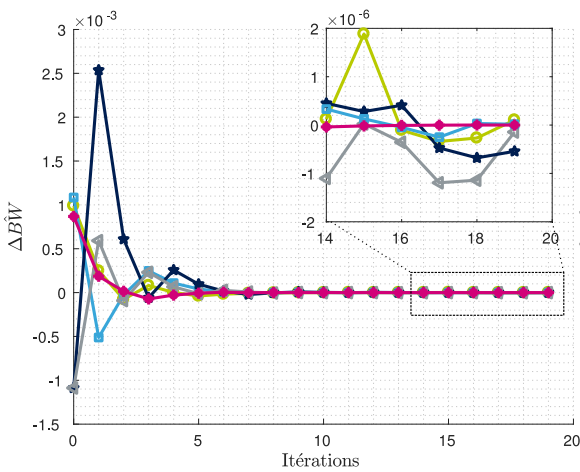
(b) Niveau de la raie de distorsion due au désalignement d'Offset en fonction de la fréquence d'entrée



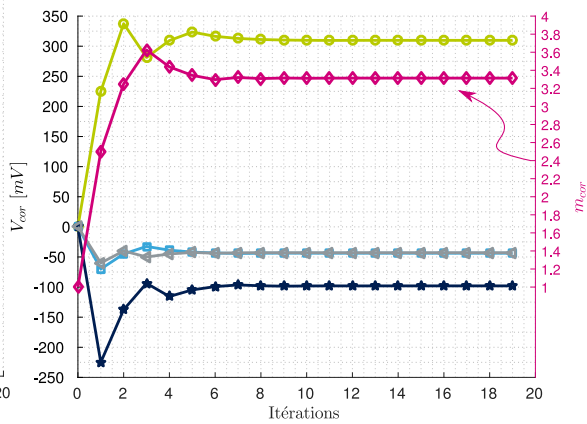
(c) $\Delta\hat{G}_{BF}$ en fonction du nombre d'itérations



(d) $\Delta\hat{S}$ en fonction du nombre d'itérations



(e) $\Delta B\hat{W}$ en fonction du nombre d'itérations



(f) V_{cor} et m_{cor} en fonction du nombre d'itérations

FIGURE 6.5 – Évolution des paramètres d'estimation en fonction du nombre d'itérations de la calibration pour chaque compensation de bande-passante

des transistors additionnels, tous les désappariements initiaux de la compensation ΔW diffèrent largement avec ceux des autres compensations.

La figure 6.5a montre que toutes les compensations de bande passante proposées dégradent l'erreur d'appariement d'offset car l'estimé initial $\Delta\hat{O}_0$ (Itération 0) diffère de l'estimé final $\Delta\hat{O}_{end}$. Sur le plan théorique, une dégradation de l'offset n'est pas importante car ce défaut se calibre très facilement en numérique. En revanche sur le plan pratique, un offset trop important peut entacher la dynamique du CAN-ET car le quantificateur qui vient après le T/H ne travaillera plus dans sa plage d'entrée idéale ce qui entrainera des non-linéarités supplémentaire. Toutefois d'après le tableau 6.2, nous constatons que la quantité d'offset ajoutée par chaque compensation est très faible car elle est de l'ordre de la dizaine de nanoVolt. Pour voir l'impact de cette dégradation sur le spectre de sortie du CAN-ET, une FFT est réalisée durant la phase de maintien des T/Hs lorsque chaque compensation est activée ou non. Les résultats obtenus sont affichés à la figure 6.5b où le niveau de la raie de distorsion liée au désappariement d'offset est tracé en fonction de la fréquence d'entrée. Comme le désappariement d'offset est indépendant de la fréquence d'entrée, le niveau de la raie de distorsion lié à ce désappariement doit être identique sur toute la bande utile du signal. Or ici, nous constatons que ce niveau varie selon la fréquence d'entrée du signal. Ce résultat s'explique simplement par le fait que le désappariement d'offset est tellement faible après calibration que le niveau extrait représente le bruit de quantification créer par le simulateur. De ce fait pour la suite de notre comparaison, nous allons considérer que le critère $Q_{\hat{O}}$ n'a pas d'intérêt pour choisir la meilleure compensation de bande passante tout comme le fait d'effectuer une calibration du désappariement d'offset une fois que la compensation de bande passante ait été exécutée.

D'après la figure 6.5c, nous constatons que peu importe la compensation utilisée, le désappariement de gain se retrouve toujours modifié après l'application de chaque compensation. Nous notons que pour toutes les compensations la valeur de ce dernier est toujours plus faible après qu'avant l'application de chaque compensation (car il tend vers 1). Pour quantifier cette modification, les équations (6.19) sont appliquées et les résultats sont résumés dans l'avant dernière ligne du tableau 6.2 ($Q_{\hat{G}}$). D'après ces valeurs, la compensation V_{G-top} est celle qui dégrade le plus le désappariement de gain en modifiant ΔG_0 de 0.04%. La dégradation du gain statique est cependant pas très grave car ce désappariement peut facilement être corrigé en numérique une fois le désappariement de bande passante calibré.

La figure 6.5d trace l'évolution de $\Delta\hat{S}$ en fonction de la compensation de bande passante et du réglage de compensation appliqué. Tout comme le cas du désappariement de gain, nous constatons que la quantité de skew après compensation est toujours plus faible que celle avant compensation (car sa valeur tend vers 0). La dernière ligne du tableau 6.2 récapitule les valeurs du paramètre $Q_{\hat{S}}$ pour chaque compensation. D'après ce tableau, nous identifions que la compensation V_{S-bot} est celle qui modifie le plus ΔS_0 car elle ajoute environ 1.5 ps de skew malgré sa tension de compensation qui est de seulement 25mV.

Les figures 6.5e et 6.5f servent uniquement à illustrer pour chaque compensation l'évolution de l'estimé de bande passante $\Delta B\hat{W}$ en fonction du nombre d'itérations de la calibration et de la valeur du réglage. Nous constatons effectivement la convergence de notre algorithme.

Tout d'abord, ces premiers résultats permettent de confirmer notre étude du chapitre 3 (page 74) car nous constatons qu'un désappariement de dimension des transistors d'échantillonnage et de la capacité d'échantillonnage engendre bien des désappariements d'offset, de gain, de skew et de bande passante. De plus, ils mettent en évidence le fait que chaque compensation de bande passante modifie la valeur des désappariements existants. Parmi les trois désappariements dégradés, seul les désappariements de gain et de skew sont modifiés de manière significative³. En conséquence, la meilleure compensation de bande passante est celle qui dégradent le moins ces deux désappariements. D'après les résultats du tableau 6.2, nous constatons qu'aucune compensation proposée modifie peu $\Delta\hat{G}$ et $\Delta\hat{S}$ simultanément. De plus, nous remarquons que la valeur de chaque critère est semblable d'une compensation à une autre. Par conséquent, nous allons extraire d'autres critères de sélection pour approfondir notre comparatif et nous aider à choisir la meilleure compensation de bande passante. Comme la calibration mixte est exécutée en injectant deux tons, nous proposons d'extraire le SFDR sur toute la bande lorsque le réglage optimal de chaque compensation est appliqué. Malheureusement comme les raies de distorsions engendrées par les désappariements de gain et de skew apparaissent aux mêmes fréquences que celles liées au désappariement de bande passante, nous devons les compenser parfaitement avant d'extraire ce nouveau critère. Pour éviter les erreurs de compensation, nous allons donc utiliser des blocs théoriques idéaux qui ont une précision virgule flottante. Le désappariement de gain va donc être compensé en multipliant la sortie de T/H_{cal} par un paramètre G_{cor} tandis que le skew sera compensé en retardant les horloges d'échantillonnage de T/H_{cal} par un retard idéal fixe réglé à la valeur du paramètre S_{cor} . La valeur de ces deux paramètres est définie par les équations ci-dessous :

$$\begin{cases} G_{cor} = \frac{1}{\Delta\hat{G}_{BF_{opt}}} \\ S_{cor} = \Delta\hat{S}_{opt} \end{cases} \quad (6.20)$$

avec $\Delta\hat{G}_{BF_{opt}}$, $\Delta\hat{S}_{opt}$ les estimés renvoyés par l'estimateur lorsque le réglage de compensation du désappariement de bande passante est optimal ($V_{cor} = V_{cor-opt}$ et $m_{cor} = m_{cor-opt}$).

6.2.2.2 Extraction des paramètres SFDR et THD

Le banc de simulation utilisé pour cette partie est affiché à la figure 6.6.

3. Il est donc inutile d'effectuer une calibration du désappariement d'offset une fois que la compensation de bande passante ait été appliquée

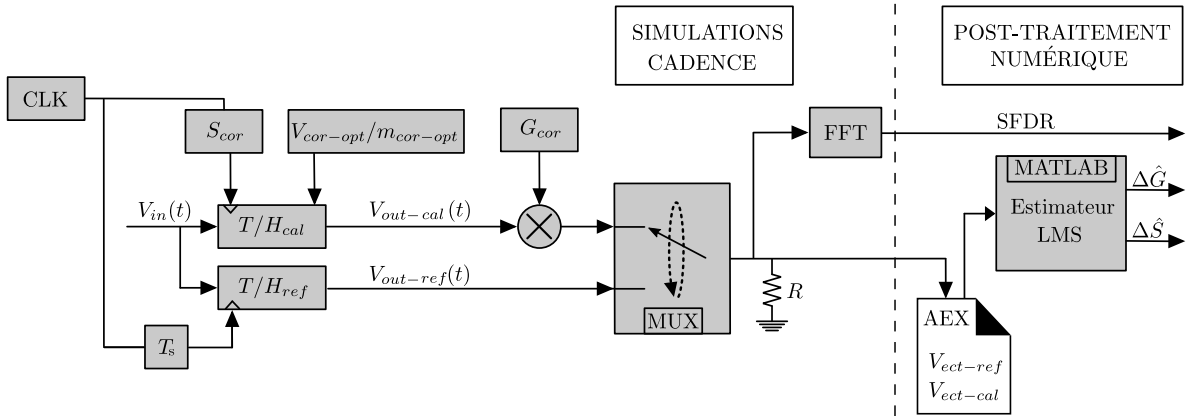


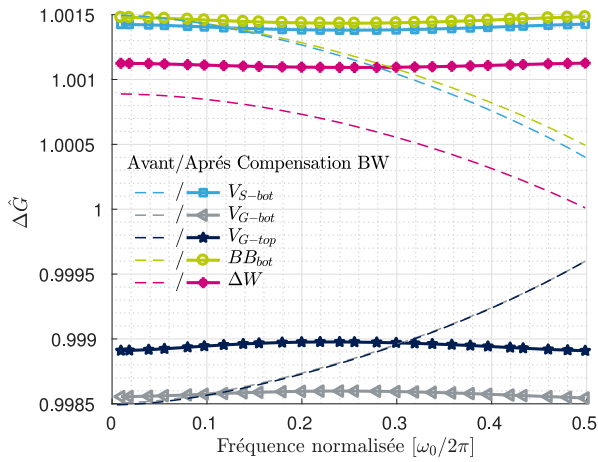
FIGURE 6.6 – Banc de simulation post-calibration du désappariement de bande passante pour extraire le SFDR et les estimés $\Delta\hat{G}$ et $\Delta\hat{S}$

Grâce à une analyse fréquentielle réalisée en sortie du multiplexeur, nous allons pouvoir extraire le SFDR pour différentes valeurs de fréquence du signal d’entrée. Nous rappelons que les valeurs du SFDR qui nous intéressent sont uniquement celles qui sont obtenues après avoir compensé les désappariements de gain, de skew et de bande passante. Pour arriver à ce résultat, nous allons donc appliquer successivement les paramètres $V_{cor-opt}/m_{cor-opt}$, G_{cor} et S_{cor} qui sont réglés aux valeurs définies par l’équation (6.20) et par la deuxième ligne du tableau 6.2. Pour observer l’impact de chaque paramètre appliqué, nous allons également sortir les estimés $\Delta\hat{G}$ et $\Delta\hat{S}$ à l’aide notre estimateur.

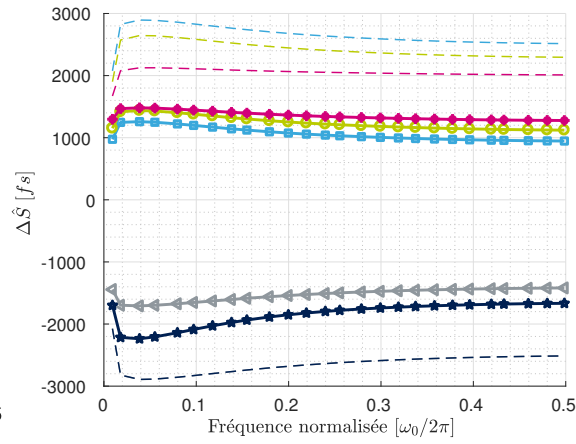
Les résultats obtenus sont montrés sur la figure 6.7 pour chaque compensation de bande passante où les courbes sans/avec marqueurs représentent respectivement l’état des estimés et du SFDR avant/après chaque nouveau paramètre appliqué.

La première série de 3 sous-figures (figures 6.7a, 6.7b, 6.7c) représente les résultats obtenus lorsque la compensation de bande passante (BW) est appliquée. L’effet de la compensation de bande passante est clairement mis en évidence sur la figure 6.7a car après compensation la forme de l’estimé $\Delta\hat{G}$ s’est fortement aplatie signifiant que le désappariement de gain restant est dû principalement à un gain statique. Si nous comparons la valeur du gain statique ($\Delta G_{f_{in}=0.01 \times f_s}$) avant et après avoir compensé la bande passante, nous retrouvons les résultats du tableau 6.2. La modification à la baisse du gain statique est clairement visible avec les compensations V_{G-top} et ΔW . Maintenant, si nous grossissons autour des courbes de chaque compensation⁴ nous constatons une sorte de “ventre” entre les extrémités de la bande utile. Cette valeur non constante de $\Delta\hat{G}$ provient du fait que nous essayons de compenser une fonction de transfert composée de cinq pôles et de cinq zéros en agissant uniquement sur un seul paramètre qui est commun à chaque pôle et zéro. Par conséquent, comme notre estimateur dispose uniquement que deux mesures ($\Delta G_{f_{in}=0.01 \times f_s}$ et $\Delta G_{f_{in}=0.49 \times f_s}$), le réglage trouvé sera

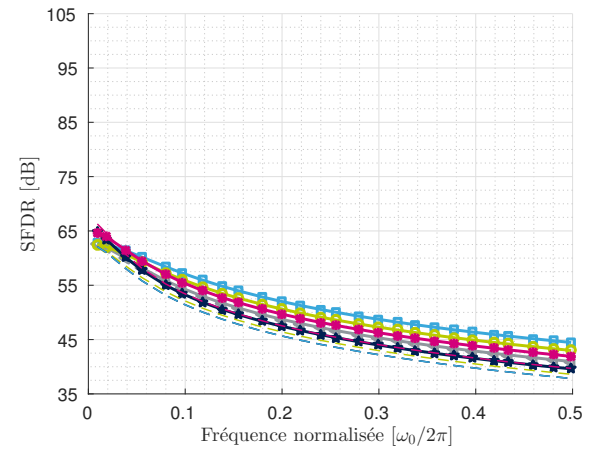
4. Le grossissement cité n’est pas affiché sur la figure 6.7a pour des raisons de lisibilité. En revanche, il est affiché sur la figure 6.7d où le gain statique est corrigé idéalement



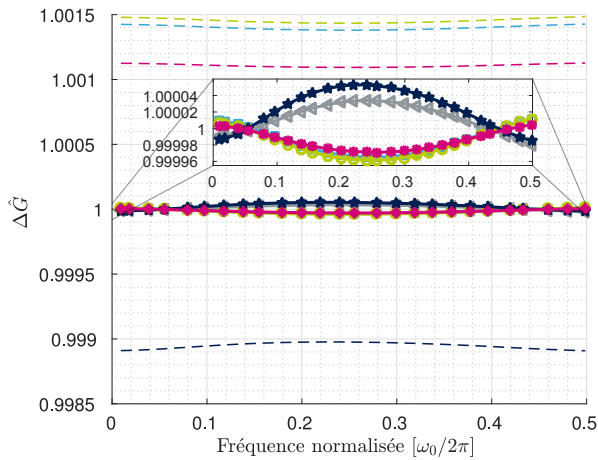
(a) $\Delta\hat{G}$ en fonction de la fréquence d'entrée avant et après la compensation de bande passante (BW)



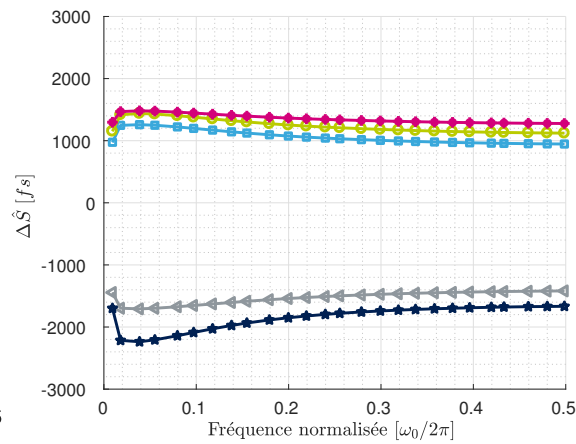
(b) $\Delta\hat{S}$ en fonction de la fréquence d'entrée avant et après la compensation de bande passante (BW)



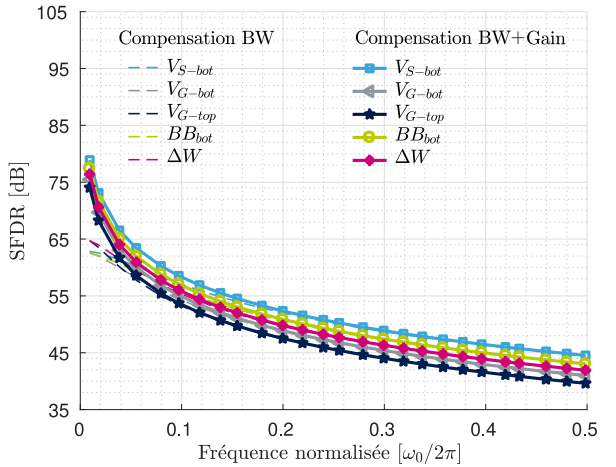
(c) SFDR en fonction de la fréquence d'entrée avant et après la compensation de bande passante (BW)



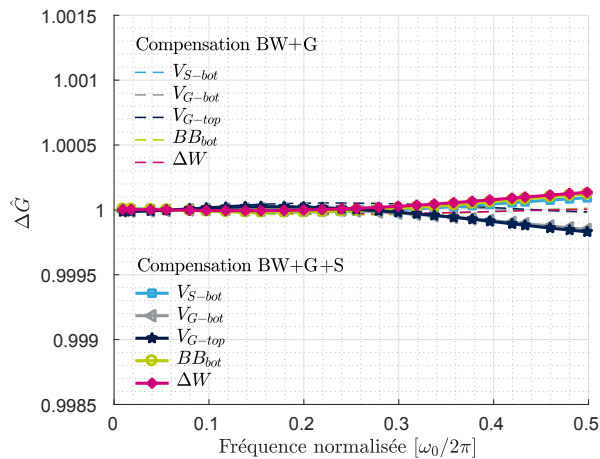
(d) $\Delta\hat{G}$ en fonction de la fréquence d'entrée avec la compensation de bande passante (BW) et les compensations de bande passante et de gain (BW+G)



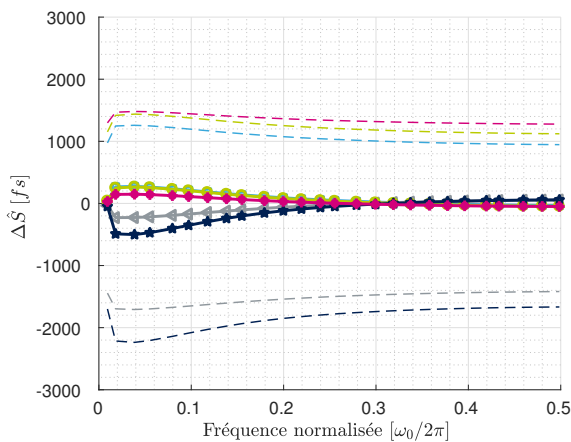
(e) $\Delta\hat{S}$ en fonction de la fréquence d'entrée avec la compensation de bande passante (BW) et les compensations de bande passante et de gain (BW+G)



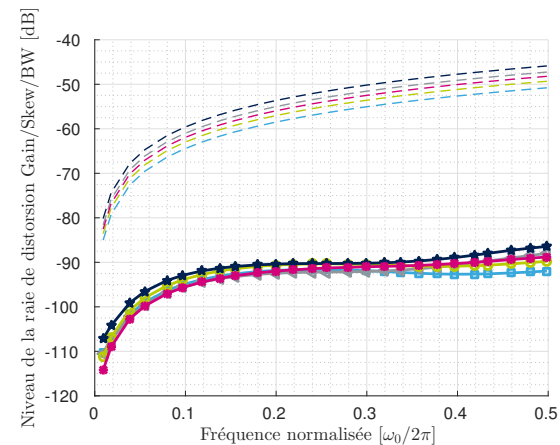
(f) SFDR en fonction de la fréquence d'entrée avec la compensation de bande passante (BW) et les compensations de bande passante et de gain (BW+G)



(g) $\Delta\hat{G}$ en fonction de la fréquence d'entrée avec les compensations de Bande passante et de Gain (BW+G) et après toutes les compensations (BW+G+S)

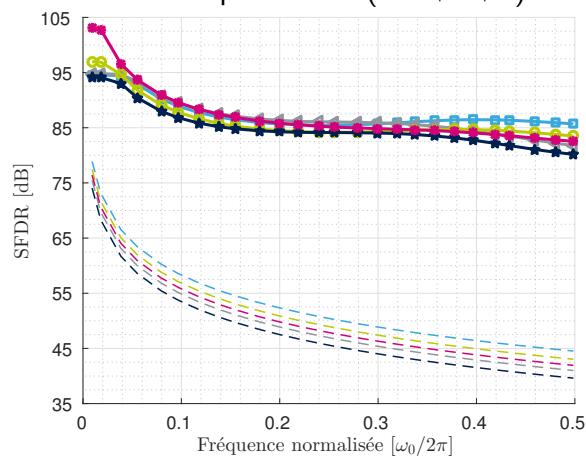


(h) $\Delta\hat{S}$ en fonction de la fréquence d'entrée avec les compensations de Bande passante et de Gain (BW+G) et après toutes les compensations (BW+G+S)

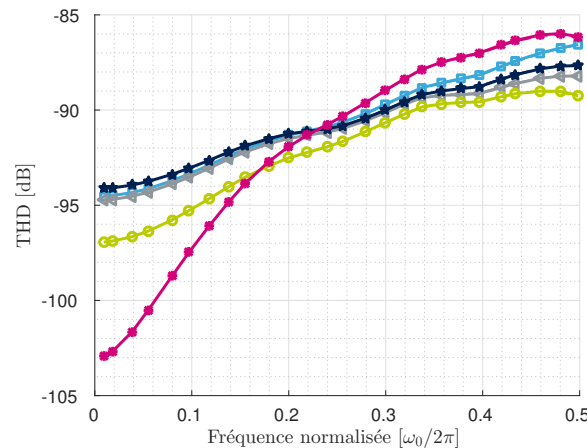


(i) Niveau des raies de distorsion dues aux désappariements de Gain, Skew et de Bande passante en fonction de la fréquence d'entrée

178



(j) SFDR en fonction de la fréquence d'entrée avec les compensations de Bande passante et de Gain (BW+G) et après toutes les compensations (BW+G+S)



(k) Taux de distorsion harmonique en fonction de la fréquence d'entrée

FIGURE 6.7 – Résultats obtenus en appliquant successivement les paramètres $V_{cor-opt}/m_{cor-opt}$, G_{cor} et S_{cor} lorsque la FFT est réalisée en phase de maintien

uniquement vrai sur ces deux fréquences et non sur toute la bande utile du signal. C’est ce phénomène que nous constatons sur la figure 6.7a et qui apparaît également sur la figure 6.7b car nous rappelons que $\Delta\hat{S}$ dépend de l’estimé $\Delta B\hat{W}$.

Enfin, si nous comparons la valeur du SFDR avant et après avoir appliqué la compensation de bande passante, nous ne constatons pas d’amélioration à basse fréquence mais une légère amélioration vers les hautes fréquences. Ce résultat est prévisible car l’effet du désappariement de bande passante se manifeste principalement à haute fréquence. D’après la figure 6.7c et les valeurs du tableau 6.2, la compensation V_{S-bot} est celle qui permet d’atteindre le meilleur SFDR mais qui dégrade le plus le skew. Par conséquent, il est impossible de savoir à ce stade si cette meilleure performance est due à une meilleure correction du désappariement de bande passante ou grâce à un désappariement de skew et de gain restant moins important. De ce fait, la prochaine compensation à appliquer est celle du gain statique à l’aide du paramètre G_{cor} . Les résultats obtenus sont affichés sur les 3 sous-figures suivantes soit 6.7d, 6.7e et 6.7f.

Le phénomène de “ventre” décrit précédemment est mis en évidence sur la figure 6.7d grâce au grossissement effectué autour de 1. Ce grossissement montre que l’amplitude du ventre diffère selon la compensation utilisée. Par exemple, la compensation ΔW est celle qui détient l’amplitude la moins importante car l’activation des transistors additionnels va modifier plusieurs paramètres de la fonction de transfert du T/H en calibration et donc pour un même réglage, la fréquence de plusieurs pôles et zéros va être grandement modifiée. À l’inverse, comme la compensation V_{G-top} n’agit principalement que sur la résistance à l’état passant du transistor (cf figure 5.17), l’amplitude du “ventre” est plus grand car dans ce cas nous n’ajustons qu’un seul paramètre de la fonction de transfert du T/H en calibration. Pour ce qui concerne les compensations modulants les tensions de polarisation de SW_{bot} , nous observons plus ou moins une même amplitude de “ventre”.

La figure 6.7e montre que la compensation de gain n’a pas modifié le désappariement de skew existant ce qui est attendu car aucune relation existe entre ces deux désappariements. En revanche si nous observons la figure 6.7f, nous constatons qu’elle a permis d’améliorer le critère du SFDR aux basses fréquences mais non aux hautes fréquences. En effet à ce stade de la calibration mixte, la valeur du SFDR aux hautes fréquences est limité par le skew qui n’est pas encore compensé. Par conséquent, nous allons donc maintenant retarder idéalement les horloges d’échantillonnages CLK_{BOT} et CLK_{TOP} par la valeur S_{COR} afin de compenser le skew restant. Les résultats obtenus après cette compensation idéale sont affichés sur les figures 6.7g, 6.7h, 6.7j, 6.7i et 6.7k.

Si nous regardons la figure 6.7g, nous remarquons que la compensation de skew a modifié la courbe de $\Delta\hat{G}$ car celle-ci n’est plus constante sur toute la plage de fréquence comme c’était le cas juste avant. En effet, la légère inflexion qui apparaît vers les hautes fréquences semble signifier qu’un désappariement de bande passante résiduel n’est pas compensé car le gain estimé aux basses fréquences est inchangé. La modification apportée par la compensation idéale du skew est très surprenante car cela signifie qu’une relation existe entre le désappariement de bande passante et un retard sur les hor-

loges d'échantillonnage. Après avoir effectué plusieurs simulations, l'hypothèse la plus plausible qui justifie ce phénomène est un désappariement des capacités non linéaires des transistors d'échantillonnage car celles-ci sont responsables d'un désappariement de gain comme nous l'avons montré dans le chapitre 3. Cette justification reste cependant une hypothèse car nous n'avons pas réussi à prouver cette hypothèse via des simulations transistors.

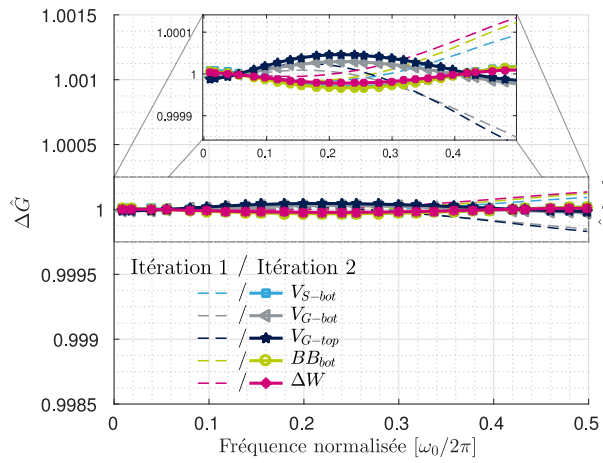
Une des conséquences de ce phénomène est la dégradation du SFDR vers la fréquence de Nyquist comme le montre les courbes de la figure 6.7j. Afin d'étayer ces résultats, les figures 6.7i et 6.7k tracent respectivement en fonction de la fréquence d'entrée, le niveau de la raie de distorsion due aux désappariement de gain, de skew et de bande passante et le Total Harmonic Distortion (THD) calculé en prenant en compte toutes les harmoniques du signal d'entrée jusqu'au rang 7. D'après les données de ces dernières courbes, nous constatons que le SFDR est limité à basse fréquence par les raies d'harmoniques causées par les non linéarités du processus d'échantillonnage. Toutefois, il est difficile de justifier les différentes valeurs de THD selon la compensation utilisée car le processus d'échantillonnage est assez complexe. Enfin si nous regardons la performance du SFDR aux hautes fréquences, nous remarquons d'après la figure 6.7i que ce dernier est limité par les raies de distorsions dues à l'entrelacement non idéal.

Comme notre estimateur de bande passante est sensible à la compensation des autres défauts ($\Delta\hat{G}$ et $\Delta\hat{S}$), nous allons donc relancer notre calibration mixte (cf figure 6.4) à partir des réglages de compensation trouvés précédemment en espérant aboutir à des meilleurs résultats. À la fin de cette deuxième itération (Itération 2), la valeur du réglage optimal $V_{cor-opt}$ et $M_{cor-opt}$ va différer de celle trouvée lors de la première itération (Itération 1). Par conséquent, comme chaque compensation de bande passante dégrade les désappariements de gain et de skew, nous allons donc devoir réajuster la valeur des paramètres G_{cor} et S_{cor} en fonction des nouvelles valeurs de $\Delta\hat{G}$ et $\Delta\hat{S}$.

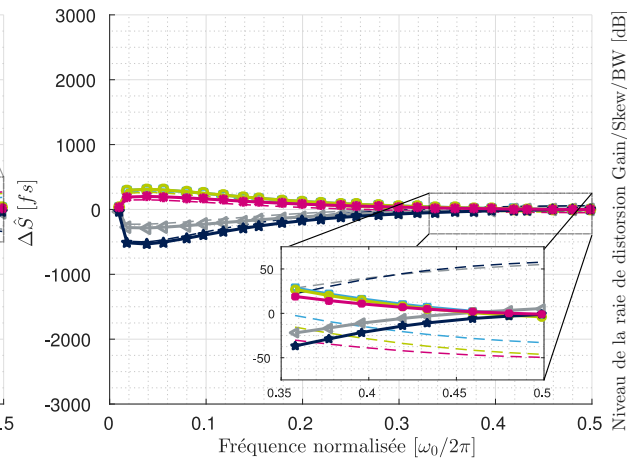
Les résultats obtenus une fois les compensations idéales de gain et de skew réajustées sont affichés sur la figure 6.8 en traits pleins. Pour montrer l'intérêt de réitérer notre calibration, nous avons superposé les courbes obtenues après l'Itération 1 en traits discontinus. Enfin, les nouveaux paramètres $\Delta B\hat{W}$, $Q_{\hat{G}}$ et $Q_{\hat{S}}$ sont recalculés et résumés dans le tableau 6.3 où comme précédemment, la plus grande (resp. la plus petite) valeur de chaque ligne est mise en évidence par des cases rouges (resp. vertes).

Compensation	BB_{bot}	V_{G-top}	V_{G-bot}	V_{S-bot}	ΔW
Réglage ($V_{cor-opt}$ [mV] ou $m_{cor-opt}$)	270.420	-86.507	-38.608	-39.921	2.7381
BW restant ($\Delta B\hat{W}$) [$10 \cdot e^{-8}$]	-28.82	9.90	36.27	8.03	0.002
Gain statique ajouté ($Q_{\hat{G}}$) [%]	-0.0016	-0.251	-0.0054	-0.0075	-0.0040
Skew ajouté ($Q_{\hat{S}}$) [% de T_s]	0.430	-0.189	-0.466	0.588	0.287

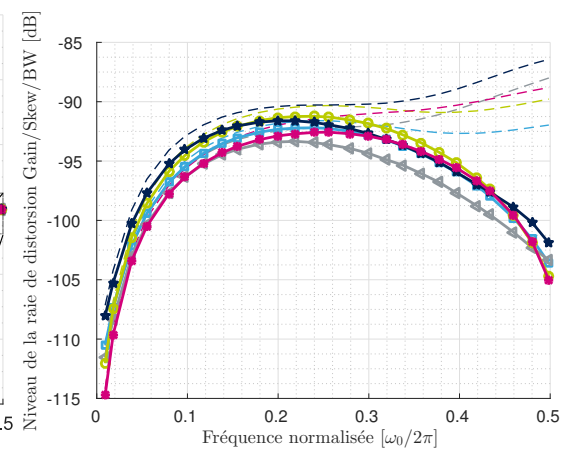
TABLE 6.3: Valeurs des paramètres $\Delta B\hat{W}$, $Q_{\hat{G}}$ et $Q_{\hat{S}}$ lorsque le réglage optimal $V_{cor-opt}$ ou $m_{cor-opt}$ est obtenu au bout de deux itérations de la calibration mixte



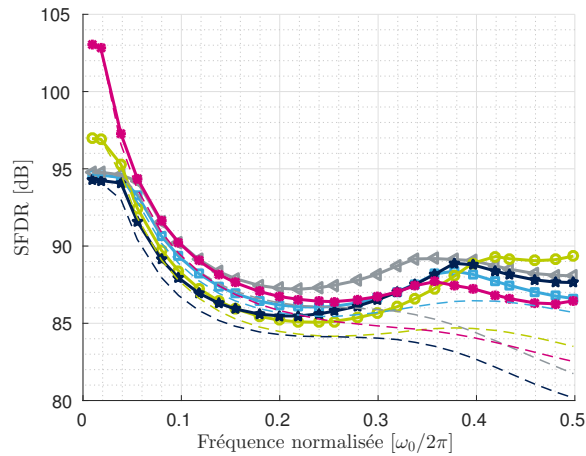
(a) $\Delta\hat{G}$ en fonction de la fréquence d'entrée



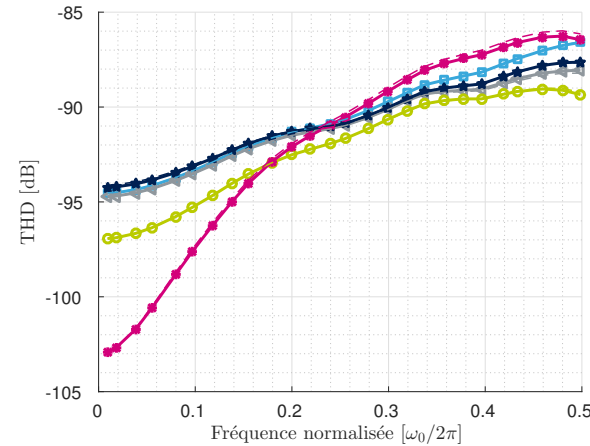
(b) $\Delta\hat{S}$ en fonction de la fréquence d'entrée



(c) Niveau des raies de distortion dues aux désappariements de Gain, Skew et de Bande passante en fonction de la fréquence d'entrée



(d) SFDR en fonction de la fréquence d'entrée



(e) Taux de distortion harmonique en fonction de la fréquence d'entrée

FIGURE 6.8 – Résultats obtenus en appliquant simultanément les paramètres $V_{cor-opt}/m_{cor-opt}$, G_{cor} et S_{cor} lorsque la calibration du désappariement de Bande passante est exécutée une deuxième fois à partir des réglages acquis lors de la première itération

Après deux itérations de calibration mixte, le paramètre $\Delta\hat{G}$ n'est toujours pas parfaitement plat autour de la valeur 1 car selon la compensation de bande passante utilisée, il oscille entre $\pm 1.10^{-5}$. Il en est de même pour $\Delta\hat{S}$ qui s'annule uniquement lorsque $f_{in} = f_{in_{HF}}$. Certes ces deux défauts ne sont toujours pas parfaitement compensés, cependant les résultats obtenus à la fin de l'itération 2 montrent une nette amélioration du SFDR et du niveau de la raie de distorsion due à l'entrelacement non idéal que ceux obtenus lors de l'itération 1. Ce constat s'applique à toutes les compensations de bande passante comme le montre les figures 6.8d et 6.8c. En effet après l'itération 2, le SFDR obtenu aux basses et hautes fréquences n'est désormais limité que par les non linéarités du processus d'échantillonnage. En revanche, c'est toujours la raie de distorsion due à l'entrelacement non idéal qui limite ce dernier entre les fréquences de calibrations. Pour diminuer le niveau de cette raie, il convient de réitérer plusieurs fois la calibration mixte. Nous avons donc réitéré une troisième itération cependant nous avons constaté aucune amélioration des performances du SFDR. Ce résultat montre que nous arrivons donc aux limites de notre calibration mixte qui rappelons-le requiert une modélisation au premier ordre du désappariement de bande passante pour estimer le Skew (cf équation (6.18)). Malgré cette approximation, nous constatons que toutes les compensations de bande passante proposées sont efficaces car elles permettent d'atteindre un SFDR d'au moins 80 dB sur toute la plage de fréquence lorsque le réglage de compensation est avec une précision à virgule flottante.

Pour la suite, nous allons regrouper toutes les données acquises dans ce chapitre et le chapitre 5 afin d'identifier la meilleure compensation de bande passante.

6.2.3 Choix de la compensation de bande passante optimale

Afin de déterminer la compensation de bande passante optimale, nous allons nous baser sur tous les résultats simulés précédemment et classer chaque compensation suivant les critères de sensibilité, de performance et de quantité de gain/skew ajoutée ($Q_{\hat{G}}$ et $Q_{\hat{S}}$). Chaque compensation sera notée par un indice allant de 1 à 5, 1 étant l'indice le plus performant. Une fois que toutes les compensations seront ainsi notées, une note finale (correspondant à la somme des indices attribués pour chaque critère) permettra de donner une performance moyenne pour chaque compensation. La compensation qui obtient la plus petite note finale sera considérée comme la meilleure compensation de bande passante. Ainsi,

- Le critère de sensibilité sera évalué selon les résultats de la figure 5.34 où le niveau de la raie de distorsion due à l'entrelacement non-idéal est tracé en fonction de la quantification du réglage de compensation lorsque $f_{in} = 0.01 \times f_s$ et $f_{in} = 0.49 \times f_s$.
- Le critère de performance sera évalué à partir de la figure 6.8d où le SFDR obtenu au bout de deux itérations est représenté en fonction de la fréquence d'entrée.
- Les critères $Q_{\hat{G}}$ et $Q_{\hat{S}}$ seront évalués d'après le tableau 6.3. La meilleure compensation sera celle qui ajoute la plus petite quantité de gain/skew.

Ce système de notation est discutable car tous les critères sont pondérés par le même poids. En effet, suivant l'application visée certains critères peuvent être plus important que d'autres. Cependant malgré ce défaut, il permet d'avoir une première vision globale sur les avantages et inconvénients de chaque compensation. Ce système de notation est donc appliqué pour chaque compensation de bande passante proposée et les résultats sont synthétisés dans le tableau 6.4 ci-dessous :

Compensation	Sensibilité	Performance		$Q_{\hat{G}}$	$Q_{\hat{S}}$	Total
		BF	HF			
BB_{bot}	2	2	1	1	3	9
V_{G-top}	5	5	3	5	1	19
V_{G-bot}	4	3	2	3	4	16
V_{S-bot}	1	4	4	4	5	18
ΔW	3	1	5	2	2	13

TABLE 6.4: Tableau récapitulatif des performances de chaque compensation selon les critères de sensibilité et de performance à basse et haute fréquence et suivant les paramètres $Q_{\hat{G}}$ et $Q_{\hat{S}}$

D'après ce tableau et selon notre système de notation, la compensation BB_{bot} est celle qui obtient la plus faible note finale. En effet, elle détient de très bonne performance à BF et à HF et dégrade peu le désappariement de gain. De plus comme la tension de réglage est atténuée par un body facteur de 80mV/V, la sensibilité de cette compensation se retrouve fortement diminuée ce qui est un avantage par rapport aux autres compensations. Cette compensation n'est malheureusement pas parfaite car en modulant la tension de seuil du transistor elle va dégrader le skew. Dans le cas où la technologie FD-SOI n'est pas disponible, la compensation ΔW est une bonne alternative. En effet, elle dégrade très peu les désappariements de gain et de l'instant d'échantillonnage et malgré le fait qu'elle détient la moins bonne note sur le critère de performance à HF, elle garantit tout de même d'avoir au minimum 85 dB sur toute la plage de fréquence. Ses défauts principaux sont la sensibilité du réglage de compensation qui est imposée par la technologie (longueur minimale du canal) et la surface additionnelle de transistors.

En conclusion si la technologie FD-SOI est disponible, l'utilisation de la compensation BB_{bot} est à privilégier. Dans le cas contraire, il vaut mieux se tourner vers la compensation ΔW . Comme ici le TI-ADC est conçu en technologie FD-SOI, nous allons donc utiliser pour la suite de ce chapitre la compensation BB_{bot} afin de compenser le désappariement de bande passante.

6.3 Calibration Mixte des erreurs d'appariement

Maintenant que nous sommes capable de compenser dans le domaine analogique les erreurs d'appariement de bande passante et de skew, nous proposons d'effectuer une calibration mixte de deux T/Hs ($T/H_{cal/ref}$) qui ont des composants de taille différentes. Pour estimer le désappariement d'offset, de gain, de skew et de bande passante créé par ce désappariement de taille, nous allons utiliser les estimateurs numériques présentés en début de chapitre (cf équations (6.8), (6.9), (6.18) et (6.10)).

Les désappariements de gain et d'offset n'étant pas traités dans cette thèse, ils sont donc corrigés idéalement dans le domaine numérique à l'aide de blocs théoriques. Comme la compensation BB_{bot} est utilisée pour compenser le désappariement de bande passante, il n'est donc plus possible de compenser le skew en utilisant la technique de body-biasing directement sur les transistors d'échantillonnage. Par conséquent, le seul moyen de retarder les horloges d'échantillonnage CLK_{TOP} et CLK_{BOT} est d'introduire une ou plusieurs cellule(s) de retard sur le chemin d'horloge. Pour ce faire, nous proposons de connecter deux inverseurs en série comme le montre la figure 6.9. Le retard introduit par la cellule (les deux inverseurs) est ajusté en modulant la tension de body des deux transistors PMOS (V_{cor2}) qui est initialement polarisée à la masse.

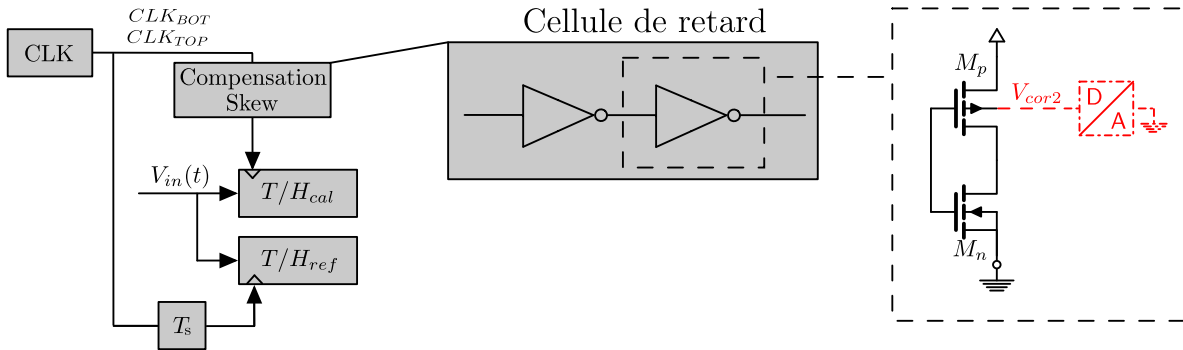


FIGURE 6.9 – Cellule de retard contrôlée par la technique de body-biasing

Pour augmenter ce retard, il convient d'augmenter la taille de la résistance à l'état passant des transistors M_p en diminuant la tension V_{bs} . À l'inverse si nous augmentons V_{bs} , le retard diminue. Pour maximiser la plage de variation de V_{cor2} , les transistors de la cellule de retard doivent avoir une architecture LVT. En effet dans ce cas, la tension du caisson de body peut atteindre 3V (cf figure 4.5c). Pour caractériser notre cellule de retard en fonction de V_{cor2} , nous allons exécuter des simulations DC. Les résultats de simulation obtenus sont affichés à la figure 6.10 où le retard introduit est exprimé en pourcentage de la période d'échantillonnage.

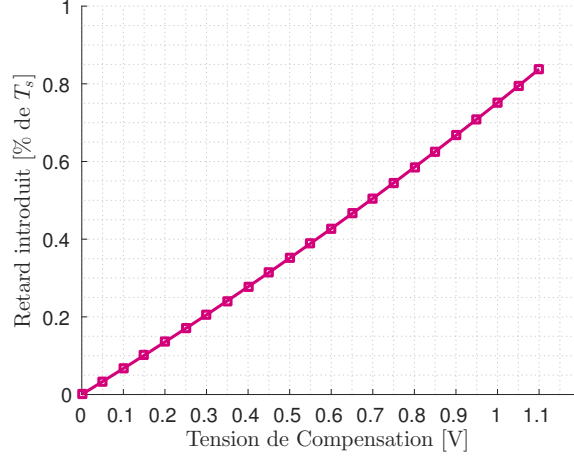


FIGURE 6.10 – Retard introduit par la cellule de retard en fonction de la tension de compensation appliquée sur les caissons des transistors PMOS

D’après cette figure et le tableau 6.3, nous constatons qu’il n’est pas nécessaire de cascader plusieurs cellules pour compenser une quantité de skew égale à 0,43 % de T_s .

6.3.1 Algorithme de la calibration mixte

L’algorithme de la calibration complète des quatre erreurs d’appariement est illustré sur la figure 6.11 où nous constatons que son déroulement jusqu’à la compensation du désappariement de bande passante est identique à celui que nous avons présenté précédemment (cf figure 6.4). Une fois les quatre désappariements estimés, la compensation analogique du désappariement de bande passante est effectuée en premier car cette dernière dégrade les désappariements de gain et de skew. Pour trouver la bonne tension de compensation V_{cor} , nous réutilisons l’algorithme de dichotomie de la figure 6.3 (implémenté en ECL). Une fois ce désappariement calibré, nous calibrons numériquement les désappariements d’offset et de gain. Pour cela, chaque échantillon sortant de T/H_{cal} passe dans blocs théoriques idéaux qui vont appliquer les paramètres G_{cor} et O_{cor} définis par les équations ci-dessous :

$$\begin{cases} O_{cor} = \hat{O}_{ref} \\ G_{cor} = \frac{1}{\Delta \hat{G}_{BF_{opt}}} \end{cases} \quad (6.21)$$

L’ordre d’exécution des compensations de gain et d’offset n’a pas d’importance. Toutefois, la compensation de l’offset peut être exécutée avant celle de la bande passante car la compensation BB_{bot} ne dégrade pas le désappariement d’offset. Enfin pour terminer cette calibration, l’erreur de skew est calibrée dans une boucle mixte. Le processus de compensation est donc réalisé dans le domaine analogique où la tension de compensation V_{cor2} est ajustée avec le même algorithme de dichotomie que celui utilisé pour calibrer le désappariement de bande passante.

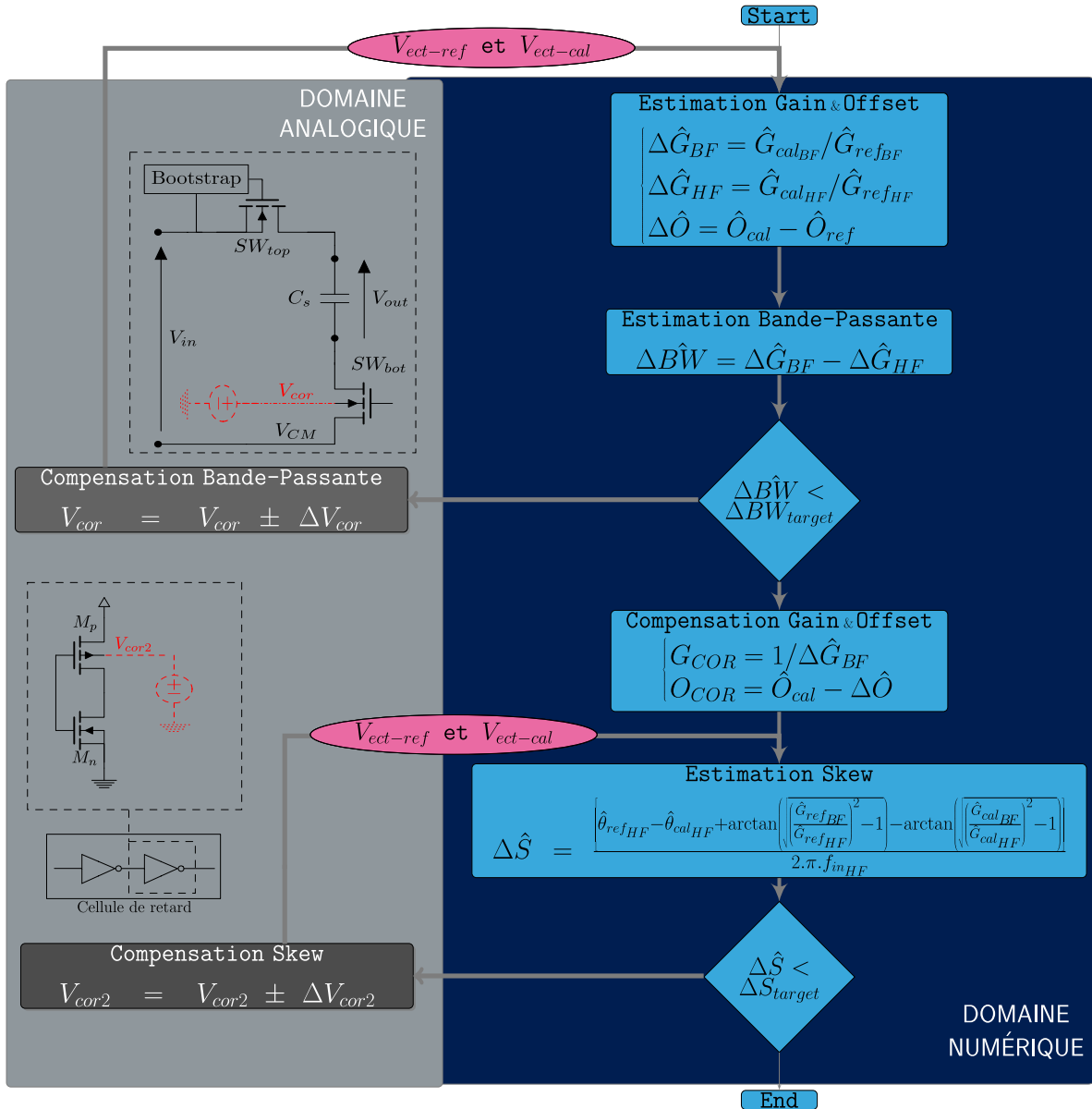
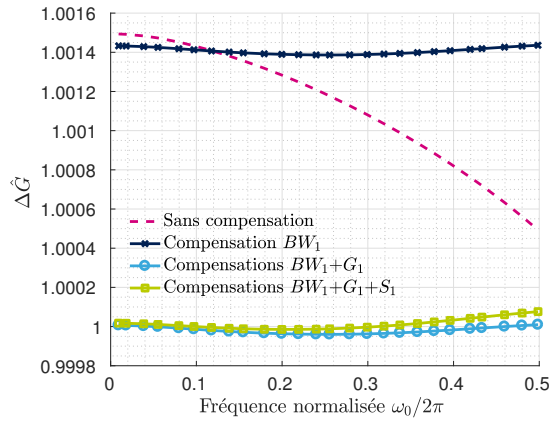
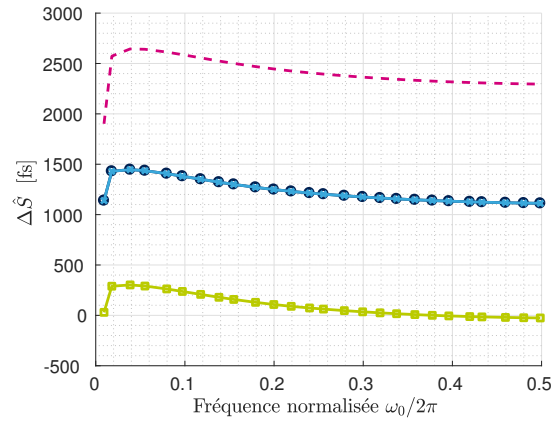
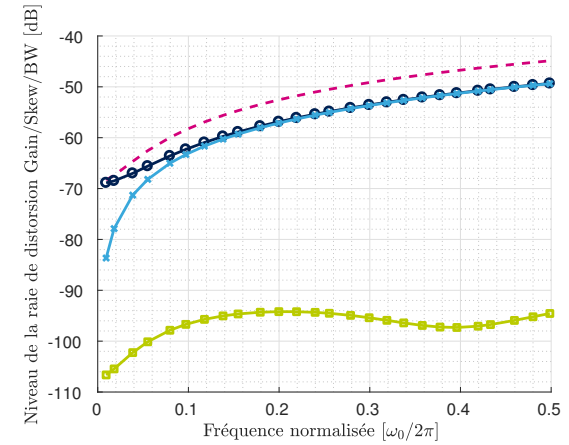


FIGURE 6.11 – Organigramme de la calibration mixte pour compenser les quatre désajustements

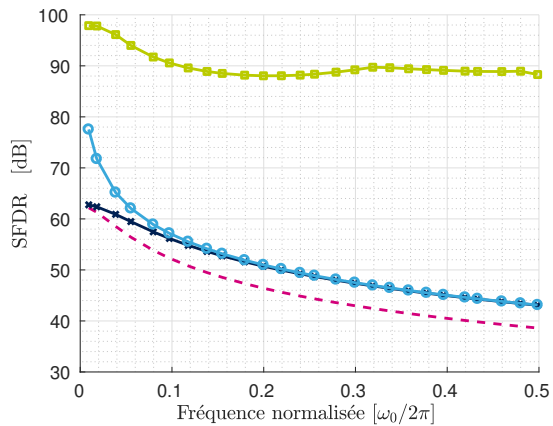
6.3.2 Résultats de simulation

Nous rappelons que les conditions de simulation de cette partie sont les mêmes que celles définies en 5.5.1. Enfin, la valeur des tensions de compensation V_{cor1} et V_{cor2} appliquées ont une représentation virgule flottante.

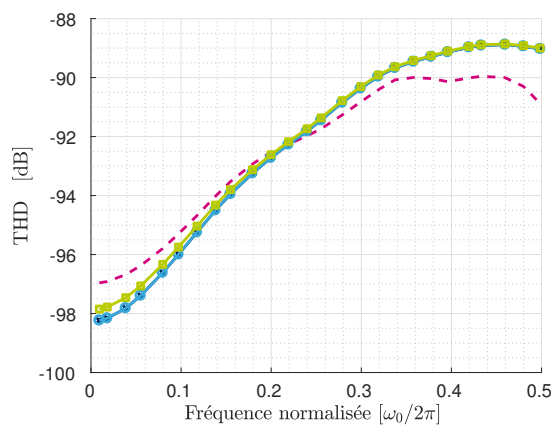
La figure 6.12 trace les estimés $\Delta \hat{G}$ et $\Delta \hat{S}$, le SFDR, la THD et le niveau des raies de distorsion dues à l'entrelacement non-idéal en fonction de la fréquence d'entrée pour chaque compensation activée (Bande passante, Gain et Skew).

(a) $\Delta\hat{G}$ en fonction de la fréquence d'entrée(b) $\Delta\hat{S}$ en fonction de la fréquence d'entrée

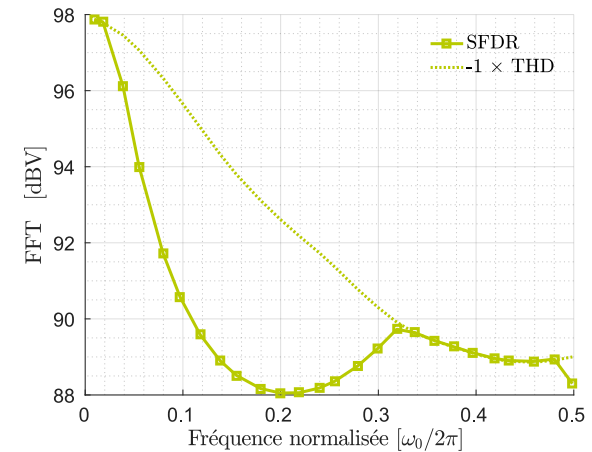
(c) Niveau des raies de distortion dues aux désappareillages de Gain, Skew et BW en fonction de la fréquence d'entrée



(d) SFDR en fonction de la fréquence d'entrée



(e) Taux de distortion harmonique en fonction de la fréquence d'entrée



(f) SFDR et Taux de distortion harmonique inversé en fonction de la fréquence d'entrée

FIGURE 6.12 – Performances de la calibration complète à la fin de la première itération

Après cette première itération, nous constatons d’après la figure 6.12d que le critère du SFDR est supérieur à 85 dB sur toute la bande utile. Cette bonne performance confirme l’efficacité de la technique de body-biasing pour compenser le désappariement de bande passante (compensation BB_{bot}) ainsi que le skew.

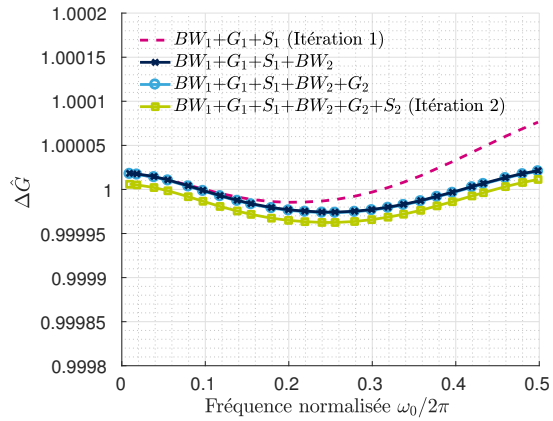
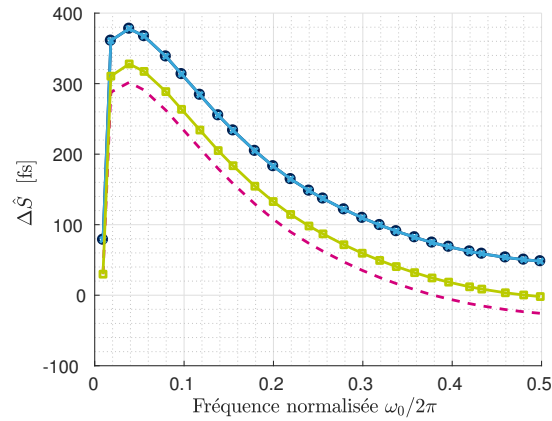
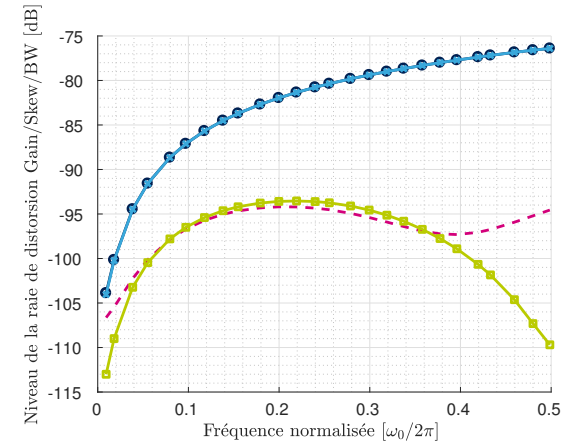
La figure 6.12f trace le SFDR et l’inverse de la THD en fonction de la fréquence normalisée une fois que toutes les compensations ont été activées. Cette figure particulière permet de mettre en évidence le fait que le niveau des raies de distorsion lié aux désappariements de gain, de skew et de bande passante limite le SFDR entre $0.1 \times f_s$ et $0.35 \times f_s$ et qu’en dehors de cet intervalle, celui-ci est limité par les non-linéarités.

Pour tenter d’abaisser les raies de distorsion liées à l’entrelacement non idéal, nous relançons une nouvelle calibration complète à partir des réglages de compensation trouvés lors de la première itération. Les résultats obtenus après l’itération 2 sont affichés sur la figure 6.13 tout comme ceux obtenus après l’itération 1.

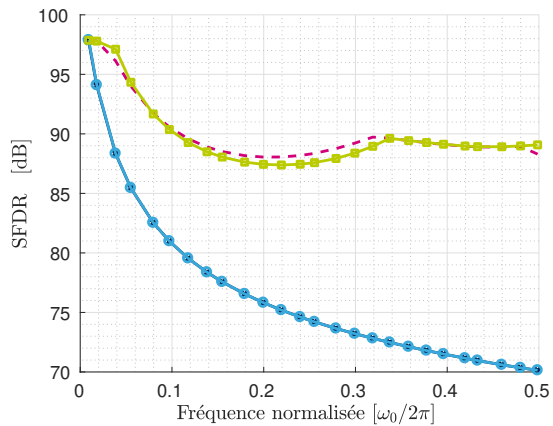
Les figures 6.13a et 6.13b montrent que les estimés $\Delta\hat{G}$ et $\Delta\hat{S}$ sont plus bas après cette deuxième itération. Par conséquent, le niveau des désappariements existants doit donc être plus bas que celui obtenu lors de l’itération 1.

En observant la figure 6.13c, nous constatons que l’itération 2 a effectivement permis d’abaisser les raies de distorsion liées à l’entrelacement non idéal mais uniquement autour des fréquences proches de celles injectées pour effectuer la calibration soit $0.01 \times f_s$ et $0.49 \times f_s$. Comme pour ces fréquences, ce sont les non-linéarités qui dominent d’après la figure 6.13f, le SFDR reste inchangé par rapport à l’itération 1.

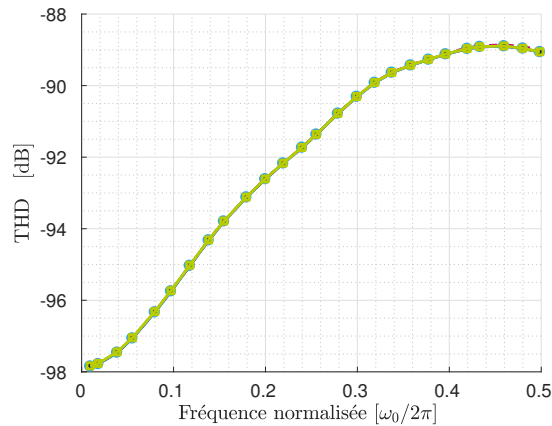
En conclusion, la calibration proposée permet d’atteindre un SFDR supérieur à 85 dB sur toute la bande utile du signal d’entrée. Pour améliorer ces performances, il devient nécessaire d’une part d’améliorer notre estimation du skew qui rappelons-le suppose que la fonction de transfert du T/H est un filtre passe bas et d’autre part de compenser les non-linéarités qui deviennent maintenant prédominantes.

(a) $\Delta\hat{G}$ en fonction de la fréquence d'entrée(b) $\Delta\hat{S}$ en fonction de la fréquence d'entrée

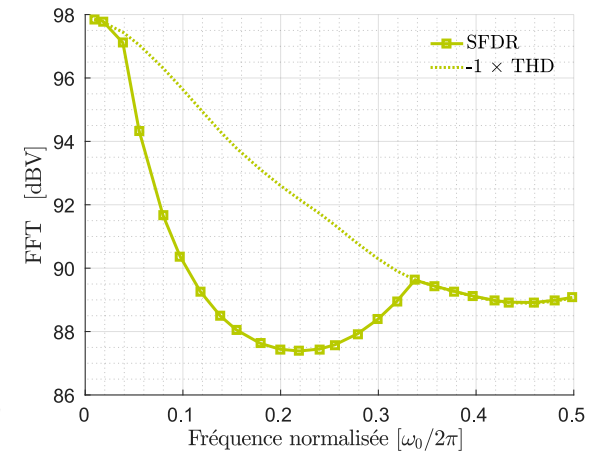
(c) Niveau des raies de distortion dues aux désappariements de Gain, Skew et BW en fonction de la fréquence d'entrée



(d) SFDR en fonction de la fréquence d'entrée



(e) Taux de distortion harmonique en fonction de la fréquence d'entrée



(f) SFDR et Taux de distortion harmonique inversé en fonction de la fréquence d'entrée

FIGURE 6.13 – Performances de la calibration complète au bout de la deuxième itération

Conclusion

Le but de ce dernier chapitre est de mettre en avant le travail qui a été réalisé dans cette thèse et de donner des perspectives de recherche futures.

Les convertisseurs basés sur l'entrelacement temporel connaissent un essor important depuis plusieurs années car ils sont capables de répondre à de très fortes contraintes en termes de bande-passante ($>1\text{GHz}$) et de résolution (de 10 à 12 bits) tout en étant compatibles avec une intégration sur silicium CMOS. De plus, comme il est possible de réutiliser des CANs déjà conçus, le temps de développement du CAN-ET est beaucoup plus faible que celui d'un seul CAN ayant les mêmes performances. C'est pour cela que, cette architecture présente un attrait financier non-négligeable pour les industriels. Malheureusement, le CAN-ET est sensible aux erreurs d'appariement entre éléments unitaires et voit ces performances limitées par la présence de raies parasites qui sont liées à la variabilité de la technologie CMOS. Nous avons vu dans le chapitre 1 que ces défauts peuvent se modéliser comme des désappariements d'offset, de gain, d'instant d'échantillonnage ou encore de bande passante.

L'état de l'art effectué dans le chapitre 2 a montré que de nombreux travaux de recherche ont été menés depuis plusieurs dizaines d'années afin de tenter d'augmenter la performance des CAN-ETs. Certaines solutions minimisent ces désappariements à l'aide de technique de conception tandis que d'autres implémentent une calibration qui peut être effectuée soit entièrement dans le domaine numérique, soit en partie dans le domaine analogique et le domaine numérique. Les désappariements d'offset et de gain étant très faciles à corriger, la communauté scientifique s'est principalement focalisée sur la calibration du désappariement de skew qui, jusqu'à présent, bridait la performance des CAN-ETs une fois les deux autres désappariements calibrés. Ce fort intérêt à l'égard de ce sujet a amené une abondance de solutions efficaces qui sont toujours utilisées de nos jours. Ainsi, les dernières publications qui traitent de ce sujet se contentent simplement d'optimiser les structures de compensation et les algorithmes d'estimation existants.

Bien que les nœuds technologiques ne cessent de diminuer, la fréquence de coupure du T/H n'augmente pas aussi rapidement que la fréquence d'échantillonnage qui est requise par les nouvelles applications telle que la Télévision par câble (DOCSIS 3.1). En conséquence, ces deux fréquences deviennent très proches l'une de l'autre et l'impact du désappariement de bande passante ne peut plus être négligé comme c'était le

cas auparavant. Désormais, ce désappariement demande à être calibré en plus des trois autres.

Ce sujet de recherche étant assez récent, très peu de solutions existent dans la littérature scientifique. Les calibrations numériques compensent cette erreur via les DRFs mais très peu de ces techniques sont généralisables à un CAN-ET à M voies. De plus, ces méthodes de calibration sont excessivement gourmandes en surface et en consommation même lorsqu'elles sont implémentées dans une technologie CMOS avancée (28nm). Les calibrations mixtes sont quant à elles quasiment inexistantes.

L'objectif de ces travaux de recherche était de proposer une calibration mixte des désappariements de bande passante et de skew afin d'améliorer la puissance dissipée par le système de calibration proposé par [10]. Pour cela, nous avons tenté d'exploiter au maximum les propriétés de la technologie silicium de type FD-SOI.

Pour connaître les paramètres analogiques pouvant être ajustés pour calibrer les désappariements de l'instant d'échantillonnage et de bande passante, nous avons étudié dans le chapitre 3 le processus d'échantillonnage effectué par le T/H qui, est le circuit du CAN-ET où les compensations analogiques vont agir. Ce processus n'étant pas idéal, des erreurs de différentes natures vont être créées par le T/H dans chacune des phases du processus d'échantillonnage.

Pour exprimer analytiquement ces erreurs et prévoir leurs conséquences lorsque l'échantillonnage du signal d'entrée est effectué par des T/Hs entrelacés, nous avons dans le chapitre 3 modélisé le transistor d'échantillonnage par un réseau passif. À l'aide de ce modèle linéaire, nous avons montré que le processus d'échantillonnage applique différentes fonctions sur l'échantillon qui, lorsqu'un désappariement de taille existe entre les composants de chaque T/H entrelacé, se traduisent par la création d'un désappariement d'offset, de gain, d'instant d'échantillonnage et de bande passante. De plus, ce modèle nous a permis d'exprimer la fonction de transfert du T/H ($H_{T/H}$) en fonction de ses paramètres et cela pour chaque phase du processus d'échantillonnage.

Dans le chapitre 4, nous avons proposé de compenser le skew en appliquant la technique de body-biasing directement sur les deux transistors d'échantillonnage afin de former quatre configurations possibles (BB_{top} , BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-1}$). Pour évaluer chaque configuration proposée, nous avons dans un premier temps évalué grossièrement l'impact qu'elles avaient sur tout le processus d'échantillonnage à l'aide des fonctions de transfert calculées dans le chapitre 3. Cette première étude a montré qu'ajuster la tension de seuil d'un ou plusieurs transistor(s) d'échantillonnage pour compenser le skew n'est pas sans conséquences puisque cela va amplifier certaines erreurs commises par le T/H et donc dégrader les trois autres désappariements existants (en particulier celui de bande passante). Ainsi, la technique de body-biasing va donc créer un retard global qui est la somme d'un retard indépendant (skew corrigé) et dépendant de la fréquence du signal d'entrée (désappariement de bande passante créé).

Pour comparer les compensations proposées, nous avons implémenté un banc de test où nous pouvons accéder à ces deux retards à partir des résultats d'une FFT et de l'expression analytique des fonctions de transfert dans la phase de suivi. Initialement, ces travaux de recherche devaient s'inscrire dans la continuité du travail de thèse [10] en

reprenant les estimateurs numériques développés par l’auteur pour estimer les quatre désappariements. Malheureusement, comme ces estimateurs sont aveugles, ils ont besoin d’acquérir énormément d’échantillons pour converger vers la bonne valeur de l’estimé ce qui n’est pas concevable dans le développement d’une compensation analogique où le temps de simulation pour effectuer une FFT sur 1024 points dure plusieurs dizaines de minutes. Les estimations obtenues ont permis de montrer que le retard créé par les compensations BB_{bot} , $BB_{top-bot-1}$ et $BB_{top-bot-2}$ est principalement indépendant de la fréquence du signal d’entrée. À l’inverse la compensation BB_{top} est plus destinée à compenser un désappariement de la bande passante. Sur les trois compensations « viables », il est possible de compenser seulement 2ps de skew avec les compensations BB_{bot} , $BB_{top-bot-2}$ et 1ps pour la compensation $BB_{top-bot-1}$ lorsque la tension de compensation est polarisée à la tension d’alimentation. Ces faibles plages de compensation font que la technique de body-biasing est une compensation fine du skew quel que soit la configuration utilisée. C’est pourquoi, cette technique doit être utilisée en complément d’une autre compensation de skew. De plus, nous avons montré qu’elle est sensible aux dérives de température, ce qui implique d’utiliser soit une boucle de compensation continue, soit un DAC compensé en température afin que la compensation maintienne la bonne tension de compensation.

Le chapitre 5 est consacré à la compensation analogique du désappariement de bande passante. Dans un premier temps nous avons cherché à simplifier l’expression de la fonction de transfert du T/H puisque la fréquence de Nyquist est à 2 GHz et que certains pôles et zéros se situent à plusieurs dizaines de Gigahertz. Cette première étude a montré qu’il était possible d’approcher la fonction de transfert du T/H par une fonction de transfert composée de seulement deux pôles et d’un zéro tout en gardant une précision de 80 dB à la fréquence de Nyquist. À partir de cette nouvelle fonction de transfert, nous avons identifié que le paramètre analogique R_{on} est un paramètre commun à tous les pôles et au zéro mais qui est également très facile à ajuster. De ce constat, nous avons proposé cinq compensations de bande passante, ajustant toutes la résistance R_{on} via différents moyens. Comme pour les compensations du skew, nous avons dans un premier temps étudié l’impact de chaque compensation sur les désappariements existants durant les quatre phases du processus d’échantillonnage. Cette étude a permis de montrer que toutes les compensations proposées dégradent le skew. Pour estimer la performance de chaque compensation, nous nous sommes basé sur la valeur du SFDR avant et après avoir appliqué chaque compensation ainsi que sur la sensibilité de chaque compensation. Pour trouver rapidement la valeur du réglage optimal qui compense le désappariement de bande passante injecté, nous avons implémenté un algorithme du gradient stochastique directement sur le simulateur SPICE. Cet algorithme n’a physiquement aucun sens car ici les T/Hs fonctionnent uniquement dans la phase de suivi mais il permet de calibrer l’erreur de bande passante dans un temps de simulation inférieur à la minute. Une fois le réglage optimal trouvé, il est quantifié à l’aide d’un DAC idéal afin d’estimer la sensibilité de chaque compensation. Les résultats de cette étude ont montré que les compensations V_{S-bot} , ΔW et BB_{bot} sont à peu près équivalentes en termes de performance à l’inverse de la compensation BB_{top} qui est fortement limitée par la présence du circuit de bootstrap. Pour ce qui concerne le critère de sensibilité,

nous notons que toutes les compensations sont équivalentes puisqu'à basse ou haute fréquence, nous constatons une diminution du niveau de la raie de distorsion liée au désappariement de bande passante de 7dB lorsque le niveau de quantification de la tension de compensation augmente d'un bit. En revanche, lorsque la quantification du réglage de compensation est inférieur à 6-bit, il vaut mieux privilégier l'utilisation des compensations V_{S-bot} , ΔW et BB_{bot} plutôt que les compensations modulant la tension de grille des transistors puisque la valeur du SFDR est 7db plus bas pour un même niveau de quantification.

Pour avoir une comparaison plus poussée de toutes les compensations proposées, nous avons, dans le chapitre 6, voulu quantifier la dégradation des désappariements existants une fois l'erreur de bande-passante calibrée. Pour cela, nous avons implémenté une calibration mixte du désappariement de bande passante, où l'estimation des quatre désappariements est effectuée par un estimateur numérique basé sur la méthode des Moindres Carrés à partir des échantillons pris durant la phase de maintien. Pour que cette calibration converge rapidement, nous avons choisi d'implémenter un estimateur où les caractéristiques du signal injecté en entrée des T/Hs sont connues. Pour estimer l'erreur de bande passante nous avons proposé d'égaliser le gain normalisé à basse et haute fréquence afin de prendre en compte tous les pôles et zéros de la fonction de transfert. Cette fonction coût permet d'être plus précis que certaines calibrations mixtes [9, 128] qui modélisent la fonction de transfert des T/Hs par un filtre passe bas du premier ordre. Pour assurer une communication entre l'estimateur numérique et la compensation analogique, nous avons implémenté une plateforme de simulation mixte où le réglage de compensation est ajusté selon la valeur retournée par l'estimateur via un algorithme de dichotomie implémenté en ECL. À partir des résultats obtenus pour chaque calibration mixte exécutée, nous avons montré que la compensation BB_{bot} est celle qui dégrade le moins les désappariements existants et qui permet d'atteindre un SFDR d'au moins 85 dB sur toute la bande du signal d'entrée.

Enfin dans la dernière partie du chapitre 6, nous avons mis en application les techniques de compensation analogique de skew et de bande passante proposées dans cette thèse en réutilisant la plateforme de simulation mixte implémentée. Les résultats obtenus ont permis de valider la calibration mixte proposée.

Les résultats de simulation obtenus dans le dernier chapitre sont très encourageants et démontrent que la calibration proposée des erreurs d'appariement dynamiques via la technique de body-biasing est efficace. En effet, les raies de distorsions liées à l'échantillonnage non-uniforme sont repoussées à plus de 85 dB sur toute la bande utile.

À court terme, il serait intéressant de dessiner le layout de la compensation BB_{bot} afin de valider sur silicium son principe et la performance obtenue lorsque nous l'appliquons pour compenser les désappariements de bande passante et de skew. Pour cela, il conviendra de concevoir un Convertisseur Numérique-Analogique (CNA) et d'implémenter l'algorithme de calibration sur un FPGA afin de faire la boucle de retour.

À plus long terme, un premier axe de recherche serait de projeter ce travail sur

d'autres standards et d'autres technologies afin de voir si les compensations proposées sont toujours valables et si oui sous quelles conditions. Par exemple si l'architecture "bottom plate sampling" est utilisée dans les T/Hs et si la dimension des transistors d'échantillonnage est correctement réglée, il n'est pas inconcevable d'utiliser la technique de body-biasing pour compenser le désappariement de bande passante d'un CAN-ET développé dans une technologie BULK.

En effet, comme la tension de compensation que nous avons appliquée pour corriger le pire cas de désappariement de bande passante ne dépasse pas 300 mV, les diodes des jonctions drain/source des transistors d'échantillonnage sont assurées de ne pas pas être polarisées en direct.

En revanche dès lors que ces deux conditions ne sont plus vraies, il est préférable de compenser le désappariement de bande passante avec la compensation ΔW qui, d'après notre étude comparative est une très bonne alternative. En effet, cette compensation obtient une note globale proche de la compensation BB_{bot} et c'est celle qui dégrade le moins le skew qui rappelons-le est un désappariement difficile à calibrer en numérique lorsqu'il devient important.

Enfin, un dernier axe de recherche serait de calibrer les non-linéarités provenant de l'échantillonnage non idéal car la puissance de ces raies limite la performance dynamique des CAN-ETs une fois que les quatre désappariements ont été calibrés.

Annexes

Annexe A

Première annexe

A.1 Introduction à la régression

L'analyse de régression permet d'estimer la relation d'une variable expliquée notée y par rapport à une ou plusieurs variables explicatives notée x . La régression consiste à prédire le plus précisément possible la valeur de la variable expliquée qui est reliée aux variables explicatives via une fonction $g : X \rightarrow Y$, où X est l'espace d'entrée et Y l'espace de sortie. La fonction $y = g(x)$ est inconnue et appartient à l'ensemble des fonctions possibles G . Pour approximer g au mieux, un modèle de régression doit être construit en ajustant les paramètres d'un vecteur β relatif au modèle à partir des n observations obtenues $\{(\mathbf{x}_1, y_1), (\mathbf{x}_2, y_2), \dots, (\mathbf{x}_n, y_n)\}$ où pour $i = 1, \dots, n$, \mathbf{x}_i est un vecteur composé de p variables explicatives $(x_{1,1}, x_{1,2}, \dots, x_{1,p})$ tel que $\mathbf{x}_i \in X$ et y_i est la valeur expliquée à atteindre tel que $y_i \in Y$. Si plusieurs variables expliquées doivent être estimées, le même modèle de régression sera appliqué pour chaque variable expliquée.

L'ensemble des règles utilisées pour ajuster les paramètres de β du modèle de régression est appelé algorithme d'apprentissage automatique supervisé. Durant la période d'apprentissage, les paramètres du vecteur θ sont optimisés selon une fonction objective de minimisation ou maximisation spécifique à l'algorithme utilisé. À la fin de la période d'apprentissage, le modèle de régression forme une fonction estimée de g notée $f_{|\hat{\beta}} : X \rightarrow Y$ où $f \in G$.

Pour la suite, nous allons uniquement nous concentrer sur les modèles linéaires de régression pour estimer les erreurs d'appariement entre le T/H entrelacés car comme nous le verrons plus tard, les performances obtenues avec ce type de modèle sont suffisantes pour ne pas justifier l'utilisation de modèle non linéaires.

A.1.1 Modèle de régression linéaire

L'utilisation de modèle linéaire de régression suppose que pour n observations $(\mathbf{x}_i, y_i)_{i=1, \dots, n}$, y_i peut être modélisé à l'aide de la relation suivante :

$$y_i = \mathbf{x}_i^T \cdot \boldsymbol{\beta} + \epsilon_i \quad (\text{A.1})$$

où $\boldsymbol{\beta} \in \mathbb{R}^{p \times 1}$ est le vecteur des coefficients du modèle dont sa longueur est la même que le nombre d'éléments de \mathbf{x}_i et ϵ_i est une variable aléatoire qui suppose suivre une distribution gaussienne. ϵ_i représente une erreur qui peut être due dans notre cas aux erreurs d'acquisition des données par rapport aux données théorique $g(\mathbf{x}_i)$. La matrice d'équation associée à la relation A.1 pour n observations est alors défini par l'équation ci-dessous :

$$\begin{bmatrix} y_1 \\ y_2 \\ \vdots \\ y_n \end{bmatrix} = \begin{bmatrix} \mathbf{x}_1^T \\ \mathbf{x}_2^T \\ \vdots \\ \mathbf{x}_n^T \end{bmatrix} \cdot \begin{bmatrix} \boldsymbol{\beta}_1 \\ \boldsymbol{\beta}_2 \\ \vdots \\ \boldsymbol{\beta}_n \end{bmatrix} + \begin{bmatrix} \epsilon_1 \\ \epsilon_2 \\ \vdots \\ \epsilon_n \end{bmatrix}$$

ou dans une expression plus compacte :

$$\mathbf{Y} = \mathbf{X} \cdot \boldsymbol{\beta} + \boldsymbol{\epsilon} \quad (\text{A.2})$$

où $\mathbf{Y} \in \mathbb{R}^{n \times 1}$ est le vecteur rassemblant toutes les valeurs expliquées, $\mathbf{X} \in \mathbb{R}^{n \times p}$ est le vecteur rassemblant toutes les valeurs explicatives et $\boldsymbol{\epsilon} \in \mathbb{R}^{n \times 1}$ est le vecteur rassemblant toutes les variables aléatoire qui sont supposées suivre une distribution gaussienne. Enfin, \mathbf{X} peut également être noté sous la forme suivante :

$$\mathbf{X} = \begin{bmatrix} \mathbf{x}_1^T \\ \mathbf{x}_2^T \\ \vdots \\ \mathbf{x}_n^T \end{bmatrix} = \begin{bmatrix} x_{1,1} & x_{1,2} & \dots & x_{1,p} \\ x_{2,1} & x_{2,2} & \dots & x_{2,p} \\ \vdots & \vdots & \ddots & \vdots \\ x_{n,1} & x_{n,2} & \dots & x_{n,p} \end{bmatrix}$$

Comme le vrai modèle de l'équation A.1 est inconnu, nous pouvons uniquement avoir un estimée de y_i noté \hat{y}_i pour chaque observation (\mathbf{x}_i, y_i) comme définit dans l'équation suivante :

$$\hat{y}_i = \mathbf{x}_i^T \cdot \hat{\boldsymbol{\beta}} \quad (\text{A.3})$$

où $\hat{\boldsymbol{\beta}}$ est un estimé de $\boldsymbol{\beta}$. Par conséquent, l'équation matricielle pour n observations s'écrit :

$$\begin{bmatrix} \hat{y}_1 \\ \hat{y}_2 \\ \vdots \\ \hat{y}_n \end{bmatrix} = \begin{bmatrix} \mathbf{x}_1^T \\ \mathbf{x}_2^T \\ \vdots \\ \mathbf{x}_n^T \end{bmatrix} \cdot \begin{bmatrix} \hat{\boldsymbol{\beta}}_1 \\ \hat{\boldsymbol{\beta}}_2 \\ \vdots \\ \hat{\boldsymbol{\beta}}_n \end{bmatrix}$$

où également :

$$\hat{\mathbf{Y}} = \mathbf{X} \cdot \hat{\boldsymbol{\beta}} \quad (\text{A.4})$$

avec $\hat{\mathbf{Y}} \in \mathbb{R}^{n \times 1}$ l'estimé du vecteur \mathbf{Y} .

Maintenant que le modèle linéaire est posé, il convient de choisir un algorithme pour identifier les paramètres du vecteur $\hat{\beta}$ (coefficients du modèle) afin que la fonction $\hat{y}_i = f_{|\hat{\beta}}(\mathbf{x}_i)$ soit la plus proche de la fonction inconnue $y_i = g(\mathbf{x}_i)$ que l'on cherche à approximer.

A.1.2 Estimateur

Afin de construire notre modèle linéaire de régression, il existe plusieurs méthodes comme les moindres carrés, le maximum de vraisemblance ou encore par l'inférence bayésienne. Ici, le classique algorithme des moindres carrés a été privilégié car il est facile à implémenter. Les paramètres "optimaux" du vecteur $\hat{\beta}$ sont définis au sens des moindres carrés par l'équation A.5 qui minimisent la somme des carrés des résidus r_i ¹ définis comme la différence entre les valeurs de y_i (observée) et \hat{y}_i (estimée).

$$\hat{\beta} = \arg \min_{\hat{\beta} \in \mathbb{R}^{p \times 1}} (\mathbf{Y} - \mathbf{X}\hat{\beta})^T \cdot (\mathbf{Y} - \mathbf{X}\hat{\beta}) = \arg \min_{\hat{\beta} \in \mathbb{R}^{p \times 1}} \|\mathbf{Y} - \mathbf{X}\hat{\beta}\|_2^2 \quad (\text{A.5})$$

Une solution de l'équation A.5 est défini ci-dessous :

$$\hat{\beta} = (\mathbf{X}^T \mathbf{X})^{-1} \mathbf{X}^T \mathbf{Y} \quad (\text{A.6})$$

Maintenant que la méthode d'ajustement des paramètres composant le vecteur $\hat{\beta}$ a été définie, il ne reste plus qu'à l'appliquer pour calibrer les désappariements des CAN-ETs.

1. Il ne faut pas confondre les erreurs d'estimation ϵ_i qui sont basées sur des quantités non-observables et les résidus r_i qui sont basés sur les observations

Références bibliographiques

- [1] D. Stepanovic and B. Nikolic, “A 2.8 gs/s 44.6 mw time-interleaved adc achieving 50.9 db snr and 3 db effective resolution bandwidth of 1.5 ghz in 65 nm cmos,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 4, pp. 971–982, April 2013.
6 citations pages vii, 11, 23, 30, 36, et 38
- [2] S. Gupta, M. Inerfield, and J. Wang, “A 1-gs/s 11-bit adc with 55-db snr, 250-mw power realized by a high bandwidth scalable time-interleaved architecture,” *Solid-State Circuits, IEEE Journal of*, vol. 41, no. 12, pp. 2650–2657, Dec 2006.
3 citations pages vii, 24, et 25
- [3] S. Louwsma, A. van Tuijl, M. Vertregt, and B. Nauta, “A 1.35 gs/s, 10 b, 175 mw time-interleaved ad converter in 0.13 μ m cmos,” *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 4, pp. 778–786, April 2008. *3 citations pages vii, 25, et 26*
- [4] P. K. Venkatachala, A. ElShater, Y. Xu, M. El-Chammas, and U. K. Moon, “Voltage domain correction technique for timing skew errors in time interleaved adcs,” in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017, pp. 1–4.
2 citations pages vii et 32
- [5] A. Haftbaradaran and K. Martin, “A background sample-time error calibration technique using random data for wide-band high-resolution time-interleaved adcs,” *Circuits and Systems II : Express Briefs, IEEE Transactions on*, vol. 55, no. 3, pp. 234–238, March 2008.
3 citations pages vii, 38, et 39
- [6] B. Razavi, “Design considerations for interleaved adcs,” *IEEE Journal of Solid-State Circuits*, vol. 48, no. 8, pp. 1806–1817, Aug 2013.
9 citations pages vii, 11, 31, 32, 38, 39, 40, 63, et 118
- [7] D. Camarero, K. Ben Kalaia, J.-F. Naviner, and P. Loumeau, “Mixed-signal clock-skew calibration technique for time-interleaved adcs,” *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 55, no. 11, pp. 3676–3687, Dec 2008.
2 citations pages viii et 41
- [8] P. Zhang, F. Ye, B. Yu, L. Luo, and J. Ren, “Mixed-signal calibration of sample-time error in time-interleaved adcs,” *Electronics Letters*, vol. 47, no. 9, pp. 533–535, April 2011.
4 citations pages viii, 41, 42, et 44
- [9] Y. Park, J. Kim, and C. Kim, “A scalable bandwidth mismatch calibration technique for time-interleaved adcs,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 63, no. 11, pp. 1889–1897, Nov 2016.
5 citations pages viii, 44, 45, 166, et 193

- [10] N. Le Dortz, “Compensation numérique pour convertisseur large bande hautement parallélisé.” Ph.D. dissertation, 2015, thèse de doctorat dirigée par Bénabes, Philippe Electronique (STIC) Supélec 2015. [Online]. Available : <http://www.theses.fr/2015SUPL0002> 11 citations pages 3, 16, 17, 18, 19, 20, 21, 22, 33, 125, et 191
- [11] B. Esperanca, J. Goes, R. Tavares, A. Galhardo, N. Paulino, and M. M. Silva, “Power-and-area efficient 14-bit 1.5 msample/s two-stage algorithmic adc based on a mismatch-insensitive mdac,” in *2008 IEEE International Symposium on Circuits and Systems*, May 2008, pp. 220–223. Cité page 7
- [12] J. Sauerbrey, T. Tille, D. Schmitt-Landsiedel, and R. Thewes, “A 0.7-v mosfet-only switched-opamp sigma; delta; modulator in standard digital cmos technology,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 12, pp. 1662–1669, Dec 2002. Cité page 7
- [13] S. Gambini and J. Rabaey, “A 1.5ms/s 6-bit adc with 0.5v supply,” in *2006 IEEE Asian Solid-State Circuits Conference*, Nov 2006, pp. 47–50. Cité page 7
- [14] R. H. Walden, “Analog-to-digital converter survey and analysis,” *IEEE Journal on Selected Areas in Communications*, vol. 17, no. 4, pp. 539–550, Apr 1999. Cité page 7
- [15] R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*. New York, NY : Wiley, 2005. [Online]. Available : <https://cds.cern.ch/record/733538> Cité page 7
- [16] S. Devarajan, L. Singer, D. Kelly, S. Decker, A. Kamath, and P. Wilkins, “A 16-bit, 125 ms/s, 385 mw, 78.7 db snr cmos pipeline adc,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 12, pp. 3305–3313, Dec 2009. Cité page 7
- [17] S. Rabbii and B. A. Wooley, “A 1.8-v digital-audio sigma-delta modulator in 0.8- μ m cmos,” *IEEE Journal of Solid-State Circuits*, vol. 32, no. 6, pp. 783–796, Jun 1997. Cité page 7
- [18] B. Murmann, “Adc performance survey 1997-2017,” 2017. [Online]. Available : <http://web.stanford.edu/%7Emurmann/adcsurvey.html> 4 citations pages 7, 12, 28, et 60
- [19] C. C. Liu, S. J. Chang, G. Y. Huang, Y. Z. Lin, and C. M. Huang, “A 1v 11fj/conversion-step 10bit 10ms/s asynchronous sar adc in 0.18 μ m cmos,” in *2010 Symposium on VLSI Circuits*, June 2010, pp. 241–242. Cité page 8
- [20] C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin, “A 0.92mw 10-bit 50-ms/s sar adc in 0.13 μ m cmos process,” in *2009 Symposium on VLSI Circuits*, June 2009, pp. 236–237. Cité page 8
- [21] H. Y. Tai, Y. S. Hu, H. W. Chen, and H. S. Chen, “11.2 a 0.85fj/conversion-step 10b 200ks/s subranging sar adc in 40nm cmos,” in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, Feb 2014, pp. 196–197. Cité page 8
- [22] J. Guerber, H. Venkatram, M. Gande, A. Waters, and U. K. Moon, “A 10-b ternary sar adc with quantization time information utilization,” *IEEE Journal of Solid-State Circuits*, vol. 47, no. 11, pp. 2604–2613, Nov 2012. Cité page 8

- [23] Y. S. Hu, K. Y. Lin, and H. S. Chen, “A 510nm 12-bit 200ks/s sar-assisted sar adc using a re-switching technique,” in *2017 Symposium on VLSI Circuits*, June 2017, pp. C238–C239. *Cité page 8*
- [24] H. Y. Tai, H. W. Chen, and H. S. Chen, “A 3.2fj/c.-s. 0.35v 10b 100ks/s sar adc in 90nm cmos,” in *2012 Symposium on VLSI Circuits (VLSIC)*, June 2012, pp. 92–93. *Cité page 8*
- [25] A. M. A. Ali, H. Dinc, P. Bhoraskar, S. Puckett, A. Morgan, N. Zhu, Q. Yu, C. Dillon, B. Gray, J. Lanford, M. McShea, U. Mehta, S. Bardsley, P. Derounian, R. Bunch, R. Moore, and G. Taylor, “A 14-bit 2.5gs/s and 5gs/s rf sampling adc with background calibration and dither,” in *2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)*, June 2016, pp. 1–2. *2 citations pages 9 et 12*
- [26] K. Yoshioka, T. Sugimoto, N. Waki, S. Kim, D. Kurose, H. Ishii, M. Furuta, A. Sai, and T. Itakura, “28.7 a 0.7v 12b 160ms/s 12.8fj/conv-step pipelined-sar adc in 28nm cmos with digital amplifier technique,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, Feb 2017, pp. 478–479. *Cité page 9*
- [27] B. R. S. Sung, S. H. Cho, C. K. Lee, J. I. Kim, and S. T. Ryu, “A time-interleaved flash-sar architecture for high speed a/d conversion,” in *2009 IEEE International Symposium on Circuits and Systems*, May 2009, pp. 984–987. *Cité page 9*
- [28] W. C. Black and D. A. Hodges, “Time interleaved converter arrays,” *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp. 1022–1029, Dec 1980. *2 citations pages 9 et 11*
- [29] L. Kull, T. Toifl, M. Schmatz, P. Francese, C. Menolfi, M. Braendli, M. Kossel, T. Morf, T. Andersen, and Y. Leblebici, “A 35mw 8 b 8.8 gs/s sar adc with low-power capacitive reference buffers in 32nm digital soi cmos,” pp. C260–C261, June 2013. *Cité page 11*
- [30] A. Buchwald, “High-speed time interleaved adcs,” *IEEE Communications Magazine*, vol. 54, no. 4, pp. 71–77, April 2016. *2 citations pages 12 et 13*
- [31] L. Luo, S. Chen, M. Zhou, and T. Ye, “A 0.014mm² 10-bit 2gs/s time-interleaved sar adc with low-complexity background timing skew calibration,” in *2017 Symposium on VLSI Circuits*, June 2017, pp. C278–C279. *Cité page 12*
- [32] J.-W. Nam, M. Hassanpourghadi, A. Zhang, and M. S.-W. Chen, “A 12-bit 1.6 gs/s interleaved sar adc with dual reference shifting and interpolation achieving 17.8 fj/conv-step in 65nm cmos,” in *2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)*, June 2016, pp. 1–2. *Cité page 12*
- [33] Y.-Z. Lin, C.-H. Tsai, S.-C. Tsou, and C.-H. Lu, “A 8.2-mw 10-b 1.6-gs/s 4× ti sar adc with fast reference charge neutralization and background timing-skew calibration in 16-nm cmos,” in *2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)*, June 2016, pp. 1–2. *Cité page 12*
- [34] S. Devarajan, L. Singer, D. Kelly, S. Kopic, T. Pan, J. Silva, J. Brunsilius, D. Rey-Losada, F. Murden, C. Speir, J. Bray, E. Otte, N. Rakuljic, P. Brown, T. Weigandt, Q. Yu, D. Paterson, C. Petersen, and J. Gealow, “16.7 a 12b

10gs/s interleaved pipeline adc in 28nm cmos technology,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, Feb 2017, pp. 288–289.

2 citations pages 12 et 38

- [35] J. Wu, A. Chou, C. H. Yang, Y. Ding, Y. J. Ko, S. T. Lin, W. Liu, C. M. Hsiao, M. H. Hsieh, C. C. Huang, J. J. Hung, K. Y. Kim, M. Le, T. Li, W. T. Shih, A. Shrivastava, Y. C. Yang, C. Y. Chen, and H. S. Huang, “A 5.4gs/s 12b 500mw pipeline adc in 28nm cmos,” in *2013 Symposium on VLSI Circuits*, June 2013, pp. C92–C93. *Cité page 12*
- [36] M. Brandolini, Y. Shin, K. Raviprakash, T. Wang, R. Wu, H. M. Geddada, Y. J. Ko, Y. Ding, C. S. Huang, W. T. Shin, M. H. Hsieh, W. T. Chou, T. Li, A. Shrivastava, Y. C. Chen, J. J. Hung, G. Cusmai, J. Wu, M. M. Zhang, G. Unruh, A. Venes, H. S. Huang, and C. Y. Chen, “26.6 a 5gs/s 150mw 10b sha-less pipelined/sar hybrid adc in 28nm cmos,” in *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, Feb 2015, pp. 1–3. *Cité page 13*
- [37] L. Kull, D. Luu, C. Menolfi, M. Braendli, P. A. Francese, T. Morf, M. Kossel, H. Yueksel, A. Cevrero, I. Ozkaya, and T. Toifl, “28.5 a 10b 1.5gs/s pipelined-sar adc with background second-stage common-mode regulation and offset calibration in 14nm cmos finfet,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, Feb 2017, pp. 474–475. *2 citations pages 13 et 28*
- [38] B. Vaz, A. Lynam, B. Verbruggen, A. Laraba, C. Mesadri, A. Boumaalif, J. McGrath, U. Kamath, R. D. L. Torre, A. Manlapat, D. Breathnach, C. Erdmann, and B. Farley, “16.1 a 13b 4gs/s digitally assisted dynamic 3-stage asynchronous pipelined-sar adc,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, Feb 2017, pp. 276–277. *Cité page 13*
- [39] J. Mazurier, “Variability study in Planar FDSOI technology : From transistors to SRAM cells,” Theses, Université de Grenoble, Oct. 2012. [Online]. Available : <https://tel.archives-ouvertes.fr/tel-00845680> *Cité page 13*
- [40] K. J. Kuhn, M. D. Giles, D. Becher, P. Kolar, A. Kornfeld, R. Kotlyar, S. T. Ma, A. Maheshwari, and S. Mudanai, “Process technology variation,” *IEEE Transactions on Electron Devices*, vol. 58, no. 8, pp. 2197–2208, Aug 2011. *Cité page 14*
- [41] F. L. Yang, J. R. Hwang, H. M. Chen, J. J. Shen, S. M. Yu, Y. Li, and D. D. Tang, “Discrete dopant fluctuated 20nm/15nm-gate planar cmos,” in *2007 IEEE Symposium on VLSI Technology*, June 2007, pp. 208–209. *Cité page 14*
- [42] M. Pelgrom, A. C. Duinmaijer, and A. Welbers, “Matching properties of mos transistors,” *Solid-State Circuits, IEEE Journal of*, vol. 24, no. 5, pp. 1433–1439, Oct 1989. *Cité page 14*
- [43] J. B. Shyu, G. C. Temes, and K. Yao, “Random errors in mos capacitors,” *IEEE Journal of Solid-State Circuits*, vol. 17, no. 6, pp. 1070–1076, Dec 1982. *Cité page 15*
- [44] N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, and K. Kobayashi, “Explicit analysis of channel mismatch effects in time-interleaved adc systems,” *IEEE Tran. Circuits Syst. I*, vol. 48, no. 3, pp. 261–271, Mar 2001. *Cité page 15*

- [45] A. Petraglia and S. K. Mitra, “Analysis of mismatch effects among a/d converters in a time-interleaved waveform digitizer,” *IEEE Transactions on Instrumentation and Measurement*, vol. 40, no. 5, pp. 831–835, Oct 1991. *Cité page 16*
- [46] C. Vogel, “Comprehensive, error analysis of combined channel mismatch effects in time-interleaved adcs,” in *Proceedings of the 20th IEEE Instrumentation Technology Conference (Cat. No.03CH37412)*, vol. 1, May 2003, pp. 733–738. *Cité page 16*
- [47] —, “The impact of combined channel mismatch effects in time-interleaved adcs,” *IEEE Transactions on Instrumentation and Measurement*, vol. 54, no. 1, pp. 415–427, Feb 2005. *Cité page 16*
- [48] G. Leger, E. J. Peralias, A. Rueda, and J. L. Huertas, “Impact of random channel mismatch on the snr and sfdr of time-interleaved adcs,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 51, no. 1, pp. 140–150, Jan 2004. *Cité page 16*
- [49] J. Elbornsson, F. Gustafsson, and J. E. Eklund, “Analysis of mismatch effects in a randomly interleaved a/d converter system,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 52, no. 3, pp. 465–476, March 2005. *Cité page 16*
- [50] I. N. Ku, Z. Xu, Y. C. Kuan, Y. H. Wang, and M. C. F. Chang, “A 40-mw 7-bit 2.2-gs/s time-interleaved subranging cmos adc for low-power gigabit wireless communications,” *IEEE Journal of Solid-State Circuits*, vol. 47, no. 8, pp. 1854–1865, Aug 2012. *Cité page 23*
- [51] V.-C. Chen and L. Pileggi, “22.2 a 69.5mw 20gs/s 6b time-interleaved adc with embedded time-to-digital calibration in 32nm cmos soi,” pp. 380–381, Feb 2014. *3 citations pages 23, 29, et 38*
- [52] G. Van der Plas, S. Decoutere, and S. Donnay, “A 0.16pj/conversion-step 2.5mw 1.25gs/s 4b adc in a 90nm digital cmos process,” pp. 2310–, Feb 2006. *Cité page 23*
- [53] J. E. Eklund and F. Gustafsson, “Digital offset compensation of time-interleaved adc using random chopper sampling,” in *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings (IEEE Cat No.00CH36353)*, vol. 3, 2000, pp. 447–450 vol.3. *Cité page 23*
- [54] N. L. Dortz, J. P. Blanc, T. Simon, S. Verhaeren, E. Rouat, P. Urard, S. L. Tual, D. Goguet, C. Lelandais-Perrault, and P. Benabes, “A 1.62gs/s time-interleaved sar adc with digital background mismatch calibration achieving interleaving spurs below 70 dbfs,” in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, Feb 2014, pp. 386–388. *6 citations pages 23, 28, 30, 31, 32, et 33*
- [55] J. Elbornsson, F. Gustafsson, and J. E. Eklund, “Blind adaptive equalization of mismatch errors in a time-interleaved a/d converter system,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 51, no. 1, pp. 151–158, Jan 2004. *3 citations pages 23, 31, et 36*
- [56] D. Cui, H. Zhang, N. Huang, A. Nazemi, B. Catli, H. G. Rhew, B. Zhang, A. Momtaz, and J. Cao, “3.2 a 320mw 32gb/s 8b adc-based pam-4 analog front-end

- with programmable gain control and analog peaking in 28nm cmos,” in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 58–59. *2 citations pages 23 et 38*
- [57] R. Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Springer US, 2003. [Online]. Available : <https://doi.org/10.1007/978-1-4757-3768-4> *Cité page 24*
- [58] B. Verbruggen, K. Deguchi, B. Malki, and J. Craninckx, “A 70 db snr 200 ms/s 2.3 mw dynamic pipelined sar adc in 28nm digital cmos,” in *2014 Symposium on VLSI Circuits Digest of Technical Papers*, June 2014, pp. 1–2. *Cité page 24*
- [59] S. Le Tual, P. Singh, C. Curis, and P. Dautriche, “22.3 a 20ghz-bw 6b 10gs/s 32mw time-interleaved sar adc with master t amp ;h in 28nm utbb fdsoi technology,” pp. 382–383, Feb 2014. *Cité page 25*
- [60] H. Jin, E. Lee, and M. Hassoun, “Time-interleaved a/d converter with channel randomization,” in *Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on*, vol. 1, Jun 1997, pp. 425–428 vol.1. *Cité page 25*
- [61] G. Bernardinis, P. Malcovati, F. Maloberti, and E. Soenen, “Dynamic stage matching for parallel pipeline a/d converters,” in *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, vol. 1, 2002, pp. I–905–I–908 vol.1. *Cité page 25*
- [62] K. El-Sankary, A. Assi, and M. Sawan, “New sampling method to improve the sfdr of time-interleaved adcs,” in *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 1, May 2003, pp. I–833–I–836 vol.1. *Cité page 25*
- [63] M. Tamba, A. Shimizu, H. Munakata, and T. Komuro, “A method to improve sfdr with random interleaved sampling method,” in *Proceedings International Test Conference 2001 (Cat. No.01CH37260)*, 2001, pp. 512–520. *Cité page 25*
- [64] C. Vogel, V. Pammer, and G. Kubin, “A novel channel randomization method for time-interleaved adcs,” in *2005 IEEE Instrumentation and Measurement Technology Conference Proceedings*, vol. 1, May 2005, pp. 150–155. *Cité page 25*
- [65] F. Ghanem, “Bandwidth mismatch calibration in time-interleaved analog-to-digital converters,” Theses, Télécom ParisTech, Sep. 2012. [Online]. Available : <https://pastel.archives-ouvertes.fr/pastel-00998759> *Cité page 25*
- [66] Y.-T. Wang and B. Razavi, “An 8-bit 150-mhz cmos a/d converter,” *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 3, pp. 308–317, March 2000. *Cité page 26*
- [67] C. Kim and Y. Park, “Time-interleaved analog-digital converter and calibration method for the same,” Oct. 3 2017, uS Patent 9,780,802. [Online]. Available : <https://www.google.com/patents/US9780802> *2 citations pages 26 et 44*
- [68] M. Gustavsson and N. N. Tan, “A global passive sampling technique for high-speed switched-capacitor time-interleaved adcs,” *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, vol. 47, no. 9, pp. 821–831, Sep 2000. *Cité page 27*

- [69] T. Choi and R. Brodersen, “Considerations for high-frequency switched-capacitor ladder filters,” *IEEE Transactions on Circuits and Systems*, vol. 27, no. 6, pp. 545–552, Jun 1980. *Cité page 27*
- [70] A. M. A. Ali, H. Dinc, P. Bhoraskar, C. Dillon, S. Puckett, B. Gray, C. Speir, J. Lanford, D. Jarman, J. Brunsilius, P. Derounian, B. Jeffries, U. Mehta, M. McShea, and H. Y. Lee, “29.3 a 14b 1gs/s rf sampling pipelined adc with background calibration,” in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, Feb 2014, pp. 482–483. *Cité page 28*
- [71] S. Jamal, D. Fu, N.-J. Chang, P. Hurst, and S. Lewis, “A 10-b 120-msample/s time-interleaved analog-to-digital converter with digital background calibration,” *Solid-State Circuits, IEEE Journal of*, vol. 37, no. 12, pp. 1618–1627, Dec 2002. *2 citations pages 28 et 31*
- [72] S. Lee, A. Chandrakasan, and H.-S. Lee, “22.4 a 1gs/s 10b 18.9mw time-interleaved sar adc with background timing-skew calibration,” pp. 384–385, Feb 2014. *5 citations pages 30, 36, 37, 38, et 39*
- [73] H. Johansson, “A polynomial-based time-varying filter structure for the compensation of frequency-response mismatch errors in time-interleaved adcs,” *IEEE Journal of Selected Topics in Signal Processing*, vol. 3, no. 3, pp. 384–396, June 2009. *3 citations pages 30, 34, et 35*
- [74] Q. Lei, Y. Zheng, D. Zhu, and L. Siek, “A statistic based time skew calibration method for time-interleaved adcs,” in *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, June 2014, pp. 2373–2376. *3 citations pages 31, 38, et 39*
- [75] C.-Y. Wang and J.-T. Wu, “A multiphase timing-skew calibration technique using zero-crossing detection,” *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 56, no. 6, pp. 1102–1114, June 2009. *2 citations pages 31 et 33*
- [76] —, “A background timing-skew calibration technique for time-interleaved analog-to-digital converters,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 53, no. 4, pp. 299–303, April 2006. *3 citations pages 31, 33, et 36*
- [77] H. Mafi, M. Yargholi, and M. Yavari, “Digital blind background calibration of imperfections in time-interleaved adcs,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 64, no. 6, pp. 1504–1514, June 2017. *Cité page 31*
- [78] S. Jamal, D. Fu, M. Singh, P. Hurst, and S. Lewis, “Calibration of sample-time error in a two-channel time-interleaved analog-to-digital converter,” *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 51, no. 1, pp. 130–139, Jan 2004. *Cité page 31*
- [79] C. H. Law, P. J. Hurst, and S. H. Lewis, “A four-channel time-interleaved adc with digital calibration of interchannel timing and memory errors,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 10, pp. 2091–2103, Oct 2010. *Cité page 31*
- [80] C. Vogel, S. Saleem, and S. Mendel, “Adaptive blind compensation of gain and timing mismatches in m-channel time-interleaved adcs,” in *2008 15th IEEE International Conference on Electronics, Circuits and Systems*, Aug 2008, pp. 49–52. *Cité page 31*

- [81] C. Vogel, “A frequency domain method for blind identification of timing mismatches in time-interleaved adcs,” in *2006 NORCHIP*, Nov 2006, pp. 45–48. *Cité page 31*
- [82] S. Huang and B. C. Levy, “Blind calibration of timing offsets for four-channel time-interleaved adcs,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 54, no. 4, pp. 863–876, April 2007. *2 citations pages 31 et 33*
- [83] P. Satarzadeh, B. C. Levy, and P. J. Hurst, “A parametric polyphase domain approach to blind calibration of timing mismatches for m-channel time-interleaved adcs,” in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, May 2010, pp. 4053–4056. *2 citations pages 31 et 33*
- [84] S. Chen, L. Wang, H. Zhang, R. Murugesu, D. Dunwell, and A. C. Carusone, “All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 9, pp. 2552–2560, Sept 2017. *2 citations pages 31 et 33*
- [85] C. Y. Lin, Y. H. Wei, and T. C. Lee, “27.7 a 10b 2.6gs/s time-interleaved sar adc with background timing-skew calibration,” in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 468–469. *3 citations pages 31, 32, et 36*
- [86] M. Hotz and C. Vogel, “Block processing with iterative correction filters for time-interleaved adcs,” in *2014 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP)*, May 2014, pp. 4923–4932. *Cité page 33*
- [87] M. Seo, *Signal processing/hardware co-design for high-speed A/D conversion and millimeterwave sensor nets*. University of California, Santa Barbara, 2007. *Cité page 33*
- [88] C. Vogel and H. Johansson, “Time-interleaved analog-to-digital converters : status and future directions,” in *2006 IEEE International Symposium on Circuits and Systems*, May 2006, pp. 4 pp.–3389. *Cité page 33*
- [89] C. Vogel, M. Hotz, S. Saleem, K. Hausmair, and M. Soudan, “A review on low-complexity structures and algorithms for the correction of mismatch errors in time-interleaved adcs,” in *10th IEEE International NEWCAS Conference*, June 2012, pp. 349–352. *Cité page 33*
- [90] C. Vogel, D. Draxelmayr, and F. Kuttner, “Compensation of timing mismatches in time-interleaved analog-to-digital converters through transfer characteristics tuning,” in *Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on*, vol. 1, July 2004, pp. I–341–4 vol.1. *Cité page 33*
- [91] C. Vogel and G. Kubin, “Time-interleaved ADCs in the context of hybrid filter banks,” in *Proceedings of the 2004 URSI International Symposium on Signals, Systems, and Electronics. ISSSE 2004.*, August 2004, pp. 214–217. [Online]. Available : <http://userver.ftw.at/~vogel/TIADC.html> *Cité page 33*
- [92] T. H. Tsai, P. J. Hurst, and S. H. Lewis, “Bandwidth mismatch and its correction in time-interleaved analog-to-digital converters,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 53, no. 10, pp. 1133–1137, Oct 2006. *2 citations pages 33 et 34*

- [93] K. Asami, “Technique to improve the performance of time-interleaved a-d converters,” in *IEEE International Conference on Test, 2005.*, Nov 2005, pp. 7 pp.–857.
Cité page 33
- [94] S. Mendel and C. Vogel, “A compensation method for magnitude response mismatches in two-channel time-interleaved analog-to-digital converters,” in *Electronics, Circuits and Systems, 2006. ICECS '06. 13th IEEE International Conference on*, Dec 2006, pp. 712–715.
2 citations pages 33 et 43
- [95] —, “On the compensation of magnitude response mismatches in m-channel time-interleaved adcs,” in *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, May 2007, pp. 3375–3378.
Cité page 33
- [96] P. Satarzadeh, B. C. Levy, and P. J. Hurst, “Bandwidth mismatch correction for a two-channel time-interleaved a/d converter,” in *2007 IEEE International Symposium on Circuits and Systems*, May 2007, pp. 1705–1708.
2 citations pages 33 et 34
- [97] Y. C. Lim, Y. X. Zou, J. W. Lee, and S. C. Chan, “Time-interleaved analog-to-digital-converter compensation using multichannel filters,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 56, no. 10, pp. 2234–2247, Oct 2009.
Cité page 33
- [98] M. Vetterli, “Invertibility of linear periodically time-varying filters,” *IEEE Transactions on Circuits and Systems*, vol. 36, no. 1, pp. 148–150, Jan 1989.
Cité page 33
- [99] H. Johansson and P. Lowenborg, “A least-squares filter design technique for the compensation of frequency response mismatch errors in time-interleaved a/d converters,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 55, no. 11, pp. 1154–1158, Nov 2008.
2 citations pages 33 et 34
- [100] P. Satarzadeh, B. Levy, and P. Hurst, “Adaptive semiblind calibration of bandwidth mismatch for two-channel time-interleaved adcs,” *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 56, no. 9, pp. 2075–2088, Sept 2009.
2 citations pages 33 et 34
- [101] M. Seo, M. J. W. Rodwell, and U. Madhow, “Comprehensive digital correction of mismatch errors for a 400-msamples/s 80-db sfdr time-interleaved analog-to-digital converter,” *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 3, pp. 1072–1082, March 2005.
2 citations pages 33 et 34
- [102] S. Tertinek and C. Vogel, “Reconstruction of nonuniformly sampled bandlimited signals using a differentiator-multiplier cascade,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 55, no. 8, pp. 2273–2286, Sept 2008.
Cité page 34
- [103] C. Vogel and S. Mendel, “A flexible and scalable structure to compensate frequency response mismatches in time-interleaved adcs,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 56, no. 11, pp. 2463–2475, Nov 2009.
2 citations pages 34 et 35
- [104] S. Saleem and C. Vogel, “Adaptive compensation of frequency response mismatches in high-resolution time-interleaved adcs using a low-resolution adc and

- a time-varying filter,” in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, May 2010, pp. 561–564. *Cité page 34*
- [105] —, “Adaptive blind background calibration of polynomial-represented frequency response mismatches in a two-channel time-interleaved adc,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 58, no. 6, pp. 1300–1310, June 2011. *2 citations pages 34 et 35*
- [106] W. Liu and Y. Chiu, “Time-interleaved analog-to-digital conversion with online adaptive equalization,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 59, no. 7, pp. 1384–1395, July 2012. *Cité page 34*
- [107] A. Bonnetat, J. M. Hodé, G. Ferré, and D. Dallet, “Correlation-based frequency-response mismatch compensation of quad-tiadc using real samples,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 62, no. 8, pp. 746–750, Aug 2015. *Cité page 34*
- [108] G. K. D. Teyou, H. Petit, and P. Loumeau, “Adaptive and digital blind calibration of transfer function mismatch in time-interleaved adcs,” in *2015 IEEE 13th International New Circuits and Systems Conference (NEWCAS)*, June 2015, pp. 1–4. *Cité page 34*
- [109] H. Liu and H. Xu, “An adaptive blind frequency-response mismatches calibration method for four-channel tiadcs based on channel swapping,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 64, no. 6, pp. 625–629, June 2017. *2 citations pages 34 et 35*
- [110] S. Tertinek and C. Vogel, “Reconstruction of two-periodic nonuniformly sampled band-limited signals using a discrete-time differentiator and a time-varying multiplier,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 54, no. 7, pp. 616–620, July 2007. *Cité page 34*
- [111] K. M. Tsui and S. C. Chan, “A novel iterative structure for online calibration of m -channel time-interleaved adcs,” *IEEE Transactions on Instrumentation and Measurement*, vol. 63, no. 2, pp. 312–325, Feb 2014. *Cité page 35*
- [112] E. Bjarnason, “Analysis of the filtered-x lms algorithm,” *IEEE Transactions on Speech and Audio Processing*, vol. 3, no. 6, pp. 504–514, Nov 1995. *Cité page 35*
- [113] H. Johansson, “Relations between zero-if receiver i/q and ti-adc channel mismatches,” *IEEE Transactions on Signal Processing*, vol. 62, no. 13, pp. 3403–3414, July 2014. *Cité page 35*
- [114] S. Singh, *Time-Interleaved Analog-to-Digital-Converters : Modeling, Blind Identification and Digital Correction of Frequency Response Mismatches*, ser. Tampere University of Technology. Publication. Tampere University of Technology, 8 2016. *Cité page 35*
- [115] S. Singh, M. Epp, G. Vallant, M. Valkama, and L. Anttila, “2-channel time-interleaved adc frequency response mismatch correction using adaptive i/q signal processing,” in *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Aug 2013, pp. 1079–1084. *2 citations pages 35 et 36*

- [116] S. Singh, L. Anttila, M. Epp, W. Schlecker, and M. Valkama, “Analysis, blind identification, and correction of frequency response mismatch in two-channel time-interleaved adcs,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 5, pp. 1721–1734, May 2015. *2 citations pages 35 et 36*
- [117] S. Singh, M. Valkama, M. Epp, and W. Schlecker, “Digitally enhanced wideband i/q downconversion receiver with 2-channel time-interleaved adcs,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 63, no. 1, pp. 29–33, Jan 2016. *Cité page 35*
- [118] L. Anttila, M. Valkama, and M. Renfors, “Circularity-based i/q imbalance compensation in wideband direct-conversion receivers,” *IEEE Transactions on Vehicular Technology*, vol. 57, no. 4, pp. 2099–2113, July 2008. *Cité page 35*
- [119] S. Singh, M. Epp, G. Vallant, M. Valkama, and L. Anttila, “A blind frequency response mismatch correction algorithm for 4-channel time-interleaved adc,” in *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, June 2014, pp. 1304–1307. *Cité page 36*
- [120] S. Singh, L. Anttila, M. Epp, W. Schlecker, and M. Valkama, “Frequency response mismatches in 4-channel time-interleaved adcs : Analysis, blind identification, and correction,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 62, no. 9, pp. 2268–2279, Sept 2015. *Cité page 36*
- [121] A. Bonnetat, “Study and Design of Mismatch Correction Algorithms in Time-Interleaved Analog to Digital Converters for Radar and Electronic Warfare Applications,” Theses, Université de Bordeaux, Dec. 2015. [Online]. Available : <https://tel.archives-ouvertes.fr/tel-01272805> *Cité page 36*
- [122] A. Bonnetat, J. M. Hodé, G. Ferré, and D. Dallet, “An adaptive all-digital blind compensation of dual-tiadc frequency-response mismatch based on complex signal correlations,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 62, no. 9, pp. 821–825, Sept 2015. *Cité page 36*
- [123] J. Song, K. Ragab, X. Tang, and N. Sun, “A 10-b 800ms/s time-interleaved sar adc with fast timing-skew calibration,” in *2016 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov 2016, pp. 73–76. *2 citations pages 36 et 38*
- [124] —, “A 10-b 800-ms/s time-interleaved sar adc with fast variance-based timing-skew calibration,” *IEEE Journal of Solid-State Circuits*, vol. 52, no. 10, pp. 2563–2575, Oct 2017. *2 citations pages 36 et 38*
- [125] C.-C. Huang, C.-Y. Wang, and J.-T. Wu, “A cmos 6-bit 16-gs/s time-interleaved adc using digital background calibration techniques,” *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 4, pp. 848–858, April 2011. *2 citations pages 36 et 38*
- [126] M. El-Chammas and B. Murmann, “A 12-gs/s 81-mw 5-bit time-interleaved flash adc with background timing skew calibration,” *IEEE Journal of Solid-State Circuits*, vol. 46, no. 4, pp. 838–847, April 2011. *2 citations pages 36 et 37*
- [127] B. Xu and Y. Chiu, “Background calibration of time-interleaved adc using direct derivative information,” in *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, May 2013, pp. 2456–2459. *Cité page 36*

- [128] —, “Comprehensive background calibration of time-interleaved analog-to-digital converters,” *IEEE Trans. Circuits Syst. I*, vol. 62, no. 5, pp. 1306–1314, May 2015. *2 citations pages 36 et 193*
- [129] J. Segura, C. Hawkins, and J. Soden, “Failure mechanisms and testing in nanometer technologies,” in *Gizopoulos / Advances in Electronic Testing*. Springer US, 2006, pp. 43–75. [Online]. Available : https://doi.org/10.1007/0-387-29409-0_2 *Cité page 37*
- [130] H. Wei, P. Zhang, B. D. Sahoo, and B. Razavi, “An 8 bit 4 gs/s 120 mw cmos adc,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 8, pp. 1751–1761, Aug 2014. *2 citations pages 38 et 40*
- [131] C. Hongmei, J. Maochen, Y. Yongsheng, L. Fujiang, and C. Qing, “An efficient digital calibration technique for timing mismatch in time-interleaved adcs,” *IEICE Electronics Express*, vol. 13, no. 13, pp. 20 160 524–20 160 524, 2016. *Cité page 38*
- [132] Y. Frans, J. Shin, L. Zhou, P. Upadhyaya, J. Im, V. Kireev, M. Elzeftawi, H. Hedayati, T. Pham, S. Asuncion, C. Borrelli, G. Zhang, H. Zhang, and K. Chang, “A 56-gb/s pam4 wireline transceiver using a 32-way time-interleaved sar adc in 16-nm finfet,” *IEEE Journal of Solid-State Circuits*, vol. 52, no. 4, pp. 1101–1110, April 2017. *Cité page 38*
- [133] J. Cao, D. Cui, A. Nazemi, T. He, G. Li, B. Catli, M. Khanpour, K. Hu, T. Ali, H. Zhang, H. Yu, B. Rhew, S. Sheng, Y. Shim, B. Zhang, and A. Momtaz, “29.2 a transmitter and receiver for 100gb/s coherent networks with integrated 4 64gs/s 8b adcs and dacs in 20nm cmos,” in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, Feb 2017, pp. 484–485. *Cité page 38*
- [134] M. Straayer, J. Bales, D. Birdsall, D. Daly, P. Elliott, B. Foley, R. Mason, V. Singh, and X. Wang, “27.5 a 4gs/s time-interleaved rf adc in 65nm cmos with 4ghz input bandwidth,” in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 464–465. *2 citations pages 38 et 39*
- [135] X. Dai-guo, Pu-Jie, X. Shi-liu, Z. Zheng-ping, C. Kai-rang, C. Yi-yi, Z. Jun-an, and W. Jian-an, “A 10-bit 1.2gs/s 45mw time-interleaved sar adc with background calibration,” *IEICE Electronics Express*, vol. advpub, 2018. *Cité page 38*
- [136] M. Abas, G. Russell, and D. Kinniment, “Built-in time measurement circuits – a comparative design study,” *IET Computers & Digital Techniques*, vol. 1, no. 2, p. 87, 2007. [Online]. Available : <https://doi.org/10.1049/iet-cdt:20060111> *Cité page 38*
- [137] P. A. J. Nuyts, P. Reynaert, and W. Dehaene, “Continuous-time digital design techniques,” in *Continuous-Time Digital Front-Ends for Multistandard Wireless Transmission*. Springer International Publishing, 2014, pp. 125–185. [Online]. Available : https://doi.org/10.1007/978-3-319-03925-1_4 *Cité page 38*
- [138] S. Tual and P. Singh, “Variable delay element,” Jan. 29 2015, uS Patent App. 14/337,896. [Online]. Available : <https://www.google.com/patents/US20150028930> *4 citations pages 38, 43, 45, et 81*

- [139] A. Haftbaradaran and K. Martin, “A sample-time error compensation technique for time-interleaved adc systems,” in *Custom Integrated Circuits Conference, 2007. CICC '07. IEEE*, Sept 2007, pp. 341–344. *Cité page 39*
- [140] L. Wu and J. Black, W.C., “A low-jitter skew-calibrated multi-phase clock generator for time-interleaved applications,” pp. 396–397, Feb 2001. *2 citations pages 40 et 41*
- [141] D. Camarero de la Rosa, “Calibrage mixte du décalage de l’horloge dans les convertisseurs analogique numérique à entrelacement temporel,” Ph.D. dissertation, 2007, thèse de doctorat dirigée par Loumeau, Patrick et Naviner, Jean-François Électronique et communications Paris, ENST 2007. [Online]. Available : <http://www.theses.fr/2007ENST0007> *Cité page 40*
- [142] J. Maneatis, “Low-jitter process-independent dll and pll based on self-biased techniques,” *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 11, pp. 1723–1732, Nov 1996. *Cité page 40*
- [143] Y. Zhang, X. Zhu, C. Chen, F. Ye, and J. Ren, “A sample-time error calibration technique in time-interleaved adcs with correlation-based detection and voltage-controlled compensation,” pp. 128–131, Dec 2012. *2 citations pages 41 et 44*
- [144] A. Kumar, C. Debnath, P. N. Singh, V. Bhatia, S. Chaudhary, V. Jain, S. L. Tual, and R. Malik, “A 0.065mm² 19.8mw single channel calibration-free 12b 600ms/s adc in 28nm utbb fdsoi using fbb,” in *ESSCIRC Conference 2016 : 42nd European Solid-State Circuits Conference*, Sept 2016, pp. 165–168. *Cité page 43*
- [145] C. Vogel and G. Kubin, “Analysis and compensation of nonlinearity mismatches in time-interleaved adc arrays,” in *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, vol. 1, May 2004, pp. I–593–6 Vol.1. *Cité page 43*
- [146] C. Vogel, “Modeling, identification, and compensation of channel mismatch errors in time-interleaved analog-to-digital converters,” mastersDissertation, Graz University of Technology, Austria, 2005. *Cité page 43*
- [147] A. M. Abo and P. R. Gray, “A 1.5-v, 10-bit, 14.3-ms/s cmos pipeline analog-to-digital converter,” *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 599–606, May 1999. *2 citations pages 43 et 52*
- [148] R. Payne, C. Sestok, W. Bright, M. El-Chammas, M. Corsi, D. Smith, and N. Tal, “A 12b 1gs/s sige bicmos two-way time-interleaved pipeline adc,” in *2011 IEEE International Solid-State Circuits Conference*, Feb 2011, pp. 182–184. *2 citations pages 44 et 128*
- [149] R. Payne and M. Corsi, “Track and hold architecture with tunable bandwidth,” Jan. 17 2013, uS Patent App. 13/551,950. [Online]. Available : <https://encrypted.google.com/patents/US20130015990> *Cité page 44*
- [150] Y. H. Johancsik Tracy, Ryan James Kier, “Time-interleaved analog-to-digital converter bandwidth matching,” patentus 9071270, Jun., 2015. [Online]. Available : <https://patents.google.com/patent/US8466818B1/en> *Cité page 44*

- [151] A. Mas, E. Andre, C. Lelandais-Perrault, F. V. dos Santos, and P. Benabes, “Analog bandwidth mismatch compensation for time-interleaved adcs using fd-soi technology,” in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017, pp. 1–4. *Cité page 45*
- [152] S. Narendra, J. Tschanz, A. Keshavarzi, S. Borkar, and V. De, “Comparative performance, leakage power and switching power of circuits in 150 nm pd-soi and bulk technologies including impact of soi history effect,” in *2001 Symposium on VLSI Circuits. Digest of Technical Papers (IEEE Cat. No.01CH37185)*, June 2001, pp. 217–218. *Cité page 48*
- [153] D. Jacquet, F. Hasbani, P. Flatresse, R. Wilson, F. Arnaud, G. Cesana, T. D. Gilio, C. Lecocq, T. Roy, A. Chhabra, C. Grover, O. Minez, J. Uginet, G. Durieu, C. Adobati, D. Casalotto, F. Nyer, P. Menut, A. Cathelin, I. Vongsavady, and P. Magarshack, “A 3 ghz dual core processor arm cortex tm -a9 in 28 nm utbb fd-soi cmos with ultra-wide voltage range and energy efficiency optimization,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 4, pp. 812–826, April 2014. *Cité page 49*
- [154] B.Murmann, “Ee315b : Vlsi data conversion circuits,” Stanford University, 2011. *Cité page 51*
- [155] J.-P. Noel, “FDSOI devices optimization to power and speed management : application to memory and logic function,” Theses, Université de Grenoble, Dec. 2011. [Online]. Available : <https://tel.archives-ouvertes.fr/tel-00701765> *Cité page 77*
- [156] J. Rabaey, *Low Power Design Essentials*, 1st ed. Springer Publishing Company, Incorporated, 2009. *Cité page 79*
- [157] Y. Tsividis and C. McAndrew, *Operation and Modeling of the MOS Transistor*, ser. Oxford Series in Electrical an. Oxford University Press, 2011. [Online]. Available : <https://books.google.fr/books?id=oYmYPwAACAAJ> *2 citations pages 109 et 110*
- [158] S. Sze, *Physics of Semiconductor Devices*, ser. Wiley-Interscience publication. John Wiley & Sons, 1981. [Online]. Available : <https://books.google.fr/books?id=LCNTAAAAMAAJ> *Cité page 110*
- [159] C. R. Popa, *Superior-Order Curvature-Correction Techniques for Voltage References*, 1st ed. Springer Publishing Company, Incorporated, 2009. *Cité page 111*
- [160] P. R. Gray, *Analysis and Design of Analog Integrated Circuits*, 5th ed. Wiley Publishing, 2009. *Cité page 111*
- [161] H. Shichman and D. A. Hodges, “Modeling and simulation of insulated-gate field-effect transistor switching circuits,” *IEEE Journal of Solid-State Circuits*, vol. 3, no. 3, pp. 285–289, 1968. *Cité page 118*
- [162] R. Payne and M. Corsi, “Track and hold architecture with tunable bandwidth,” Apr. 21 2015, uS Patent 9,013,339. [Online]. Available : <https://www.google.com/patents/US9013339> *Cité page 128*

Titre : Convertisseur Analogique-Numérique Large Bande avec Correction Mixte

Mots clés : Conversion Analogique-Numérique (CAN), Calibration Mixte, Entrelacement temporel, Technologie silicium FD-SOI

Résumé : Les besoins en débit d'information à transmettre ne cessent de croître. Aussi la généralisation des émetteurs-récepteurs large-bande implique l'intégration de solutions sur une technologie silicium CMOS afin que leur coût soit compatible avec une application grand public. Si l'intégration massive des traitements numériques est facilitée par les dernières technologies CMOS, la fonction de conversion analogique-numérique est quant à elle plus difficile. En effet, afin d'optimiser l'étage frontal analogique, le convertisseur analogique-numérique (CAN) doit répondre à des contraintes très fortes en termes de largeur de bande (de l'ordre du GHz) et de résolution (de 10 à 14bits). Les convertisseurs analogique-numérique basés sur l'entrelacement temporel (CAN-ET) connaissent un essor remarquable car ce sont aujourd'hui les seuls à pouvoir répondre aux deux contraintes énoncées ci-dessus. Cependant, cette structure de CAN reste sensible aux défauts d'appariement entre ses différentes voies de conversion et voit ses performances limitées par la présence de raies parasites liées à des erreurs statiques (offset et gain) et dynamiques (skew et bande passante). Pour réduire l'impact des er-

reurs dynamiques, nous avons implémenté une calibration mixte en technologie FD-SOI 28nm. Dans une première partie, un état de l'art portant sur les différentes techniques de minimisation et de compensations analogiques des erreurs de skew et bande passante est réalisé. À partir de cette étude, nous proposons différentes techniques analogiques pour compenser les désappariements de bande passante et de skew. Pour compenser le skew, nous profitons des avantages de la technologie FD-SOI en modulant fortement la tension de la face arrière d'un ou plusieurs transistor(s) d'échantillonnage. Concernant l'erreur de bande passante, nous proposons d'ajuster la résistance équivalente du T/H en adaptant la résistance à l'état passant des transistors d'échantillonnage de cinq manières différentes. Pour définir parmi toutes les compensations proposées celle qui est la plus adaptée à nos besoins, nous comparons différents critères de performance. Après avoir identifié la meilleure compensation de skew et de bande passante, nous avons, dans une dernière partie, implémenté une calibration mixte des erreurs statiques et dynamiques où l'estimation numérique est basée sur la méthode des Moindres Carrés.

Title : Mixed Calibration for High Speed Analog-to-Digital Converters

Keywords : Analog to Digital Converter (ADC), Mixed Calibration, Time Interleaved, FDSOI technology

Abstract : Data transmission requirements are ever more stringent, with respect to more throughput, less power consumption and reduced cost. The cable TV market is where broadband transceivers must continuously innovate to meet these requirements. In these transceivers, the analog front-end part must be adapted to meet the increasingly tighter specifications of the newest standards. A key bottleneck is the Analog-to-Digital Converter (ADC), which must reach a sampling rate of several Gigasamples per second at effective conversion resolutions in the range of 10 to 14 bits. Among the possible choices, converters based on Time-Interleaving (TI-ADC) are experiencing remarkable growth, and today they appear to be the best candidates to meet the two constraints set out above. However, TI-ADCs are hampered by mismatches between its different conversion channels, which result in degraded performance due to the appearance of mismatch spurs in the frequency domain, arising both from static errors (gain and offset mismatch) and dynamic (skew and bandwidth) errors. To

reduce these errors, we have investigated a mixed-domain calibration strategy for TI-ADCs in 28nm FD-SOI technology. We strongly focused the analog compensation of dynamic errors.

This report begins with a review of the state-of-the-art w.r.t. the mismatch reduction and analog compensation techniques for both dynamic errors. Based on these results, we then introduce a variety of analog techniques aimed at compensating the bandwidth and skew mismatches. In order to compensate for the skew, we make the most of the FD-SOI technology by tightly regulating the voltage of the back gate of one or several sampling transistors. For the bandwidth error, we recommend that the T/H equivalent resistor be adjusted, adapting the on-resistor of the sampling transistors using up to five different techniques. Once the most appropriate skew and bandwidth compensations were identified, we ultimately implemented a mixed calibration of static and dynamic errors along with a digital calculation based upon the « Least-Squares » method.

