HAL
open science

Etude des mécanismes physiques de fiabilité sur transistors Trigate/Nanowire

Antoine Laurent

To cite this version:

Antoine Laurent. Etude des mécanismes physiques de fiabilité sur transistors Trigate/Nanowire. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2018. Français. NNT : 2018GREAT024 . tel-01877014v2

HAL Id: tel-01877014

https://theses.hal.science/tel-01877014v2

Submitted on 19 Sep 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Communauté UNIVERSITÉ Grenoble Alpes

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 25 mai 2016

Présentée par

Antoine LAURENT

Thèse dirigée par **Gérard GHIBAUDO**,
co-encadrée par **Xavier GARROS** et **David ROY**

préparée au sein du **CEA-Léti, de l'IMEP-LAHC et de STMicroelectronics**
dans **l'École Doctorale Electronique, Electrotechnique, Automatique et Traitement du Signal (EEATS)**

Etude des mécanismes de fiabilité sur transistors Trigate/Nanowire

Thèse soutenue publiquement le **5 avril 2018**,
devant le jury composé de :

Monsieur Gérard GHIBAUDO
Directeur de Recherche, IMEP-LAHC, Directeur de thèse
Monsieur Alain BRAVAIX
Directeur de Recherche, ISEN-IM2NP, Rapporteur
Madame Nathalie MALBERT
Professeur, Université Bordeaux 1, Rapporteur
Monsieur Francis BALLESTRA
Directeur de Recherche, CNRS, Président

En mémoire de Thibaut

Remerciements

Cette thèse a été réalisée dans le cadre d'une collaboration entre trois entités : le CEA-Léti, l'IMEP-LAHC ainsi que STMicroelectronics. Je tiens à remercier toutes les personnes qui ont permis à ce travail de voir le jour ; en particulier Emmanuel Vincent et Gilles Reimbold qui m'ont intégré dans leur équipe.

Tout d'abord, je remercie les membres de mon jury de thèse d'avoir accepté leurs rôles respectifs. Merci donc aux rapporteurs Alain Bravaix et Nathalie Malbert d'avoir eu la patience de lire et corriger mon manuscrit ainsi qu'à Francis Balestra pour avoir présidé ce jury.

Merci à mes encadrants pour les connaissances qu'ils m'ont apportées durant ces trois années. Côté ST, je remercie David Roy et Xavier Federspiel pour leurs conseils et les échanges que l'on a pu avoir tout au long de cette thèse. Je vous remercie aussi de m'avoir offert ce poste à ST en ayant connaissance de l'état d'avancement du manuscrit. Merci à Gérard Ghibaudo pour sa disponibilité malgré le nombre de thésards encadrés, pour son support sur le logiciel de simulation FlexPDE, et plus globalement pour tout le savoir partagé au cours de ces trois ans. Enfin je remercie Xavier Garros pour tous les moments que l'on a pu passer. Merci à toi de m'avoir choisi comme thésard et d'avoir eu la patience de me former, moi qui ne savait même pas en quoi consistait la fiabilité électrique. Merci pour les heures et les soirées que tu as passé à m'aider à finir la rédaction des papiers de conférence. Grace à ceci, j'ai notamment pu partir à Hawai et San Francisco. Tu noteras que j'appréciais tant tes conseils que j'ai fait en sorte d'en profiter un an de plus. C'est un honneur d'avoir été formé à la "Xav' School". Merci aussi pour les moments que l'on a pu passer en dehors du boulot : les soirées Ligue des Champions, les journées skis, le match de NBA (même si c'était surement le match le plus pourri de la saison des Warriors), etc. Enfin je te remercie pour ton accent du sud ouest qui m'aura bien fait rire durant ces trois années.

Je tiens ensuite à remercier toutes les personnes que j'ai rencontré au Léti. Merci à tous les collègues du bureau B261. C'était un bonheur de venir travailler dans ce bureau au quotidien. Merci à Damien Angot et Salim Ighilahriz, c'était un plaisir de discuter avec vous durant les quelques mois que vous avez passés au LCTE. Merci à Alexandre Subirats pour sa bonne humeur même pendant sa rédaction ! Ton pot de thèse est l'un des meilleurs que j'ai fait (la soutenance n'était pas mal non plus :)). Merci à Julien Duvernay pour m'avoir notamment fait courrir l'Ekiden et par la même occasion pour m'avoir mis à la course à pied. Efcharisto au duo grec : Kostas "Mouni" Triantopoulos et Artémis(ia) Tsiara. Mon anglais s'est amélioré grâce à nos discussions quotidiennes ainsi que mon niveau en grec. Merci à Mouni pour m'avoir appris plein d'insultes que je n'ai pas oublié ! Gamo to spiti sou ! Merci à Artemis pour m'avoir enseigné la conjugaison des verbes être et avoir ainsi que les déclinaisons, même si j'ai tout

oublié. Merci aussi pour nos échanges critiques sur les BDs et séries. Pour finir avec ce bureau B261, je remercie Jacques Cluzel qui est la seule personne du bureau à avoir connu mon arrivée et mon départ. Merci pour ton aide technique sur les bancs de test et merci de m'avoir appris la définition de cavernicole.

Merci à tous les permanents de l'équipe pour les réponses apportées à mes questions mais pas que. Merci à Jean Coignus pour ses conseils sur la photo numérique. Durant trois ans, j'aurais essayer de te piquer la place de roi de la blague pourrie mais je finis par m'incliner devant toi. Si tu en es le roi, je descerne la place de prince à William VandenDaele. En terme d'humour noir je pense que vous vallez votre pesant d'or. Merci à Mikael Cassé qui a pris le train de Lyon avec moi à 5h30 du mat pour RunInLyon. Un de nous a fait le marathon, l'autre le semi, je ne dirais pas lequel d'entre nous. Merci à Charles Leroux pour m'avoir notamment accompagné à INFOS pour ma première conférence. Merci à Carlo Cagli pour ses recettes italiennes et sa bonne humeur contagieuse. Merci à Giovanni Romano, Fabienne Allain, Rabah Kies et Alain Tofoli de l'équipe de tests paramétriques pour leur support et leur disponibilité. Merci en particulier à Alain (Fotoli pour un meilleur résultat aux pronos) d'avoir organiser un match de coupe du monde chez lui. Merci à Niccolo de m'avoir stimulé dans la course à pied avec des parcours bien plus modestes que les tiens. Merci aussi à Philippe Ferrandis et à Denis Blachier pour leur sympathie et avec qui j'ai apprécié échanger. Merci à Estelle Brague pour sa disponibilité et son aide dans toutes les démarches. Tu es un peu la maman des thésards du labo. Toujours le sourire, à part quand on amène un poster à imprimer en 48h.

Je tiens également à remercier tous les non-permanents côtoyés durant ces années. Merci Alex de m'avoir initié à Oz. Promis un jour je la finirai. Maintenant que tu es à ST on aura tout le temps de débriefer ensemble sur la série. Merci à Blend"otelli" pour m'avoir fait découvrir le bar chez Angelo. Je retiendrai deux choses en italien : Bella di padella et Fino alla fine Forza Juve. Merci à Clément d'avoir supporté mon humour douteux. Grâce à toi je peux dire "J'ai un pote chinois" quand on insinue que je suis rasiste. Tu m'auras aussi appris qu'un stage 3ème pouvait durer 3 ans. Bonne chance à toi pour le lycée. Merci à Thomas d'avoir jouer le rôle de médiateur entre l'allemand et le chino-vietnamo-pariso-ninja. Bon courage à toi pour la rédaction (j'ai mis tellement de temps à rédiger que tu es quasi le seul à qui je peux dire ça). Merci aussi au bureau des prestataires : Stéphane, "Big Boss" Alain et Mathieu. Les quelques tennis du midi étaient bien sympas. Je remercie enfin Alexis, Iliass, Carlos, Jonathan, Guillaume, Bruna, Johan, Gauthier et Antonin pour les pauses cafés et autres discussions que l'on a pu avoir. Pour finir avec le Léti, je remercie la salle café et la terasse pour tous les moments de convivialité qu'on a pu y passer et tous les mots fléchés effectués.

Merci aussi aux collègues qui m'ont soutenu dans cette quatrième année de thèse i.e. l'équipe SiRel de STMicroelectronics. Merci à tout l'équipe pour la facilité de mon intégration. Je remercie particulièrement Mus, Pat et Cheikh pour m'avoir intégré à cette extraordinaire équipe qu'est le SOC. Campeon 2017 les gars!!! Merci à ma co-box, Mélissa, pour m'avoir affirmer qu'il n'y avait pas de bonnes ou de mauvaises présentations. Bon courage pour tes études TDDB sur les Stendhal Vt. Je remercie aussi Xavier, Hélène, Sylviane et Thierry pour le temps qu'ils m'ont accordé afin que je finisse la rédaction et la présentation sur mes heures de travail. Merci Julien de m'avoir éclairé sur les effets canaux courts la veille de la soutenance...

Comme je ne savais pas trop dans quel paragraphe te placer, je t'en dédie un. Merci à ~~Rémi~~

Rémy Berth(elon). Le combo Euro 2016 - Hawaï n'aurait pas été aussi fun tout seul. Merci aussi à Lisa de m'avoir accepté avec eux à Big Island. Dommage pour vous que vous n'ayez pas vu la plus belle île...

Je tiens aussi à remercier mes amis. Les grenoblois, Alisu, Doudou, Fredo, LN, Naud, Mirou, Simon et T. Vous êtes la deuxième famille, celle qui est sur place. Merci à vous pour les soirées qui ont permis de décompresser. Une petite mention spéciale au salon des vignerons et au premier Superbowl. Merci à Rougon qui aura vu notre évolution au fil des années et reste un super moment de retrouvaille entre nous tous. Merci aussi aux Bordelais, Clément, Hugo, JR, Nico, Tony, Marion et Tanguy. C'est toujours un plaisir de vous retrouver pour une petite chouille.

Enfin, merci à ma famille qui a toujours été là ; mes parents d'abord pour m'avoir donner les moyens et les encouragements de choisir la voie que je voulais. Sans votre soutien et votre amour, je n'y serais surement pas arrivé, merci. Merci à Pauline, Aymeric, Jeanne et Marceau. C'est un bonheur d'avoir une soeur comme toi sur qui on peut toujours compter. Merci à mes grands parents pour les encouragements durant ces trois ans. Je remercie aussi Carine, belle-maman, notamment pour son aide durant la dernière semaine et pour s'être occupée de Camille le jour J.

On finit toujours par le plus important. Je remercie donc Tiffany, Bidi, pour m'avoir supporté durant les meilleurs moments comme dans les plus compliqués. Merci pour la confiance et l'amour que tu m'apportes chaque jour depuis toutes ces années ainsi que pour le soutien et les sacrifices que tu as fait pour moi durant cette thèse. Merci enfin d'avoir donner naissance à Camille qui illumine à présent nos journées (et un peu nos nuits malheureusement).

Table des matières

Introduction générale **13**
Bibliographie 16

1 Introduction **17**
1.1 Enjeux des technologies tri-dimensionnelles 17
1.1.1 Les limites des architectures planaires conventionnelles 18
1.1.1.1 Effets de canaux courts : SCE et DIBL 18
1.1.1.2 L'interface grille canal 19
1.1.1.3 Les contraintes mécaniques dans les transistors MOS 20
1.1.2 Les dispositifs multi grilles 22
1.1.2.1 Effets de canaux courts sur les technologies avancées 22
1.1.2.2 Technologie à substrat SOI 23
1.1.2.3 Les architectures 3D 24
1.1.2.3.a Procédés de fabrication 25
1.1.2.3.b Notions de plans cristallins 25
1.1.3 Evolution du nombre de grilles des transistors tri-dimensionnels 26
1.1.3.1 Transistor à double grille 26
1.1.3.2 Transistor trigate 26
1.1.3.3 Transistor à grille enrobante 26
1.1.4 Description des dispositifs utilisés dans cette thèse 27
1.2 Le piégeage dans l'oxyde de grille d'un transistor MOS 28
1.2.1 Classification des défauts selon leur profondeur dans l'oxyde interfacial . . 29
1.2.2 Défauts d'interface 30
1.2.3 Défauts dans l'oxyde à haute permittivité (high-κ) 31
1.3 La fiabilité des transistors MOS 31
1.3.1 Principe 31
1.3.2 Fonctionnement d'un inverseur 32
1.4 Techniques de caractérisation utilisées 34
1.4.1 Introduction 34
1.4.2 Technique de mesure DC de la dégradation BTI et HCI 34
1.4.3 Mesures rapides de la dégradation BTI 35
1.5 Conclusion 37
Bibliographie 38

2 Modélisation du piégeage de charge dans les technologies 3D **43**
2.1 Introduction . . . 43
2.1.1 Structures 3D étudiées . . . 43
2.1.1.1 Caractéristiques de la structure simulée . . . 44
2.1.1.2 Description du modèle utilisé dans le cas d'une charge ponctuelle 44
2.1.2 Optimisation du temps de simulation . . . 45
2.1.3 Définition de la charge simulant un piège dans l'oxyde . . . 46
2.1.3.1 Déplacement de la charge dans un Πfet . . . 47
2.1.3.2 Déplacement de la charge le long d'une surface arrondie . . . 48
2.1.4 Facteur de correction de Hänsch pour une structure Ωfet . . . 50
2.2 Méthodologie . . . 51
2.2.1 Mesure préliminaire sans charge . . . 51
2.2.2 Impact d'une charge . . . 51
2.2.3 Tirage Monte Carlo . . . 52
2.3 Impact de la localisation des défauts lors d'un stress BTI . . . 53
2.3.1 Résultats sur une architecture Πfet . . . 53
2.3.1.1 Mise en évidence de l'impact des flancs sur la dégradation BTI . 53
2.3.1.2 Effet d'une dissymétrie de la densité de pièges entre les flancs et le dessus 56
2.3.2 Résultats sur une architecture Ωfet . . . 57
2.3.2.1 Impact sur l'effet de W . . . 58
2.3.2.2 Effet de l'arrondissement des angles . . . 60
2.3.2.3 Etude du cas limite : le nanofil GAA . . . 61
2.4 Etudes complémentaires . . . 63
2.4.1 Simulation d'un oxyde bicouche . . . 63
2.4.2 Impact d'un défaut à l'interface canal/BOX . . . 65
2.5 Conclusion . . . 67
Bibliographie . . . 69

3 Fiabilité BTI des architectures tri-dimensionnelles **71**
3.1 Introduction . . . 71
3.1.1 Historique de la dégradation BTI . . . 71
3.1.1.1 Première modélisation de la dégradation NBTI . . . 72
3.1.1.2 Modèle de Grasser . . . 73
3.1.1.3 Modèle de Huard . . . 75
3.1.2 Localisation spatiale des défauts induits par une contrainte BTI . . . 75
3.1.2.1 Cas NBTI sur PMOS . . . 75
3.1.2.2 Cas PBTI sur NMOS . . . 76
3.2 Étude des effets géométriques sur la dégradation BTI . . . 77
3.2.1 But de l'étude . . . 77
3.2.2 Dégradation NBTI sur transistors PMOS . . . 77
3.2.2.1 Observations experimentales . . . 77
3.2.2.2 Simulation du champ électrique dans l'oxyde de grille (H1) . . . 80
3.2.2.3 Influence de la technologie SOI (H2) . . . 82
3.2.2.4 Impact de l'orientation cristalline sur la dégradation NBTI (H3) 83
3.2.2.5 Simulation d'interfaces latérales plus dégradées (H4) . . . 85
3.2.3 Dégradation PBTI sur NMOS . . . 88

3.2.3.1 Effet de la géométrie 88
3.2.3.2 Explication de la différence d'effet de W entre NMOS et PMOS 88
3.3 Optimisation du compromis performance fiabilité sur les technologies 3D 90
3.3.1 Introduction 90
3.3.2 Étude d'une architecture Ωfet 90
3.3.2.1 Effet sur les performances 90
3.3.2.2 Effet du recuit H_2 sur la fiabilité BTI 91
3.3.3 Incorporation de booster de mobilité dans un transistor Πfet 92
3.3.3.1 Performance de ces technologies 92
3.3.3.2 Fiabilité BTI de canaux sSOI et SiGe 94
3.3.3.3 Impact d'une contrainte CESL sur la fiabilité BTI 95
3.4 Conclusion 97
Bibliographie 98

4 Mécanismes de dégradation des transistors 3D par porteurs chauds 101
4.1 Principe et caractérisation de la dégradation par porteurs chauds 101
4.2 Modélisation des mécanismes de dégradation porteurs chauds 103
4.2.1 Ionisation par impact 103
4.2.2 Mécanismes de rupture de la liaison Si-H 104
4.2.3 Historique de la modélisation de la dégradation HC 106
4.2.3.1 Modèle de Takeda 106
4.2.3.2 Modèle de l'électron chanceux 107
4.2.3.3 Dégradation sur dispositif avancés L<100nm 108
4.2.3.3.a Modèle en champ ou en énergie 108
4.2.3.3.b Modèle par porteurs froids 109
4.2.3.3.c Mise en évidence des modes de dégradation HC 111
4.3 Mécanismes de dégradations par porteurs chauds sur les architectures 3D 112
4.3.1 Dégradation typique au cours d'une contrainte porteurs chauds 112
4.3.2 Cas des transistors PMOS et contribution du NBTI 114
4.3.3 Identification des modes de dégradation 115
4.3.4 Modélisation des modes d'énergie M1 et M3 117
4.3.4.1 Extraction de la tension de saturation de drain V_{Dsat} 117
4.3.4.2 Modélisation du mode à forte énergie M1 118
4.3.4.3 Modélisation du mode à fort courant M3 120
4.3.5 Aperçu de la dégradation sur les transistors PMOS 122
4.4 Étude de l'auto-échauffement induit par les porteurs chauds 124
4.4.1 Introduction 124
4.4.2 Méthodologie de mesure de l'échauffement 124
4.4.3 Résistance thermique et élévation locale de la température 127
4.4.4 Mesure de l'activation en température 128
4.4.5 Conclusion selon les différents modes de fonctionnement 130
4.5 Effet d'architectures et boosters de mobilité 131
4.5.1 Étude sur Ωfets 131
4.5.2 Effet d'un canal contraint sur la dégradation HC 133
4.5.2.1 Effet de l'introduction de germanium dans le canal 133
4.5.2.2 Impact d'une contrainte en tension de type sSOI 133

4.5.2.3 Contrainte induite par le CESL 135
4.5.3 Bilan 137
4.6 Conclusion 138
Bibliographie 139

Conclusion générale **143**

Liste des publications de l'auteur **147**

Introduction générale

Le monde de la microélectronique a vu le jour en 1947 avec l'invention du transistor par trois chercheurs du laboratoire Bell Téléphone : John Bardeen, William Shockley et Walter Brattain. Ils recevront le prix Nobel de Physique pour cette découverte neuf ans plus tard, en 1956. Provenant de l'anglais **Trans**fer res**istor**, on trouve aujourd'hui ces dispositifs dans chaque objet électronique de notre quotidien. Le plus utilisé d'entre eux est le transistor à effet de champ MOSFET (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor). Son fonctionnement idéal s'apparente à un interrupteur : l'électrode de grille, suivant la tension qui y est appliquée, module le courant passant entre le drain et la source.

Le défi le plus important a été de réduire leur taille et consommation électrique en augmentant les performances. A ce titre, dès 1965, Gordon Moore a établi une prévision visant à doubler la densité d'intégration du MOS (diminuer la taille) ainsi que les performances tous les deux ans [1]. Cette loi s'est avérée correcte durant plus de cinquante ans. Un exemple frappant du quotidien concerne les téléphones portables. Leur taille et leur poids ont été considérablement réduits alors que les performances n'ont cessé d'augmenter (intégration d'un appareil photo, utilisation d'internet, qualité graphique, ...). On pourrait également considérer tous les objets connectés que nous utilisons au quotiden à présent tels que les montres (*Smart Watch*), caméra de sport (*Action Cam*), etc. Néanmoins, depuis quelques années la limite de la loi de Moore a été atteinte : il devient de plus en plus complexe de baisser les dimensions des transistors.

Afin de pallier cette problématique, il a d'abord été envisagé d'optimiser l'architecture planaire utilisée depuis sa création. De nouveaux matériaux, dits à haute permittivité, ont alors été integrés à l'oxyde de grille. Les fuites à travers la grille sont alors limités et le disfonctionnement du MOS est évité. L'utilisation de dopants dans les sources et drains s'est également dévelopée et diversifiée. On peut également ajouter l'utilisation de nouveaux semiconducteurs intégrés au canal de conduction. En effet le silicium est largement utilisé en microélectronique car il représente un très bon compromis performance/coût mais il existe d'autres matériaux, tel que le germanium, au sein desquels la conduction est plus efficace.

Cependant, ces optimisations ont également montré leurs limites et il apparait difficile de fabriquer des transistors de dimensions inférieures à 30nm sur une architecture planaire traditionnelle. Deux nouvelles architectures ont alors été développées parallèlement :

— *l'intégration d'un oxyde sous la zone active (SOI)* soutenue par STMicroelectronics notamment. L'utilisation d'un oxyde enterré, nommé BOX (de l'anglais Buried OXide), permet en premier lieu d'isoler électriquement la zone active du substrat mais il est également possible de se servir de cette face arrière comme d'une seconde grille. Son avantage est de conserver une architecture planaire dont les procédés de fabrication sont maitrisés.

— *les transistors 3D* choisis par Intel. On peut notamment les trouver dès 2002 dans les processeur Ivy Bridge. La grille n'est alors plus sur un seul plan mais enrobe partiellement

(pour Intel) ou integralement (nanofil, Gate All Around) le canal. La densité d'intégration est alors fortement augmentée. Des exemples sont donnés sur la figure 1. La rupture avec les techniques précédemment utilisées pour les transistors planaires est alors brutale.

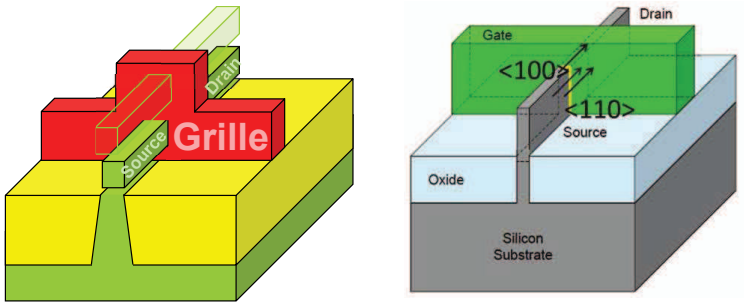

FIGURE 1 – Exemple d'un transistor nanofil à grille totalement enrobante [2] et d'un transistor finfet [3].

Excepté les performances des transistors MOSFETs, un autre paramètre est prépondérant : la fiabilité électrique. Celle-ci peut être définie comme étant "la probabilité qu'un dispositif exécute une fonction exigée dans des conditions indiquées pendant une période donnée". On peut, par exemple, exiger d'un transistor qu'il fonctionne pendant dix ans à ses conditions nominales d'utilisation. Là où les performances certifient le bon fonctionnement intial du dispositif, la fiabilité le valide après un certain nombre d'années d'utilisation. Il parait cependant inenvisageable de patienter toutes ces années pour déclarer acceptable la qualité du produit. Les paramètres d'utilisation tels que la tension d'alimentation ou la température sont alors augmentés pour accélérer le vieillissement du transistor.

Les évolutions technologiques précédemment exposées et la réduction des dimensions du dispositif élémentaire entraîne de nombreux questionnement quant à la fiabilité électrique des nouvelles architectures. Ainsi si le gain en performance de celles-ci est détaillé dans la littérature, les études relatives à leur fiabilité sont plus rares. L'objectif de cette thèse est donc d'étudier les différents mécanismes de dégradation pour une architecture tri-dimensionnelle sur substrat SOI. On pourra notamment vérifier la validité des modèles valables en technologie planaire et comparer la fiabilité à des transistors 3D très larges, assimilables à des dispositifs planaires.

Les travaux de cette thèse seront ainsi articulés autour de quatre axes principaux :

Dans le premier chapitre, les limites des technologies planaires classiques seront d'abord rappelées. Nous nous focaliserons ensuite sur les nouvelles arcitectures 3D et FDSOI. Leurs avantages vis-à-vis d'une technologie traditionnelle et quelques étapes des procédés de fabrication seront notamment détaillés. De plus, les transistors tri-dimensionnels pouvant posséder entre deux et quatre surfaces de grille, chacune des architectures sera donc décrite. D'autre part lors de la fabrication d'un oxyde ou pendant une contrainte électrique, différents défauts peuvent se former dans le matériau. Nous les catégoriserons selon leur localisation dans l'oxyde. Par la suite, la notion de fiabilité sera rappelée et le fonctionnement d'un inverseur CMOS permettra d'illustrer les mécanismes étudiés au cours de cette thèse. Enfin les méthodes de mesure utilisées seront détaillées.

Le chapitre 2 se focalisera sur la simulation de l'impact d'une charge élémentaire sur la tension de seuil V_T. Nous présenterons dans un premier temps les structures simulées et apporterons quelques précisions quant aux déplacements de la charge dans l'oxyde. Ensuite, la méthodologie

claire de la mesure de l'impact d'une charge sur la dégradation de V_T sera donnée : une mesure préliminaire sans charge est effectuée, puis l'impact d'un défaut est simulé selon sa localisation ; enfin un tirage Monte Carlo de la localisation de charges (dont la densité est pré-déterminée) est réalisé pour estimer la fluctuation de dégradation ΔV_T en fonction de la largeur du transistor au cours d'un stress BTI. Les résultats de simulation seront ainsi présentés dans une troisième partie. Une étude comparative sera également effectuée entre un oxyde bicouche et un oxyde monocouche de permittivité équivalente. Enfin, l'impact d'une charge à l'interface BOX/canal sera analysée.

Le chapitre 3 présente une étude complète de la dégradation BTI (*Bias Temperature Instabilities*) sur les transistors tridimensionnels. Tout d'abord, les modèles issus de la littérature seront rappelés ainsi que la localisation des défauts selon les stress appliqués. Nous nous concentrerons alors sur les effets de géométries sur la contrainte et plus précisément l'effet de la largeur W_{top}. Il est ainsi possible de comparer la fiabilité BTI d'un transistor 3D à celle d'un dispositif quasi-planaire. Finalement les effets de contraintes physiques améliorant les performances des transistors seront étudiées d'un point de vue fiabilité.

Le quatrième et dernier chapitre de cette thèse se consacrera à la dégradation par porteurs chauds ou HC (*Hot Carrier*) sur les transistors 3D. La théorie relative à ce type de dégradation sera dans un premier temps évoquée : l'évolution des modèles, le phénomène d'ionisation par impact ainsi que les différents mécanismes de rupture des liaisons Si-H dans l'oxyde seront rappelés. Ensuite la contrainte porteurs chauds sera profondément investiguée sur les transistors NMOS et évoquée sur PMOS. L'effet de la largeur W_{top} sera notamment analysé comme lors du troisième chapitre. D'autre part, les niveaux de courant lors d'une contrainte HC sont tels que le transistor peut s'autoéchauffer. La dégradation augmente alors sans qu'il ne s'agisse de porteurs chauds à proprement parlé. Cet effet sera donc étudié et décorrélé de la dégradation HC. En dernier lieu, la fiabilité HC des boosters de mobilités tels que le germanium ou le straied-SOI sera étudiée de manière analogue au BTI. On pourra alors en conclure le meilleur compromis performance/fiabilité.

Bibliographie

[1] Gordon E Moore. Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp. 114 ff. IEEE Solid-State Circuits Newsletter, 3(20) :33–35, 2006.

[2] A Veloso, T Huynh-Bao, E Rosseel, V Paraschiv, K Devriendt, E Vecchio, C Delvaux, BT Chan, M Ercken, Z Tao, et al. Challenges and opportunities of vertical fet devices using 3d circuit design layouts. In SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016 IEEE, pages 1–3. IEEE, 2016.

[3] S. Ramey, A. Ashutosh, C. Auth, J. Clifford, M. Hattendorf, J. Hicks, R. James, A. Rahman, V. Sharma, A. St.Amour, and C. Wiegand. Intrinsic transistor reliability improvements from 22nm tri-gate technology. In Reliability Physics Symposium (IRPS), 2013 IEEE International, pages 4C.5.1–4C.5.5, April 2013.

Chapitre 1

Introduction

1.1 Enjeux des technologies tri-dimensionnelles

L'industrie de la microélectronique a pendant longtemps été régie par la loi de Moore. Celle ci, annoncée par Gordon E. Moore en 1965 [1], prédisait une diminution de la taille du transistor MOS (**M**etal **O**xide **S**emiconductor) d'un facteur deux tous les dix huit mois. La densité d'intégration sur un wafer de silicium étant alors multiplié par deux, le coût de fabrication s'en trouve divisé dans le même temps par deux. Dennard et al. [2] ont ainsi exprimé chacun des paramètres physiques et électriques en fonction du paramètre de miniaturisation k (cf. Table 1.1). Tous les deux ans depuis 1992, les fabricants mondiaux se réunissent pour l'ITRS (**I**nternational **T**echnology **R**oadmap for **S**emiconductors) afin de trouver les solutions technologiques permettant la continuité de la loi de Moore.

Paramètre	Grandeur Physique (unité)	Loi de Dennard
Dimension	W, L, t_{Ox}, X_j (m)	k
Potentiel	V_{DD}, V_T (V)	k
Dopage	N_A, N_D (cm^{-3})	1/k
Champ Electrique	E ($V.cm^{-1}$)	1
Courant normalisé	I_{On} ($A.m^{-1}$)	1
Densité de puissance	$I_{On}.V_{DD}/S$ ($W.m^{-2}$)	1
Puissance	$I_{On}.V_{DD}$ (W)	k^2

TABLE 1.1 – Dépendance des paramètres géomètriques et éléctriques en fonction du facteur de miniaturisation k [2].

Cependant, lorsque la longueur de la grille du transistor a atteint 100nm, la loi de Moore est apparue très difficile à suivre à cause notamment des effets de canaux courts que l'on expliquera dans la partie suivante. Afin de s'affranchir de ces effets, deux nouvelles architectures sont apparues : la technologie SOI (**S**ilicon **O**n **I**nsulator) et les transistors multi grilles. Le but de cette partie est de rappeler les contraintes et l'apport de chacune de ces deux technologies ainsi que de retracer brièvement leur historique respectif.

Enfin nous décrirons les différents transistors utilisés au cours de cette thèse.

1.1.1 Les limites des architectures planaires conventionnelles

1.1.1.1 Effets de canaux courts : SCE et DIBL

Avec la miniaturisation des transistors MOS, la distance séparant le drain de la source se réduit. Des effets appelés de canaux courts rendent alors complexe le contrôle électrostatique du canal par la grille. Il existe alors deux principaux effets : le premier est appelé de façon homonymique effet canaux courts (**S**hort **C**hannel **E**ffect en anglais). Le second est dû à la baisse de la barrière de potentiel entre le drain et la source induite par la polarisation du drain et est nommé DIBL (de l'anglais **D**rain **I**nduced **B**arrier **L**owering).

Il existe dans une jonction P-N, une zone dépourvue de porteurs libres à l'interface entre les deux zones dopées. Cette zone, appelée zone de charge d'espace (ZCE) est donc présente côté source et côté drain. La figure 1.1 montre cette zone deplétée ZCE pour un transistor bulk planaire. Tant que la longueur L du transistor est suffisamment grande, cette zone n'a pas d'influence sur la barrière de potentiel entre le canal et les zones dopées (source et drain). Néanmoins, les dimensions diminuant, ces zones deviennent très proches l'une de l'autre et tendent même à se rejoindre. La somme de leur longueur devient en effet similaire à la longueur du canal. La barrière de potentiel diminue alors comme on peut le voir sur la figure 1.2. Ce phénomène entraîne une baisse de la tension de seuil V_T qui a notamment pour conséquence une augmentation du courant à l'état bloqué I_{off}. Les performances du transistor, dont la corrélation I_{on}/I_{off}, diminuent de manière significative.

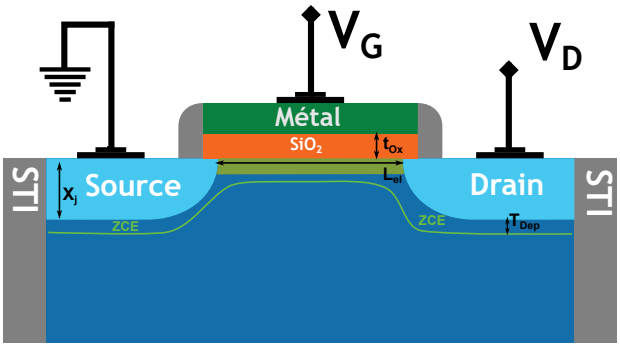

FIGURE 1.1 – Transistor MOS sur bulk présentant une zone de charge d'espace (ZCE) le long de la source du canal et du drain.

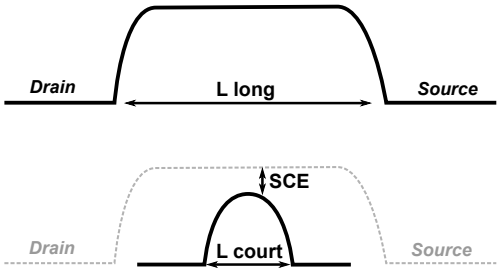

FIGURE 1.2 – Baisse de la barrière de potentiel entre la source et le drain dûe aux effets de canaux courts.

Concernant le DIBL, il s'agit, comme son nom l'indique, d'une baisse de la hauteur de barrière induite par la polarisation du drain. En effet, en appliquant une tension V_{DS} entre le drain et la source, la ZCE du drain se rapproche de celle de la source. Sur les transistors courts, le champ latéral pénètre alors du drain vers la source indépendemment de la tension de grille V_G. En conséquence, la barrière de potentiel est de nouveau abaissée et des porteurs peuvent alors passés au travers du canal et rejoindre la source. Une baisse de V_T est alors à noter en supplément de celle induite par les canaux courts comme visible sur la figure 1.3. On a alors

$$V_{T,court} = V_{T,long} - SCE - DIBL \tag{1.1}$$

Les équations [3] ci dessous permettent de mieux comprendre l'influence des paramètres

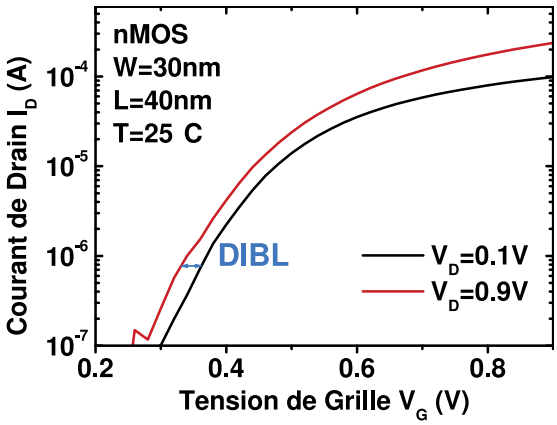

FIGURE 1.3 – Effet du DIBL sur une caractéristique IV d'un transistor court. En augmentant V_D, la tension de seuil diminue.

physiques sur les effets canaux courts et DIBL

$$SCE = \frac{\varepsilon_{Si}}{\varepsilon_{Ox}} \frac{t_{Ox}}{L_{el}} \frac{t_{Dep}}{L_{el}} \left(1 + \frac{X_j^2}{L_{el}^2}\right) \times \frac{k_B T}{q} ln\left(\frac{N_{Ch} N_{SD}}{n_i^2}\right) = \frac{\varepsilon_{Si}}{\varepsilon_{Ox}} EI \frac{k_B T}{q} ln\left(\frac{N_{Ch} N_{SD}}{n_i^2}\right) \quad (1.2)$$

$$DIBL = \frac{\varepsilon_{Si}}{\varepsilon_{Ox}} \frac{t_{Ox}}{L_{el}} \frac{t_{Dep}}{L_{el}} \left(1 + \frac{X_j^2}{L_{el}^2}\right) \times V_D = \frac{\varepsilon_{Si}}{\varepsilon_{Ox}} EI \times V_D \quad (1.3)$$

où ε_{Si} & ε_{Ox} représentent respectivement les permittivités du silicium et de l'oxyde de grille, t_{Ox} & T_{Dep} respectivement les épaisseurs de l'oxyde et de la zone déplétée, L_{el} la longueur électrique, X_j la profondeur de jonction et N_{ch}, N_{SD} & n_i respectivement les dopages du canal, des source/drain et le dopage résiduel. Ces grandeurs physiques sont visibles sur la figure 1.1. Le paramètre EI est appelé integrité électrostatique (Electrostatic Integrity en anglais). Il est directement relié aux paramètres physique du transistor et représente l'influence du champ électrique sur le canal ; il est un indicateur des effets SCE et DIBL.

1.1.1.2 L'interface grille canal

Comme les autres dimensions, l'épaisseur de l'oxyde t_{ox} doit diminuer pour continuer à suivre la loi de Moore. Celle ci permet en effet d'appliquer des tensions de grille plus faible et ainsi réduire la consommation életrique du circuit. Cependant nous avons atteint des dimensions critiques et réduire encore l'épaisseur d'oxyde impliquerait l'apparition d'un courant de fuite par effet tunnel important. Un travail d'optimisation de l'empilement de grille a donc été effectué et notamment au niveau de l'oxyde.

La nature de l'oxyde de grille, qui était jusqu'à présent constitué uniquement d'oxyde de silicium SiO_2, a, en effet, été modifiée . Dès le noeud 45nm, des matériaux à haute permittivité dits high-κ ont été utilisés. Les oxydes alors utilisés sont majoritairement à base d'Hafnium (HfSiON ou HfO_2) et présentent une permittivité cinq fois supérieure à l'oxyde de silicium. On comprend alors q'un oxyde high-κ, d'une épaisseur donnée, présentera le même champ électrique qu'un oxyde SiO_2 cinq fois plus mince. L'avantage réside dans le fait que l'épaisseur physique

du high-κ lui permet de limiter les fuites par effet tunnel [4]. Cependant, l'interface entre le canal de silicum et l'oxyde high-κ est de mauvaise qualité. Il est donc nécessaire de conserver une fine couche de SiO_2 appelée oxyde interfacial. Celle-ci joue un rôle essentiel sur la mobilité effective des porteurs du canal [5]. Néanmoins, la mobilité est plus faible dès lors que l'on ajoute un matériau high-κ. Des solutions sont alors envisagées pour contrer cet effet.

1.1.1.3 Les contraintes mécaniques dans les transistors MOS

Nous avons vu précédemment que la mobilité des porteurs dans un diélectrique high-κ était dégradée du fait du piégeage de charge dans ce matériau [6] [7]. Un bon moyen de compenser cette perte de mobilité est de contraindre mécaniquement le canal du transistor. Plusieurs possibilités existent alors. On peut soit contraindre le canal via un dépôt de matériau nitruré sur la grille (**C**ontact **E**tch **S**top **L**ayer) [8] ou bien via l'ajout d'un matérieu directement dans le canal (le germanium par exemple). Sur les technologies SOI (**S**ilicon **O**n **I**nsulator), il est également possible de contraindre directement en tension la maille de silicium du canal (strained SOI ou sSOI).

Les propriétés du germanium, favorables aux semiconducteurs, ont été découvertes très tôt puisqu'en 1949 le premier transistor [9] était constitué de ce matériau. Ce n'est que par la suite, principalement pour des raisons de coût, que le silicium a été choisi. Le transport des trous étant améliorés dans un matériau en compression, il est avantageux d'incorporer du germanium dans les transistors PMOS. En effet, la maille du germanium est plus large que celle du silicium. Ainsi, en incorporant une certaine dose de germanium (de l'ordre de 20%), le silicium se trouve contraint en compression et les performances du dispositif sont améliorées. Ainsi, les sources/drains des transistors contiennent du germanium sur les noeuds avancés [10–12].

En revanche, concernant les transistors NMOS, les performances sont améliorées par une contrainte en tension. Ainsi le matériau SiC a fait l'objet de nombreuses études [13] [14] [15]. Sur les substrats SOI, dont nous verrons les caractéristiques plus loin dans ce chapitre, il est également possible de contraindre directement le film de silicium. Un schéma de principe de la fabrication de ces wafers contraints est donné sur la figure 1.4 [16]. On fait croître, dans un premier temps, une couche de silicium sur un wafer de SiGe. Etant donnée l'épaisseur de ce wafer le matériau SiGe est relaxé est donc sa maille est plus grande que celle du silicium. Ainsi la couche jaune de la figure (a), épitaxiée par dessus, est contrainte en tension. Ensuite par procéde Smart Cut^{TM} [17], cette couche de silicium contraint est déposée sur un autre wafer composé d'un substrat silicium et d'une couche d'oxyde (BOX) (étapes (b) à (d)).

Le problème de cette contrainte est qu'elle s'applique à tout le wafer contrairement à l'apport de germanium qui est une contrainte locale. Ainsi les transistors N & PMOS sont concernés ; hors cette contrainte en tension est défavorable au transport dans les PMOS. Une solution proposée par Andrieu [18] consiste à augmenter significativement la dose de germanium dans le canal des PMOS. On augmente alors fortement la mobilité des trous ce qui améliore le courant à l'état passant du transistor. Cependant, par la même occasion, le bandgap du matériau diminue et il en est donc de même pour la tension de seuil. Les courants de fuites sont alors plus élevés (cf. figure 1.5).

En conclusion, les quelques solutions proposées pour améliorer les performances des dispositifs sur les noeuds avancés possèdent chacune plusieurs inconvéniants. Il apparait alors quasi-indispensable de mettre au point une nouvelle architecture afin de continuer à suivre la loi de Moore et réduire les dimensions des transistors élémentaires.

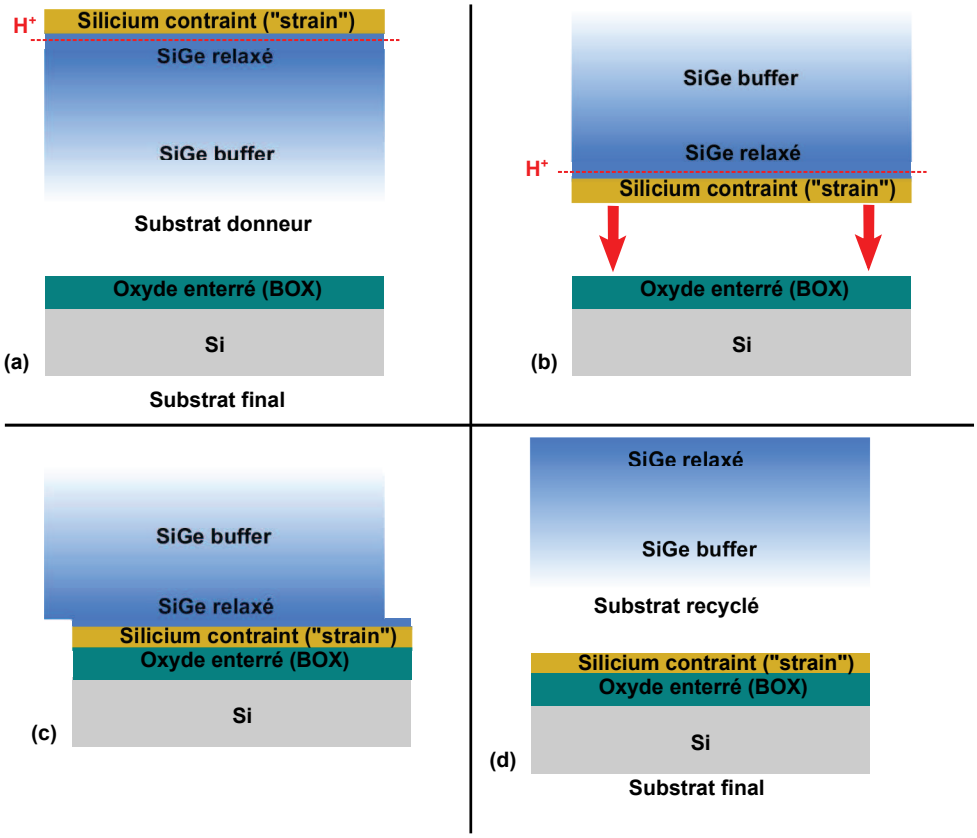

FIGURE 1.4 – Etapes de fabrication d'un substrat sSOI par la méthode Smart Cut^{TM} à partir d'un wafer de SiGe.

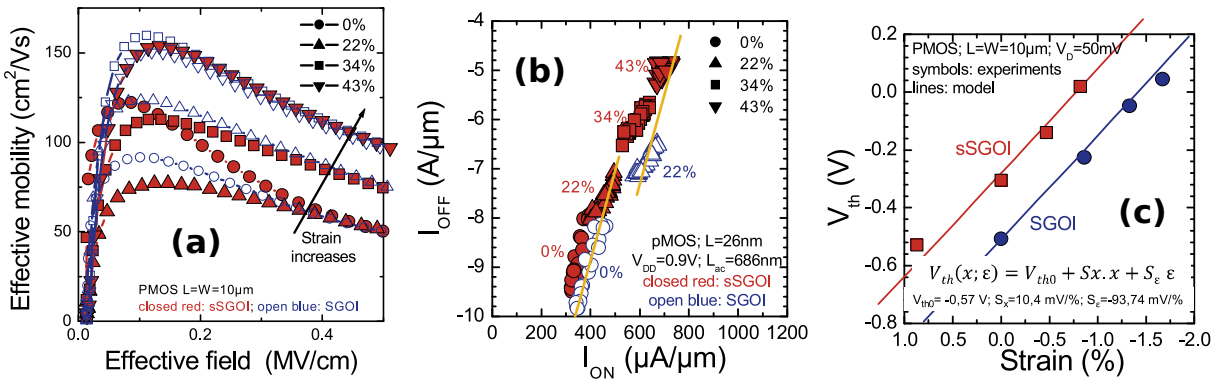

FIGURE 1.5 – Mobilité des trous en fonction du champ électrique selon la dose de germanium pour un transistor non contraint (SGOI) et un transistor sSGOI (a). Variation de la corrélation Ion/Ioff (b) et de la tension de seuil V_T (c) selon la dose de germanium implantée dans chacun des dispositifs [18].

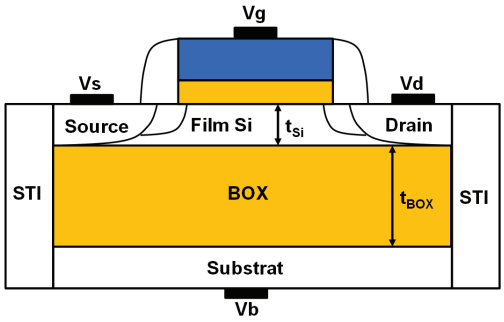

FIGURE 1.6 – Transistor MOS sur substrat SOI. La prise substrat Vb peut agir comme une seconde grille [19].

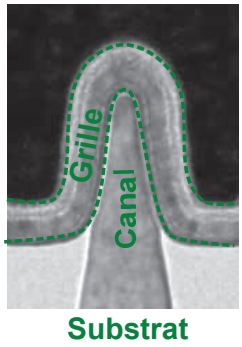

FIGURE 1.7 – Vue en coupe TEM d'un transistor finfet. La grille enrobe le canal selon les trois dimensions [12].

1.1.2 Les dispositifs multi grilles

Afin de répondre aux attentes de l'ITRS concernant les dimensions de grille agressives, de nouvelles architectures ont dû être mises au point. Le contrôle électrostatique du canal étant le principal point critique, les solutions consistent à augmenter la surface globale de grille du transistor tout en limitant la surface occupée sur le wafer. Il existe alors principalement deux familles de dispostifs : les transistors à film SOI présentant une grille sur la face arrière (figure 1.6) et les transistors tri-dimensionnels dont la grille est partiellement, voire totallement, enrobante (figure 1.7). Des explications quant à leur fabrication et leur fonctionnement sont données dans cette partie.

1.1.2.1 Effets de canaux courts sur les technologies avancées

Les effets de canuax courts apparaissent dès lors que le contrôle du canal par la grille est affecté par les lignes de champ électriques émanant du drain et de la source. Dans le cas d'une technologie bulk, ces lignes de champ se propagent dans la zone déplétion du transistor (cf. figure 1.8a). Il est possible de limiter leur effet en dopant fortement le canal. Cependant, cette opération déteriore le fonctionnement du transistor sur les dimensions les plus étroites et ne peut donc plus être utilisée. Dans une technologie SOI, explicitée plus loin dans cette partie, les lignes de champ passent à présent par l'oxyde enterré (BOX) avant d'atteindre le canal (cf. figure 1.8b). Les effets de canaux courts peuvent ainsi baisser ou augmenter selon l'épaisseur du film de silicium, celle de l'oxyde enterré ainsi que les concentrations des dopants. En considérant un BOX mince, les lignes de champ sont bloquées dans l'oxyde et n'atteignent pas le canal (cf. figure 1.8c). Les effets de canaux courts sont alors réduits. Enfin plus efficace de diminuer ces effets est de considérer un dispositif à double grille. En considérant un dispositif à double grille [20], la réduction de l'effet canaux courts est encore meilleure que sur SOI 1.8c). Ceci s'explique par le fait que la majorité des lignes de champ sont orientées en direction de la grille inférieure et ne peuvent donc pas atteindre le canal.

Le paramètre d'intégrité électrostatique (EI) permet de mettre en équation l'impact des canaux courts pour les transistors bulks, FDSOI, et double grilles. Les équations correspondant sont respectivement 1.4, 1.5, 1.6 issues de [23]. On constate alors que les dimensions choisies telles que t_{Si}, t_{BOX}, t_{Ox} influencent fortement la valeur du paramètre EI que l'on veut le plus

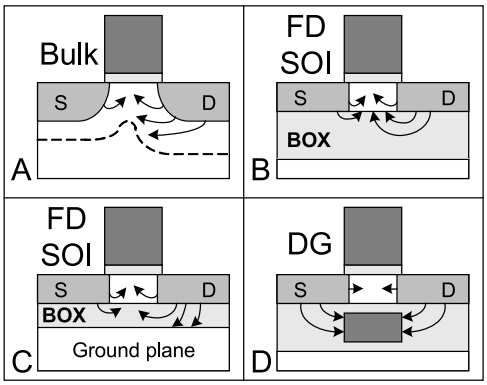

FIGURE 1.8 – Pénétration des lignes de champ électriques du drain et de la source dans le canal dans le cas d'un transistor bulk (a), un transistor FDSOI (b), un transistor FDSOI à BOX mince (c) et un dispositif à double grille (d) [21].

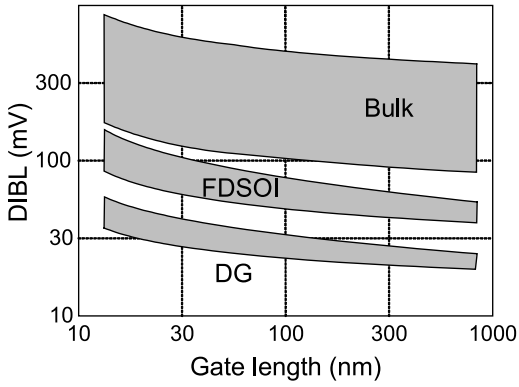

FIGURE 1.9 – DIBL en fonction de la longueur de grille pour 3 architectures (bulk, FDSOI, double grille) calculé par MASTAR [22]. Les effets canaux courts sont plus faibles sur un transistor double grille que sur FDSOI et bulk [21].

faible possible. Le facteur 1/2 dans l'expression de l'integrité électrostatique du transistor double grille lui donne cependant un avantage sur les deux autres.

$$EI = \left(1 + \frac{x_j^2}{L_{el}^2}\right) \frac{t_{ox} t_{dep}}{L_{el}} \tag{1.4}$$

$$EI = \left(1 + \frac{t_{Si}^2}{L_{el}^2}\right) \frac{t_{ox}\left(t_{Si} + \lambda t_{BOX}\right)}{L_{el}} \tag{1.5}$$

$$EI = \frac{1}{2}\left(1 + \frac{t_{Si}^2}{4L_{el}^2}\right) \frac{t_{ox} t_{Si}}{2L_{el}} \tag{1.6}$$

Enfin, le logiciel de simulation MASTAR [22] a permis d'évaluer le DIBL pour chacune des trois architectures. Le résultat, visible sur la figure 1.9, confirme que le DIBL est réduit sur les technologies avancées..

1.1.2.2 Technologie à substrat SOI

Nous commençons par la technologie à silicium sur isolant ou **S**ilicon **O**n **I**nsulator en anglais. Sur ces dispositifs, la zone active (composée du canal et des source/drain) est séparée du substrat par un oxyde enterré, aussi appelé Box pour **B**urried **Ox**ide. Contrairement aux transistors bulk traditionnels, le film de silicium constituant la zone active n'est pas intentionnellement dopé. Il ne persiste en effet qu'un dopage résiduel de l'ordre de 10^{15} cm^{-3}.

Les procédés de fabrication de ces substrats SOI ont été mis au point par l'entreprise Soitec en partenariat avec le CEA-Léti. Nous nous attacherons ici à décrire le processus de manière simplifiée, basée sur les travaux de Bruel [24] et Maleville [25]. La première étape consiste à oxyder un premier wafer A. Cette étape détermine l'épaisseur t_{BOX} de l'oxyde enterré. Ensuite une implantation ionique est effectuée afin de garantir une qualité et une uniformité optimale

des couches transférées. Ce wafer A est alors collé sur un second wafer B en silicium massif. Finalement, un clivage permet de retirer une partie du wafer A pour former le film de silicium t_{Si} qui constituera la zone active. Ces différentes étapes sont schématisées sur la figure 1.10.

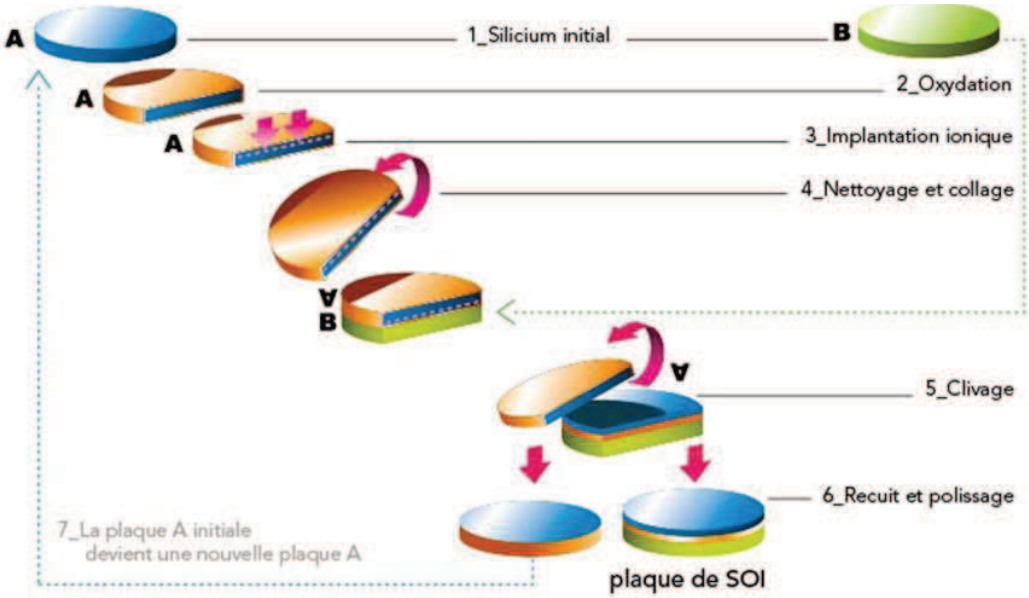

FIGURE 1.10 – Principales étapes de fabrication d'un substrat SOI par le procédé Smartcut [26].

Dans cette famille de dispositifs sur substrats SOI, il existe deux transistors : les transistors partiellement déplétés (**P**artially **D**epleted **S**ilicon **O**n **I**nsulator) ainsi que les transistors totallement déplétés (**F**ully **D**epleted **S**ilicon **O**n **I**nsulator). Historiquement, les MOSFETs PDSOI sont apparus les premiers. Dans cette architecture, l'épaisseur du film de silicium t_{Si} est relativement épaisse. Ainsi, même en régime de forte inversion, une partie du film n'est pas déplétée. Si, à présent, l'épaisseur du film t_{Si} diminue, il serait totalement déplété. Il s'agit là d'un transistor FDSOI.

De plus, qu'il s'agisse des transistors FD- ou PDSOI, il est possible de former une grille face arrière grace au substrat et à l'oxyde enterré. En polarisant cette face arrière, on modifie donc la conduction dans le canal. Ainsi, selon les deux polarisations appliquées sur la face avant et le face arrière, le couplage électrostatique entre les oxydes changera ce qui modulera la profondeur du canal de conduction et donc la valeur de V_T. De cette manière, il est possible d'utiliser un même dispositif successivement en hautes performances et en faible consommation.

1.1.2.3 Les architectures 3D

Si certaines entreprises, telle que STMicroelectronics, favorise la technologie SOI, d'autres lui préfère les architectures tri-dimensionnelles. C'est le cas d'Intel par exemple. Ici, la grille ne couvre plus uniquement le dessus du canal mais également les côtés voir le canal tout entier (nanofil gate all around). Nous allons rappeler, dans cette partie, les enjeux de ces architectures.

1.1.2.3.a Procédés de fabrication

Concernant les dispositifs SOI, les procédés de fabrications du transistor restent peu coûteux puisqu'une fois le substrat obtenu, il s'agit de techniques (gravures, implantations, etc.) classiques. Pour les dispositifs tri-dimensionnels, l'étape de gravure du fin est nouvelle et complexe. En effet il s'agit de graver le silicium en profondeur pour une largeur étroite. Malgré une gravure anisotrope (unidirectionnelle dans la profondeur), la forme du transitor est plus conique que rectangulaire (cf figure 1.11 gauche) [12, 27]. Ceci permet notamment de limiter la quantité de défauts (principalement dans les angles) dans la couche d'isolant entre les dispositifs mais réduit , par la même occasion, la largeur de la grille. Le transistor ayant toujours un contact avec le substrat une couche fortement dopée (CSD sur la figure) permet de limiter les fuites de courant à l'état bloqué. L'isolation se fait donc par jonction.

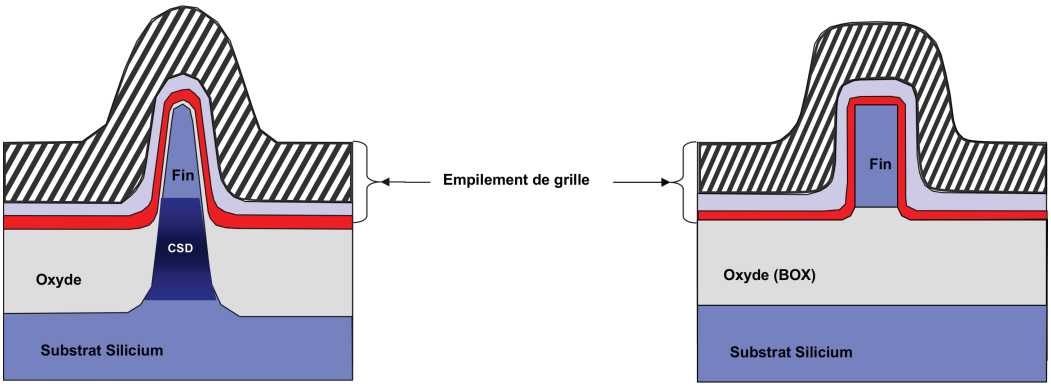

FIGURE 1.11 – Comparaison entre un finfet sur silicium et un finfet sur SOI [27].

Cependant, il est également possible de concevoir un finfet sur SOI. On cumule alors certains avantages du finfet avec ceux du substrat SOI. La gravure est notamment plus simple, i.e. moins onéreuse, et la forme plus rectangulaire comme le montre la figure 1.11 à droite. On a donc une surface de grille globale plus importante pour une surface de wafer donnée. Il faut néanmoins prendre en considération le coût du substrat SOI qui est plus élevé que celui d'un substrat en silicium traditionnel.

1.1.2.3.b Notions de plans cristallins

La structure cristalline du silicium est similaire à celle du diamant, à savoir cubique face centrée (CFC). Ainsi, la fabrication des substrats de silicium peut donner accès à différents plans cristallins. De manière similaire, le transport des porteurs peut avoir lieu selon plusieurs directions selon la rotation du wafer, i.e. l'orientation du notch [28]. Historiquement, les substrats utilisés dans l'industrie sont orientés (100). La figure 1.12 montre que cette orientation favorise le transport des électrons. A l'inverse, la mobilité des trous est optimale pour une orientation (110). Cette différence est notamment dûe aux structures de bandes et aux masses effectives des porteurs dans ces plans. L'orientation choisie dans l'industrie étant bénéfique aux électrons, les transistors NMOS sont favorisés [29].

Concernant les transistors 3D, les surfaces latérales suivent traditionnellement l'orientation (110) alors que le dessus est orienté (100). Ainsi, on rétablit un certain équilibre concernant la

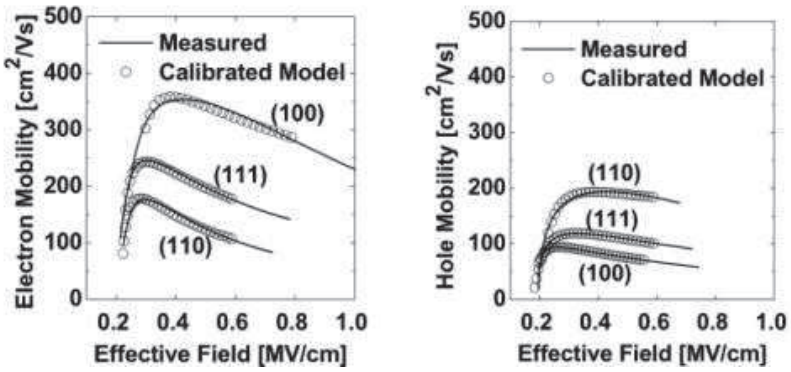

FIGURE 1.12 – Mobilité des électrons (gauche) et des trous (droite) en fonction du champ électrique selon l'orientation cristalline du silicium [29].

mobilité dans les N & PMOS. Le prix à payer pour de tels dispositifs est un coût de fabrication supérieur, lié à des procédés photolithographiques plus complexes.

1.1.3 Evolution du nombre de grilles des transistors tri-dimensionnels

On appelle transistors 3D, tous les dispositifs non planaires. Cependant leur nombre de grilles peut varier comme nous allons le voir ici.

1.1.3.1 Transistor à double grille

A l'instar des transistors sur SOI, il existe des dispositifs 3D à double grille. Ceux ci ont été découverts à la fin des années 1990 [30, 31] et possèdent une couche épaisse de diélectrique, appelée hardmask, qui empêche toute conduction sur la surface supérieure. Une vue schématique est représentée sur la figure 1.13 (a). Finalement ces transistors ressemblent à des dispositifs planaires à double grille pour lesquels le canal de conduction est vertical. On s'affranchit ainsi du problème d'autoalignement des deux grilles sur la technologie planaire.

1.1.3.2 Transistor trigate

Si l'on retire à présent le masque de la face supérieure, le transistor possède trois surfaces de conductions. Il en résulte un meilleur contrôle électrostatique et une baisse des capacités parasites en comparaison aux transistors à double grille [33]. Un schéma de ces dispositifs est donné sur la figure 1.13 (b) pour un transistor sur SOI et sur la figure 1.13 (c) pour un transistor bulk.

Il est également possible de concevoir un Ωfet, c'est à dire un transistor pour lequel la grille vient partiellement couvrir la surface inférieure du canal et prendre ainsi la forme de la lettre Ω. Une vue schématique est disponible sur la figure 1.13 (d). De plus, un recuit sous dihydrogène H_2 et à haute température permet de donner une forme arrondie au transistor [34].

1.1.3.3 Transistor à grille enrobante

Enfin, il est possible que la grille enrobe totalement le canal. Celui-ci n'a alors plus de surface de contact avec le substrat ou le BOX. Ces transistors sont appelés à grille enrobante ou GAA

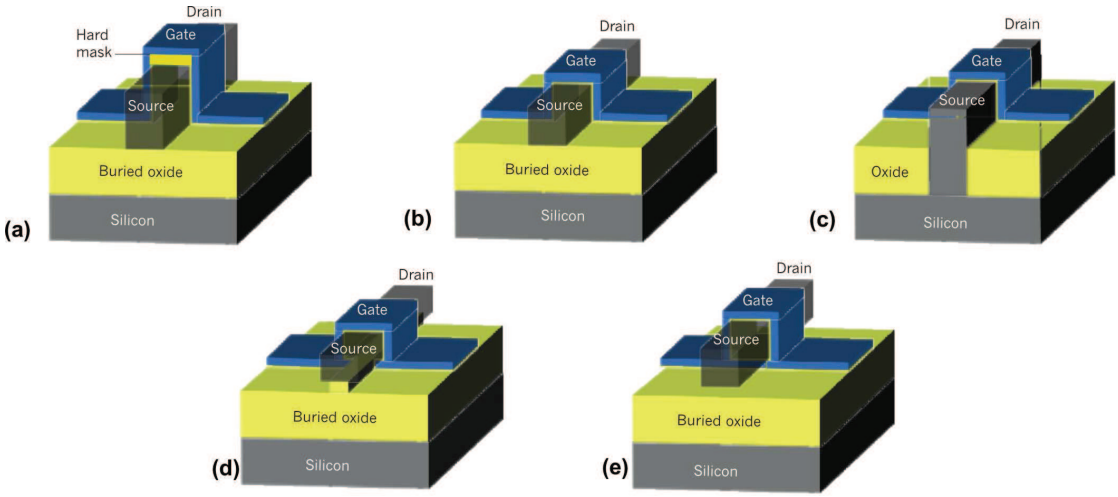

FIGURE 1.13 – Vues schématiques des principales architectures 3D étudiées dans la littérature [32].

(**G**ate **A**ll **A**round). Puisque la grille est totalement enrobante, elle permet de maintenir un bon niveau de contrôle électrostatique pour des dimensions allant jusqu'à 3nm [35]. Ceux ci sont obtenus soit par un recuit sous dihydrogène (de manière analogue à l'arrondissement d'un transistor Ωfet) soit par une oxydation contrôlée suivie d'une désoxydation pour les dimensions les plus critiques. Ce procédé est expliqué par Bangsaruntip [36].

1.1.4 Description des dispositifs utilisés dans cette thèse

Les transistors étudiés dans cette thèse ont été fabriqués au CEA-Léti [37]. Il s'agit de dispositifs trigates sur substrat SOI. La structure de référence possède une section carrée semblable à la figure 1.13(b) et dont une coupe TEM est visible sur la figure 1.14(a). On définit alors

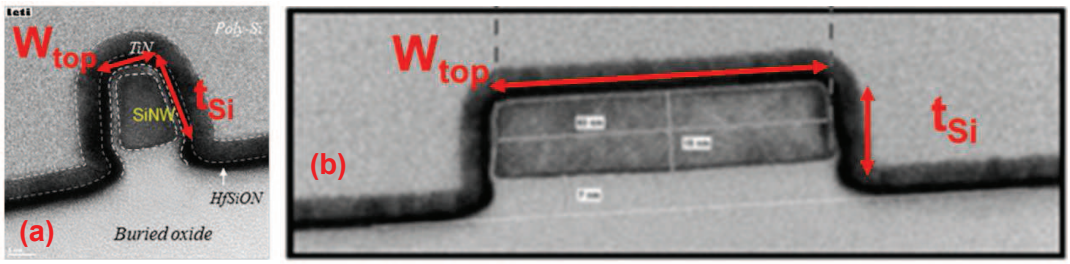

FIGURE 1.14 – Coupes TEM d'un transistor trigate étroit (a) et large (b). Ce dernier peut être comparé à un dispositif planaire.

plusieurs dimensions : W_{top}, la largeur de la face supérieure, t_{Si}, la hauteur du canal, W_{eff} la largeur totale du transistor ($W_{eff}=W_{top}+2\times t_{Si}$ pour une section rectangulaire) et L la longueur du canal. Ces dimensions sont visibles sur la figure 1.14.

Le but de cette thèse étant de comparer la fiabilité des dispositifs 3D à celle des architectures planaires traditionnelles, des transistors de différentes largeurs ont été étudiés. La figure 1.14 représente par exemple un transistor trigate étroit (Πfet) sur la gauche et un dispositif plus large

à droite. Concernant ce dernier, les flancs deviennent négligeables devant la face supérieure. Il peut donc être approximé à un transistor planaire.

D'autre part, selon les études effectuées (BTI, porteurs chauds, auto-échauffement), on utilisera soit des transistors unitaires (cf. figure 1.15(a)) soit des transistors interdigités (cf. figure 1.15(b) et (c)). Ces derniers permettent alors de limiter la variabilité et donc d'obtenir des résultats moins dispersés entre chaque dispositif.

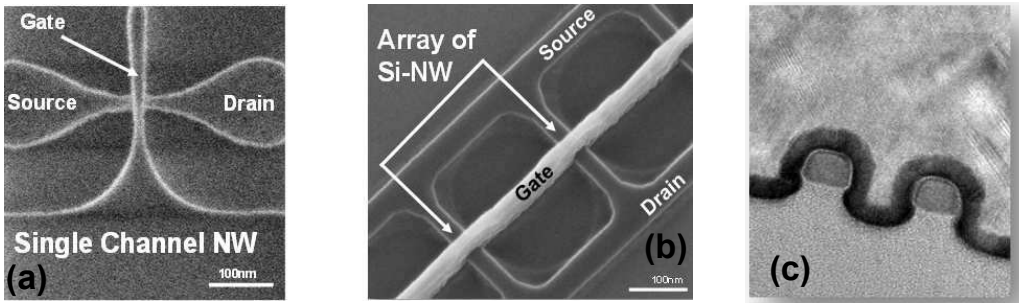

FIGURE 1.15 – Coupes TEM d'un transistor unitaire en (a) et interdigité ((b) et (c))

De plus, bien que la majeure partie des études aient été réalisées sur des transistors Πfets, d'autres architectures ont été considérées. Ainsi, des tests de fiabilité ont été effectués sur transistors finfets (figure 1.16(b)) et Ωfets (figure 1.16(c)). Ceci nous a notamment permis d'estimer l'influence de la hauteur du canal ainsi que celle des angles sur les dégradations BTI et porteurs chauds.

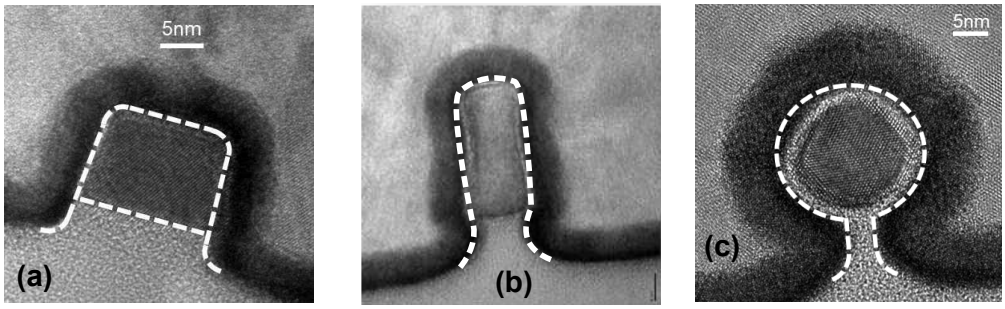

FIGURE 1.16 – Coupes TEM d'un transistor Πfet de référence en (a) d'un finfet en (b) ainsi que d'un Ωfet en (c).

Enfin, concernant l'empilement de grille, le canal est couvert par une fine couche d'oxyde de silicium SiO_2. Ensuite, un oxyde haute permitivité est déposé. Ce dernier, dont les avantages ont été cités plus tôt, est constitué de HfSiON. Enfin une couche de nitrure de titane TiN forme le métal de la grille.

1.2 Le piégeage dans l'oxyde de grille d'un transistor MOS

Le succès du transistor MOS réside notamment dans la simplicité de fabrication de son empilement de grille et notamment du système Si/SiO_2. Cependant l'inconvéniant majeur de ce système provient du désaccord de maille entre le silicium et la silice (SiO_2). En effet, la silice

est amorphe alors que le silicium présente une structure cristalline cubique. De ce désaccord de maille, il en résulte différents types de défauts qui dégradent la qualité de l'interface (cf. figure 1.17). Ceux-ci peuvent notamment avoir une influence sur les paramètres électriques du transistor selon leur état (chargé ou amorphe). De plus, il est possible que d'autres types de défauts apparaissent lors des différentes étapes de la fabrication du transistor et se situent alors plus profondément dans l'oxyde interfacial ou dans l'oxyde high-κ. Nous allons voir, ici les principaux types de défauts et notamment ceux qui peuvent influencer la fiabilité électrique des transistors.

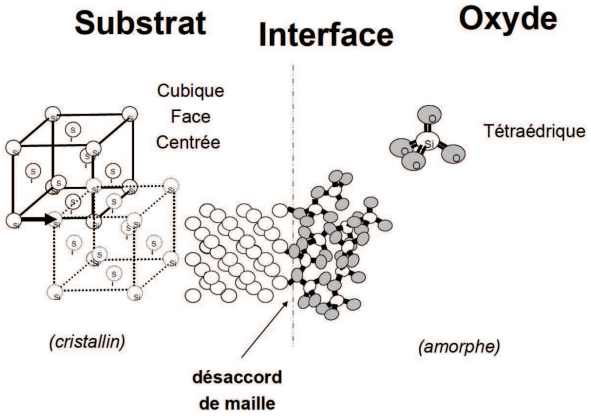

FIGURE 1.17 – Illustration du désaccord de maille entre le silicium cristallin du canal et la silice amorphe de la grille [38].

1.2.1 Classification des défauts selon leur profondeur dans l'oxyde interfacial

Il existe différents points permettant de classer les défauts de la grille tels que leur nature chimique, leur profondeur énergétique ou leur profondeur spatial. Dans cette partie on se focalisera sur cette dernière [39]. On rappelle toutefois que deux types de défauts peuvent exister. D'une part les défauts intrinsèques qui apparaissent lors d'un réarrangement de la maille de Si ou SiO_2. D'autre part les défauts extrinsèques qui sont le résultat du recombinaison d'un atome autre que Si ou O avec le réseau. Ces espèces chimiques peuvent être apportées lors des étapes d'implantation, de nettoyage ou de métallisation par exemple.

Charges fixes

Ces charges se situent à proximité de l'interface, entre le silicium et l'oxyde de silicium. Elles sont dûes au procédé d'oxydation du silicium. Ainsi plus le procédé est optimisé (notamment la température) meilleure sera la qualité de l'oxyde. Elles influent sur la tension de seuil du transistor mais les charges fixes n'interagissent pas avec le silicium du canal. Elles entrainent donc une modification des paramètres initiaux du MOS mais ne dégradent pas sa fiabilité.

Charges mobiles ioniques

Ces défauts sont le résultat de la contamination ionique de l'oxyde par des impuretés telles que Li^+, Na^+, K^+, etc. Ces impuretés diffusant dans l'oxyde à partir de 200 degrés, on trouve

des charges mobiles partout dans l'oxyde.

Charges d'oxyde

Lors de la formation de l'oxyde, des défauts liés aux procédés de fabrication sont formés dans le volume . Ainsi, en appliquant un stress électrique sur la grille, des porteurs énergétiques, positifs ou négatifs, peuvent combler ces défauts. En chauffant et/ou en appliquant un champ électrique inverse, on peut dépiéger la charge et reformer le défaut.

Charges d'interface

Il s'agit des charges les plus proches du canal de silicium avec lequel elles interagissent électriquement. Le piège d'interface est dit amphotère, c'est à dire qu'il peut être soit donneur, soit accepteur. Dans le premier cas, son énergie est située dans la partie inférieure de la bande interdite du silicium, dans le second c'est l'inverse. Etant donné leur proximité avec le canal, ces charges jouent un rôle majeur sur la fiabilité électrique du transistor ; une étude plus approfondie de ces défauts est effectuée dans la partie suivante.

1.2.2 Défauts d'interface

On a évoqué précédemment qu'une création de défauts résulte du désaccord de maille entre le silicium et l'oxyde de silicium. La figure 1.17 illustre d'ailleurs ce phénomène. Ainsi, certains atomes de silicium à l'interface ne peuvent pas se lier à un atome d'oxygène puisqu'ils sont déjà liés à trois autres atomes de silicium. Il apparait alors une liaison pendante de silicium qui agit comme un défaut électriquement actif dénommé centre P_b [40]. Il en existe deux types : les centres P_{b0} et P_{b1} qui sont illustrés sur la figure 1.18.

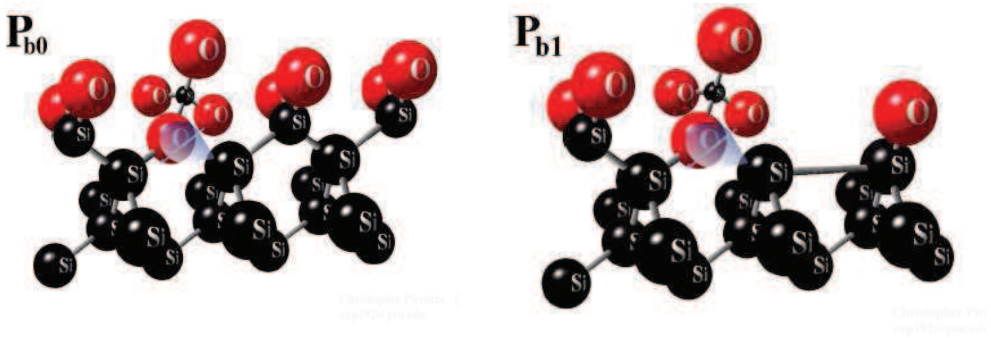

FIGURE 1.18 – Illustration des deux types de défauts d'interface : les centres P_{b0} (à gauche) et P_{b1} (à droite) [41].

Bien que ces deux types de défauts coexistent, l'impact électrique et la quantité des centres P_{b1} face aux centres P_{b0} sont quasiment négligeables [42]. Dans la suite de cette thèse, nous ne les différencierons pas. On parlera simplement de densité d'états d'interfaces (**D**ensity of **I**nterface **T**rap) qui s'exprime en $eV^{-1}.cm^{-2}$.

Ces défauts étant électriquement actifs, lors de la polarisation du transistor, le nombre de charges piégées va varier. Ceci aura un impact direct sur la tension de seuil. On peut estimer

cette variation par l'expression suivante où ΔD_{it} représente la variation du nombre de charges et C_{ox} la capacité de l'oxyde de grille.

$$\Delta V_T = \frac{q\Delta D_{it}}{C_{ox}} \tag{1.7}$$

Cependant, afin de limiter le piégeage de charges à l'interface, il est possible d'effectuer un recuit sous dihydrogène [43]. En effet, l'atome d'hydrogène vient compléter la lacune pour former une liaison Si-H électriquement neutre. On parle alors de passivation des liaisons pendantes de silicium. Bien que ceci limite initialement le nombre de pièges à l'interface, une contrainte électrique pourra briser cette liaison Si-H et ainsi reformer un défaut. Ceci sera appronfondi dans le chapitre 4 concernant la dégradation par porteurs chauds.

1.2.3 Défauts dans l'oxyde à haute permittivité (high-κ)

De la même manière que pour l'oxyde de silicium SiO_2, des défauts peuvent apparaitre dans l'oxyde haute permittivité lors des différentes étapes de fabrication. Cependant, de par leur utilisation plus récente, le nombre d'études sur ces matériaux est plus faible. On notera néanmoins qu'il existe deux types de défauts [44]. D'une part les groupements moléculaires mettant en jeu des atomes d'oxygène interstitiels. Ils peuvent être neutres ou chargés négativement (O^- ou O^{2-}) ; d'autre part les lacunes d'oxygènes. Ces défauts peuvent être accepteurs ou donneurs. Ils sont notamment connus pour être à l'origine des problèmes de piégeage d'électrons sur les transistors NMOS [45]. Ils sont à ce titre majoritairement responsables de la dégradation PBTI comme nous le verrons dans le chapitre 3 concernant les contraintes BTI.

1.3 La fiabilité des transistors MOS

Maintenant que les principes de bases du transistor MOS et ses améliorations ont été rappelés, nous nous focalisons ici sur l'aspect fiabilité de ses dispositifs. Nous commencerons donc par définir la notion de fiabilité puis les différents mécanismes traditionnellement mis en oeuvres. Ensuite nous expliquerons quand ces mécanismes apparaissent en prenant l'exemple simple d'un inverseur CMOS.

1.3.1 Principe

La durée d'utilisation d'un dispositif électronique possède trois phases. La première concerne la mortalité infantile. Il s'agit des dispositifs ayant subi des problèmes lors de la fabrication. Ces derniers fonctionnent au mieux sur une très courte durée, au pire ne fonctionnent pas du tout. Puisque tous les dispositifs vendus par les industries de semiconducteurs sont testés électriquement, ceux-ci sont écartés directement et ne seront pas vendus au client. Une fois cette mortalité infantile passée, le dispositif est dans sa phase d'utilisation optimale. Durant cette phase, la majeure partie des dispositifs fonctionne sans encombre exceptés quelques défaillances. Enfin, vient l'usure. Le dispositif est vieillissant et ses performances baissent. On obtient ainsi un dispositif dysfonctionnel voire hors service. Le diagramme de la figure 1.19 met ses trois phases en lumière.

Le but des études de fiabilité électrique et de définir à quel moment le dispositif devient défaillant et atteint sa troisième phase. Autrement dit, elles permettent de garantir une durée

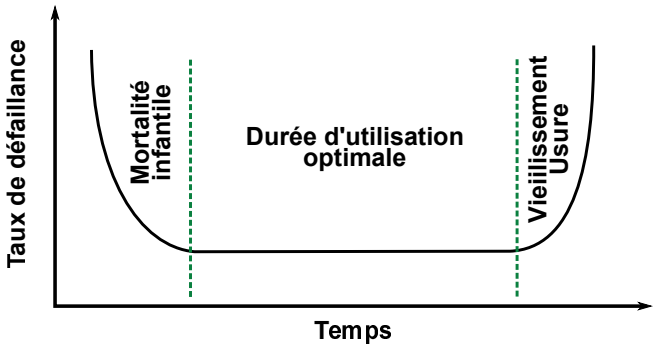

FIGURE 1.19 – Illustration du taux de défaillance d'un dispositif électronique en fonction du temps. On identifie trois phases : la mortalité infantile, l'utilisation optimale et le vieillissement.

de vie au produit. On parle ici de produit car il peut s'agir d'un transistor élémentaire (comme dans cette thèse) ou d'un circuit intégré.

Classiquement, la durée de vie garantie pour un transistor est de plusieurs années. Il apparait alors évidemment impossible d'attendre ce délai avant d'assurer à un client la durée de vie du produit. Pour cela deux paramètres permettent principalement d'en accélérer le vieillisement : les tensions électriques et la température. Ainsi en appliquant différentes contraintes électriques et thermiques au dispositif, on génère différents mécanismes de dégradation. Concernant le transistor MOS, il en existe trois principaux : la contrainte BTI (Bias Temperature Instabilities), le stress par porteurs chauds et le claquage d'oxyde.

Concernant les tests d'oxydes, également appelés TDDB (Time Dependent Dielectric Breakdown), ils consistent à appliquer une forte tension sur la grille et mesurer le temps nécessaire au claquage de l'oxyde. Il s'agit alors d'assurer la robustesse de l'oxyde de grille du transistor. Les stress BTI et porteurs chauds, quant à eux, se ressemblent d'une certaine manière. En effet dans les deux cas, une tension de stress est appliquée sur la grille du transistor, classiquement chauffé à 125 degrès. La différence réside dans la tension de stress du drain : en BTI elle est nulle alors qu'en porteurs chauds elle ne l'est pas. A ce titre, le transistor n'est pas dégradé de la même manière dans les deux cas. Puisque ce sont les deux mécanismes sur lesquels cette thèse est focalisée, de plus amples informations sont disponibles dans les parties respectives.

L'exemple du fonctionnement de l'inverseur ci dessous permet d'illustrer l'importance de ces deux modes de défaillances en microélectronique.

1.3.2 Fonctionnement d'un inverseur

Afin d'expliquer l'utilité des tests BTI et porteurs chauds, on utilise dans cette partie l'exemple de l'inverseur CMOS. Celui-ci est donc composé d'un transistor PMOS dont la source est reliée à la tension haute et un transistor NMOS pour lequel la source est cette fois reliée à la tension basse. Un schéma est disponible sur la figure 1.20. Pour rappel, son fonctionnement est le suivant : si l'entrée est à l'état haut, le transistor PMOS est bloqué alors que le NMOS est passant. La sortie passe donc à l'état bas. A l'inverse, si l'entrée à l'état bas, le PMOS est passant et le NMOS bloqué ; la sortie est donc à l'état haut. Les transistors se trouvent donc la plupart du temps dans le même état hormis lors des transitions. Les chronogrammes de la figure 1.21 mettent ceci en évidence.

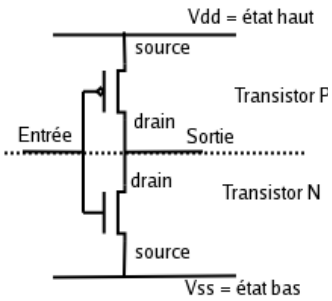

FIGURE 1.20 – Schéma d'un inverseur CMOS composé d'un transistor PMOS et un NMOS.

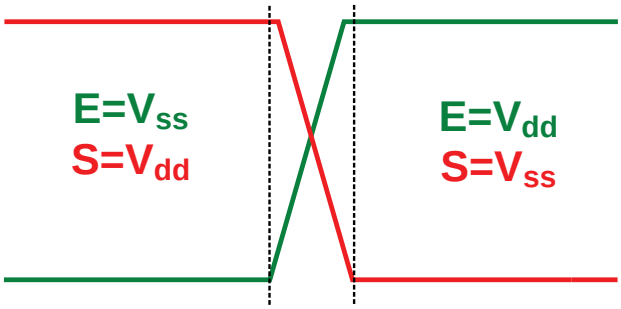

FIGURE 1.21 – Chronogramme de l'inverseur CMOS ci contre. Lorsque l'entrée est à l'état haut, la sortie est à l'état bas et inversement.

Ainsi selon l'état de l'entrée de l'entrée et de la sortie, les tensions V_{GS} et V_{DS} des deux transistors changent. Leurs équations sont données ci dessous :

$$V_{GS,P} = E - V_{DD} \qquad V_{GS,N} = E - V_{SS}$$
$$V_{DS,P} = S - V_{DD} \qquad V_{DS,N} = S - V_{SS}$$

En substituant E et S par les valeurs V_{DD} et V_{SS} dans les deux cas, on obtient les résultats du tableau 1.2.

	NMOS		PMOS	
	E=V_{DD} S=V_{SS}	E=V_{SS} S=V_{DD}	E=V_{DD} S=V_{SS}	E=V_{SS} S=V_{DD}
V_{GS}	V_{DD}-V_{SS}	0	0	V_{SS}-V_{DD}
V_{DS}	0	V_{DD}-V_{SS}	V_{SS}-V_{DD}	0

TABLE 1.2 – Valeurs de V_{GS} et V_{DS} des transistors N et PMOS selon l'état de l'entrée de l'inverseur

On constate ainsi que dans le cas où l'entrée est à l'état haut, la tension $V_{GS,N}$ est positive tandisque la tension $V_{DS,N}$ est nulle. On se retrouve ainsi dans le cas d'un stress PBTI à tension d'utilisation. A l'inverse, si l'entrée est à l'état bas, le transistor PMOS présente une tension de grille négative et une tension de drain nulle. Il s'agit d'une contrainte NBTI. Ainsi, le transistor NMOS et PMOS sont soumis 50% du temps respectivement à un stress PBTI et NBTI

De plus, lors des transitions de l'état haut à l'état bas et inversement, les transistors N- & PMOS présentent des tensions non nulles à la fois sur le drain et la grille. Ceci peut donc s'apparenter à un stress par porteurs chauds. Le temps de transistion étant très faible en comparaison au régime établi, la durée de vie porteurs chauds ciblée est bien plus faible que celle concernant les contraintes BTI.

Finalement, un inverseur met en évidence à la fois les stress BTI et porteurs chauds. Lors de tests de fiabilité, on augmente simplement les valeurs de tensions afin d'accélérer le vieillissement du dispositif.

1.4 Techniques de caractérisation utilisées

Puisque la notion de fiabilité électrique a maintenant été rappelée, nous introduirons dans cette partie les différentes methodologies de mesure des dégradations BTI et porteurs chauds.

1.4.1 Introduction

Classiquement, les mesures de fiabilité BTI ou porteurs chauds ont lieu en deux étapes. D'une part la phase de stress : on applique une tension élevée sur la grille (BTI & HCI) et sur le drain (HCI uniquement) qui dégrade les paramètres électriques du transistor. Ensuite vient la phase de mesure durant laquelle on estime la dégradation subie par le dispositif. Ces deux phases se succèdent un certain nombre de fois durant un temps t_{stress} initialement défini. La figure 1.22 illustre notamment cette succession d'étapes.

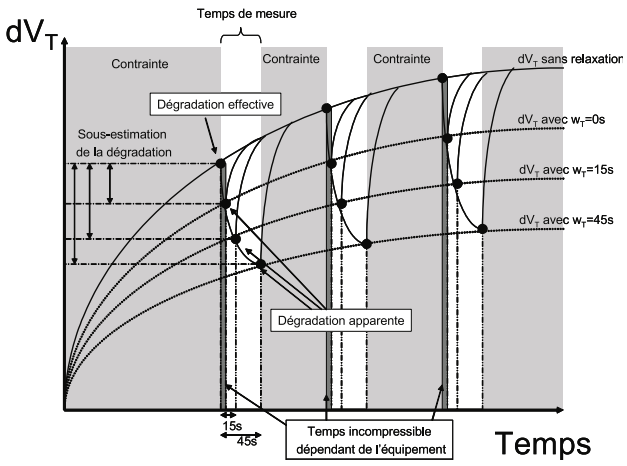

FIGURE 1.22 – Succession des phases de stress (grisées) et de mesures (blanches) et impact de la relaxation sur l'estimation de la dégradation [38].

De plus, on a vu précédemment que certains pièges d'oxyde pouvait être réversibles avec un temps d'émission propre à chacun. Ainsi, selon le temps de mesure utilisé, la dégradation apparente ne sera pas la même. Il est alors possible de sous estimer la dégradation et alors déterminer une durée de vie erronée. Sur la figure 1.22, on observe ainsi quatre courbes de dégradation selon la relaxation et le temps de mesure considérés.

Dans cette partie, nous allons introduire, dans un premier temps, une méthode de mesure conventionnelle. Celle ci a l'inconvéniant d'être relativement longue et donc la dégradation apparente ne reflète pas la dégradation réelle. Cependant, cette technique convient si les pièges sont permanents (donc non réversibles). Ensuite nous détaillerons la méthodologie de mesure pour une technique de mesure rapide. Cette dernière permet d'optimiser la dégradation apparente en limitant la relaxation avant mesure.

1.4.2 Technique de mesure DC de la dégradation BTI et HCI

On se propose donc dans un premier de temps de présenter la technique de mesure traditionnelle des dégradations BTI et HCI. Celle-ci présente un intérêt lorsque la relaxation est nulle mais également lorsqu'il s'agit de comparer différents transistors entre eux. En supposant

que la relaxation soit la même l'erreur est systématique et donc la comparaison entre différents dispositifs est fiable.

Afin d'expliquer cette méthodologie, on prend l'exemple d'une contrainte par porteurs chauds. La technique commence par une (ou plusieurs) mesure initiale du courant de drain. Celle-ci permet d'obtenir les paramètres électriques du transistor avant le stress tels que la tension de seuil, le courant en régime linéaire et saturé. Ensuite les tensions de grille et de drain sont élevées à leur valeur de stress. On effectue alors à nouveau une mesure des paramètres auquels on s'intéresse. Celle-ci peut être plus courte que la mesure initiale afin de limiter les phénomènes de relaxation. On recommence ensuite ce processus de stress et de mesure jusqu'à la durée t_{stress} souhaitée. Le chronogramme de la figure 1.23 illustre le processus.

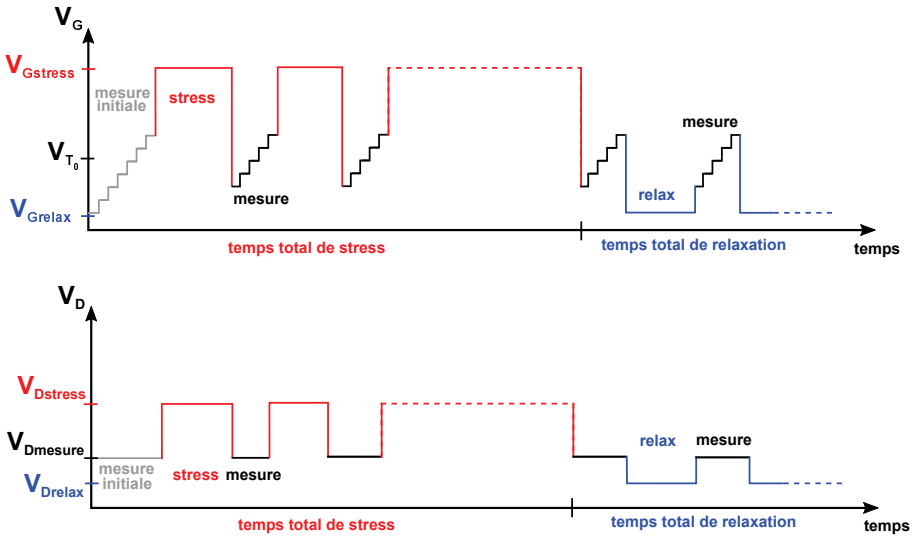

FIGURE 1.23 – Chronogrammes des tensions de grille et de drain lors d'un stress porteurs chauds. Pour un stress BTI, il suffit de condidérer $V_{Dstress}$=0.

Par ailleurs, on notera que les tensions sont appliquées via des SMU (System Measurement Unit) qui possèdent un temps d'établissement de quelques millisecondes. Cette technique peut être appelée stress DC. En effet, à l'inverse d'un stress AC, les tensions de stress sont constantes. Les dénomminations SMS (stress-mesure-stress) ou MSM (mesure-stress-mesure) sont également communément utilisées dans la littérature.

Enfin concernant un stress BTI, la méthodologie est sensiblement la même en considérant une tension de stress nulle sur le drain.

1.4.3 Mesures rapides de la dégradation BTI

Afin de limiter les phénomènes de relaxation et donc les erreurs sur la dégradation observée, une technique de mesure rapide a été mise en place. La différence principale avec la technique traditionnelle vue ci dessus réside dans le matériel utilisé. De plus, le nombre de points de mesure pendant le stress sera réduit au maximum afin de minimiser le temps de mesure.

Concernant les appareils de mesure, les SMU précédemment utilisés sont remplacés par des WGFMU (Waveform Generator Fast Measurement Unit) reliés à un RSU (Remote-sense and Switch Unit). Ces instruments sont placés dans le module B1530A fabriqué par Keysight

(anciennement Agilent). Si le WGFMU est l'unité permettant les mesures rapides, le RSU est un interrupteur permettant de permuter entre deux modes. La figure 1.24 schématise le cablage de ces deux entités. D'une part, le mode PG, permet une stabilisation très rapide de la tension appliquée. Il est cependant impossible de mesurer le courant en simultané. Le second mode permet une mesure rapide du courant avec un temps d'établissement de la tension légèrement plus important.

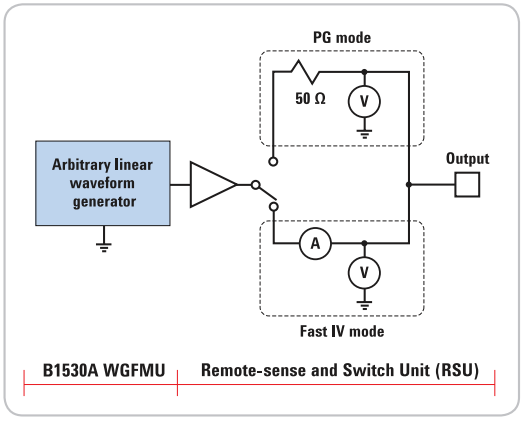

FIGURE 1.24 – Schéma simplifié de l'association d'un WGFMU et d'un RSU du module B1530A de Keysight [46].

Le tableau 1.3 fournit par Keysight montre que le temps de mesure dépend du calibre de courant choisi. En effet, si le courant mesuré est élevé (plusieurs ampères), la mesure pourra être effectuée en moins de 200ns. En revanche, si la valeur du courant est de l'ordre du nanoampère, 200μs seront nécessaires. Ainsi, plus le calibre de courant est important, plus la mesure sera rapide. On notera qu'il est possible d'utiliser un calibre 100μA pour mesurer un courant de quelques μA. la mesure sera alors plus rapide qu'avec le calibre 10μA mais moins précise.

Calibre de courant	Délai avant mesure	Temps de mesure min
10mA	100ns	70ns
1mA	250ns	250ns
100μA	600ns	1μs
10μA	4.5μs	10μs
1μA	80μs	115μs

TABLE 1.3 – Tableau de correspondance entre le calibre de courant et le temps de mesure fourni par Keysight.

1.5 Conclusion

Dans ce chapitre, les limites du transistor planaire bulk traditionnel ont, dans un premier temps, été exposées. En effet, afin de continuer à suivre la loi de Moore, consistant à miniaturiser les dispositifs électroniques, il a fallu trouver des solutions technologiques permettant de limiter les effets de canaux courts. Pour cela, deux technologies se distinguent : la technologie SOI d'une part qui conserve une architecture planaire. D'autre part, les dispositifs tri-dimensionnels qui permettent d'obtenir une surface de grille plus importante pour une surface de silicium donnée. On notera qu'il est également possible de combiner les deux technologies comme pour les dispositifs étudiés dans cette thèse.

Par la suite, une introduction au piégeage dans les oxydes a été développée. On a notamment rappelé que plusieurs familles de pièges existaient et qu'il est possible de les catégoriser selon leur profondeur physique dans le matériau. Ainsi, concernant l'oxyde interfacial SiO_2, des pièges peuvent aussi bien se situer à l'interface avec le canal qu'en profondeur. Selon la contrainte appliquée, différents défauts seront mis en jeu. Ceci nous a ammené a rappelé en quoi consistait la fiabilité électrique dans le domaine de la microélectronique. Les trois principaux mécanismes que sont le BTI, les porteurs chauds, et le claquage d'oxyde ont été introduit et l'exemple de l'inverseur CMOS a permis de mettre en évidence leur utilité.

Enfin, les méthodologies et instruments utilisés dans cette thèse ont été détaillés. Nous utiliserons notamment deux méthodes de mesures ; une mesure conventionnelle en quelques millisecondes ainsi qu'une seconde qualifiée de rapide puisque une dizaine de nanosecondes peuvent suffire à estimer la dégradation induite par un stress BTI ou porteurs chauds.

Bibliographie

[1] Gordon E Moore. Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp. 114 ff. IEEE Solid-State Circuits Newsletter, 3(20) :33–35, 2006.

[2] RH Dennard, FH Gaensslen, L Kuhn, and HN Yu. Design of micron mos switching devices|| iedm dig. Techn. Pap, page 344, 1972.

[3] Thomas Skotnicki. Heading for decananometer cmos-is navigation among icebergs still a viable strategy ? In Solid-State Device Research Conference, 2000. Proceeding of the 30th European, pages 19–33. IEEE, 2000.

[4] X Chen, S Samavedam, V Narayanan, K Stein, C Hobbs, C Baiocco, W Li, D Jaeger, M Zaleski, HS Yang, et al. A cost effective 32nm high-k/metal gate cmos technology for low power applications with single-metal/gate-first process. In VLSI Technology, 2008 Symposium on, pages 88–89. IEEE, 2008.

[5] Mikaël Cassé, Laurent Thevenod, Bernard Guillaumot, Lucie Tosti, Francois Martin, Jérôme Mitard, Olivier Weber, François Andrieu, Thomas Ernst, Gilles Reimbold, et al. Carrier transport in hfo/sub 2//metal gate mosfets : physical insight into critical parameters. IEEE Transactions on Electron Devices, 53(4) :759–768, 2006.

[6] GS Lujan, Stefan Kubicek, Stefan De Gendt, Marc Heyns, Wim Magnus, and Kristin De Meyer. Mobility degradation in high-k transistors : the role of the charge scattering. In European Solid-State Device Research, 2003. ESSDERC'03. 33rd Conference on, pages 399–402. IEEE, 2003.

[7] JF Yang, ZI Xia, G Du, XY Liu, RQ Han, and JF Kang. Coulomb scattering induced mobility degradation in ultrathin-body soi mosfets with high-k gate stack. In Solid-State and Integrated Circuit Technology, 2006. ICSICT'06. 8th International Conference on, pages 1315–1317. IEEE, 2006.

[8] Scott Thompson, N Anand, M Armstrong, C Auth, B Arcot, M Alavi, P Bai, J Bielefeld, R Bigwood, J Brandenburg, et al. A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of cu interconnects, low k ild, and 1/spl mu/m/sup 2/sram cell. In Electron Devices Meeting, 2002. IEDM'02. International, pages 61–64. IEEE, 2002.

[9] John Bardeen and Walter Houser Brattain. Physical principles involved in transistor action. Physical Review, 75(8) :1208, 1949.

[10] Tahir Ghani, Michael Armstrong, Chris Auth, M Bost, P Charvat, G Glass, T Hoffmann, K Johnson, C Kenyon, J Klaus, et al. A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon cmos transistors. In Electron Devices Meeting, 2003. IEDM'03 Technical Digest. IEEE International, pages 11–6. IEEE, 2003.

[11] P Packan, S Akbar, M Armstrong, D Bergstrom, M Brazier, H Deshpande, K Dev, G Ding, T Ghani, O Golonzka, et al. High performance 32nm logic technology featuring 2 nd generation high-k+ metal gate transistors. In Electron Devices Meeting (IEDM), 2009 IEEE International, pages 1–4. IEEE, 2009.

[12] Chris Auth, C Allen, A Blattner, D Bergstrom, M Brazier, M Bost, M Buehler, V Chikarmane, T Ghani, T Glassman, et al. A 22nm high performance and low-power cmos

technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density mim capacitors. In VLSI technology (VLSIT), 2012 symposium on, pages 131–132. IEEE, 2012.

[13] T-Y Liow, K-M Tan, R Lee, Anyan Du, C-H Tung, G Samudra, W-J Yoo, N Balasubramanian, and Y-C Yeo. Strained n-channel finfets with 25 nm gate length and silicon-carbon source/drain regions for performance enhancement. In VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on, pages 56–57. IEEE, 2006.

[14] Kah-Wee Ang, Jianqiang Lin, Chih-Hang Tung, Narayanan Balasubramanian, Ganesh S Samudra, and Yee-Chia Yeo. Strained n-mosfet with embedded source/drain stressors and strain-transfer structure (sts) for enhanced transistor performance. IEEE Transactions on Electron Devices, 55(3) :850–857, 2008.

[15] Mitsuhiro Togo, Jae Woo Lee, Luigi Pantisano, Thomas Chiarella, Romain Ritzenthaler, Raymond Krom, Andriy Hikavyy, Roger Loo, Erik Rosseel, Stephan Brus, et al. Phosphorus doped sic source drain and sige channel for scaled bulk finfets. In Electron Devices Meeting (IEDM), 2012 IEEE International, pages 18–2. IEEE, 2012.

[16] G Besnard, X Garros, F Andrieu, P Nguyen, W Van Den Daele, P Reynaud, W Schwarzenbach, D Delprat, KK Bourdelle, G Reimbold, et al. Superior performance and hot carrier reliability of strained fdsoi nmosfets for advanced cmos technology nodes. Solid-State Electronics, 113 :127–131, 2015.

[17] Michel Bruel. Process for the production of thin semiconductor material films, December 20 1994. US Patent 5,374,564.

[18] François Andrieu, Mikaël Casse, E Baylac, P Perreau, O Nier, D Rideau, R Berthelon, F Pourchon, A Pofelski, B De Salvo, et al. Strain and layout management in dual channel (ssoi substrate, sige channel) planar fdsoi mosfets. In Solid State Device Research Conference (ESSDERC), 2014 44th European, pages 106–109. IEEE, 2014.

[19] Alexandre Subirats. Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors décananométriques et des mémoires SRAM en technologie FDSOI. PhD thesis, Université Grenoble Alpes, 2015.

[20] Toshihiro Sekigawa and Yasuhiro Hayashi. Calculated threshold-voltage characteristics of an xmos transistor having an additional bottom gate. Solid-State Electronics, 27(8-9) :827–828, 1984.

[21] Jean-Pierre Colinge et al. FinFETs and other multi-gate transistors, volume 73. Springer, 2008.

[22] Thomas Skotnicki, C Denat, P Senn, G Merckel, and B Hennion. A new analog/digital cad model for sub-halfmicron mosfets. In Electron Devices Meeting, 1994. IEDM'94. Technical Digest., International, pages 165–168. IEEE, 1994.

[23] T Skotnicki. Ultimate scaling of soi mosfets. MIGAS Short Course, Villard de Lans, France, 2004.

[24] M Bruel. Silicon on insulator material technology. Electronics letters, 31(14) :1201–1202, 1995.

[25] Christophe Maleville. Soi material readiness for 45nm and sub-45nm device options. ECS Transactions, 3(4) :397–407, 2006.

[26] Site web de soitec www.soitec.com/fr/produits/smart-cut.

[27] Terence Hook. Finfet isolation approaches and ramifications : Bulk vs. soi. In FDSOI Workshop at Hsinchu. IBM, 2013.

[28] G Bidal, F Boeuf, S Denorme, C Laviron, K Bourdelle, N Loubet, Y Campidelli, R Beneyton, H Moriceau, F Fournel, et al. First cmos integration of ultra thin body and box (utb 2) structures on bulk direct silicon bonded (dsb) wafer with multi-surface orientations. In Electron Devices Meeting (IEDM), 2009 IEEE International, pages 1–4. IEEE, 2009.

[29] Min Yang, Evgeni P Gusev, Meikei Ieong, Oleg Gluschenkov, Diane C Boyd, Kevin K Chan, Paul M Kozlowski, Christopher P D'Emic, Raymond M Sicina, Paul C Jamison, et al. Performance dependence of cmos on silicon substrate orientation for ultrathin oxynitride and hfo 2 gate dielectrics. IEEE Electron Device Letters, 24(5) :339–341, 2003.

[30] Digh Hisamoto, Wen-Chin Lee, Jakub Kedzierski, Erik Anderson, Hideki Takeuchi, Kazuya Asano, Tsu-Jae King, Jeffrey Bokor, and Chenming Hu. A folded-channel mosfet for deep-sub-tenth micron era. IEDM Tech. Dig, 1998 :1032–1034, 1998.

[31] Xuejue Huang, Wen-Chin Lee, Charles Kuo, Digh Hisamoto, Leland Chang, Jakub Kedzierski, Erik Anderson, Hideki Takeuchi, Yang-Kyu Choi, Kazuya Asano, et al. Sub 50-nm finfet : Pmos. In Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International, pages 67–70. IEEE, 1999.

[32] Isabelle Ferain, Cynthia A Colinge, and Jean-Pierre Colinge. Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors. Nature, 479(7373) :310–316, 2011.

[33] Angada B Sachid and Chenming Hu. A little known benefit of finfet over planar mosfet in highperformance circuits at advanced technology nodes. In SOI Conference (SOI), 2012 IEEE International, pages 1–2. IEEE, 2012.

[34] S Barraud, R Coquand, M Casse, M Koyama, J-M Hartmann, V Maffini-Alvaro, C Comboroure, C Vizioz, F Aussenac, O Faynot, et al. Performance of omega-shaped-gate silicon nanowire mosfet with diameter down to 8 nm. IEEE Electron Device Letters, 33(11) :1526–1528, 2012.

[35] S Bangsaruntip, A Majumdar, GM Cohen, SU Engelmann, Y Zhang, M Guillorn, LM Gignac, S Mittal, WS Graham, EA Joseph, et al. Gate-all-around silicon nanowire 25-stage cmos ring oscillators with diameter down to 3 nm. In VLSI Technology (VLSIT), 2010 Symposium on, pages 21–22. IEEE, 2010.

[36] Sarunya Bangsaruntip, Guy M Cohen, Amlan Majumdar, Ying Zhang, SU Engelmann, NCM Fuller, LM Gignac, S Mittal, JS Newbury, M Guillorn, et al. High performance and highly uniform gate-all-around silicon nanowire mosfets with wire size dependent scaling. In Electron Devices Meeting (IEDM), 2009 IEEE International, pages 1–4. IEEE, 2009.

[37] S. Barraud, R. Coquand, V. Maffini-Alvaro, M.-P. Samson, J.-M. Hartmann, L. Tosti, M. Casse, V.-H. Nguyen, F. Triozon, Y.-M. Niquet, C. Tabone, P. Perreau, F. Allain, C. Vizioz, C. Comboroure, F. Aussenac, S. Monfray, G. Ghibaudo, F. Boeuf, B. De Salvo, and O. Faynot. Scaling of Omega-gate SOI nanowire N- and P-FET down to 10nm gate length : Size- and orientation-dependent strain effects. In VLSI Technology (VLSIT), 2013 Symposium on, pages T230–T231, June 2013.

[38] Mickael Denais. Etude des phénomenes de dégradation de type négative bias température instability (nbti) dans les transistors mos submicroniques des filieres cmos avancées. PhD thesis, Université de Provence-Aix-Marseille I, 2005.

[39] Bruce E Deal. Standardized terminology for oxide charges associated with thermally oxidized silicon. IEEE Transactions on Electron Devices, 27(3) :606–608, 1980.

[40] Yoshio Nishi. Study of silicon-silicon dioxide structure by electron spin resonance i. Japanese Journal of Applied Physics, 10(1) :52, 1971.

[41] Jason P Campbell, Patrick M Lenahan, Corey J Cochrane, Anand T Krishnan, and Srikanth Krishnan. Atomic-scale defects involved in the negative-bias temperature instability. IEEE Transactions on Device and Materials Reliability, 7(4) :540–557, 2007.

[42] Andre Stesmans and VV Afanas'ev. Electrical activity of interfacial paramagnetic defects in thermal (100) s i/s i o 2. Physical Review B, 57(16) :10030, 1998.

[43] YT Yeow, DR Lamb, and SD Brotherton. An investigation of the influence of low-temperature annealing treatments on the interface state density at the si-sio2. Journal of Physics D : Applied Physics, 8(13) :1495, 1975.

[44] Adam S Foster, F Lopez Gejo, AL Shluger, and Risto M Nieminen. Vacancy and interstitial defects in hafnia. Physical Review B, 65(17) :174117, 2002.

[45] Guillaume Ribes, S Bruyere, D Roy, C Parthasarthy, M Muller, M Denais, V Huard, T Skotnicki, and G Ghibaudo. Origin of vt instabilities in high-k dielectrics jahn-teller effect or oxygen vacancies. IEEE Transactions on Device and Materials Reliability, 6(2) :132–135, 2006.

[46] http ://literature.cdn.keysight.com/litweb/pdf/5989 8378EN.pdf. Agilent b1530a waveform generator/fast measurement unit (wgfmu).

Chapitre 2

Modélisation du piégeage de charge dans les technologies 3D

2.1 Introduction

En suivant la loi de Moore au cours des dernières décennies, les dimensions de grilles de transistors sont devenues très faibles. Il apparait alors indispensable d'avoir un oxyde d'excellente qualité afin de limiter le nombre de défauts créés lors des différentes étapes de fabrication. Néanmoins, lors du fonctionnement de ces transistors, des défauts peuvent se former dans l'oxyde de grille, indépendemment de l'intégrité initial du dispositif. Nous nous proposons, dans ce chapitre, d'étudier de manière théorique le comportement du transistor MOS sous l'effet d'une charge élémentaire placée dans l'oxyde de grille. Cette charge a pour but de simuler un défaut créé ou activé au cours d'un stress BTI. Celui ci entraîne alors une dégradation des paramètres électriques du transistor. Nous détaillerons ceci dans le chapitre suivant. Dans un premier temps une charge ponctuelle est déplacée le long de l'oxyde afin d'évaluer, par simulation, l'effet d'un défaut selon sa position. Cette partie commencera par une introduction sur les paramètres de la simulation. Nous détaillerons ainsi à la fois les équations mises en oeuvre, les caractéristiques du transistor et les paramètres intrinsèques à la simulation. Ensuite la méthodologie permettant d'estimer la dégradation de la tension de seuil du MOSFET sera explicitée. Celle-ci consiste à déplacer une charge le long de l'oxyde de grille pour estimer la dégradation induite par sa position ; puis un tirage Monte Carlo permet d'évaluer la dégradation totale du transistor en fonction de la densité de pièges dans l'oxyde de grille. Enfin ces résultats seront exploités pour différentes architectures (Πfet, finfet, Ωfet). Ceci permet d'estimer quelle technologie présente un avantage sur ce point de fiabilité.

2.1.1 Structures 3D étudiées

Cette étude est basée en grande partie sur une architecture rectangulaire visible à gauche sur la figure 2.1. Sa géométrie est définie par cinq paramètres : l'épaisseur de l'oxyde enterrée, t_{BOX}, l'épaisseur de l'oxyde de grille, t_{ox}, la largeur de grille, W_{top}, sa longueur, L, et la hauteur, ou épaisseur, de silicium, t_{Si}. Ainsi, si $W_{top} \approx t_{Si}$, la structure sera appelée Πfet, si $W_{top} < t_{Si}$, ce sera un transistor finfet et enfin, si $W_{top} >> t_{Si}$, on s'approche d'un transistor planaire.

L'architecture Ωfet est analysée dans la partie 2.3.2. Elle se distingue de la précédente par des coins arrondis comme on peut le voir sur la droite de la figure 2.1. On conserve les paramètres

d'une structure Πfet auxquels on ajoute un rayon, r_{ox} pour les arrondis inférieurs et supérieurs. Pour ce type de structure, W_{top} et t_{Si} doivent au minimum être deux fois plus importants que r_{ox}.

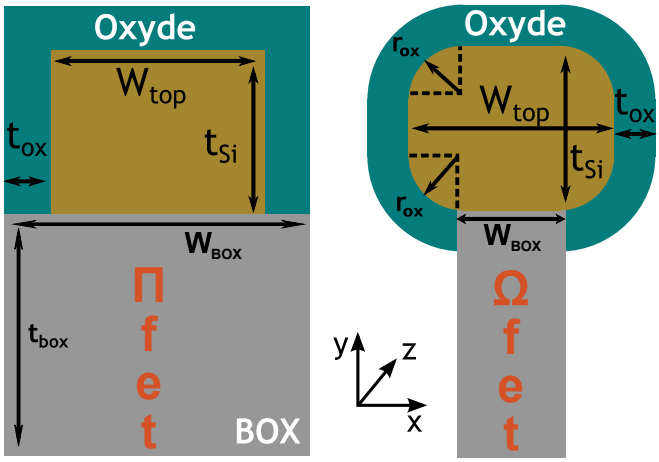

FIGURE 2.1 – Vues en coupe schématiques des structures 3D sur SOI Πfet (gauche) et Ωfet (droite) utilisées pour les simulations.

2.1.1.1 Caractéristiques de la structure simulée

Afin de se rapprocher des dispositifs expérimentaux, l'épaisseur de l'oxyde enterré t_{BOX} est de 145nm et la hauteur de silicium t_{Si} est de 12nm. L'oxyde de grille est constitué de dioxyde de silicium et d'un diélectrique de forte permittivité appelé high-κ. Ce dernier permet notamment la miniaturisation des noeuds technologiques en évitant les courants de fuite dans la grille (cf. section 1.1.1.2). Le canal est non intentionnellement dopé (dopage résiduel N_A=1.4.10^{10}at.cm^{-2}) tandis que le dopage de la source et du drain sont de 5×10^{19}at.cm^{-2}.

2.1.1.2 Description du modèle utilisé dans le cas d'une charge ponctuelle

Le modèle utilisé pour ces simulations est basé sur la résolution de l'équation de Poisson 2.1 afin de trouver le potentiel électrostatique dans la structure.

$$div\left(\varepsilon.\overrightarrow{grad}(V)\right) = \rho \tag{2.1}$$

avec ε la permittivité du milieu, V le potentiel électrostatique et ρ la densité volumique de charge dans le milieu. Les différents oxydes (oxyde interfacial, high-κ, oxyde enterré) sont électriquement neutres. La valeur de ρ y est donc nulle. En revanche, dans le canal de silicium :

$$\rho = q.\left(R\left(x,y\right).n_0.e^{\frac{V}{k.T}} - R\left(x,y\right).p_0.e^{-\frac{V}{k.T}} + N_a\right) \tag{2.2}$$

avec q la charge élémentaire, k la constante de Boltzmann et R(x,y) un facteur de correction permettant de prendre en compte le confinement quantique des porteurs. L'impact de ce facteur sur la densité de charges à l'interface Si/SiO_2 est illustré sur la figure 2.2.

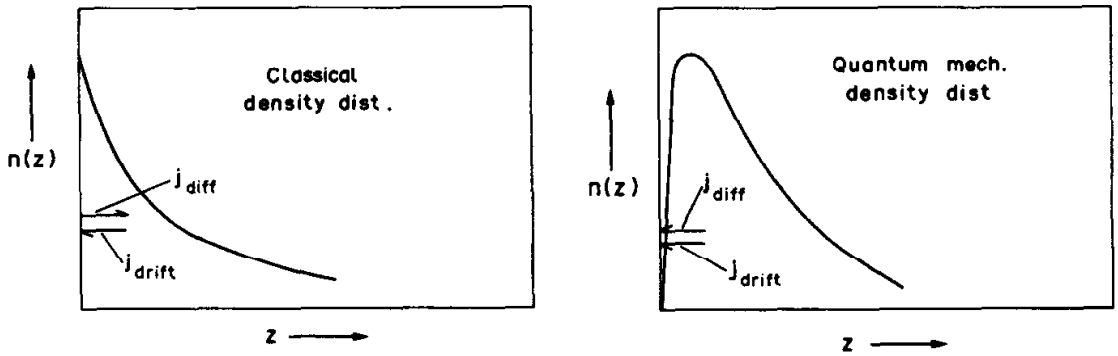

FIGURE 2.2 – Densité de charge à l'interface Si/SiO_2 sans et avec considération du confinement quantique respectivement à gauche et à droite de la figure [1].

Enfin afin d'obtenir le courant de drain, on résout l'équation de la continuité de courant de "drift diffusion" ci après :

$$div\left(q.n.\mu.\overrightarrow{grad}(U_C)\right) = 0 \tag{2.3}$$

avec μ la mobilité des porteurs, U_C le quasi niveau de Fermi des électrons, et n la densité de porteurs dont l'expression est la suivante :

$$n = R\left(x,y\right).n_0.e^{\frac{V-U_C}{k.T}} \tag{2.4}$$

avec R(x,y) correspondant au facteur de correction quantique de Hänsch [1]. Celui-ci vaut pour une structure Πfet rectangulaire :

$$R\left(x,y\right) = \left(1-e^{-\left(\frac{x}{\lambda}\right)^2}\right)\left(1-e^{-\left(\frac{W-x}{\lambda}\right)^2}\right)\left(1-e^{-\left(\frac{y}{\lambda}\right)^2}\right)\left(1-e^{-\left(\frac{tsi-y}{\lambda}\right)^2}\right) \tag{2.5}$$

avec $\lambda = \frac{\bar{h}}{\sqrt{2.m_e.k.T}} \approx 1.2nm$

2.1.2 Optimisation du temps de simulation

Afin de minimiser le temps de simulation certaines approximations ont été effectuées.

En considérant des dimensions de transistors proches de nos dispositifs testés au Léti, l'épaisseur de l'oxyde enterré simulé (145nm) est dix fois plus élevé que l'épaisseur t_{Si} du film de silicium (12nm). De plus le maillage de la simulation est défini non pas en densité mais en

nombre de points. La majorité de ceux-ci se situent ainsi dans le BOx qui n'est pas la zone principalement étudiée ici. En outre, plus le maillage est important, plus la simulation est lente. Le nombre important de points dans le BOx ralentit donc la simulation pour une utilité restreinte. Pour pallier ces problèmes, on définit une épaisseur t_{BOX} cinq fois plus faible que celle de nos dispositifs. On accélère alors le temps de simulation en diminuant le nombre de points de maillage dans le BOx. De plus en proportion globale, le nombre de points dans l'oxyde de grille augmente. Afin de compenser la diminution d'épaisseur de l'oxyde, nous divisons par ce même facteur 5 la permittivité du milieu. La capacité induite reste alors la même et le couplage entre la grille et l'oxyde enterré ne varie pas.

Au cours de cette étude, l'impact d'une charge à l'interface entre le silicium et l'oxyde de grille sera étudié. Il n'est donc pas indispensable de simuler les deux couches d'oxyde (interfacial et high-κ). Il suffit en effet de considérer un unique oxyde d'épaisseur et de permittivité équivalentes à l'empilement high-κ/oxyde interfacial. Par la formule 2.6, on définit un oxyde équivalent de 3nm d'épaisseur et de permittivité 10. De cette manière, en ne considérant qu'une seule couche d'oxyde, la simulation est plus rapide puisque l'on s'affranchit notamment de la contrainte de continuité à l'interface entre les deux oxydes. Cependant, le piégeage dans la profondeur de l'oxyde est affecté par cette approximation ; nous étudierions ceci dans la section 2.4.1

$$\frac{t_{Ox}}{\varepsilon_{Ox}} = \frac{t_{IL}}{\varepsilon_{IL}} + \frac{t_{HK}}{\varepsilon_{HK}} \tag{2.6}$$

où t_{Ox}, t_{IL}, t_{HK} sont respectivement les épaisseurs de l'oxyde monocouche, du SiO_2 de l'oxyde high-κ et ε_{Ox}, ε_{IL}, ε_{HK} sont respectivements les permittivités relatives de l'oxyde monocouche, du SiO_2 de l'oxyde HK.

La densité volumique de charge dans le film de silicium est définie par l'équation 2.2. Cependant, seul le comportement autour de la tension de seuil est analysé puisque l'on s'intéresse uniquement à l'influence de pièges sur la tension de seuil V_T. Les densités d'électrons et de trous sont alors négligeables devant le dopage résiduel N_a. Ainsi :$\rho = q.N_a$

$$\rho = q.\left(\overbrace{R\left(x,y\right).n_0.e^{\frac{V}{k.T}}}^{n} - \overbrace{R\left(x,y\right).p_0.e^{-\frac{V}{k.T}}}^{p} + N_a\right) \tag{2.7}$$

La figure 2.3 représente le courant de drain en fonction de V_G en considérant des porteurs libres (en noir) ou non. Il apparait alors que cette approximation est valable tant que V_G<0.4V i.e. sous le seuil.

2.1.3 Définition de la charge simulant un piège dans l'oxyde

Le but de cette partie étant de simuler le comportement d'un défaut dans l'oxyde, une charge ponctuelle est positionnée en (x_0, y_0, z_0) ; x_0, y_0, z_0 représentanrt respectivement la position selon W_{eff}, t_{ox} et L. La valeur de la charge doit donc valoir q en (x_0, y_0, z_0) et 0 partout ailleurs. Idéalement il faudrait donc simuler la charge comme une impulsion de dirac pour laquelle l'intégrale sur toute la surface vaudrait q selon l'équation 2.8.

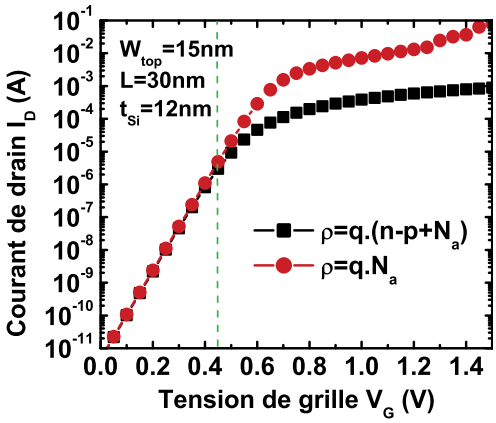

FIGURE 2.3 – Comparaison des courbes IV en considérant, ou non, une densité de porteurs libres dans le canal. Sous le seuil, aucune différence n'apparait ; il est possible de simplifier l'expression de l'équation 2.7.

$$\iiint Q_{it}.dx.dy.dz = \iiint q.\delta(x_0, y_0, z_0) = q \tag{2.8}$$

Cependant, en agissant de la sorte, une discontinuité est créée aux abords de la charge. La convergence de la simulation poserait alors soucis comme le montre la figure 2.5. On préfère alors utiliser une gaussienne centrée en (x_0, y_0, z_0) définie par l'équation 2.9 tracée sur la figure 2.4.

$$Q_{it} = \frac{q}{A^3}.\overbrace{e^{-\frac{(x-x_0)^2}{2.\sigma^2}}}^{Q_{it,x}}.\overbrace{e^{-\frac{(y-y_0)^2}{2.\sigma^2}}}^{Q_{it,y}}.\overbrace{e^{-\frac{(z-z_0)^2}{2.\sigma^2}}}^{Q_{it,z}} \tag{2.9}$$

où q est la charge élémentaire (q=1.6.10^{-19}C), σ l'écartement de la fonction gaussienne selon x,y et z et A une constante de normalisation telle que $\iiint Q_{it}.dx.dy.dz = q$. Les intégrales de chacune des trois contributions $Q_{it,x}$, $Q_{it,y}$ et $Q_{it,z}$ étant des intégrales de Gauss, leur valeur est $\sqrt{2\pi}.\sigma$ On en déduit alors la valeur de $A = \sqrt{2\pi}.\sigma$

L'impact de la charge est alors non nul partout dans l'oxyde. Cependant au delà de 3σ, cet impact est négligeable. La figure 2.5 illustre ce résultat. Il est intéressant de noter que l'impulsion de Dirac représente la limite de la fonction de Gauss lorsque σ tend vers 0.

2.1.3.1 Déplacement de la charge dans un Πfet

Afin d'étudier l'impact du défaut en tout point de l'interface Si/SiO_2, cette charge est déplacée sur la longueur L et la largeur totale du film de silicium du transistor, c'est à dire W_{eff}=W_{top}+2t_{Si}. Elle prend alors $N_{max,L}$ et $N_{max,W}$ positions différentes respectivement le long de L et de W_{eff}. La figure 2.6 illustre les symétries d'axe x=W/2 z=L/2. Il n'apparait alors pas nécessaire de simuler l'intégralité du transistor. On travaillera uniquement sur un quart

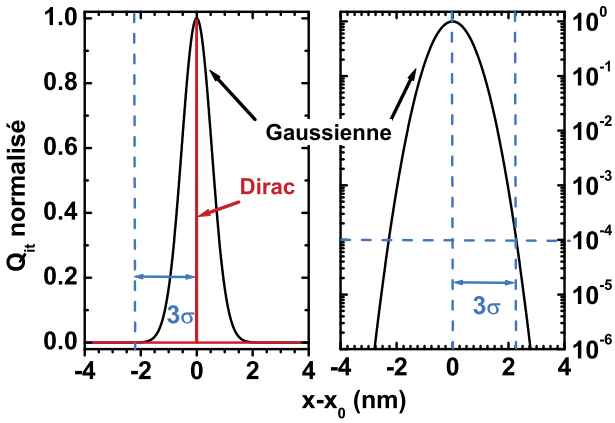

FIGURE 2.4 – Représentation graphique de la projection en x de la charge Q_{it} sous la forme d'une fonction gaussienne $exp\left(-\frac{(x-x_0)^2}{2.\sigma^2}\right)$ et d'une impulsion de Dirac

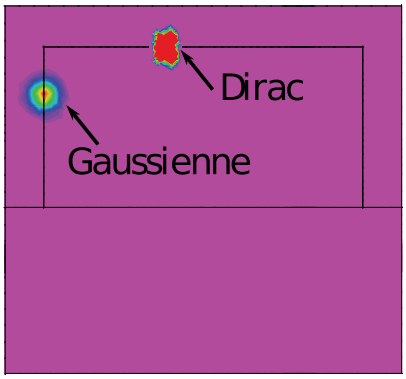

FIGURE 2.5 – Comparaison entre la modélisation d'une charge par une fonction gaussienne (choisie pour cette étude) et une impulsion de Dirac

du transistor puis par symétrie l'intégralité de l'interface Si/SiO_2 sera reconstituée. Ceci nous permet d'avoir un temps de simulation divisé par quatre pour le même nombre de points de simulation.

La simulation est ainsi composée de $N=N_{max,W}\times N_{max,L}$ étapes (typiquement 200). Concernant le déplacement de la charge en W, le pas p_w est linéaire de valeur $\frac{W_{eff}}{2}\frac{1}{N_{max,W}-1}$ à partir du point (0,0). Pour ce qui est du déplacement en L, tous les $N_{max,W}$ points, il suffit d'incréménter la coordonnée en z de $p_L=\frac{1}{2}\frac{L}{N_{max,L}-1}$. Ces déplacements sont illustrés sur la figure 2.7 à gauche.

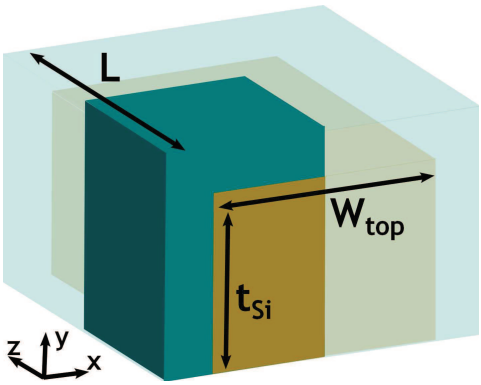

FIGURE 2.6 – Aperçu du quart simulé du transistor. La partie transparente est reconstituée par symétrie.

2.1.3.2 Déplacement de la charge le long d'une surface arrondie

Plus loin dans ce chapitre, nous ferons l'étude sur une structure arrondie appelée Ωfet (cf. figure 2.1 à droite). Du fait de ces arrondis la définition des positions de la charge change. Il est donc important de définir des déplacements qui correspondent au mieux à l'architecture

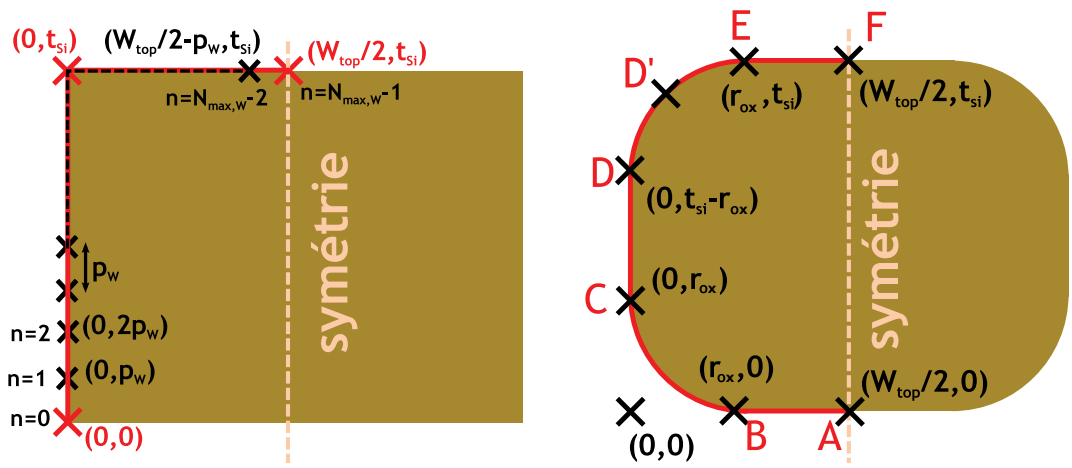

FIGURE 2.7 – Répartition de la charge le long du film de silicium pour une structure rectangulaire et arrondie. Seule la moitié de la largeur sera simulée grâce à la symétrie des structures.

étudiée.

La charge est déplacée de la même manière que précédemment d'un pas de p_L sur la longueur et p_W autour de W_{eff}. On considère toujours W_{eff} comme étant le périmètre du film de silicium, soit :

$$W_{eff} = 2.\left(W_{top} + t_{\mathrm{Si}}\right) + r_{ox}.\left(\pi - 4\right) \tag{2.10}$$

On conserve également les symétries précédentes ce qui implique que seul un quart du transistor est simulé. En revanche la surface sur laquelle la charge est déplacée n'est plus divisée par deux mais par cinq ; une pour chacune des trois côtés rectilignes et une pour chacun des deux angles. Les différents tronçons en rouge sur la figure 2.7 ont pour longueur :

$$\begin{aligned}
AB &= \frac{W_{top}}{2} - r_{ox} \\
AC &= AB + \frac{\pi.r_{ox}}{2} \\
AD &= AC + t_{Si} - r_{ox} - r_{ox} \\
AE &= AD + \frac{\pi.r_{ox}}{2} \\
AF &= AE + \frac{W_{top}}{2} - r_{ox}
\end{aligned}$$

Les coordonnées de la charge sont ainsi définies pour chacune des cinq parties de telle sorte que

la continuité soit conservée en chacun des points (n∈[0,$N_{max,W}$-1]) :

$$x = \frac{W_{top}}{2} - n.p_W \ \& \ y = 0 \ si \ Q_{it} \in [AB]$$
$$x = r_{ox} - \frac{2}{\pi}(n.p_W - AB) \ \& \ y = r_{ox} - \sqrt{r_{ox}^2 - \frac{4}{\pi^2}(n.p_W - AB)^2} \ si \ Q_{it} \in [BC]$$
$$x = 0 \ \& \ y = n.p_W + r_{ox} - AC \ si \ Q_{it} \in [CD]$$
$$x = \frac{2}{\pi}(n.p_W - AD) \ \& \ y = t_{Si} - r_{ox} + \sqrt{r_{ox}^2 - \frac{4}{\pi^2}\left(n.p_W - AD - \frac{\pi.r_{ox}}{2}\right)^2} \ si \ Q_{it} \in [DE]$$
$$x = n.p_W + r_{ox} - AE \ \& \ y = t_{Si} \ si \ Q_{it} \in [EF]$$

L'arrondissement des angles induit une séparation moins nette entre les flancs et la face supérieure. Nous considerons pour la suite que le point D' de la figure 2.7 sépare les deux surfaces.

2.1.4 Facteur de correction de Hänsch pour une structure Ωfet

Nous avons vu dans la partie 2.1.1.2 qu'il existe un terme R(x,y), appelé facteur de correction de Hänsch [1], qui permet de prendre en compte le confinement quantique des porteurs dans la définition de leur densité. Alors que celui-ci a déjà été vu pour une structure carré, on se propose de le décrire pour un transistor arrondi. Trois types de contour doivent alors être définis :

— si le contour est vertical, i.e. x=a, $R_x = 1 - e^{-(\frac{x-a}{\lambda})^2}$

— si le contour est horizontal, i.e. y=b, $R_y = 1 - e^{-(\frac{y-b}{\lambda})^2}$

— si le contour est arrondi i.e. $(x-x_0)^2+(y-y_0)^2 = r^2$, $R_{cercle} = 1 - e^{-\left(\frac{r-\sqrt{(x-x_0)^2+(y-y_0)^2}}{\lambda}\right)^2}$

Il suffit ensuite de faire le produit des coefficients pour obtenir le coefficient global :

$$R = \overbrace{\left(1 - e^{-(\frac{x}{\lambda})^2}\right)}^{R_{gauche}} \overbrace{\left(1 - e^{-(\frac{x-W}{\lambda})^2}\right)}^{R_{droite}} \overbrace{\left(1 - e^{-(\frac{y}{\lambda})^2}\right)}^{R_{bas}} \overbrace{\left(1 - e^{-(\frac{y-tsi}{\lambda})^2}\right)}^{R_{haut}}$$
$$\overbrace{\left(1 - e^{-\left(\frac{r_{ox}-\sqrt{(x-r_{ox})^2+(y-r_{ox})^2}}{\lambda}\right)^2}\right)}^{R_{bas,gauche}} \overbrace{\left(1 - e^{-\left(\frac{r_{ox}-\sqrt{(x-r_{ox})^2+(y-t_{Si}+r_{ox})^2}}{\lambda}\right)^2}\right)}^{R_{haut,gauche}}$$
$$\overbrace{\left(1 - e^{-\left(\frac{r_{ox}-\sqrt{(x-W_{top}+r_{ox})^2+(y-t_{Si}+r_{ox})^2}}{\lambda}\right)^2}\right)}^{R_{haut,droite}} \overbrace{\left(1 - e^{-\left(\frac{r_{ox}-\sqrt{(x-W_{top}+r_{ox})^2+(y-r_{ox})^2}}{\lambda}\right)^2}\right)}^{R_{bas,droite}}$$

2.2 Méthodologie

Nous allons dans cette partie mettre en évidence les différentes étapes de la simulation de la dégradation de la tension de seuil au cours d'un stress BTI. Nous commencerons par une mesure sans charge ponctuelle des paramètres du transistor afin d'établir la variation induite par la charge. Ensuite nous simulerons le comportement d'une charge selon sa localisation dans l'oxyde. Enfin, un cas réel de piégeage sous contrainte BTI sera simulé en définissant des densités de charge dans l'oxyde de grille.

2.2.1 Mesure préliminaire sans charge

Le but de ce chapitre est d'étudier le comportement d'un défaut selon sa localisation dans l'oxyde. Pour cela, il apparait nécessaire de mesurer les paramètres du transistor sans charge ponctuelle afin d'avoir un point de référence. Ces paramètres sont la pente sous seuil (SS) et le courant de drain ($I_{D,0}$) à la valeur de V_G où est extrait le V_T. Le courant est également simulé à la tension V_G+0.05V et V_G-0.05V. Ceci permet, étant donné la simplification de l'équation 2.2, d'extraire la pente sous le seuil par régression linéaire commme on peut le voir sur la figure 2.8.

D'autre part, le confinement quantique des porteurs induit une zone sans électron au niveau de l'interface avec l'oxyde de grille visible sur la figure 2.9. Les électrons sont ainsi concentrés au coeur du canal proche de l'oxyde enterré. Ces simulations initiales sont effectuées sur chacune des dimensions et chacune des architectures étudiées.

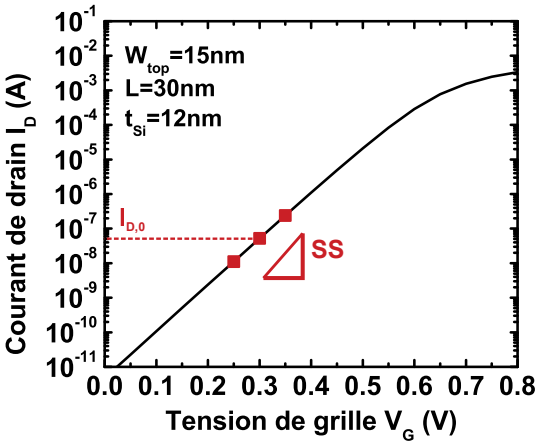

FIGURE 2.8 – Extraction de la pente sous le seuil et du courant sans charge ponctuelle. Le modèle en courant considère la simplification de la partie 2.1.2.

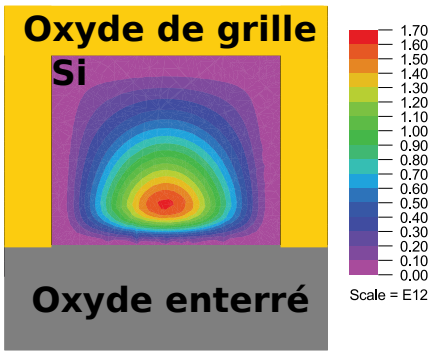

FIGURE 2.9 – Densité de porteurs dans le silicium pour une tension de grille V_G nulle. L'absence de porteurs à l'interface Si/SiO_2 s'explique par le confinement quantique.

2.2.2 Impact d'une charge

Nous pouvons à présent étudier l'impact sur V_T de la localisation dans l'oxyde d'une charge placée à l'interface Si/SiO_2. Selon sa position, la densité de porteurs dans le canal ne varie pas de la même façon. On constate notamment que la charge affecte de manière bien plus importante

la densité n lorsqu'elle se situe au milieu d'une face que dans un angle. Ceci se voit sur la figure 2.10. En modélisant la charge par une gaussienne (cf. figure 2.5), on constate que son impact dans l'oxyde décrit un demi cercle lorsque celle-ci se situe au milieu d'un côté. En revanche si on place cette charge dans un angle, l'effet se limitera à un quart de cercle. Ceci permet en partie d'expliquer la prédominance du milieu sur les angles.

De cet effet sur la densité de porteur n, il en résulte une baisse du courant I_D. Nous négligerons l'impact de la charge sur la mobilité de porteurs par diffusion coulombienne. Cette variation du courant est donc uniquement dûe à une dégradation de la tension de seuil V_T. La figure 2.11 montre ainsi la dégradation de V_T en fonction de la position de la charge en L et W_{eff}.

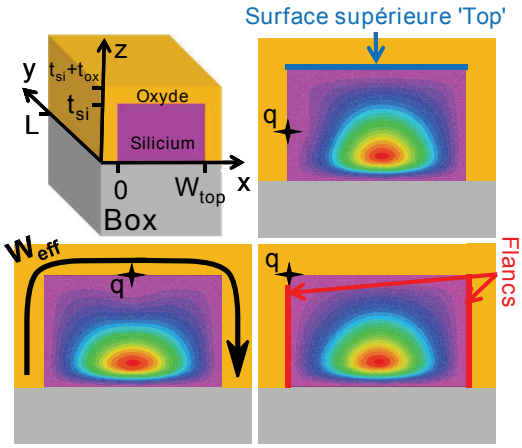

FIGURE 2.10 – Impact d'une charge Q_{it} sur la densité de porteurs dans le silicium selon sa position le long de W_{eff}

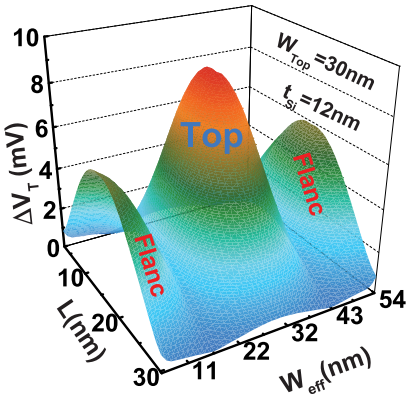

FIGURE 2.11 – Aperçu 3D de la dégradation du V_T selon la position de la charge q le long de W_{eff} et L

Concernant la longueur, le maximum selon z se situe en permanence au milieu à L/2. Au niveau de la largeur W_{eff}, la figure 2.11 montre trois dômes. Le dôme central représente la face supérieure du transistor et son maximum se situe en $W_{eff}/2$. Ce résultat avait déjà été mis en évidence par Subirats [2] sur une technologie planaire. Ce qui est nouveau, ce sont les dômes situés sur chacun des flancs. Contrairement à la face supérieure, leur maximum ne se situe pas au milieu de la face mais plus près du BOX. Ceci s'explique par le couplage électrostatique entre l'oxyde de grille et l'oxyde enterré (BOX).

2.2.3 Tirage Monte Carlo

Maintenant que l'impact de la localisation d'un défaut sur la dégradation du transistor est connu, on se propose de séparer la surface du transistor en deux. D'une part la face supérieure TS et de l'autre les flancs SW. On définit alors une densité moyenne de défauts D_t^{TS} et D_t^{SW} pour chacune des trois surfaces. Un premier tirage Monte Carlo obeissant à une loi de Poisson est effectué afin de déterminer le nombre de défauts p et q se situant respectivement sur les flancs et sur la face supérieure. Ensuite un deuxième tirage Monte Carlo permet de déterminer la position dans l'oxyde de chacun des défauts (p positions sur les flancs, q sur la face supérieure). Le dome tracé précédemment, relatif à la géométrie étudiée, détermine alors la variation de tension de seuil induite par chacun des (p+q) pièges selon leur position. En additionant les p valeurs de

$\Delta V_T{}^p$ d'une part et les q valeurs de $\Delta V_T{}^q$ d'autre part on obtient respectivement la dégradation $\Delta V_T{}^{SW}$ induite sur les flancs et $\Delta V_T{}^{TS}$ sur le dessus. Ces deux dégradations peuvent être finalement additionnées pour obtenir la dégradation totale $\Delta V_T{}^{tot}$ pour un dispositif. Enfin il suffit de répéter ce procédé N_{Dev} fois pour obtenir la distribution cumulée de la dégradation induite par un stress BTI sur N_{Dev} transistors. Notons qu'en première approximation, nous considérons l'additivité de ΔV_T de chaque défaut.

Cette démarche nous permet ainsi de faire varier les densités de pièges indépendamment sur les deux surfaces et d'en voir l'effet sur le transistor complet. Ce procédé est résumé sur la figure 2.12.

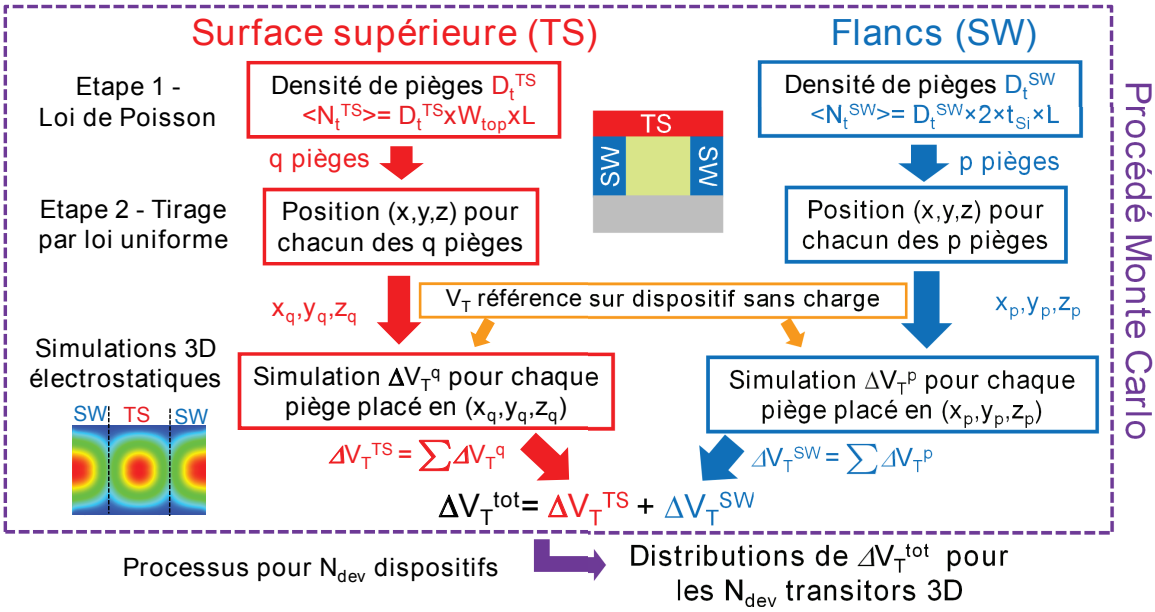

FIGURE 2.12 – Procéde Monte Carlo utilisé pour simuler les distributions de ΔV_T sur des architectures 3D

2.3 Impact de la localisation des défauts lors d'un stress BTI

2.3.1 Résultats sur une architecture Πfet

Maintenant que la méthodologie est clairement mise en place, nous allons nous focaliser dans ce paragraphe sur les phénomènes de piégeage dans une architecture rectangulaire et arrondie pour lesquelles on fera varier les paramètres géométriques L, W_{top} et t_{Si}.

2.3.1.1 Mise en évidence de l'impact des flancs sur la dégradation BTI

Nous avons déjà vu dans le paragraphe 2.2.2 qu'un défaut n'a pas le même effet selon sa position dans l'oxyde mais ces fluctuations sont également différentes selon la géométrie étudiée. La figure 2.13 en présente trois. Concernant le Πfet (structure principalement étudiée dans cette partie) trois sommets sont clairement visibles, un pour la face supérieure et un pour chacun des flancs. Dans le cas d'un Finfet, on augmente fortement le rapport de forme t_{Si}/W_{top}. La

grille supérieure ne représente donc plus qu'une mince partie de la grille totale. Ainsi, on ne voit quasiment que deux sommets et l'on s'approche d'une structure à double grille. A l'inverse, si $W_{top} >> t_{Si}$, l'architecture est quasiment planaire et le dôme central prédomine largement en comparaison aux flancs. De plus, plus la largeur totale, W_{eff} est importante, plus les valeurs de dégradation ΔV_t sont faibles. Ceci est dû au fait que l'influence de la charge devient négligeable devant la surface globale du transistor.

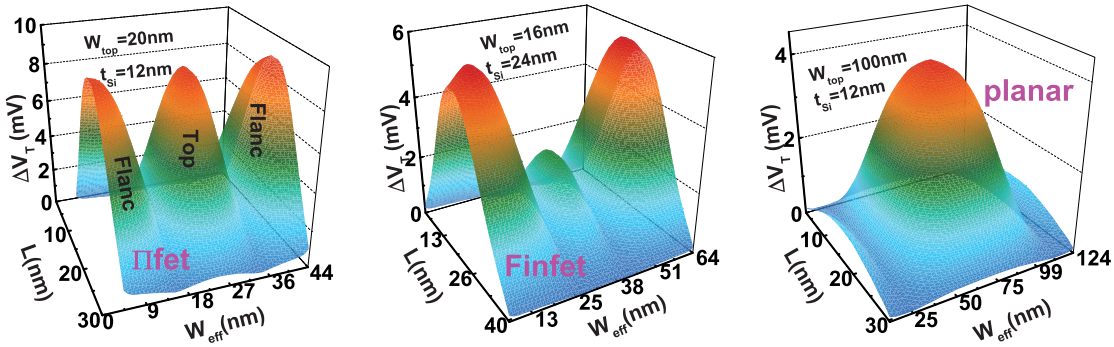

FIGURE 2.13 – Impact d'un défaut sur la tension de seuil V_T selon sa position le long de W_{eff} et L à l'interface Si/SiO_2. La prépondérance des différentes faces varie selon l'architecture (Πfet, Finfet ou planaire).

Grâce à ces dômes, il est maintenant possible de déterminer l'impact moyen d'un défaut sur la tension de seuil quelle que soit sa position dans l'oxyde. Le principe est le suivant : un tirage Monte Carlo de N pièges est effectué dans l'oxyde d'un transistor de dimensions définies. La dégradation individuelle de V_T de ces N défauts forme alors un histogramme qui peut être modélisé par une loi exponentielle dont la fonction de répartition est la suivante :

$$F(\Delta V_T, \eta) = 1 - e^{\frac{\Delta V_T}{\eta}} \tag{2.11}$$

où η représente l'impact moyen d'un défaut sur la tension de seuil.

Trois exemples sont données sur la figure 2.14 pour trois architectures différentes. Dans chacun des cas, trois tirages Monte Carlo de 2000 pièges sont effectués : un sur les flancs, un second sur la face supérieure et un dernier sur l'ensemble des trois faces. L'impact moyen sur le dessus (η_{TOP}), sur les flancs (η_{SW}) et sur l'intégralité de l'oxyde (η_{TOT}) est alors extrait pour les trois architectures. Pour un transitor Πfet, la contribution des flancs et du top est la même ; nous avons donc trois courbes superposées avec le même impact moyen de 2mV environ. En revanche lorsque l'on augmente t_{Si}, la surface supérieure ne compte quasiment plus et un défaut dégradera deux fois moins le V_T sur le top que sur les flancs. A l'inverse, l'impact d'une charge sur les côtés devient négligeable lorsque W_{top} est élevé.

La figure 2.15 rapporte ce résultat en fonction de $1/(L \times W_{eff})$ à même t_{Si} et même L. Premièrement, comme énoncé précédemment, un défaut aura globalement un effet plus important sur un transistor étroit que sur un transistor large quelle que soit sa position dans l'oxyde. Ceci est simplement l'effet des dômes de plus forte amplitude pour les dispositifs étroits. Ensuite l'impact d'un piège sur le dessus augmente jusqu'à environ $2 \times t_{Si}$ puis stagne alors que sur les flancs l'effet de la charge ne fait qu'augmenter. Cependant sa contribution n'est remarquable

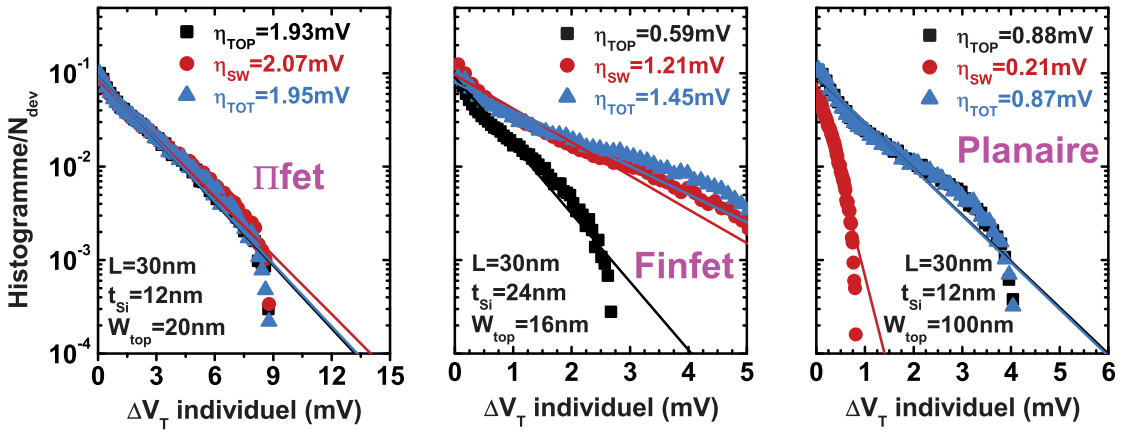

FIGURE 2.14 – Histogramme de la dégradation ΔV_T par piège pour trois architectures différentes.

qu'à partir de W_{top}=40nm ; les courbes noires et bleues étant indifférenciables jusque là. Enfin la valeur charnière entre une prédominance du top et des flancs de la dégradation totale semble être lorsque $W_{top}=2\times t_{Si}$. Si le transistor est plus étroit, les flancs prévalent, à l'inverse, s'il est plus large, le contrôle est assuré par le top.

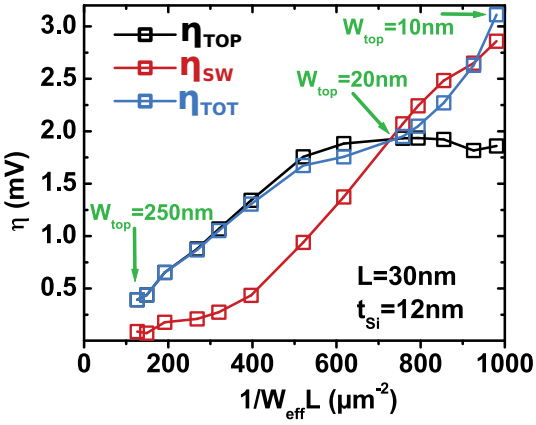

FIGURE 2.15 – Impact moyen d'un piège sur les différentes surfaces du transistor en fonction de la largeur W_{eff}

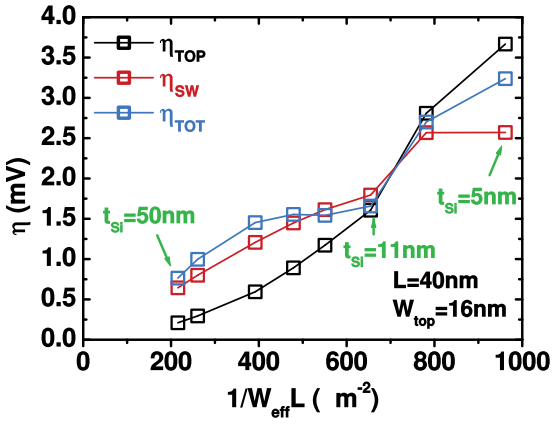

FIGURE 2.16 – Impact moyen d'un piège sur les différentes surfaces du transistor en fonction de la hauteur t_{Si}

On peut de la même manière, étudier l'impact moyen d'un défaut en fonction de l'épaisseur t_{Si} du film de silicium. Ceci est visible sur la figure 2.16 pour un transistor de 16nm de large et 40nm de long. On constate alors que plus le transistor est haut plus l'impact d'une charge sur V_T sera faible. Il parait alors judiciable de privilégier les architectures tri-dimensionnelles et plus particulièrement les finfets. De plus, de la même manière que précédemment, lorque $t_{Si}>W_{top}$, l'impact d'un défaut sur le périmètre est quasiment égal à celui d'un défaut sur le dessus. Ceci est dû à la prédominance de la surface des flancs sur celle du dessus. A l'inverse, si t_{Si} est faible, la valeur de η_{TOT} sera proche de celle de η_{TOP}.

2.3.1.2 Effet d'une dissymétrie de la densité de pièges entre les flancs et le dessus

L'orientation cristallographique ou les procédés de fabrication peuvent entrainer des différences de qualité d'interface sur les flancs et la face supérieure. Afin de comparer la qualité de ces surfaces, on fait varier la densité de pièges sur les côtés D_t^{SW} en conservant une densité D_t^{TS} fixe sur le dessus, égale à 10^{12} défauts.cm^{-2}. De cette manière, on peut simuler une interface plus dégradée sur les flancs (si $D_t^{SW}>D_t^{TS}$) ou plus dégradée sur le dessus (si $D_t^{SW}<D_t^{TS}$).

On simule dans un premier temps mille dispositifs ayant la même densité de pièges sur les trois surfaces. Les résultats sont reportés au centre de la figure 2.17. On y observe deux choses ; la première est que la valeur moyenne est quasiment la même quelle que soit la largeur W_{top} du transistor. La seconde réside dans le fait que la variabilité est plus importante sur des dispositifs étroits que sur des transistors larges. Cet effet est souvent observé expérimentalement [3] et peut s'expliquer par ces simulations. La figure 2.13 montre que plus le transistor est étroit, plus l'amplitude entre le maximum et le minimum du dôme est importante (8mV pour un Πfet vs 4mV pour un transistor planaire). Les dégradations induites par une charge sont donc plus dispersés sur un dispositif étroit. A cela s'ajoute que pour un dispositif large le nombre de défauts est plus important que sur un nanofil en considérant la même densité de pièges. La dégradation alors induite par chacun des défauts jouera un rôle mineur sur la dégradation globale. A l'inverse, sur un dispositif étroit, l'impact d'un défaut sur la dégradation globale est considérable et donc sa position joue un rôle prépondérant. Ces deux raisons, l'amplitude entre les extrema des dômes et l'impact d'un défaut sur la dégradation globale, apportent des éléments de réponse quant à la forte variabilité sur les dispositifs les plus étroits.

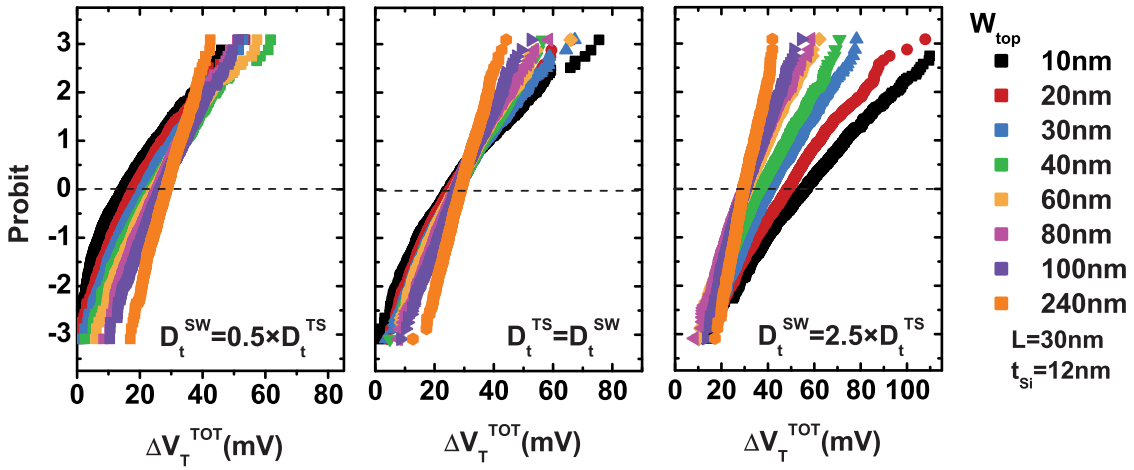

FIGURE 2.17 – Distribution simulée de la dégradation ΔV_T pour une densité de pièges sur les flancs inférieure (gauche), égale (centre) et supérieure (droite) à celle sur la face supérieure. La largeur W_{top} du transistor Πfet varie de 10 à 240nm.

On vient à présent créer une dissymétrie dans les densités D_t^{SW} et D_t^{TS} formant ainsi des effets de largeur. En considèrant, par exemple, une densité deux fois plus faible sur les flancs, les transistors larges sont, en moyenne, plus dégradés (cf. figure 2.17 gauche). A l'inverse la dégradation moyenne est plus importante sur les transistors étroits lorsque la densité est plus forte sur les flancs (cf. figure 2.17 droite). Ceci vient principalement d'une variation de la

distribution pour les transistors sub-80nm et peut s'expliquer comme suit. Pour les dispositifs quasi planaires, la surface supérieure est largement supérieure aux flancs et l'impact des défauts est beaucoup plus important sur le dessus (cf. figure 2.13). La dégradation globale du transistor reste donc inchangée que l'on augmente ou diminue la densité sur les flancs. En revanche, lorsque la largeur du transistor diminue, l'impact d'une charge sur les flancs est modifié. Ainsi, lorsque $D_t^{SW} = D_t^{TS}$, la dégradation moyenne est alignée avec les dispositifs les plus larges. Cependant, oter un piège du flanc (i.e. baisser D_t^{SW}) réduira le ΔV_T global. A l'inverse, si l'on augmente D_t^{SW}, la dégradation sera plus forte.

Ces résultats nous permettent de tracer la variation de la dégradation par rapport à W_{top} sur la figure 2.18 pour différentes rapports D_t^{SW}/D_t^{TS}. Dans tous les cas, un changement est observable à partir de W_{top}=80nm c'est à dire, lorsque les flancs deviennent non négligeables.

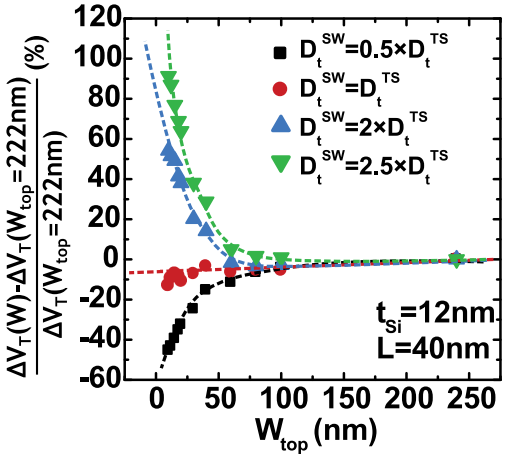

FIGURE 2.18 – Variation relative de la dégradation BTI d'un transistor Πfet en fonction de la largeur du transistor pour différents ratios D_t^{SW}/D_t^{TS}.

Ceci met en lumière l'importance de la qualité des différentes étapes du procédé de fabrication d'un transistor trigate. En effet si l'interface Si/SiO_2 est mal processée sur les flancs, la dégradation BTI d'un Πfet risque d'être pire que sur une architecture planaire.

2.3.2 Résultats sur une architecture Ωfet

Nous nous sommes focalisés jusqu'à présent sur une architecture rectangulaire Πfet car celle ci est proche de nos dispositifs expérimentaux. Cependant, nous avons constaté que le minimum des dômes de dégradation se situait dans les angles. Il parait alors pertinent de s'intéresser à un effet d'arrondissement de ces angles. Dans un premier temps nous comparerons l'architecture Πfet précédemment étudiée à un Ωfet de rayon r_{ox}=2.4nm (cf. figure 2.19). Nous pourrons ainsi estimer quelle technologie présente la dégradation de V_T la plus faible. L'impact d'un défaut selon sa position dans l'oxyde de transistors avec différents rayons r_{ox} sera ensuite étudié. Le milieu de l'angle, soit le point D' de la figure 2.7, désignera alors la limite entre les flancs et la face supérieure. Enfin, nous nous interesserons au nanofil GAA c'est à dire un transistor pour lequel la grille est complètement enrobante.

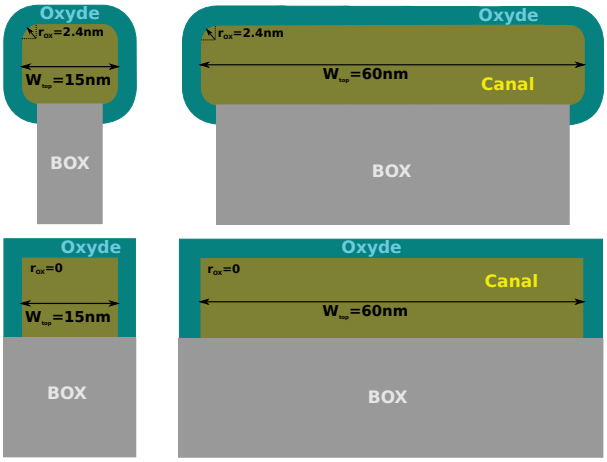

FIGURE 2.19 – Vues en coupe de transistors Ωfet et Πfet étroits et larges. On remarque alors que l'arrondissement des angles devient négligeable lorsque la largeur du transistor augmente

2.3.2.1 Impact sur l'effet de W

On se propose donc dans un premier temps de comparer Πfet et Ωfet de rayon r_{ox}=2.4nm. Pour cela trois différentes valeurs de W_{top} sont étudiées. Elles correspondent à un transistor trigate (W_{top}=15nm), un transistor quasi planaire (W_{top}=200nm) et un dispositif intermédiaire (W_{top}=60nm). La figure 2.19 représente un Ωfet et un Πfet pour deux largeurs différentes. On constate alors que pour un transistor étroit, l'arrondissement des angles modifie la géométrie de manière considérable puisque le périmètre des quatre angles ($2\pi r_{ox}\approx$15nm) est alors du même ordre de grandeur que la largeur W_{top} du transistor. Si, en revanche, la largeur augmente, les angles tendent à représenter une part négligeable de la surface globale.

La figure 2.20 représente l'impact d'un défaut sur la tension de seuil selon sa position le long de W_{eff} pour les trois largeurs de transistors Πfet et Ωfet. On remarque alors que pour un transistor très large, le dôme est inchangé. Ceci s'explique par un effet négligeable de l'arrondissement des angles devant la superficie de la face supérieure du transistor, comme supposé précédemment. En revanche, pour un dispositif étroit, la différence est notable. Si l'angle entre les flancs et le dessus semble avoir peu d'influence, ce n'est pas le cas pour l'angle formé par les cotés et l'oxyde enterré. En effet, le couplage capacitif entre le BOX et l'oxyde de grille change lorsque l'angle est arrondi impliquant une baisse de la dégradation ΔV_T à proximité du BOX. Il en résulte qu'une charge localisée près du BOX à moins d'influence sur un Ωfet que sur un Πfet.

Maintenant que l'on connait l'impact d'une charge, on définit de la même manière que précédemment ${D_t}^{SW}$ et ${D_t}^{TS}$ respectivement la densité de défauts sur les flancs et sur le dessus. De la figure 2.21, les conclusions suivantes sont faites.

Tout d'abord, le comportement des transistors de largeur supérieure à 30nm est similaire entre un Ωfet et un Πfet quelle que soit la valeur de la densité ${D_t}^{SW}$ (cf. figure 2.18). L'arrondissement des angles est en effet négligeable devant le périmètre global du transistor. Cette similarité avec le Πfet reste vraie quelle que soit la largeur du dispositif dans le cas où l'on considère moins de pièges sur les flancs i.e. ${D_t}^{TS}>{D_t}^{SW}$. Ceci s'explique simplement par le fait que trop peu de pièges sont tirés sur les flancs pour que leur impact sur la tension de seuil

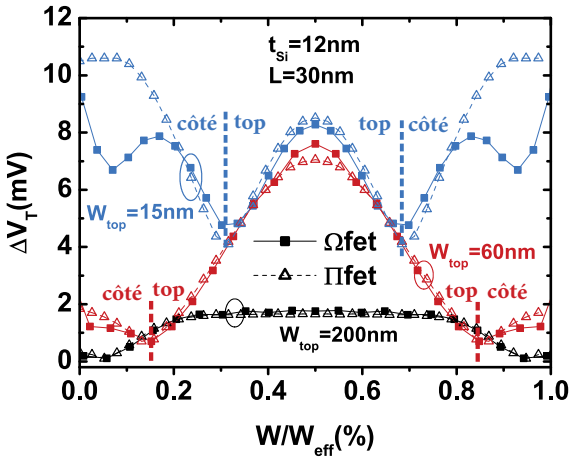

FIGURE 2.20 – Impact d'un piège sur la tension de seuil V_T selon sa position le long de W_{eff} en L/2. Trois largeurs différentes d'une architecture Ωfet et Πfet sont représentées.

prévale sur la surface supérieure.

Ensuite, si D_t^{TS}=D_t^{SW}, il existe un nombre non négligeable de pièges sur les flancs. De plus, un piège sur les flancs présente un effet moins important sur un Ωfet étroit que sur un Πfet de même largeur (cf. figure 2.20). Il en résulte que, concernant les Ωfet, la dégradation sur les transistors très étroits (<30nm) est plus faible que sur les dispositifs larges lorsque D_t^{TS}=D_t^{SW}. Ce résultat est différent des transistors Πfet pour lesquels la dégradation était la même quelle que soit la largeur.

Si l'on augmente à présent la densité de défauts D_t^{SW}, on remarque que la dégradation ΔV_T en fonction de W_{top} cesse d'augmenter pour les dispositifs étroits et tend même à diminuer pour des dimensions très étroites. Ceci s'explique comme précédemment par la forte présence de charges sur les flancs et la différence de couplage électrostatique avec le BOX i.e. la forme des flancs sur les dômes bleus de la figure 2.20. Théoriquement cet effet nous permettrait de compenser un procédé de fabrication amenant une forte densité de défauts sur les flancs.

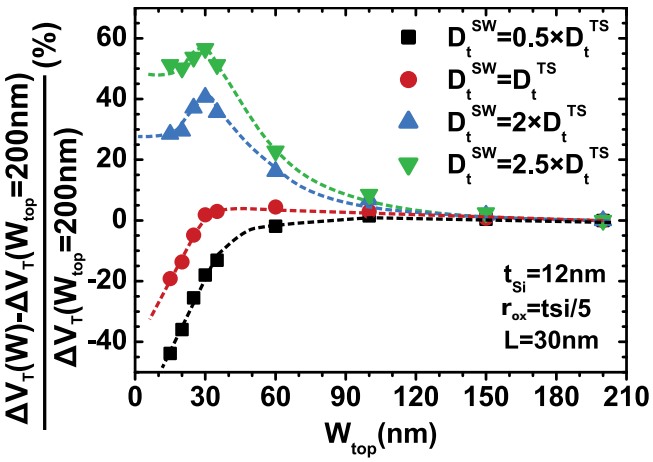

FIGURE 2.21 – Variation relative de la dégradation BTI d'un transistor Ωfet en fonction de la largeur du transistor pour différents ratios D_t^{SW}/D_t^{TS}.

2.3.2.2 Effet de l'arrondissement des angles

On se focalise à présent sur l'effet de l'arrondissement de l'angle supérieur et inférieur sur la dégradation ΔV_T. Pour cela on fixe W_{top} à 15nm. La valeur du rayon r_{ox} varie entre 0 et 6nm, soit $t_{Si}/2$. Dans le premier cas l'architecture est un Πfet, dans le second les flancs sont complètement arrondis. Ces différentes architectures sont visibles en coupe sur la figure 2.22. L'impact d'un défaut sur V_T en fonction de sa position dans l'oxyde de grille est visible sur la figure 2.23 pour chacune des quatre architectures. Sur un Πfet, trois maxima existent, un en $W_{eff}/2$ et un sur chacun des flancs, proche du BOX. On les désignera alors respectivement M1, M2 et M3 comme on peut le voir sur figure 2.23. De même deux minima, m1 et m2, apparaissent dans chacun des angles supérieurs.

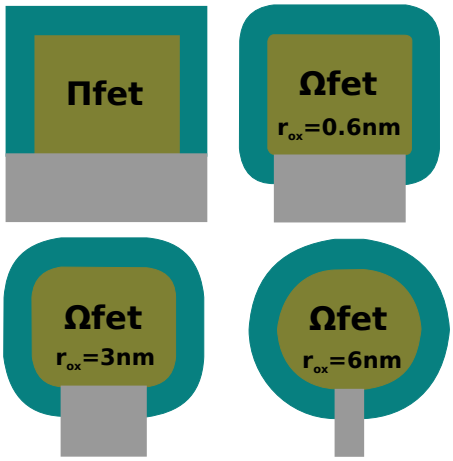

FIGURE 2.22 – Vue en coupe de transistors Ωfet pour différentes valeurs de r_{ox}. Si r_{ox}=0, il s'agit d'un Πfet

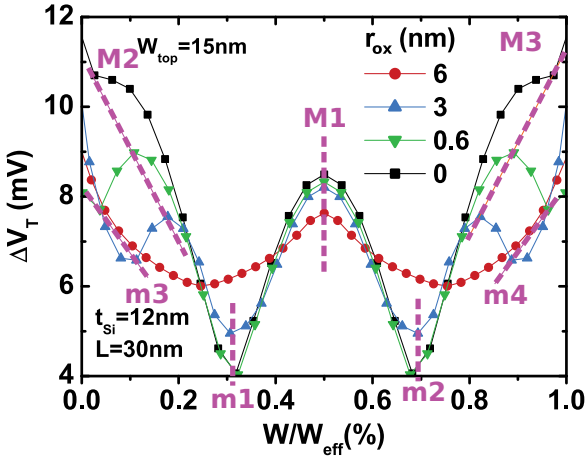

FIGURE 2.23 – Effets de l'arrondissement des angles du transistor sur la dégradation de la tension de seuil V_T le long de W_{eff} en L/2 pour un transistor Ωfet étroit.

Le premier constat est que quelle que soit la valeur de r_{ox}, le maximum M1 est présent et fluctue peu hormis pour le cas extrême où r_{ox}=6nm. Ensuite, lorsque r_{ox} passe de 0 à 0.6nm, les maxima M2 et M3 se rapprochent du centre des flancs et perdent en amplitude. Ceci a pour conséquence de créer deux nouveaux minimas m3 et m4.

Si r_{ox} vaut 3nm à présent, les valeurs de M2 et M3 baissent tandis que celles des quatre minima augmentent. L'écart entre ces maxima M2 et M3 et les minima diminuent alors jusqu'à disparaitre pour r_{ox}=6nm ; lorsque les flancs sont totalement arrondis. On observe, dans ce cas deux paraboles symétriques en $W_{eff}/2$. Lorsque r_{ox} vaut 6nm, la dégradation induite par une charge varie peu selon sa position. En effet, la dégradation ΔV_T est comprise entre 4 et 11nm pour un Πfet et seulement entre 6 et 9nm pour la structure la plus arrondie. On peut donc également en conclure que la variabilité sera moins forte sur les dispositifs Ωfets que sur des transistors Πfets selon le raisonnement de la section 2.3.1.2.

La figure 2.24 permet de voir la dégradation induite en fonction de r_{ox}. Pour cela, on détermine des densités de pièges sur le dessus D_t^{TS} et sur les côtés D_t^{SW}, de la même manière que précédemment. D_t^{TS} est fixée à 10^{12} pièges par cm^{-2} tandis que D_t^{SW} varie. Premièrement, quelles que soient les valeurs de r_{ox} et D_t^{SW}, la dégradation de V_T du dispositif diminue lorsque

les angles s'arrondissent. On constate également que ΔV_T varie fortement entre 0 et 1nm puis plus doucement pour les forts arrondis. Ceci est directement lié à la forme des dômes de la dégradation de V_T vus sur la figure 2.23. En effet, la valeur des maximas M2 et M3 baisse fortement entre un rayon de 0 et de 0.6nm ce qui induit une baisse de la dégradation globale de la tension de seuil. En revanche, lorsque le rayon r_{ox} augmente, la baisse de M2 et M3 est compensée par la hausse de m1 et m2 et donc entre r_{ox}=1nm et r_{ox}=6nm, la dégradation ΔV_T varie peu.

Enfin, plus la densité de défauts sur les flancs est importante, plus il y a de pièges subissant cet effet d'arrondissement des angles. Ainsi plus D_t^{SW} est importante, plus la variation de ΔV_T vis-à-vis d'un Πfet est importante. Cet effet semble cependant saturer à partir d'une densité de pièges sur les flancs deux fois supérieures à D_t^{TS}. A l'inverse, si D_t^{SW} est deux fois plus faible que D_t^{TS}, il y a très peu de pièges sur les flans. L'effet de l'arrondissement est donc quasi négligeable et la dégradation varie peu entre un nanofil et un Πfet (en noir sur la figure).

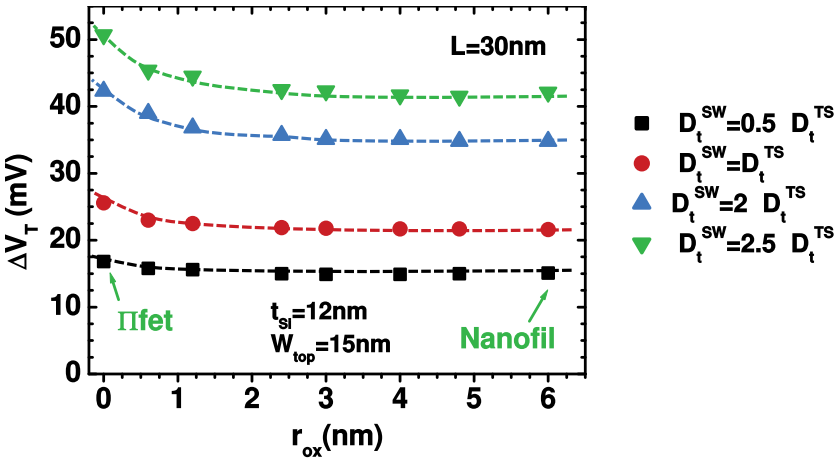

FIGURE 2.24 – Variation relative de la dégradation BTI en fonction du rayon r_{ox} pour différents ratios D_t^{SW}/D_t^{TS}.

2.3.2.3 Etude du cas limite : le nanofil GAA

Nous étudions enfin une troisième et dernière architecture : le nanofil GAA (**G**ate **A**ll **A**round). Il s'agit d'un Ωfet pour lequel $W_{top}=t_{Si}$ et $r_{ox}=t_{Si}/2$ comme on peut le voir sur la figure 2.25. Sur cette structure cylindrique, le canal n'a alors plus aucune surface de contact avec le BOX ; seul l'oxyde de grille est en contact ponctuel avec l'oxyde enterré. Ainsi, quelle que soit la position de la charge à l'interface entre le canal et l'oxyde, la dégradation de la tension de seuil est la même (cf. figure 2.26) et sa valeur augmente lorsque le transitor devient plus étroit de la même manière que sur un Πfet.

On définit à présent une seule densité de pièges puisque qu'il n'y a plus de différenciation possible entre le top et les côtés. Tout d'abord, la figure 2.27 présente une dégradation plus faible sur un nanofil que sur un Πfet pour lequel $D_t^{TS}=D_t^{SW}$. Ceci est dû à l'arrondissement des angles puisque l'impact moyen d'un défaut η sur la longueur L=30nm d'un nanofil GAA est de 1.7mV contre plus de 2.5mV pour un Πfet. (cf. figure 2.15). Ce résultat est comparable à celui obtenu pour un Ωfet dont le rayon r_{ox} est de 6nm dans la partie 2.3.2.2.

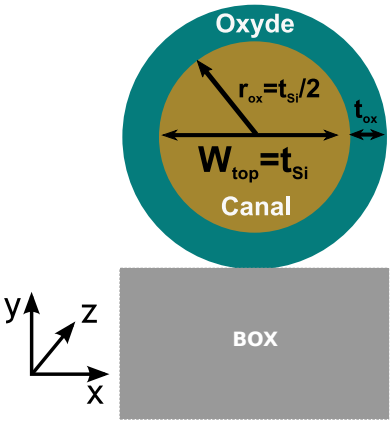

FIGURE 2.25 – Vue en coupe d'un nanofil. La grille est complètement enrobante i.e. il n'y a plus d'interface avec le BOX.

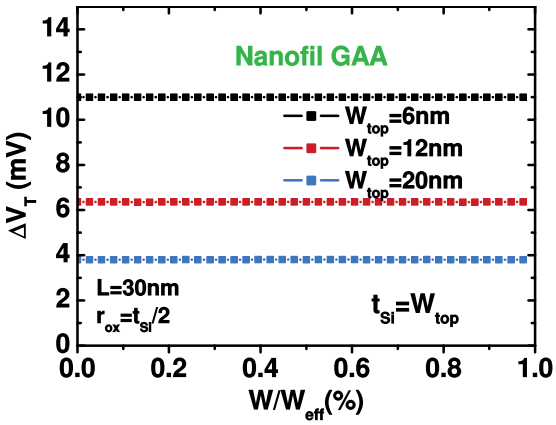

FIGURE 2.26 – Dégradation de la tension de seuil pour différentes tailles de nanofils en fonction de la largeur relative du dispositif.

D'autre part, plus le nanofil est étroit, moins sa dégradation est importante. Ainsi, bien qu'un défaut ait plus d'influence sur un nanofil étroit (figure 2.27), la quantité plus importante sur un dispositif large induit une dégradation plus forte. Le nanofil peut être vu comme un Ωfet dont les paramètres W_{top}, t_{Si} et r_{ox} atteindraient leur limite. A ce titre il est comparable au cas $D_t^{TS}=D_t^{SW}$ sur la figure 2.21. La dégradation passe ici de 25 à 20mV soit une baisse de 20% comme pour un Ωfet. Ce résultat valide donc la conclusion de la section précédente. Pour diminuer la dégradation ΔV_T sur un transistor, arrondir les angles d'un rayon inférieur à 1nm est suffisant.

Pour conclure, arrondir les angles permet de limiter la dégradation de la tension de seuil liée à un stress BTI.

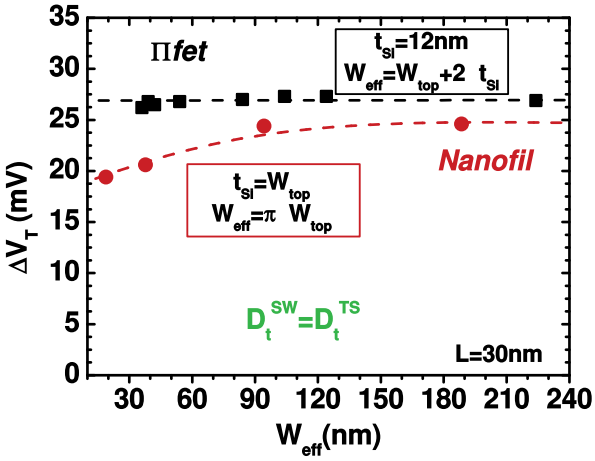

FIGURE 2.27 – Variation de la dégradation BTI en fonction de la largeur du transistor pour une architecture Ωfet et Πfet en considérant $D_t^{SW}=D_t^{TS}$.

2.4 Etudes complémentaires

Jusqu'à présent dans ce chapitre, les transistors étudiés présentaient un oxyde monocouche de permittivité équivalente à l'empilement d'un oxyde interfacial (IL) et d'un oxyde haute permittivité (HK). Ceci a permis de réduire considérablement le temps de simulation. Cependant il est nécessaire de vérifier que cette approximation n'altère en rien les conclusions faites jusqu'à présent. Cette partie sera donc constituée en premier lieu de simulations sur des oxydes bicouches afin de vérifier l'hypothèse faite dans la partie 2.1.2.

Dans un second temps,nous étudierons l'effet d'une charge située à l'interface entre le BOX et le canal. Il est très peu probable de générer des défauts à cet endroit lors d'un stress BTI. Il peut s'agir en revanche de défauts pré-éxistants non passivés. On comparera alors la dégradation de V_t entre un transistor idéal (sans charge dans l'oxyde enterré) et un transistor dont l'interface serait dégradé.

2.4.1 Simulation d'un oxyde bicouche

Comme énoncé ci-dessus, nous comparerons ici un oxyde bicouche avec un oxyde monocouche de permitivité équivalente. La figure 2.28 représente ce transistor. Ainsi, un oxyde de silicium (IL) de 0.8nm d'épaisseur et de permittivité relative égale à 4 est donc déposé sur le canal. Ensuite un oxyde haute permittivité (HK) dont l'EOT vaut 2.2nm enrobe l'IL. Sa permittivité relative est de 22. L'équation 2.12 permet de retrouver la valeur 10 de permittivité relative choisie pour l'oxyde monocouche d'épaisseur 3nm.

$$\frac{t_{Ox}}{\varepsilon_{Ox}} = \frac{t_{IL}}{\varepsilon_{IL}} + \frac{t_{HK}}{\varepsilon_{HK}} \tag{2.12}$$

où t_{Ox}, t_{IL}, t_{HK} sont respectivements les épaisseurs de l'oxyde monocouche, du SiO_2, de l'oxyde high-κ et ε_{Ox}, ε_{IL}, ε_{HK} sont respectivements les permittivités relatives de l'oxyde monocouche, du SiO_2 et de l'oxyde HK.

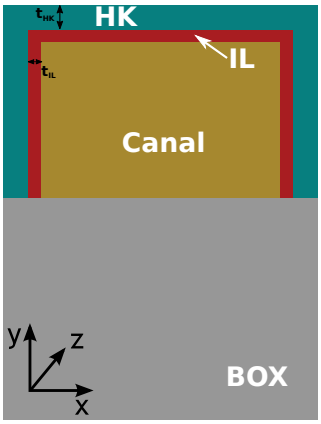

FIGURE 2.28 – Vue en coupe d'un transistor Πfet présentant un oxyde interfacial (IL) et un oxyde haute permitivité (HK).

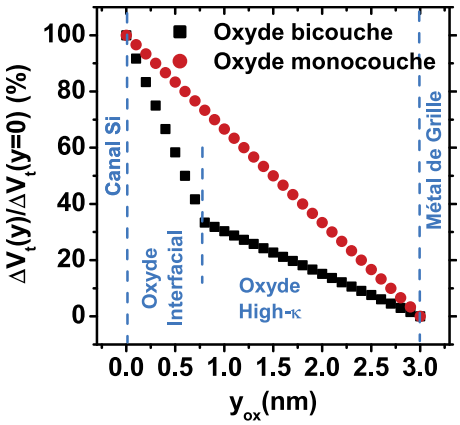

FIGURE 2.29 – Profil de la dégradation de V_T dans la profondeur de l'oxyde dans le cas d'un oxyde monocouche (rouge) et bicouche (noir).

Quels que soient les oxydes choisis, l'effet d'une charge sur la tension de seuil est maximal à l'interface avec le canal et est nul au niveau du métal comme on peut le voir sur la figure 2.29.

Cependant le profil entre ces deux points change. Ainsi si l'oxyde est monocouche, la dégradation décroit linéairement avec la profondeur (en rouge sur la figure). Si cet oxyde est constitué de deux couches (en noir sur la figure), on aura dans un premier temps une pente abrupte proche du canal, dû à la faible permittivité de SiO_2. La pente est ensuite moins importante dans l'oxyde high-κ. Le modèle 1-D de l'équation 2.13 explique ce phénomène.

$$\Delta V_T = \begin{cases} q\left(\frac{t_{HK}}{\varepsilon_{HK}} + \frac{t_{IL}-x}{\varepsilon_{IL}}\right) si\, 0 \leq x \leq t_{IL} \\ q\left(\frac{t_{HK}}{\varepsilon_{HK}}\left(1 - \frac{t_{IL}-x}{t_{HK}}\right)\right) si\, t_{IL} \leq x \leq t_{IL} + t_{HK} \end{cases} \tag{2.13}$$

La figure 2.29 montre alors clairement que l'effet d'une charge est accentué dans le cas simplifié d'un oxyde monocouche.

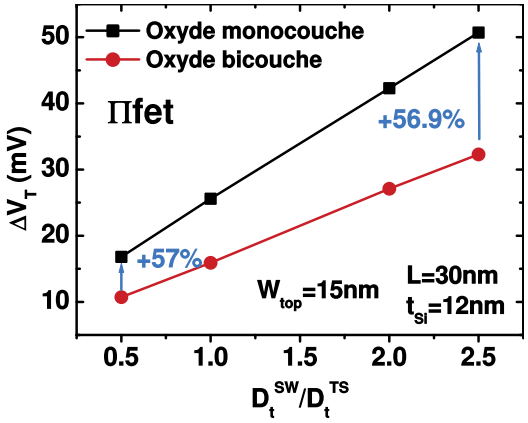

FIGURE 2.30 – Dégradation de la tension de seuil d'un transistor étroit (W_{top}=15nm) pour un oxyde monocouche et bicouche. En considérant un seul oxyde, la dégradation ΔV_T est plus importante

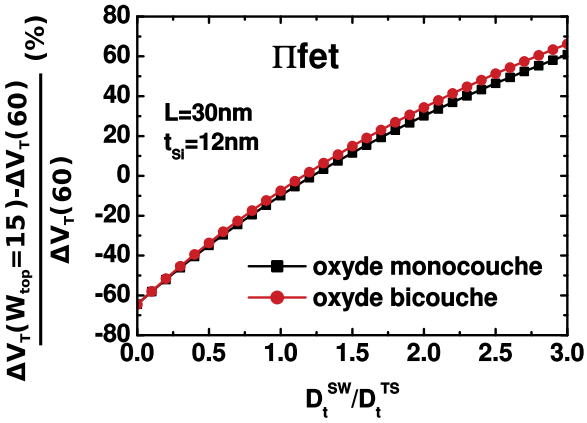

FIGURE 2.31 – Variation de la dégradation ΔV_T entre un transistor large et étroit pour un oxyde monocouche (noir) et bicouche (rouge). L'effet de W ne change pas selon le nombre d'oxydes utilisés.

On effectue à présent un tirage aléatoire de charges de manière similaire aux sections précédentes. On définit alors non plus deux mais quatre densités de pièges, deux pour l'oxyde interfacial et deux pour l'oxyde high-κ. Il s'agit de $D_t^{TS,IL}$, $D_t^{TS,HK}$, $D_t^{SW,IL}$ et $D_t^{SW,HK}$ respectivement les densités de défauts dans l'oxyde interfacial (IL) et dans l'oxyde haute permittivité (HK) sur le dessus (TS) et sur les flancs (SW). Afin de comparer ces dispositifs à deux oxydes à ceux utilisés jusqu'à présent, ces densités sont liés à D_t^{TS} et D_t^{SW} selon l'équation 2.14. On a alors dans les deux cas une distribution spatiale uniforme des pièges dans le ou les oxydes considérés.

$$\begin{aligned} D_t^{TS,IL} &= \frac{t_{IL}}{t_{IL}+t_{HK}} D_t^{TS} & D_t^{SW,IL} &= \frac{t_{IL}}{t_{IL}+t_{HK}} D_t^{SW} \\ D_t^{TS,HK} &= \frac{t_{HK}}{t_{IL}+t_{HK}} D_t^{TS} & D_t^{SW,HK} &= \frac{t_{HK}}{t_{IL}+t_{HK}} D_t^{SW} \end{aligned} \tag{2.14}$$

La figure 2.30 confirme alors qu'en considérant un seul oxyde de permittivité équivalente, la dégradation ΔV_t d'un transistor est plus importante que sur un dispositif possédant un oxyde interfacial surmonté d'un oxyde high-κ i.e. un dispositif utilisé experimentalement. Ce résultat

reste vrai quel que soit le ratio de densités de pièges D_t^{SW}/D_t^{TS}. L'écart entre la courbe noire et rouge de la figure reste même quasi constant autour de 57%. Ce résultat a été vérifié sur une architecture de largeur 60nm. L'écart de la dégradation de la tension de seuil est là aussi constant. Ce résultat est visible dans le tableau récapitulatif 2.1.

Cependant l'objectif de ce chapitre n'est pas de quantifier la dégradation d'un transistor spécifique. Il s'agit en effet de comparer différentes dimensions entre elles. On calcule alors la variation relative de ΔV_T d'un dispositif étroit (W_{top}=15nm) par rapport à un transistor plus large (W_{top}=60nm). Le résultat est visible sur la figure 2.31 et les valeurs sont retranscrites dans le tableau 2.1. On en conclut alors que quelles que soient les densités considérées sur le dessus et les flancs, l'écart entre un transistor étroit et large est identique pour un oxyde monocouche et bicouche. Finallement, seul la permittivité des oxydes est prépondérante dans notre cas. On notera tout de même un léger écart lorsque $D_t^{SW}/D_t^{TS}>1$. Dans ce cas on surestime donc très légèrement la hausse de dégradation sur les transistors les plus étroits.

	Ecart entre un oxyde monocouche et bicouche		*Ecart entre un transitor large et étroit*	
D_t^{SW}/D_t^{TS}	W_{top}=15nm	W_{top}=60nm	monocouche	bicouche
0.5	57.0%	61.5%	-35.4%	-33.5%
1	61.0%	62.6%	-9.5%	-8.6%
2	56.1%	62.1%	29.8%	34.8%
2.5	56.9%	61.4%	46.1%	50.2%

TABLE 2.1 – Ecart relatif entre un oxyde monocouche et bicouche pour deux largeurs de transistors et quatres densités D_t^{SW} différentes. Les valeurs varient peu en fonction de D_t^{SW}

Les objectifs de ce chapitre ne sont pas alterés en considérant un unique oxyde de permittivité équivalente à l'oxyde interfacial et haute permittivité.

2.4.2 Impact d'un défaut à l'interface canal/BOX

Un stress BTI sur la grille avant d'un transistor FDSOI peut uniquement créer ou réveler des pièges dans l'oxyde de la grille avant. En revanche, il parait impossible de dégrader cette face arrière par ce même stress électrique. Cependant des défauts pré-existants peuvent se situer initialement à l'interface entre le canal et le BOX. Nous allons voir ici leur impact sur la tension de seuil en fonction de la largeur d'un transistor ΠfET.

On déplace dans un premier temps un piège le long de W afin d'observer la dégradation induite sur la tension de seuil. Par ailleurs les coordonnées en y et z de ce piège valent respectivement 0 et L/2. On peut voir ceci sur la figure 2.32 où le déplacement est représenté en magenta. La dégradation ΔV_t forme alors un seul dôme visible sur la figure 2.33. La forme de cette dégradation est comparable aux résultats obtenus par Subirats [2]. Pour rappel, on a vu précédemment que plus le transistor est étroit plus la valeur maximale en $W_{top}/2$ (sur la grille avant) est importante (cf. figure 2.20). Ce résultat se vérifie au niveau de l'oxyde enterré jusqu'à une largeur de 30nm. En dessous de cette dimension critique, la valeur de la dégradation de V_T induite par un défaut en $W_{top}/2$ diminue. Ceci peut s'expliquer par le confinement quantique des porteurs vu les dimensions très faibles. Cependant les minima situés dans les angles (en 0 et W_{top}) augmentent de manière conséquente lorsque le transistor devient étroit. On peut alors

se demander si cette hausse des minima compense la baisse du maximum et donc si un nombre de charges aléatoirement placés dans le BOX dégrade plus un transistor étroit qu'un transistor large.

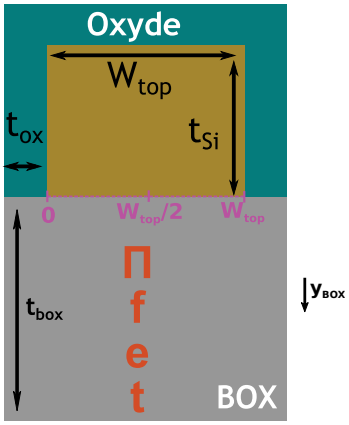

FIGURE 2.32 – Vue en coupe d'un transistor Πfet. La charge est déplacée entre 0 et W_{top} sur la profondeur t_{BOX}.

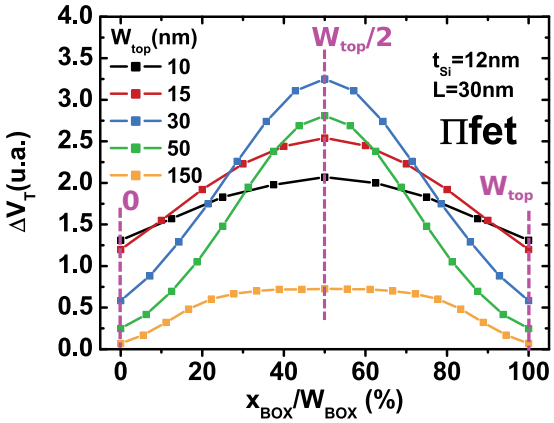

FIGURE 2.33 – Dégradation de V_T induite par un défaut localisé à l'interface canal/BOX pour différentes largeurs W_{top} de Πfet.

Pour cela, on effectue un tirage Monte Carlo de 2000 pièges situés dans le BOX. Il est alors primordial de connaître le comportement d'un défaut dans la profondeur du BOX. On place donc une charge en $W_{top}/2$ et $L/2$ que l'on déplace dans la profondeur de l'oxyde enterré. On constate sur la figure 2.34 que contrairement à l'oxyde de grille (cf. figure 2.29), le comportement dans le BOX n'est pas linéaire ; on note d'abord une décroissance très raide sur les premiers nanomètres puis une pente plus douce dans la profondeur du BOX. Un modèle en exponentielle, en rouge sur la figure, correspond à ces simulations. Ceci est simplement dû à la forte épaisseur du BOX.

Un tirage est dans un premier temps effectué sur l'intégralité de la profondeur de l'oxyde enterré à savoir 145nm. En faisant la moyenne de la dégradation des 2000 pièges, on obtient la dégradation moyenne μ_{BOX} induite par un défaut situé n'importe où dans le BOX. Ce résultat est visible en rouge sur la figure 2.35. On constate alors que la dégradation moyenne est maximale pour une largeur de 30nm à l'instar du maximum de la figure 2.33. De plus les valeurs sont comparables à celles de la figure 2.15 concernant l'impact moyen d'un défaut situé dans l'oxyde de grille. Néanmoins, les procédés de fabrication risquent plus de former des défauts à l'interface entre le BOX et le canal que dans la profondeur de l'oxyde enterré. On effectue donc un second tirage Monte Carlo pour lequel la profondeur du piège est limité aux trois premiers nanomètres. Le résultat est visible en bleu sur la figure 2.34. La dégradation moyenne maximale se situe toujours pour une largeur de 30nm. Cependant, les valeurs de μ_{BOX} sont trois fois supérieures à celles simulées dans l'oxyde de grille. Quelques défauts situaient à l'interface BOX/canal peuvent alors induire une forte variabilité entre des transistors à priori identiques.

On en conclut qu'il est très important de maîtriser les procédés de fabrication de l'interface Si/SiO_2 afin de limiter la formation de défauts entre le canal et le BOX. Cette conclusion avait déjà été faite par Subirats [2] pour les technologies planaires.

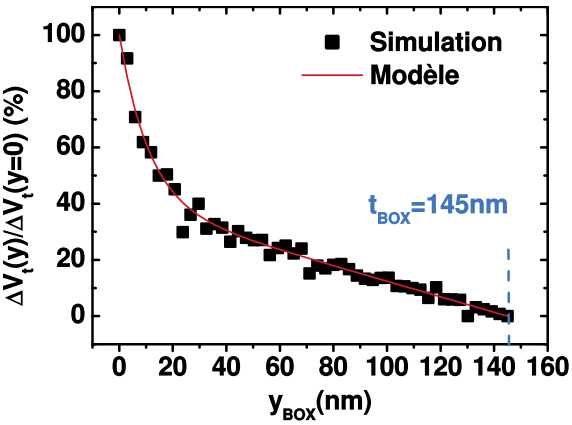

FIGURE 2.34 – Profil de dégradation de la tension de seuil dans la profondeur de l'oxyde enterré. Contrairement à l'oxyde de grille (cf.figure 2.29), la décroissance n'est pas linéaire.

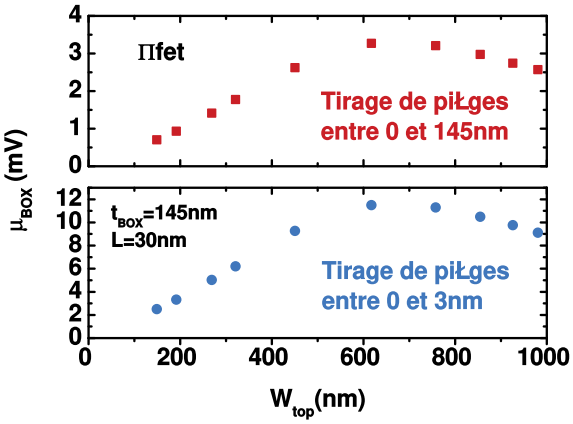

FIGURE 2.35 – Dégradation moyenne de V_T μ_{BOX} induite par un défaut localisé dans le BOX. Un tirage est effectué sur l'integralité de la profondeur du BOX (rouge) et un second seulement à l'interface avec le canal (bleu).

2.5 Conclusion

De la même manière que sur un transistor planaire, la localisation spatiale d'un défaut dans l'oxyde a une très forte influence sur la dégradation de la tension de seuil induite. Nous avons ainsi vu que de placer cette charge sur les flancs ou sur la face supérieure ne cause pas le même effet selon la largeur du transistor. Une architecture très étroite (finfet) sera plus sensible à une charge sur les côtés alors qu'à l'inverse les flancs jouent un rôle mineur sur un dispositif quasi planaire.

Ensuite, des tirages Monte Carlo ont été effectués pour différentes densités de charge sur les flancs en conservant la même densité sur le top. Ainsi si les deux valeurs sont identiques, la dégradation ΔV_T varie très peu en fonction de W_{top}. En revanche en augmentant ou diminuant la densité sur les flancs, les dispositifs étroits sont respectivement plus ou moins dégradés que les transistors larges. On en conclut alors que pour avoir une fiabilité proche des technologies planaires, il est nécessaire de bien maitriser les procédés de fabrication (dépot, gravure, etc.) de l'oxyde interfacial au dessus du canal.

Puisque des phénomènes particuliers sur les cartographies de la dégradation de V_T ont été observés dans les angles, l'impact d'une charge sur un transistor Ωfet a également été étudié. En introduisant de la même manière que précédemment des densités sur les flancs et sur le top, l'effet de la charge parait être le même que pour un Πfet lorsque la largeur diminue. Cependant à partir d'une certaine largeur, les dispositifs arrondis les plus étroits offrent une meilleure fiabilité. Ceci peut s'expliquer par le couplage entre le BOX et l'oxyde de grille. Ainsi une technologie Ωfet pourrait avoir une meilleure fiabilité qu'une technologie Πfet selon la qualité des interfaces entre les différents oxydes et le canal. Le nanofil, en tant que cas ultime de l'Ωfet présente à ce titre une très bonne fiabilité.

Enfin, nous avons vérifié que l'hypothèse faite au début de cette partie n'altère en rien l'objectivité des résultats énoncés. En effet la dégradation de la tension de seuil est légèrement suréstimée en considérant un oxyde monocouche plutôt qu'un empilement SiO_2/high-κ. Cepen-

dant cet écart est constant quelles que soient les largeurs et structures étudiées. Les résultats obtenus sont donc fiables pour cette étude qui consiste à comparer différentes géométries entre elles. La simulation d'un défaut à l'interface entre le BOX et le canal nous permet de retrouver les résultats obtenus par Subirats [2] ; un défaut a plus d'impact dans cette zone que sur la grille face avant d'un transistor. De plus, l'impact le plus important n'apparait pas sur les dispositifs les plus étroits mais plutôt pour une largeur W_{top} de 30nm. ceci s'explique par le couplage capacitif entre le BOX et l'oxyde de grille.

Ces résultats ont fait, en partie, l'objet d'une publication à la conférence VLSI en 2017.

Bibliographie

[1] W Hänsch, Th Vogelsang, R Kircher, and M Orlowski. Carrier transport near the Si/SiO2 interface of a MOSFET. Solid-State Electronics, 32(10) :839–849, 1989.

[2] Alexandre Subirats. Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors décananométriques et des mémoires SRAM en technologie FDSOI. PhD thesis, Université Grenoble Alpes, 2015.

[3] A Kerber and T Nigam. Challenges in the characterization and modeling of bti induced variability in metal gate/high-k cmos technologies. In Reliability Physics Symposium (IRPS), 2013 IEEE International, pages 2D–4. IEEE, 2013.

Chapitre 3

Fiabilité BTI des architectures tri-dimensionnelles

3.1 Introduction

3.1.1 Historique de la dégradation BTI

On s'intéresse dans ce chapitre aux problèmes de fiabilité liés à la dégradation BTI (Bias Temperature Instabilities). Le principe est de forcer une contrainte en tension sur la grille ($V_G >> V_{DD}$) en maintenant le drain et la source à 0V comme le montre la figure 3.1. Ce stress s'effectue classiquement à la température de 125°C afin d'accélérer le vieillissement du dispositif. Les tensions de grilles sont classiquement négatives sur PMOS et positives sur NMOS. On parle alors respectivement de NBTI (negative) et PBTI (positive). En 1967, Deal et al. [1] observent pour la première fois la création de défauts chargés dans l'oxyde de manière très reproductible lors d'une contrainte NBTI. En effet, sous l'effet du stress, les liaisons Si-H à l'interface entre l'oxyde de grille et le canal sont dépassivées impliquant la création d'états d'interface N_{it}, ou centre P_b :

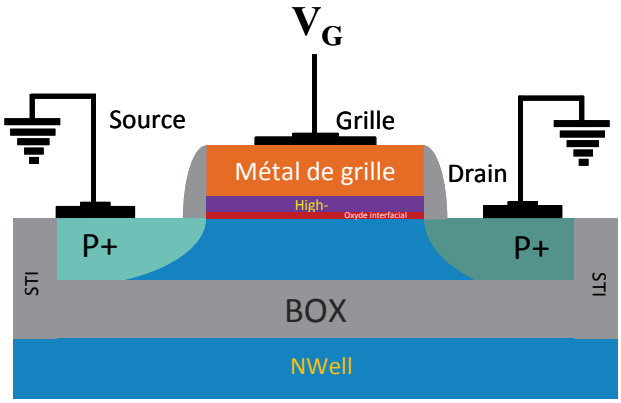

FIGURE 3.1 – Transistor planaire sur SOI soumis à une contrainte BTI

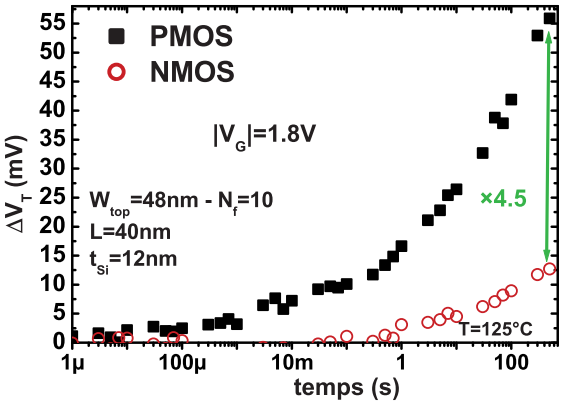

FIGURE 3.2 – Comparaison entre une dégradation NBTI sur PMOS et PBTI sur NMOS. Au bout de 500 secondes de stress, le NBTI est 4.5 fois plus élevé que le PBTI.

$$\equiv Si_3 - SiH \rightleftharpoons Si_3 + Si^{\bullet} + H \tag{3.1}$$

Du fait que la dégradation NBTI est bien plus critique que la PBTI (voir figure 3.2), seule la modélisation d'une contrainte NBTI est reportée ici.

3.1.1.1 Première modélisation de la dégradation NBTI

En 1977, Jeppson et Svensson [2] sont les premiers à modéliser cette création d'états d'interfaces. Ils créent alors le modèle de Réaction-Diffusion (R-D). Le principe de base est constitué de deux étapes : premièrement, la dépassivation des liaison Si-H entraînent la libération d'atomes d'hydrogène à l'interface. Ensuite, ceux ci, pouvant interagir pour former du dihydrogène ou non, vont diffuser dans l'oxyde de grille (cf. figure 3.3). Ogawa et Shiono [3] montrent en 1995 que la dépassivation peut générer des espèces soit neutres soit ionisées. La dépendance en temps est alors différente. En effet pour des éspèces neutre la formation d'états d'interface est proportionnel à $t^{0.25}$ alors que pour des éspèces ionisées, la puissance est de 0.5. Cependant, la corrélation des mesures avec une dépendance en $t^{0.25}$ écarte la formation d'éspèces ionisées H^+. Ce modèle a fait office de référence pendant une vingtaine d'années subissant seulement quelques réactualisations comme celle de Alam et Mahapatra [4] qui formalise plus clairement le mécanisme.

Ce sont les phénomènes de relaxation (ou recouvrement) qui ont montré les limites de ce modèle et ont permis de le préciser. D'une part, Alam et Mahapatra [4] ont mis en lumière une incompatibilité entre les mesures de pompage de charge et la diffusion d'hydrogène chargé. Ainsi, les lois en puissances intervenant dans ces phénomènes favorisent les éspèces neutres tels que H_2. D'autre part, le modèle R-D explique le phénomène de recouvrement par une rétro-diffusion des éspèces H_2 qui est indépendante de la relaxation. Or plus la tension de relaxation est élevée (en régime d'accumulation), plus la relaxation est accélérée [5], comme le montre la figure 3.4 [6]. De plus alors que le modèle R-D prévoit que la relaxation soit conditionnée par la concentration initiale en hydrogène, des études ([7] [8]) ont montré qu'elle était indépendante du degré de passivation de l'interface Si/SiO_2. La diffusion d'espèce hydrogénée ne pouvant donc

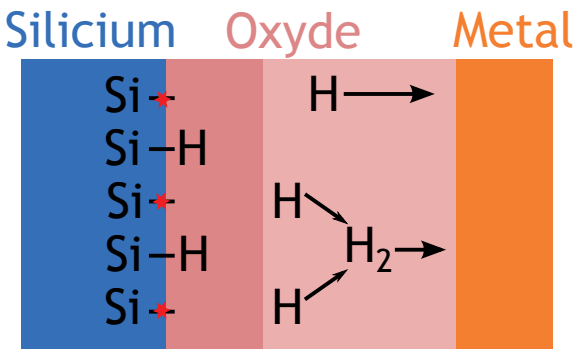

FIGURE 3.3 – Illustration de la création d'états d'interfaces et de la diffusion d'atomes d'hydrogène dans l'oxyde de grille

pas expliquer à elle seule ce phénomène de relaxation, un mécanisme, déjà prédit par Jeppson et Svensson [2], a alors été introduit : la capture de trous par des défauts dans l'oxyde.

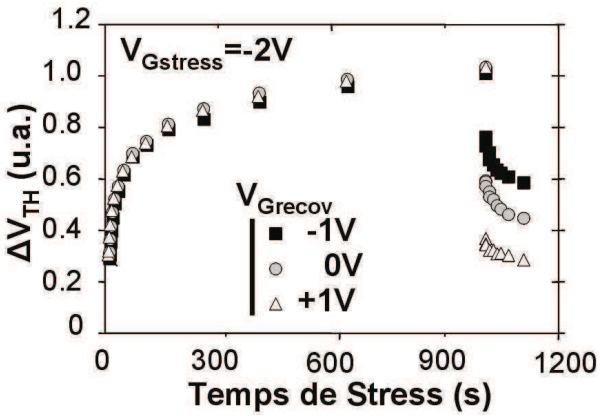

FIGURE 3.4 – Dégradation et relaxation lors d'un stress NBTI. Le phénomène de recouvrement varie selon la tension appliquée [5]

Les modèles de Grasser [9] et Huard [8] prennent en compte à la fois le piégeage des trous dans l'oxyde et la diffusion d'hydrogène mais Grasser prédit un couplage des deux phénomènes alors que Huard les estime indépendants.

3.1.1.2 Modèle de Grasser

Grasser propose en 2009 un modèle représenté sur la figure 3.5 où les phénomènes permanents et recouvrables sont liés [9]. La création d'états d'interfaces, phénomène quasi-permanent, est retranscrite du modèle R-D. Grasser ajoute seulement qu'elle est favorisée par l'augmentation de la concentration en trous. La partie recouvrable qui n'était pas considérée jusqu'à présent est expliquée par la capture de trous dans des lacunes d'oxygène. Cette capture s'effectue par effet tunnel MPFAT ("**M**ulti **P**honon **F**ield **A**ssisted **T**unneling").

Finalement, la figure 3.6 montre qu'en considérant le mécanisme MPFAT et en liant les deux composantes de la dégradation NBTI, il est possible de modéliser à la fois cette dégradation mais aussi la période de relaxation. Ce modèle fonctionne moins bien avec d'autres oxydes de

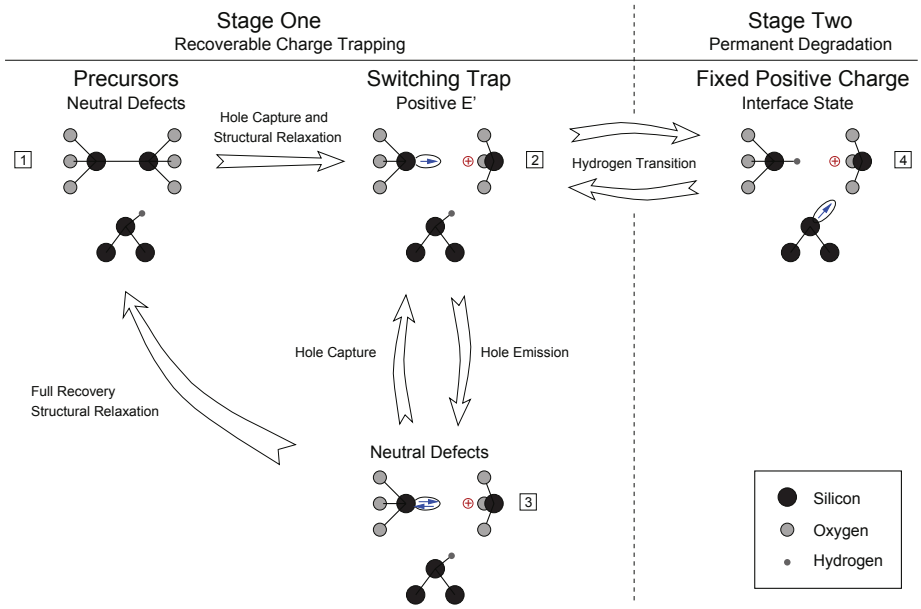

FIGURE 3.5 – Modèle de Grasser comprenant le piégeage de trous (étape 2), recouvrable via l'étape 3 ainsi que le piégeage permanent à l'interface (étape 4)

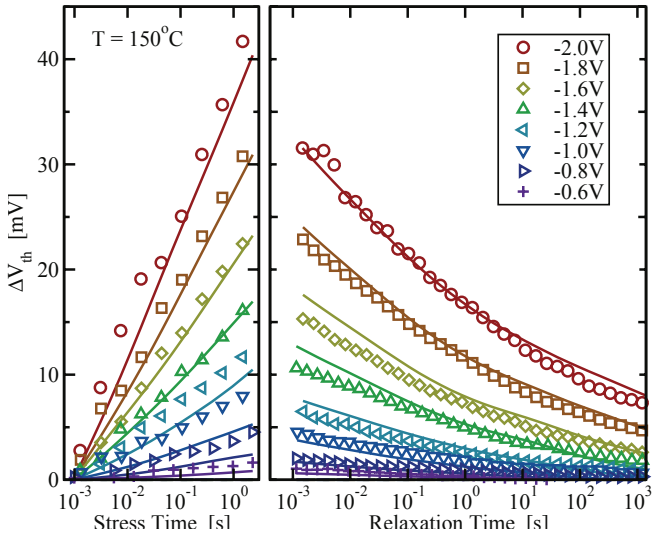

FIGURE 3.6 – Comparaison entre des mesures NBTI et le modèle de Grasser. Le stress et la relaxation sont fidèlement reproduit par le modèle. [9]

grille ou en incorporant de l'azote dans la couche métallique de la grille. Il semble notamment impératif de considérer d'autres défauts que les lacunes d'oxygène pour dépasser les limites de ce modèle. Pour cela, Grasser a notamment publié une mise à jour de son modèle en 2014 [10].

3.1.1.3 Modèle de Huard

Huard considère quant à lui deux composantes totalement indépendantes (cf. fig.3.7) l'une de l'autre [8] [11] la première, due au piégeage des trous, est recouvrable alors que la seconde, quasi permanente, est composée d'états d'interface et de charges fixes dans l'oxyde. Selon lui, si les deux composantes étaient liées comme le présume Grasser [9], elles devraient avoir les mêmes dépendances en température et champ électrique quels que soient les temps de stress et de relaxation utilisés. Or ses mesures [8] entrent en contradiction avec ces hypothèses.

Alors que le modèle de Grasser prévoit un piégeage de trou dans des lacunes activées par le stress, Huard émet l'hypothèse que le piégeage s'effectue dans des défauts pré-existants. Il est donc lié au procédé de fabrication de la grille du transistor. Les pièges permanents sont dus à la dépassivation des liaisons Si-H. L'hydrogène est alors transféré vers des lacunes en oxygène plus profond dans l'oxyde.

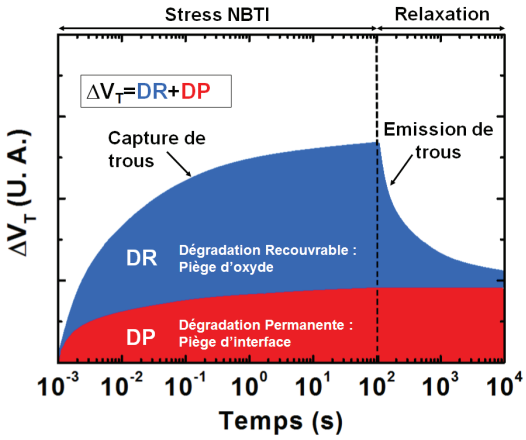

FIGURE 3.7 – Vue schématique de la dégradation NBTI composée d'une partie recouvrable (bleu) et d'une partie permanente (rouge) [12].

3.1.2 Localisation spatiale des défauts induits par une contrainte BTI

3.1.2.1 Cas NBTI sur PMOS

Ce cas a été principalement étudié dans la partie précédente sur l'établissement de modèles pour la dégradation NBTI. On a pu y mettre en évidence deux types de défauts :

1. le piégeage de trous dans l'oxyde SiO_2, recouvrable, dans des défauts pré-existants ou dus au stress appliqué
2. des états d'interfaces liés à la rupture des liaisons Si-H à l'interface Si/SiO_2. Ces défauts sont permanents.

Leur localisation est schématisé sur la figure 3.8.

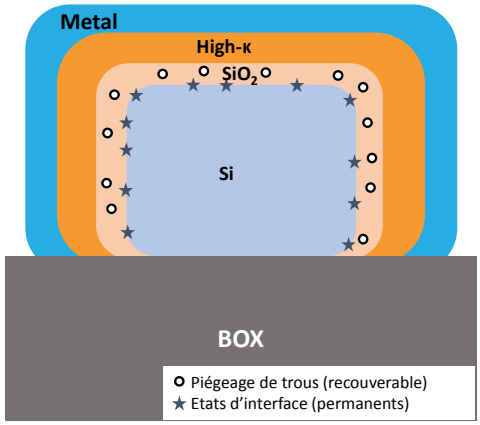

FIGURE 3.8 – Schématisation des deux types de défauts présents lors d'une dégradation NBTI dans l'oxyde interfacial SiO_2 d'un transistor trigate.

3.1.2.2 Cas PBTI sur NMOS

Bien que la dégradation PBTI soit généralement négligeable devant la dégradation NBTI, la localisation de son piégeage a été étudiée. [13] [14]. Il a notamment été démontré que le piégeage ne s'effectue plus au niveau de l'oxyde interfacial SiO_2 mais plutôt dans l'oxyde high-κ comme le montre la figure 3.9.

Deux types de piéges coexistent ici : le piégeage d'électrons à l'interface et les défauts plus profonds dans l'oxyde. Les deux ont des comportements opposés. Le premier est facilement recouvrable et représente la majeure partie du mécanisme PBTI [13]. A l'inverse, la relaxation des défauts profonds dans l'oxyde est difficile. En outre, ils sont principalement dûs à des lacunes d'oxygène [15].

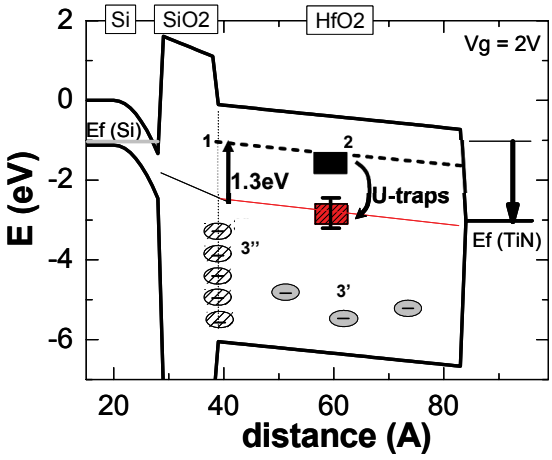

FIGURE 3.9 – Diagramme de bande d'un empilement de grille SiO_2/HK/MG lors d'un stress PBTI. Les pièges intervenant lors de cette contrainte sont localisés dans l'oxyde high-κ [13]

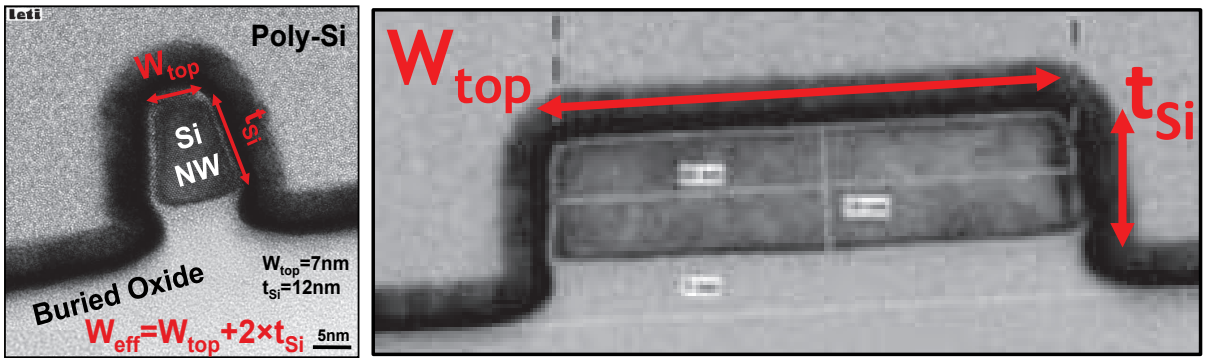

FIGURE 3.10 – Coupe TEM d'un transistor large (droite), considéré comme planaire, et d'un trigate (gauche), appelé Πfet, pour lequel $W_{top} \sim t_{Si}$.

3.2 Étude des effets géométriques sur la dégradation BTI

3.2.1 But de l'étude

Les transistors utilisés dans ce chapitre sont définis selon les dimensions suivantes : la longueur du canal L, la largeur de la surface supérieure W_{top}, la hauteur du film de silicium t_{Si} et la largeur effective, W_{eff} ($W_{top}+2\times t_{Si}$ pour un transitor à section rectangulaire). Ces dimensions sont visibles sur la coupe TEM (**T**ransmission **E**lectron **M**icroscopy) de la figure 3.10.

Le but de ce chapitre étant d'étudier les effets géométriques sur les dégradations induites par une contrainte BTI, ces dimensions vont varier. Ainsi, nous pouvons comparer des transistors étroits, appelés Πfets ($W_{top} \sim t_{Si}$) ou Finfets ($W_{top} < t_{Si}$) à des transistors larges que nous considérons comme planaires ($W_{top} > 100$nm). La figure 3.10 présente sur la gauche un Πfet et sur la droite un transistor quasi-planaire.

De nombreuses études présentent un effet géométrique sur la dégradation NBTI [16–21] pour des technologies bulk et SOI. Celles-ci n'incriminent pas les mêmes mécanismes physiques à l'origine de ces effets. Il s'agit donc ici d'analyser les différentes hypothèses émises afin de trouver une explication à la dépendance en W_{top}, ou effet de W, que nous observons. Nous étudierons ensuite cet effet de W sur des contraintes PBTI sur NMOS qui est peu approfondi dans la littérature.

3.2.2 Dégradation NBTI sur transistors PMOS

3.2.2.1 Observations experimentales

Effet de la largeur W_{top}

Nous commençons par étudier la dégradation NBTI sur des transistors PMOS dont la largeur W_{top} est comprise entre 17 et 220nm. La hauteur du fin t_{Si} est de 12nm. On constate que les transistors plus étroits sont plus dégradés que les larges avec notamment un seuil à partir de W_{top}=42nm. Ce résultat est visible sur la figure 3.11. Les différentes tensions de stress $V_{Gstress}$ appliquées (comprises entre 1.4V et 2V) permettent de calculer le champ dans l'oxyde de grille. Il apparait alors que la tension de seuil est plus dégradée pour un dispositif étroit (en noir) que pour un transistor quasi-planaire (en magenta). Ce résultat a été obtenu par des mesures rapides

permettant de s'affranchir des effets de relaxation. Ces contraintes, visibles sur la figure 3.12 sont effectuées sur des transistors interdigités (50 doigts en parallèle) et moyennées sur 10 puces afin de minimiser la variabilité induite par ce type de dispositif. Les mesures ont également été vérifiées sur trois lots différents. La dégradation sur des transistors étroits est toujours environ deux fois plus importante que pour des transistors considérés comme planaire.

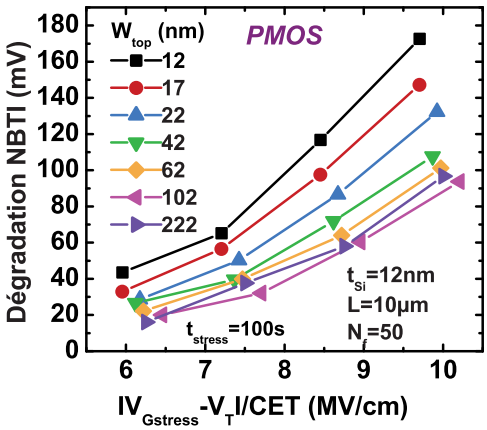

FIGURE 3.11 – Dégradation NBTI sur des transistors Πfet pour différentes valeurs de W_{top}. Plus le transistor est étroit, plus la dégradation est importante.

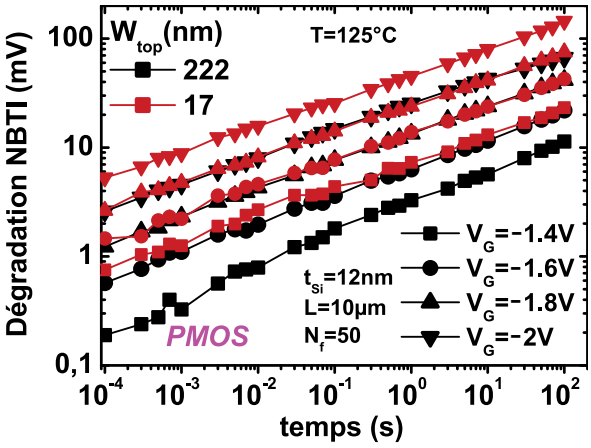

FIGURE 3.12 – Mesures rapides effectuées sur un transistor étroit (rouge) et large (noir) pour différentes tensions de stress afin de discriminer la relaxation de la dégradation.

Effet de la hauteur t_{Si}

De la même manière que l'on a fait varier W_{top}, nous allons agir ici sur la variable t_{Si} de la largeur effective W_{eff}. Cette hauteur peut atteindre 24nm et ainsi être supérieure à W_{top}. On parlera alors de finfet.

La figure 3.13 représente la dégradation NBTI en fonction du champ dans l'oxyde, image de $V_{Gstress}$, pour quatre différentes hauteur de canal. On remarque alors que plus on se dirige vers une technologie finfet, avec un t_{Si} important, plus l'effet de la contrainte est important. Les deux effets , W_{top} et t_{Si}, sont visibles également sur la figure 3.14. La dégradation NBTI relative par rapport à un transistor planaire y est tracée en fonction de W_{eff} ; ceci pour quatre valeurs de t_{Si}. On remarque d'une part une augmentation de la dégradation qui apparait pour des transistors trigate, quelque soit la hauteur t_{Si}. D'autre part, plus le fin est haut, plus cet effet de W est abrupt.

Effet de la longueur L

Plusieurs études montrent des effets de la longueur sur la dégradation NBTI. Mais alors que certains montrent que les transistors longs sont plus dégradés que les courts [22], d'autres font le constat inverse [23] . Nous montrons sur la figure 3.15 que nous ne voyons pas d'effet pour trois longueurs différentes. La dégradation NBTI y est tracée pour une largeur W_{top} de 68nm et une hauteur de 12nm en fonction du champ dans l'oxyde de grille. On remarque un léger

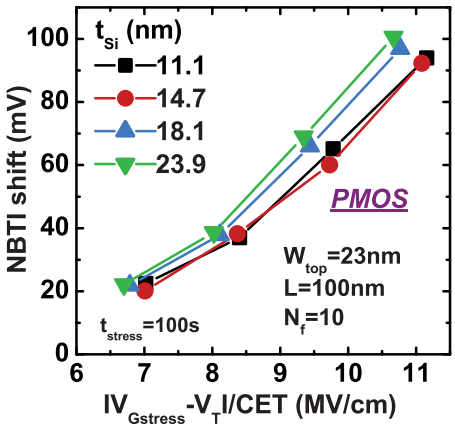

FIGURE 3.13 – Effet de t_{Si} sur la dégradation NBTI en fonction du champ électrique dans l'oxyde. Plus le film de silicium est haut, plus le transistor est dégradé

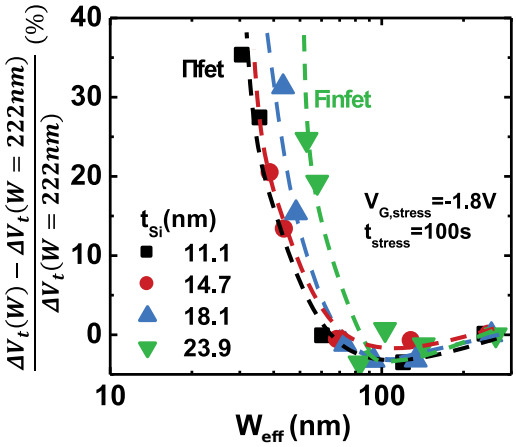

FIGURE 3.14 – Dégradation relative de V_T par rapport à un transistor planaire (W_{top}=222nm) en fonction de W_{eff} pour quatre hauteurs t_{Si} différentes.

décalage de V_T qui explique les petites variations de champ électriques à même tension de stress sans que celui-ci ne soit significatif. La figure 3.16 représente la dégradation NBTI relative en fonction de W_{top} pour des transistors longs (carrés noirs) et courts (ronds rouges). Le même effet de W est observable dans les deux cas ce qui confirme que nous n'avons pas d'effet de la longueur L. De plus, ces mesures étant effectuées à tension de stress constante ($V_{Gstress}$=1.8V), aucun effet de la valeur pré-stress de V_T n'est visible sur la dégradation BTI.

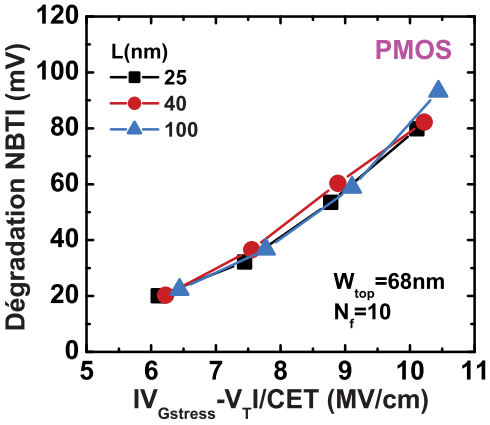

FIGURE 3.15 – Contrainte NBTI sur des PMOS à différentes longueurs de grille en fonction du champ électrique dans l'oxyde. Aucun effet de L n'est visible.

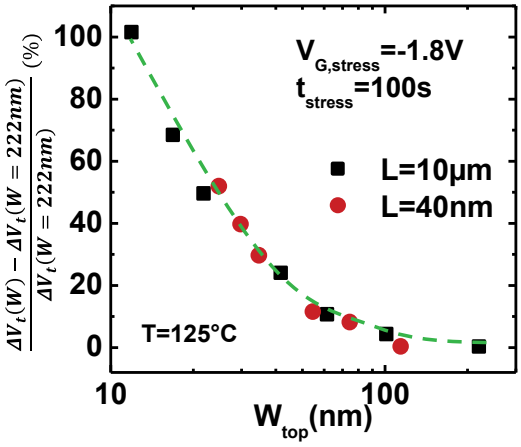

FIGURE 3.16 – Augmentation de la dégradation NBTI en pourcentage pour deux longueurs de grille. On conserve l'effet de W sur des transistors courts.

Dans la suite de cette partie, quatre hypothèses (intitulées H1, H2, H3 & H4) sont rigoureusement étudiées pour expliquer l'effet de W observé.

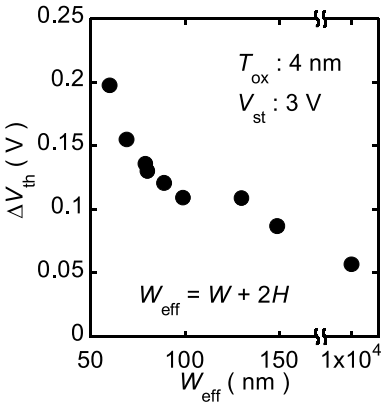

FIGURE 3.17 – Effet de la largeur observé par Saitoh sur des nanofils. Comme sur nos dispositifs, lorsque W_{eff} diminue, la dégradation NBTI augmente.

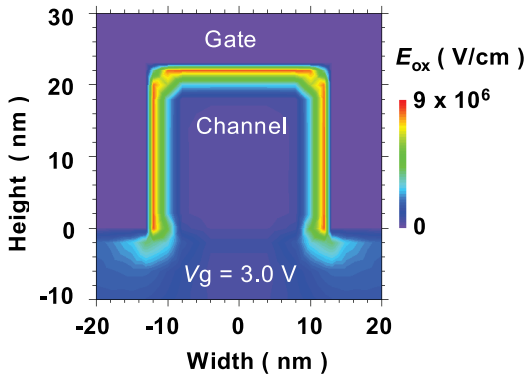

FIGURE 3.18 – Impact des angles sur le champ électrique dans l'oxyde de grille. On constate une baisse de l'amplitude dans les coins.

Dans un premier temps, différentes structures rectangulaires et arrondies seront simulées afin d'étudier l'effet des angles sur le champ electrostatique E_{Ox} (H1). Il est également possible que l'oxyde enterré empêche l'évacuation des charges par le substrat, dégradant ainsi la tension de seuil du dispositif (H2). Dans l'hypothèse H3, nous verrons si la différence d'orientation cristalline entre les flancs et la face supérieure peut expliquer cet effet de W. Enfin, nous avons étudié la possibilité d'une interface plus dégradée sur les flancs que sur le dessus. Ceci pourrait être lié au procédé de fabrication du transistor.

3.2.2.2 Simulation du champ électrique dans l'oxyde de grille (H1)

Cet effet de W apparait fréquemment dans la litterature. Ota [24] et Saitoh [21] de Toshiba l'ont notamment obervé (cf. figure 3.17). Afin de l'expliquer, ils mettent en avant un champ électrique plus fort dans les angles. La solution est alors, selon eux, d'arrondir les angles du transistor trigate. On notera par ailleurs l'ambiguité de leurs propos puisqu'ils annoncent une élévation du champ dans les angles alors que la figure 3.18 de leur publication montre une baisse du champ électrique.

Nous avons donc simulé le champ électrique dans l'oxyde pour une tension de stress V_G de 1.4V, à la lumière des travaux de Saitoh et Ota. Le résultat, visible sur la vue en coupe de la figure 3.19a, confirme que le champ électrique E_{Ox} n'est pas uniforme dans tout l'oxyde. On note alors une baisse de son amplitude à l'instar du résultat de Saitoh. En étudiant différentes dimensions, on observe sur la figure 3.20a l'effet de la largeur sur le champ électrique moyen dans l'oxyde. Ainsi, si le champ électrique dans les angles impacte le champ moyen, E_{Ox} devrait être plus faible sur les dispositifs étroits. Or, il apparait que le champ électrique E_{Ox} est constant quelle que soit la valeur de W_{top}. On en conclut alors que l'effet de W observé ne peut être expliqué par la faible valeur du champ électrique dans les angles.

Cette étude a été approfondie en étudiant à présent une structure arrondie, un Ωfet. Tout d'abord, en arrondissant les angles, on remarque que l'on homogénéise le champ électrique de cette zone. En effet on constate sur la figure 3.19b que la valeur dans l'angle est moins faible pour un Ωfet. Un stress de 1.4V a été simulé sur la grille afin de comparer ce résultat à celui

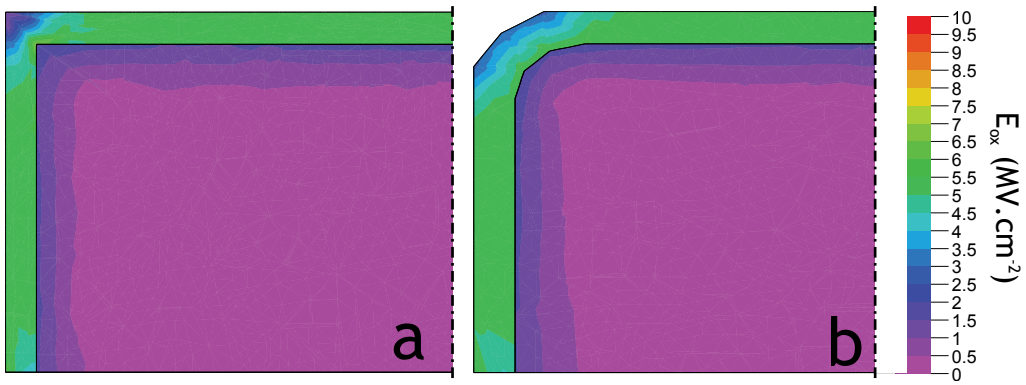

FIGURE 3.19 – Simulations électrostatiques 3D du champ électrique dans l'oxyde pour une structure Πfet rectangulaire(a) et arrondie (b)

obtenu précédemment pour une structure rectangulaire. On observe alors une correspondance quasi parfaite entre Ωfet (en vert) et Πfet (en noir) sur la figure 3.20a. Outre ceci, en traçant le champ moyen dans l'oxyde en fonction du rayon sur la figure 3.20b, on remarque que le champ E_{ox} est indépendant du rayon aux approximations liées au maillage prêtes. Le résultat de cette simulation confirme l'indépendance du champ électrique sur la géométrie.

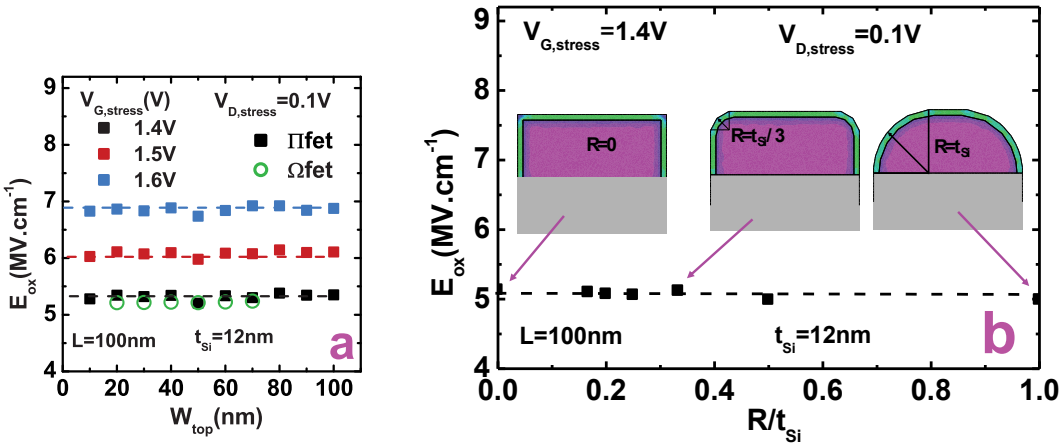

FIGURE 3.20 – Champ électrostatique moyen en fonction de W_{top} (a) et du rayon (b) pour différentes architectures. Dans les deux cas le champ reste constant.

Finalement, nous en concluons qu'il y a bien une faible variation du champ électrique dans une structure rectangulaire. Cependant, la zone impactée est trop petite et le champ moyen dans l'oxyde reste constant quelle que soit la largeur. De plus, cet effet devrait aussi impacter la dégradation PBTI sur NMOS ; or, on observe aucun effet de la géométrie sur ces dispositifs (cf. section 3.2.3).

3.2.2.3 Influence de la technologie SOI (H2)

Lee [17] et Young [25, 26] incriminent quant à eux la technologie SOI pour expliquer cet effet de W. L'hypothèse est la suivante : lors d'une contrainte négative sur la grille, des électrons peuvent traverser par effet tunnel l'oxyde de grille et s'accumuler dans le film de silicium. Le BOX empêche alors l'évacuation de ces charges par la prise substrat et le film SOI est en régime d'accumulation. Ces électrons influenceraient peu la dégradation sur des transistors larges mais lorsque W_{top} décroit, ils induisent une hausse du champ électrique et donc une forte courbure des bandes d'énergie comme le montre la figure 3.21. Sur cette figure, seuls les flancs de la grille sont représentés puisqu'il s'agit d'un finfet pour lequel il n'y a pas de conduction sur le dessus. Lee et Young proposent alors d'appliquer cette contrainte NBTI sur une structure PIN dont une vue schématique est visible sur la figure 3.22. Il s'agit d'un transistor pour lequel le drain est dopé P^+ et la source dopée N^+. Les électrons peuvent alors se recombiner dans la zone N^+ et ainsi empêcher l'accumulation dans le film de silicium. Des représentations schématiques sont proposées pour un transistor PMOS et un dispositif PIN respectivement sur les figures 3.23 et 3.24.

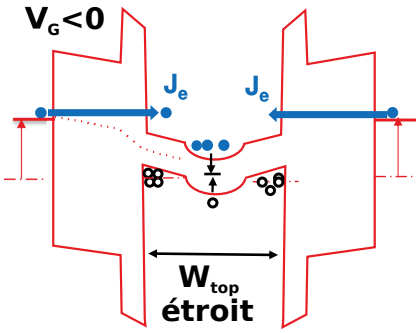

FIGURE 3.21 – Schéma de principe du passage des électrons par effet tunnel dans le film de silicium pour un transistor PMOS étroit à double grille. Ce transfert d'électrons a pour effet d'augmenter le champ électrique dans l'oxyde [17].

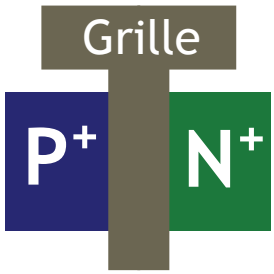

FIGURE 3.22 – Vue schématique d'une diode PIN correspondante à un transistor composée d'une source dopée N^+ et un drain dopé P^+.

Des mesures NBTI sur des structures PIN de dimensions variables ont été effectuées afin de potentiellement expliquer l'effet de W observé sur la figure 3.11. Ces diodes, par leur source dopée N^+, permettraient d'évacuer les potentielles charges accumulées dans le silicium. L'accroissement de champ électrique dans les dispositifs étroits devrait alors être supprimé. La dégradation NBTI serait alors similaire quelle que soit la largeur du dispositif PIN.

Dans un premier temps, une mesure du courant de grille pré-stress nous permet de montrer que le courant de fuite des diodes étroites est équivalent à celui des structures plus larges (cf. figure 3.25). Cependant, lorsque l'on applique un stress NBTI sur ces structures, la dégradation du courant de source sur les dispositifs étroits est plus forte. Ce résultat est montré sur la figure 3.26. On conserve donc l'effet de W précédemment observé. Ainsi, l'accumulation de charges dans le film de silicium n'est pas responsable d'une dégradation NBTI plus forte sur les transistors étroits.

En conclusion, l'effet de substrat flottant énoncé par Young et Lee ne permet pas d'expliquer

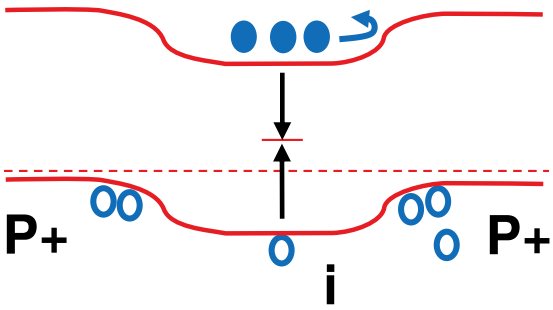

FIGURE 3.23 – Diagramme de bande schématique d'une architecture PMOS double grille. Les électrons peuvent se recombiner uniquement avec les défauts du film Si. Il y a donc une accumulation de charge dans cette zone [17]

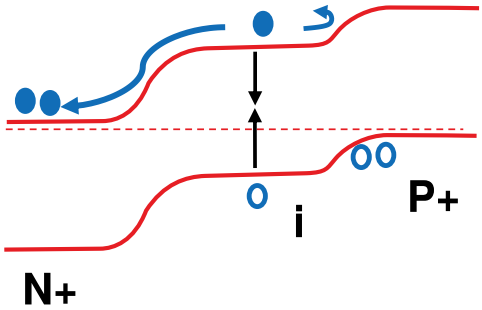

FIGURE 3.24 – Diagramme de bande schématique d'une architecture PIN. Les électrons peuvent alors se recombiner dans la zone N^+. Il n'y a donc plus d'accumulation de charge dans le film de silicium

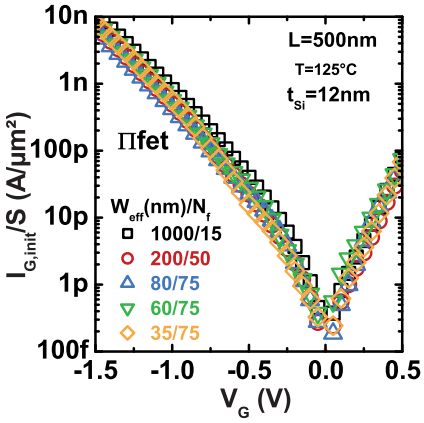

FIGURE 3.25 – Courant de grille sur des diodes PIN non stressées pour différentes largeurs.

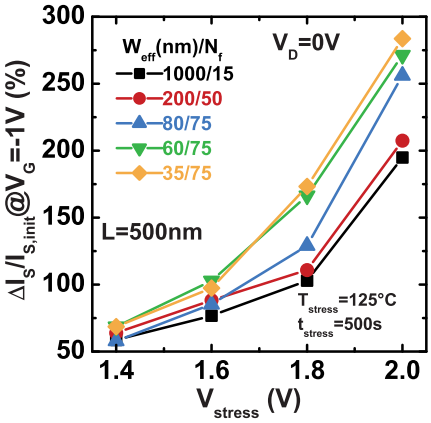

FIGURE 3.26 – Dégradation relative du courant de source après un stress NBTI. L'effet de W, visible sur PMOS l'est aussi sur PIN.

la différence de dégradation NBTI en fonction de W.

3.2.2.4 Impact de l'orientation cristalline sur la dégradation NBTI (H3)

La dernière hypothèse émise dans la littérature quant à cet effet de W est liée aux différentes orientations cristallines du silicium. En effet la surface supérieure d'un transistor est orientée <100> alors que les côtés sont traditionnellement orientés <110>. Plusieurs études [16] [19] mettent en évidence un effet d'orientation cristalline en comparant des dégradations NBTI sur des transistors classiques (<100> sur le dessus et <110> sur les côtés) avec des transistors tournés à 45° dont les cotés sont aussi orientés <100>. Un exemple est présenté sur la figure 3.27. Maeda [19] explique notamment cet effet de W par un plus grand nombre de défauts sur les côtés dû à cette différence d'orientation.

Cependant, il existe également des études pour lesquelles l'effet de l'orientation n'est pas pertinent en vue d'expliquer l'effet de W. Young [25], par exemple, a montré que l'orientation

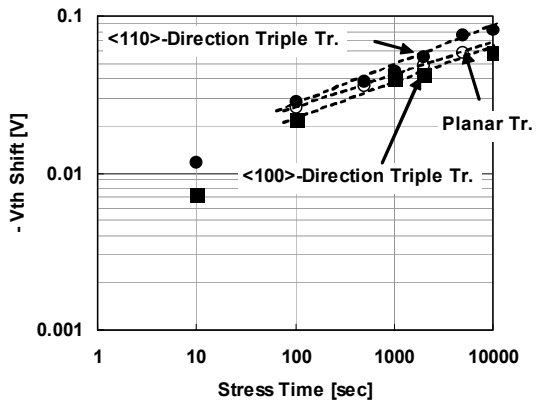

FIGURE 3.27 – Mise en évidence de l'effet de l'orientation cristalline sur la dégradation NBTI des transistors 3D étroits [19].

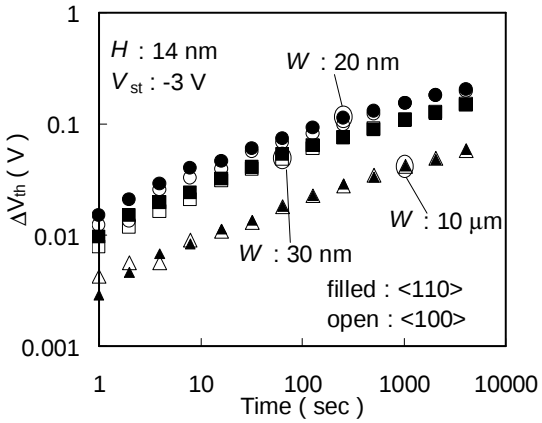

FIGURE 3.28 – Impact de l'orientation cristalline sur la dégradation NBTI de transistors de largeur variable [21].

cristalline influence la dégradation NBTI mais que l'écart entre les deux orientations est identique quelle que soit la largeur du transistor. Quant aux résultats de Saitoh [21], ils ne montrent aucun impact de l'orientation cristalline sur la fiabilité NBTI (cf. figure 3.28).

Afin de considérer cette hypothèse, une contrainte NBTI a été appliquée à la fois sur des transistors PMOS traditionnels et sur des dispositifs tournés à 45°. On ne constate alors aucun effet d'orientation sur la figure 3.29 que ce soit pour des transistors larges ou étroits. En effet, sur cette figure, la dégradation NBTI est la même pour des flancs orientés <110> et <100>. Ces résultats sont donc en accord avec ceux de Saitoh [21].

La différence d'orientation cristalline entre les flancs et le dessus ne permet ainsi pas d'expliquer l'effet de W.

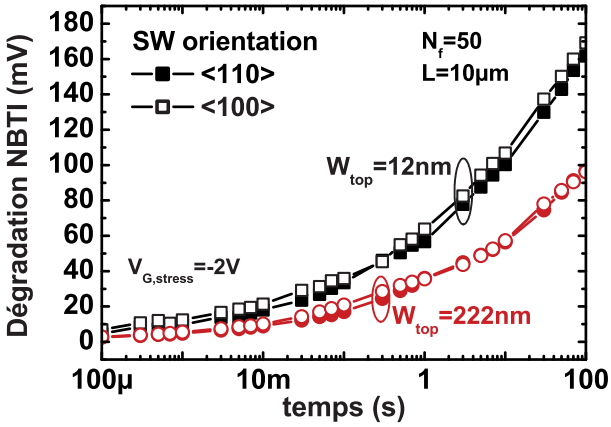

FIGURE 3.29 – Effet de l'orientation cristalline sur la dégradation NBTI en fonction du temps de stress pour un transistor large et un Πfet étroit.

3.2.2.5 Simulation d'interfaces latérales plus dégradées (H4)

Sur une technologie étroite, les flancs occupent une forte proportion de la surface de grille du transistor. A l'inverse, ces mêmes flancs sont négligeables devant la surface supérieure d'un transistor large. On peut donc émettre l'hypothèse suivante : lors des procédés de fabrication, l'oxyde de grille sur les flancs présente plus de défauts que celui sur la face supérieure. Cette hypothèse d'une plus grande quantité de défauts sur les côtés est approfondie par des études de pompage de charges [27] sur des diodes PIN pour différentes valeurs de W. Dans un premier temps, la figure 3.31 montre que la densité de défauts initiale est légèrement supérieure sur des transistors étroits mais reste très faible. Ceci est la représentation d'une bonne passivation des liaisons pendantes de silicium sur cette technologie. Des mesures de pompage de charge, visibles sur la figure 3.30, sont à nouveau effectuées après un stress NBTI à -1.8V pour différentes fréquences. Celles ci nous permettent d'évaluer l'effet du stress sur la densité de pièges d'interface pour différents W comme on peut le voir sur la figure 3.32. On constate alors que deux fois plus de défauts ont été créés sur des transistors étroits. En effet la variation ΔDIT de la densité de pièges d'interface est de $3.7.10^{11}eV^{-1}cm^{-2}$ pour une largeur de 228nm contre $8.10^{11}eV^{-1}cm^{-2}$ pour un dispositif étroit. Cette hypothèse semble donc être la plus à même d'expliquer l'effet de W. Elle rejoint l'interprétation de Maeda [19] ; seulement, la dégradation plus forte de l'oxyde sur les flancs ne serait pas due à l'orientation cristalline mais plutôt à la complexité de sa fabrication.

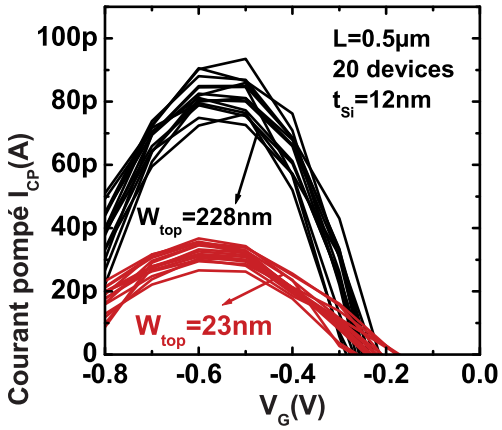

FIGURE 3.30 – Mesures brutes de pompage de courant sur des structures PIN interdigitées. On observe une bonne reproductibilité de la mesure sur 20 dispositifs.

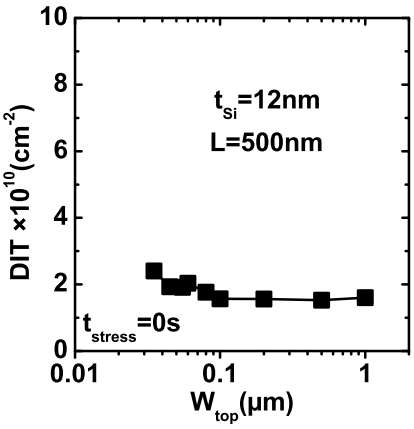

FIGURE 3.31 – Densité d'états d'interface initiale mesurée sur des structures PIN interdigitées ($N_f \in [15;75]$)pour différents W_{top}

Effet de W_{top}

Les mesures sur dispositifs PIN confortent l'hypothèse selon laquelle, les procédés de fabrication créeent une surface plus rugueuse sur les flancs que sur le dessus. Ainsi, un stress NBTI va former un nombre plus important de défauts sur les flancs. Afin de consolider cette hypothèse, nous avons simulé une contrainte NBTI à l'aide du travail effectué dans le chapitre précédent. En effet, nous avions vu que la localisation d'un piège dans l'oxyde joue un rôle important sur

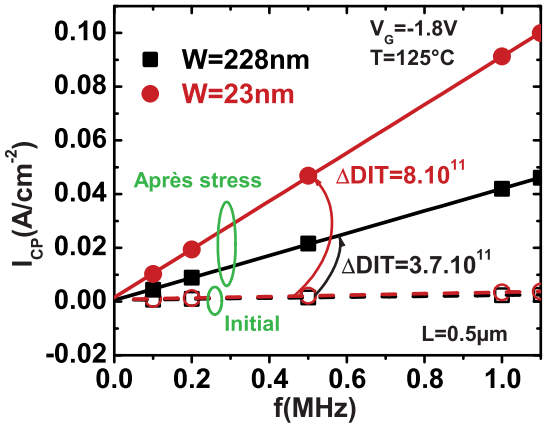

FIGURE 3.32 – Courant pompé normalisé par W en fonction de la fréquence afin d'extraire la densité d'états d'interface après un stress NBTI. Le transistor étroit révèle deux fois plus de pièges que le dispositif large.

la dégradation de V_T induite. Ainsi, en différenciant les densités de pièges d'interface sur les flancs et sur le dessus, les simulations Monte Carlo ont démontré qu'il était possible de mettre en évidence un effet de W. Ainsi, si l'on considère que la fabrication du transistor induit initialement plus de pièges sur les côtés, les transistors plus étroits apparaissent plus dégradés. On simule donc plusieurs ratios $R_{pièges}=D_t^{SW}/D_t^{TS}$ où D_t^{SW} et D_t^{TS} désignent respectivement la densité de pièges présents sur les flancs et sur la surface supérieure. Une correspondance apparaît alors entre nos mesures et nos simulations et le modèle Defect Centric (DCM) [28] est visible sur la figure 3.33 en ayant considéré un rapport $R_{pièges}$ de 2.5. En effet ce facteur 2.5 induit, pour un dispositif de 40nm de large, 18 pièges sur les côtés et 27 sur le dessus soit un total de 45 pièges là où le modèle DCM en prédit 44.78. De la même manière, la corrélation entre les mesures et le modèle donne un écart type à la moyenne de 12.1mV et la valeur simulée est de 11.9mV. La simulation prend donc très bien en compte la variabilité induite par les dispositifs étroits.

Nous conservons donc cette valeur $R_{pièges}$ de 2.5 pour simuler la dégradation NBTI de transistors PMOS en faisant varier la largeur entre 10 et 240nm. Pour chaque largeur, 1000 dispositifs sont simulés afin de s'affranchir totalement de la variabilité induite. La figure 3.34 montre que la corrélation entre la mesure et la simulation est très bonne puisque ce facteur de 2.5 permet de reproduire quasi parfaitement l'effet de W observé sur la figure 3.11.

Effet de t_{Si}

Comme nous l'avons vu dans la partie 3.2.2.1, l'effet de W ne se manifeste pas uniquement en W_{top} mais également en t_{Si}. On se propose donc de simuler des structures avec des hauteurs de canal différentes afin de retrouver cet effet. La prédominance des flancs sur un finfet implique que la qualité de cet interface soit très bonne. Ainsi, si la densité de pièges est plus importante sur les côtés que sur le dessus, la dégradation NBTI sera plus importante. A l'inverse, si les flancs sont moins dégradés, la dégradation sera plus faible. Ces résultats sont visibles sur la figure 3.35 où une simulation de la dégradation NBTI est tracée en fonction de t_{Si} pour une même qualité d'interface entre les flancs et le dessus (noir), pour des côtés plus dégradés (rouge)

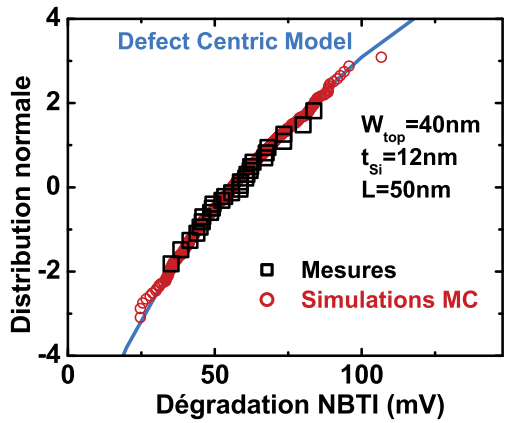

FIGURE 3.33 – Corrélations des mesures de dégradation NBTI avec les simulations Monte Carlo et le modèle DCM pour une largeur de 40nm.

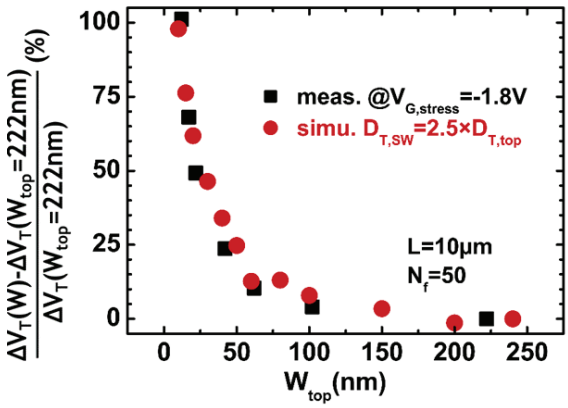

FIGURE 3.34 – Mesures et simulations de la dégradation NBTI relative en fonction de W_{top}. Le facteur $R_{pièges}$ de 2.5 permet de corréler les simulations aux mesures.

et pour des côtés moins dégradés (bleu).

Ces simulations sont alors superposées avec les mesures de la partie 3.2.2.1. On constate que bien que le ratio $R_{pièges}$ de 2.5 ne corresponde pas aussi bien que pour l'effet de W_{top}, nous n'en sommes pas si éloignés. Cet écart peut se justifier par le fait qu'il ne s'agisse pas du même lot et donc la qualité de l'interface varie légèrement mais pas de façon signicative.

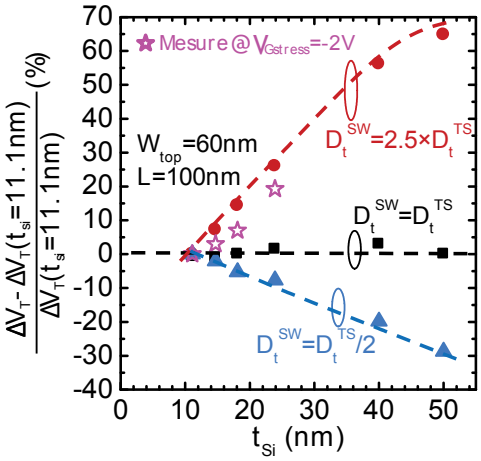

FIGURE 3.35 – Dégradation NBTI relative simulée en fonction de t_{Si} pour différentes valeurs de densités de pièges sur les flancs. On remarque une bonne corrélation avec les mesures

Effet de la longueur

Puisque nous pouvons expliquer l'effet de W avec des qualités de procédés de fabrication, on peut vérifier ici que cela n'a aucun impact le long de L. Pour cela, nous avons simulé des transistors dont la longueur varie entre 40 et 100nm. Pour chacune d'entre elle, nous avons fait

varier le ratio $R_{pièges}$. Le résultat est visible sur la figure 3.36 où la dégradation NBTI simulée est tracée en fonction de L. On retrouve alors le même résultat que dans la partie 3.2.2.1 : ces dispositifs ne présentent pas d'effet de L.

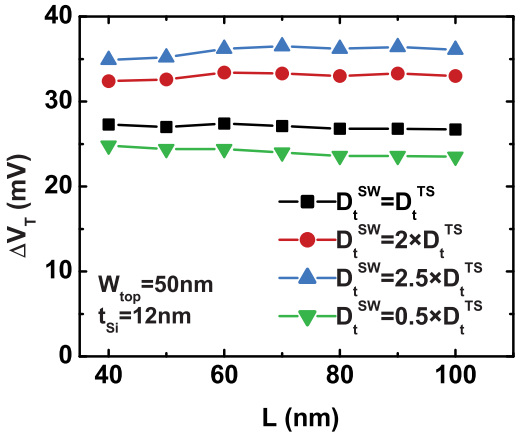

FIGURE 3.36 – Dégradation NBTI simulée en fonction de L pour différentes valeurs de densités de pièges sur les flancs. Aucun effet de L n'est visible.

Pour conclure, une interface initialement plus dégradée sur les flancs que sur le dessus permet d'expliquer les effets de la géométrie sur une contrainte NBTI. Ceci serait notamment dû à la complexité des procédés de fabrication qui induiraient une rugosité des flancs plus importante.

3.2.3 Dégradation PBTI sur NMOS

Bien que la dégradation sur NMOS soit plus faible que sur PMOS (cf. figure 3.2), il parait nécessaire de vérifier qu'elle le reste quelle que soit la largeur du transistor. De plus quelle que soit la dépendance en W, celle ci étant liée à la fiabilité NBTI, elle permettra de confirmer ou infirmer les hypothèses émises ci dessus.

3.2.3.1 Effet de la géométrie

Nous avons, comme pour les transistors PMOS dans la partie précédente, stressé des transistors ΠIfets interdigités dont la largeur, variable, va de 23 à 228nm. La longueur est de 10μm afin de minimiser la variabilité. Dans le but de supprimer tout effet de recouvrement, nous utilisons une technique de mesure rapide. Le résultat est visible sur la gauche de la figure 3.37, pour quatre différentes tensions de stress, en fonction du champ dans l'oxyde. Nous remarquons alors que la dégradation est indépendante de la largeur puisque les quatre courbes se superposent. De la même manière nous avons fait varier t_{Si} de 11 à 24nm (cf. figure 3.37) et aucune variation n'apparait non plus. Finalement la dégradation PBTI est indépendante de la géométrie.

3.2.3.2 Explication de la différence d'effet de W entre NMOS et PMOS

L'indépendance en W de la fiabilité PBTI nous permet de confirmer que certaines hypothèses énoncées ci dessus sont impossibles. En effet s'il était dû à un effet de champ électrique ou à

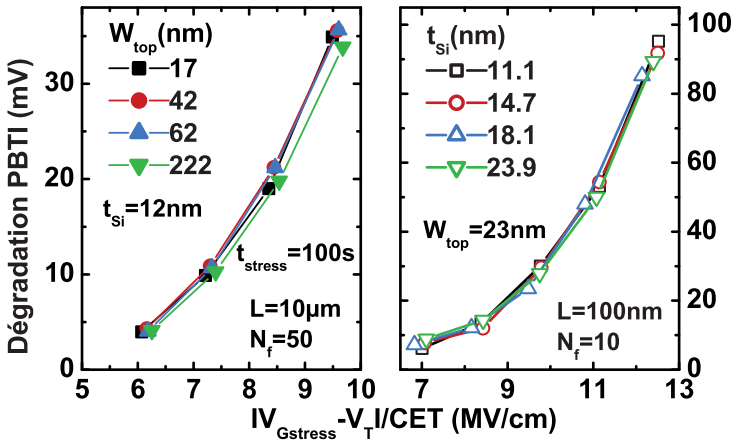

FIGURE 3.37 – Dégradation PBTI en fonction du champ électrique dans l'oxyde pour des transistors Πfets à largeur (gauche) et hauteur (droite) variables.

la technologie SOI, cet effet devrait être visible également sur NMOS. L'explication relative à une dégradation de l'interface Si/SiO_2 plus importante sur les flancs que sur le dessus est donc d'autant plus légitime. Elle permet en effet à la fois d'expliquer l'effet de W en NBTI et l'indépendance en géométrie de la dégradation PBTI.

Comme nous l'avons vu dans la section 3.1.2, ce ne sont pas les mêmes pièges qui interviennent lors d'une dégradation PBTI que lors d'une dégradation NBTI. Ainsi si le procédé de fabrication induit une plus grande quantité de défaut à l'interface Si/SiO_2 sur les flancs que sur le dessus, la dégradation des PMOS sera pire sur des transistors étroits que sur des transistors larges. Ceci est simplement dû au fait que sur un transistor large, la hauteur t_{Si} est négligeable devant W_{top} et donc la qualité de l'interface sur les flancs ne sera pas préjudiciable.

En revanche, les pièges intervenant dans une contrainte PBTI se situent plus profondément dans l'oxyde high-κ. Ainsi la dégradation de l'interface Si/SiO_2 sur les flancs n'affectera pas la fiabilité des transistors NMOS. Celle ci sera alors indépendante de la largeur W. La figure 3.38 illustre cette hypothèse.

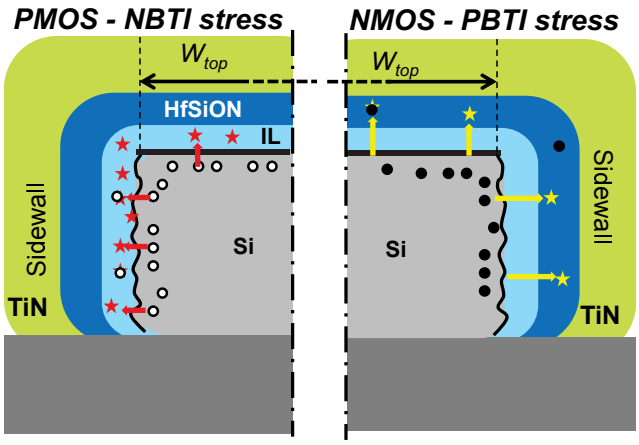

FIGURE 3.38 – Mise en évidence des pièges relatifs à une dégradation N&PBTI. Si l'on considère une interface Si/SiO_2 plus dégradée sur les flancs, seule la dégradation NBTI sera affectée.

3.3 Optimisation du compromis performance fiabilité sur les technologies 3D

3.3.1 Introduction

Nous avons montré en introduction de cette thèse que les technologies tridimensionnelles regroupent un très grand nombre d'architectures. Nous nous sommes focalisés jusqu'à présent sur les transistors Πfets dotés d'un canal non contraint. On définit cette structure comme architecture de référence. Le but de cette partie est d'explorer des moyens d'améliorer à la fois la fiabilité et les performances des technologies 3D.

Dans un premier temps, nous étudierons des transistors Ωfet. Pour obtenir une telle architecture, un recuit H_2 est effectué sur un transistor Πfet. Ceci a pour effet d'arrondir les angles du transistor. Ainsi l'interface Si/SiO_2 est modifié ce qui peut avoir un effet direct sur la fiabilité NBTI. Dans un second temps nous nous focaliserons sur les contraintes physiques dans le canal tel que la contrainte du silicium du canal, l'ajout de germanium dans le canal ou le dépôt du couche nitrurée.

3.3.2 Étude d'une architecture Ωfet

Nous allons dans cette partie analyser à la fois les performances et la fiabilité BTI des transistors Ωfets. Celles-ci seront comparées à celles d'une architecture Πfet de référence afin de savoir si le recuit H_2 améliore les performances et/ou la fiabilité.

3.3.2.1 Effet sur les performances

Nous nous intéressons dans un premier temps aux performances d'une architecture Ωfet. La figure 3.39 montre que l'EOT ne varie pas puisque la valeur de la capacité à 1V est indépendante de la structure. La tension de seuil est elle aussi stable malgré le recuit H_2. En effet, le passage en régime d'inversion se fait à la même valeur de V_G (autour de 0.4V).

De même, aucun effet significatif du recuit H_2 n'apparait sur la mobilité des porteurs. Le léger effet que l'on aperçoit sur la figure 3.40 semble plus être dû à la variabilité intrinsèque du composant.

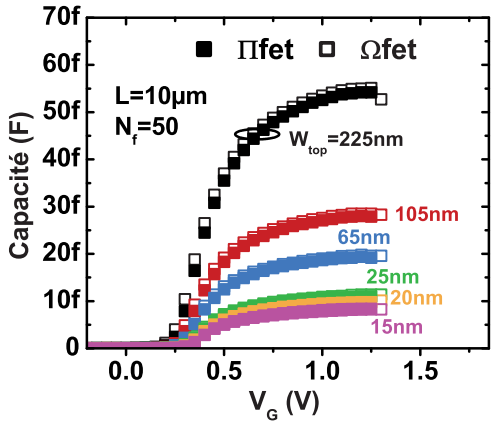

FIGURE 3.39 – CV caractéristiques pour des architectures Πfets et Ωfets pour différentes largeurs de la grille.

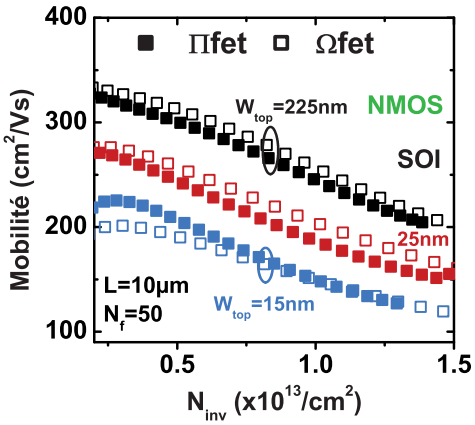

FIGURE 3.40 – Mobilité des électrons dans un Πfet et un Ωfet en fonction de la densité de porteurs

3.3.2.2 Effet du recuit H_2 sur la fiabilité BTI

Afin d'étudier cet effet de recuit H_2 sur la fiabilité, des contraintes BTI ont été appliquées sur des transistors Ωfets et Πfets de tailles équivalentes. Cet effet géométrique a un effet sur la dégradation NBTI à des fortes tensions de stress. Ceci entraîne une baisse du facteur d'accélération sur la technologie Ωfet et donc une meilleure durée de vie du transistor. Cette différence peut être justifiée par une meilleure passivation des liaisons pendantes de silicium par le recuit H_2 [29] [30]. Les simulations du chapitre précédent mettent également en évidence que l'arrondissement des angles implique une dégradation moins forte sur Ωfet que sur Πfet. Ceci s'explique par la différence d'impact d'un défaut sur les flancs comme le montre les figures 2.23 et 2.24 des pages 60 et 61. Ces données confirment donc les résultats de simulation observées au chapitre précédent.

L'écart concernant la contrainte PBTI est lui constant quelle que soit la tension de stress. Cependant cet écart est de seulement quelques millivolts. Si l'on considère la variabilité induite sur ces dispositifs, l'effet n'est pas suffisant pour être significatif. De plus, la dégradation PBTI est beaucoup moins importante que le NBTI. Ainsi même si la dégradation est légèrement plus importante sur Ωfets, la durée de vie de ces dispositifs dépassent toujours la valeur de 10 ans escomptée. Ce résultat est assez logique puisque nous avons vu dans la partie précédente que la géométrie influait très peu sur la fiabilité PBTI.

Finalement, en arrondissant les angles d'un Πfet, il semblerait que l'on modifie la qualité de l'interface Si/SiO_2. Ainsi on améliore la durée de vie des PMOS de manière conséquente en conservant une fiabilité convenable sur NMOS. La technologie Ωfet permet donc d'améliorer la fiabilité BTI en conservant les performances d'une structure Πfet.

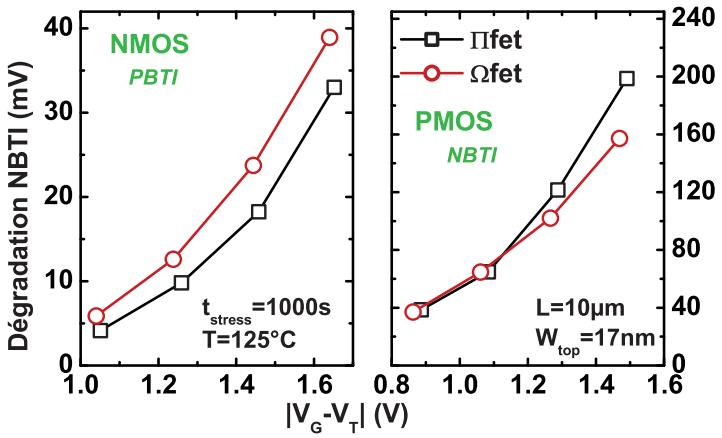

FIGURE 3.41 – Dégradation PBTI (gauche) et NBTI (droite) sur une structure Πfet et Ωfet pour différentes tensions de stress. Les deux architectures ont la même fiabilité.

3.3.3 Incorporation de booster de mobilité dans un transistor Πfet

Le but de cette partie est de rappeler et confirmer les effets des boosters de mobilité sur la technologie Πfet utilisée et d'analyser la fiabilité BTI de ces boosters afin d'en extraire le meilleur compromis performance/fiabilité.

3.3.3.1 Performance de ces technologies

Nous commençons donc par l'étude des contraintes physiques dans le canal. Pour cela, sur NMOS, le silicium du canal est soumis à une contrainte en tension pour obtenir une structure nommée sSOI (**s**trained **S**ilicon **O**n **I**nsulator). Cette modification de la symétrie du cristal de silicium, générée par la contrainte, entraîne une modification de la struture de bande. Ainsi c'est la bande $\Delta 2$, celle avec la masse la plus faible, qui sera préférenciellement peuplée. Il en résulte donc une baisse de la masse effective des électrons. Les transistors sSOI affichent alors une meilleure mobilité des électrons sur des largeurs descendant jusqu'à 10nm comme on peut le vérifier sur la figure 3.42.

Cette contrainte sSOI a également pour effet de réduire la bande interdite du semiconducteur utilisé comme canal ce qui implique une baisse de la tension de seuil. Ce même mécanisme apparait sur des structures PMOS avec canal SiGe. Ici, le principe est le même que pour les technologies sSOI mais l'on vient contraindre le silicium en compression avec du germanium. La mobilité de ces PMOS à canaux SiGe, visible sur la figure 3.43, est également améliorée par rapport à une technologie non contrainte pour la même raison que sur sSOI. Cette réduction de la bande interdite induit aussi une réduction de la tension de seuil V_T. Les figures 3.44 et 3.45 montrent une baisse respectivement de 100 et 300mV de la tension de seuil pour les technologies sSOI et SiGeOI.

Enfin, un dernier moyen d'augmenter les performances du transistor MOS est de déposer une couche nitrurée sur la grille, **C**ontact **E**tch **S**top **L**ayer, qui aura pour effet de contraindre le canal soit en compression (c-CESL) soit, à l'inverse, en tension (t-CESL). Cette contrainte modifie également la structure de bandes du silicium et donc la tension de seuil et l'EOT du transistor devraient varier. Cependant le CESL est une contrainte longitudinale et les dispositifs

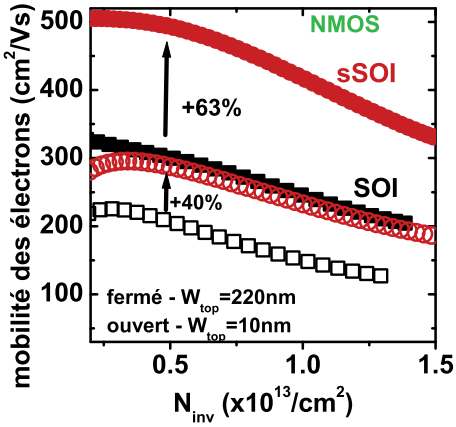

FIGURE 3.42 – Comparaison de la mobilité sur transistors NMOS avec un canal silicium traditionnel et contraint. La contrainte sSOI apporte jusqu'à 63% d'amélioration.

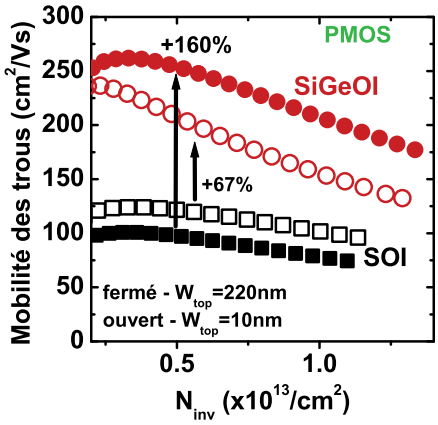

FIGURE 3.43 – Impact de l'apport de germanium dans un canal en silicium sur la mobilité des trous. Le gain est visible jusqu'à des largeurs très étroites (≈ 10nm)

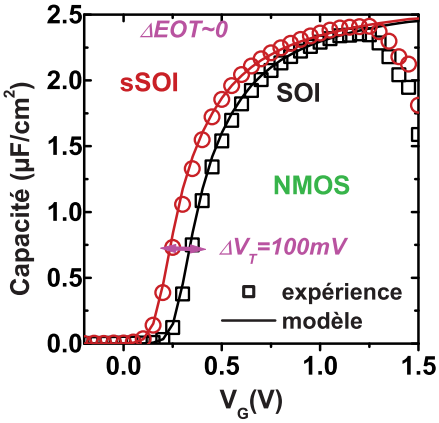

FIGURE 3.44 – Effet de la contrainte sSOI sur les mesures CV. Une baisse de V_T est notable alors que l'EOT est inchangée.

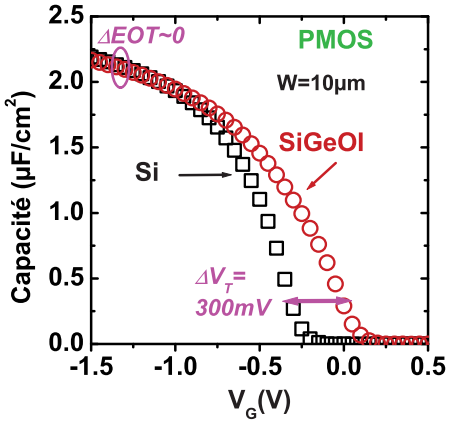

FIGURE 3.45 – Mesures des capacités sur Si et SiGe. L'apport de germanium entraîne une chute de 300mV de V_T.

mesurés sont longs afin d'avoir un signal capacitif suffisamment important. Ainsi la figure 3.46 ne montre aucun effet du CESL ni sur l'EOT ni sur la tension de seuil du transistor. Il apparaît donc primordial de faire des études de fiabilité sur L court pour analyser l'effet de cette contrainte.

L'effet sur les courants de l'état "ON" et de l'état "OFF" se rapproche de ceux aperçus précédemment sur sSOI et SiGeOI pour des transistors plus courts. Effectivement, à même courant I_{OFF}, le CESL tensile donne un meilleur courant en régime passant pour les NMOS. Ceci se rapproche d'un stress sSOI où le silicium est contraint en tension. A l'inverse, concernant les PMOS, le CESL compressive offre de meilleures performances de la même manière qu'un canal SiGeOI. Ceci se vérifie sur la figure 3.47. Cependant les niveaux de contraintes atteints ne sont pas aussi importants que ceux obtenus par des contraintes intrinsèques du semiconducteur surtout pour les nœuds technologiques avancés puisque la contrainte CESL dépend de la topologie

de la grille.

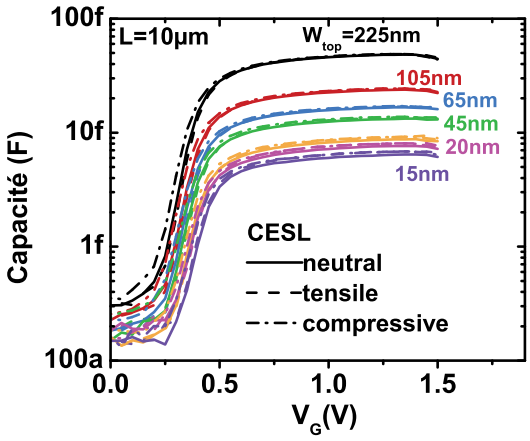

FIGURE 3.46 – Impact du CESL sur les mesures capacitives sur NMOS. Aucun changement n'apparait entre les différentes contraintes appliquées.

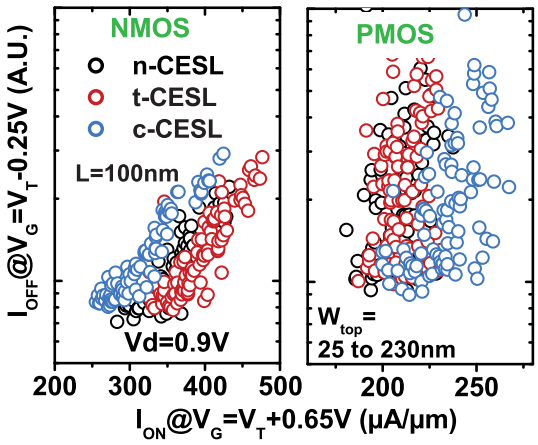

FIGURE 3.47 – Représentation du courant de drain à l'état bloqué en fonction du courant à l'état passant pour différentes contraintes CESL sur NMOS (gauche) et PMOS (droite). Le CESL tensile offre un meilleur courant passant sur NMOS alors que sur PMOS, le CESL compressif est plus performant.

3.3.3.2 Fiabilité BTI de canaux sSOI et SiGe

Nous avons confirmé sur notre technologie tri-dimensionnelle les performances des boosters de mobilité. Il nous reste maintenant à en voir la fiabilité BTI.

Nous commençons par un stress PBTI sur une structure sSOI en comparaison avec une structure SOI traditionnelle. On remarque alors une nette amélioration pouvant aller jusqu'à 27% pour des tensions de stress importantes comme le montre la figure 3.48 de gauche. Besnard et al. [31] montre que ce phénomène est notamment dû à un courant de fuite moins important

sur sSOI. La contrainte sSOI entraînant une baisse de la bande de conduction de la structure, la fuite par effet tunnel des électrons dans l'oxyde est plus difficile. Le piégeage des électrons est donc moins important (cf. figure 3.49).

De même que pour une technologie sSOI, un canal contraint avec du germanium offre une meilleure fiabilité NBTI (cf. figure 3.48 droite). Plusieurs hypothèses sont explorées dans la littérature. D'une part, cette baisse pourrait être liée à la variation du nombre de liaisons Si-H entre un canal SiGe et silicium massif [32] [33] [34]. D'autre part, un alignement favorable de la bande de valence du SiGe permettrait de limiter le piégegage de trous dans l'oxyde [30] comme le montre la figure 3.50.

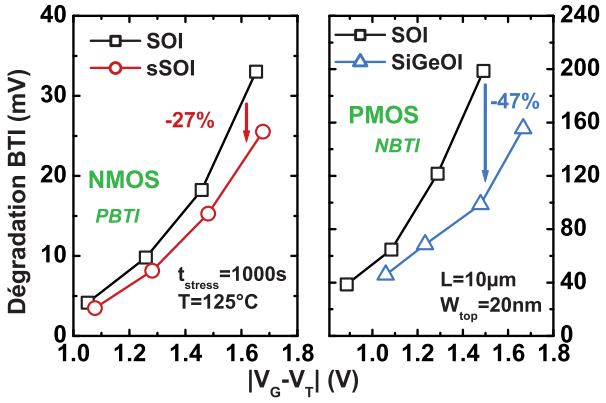

FIGURE 3.48 – Dégradation PBTI (gauche) et NBTI (droite) pour des technologies respectivement sSOI et SiGeOI en comparaison avec un Πfet référence. Dans les deux cas, la contrainte améliore la fiabilité.

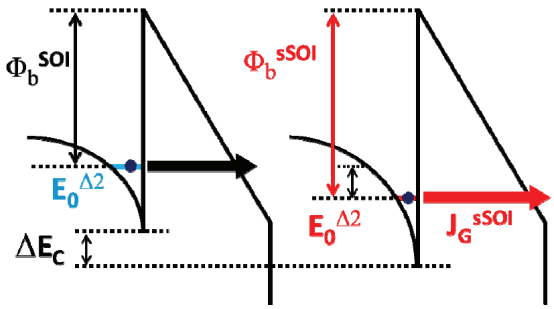

FIGURE 3.49 – Schéma de bandes d'un empilement de grille dans un transistor non contraint (à gauche) et sSOI (à droite). La contrainte augmente la valeur de la barrière liée à l'effet tunnel et limite donc le courant de fuite J_G. [31].

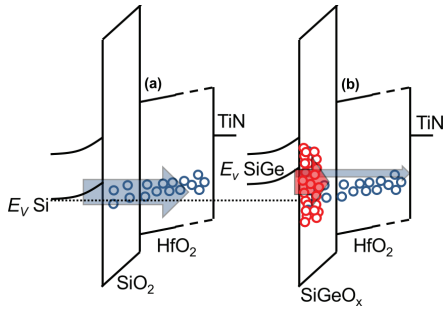

FIGURE 3.50 – Diagrammes de bandes de la grille dans le cas d'un canal Si massif (gauche) et SiGe (droite). L'alignement favorable de la bande de valence du SiGe permet de réduit le piégeage dans l'oxyde [30].

3.3.3.3 Impact d'une contrainte CESL sur la fiabilité BTI

Nous finissons cette partie par l'étude de l'impact du CESL sur une contrainte BTI. Que ce soit pour un stress N- ou PBTI, l'amélioration, visible sur la figure 3.51, est d'environ 40% pour

un CESL tensile en comparaison au CESL neutre et compressif. Ceci peut s'expliquer, dans le cas d'un NMOS, par un effet de la contrainte sur le diagramme de bande de la même manière que pour un canal sSOI. Le CESL entraînerait un courant de fuite moins important et donc un piégeage des électrons réduit. Pour les transistors PMOS, il s'agirait plutôt d'une meilleure passivation des liaisons pendantes de silicium par l'hydrogène libéré lors du dépôt de la couche nitrurée par dépôt LPCVD.

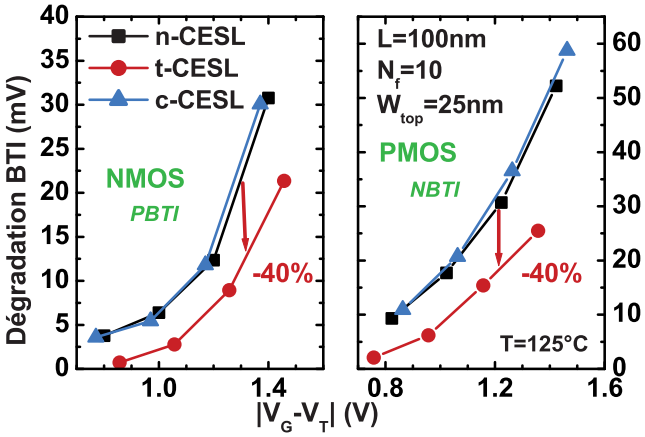

FIGURE 3.51 – Impact de contraintes CESL neutres, compressives et tensiles sur un stress PBTI (gauche) et NBTI (droite). Le CESL tensile améliore la fiabilité de 40% à la fois sur NMOS et PMOS.

3.4 Conclusion

Dans ce chapitre, nous avons fait un état de l'art de la dégradation BTI en rappelant notamment les modèles historiques tels que ceux de Grasser et Huard. La localisation des défauts dans les NMOS et PMOS a aussi était précisée puisque la contrainte BTI ne met pas en jeu les mêmes pièges dans les deux cas.

On a vu que le passage à une architecture tridimensionnelle entraîne une dégradation NBTI plus importante sur les transistors étroits. Différentes hypothèses émises dans la littérature ont été explorées. Des simulations électrostatiques mettent en lumière une indépendance du champ électrique dans l'oxyde en fonction de la géométrie. Les effets de coin ont notamment été éliminés comme potentielle cause de cet effet de W. Des mesures sur des structures PIN, permettant d'évacuer les charges accumulées dans le film de silicium, ont été effectuées. Cependant la même dépendance en W de la dégradation est constatée. Finalement, par simulation, on a montré que cet effet est dû à une différence, indépendante de l'orientation cristalline, entre les flancs et la surface du dessus. En effet, l'interface entre le silicium du canal et l'oxyde contient initialement plus de défauts sur les flancs que sur le dessus ; ainsi lors du stress, il y a plus de pièges dépassivés et révélés sur un transistor étroit. Cette qualité d'interface est attribuée aux différentes étapes de fabrication (gravure, dépôts, etc.). Des mesures de pompage de charge ont permis de mettre en évidence cette hypothèse en montrant une activation plus importante des pièges d'interface sur des transistors étroits.

L'étude expérimentale a été publiée dans le journal Microelectronic Engineering [35] et présentée à la conférence Insulator Films on Semiconductors (INFOS) en 2015. Les résultats de simulation illustrant une densité de défauts plus importante sur les flancs ont été présentés à la conférence VLSI en 2017.

De la même manière, l'effet de W a été étudié sur NMOS. Contrairement aux PMOS, nous ne voyons ici aucune dépendance de la géométrie. Ceci est dû au fait que le piégeage a lieu plus profondément dans l'oxyde.

Finalement, nous avons comparé différentes architectures et boosters de mobilité afin de trouver le meilleur compromis entre performance et fiabilité. La meilleure solution serait de combiner les avantages des finfets et des Ωfets. Pour cela, les structures de nanofils empilés semblent être idéales. Afin d'améliorer encore à la fois les performances et la fiabilité, on peut ajouter dans le canal une contrainte sSOI sur NMOS et SiGe sur PMOS.

Bibliographie

[1] Bruce E Deal, Maija Sklar, AS Grove, and EH Snow. Characteristics of the Surface-State Charge (Qss) of Thermally Oxidized Silicon. Journal of the Electrochemical Society, 114(3) :266–274, 1967.

[2] Kjell O Jeppson and Christer M Svensson. Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices. Journal of Applied Physics, 48(5) :2004–2014, 1977.

[3] Shigeo Ogawa and Noboru Shiono. Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO 2 interface. Physical Review B, 51(7) :4218, 1995.

[4] Muhammad Ashraful Alam and S Mahapatra. A comprehensive model of PMOS NBTI degradation. Microelectronics Reliability, 45(1) :71–81, 2005.

[5] Mustapha Rafik. Caractérisation et modélisation de la fiabilité des transistors avancés à dielectriques de hautes permittivités et à grille métalliques. PhD thesis, EDEEATS, 2005.

[6] Laurent Brunet. Caractérisation électrique et fiabilité des transistors intégrant des diélectriques High-k et des grilles métalliques pour les technologies FDSOI sub-32nm. PhD thesis, Aix-Marseille, 2012.

[7] T Aichinger, S Puchner, M Nelhiebel, T Grasser, and H Hutter. Impact of hydrogen on recoverable and permanent damage following negative bias temperature stress. In Reliability Physics Symposium (IRPS), 2010 IEEE International, pages 1063–1068. IEEE, 2010.

[8] Vincent Huard. Two independent components modeling for negative bias temperature instability. In Reliability Physics Symposium (IRPS), 2010 IEEE International, pages 33–42. IEEE, 2010.

[9] Tibor Grasser, B Kaczer, W Goes, Th Aichinger, Ph Hehenberger, and M Nelhiebel. A two-stage model for negative bias temperature instability. In Reliability Physics Symposium, 2009 IEEE International, pages 33–44. IEEE, 2009.

[10] Tibor Grasser, Karina Rott, Hans Reisinger, Michael Waltl, Franz Schanovsky, and Ben Kaczer. NBTI in Nanoscale MOSFETs&amp ;#x2014 ;The Ultimate Modeling Benchmark. IEEE Transactions on Electron Devices, 61(11) :3586–3593, November 2014.

[11] V Huard, F Cacho, Y Mamy Randriamihaja, and A Bravaix. From defects creation to circuit reliability–A bottom-up approach. Microelectronic Engineering, 88(7) :1396–1407, 2011.

[12] V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, and C. Ouvrard. New characterization and modeling approach for NBTI degradation from transistor to product level. In Electron Devices Meeting, 2007. IEDM 2007. IEEE International, pages 797–800. IEEE, 2007.

[13] J. Mitard, X. Garros, L. P. Nguyen, Cédric Leroux, G. Ghibaudo, F. Martin, and G. Reimbold. Large-Scale time characterization and analysis of PBTI in HFO2/Metal gate stacks. In Reliability Physics Symposium Proceedings, 2006. 44th Annual., IEEE International, pages 174–178. IEEE, 2006.

[14] Andreas Kerber, E Cartier, Luigi Pantisano, Maarten Rosmeulen, Robin Degraeve, Thomas Kauerauf, Guido Groeseneken, Herman Maes, and U Schwalke. Characterization of the Vt-instability un SiO2 HFO2 gate dielectrics. 2003.

[15] Guillaume Ribes, S Bruyere, D Roy, C Parthasarthy, M Muller, M Denais, V Huard, T Skotnicki, and G Ghibaudo. Origin of vt instabilities in high-k dielectrics jahn-teller effect or oxygen vacancies. IEEE Transactions on Device and Materials Reliability, 6(2) :132–135, 2006.

[16] Jin Ju Kim, Moonju Cho, Luigi Pantisano, Ukjin Jung, Young Gon Lee, Thomas Chiarella, Mitsuhiro Togo, Naoto Horiguchi, Guido Groeseneken, and Byoung Hun Lee. Process-dependent N/PBTI characteristics of TiN gate FinFETs. IEEE Electron Device Letters, 33(7) :937–939, 2012.

[17] Hyunjin Lee, Choong-Ho Lee, Donggun Park, and Yang-Kyu Choi. A study of negative-bias temperature instability of SOI and body-tied FinFETs. IEEE Electron Device Letters, 26(5) :326–328, 2005.

[18] Wen-Shiang Liao, Yie-Gie Liaw, Mao-Chyuan Tang, Sandipan Chakraborty, and Chee Wee Liu. Investigation of reliability characteristics in NMOS and PMOS FinFETs. IEEE Electron Device Letters, 29(7) :788–790, 2008.

[19] Shigenobu Maeda, Jung-A Choi, Jeong-Hwan Yang, You-Seung Jin, Su-Kon Bae, Young-Wug Kim, and Kwang-Pyuk Suh. Negative bias temperature instability in triple gate transistors. In Reliability Physics Symposium Proceedings, 2004. 42nd Annual. 2004 IEEE International, pages 8–12. IEEE, 2004.

[20] Subrat Mishra, Hiu Yung Wong, Ravi Tiwari, Ankush Chaudhary, Rakesh Rao, Victor Moroz, and Souvik Mahapatra. TCAD-Based Predictive NBTI Framework for Sub-20-nm Node Device Design Considerations. IEEE Transactions on Electron Devices, 63(12) :4624–4631, 2016.

[21] Masumi Saitoh, Kensuke Ota, Chika Tanaka, Yukio Nakabayashi, Ken Uchida, and Toshinori Numata. Performance, variability and reliability of silicon tri-gate nanowire MOSFETs. In Reliability Physics Symposium (IRPS), 2012 IEEE International, pages 6A–3. IEEE, 2012.

[22] G Cellere, MG Valentini, and Alessandro Paccagnella. Effect of channel width, length, and latent damage on NBTI. In Integrated Circuit Design and Technology, 2004. ICICDT'04. International Conference on, pages 303–306. IEEE, 2004.

[23] Cao Yan-Rong, Ma Xiao-Hua, Hao Yue, and Tian Wen-Chao. Effect of Channel Length and Width on NBTI in Ultra Deep Sub-Micron PMOSFETs. Chinese Physics Letters, 27(3) :037301, March 2010.

[24] Kensuke Ota, Masumi Saitoh, Chika Tanaka, Yukio Nakabayashi, Ken Uchida, and Toshinori Numata. Enhanced degradation by negative bias temperature stress in si nanowire transistor. Japanese Journal of Applied Physics, 51(2S) :02BC08, 2012.

[25] CD Young, A Neugroschel, K Majumdar, Z Wang, K Matthews, and C Hobbs. Bias temperature instability investigation of double-gate FinFETs. In Physical and Failure Analysis of Integrated Circuits (IPFA), 2014 IEEE 21st International Symposium on the, pages 70–73. IEEE, 2014.

[26] Chadwin D Young, Arnost Neugroschel, Kausik Majumdar, Ken Matthews, Zhe Wang, and Chris Hobbs. Investigation of negative bias temperature instability dependence on fin width of silicon-on-insulator-fin-based field effect transistors. Journal of Applied Physics, 117(3) :034501, 2015.

[27] T. Ouisse, S. Cristoloveanu, Tarek Elewa, H. Haddara, G. Borel, and D.E. Ioannou. Adaptation of the charge pumping technique to gated p-i-n diodes fabricated on silicon on insulator. Electron Devices, IEEE Transactions on, 38(6) :1432–1444, June 1991.

[28] B. Kaczer, P.J. Roussel, T. Grasser, and G. Groeseneken. Statistics of Multiple Trapped Charges in the Gate Oxide of Deeply Scaled MOSFET Devices ;Application to NBTI. Electron Device Letters, IEEE, 31(5) :411–413, May 2010.

[29] Hans Mertens, Romain Ritzenthaler, Hiroaki Arimura, Jacopo Franco, Farid Sebaai, Andriy Hikavyy, BJ Pawlak, Vladimir Machkaoutsan, Katia Devriendt, Diana Tsvetanova, et al. Si-cap-free sige p-channel finfets and gate-all-around transistors in a replacement metal gate process : Interface trap density reduction and performance improvement by high-pressure deuterium anneal. In VLSI Technology (VLSI Technology), 2015 Symposium on, pages T142–T143. IEEE, 2015.

[30] Jacopo Franco, Ben Kaczer, A Chasin, Hans Mertens, L-Å Ragnarsson, Romain Ritzenthaler, Subhadeep Mukhopadhyay, Hiroaki Arimura, Ph J Roussel, Erik Bury, et al. Nbti in replacement metal gate sige core finfets : Impact of ge concentration, fin width, fin rotation and interface passivation by high pressure anneals. In Reliability Physics Symposium (IRPS), 2016 IEEE International, pages 4B–2. IEEE, 2016.

[31] G. Besnard, X. Garros, A. Subirats, F. Andrieu, X. Federspiel, M. Rafik, W. Schwarzenbach, G. Reimbold, O. Faynot, and S. Cristoloveanu. Performance and reliability of strained SOI transistors for advanced planar FDSOI technology. In Reliability Physics Symposium (IRPS), 2015 IEEE International, pages 2F.1.1–2F.1.5, April 2015.

[32] Jacopo Franco, Ben Kaczer, Philippe J. Roussel, Jérôme Mitard, Moonju Cho, Liesbeth Witters, Tibor Grasser, and Guido Groeseneken. SiGe Channel Technology : Superior Reliability Toward Ultrathin EOT Devices&#x2014 ;Part I : NBTI. IEEE Transactions on Electron Devices, 60(1) :396–404, January 2013.

[33] Benjamin Vincent, Wilfried Vandervorst, Matty Caymax, and Roger Loo. Influence of si precursor on ge segregation during ultrathin si reduced pressure chemical vapor deposition on ge. Applied Physics Letters, 95(26) :262112, 2009.

[34] P Srinivasan, J Fronheiser, K Akarvardar, A Kerber, LF Edge, RG Southwick, E Cartier, and H Kothari. Sige composition and thickness effects on nbti in replacement metal gate/high-κ technologies. In Reliability Physics Symposium, 2014 IEEE International, pages 6A–3. IEEE, 2014.

[35] A Laurent, X Garros, S Barraud, G Reimbold, D Roy, E Vincent, and G Ghibaudo. Extensive study of Bias Temperature Instability in nanowire transistors. Microelectronic Engineering, 147 :10–14, 2015.

Chapitre 4

Mécanismes de dégradation des transistors 3D par porteurs chauds

Dans ce chapitre la dégradation par porteurs chauds sera étudiée sur les transistors 3D. Les différents mécanismes de dégradation vus sur la technologie planaire seront tout d'abord rappelés et leur application aux dispositifs tri-dimensionnels sera investiguée. Les effets de géométrie, tels que la largeur ou la forme du MOSFET, y sont également analysés. Enfin, l'effet des boosters de mobilité sur la fiabilité porteurs chauds est évalué.

4.1 Principe et caractérisation de la dégradation par porteurs chauds

Après avoir étudié la fiabilité BTI dans le chapitre précédent, nous nous intéressons ici à un second aspect prépondérant des mécanismes de fiabilité des transistors MOS : la dégradation par porteurs chauds (abrégé en HC pour *Hot Carrier*). Celle-ci se distingue du BTI par l'application d'une contrainte sur le drain comme on peut le voir sur le schéma de la figure 4.1. Ainsi un stress par porteurs chauds est défini principalement par ses tensions de contrainte sur la grille et le drain ainsi que par la température à laquelle la contrainte est appliquée.

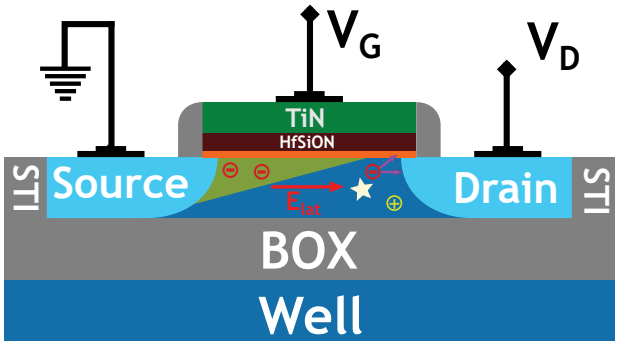

FIGURE 4.1 – Vue schématique d'une contrainte porteurs chauds appliquée sur un transistor planaire FDSOI. Sous l'effet du fort champ électrique, une paire électron trou se crée. Ces porteurs peuvent alors engendrer des défauts au niveau de la grille.

De manière simplifiée, lorsque le transistor fonctionne en régime saturé, on voit apparaitre un pincement du canal de conduction (cf. figure 4.1). Le champ électrique proche du drain est très élevé à cause de la forte chute de potentiel entre le point de pincement et le drain. Les porteurs arrivant dans cette zone de pincement sont fortement accélérés sous l'effet du champ et deviennent très énergétiques. Ces porteurs chauds peuvent alors dégrader l'oxyde de grille recouvrant la jonction canal/drain, soit par injection directe dans l'oxyde soit de manière indirecte en générant de nouvelles paires électrons/trous qui, a leur tour, vont créer des défauts d'interface. C'est alors logiquement que le premier modèle, élaboré par Takeda en 1983 [1] montre une dépendance en V_D de la dégradation. Viendra ensuite le modèle de l'électron chanceux traitant de la dégradation par injection directe de porteurs chauds [2]. Puis, dans les technologies avancées, une meilleure compréhension des mécanismes en jeu ont permis de raffiner ces modèles pour rendre compte aussi de la diminution de l'énergie moyenne des porteurs.

Lors d'une contrainte BTI, la dégradation est uniforme le long du canal ; la variation de la tension de seuil prédomine ainsi devant les autres paramètres. En revanche, lors d'une contrainte porteurs chauds, la dégradation est localisée principalement près du drain. Il en résulte que la mobilité est également affectée. Pour caractériser cette dégradation, il suffit de suivre l'évolution de la transconductance ${g_m}^{max}$, qui est reliée à la mobilité au travers de l'équation 4.1 [3]. Nous verrons dans la partie 4.3.3 que la prédominance de la dégradation du V_T ou ${g_m}^{max}$ permet de se situer dans un mode de dégradation différent.

$$g_m = WC_{ox}\mu_e ffE_c \tag{4.1}$$

Plus généralement, pour caractériser la dégradation HC, on enregistrera l'évolution des courants du transistor en régime linéaire (I_{Dlin}) et saturé (I_{Dsat}). Des dégradations typiques du courant saturé et de la transconductance sont reportées sur la figure 4.2. De ces données brutes, on peut aussi extraire la variation de la tension de seuil V_T, la transconductance maximale ${g_m}^{max}$ et le courant en régime saturé I_{Dsat} pour chaque doublet de tension de contrainte, comme indiqué sur la figure 4.3. Enfin, on pourra en déduire, pour chaque grandeur, une durée de vie ou Time To Failure (TTF) correspondant à un critère de dégradation. Pour les courants I_{Dlin}, I_{Dsat} et la transconductance, les TTFs sont données pour une dérive de 10 pourcents. Pour le V_T, le critère est généralement fixé à 50mV de drift. La figure 4.4 montre les TTFs extraits pour différents doublets de tensions de contrainte V_{stress}.

Dans cette introduction, ces différents modèles historiques ainsi que les principaux mécanismes de dégradation sont rappelés.

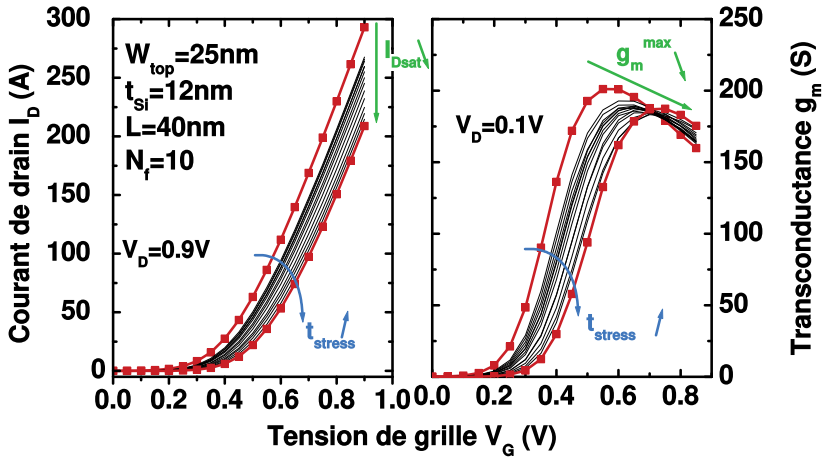

FIGURE 4.2 – Dégradation caractéristique du courant de drain lors d'un stress porteurs chauds (gauche). Il en résulte une variation de la transconductance g_m (droite) et de la tension de seuil V_T, non montré ici.

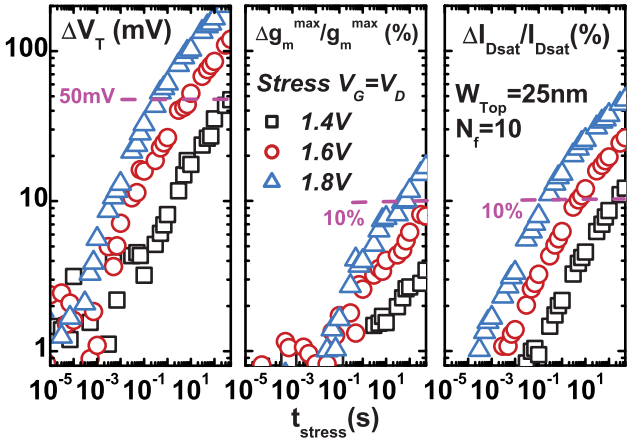

FIGURE 4.3 – Evolution des dégradations caractéristiques d'un stress porteurs chauds en fonction du temps. Les dégradations de la tension de seuil V_t, du maximum de la transconductance g_m^{max} et du courant de saturation I_{Dsat} permettent de modéliser la contrainte par porteurs chauds.

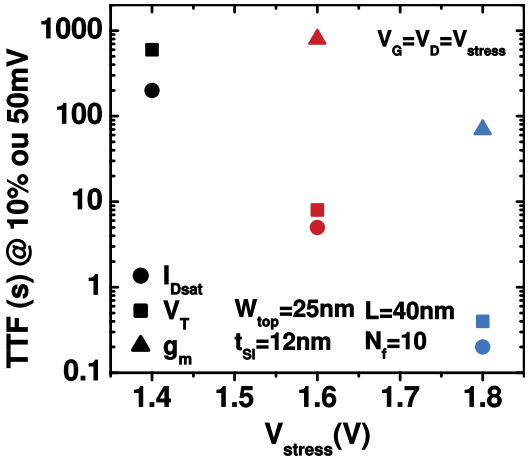

FIGURE 4.4 – Temps nécessaire pour atteindre le critère de 10% ou 50mV (TTF) en fonction de la tension de stress selon les dégradations de la figure 4.14.

4.2 Modélisation des mécanismes de dégradation porteurs chauds

4.2.1 Ionisation par impact

La dégradation HC est souvent associée au phénomène d'ionisation par impact dans la zone de pincement du canal. Il est donc fondamental de rappeler les principes physiques associés à cet effet. Dans cette section, l'étude est faite sur un transistor NMOS. Il suffit de remplacer

les électrons par des trous pour transposer ce phénomène à un PMOS. Comme nous l'avons expliqué en introduction, les porteurs possèdent une très forte énergie lors du stress. Ainsi un électron énergétique du canal (1) peut entrer en collision avec un atome du réseau. Cet électron va alors perdre de l'énergie lors de ce choc inélastique et la transmettre à un électron de la bande de valence. Ce dernier va alors passer dans la bande de conduction en laissant derrière lui un trou dans la bande de valence. Ce phénomène, résumé sur le schéma de la figure 4.5 peut alors induire différents dommages au transistor.

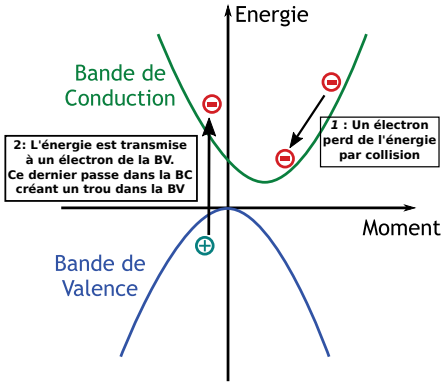

FIGURE 4.5 – Illustration du phénomène de ionisation par impact. Lors d'une collision avec un atome, un électron énergétique de la bande de conduction peut transmettre de l'énergie à un électron de la bande de valence. Ce dernier va alors migrer vers la bande de conduction en créant un trou dans la bande de valence [4].

D'une part, les électrons provenant de l'ionisation par impact peuvent, à leur tour, créer une paire électron trou. On parle alors de phénomène d'avalanche qui induit une forte augmentation du courant de drain. Afin d'éviter un vieillissement prématuré des dispositifs, des diodes de protection sont par exemple ajoutées afin de pallier une éventuelle décharge électrostatique.

D'autre part, selon la polarisation V_G/V_D et donc selon l'orientation respectivement verticale ou horizontale du champ électrique, ces porteurs pourront soit être injectés dans la grille, soit dans le drain, soit évacués par le substrat. Ainsi, si l'électron atteint l'oxyde, il pourra rompre les liaisons Si-H à l'interface et donc créer des défauts actifs. Ce principe constitue le modèle de l'électron chanceux détaillé dans la suite de ce chapitre.

4.2.2 Mécanismes de rupture de la liaison Si-H

La littérature suggère que la cause principale de la dégradation par porteurs chauds soit la rupture des liaisons Si-H. Celles-ci se situent à l'interface Si/SiO_2 et résultent de la passivation des liaisons pendantes de silicium par l'hydrogène. En effet, les porteurs accélérés par le champ électrique (porteurs chauds) gagnent suffisamment d'énergie pour rompre cette liaison et ainsi créer des défauts d'interface. Cependant, il a été démontré [5] [7] que plusieurs manières de casser cette liaison existent, dégradant différemment les paramètres électriques du transistor.

Les mécanismes de rupture se différencient principalement par l'énergie nécessaire à la rupture de la liaison. Cette énergie dépend des tensions de stress conjointement appliquées sur la grille et sur le drain. De plus, comme le montre la figure 4.6, l'adsorbat, i.e. l'atome d'hydrogène lié à un atome de silicium, peut être excité soit par étirement (stretching) soit par rotation (ben-

ding) [6]. Ce dernier mode nécessite moins d'énergie que le premier pour rompre la liaison. Il existe alors quatre ruptures possibles de la liaison passivée dont trois peuvent avoir lieu lors d'un stress par porteurs chauds.

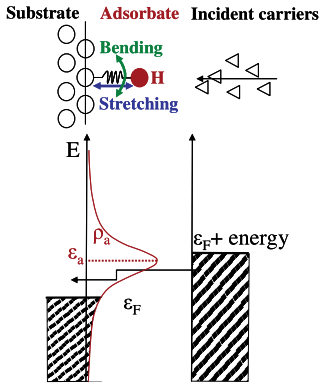

FIGURE 4.6 – Schéma de la dépassivation de liaison Si-H sous l'effet de porteurs incidents énergétiques. Ces derniers en transmettant cette énergie excitent les modes vibrationnels (bending ou stretching) de la liaison jusqu'à atteindre l'énergie de rupture ε_a [5].

Le premier mécanisme de rupture a lieu par excitation électronique direct (**D**irect **E**lectronic **E**xcitation). Ici, la liaison entre directement en résonnance grâce à la forte énergie des porteurs (supérieure à 2.5eV). La rupture de liaison est alors direct malgré un temps de désexcitation très court. Les niveaux d'énergie mis en jeu sont cependant trop élevés pour être atteint lors d'un stress porteurs chauds.

Si l'énergie du porteur est plus faible, autour de 1.5eV, la probabilité de désexcitation avant la rupture de la liaison augmente. L'énergie liée à l'excitation est alors transférée par couplage anharmonique à des modes vibrationnels dont le niveau énergétique est plus faible. La probabilité P_{coup} de la figure 4.7 représente la possibilité d'avoir une désorption directe de l'hydrogène au travers de ces niveaux multiples. Il s'agit du mode d'excitation vibrationnelle unique (**S**ingle **V**ibrationnal **E**xcitation). Si les porteurs voient leur énergie diminuer encore, ce dernier mode peut être assisté par scattering (**E**lectron **E**lectron **S**cattering). Ainsi chacun des porteurs ne peut pas à lui seul briser la liaison Si-H mais ils peuvent promouvoir certains d'entre eux à un niveau d'énergie plus élevé. Ces derniers seront alors en mesure de dépassiver la liaison.

Enfin, dans le dernier cas, l'énergie des porteurs est très faible même en considérant le scattering. Cependant leur nombre est important et chacun d'eux peut contribuer au remplissage d'un ou plusieurs niveaux $\hbar\omega$ du mode vibrationnel, dont la valeur de chacun est 0.075eV. La liaison finit alors par atteindre l'énergie nécessaire à sa rupture par palliers. Il apparait alors nécessaire que le temps entre chaque collision soit inférieure au temps de relaxation du mode vibrationnel afin de maintenir les porteurs excités. Ainsi plus il y a de porteurs dans le canal et plus les collisions seront fréquentes et donc plus la probabilité d'émission P_{emi} de l'hydrogène sera importante. Ce mode est donc fortement corrélé à la densité de courant dans le canal. Nous verrons dans la suite de ce chapitre, dans quelles mesures ces mécanismes de rupture sont liés aux modes de dégradation électriques.

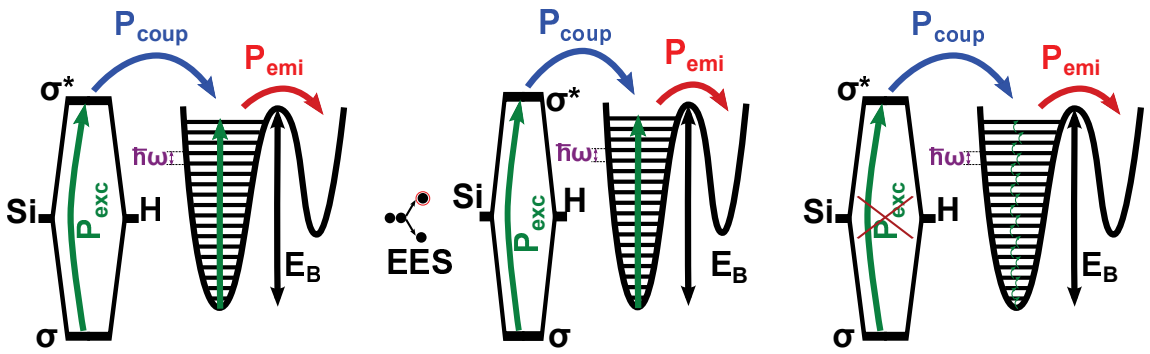

FIGURE 4.7 – Représentation des trois modes de rupture de la liaison pouvant intervenir lors d'un stress porteurs chauds [7]. Selon l'énergie des porteurs et donc selon le couple (V_G,V_D), l'un de ces phénomènes sera mis en jeu.

4.2.3 Historique de la modélisation de la dégradation HC

4.2.3.1 Modèle de Takeda

Takeda e été le premier à modéliser la contrainte porteurs chauds en 1983 [1]. Ce modèle est encore utilisé, dans le milieu industriel notamment, car il permet une évaluation rapide de la dégradation. Son principe de base est que les paramètres électriques du transistor, ${g_m}^{max}$, V_T, I_{Dlin}, I_{Dsat}, varient selon une loi en puissance lors d'un stress.

$$\Delta P = A \times t^n \tag{4.2}$$

où P est un des paramètres électriques énoncés ci dessus et A l'amplitude de la dégradation. A représente le taux d'inonisation par impact et dépend à ce titre de V_D

$$A \propto e^{-\alpha/V_D} \tag{4.3}$$

On peut alors extraire une durée de vie τ correpondante à un niveau donné de dégradation ΔP noté C,

$$\tau \propto C^{1/n} exp\left(\frac{\alpha}{nV_D}\right) \tag{4.4}$$

Takeda [8] avait déja démontré expérimentalement que le maximum du courant récolté au niveau du substrat ${I_B}^{max}$ présente également une dépendance en V_D et peut donc être lié à A. Cette valeur de courant représente le nombre de paire électrons-trous créées par ionisation par impact.

$$I_B^{max} \propto e^{-\beta/V_D} \propto A^{\gamma} \tag{4.5}$$

Ainsi le modèle permet de modéliser la dégradation porteurs chauds dans le pire cas en fonction de V_D uniquement ; V_G étant choisi au maximum du courant I_B pour avoir une ionisation par impact maximale.

4.2.3.2 Modèle de l'électron chanceux

Le modèle de l'électron chanceux, proposé par Hu en 1985 [2], est basé sur l'hypothèse du même nom [9]. Elle exprime la probabilité de génération de défauts à l'interface Si/SiO_2 par les éléctrons chauds accélérés par le champ électrique vertical. Celle-ci se divise en trois probabilités distinctes visibles sur la figure 4.8 :

1. dans un premier temps l'électron doit être suffisamment accéléré par le champ latéral afin d'atteindre la zone pincée sous la grille par collision élastique i.e. sans perte d'énergie
2. ensuite, l'électron doit atteindre l'interface grille/canal sans perdre d'énergie.
3. enfin, il doit pouvoir pénétrer l'oxyde sans être repoussé par le potentiel image.

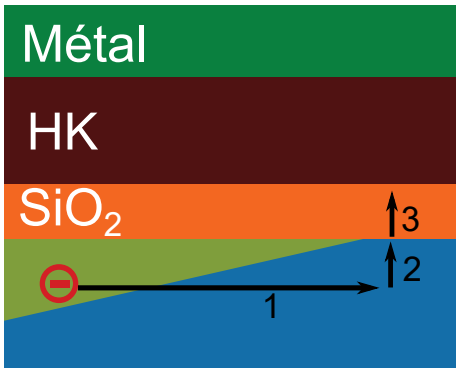

FIGURE 4.8 – Vue schématique des trois étapes du modèle de l'électron chanceux (*Lucky Electron Model*.

En considérant ce modèle, la distribution en énergie des porteurs f(E) suit la statistique de Maxwell-Bolzman. Ceci se traduit mathématiquement par l'équation 4.6 avec λ le libre parcours moyen du porteur.

$$f(E) \propto e^{-E/(q\lambda E_{lat})} \tag{4.6}$$

Lors d'une contrainte porteurs chauds ($V_G \approx V_D$), le champ électrique est peu favorable à l'injection de trous du fait de leur plus grande barrière de potentiel que les électrons. Il est alors admis que la majorité des trous issus de l'ionisation par impact sont collectés au niveau du substrat. Le ratio I_b/I_d est alors un bon indicateur du taux d'ionisation par impact :

$$\frac{I_b}{I_d} \propto e^{-\phi_{ii}/(q\lambda E_{lat})} \tag{4.7}$$

où ϕ_{ii} représente l'énergie minimum nécessaire pour déclencher une ionisation par impact. Ainsi cette expression représente la probabilité qu'a un porteur du canal de générer une paire électron-trou puisque $\phi_{ii}/(qE_{lat})$ désigne la distance qu'un porteur doit parcourir dans le champ électrique E_{lat} pour gagner l'énergie ϕ_{ii} nécessaire à déclencher une ionisation par impact. L'équation 4.7 représente donc la première probabilité de l'électron chanceux, à savoir la possibilité qu'a un porteur à créer une paire électron-trou s'il parvient à parcourir la distance $\phi_{ii}/(qE_{lat})$ sans collision.

De la même manière, en remplaçant ϕ_{ii} par ϕ_b, la hauteur de barrière entre le silicium du canal et l'oxyde de grille, on peut exprimer le courant de grille I_g.

$$I_g \propto I_d e^{-\phi_b/(q\lambda E_{lat})} \tag{4.8}$$

Cette équation permet d'estimer le nombre de porteurs atteignant l'interface Si/SiO_2 et pénétrant dans l'oxyde de grille (points 2 et 3 de l'électron chanceux).

Enfin, le nombre de défauts d'interface créés ΔN_{it} prend la même forme en remplaçant ϕ_{ii} par l'énergie nécessaire à créer un défaut d'interface ϕ_{it}. De plus, une dépendance en temps apparait :

$$\Delta N_{it} \propto \left(t \frac{I_d}{W} e^{-\phi_{it}/(q\lambda E_{lat})} \right)^n \tag{4.9}$$

Ainsi on peut extraire de l'équation 4.9 un modèle en durée de vie relatif au stress porteurs chauds :

$$\tau \propto \frac{W}{I_d} e^{\phi_{it}/(q\lambda E_{lat})} \tag{4.10}$$

Ce modèle a été revu par Rauch [10]. Il propose alors non plus une loi en exponentielle mais une loi en puissance. De plus, il propose une expression du champ latéral E_{lat} en fonction de la tension de drain V_D et de V_{Dsat}, la tension de saturation du drain qui correspond à la région pincée. V_{Dsat} dépendant de la tension de grille, ce modèle couvre n'importe quelle condition de stress contrairement au modèle de Takeda qui ne modélise que le pire cas.

4.2.3.3 Dégradation sur dispositif avancés L<100nm

Au cours des années, les dimensions et les tensions d'alimentation des transistors MOS ont diminué (cf. figure 4.9 gauche). En considérant l'équation 4.11, on en déduit une variation du champ électrique dans l'oxyde et donc de l'énergie des porteurs. La figure 4.9 (droite) montre alors que depuis le noeud 100nm le champ E_{lat} augmente du fait de la limite atteinte par V_{dd}. Il est en effet difficile de baisser la tension d'alimentation en dessous de 1V pour conserver un ratio I_{ON}/I_{OFF} suffisant. La prédiction de Hu [2] selon laquelle les dégradations par porteurs chauds diminueraient dans le temps s'est donc avérée fausse. De plus, alors que Hu prédisait qu'une énergie minimum de 3.7eV était nécessaire à la formation de porteurs chauds, d'autres résultats ont montré depuis que des dégradations étaient possible pour des valeurs d'énergie plus faibles. Il apparait donc nécessaire de développer un nouveau modèle : le modèle en énergie.

$$E_{lat} \propto \frac{V_{dd}}{L} \tag{4.11}$$

4.2.3.3.a Modèle en champ ou en énergie

Le modèle de l'électron chanceux explique que les porteurs peuvent être accélérés en traversant les zones à fort champ électrique. Ils acquièrent alors une forte énergie cinétique pour devenir des porteurs chauds. Si l'énergie obtenue est suffisante, les porteurs peuvent être injectés dans l'oxyde et sont ainsi en mesure de dégrader les paramètres électriques du transistor. Dans ce cas, ces dégradations sont proportionnelles au champ électrique latéral E_{lat} et la distribution en énergie des porteurs décroit alors de façon linéaire comme le montre la figure 4.10 de gauche.

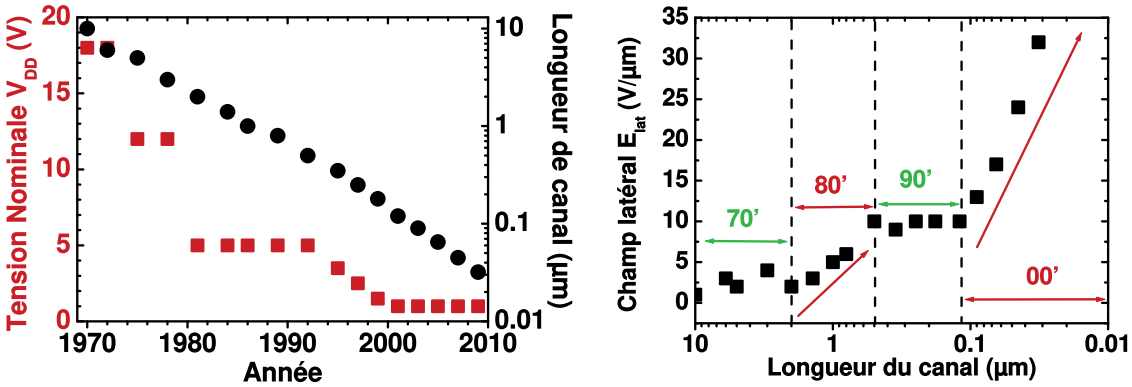

FIGURE 4.9 – Réduction de la tension nominale d'alimentation V_{DD} et de la longuer de canal au fil des années et des technologies (gauche). On en déduit alors une variation du champ dans l'oxyde en fonction de la longueur du canal (droite) [7].

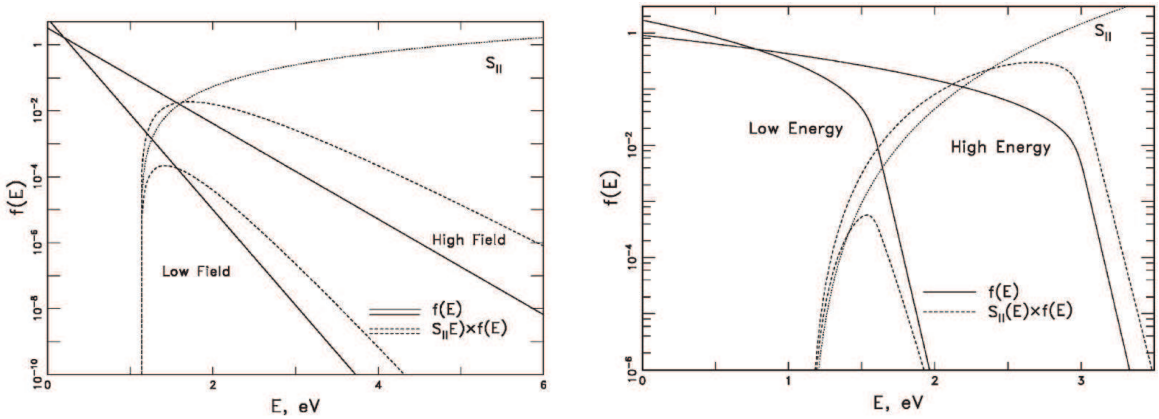

FIGURE 4.10 – Distribution en énergie des porteurs f(E) selon la statistique de Maxwell Boltzmann utilisée dans le LEM (gauche). Avec l'utilisation de technologies récentes, on constate une rupture de pente sur la fonction de distribution (droite)

Cependant, cette hypothèse ne semble plus valable pour les technologies avancées. Il a en effet été démontré que la distribution en énergie f(E) présentait une cassure au niveau de l'énergie maximale. Ceci correspond à la tension V_{eff} pour laquelle le canal commence a être pincé. La dépendance en énergie de la fonction f(E) prévaut ainsi sur la dépendance en champ électrique. On passe alors d'un modèle *"field driven"*, en l'occurence le LEM, à un modèle *"energy driven"* explicité ci dessous.

4.2.3.3.b Modèle par porteurs froids

Lorsque la tension de grille est supérieure à la tension de drain, le canal est moins pincé. Il en résulte des porteurs moins énergétiques du fait d'un champ électrique latéral moins fort. On ne parle alors plus de porteurs chauds mais de porteurs froids (CCC pour Channel Cold Carriers). Ainsi le mécanisme physique de rupture de la liaison Si-H change. Alors que nous étions précédemment dans un mode plutôt SVE (Single Vubrationnal Excitation), nous nous

retrouvons à présent en mode MVE. En traçant la durée de vie en fonction du courant de stress pour différentes longueurs de grilles, Bravaix [11] montre que contrairement au mode à forte énergie, la dégradation par porteurs froids ne dépend pas de L mais uniquement du courant I_D. Ceci est visible sur la figure 4.11 où la durée de vie est tracée en fonction du courant de stress. On constate alors qu'à fort courant, i.e. en mode CCC, toutes les dimensions sont regroupées sur une même tendance. A l'inverse, à faible courant, un effet de L est clairement visible. Ces observations ont pour conséquence la nécessité de différencier ces deux modes de dégradation dans le modèle porteurs chauds.

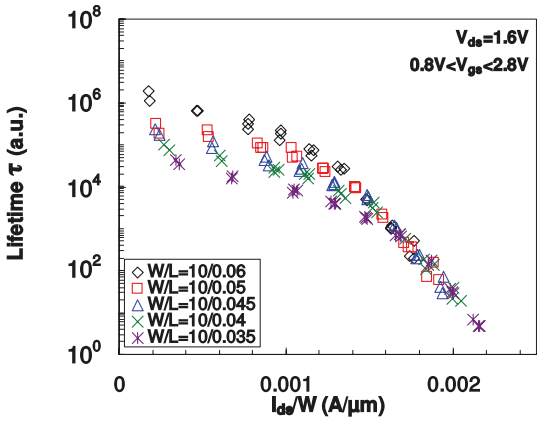

FIGURE 4.11 – Durée de vie en fonction du courant de stress pour différentes longueurs de grille. Lors d'un stress par porteurs froids, aucun effet de L n'est visible [5].

Rauch [10] [12] proposa une nouvelle approche permettant de modéliser à la fois le mode à forte énergie (*"energy driven"*) et le mode de dégradation par porteurs froids (*"current driven"*).

Il part alors de la distribution en énergie des porteurs f(E) permettant de connaître le nombre de porteurs pour une certaine valeur d'énergie. Ensuite, il définit $S_i(E)$ qui représente la probabilité qu'à ce porteur de créer un défaut. Enfin, la fonction *rate* modélisant la formation de défauts peut être définie par l'intégrale sur toute la gamme d'énergie du produit entre f(E) et $S_i(E)$:

$$R_i = \int f(E) S_i(E) d(E) \tag{4.12}$$

La formation de défauts pouvant être dû à l'ionisation par impact ou bien à la rupture de la liaison Si-H à l'interface, l'indice i peut prendre respectivement deux valeurs : ii pour *impact ionization* et it pour *interface trap*

Les reflexions ayant été menées par Rauch [10] et Guerin [5], on reporte simplement ici les expressions du modèle pour les différents modes.

Lorsque l'énergie des porteurs est élevée, la rupture de la liaison a lieu selon le mécanisme SVE. L'expression de la durée de vie est dans ce cas proche du modèle lucky electron :

$$\frac{1}{\tau_{SVE}} \propto \left(\frac{I_d}{W}\right)^{a_1} \left(\frac{I_b}{I_d}\right)^{m} \tag{4.13}$$

Concernant les porteurs froids, l'énergie des électrons n'est pas suffisante pour briser la liaison Si-H directement (E<1.5eV). Les états vibrationnels $\hbar\omega$ sont donc utilisés pour briser la

liaison étape par étape selon le mécanisme MVE. La probabilité de rupture de la liaison Si-H dépend donc de la valeur du pallier $\hbar\omega$ ainsi que du champ électrique. En effet, plus le champ est fort, plus un porteur pourra exciter un nombre important de palliers $\hbar\omega$ (illustration sur la figure 4.12) et donc plus la probabilité de rupture de la liaison est élevée. On obtient alors, dans le cas des porteurs froids, une expression de la durée de vie τ_{MVE} qui dépend à la fois de la tension V_{ds} (image du champ dans l'oxyde) et du courant I_{ds} (représentant le nombre de porteurs) :

$$\frac{1}{\tau_{MVE}} \propto R_{MVE} \propto C_3 \left(\sqrt{V_{ds}} \frac{I_{ds}}{W} \right)^{\frac{E_B}{\hbar\omega}} \tag{4.14}$$

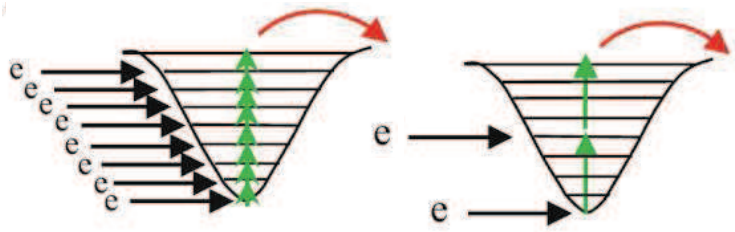

FIGURE 4.12 – Effet du champ électrique sur l'excitation de la liaison Si-H. Si le champ est élevé (figure de droite), les porteurs sont plus energétiques et peu d'entre suffisent à rompre cette liaison.

4.2.3.3.c Mise en évidence des modes de dégradation HC

Afin de différencier ces modes de dégradation, il est possible de tracer la durée de vie en fonction du courant de drain au cours du stress. C'est le travail réalisé par Arfaoui [13] sur la figure 4.13. On remarque alors qu'à fort courant, un premier amas de points apparait. Il s'agit du mode M3 (entouré en bleu sur la figure). Comme expliqué dans la partie précédente, la durée de vie dépend fortement de la densité de courant et donc, dans cette zone la pente est très raide.

La diminution de cette pente signifie donc que la corrélation entre le courant stress et la durée de vie n'est plus aussi importante. On bascule alors vers le mode M2 entouré en vert sur la figure puis vers le mode M1 en rouge qui se situe dans la zone à faible I_D. La durée de vie est alors quasiment la même quelque soit la valeur du courant. Ceci démontre que le mode M1 dépend peu de la densité de courant.

On constate de plus que le mode M2 apparaît lorsque $V_G \approx V_D$ en technologie FDSOI planaire. Cependant en technologie bulk planaire, le ratio V_G/V_D est plus proche de 0.8 [5] [15]. Dans la suite de cette partie nous tenterons de définir le seuil entre les modes M1 et M3 pour les architectures 3D.

Le premier mode intervient lorsque les porteurs sont fortement énergétiques c'est à dire lorsque $V_D >> V_G$. Cette énergie favorisera l'ionisation par impact et donc le transfert de porteurs de la bande de valence vers la bande de conduction. Ceux-ci pourront atteindre l'interface Si/SiO_2 selon le modèle de l'électron chanceux et par la suite dissocier la liaison Si-H par le mécanisme SVE (excitation vibrationnelle unique). Le modèle de Hu correspond à ce mode que l'on appelera mode à forte énergie ou mode M1. Nous pourrons alors modéliser la durée de vie selon la formule 4.10.

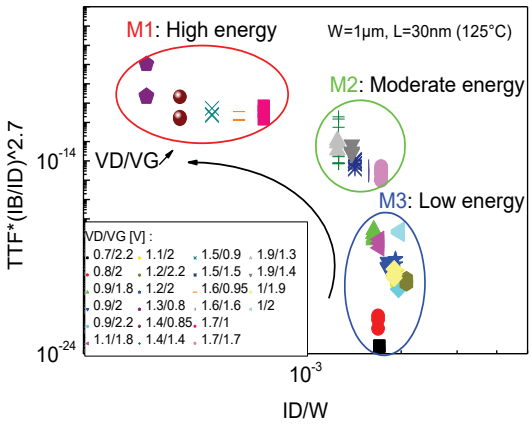

FIGURE 4.13 – Mise en évidence des différents modes de la dégradation porteurs chauds en fonction du courant de stress sur une technologie planaire [14]

A l'inverse, si la tension de grille est bien supérieure à V_D, les porteurs sont nombreux mais peu énergétiques. Chacun d'eux atteint alors un, ou plusieurs, pallier(s) $\hbar\omega$ du mode vibrationnel de la liaison. La rupture de la liaison s'effectue alors par excitation multivibrationelle (mode MVE). La dégradation dépend en premier lieu de la densité de courant et la durée de vie peut être modélisée par le modèle porteurs froids de la partie 4.2.3.3. Ce mode est appelé mode piloté en courant ou mode M3.

Entre ces deux modes, i.e. lorsque les tensions de drain et de grille sont proches, les porteurs sont plus énergétiques qu'en mode M1 mais pas suffisamment pour briser seuls la liaison. Ils peuvent alors le faire par scattering comme expliqué précédemment. Ce mode, appelé M2, est un mode de transition entre les modes M1 et M3. A ce titre les mécanismes de dégradation sont une combinaison de ceux intervenant en M1 et en M3. Selon les technologies (Bulk, FDSOI, Finfets, etc.), le ratio de tensions V_G/V_D délimitant ce mode M2 varie entre 0.7 et 1.

4.3 Mécanismes de dégradations par porteurs chauds sur les architectures 3D

Dans cette partie, nous allons désormais étudier la dégradation porteurs chauds observée sur nos dispositifs à trois dimensions. On commencera par décrire de manière phénoménologique les mécanismes de dégradation HC dans ces dispositifs. Puis, on identifiera les modes de dégradation suivant les conditions de contrainte afin de proposer un modèle adapté à chacun d'eux. Enfin on évaluera de manière rigoureuse comment l'auto-échauffement affecte la dégradation HC dans ces nanofils.

4.3.1 Dégradation typique au cours d'une contrainte porteurs chauds

La figure 4.14 montre comment évoluent les paramètres clés associés à un nanofil NMOS de largeur W_{top}=25nm lors d'une contrainte porteur chaud. Le stress est effectué à V_{stress}= V_G=V_D et V_{stress} varie de 1.4V à 1.8V. Comme dans les transistors planaires, lors d'une contrainte HC, on note non seulement une dérive de la tension de seuil au cours du stress mais aussi, de la transconductance, synonyme de dégradation de la mobilité des électrons, contrairement à une

contrainte PBTI. Il en résulte ainsi une dégradation du courant de drain en régime saturé qui sera plus largement usitée dans la suite pour caractériser la dégradation porteurs chauds pour différentes valeurs du doublet (V_G,V_D).

Pour identifier les défauts créés lors de ces contraintes, la relaxation de la dégradation est aussi enregistrée et reportée sur la figure 4.15. La méthodologie de mesure rapide du BTI est utilisée ici pour éviter toute relaxation durant la contrainte et aussi pour pouvoir enregistrer la relaxation dès la microseconde après l'arrêt du stress. Ici, V_G est fixée à 1.8V alors que V_D varie de 0 à 2.2V. Il apparaît clairement, lors d'un stress HC (V_D>0), que la dégradation du courant de drain observée ici est *quasi permanente* : aucun recouvrement significatif de la dérive de I_{dsat} n'est visible durant 8 décades de temps après l'interruption du stress. Là aussi, ce résultat est très similaire à celui vu précédemment sur les technologies planaires Bulk [11, 16] ou FDSOI [14, 17]. Cela suggère que la dégradation porteur chaud dans ces architectures 3D est ici aussi liée à la génération d'états d'interface (N_{it}) au voisinage du drain via un mécanisme de dépassivation de liaisons Si-H décrit en 4.2.2. On verra par la suite que l'identification des différents modes de dégradation suivant l'énergie des porteurs permet de confirmer la cassure de liaisons Si-H au voisinage de la jonction canal/drain sous l'espaceur nitrure. Par ailleurs, on peut voir sur la figure 4.15 que la dégradation PBTI i.e. V_D=0V est quasiment négligeable par rapport aux dégradations HC i.e. V_D>0. Cela permet de confirmer que, sur NMOS, PBTI et HC sont deux mécanismes complètement indépendants et par conséquent qu'il est parfaitement possible d'étudier les stress HC indépendamment du PBTI. Pour rappel, le PBTI est souvent associé à un piégeage dans le volume de l'oxyde de grille uniforme sur la longueur du canal alors la dégradation HC est associé à une génération de pièges d'interface localisée. En revanche, sur transistor PMOS, la séparation des deux phénomènes NBTI et HC est moins aisée comme on va le voir dans la partie suivante.

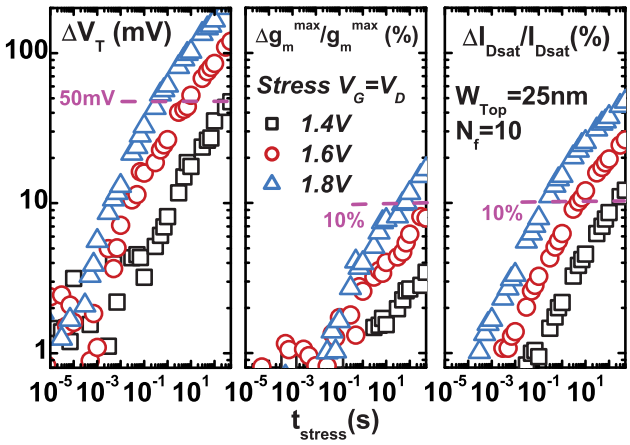

FIGURE 4.14 – Dégradations caractéristiques lors d'un stress porteurs chauds sur une architecture tri-dimensionelle. Les dégradations de la tension de seuil V_t, de la transconductance g_m^{max} et du courant de saturation I_{Dsat} permettent de modéliser la contrainte par porteurs chauds.

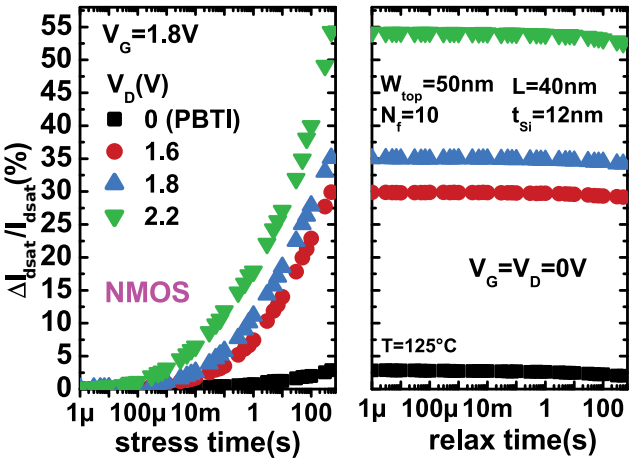

FIGURE 4.15 – Dégradation et relaxation du courant en régime saturé lors d'une contrainte PBTI (noir) et de stress porteurs chauds sur un transistor NMOS. La composante BTI est négligeable devant les porteurs chauds.

4.3.2 Cas des transistors PMOS et contribution du NBTI

La figure 4.16 montre les mêmes dégradations et relaxations typiques que celles de la figure 4.15, mais mesurées, cette fois, sur un nanofil PMOS.

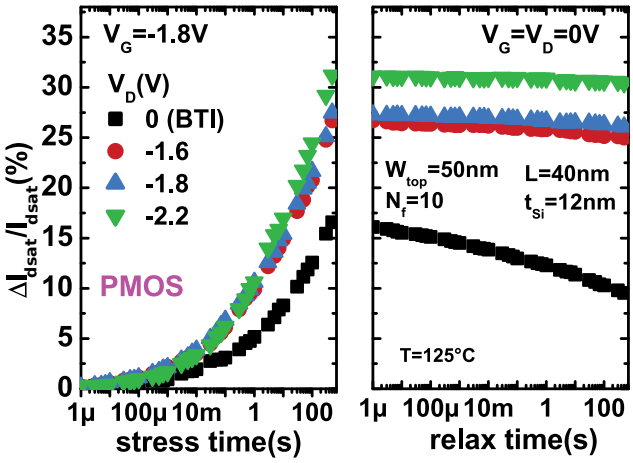

FIGURE 4.16 – Dégradation et relaxation du courant I_{Dsat} sur un transistor PMOS pour différents V_D. Les dégradations NBTI et porteurs chauds sont du même ordre de grandeur mais seul le NBTI relaxe de manière significative.

L'écart entre la dégradation HC et NBTI étant inférieure à un facteur deux, une contribution du NBTI sur le stress porteur chaud est à considérer. Il apparait alors compromis de faire une étude complète sur PMOS sans auparavant parvenir à supprimer cette composante NBTI afin de suivre la dégradation dûe uniquement aux porteurs chauds.

La figure 4.17 confirme la création d'états d'interface lors d'un stress HC sur NMOS. On y observe également la relaxation due à un stress NBTI sur PMOS. En effet, la valeur de la dégradation du courant est deux fois plus faible après relaxation. Cependant, ces phénomènes

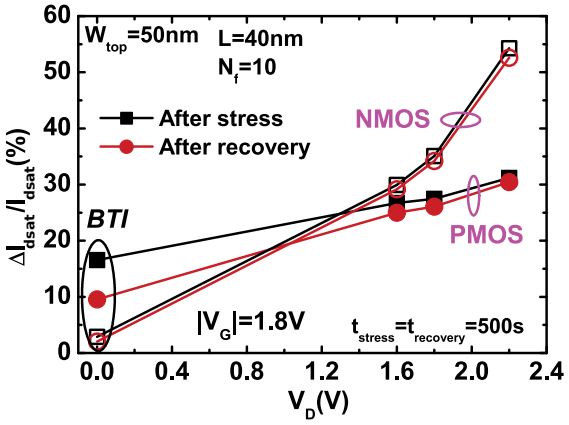

FIGURE 4.17 – Dégradation du courant de saturation en fonction de V_D pour V_G=1.8V après stress (noir) et après relaxation (rouge). Seule la contrainte NBTI montre une relaxation significative.

de relaxation tendent à disparaitre à partir d'une tension de drain de 1.5V. Ceci signifie que les mécanismes mis en jeu lors d'un stress NBTI et HC sont différents. Lors d'une dégradation NBTI, il s'agit principalement du piégegage dans l'oxyde interfacial de grille [18]. En revanche, la création d'états d'interfaces est responsable de la dégradation HC de la même manière qu'en NMOS [15]. La faible relaxation en PMOS à V_D=1.6V montre donc une contribution du BTI comme annoncé précédemment. Or, il apparait compliqué de décorréler les deux phénomènes. A ce titre dans la suite de ce chapitre, nous nous intéresserons principalement à la dégradation des transistors NMOS.

4.3.3 Identification des modes de dégradation

Pour identifier les différents modes possibles de dégradation sur ces architectures trigate, on utilise la tecnhique proposée par Arfaoui et al. [14] pour une technologie bulk. Elle consiste à tracer la dégradation du courant de drain en régime linéaire en fonction de ΔV_T comme illustré sur la figure 4.18. Suivant la localisation spatiale des défauts créés lors du stress HC, la mobilité des porteurs et la tension de seuil sont plus ou moins impactées. Il en résulte une corrélation différente entre la dégradation du courant I_{Dlin} et de la tension de seuil V_T. Pour rappel, une dérive du courant linéaire est liée à la variation de la tension de seuil et de la transcondcutance selon [19] :

$$\frac{\Delta I_{dlin}}{I_{dlin}} = -\frac{gm}{I_{dlin}}\Delta V_T + \frac{\Delta\mu}{\mu} \tag{4.15}$$

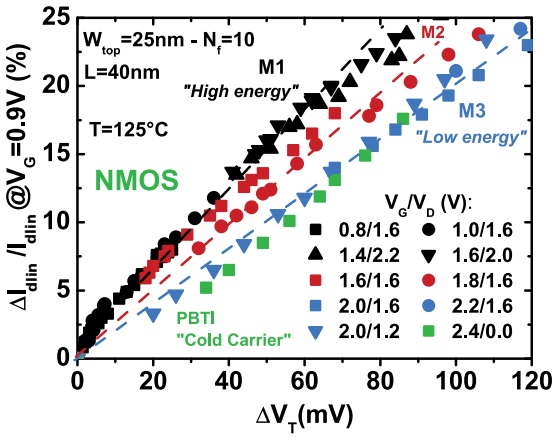

FIGURE 4.18 – Dégradation du courant en régime linéaire en fonction de ΔV_T pour différents couples (V_G,V_D).

Mode	M1	M2	M3
Dépendance	Energie	Mix	Courant
Mécanisme physique	SVE	EES	MVE
Ratio V_G/V_D	<<1	≈1	>1

TABLE 4.1 – Tableau récapitulatif des propriétés des 3 modes de dégradation par porteurs chauds..

Plus précisément, comme on peut le voir sur la figure 4.19 à gauche, lorsque V_D>V_G, le canal est fortement pincé et l'énergie des porteurs est importante dans la zone "chaude" se situant proche du drain. La dégradation de la mobilité est plus forte que celle de la tension de seuil puisque les porteurs de charge passent difficilement de la source au drain. La dégradation du courant linéaire est alors fortement lié à la dégradation de la transconductance $g_m{}^{max}$. Sur la figure 4.18, le mode à forte énergie est représenté par les points noirs dont la pente est élevé.

A l'inverse, si l'énergie est faible, on se rapproche d'un stress BTI, comme le montrent les points bleus et verts de la figure 4.18. La contrainte est alors uniforme le long du canal et la dégradation du V_T prédomine sur la mobilité comme le montre la figure 4.19 à droite. Ces phénomènes sont visibles sur le diagramme de la figure 4.20. Les contributions de la tension de seuil et de la mobilité, à travers la transconductance, y sont représentées pour une dégradation fixe du courant à deux couples (V_G,V_D) de tensions de stress différentes.

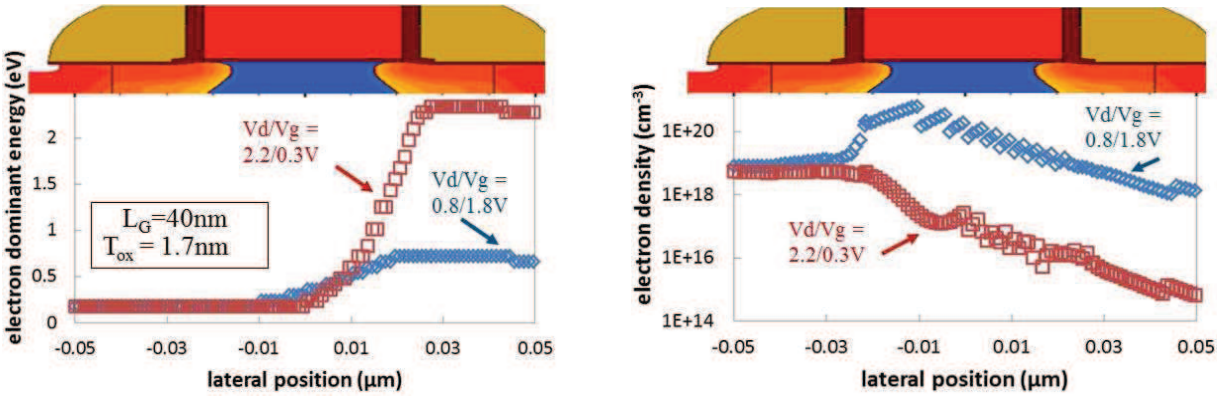

FIGURE 4.19 – Energie des électrons (gauche) et densité de porteurs (droite) simulés par TCAD pour deux valeurs de ratio V_G/V_D. On retrouve un mode piloté en énergie lorsque V_G<V_D. A l'inverse lorsque V_G>V_D, la dégradation porteurs chauds est pilotée par la densité d'électrons. [20]

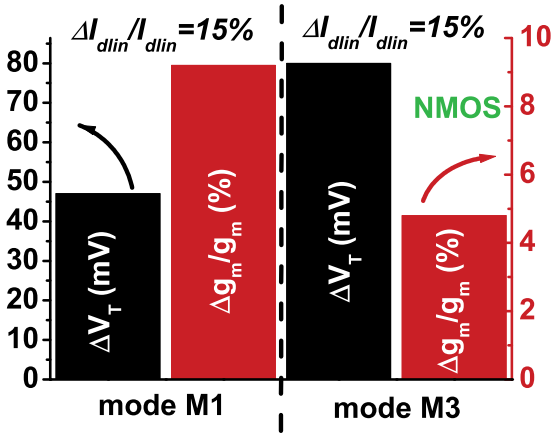

FIGURE 4.20 – Dégradation de la tension de seuil et de la transconductance pour ΔI_{Dlin}=15%. En mode M1 la dégradation se situe sous le canal ($\Delta g_m/g_m > \Delta V_T$) alors qu'en mode M3 la contrainte est uniforme sous la grille ($\Delta g_m/g_m < \Delta V_T$).

4.3.4 Modélisation des modes d'énergie M1 et M3

4.3.4.1 Extraction de la tension de saturation de drain V_{Dsat}

Il a été démontré au paragraphe précédent que le mode M1 était piloté par l'énergie des porteurs, notamment dans la zone pincée. On peut alors exprimer la dégradation du courant en fonction (V_D-V_{Dsat}) où V_{Dsat} désigne la tension de saturation. Cette grandeur désigne la valeur de V_D à partir de laquelle le canal est pincé. Trois méthodes sont disponibles pour déterminer V_{Dsat}. La première est purement analytique et donnée par Taur [21] au travers de la formule suivante :

$$V_{Dsat} = \frac{2\frac{V_G - V_T}{m}}{1 + \sqrt{1 + 2\frac{V_G - V_T}{m \times F_C(L)}}} \tag{4.16}$$

où $F_C(L)$ désigne le champ maximal et m représente l'effet de charge du bulk qui s'exprime pour la technologie FDSOI en fonction de C_{ox}, la capacité de l'oxyde de grille, C_{box}, celle de l'oxyde enterrée et t_{Si} l'épaisseur du film de silicium selon la formulation 4.17.

$$m = 1 + \frac{C_{box}\frac{\varepsilon_{Si}}{t_{Si}}}{C_{ox}\left(C_{box} + \frac{\varepsilon_{Si}}{t_{Si}}\right)} \tag{4.17}$$

Les valeurs de m et $F_C(L)$ n'étant pas définies pour les architectures tri-dimensionnelles, cette méthode ne peut pas être appliquée à cette étude.

Les deux autres méthodes sont basées sur des données courant/tension expérimentales. Dans la première d'entre elles, reportée par Ghibaudo [22], V_{Dsat} désigne la valeur pour laquelle la conductance de sortie normalisée est égale à une constante (généralement prise égale à 0.1 ou 0.01). Cependant, comme le précise Ghibaudo dans [23], cette méthode n'est vérifiée que pour des longueurs de grille supérieures à 400nm. Cette étude étant réalisée sur des transistors de longueur 100nm, il ne nous reste plus qu'une méthode afin de définir la tension de saturation.

Cette dernière est basée sur la dérivée de la conductance de sortie g_D au travers de la formule

suivante [24]

$$G\left(V_D\right) = g_D \times \frac{\partial}{\partial V_D}\left(\frac{1}{g_D}\right) \tag{4.18}$$

Cette fonction G forme une courbe en cloche en fonction de la tension de drain. La valeur maximale de cette fonction représente alors la tension de saturation V_{Dsat}. La figure 4.21 permet ainsi de déterminer les valeurs de V_{Dsat} pour différentes valeurs de V_G. On remarque par ailleurs qu'en reprenant les valeurs de F_C et m données dans [25], la corrélation entre la formule de Taur et la méthode experimentale est très bonne, comme on peut l'apercevoir sur la figure 4.22.

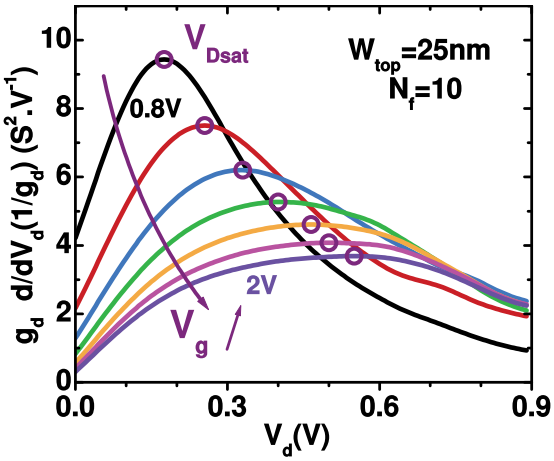

FIGURE 4.21 – Extraction de la tension V_{Dsat} par la mesure de la dérivée de la conductance pour différentes valeurs de V_G. V_{Dsat} est déterminée par le maximum de la fonction pour chacune des tensions de grille.

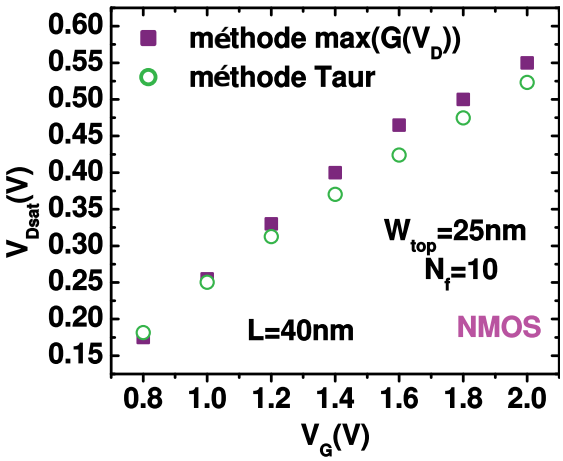

FIGURE 4.22 – Comparaison entre la valeur de V_{Dsat} extraite par la valeur de la conductance et la formule de Taur. Pour ce faire les valeurs de m (2.7) et F_C (0.74mV) des technologies bulk planaires ont été utilisées .

4.3.4.2 Modélisation du mode à forte énergie M1

Après avoir explicité le modèle précédemment dans ce chapitre, nous allons à présent pouvoir juger de la pertinence de celui-ci en le corrélant à nos mesures. Pour ce faire, différentes tensions de stress (V_G,V_D) ont été utilisées et pour chacune d'entre elle cinq transistors ont été testés. On peut alors, pour chaque couple (V_G,V_D), interpoler une valeur de durée de vie moyenne. Afin de limiter au maximum les erreurs d'extrapolation, on tentera dans chaque cas de stresser les dispositifs suffisamment longtemps pour s'approcher au maximum du critère de degradation de 10% fixé précédemment (cf. figure 4.23).

La figure 4.24 permet de comparer le modèle en exponentielle de Hu avec celui en puissance de Rauch. Dans les deux cas, les quatre points en noir, pour lesquels V_G<V_D, correspondent aux modèles ainsi qu'aux résultats observés en technologie planaire [5] [10] [14]. A fort V_G, la tension V_{Dsat} augmente et donc l'énergie, représentée par V_D-V_{Dsat} diminue. On observe notamment une quasi-saturation de cette grandeur autour de 1V pour le mode M3. Ceci signifie bien que ce mode n'est plus gouverné par l'énergie des porteurs.

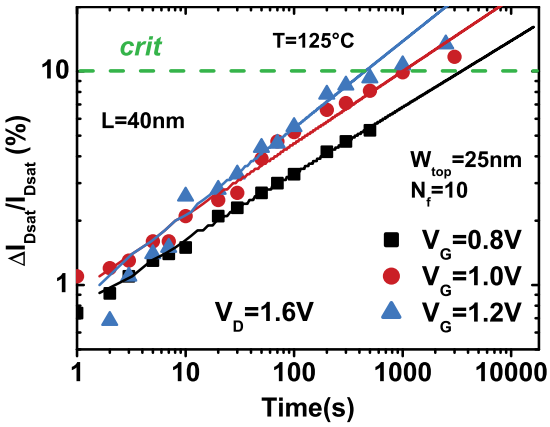

FIGURE 4.23 – Dégradation du courant I_{Dsat} en fonction du temps de stress. Pour éviter les erreurs d'extrapolation, les durées de vie à 10% sont proches des points de mesure.

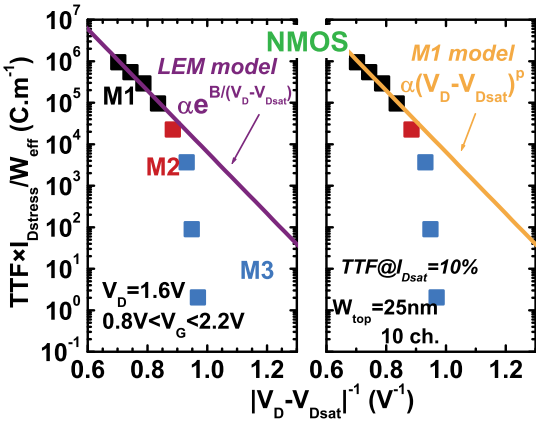

FIGURE 4.24 – Durée de vie en fonction de —V_D-V_{Dsat}— pour différents V_G à V_D=1.8V. Les modèles en puissance et en puissance décrivent le mode M1.

Cependant, la décroissance de la courbe en fonction de $(V_D\text{-}V_{Dsat})^{-1}$ revient à imaginer une augmentation de la durée de vie en fonction de V_D ce qui n'est pas réaliste. Cette incohérence ne peut être dû ni aux valeurs de durée de vie ni à V_{Dsat} puisque celles ci ne sont pas extrapolées et reflètent donc la réalité expérimentale.

Plusieurs hypothèses ont été envisagées afin d'expliquer ce phénomènes. La première est que la densité de porteurs a plus d'importance que ne le laisse présager le modèle. Les couples (V_G, V_D) mis en jeu correspondraient donc plutôt au mode M2 qu'au mode M1. La solution serait alors de baisser les tensions de stress appliquées. Cependant en agissant de la sorte on ne dégraderait pas suffisamment le dispositif pour avoir une estimation correcte de la dégradation à 10% d'I_{Dsat}. Une seconde hypothèse consiste à reconsidérer totalement le modèle en y ajoutant une composante en $(I_{Dstress}/W)^n$ avec n> 1. L'influence de la densité de porteurs n'apparaitrait alors plus si négligeable.

Arfaoui a réalisé une étude similaire concernant les transistors planaires. En considérant des oxydes minces (comparables à nos dispositifs), la valeur de B (constante de l'exponentielle de la figure 4.24) trouvée est positive de la même manière que pour notre étude. La problématique est donc la même dans ce cas. En revanche, sur des transistors à oxyde épais, la valuer de B est négative. Ainsi plus V_D est élevée plus la durée de vie est courte. Le modèle parait donc correct pour ces oxydes épais. En conclusion, pour étudier le mode M1 sur les oxydes minces, il faudrait baisser l'énergie des porteurs et donc les tensions de stress à des valeurs trop faibles pour dégrader suffisamment le dispositif en un temps raisonnable.

On s'intéresse à présent à différentes largeurs W afin d'estimer si les phénomènes porteurs chauds sont exacerbés sur des structures tri-dimensionnelles. La figure 4.26 représente ainsi la dégradation temporelle du courant I_{Dsat} pour cing largeurs différentes allant de 25 à 230nm. On ne constate alors aucun effet de W en régime M1, lorsque V_G<V_D (figure de gauche). Dans ce mode, la dégradation dépend majoritairement de l'énergie proportionnelle à $(V_D\text{-}V_{Dsat})$. La figure 4.25 montre que la tension V_{Dsat} est indépendante de W tant que $V_G \leq 1.6$V. Puisque V_D est fixe et que V_G vaut 1.2V, le résultat de la figure 4.26 est cohérent avec les mécanismes de dégradation du mode M1. On en conclut donc que la dégradation HC en mode M1 est identique

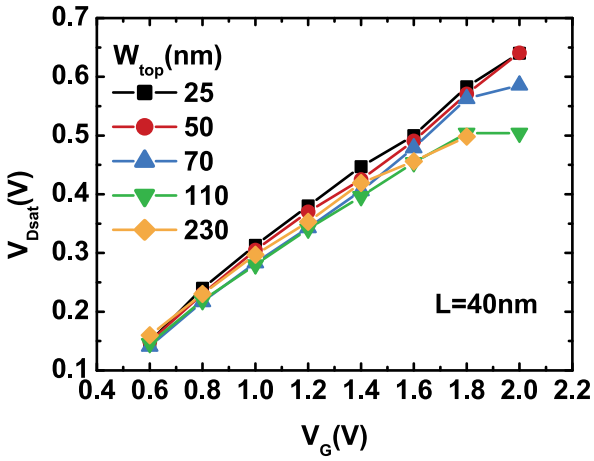

FIGURE 4.25 – Valeur de la tension de saturation V_{Dsat}, calculée à partir de la dérive de la conductance, en fonction de la tension de grille V_G. Aucun effet de la largeur n'apparait tant que la tension de grille est inférieure ou égale à 1.6V.

sur les transistors planaires et tri-dimensionnels.

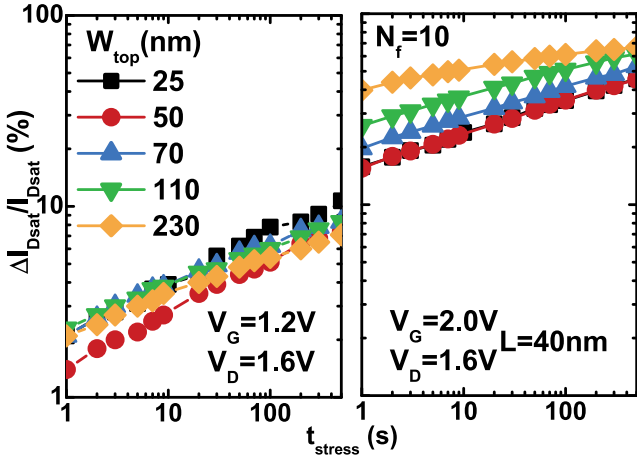

FIGURE 4.26 – Dégradation du courant I_{Dsat} en fonction du temps de stress pour différentes largeurs de nanofils. A gauche, en mode M1, aucun effet géométrique n'apparait. A droite, en mode M3, l'effet est dû à différentes valeurs de $I_{Dstress}$.

4.3.4.3 Modélisation du mode à fort courant M3

Après avoir étudié le mode M1, il s'agit dans cette section de modéliser le mode M3 pour les architectures 3D. Pour rappel, le mode M3 est un mode dans lequel un porteur seul n'a plus assez d'énergie pour créer un défault. Cependant leur grand nombre permet quand même de rompre la liaison Si-H grâce à l'excitation multi vibrationnel de celle-ci. Le modèle correspondant est donc le modèle porteurs froids donné par l'équation 4.14.

En accord avec ce modèle, la TTF des transistors NMOS est tracée en fonction de $V_D{}^{0.5}.I_{Dstress}$ sur la figure 4.27. On utilise les mêmes tensions de stress que pour le mode M1 auxquelles on

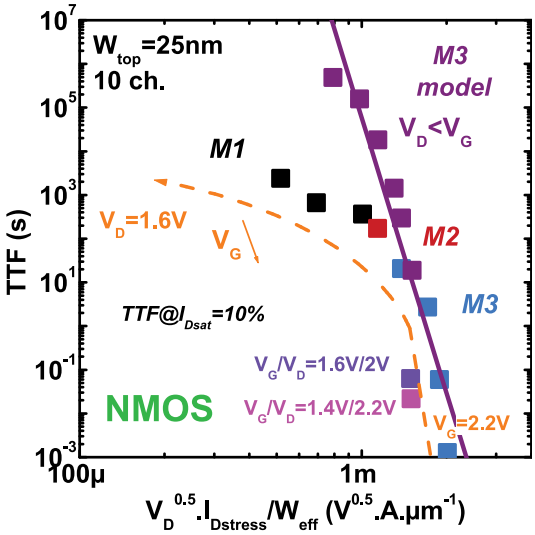

FIGURE 4.27 – Durée de vie en fonction de la tension de drain et du courant de stress $I_{Dstress}$ pour différents couples (V_G,V_D). Tous les points du mode M3 peuvent être représentés par le modèle porteurs froids.

ajoute des couples (V_G,V_D) supplémentaires (en violet). On remarque alors que le modèle par porteurs froids modélise très bien les points M3. La puissance de $I_{Dstress}$ extrapolée est de 21, là où Guérin trouvait 17. Les résultats obtenus pour la dégradation par porteurs chauds à fort courant sont donc similaires à ceux obtenus sur une technologie FDSOI planaire.

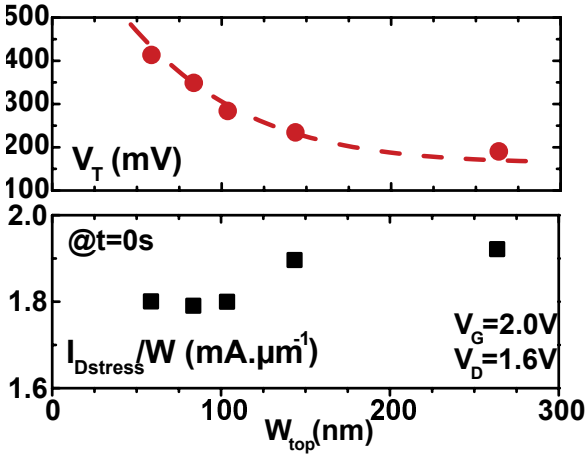

FIGURE 4.28 – Tension de seuil V_T (haut) et courant de stress $I_{Dstress}$ (bas) en fonction de la largeur W_{top}. A mêmes tensions (V_G,V_D), le stress en courant n'est pas le même selon W_{top}.

Concernant les effets géométriques, la figure 4.26 semble indiquer un effet de W favorable aux nanofils les plus étroits. En effet, la dégradation est plus importante sur des dispositifs larges. Cependant, lorsque V_G>V_D, la durée de vie dépend du courant de stress et ce dernier augmente en fonction de W comme le montre la figure 4.28. Ce résultat fausse donc le résultat de la figure 4.26. Il apparait alors préférable de tracer la durée de vie en fonction du courant de

stress afin de s'affranchir de cet effet. On notera également que les largeurs W_{top} sont légèrement différentes du chapitre précédent puisque la longueur de grille L change.

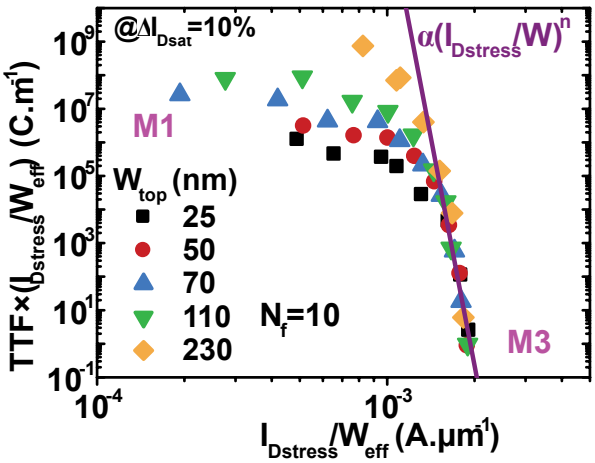

FIGURE 4.29 – Durée de vie en fonction de V_D et $I_{Dstress}$ pour différentes largeurs W_{top}. Les données du modes M3 corrspondent au modèle de la figure 4.27.

En traçant la durée de vie pour différentes valeurs de W sur la figure 4.29, on constate que le modèle porteurs froids précédemment établi prend en considération tous les points correspondant au mode M3 pour les cinq valeurs de W_{top}. On retrouve alors une puissance d'$I_{Dstress}$ proche des valeurs de Guérin [5] identique à celle trouvée dans la partie 4.3.4.3.

Pour conclure, les modèles concernant les tranistors planaires vus précédemment conviennent pour la dégradation porteurs chauds sur NMOS. De plus, aucun effet de W n'apparait en dégradation porteurs chauds contrairement à la contrainte NBTI. Ceci peut s'expliquer par la nature différente des pièges mis en jeu dans chacun des mécanismes de fiabilité

4.3.5 Aperçu de la dégradation sur les transistors PMOS

Les publications sur la modélisation et les mécanismes de dégradation par porteurs chauds sur les transistors NMOS sont fréquentes. En revanche, lorsque l'on considère la dégradation sur des dispositifs PMOS, il existe très peu d'études auxquelles se référer [26]. On se propose ici de vérifier la validité des mécanismes précédents concernant les transistors PMOS.

Que ce soit sur NMOS ou sur PMOS, lorsque $|V_G| < |V_D|$, les porteurs majoritaires du canal sont fortement énergétiques. A l'inverse, si $|V_G| > |V_D|$, l'énergie des porteurs est faible mais leur densité est importante. Il apparaitrait alors logique de définir de la mêmes manière que sur NMOS, trois modes de dégradation.

Néanmoins, nous avons vu précédemment (cf. partie 4.3.2) qu'une contribution du NBTI était à prévoir sur la dégradation porteurs chauds des PMOS et notamment à faibles tensions V_D. En voulant identifier les différents modes, en considérant la corrélation entre la dégradation du courant I_{Dlin} avec celle de V_T (de manière analogue aux transistors NMOS) sur la figure 4.30, on constate que les trois séries de points noires rouges et bleues sont superposées. La courbe verte relative au NBTI se détache des trois autres et se trouve alors avec une pente plus forte du fait de mécanismes de dégradations différents. On note que la dégradation NBTI est mesuré sur des dispositifs longs (L=10μm). Cependant on a montré dans la partie 3.15 que la dégradation

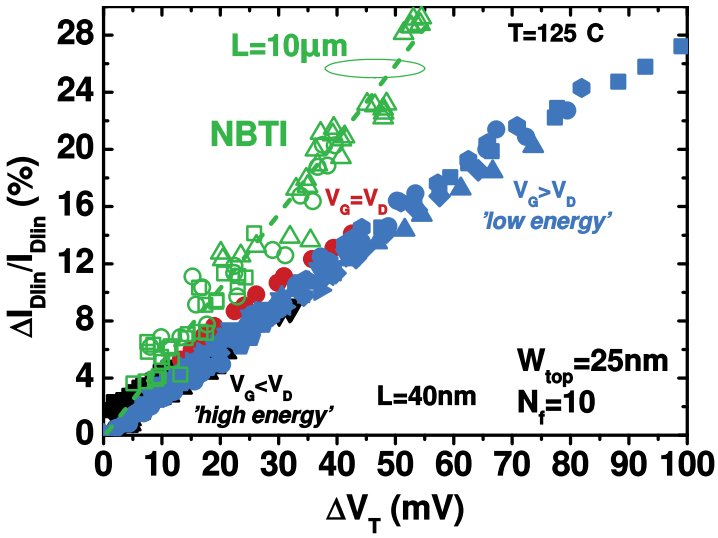

FIGURE 4.30 – Correspondance entre la dégradation du courant en régime linéaire et la dégradation de la tension de seuil à différents couples (V_G,V_D) sur PMOS.

NBTI était indépendante de L. On comprend finalement que la contribution du NBTI sur le mode M3 à faible énergie implique une pente plus forte pour ce mode et donc les trois modes sont confondus. Une étude approfondie sur les transistors PMOS apparait donc nécessaire pour comprendre les mécanismes mis en jeu. Il faudrait notamment décoréler la dégradation porteurs chauds de celle liée au BTI. Ceci n'a malheureusement pu être réalisé au cours de cette thèse.

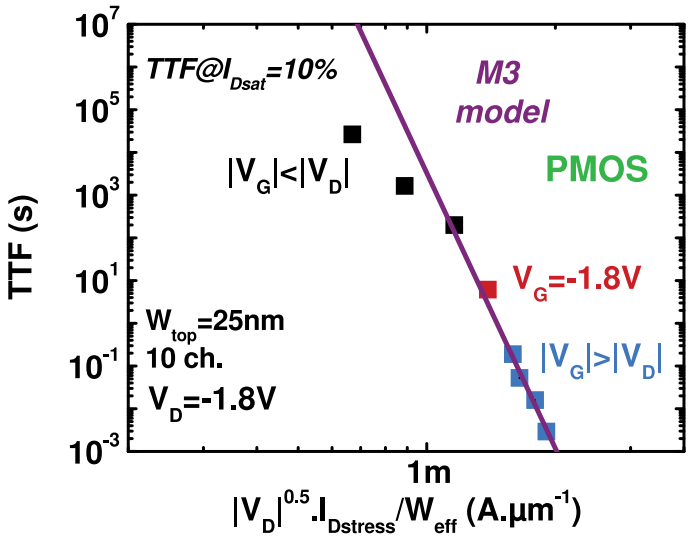

FIGURE 4.31 – Durée de vie en fonction de la tension de drain et du courant de stress $I_{Dstress}$ pour différents couples (V_G,V_D. Tous les points du mode M3 peuvent être représentés par le modèle porteurs froids.

Cependant, la figure 4.31 révèle que les dégradations pour lesquelles $|V_G| > |V_D|$ (en bleu) peuvent être modélisées en courant de la même manière que sur transistor NMOS. La puissance

du modèle est d'ailleurs 21 comme sur NMOS. Néanmoins, le modèle passe également par le point pour lequel V_G=V_D et par un point noir ($|V_G| < |V_D|$). Il ne modélise donc pas uniquement le mode à fort courant. La contribution du NBTI semble donc également apparaitre sur ce graphique ; en s'ajoutant au mécanisme porteurs chauds, il complique fortement la modélisation des différents modes.

4.4 Étude de l'auto-échauffement induit par les porteurs chauds

4.4.1 Introduction

Lors d'un stress porteurs chauds, la densité de courant est très importante dans le canal, notamment en mode M3. Ainsi, par effet joule, ce courant peut créer de l'auto-échauffement, également appelé self heating. Cet échauffement entraîne alors une dégradation des paramètres statiques du transistor et donc une dégradation de la fiabilité globale. Malgré des études relativement anciennes montrant l'existance du self-heating [27–30], sa prise en compte sur la fiabilité des transistors est récente. En effet, la réduction de la taille des transistors est beaucoup plus importante que la baisse des tensions d'alimentation. Le champ électrique augmente alors [31] entrainant une hausse de la température dans le canal.

De plus, Cho et al. [32] montrent par des mesures experimentales que cet effet est accentué à la fois sur des dispositifs SOI et finfets. Pour la technologie SOI, ceci est du à l'oxyde enterré qui agit comme un isolant thermique et empêche la chaleur de s'évacuer par le substrat. Il a d'ailleurs été démontré que plus le BOX est épais plus l'effet d'auto échauffement est prononcé. En ce qui concerne les finfets, plus ils sont allongés et étroits et plus l'évacuation de la chaleur par le substrat est difficile [33]. La figure 4.33 montre ainsi une forte augmentation de la température sur des transistors finfet en comparaison à une technologie planaire. selon ce graphe, la température peut atteindre plus de 50°C (hausse de tempérautre de 30°C) sur les dispositifs avec la hauteur de fin la plus élevée. Lee [34] montre ainsi que la transconductance g_{ds}, i.e. le courant I_{ds}, varie avec la fréquence. A haute fréquence, le transistor n'a pas le temps de chauffer. En revanche, à plus faible fréquence, l'auto-échauffement apparait et le courant diminue. Ce résultat, visible sur la figure 4.32, met également en évidence que l'instrumentation DC standard ne permet pas de mesurer cet écart de courant. En effet le temps de réponse du self heating est de seulement quelques dizaines de nanosecondes là ou la mesure est faite en quelques microsecondes.

Dans cette partie nous allons donc voir comment mesurer l'auto-échauffment et le décoréler de nos stress porteurs chauds précédents.

4.4.2 Méthodologie de mesure de l'échauffement

La prise en compte de l'auto-échauffement dans nos mesures porteurs chauds se déroulent en deux parties. D'abord, il est nécessaire de mesurer l'élévation en température grâce à la résistance thermique. Ensuite l'activation en température de la durée de vie porteurs chauds i.e. de la dégradation du courant de saturation I_{Dsat} est considéré. Le graphique de la figure 4.34 récapitule ces différentes étapes de manière détaillée.

La première étape consiste donc à mesurer l'élévation en température dans le canal lors de la contrainte porteurs chauds. Pour ce faire, nous allons utiliser la méthode de thermométrie de la grille afin de connaitre la résistance thermique R_{th}. Une structure spécifique avec deux

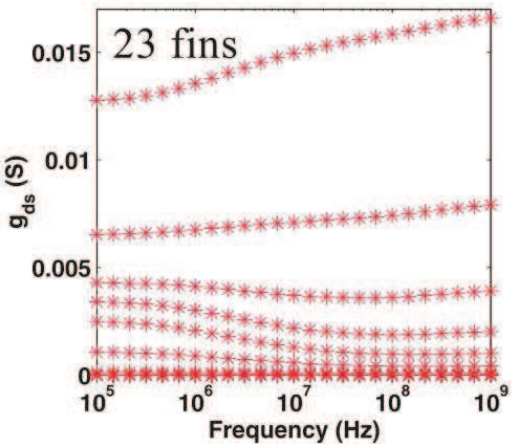

FIGURE 4.32 – Evolution de la conductance de drain en fonction de la fréquence pour différentes valeurs de V_D. A forte tension et basse fréquence, l'auto-échauffement induit une baisse de g_{ds} [34].

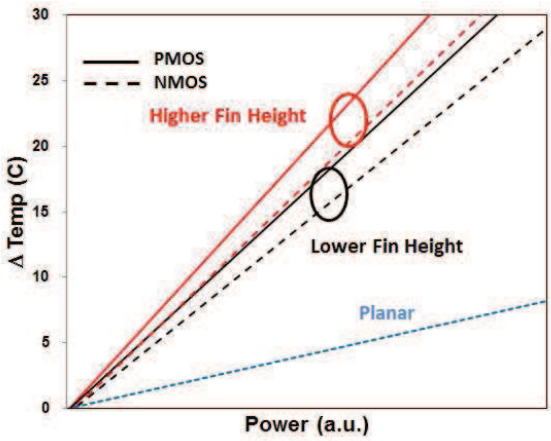

FIGURE 4.33 – Augmentation de la température dans les transistors 3D et planaires en fonction de la puissance dissipée. Un finfet s'échauffe beaucoup plus qu'un dispositif planaire. De plus, plus la hauteur de fin est élevée, plus la hausse de température est importante [35].

contacts de grille sera utilisée. Elle est schématisée sur la figure 4.35. Ces deux contacts de grille permettent la mesure de la résistance de la grille à la fois en fonction de V_D et de la température.

Dans un premier temps, on se place à V_D=0 afin que l'échauffement induit par le courant soit négligeable. On obtient alors une dépendance au premier ordre de la résistance avec la température : $R_{grille}=A\times T+B$. Ce résultat est visible sur la figure 4.36 à la fois pour un dispositif 3D étroit (rouge) et large (noir). Par sa taille plus étroite, le nanofil possède une résistance plus faible d'un facteur 20. De plus sa dépendance en température est plus faible que celle du transistor large, quasi planaire. La température T lors d'une contrainte possède une composante induite par l'auto-échauffement ΔT ajoutée à la température ambiante T_{amb}. Ainsi il découle des expressions précédentes une dépendance de ΔT en fonction de la résistance de grille $\Delta T=(R_{grille}-B)/A-T_{amb}$.

Parallèlement à ces résultats, la dépendance de la puissance dissipée dans le drain P_{Drain} en fonction de la tension V_D est obtenue à partir de mesures IV sur le drain. Ce résultat, conjugué à celui de la première étape, permet d'exprimer la résitance de grille en fonction de la puissance P_{Drain}.

Enfin les résultats des étapes 3 et 5 permettent d'exprimer l'auto-échauffement ΔT en fonction de la puissance dissipée dans le drain. Cette dépendance du self-heating peut être approximée par une fonction du premier ordre (facteur de corrélation supérieur à 0.99) La pente de cette équation représente alors la résistance thermique R_{th}. Un exemple est donné sur la figure 4.37. On constate alors qu'un nanofil, s'auto-échauffera plus qu'un dispositif planaire pour une même puissance dissipée.

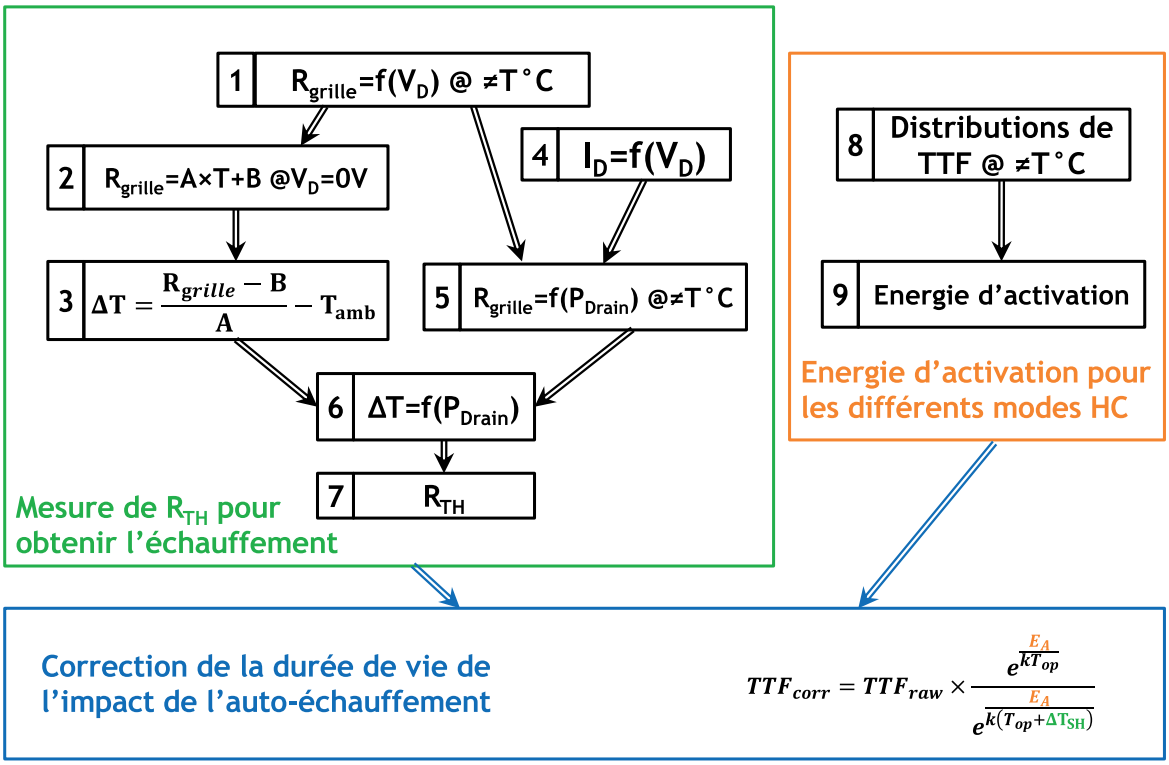

FIGURE 4.34 – Méthode de mesure de l'auto-échauffement par thermométrie de la grille (encadré vert). En compilant la mesure de la résistance thermique et l'énergie d'activation, la décorrélation du self-heating de la contrainte porteur chaud est possible.

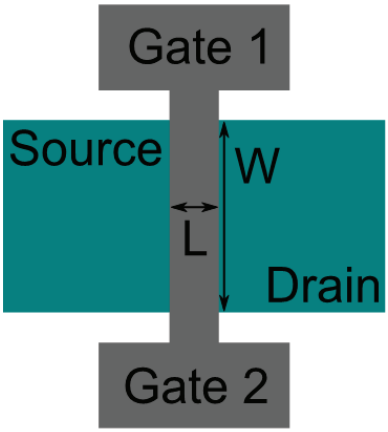

FIGURE 4.35 – Structure à double contact de grille utilisée pour la mesure de la résistance thermique R_{th}.

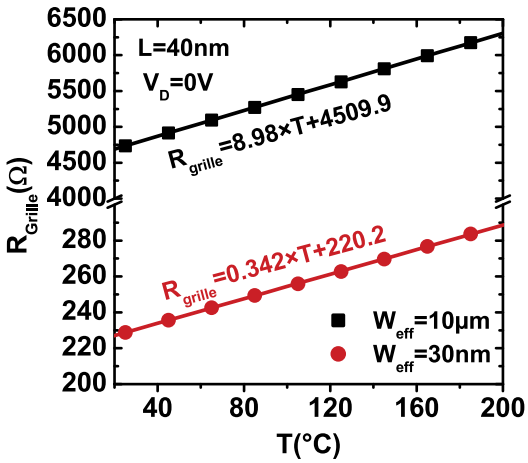

FIGURE 4.36 – Dépendance en température de la résistance de grille pour un transistor étroit et un large.

4.4.3 Résistance thermique et élévation locale de la température

La méthode de la thermométrie précédemment rappelée permet alors de mesurer la résistance thermique sur un nanofil étroit (W_{eff}=30nm), un transistor quasi planaire (W_{eff}=10μm) ainsi qu'un dispositif intermédiaire (W_{eff}=120nm). Sur la figure 4.38, en plus de ces résultats visibles en noir, les résultats de simulation de Mariniello en rouge [36] et le modèle de Su [37] en magenta sont représentés. Dans un premier temps, on remarque que le modèle de Su, initialement destiné aux transistors planaires, permet de prédire les valeurs de R_{th} pour les dimensions les plus larges. Seulement, il ne permet pas de prédire la courbure pour les transistors étroits. En effet la valeur trouvée pour un nanofil de largeur 30nm est bien trop différente de la valeur expérimentale. Ce modèle empirique décrit par l'équation 4.19 n'est donc plus valable pour des dimensions submicrometriques.

$$R_{th} = \frac{1}{2W_{eff}}\sqrt{\frac{t_{BOX}}{K_{Si}K_{SiO_2}t_{Si}}} \tag{4.19}$$

où K_{Si} et K_{SiO_2} représentent respectivement la conductivité thermique du silicium et de l'oxyde de silicium, t_{BOX} et t_{Si} les épaisseurs de l'oxyde enterré et du film de silicium.

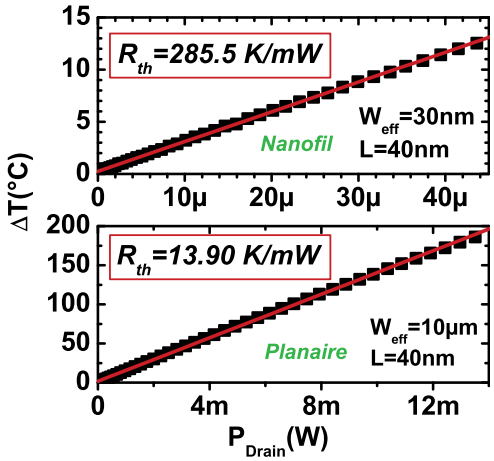

FIGURE 4.37 – Dépendance linéaire de l'autoéchauffement ΔT en fonction de la puissance P_{Drain} pour un dispositif étroit (haut) et large (bas). La pente représente la résistance thermique R_{th}.

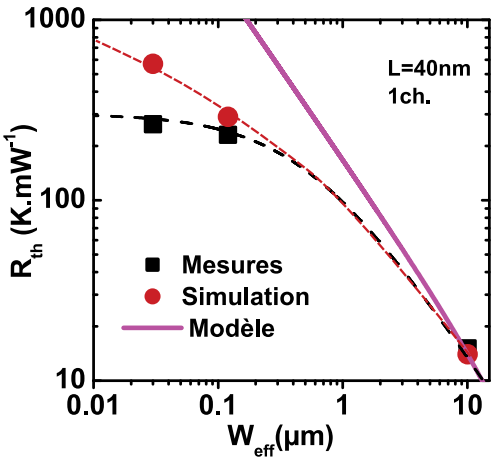

FIGURE 4.38 – Résultats de mesure de résistance thermique en fonction de la largeur W_{eff}. Ceux-ci sont comparés aux simulations de Marriniello [36] et au modèle de Su [37].

Mariniello a quant à lui simulé les valeurs de résistance thermique pour des transistors exactement identiques à ceux testés expérimentalement. Si la corrélation est parfaite pour des dispositifs très larges, un écart est visible pour des largeurs inférieures à 1μm. Ceci s'explique par la taille des contacts de grille. En effet, lorsque le transistor est étroit, la surface des contacts est plus importante que celle de la grille. Ainsi, les lignes de métal agissent comme dissipateurs thermiques et la résistance mesurée ne correspond pas à la température du canal. En revanche, lorsque la largeur est importante, les contacts restent négligeable devant la taille de la grille et n'influent pas sur la mesure. Pour la suite de cette étude, nous préfererons donc les valeurs issues de la simulation qui sont finalement plus proches de la température réelle du canal.

Ces valeurs nous permettent finalement d'estimer l'autoéchaufement lors d'un stress par porteurs chauds. La figure 4.39 représente la température d'auto-échauffement pour un nanofil et un transistor plus large pour trois couples de tensions (V_G, V_D). Afin d'avoir une échelle lisible pour les deux dimensions la puissance en abscisse est normalisée par la largeur W_{eff}. Malgré une résistance thermique plus élevé, l'auto échauffement est moins important sur les nanofils. Ceci s'explique par une puissance plus importante sur les dispositifs larges.

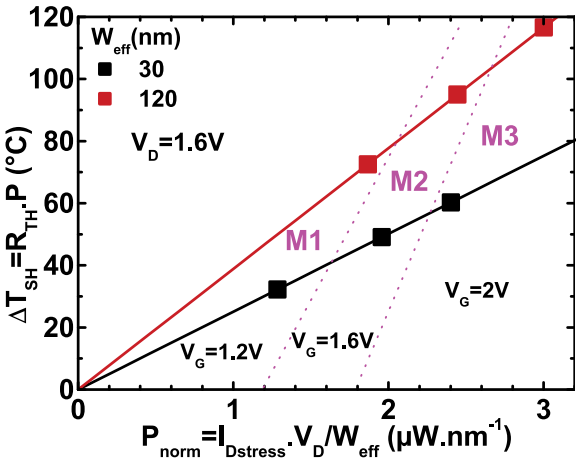

FIGURE 4.39 – Elevation de la température dûe au phénomène d'auto-échauffement lors de stress porteurs chauds pour différentes valeurs de V_G à V_D=1.6V. Dans les 3 modes de dégradation, l'échauffement est plus important sur des dispositifs larges.

4.4.4 Mesure de l'activation en température

L'échauffement induit par le courant dans le canal ne suffit pas à évaluer l'impact du self-heating sur la dégradation par porteurs chauds. Il est également indispensable de connaitre l'activation en température de la dégradation. En effet, si la durée de vie était la même quelle que soit la température, l'impact de l'auto-échauffement sur la fiabilité serait nul. Pour mesurer cette énergie d'activation, les mêmes dispositifs à double grilles sont utilisés. Afin de s'affranchir de la variabilité induite sur ces transistors unitaires, 60 dispositifs sont testés pour chacune des conditions. On obtient alors des distributions de durée de vie pour chaque couple (V_G,V_D). La figure 4.40 présente le résultat pour un nanofil de 30nm de large. Dans chacun des trois modes, la durée de vie est la même quelle que soit la température. Il semblerait donc que l'activation soit très faible. Ce résultat se confirme sur la figure 4.41 où l'énergie d'activation est obtenue par une loi d'Arrhenius. Dans tous les cas, pour les dispositifs larges et étroits, l'énergie d'activation E_A est inférieure à 0.1eV. Ceci signifie que la dégradation par porteurs chauds sur ces dispositifs est faiblement activée en température. Ainsi, la température élevée dans le canal influe très peu, voire pas du tout, la dégradation du courant de saturation ΔI_{Dsat}.

Cependant, nous avons vu précédemment que le mode M3 dépendait principalement non pas de la tension appliquée mais du courant de stress $I_{Dstress}$. Lorsque l'on augmente la température, le risque de collision entre porteurs augmente et donc le courant diminue. Ce résultat apparait sur la figure 4.42. Dans ce mode il faut alors considérer un stress à courant constant quelle que soit la température. Ceci nous permet alors de corriger l'énergie d'activation du mode M3. Le

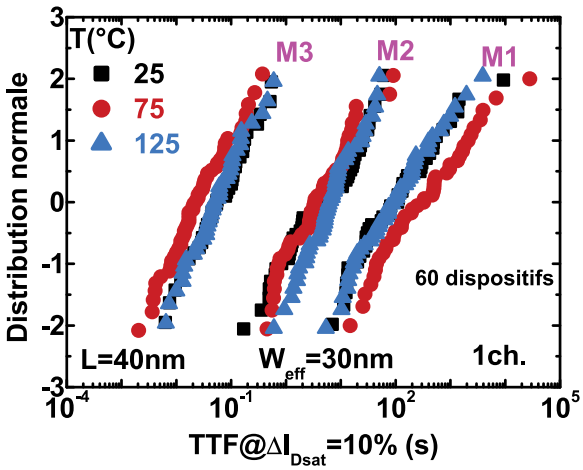

FIGURE 4.40 – Distribution normale de la durée de vie porteurs chauds pour un nanofil de 30nm de large. Ces mesures ont été faites dans les trois modes de dégradation et à trois températures afin d'évaluer l'activation en température.

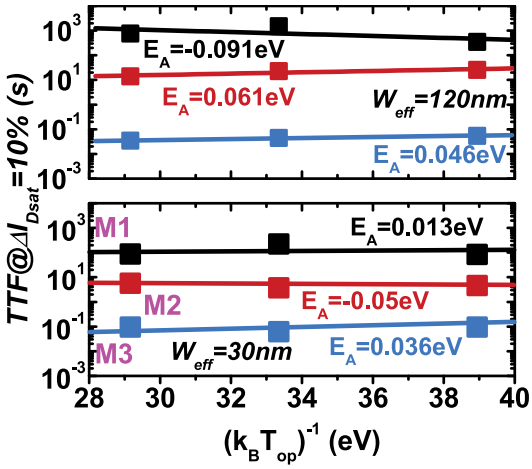

FIGURE 4.41 – Extraction de l'energie d'activation de la durée de vie pour un nanofil (bas) et un transistor large (haut). Aucun des modes M1, M2 et M3 ne parait activé en température.

résultat représenté sur la figure 4.43 montre alors une énergie non négligeable à la fois pour les dispositifs larges et étroits.

En conclusion seul le mode M3 est activé en température et pourrait donc être impacté par le phénomène d'auto-échauffement.

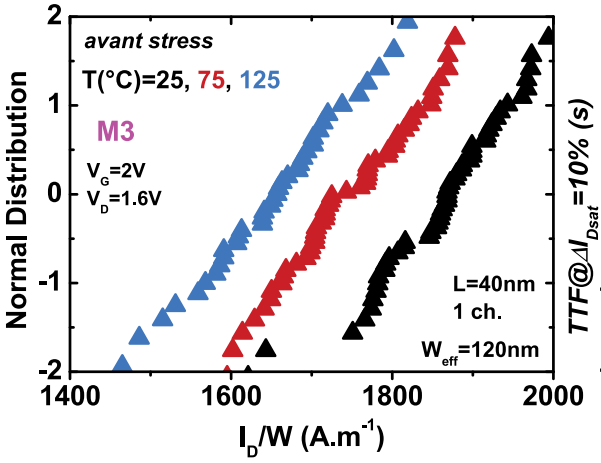

FIGURE 4.42 – Distribution du courant de stress mesuré à trois températures sur une structure à double contacts de grille dans le cas $V_G > V_D$. Le courant décroit fortement quand la température augmente.

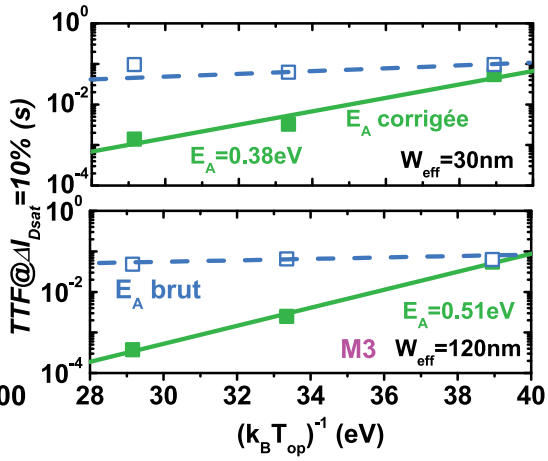

FIGURE 4.43 – Energie d'activation calculée au même courant de stress (vert) comparé aux données précédentes (bleu). Quelle que soit la largeur du transistor, ce mode est activé en température.

4.4.5 Conclusion selon les différents modes de fonctionnement

Nous connaissons à présent l'énergie d'activation et l'échauffement dans le canal pour trois couples (V_G,V_D) représentant l'ensemble du domaine de fonctionnement d'un transistor. En utilisant une formule de correction de la durée de vie [38, 39], il est possible de séparer la composante self-heating de la dégradation porteurs chauds à proprement parlé (cf. equation 4.20). C'est ce qui a été effectué par Roux et al. [38] pour une technologie planaire sur la figure 4.44

$$TTF_{corr} = TTF \frac{\exp\left(\dfrac{E_A}{k_B T_{op}}\right)}{\exp\left(\dfrac{E_A}{k_B (T_{op} + \Delta T_{SH})}\right)} \tag{4.20}$$

où TTF et TTF_{corr} désigne respectivement la durée de vie avant et après correction du self-heating, E_A l'énergie d'activation du mode de dégradation mis en jeu, k_B la constante de Boltzmann, T_{op} la température d'opération et ΔT_{SH} l'élévation de température dans le canal.

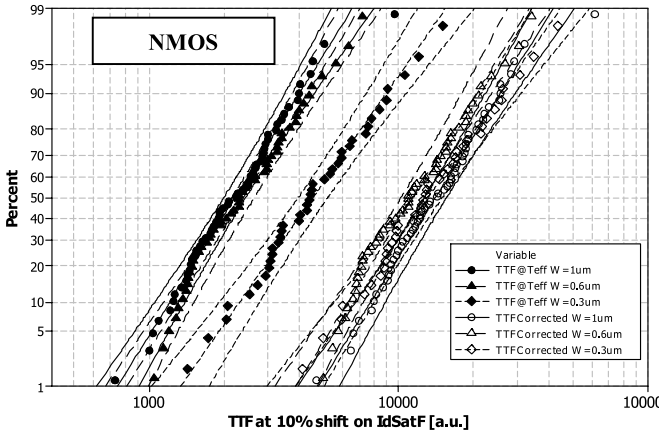

FIGURE 4.44 – Impact de l'auto-échauffement sur la durée de vie porteurs chauds de transistors planaires de largeurs variables. Une fois l'auto échauffement pris en compte (points ouverts), aucun effet de largeur n'est visible [38].

Les distributions de durée de vie de la figure 4.40 peuvent alors être corrigées de l'impact du self-heating. Ceci est fait sur la figure 4.45 où les points fermés représentent les données brutes et les points ouverts celles relatives aux porteurs chauds sans self-heating. Lorsque $V_G \leq V_D$ (distribution noire et rouge), les deux distributions, avec ou sans self heating, sont quasiment superposées i.e. l'impact du self heating dans ces deux modes de dégradation est très faible. Ceci est dû à leur faible énergie d'activation. En revanche, pour le mode M3, l'impact du self heating est considérable. D'une part, dans ce mode M3 le courant de stress $I_{Dstress}$ est plus important qu'en M1 et M2 et donc l'élévation en température est encore plus conséquente (60 degrés pour W_{eff}=30nm et 120 degrés pour W_{eff}=120nm). D'autre part, l'énergie d'activation est élevée. Ceci implique donc un impact considérable de cette élévation de température sur la dégradation par porteurs chauds. Cependant cet effet est moins fort sur les dispositifs étroits. En effet, par

leur faible puissance dissipée, l'élévation en température y est plus faible tout comme l'énergie d'activation. Il semblerait alors que plus l'on se dirige vers de faibles dimensions, moins cet effet aura d'ampleur.

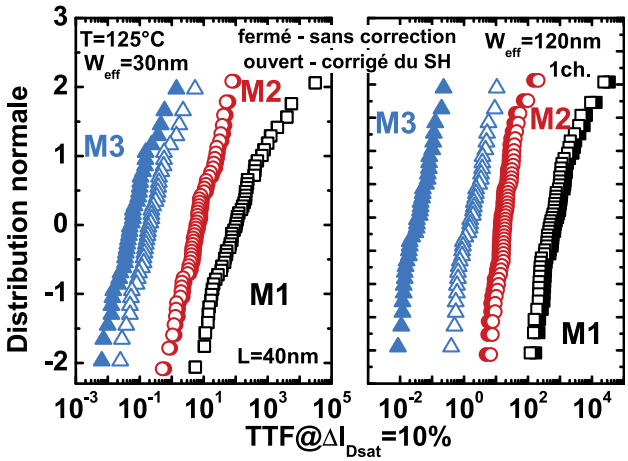

FIGURE 4.45 – Effet de l'auto-échauffement sur la durée de vie pour les trois modes de contraintes porteurs chauds. Contrairement aux modes M1 et M2 qui sont très faiblement impactés, dans le mode M3, l'auto-échauffement joue un rôle important.

En conclusion, la faible énergie d'activation induit un impact négligeable de l'auto-échauffement lorsque la tension de grille est inférieure ou égale à celle appliquée sur le drain. En revanche, en mode M3, l'énergie d'activation conséquente conjuguée à une forte hausse de température impliquent ici un effet significatif du self heating sur la dégradation par porteurs chauds. Cependant il semblerait que plus le transistor est étroit, moins cet effet a d'importance.

4.5 Effet d'architectures et boosters de mobilité

Nous avons vu dans les chapitres précédents que des changements dans la géométrie du transistor pouvaient impacter la fiabilité BTI. Nous proposons ici d'étudier ces mêmes effets sur la dégradation par porteurs chauds. Ainsi, dans un premier temps, l'effet de l'arrondissement des angles sur la dégradation par porteurs chauds sera analysé au travers d'une architecture Ωfet. Puis, les différents boosters de mobilité évoqués dans la partie 3.3.3 seront étudiés d'un point de vue fiabilité porteurs chauds. En conclusion nous tacherons d'évaluer quel est le meilleur compromis performance/fiabilité.

4.5.1 Étude sur Ωfets

Un recuit spécifique sous dihydrogène d'un transistor Πfet permet l'arrondissement des angles afin de créer un Ωfet. La comparaison de la dégradation par porteurs chauds entre les deux architectures est visible sur la figure 4.46 pour les transistors NMOS (gauche) et PMOS (droite). Les tensions de stress sont choisies de telle sorte que l'on se situe d'une part à forte énergie en noir (V_G<V_D) d'autre part à fort courant en bleu (V_G>V_D). Dans les deux cas, aucune différence n'est visible sur N&PMOS.

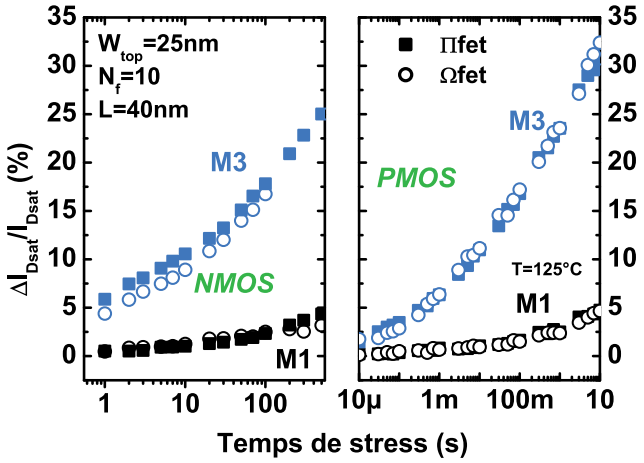

FIGURE 4.46 – Comparaison de la dégradation HC sur une architecture Ωfet et Πfet pour deux couples (V_G,V_D) sur NMOS (gauche) et PMOS (droite). Aucun effet n'est visible ici.

Le recuit par dihydrogène n'affecte pas significativement la mobilité des porteurs. A ce titre le courant de stress est le même sur Πfet et Ωfet. La figure 4.46 est donc autant représentative du mode à fort courant (V_G>V_D) que du mode forte énergie (V_G<V_D). Pour confirmer ce résultat la durée de vie est tracée en fonction du courant de stress sur la figure 4.47 à la fois pour les N & PMOS. Les points ouverts (Ωfet) et fermés (Πfet) sont bien alignés pour le mode à fort courant en bleu. Il est ainsi possible de modéliser ce mode par le modèle porteurs froids.

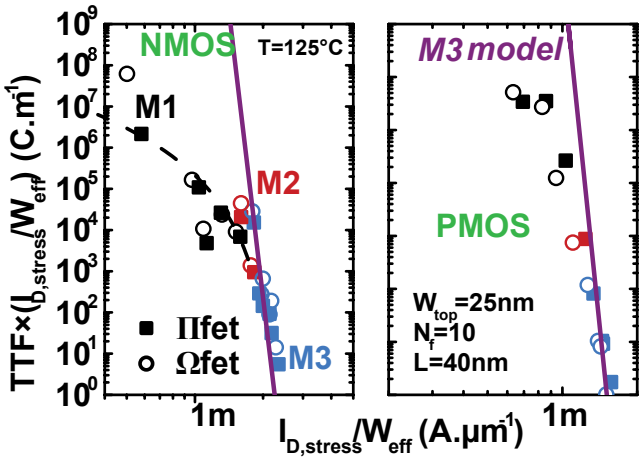

FIGURE 4.47 – Effet de la structure arrondie sur la durée de vie en focntion du courant de stress sur N&PMOS. La densité de courant ne changeant pas entre Ωfet et Πfet, aucune différence n'apparait comme le laissait présager la figure 4.46.

4.5.2 Effet d'un canal contraint sur la dégradation HC

4.5.2.1 Effet de l'introduction de germanium dans le canal

De manière similaire à l'étude faite en BTI, l'effet du germanium et de contraintes physiques sur la dégradation porteurs chauds sont étudiés ici. Dans la partie 3.3.3.1, nous avions constaté qu'un bon moyen d'améliorer les performances des transistors PMOS était d'ajouter une dose de germanium dans le canal ; classiquement entre 20 et 30% comme visible sur la figure 4.48. Pour rappel, le courant à l'état passant était alors bien plus importante grâce à une mobilité plus élevée des porteurs.

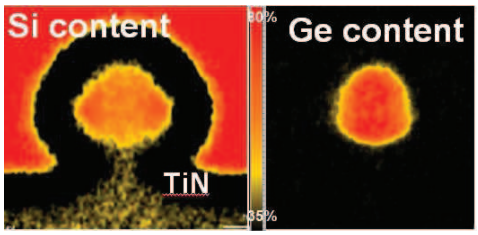

FIGURE 4.48 – Vue en coupe EDX d'un transistor contraint par l'apport de germanium dans le canal.

La figure 4.49 permet de comparer la dégradation sur des transistors non contraints (points fermés) et contraints (points ouverts) pour deux couples de tensions (V_G,V_D) différents. Qu'il s'agisse du mode M1 (V_G<V_D) ou du mode M3 (V_G>V_D), la contrainte en compression ne semble pas avoir d'effet sur la dégradation HC des transistors PMOS. Cependant il a été établi précédemment que dans le mode M3, la dégradation dépend plus fortement du courant de stress que de la tension. Or la mobilité des porteurs du canal augmente avec la contrainte. Le fait que la dégradation soit la même en mode M3 tend donc à montrer que la fiabilité HC est intrinsèquement meilleure en mode M3 sur les transistors contraints. Il apparait alors nécessaire de tracer la durée de vie en fonction du courant de stress $I_{Dstress}$. Ceci est effectué sur la figure 4.50.

On constate ainsi que les résultats de durée de vie sont meilleurs concernant les transistors contraints. Sur ces architectures, on peut donc baisser la tension d'alimentation afin de baisser la consommation. On a alors une amélioration de la durée de vie porteurs chauds de quatre décades. On pourrait également privilégier un courant à l'état passant plus élevé en travaillant à même tension d'alimentation. Dans ce cas la durée de vie serait du même ordre de grandeur que sur un transistor non contraint mais possèderait de meilleures performances. Nous pouvons supposer que cette amélioration de la fiabilité soit due a une dépassivation plus lente des liaisons Si-H. La présence de germanium modifie la nature des liaisons pendantes et donc réduit possiblement la quantité maximale d'états d'interface. Franco [40] a par ailleurs démontré qu'il était experimentalement possible de mesurer moins de D_{it} sur des transistors à canal SiGe.

4.5.2.2 Impact d'une contrainte en tension de type sSOI

Concernant les transistors NMOS, afin d'augmenter la mobilité des porteurs, il faut contraindre le canal de silicium en tension. Une des constraintes utilisées dans l'industrie et le strained-SOI expliqué précédemment. Dans un tel matériau, les électrons ont une masse effective plus faible

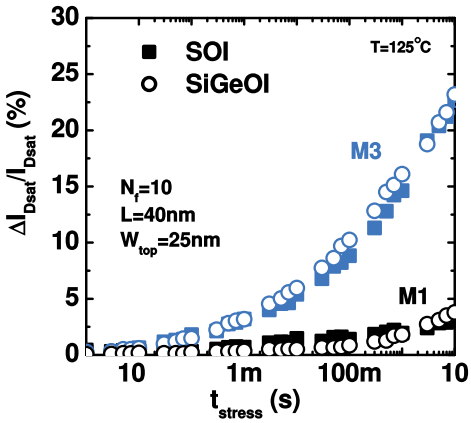

FIGURE 4.49 – Dégradation porteurs chauds sur une architecture SiGeOI en comparaison à une structure SOI de référence. Qu'il s'agisse du mode M1 ou M3, aucun écart n'apparait clairement entre les deux architectures.

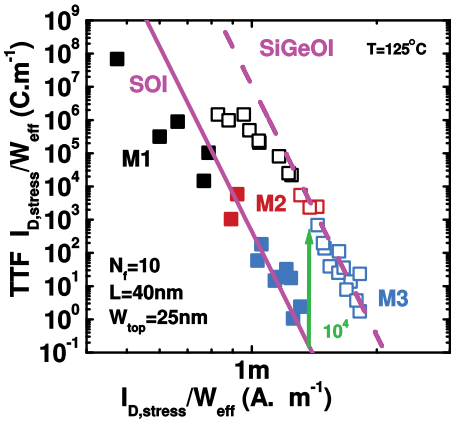

FIGURE 4.50 – Durée de vie porteurs chauds pour une architecture SiGeOI en comparaison à un Πfet SOI de référence. L'ajout de germanium dans le canal améliore la fiabilité porteurs chauds lorsque $V_G > V_D$ grâce à une densité de courant plus forte.

et donc une mobilité plus importante. (cf. partie 3.3.3.1). On s'interesse ici à l'effet de cette contrainte sur la dégradation porteurs chauds.

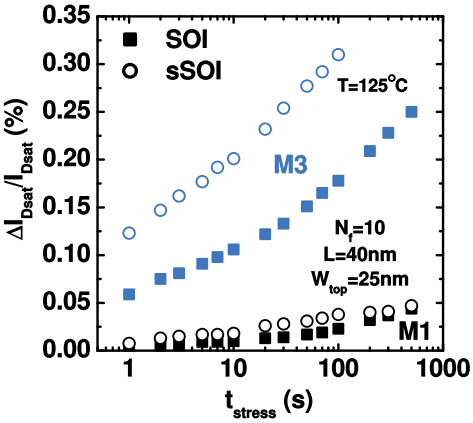

FIGURE 4.51 – Dégradation porteurs chauds sur une architecture sSOI en comparaison à une structure SOI de référence. En mode M1, la dégradation semble identique pour les deux architectures. La contrainte semble dégrader la fiabilité HC en mode M3.

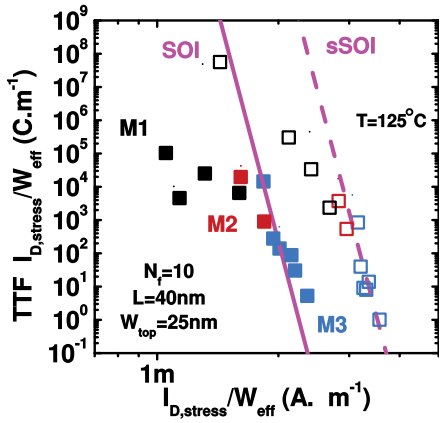

FIGURE 4.52 – Durée de vie porteurs chauds pour une architecture sSOI en comparaison à un Πfet SOI de référence. La contrainte apporte une amélioration de la fiabilité porteurs chauds lorsque $V_G > V_D$ grâce à une densité de courant plus forte.

On compare dans un premier temps la dégradation temporelle d'un transistor contraint à un dispositif non contraint. Ce résultat est visible sur la figure 4.51 En mode M1, c'est à dire lorsque $V_G < V_D$, la dégradation est similaire sur les deux dispositifs. L'écart observé entre 10 et 100 secondes est probablement dû à une incertitude mesure étant donné le faible niveau

de dégradation. En revanche lorsque $V_G > V_D$, soit le mode M3, les transistors sSOI paraissent clairement plus dégradés. Cependant la dégradation dépend dans ce mode du courant de stress. Or ce dernier est plus important sur sSOI du fait d'une meilleure mobilité des électrons. Cette forte différence semble donc logique mais ne permet pas de statuer sur la fiabilité HC en mode M3 des transistors sSOI. Pour cela, on trace sur la figure 4.52 la durée de vie en fonction du courant de stress. Il apparait alors de manière analogue aux transistors SiGe un simple décalage des points vers un courant plus fort. On en déduit ainsi une meilleure fiabilité pour un courant de stress donné.

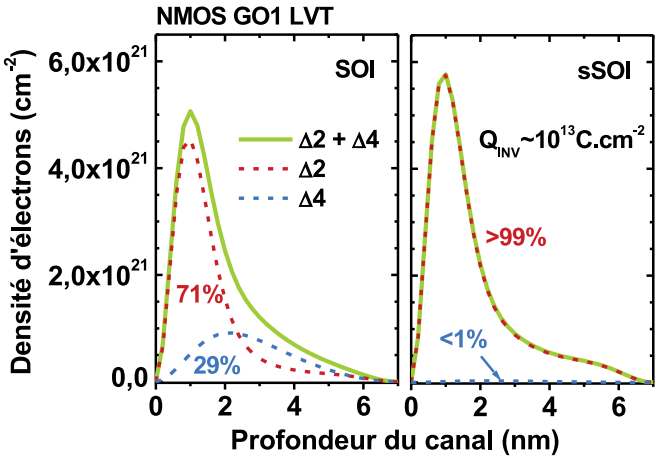

FIGURE 4.53 – Simulation de la répartition des porteurs dans les vallées Δ_2 et Δ_4 dans le cas d'un canal non contraint (gauche) et contraint (droite). Dans le cas d'un transistor sSOI, la conduction est assuré quasi uniquement par les électrons de la vallée Δ_2. Il en résulte une baisse des collisions avec les porteurs de la vallée Δ_4 [17].

Une explication possible, donnée par Besnard [17], peut être liée au confinement electrostatique des porteurs. En effet, pour un canal non contraint, les vallées $\Delta 2$ et $\Delta 4$ sont dégénérées. A ce titre elles contribuent toutes les deux à la charge d'inversion. En revanche, concernant un canal contraint, la vallée $\Delta 2$ forme quasiment à elle seule la charge d'inversion, comme on peut le voir sur la figure 4.53. Cette limitation du confinement des porteurs à une bande permet de limiter les interactions entre les porteurs des deux vallées. La densité de porteurs chauds générés est donc plus faible.

4.5.2.3 Contrainte induite par le CESL

Une autre forme de contrainte physique consiste à déposer une couche de nitrure autour de la grille. Ce CESL (**C**ontact **E**tch **S**top **L**ayer) va alors soit contraindre le canal en tension (de la même manière que sur un transistor sSOI) ou compression. La figure 4.54 montre les résultats de dégradation par porteurs chauds pour trois types de CESL : tensile, neutre (canal non stressé) et compressif. Concernant les transistors PMOS (à droite), aucun effet n'est visible lorsque $V_G < V_D$ (en noir). En revanche, les transistors NMOS subissent une dégradation plus forte pour une contrainte compressive. Grâce à la mesure de la densité d'état d'interface, Lee [41] explique que cet effet est dû à un taux de rupture plus important de liaison Si-H. En effet, la tension compressive apportant beaucoup d'hydrogene lors du dépot CVD, beaucoup de

défauts sont guéris initialement. Cependant, ceci augmente le nombre de liaisons Si-H et donc proportionellement le nombre de liaisons dépassivés. Ainsi la dégradation augmente lors d'un stress en compression. Il semble qu'il en soit de même lorsque $V_G > V_D$ mais une analyse en fonction du courant de stress est nécessaire.

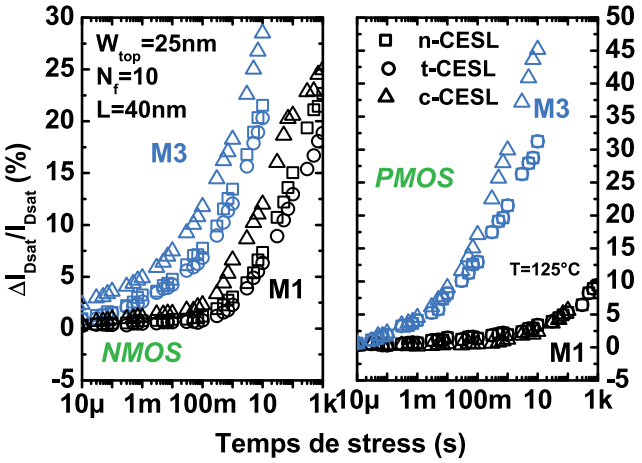

FIGURE 4.54 – Effet du dépot d'une couche nitrurée CESL sur la dégradation porteurs chauds NMOS & PMOS. La contrainte en compression améliore la fiabilité dans le mode M1 sur NMOS.

La figure 4.55 permet de confirmer le fait que dans ce mode, la contrainte CESL par compression dégrade la fiabilité porteurs chauds du transistor NMOS. Elle montre également une amélioration pour la contrainte en tension lorsque V_G¿V_D. Cette amélioration est principalement du à l'augmentation de la mobilité des électrons du canal grâce à la contrainte en tension. En revanche, concernant le transitor PMOS, aucun effet n'est notifiable.

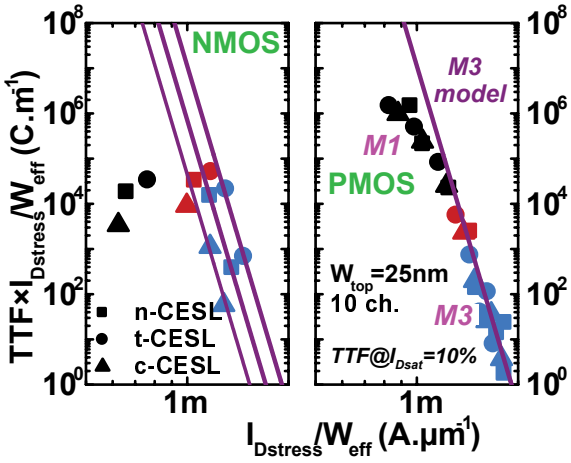

FIGURE 4.55 – Durée de vie porteurs chauds pour trois contraintes CESL différentes sur N&PMOS. Dans le mode à fort courant, la contrainte en tension offre une meilleure fiabilité sur NMOS alors qu'aucun effet n'apparait sur les transistors PMOS.

4.5.3 Bilan

En compilant les résultats de cette partie avec ceux obtenus dans le chapitre précédent sur la dégradation BTI et les performances relatives aux différentes architectures, nous pouvons dresser un bilan visible dans le tableau de la figure 4.56. Il en ressort plusieurs conclusions.

De la même manière que pour les technologies planaires, une contrainte mécanique en tension dans le canal améliore les performances des transistors NMOS. On peut alors utiliser un canal sSOI ou alors une couche de CESL tensile au dessus de la grille. A l'inverse les stress SiGe et CESL compressif améliorent les performances des PMOS. En les comparant , on note que les contraintes sSOI (NMOS) et SiGe sont plus bénéfiques que le CESL. De plus, ces contraintes ajustent les diagrammes de bandes et augmentent les densités de courant à même tension d'alimentation. Ainsi les résultats de fiabilité sur silicium contraint sont meilleurs.

Au delà d'un léger effet en BTI pour les structures arrondies, ni les finfets ni les Ωfet n'améliorent significativement la fiabilité globale de la technologie. Cependant les finfets possèdent à la fois l'avantage d'une forte densité de courant et l'inconvénient d'un DIBL élevé.

Barraud et al. [42] proposent alors d'empiler des nanofils dont une vue en coupe est visible sur la figure 4.57. La densité de courant est alors élevé et le DIBL limité. Pour aller plus loin, on pourrait implanter du germanium dans le canal des PMOS et contraindre les NMOS pour obtenir un transistor sSOI.

		Architectures 3D vs. Πfet		Boosters de mobilité vs. SOI		
		Ωfet (Si)	Finfet	sSOI	SiGe	CESL
Performance	NMOS	0	++ I_{ON}/W_{top} - DIBL	++	X	+ (t-CESL)
Performance	PMOS	0	++ I_{ON}/W_{top} - DIBL	X	++	+ (c-CESL)
Fiabilité	BTI	+	0	+	++	+ (t-CESL) 0 (c-CESL)
Fiabilité	HC	0	0	++	++	+ (t-CESL) - (c-CESL)
Compromis		★	★	★★	★★	★

FIGURE 4.56 – Tableau récapitulatif des performances et de la fiabilité de différentes architectures 3D et de boosters de mobilités. Le compromis entre performance et fiabilité est très favorable sur sSOI et SiGeOI

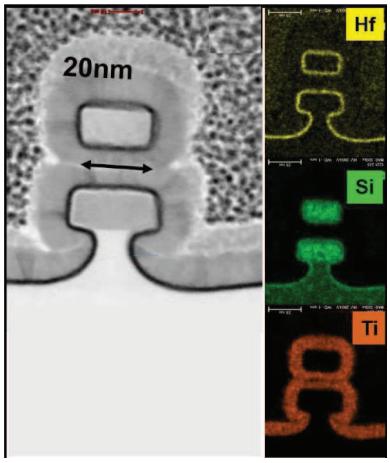

FIGURE 4.57 – Vue TEM et EDX d'une architecture à nanofils empilés. Celle-ci combine les avantages du finfet et de l'Ωfet [42].

4.6 Conclusion

La première partie de chapitre nous a permis de reprendre la théorie relative à la dégradation par porteurs chauds. La formation et le type des défauts mis en jeu ont notamment été rappelé ainsi que le différents modèles et leurs évolutions en ce qui concerne les architectures planaires. Le but étant d'établir le niveau de compatibilité entre ces modèles et les données éxperimentales sur les transistors 3D, ces rappels paraissaient indispensables. Pour résumer, en technologie planaire, trois modes de dégradations se distinguent par leur couple de tensions de stress (V_G, V_D). L'énergie des porteurs, liée à ces tensions, va alors déterminer la façon dont la liaison Si-H sera dépassiver.

Il a ensuite été démontré que ces modes pouvaient être reportés sur les architectures NMOS tridimensionnelles sur SOI. Le mode à fort courant est clairement identifiable et modélisable comme sur une technologie planaire. De la même manière, en baissant la tension de stress V_G, la dépendance en courant est moins forte à l'inverse de celle en tension (V_D-V_{Dsat}) qui augmente. On passe alors d'un mode fort courant vers un mode plutôt piloté en énergie. Cependant, il est impossible de s'affranchir totalement du courant de stress $I_{Dstress}$ et donc d'atteindre le mode M1 ; nous nous situons donc plutôt en mode intermédiaire M2. D'autre part, l'impact du NBTI sur la dégradation porteurs chauds empêche d'avoir une étude aboutie similaire sur PMOS.

En outre un des objectifs de ce chapitre était de comparer le niveau de fiabilité des architectures planaires et 3D. De la même manière que dans le chapitre précédent, ceci a été fait en faisant varier la largeur W_{top} du transistor. Il en résulte une fiabilité porteurs chauds constante quelle que soit la largeur du dispositif.

La forte densité de courant des transistors impliquent un effet d'auto-échauffement qui dégrade les paramètres électriques du transistor. La mesure de dégradation du courant peut alors être le reflet non seulement de la fiabilité porteurs chauds mais aussi, en partie, de cet auto-échauffement. Il nous a alors fallu décoréller ces deux effets. En conclusion, la faible énergie d'activation à forte énergie induit un effet de self heating quasi-nulle. En revanche, en mode M3, la température élevé à l'intérieur du canal conjugué à une forte énergie d'activation implique une contribution important du self-heating sur la fiabilité porteurs chauds.

Enfin, l'effet de différents améliorateurs de performance a été étudié sur la fiabilité porteurs chauds. Ces résultats, conjugués à ceux obtenus dans la partie 3.3.3, nous permettent d'établir un compromis fiabilité/performance optimal dont les conclusions sont les suivante : d'une part l'apport des contraintes sSOI et SiGe améliore les deux aspects (fiabilité et performances) simultanément. D'autre part, en créant des nanofils empilés, on conserve la bonne densité de courant des transistors finfets en limitant l'augmentation du DIBL. La technologie élaborré par Barraud et al. [42] semble alors être pertinente.

Ces résultats ont en partie été présentés à la conférence VLSI en janvier 2016 et à la conférence IRPS en avril 2018.

Bibliographie

[1] E Takeda and N Suzuki. An empirical model for device degradation due to hot-carrier injection. IEEE electron device letters, 4(4) :111–113, 1983.

[2] Chenming Hu, Simon C Tam, Fu-Chieh Hsu, Ping-Keung Ko, Tung-Yi Chan, and Kyle W Terrill. Hot-electron-induced MOSFET degradation-model, monitor, and improvement. IEEE Journal of Solid-State Circuits, 20(1) :295–305, 1985.

[3] Henry Mathieu and Hervé Fanet. Physique des semiconducteurs et des composants électriques : cours et exercices corrigés. Dunod, 2009.

[4] Manish Prabhakar Pagey. Characterization and Modeling of Hot-Carrier Degradation in Sub-Micron NMOSFETS. PhD thesis, Faculty of the Graduate School of Vanderbilt University, 2002.

[5] C. Guerin, V. Huard, and A. Bravaix. General framework about defect creation at the si-sio2 interface. Journal of Applied Physics, 105(11), 2009.

[6] C Kanet, T Yamakasi, and Y Kosaka. Nano-scale simulation for advanced gate dielectrics. In Fujitsu Sci. Tech. J., volume 39, pages 106–111, 2003.

[7] Chloé Guérin. Etude de la dégradation par porteurs chauds des technologies CMOS avancées en fonctionnement statique et dynamique. PhD thesis, 2008.

[8] Eiji Takeda, Hitoshi Kume, Toru Toyabe, and Shojiro Asai. Submicron mosfet structure for minimizing channel hot-electron injection. In VLSI Technology, 1981. Digest of Technical Papers. Symposium on, pages 22–23. IEEE, 1981.

[9] Chenming Hu. Lucky-electron model of channel hot electron emission. In Electron Devices Meeting, 1979 Internationa, pages 22–25. IEEE, 1979.

[10] Stewart E Rauch III and Giuseppe La Rosa. The energy-driven paradigm of NMOSFET hot-carrier effects. Device and Materials Reliability, IEEE Transactions on, 5(4) :701–705, 2005.

[11] A Bravaix, C Guerin, V Huard, D Roy, JM Roux, and E Vincent. Hot-carrier acceleration factors for low power management in dc-ac stressed 40nm nmos node at high temperature. In Reliability Physics Symposium, 2009 IEEE International, pages 531–548. IEEE, 2009.

[12] Stewart E Rauch, Giuseppe La Rosa, and Fernando J Guarin. Role of ee scattering in the enhancement of channel hot carrier degradation of deep sub-micron nmosfets at high v gs conditions. In Reliability Physics Symposium, 2001. Proceedings. 39th Annual. 2001 IEEE International, pages 399–405. IEEE, 2001.

[13] W Arfaoui, X Federspiel, P Mora, M Rafik, D Roy, and A Bravaix. Experimental analysis of defect nature and localization under hot-carrier and bias temperature damage in advanced CMOS nodes. In Integrated Reliability Workshop Final Report (IRW), 2013 IEEE International, pages 78–83. IEEE, 2013.

[14] W Arfaoui, Xavier Federspiel, P Mora, F Monsieur, F Cacho, Didier Roy, and A Bravaix. Energy-driven Hot-Carrier model in advanced nodes. In Reliability Physics Symposium, 2014 IEEE International, pages XT–12. IEEE, 2014.

[15] A. Bravaix, Y.M. Randriamihaja, V. Huard, D. Angot, X. Federspiel, W. Arfaoui, P. Mora, F. Cacho, M. Saliva, C. Besset, S. Renard, D. Roy, and E. Vincent. Impact of the gate-stack

change from 40nm node SiON to 28nm High-K Metal Gate on the Hot-Carrier and Bias Temperature damage. In Reliability Physics Symposium (IRPS), 2013 IEEE International, pages 2D.6.1–2D.6.9, April 2013.

[16] C Guerin, V Huard, and A Bravaix. The energy-driven hot carrier degradation modes. In Reliability physics symposium, 2007. proceedings. 45th annual. ieee international, pages 692–693. IEEE, 2007.

[17] G. Besnard, X. Garros, A. Subirats, F. Andrieu, X. Federspiel, M. Rafik, W. Schwarzenbach, G. Reimbold, O. Faynot, and S. Cristoloveanu. Performance and reliability of strained SOI transistors for advanced planar FDSOI technology. In Reliability Physics Symposium (IRPS), 2015 IEEE International, pages 2F.1.1–2F.1.5, April 2015.

[18] V Huard, M Denais, and C Parthasarathy. Nbti degradation : From physical mechanisms to modelling. Microelectronics Reliability, 46(1) :1–23, 2006.

[19] O Roux dit Buisson, G Ghibaudo, and J Brini. Model for drain current rts amplitude in small-area mos transistors. Solid-state electronics, 35(9) :1273–1276, 1992.

[20] Y Mamy Randriamihaja, X Federspiel, V Huard, A Bravaix, and P Palestri. New hot carrier degradation modeling reconsidering the role of ees in ultra short n-channel mosfets. In Electron Devices Meeting (IEDM), 2013 IEEE International, pages XT–1. IEEE, 2013.

[21] Yuan Taur and Tak H Nin. Fundamentals of modern VLSI devices. Cambridge University Press, 2013.

[22] Gérard Ghibaudo. New method for the extraction of mosfet parameters. Electronics Letters, 24(9) :543–545, 1988.

[23] G Ghibaudo. Critical MOSFETs operation for low voltage/low power IC's : Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations. Microelectronic engineering, 39(1) :31–57, 1997.

[24] Wen-Yueh Jang, Chung-Yu Wu, and Hong-Jen Wu. A new experimental method to determine the saturation voltage of a small-geometry mosfet. Solid-state electronics, 31(9) :1421–1431, 1988.

[25] Tibor Grasser. Hot Carrier Degradation in Semiconductor Devices. 2015.

[26] A Bravaix, V Huard, D Goguenheim, and E Vincent. Hot-carrier to cold-carrier device lifetime modeling with temperature for low power 40nm si-bulk nmos and pmos fets. In Electron Devices Meeting (IEDM), 2011 IEEE International, pages 27–5. IEEE, 2011.

[27] N Klein. The mechanism of self-healing electrical breakdown in mos structures. IEEE Transactions on Electron Devices, 13(11) :788–805, 1966.

[28] DP Foty and SL Titcomb. Thermal effects in n-channel enhancement mosfet's operated at cryogenic temperatures. IEEE Transactions on Electron Devices, 34(1) :107–113, 1987.

[29] D Takacs and J Trager. Temperature increase by self-heating in vlsi cmos. In Solid State Device Research Conference, 1987. ESSDERC'87. 17th European, pages 729–732. IEEE, 1987.

[30] PG Mautry and J Trager. Investigation of self-heating in vlsi and ulsi mosfets. In Microelectronic Test Structures, 1990. ICMTS 1990. Proceedings of the 1990 International Conference on, pages 221–226. IEEE, 1990.

[31] Guido Groeseneken, Robin Degraeve, Ben Kaczer, and Koen Martens. Trends and perspectives for electrical characterization and reliability assessment in advanced CMOS technologies. In Solid-State Device Research Conference (ESSDERC), 2010 Proceedings of the European, pages 64–72. IEEE, 2010.

[32] Tibor Grasser. Hot Carrier Degradation in Semiconductor Devices. Springer, 2014.

[33] C Prasad, L Jiang, D Singh, M Agostinelli, C Auth, P Bai, T Eiles, J Hicks, CH Jan, K Mistry, and others. Self-heat reliability considerations on Intel's 22nm Tri-Gate technology. In Reliability Physics Symposium (IRPS), 2013 IEEE International, pages 5D–1. IEEE, 2013.

[34] S Lee, R Wachnik, P Hyde, L Wagner, J Johnson, A Chou, A Kumar, S Narasimha, T Standaert, B Greene, and others. Experimental analysis and modeling of self heating effect in dielectric isolated planar and fin devices. In VLSI Technology (VLSIT), 2013 Symposium on, pages T248–T249. IEEE, 2013.

[35] Changze Liu, Hyun-Chul Sagong, Hyejin Kim, Seungjin Choo, Hyunwoo Lee, Yoohwan Kim, Hyunjin Kim, Bisung Jo, Minjung Jin, Jinjoo Kim, Sangsu Ha, Sangwoo Pae, and Jongwoo Park. Systematical study of 14nm FinFET reliability : From device level stress to product HTOL. In Reliability Physics Symposium (IRPS), 2015 IEEE International, pages 2F.3.1–2F.3.5, April 2015.

[36] G Mariniello, M Cassé, G Reimbold, and MA Pavanello. Underestimation of measured self-heating in nanowires by using gate resistance technique. Electronics Letters, 52(23) :1935–1937, 2016.

[37] L.T. Su, J.E. Chung, D.A. Antoniadis, Kenneth E. Goodson, and M.I. Flik. Measurement and modeling of self-heating in SOI nMOSFET's. Electron Devices, IEEE Transactions on, 41(1) :69–75, January 1994.

[38] J-M Roux, X Federspiel, D Roy, and P Abramowitz. Correction of self-heating for HCI lifetime prediction. In Reliability physics symposium, 2007. proceedings. 45th annual. ieee international, pages 281–287. IEEE, 2007.

[39] SE Liu, JS Wang, YR Lu, DS Huang, CF Huang, WH Hsieh, JH Lee, YS Tsai, JR Shih, Young-Hyun Lee, and others. Self-heating effect in FinFETs and its impact on devices reliability characterization. In Reliability Physics Symposium, 2014 IEEE International, pages 4A–4. IEEE, 2014.

[40] Jacopo Franco, Ben Kaczer, Philippe J. Roussel, Jérôme Mitard, Moonju Cho, Liesbeth Witters, Tibor Grasser, and Guido Groeseneken. SiGe Channel Technology : Superior Reliability Toward Ultrathin EOT Devices&#x2014 ;Part I : NBTI. IEEE Transactions on Electron Devices, 60(1) :396–404, January 2013.

[41] Kyong Taek Lee, Chang Yong Kang, Min-Sang Park, Byoung Hun Lee, Ho Kyung Park, Hyun Sang Hwang, Hsing-Huang Tseng, Raj Jammy, and Yoon-Ha Jeong. A study of strain engineering using cesl stressor on reliability comparing effect of intrinsic mechanical stress. IEEE Electron Device Letters, 30(7) :760–762, 2009.

[42] S Barraud, V Lapras, MP Samson, L Gaben, L Grenouillet, V Maffini-Alvaro, Y Morand, J Daranlot, N Rambal, B Previtalli, and others. Vertically stacked-NanoWires MOSFETs in a replacement metal gate process with inner spacer and SiGe source/drain. In Electron Devices Meeting (IEDM), 2016 IEEE International, pages 17–6. IEEE, 2016.

Conclusion générale

Depuis la découverte du transistor en 1947, nous n'avons cessé de réduire ses dimensions afin de suivre la loi de Moore. Ainsi, pour des dimensions inférieures à 100nm, il est apparu complexe de maintenir des performances élevées. Ceci est dû à des effets de canaux courts augmentant notamment le niveau de courant à l'état bloqué. Il est alors compliqué de distinguer l'état passant de l'état bloqué.

Le premier chapitre de cette thèse commence par exposer les solutions technologiques permettant de continuer à réduire la taille des dispositifs en limitant les effets parasites. La première d'entre elles est de contraindre le silicium en tension ou en compression afin d'augmenter la mobilité des porteurs. Ceci est notamment possible avec l'apport de nouveaux matériaux tels que le germanium. L'avantage principal de cette solution réside dans le fait que la technologie planaire traditionnelle est conservée et donc les procédés de fabrication sont maitrisés. Cependant l'amélioration apportée n'est pas suffisante pour baisser significativement les dimensions du transistor. La seconde possibilité est de reconsidérer totalement l'architecture du MOS pour former une structure tri-dimensionnelle. Ces transistors possèdent alors plusieurs grilles permettant d'améliorer le contrôle électrostatique du canal. Il s'agit là de la technologie majoritairement utilisée dans cette thèse. Ce premier chapitre a également permis de rappeler les différentes familles de pièges qui peuvent exister dans un oxyde. Ces familles se différencient notamment par leur localisation spatiale dans le matériau. Ainsi un piège à l'interface entre le canal et l'oxyde n'aura pas la même influence sur les paramètres du transistor qu'un piège plus profond dans ce même oxyde. De plus, ces pièges n'apparaissent pas sous les mêmes contraintes en tension et/ou température. Par la suite, les trois principaux mécanismes de fiabilité mettant en oeuvre ces pièges ont été explicités. Il s'agit de la dégradation par porteurs chauds, la contrainte BTI et le claquage d'oxyde. Au cours de cette thèse seuls les deux premiers mécanismes ont été étudiés. L'exemple simple de l'inverseur CMOS a alors été choisi afin de montrer l'implication du BTI et des porteurs chauds sur le fonctionnement des circuits électroniques.

Le chapitre 2 de cette thèse se focalise sur l'influence d'un défaut sur la dégradation de la tension de seuil selon sa localisation dans l'oxyde. Une méthodologie claire à d'abord été mise en place basée sur les travaux de Subirats pour une technologie planaire. On peut alors constater qu'un défaut n'a pas le même impact selon qu'il se situe sur le dessus ou sur les flancs d'un transistor Πfet, dispositif 3D à section rectangulaire. Il a alors été démontré qu'un transistor très étroit est fortement influencé par un défaut sur les flancs. A l'inverse, ce même défaut impactera peu un dispositif très large, assimilable à un transistor planaire. Des tirages Monte Carlo ont ensuite été effectués pour différentes largeurs de transistor. En conservant une densité fixe sur la face supérieure et en faisant varier le nombre de défauts sur les flancs, plusieurs effets apparaissent. Si les deux densités (celle sur le dessus et celle sur les côtés) sont identiques, la dégradation de la tension de seuil sera similaire quelle que soit la largeur du

MOSFET. En revanche, si l'on augmente la densité de défauts sur les flancs, la dégradation de V_T sera plus forte pour les transistors les plus étroits, et inversement. Ceci met en évidence l'importance des procédés de fabrication (notamment la gravure de grille et le dépôt d'oxyde) dans la fiabilité des architectures 3D. Au cours de ce chapitre nous avons également évalué l'influence de l'arrondissement des angles au travers de l'architecture Ωfet. Il a alors été démontré que l'impact d'un défaut sur les flancs est moins important que sur un Πfet et donc la dégradation de V_T est globalement plus faible sur Ωfet pour les dispositifs les plus étroits.

Le troisième chapitre est consacré à la dégradation BTI des transistors 3D. Après avoir fait un état de l'art de la contrainte BTI et rappeler les principaux modèles issus de la littérature, nous avons constaté que le passage à une architecture tri-dimensionnelle entrainait une hausse de la dégradation NBTI sur les transistors PMOS. Plusieurs hypothèses ont alors été explorées afin d'expliquer cet effet. Il a été démontré que les possibilités relatées dans la littérature ne permettent pas d'expliquer la dégradation de V_T plus forte sur les dispositifs étroits utilisés dans cette thèse. Dans un premier temps, des simulations électrostatiques permettent d'écarter l'effet d'une différence de champ électrique dans les angles du transistor. Ensuite, des mesures sur des structures PIN montrent que les potentielles charges piégées dans le film de silicium ne peuvent être responsables de l'effet de W observé. Enfin, l'orientation cristalline du silicium n'explique pas la forte dégradation des transistors étroits puisque l'effet reste le même sur des dispositifs à différentes orientations cristallines. La dernière hypothèse explorée fait référence aux simulations Monte Carlo faites dans le chapitre 2. En effet, si l'on considère une dégradation 2.5 fois plus forte sur les flancs que sur le dessus, la corrélation entre les mesures expérimentales et la simulation de la dégradation ΔV_T est très bonne. De plus, des mesures de pompage de charge montrent une densité d'état d'interface plus élevé après stress sur les transistors étroits. Ceci est favorable à l'hypothèse précédemment énoncée. Finalement en optimisant les étapes de gravure de grille et de dépôt d'oxyde notamment, il apparait possible d'obtenir une fiabilité BTI similaire sur transistors 3D et planaires.

Le dernier chapitre de cette thèse se focalise sur la dégradation par porteurs chauds dans les dispositifs 3D. Nous avons tout d'abord rappelé la théorie concernant les défauts mis en jeu lors d'une telle dégradation ainsi que les différents modèles et leurs évolutions dans le temps. Nous en retiendrons principalement qu'il existe trois modes de dégradations par porteurs chauds et que ceux-ci dépendent principalement de l'énergie et du nombre de porteurs mis en jeu. Ainsi, ces modes sont directement liés aux couples de tensions de stress(V_G, V_D) appliquées. On a alors pu voir que le modèle porteurs froids validé sur une technologie planaire est également valable concernant les transistors 3D. De plus en étudiant l'effet de la largeur de manière similaire au chapitre précédent, on ne constate aucun impact de la réduction de W sur la dégradation porteurs chauds quel que soit le mode de dégradation. Enfin, les tensions de stress appliquées induisent un auto-échauffement du transistor. Cet effet indésirable dégrade alors les paramètres électriques du dispositif. Il en résulte une dégradation observée non seulement dûe aux porteurs chauds mais également à l'auto-échauffement. En mesurant l'élévation de température dans le transistor et l'activation en température de celui-ci, il a alors été possible de décorréler les deux effets. Finalement, seul le mode à fort courant est affecté par l'auto-échauffement ; dans les deux autres modes de dégradation, l'activation en température est trop faible pour pouvoir observer un quelconque effet.

De plus, de manière transverse aux chapitres 2 et 3, l'impact de contraintes physiques sur la fiabilité BTI et porteurs chauds a été évalué. A ce titre, des transistors sur substrat sSOI et à canal SiGe ont été étudiés. L'apport d'une couche nitrurée CESL a également été analysé. Dans

les trois cas, les performances soit du NMOS soit du PMOS sont améliorées. Il a également été démontré que dans chacun des cas, la fiabilité BTI et porteurs chauds pouvaient être améliorée. Un tableau récapitulatif dans le chapitre 4 montre alors que combiner les avantages des transistors 3D et des contraintes physiques (telles que sSOI, SiGe) permet d'obtenir un dispositif plus performant et plus fiable qu'un transistor planaire.

Liste des publications de l'auteur

Conférences internationales

A. Laurent, X. Garros, S. Barraud, G. Reimbold, D. Roy, E. Vincent, and G. Ghibaudo, *Extensive study of Bias Temperature Instability in nanowire transistors*, International Conference on Insulating Film on Semiconductors (INFOS), 2015.

A. Laurent, X. Garros, S. Barraud, G. Mariniello, G. Reimbold, D. Roy, E. Vincent, and G. Ghibaudo, *Hot carrier degradation in nanowire transistors : Physical mechanisms, width dependence and impact of Self-Heating*, IEEE Symposium on VLSI Technology, 2016, pp. 1-2.

A. Laurent, X. Garros, S. Barraud, J.Pelloux-Prayer, M. Cassé, F. Gaillard, D. Roy, E. Vincent, and G. Ghibaudo, *Performance & Reliability of 3D architectures (*Π*fet, Finfet,* Ω*fet)*, International Reliability Physics Symposium (IRPS), 2018, pp. 6F-3.

X. Garros, **A. Laurent**, S. Barraud, J. Lacord, O. Faynot, G. Ghibaudo and G. Reimbold, *New insight on the geometry dependence of BTI in 3d technologies based on experiments and modeling*, IEEE Symposium on VLSI Technology, 2017, pp. T134-T135.

Journaux scientifiques

A. Laurent, X. Garros, S. Barraud, G. Reimbold, D. Roy, E. Vincent, and G. Ghibaudo, *Extensive study of Bias Temperature Instability in nanowire transistors*, Microelectronic Engineering, 147 :10–14, 2015

X. Garros, **A. Laurent**, A. Subirats, X. Federspiel, E. Vincent and G. Reimbold, *Characterization and modeling of dynamic variability induced by BTI in nano-scaled transistors*, Microelectronics Reliability, 2018, pp. 100-108.

Study of the physical mechanisms affecting trigate transistor reliability

By continuing to follow Moore's law, transistors have reached ever smaller dimensions. However, from 100nm gate length, parasitic effects called short channel effects appear. As a result new architectures named trigate, nanowires or finfets have been developed. The transition from planar technology used for the last fifty years to 3D devices is a major technological breakthrough. The special features of these architectures like conduction over various crystalline planes, corner effects or carrier confinement effects raise numerous questions about their reliability. Main reliability mechanisms have to be study in order to evaluate 3D transistor aging. In this way, MOS transistor evolution and planar architecture limits have first been reminded. The electrical degradation mechanisms and their characterization methods have also been exposed. As oxide defects represent an important part of device reliability, impact on threshold voltage VT of an elementary charge q has been simulated in accordance to its spatial localization. Thus we can notice that the defect influence on VT change with at once its position and the device dimensions. Next, this manuscript focuses on Bias Temperature Instabilities (BTI). A parallel has been done between narrow Trigate devices and wide ones which can be considered as planar transistors and a width effect on NBTI (Negative BTI) degradation has been highlighted. Another major reliability mechanism is called hot carrier degradation. Its principle models developed on planar architecture have been remembered and their validity on Trigate transistors has been verified. During HC stress, current density can be so high that self-heating effects appear and degrade device electrical parameters. Therefore this contribution has been decorrelate from HC degradation in order to obtain the result of HC stress only. As in BTI chapter, width effect has also been evaluated for this reliability mechanism. Finally strain effects in channel region have been analyzed from both performance and reliability point of view. As a conclusion the best tradeoff between these two items has been determined.

Etude des mécanismes physiques de fiabilité sur les transistors Trigate/Nanowire

En continuant à suivre la loi de Moore, les transistors ont atteint des dimensions de plus en plus réduites. Cependant pour les largeurs inférieures à 100nm, des effets parasites dits de canaux courts sont apparus. Il a ainsi fallu développer de nouvelles architectures, à savoir les transistors 3D, aussi appelés trigates, finfets ou encore nanofils. Le remplacement des transistors planaires utilisés depuis les années 60 par ces dispositifs tridimensionnels constitue une réelle rupture technologique et pose de sérieuses questions quant à la fiabilité de ces nouveaux composants électroniques. Parmi les spécificités des dispositifs 3D, on peut notamment citer l'utilisation de différents plans cristallins du silicium, les potentiels effets d'angle ou encore le confinement des porteurs de charge. Les principaux mécanismes de fiabilité doivent, à ce titre, être étudiés afin de prédire le vieillissement de tels dispositifs. Ainsi, l'évolution du transistor MOS et les limites de l'architecture planaire sont rappelées dans un premier temps. Les différents mécanismes de dégradation ainsi que les méthodes de caractérisation sont également exposés. Les défauts d'oxyde jouant un rôle important en fiabilité, l'impact sur la tension de seuil VT d'une charge élémentaire q selon sa localisation spatiale a été simulé. On a ainsi pu constater que l'influence de ces défauts change selon leur position mais aussi selon les dimensions du transistor lui-même. Par la suite, le manuscrit se concentre sur la dégradation BTI (Bias Temperature Instabilities). Une comparaison entre les transistors trigates et d'autres quasi planaires a ainsi été effectuée en mettant en évidence les effets de la largeur du MOSFET. Un autre mécanisme important de fiabilité est intitulé dégradation par porteurs chauds ou HC, hot carriers en anglais. Les principaux modèles développés sur les architectures planaires ont été rappelés puis vérifiés pour les transistors 3D. Lors de stress HC, les niveaux de courant sont tels que des effets d'auto-échauffement apparaissent et dégradent les paramètres électriques du dispositif. Cette contribution a alors dû être décorrélée de la contrainte porteurs chauds afin d'obtenir uniquement la dégradation HC. De manière similaire au BTI, les effets de la largeur du transistor ont également été analysés pour ce mécanisme de fiabilité. Enfin, l'effet des contraintes mécaniques dans le canal, telles que le strained-SOI ou l'apport de germanium, a été étudié non seulement du point de vue des performances mais également de la fiabilité. Nous avons alors pu en déduire le meilleur compromis performance/fiabilité réalisable.