



HAL
open science

Circuit de lecture d'un magnétomètre à induction pour l'étude de plasmas atmosphériques sur la mission JUICE

Laurent Varizat

► To cite this version:

Laurent Varizat. Circuit de lecture d'un magnétomètre à induction pour l'étude de plasmas atmosphériques sur la mission JUICE. Electronique. Université Pierre et Marie Curie - Paris VI, 2017. Français. NNT : 2017PA066536 . tel-01891255

HAL Id: tel-01891255

<https://theses.hal.science/tel-01891255>

Submitted on 9 Oct 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE PIERRE ET MARIE CURIE - Paris VI

EDITE de Paris

THÈSE

Électronique

Pour obtenir le titre de

DOCTEUR de l'UNIVERSITÉ PIERRE ET MARIE
CURIE

Présentée par

Laurent VARIZAT

Circuit de lecture d'un magnétomètre à induction pour l'étude de plasmas atmosphériques sur la mission JUICE

Thèse dirigée par **Gérard SOU**

et co-encadrée par **Malik MANSOUR**

Préparée en collaboration avec

Laboratoire d'électronique et électromagnétisme (L2E)

Laboratoire de Physique des Plasmas (LPP)

Composition du jury :

<i>Rapporteurs :</i>	Sébastien Saez , Professeur	- Université de Caen (GREYC)
	Patrick Pittet , Ingénieur de recherche, HDR.	- Université Lyon 1 (INL)
<i>Examineurs :</i>	Stéphane Holé , Professeur	- Université Paris VI (LPEM)
	Hélène Roussel , Professeur	- Université Paris VI (L2E)
	Olivier Gevin , Ingénieur de recherche	- CEA (IRFU)
	Damien Prêle , Ingénieur de recherche	- Université Paris VII (APC)
<i>Directeur :</i>	Gérard Sou , Maître de conférences	- Université Paris VI (L2E)

“I look up at the night sky, and I know that, yes, we are part of this Universe, we are in this Universe, but perhaps more important than both of those facts is that the Universe is in us. When I reflect on that fact, I look up—many people feel small, because they’re small and the Universe is big, but I feel big, because my atoms came from those stars.”

Neil deGrasse Tyson, Astrophysicist

Abstract

Ecole Doctorale Informatique, Télécommunication et Electronique (EDITE de Paris)
Université Pierre et Marie Curie (UPMC), Ecole Polytechnique (X)

par Laurent VARIZAT

Les magnétomètres à induction sont utilisés dans de nombreux domaines d'exploration scientifique de la géophysique à l'astrophysique. Dans ces deux domaines l'étude des composantes magnétiques des ondes électromagnétiques naturelles requiert des instruments particulièrement performants : sensibles et présentant de faibles bruits intrinsèques pour accéder à des champs magnétiques de quelques fT/\sqrt{Hz} . Dans le cas d'instruments scientifiques embarqués à bord de satellites, des contraintes en température, consommation, encombrement et de tenue en radiation s'ajoutent aux autres contraintes. Les technologies de circuits intégrés permettent une rupture technologique qui se traduit par une réduction de la taille des circuits électroniques embarqués d'un facteur supérieur à 1000 tout en améliorant les performances électriques et instrumentales (réduction de la consommation, des sources de bruit, augmentation de la bande passante et durcissement de l'électronique).

Une première thèse au L2E (A. Rhouni) a montré la pertinence d'une technologie CMOS pour ce type d'instrumentation. Dans la présente thèse est décrite l'étude menée sur les circuits intégrés soumis à des environnements contraignants liés aux futures missions dans lesquelles ce type d'instrument doit être embarqué (Mission JUICE de l'ESA). Ces contraintes devenant de plus en plus sévères (dose de radiations $> 300\text{krad}$, température inférieure à 100 Kelvin ...), leur prise en compte dans tout le processus de conception est nécessaire. Une modélisation des effets de ces contraintes sur les composants de la technologie cible de circuits intégrés a été réalisée afin de pouvoir prendre en compte ces effets dès la conception. Enfin, ces modèles ont servi à la conception d'un circuit de lecture d'un magnétomètre à induction pour l'astrophysique.

Mots clés : MOSFET ; transistors en anneaux ; température cryogénique ; radiations ; modèle BSIM3.3 ; magnétomètre ; instrument spatial ; bandgap.

Abstract

Ecole Doctorale Informatique, Télécommunication et Electronique (EDITE de Paris)
Université Pierre et Marie Curie (UPMC), Ecole Polytechnique (X)

par Laurent VARIZAT

- English version -

Induction magnetometers are used in many fields of scientific exploration from geophysics to astrophysics. In these two fields, the study of the magnetic components of natural electromagnetic waves requires particularly powerful instruments : sensitive and with low intrinsic noises to access magnetic fields of some fT/\sqrt{Hz} . In the case of scientific instruments carried on satellites, constraints on temperature, consumption, congestion and radiation resistance are added to the other constraints. Integrated circuit technologies allow technological breakthrough, which results in a reduction in the size of embedded electronic circuits by a factor greater than 1000, while improving electrical and instrumental performances (reduction in consumption, noise sources, bandwidth and hardening of the electronics).

A first thesis at the L2E (A. Rhouni) showed the relevance of a CMOS technology for this type of instrumentation. In this thesis, we describe the study conducted on integrated circuits subject to environmental constraints related to the future missions in which this type of instrument must be embarked (Mission JUICE of ESA). These constraints are becoming more and more severe (radiation dose > 300krad, temperature less than 100 Kelvin ...), taking into account throughout the design process is necessary. A modeling of the effects of these constraints on the components of the integrated circuits technology has been carried out in order to be able to take these effects into account from the design stage. Finally, these models were used to design an induction magnetometer readout circuit for space instrumentation.

Keywords : MOSFET ; gate enclosed layout ; cryogenic temperature ; radiations ; BSIM3.3 model ; magnetometer ; space instrumentation, bandgap.

REMERCIEMENTS

Ces trois années de thèse n'auraient pas été possible sans la précieuse aide de mon directeur de thèse Gérard SOU et de mon encadrant de thèse Malik MANSOUR. Un énorme remerciement pour leur accompagnement tout au long de ces années et à leurs précieux conseils. Je n'oublie pas de remercier Dominique ALISON, Yves CHATELON, Jean-Denis TECHER et Amine RHOUNI qui m'ont fourni une grande aide et beaucoup contribué à la qualité de ces recherches. Je remercie également Karim FAK qui a réalisé son stage de M1 à mes côtés sur le projet. Mes remerciements vont également à Geoffroy KLISNICK et Stéphane HOLE qui ont été membres de mon jury de mi-parcours et qui ont continué de me conseiller par la suite. J'adresse un remerciement général aux membres du CNES et du CEA qui ont beaucoup participé à ce projet et avec qui j'ai pris beaucoup de plaisir à travailler. Enfin, mes remerciements vont à ceux qui m'ont soutenu moralement, je pense à Carole FONTICELLI, mes amis et ma famille.

Table des matières

Résumé	iii
Remerciements	v
Liste des figures	x
Liste des tableaux	xiv
Abréviations	xvi
Symboles	xviii
Introduction générale	1
0.1 Mission JUICE	2
0.2 Organisation du mémoire	3
I Etude des circuits intégrés en environnement contraignant	5
1 Problématique des circuits intégrés en environnement contraignant	6
1.1 Environnement spatial contraignant	7
1.1.1 Vide interplanétaire	7
1.1.2 Température spatiale	7
1.1.3 Radiations dans l'espace	8
1.1.4 Etat de l'art sur les circuits en environnement spatial	9
1.2 Circuits intégrés	10
1.2.1 Technologie des circuits intégrés : transistors, résistances et capacités	10
1.2.2 Cas de la technologie utilisée	14
2 Modélisation de la technologie AMS 0.35 μm CMOS à température cryogénique	16
2.1 Réalisation d'un banc de mesure cryogénique	17
2.1.1 Banc de mesure automatisé	17

2.1.2	Validation expérimentale à température ambiante	30
2.2	Modèle à température cryogénique	35
2.2.1	Etude cryogénique	35
2.2.2	Extraction des paramètres du modèle BSIM3.3	44
3	Etude en radiations	56
3.1	Effets des radiations sur les circuits intégrés	57
3.1.1	Mécanismes physiques liés aux radiations	57
3.1.2	Manifestation de ces effets	60
3.2	Techniques de durcissement	62
3.3	Banc de mesure	62
3.4	Calculs sur les sources de radiations	64
3.4.1	Détails sur le composant à irradier	65
3.4.2	Caractéristiques sur le Cobalt 60	65
3.4.3	Calcul de l'activité minimale de la source	67
3.5	Les "corners" du fondeur : pire cas que les radiations.	69
3.6	Conclusion sur la caractérisation de la technologie pour l'astrophysique . .	70
II	Electronique de lecture pour fluxmètre de JUICE	71
4	Instrument de mesure et besoins	72
4.1	Le fluxmètre	73
4.1.1	Les capteurs magnétiques	73
4.1.2	Fonctionnement du fluxmètre	74
4.1.3	Le fluxmètre développé par le LPP pour JUICE	75
4.2	Performances instrumentales exigées pour la mission JUICE	78
4.2.1	Contraintes supplémentaires	79
4.3	Description générale du circuit de lecture	79
5	Bandgap, circuit critique à basse température	81
5.1	l'"Application-Specific Integrated Circuit" (ASIC)	82
5.1.1	Les références de tension dans la littérature	82
5.1.2	Circuit de bandgap tout CMOS	83
5.1.3	ASIC bandgap	84
5.2	Banc de mesure	86
5.3	Mesures et observations	87
5.4	Validation des modèles	89
6	Conception de l'ASIC JUICE MagIC	90
6.1	Description des différents blocs du front-end	91

6.1.1	Bloc de régulation de l'alimentation et génération des tensions et courants de références	91
6.1.2	Amplificateur faible bruit (LNA)	92
6.1.3	Bloc de calibration de l'instrument	96
6.2	Dessin des masques	98
6.2.1	Techniques utilisées	98
6.2.2	Layout du circuit à trois voies complet avec pads	99
6.3	Simulations du circuit complet	100
6.3.1	Effets simulés	100
6.3.2	Simulation en température	101
6.3.3	Simulation d'une variation de l'alimentation satellite	102
6.3.4	Simulations AC	103
6.3.5	Simulation du bruit	108
6.3.6	Simulations transitoires	112
6.3.7	Simulations Latin Hypercube et corners	114
6.3.8	Modèle électrique du SCM et simulations	116
6.4	Bilan de l'ASIC Juice MagIC	118
Conclusions et perspectives		120
7.1	Conclusion sur la caractérisation de la technologie et la réalisation du circuit de lecture	120
7.2	Perspectives d'améliorations	120
7.2.1	S'affranchir du bruit basse fréquence	120
7.2.2	Utilisation de transistors en anneaux	121
7.2.3	Vers un circuit tout différentiel	121
7.2.4	Vers un changement de technologie	122
7.3	Conclusion générale	123
A Schématique complète de JUICE ASIC		124
B Courbes de simulations de JUICE ASIC		140
Bibliographie		173

Table des figures

1	Dessin de la mission JUICE	2
2	Lunes galiléennes.	2
1.1	Dose absorbée attendue dans le silicium à la fin de la mission JUICE en fonction de l'épaisseur de la protection en aluminium pour différentes sources : électrons piégés, protons piégés et protons solaires. La courbe rouge combine les contributions des autres sources ainsi que la contribution provenant du Bremsstrahlung.	9
1.2	Caractéristique d'une diode	12
1.3	Architecture simplifiée de transistors PMOS et NMOS avec leurs représentations symboliques respectives.	13
2.1	Dessin des masques d'un transistor NMOS droit $50\ \mu\text{m} \times 10\ \mu\text{m}$	18
2.2	Dessin des masques d'un transistor NMOS "en anneau" $50\ \mu\text{m} \times 10\ \mu\text{m}$	18
2.3	Différentes formes de transistors en anneaux [9]	20
2.4	Photos du banc de caractérisation cryogénique.	22
2.5	Schémas représentant les mesures CV réalisées sur nos transistors.	23
2.6	Représentation simplifiée en vue éclatée des différentes couches de dopage dans le substrat du circuit intégré de caractérisation de transistor.	24
2.7	Représentation de l'environnement d'un NMOS et de ses composants parasites.	25
2.8	Schéma équivalent du transistor PMOS $50\ \mu\text{m} \times 0.35\ \mu\text{m}$	27
2.9	I_D en fonction de V_{DS} pour des valeurs de R_D et de R_S de $0\ \Omega$ à $150\ \Omega$	28
2.10	Résistivité électrique de l'aluminium [Al] ($10^{-8}\ \Omega \cdot m$) en fonction de la température (K). [12]	29
2.11	Comparaison des $I_D V_D$ entre un transistor standard et en anneau de $50\ \mu\text{m} \times 10\ \mu\text{m}$	32
2.12	Comparaison des $I_D V_G$ entre un transistor standard et en anneau de $50\ \mu\text{m} \times 10\ \mu\text{m}$	32
2.13	Contribution du coin inférieur droit d'un transistor en anneau.	33

2.14	Comparaison entre les $I_D V_D$ des mesures brutes d'un transistor NMOS en anneau avec la simulation du transistor standard avec l'ajout de la contribution des coins.	34
2.15	Comparaison entre les simulations du modèle fondeur avec les mesures à différentes températures pour un transistor NMOS $50\mu\text{m} \times 10\mu\text{m}$ standard.	37
2.16	Dépendance en température de la capacité C_{G-DSB} pour une variation de V_{G-DSB} d'un transistor PMOS $50\mu\text{m} \times 10\mu\text{m}$ en anneau.	38
2.17	Variation d'une résistance intégré de $10\text{k}\Omega$ en fonction de la température.	39
2.18	Variation d'une capacité intégré de 5pF en fonction de la température. . .	40
2.19	Variation d'une capacité intégré de 10pF en fonction de la température. . .	41
2.20	Mobilité des électrons en fonction de la température pour différentes concentrations de dopage dans du silicium.	42
2.21	Effet de freeze-out en fonction du dopage du semi-conducteur et de la température.	43
2.22	Evolution de la densité des électrons avec la température et son énergie de Fermi.	43
2.23	C_{ox} en fonction de V_{GB} pour un transistor standard $50\mu\text{m} \cdot 10\mu\text{m}$ pour un NMOS et un PMOS à basse température.	47
2.24	$G_{DS} = f(V_{DS}, T)$ pour un NMOS $50\mu\text{m} \times 10\mu\text{m}$ à 100K, 150K et 200K.	49
2.25	I_D en fonction de V_D pour un transistor PMOS $50\mu\text{m} \cdot 10\mu\text{m}$ à 100K, 150K et 200K pour différentes valeurs de V_G et de V_B	50
2.26	I_D en fonction de V_D pour un transistor NMOS $50\mu\text{m} \cdot 10\mu\text{m}$ à 100K, 150K et 200K pour différentes valeurs de V_G et de V_B	50
2.27	C_{G-DSB} en fonction de V_{G-DSB} pour un transistor PMOS $1\text{mm} \cdot 10\mu\text{m}$ à 100K et à 200K.	51
2.28	C_{BD} en fonction de V_{BD} pour un transistor PMOS $1\text{mm} \cdot 10\mu\text{m}$ à 100K ainsi qu'un PMOS $50 \cdot 10\mu\text{m}$ à 150K.	51
2.29	Comparaison entre les mesures, la simulation du modèle extrait et le modèle du fondeur sur une large plage de température pour $\{V_{GS}; V_{BS}; V_{DS}\} = \{3.3\text{V}; 0\text{V}; 3.3\text{V}\}$ d'un PMOS standard $50\mu\text{m} \times 10\mu\text{m}$	53
2.30	Mesures et simulation du modèle extrait pour $I_D V_G$ et $I_D V_D$ d'un transistor NMOS $50\mu\text{m} \times 10\mu\text{m}$ à 100K.	54
3.1	Coefficients d'atténuations massiques du silicium pour des photons gamma entre 1keV et 100MeV liés à différentes interactions : effet photoélectrique, diffusion Compton, création de paire ainsi que la somme de toutes ces interactions.	59
3.2	Représentation de l'effet bec d'oiseau.	61
3.3	Schéma du banc d'irradiation des puces.	63

3.4	Schéma du banc de caractérisation automatique post-irradiation.	64
3.5	Désintégration du Cobalt 60	66
3.6	Banc de mesure radiative et cryogénique.	70
4.1	Schéma explicatif d'un capteur à effet Hall.	73
4.2	Schéma explicatif d'une magnétorésistance géante.	74
4.3	Structure générale d'un fluxmètre trois axes et schéma simplifié de l'un des axes.	76
4.4	Fonction de transfert du fluxmètre de JUICE avec et sans la bobine de contre-réaction de flux.	77
4.5	Fluxmètre de la mission JUICE.	77
4.6	Évolution des circuits de lecture de magnétomètre à induction pour diffé- rentes missions spatiales	78
4.7	Vue générale de l'ASIC JuiceMagIC.	79
5.1	Schématique du bandgap tout CMOS.	83
5.2	Tension de référence.	84
5.3	Photographie de l'ASIC bandgap.	86
5.4	Banc de mesure du Bandgap.	86
5.5	Simulation et mesure de la tension délivrée par un bandgap à transistors droits en fonction de la température.	88
5.6	Mesure de la tension délivrée par un bandgap à transistors en anneau en fonction de la température pour des tensions d'alimentation entre 4.5V et 5.5V.	89
6.1	Circuit de polarisation réduit de JUICE MagIC.	92
6.2	Schéma réduit de l'étage 1 du préamplificateur de JUICE MagIC.	93
6.3	Schéma réduit de l'étage 2 du préamplificateur de JUICE MagIC.	94
6.4	Schéma de connexion des deux premiers étages du LNA de JUICE MagIC.	94
6.5	Schéma réduit d'un amplificateur de l'étage 3 du préamplificateur de JUICE MagIC.	95
6.6	Connexion des deux amplificateurs pour former un troisième étage d'am- plification à sortie différentielle compensée.	96
6.7	Schématique du buffer de calibration.	97
6.8	Dessin des masques du pont diviseur de tension de la régulation $\frac{Alim5V}{2}$	98
6.9	Dessin des masques de l'ASIC JUICE MagIC trois voies.	100
6.10	Simulation DC du schéma du circuit une voie en fonction de la tempéra- ture.	101
6.11	Simulation DC du schéma du circuit une voie en fonction de la tension d'alimentation à -180 ° C.	102

6.12	Power Supply rejection rate.	103
6.13	Diagramme de Bode de l'amplificateur "AOP2" en boucle ouverte.	104
6.14	Diagramme de Bode de l'amplificateur "circuit de bias" en boucle ouverte.	104
6.15	Diagramme de Bode des deux premiers étages du LNA en boucle ouverte.	105
6.16	Diagramme de Bode du troisième étage du LNA en boucle ouverte.	106
6.17	Amplitude et phase du buffer de calibration du layout extrait du circuit une voie à différentes températures.	107
6.18	Simulation AC du layout extrait du circuit une voie à -180 ° C.	107
6.19	Simulation de la phase de l'amplificateur faible bruit du layout extrait du circuit une voie.	108
6.20	Contribution des différents bruits pour un MOSFET.	109
6.21	Bruit équivalent en entrée du LNA seul à température ambiante.	110
6.22	Bruit équivalent en entrée du circuit complet à température ambiante et à -160 ° C.	111
6.23	Simulation transitoire du circuit une voie sur 1ms à 0 ° C.	112
6.24	Simulation transitoire du layout extrait avec démarrage de l'alimentation satellite sur 5ms.	113
6.25	Analyse transitoire d'une coupure de courant dans le layout extrait du circuit une voie.	114
6.26	Nombre d'échantillon en fonction de la tensions "Alim2.5V", "Alim5V", "Ref1.23V" et de la consommation pour une simulation Latin Hypercube de 300 runs.	115
6.27	Circuit équivalent au fluxmètre de JUICE.	116
6.28	Fonction de transfert du modèle de fluxmètre seul et du magnétomètre pour différentes valeurs de contre-réaction.	118
7.1	Principe de l'amplificateur Chopper stabilisé [62]	121

Liste des tableaux

2.1	Caractéristiques des transistors utilisés.	19
2.2	Liste des valeurs des résistances parasites de drain et de source des transistors à caractériser.	26
2.3	Cpoly	40
2.4	params	45
2.5	Évolution des V_{th0} en fonction de la température pour nos différents type de transistors.	48
3.1	Caractéristiques du Cobal 60 [37].	66
4.1	Caractéristiques des principaux capteurs magnétiques.	75
4.2	Caractéristiques de l'instrument de la mission JUICE	76
5.1	Différences entre les quatre architectures de bandgap.	85
5.2	Caractéristiques des composants du circuit de bandgap présenté sur la figure 5.1.	85
5.3	Mesures des variations de la tension de référence en fonction de la température.	87
6.1	Récapitulatif des résultats des simulations Monte Carlo sur 300runs.	115
6.2	Liste des composants du modèle électrique équivalent du fluxmètre de JUICE.	117
6.3	Caractéristiques de l'ASIC Juice MagIC.	119

Abréviations

AC	A lternating C urrent
AMS	A ustria M icro- S ystem
ASCII	A merican S tandard C ode for I nformation I nterchange
ASIC	A pplication- S pecific I ntegrated C ircuit
AU	A stronomical U nit
BJT	B ipolar J unction T ransistor
BSIM	B erkeley S hort-channel I GFET M odel
CMOS	C omplementary M OS
CMOSMC	CMOS M onte C arlo simulation
CMOSTM	CMOS T ypical M ean condition
CMOSTMWN	CMOS T ypical M ean W orst N oise condition
CMOSWO	CMOS W orst case O ne condition
CMOSWP	CMOS W orst case P ower condition
CMOSWS	CMOS W orst case S peed condition
CMOSWZ	CMOS W orst case Z ero condition
CMP	C ircuits M ulti- P rojets
CSV	C omma- S eparated V alues
CTAT	C omplementary T o A bsolute T emperature
CV	C apacitance vs. (DC bias) V oltage
DC	D irect C urrent
DIBL	D rain- I nduces B arrier L owering
DSP	D ensité S pectrale de P uissance
DUT	D evice U nder T est
ESA	E uropean S pace A gency
HEMT	H igh E lectron M obility T ransistor

HR	H ard R ad
IGFET	I nsulated G ate F ield- E ffect T ransistor
IV	C urrent vs. (DC bias) V oltage
JFET	J unction F ield E ffect T ransistor
JUICE	J upiter I Cy Moons E xplorer
LET	L inear E nergy T ransfer
LFR	L ow F requency R eceiver
LHS	L atin H ypercube S ampling
LNA	L ow N oise A mplifier
LVPS	L ow-voltage p ower supply
MDM	M odel D ata M anager
MEMS	M icro- E lectro- M echanical S ystems
MOS	M etal- O xide S emiconductor
MOSFET	M etal- O xide S emiconductor F ield- E ffect T ransistor
NEMI	N oise E quivalent M agnetic I nduction
NEMS	N ano- E lectro- M echanical S ystems
NMOS	n -channel MOSFET
PMOS	p -channel MOSFET
PSRR	P ower S upply R ejection R atio
PTAT	P roportional T o A bsolute T emperature
RHBD	R adiation- H ardening B y D esign
RMS	R oot M ean S quare
RPWI	R adio and P lasma W ave I nstrument
SCM	S earch C oil M agnetometer
SEE	S ingle E vent E ffect
SEL	S ingle E vent L atchup
SEU	S ingle E vent U pset
SOAC	S afe O perating A rea C heck
SOI	S ilicon O n I nsulator
SQUID	S uperconducting Q Uantum I nterference D evice
TID	T otal I onizing D ose

Symboles

C_{bb}	Capacité parasite total du substrat du MOSFET	F
C_{bd}	Capacité parasite substrat-drain du MOSFET	F
C_{bg}	Capacité parasite substrat-grille du MOSFET	F
C_{bs}	Capacité parasite substrat-source du MOSFET	F
C_{db}	Capacité parasite drain-substrat du MOSFET	F
C_{gb}	Capacité parasite grille-substrat du MOSFET	F
C_{gd}	Capacité parasite grille-drain du MOSFET	F
C_{gg}	Capacité parasite total de grille du MOSFET	F
C_{gs}	Capacité parasite grille-source du MOSFET	F
C_{ol}	Capacité de chevauchement entre la grille et la source, ou la grille et le drain	F
C_{ox}	Capacité d'oxyde par unité de surface	$F \cdot cm^{-2}$
Cpoly	Capacité intégré en polysilicium	F
C_{sb}	Capacité parasite source-substrat du MOSFET	F
g_{ds}	Conductance drain-source du MOSFET	A/V
g_m	Transconductance du MOSFET	A/V
I_B	Courant de substrat du MOSFET	A
I_D	Courant de drain du MOSFET	A
I_G	Courant de fuite de grille du MOSFET	A
I_S	Courant de source du MOSFET	A
I_{sub}	Courant de fuite sous le seuil drain->source du MOSFET	A
L	Longueur du canal	m
L_{ov}	Chevauchement entre la grille et la source, ou la grille et le drain	m
R_D	Résistance parasite lié au drain du MOSFET	Ohm
r_{ds}	Résistance drain-source du MOSFET	Ohm
Rpoly	Résistance intégré en polysilicium	Ohm

R_S	Résistance parasite lié à la source du MOSFET	Ohm
t_{ox}	Épaisseur de l'oxyde de grille du MOSFET (SiO_2)	m
V_B	Tension appliqué au substrat du MOSFET	V
V_{BS}	Différence de potentiel substrat-source du MOSFET	V
V_{cc}	Tension continue d'alimentation	V
V_D	Tension appliqué au drain du MOSFET	V
V_{DS}	Différence de potentiel drain-source du MOSFET	V
V_G	Tension appliqué à la grille du MOSFET	V
V_{GB}	Différence de potentiel grille-substrat du MOSFET	V
V_{GS}	Différence de potentiel grille-source du MOSFET	V
V_S	Tension appliqué à la source du MOSFET	V
V_{th}	Tension de seuil du MOSFET	V
V_{tn}	Tension de seuil d'un NMOS	V
V_{tp}	Tension de seuil d'un PMOS	V
W	Largeur effective de grille	m

Introduction Générale

Cette thèse s'inscrit dans un programme dédié à l'étude de Jupiter et de ses lunes mené par l'Agence Spatiale Européenne (ESA). La recherche effectuée lors de cette thèse consiste à développer une électronique de lecture d'un instrument de mesure pour l'étude du champ magnétique de Jupiter ainsi que celle de Ganymède, l'une de ses plus grandes lunes glacées. Afin d'atteindre les performances exigées par une mission de cette envergure, des méthodes existantes actuellement dans l'état de l'art doivent être améliorées.

L'environnement spatial ajoute des contraintes supplémentaires. L'instrument fourni devra par conséquent être résistant aux radiations (jusqu'à 500 krads) et continuer de fonctionner parfaitement à des températures cryogéniques (aux alentours de 100 kelvins). Ces points critiques doivent être maîtrisés pour la réalisation de notre magnétomètre : nom désignant l'instrument de mesure de champs magnétique. Une étude sur le comportement des circuits intégrés en température cryogénique et sous forte dose de radiations doit être menée et leurs effets doivent être modélisés.

Cette thèse est réalisée sous la direction de Gérard SOU - Enseignant/Chercheur au L2E [Laboratoire d'Électronique et Électromagnétisme] à l'Université Pierre et Marie Curie (Paris VI) ainsi que sous l'encadrement de Malik Mansour - ingénieur de recherche au LPP [Laboratoire de Physique des Plasmas] à l'école Polytechnique.

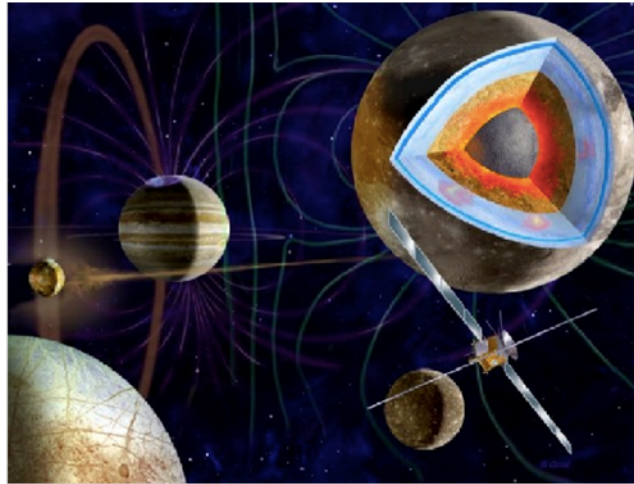


FIGURE 1: Dessin de la mission JUICE

0.1 Mission JUICE

Cette thèse est réalisée dans le cadre de la mission JUICE, proposée par l'ESA ¹. JUICE est l'acronyme pour JUPiter and ICy moons Explorer. C'est la première grande mission du plan "Cosmic Vision" 2015-2025. La mission de JUICE permettra l'observation et l'étude de l'atmosphère et de la magnétosphère de Jupiter ainsi que celle de quatre de ses lunes glacées les plus massives (Figure 2) : Io, Callisto, Europe et Ganymède. Cette dernière lune, Ganymède, possède son propre champ magnétique. L'interaction entre le champ magnétique de Jupiter et celui de Ganymède fera l'objet d'une étude approfondie. Le lancement est planifié en 2022 et l'arrivée de la sonde en orbite de Jupiter en 2030.



FIGURE 2: Lunes galiléennes.

Le rapport [1] présente le déroulement de la mission JUICE en détail.

JUICE est l'étape nécessaire pour l'exploration future du dehors de notre système solaire, en prolongeant et complétant l'exploration par Cassini du système Saturnien et les explorations des sondes Galileo et Juno de Jupiter et de son système. Il est maintenant temps de caractériser les mondes potentiellement habitables de Ganymède, Europe et

1. Agence Spatiale Européenne : <http://www.esa.int/>

Callisto. JUICE fournira également une étude approfondie du système jovien, qui sert de système solaire miniature à part entière, avec une myriade d'environnements uniques à explorer. Jupiter sert d'archétype pour les systèmes exoplanétaires. Il a joué un rôle essentiel dans le développement de notre environnement habitable. JUICE contribuera donc à une meilleure compréhension des origines de notre système solaire. JUICE abordera deux thèmes scientifiques clés : «Quelles sont les conditions de formation des planètes et de l'émergence de la vie?» et «Comment fonctionne le système solaire?».

Cette mission européenne embarquera onze instruments scientifiques dont l'unique instrument français est le magnétomètre au sein du consortium RPWI².

L'objectif scientifique de l'instrument est l'étude de la microphysique de l'électrodynamique du système jovien :

- reconnexion magnétique ;
- accélération et chauffage de particules ;
- transfert d'énergie dans un milieu non collisionnel (interaction ondes-particules) ;
- émission aurorale.

L'instrument sera fixé au bout d'un bras mécanique, à 10.2m hors du satellite, afin de ne pas être perturbé par les ondes électromagnétiques produites par les autres composants et instruments. Ce requis est nécessaire pour atteindre les performances en bruit et mesurer des signaux de l'ordre du femto-tesla. Cependant, une difficulté supplémentaire s'ajoute sur la réalisation de l'instrument, car il ne sera plus protégé par le corps du satellite. Par conséquent, il subira un taux de radiations bien plus important et des températures bien plus froides que les instruments des précédentes missions.

Le bon déroulement du développement de l'instrument est assuré par le CNES. Cette thèse répond aux recherches scientifiques nécessaires au développement d'un instrument spatial tout en respectant le calendrier imposé par l'ESA afin de fournir un instrument fonctionnel correspondant au modèle de vol à la fin de cette thèse.

0.2 Organisation du mémoire

Cette thèse suit deux axes complémentaires, une première partie sur l'étude des circuits intégrés en environnement contraignant analysant leur fonctionnement en température cryogénique et sous forte dose de radiations. Cette recherche donne lieu au développement de modèles décrivant le comportement des composants des circuits intégrés soumis à des conditions extrêmes.

2. Radio Plasma Wave Instrument

Ces modèles servent de fondement pour la conception de l'électronique de lecture du fluxmètre de la mission spatiale JUICE, qui constitue notre seconde partie. Celle-ci débute par la présentation de l'instrument de mesure, des performances voulues afin d'atteindre les objectifs scientifiques de la mission et les conditions auxquelles l'instrument sera soumis. Un chapitre est consacré à l'étude menée sur le bandgap qui constitue un bloc critique du circuit à basse température. Le design du circuit de lecture du fluxmètre de JUICE est décrit dans le dernier chapitre de la seconde partie.

Première partie

Etude des circuits intégrés en environnement contraignant

Chapitre 1

Problématique des circuits intégrés en environnement contraignant

Sommaire

1.1	Environnement spatial contraignant	7
1.1.1	Vide interplanétaire	7
1.1.2	Température spatiale	7
1.1.3	Radiations dans l'espace	8
1.1.4	Etat de l'art sur les circuits en environnement spatial	9
1.2	Circuits intégrés	10
1.2.1	Technologie des circuits intégrés : transistors, résistances et capacités	10
1.2.2	Cas de la technologie utilisée	14

1.1 Environnement spatial contraignant

L'environnement spatial est particulièrement hostile. Les principales contraintes liées au spatial [2] sont :

- le vide ;
- les températures extrêmes ;
- et les fortes doses de radiations.

Dans cette section, nous allons décrire ces contraintes dont la température spatiale, les principales sources de radiations cosmiques et donner un aperçu des circuits intégrés en environnement spatial.

1.1.1 Vide interplanétaire

La densité du médium interplanétaire est très faible, autour de 5 particules / cm^3 autour de la Terre et diminue au plus on s'éloigne du Soleil proportionnellement à l'inverse du carré de la distance. Cependant, cette densité est très variable et peut être aussi élevée que 100 particules / cm^3 .

1.1.2 Température spatiale

La température minimale dans l'espace est celle du fond diffus cosmologique, lié au Big Bang, de 2.7 Kelvins [3][4]. Cependant, lorsque nous sommes entourés de matière, dans une galaxie et à fortiori dans un système solaire, la température est bien plus importante. D'une manière générale, la température augmente au plus on s'approche d'une étoile. Pour notre étoile, la température de l'espace, lorsque l'on se situe à :

- 1UA, distance Terre-Soleil, est de 10.17°C (283.32K) ;
- 2.2UA, au niveau interne de la ceinture d'astéroïdes, est de -73°C (200K) ;
- 3.2UA, au niveau externe de la ceinture d'astéroïdes, est de -108°C (165K).

Plus précisément durant la mission, le satellite fera un survol de Vénus - seconde planète la plus proche du soleil - où la température de l'instrument est amenée à grimper jusqu'à $+140^\circ\text{C}$. Inversement, lorsqu'il atteindra Jupiter qui se situe à 5.2UA, la température attendue est de -173°C . Puisque l'instrument sera en dehors du caisson de protection, il subira l'ensemble de ces températures extrêmes mais l'instrument ne sera en fonctionnement qu'une fois autour de Jupiter.

1.1.3 Radiations dans l'espace

Dans cette section, nous étudions les principales causes de rayonnements cosmologiques.

Il y a trois principales sources d'exposition dans l'espace :

- le vent solaire (protons et électrons - autour d'1keV) ;
- les ceintures de rayonnement ;
- les rayons cosmiques (90% protons, 9% particules α , 1% électrons) avec quelques ions lourds particulièrement énergétiques.

Le vent solaire est un flux de plasma éjecté de la haute atmosphère du Soleil. La vitesse et la température de ce flux varient dans le temps en fonction de l'activité solaire. La pression exercée par ce vent solaire protège du milieu interstellaire, cette frontière est appelé l'héliopause.

La ceinture de rayonnement est une zone toroïdale de la magnétosphère de certaines planètes dans laquelle des particules chargées à haute énergie sont piégées par le champ magnétique de la planète. Pour la Terre, on parle de ceinture de Van Allen qui est constituée de deux ceintures (intérieure et extérieure) stables. La ceinture interne est principalement constituée de protons à haute énergie (jusqu'à plusieurs centaines de MeV) et la ceinture externe d'électrons à haute énergie (> 5 MeV). Jupiter possède sa propre ceinture de rayonnement. Les éruptions volcaniques sur la lune Io de Jupiter éjectent de grandes quantités de dioxyde de soufre dans l'espace, formant un grand tore de gaz autour de la planète et façonnant sa magnétosphère. La magnétosphère de Jupiter étant la plus puissante du système solaire, l'intensité de sa ceinture de rayonnement est des milliers de fois plus forte que la ceinture de Van Allen. Les magnétosphères des systèmes planétaires les protègent du vent solaire, cette frontière est appelée la magnétopause.

Les rayonnements cosmiques proviennent de l'extérieur du système solaire. Ces rayonnements sont particulièrement énergétiques, les particules provenant de notre galaxie ont une énergie pouvant atteindre $10^{15}eV$ tandis que les particules extragalactiques atteignent des énergies jusqu'à $10^{21}eV$.

La figure 1.1 montre la dose absorbée attendue au cours de la mission JUICE pour différentes sources tirées de la revue technique de l'ESA [5]. La grande majorité des radiations auront lieu durant les trois ans et demi de fonctionnement en orbite de Jupiter plutôt que pendant les sept ans de croisière. De plus, sur la figure sont répertoriées les principales sources d'irradiation durant la mission, qui sont : des protons en provenance du soleil ainsi que des électrons et des protons piégés dans la ceinture de rayonnement de Jupiter. La dose absorbée de référence au cours de la mission se calcul pour du silicium protégé derrière un millimètre d'aluminium. Les simulations estiment une dose absorbée,

vu par le satellite JUICE, de plus de 2Mrads. D'après cette figure, il serait nécessaire d'avoir une protection en aluminium d'au moins 2mm pour ne pas dépasser 500krads. La principale source de dose absorbée durant la mission est liée aux électrons.

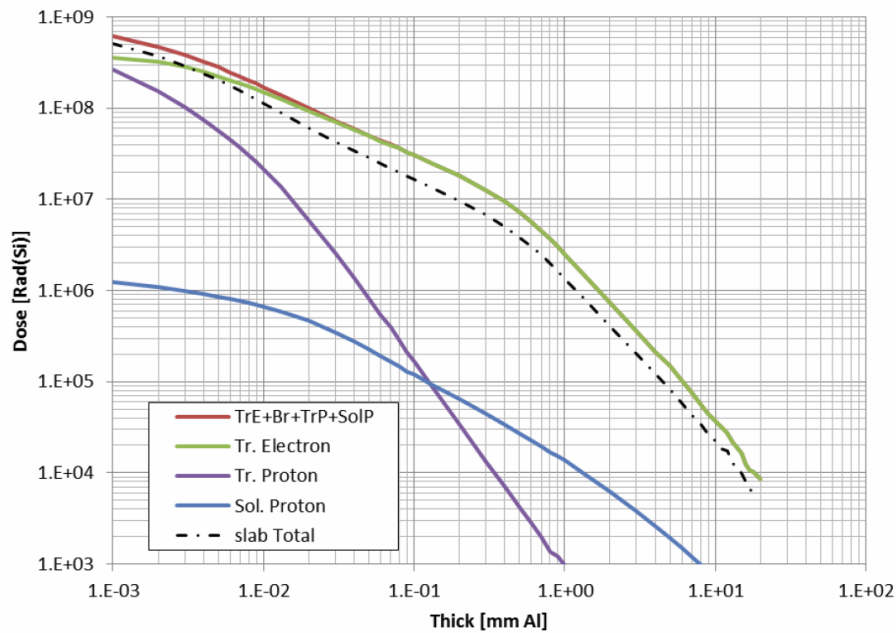


FIGURE 1.1: Dose absorbée attendue dans le silicium à la fin de la mission JUICE en fonction de l'épaisseur de la protection en aluminium pour différentes sources : électrons piégés, protons piégés et protons solaires. La courbe rouge combine les contributions des autres sources ainsi que la contribution provenant du Bremsstrahlung.

L'ensemble de ces rayonnements a un impact fort sur la durée de vie des circuits électroniques et sur leur performance.

1.1.4 Etat de l'art sur les circuits en environnement spatial

Durant des années, les circuits électroniques envoyés dans l'espace étaient composés de composants discrets, du fait de leur robustesse et de leur long passé. Cependant, le passage aux circuits intégrés dans le domaine du spatial se fait progressivement du fait de leurs nombreux avantages :

- + faible surface ;
- + faible poids ;
- + excellentes performances ;
- + et basse consommation.

Les circuits intégrés ont l'inconvénient d'être plus sensibles aux conditions extrêmes et leur comportement reste moins étudié. Dans l'état actuel, on ne connaît pas bien le comportement des circuits intégrés exposés à des conditions aussi extrêmes. Leurs études

peuvent apporter beaucoup au domaine du spatial mais également aux autres domaines requérant soit de fonctionner sous fortes doses de radiations (centrales nucléaires, etc.) ou à de très faibles températures. L'article [6], destiné à des missions martiennes, réalise une évaluation de la technologie aux conditions du spatial mais ne descend pas en dessous de $-100\text{ }^{\circ}\text{C}$ et ne va pas au-delà des 300 krads.

Afin de pouvoir accéder aux requis des missions spatiales, l'instrument devra rester fonctionnel à de très basses températures et à un débit de dose élevé. Cependant, la présence de conditions extrêmes modifie considérablement le fonctionnement de nos circuits électroniques. Leur maîtrise est une priorité et sera utile dans de nombreux domaines.

1.2 Circuits intégrés

Depuis l'invention du transistor en 1947, ce dernier n'a cessé de s'améliorer et reste le sujet de nombreuses recherches. Initialement sous la forme de composants discrets, ces composants sont maintenant généralement intégrés afin de gagner en performance et en consommation tout en diminuant considérablement leur taille. La densité des transistors a ainsi doublé tous les dix-huits mois, suivant la "loi de Moore", durant plusieurs décennies. Dans ce chapitre, nous présentons une description des composants des circuits intégrés et plus particulièrement des composants CMOS.

1.2.1 Technologie des circuits intégrés : transistors, résistances et capacités

Les principaux composants passifs intégrables sont les résistances et les capacités. Les inductances restent difficilement intégrables, car elles occupent de grandes surfaces et nécessitent l'utilisation de substrats isolants pour avoir de bons facteurs de qualité. Les composants actifs intégrables sont les diodes et les transistors. Il est également possible de réaliser certains dispositifs mécaniques, appelés MEMS¹ et NEMS².

Le substrat utilisé est composé d'un matériau semi-conducteur comme le silicium (Si) - le plus commun, l'arséniure de gallium (GaAs), le phosphore d'indium (InP), etc.

1.2.1.1 Dopage

Le dopage d'un semi-conducteur correspond à l'implantation d'impuretés en petites quantités pour en modifier ses propriétés de conductivité. Le dopage a pour effet de modifier

1. Micro-Electro-Mechanical Systems (MEMS) correspond à un microsystème électromécanique.

2. Nano-Electro-Mechanical Systems (NEMS) correspond à un nanosystème électromécanique.

la quantité de porteurs de charge présente dans le matériau. Ces porteurs peuvent être des électrons (charges négatives) ou des trous (charges positives).

Lorsque l'on ajoute un atome possédant un excès d'électrons au semi-conducteur intrinsèque, le matériau sera dopé de **type N** et possèdera des électrons libres. A l'inverse, lors de l'ajout d'un atome possédant moins d'électrons de valence, un déficit d'électrons est produit, donc un excès de trous, le dopage est de **type P**.

Pour le cas du silicium, atome possédant quatre électrons sur sa couche de valence, l'ajout d'un atome possédant cinq électrons de valence (phosphore, arsenic, etc.) forme un dopage N, alors que l'ajout d'un atome composé de trois électrons de valence seulement (bore, gallium, indium) constitue un dopage P.

La juxtaposition de couches isolantes, conductrices et semiconductrices avec des dopages différents permet d'intégrer des composants électroniques : diodes, transistors.

1.2.1.2 Diode

La diode est une simple jonction pn , soit une couche avec un excès de charge positive (anode) en contact avec une couche possédant un excès de charge négative (cathode). L'interface entre les deux constitue une zone de déplétion, zone dépourvue de porteurs libres, due à une répartition des charges. Une polarisation dans le sens direct (p positive comparé à n) réduit la région de la déplétion. Lorsque la polarisation dépasse une tension de seuil donnée, un canal de conduction se forme aux bornes de la diode laissant le courant passer. Au contraire, une polarisation inverse va accroître la zone de déplétion.

La diode est un dipôle non linéaire et polarisé qui possède deux régimes de fonctionnement idéaux, avec I_D l'intensité du courant et V_A la tension à ses bornes³ :

- bloqué : le courant ne passe pas ($I_D = 0$) lorsque $V_A < V_{seuil}$;
- passant : le courant passe ($I_D \neq 0$) sinon.

Pour les diodes de silicium, V_{seuil} vaut typiquement 0.7V. La figure 1.2 montre l'évolution de la densité de courant en fonction de la polarisation d'une diode en silicium. En polarisation direct, on retrouve le principe exposé précédemment. Lorsqu'on se trouve en polarisation inverse, le courant est quasi-nul, jusqu'à ce que la tension à ses bornes dépasse un certain seuil élevé. A ce stade, on observe un "claquage de la jonction" appelé l'effet Zener.

3. Ce modèle simplifié ne tient pas compte de l'effet de claquage, du courant de fuite en inverser et en régime direct sous le seuil.

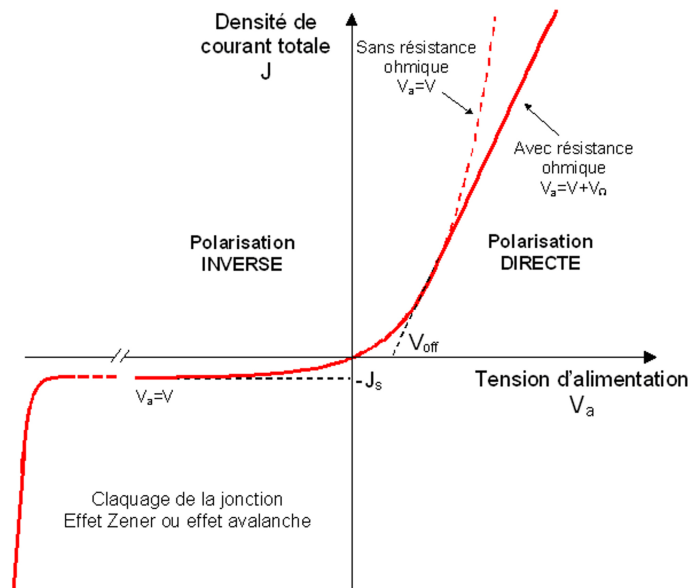


FIGURE 1.2: Courbe courant-tension caractéristique d'une diode⁴.

1.2.1.3 Transistor à effet de champ

Les transistors à effet de champ (FET) utilisent un champ électrique pour contrôler la conductivité d'un canal dans le matériau semiconducteur. Dans cette thèse, nous nous focalisons sur les transistors à effet de champ à grille isolée, plus couramment nommés MOSFET. Une couche de semi-conducteur peu dopée, formant le canal de conduction, est placée entre deux couches de dopage opposées formant le drain et la source. Ils sont basés sur le principe du FET mais possèdent une grille isolée du semiconducteur par une couche isolante - généralement de l'oxyde de silicium. On connaît bien leur fonctionnement et c'est l'un des meilleurs candidats pour le spatial du fait de leur robustesse face aux radiations et aux températures extrêmes. La figure 1.3 en montre les schémas simplifiés des deux architectures complémentaires PMOS et NMOS.

4. Figure disponible sur : http://www.optique-ingenieur.org/fr/cours/OPI_fr_M05_C02/co/Contenu_09.html

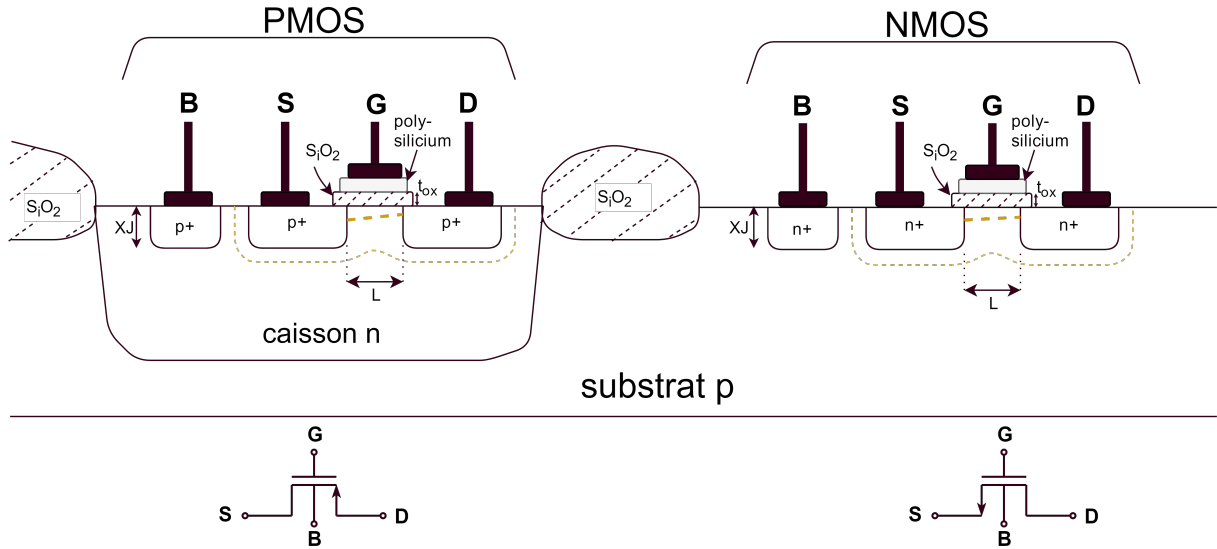


FIGURE 1.3: Architecture simplifiée d'un transistor PMOS à gauche et NMOS à droite avec leurs représentations symboliques respectives en dessous.

Le transistor possède quatre pôles : *source* (S), *grille* (G), *drain* (D) et *bulk* (B). La grille, caractérisée par les dimensions W/L , forme le canal de conduction qui relie le drain à la source. Sur la figure 1.3, t_{ox} représente l'épaisseur d'oxyde de grille et XJ la profondeur d'implantation des jonctions.

Caractéristiques tension-courant des MOSFETs

La tension de seuil V_{th} , noté V_{tn} pour un canal du type N et V_{tp} pour un pmos, correspond à la tension de grille nécessaire pour créer une inversion de charge dans le canal. Dans le cas d'un nmos, la tension de seuil est positive car la tension de grille doit être positive pour attirer les charges négatives sous la grille et créer un canal. De manière analogue, la tension de seuil des pmos est négative pour attirer des charges positives sous leur grille. Pour des tensions de grille inférieures à $|V_{th}|$, le courant i_D est proche de zéro. L'équation 1.1 montre le courant de drain dans un MOSFET en régime de déplétion ou d'inversion faible (mode bloqué).

$$|i_D| = \frac{W}{L} \cdot \mu_0 \cdot C_{dep} \left(\frac{k_B T}{q} \right)^2 \cdot \left(1 - e^{-\frac{qV_{DS}}{k_B T}} \right) \cdot e^{q \frac{V_{GS} - V_{th}}{\alpha k T}} \quad (1.1)$$

où W est la largeur du canal, L est la longueur effective du canal, μ_0 est la mobilité des porteurs, α vaut $\frac{1+C_{dep}}{C_{ox}}$, C_{ox} est la capacité de l'oxyde de grille, C_{dep} est la capacité de la zone de déplétion, k_B est la constante de Boltzmann⁵, q est la charge élémentaire et T correspond à la température.

5. la constante de Boltzmann vaut $k_B = 1.38064852 \cdot 10^{-23} J \cdot K^{-1}$.

Pour un $|V_{GS}| \geq |V_{th}|$ et un petit $|V_{DS}|$, un canal de conduction est formé sous la grille reliant la source au drain. Un courant i_D est généré proportionnel à la tension $|V_{DS}|$, c'est le régime linéaire. Une augmentation de $|V_{DS}|$ va provoquer une diminution de tension entre la grille et le drain et par conséquent, la densité de charge va diminuer dans le canal du côté du drain, on observe un pincement du canal. Lorsque $V_{GD} = V_{th}$, la densité de charge du canal au niveau du drain est nulle. Ce seuil est appelé $V_{DS_{sat}}$ (eq. 1.2) et pour tout $V_{DS} \geq V_{DS_{sat}}$, on se situe en régime saturé.

$$V_{DS_{sat}} = V_{GS} - V_{th} \quad (1.2)$$

Les équations correspondantes aux régimes linéaires et saturés sont données pour des transistors NMOS (équations 1.3) et PMOS (équation 1.4) :

$$\begin{cases} i_D = \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_{tn} - \frac{1}{2} V_{DS}) V_{DS} (1 + \lambda V_{DS}), \text{ pour } V_{DS} < V_{DS_{sat}} \\ i_D = \frac{1}{2} \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_{tn})^n (1 + \lambda V_{DS}), \text{ pour } V_{DS} > V_{DS_{sat}} \end{cases} \quad (1.3)$$

$$\begin{cases} i_D = \frac{W}{L} \mu_p C_{ox} (V_{SG} - V_{tp} - \frac{1}{2} V_{SD}) V_{SD} (1 + \lambda V_{SD}), \text{ pour } V_{SD} < V_{SD_{sat}} \\ i_D = \frac{1}{2} \frac{W}{L} \mu_p C_{ox} (V_{SG} - V_{tp})^n (1 + \lambda V_{SD}), \text{ pour } V_{SD} > V_{SD_{sat}} \end{cases} \quad (1.4)$$

où $\mu_{n/p}$ est la mobilité des charges électrons/trous, C_{ox} est la capacité d'oxyde telle que $C_{ox} = \epsilon_{ox}/t_{ox}$ et $V_{tn/tp}$ est la tension de seuil du nmos/pmos dépendant de V_{BS} . Enfin, le paramètre n est un coefficient dépendant de la technologie telle que $n = 2$ pour les technologies micrométriques et $1 < n < 2$ pour les technologies submicrométriques profondes. Comme le montre ces équations, un paramètre λ a été ajouté, correspondant à la modulation de longueur du canal. En régime saturé, lorsque $|V_{DS}|$ augmente, le point du canal correspondant à l'absence d'inversion de charge va s'éloigner du drain ce qui a pour effet de diminuer la longueur effective du canal.

1.2.2 Cas de la technologie utilisée

La technologie utilisée est une technologie commercialement disponible, la bulk CMOS 0.35 $\mu\text{m}/3.3\text{V}$ d'AMS⁶, connue pour sa robustesse et ses performances est encore très utilisée en électronique analogique. La longueur minimale du canal est de 350nm et les tensions de polarisation V_{GS} et V_{DS} évoluent typiquement entre 0 et 3.3V. Cette technologie a été retenue car, en plus de ses avantages mentionnés précédemment, on possède un fort héritage au laboratoire.

6. Austria Micro System : ams.com

La bonne tenue de l'instrument pour la mission JUICE nécessite une étude et une modélisation du comportement de la technologie CMOS soumise aux conditions du spatial : températures extrêmes et forte dose de radiations.

Chapitre 2

Modélisation de la technologie AMS 0.35 μm CMOS à température cryogénique

Sommaire

2.1	Réalisation d'un banc de mesure cryogénique	17
2.1.1	Banc de mesure automatisé	17
2.1.2	Validation expérimentale à température ambiante	30
2.2	Modèle à température cryogénique	35
2.2.1	Etude cryogénique	35
2.2.2	Extraction des paramètres du modèle BSIM3.3	44

2.1 Réalisation d'un banc de mesure cryogénique

L'étude d'une technologie soumise à des températures aussi basses nécessite la mise en place d'un banc de mesure spécifique. Dans cette partie, nous décrivons l'architecture du banc de mesure cryogénique capable de maintenir une température de consigne allant de 77K à 300K [7].

2.1.1 Banc de mesure automatisé

Le banc se compose de plusieurs éléments : le circuit de test à caractériser, le banc gérant la température et les instruments de mesures. Les données sont récoltées et on leur applique ensuite une étape de correction des mesures afin de supprimer les effets liés à leur environnement (de-embedding).

2.1.1.1 Circuit de test

Le circuit de test est un circuit intégré composé de transistors, résistances et capacités de la technologie que l'on souhaite étudier. Ce circuit a été fabriqué par AMS via le CMP¹.

Transistors droits et en anneaux

Sur le circuit de test sont présents 12 transistors en technologie 0.35 μm /3.3V d'AMS, classés en quatre catégories :

- 3 NMOS standard à grille droite ;
- 3 PMOS standard à grille droite ;
- 3 NMOS à grille "en anneaux" ;
- 3 PMOS à grille "en anneaux".

On utilise deux formes de transistor car celles en anneaux permettent de meilleures performances en terme de radiations - on utilise l'abréviation HR pour "HardRad" afin de les désigner.

1. Circuits Multi-Projets : <http://cmp.imag.fr/>

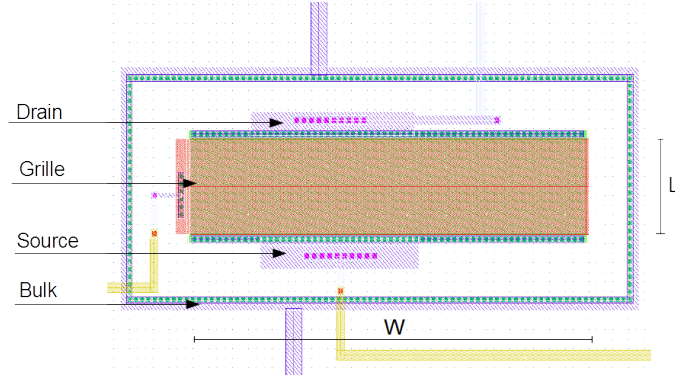


FIGURE 2.1: Dessin des masques d'un transistor NMOS droit 50 µm x 10 µm.

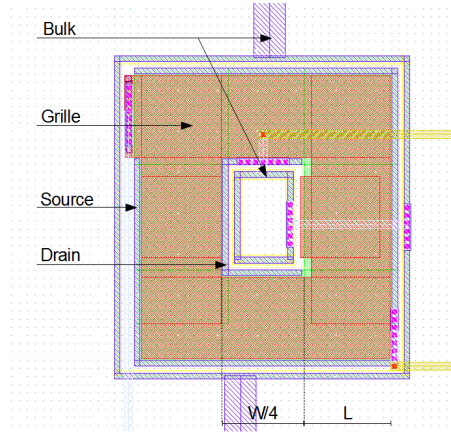


FIGURE 2.2: Dessin des masques d'un transistor NMOS "en anneau" 50 µm x 10 µm.

La figure 2.1 représente le dessin des masques d'un transistor standard droit (NMOS 50 µm x 10 µm) et la figure 2.2 représente un transistor équivalent en anneau. Sur ce dernier la grille forme un anneau avec en général le drain à l'intérieur et la source à l'extérieur afin de minimiser la capacité entre la grille et le drain (C_{GD}). Les transistors PMOS auraient un caisson N polarisé tout autour, sur un substrat P.

Le tableau 2.1 expose les caractéristiques de chacun des transistors. Leur nom correspond au type de transistor suivi d'un numéro de désignation. ng correspond au nombre de doigts de la grille dans le cas de transistors interdigités. AD et AS représentent respectivement l'aire du drain et de la source. De manière analogue, PD et PS représentent respectivement le périmètre de diffusion du drain et de la source des transistors.

Les aires et périmètres de diffusion des transistors en anneaux sont calculés comme suit :

$$\begin{aligned}
 P_D &= W \\
 P_S &= W + 8 \cdot L \\
 A_S &= 4 \cdot k \cdot \left(\frac{W}{4} + 2 \cdot L + k \right)
 \end{aligned} \tag{2.1}$$

$$\begin{cases} A_D = \left(\frac{W}{4}\right)^2 & , \text{ si } A_D \text{ petit ;} \\ A_D = 4 \cdot k \cdot \left(\frac{W}{4} - k\right) & , \text{ si } A_D \text{ grand.} \end{cases} \quad (2.2)$$

Le facteur k correspond à la largeur de la zone de diffusion et vaut $k = 1.7\mu\text{m}$ pour la librairie de génération de transistors en anneaux. Les conséquences liées au déséquilibre du périmètre de diffusion entre le drain et la source sont analysées section 2.1.2.2.

Nom	(Mx)WxL	ng	AD (μm^2)	PD (μm)	AS (μm^2)	PS (μm)
NMOS 1	50 μm x 0.35 μm	1	42.5	51.7	42.5	51.7
NMOS 2	50 μm x 10 μm	1	42.5	51.7	42.5	51.7
NMOS 3	4 x 250 μm x 10 μm	2	62.5	1000	106.25	126.7
PMOS 1	50 μm x 0.35 μm	1	42.5	51.7	42.5	51.7
PMOS 2	50 μm x 10 μm	1	42.5	51.7	42.5	51.7
PMOS 3	4 x 250 μm x 10 μm	2	62.5	1000	106.25	126.7
NMOS HR 1	50 μm x 0.35 μm	1	156.25	50	101.32	52.8
NMOS HR 2	50 μm x 10 μm	1	73.44	50	232.56	130
NMOS HR 3	1mm x 10 μm	1	1688.44	1000	1847.56	1080
PMOS HR 1	50 μm x 0.35 μm	1	156.25	50	101.32	52.8
PMOS HR 2	50 μm x 10 μm	1	73.44	50	232.56	130
PMOS HR 3	1mm x 10 μm	1	1688.44	1000	1847.56	1080

TABLE 2.1: Caractéristiques des transistors utilisés.

Transistor en anneau

Le transistor en anneau a l'avantage d'être plus résistant aux radiations, d'où sa définition de transistor "rad hard" [8]. Cette architecture permet de réduire les courants de fuites induits par les radiations ionisantes, en particulier les courants de fuite drain-source en bord de grille, en supprimant tout bord (dépassement) de grille entre drain et source. Le fonctionnement de cette architecture est présenté plus en détail dans la section sur les techniques de durcissement face aux radiations (section 3.2). L'autre avantage de cette architecture est que la partie centrale de l'anneau (généralement connectée au drain) a une capacité bien moindre que celle de l'extérieur (généralement connectée à la source). Les inconvénients sont que la surface du drain et de la source sont déséquilibrées et que cette architecture est encore mal connue. Aucun modèle actuel ne permet de le simuler et de prédire son comportement avec précision. L'autre inconvénient est que le ratio W/L est mal défini et qu'il n'est pas possible d'obtenir des ratios de W/L inférieurs à 2.

Plusieurs études ont été menées sur les transistors en anneaux afin d'étudier les effets liés à leurs géométries non-standard [9] ou sur des transistors en "waffle" [10].

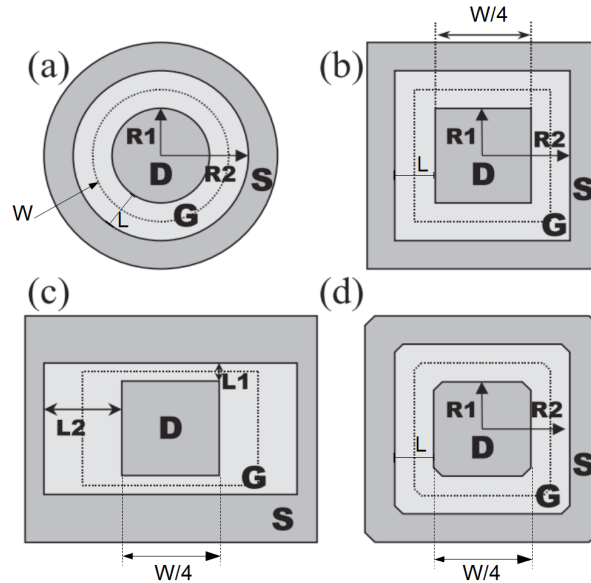


FIGURE 2.3: Différentes formes de transistors en anneaux [9]

La figure 2.3 montre les principales formes de transistor en anneaux :

- a) circulaire : la réalisation d'une telle architecture est difficile et nécessite l'utilisation de gravures isotropes (non réalisable avec la technologie AMS 0.35 μm) ;
- b) carrée : le plus courant mais présente un certain nombre de désavantages ;
- c) rectangulaire avec des bords contraints ;
- d) carrée avec des coins coupés à 45° : il permet de s'affranchir des problèmes liés aux coins en haute fréquence.

Sur la figure 2.3, les drains, sources et grilles sont indiqués ainsi que les dimensions des canaux.

Résistances et condensateurs

Sur le circuit, deux condensateurs intégrés en polysilicium sont également présents de 5pF et de 10pF ainsi que deux résistances intégrées en polysilicium de 10k Ω chacune. Les résistances ont la même valeur mais possèdent des dimensions différentes : 40 μm x 7950 μm et 4 μm x 750 μm avec 10 repliements.

2.1.1.2 Banc de mesure

Les dimensions de la carte de test ont été ajustées pour entrer dans un cryostat cylindrique. La base de ce cryostat est plongée dans l'azote liquide. Si le cryostat est entièrement plongé dans l'azote liquide, le DUT passe de 300K à 77K en une quarantaine de minutes par inertie thermique due au vide imposé dans le cryostat afin d'éviter la

condensation et le gel de l'air sur la carte (vide inférieur au μbar). Un cadre métallique permet de maintenir ce cylindre en place. La profondeur d'immersion du cylindre dans l'azote est contrôlée par un micro-contrôleur (STM32F401RE et IHM03A1). Ce contrôleur récupère la température via une sonde de température PT100 installée à côté de la puce en test, sur la carte de test et gère le maintien à une température de consigne en montant ou en descendant le cryostat.

La température peut être calculée à partir de la valeur de la résistance de l'élément thermorésistif. Elle est approximée par la relation quadratique standard enrichie avec une compensation pour les basses températures [11], suivante :

$$T = T_0 + \frac{\sqrt{A^2 + 4 \cdot B \cdot r} - A}{2 \cdot B} \quad (2.3)$$

où :

$$r = \begin{cases} \frac{R}{R_0} - 1 & \text{si } R \geq R_{min} \\ \left(\frac{R}{R_0} - 1\right) \cdot \left[1 - \left(\frac{R_{min} - R}{R_{base}}\right)^3\right] & \text{sinon.} \end{cases}$$

Pour du platine de résistance initiale $R_0 = 100\Omega$ à la température de référence $T_0 = 0^\circ\text{C}$, T représente la température mesurée, A² et B³ sont les paramètres caractéristiques du Platine, R est la résistance mesurée, enfin $R_{min} = 113\Omega$ et $R_{base} = 408\Omega$.

Afin d'optimiser ce contrôle, on prend en compte non seulement la température courante mais également son sens de dérive, sa vitesse et même son accélération. En effet, comme le montre l'équation 2.4, la vitesse de variation de la température en un point est - à un coefficient près - d'autant plus grande que l'écart de température avec la moyenne de son environnement est important. Une précision plus grande est ainsi apportée au contrôle de la température et permet d'atteindre la température voulue plus rapidement. Divers interrupteurs sont installés afin de définir les butées de déplacement du cryostat ainsi qu'un certain nombre de fonctions supplémentaires.

$$\frac{\delta}{\delta t} T = \alpha \cdot \nabla^2 T \quad (2.4)$$

Les photos de la figure 2.4 montrent différentes parties du banc de test.

2. Pour le Pt, $A = 3.9083 \cdot 10^{-3} K^{-1}$

3. $B = -5.775 \cdot 10^{-7} K^{-2}$



FIGURE 2.4: Photos du banc de caractérisation cryogénique [dans l'ordre] : les connecteurs SMA, le cryostat refroidi à 77K, la pompe à vide et le cadre de maintien avec son système de contrôle de température.

2.1.1.3 Mesures IV / CV

Un générateur de tension alimente la carte pendant qu'un analyseur de semiconducteurs⁴ (I/V et C/V) réalise l'ensemble des mesures.

On réalise les mesures capacitives de la figure 2.5 afin de récupérer des informations sur :

1. la jonction BD ;
2. l'oxyde de grille ;
3. les capacités intrinsèques ;
4. et 5. l'effet de recouvrement ;

Un balayage en tension est réalisé de -0.3V à 3.6V avec un pas de 0.1V entre les bornes *Hi* et *Lo*.

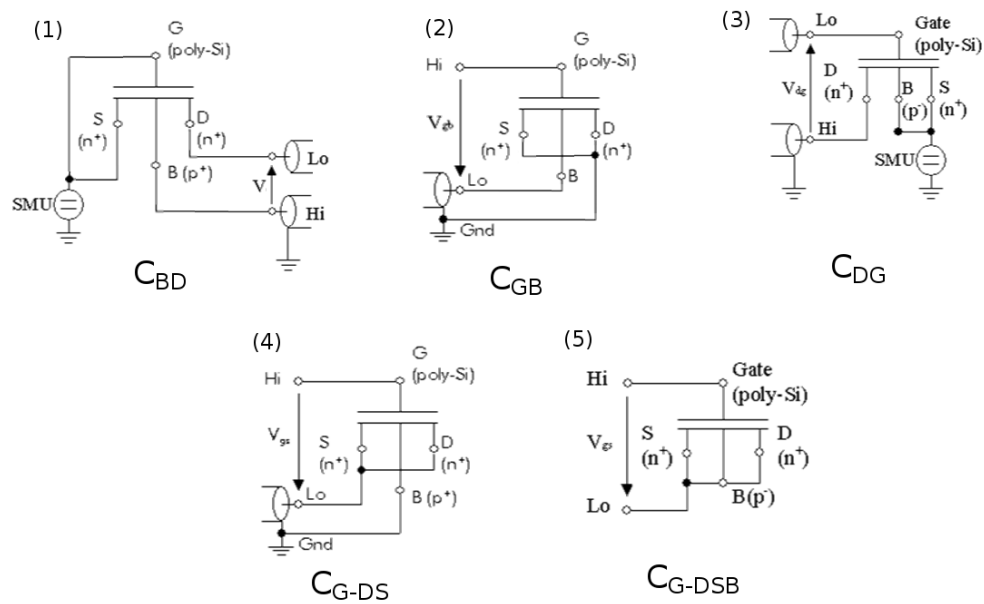


FIGURE 2.5: Schémas représentant les mesures CV réalisées sur nos transistors.

Ces mesures sont contrôlées via le logiciel IC-CAP⁵.

Les points de mesures sont récupérés puis traités afin de retirer l'influence des résistances d'accès de drain et de source.

4. Agilent : B1500A

5. IC-CAPTM de Keysight Technologies : <http://www.keysight.com/>

2.1.1.4 Correction des mesures : extraction des paramètres extrinsèques

Modèle équivalent des transistors mesurés

Les 6 transistors NMOS partagent le même substrat car la technologie ne permet pas les doubles caissons, et les PMOS ont leurs caissons N reliés afin de limiter le nombre de plots d'entrées/sorties. Cela a pour conséquence de créer des diodes et des transistors NPN / PNP indésirables.

Pour le cas d'un NMOS, la figure 2.6 représente les couches de substrat séparant les transistors et fait apparaître des jonctions PN, PNP et NPN. Ces jonctions créent des transistors bipolaires parasites et forment un thyristor (PNPN). Le thyristor est constitué de deux transistors bipolaires travaillant en contre-réaction positive. De faibles perturbations peuvent déclencher la contre-réaction et une fois établie, le thyristor part vers l'état de conduction, qui s'autoalimente et qui ne cesse pas, même après disparition de la perturbation initiale. Un schéma équivalent en figure 2.7 est donné afin de mieux appréhender l'environnement entourant le transistor à mesurer et ainsi de définir une procédure pour l'isoler.

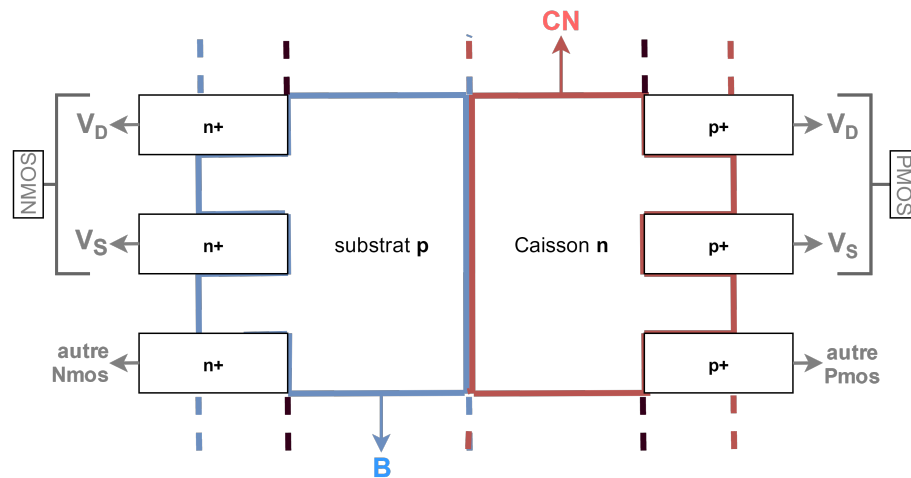


FIGURE 2.6: Représentation simplifiée en vue éclatée des différentes couches de dopage dans le substrat du circuit intégré de caractérisation de transistor.

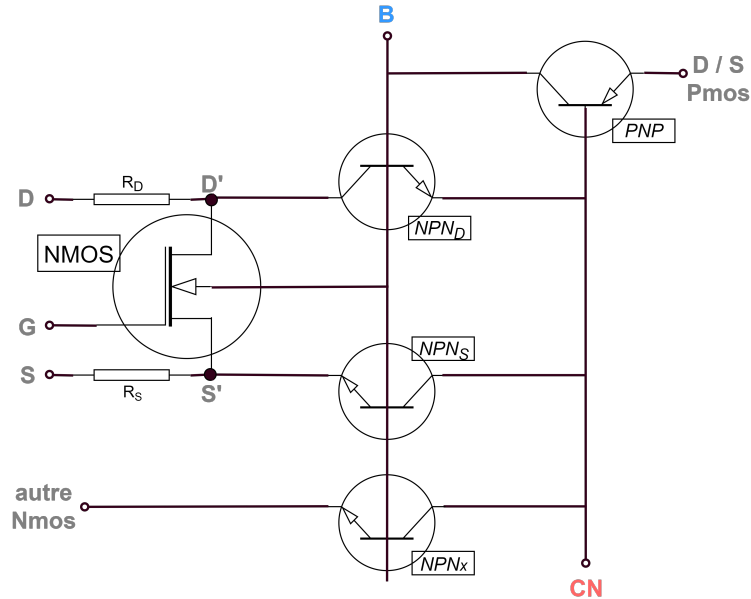


FIGURE 2.7: Représentation de l'environnement d'un NMOS et de ses composants parasites.

Il est nécessaire de bien se représenter le schéma de la figure 2.7 afin de mettre en place une technique de caractérisation efficace. Ici, on montre la cas d'un NMOS, dont on souhaite faire varier le V_{DS} , V_{GS} et V_{BS} . La variation de cette dernière tension V_{BS} provoque l'activation de transistors bipolaires indésirables, qui risque de perturber nos mesures. Le choix des tensions du caisson N, des autres NMOS et des PMOS doivent immuniser les mesures face aux courants de fuites au travers de ces transistors bipolaires.

La longueur des pistes de routage est également à prendre en compte.

Influence de R_D et R_S

Les fils de routage reliant le pad d'entrée aux bornes du transistor possèdent une impédance non nulle. Cette impédance provoque une chute de tension aux bornes du transistor. Le courant de grille étant très faible, l'influence de la résistance parasite associée est quasi-nulle et peut être considérée comme nulle. Pour la même raison, la résistance reliant le substrat peut également être mise de côté. Les résistances d'accès au drain et à la source ont un grand impact dès lors que l'on veut des mesures précises. Le tableau 2.2 donne les valeurs de ces résistances à température ambiante extraites à partir du layout dans CadenceTM. Une méthode a été développée pour pouvoir s'en affranchir.

Nom	R_D	R_S	Total
PMOS 1	11 Ω	93.4 Ω	104.4 Ω
PMOS 2	11.4 Ω	112.5 Ω	123.9 Ω
PMOS 3	20.1 Ω	74.2 Ω	94.3 Ω
NMOS 1	85.3 Ω	104.7 Ω	190 Ω
NMOS 2	99.2 Ω	115 Ω	214.2 Ω
NMOS 3	115 Ω	112 Ω	227 Ω
PMOS HR 1	51 Ω	58.6 Ω	109.6 Ω
PMOS HR 2	37.5 Ω	74.4 Ω	111.7 Ω
PMOS HR 3	48.8 Ω	39 Ω	87.8 Ω
NMOS HR 1	89.3 Ω	114 Ω	203.3 Ω
NMOS HR 2	88.6 Ω	100.8 Ω	189.4 Ω
NMOS HR 3	111.3 Ω	85.2 Ω	196.5 Ω

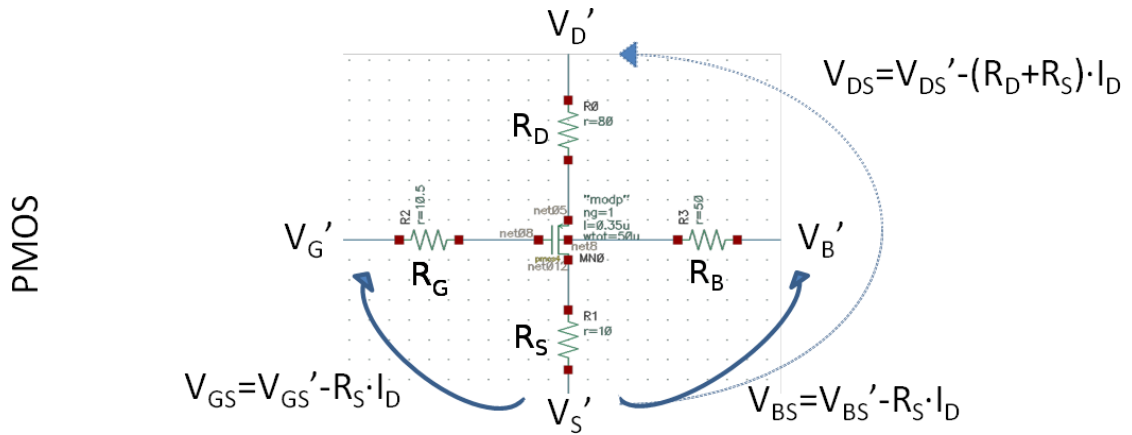
TABLE 2.2: Liste des valeurs des résistances parasites de drain et de source des transistors à caractériser.

Afin de s'affranchir au maximum des contraintes liées aux contributions des résistances parasites, il est conseillé de réaliser le dessin des masques en minimisant les résistances liées aux pistes d'accès - principalement pour les pistes devant laisser passer le plus de courant. Par exemple, en choisissant quatre plots consécutifs et en rapprochant le transistor de ces pads tout en maximisant la largeur des pistes de routage.

Il est également recommandé d'utiliser les pads seuls sans les diodes de protection mais cela nécessite une plus grande prudence lors de la manipulation des puces.

Chutes de tension aux bornes de D/S/G/B

Une chute de tension proportionnelle au courant est observée pour V_{GS} , V_{DS} et V_{BS} car un offset modifie la valeur de la source ainsi que celle du drain. La figure 2.8 montre les valeurs réelles de V_{DS} , V_{BS} et V_{GS} .

FIGURE 2.8: Schéma équivalent du transistor PMOS $50 \mu\text{m} \times 0.35 \mu\text{m}$.

Le courant mesuré I_{DS} vaut approximativement :

$$I_{DS} \approx \frac{I_{DS0}}{1 + (R_D + R_S) \cdot \frac{I_{DS0}}{V_{DS_{eff}}}} \quad (2.5)$$

avec I_{DS0} la valeur du courant attendue et $V_{DS_{eff}}$ la tension drain-source effective.

Sur la figure 2.9, on observe l'influence des résistances parasites de drain (R_D) et de source (R_S) sur le courant de drain (I_D) d'un transistor donné. Pour R_D on a une modification de l'échelle de V_{DS} alors que la résistance de source a un plus grand impact : modification de V_{DS} , V_{GS} et même V_{BS} . Ces modifications de tensions peuvent mener à des tensions de signes contraires sur V_{BS} .

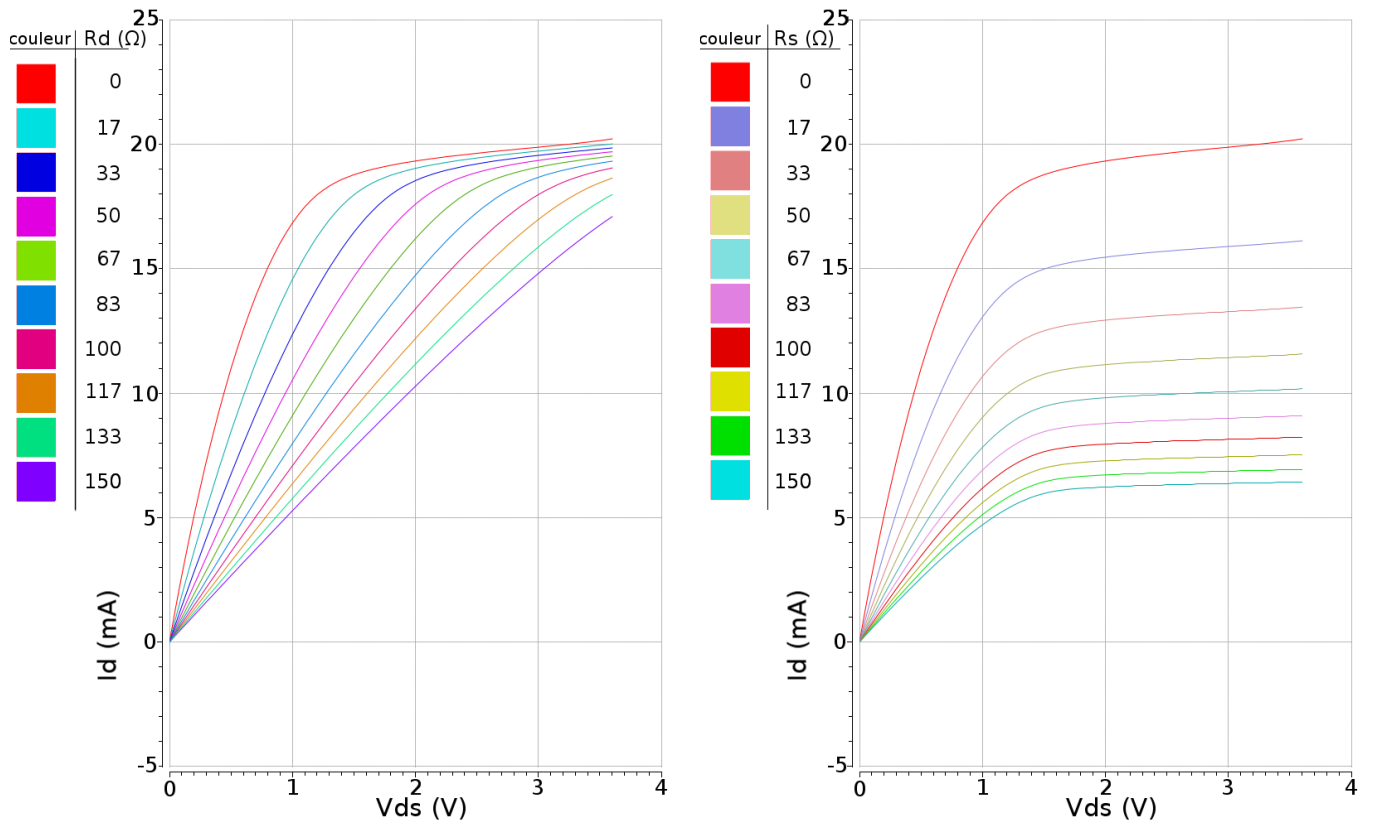


FIGURE 2.9: I_D en fonction de V_{DS} pour des valeurs de R_D (à gauche) et de R_S (à droite) de 0 Ω à 150 Ω .

Valeur de R_D et R_S en fonction de la température

La valeur des résistances parasites varie en fonction de la température. Les pistes de routage étant réalisés avec de l'aluminium à fort taux de pureté, on s'intéresse à l'évolution de la résistivité électrique de l'aluminium en fonction de la température [12]. On déduit les nouvelles valeurs de R_D et R_S pour les températures désirées en fonction de la résistivité du matériau, comme on le voit Figure 2.10.

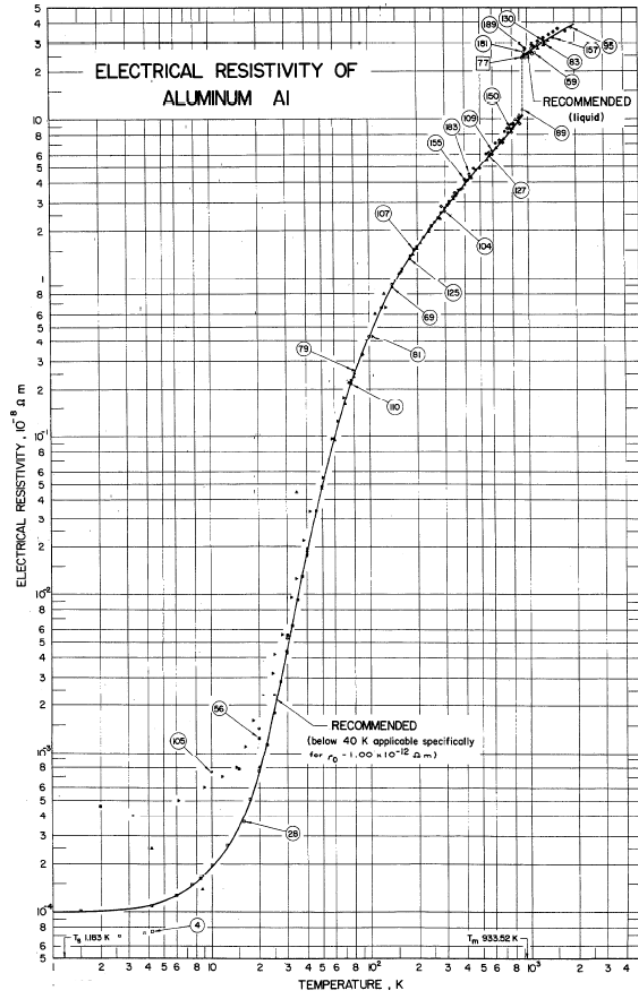


FIGURE 2.10: Résistivité électrique de l'aluminium [Al] ($10^{-8} \Omega \cdot m$) en fonction de la température (K). [12]

Méthode de compensation de R_D et R_S

Une méthode a été élaborée afin de compenser l'effet de ses résistances parasites :

1. On élargit la plage des mesures tel que, pour les NMOS :

- $\forall V_{GS} \in [0; V_{GS_{max}} + R_S \cdot I_D]$, avec $I_D \approx I_S$;
- $\forall V_{DS} \in [0; V_{DS_{max}} + (R_S + R_D) \cdot I_D]$;
- $\forall V_{BS} \in [V_{BS_{min}}; R_S \cdot I_D]$.

Notons que pour V_{BS} , on se retrouve avec des tensions positives pour des NMOS. Si la tension maximale dépasse celle autorisée par le plot d'entrée/sortie, on impose la tension maximal. C'est par exemple le cas du NMOS $1000 \mu m \times 10 \mu m$, ce qui implique l'absence de certains points de mesures.

Pour les PMOS, on applique la même démarche avec la polarisation appropriée ;

2. On réalise les mesures des courants I_D , I_B , I_G et I_S en fonction de V_{DS} , V_{GS} et V_{BS} avec un pas très fin ;

3. Un logiciel de correction a été implémenté (en langage C) afin de modifier les tensions aux bornes du transistor par les tensions réelles :
 - (a) on récupère l'ensemble des points de mesure du transistor concerné (stockés dans des fichiers au format MDM) ;
 - (b) on corrige les tensions V_G , V_D et V_B en fonction des valeurs des résistances R_S et R_D , tel que :

$$\begin{cases} V_{G_{new}} &= V_{G_{old}} - R_S \cdot I_S \\ V_{D_{new}} &= V_{D_{old}} - R_S \cdot I_S - R_D \cdot I_D \\ V_{B_{new}} &= V_{B_{old}} - R_S \cdot I_S \end{cases} \quad (2.6)$$

- (c) on trie nos points de mesures selon un algorithme type quicksort avec structure multi-tri afin de réaliser l'opération rapidement malgré des millions de points ;
- (d) on extrapole les valeurs manquantes pour la reconstitution des courbes souhaitées ;
- (e) on réécrit les fichiers MDM (pour IC-CAP) et génère des fichiers ASCII CSV, qui peuvent être lus dans un tableur pour l'analyse des résultats.

2.1.2 Validation expérimentale à température ambiante

La mesure à température ambiante (300 Kelvin) permet de vérifier la robustesse du banc de test en comparant le modèle extrait avec celui fourni par le fondeur. Dans le cas des transistors en anneaux, il nous a permis de voir que le modèle extrait sous Cadence n'était pas conforme à la réalité.

2.1.2.1 Transistor standard

A température ambiante, les mesures et les simulations du modèle AMS concordent, comme on peut l'observer sur la figure 2.15, représenté par la fenêtre de courbes à 300 Kelvin. L'erreur moyenne constatée entre les mesures corrigées et les simulations d'AMS est de 3.6% contre 41.7% avant correction des mesures. L'erreur restante est attribuée à l'accumulation des erreurs liées au processus de fabrication, aux mesures et aux approximations de "de-embedding". Ces résultats permettent de valider le banc de mesure.

2.1.2.2 Transistor en anneaux

Résultats des mesures

D'après la description donnée au chapitre précédent, on s'attend à avoir le même courant

de drain entre le transistor à grille droite et le transistor à grille “en anneau” - à dimensions équivalentes et tensions de polarisations égales. La largeur de grille d’un transistor classique étant simplement divisée par quatre et redispisée de telle sorte qu’elle forme un carré.

Les figures 2.11 et 2.12 représentent l’intensité du courant de drain I_D en fonction de la tension de drain V_{DS} (respectivement la tension de grille V_{GS}) pour un transistor NMOS $50\ \mu\text{m} \times 10\ \mu\text{m}$: transistor standard à gauche et en anneau à droite. On observe un courant plus élevé généré par le transistor en anneau. Pour chacun des transistors mesurés, on a observé un courant de plus grande intensité pour le transistor en anneau.

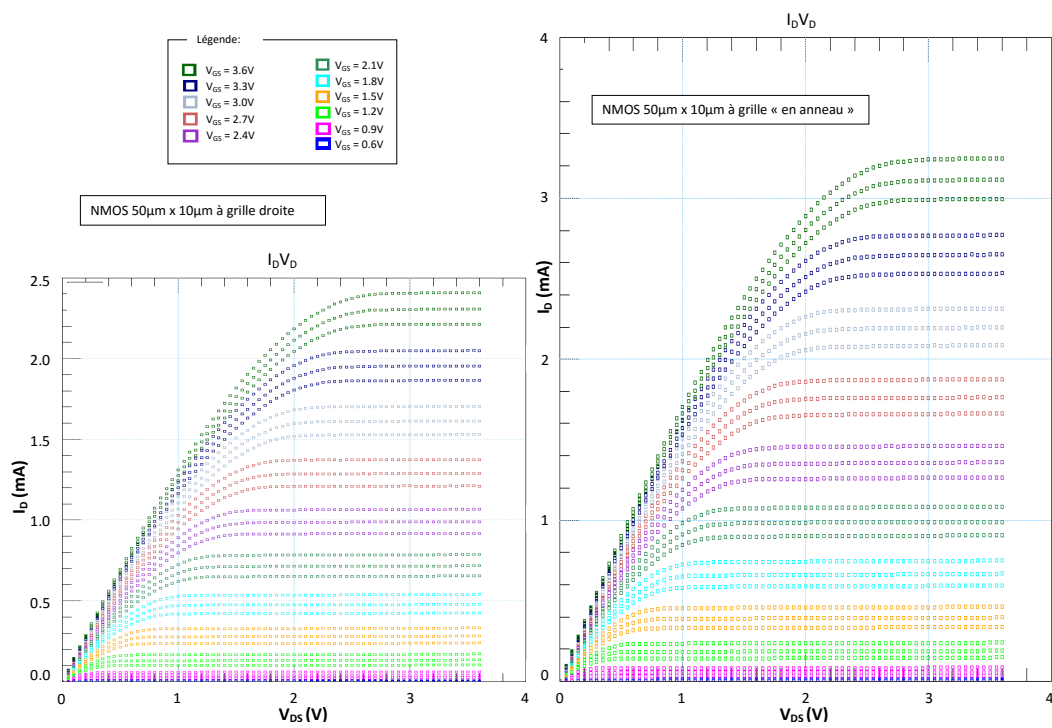


FIGURE 2.11: Comparaison entre un transistor standard (à gauche) et en anneau (à droite) : I_D (en mA) en fonction de V_{DS} pour différents V_{GS} et V_{BS} pour des transistors 50 $\mu\text{m} \times 10 \mu\text{m}$.

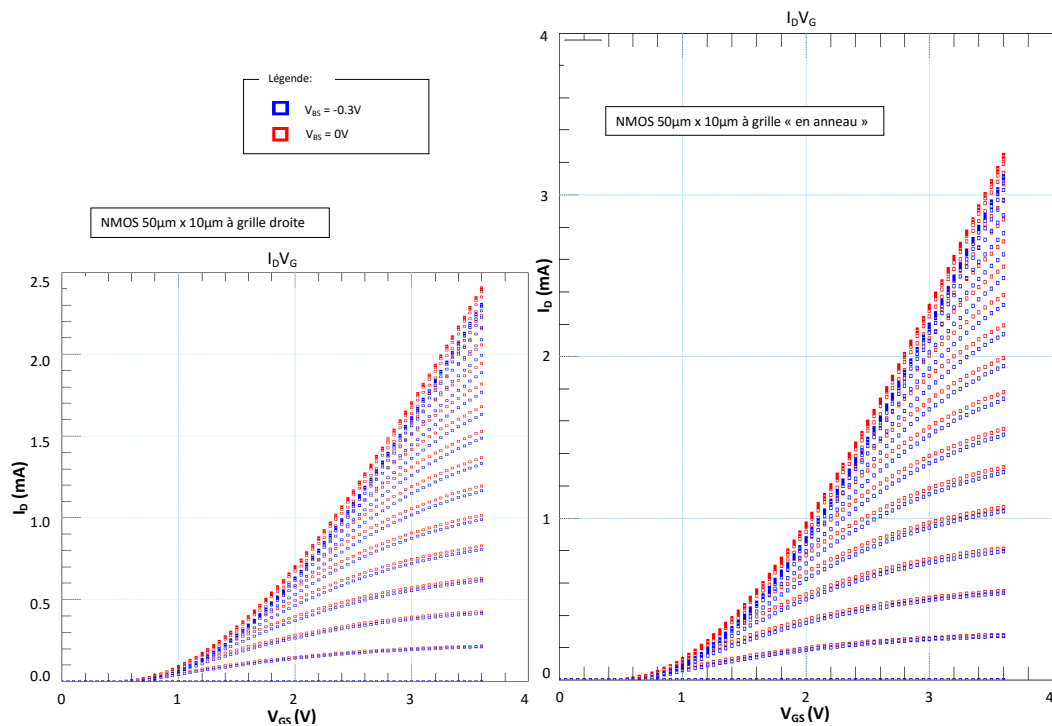


FIGURE 2.12: Comparaison entre un transistor standard (à gauche) et en anneau (à droite) : I_D (en mA) en fonction de V_{GS} pour différents V_{DS} et V_{BS} pour un transistor 50 $\mu\text{m} \times 10 \mu\text{m}$.

Interprétation

Le courant supplémentaire généré par le transistor en anneau serait dû à la contribution de chacun des quatre coins, figure 2.13. En effet, comme le montre la figure 2.2, la largeur de grille intérieure vaut $4 \times (W/4)$ tandis que la largeur extérieure vaut $4 \times (W/4 + 2L)$.

Etude de l'influence des coins de grille dans les transistors en anneaux

Afin d'étudier les coins de transistor en anneau, on considère la géométrie de la Figure 2.13. Le drain étant au centre, on le représente par un point, qui sera le point de fuite du courant. On découpe chacun des coins du transistor en anneau en $2N$ triangles, qu'on approxime en rectangles de dimensions w/l (voir la figure 2.13).

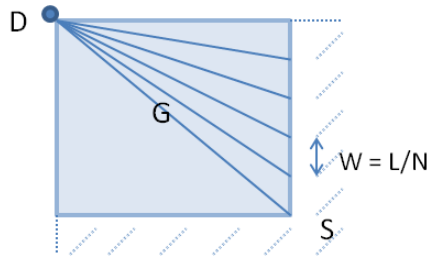


FIGURE 2.13: Contribution du coin inférieur droit d'un transistor en anneau.

Afin de définir le transistor équivalent aux coins d'un transistor en anneau de dimension W/L , il faut ajouter N transistors de dimensions :

$$\begin{cases} w = \frac{L}{N} \\ l_k = \sqrt{L^2 + \left(\frac{L}{N} \cdot (k-1) + \frac{L}{2N}\right)^2} \end{cases} \quad (2.7)$$

avec k de 1 à N pour chacun des mini-transistors constituant le coin.

Simulation

Via Cadence, on ajoute N transistors avec les dimensions données. La figure 2.14 montre le courant de drain dans un transistor $50 \mu\text{m} \times 10 \mu\text{m}$ en anneau en fonction de V_{DS} et pour différentes valeurs de V_{GS} . On compare la mesure avec la simulation d'un transistor standard auquel on rajoute les contributions des quatre coins selon l'équation 2.7 précédemment définie. On choisit $N = 4$ pour le découpage de chaque coin, ce qui nous donne les 4×4 transistors supplémentaires suivant : $4 \times 2.5 \mu\text{m} \times 10.1 \mu\text{m}$, $4 \times 2.5 \mu\text{m} \times 10.7 \mu\text{m}$, $4 \times 2.5 \mu\text{m} \times 11.8 \mu\text{m}$ et $4 \times 2.5 \mu\text{m} \times 13.3 \mu\text{m}$. Dans cette simulation, on rajoute également les résistances d'accès de drain ($R_D = 88.6 \Omega$) et de source ($R_S = 100.8 \Omega$) selon le tableau 2.2.

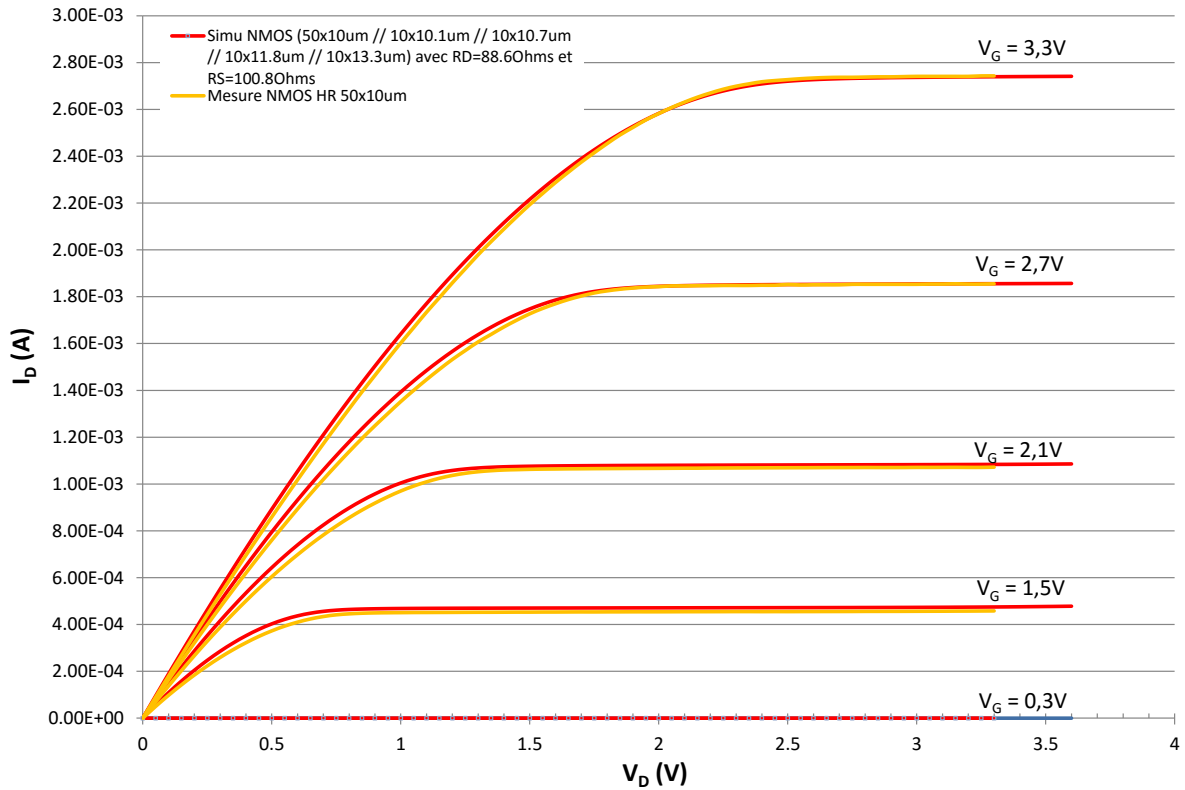


FIGURE 2.14: Courant de drain (I_D) en fonction de la tension de drain (V_{DS}) pour différentes tensions de grille ($V_{GS} = 0.3V, 1.5V, 2.1V, 2.7V, 3.3V$). Comparaison entre la mesure brute du transistor NMOS $50\mu\text{m} \times 10\mu\text{m}$ en anneau (tracé jaune) et la simulation d'un NMOS standard de même dimension en parallèle avec quatre transistors simulant les contributions des 4 coins et les résistances parasites R_D et R_S (tracé rouge).

Bien que l'on ait choisi un découpage de seulement $N=4$, on arrive à une excellente concordance entre les mesures et la simulation. Cette étude permet de valider l'hypothèse initiale de contribution des coins du transistor en anneau dans l'excès de courant mesuré. Le modèle de calcul présenté en 2.1.2.2 est valide et montre une bonne précision malgré les approximations.

Solution

Certains articles mentionnent cet effet et proposent de calculer de nouvelles dimensions W' et L' comme dans l'article [6]. La solution retenue est l'extraction des paramètres du modèle BSIM3.3 en gardant le W/L habituel afin de prendre en compte ces courants supplémentaires.

2.2 Modèle à température cryogénique

2.2.1 Etude cryogénique

Dans cette partie, nous allons décrire le comportement de transistors AMS 0.35 μm à basse température, jusqu'à 77 Kelvins - température de l'azote liquide. La première partie sera consacrée à la présentation de l'état de l'art sur les circuits à température cryogénique, nous verrons ensuite les mesures en température avec l'interprétation des résultats.

2.2.1.1 Etat de l'art : comportement des CI à température cryogénique

La connaissance du fonctionnement des transistors à très basse température permet de tirer les meilleures performances des circuits dans les domaines du spatial, des ordinateurs quantiques, etc. Le comportement des transistors à des températures cryogéniques est très différent de celui à température ambiante. Certains domaines recherchent de basses températures de fonctionnement car les performances des transistors en sont améliorées [13][14] :

- augmentation de la vitesse due à des propriétés de transport des charges accrue, valable à partir d'une certaine température en dessous de laquelle la vitesse se réduit ;
- résistances d'interconnexion réduites ;
- diminution du bruit électrique thermique ;
- réduction d'effets parasites améliorant la fiabilité : comme les latch-up, les courants de fuites ou l'électromigration ;
- et une augmentation du gain.

Comment évolue la mobilité des électrons/trous dans le silicium en fonction de la température ?

La liste des tendances lors de la diminution de la température, d'après [15] sont :

- la dissipation de la chaleur s'améliore, la conductivité thermique étant 10 fois meilleure à 77K qu'à 300K ;
- la pente sous le seuil étant proportionnelle à $\frac{kT}{q}$, elle diminue d'environ un facteur 4 entre 300K et 77K ;

- la mobilité augmente pour des zones faiblement dopées - concentration inférieure à 10^{16}cm^{-3} . Pour des températures comprises entre -40°C et $+150^\circ \text{C}$ (plage de température du modèle fourni par AMS) :

$$\mu \approx \mu_0 (T_0/T)^{1.5} \quad (2.8)$$

- la vitesse limite augmente d'environ 20% à 77K par rapport à 300K :

$$v_L \approx \frac{2.4 \cdot 10^7}{1 + e^{\frac{T}{600}}} \text{ cm/s} \quad (2.9)$$

- la tension de seuil augmente, en pratique, d'environ 250 mV entre 300K et 77K :

$$\frac{\delta V_{th}}{\delta T} \approx -1 \text{ mV/K} \quad (2.10)$$

- la résistance du silicium diminue (tant que le phénomène de gel des porteurs n'apparaît pas), ce qui conduit à une réduction des résistances séries et à une augmentation de la tension de verrouillage ;
- Avec l'apparition du gel des porteurs (effet de freeze-out) à très basse température, la résistivité du silicium augmente et, notamment, le silicium devient semi-isolant.

L'article [16] présente la fiabilité d'une technologie CMOS SiGe $0.35 \mu\text{m}$ jusqu'à 43K. L'utilisation de transistors sur substrat Si présente une bonne tenue face aux basses températures mais leur fiabilité diminue à cause d'une aggravation des effets liés aux porteurs chauds. Afin de maximiser la durée de vie des composants, les auteurs de l'article [16] conseillent d'éviter au maximum l'utilisation de transistors NMOS Bulk, d'éviter les longueurs de grille minimales ainsi que les V_{DS} trop élevés.

Il est intéressant de mettre à profit l'ensemble de ses phénomènes pour améliorer les performances des circuits à des températures cryogéniques. Certains paramètres peuvent permettre d'améliorer les performances recherchées pour nos circuits tandis que d'autres risquent, au contraire, de dégrader nos performances.

2.2.1.2 Résultats des mesures et observations

Etude tension-courant (IV)

Le modèle fourni par le fondeur AMS est prévu pour fonctionner de -40°C à 150°C . Lorsque la température descend en deçà des -40°C , on observe rapidement une divergence entre les simulations et les mesures. Cette divergence s'accroît, voire même s'accélère, avec la diminution en température comme le montre la figure 2.15. Cette figure 2.15 montre l'évolution du courant en fonction de la température pour un transistor donné.

L'allure des courbes reste identique pour tous transistors. Le courant maximal mesuré pour $V_{GS} = 3.3V$, $V_{DS} = 3.3V$ et $V_{BS} = 0V$ vaut $2.2mA$ à température ambiante. Lorsque l'on diminue la température de cent degrés, le courant augmente légèrement et passe à $2.6mA$. Enfin, elle est de $3.5mA$ à $150K$ et de $4.8mA$ à $100K$. On observe une accélération de l'augmentation du courant avec la diminution de température mais celle-ci a tendance à ralentir au plus on se rapproche de la température de l'azote liquide. Le modèle du fondeur ne prend pas en compte ce ralentissement et atteint un courant maximal de $10.8mA$ à $100K$.

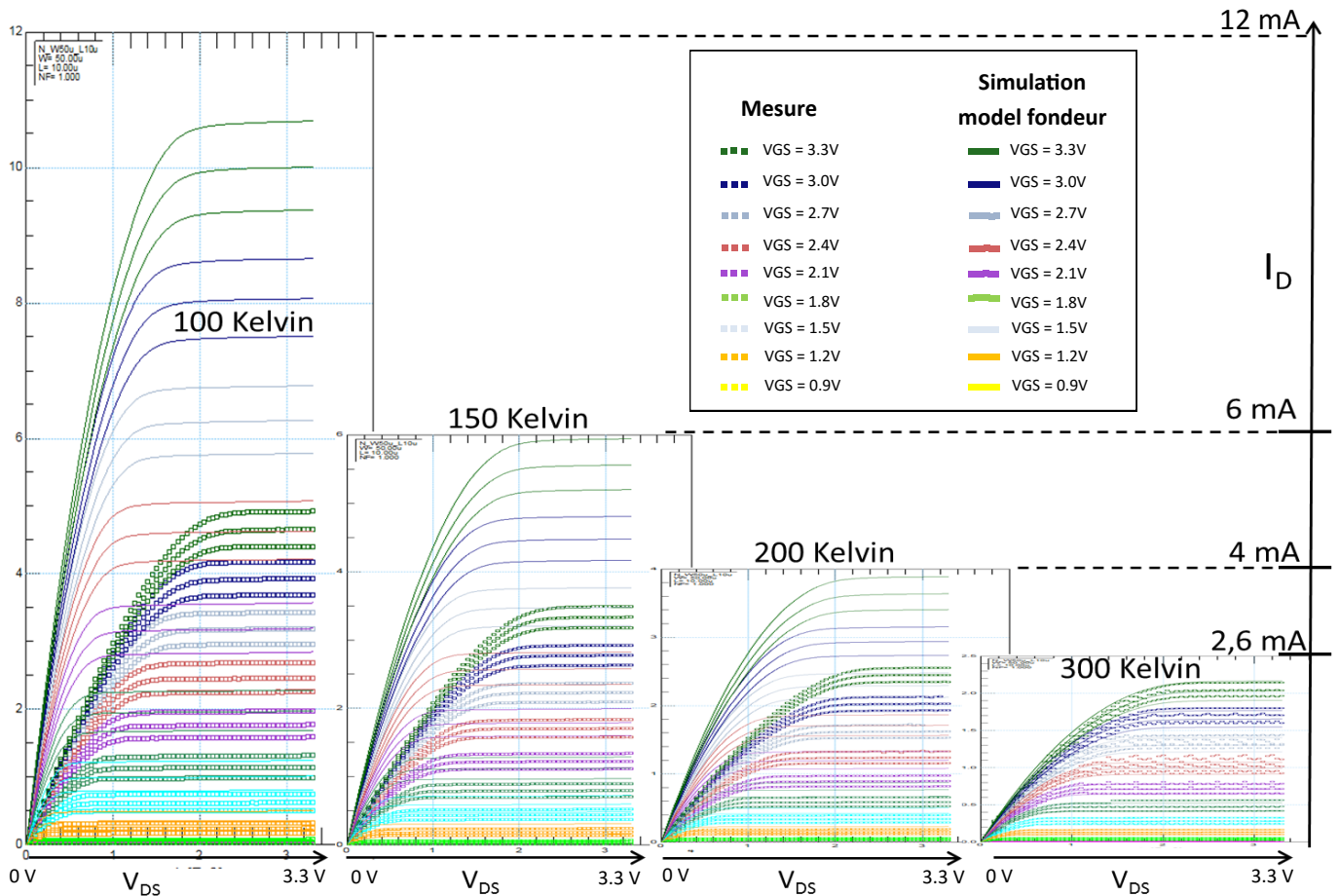


FIGURE 2.15: Comparaison entre les simulations du modèle fondeur (lignes pleines) avec les mesures (carrés) à différentes températures pour un transistor NMOS $50\mu m \times 10\mu m$ standard. Les quatre sets de courbes correspondent aux températures (de gauche à droite) $100K$, $150K$, $200K$ et $300K$. Chaque set représente le courant de drain en fonction de la tension de drain ($V_{DS} \in [0V; 3.3V]$) pour différentes tensions de grilles (chaque V_{GS} est représenté d'une couleur différente) et pour trois polarisations de substrat ($V_{BS} = 0V, -0.3V, -0.6V$ de même couleur).

Etude capacitive (CV)

Les composantes capacitives des transistors NMOS et PMOS varient peu avec la température. Comme le montre la figure 2.16, les courbes représentant les températures de $100K$, $150K$ et $200K$ sont confondues sur la quasi-totalité de la variation $V_{G-DSB} \in$

$[-3.6V; +0.3V]$. Le léger décalage, visible dans la zone entourée sur la figure 2.16 est attribué à l'offset de la tension de seuil V_{th} avec la température, décrite section 2.2.2.3.

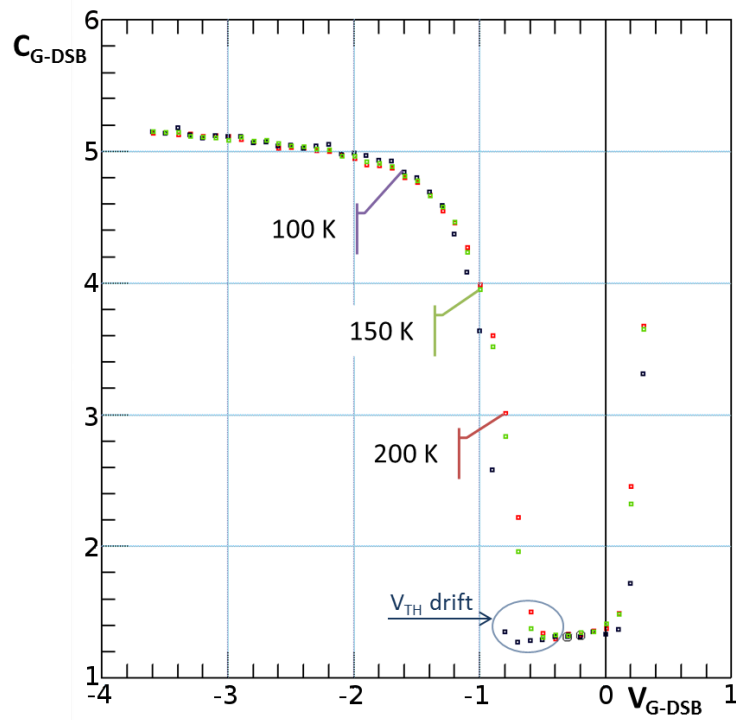


FIGURE 2.16: Dépendance en température de la capacité C_{G-DSB} pour une variation de V_{G-DSB} d'un transistor PMOS $50\ \mu\text{m} \times 10\ \mu\text{m}$ en anneau.

Etude des résistances polysilicium (Rpoly)

La figure 2.17 montre la résistivité réelle mesurée d'une résistance intégrée de $10\ \text{k}\Omega$ en fonction de la température. A température ambiante, un offset de $300\ \Omega$ est mesuré entre la valeur désirée et celle attendue. La précision de la valeur de la résistance n'est que de 5% pour un layout non optimisé. Le résultat de la simulation montrant la variation de résistance en fonction de la température est également présenté sur la figure 2.17, avant et après lui avoir ajouté un offset permettant de coller à la mesure à température ambiante.

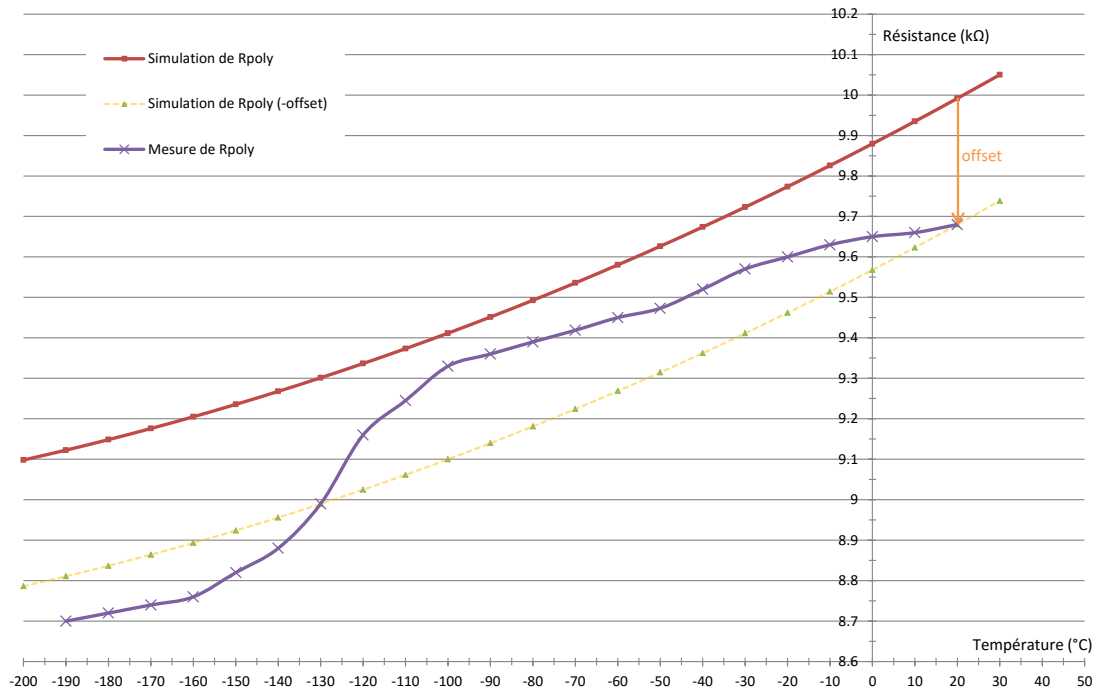


FIGURE 2.17: Variation d'une résistance intégré de 10 kΩ - 40 μm x 7950 μm avec 10 repliements - en fonction de la température.

Etude des condensateurs intégrés en polysilicium (Cpoly)

La capacité des condensateurs intégrés en polysilicium évolue proportionnellement à la température selon les phénomènes physiques décrits dans le livre de Gray Meyer [17]. La variation de la capacité avec la température s'explique principalement par la variation du potentiel de surface des plaques ainsi que par la variation de leur constante diélectrique et à l'expansion/contraction du diélectrique. Comme le montre l'équation 2.11 du calcul de la capacité d'un condensateur plan, une modification des paramètres physiques résulte en une variation de la capacité en fonction de la température.

$$C = \epsilon_0 \epsilon_r \cdot \frac{A}{d} \quad (2.11)$$

C représente la capacité d'un condensateur plan [F], ϵ_0 représente la permittivité électrique du vide⁶ et ϵ_r la permittivité relative de l'isolant⁷. Enfin, A représente l'aire de la surface d'échange [m^2] et d la distance des deux électrodes [m].

Dans cette section, on étudie la variation de capacité des condensateurs intégrés en polysilicium dans la technologie 0.35μm d'AMS. Deux dimensions de condensateur ont été étudiées, ils sont décrits dans le tableau 2.3.

6. Permittivité électrique du vide : $\epsilon_0 = 8.84 \cdot 10^{-12} F \cdot m^{-1}$

7. Permittivité relative du dioxyde de silicium : $\epsilon_{rSiO_2} = 3.9$

Désignation	Capacité théorique	Largeur	Longueur	Aire	Périmètre
C5pF	5 pF	75.65 μm	76.45 μm	$5.78 \cdot 10^3 \mu\text{m}^2$	304.2 μm
C10pF	10 pF	107.2 μm	108.05 μm	$1.16 \cdot 10^4 \mu\text{m}^2$	430.5 μm

TABLE 2.3: Liste des condensateurs intégrés utilisés pour l'étude en température.

En utilisant l'équation 2.11 ainsi que les valeurs présentées dans le tableau 2.3 de l'aire A et de la capacité théorique C , on peut calculer la distance séparant les deux électrodes des condensateurs de la technologie : $d \approx 40\text{nm}$.

Pour le condensateur en polysilicium de 5pF (C5pF), la variation maximale de capacité est de 158fF sur 200°C (soit 2.3%) contre 34fF (soit 0.5%) pour le modèle du fondeur. La figure 2.18 représente la variation de capacité du condensateur dont la mesure est réalisée avec un câble coaxial entre le cryostat et l'instrument de mesure d'un mètre. La variation de la capacité est très lente avec la température, et nécessite un long maintien à une température donnée. Ces mesures ont été faites en diminuant doucement la température jusqu'à -180°C puis en la remontant doucement jusqu'à température ambiante. Cette méthode explique l'hystérésis constatée dans la mesure. Une courbe des tendances est tracée pour montrer la valeur C la plus probable à une température T donnée. Un offset a été ajouté à la simulation pour avoir une bonne concordance entre la simulation et la mesure à température ambiante.

La conductance électrique du condensateur est également divisée par deux entre 27°C et -180°C .

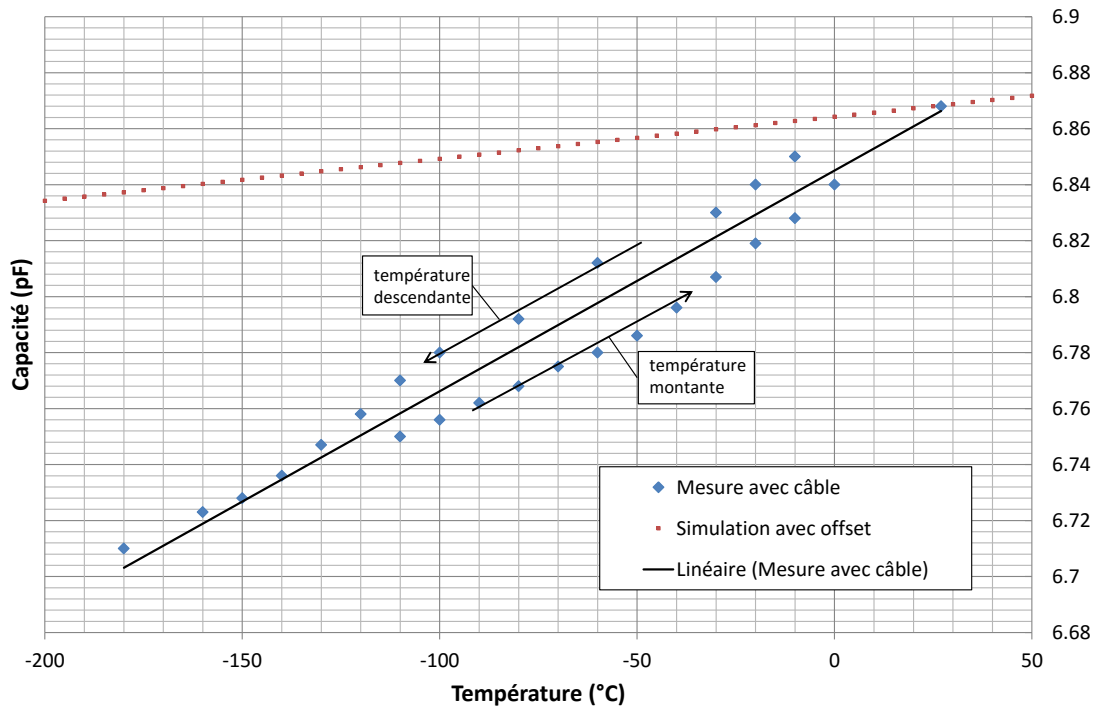


FIGURE 2.18: Variation d'une capacité intégrée de 5pF en fonction de la température.

Pour la capacité polysilicium de 10pF (C_{10pF}), la variation maximale de capacité est de $297fF$ sur $200^\circ C$ (soit 2.46%) contre $68fF$ (soit 0.57%) pour le modèle du fondeur. La figure 2.19 représente la variation de sa capacité en fonction de la température selon la méthode décrite précédemment pour la figure 2.18.

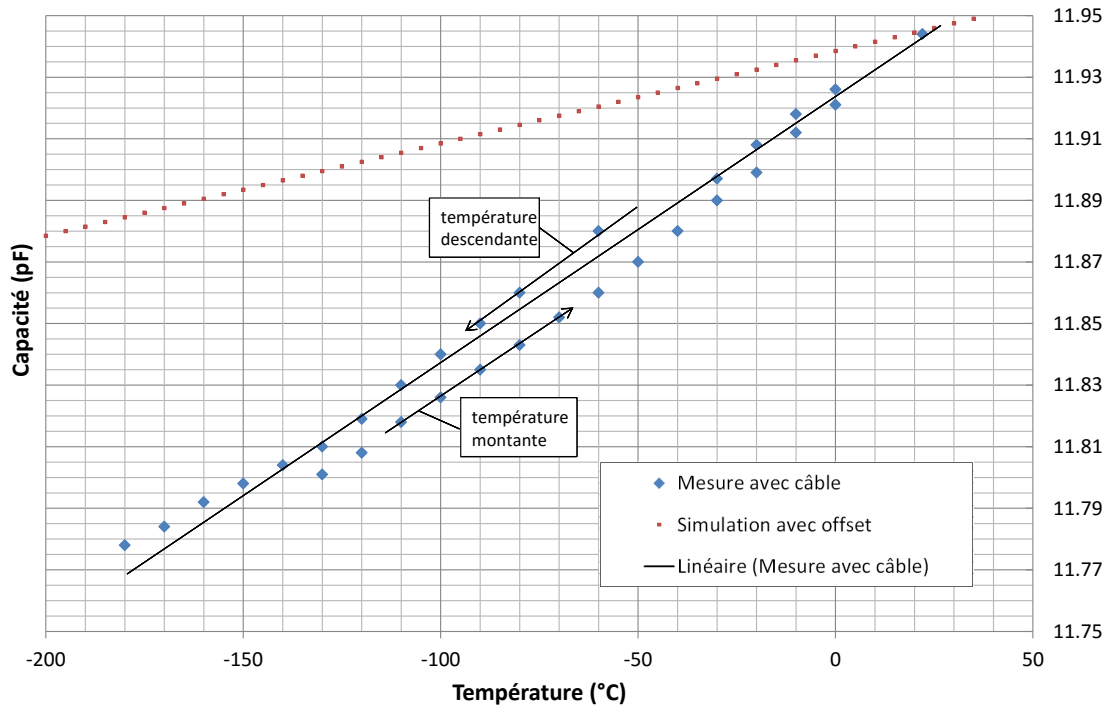


FIGURE 2.19: Variation d'une capacité intégré de 10pF en fonction de la température.

La variation de capacité est suffisamment faible en fonction de la température par rapport à l'erreur initiale liée à la dispersion du fondeur pour ne pas nécessiter de nouveau modèle pour les simulations.

2.2.1.3 Gel des porteurs de charges (effet de freeze-out)

On constate une importante différence à basse température entre le modèle fourni par AMS (valide entre $-40^\circ C$ et $+150^\circ C$) et le comportement réel du transistor. Le modèle diverge des mesures lorsque l'on descend en dessous de 100K et s'accroît avec la diminution de température. L'intensité du courant a tendance à être bien en deçà de ce qui était attendu autour de 77K. Cela est dû à un début d'effet de freeze-out qui se manifeste [18].

La dépendance des transistors à la température est principalement due à deux phénomènes physiques : la densité des porteurs de charges et la mobilité des porteurs de

charges. La mobilité correspond à la vitesse des porteurs de charges au travers d'un semiconducteur pour un champ électrique donné.

La figure 2.20 montre la mobilité des électrons dans le silicium. Dans du silicium intrinsèque (courbe 1), de basses températures correspondent à une faible agitation atomique dont le résultat est une augmentation de la mobilité des porteurs de charges.

Dans la technologie étudiée, le dopage est proche de celui de la courbe 4. Sur cette courbe, on observe également une augmentation de la mobilité lorsque l'on descend en température puis il s'ensuit une diminution de la mobilité électronique en deçà de 80K.

Les allures des courbes de la figure 2.20 sont identiques pour la mobilité des trous avec un ralentissement dès 100K et une diminution légèrement plus importante en deçà.

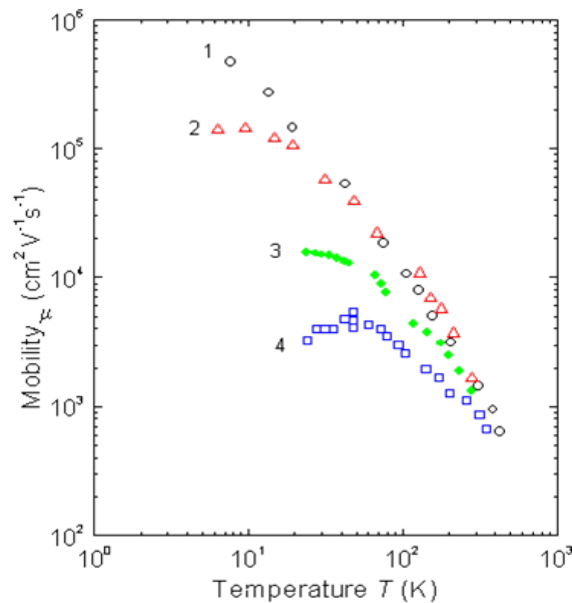


FIGURE 2.20: Mobilité des électrons en fonction de la température pour différentes concentrations de dopage dans du silicium. La courbe 1 représente du silicium à très haute pureté. La concentration en dopage de la courbe 2 est : $N_d < 4 \cdot 10^{-13} \text{cm}^{-3}$. La courbe 3 : $N_d = 1.75 \cdot 10^{16} \text{cm}^{-3}$ et $N_a = 1.48 \cdot 10^{15} \text{cm}^{-3}$. La courbe 4 : $N_d = 1.3 \cdot 10^{17} \text{cm}^{-3}$ et $N_a = 2.2 \cdot 10^{15} \text{cm}^{-3}$.

En parallèle, l'énergie de bandgap va augmenter ce qui a pour effet de diminuer la densité de charge [18]. Lorsque la densité de charge est trop faible, on observe une chute de courant dans le transistor, c'est l'effet de freeze-out [19]. Le freeze-out correspond à un gel des porteurs de charge dû à de trop faibles températures et dépend du taux de dopage du semi-conducteur comme montré sur la figure 2.21. Si le matériau est suffisamment dopé, il atteint un état où il ne requiert aucune énergie pour être ionisé.

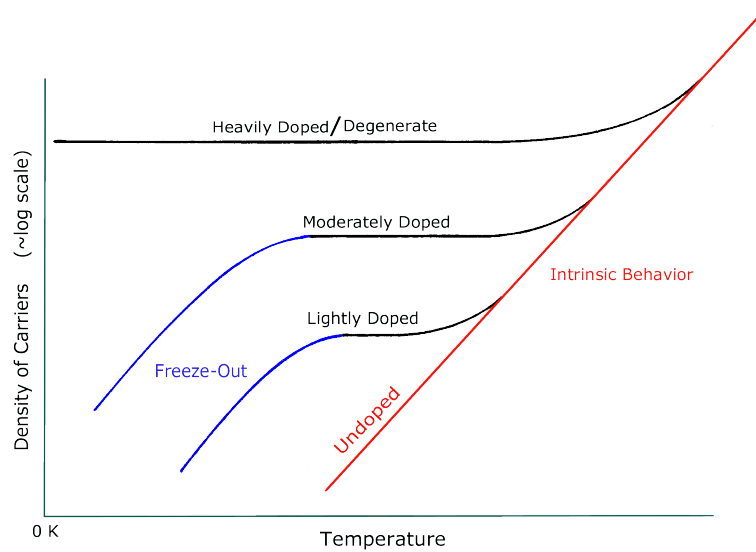


FIGURE 2.21: Effet de freeze-out en fonction du dopage du semi-conducteur et de la température. ⁸

La figure 2.22 montre la densité électronique et le niveau de Fermi correspondant pour la technologie CMOS 0.35 μm d'AMS. Sur la figure 2.22, autour de 300K, on constate peu de variations de densité de charge. Lorsque la température descend en dessous de 200K, la densité électronique commence à diminuer. La densité en électrons est divisée par dix entre 300K et 77K, ce qui implique qu'en deçà de 77K on s'attend à voir une diminution du courant de drain importante.

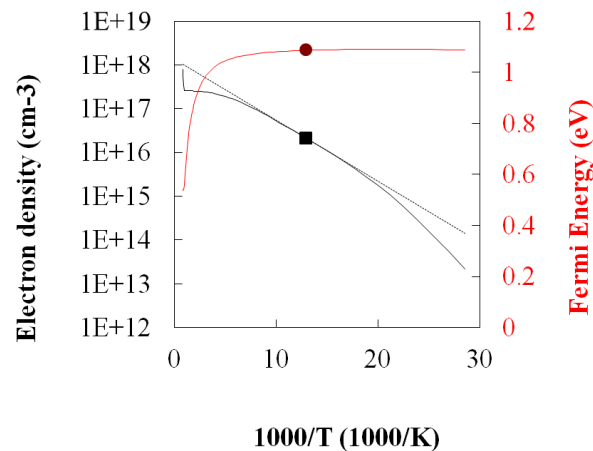


FIGURE 2.22: Evolution de la densité des électrons avec la température et son énergie de Fermi. Les points représentent la température minimale atteinte dans cette étude, 77K. ⁹

8. <http://www.extremetemperatureelectronics.com/tutorial3.html>

9. Adapté des équations de Bart Van Zeghbroeck (1997).

Lorsque l'on combine ces deux phénomènes physiques, on observe que la variation de la mobilité domine à température ambiante impliquant une augmentation du courant de drain des transistors pour des températures descendantes. Inversement, à température cryogénique, c'est la variation de la densité des porteurs de charges qui domine et qui est le principal facteur de variation de courant dans les transistors avec la température.

2.2.1.4 Conclusion sur la technologie CMOS 0.35 μm à basse température

L'étude des transistors à basse température a montré une déviation entre le modèle du fondeur et les mesures. Ces modèles ne peuvent être utilisés pour la conception de circuits cryogéniques sensibles. Cette déviation est due à la non prise en compte de phénomènes physiques basse température comme l'effet de freeze-out. De nouveaux modèles doivent être développés afin de couvrir une plus grande plage de température de 77K à 300K.

2.2.2 Extraction des paramètres du modèle BSIM3.3

2.2.2.1 Le modèle BSIM3.3

Les principaux modèles de transistor

Il existe plusieurs modèles de composants semi-conducteur : EKV, BSIM3, BSIM4, PSP, etc. Dans l'article [20], l'auteur détaille le modèle EKV et le compare au modèle BSIM. EKV est un modèle physique nécessitant uniquement 18 paramètres [21].

Description du modèle BSIM3.3

Le modèle BSIM [22] se base sur des critères physiques pour décrire le comportement d'un transistor du type IGFET tel que le MOSFET. Pour cela, il se base sur des équations décrivant le comportement général des transistors en fonction de leur polarisation, de leurs dimensions et de la température. Ces équations utilisent un grand nombre de paramètres afin de prendre en compte chaque phénomène physique. Les principaux paramètres utilisés dans le modèle sont donnés dans le tableau 2.4 ainsi que leurs valeurs par défaut pour les NMOS/PMOS d'AMS à température ambiante (300 Kelvin).

10. Les valeurs des paramètres correspondent aux valeurs "Typical Means Conditions" données pour les simulations sous Cadence.

Paramètre	Description	Valeur par défaut (NMOS/PMOS)	Unité
Tension de seuil			
VTH0	Tension de seuil idéal	0.4979 / -0.6915	V
K1	Coefficient du premier-ordre (pour l'effet du substrat)	0.50296 / 0.59959	$V^{0.5}$
K2	Coefficient du second-ordre (pour l'effet du substrat)	3.3985e-2 / -6.038e-2	-
K3	Coefficient pour les transistors de faible largeur	-1.136 / 11.03	-
K3B	Coefficient de K3 (sur l'effet du substrat)	-0.4399 / -0.758	1/V
W0	Paramètre pour les transistors de faible largeur	2.673e-7 / 1e-10	m
NLX	Coefficient de non-uniformité du dopage latéral	-1.136 / 11.03	m
VBM	Polarisation maximale du substrat pour le calcul de V_{th}		V
DVT0	1 ^{er} coefficient de l'influence du canal court sur V_{th}	50 / 1.65	-
DVT1	2 nd coefficient de l'influence du canal court sur V_{th}	1.039 / 0.3868	-
DVT2	Coeff. de polarisation du substrat de l'effet du canal court sur V_{th}	-8.375e-3 / 1.659e-2	1/V
Mobilité			
U0	Mobilité	475.8 / 148.2	cm^2/Vs
UA	Coefficient du 1 ^{er} ordre de la dégradation de la mobilité	4.7e-12 / 5.39e-10	m/V
UB	Coefficient du 2 nd ordre de la dégradation de la mobilité	2.137e-18 / 1.053e-18	$(m/V)^2$
UC	Effet du substrat sur la dégradation de la mobilité	1e-20 / 1e-20	$(m/V)^2$
Courant de drain			
VSAT	Vitesse de saturation	133.8e3 / 115.8e3	cm/s
A0	Coefficient de l'effet de charge du substrat	2.541 / 0.585	-
A1	1 ^{er} facteur de non saturation	0 / 0	1/V
A2	2 nd facteur de non saturation	1 / 1	-
AGS	Coefficient de l'effet de grille sur A_{bulk}	0.2408 / 0.2468	1/V
B0	Coeff. de l'effet de polarisation du substrat en fct de la largeur du canal	4.3e-9 / 8.83e-8	m
B1	Effet de polarisation du substrat en fct de l'offset de la largeur du canal	0 / 0	m
KETA	Coefficient du substrat pour l'effet de charge	2.032e-2 / -1.44e-2	1/V
Région sous le seuil			
VOFF	Tension d'offset en région sous le seuil	-8.375e-3 / -0.117	V
NFACTOR	Facteur d'oscillation sous le seuil	0.414 / 1.214	-
CIT	Densité de capture à l'interface	4.441e-4 / 0	F/m ²
CDSC	Capacité de couplage du canal drain-source	0 / 2.589e-3	F/m ²
Résistance drain-source			
RDSW	Résistance parasite par unité de largeur	344.9 / 1033	$\Omega\mu m$
WR	Offset en largeur à partir de W_{eff} pour le calcul de RDS		-
PRWB	Coefficient de substrat de RDSW	-0.2416 / -9.73e-2	$V^{-0.5}$
PRVG	Coefficient de l'effet de grille sur RDSW	0 / 0.1477	1/V
Géométrie du canal			
WINT	Réduction de la largeur du canal sur un côté	9.4e-8 / 3.45e-8	m
WL	Coefficient de dépendance de la longueur en fonction des variations de largeur	0 / 0	m
WLN	Puissance de dépendance de la longueur en fonction des variations de largeur	1 / 1	-
LINT	Réduction de la longueur du canal sur un côté	-5.005e-8 / -7.13e-8	m
Résistance de sortie			
PCLM	Coeff. de modulation de la longueur du canal	0.6948 / 3.184	-
DROUT	Coeff. de dépendance de L de l'effet de DIBL sur la résistance de sortie	0.5 / 0.5	-
PVAG	Dépendance de grille dû à l'effet d'Early	0 / 0	-
Capacitance			
CJ	Capacité de jonction de (surface bas) source/drain par unité d'aire	8.4e-4 / 1.36e-3	F/m ²
CJSW	Capacité de jonction (côté) source/drain par unité de longueur	2.5e-10 / 3.5e-10	F/m
Paramètres liés à la technologie			
TOX	Épaisseur d'oxyde de grille	7.575e-9 / 7.754e-9	m
XJ	Profondeur des jonctions	3e-7 / 3e-7	m
NCH	Concentration du dopage proche des interfaces	2.6e-17 / 9.26e16	1/cm ³
NSUB	Concentration du dopage loin des interfaces		1/cm ³
NGATE	Concentration du dopage du poly-silicium	0 / 0	1/cm ³
Paramètres de température			
UTE	Coefficient de mobilité en fonction de la température	-1.8 / -1.3	-
KT1	Coefficient en température de la tension de seuil	-0.33 / -1.3	V
KT2	2 nd Coefficient en température de la tension de seuil	2.2e-2 / 2.2e-2	-
UA1	Coefficient en température de UA1	0 / 0	m/V
UB1	Coefficient en température de UB1	0 / 0	$(m/V)^2$
UC1	Coefficient en température de UC1	0 / 0	m/V ²
PRT	Coefficient en température de RDSW	0 / 0	$\Omega\mu m$
AT	Coefficient en température de la vitesse de saturation	3.3e4 / 3.3e4	m/s
TCJ	Coefficient en température de CJ		1/K

TABLE 2.4: Liste des principaux paramètres du modèle BSIM3.3 ¹⁰

2.2.2.2 Flot d'extraction et Binning

L'ordre d'extraction de chacun des paramètres est important car le calcul de certains paramètres nécessite la valeur des paramètres précédemment extraits. Dans cette section, nous décrivons l'extraction de quelques-uns des paramètres.

Les paramètres du modèle BSIM3v3 sont extraits pour chacune des quatre catégories de transistors à l'aide d'IC-CAP. En plus de l'importance de l'ordre d'extraction des paramètres, il faut choisir les fonctions d'extraction appropriées ainsi que les points de mesures retenus pour une extraction donnée. Une phase d'optimisation est également réalisée afin d'améliorer la précision de modèle extrait. Via IC-CAP, on sélectionne l'algorithme de Levenberg-Marquart, qui permet d'atteindre les meilleures performances comparées aux autres algorithmes disponibles. Cet algorithme converge rapidement vers un minimum local lorsqu'on a peu de paramètres à faire varier.

L'algorithme de Levenberg-Marquard est une méthode non-linéaire se basant sur les algorithmes d'interpolation, de Gauss-Newton et du gradient. Il minimise le taux d'erreur entre les mesures et les données de simulation sur plusieurs paramètres spécifiés.

2.2.2.3 Observations sur les paramètres extraits et le modèle Cadence

Le modèle BSIM3.3 permet d'estimer les grandeurs physiques suivantes :

- tension de seuil ;
- mobilité ;
- saturation de la vitesse des charges ;
- courant de drain ;
- courant de substrat ;
- résistance de sortie ;
- capacités ;
- comportement en fonction de la température.

Épaisseur de l'oxyde de grille t_{ox}

Afin de mesurer l'épaisseur de l'oxyde de grille, on mesure la capacité entre la grille et le substrat pour différentes valeurs de V_{GB} . Pour le PMOS $50\ \mu\text{m} \cdot 10\ \mu\text{m}$, en mode bloqué, on mesure une capacité de $C_{GB} = 2.15\text{pF}$ (voir figure 2.23).

On en déduit la capacité de l'oxyde par unité de surface, en divisant la capacité formée par la grille et le substrat par la surface totale effective formée par la grille, on a C_{ox} tel

que :

$$C_{ox} = \frac{C_{GB}}{W \cdot L} = \frac{2.15 \cdot 10^{-12}}{(50 \cdot 10^{-6} \cdot 10 \cdot 10^{-6})} = 4.3 \cdot 10^{-3} F/m^2 \quad (2.12)$$

D'après la formule liant C_{ox} à t_{ox} on a :

$$t_{ox} = \frac{\epsilon_0 \cdot \epsilon_r}{C_{ox}} \quad (2.13)$$

ϵ_0 correspond à la permittivité du vide avec $\epsilon_0 \approx 8.85418782 \cdot 10^{-12} F \cdot m^{-1}$ et ϵ_r celle du SiO_2 , tel que $\epsilon_r = 3.9$ [17].

On calcul l'épaisseur d'oxyde de grille d'un PMOS de la technologie :

$$t_{ox} = \frac{8.85 \cdot 10^{-12} \cdot 3.9}{4.3 \cdot 10^{-3}} \approx 8 \text{ nm} \quad (2.14)$$

Le t_{ox} théorique attendu est de 7.7nm, pour un PMOS, la mesure de C_{ox} donne une bonne première approximation. Ce paramètre est important afin de réaliser l'extraction des autres paramètres. C'est plus loin lors de l'extraction, que ce paramètre sera réglé avec une plus grande précision.

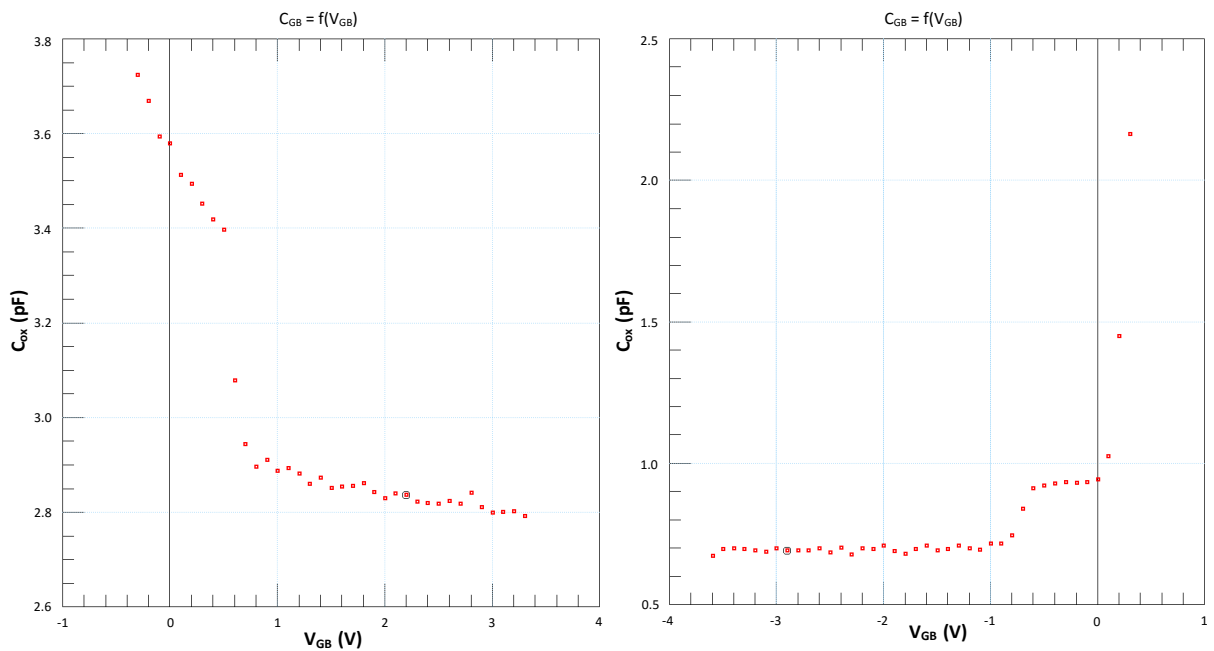


FIGURE 2.23: C_{ox} en fonction de V_{GB} pour un transistor standard $50 \mu m \cdot 10 \mu m$ pour un NMOS à 100K à gauche et un PMOS à 200K à droite.

La figure 2.23 montre la valeur de la capacité C_{ox} en fonction de la tension de polarisation V_{gb} en mode bloqué - c'est à dire lorsque $V_{GS} < V_t$.

Des mesures capacitives de C_{ox} ont été réalisées à des températures allant de 77K à 300K mais aucune différence significative n'a été observée. Contrairement à la thèse [23], on n'observe pas de diminution de C_{ox} en forte inversion, probablement parce que l'épaisseur d'oxyde des transistors étudiés est quatre fois plus importante. Cet effet est probablement dû à des effets quantiques comme l'effet tunnel.

Extraction de la tension de seuil V_{th}

La tension de seuil V_{th0} définit la tension de polarisation de la grille séparant deux états distincts (bloqué / passant) en forte inversion. Lorsque la tension de grille est inférieure à cette tension de seuil, on est dans le mode bloqué où très peu de courant passe du drain vers la source. Inversement, après cette tension de seuil, on est en mode linéaire ou saturé. La table 2.5 montre la variation de la tension de seuil en fonction de la température. On constate que la valeur absolue de la tension de seuil augmente lorsque la température descend. Cette variation implique que pour des températures cryogéniques, la tension minimale de polarisation du transistor doit être plus importante. Pour les NMOS, la tension de seuil augmente de 260mV sur 220 degrés alors que la tension de seuil des PMOS diminue d'un demi-volt. Pour les PMOS, on atteint une tension de seuil de -1.2V à 77K. Ces résultats sont en concordance avec ceux présentés dans l'article [24]. La variation de la tension de seuil est principalement due aux variations des niveaux de Fermi décrit dans la section 2.2.1.3.

	300K	200K	150K	100K	77K
NMOS	0.5V	0.58V	0.66V	0.72V	0.76V
NMOS HR		0.39V	0.4V	0.49V	
PMOS	-0.7V	-0.9V	-1.0V	-1.2V	-1.2V
PMOS HR		-0.86V	-0.89V	-1.1V	

TABLE 2.5: Évolution des V_{th0} en fonction de la température pour nos différents type de transistors.

Extraction de la conductance G_{DS}

La température modifie également la conductance du silicium. La figure 2.24 montre la conductance de sortie, g_{DS} , qui quantifie les variations du courant de drain en fonction des variations de tension drain-source, avec V_{GS} constant :

$$g_{DS} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}} \quad (2.15)$$

La figure 2.24 représente la conductance d'un NMOS standard 50 $\mu\text{m} \times 10 \mu\text{m}$ pour différents V_{GS} à différentes températures. On observe que la conductance du transistor évolue

inversement à la température. On observe également, une bonne concordance entre les mesures et le modèle extrait.

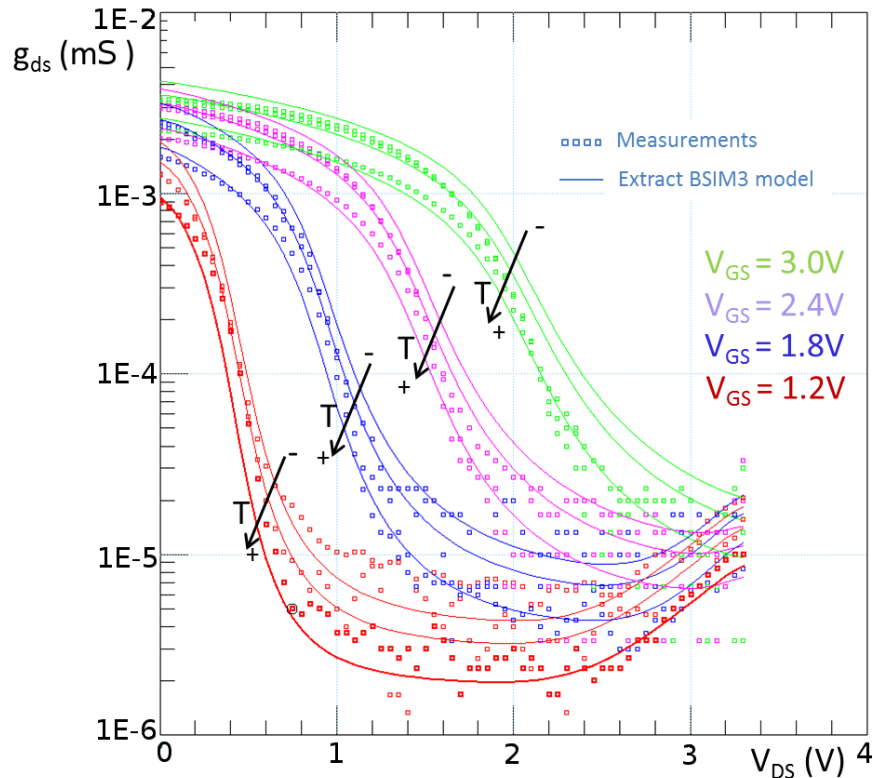


FIGURE 2.24: $G_{DS} = f(V_{DS}, T)$ pour un NMOS $50\ \mu\text{m} \times 10\ \mu\text{m}$ à 100K, 150K et 200K.

Autres paramètres IV extraits à $T = 100\text{K}$

On extrait à 100 Kelvin pour avoir des paramètres valides et précis autour de la température qui nous intéresse. Les figures 2.25 et 2.26 représentent le courant de drain pour, respectivement, un PMOS et un NMOS en fonction de la polarisation du drain. Sur ces figures, on représente les courbes correspondantes aux polarisations de grille suivantes : 0.3V, 0.6V, 0.9V, 1.2V, 1.5V, 1.8V, 2.1V, 2.4V, 2.7V, 3.0V et 3.3V, ainsi que les polarisations du substrat : 0, -0.3V et -0.6V. Pour les PMOS, les sens de polarisations sont inversés.

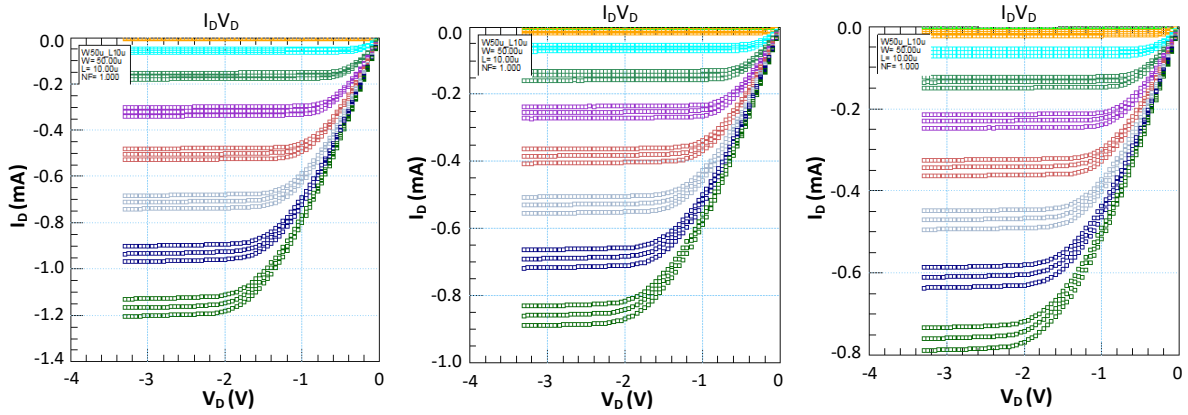


FIGURE 2.25: I_D en fonction de V_D pour un transistor PMOS $50\ \mu\text{m} \cdot 10\ \mu\text{m}$ à (de gauche à droite) 100K, 150K et 200K pour différentes valeurs de V_G et de V_B . Un code couleur est donné pour chaque V_G : vert foncé (-3.3V), bleu marine (-3.0V), gris (-2.7V), marron (-2.4V), violet (-2.1V), vert clair (-1.8V), turquoise (-1.5V), orange (-1.2V) et jaune (-0.9V).

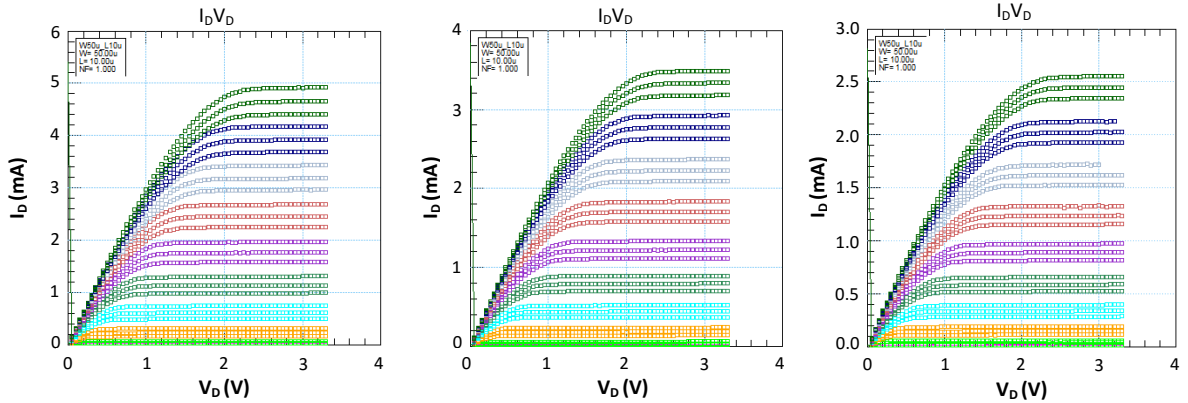


FIGURE 2.26: I_D en fonction de V_D pour un transistor NMOS $50\ \mu\text{m} \cdot 10\ \mu\text{m}$ à (de gauche à droite) 100K, 150K et 200K pour différentes valeurs de V_G et de V_B . Un code couleur est donné pour chaque V_G : vert foncé (3.3V), bleu marine (3.0V), gris (2.7V), marron (2.4V), violet (2.1V), vert clair (1.8V), turquoise (1.5V), orange (1.2V) et jaune (0.9V).

Extraction des paramètres CV

Grâce aux mesures des capacités des transistors, on en déduit leurs caractéristiques physiques, telles que le taux de recouvrement du drain et de la source avec la grille ou encore les défauts à l'interface entre le silicium et l'isolant SiO_2 . On extrait également toute une liste de paramètres permettant de représenter correctement les diverses capacités des transistors.

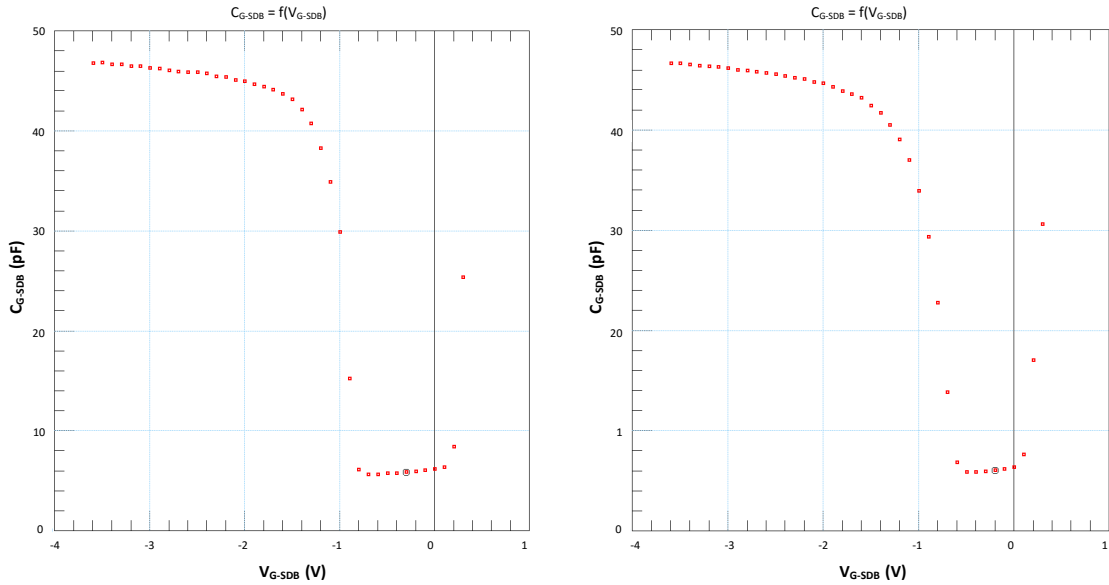


FIGURE 2.27: C_{G-DSB} en fonction de V_{G-DSB} pour un transistor PMOS $1\text{ mm} \cdot 10\text{ }\mu\text{m}$ à 100K à gauche et 200K à droite.

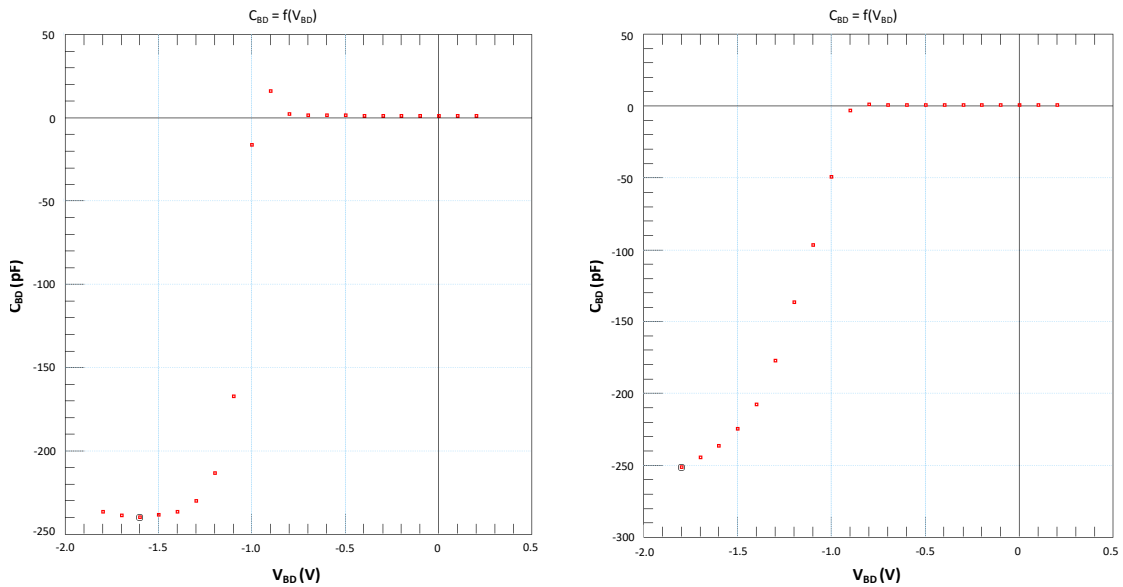


FIGURE 2.28: C_{GB} en fonction de V_{GB} pour un transistor PMOS $1\text{ mm} \cdot 10\text{ }\mu\text{m}$ à 100K à gauche et un PMOS $50 \cdot 10\text{ }\mu\text{m}$ à 150K à droite.

Extraction en température

Pour que le modèle extrait soit valide sur la plus grande plage de températures possible, on règle certains paramètres dont les principaux sont : $KT1$, $KT2$, UTE , $UA1$, $UB1$, $KT1L$, PRT et AT . Ils permettent de faire varier les paramètres correspondant $K1$, $K2$, $U0$, UA , UB , etc. en fonction de la température. La plage de températures ne peut être trop large car les variations doivent être considérées linéaires (U_{TE} proche de -1) - ce qui n'est pas toujours le cas sur de grandes plages de températures.

Voici les valeurs des principaux paramètres à la température T , avec T_{nom} la température nominale d'extraction :

— **la tension de saturation** est :

$$V_{sat}(T) = V_{sat}(T_{nom}) - A_T \left(\frac{T}{T_{nom}} - 1 \right) \quad (2.16)$$

— **la tension de seuil** vaut :

$$V_{th}(T) = V_{th}(T_{nom}) + \left(K_{T1} + \frac{K_{T1L}}{L_{eff}} + K_{T2} \cdot V_{BS_{eff}} \right) \cdot \left(\frac{T}{T_{nom}} - 1 \right) \quad (2.17)$$

— **les résistances source/drain** :

$$R_{DSW}(T) = R_{DSW}(T_{nom}) + P_{RT} \left(\frac{T}{T_{nom}} - 1 \right) \quad (2.18)$$

— **la mobilité des porteurs** :

$$U_0(T) = U_0(T_{nom}) \cdot \left(\frac{T}{T_{nom}} \right)^{U_{TE}} \quad (2.19)$$

$$U_i(T) = U_i(T_{nom}) + U_{i1} \left(\frac{T}{T_{nom}} - 1 \right) \text{ avec } i = a, b \text{ et } c. \quad (2.20)$$

2.2.2.4 Validation du modèle

Pour valider l'extraction, les modèles extraits ont été utilisés dans le simulateur spectre de cadence pour tracer les caractéristiques IV des transistors et les comparer aux mesures.

Implémentation du modèle dans Cadence

On récupère les valeurs des paramètres du modèle extrait qu'on insère dans un fichier "scs". C'est le format de fichier décrivant les bibliothèques de composant chez Cadence. On implémente les valeurs des paramètres des transistors dans ce fichier en réalisant un binning. Le binning consiste à faire cohabiter plusieurs sous-ensembles de paramètres pour un même type de transistor. Le sous-ensemble adéquat sera choisi en fonction de la température comme suit :

1. pour les températures supérieures à 230K, on utilisera les modèles proposés par AMS ;
2. un premier set couvre la plage de température de 150K à 230K ;
3. enfin un dernier set descend de 150K à 77K.

Comparaison entre le modèle extrait, les mesures et le modèle fondeur

La figure 2.29 représente l'évolution du courant de drain d'un transistor en fonction de la température pour des tensions de polarisations fixées. On y voit la simulation du modèle fondeur dont l'allure de la courbe augmente exponentiellement plus on descend en température. On observe que les mesures collent au modèle fondeur à température ambiante et jusqu'à 250K avant de se séparer et de s'éloigner l'une de l'autre de plus en plus rapidement. Enfin, les modèles extraits sont également représentés sur les deux plages de températures qu'elles couvrent afin de correspondre au mieux aux mesures.

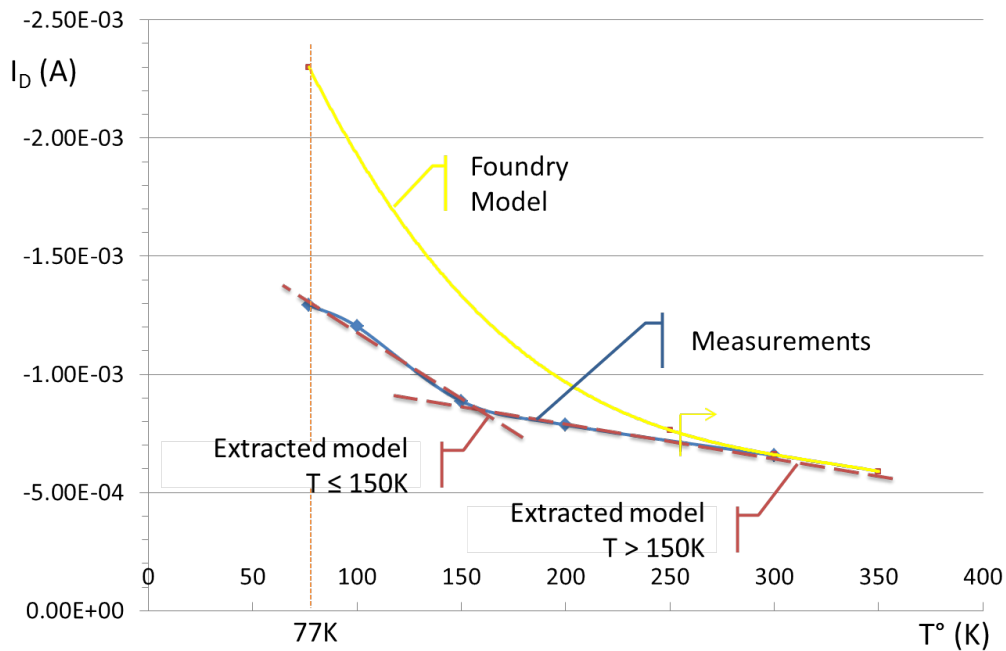


FIGURE 2.29: Comparaison entre les mesures, la simulation du modèle extrait et le modèle du fondeur sur une large plage de température pour $\{V_{GS}; V_{BS}; V_{DS}\} = \{3.3V; 0V; 3.3V\}$ d'un PMOS standard $50\mu m \times 10\mu m$.

2.2.2.5 Limitation du modèle et modèles alternatifs dans l'état de l'art

Au vu des dimensions des transistors choisis pour la caractérisation, il existe des zones non couvertes par le modèle extrait. Les dimensions ont été choisies pour couvrir au mieux les dimensions des transistors de notre application, possédant de gros transistors. La largeur minimale est de $W_{MIN} = 10\mu m$, en deçà des effets non pris en compte peuvent apparaître. Les mesures sont extrapolées pour les $L > 10\mu m$ et pour des $W > 20 \cdot L + 50 \cdot 10^{-6}m$.

L'effet de freeze-out

L'effet de freeze-out correspond à un gel des porteurs de charges, ce phénomène physique

est détaillé dans la section 2.2.1.3. Le modèle BSIM3v3 ne prend pas en compte ce phénomène physique. Certains articles [25] [26] proposent une amélioration du modèle de base afin de prendre en compte cet effet de freeze-out. Notamment avec le rajout de résistances aux niveaux du drain et de la source qui simulent la dégradation de l'intensité du courant en fonction de la température.

Nous n'utilisons pas ce modèle, nous optons plutôt pour une modification des paramètres du modèle BSIM3v3 sur différentes plages de température afin de pouvoir intégrer ces modèles facilement dans les outils de conception tel que CadenceTM.

Performances

La figure 2.30 montre un exemple de résultat entre les mesures et la simulation du modèle extrait pour un transistor donné. Sur l'ensemble des modèles, on est à moins de 2% d'erreur RMS. Une comparaison entre les performances de circuits réels au sein d'une architecture complexe aux alentours de 100K et les simulations réalisées avec le modèle extrait doit être faite afin de valider totalement ce modèle.

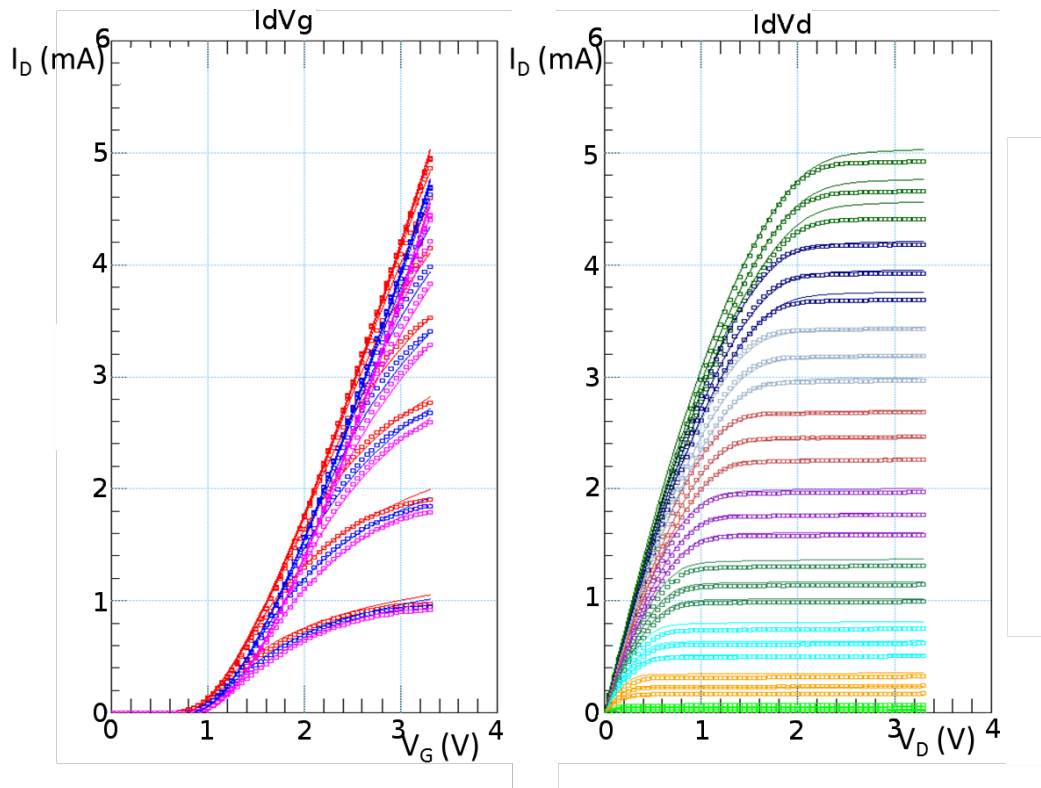


FIGURE 2.30: Mesures (points) et simulation du modèle extrait (lignes) pour $I_D V_G$ et $I_D V_D$ d'un transistor NMOS $50 \mu\text{m} \times 10 \mu\text{m}$ à 100K.

Bilan

Une étude cryogénique a été conduite sur la technologie commerciale Bulk CMOS 0.35 μm /3.3V d'AMS entre 77K et 300K à la fois pour des transistors standards et des transistors en anneaux. Un écart de comportement pour un layout en anneau par rapport à un layout standard est observé et une modélisation prenant en compte l'architecture particulière de la grille du transistor est proposée. Les résultats obtenus sont très cohérents avec ceux présentés dans l'article [8].

Par ailleurs, les caractéristiques I/V mesurées à des températures de 77K, 100K, 150K et 200K s'écartent significativement des résultats de simulation (le design kit fournit un modèle utilisable jusqu'à -40 ° C). Afin de couvrir une large plage de températures pour aider à la conception de circuits cryogéniques, une procédure d'extraction avec le logiciel IC-CAP des paramètres du modèle BSIM3 a été menée sur les quatre catégories de transistors MOSFET caractérisées. Les transistors présentent une variation significative de la tension de seuil avec la température. Les transistors PMOS sont les plus affectés avec une tension de seuil qui varie de 0.5V sur la plage [77K, 300K]. Les paramètres capacitifs des transistors varient peu, voire pas, avec la température. Enfin, les composants passifs de cette technologie ont également été caractérisés à basse température et leurs variations sont suffisamment faibles pour ne pas nécessiter l'extraction d'un nouveau modèle.

Ces modèles basse température permettent une utilisation de la technologie à des températures cryogéniques et aide ainsi au développement de circuits cryogéniques. Cependant, pour rendre la technologie utilisable dans le domaine du spatial, d'autres paramètres doivent être pris en compte tel que le problème de radiation.

Chapitre 3

Etude en radiations

Sommaire

3.1	Effets des radiations sur les circuits intégrés	57
3.1.1	Mécanismes physiques liés aux radiations	57
3.1.2	Manifestation de ces effets	60
3.2	Techniques de durcissement	62
3.3	Banc de mesure	62
3.4	Calculs sur les sources de radiations	64
3.4.1	Détails sur le composant à irradier	65
3.4.2	Caractéristiques sur le Cobalt 60	65
3.4.3	Calcul de l'activité minimale de la source	67
3.5	Les "corners" du fondeur : pire cas que les radiations.	69
3.6	Conclusion sur la caractérisation de la technologie pour l'astrophysique	70

3.1 Effets des radiations sur les circuits intégrés

Les études de robustesse de circuits intégrés face aux radiations sont courantes car elles touchent à de nombreux domaines : spatial, nucléaire, recherche fondamentale (CERN...), militaire, etc.

L'environnement de rayonnement spatial naturel produit des modifications transitoires et permanentes sur les propriétés électriques des dispositifs à semi-conducteurs et des circuits intégrés. Étant donné que de tels changements peuvent provoquer un échec du sous-système électronique dans l'espace, l'accent a été mis sur l'élaboration de méthodes permettant de réduire la dégradation induite par le rayonnement ionisant. Le développement de dispositifs et de circuits durcis aux rayonnements est une approche attrayante pour résoudre ce problème dans de nombreuses applications, car cela réduirait au minimum le besoin de blindage. Une étape clé dans le développement de l'électronique durcie débute par une compréhension détaillée des effets de base produits par les rayonnements sur les matériaux électroniques, les dispositifs et les circuits intégrés. Une fois que les mécanismes de base sont bien compris, plusieurs étapes peuvent être implémentées. Premièrement, des prédictions fiables de la réponse au rayonnement des dispositifs et des circuits dans les environnements qui nous intéressent peuvent être faites. Deuxièmement, il peut conduire au développement de nouvelles approches de durcissement de dispositifs. Troisièmement, des méthodes de tests peuvent être développées pour s'assurer que les circuits résisteront à des niveaux spécifiques d'exposition aux rayonnements.

Dans ce chapitre, on réalise une étude sur l'influence des radiations sur les circuits intégrés.

3.1.1 Mécanismes physiques liés aux radiations

Les types de particules concernés sont les photons, électrons, protons, particules alpha (noyau d'hélium 4) et ions lourds. On peut séparer ces particules en deux catégories : les photons et les particules chargées. Les propriétés de la particule, qui nous intéressent, sont : sa masse, sa charge et son énergie cinétique. Les propriétés qui nous importent du matériau cible sont : sa masse, sa charge et sa densité.

Les photons possèdent une masse nulle au repos et une charge électrique neutre. Le photon interagit avec l'atome cible via l'effet photoélectrique, la diffusion Compton et la création de paires. Dans chacun de ces cas, un électron énergétique libre est produit. Pour le silicium ($Z=14$), l'effet photoélectrique domine pour des énergies inférieures à 50keV, la diffusion Compton entre 50keV et 20MeV, enfin la production de paires se produit au-delà des 20MeV.

La probabilité d'une interaction photoélectrique diminue lorsque l'énergie des photons

augmente. Elle diminue également lorsque le numéro atomique de la cible augmente. Durant ce processus photoélectrique, l'énergie du photon est complètement absorbée par l'électron émis.

Contrairement au précédent phénomène, une diffusion Compton n'implique pas une absorption complète du photon incident. Ce phénomène se produit lorsque l'énergie des photons est plus importante que l'énergie liant l'électron à l'atome. Le photon incident communique une partie de son énergie pour libérer un électron tandis qu'un photon possédant une énergie diminuée (respectant la conservation d'énergie) continue sa course au travers du matériau.

Enfin, dans le cas de la production de paires, un photon vient percuter le noyau d'un atome, est absorbé entièrement, et produit une paire électron-positron.

Les courbes de la figure 3.1 représentent l'évolution des coefficients d'atténuations massiques du silicium pour des photons gamma d'énergie allant de 1keV à 100MeV. Les influences des différentes interactions mentionnées précédemment sont présentées. Ces courbes peuvent être générées en utilisant la base de données de NIST¹.

1. NIST : National Institute of Standards and Technology (<https://physics.nist.gov/PhysRefData/Xcom/html/xcom1.html>)

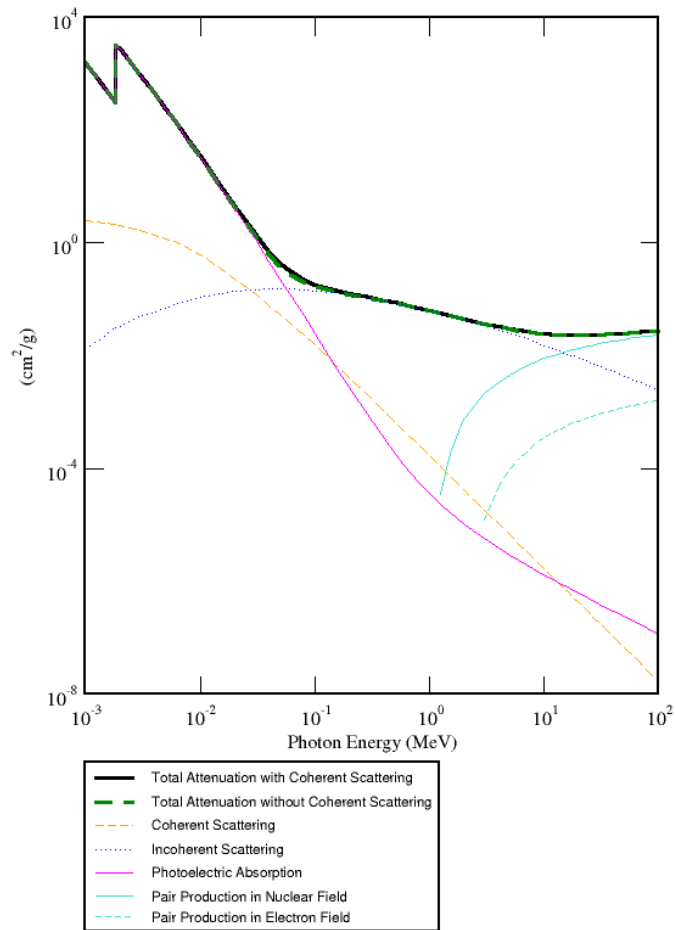


FIGURE 3.1: Coefficients d'atténuations massiques du silicium pour des photons gamma entre 1keV et 100MeV liés à différentes interactions : effet photoélectrique, diffusion Compton, création de paire ainsi que la somme de toutes ces interactions.

Les particules chargées interagissent avec le matériau cible principalement par diffusion Rutherford (ou diffusion de Coulomb). Cette interaction est à l'origine de l'excitation d'un atome ou de la libération d'un électron atomique. Certaines particules peuvent avoir l'énergie suffisante pour déplacer un atome de sa position initiale dans le cristal par transfert d'énergie. Les particules chargées lourdes peuvent produire des interactions nucléaires comme la diffusion élastique, diffusion inélastique et transmutation.

En pratique, les effets des radiations sur les électroniques spatiales sont :

- les défauts cristallins : les particules subatomiques et les photons gamma à grande énergie perturbent les réseaux cristallins des matériaux électriques. Ils provoquent des perturbations irrémédiables en multipliant les centres de recombinaisons. Ils modifient les propriétés électriques des matériaux irradiés.
- ⊕ Des doses de radiations à débit élevé sur de brèves périodes de temps peuvent générer un recuit qui restaure partiellement les propriétés du matériau.
- ⊖ Les transistors bipolaires sont particulièrement sensibles ;

- Les effets ionisants : les particules chargées provoquent une ionisation généralement transitoire mais qui peuvent causer des "latchup".
 - ⊖ L'irradiation des transistors MOSFET provoque l'accumulation progressive des trous dans la couche d'oxyde qui finit par dégrader leurs performances jusqu'à les détruire.

Dans le silicium, l'énergie minimum pour produire un défaut cristallin est de $\sim 150keV$ par un électron [27] et de $\sim 100eV$ par un proton [28] ou un neutron.

3.1.2 Manifestation de ces effets

Les effets liés aux radiations sur les circuits intégrés sont décrits dans la section suivante :

- Les effets liés aux défauts cristallins affectent principalement les BJT, peu les transistors CMOS ;
- Les effets de dose liés aux irradiations prolongées TID² affectent tous les types de transistors plus ou moins fortement. Dans les circuits CMOS, le rayonnement ionisant génère des paires électrons-trous dans les couches isolantes de la grille qui provoquent l'apparition d'un photo-courant lors de leur recombinaison, tandis que les trous piégés dans le réseau cristallin de l'isolant modifient le courant de seuil des transistors : les MOSFET de type N commutent de plus en plus facilement lié à une diminution de la tension de seuil. A l'inverse, les MOSFET de type P commutent de plus en plus difficilement. Cette modification de la tension de seuil peut s'améliorer avec le temps - dépendant du débit de dose reçu par le matériau - par migration des trous jusqu'à l'interface Si/SiO₂ et leur recombinaison avec des électrons présent dans le canal de conduction [29] [30]. Ces processus de recombinaison dépendent directement du champ électrique présent et donc de la polarisation du transistor. Les circuits intégrés MOS sont très sensibles aux radiations à basse température car les trous générés à de telles températures migrent plus lentement vers l'interface Si/SiO₂ [31].

En bordure de grille, l'épaisseur d'oxide est bien plus importante et un grand nombre de trous se trouve piégés, c'est à l'origine de l'effet bec d'oiseau ("*bird's beak effect*") représenté figure 3.2. Les trous piégés en bord de grille (à la limite oxyde mince sous la grille -oxyde épais en bordure vers les contacts de grille) finissent par créer une polarisation sous-le-seuil permanente qui laisse passer un courant de fuite entre le drain et la source provoquant une augmentation de la consommation et du bruit. En général, la tension de seuil de ses transistors parasites sont très élevés avant irradiation mais du fait de l'épaisseur importante de l'oxide dans cette

2. TID : Total Ionizing Dose

région, les décalages de la tension de seuil post-irradiation peuvent également être très importants.

Ces effets dépendent en grande partie du débit de dose [32]. Dans l'article [33], les auteurs présentent un circuit CMOS - d'une technologie commerciale plus ancienne que celle utilisée dans cette thèse (i.e. avec une épaisseur d'oxyde bien plus importante) - disfonctionnant à seulement 8krad pour un débit de dose de 200rad(Si)/s mais atteint les 20krad à 0.02rad(Si)/s ;

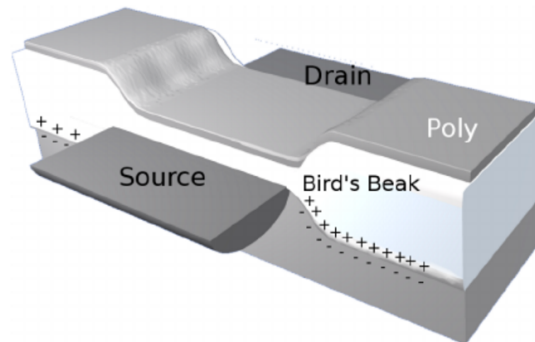


FIGURE 3.2: Représentation de l'effet bec d'oiseau³.

- Effets singuliers (SEE) : passage d'une particule unique, généralement un ion lourd ou proton énergétique, et se décomposent en effets transitoires (SEU) et effets permanents (SEL).

Les effets transitoires sont principalement dûs aux protons, particules alpha et ions lourds de hautes énergies ($> 10^5 eV$). Le transfert linéique d'énergie (LET) décrit la quantité d'énergie transférée par une particule ionisante traversant la matière, par unité de distance ($\delta E/\delta x$). Les particules à basses énergies ($\leq 10 MeV$) perdent leur énergie à des taux bien plus importants que les particules à hautes énergies ($> 10 MeV$). Il s'en suit une longue trace de paire électrons-trous le long du passage de la particule et une augmentation soudaine et transitoire de la quantité de charge dans une zone du circuit. Les passages d'ions lourds peuvent causer des dommages permanents notamment par latchup. Les latchup sont souvent observés dans les circuits CMOS sur substrat et peuvent être évités en utilisant une épitaxie.

Ces effets sont néfastes principalement pour les électroniques numériques où un niveau (0 ou 1) peut être inversé. C'est particulièrement dramatique dans les signaux d'horloge et dans les éléments mémoires (mémoire, bascule, verrou, etc.).

Les circuits intégrés sont généralement accompagnés de composants discrets permettant le bon fonctionnement du circuit. Les radiations ont également un impact sur ces composants passifs. Les condensateurs discrets subissent des modifications dans la quantité

3. Figure disponible sur ResearchGate : https://www.researchgate.net/224349141_fig1_Fig-1

de charge stockées ainsi que des variations de conductivité du diélectrique. Quant aux résistances, elles sont peu susceptibles aux radiations.

3.2 Techniques de durcissement

Plusieurs types de techniques existent afin de pallier les problèmes d'ionisation des circuits. Elles peuvent s'appliquer à différents niveaux :

- matériaux : utilisation de matériaux isolants plutôt que des substrats semi-conducteurs comme la technologie SOI afin d'empêcher tout courant parasite dans le substrat. L'utilisation de GaAs offre un avantage par rapport aux circuits Si pour les SEU ;
- blindage : enveloppe conductrice à fort pouvoir d'arrêt protégeant le circuit. Il est également possible de recouvrir le circuit de verre borophosphosilicate appauvri en bore 10, lequel absorbe les neutrons qui se désintègrent en émettant des particules α ;
- design de type RHBD[-LL] : Radiation-Hardening By Design [at Layout Level]. Cette technique consiste à réaliser un circuit dont le design est naturellement plus résistant aux radiations. C'est le cas, par exemple, des transistors en anneaux [9][10] ;
- durcissement logique : ajouter des circuits de redondance ou des tests de validités sur les informations.

Dans l'article [34], les auteurs présentent, entre autres, l'influence sur la dégradation de la durée de vie des circuits intégrés en substrat silicium en fonction de l'énergie des particules reçues et de leurs types (gamma, électron, neutron ou proton). Dans l'article [35], les auteurs présentent une étude sur l'effet de dose des radiations sur les transistors MOSFETs droits et en anneaux. Cette étude montre que l'utilisation de transistors en anneaux pour les PMOS n'est pas nécessaire car on n'observe aucune amélioration sur la variation de courant de fuite, de la tension de seuil ou de la transconductance. Pour les NMOS, ce design permet de supprimer les bords des grilles de transistor et ainsi de s'affranchir des courants de fuites dus à l'“*effet bec d'oiseau*” [31] suite à l'accumulation de charges positives sous l'oxyde de la grille, dans la transition “oxyde mince / oxyde épais”.

3.3 Banc de mesure

Un banc de mesure a été mis en place pour des mesures sous irradiation gamma avec une source de Cobalt 60. Il se compose de deux bancs séparés : le premier, schématisé

figure 3.3, représente le banc d'irradiation de cinq puces en simultané.

Durant l'irradiation des puces, les composants de chacune des puces doivent être polarisés afin "d'évacuer" les excès de charges dus aux radiations. La carte de polarisation est placée à une distance d dépendant de l'activité de la source. Cette distance est établie dans la section suivante pour que le débit de dose soit fixe et représentatif du débit qu'il recevrait dans l'espace.

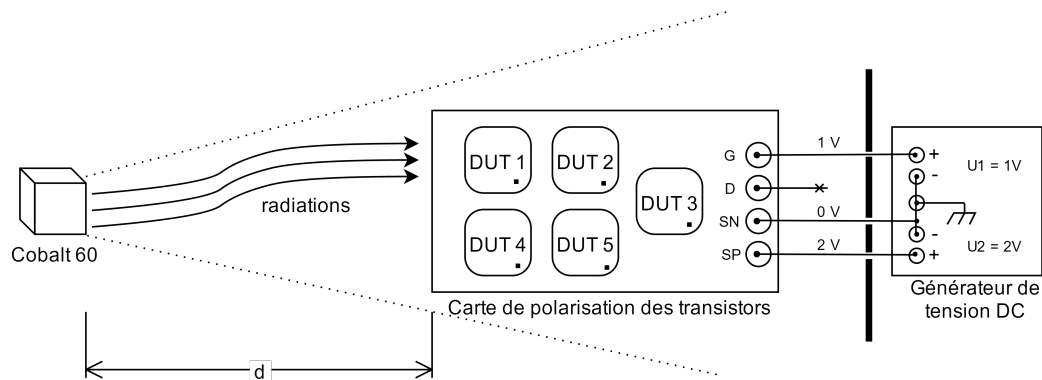


FIGURE 3.3: Banc d'irradiation des puces.

Le second banc permet de réaliser une série de mesures à intervalles de temps réguliers afin de caractériser les composants à différents débits de dose. Pour cela, on utilise le banc de mesure donné par la figure 3.4. Un programme contrôle l'ensemble des instruments pour rendre le banc complètement automatique et minimiser le nombre d'opérations à réaliser par l'opérateur.

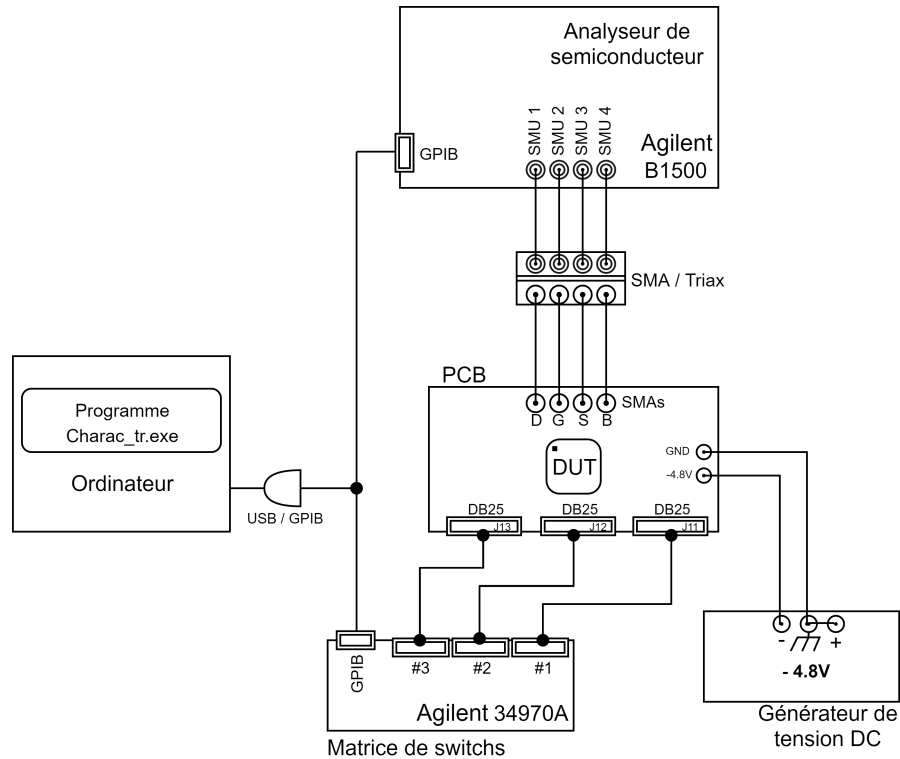


FIGURE 3.4: Banc de mesure des puces après irradiation.

3.4 Calculs sur les sources de radiations

On calcule l'activité de la source radioactive nécessaire pour l'étude.

Quelques conversions utiles :

Un Becquerel [Bq] correspond à une désintégration par seconde dans la matière radioactive.

Un Gray [Gy] correspond à la dose absorbée, soit l'énergie déposée par unité de masse par un rayonnement ionisant : $1Gy = 100rad = 1J/kg$.

L'électron-volt [eV] est une unité de mesure d'énergie telle que $1eV = 1.6 \cdot 10^{-19}J$.

La dose absorbée par un élément est définie par l'équation 3.1 :

$$D = \frac{\delta E}{\delta m} = \frac{1}{\rho} \cdot \frac{\delta E}{\delta V} \quad (3.1)$$

avec :

- D , la dose absorbée en Gy ;
- δE , l'énergie moyenne transférée ;
- δm , la masse du système ;

- ρ , la masse volumique ;
- δV , le volume du système.

3.4.1 Détails sur le composant à irradier

La masse volumique du silicium est $\rho_{\text{Silicium}} = 2.33 \text{ g} \cdot \text{cm}^{-3}$. Le volume du circuit intégré de caractérisation vaut environ : $2 \text{ mm} \times 2 \text{ mm} \times 0.7 \text{ mm} = 2.8 \text{ mm}^3$

Ainsi, la masse du circuit intégré est d'environ $2.8 \cdot 10^{-3} \cdot 2.33 = 6.524 \text{ mg}$.

Si l'on veut irradier la puce jusqu'à 300krad, soit 3kGy, avec un débit idéal de 360 rad/h afin de respecter des débits cohérents pour le spatial, il faudrait irradier la puce 42j cumulés.

L'énergie totale du circuit pesant 6.524mg après irradiation jusqu'à 3kGy, d'après l'équation 3.1 est :

$$E_{tot[J]} = 3 \cdot 10^3 \cdot 6.524 \cdot 10^{-6} = 19.572 \text{ mJ} \quad (3.2)$$

$$E_{tot[eV]} = \frac{19.6 \cdot 10^{-3}}{1.6 \cdot 10^{-19}} = 1.2 \cdot 10^{17} \text{ eV} \quad (3.3)$$

La source généralement utilisée pour ce type d'irradiation est le Cobalt 60. L'utilisation de cette source est conseillée par l'ESA [36] avec un débit de dose maximal de 360rad/h.

3.4.2 Caractéristiques sur le Cobalt 60

Le composant utilisé est du cobalt 60 (^{60}Co), un isotope du cobalt qui n'existe pas naturellement. Il possède 27 protons pour 33 neutrons, ce qui correspond à un excès de neutrons par rapport à son noyau stable. Le tableau 3.1 présente les principales caractéristiques de l'élément.

Période radioactive	5.27 ans
Activité massique	$4.2 \cdot 10^{13} \text{ bq} \cdot \text{g}^{-1}$
Masse atomique	59.9 g/mol
Précurseur	^{60}Fe
Descendant	^{60}Ni
Emissions principales par désintégration (probabilité d'émission %)	
Désintégration β^-	$E = 318 \text{ keV}$ (99.88%)
	$E = 1.48 \text{ MeV}$ (0.12%)
Emission γ	$E = 1173 \text{ keV}$ (99.88%)
	$E = 1332 \text{ keV}$ (100%)

TABLE 3.1: Caractéristiques du Cobalt 60 [37].

La figure 3.5 illustre les différents niveaux d'énergies dus à cette désintégration.

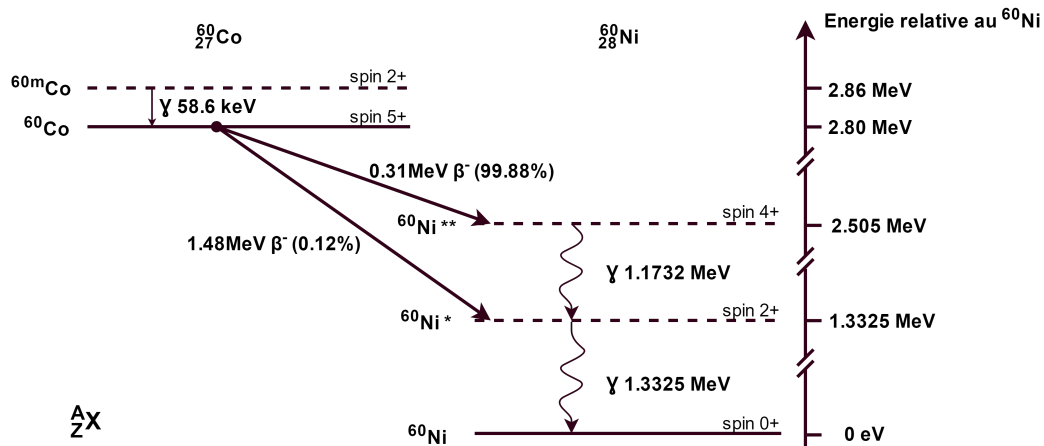


FIGURE 3.5: Représentation de la désintégration du Cobalt 60 en Nickel 60 et de leurs isomères.

Le Cobalt 60 (^{60}Co) se désintègre en Nickel 60 (^{60}Ni) excité (isomère du Nickel 60) en produisant un électron, permettant la conservation de charge électrique, et un antineutrino électronique, permettant la conservation du moment angulaire (spin). La forme chimique est donnée ci-dessous :



Le descendant se désexcite en produisant deux rayons gamma (en général).

Calcul de l'évolution de l'activité du matériau :

$$A = A_0 \cdot e^{-\frac{\ln(2)}{T_{1/2}} \cdot t} \quad (3.6)$$

A représente l'activité actuelle, A_0 l'activité lors de la mesure, $T_{1/2}$ la durée de demi-vie en jour et t , le temps depuis la précédente mesure, en jour.

3.4.3 Calcul de l'activité minimale de la source

Pour que le circuit reçoive 11 kGy/s, soit $1.2 \cdot 10^{17} eV$ en 42j, il doit recevoir une quantité d'énergie de :

$$\frac{1.2 \cdot 10^{17}}{42 \cdot 24 \cdot 3600} = 33 GeV/s \quad (3.7)$$

Sachant que chaque désintégration de cobalt 60 produit $1 \cdot 1.332 \cdot 10^6 + 0.999 \cdot 1.173 \cdot 10^6 = 2.5 MeV$, il faudrait :

$$A_{min} = \frac{33 \cdot 10^9}{2.5 \cdot 10^6} = 13.2 kBq \quad (3.8)$$

si le circuit recevait chacun des rayons gammas produit.

3.4.3.1 Activité minimale de la source en fonction de la couverture surfacique du circuit

Le circuit n'entoure pas la source, il n'y a qu'une petite partie des photons qui atteint la source. Si l'on place l'échantillon à 10cm d'une source radioactive isotrope, on a :

$$aire_{\gamma} = 4 \cdot \pi \cdot 10^2 = 1256 cm^2 \quad (3.9)$$

$$aire_{CI} = 0.2 \cdot 0.2 = 0.04 cm^2 \quad (3.10)$$

La surface étant très petite, il ne recevrait que 1/31400 rayon gamma dans le cas d'une émission isotropique. L'activité de la source nécessaire passe à :

$$A_{min} = 31400 \cdot 13.2 \cdot 10^3 = 414.5 MBq \quad (3.11)$$

Cependant, la majorité des rayons traverse le circuit sans être arrêtée.

3.4.3.2 Activité minimale réelle de la source

L'échantillon n'absorbe qu'un petit pourcentage des émissions de la source et dépend beaucoup du coefficient d'absorption du matériau. L'évolution du flux dans un matériau est donnée par l'équation :

$$I(d) = I_0 \cdot e^{-\mu_0 x} \quad (3.12)$$

x correspond à l'épaisseur de l'échantillon en cm et μ_0 est le coefficient linéaire d'absorption donné par l'équation :

$$\mu_0 = n \cdot \sigma \quad (3.13)$$

σ représente la section efficace en $cm^2/atome$ et n le nombre d'atome par cm^3 tel que :

$$n = \frac{N_A \cdot \rho}{A_{Si}} [g/mol] \quad (3.14)$$

N_A représente le nombre d'Avogadro⁴ et A_{Si} le poids atomique du silicium⁵.

Les coefficients d'atténuation massique à température ambiante pour des photons gamma sont tirés de la figure 3.1. On relève : $\mu_{Si} = 0.059 cm^2/g$ pour des énergies de 1.173MeV et $\mu_{Si} = 0.055 cm^2/g$ à 1.332MeV. En considérant qu'une désintégration du cobalt 60 produit deux photons gamma d'énergies respectives 1.173MeV et 1.332MeV, on peut considérer un coefficient d'atténuation massique moyen de $\mu_{Si} = 0.057 cm^2/g$. Sachant que le coefficient d'atténuation massique est le ratio du coefficient d'absorption linéaire par la densité du matériau :

$$\mu = \frac{\mu_0}{\rho} \quad (3.15)$$

Le coefficient d'absorption linéaire moyen du silicium pour les photons résultants d'une désintégration β^- du cobalt 60 est de $\mu_{0Si} = 0.133 cm^{-1}$.

L'article [38] présente les coefficients d'absorption massique en énergie du silicium à température ambiante pour des photons gamma entre 0.4MeV et 10MeV. Dans l'article [39], W.C. Dash et R. Newman présentent des mesures du coefficient d'absorption du silicium à 77K et à température ambiante pour des photons de basses énergies. Dans l'article [40], H.T. Nguyen et Al. présentent l'évolution du coefficient d'absorption du silicium en fonction de la température, due aux variations de distance inter-atomique, sur des photons de basses énergies. Il serait intéressant d'avoir une étude sur la dépendance en température du coefficient d'absorption du silicium - dopé et intrinsèque - entre 1keV et 10MeV. Le coefficient d'absorption du silicium diminue avec la température ce qui le rend moins

4. $N_A = 6.02252 \cdot 10^{23} atomes/mol$

5. $A_{Si} = 28.08 \mu g/mol$

sensible aux radiations à basse température. L'irradiation des circuits à température ambiante représenterait un pire cas, mais on ne tient pas compte de l'effet d'annealing [41], qui est moins fort à basse température.

A température ambiante, d'après l'équation 3.12, on calcule l'activité réelle nécessaire :

$$A_{reel} = \frac{A_{min}}{1 - e^{-\mu \cdot x}} = \frac{414.5M}{1 - e^{-0.133 \cdot 0.07}} = 44.7GBq \quad (3.16)$$

Ainsi l'échantillon absorbe moins de 1% des photons. Il faudrait une source dont l'activité minimale soit de **44.7 Gbq**. Ce qui correspond à $44.7G/(4.2 \cdot 10^{13}) = 1.06mg$ de cobalt 60. Il faudrait également prendre en compte la décroissance de la radioactivité donnée précédemment (3.6) mais comme la demi-vie est de 5.27 ans et que l'étude devrait s'étendre sur moins de deux mois, on n'en tient pas compte.

La source radioactive nécessaire requiert un débit de dose élevé et peu d'endroits peuvent réaliser ce type de caractérisation. A cela s'ajoute un coût important, nous obligeant à n'irradier que la carte finale.

3.5 Les “corners” du fondeur : pire cas que les radiations.

Les “corners” d'une technologie correspondent aux paramètres représentatifs des pires cas de dispersion dues aux variations de process. Lorsque l'on étudie la variation de la tension de seuil idéal des corners des modèles du fondeur à température ambiante, on s'aperçoit qu'il y a une variation de 0.2V. Pour un transistor NMOS, on atteint une tension de seuil maximale de 0.56V et une tension de -0.77V pour un PMOS.

Or, dans l'article [6], les auteurs présentent une étude sur la technologie CMOS 0.35 μm d'AMS soumis à des doses de radiations allant jusqu'à 300krad, à différents débits de dose. Leur conclusion est que la dérive moyenne de la tension de seuil, jusqu'à 300krad, est faible (inférieure à 30mV). Cela s'explique par la faible épaisseur d'oxyde de grille de transistors. Des tests sur des transistors en anneaux ont également été réalisés et ils concluent que peu de différence est observée sur le δV_{th} entre les transistors standards et les transistors en anneaux.

Ainsi, plusieurs études ont réalisé des mesures sous de fortes doses de radiations et ont conclu que les simulations “pire cas” peuvent suffire pour représenter les dérives de tension de seuil. Les courants de fuites liés aux radiations sont à prendre en compte lors de la conception. L'étude en radiation ne sera faite que sur le circuit complet de la mission.

3.6 Conclusion sur la caractérisation de la technologie pour l'astrophysique

A la suite de l'étude des conséquences liées aux radiations, une architecture différente de transistor peut être utilisée afin de réduire les courants de fuites liés à l'effet "bec d'oiseau". De plus, du fait de la faible épaisseur d'oxyde de grille dans la technologie CMOS 0.35 μm d'AMS, plusieurs études ont montré la bonne résistance de cette technologie à des doses absorbées élevées, jusqu'à 300krads. Par conséquent, la technologie n'a pas été caractérisée en TID mais le circuit final devra subir des tests en radiations en dose absorbée provenant d'une source de photons gamma et d'une source d'électrons ainsi que des tests de latchup sous ions lourds.

Il serait également intéressant de faire des caractérisations à différentes doses et avant/après annealing. L'annealing correspond à un chauffage de la puce par recuit du substrat permettant aux atomes de migrer dans le réseau cristallin et ainsi de réduire le nombre de dislocations.

Il serait intéressant d'étudier l'influence des radiations sur les circuits à température cryogénique. Les études sont rares et concernent des technologies différentes [42]. On s'attend à avoir un pire cas à température ambiante mais une étude cryogénique permettrait de s'en assurer et d'étudier plus en détail les phénomènes physiques qui lui sont liés.

La figure 3.6 représente un exemple de schéma d'un banc de mesure capable de réaliser des mesures cryogéniques tout en irradiant le circuit. Il est inspiré du modèle du CNES, capable de descendre jusqu'à 80K avec une autonomie de 24h.

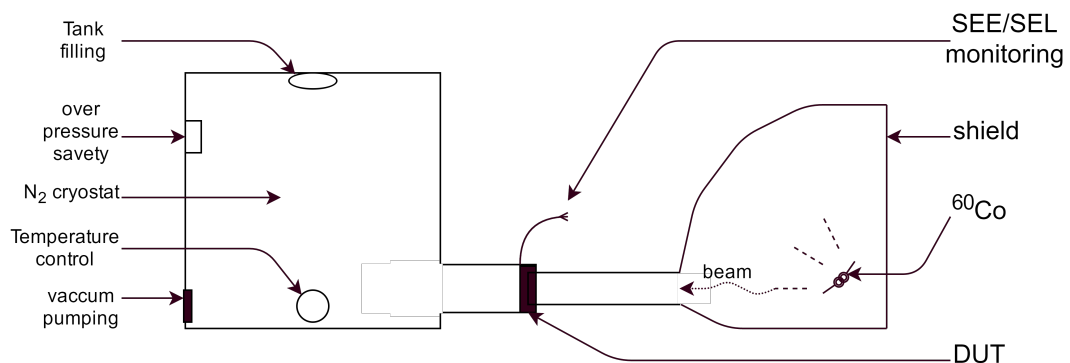


FIGURE 3.6: Banc de mesure cryogénique avec radiation.

Deuxième partie

Electronique de lecture pour
fluxmètre de JUICE

Chapitre 4

Instrument de mesure et besoins

Sommaire

4.1	Le fluxmètre	73
4.1.1	Les capteurs magnétiques	73
4.1.2	Fonctionnement du fluxmètre	74
4.1.3	Le fluxmètre développé par le LPP pour JUICE	75
4.2	Performances instrumentales exigées pour la mission JUICE	78
4.2.1	Contraintes supplémentaires	79
4.3	Description générale du circuit de lecture	79

4.1 Le fluxmètre

4.1.1 Les capteurs magnétiques

Des capteurs magnétiques, fonctionnant selon différents principes, existent possédant des caractéristiques qui leur sont propres avec des plages de mesure et des résolutions différentes [43][44].

4.1.1.1 Capteur à effet Hall

“Un courant électrique traversant un matériau baignant dans un champ magnétique, engendre une tension perpendiculaire à ce dernier.”

Herbert Hall.

Le capteur à effet Hall est un capteur inductif permettant de mesurer les variations de champ magnétique, basé sur la force de Lorentz :

$$\vec{F} = q \cdot (\vec{E} + \vec{v} \wedge \vec{B}) \quad (4.1)$$

La figure 4.1 représente le schéma de principe d'un capteur à effet Hall. \vec{B} représente le champ magnétique appliqué perpendiculairement à la surface. Lorsque l'on fait parcourir un courant entre les électrodes e_1 et e_2 , le long de l'axe E_x , une tension entre e_3 et e_4 est générée.

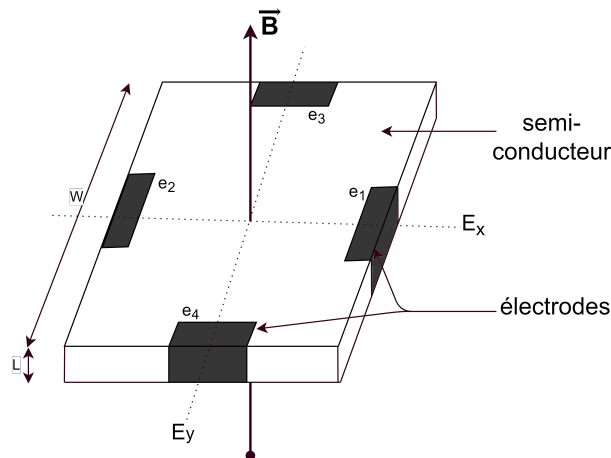


FIGURE 4.1: Schéma explicatif d'un capteur à effet Hall.

Dans la littérature, ce capteur est très présent. Il peut atteindre des fréquences jusqu'à 100kHz mais présente une faible précision. L'article [45] présente un capteur de Hall intégré sur une technologie CMOS standard de $2.4 \times 2.4 \mu\text{m}^2$.

4.1.1.2 Magnétorésistance

La magnétorésistance est la propriété que possèdent certains matériaux de présenter une résistance qui évolue lorsqu'ils sont soumis à un champ magnétique. Une magnétorésistance géante (GMR) possède une structure composée d'une alternance de films minces entre couches ferromagnétiques et couches non magnétiques. Les deux couches ferromagnétiques adjacentes ont une aimantation antiparallèle qui résulte d'un couplage antiferromagnétique. Un renversement d'aimantation s'opère lorsqu'un champ magnétique externe est appliqué [46] et provoque une diminution brutale de la résistance de la multicouche. Le champ magnétique fait varier le sens d'aimantation des matériaux et permet de faciliter ou de s'opposer au passage des électrons pour un spin donné, comme le montre la figure 4.2.

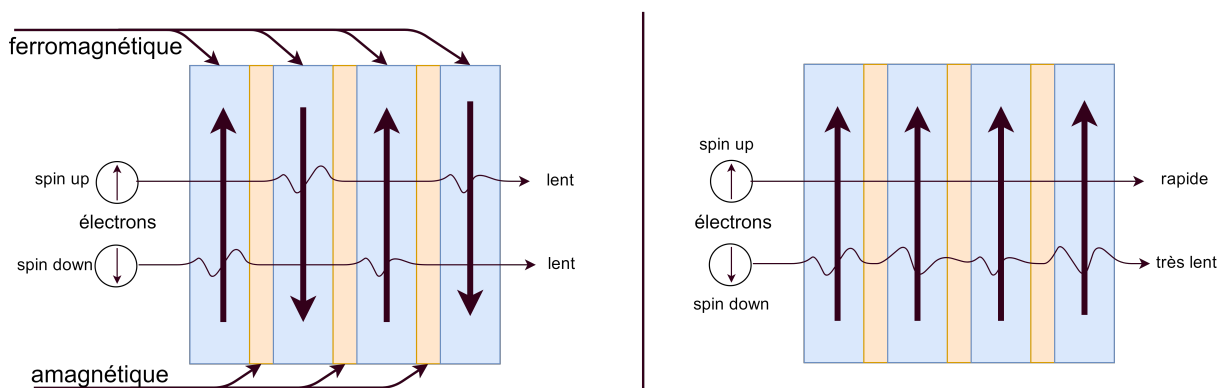


FIGURE 4.2: Schéma d'une magnétorésistance géante. A gauche, la structure générale soumise à aucun champ magnétique, à droite un champ magnétique aligne l'aimantation des couches ferromagnétiques dans la même direction.

4.1.1.3 Magnétomètre à induction

Un magnétomètre à induction permet de mesurer les composantes magnétiques des ondes électromagnétiques. Il se compose d'un capteur, le fluxmètre, ainsi que d'un circuit de conditionnement électronique mesurant la différence de potentiel aux bornes de la bobine.

4.1.2 Fonctionnement du fluxmètre

Les fluxmètres (searchcoil en anglais) sont en général tri-axe de façon à restituer la phase et l'intensité du champ magnétique. La structure générale du fluxmètre est décrite figure 4.3. Chacun de ses axes fournit des informations sur les variations d'intensité du champ magnétique dans chacune de leur direction. Les axes sont basés sur un noyau de ferrite entouré de plusieurs milliers de spires de fil de cuivre permettant de mesurer les

plus faibles variations du champ magnétique.

Lorsque le fluxmètre est plongé dans un champ magnétique \vec{H} , un champ magnétique \vec{B} amplifié d'un facteur k se forme dans le noyau ferromagnétique. D'après la loi de Lenz-Faraday, on en déduit la force électromotrice ϵ induite par la variation du flux magnétique \vec{B} , noté ϕ :

$$\epsilon = -\frac{d\phi}{dt} \quad (4.2)$$

Le fluxmètre peut être représenté par un modèle électrique équivalent composé d'un circuit RL série en parallèle d'une capacité C tel que :

$$\left\{ \begin{array}{l} R = 4 \cdot \phi \cdot N \frac{d + \frac{N(d_f + t)^2}{l_f}}{d_f^2} \\ L = \lambda \cdot N^2 \cdot \mu_0 \cdot G_{mag} \cdot \frac{S}{l_f} \\ C = \frac{\pi \cdot \epsilon_0 \cdot \epsilon_r \cdot l_f}{t \cdot (n_p - 1)} (d + 2 \cdot n_p (d_f + t)) \end{array} \right. \quad (4.3)$$

ϕ représente la résistivité du matériau, N le nombre de spires, d le diamètre de la partie bobinée du noyau, d_f le diamètre du fil de bobinage, l_f la longueur du fil de bobinage, t l'épaisseur de l'isolant, λ le facteur de correction $(l/l_f)^{2/5}$, μ_0 la perméabilité du vide¹, G_{mag} le gain, S la section du noyau ferromagnétique, ϵ_0 la permittivité du vide² et ϵ_r la permittivité relative du matériau.

Le tableau 4.1 résume les différentes caractéristiques des capteurs mentionnés. Le LPP a choisi l'utilisation du magnétomètre à induction car il permet une mesure vectorielle de grande résolution.

Type de capteur	Plage de mesure (mT)	Résolution (nT)	Bande passante (Hz)
Effet Hall	0.1 à $3 \cdot 10^4$	100	0 à 100M
Magnétorésistance	10^{-3} à 5	10	0 à 10M
Magnétomètre	10^{-4} à 0.5	0.1	10^{-3} à 30k

TABLE 4.1: Caractéristiques des principaux capteurs magnétiques.

4.1.3 Le fluxmètre développé par le LPP pour JUICE

De nombreuses recherches ont été effectuées au LPP afin d'améliorer les performances du fluxmètre en modifiant la forme générale des axes, les matériaux utilisés, le nombre de spires, etc. [47] [48]

1. Perméabilité du vide : $\mu_0 = 1.25663706 \cdot 10^{-6} m \cdot kg \cdot s^{-2} \cdot A^{-2}$.
 2. Permittivité du vide : $\epsilon_0 = 8.85418782 \cdot 10^{-12} A^2 \cdot s^4 \cdot kg^{-1} \cdot m^{-3}$.

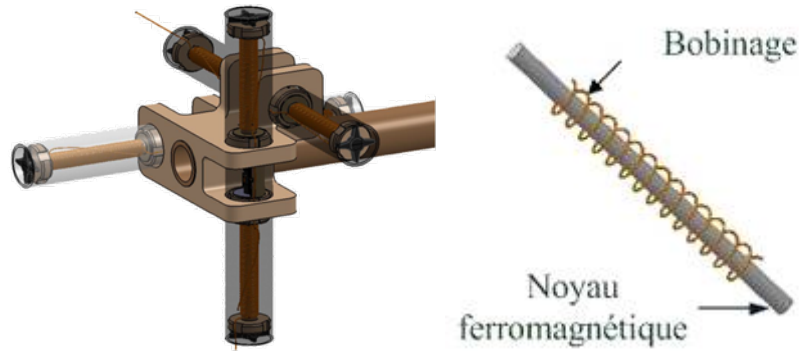


FIGURE 4.3: A gauche on montre la structure générale d'un fluxmètre 3 axes, à droite le schéma simplifié de l'un des axes.

Le capteur se compose de trois axes perpendiculaires composés chacun d'un noyau ferromagnétique de forte perméabilité et de deux bobinages, munis d'un blindage électrostatique. L'antenne permet de caractériser les composantes magnétiques des ondes dans la bande 0.1Hz - 20kHz. Les caractéristiques de l'instrument de la mission JUICE sont données dans le tableau 4.2. Il a un bruit en entrée de l'ordre du femtoTesla (fT/\sqrt{Hz}).

Sensibilité à 10Hz	$700fT/\sqrt{Hz}$
Sensibilité à 100Hz	$70fT/\sqrt{Hz}$
Sensibilité à 1kHz	$7fT/\sqrt{Hz}$
Sensibilité à 4kHz	$4fT/\sqrt{Hz}$
Masse d'un capteur	$120gr/capteur$

TABLE 4.2: Caractéristiques de l'instrument de la mission JUICE

Pour arriver à de telles performances, ce fluxmètre possède une seconde bobine servant de contre-réaction de flux et permettant d'atténuer la résonance naturelle du premier bobinage afin d'éviter la saturation de l'instrument et d'avoir un gain constant sur 2-3 décades [49]. L'atout ajouté par la bobine de contre-réaction est montré figure 4.4, qui montre la fonction de transfert du fluxmètre avec et sans la contre-réaction de flux.

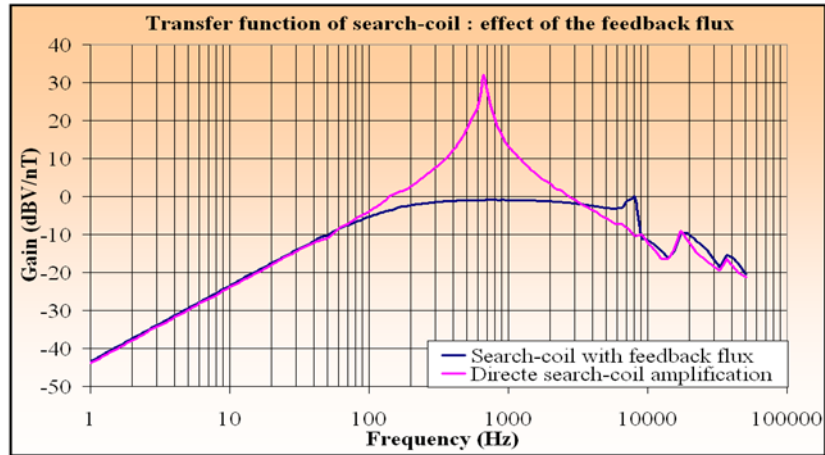


FIGURE 4.4: Fonction de transfert du fluxmètre de JUICE avec et sans la bobine de contre-réaction de flux.

La figure 4.5 montre la vue CAO 3D du fluxmètre de JUICE. Il possède trois axes perpendiculaires dans un boîtier de maintien dont le maximum de masse a été retiré tout en gardant une solidité maximale. On aperçoit le compartiment pour le PCB de lecture derrière, au plus proche du capteur.

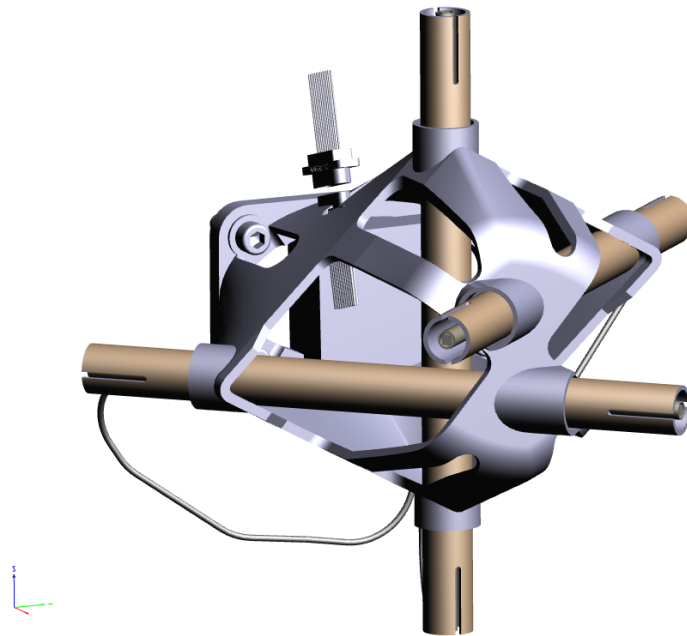


FIGURE 4.5: Fluxmètre de la mission JUICE.

Circuit électronique de mesure

Le fluxmètre est associé à une électronique pour faire un magnétomètre. Le circuit électronique mesure la différence de potentiel entre les deux extrémités et l'amplifie afin d'obtenir un signal puissant. La figure 4.6 montre l'évolution de la taille de ces circuits

de mesures pour différentes missions spatiales.

Depuis 2009, L2E et LPP collaborent pour développer des électroniques intégrées sur silicium, à la fois pour miniaturiser celles-ci et pour en améliorer les performances, tant en sensibilité qu'en consommation [50].

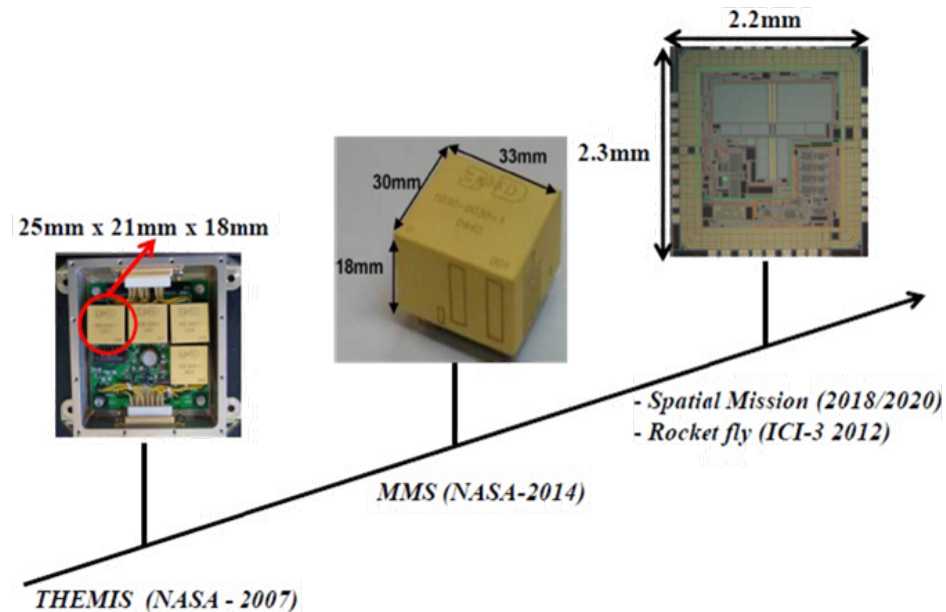


FIGURE 4.6: Évolution des circuits de lecture de magnétomètre à induction pour différentes missions spatiales

4.2 Performances instrumentales exigées pour la mission JUICE

Le circuit de lecture du magnétomètre à induction doit être capable de mesurer des variations de tensions de seulement quelques nV pour une bande de fréquence allant de 0.1Hz à plusieurs dizaines de kHz.

On souhaite mesurer des signaux à partir de 0.1Hz, correspondant à de très basses fréquences (proche du DC). À des fréquences aussi basses (<10Hz) - en CMOS principalement - le bruit Flicker (bruit en $1/f$) est très grand et dégrade considérablement les performances. Il est par conséquent difficile d'atteindre une telle performance à de si basses fréquences, limitée par le bruit comme le montre la figure 6.20 dans la section traitant du bruit.

4.2.1 Contraintes supplémentaires

Des contraintes telles que le poids et la consommation entrent également en jeu. Les performances doivent permettre de lire des courants générés par des champs électromagnétiques de quelques fT/\sqrt{Hz} .

4.3 Description générale du circuit de lecture

Le rôle du circuit de lecture est de lire les variations très faibles de tension aux bornes des bobines et de les amplifier avant d'envoyer ces signaux amplifiés au circuit de numérisation qui se trouve au bout d'un câble pouvant atteindre 20m de long. Un circuit de calibration est également présent pour caractériser précisément notre instrument en vol à un instant donné, lorsqu'il est soumis à une température cryogénique précise et avec une dose absorbée donnée.

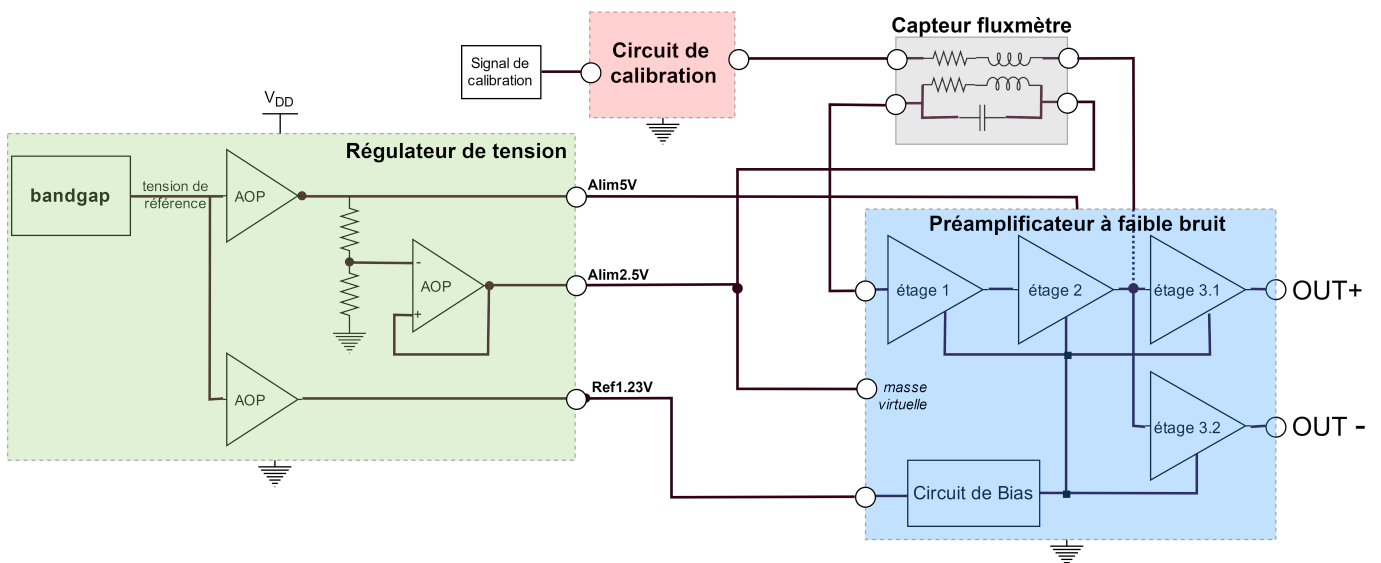


FIGURE 4.7: Vue générale de l'ASIC JuiceMagIC.

L'instrument de mesure se compose des blocs suivant, comme le montre la figure 4.7 :

- un *bandgap* ;
- un régulateur de tension ;
- un préamplificateur à faible bruit ;
- un circuit de calibration.

Le bandgap et le régulateur de tension sont alimentés par une tension délivrée par la carte LFR du satellite de 5.5V.

La tension délivrée par le satellite a beaucoup changé mais il a été établi que notre circuit ne pouvait recevoir une tension supérieure à 5.5V. Cette tension correspond à la tension maximale autorisée par la technologie entre la polarisation du caisson N - des PMOS - et celle du substrat - relié à la masse.

Le bandgap permet de définir une tension de référence présentant de faibles variations avec la température. Il fait partie d'une étude particulière dans le chapitre qui suit car il correspond à l'une des difficultés principales pour notre circuit : la variation de température entre -200 ° C et +27 ° C.

Le régulateur de tension utilise cette tension de référence afin de délivrer :

- une tension d'alimentation régulée pour les autres blocs de 4.8V : appelé "**Alim5V**";
- une tension de référence correspondant à la masse virtuelle du signal de $\frac{\text{"Alim5V"}}{2}$ V précisément : appelé "**Alim2.5V**";
- un courant de polarisation de 320 μ A généré à partir d'une tension de référence de 1.23V appelé "**Ref1.23V**".

Le préamplificateur très faible bruit permet d'amplifier le signal provenant du searchcoil avec un gain très important et un bruit très faible.

Enfin, un circuit de calibration est également présent afin de calibrer l'instrument en vol. Des signaux de différentes fréquences et différentes amplitudes sont envoyés dans la boucle de contre-réaction du magnétomètre. On augmente ainsi la précision des mesures en connaissant la dérive des caractéristiques de notre instrument dans le temps.

Chapitre 5

Bandgap, circuit critique à basse température

Sommaire

5.1	l'“Application-Specific Integrated Circuit” (ASIC)	82
5.1.1	Les références de tension dans la littérature	82
5.1.2	Circuit de bandgap tout CMOS	83
5.1.3	ASIC bandgap	84
5.2	Banc de mesure	86
5.3	Mesures et observations	87
5.4	Validation des modèles	89

5.1 l'“Application-Specific Integrated Circuit” (ASIC)

Afin de générer une tension de référence très stable avec la température, avec uniquement des transistors CMOS, pour une meilleure tenue aux radiations, une étude est menée sur le circuit critique de bandgap.

5.1.1 Les références de tension dans la littérature

La majorité des architectures de bandgap présentes dans la littérature utilisent des transistors bipolaires [51]. Étant donné que V_{BE} diminue approximativement linéairement avec la température, T , tandis que V_T augmente linéairement avec la température (PTAT¹), un V_{REF} à basse température peut être obtenu en augmentant le V_T et en l'additionnant à V_{BE} (CTAT²).

$$PTAT : \frac{\delta V_{BE}}{\delta T} = -\alpha, \frac{\delta V_t}{\delta T} = \beta, \text{ tel que } \alpha = G_{cst} \cdot \beta. \quad (5.1)$$

$$CTAT : \frac{\delta V_{out}}{\delta T} = G_{cst} \cdot \frac{\delta V_t}{\delta T} + \frac{\delta V_{BE}}{\delta T} = G_{cst} \cdot \beta - \alpha = \alpha - \alpha = 0. \quad (5.2)$$

Ce fonctionnement utilise l'énergie de bandgap du silicium comme référence. L'énergie de bandgap est directement liée à l'espacement interatomique. L'augmentation de la température va provoquer une augmentation de l'amplitude des vibrations atomiques qui résulte en une augmentation de cette distance interatomique et une diminution de l'énergie de bandgap. Une modulation directe de la distance interatomique (pression, extension) va également modifier l'énergie de bandgap du matériau. L'énergie de bandgap du silicium intrinsèque [52] est de 1.17eV à 0K, 1.15eV à 150K et 1.124eV à température ambiante. Cela permet d'atteindre une tension V_{REF} autour de 1.205V. Ces bandgaps ont des références variant typiquement autour de 25-50ppm/K [53]. Une étude récente [54] permet d'atteindre 4ppm/K mais nécessite une étape de laser trimming en post-process. Enfin, dans l'article [55] les auteurs atteignent une précision inférieure au ppm/K après screening entre 5 ° C et 70 ° C.

Des études plus récentes présentent des références de tension uniquement à base de CMOS standard [56] [57].

-
1. Proportional To Absolute Temperature (PTAT)
 2. Complementary To Absolute Temperature (CTAT)

5.1.2 Circuit de bandgap tout CMOS

Nous utilisons un circuit de bandgap hérité de *E-ASIC*, développé conjointement par le LPP et le L2E pour une précédente mission spatiale (Solar Orbiter - ESA), dont la schématique est donnée figure 5.1. Il a été adapté pour la mission spatiale JUICE [58]. Il fonctionne avec une tension d'alimentation de 5V et une gamme de température évoluant autour des 130 Kelvins. Ce bandgap devra également générer une tension acceptable à 300K pour le circuit de lecture complet afin de le tester à température ambiante. La tolérance du LNA sur les variations des tensions de références est estimée autour de 200mV mais une marge importante doit être prise en compte.

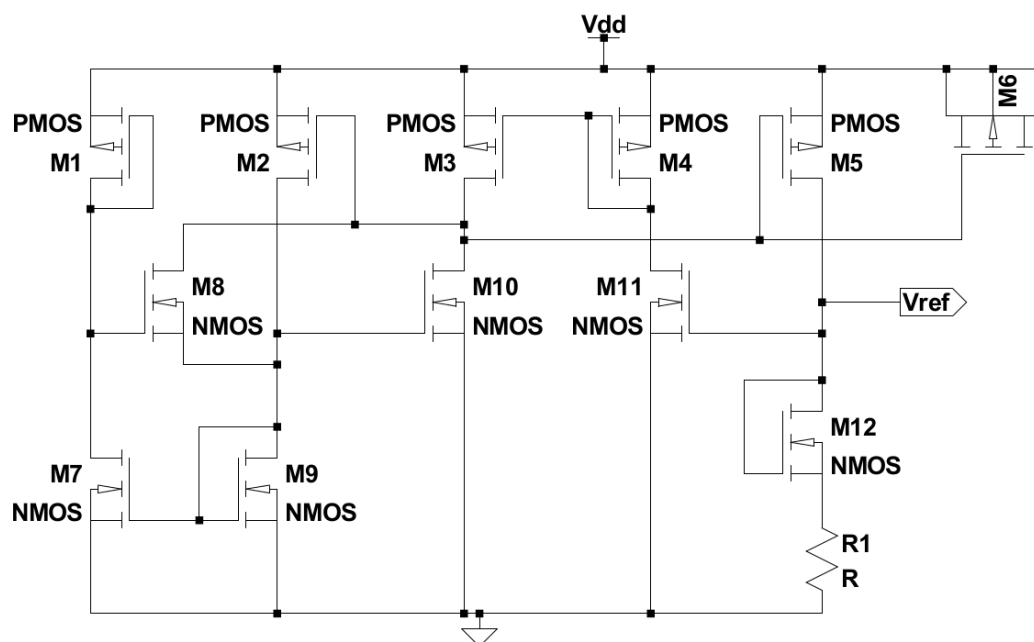


FIGURE 5.1: Schématique du circuit de référence tout CMOS.

Un circuit de startup est nécessaire pour s'assurer d'être dans le bon état. En effet, au démarrage, le bandgap a deux états possibles, l'ajout d'un sous-circuit permettant de forcer l'état désiré est nécessaire. C'est le rôle du transistor M8 de la figure 5.1, l'article [51] décrit une méthode pour réaliser un circuit de startup à partir d'un unique NMOS.

La tension de sortie V_{ref} est donnée par le transistor monté en diode M12 auquel s'ajoute la tension aux bornes de la résistance R1. La valeur de la résistance R1 diminue avec la température (voir section 2.2.1.2) et le V_{DS} du transistor M12 évolue inversement à la résistance en suivant la tension de seuil (voir section 2.2.2.3). Il faut choisir les valeurs appropriées pour que ces variations se compensent et ainsi minimiser la dérive en tension

de V_{ref} . Il est important de choisir un transistor NMOS car la dérive de sa tension de seuil avec la température est plus faible que pour un PMOS. Les autres transistors permettent d'assurer le maintien d'un courant constant dans la branche principale. Le miroir de courant formé par le transistor M5 fixe le courant dans la branche principale. Aucun courant ne doit sortir par V_{ref} pour ne pas modifier cette calibration et perturber le fonctionnement du circuit, c'est pourquoi il est nécessaire d'y ajouter un buffer en sortie de bandgap ou d'y connecter un circuit à haute impédance d'entrée.

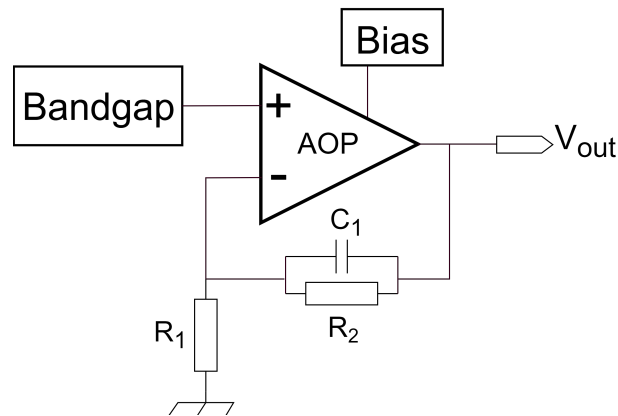


FIGURE 5.2: Génération de la tension de référence avec un amplificateur non-inverseur.

Le circuit d'amplification, montré figure 5.2 permet ensuite de générer la tension précise voulue. Le gain de cet amplificateur est défini en externe, dépendant du ratio entre R_1 et R_2 selon l'équation 5.3, afin de générer la tension désirée de 1.23V correspondant à l'une des tensions de référence du circuit final.

$$G_v = 1 + \frac{R_2}{R_1} \quad (5.3)$$

5.1.3 ASIC bandgap

On étudie l'architecture du bandgap sous quatre versions différentes. Deux d'entre elles utilisent des transistors standards à grilles droites tandis que les deux autres sont réalisées à base de transistors en anneaux. Chacune d'elle possède des dimensions de transistors qui leurs sont propres.

Le tableau 5.1 représente les différences entre ces bandgaps. On a un facteur d'échelle entre les deux versions composées de transistors standards, car la multiplication par cinq des dimensions de W/L des transistors permettent de rentrer dans la gamme des dimensions acceptées par le modèle extrait, décrit dans la section 2.2.2. Le bandgap réalisé à partir de transistors en anneaux est décliné en deux versions : l'un est optimisé

avec les modèles extraits des transistors en anneaux (*bg_ring_v2*) alors que le second possède les mêmes dimensions que le bandgap avec des transistors droits afin d'en étudier le comportement (*bg_ring_v1*).

	Nom	Transistors	Echelle
#1	Bg_droit_x1	Droits	x 1
#2	Bg_droit_x5	Droits	x 5
#3	Bg_ring_v1	En anneaux	x 1
#4	Bg_ring_v2	En anneaux	x 1

TABLE 5.1: Différences entre les quatre architectures de bandgap.

La table 5.2 donne les valeurs des composants pour chacun des bandgap. Entre les deux versions de bandgap en anneaux, seules les dimensions des transistors M1 et M12 ont été adaptées afin de contrôler l'évolution du courant avec M1 et la compensation en tension avec M12.

Composant	Type	Bg_droit_x1	Bg_droit_x5	Bg_ring_v1	Bg_ring_v2
M1	PMOS	10 μm /100 μm	50 μm /500 μm	10 μm /100 μm	10 μm /12 μm
M2	PMOS	60 μm /4 μm	150 μm /40 μm	60 μm /4 μm	60 μm /4 μm
M3	PMOS	60 μm /4 μm	150 μm /40 μm	60 μm /4 μm	60 μm /4 μm
M4	PMOS	60 μm /4 μm	150 μm /40 μm	60 μm /4 μm	60 μm /4 μm
M5	PMOS	60 μm /4 μm	150 μm /40 μm	60 μm /4 μm	60 μm /4 μm
M6	PMOS	80 μm /40 μm	400 μm /200 μm	80 μm /40 μm	80 μm /40 μm
M7	NMOS	20 μm /1 μm	100 μm /5 μm	20 μm /1 μm	20 μm /1 μm
M8	NMOS	10 μm /1 μm	50 μm /5 μm	10 μm /1 μm	10 μm /1 μm
M9	NMOS	20 μm /4 μm	50 μm /40 μm	20 μm /4 μm	20 μm /4 μm
M10	NMOS	20 μm /4 μm	50 μm /40 μm	20 μm /4 μm	20 μm /4 μm
M11	NMOS	20 μm /4 μm	50 μm /40 μm	20 μm /4 μm	20 μm /4 μm
M12	NMOS	240 μm /4 μm	600 μm /40 μm	240 μm /4 μm	160 μm /4 μm
R1	Résistance	5 k Ω	5 k Ω	5 k Ω	5 k Ω

TABLE 5.2: Caractéristiques des composants du circuit de bandgap présenté sur la figure 5.1.

Une photographie de l'ASIC bandgap est présentée en figure 5.3 et montre la répartition des quatre bandgaps sur la puce de 2mm x 1.4mm. Cette puce possède 14 plots permettant l'accès aux sorties, de définir le gain des amplificateurs en externe mais également pour monitorer les tensions en divers points du circuit.

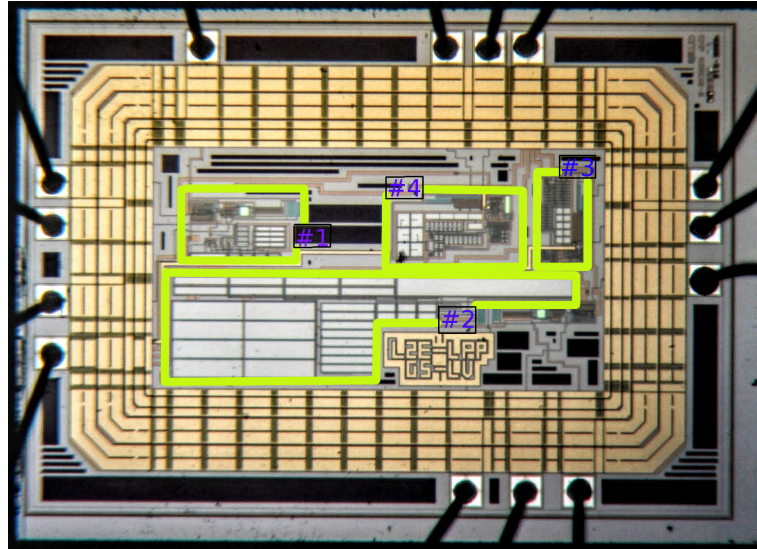


FIGURE 5.3: Photographie de l'ASIC bandgap au travers d'un microscope. Les quatre bandgaps sont entourés en vert et numérotés de "#1" à "#4" selon la désignation présentée dans le tableau 5.1.

5.2 Banc de mesure

Le banc de mesure donné figure 5.4 est mis en place afin de caractériser le circuit intégrant les bandgaps. Il permet de réaliser des mesures précises de tensions en fonction de la température entre 77K et 300K.

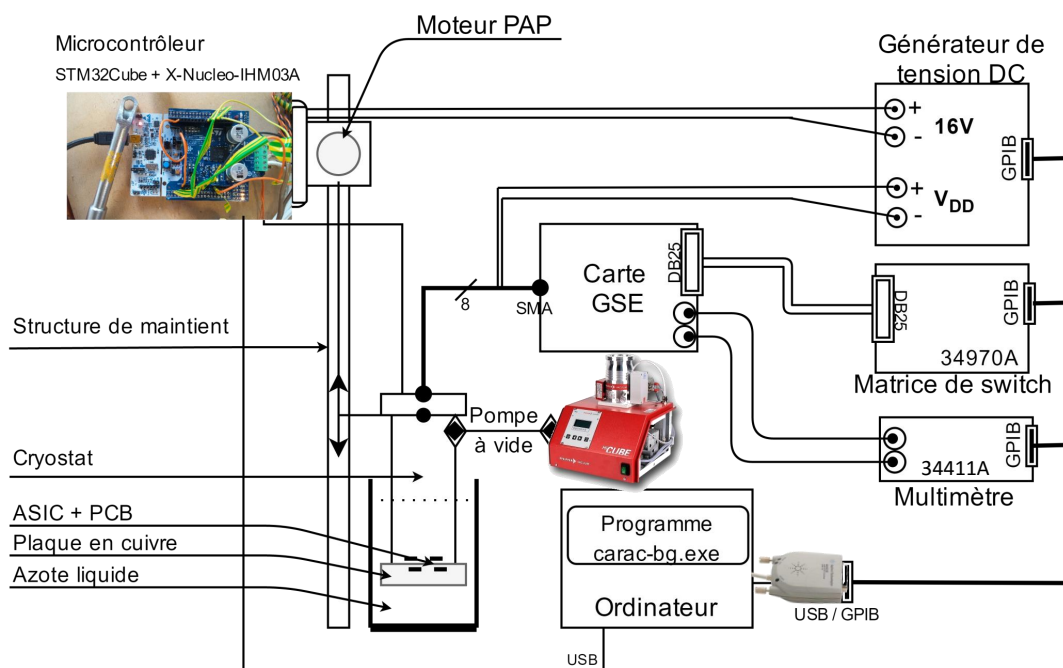


FIGURE 5.4: Banc de mesure de l'ASIC bandgap à basse température.

Afin d'atteindre la température d'ébullition de l'azote liquide, on réutilise le banc décrit section 2.1. Le circuit, enfermé dans un cryostat, est plongé dans l'azote liquide. La profondeur est pilotée par un microcontrôleur afin de réaliser des paliers. Un générateur de tension alimente les bandgap, pendant qu'un multimètre de précision mesure la tension au point sélectionné par la matrice de switch. L'ensemble des instruments est géré par un programme afin de rendre le banc entièrement automatisé.

Une mesure réalisée directement en sortie de bandgap, au point V_{REF} de la figure 5.1, provoque une oscillation du circuit. Afin de connaître sa valeur précise, on utilise un suiveur à très haute impédance d'entrée.

5.3 Mesures et observations

Nom	ΔT (° C)	ΔV (mV)	
		ampli gain x1.6 (ampli suiveur)	Dérive thermique (ppm/° C)
#1 Bg_droit_x1	[-180 ; +20]	464	2320
	[-180 ; -80]	77	770
#2 Bg_droit_x5	[-180 ; +20]	85 (56)	425 (280)
	[-180 ; -80]	7 (5)	70 (50)
	[-180 ; -120]	1 (<1)	17 (10)
#3 Bg_ring_v1	[-180 ; +20]	210	1050
	[-180 ; -120]	40	666
#4 Bg_ring_v2	[-180 ; +20]	42	210
	→ Cloche centrée en 0 ° C.		

TABLE 5.3: Mesures des variations de la tension de référence en fonction de la température.

La table 5.3 récapitule les mesures de variation de la tension de référence sur différentes plages de température. On remarque que le bandgap avec des transistors standards possédant des transistors de petits W/L, sortant de la gamme du modèle, ne donne pas de résultats satisfaisants. Le bandgap en anneaux dimensionné avec les mêmes valeurs ne donne également pas de bons résultats. Comme attendu, les résultats sont très différents entre les deux circuits de dimensions identiques mais l'un avec des transistors droits et l'autre possédant des transistors en anneaux. L'amplitude de la dérive est deux fois plus importante pour "Bg_droit_x1" et un offset de 150mV est observé entre les deux.

Parmi les deux autres bandgaps, on arrive à de bonnes performances sur l'ensemble de la plage :

- avec les transistors en anneaux, on a 42mV de variation sur 200°. Comme le montre la courbe 5.6, la zone où le circuit a la meilleure stabilité se situe à température ambiante.
- le bandgap avec les transistors droits, quant à lui, respecte bien les performances attendues. Autour des -130°C, la tension délivrée est stable et varie de moins d'1mV. On atteint de très bonnes performances, avec une dérive thermique inférieure à 10ppm/K sur les 60°C qui nous intéressent (entre 100K et 160K).

La figure 5.5 montre une bonne corrélation entre les mesures et la simulation. Sur cette figure, la mesure a subi un offset de +55mV afin d'observer la bonne correspondance entre les allures des deux courbes.

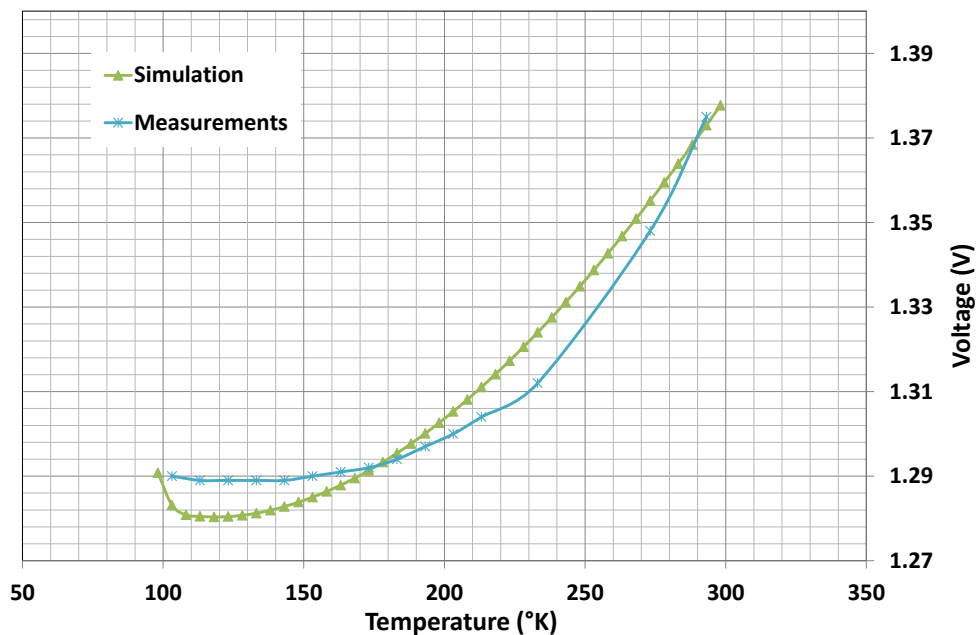


FIGURE 5.5: Simulation et mesure de la tension délivrée par un bandgap à transistors standards en fonction de la température.

La figure 5.6 représente le résultat de la mesure du bandgap avec des transistors en anneaux, le “Bg_ring_v2”. On mesure la tension en sortie d’amplification, entre 77K et 300K pour une tension d’alimentation variant entre 4.5V et 5.5V. Les variations de V_{DD} n’affectent que peu le fonctionnement du bandgap. Sur 1V de variation d’alimentation, la tension de référence ne varie que de 5mV dans le pire cas, à température ambiante.

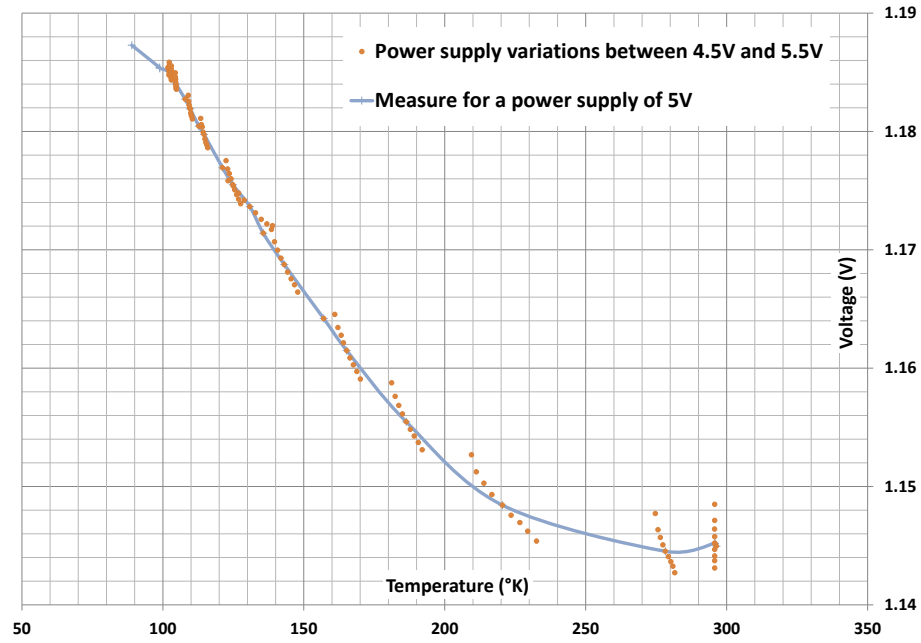


FIGURE 5.6: Mesure de la tension délivrée par un bandgap en fonction de la température, réalisé avec des transistors en anneaux pour une tension d'alimentation entre 4.5V et 5.5V.

Le courant total mesuré pour l'alimentation des quatre bandgaps est d'environ 6mA avec une variation de 1mA sur l'ensemble de la plage de température. Cela donne une consommation estimée de 7.5mW/bandgap. Pour la réalisation du circuit de lecture, le bandgap avec transistors droits "*Bg_droit_x5*" est retenu car il possède la meilleure prédiction avec le modèle, qu'il a de faibles variations sur l'ensemble de la plage de températures de 77K à 300K et atteint une précision de 10ppm/K autour 120K. Enfin, il est très peu sensible aux variations d'alimentation.

5.4 Validation des modèles

On obtient de bonnes performances si l'on respecte la gamme de dimensions des transistors établie pour le modèle extrait. Le modèle est cependant moins précis pour les transistors en anneaux notamment à cause de la contribution des coins, non implémentée dans les équations du modèle BSIM3.3.

Chapitre 6

Conception de l'ASIC JUICE MagIC

Sommaire

6.1	Description des différents blocs du front-end	91
6.1.1	Bloc de régulation de l'alimentation et génération des tensions et courants de références	91
6.1.2	Amplificateur faible bruit (LNA)	92
6.1.3	Bloc de calibration de l'instrument	96
6.2	Dessin des masques	98
6.2.1	Techniques utilisées	98
6.2.2	Layout du circuit à trois voies complet avec pads	99
6.3	Simulations du circuit complet	100
6.3.1	Effets simulés	100
6.3.2	Simulation en température	101
6.3.3	Simulation d'une variation de l'alimentation satellite	102
6.3.4	Simulations AC	103
6.3.5	Simulation du bruit	108
6.3.6	Simulations transitoires	112
6.3.7	Simulations Latin Hypercube et corners	114
6.3.8	Modèle électrique du SCM et simulations	116
6.4	Bilan de l'ASIC Juice MagIC	118

L'ASIC JUICE MagIC est le circuit de lecture du magnétomètre à induction pour la mission spatiale JUICE (ESA). Les détails de cette mission sont donnés section 0.1 et contraignent le fonctionnement du circuit intégré à des conditions extrêmes. Il est estimé que l'ASIC devra fonctionner à des températures variant autour de 130K et qu'il reçoive jusqu'à 500krads durant sa durée de vie. Pour les besoins scientifiques de la mission, il devra pouvoir mesurer des variations de tensions de quelques nV/\sqrt{Hz} entre 0.1Hz et 20kHz et être capable de transmettre cette information sur une ligne de 20m tout en fournissant un gain élevé, un faible poids et une faible consommation.

Dans ce chapitre, nous décrivons les caractéristiques du circuit, basées sur les études détaillées dans les précédents chapitres.

6.1 Description des différents blocs du front-end

La description générale du circuit de lecture est donnée au chapitre 4.3. Dans cette section, on présente le fonctionnement des principaux blocs : régulation de tensions, LNA et circuit de calibration.

6.1.1 Bloc de régulation de l'alimentation et génération des tensions et courants de références

Le bloc de régulation génère l'ensemble des tensions et des courants de polarisation nécessaire au bon fonctionnement de l'ASIC. Il convertit l'alimentation provenant du satellite, de 5.5V, en une tension régulée de 4.8V (V_{DD}) alimentant tous les autres blocs de la puce. Le circuit de régulation a également pour rôle de générer une tension de référence précise de $\frac{V_{DD}}{2} = 2.4V$ correspondant à la masse virtuelle du LNA. La vue simplifiée du régulateur de tension est représentée par la figure 4.7 en section 4.3. Ce bloc génère également une tension de référence de 1.23V stable en température, grâce au circuit de bangap présenté section 5, qui polarise l'un des étages du LNA en produisant un courant de précisément $320\mu A$, avec une tolérance de $+/- 20\mu A$. Ce courant de polarisation est produit par les circuits présentés en figure 6.1.

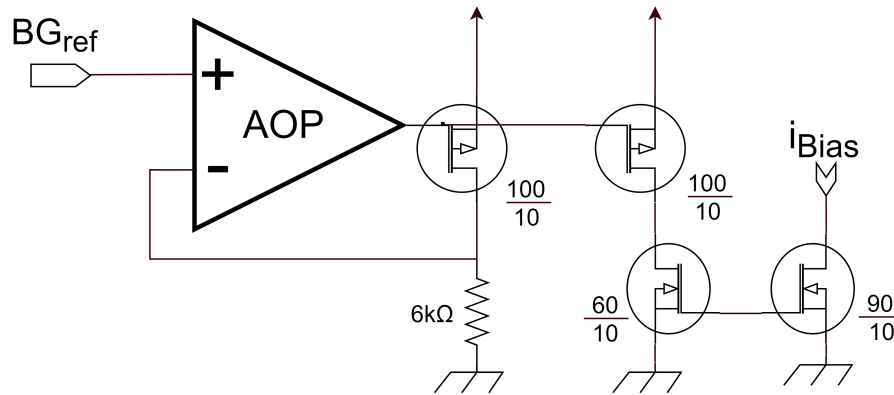


FIGURE 6.1: Circuit de polarisation réduit de JUICE MagIC.

6.1.2 Amplificateur faible bruit (LNA)

La formule de Friis, pour n étages d'amplification, nous donne la contribution en bruit de chacun des éléments mis en cascade :

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \frac{F_4 - 1}{G_1 \cdot G_2 \cdot G_3} + \dots + \frac{F_n - 1}{G_1 \cdot G_2 \cdot G_3 \cdot \dots \cdot G_{n-1}} \quad (6.1)$$

F_n correspond au facteur de bruit du n^{ime} élément et G_n son gain.

Le préamplificateur faible bruit est composé de trois étages successifs d'amplification afin de réduire au maximum le bruit tout en gardant un fort gain. La formule 6.1 nous indique l'importance de minimiser le bruit dans le premier étage car il aura la plus importante contribution.

6.1.2.1 Premier étage d'amplification

Cet étage doit avoir le bruit le plus faible possible. Pour cela, on utilise des transistors avec des largeurs de grille W très grandes afin de minimiser au maximum le bruit thermique et le bruit Flicker. L'augmentation des dimensions dans les PMOS, qui sont sur un substrat local épitaxié, a un impact plus important sur la diminution du bruit en $1/f$ comparés aux NMOS.

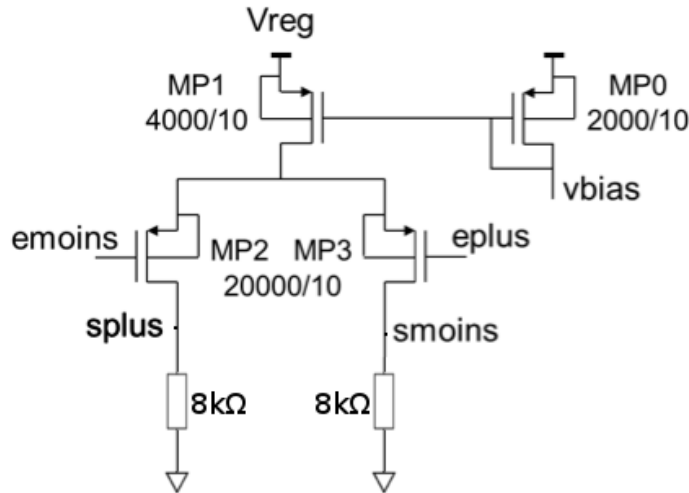


FIGURE 6.2: Schéma réduit de l'étage 1 du préamplificateur de JUICE MagIC.

la figure 6.2 représente le schéma de principe du premier étage d'amplification. Il se compose d'une simple paire différentielle mais les transistors la composant sont des PMOS de très grande taille (W/L de 20000/10 chaque). L'utilisation de transistors de cette dimension permet de réduire le bruit considérablement : bruit Flicker et bruit thermique. Le bruit $1/f$ des PMOS est plus faible que celui des NMOS pour des grands W/L . Un courant de polarisation de précisément $160\ \mu\text{A}$ alimente chacune de ses branches et des résistances de $8\ \text{k}\Omega$ servent de charge résistive. Les résistances utilisées ont une largeur de $40\ \mu\text{m}$ afin de minimiser leur bruit en $1/f$ et d'atteindre une grande précision, leur contribution en bruit thermique en sortie est, d'après l'équation $\overline{v_n^2}(f) = 4k_BTR\Delta f$, de $11.5\ \text{nV}/\sqrt{\text{Hz}}$ à température ambiante et de $5.8\ \text{nV}/\sqrt{\text{Hz}}$ à $77\ \text{K}$. Le bruit en tension équivalent à l'entrée du premier étage, en considérant la contribution de l'ensemble des composants, est de $3.7\ \text{nV}/\sqrt{\text{Hz}}$ à $10\ \text{Hz}$. Comme décrit dans la précédente section (6.1.2), le premier amplificateur est le plus critique pour le bruit. Cette configuration, ajoutée à un courant de polarisation précisément contrôlé, permet d'atteindre les performances en bruit désirées.

6.1.2.2 Second étage d'amplification

Le second étage permet d'augmenter le gain. Son bruit ramené en entrée du LNA étant divisé par le gain du premier étage, les dimensions des transistors qui le constituent peuvent être bien inférieures.

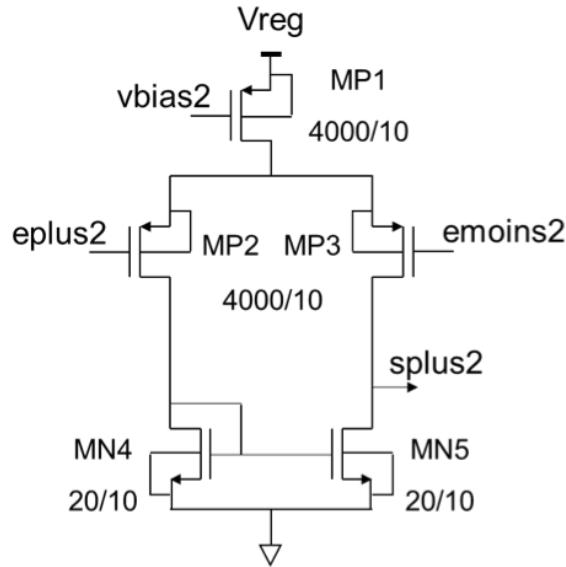


FIGURE 6.3: Schéma réduit de l'étage 2 du préamplificateur de JUICE MagIC.

Le schéma de la figure 6.3 représente l'étage 2 du LNA, il se compose également d'une paire différentielle formée par les deux PMOS MP2 et MP3, de charges actives avec les transistors NMOS MN4 et MN5 et de la source de courant MP1.

Les deux premiers étages sont reliés selon le schéma 6.4 afin de fournir un gain de 47dB. Une boucle de contre-réaction relie la sortie du second étage au premier afin de fixer son gain :

$$G_{\text{etage12}} = 20 \cdot \log \left(1 + \frac{R_2}{R_1} \right) = 20 \cdot \log (240) = 47\text{dB} \quad (6.2)$$

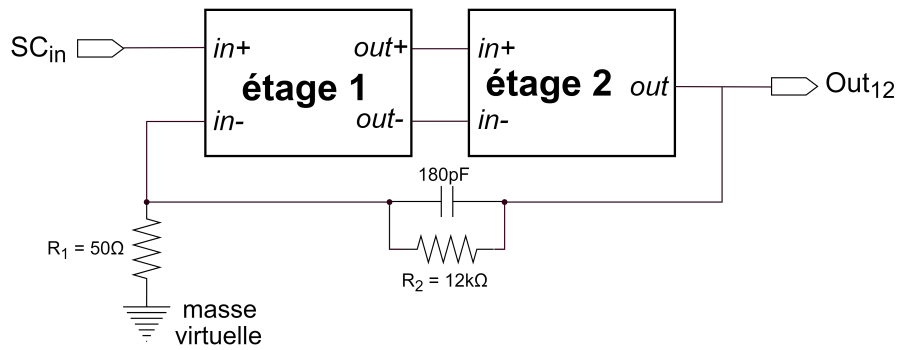


FIGURE 6.4: Schéma de connexion des deux premiers étages du LNA de JUICE MagIC.

6.1.2.3 Troisième étage d'amplification

Le dernier étage possède un gain ajustable à l'aide d'une résistance externe afin de définir avec précision le gain désiré. Dans la suite de l'étude, ce gain est fixé à 40dB, permettant

d'atteindre plus de 80dB de gain au total sur l'ensemble du LNA. L'architecture de l'amplificateur est donnée par la figure 6.5. Pour obtenir une sortie différentielle, cet étage est dupliqué. Sur cette figure, on observe la présence de deux transistors MP8 et MP9 montés en diode permettant d'empêcher des tensions supérieures à 3.3V en V_{GS} , V_{DS} , etc. aux bornes des MOSFETs de l'étage de sortie. Cela a comme effet négatif de diminuer la dynamique totale de sortie.

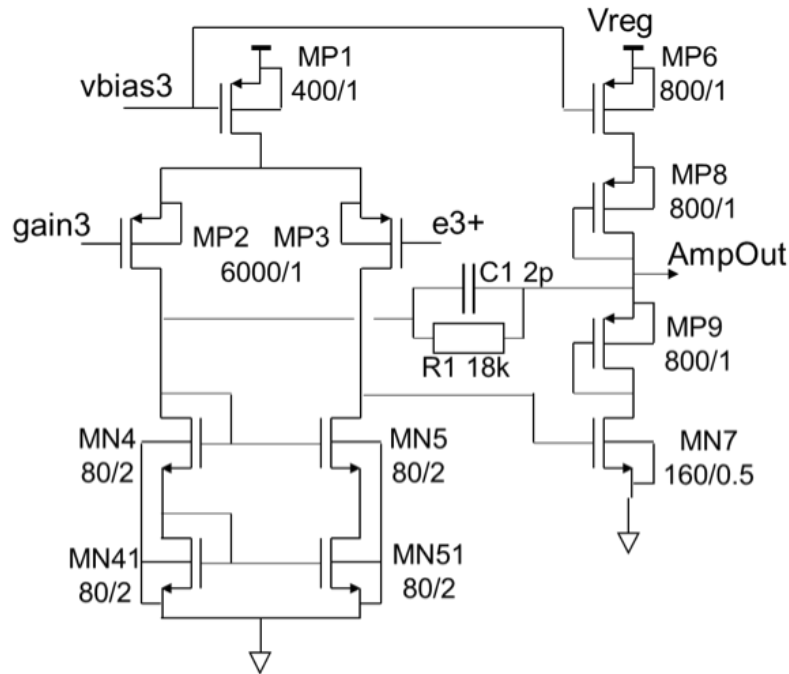


FIGURE 6.5: Schéma réduit d'un amplificateur de l'étage 3 du préamplificateur de JUICE MagIC.

La figure 6.6 montre le schéma de principe du troisième étage d'amplification. Il se compose de deux étages de la figure 6.5 pour :

- avoir une sortie différentielle. Cette sortie peut être pseudo-différentielle si on relie le point A à la masse virtuelle "Alim2.5V";
- compenser l'offset induit par les étages du LNA en déséquilibrant légèrement le rapport entre les résistances R_1 et R_2 . Physiquement, on l'implémente en ajoutant une résistance de quelques ohms du côté de R_1 ou de R_2 en fonction du signe de l'offset ;
- adapter le gain du dernier étage en jouant sur les valeurs des résistances externes R_{Gain1} et R_{Gain2} ;
- doubler le gain maximal d'un étage simple d'amplification.

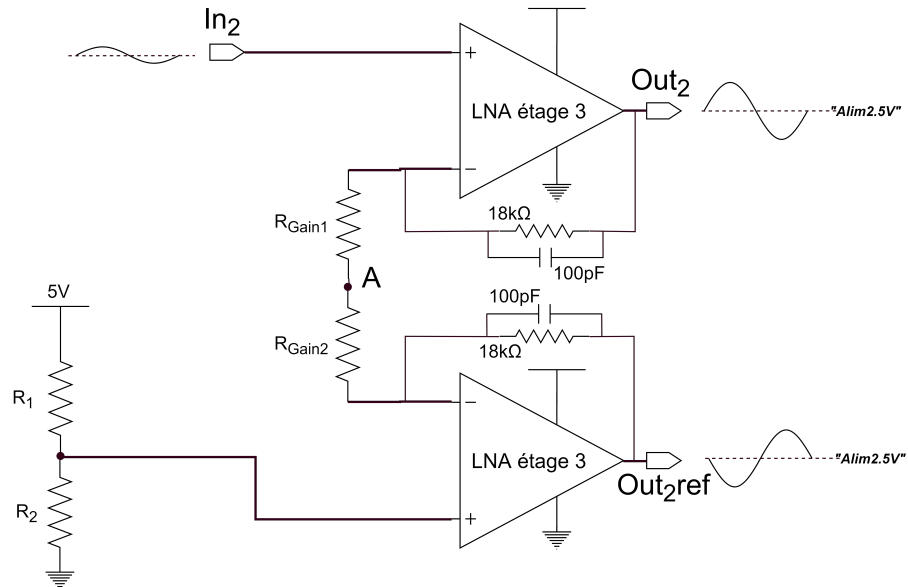


FIGURE 6.6: Connexion des deux amplificateurs pour former un troisième étage d'amplification à sortie différentielle compensée.

6.1.3 Bloc de calibration de l'instrument

L'instrument doit pouvoir être calibré en vol afin de connaître précisément ses caractéristiques à un moment donné. Pour ce faire, l'ASIC reçoit du module LFR¹ du satellite un signal de différente amplitude et de fréquence variant entre 10Hz et 10kHz. Le circuit de lecture doit atténuer ce signal et le centrer autour de la tension "Alim2.5V" avant de l'envoyer dans le bobinage secondaire du searchcoil. Une mesure de la tension aux bornes du bobinage primaire est ensuite réalisée avec le circuit de lecture détaillé précédemment et retourné au module LFR. Ces données sont récupérées afin d'en extraire les caractéristiques de l'instrument et d'interpréter correctement les mesures reçues depuis l'instrument.

1. Low Frequency Receiver (LFR)

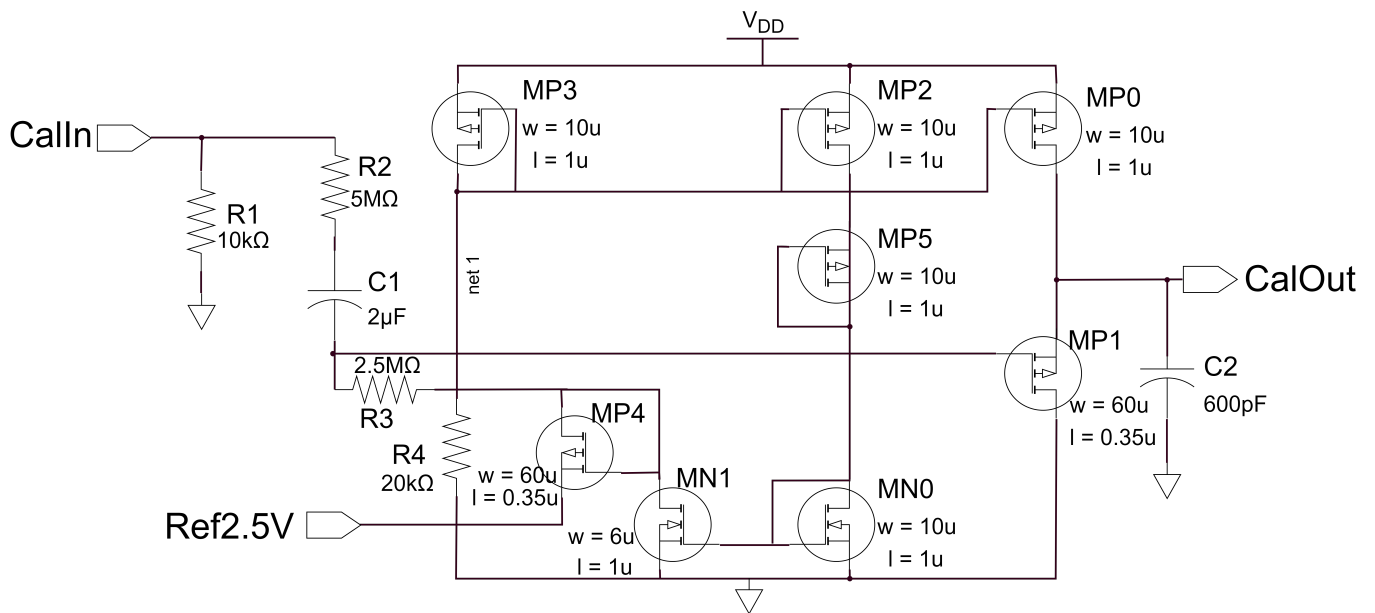


FIGURE 6.7: Schématique du buffer de calibration.

Le schéma du buffer de calibration est présenté figure 6.7. Le buffer de calibration se compose de :

- **R1**, qui permet d'adapter l'impédance d'entrée ;
- **R2** et **R3** forment un pont diviseur afin d'atténuer le signal ;
- **C1** coupe le signal continu ;
- **MP3** et **R4** fixe une tension en "net1", ce qui permet aux miroirs de courant **MP0**, **MP2** et **MN1** de recopier le courant traversant **R4** dans les autres branches ;
- **MP1** recopie le signal reçu par sa grille sur sa source selon un montage drain commun ;
- **MP4** recopie la tension "Alim2.5V" sur la sortie (point de polarisation).

Dans chacun de ces blocs, des transistors montés en diodes ont été incorporés afin de s'assurer qu'aucun transistor ne dépasse les tensions de polarisation maximale autorisé par le fondeur en régime établi. C'est-à-dire, que l'ensemble des tensions V_{DS} , V_{GS} , V_{SB} , V_{GB} et V_{DB} restent inférieure à 3.6V, à tout moment (démarrage, régime établi, etc.).

6.2 Dessin des masques

6.2.1 Techniques utilisées

Le dessin des masques du circuit a été optimisé afin d’en assurer les meilleures performances et de coller au plus près aux simulations du schéma. Les principales méthodes de conception utilisées sont présentées dans cette section.

6.2.1.1 Anneaux de gardes

Chaque transistor est implémenté avec un anneau de garde afin d’isoler les transistors les uns des autres et de permettre ainsi d’éviter les risques de latchup.

6.2.1.2 Résistances apairées

Dans notre circuit, certaines résistances sont critiques. C’est le cas du pont diviseur de tension qui permet de générer la masse virtuelle “*Alim2.5V*” à partir de la tension régulée “*Alim5V*”. Afin d’atteindre une bonne précision, on utilise des techniques spécifiques pour le dessin des masques :

- ajout de résistance “dummy”, ce qui permet d’éviter les surgravures et d’obtenir une valeur de résistance plus précise ;
- on n’utilise pas les “coudes” des résistances, on les relie par des fils de routage métallique ;
- leur largeur ne doit pas être trop étroite : plusieurs fois la largeur minimale ;
- utilisation d’un anneau de garde et d’un caisson N polarisé ;
- interdigiter les résistances à appairer.

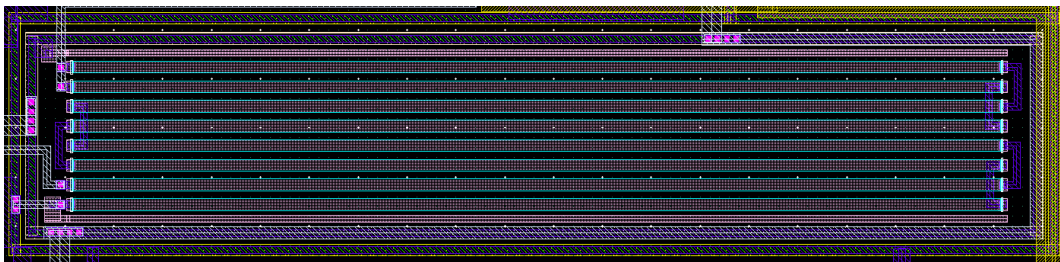


FIGURE 6.8: Dessin des masques du pont diviseur de tension de la régulation $\frac{\text{“Alim5V”}}{2}$.

La densité maximale de courant couramment admise est de $10^5 A/cm^2$. Compte-tenu des épaisseurs de métaux de la techno AMS 0.35 μm , il est recommandé de respecter 1mA/ μm au maximum et d'adapter la largeur des fils de routage en conséquence. Lors des changements de niveaux de métal, il est recommandé de placer une matrice de vias en respectant le ratio de densité de courant de 0.5mA/via.

6.2.2 Layout du circuit à trois voies complet avec pads

Les trois voies ont été complètement séparées, c'est à dire qu'elles ne partagent aucun bloc en commun, seul le substrat est partagé. Cela permet de rendre chaque voie la plus indépendante possible, de minimiser les cross-talk et dans le cas d'une défaillance dans l'une des voies, éviter que les autres soient affectées.

Les pads entourant le design des trois voies possèdent des diodes de protection (ESD) entre la masse et l'«*Alim5V*» régulée en interne. Ainsi, l'anneau de pad est séparé pour chacune des voies.

La figure 6.9 représente le dessin des masque de l'ASIC JUICE Magic complet avec les trois voies. On aperçoit également des capacités supplémentaires, en bas à droite, qui ont pu être intégrées afin d'optimiser la place. Elles correspondent aux capacités de feedback du LNA.

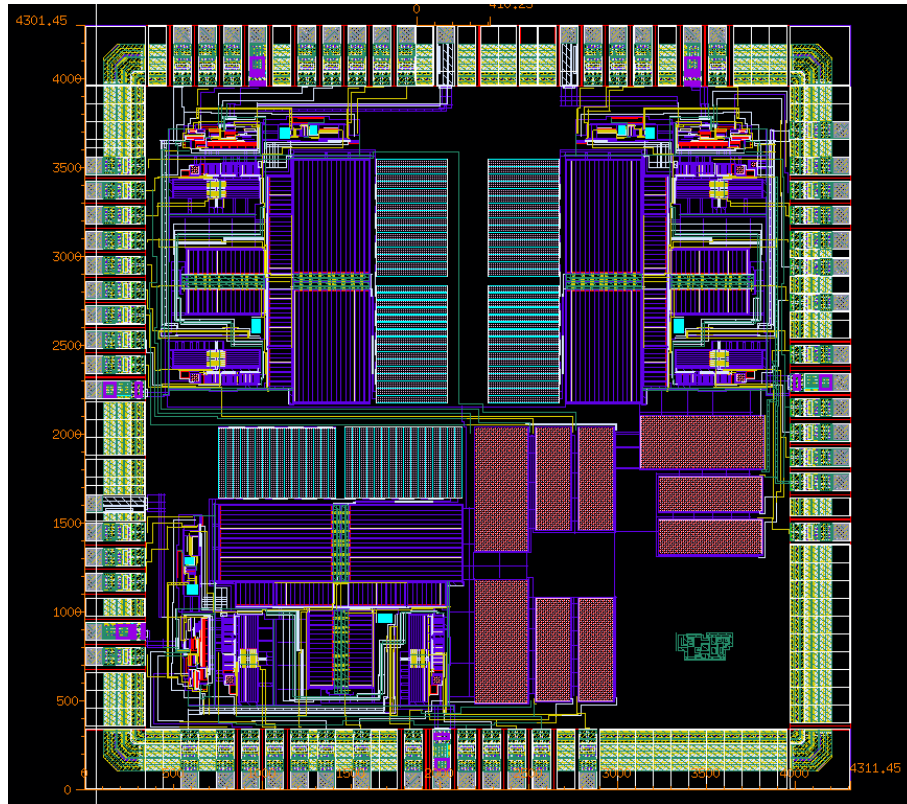


FIGURE 6.9: Dessin des masques de l'ASIC JUICE MagIC trois voies.

Le circuit est carré afin de rentrer dans le boîtier choisi, qualifié spatial, et de respecter les contraintes au niveau du bonding (rapport entre le diamètre des fils de bonding et de leur longueur). Il fait 4.3mm de côté, soit 18.5mm^2 .

Les voies ne sont pas orientées dans le même sens et les fils de routage les reliant aux pads sont également différents, des disparités de process sont attendues. Ces disparités ne sont pas critiques car chacune des voies sera calibrée séparément.

6.3 Simulations du circuit complet

6.3.1 Effets simulés

La simulation est faite en prenant en compte le circuit complet avec les plots. On ajoute également des inductances de 3nH pour simuler les fils de bonding. Des courants de fuite ont été ajoutés dans les plots, de quelques nA, pour simuler les courants de fuites dans les diodes de protection qui vont augmenter avec les radiations.

L'impédance du câble reliant l'instrument au satellite est également représentée. Puisqu'on se situe sur un bras à 10.2m de distance du satellite, on simule un câble de 20m de long car il faut prendre en compte que le câble fait de nombreux détours dans le satellite

et est enroulé autour du bras. Ce qui nous donne une résistance du câble de $8\text{k}\Omega$ et une capacité de 3.6nF . Au vu de la longueur du câble, la résistance série n'est pas à négliger pour l'alimentation car elle provoque une chute de tension au niveau du circuit de l'instrument, elle est de 10Ω .

6.3.2 Simulation en température

La figure 6.10 représente des simulations DC du schéma du circuit en fonction de la température. La simulation du schéma extrait du layout nous donne des courbes identiques avec un léger offset inférieurs à 50mV .

On observe les variations suivantes entre $-200\text{ }^\circ\text{C}$ et $+27\text{ }^\circ\text{C}$ pour :

- le courant : entre 6.4mA et 6.8mA ($\Delta I = 0.4\text{mA}$) ;
- l'alimentation "Alim5V" : entre 4.65V et 4.85V ($\Delta V = 200\text{mV}$) ;
- l'alimentation "Alim2.5V" : entre 2.3 et 2.4V ($\Delta V = 100\text{mV}$) ;
- la référence "Ref1.23V" : entre 1.22V et 1.28V ($\Delta V = 60\text{mV}$).

Si l'on se concentre sur la plage de fonctionnements élargie de $-160\text{ }^\circ\text{C}$ à $-100\text{ }^\circ\text{C}$ ($\Delta T = 60\text{ }^\circ\text{C}$), la dérive est très faible avec moins de 8mV sur l'"Alim5V" (soit $<4\text{mV}$ sur l'"Alim2.5V") et une dérive inférieure à 3mV sur la tension de référence.

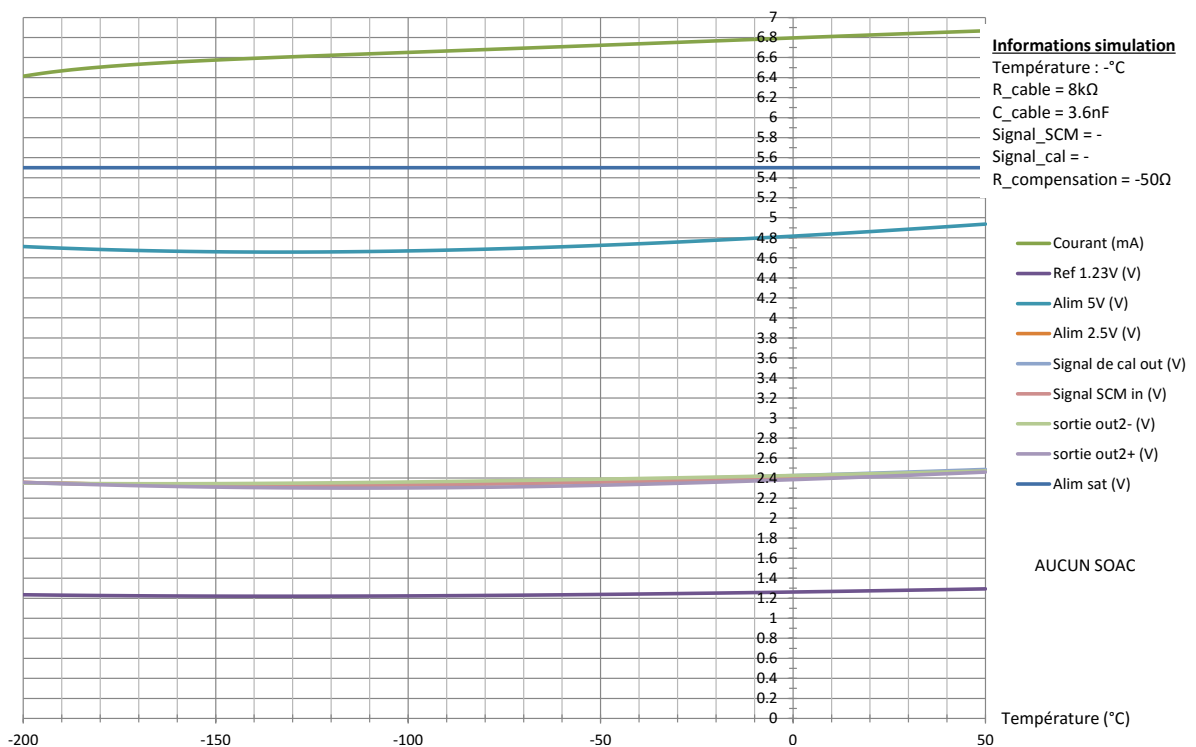


FIGURE 6.10: Simulation DC du schéma du circuit une voie en fonction de la température.

6.3.3 Simulation d'une variation de l'alimentation satellite

On souhaite que les performances du circuit ne soient pas affectées par les variations de l'alimentation fournies par le satellite. On reçoit normalement un 5.5V déjà régulé. La variation maximale attendue sur l'alimentation est entre 5.3V et 5.5V qui correspond à la zone en rouge sur la figure 6.11. Sur cette figure, on contrôle la stabilité des signaux lorsque l'on a des variations sur l'alimentation satellite. La simulation a été faite entre 4.5V et 6.5V, soit une plage très grande, afin de faire apparaître d'éventuels problèmes. Le circuit se comporte parfaitement sur l'ensemble de la plage. Lorsque la tension d'alimentation du satellite devient inférieure à " $Alim5V + \delta V$ ", l'alimentation du LNA ne décroche pas et suit l'alimentation du satellite à un δV près. Le δV correspond au V_{DS} du transistor de sortie du bloc de régulation et vaut environ 0.1V, mais est susceptible d'augmenter avec les radiations. La référence reste stable sur l'ensemble de la plage de tension.

On rappelle qu'au-dessus de 5.5V d'alimentation, les substrats de certains PMOS seraient à plus de 5.5V et la tension entre le caisson N de ces transistors et le substrat du wafer dépassera les 5.5V, correspondant à la tension maximale conseillée de fonctionnement.

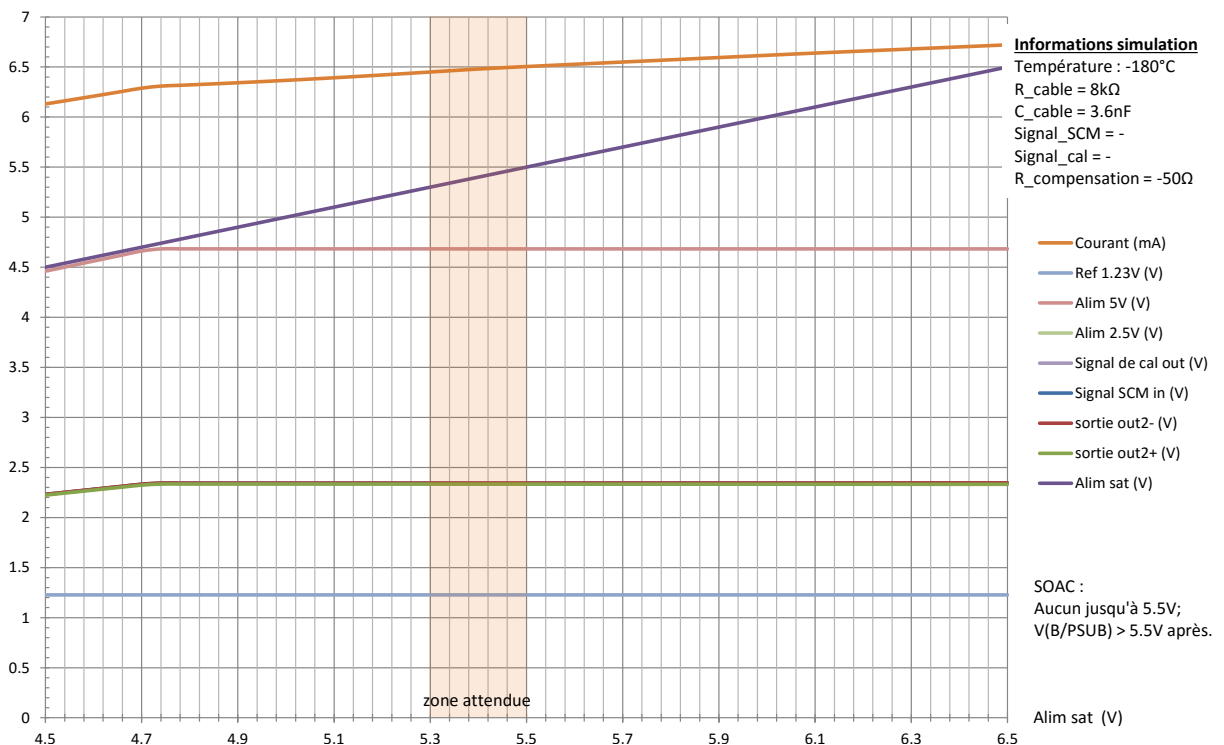


FIGURE 6.11: Simulation DC du schéma du circuit une voie en fonction de la tension d'alimentation à -180 ° C.

Des impulsions indésirables ont également été simulées sur l'alimentation satellite pour

étudier le comportement du système. La figure 6.12 représente le taux de réjection de l'alimentation. On observe une atténuation de 70dB en sortie de l'alimentation régulée jusqu'au kHz. On atteint le pire cas vers les 10kHz avec 63.5dB d'atténuation. Cette atténuation est suffisamment importante pour ne pas contribuer à l'ajout de bruit sur la chaîne d'amplification.

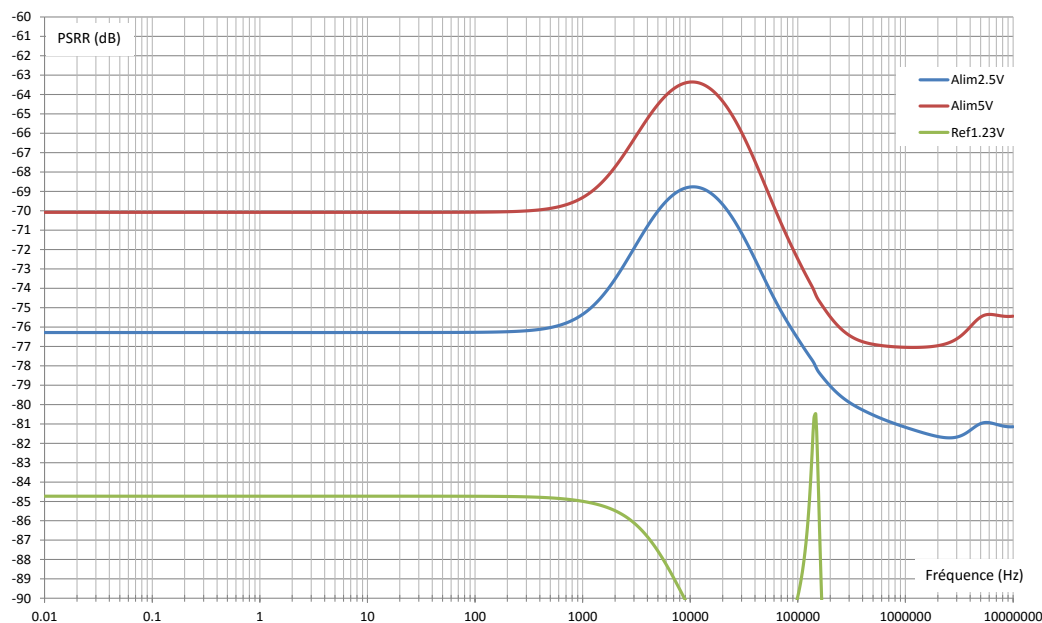


FIGURE 6.12: Power Supply rejection rate.

6.3.4 Simulations AC

6.3.4.1 Amplificateur en boucle ouverte

On étudie le gain et la phase des amplificateurs afin de les compenser pour qu'ils restent stables pour toute utilisation.

Etude de l'AOP du bloc de régulation en boucle ouverte

Cet amplificateur sera notamment utilisé dans un montage en suiveur et nécessite d'être correctement compensé pour éviter toute instabilité.

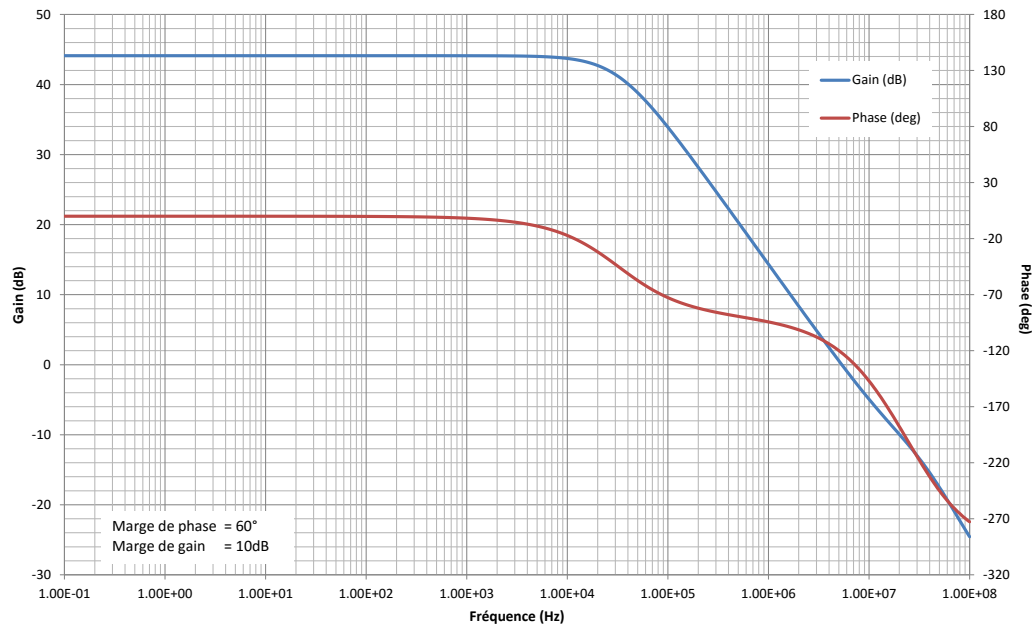


FIGURE 6.13: Diagramme de Bode de l'amplificateur "AOP2" en boucle ouverte.

L'amplificateur a été compensé avec :

- une marge de phase de 60° ;
- une marge de gain de 10dB.

Etude de l'amplificateur du "circuit de bias" en boucle ouverte

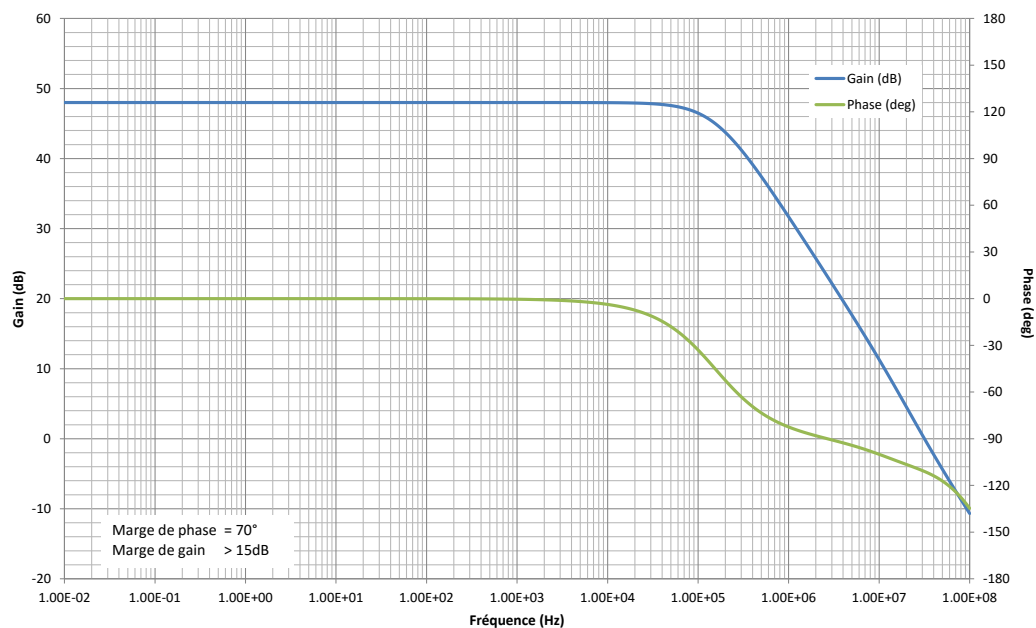


FIGURE 6.14: Diagramme de Bode de l'amplificateur "circuit de bias" en boucle ouverte.

L'amplificateur a été compensé avec :

- une marge de phase de 70° ;
- une marge de gain de $> 15\text{dB}$.

étude des étages 1 et 2 du LNA en cascade

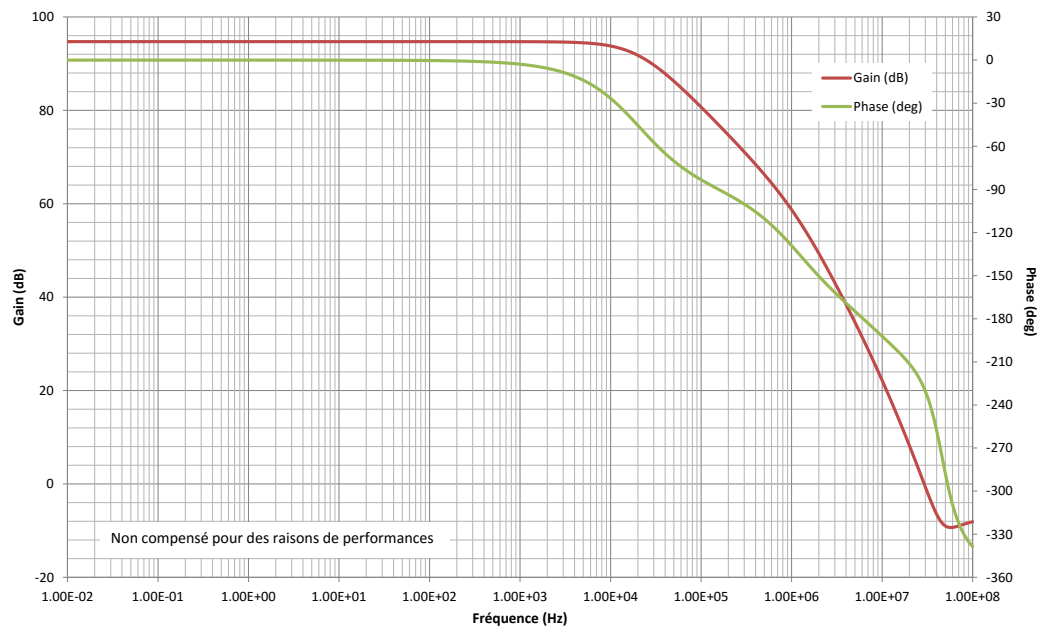


FIGURE 6.15: Diagramme de Bode des deux premiers étages du LNA en boucle ouverte.

L'amplificateur n'est pas compensé jusqu'au gain unité pour des raisons de performances et de bruit. On ne pourra l'utiliser dans un montage non-inverseur avec un gain trop faible pour cause d'instabilité mais dans notre cas, le gain est bien défini (supérieur à 40dB).

étude du troisième étage du LNA en boucle ouverte

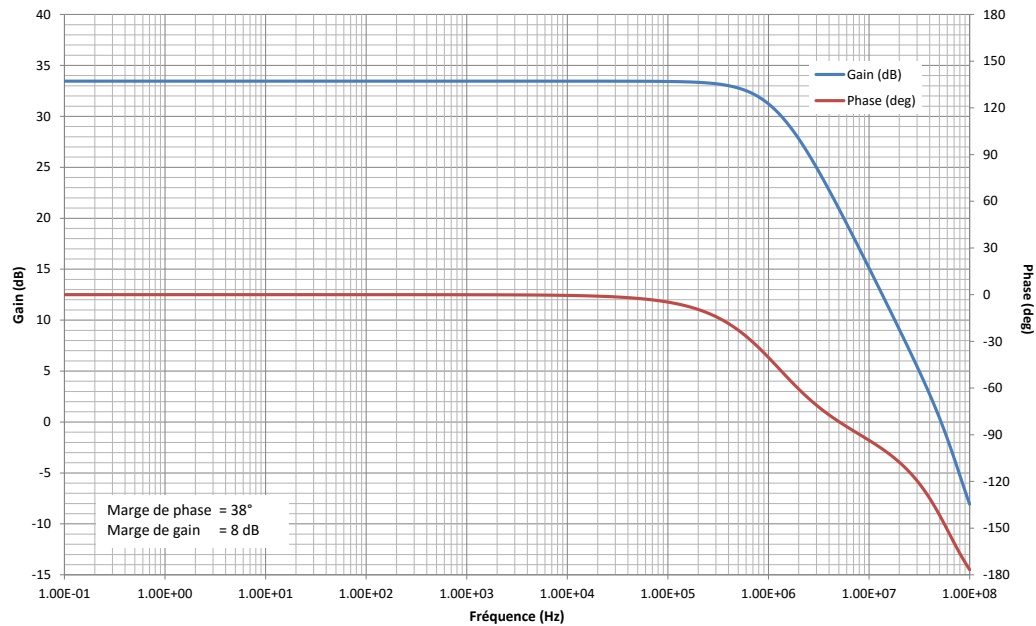


FIGURE 6.16: Diagramme de Bode du troisième étage du LNA en boucle ouverte.

Le gain du troisième étage sera défini par une résistance externe et devrait varier autour de 20dB pour notre application. L'amplificateur a été compensé avec :

- une marge de phase de 38° ;
- une marge de gain de 8dB.

6.3.4.2 Amplificateur en boucle fermée

On étudie les divers amplificateurs dans leur configuration finale pour vérifier que les caractéristiques des signaux de sortie correspondent aux attentes.

Circuit de calibration

Le circuit de calibration atténue un signal reçu en entrée de 10dB. Il sera probablement amené à atténuer plus fortement le signal en entrée, pour ce faire, un simple changement de valeur de résistance en externe est suffisant.

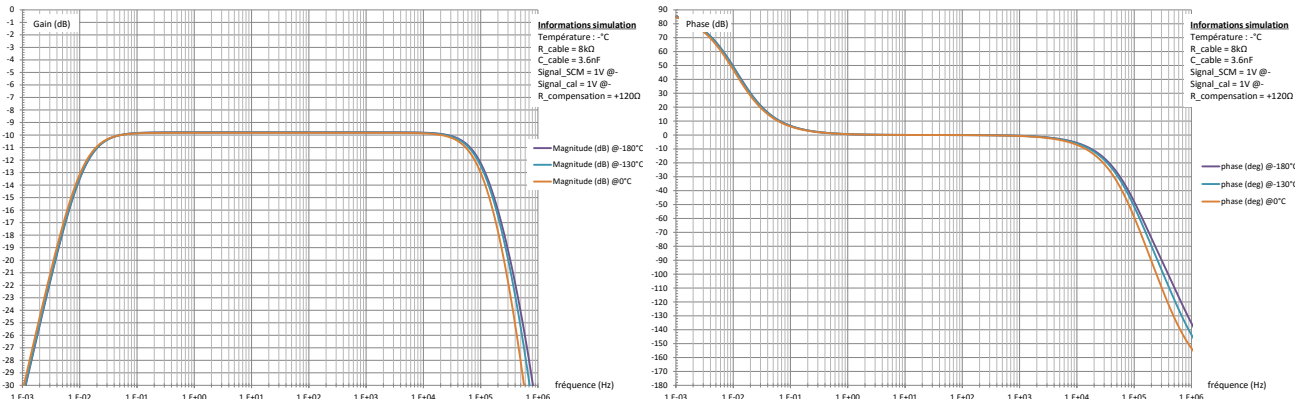


FIGURE 6.17: Amplitude et phase du buffer de calibration du layout extrait du circuit une voie à différentes températures.

Les courbes de la figures 6.17 montrent le gain et la phase du buffer de calibration pour différentes températures. On remarque que la température influe peu sur ses caractéristiques. La bande passante actuelle commence à 10mHz et s'étend jusqu'à 100kHz. Tout comme le gain, la bande passante est modifiable en externe en changeant les valeurs des composants passifs présentés figure 6.7.

LNA en boucle fermée

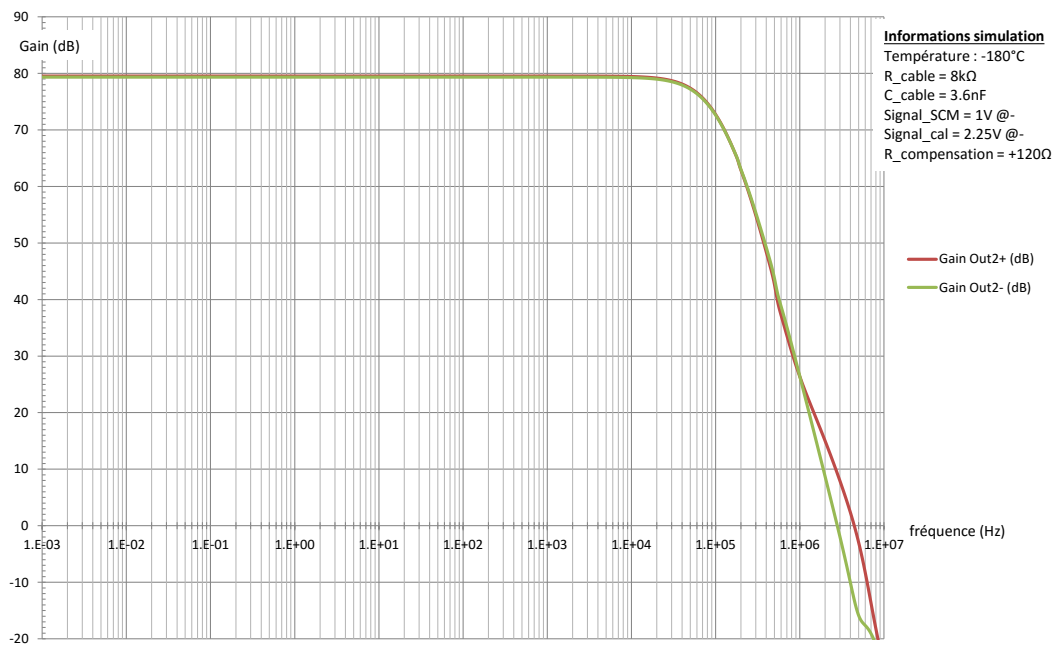


FIGURE 6.18: Simulation AC du layout extrait du circuit une voie à -180 ° C.

On a 80dB de gain, sur chacune des voies, avec une fréquence de coupure à 60kHz et aucune variation en température n'est observée. Le signal à mesurer allant de 0.1Hz à 20kHz, les performances désirées sont bien atteintes.

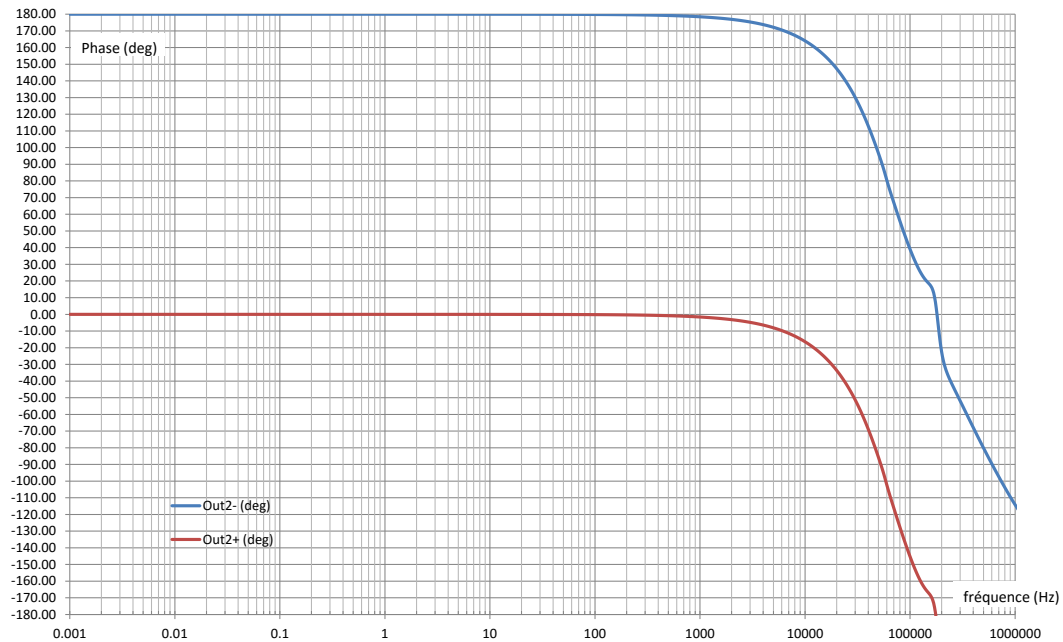


FIGURE 6.19: Simulation de la phase de l'amplificateur faible bruit du layout extrait du circuit une voie.

Les deux signaux sont bien en opposition de phase, comme expliqué figure 6.6.

6.3.5 Simulation du bruit

Le bruit est un critère très important, surtout pour notre application où l'on souhaite mesurer des signaux de très faible amplitude.

6.3.5.1 Sources de bruit pour un MOSFET

Tout dispositif électronique est le siège de fluctuations dues à un déplacement aléatoire de charges électriques. On retrouve un certain nombre de bruits liés aux transistors MOS[59] qui dégradent les performances de notre système, dont les principaux sont :

- le bruit thermique : bruit blanc dépendant de la température ;
- le bruit Flicker : bruit en $\frac{1}{f^\alpha}$, avec α entre 0.8 et 1.3 - déterminé empiriquement, dont l'origine est encore mal comprise. Il peut être dû à des impuretés dans le matériau qui libèrent aléatoirement des porteurs de charge, ou bien à des recombinaisons électron-trou parasites, etc. ;

— et le bruit grenaille.

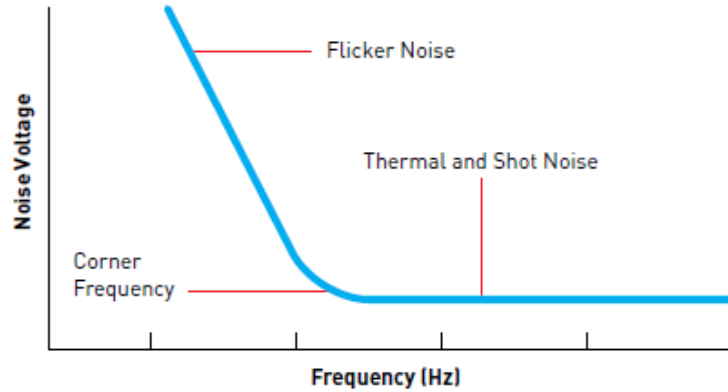


FIGURE 6.20: Contribution des différents bruits pour un MOSFET.

L'équation définissant le bruit de MOSFET en entrée est :

$$\nu_{in}^2(f) = 4 \cdot k \cdot T \cdot \frac{2}{3} \cdot \frac{1}{g_m} + \frac{k_f}{W \cdot L \cdot C_{ox} \cdot f} \quad (6.3)$$

, avec ν_{in} la DSP du bruit en tension $\left[\frac{V^2}{Hz}\right]$, k la constante de Boltzmann² et T la température [K].

La froideur spatiale contribue fortement à la diminution du bruit thermique - premier terme de l'équation. En passant de 300K à 77K, on divise la température par 4, le bruit thermique est donc lui-même atténué d'un facteur 4.

6.3.5.2 Simulation du bruit du LNA seul

Le bruit équivalent en entrée du LNA seul à température ambiante est donné figure 6.21. Elle présente les résultats de simulation des vues schématiques et extraites.

2. Constante de Boltzmann : $k = 1.38064852 \cdot 10^{-23} J \cdot K^{-1}$

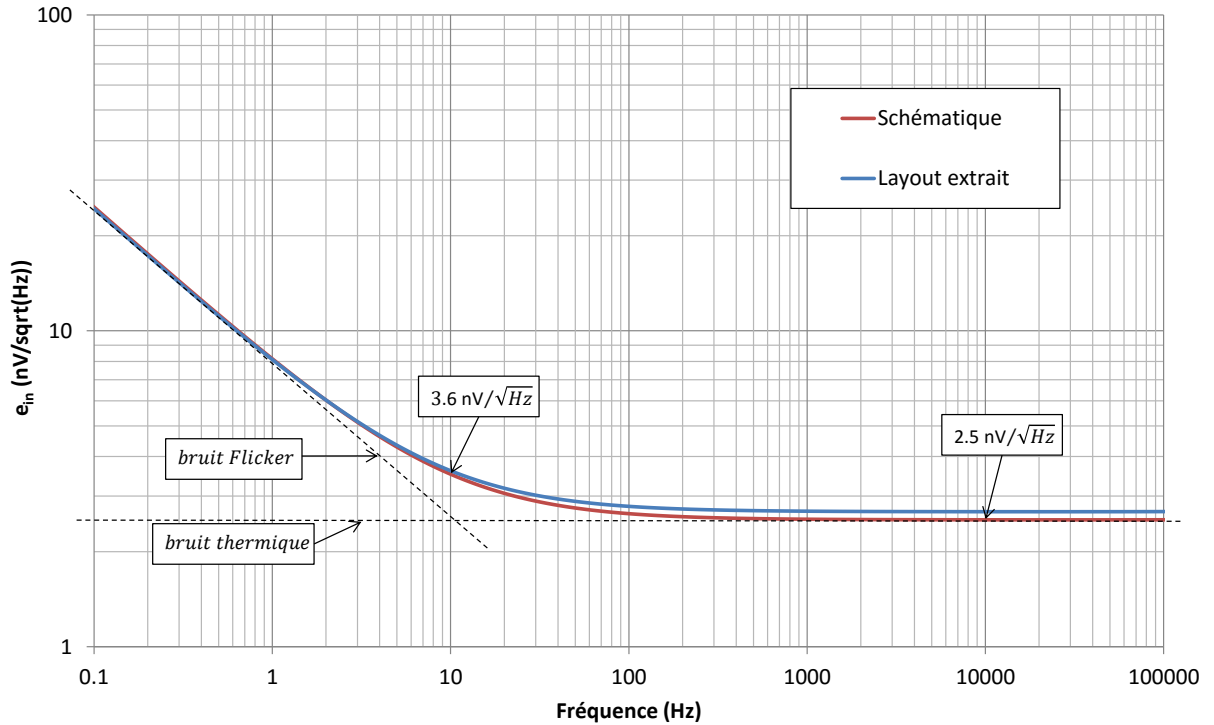


FIGURE 6.21: Bruit équivalent en entrée du LNA seul à température ambiante.

Le LNA seul présente de très bonnes performances en bruit. Avec un coude entre le bruit Flicker et le bruit thermique à seulement 10Hz et un bruit thermique de $2.5nV/\sqrt{Hz}$. La simulation du schéma extrait du layout montre une dégradation minimale des performances due à la résistivité non négligeable des fils de routage. Enfin, comme point de référence à 10Hz, on observe un bruit de $3.6nV/\sqrt{Hz}$.

6.3.5.3 Simulation du bruit de l'ASIC complet

Le bruit est plus important dans le circuit complet, en effet, la contribution de la régulation de tension dégrade les performances. Figure 6.22 montre le bruit équivalent ramené en entrée d'une voie du circuit complet. Deux températures sont simulées, à température ambiante et à -160°C . Comme attendu, à basse température les performances en bruits sont améliorées. La comparaison entre la schématique et le dessin des masques est également représentée, ainsi on observe peu de différences, avec un bruit supplémentaire constant de $0.2nV/\sqrt{Hz}$ sur la simulation du dessin des masques extrait. Cette différence est principalement due aux résistances parasites des fils de routages.

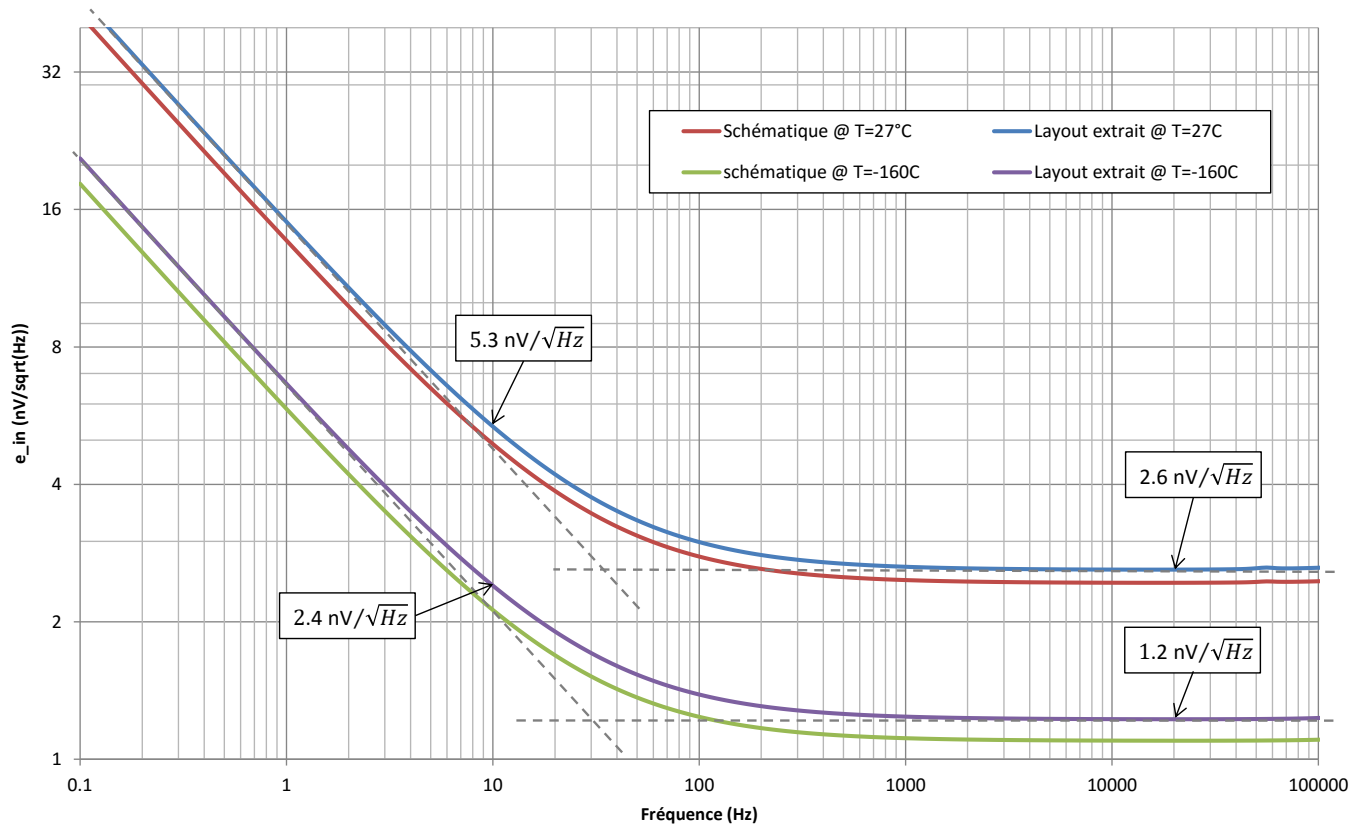


FIGURE 6.22: Bruit équivalent en entrée du circuit complet à température ambiante et à -160°C .

6.3.5.4 Observation sur le bruit du circuit

Ces simulations nous permettent d'extraire des informations utiles sur notre circuit.

Le coude du bruit Flicker se situe à 30Hz.

La densité du bruit en $1/f$ à 10Hz est de :

- $2.4\text{nV}/\sqrt{\text{Hz}}$ à -160°C ;
- $5.3\text{nV}/\sqrt{\text{Hz}}$ à 27° .

De même, le bruit thermique à 1kHz est de :

- $1.2\text{nV}/\sqrt{\text{Hz}}$ à -160°C ;
- $2.6\text{nV}/\sqrt{\text{Hz}}$ à 27°C .

Ces résultats nous permettent de conclure que les performances en bruit sont meilleures que celles attendues.

6.3.6 Simulations transitoires

6.3.6.1 En régime établi

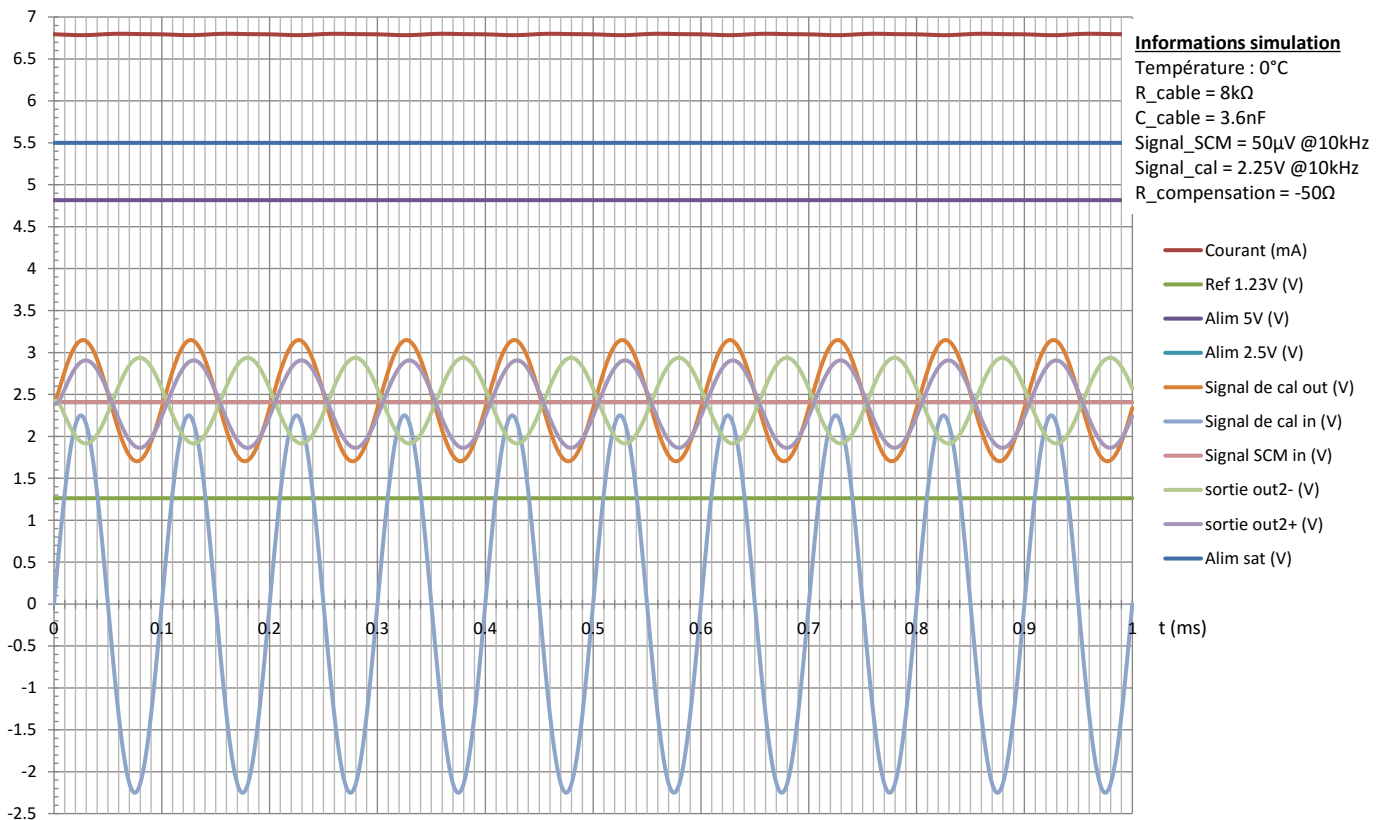


FIGURE 6.23: Simulation transitoire du circuit une voie sur 1ms à 0 ° C.

La simulation transitoire du schéma (figure 6.23) et celle du schéma extrait du layout (en annexe) ont été faites à différentes températures, en faisant varier la fréquence et l'amplitude du signal provenant du SCM et celui pour la calibration. L'ensemble des paramètres suit les performances désirées. Sur cette figure, 6.23, on observe l'évolution des signaux de sorties et des signaux internes du circuit. La masse virtuelle a bien une tension moitié moindre que la tension de l'alimentation régulée, "Alim5V". Pour le système de calibration, on injecte une sinusoïde en entrée d'amplitude 2.25V à 10kHz sans composante continue, en sortie, on observe un signal sinusoïdal à 10kHz d'amplitude 0.75V avec une composante continue correspondant à la masse virtuelle "Alim2.5V". Enfin, pour le LNA, on injecte un signal de seulement 50µV à 10kHz - signal qui semble continu sur la figure car très faible, en sortie on a bien deux signaux en opposition de phase parfaitement centrés autour de la masse virtuelle de 0.5V d'amplitude - soit un gain de 80dB. Afin que les signaux soient parfaitement centrés, l'offset ajouté par les étages d'amplification a été compensé avec une résistance de -50Ω (le signe de la résistance correspond au sens de l'offset, voir explications en section 6.1.2.3).

La variation en température crée un léger offset inférieur à 100mV pour l'ensemble des signaux, dépendant de la dérive en température de la tension de sortie du bandgap (section 5.3).

6.3.6.2 Au démarrage

Il est important de vérifier que le système démarre bien comme on l'a prévu sans passer par des états indésirables. La figure 6.24 représente l'évolution transitoire des signaux du circuit lors de la mise sous tension. La pente de l'alimentation doit être suffisamment lente pour éviter que certains transistors n'aient une tension à leurs bornes supérieures à celle autorisée par le fondeur en régime établi. En basse température, le temps de réponse est plus lent et impose le temps de montée de l'alimentation qui a été fixé à 5ms pour notre circuit. Une capacité de charge au niveau de l'alimentation est ajoutée pour assurer un temps de montée d'au moins de 5ms. Le circuit répond bien sur l'ensemble des températures simulées, disponibles en annexe.

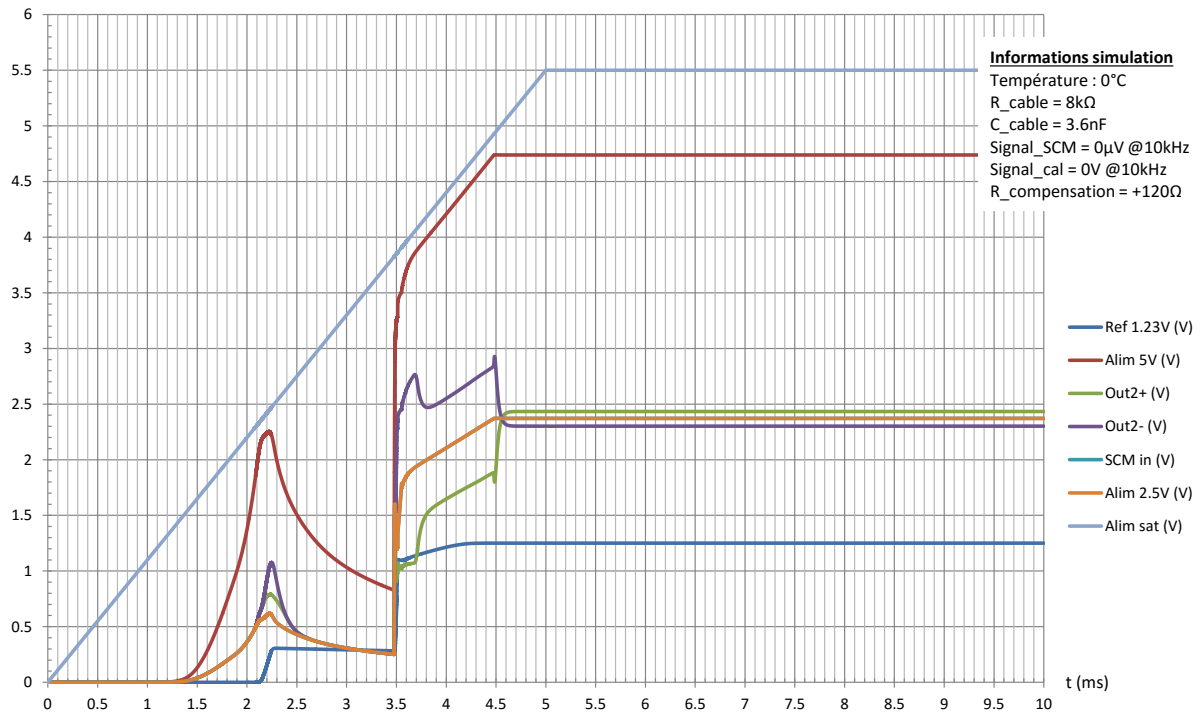


FIGURE 6.24: Simulation transitoire du layout extrait avec démarrage de l'alimentation satellite sur 5ms.

6.3.6.3 Coupure d'alimentation

De manière analogue à l'étude présentée dans la section précédente, on étudie la réponse du circuit à une coupure d'alimentation. La figure 6.25 représente la réponse transitoire

des principaux signaux lors d'une coupure d'alimentation. Sur ces courbes, on n'observe aucune dégradation du fonctionnement jusqu'à une tension d'alimentation inférieure à 4V.

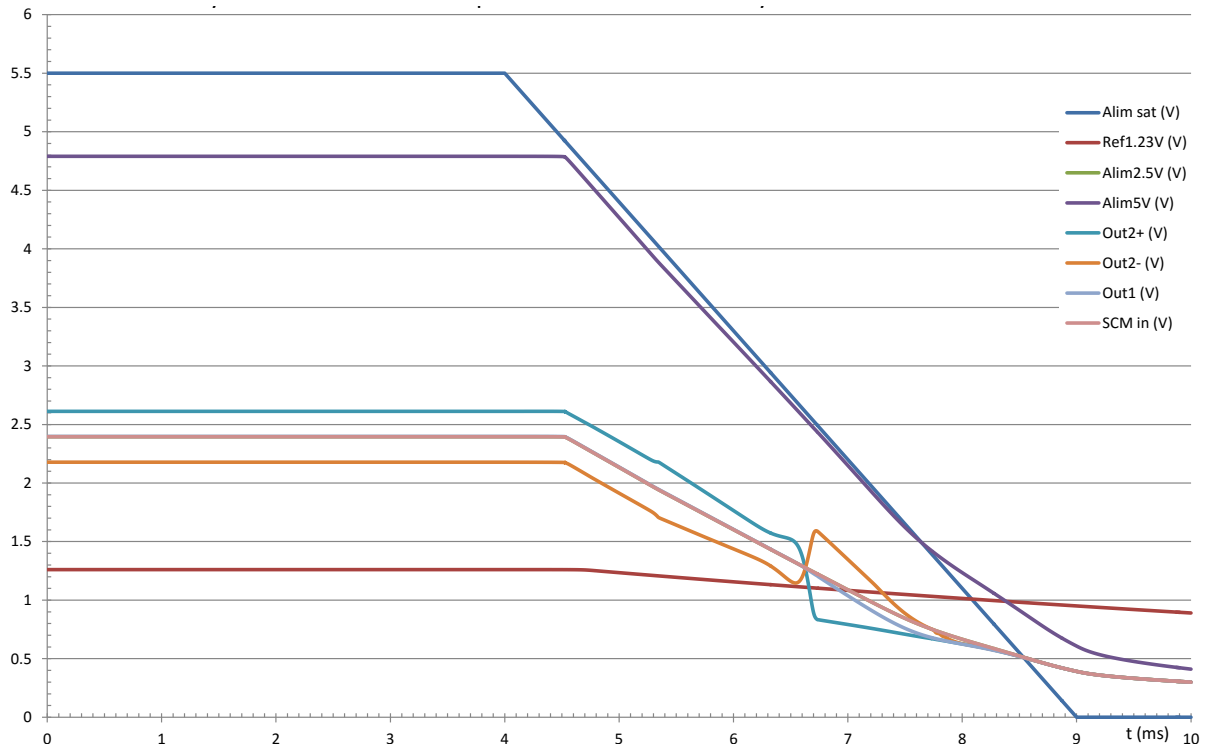


FIGURE 6.25: Analyse transitoire d'une coupure de courant dans le layout extrait du circuit une voie.

6.3.7 Simulations Latin Hypercube et corners

6.3.7.1 Latin Hypercube (LHS)

Les simulations Latin Hypercube et Monte-Carlo sont des procédures d'échantillonnage aléatoire. On simule des variations de process et de mismatch entre les instances. En fonction du nombre de run simulés, on améliore la précision de la simulation [60].

Les simulations de la figure 6.26 ont été réalisées sur 300 runs avec la méthode d'échantillonnage **Latin Hypercube** [61]. LHS vise à répartir les points d'échantillonnage de façon plus uniforme que la méthode Monte-Carlo sur l'ensemble des valeurs possibles. L'erreur d'échantillonnage de la méthode Monte-Carlo est en $O(1/\sqrt{N})$ alors que la méthode LHS est en $O(1/N)$, quadratiquement plus rapide. Ainsi, on atteint la même précision sur N runs LHS que N^2 runs Monte-Carlo.

Les histogrammes de la figure 6.26 montrent la distribution des tensions en sortie de régulation et de la consommation en fonction des variations de process et de mismatch.

En réalisant 300 runs, on atteint une précision de 99.8% (contre 94.3% avec la méthode Monte Carlo).

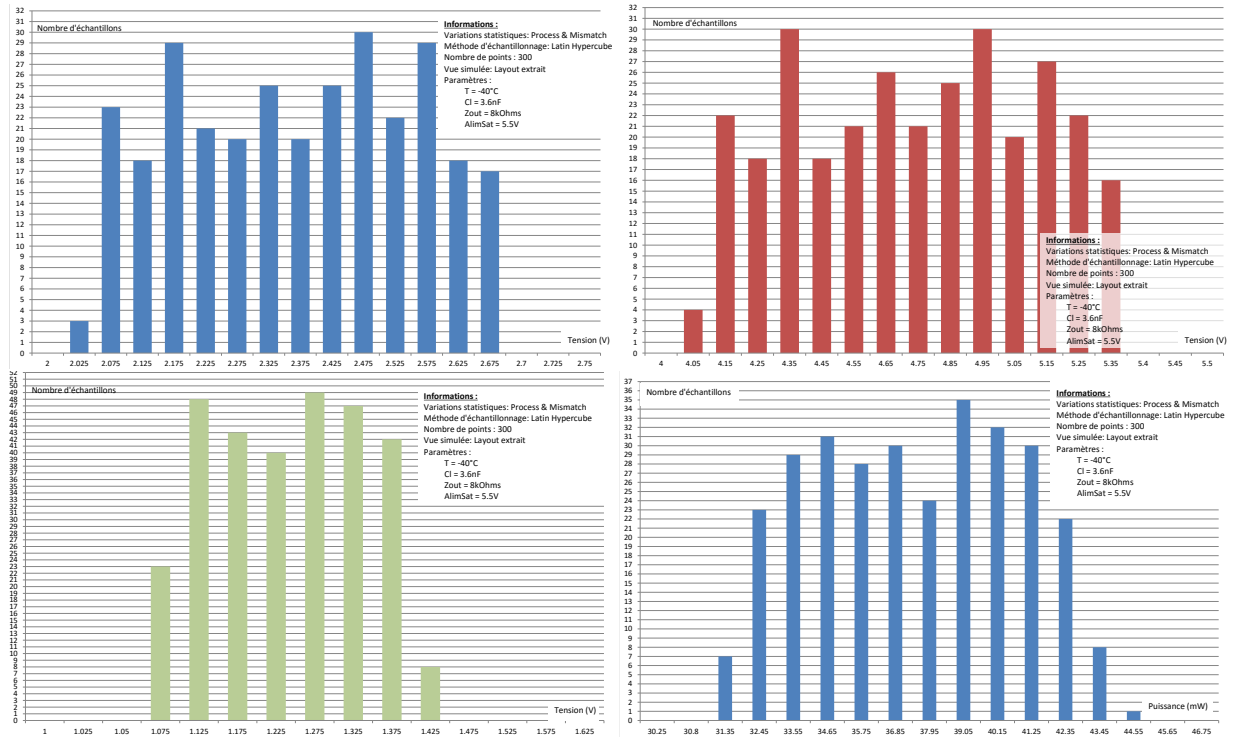


FIGURE 6.26: Nombre d'échantillon en fonction (de gauche à droite et de haut en bas) de la tensions “*Alim2.5V*”, “*Alim5V*”, “*Ref1.23V*” et de la consommation pour une simulation Latin Hypercube de 300 runs.

Les informations tirées des résultats de simulation Monte-Carlo en figure 6.26 sont récapitulées dans le tableau 6.1. La disparité est assez importante, d'où la nécessité de pouvoir fixer le gain définissant ces tensions en externe afin de s'assurer un fonctionnement optimal. Cette disparité vient de l'imprécision de la valeur de la résistance dans le circuit de bandgap, qui conduit à des écarts de quelques dizaines de millivolts en sortie de bandgap. Cette offset se retrouve amplifié proportionnellement au gain des amplificateurs. La faible quantité de puces nécessaire nous donne la possibilité de faire du “screening” afin de ne pas sélectionner les puces trop proches des corners. La variation de la consommation dépend en grande partie de la variation de la tension régulée “*Alim5V*”.

	moyenne	min	max	écart type
Consommation	38.5mW	31mW	45mW	0.103
“ <i>Alim5V</i> ”	4.75V	4V	5.4V	0.393
“ <i>Alim2.5V</i> ”	2.38V	2V	2.7V	0.197
“ <i>Ref1.23V</i> ”	1.24	1.07V	1.45V	0.103

TABLE 6.1: Récapitulatif des résultats des simulations Monte Carlo sur 300runs.

6.3.7.2 Corners

Les corners représentent les cas extrêmes de variations de process. Il y a différents corners :

- “*cmoswp*” : pire cas sur la consommation ;
- “*cmosws*” : pire cas en vitesse de propagation ;
- “*cmoswo*” : pire cas “one condition” ;
- “*cmoswz*” : pire cas “zero condition” ;
- “*mostmwn*” : cas de fonctionnement typique avec pire cas en bruit.

L'ensemble de ces cas a été testé et aucun ne présente une variation trop importante. Le corner “*cmoswo*” représente le pire cas sur notre circuit, c'est le seul à avoir nécessité une correction de gain via une résistance externe. Quelques courbes sont données en annexe représentant les simulations “pire cas” de notre circuit.

6.3.8 Modèle électrique du SCM et simulations

Afin de prédire avec précision les mesures qui seront réalisées avec le couple capteur-circuit, on implémente un modèle du SCM dans le simulateur. Le circuit équivalent est donné figure 6.27.

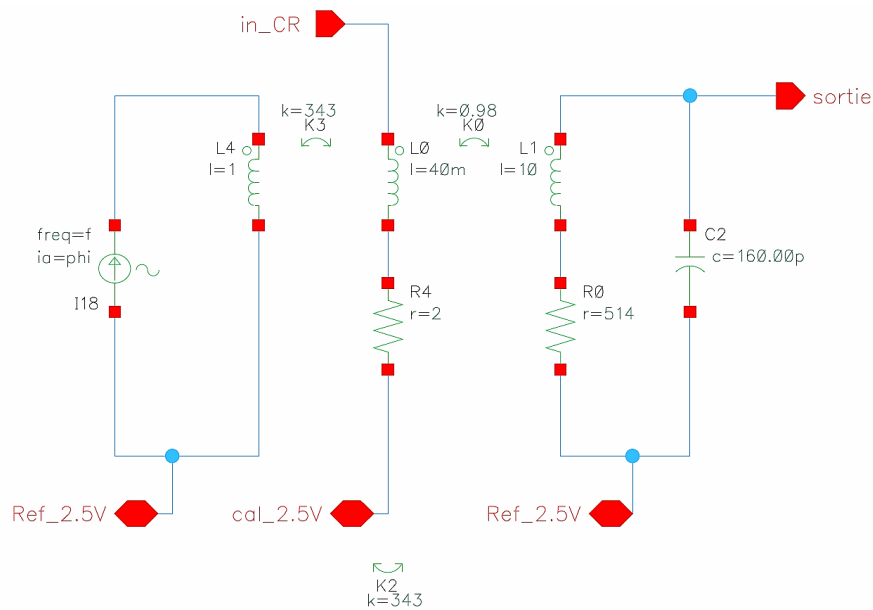


FIGURE 6.27: Circuit équivalent au fluxmètre de JUICE.

La figure 6.27 peut être décomposée en trois parties. À gauche, on a la génération d'un flux magnétique dont l'intensité est contrôlée par le courant produit par le générateur de

courant alternatif ϕ . D'après l'équation $\phi = L \cdot i$, le courant choisit représente directement l'intensité et la fréquence du champ magnétique par unité de surface. A droite, le circuit représente la bobine principale du fluxmètre, avec les trois composants RLC passif. Le couplage entre la bobine représentant le champ magnétique externe et celle du bobinage primaire est de 343 pour représenter le gain fourni par le noyau ferromagnétique. Enfin, le bobinage secondaire de contre-réaction est formé par le circuit LR du centre. Ce dernier reçoit soit le signal de contre-réaction, soit le signal de calibration.

Les valeurs sont données dans le tableau 6.2.

Nom	Type	Informations	Valeur
Générateur de flux magnétique			
I18	Générateur de courant sinusoïdal	l'intensité et la fréquence du courant correspond à celles du flux magnétique désiré	
L4	Inductance	Lien entre le courant le traversant et la génération du flux magnétique	1H
Bobinage primaire			
L1	Inductance	inductance du bobinage primaire du fluxmètre	10H
R0	Résistance	résistance du bobinage primaire du fluxmètre	514 Ω
C2	Capacité	effet capacitif entre les spires du bobinage primaire du fluxmètre	160pF
Bobinage secondaire			
L0	Inducance	inductance du bobinage secondaire du fluxmètre	40mH
R4	Résistance	résistance du bobinage secondaire du fluxmètre	2 Ω
Couplage entre les bobines			
K0	Coeff. de couplage	couplage entre bobinage primaire et secondaire presque parfait	0.98
K1	Coeff. de couplage	couplage entre flux externe simulé et bobine primaire avec gain du noyau	343
K2	Coeff. de couplage	couplage entre flux externe simulé et bobine secondaire avec gain du noyau	343

TABLE 6.2: Liste des composants du modèle électrique équivalent du fluxmètre de JUICE.

La figure 6.28 montre les résultats de simulation de la fonction de transfert du modèle de fluxmètre seul et du magnétomètre complet pour différentes valeurs de contre-réaction.

Sans contre-réaction, on observe une résonance vers les 3.6kHz alors que la contre-réaction permet d'aplatir sa fonction de transfert. Au plus la résistance de contre-réaction choisie est faible, au plus la plage de stabilité de la fonction de transfert est grande mais son gain se voit diminué, dû à la conservation du produit gain-bande.

Le gain ajouté par l'ASIC est bien de 80dB sur l'ensemble de la plage de fréquences qui nous intéresse, comme le montre la figure 6.28. Lorsque la résistance de contre-réaction est très faible ($< 50\Omega$), on constate une légère diminution du gain fourni par l'ASIC. Cette perte peut aller jusqu'à 10dB lorsque la résistance de contre-réaction est nulle. Cet effondrement du gain s'explique par l'incapacité du second étage du LNA à fournir un courant suffisant pour couvrir celui passant dans la bobine secondaire.

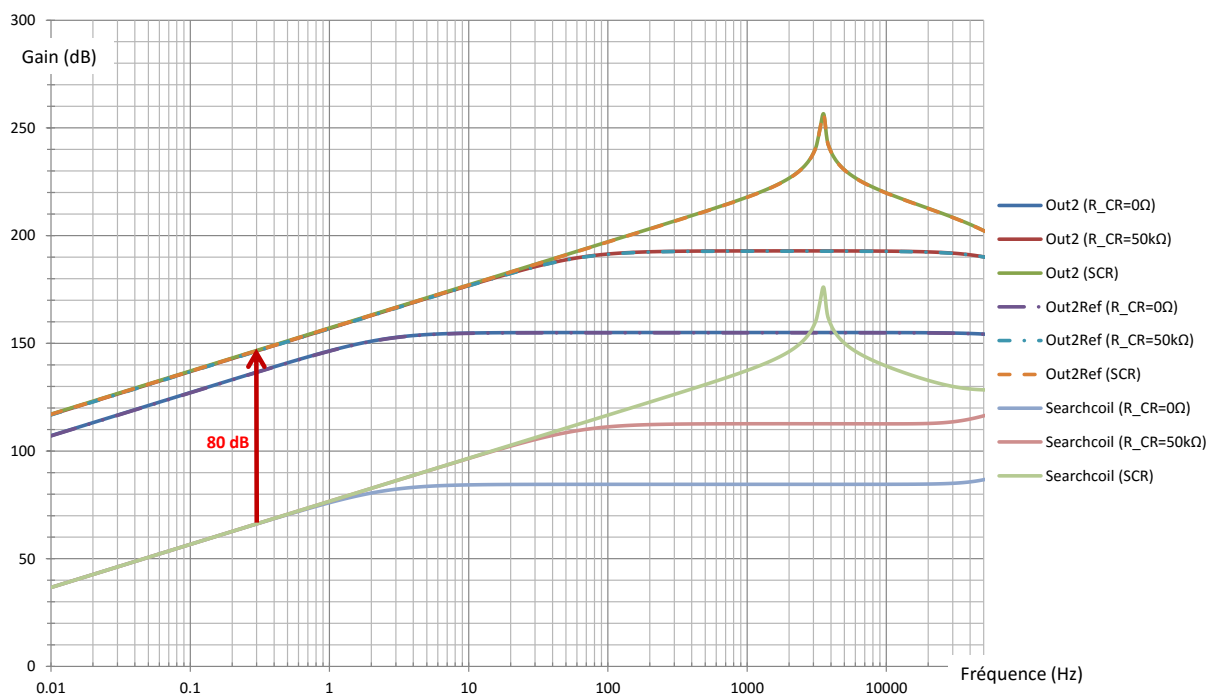


FIGURE 6.28: Fonction de transfert du modèle de fluxmètre seul et du magnétomètre pour différentes valeurs de contre-réaction.

6.4 Bilan de l'ASIC Juice Magic

Les performances du circuit tiennent en simulation les prérequis imposés par la mission JUICE. Ces caractéristiques sont résumées dans le tableau 6.3.

Paramètres	Valeurs
Alimentation	5.5V
Consommation	< 40mW/voie
ΔV_{Atim} toléré	> 1V
PSRR	> 60dB
Gain	80dB
Fréquence de coupure	60kHz
Bruit thermique (300K)	$2.6nV/\sqrt{Hz}$
Bruit thermique (120K)	$1.2nV/\sqrt{Hz}$
Bruit Flicker (300K)	$5.3nV/\sqrt{Hz}$ à 10Hz
Bruit Flicker (120K)	$2.4nV/\sqrt{Hz}$ à 10Hz
Plage de température idéale	[77K : 180K]
Plage de température acceptée	[77K : 300K]
Aire total (3 voies)	$18.5mm^2$
Dynamique	2.25Vpp / sortie différentielle

TABLE 6.3: Caractéristiques de l'ASIC Juice MagIC.

Le circuit a été envoyé en fonderie au mois de mai 2017 et a été reçu fin septembre de la même année. Une caractérisation de l'ASIC à température ambiante est en cours et semble présenter des performances identiques aux simulations. La caractérisation à basse température devrait débuter en fin d'année 2017. Cette puce correspond à l'EM ("Engineering Model") pour la mission. Si le circuit remplit l'ensemble des attentes, la même puce servira de QM ("Qualification Model") pour les tests de qualifications menés par l'ESA en septembre 2018. Ces tests comprendront une irradiation des puces jusqu'à 500krads à 77K dont le banc est actuellement en cours de développement par le LPP/C-NES/TRAD. Enfin, une puce finale identique sera réalisée, correspondant au FM ("Flight Model") qui partira à bord de la mission JUICE.

Conclusions et perspectives

7.1 Conclusion sur la caractérisation de la technologie et la réalisation du circuit de lecture

Une étude approfondie a été menée sur le comportement de la technologie commerciale CMOS 0.35 $\mu\text{m}/3.3\text{V}$ bulk d'AMS entre 77K et 300K et soumise à de fort taux de radiations. A basse température, une divergence entre le modèle du fondeur et les mesures a été observée et elle est attribuée aux phénomènes physiques basses températures comme l'effet de freeze-out. Un modèle BSIM3v3 a été extrait pour permettre de représenter le comportement de cette technologie dans les conditions extrêmes du spatial et une librairie Cadence est disponible. L'utilisation des modèles extraits à basse température permettent de réaliser des simulations précises sur une importante plage de températures. Ce travail profitera au domaine du spatial afin de faciliter la conception de circuits électroniques mais également aux autres domaines nécessitant l'utilisation de basses températures. De plus l'utilisation de températures cryogéniques, comme il a été montré, permet d'apporter des propriétés intéressantes : faible bruit thermique, courant plus fort à polarisation égale, etc. Cette librairie a été utilisée pour le développement d'un circuit de référence de tension stable sur une grande plage de températures dès 77K ainsi que pour le design de l'ensemble du circuit intégré de lecture du magnétomètre à induction.

7.2 Perspectives d'améliorations

La figure 6.20 représente la répartition en fréquences des différents bruits d'un MOSFET. Les signaux que l'on veut mesurer avec notre instrument ont des fréquences basses, ce qui correspond à la plage de bruit la plus intense.

7.2.1 S'affranchir du bruit basse fréquence

Afin d'en améliorer les performances, le circuit pourrait décaler le signal utile dans une gamme de fréquence plus élevée, se situant après le fréquence de coude du bruit de nos MOSFETs, avant de le traiter : c'est le principe d'un amplificateur Chopper [62][63][64].

La fréquence de modulation doit être au moins deux fois supérieure à la fréquence maximale de notre signal afin d'éviter les problèmes de repliement de spectre. La figure 7.1 décrit l'architecture générale de l'amplificateur Chopper.

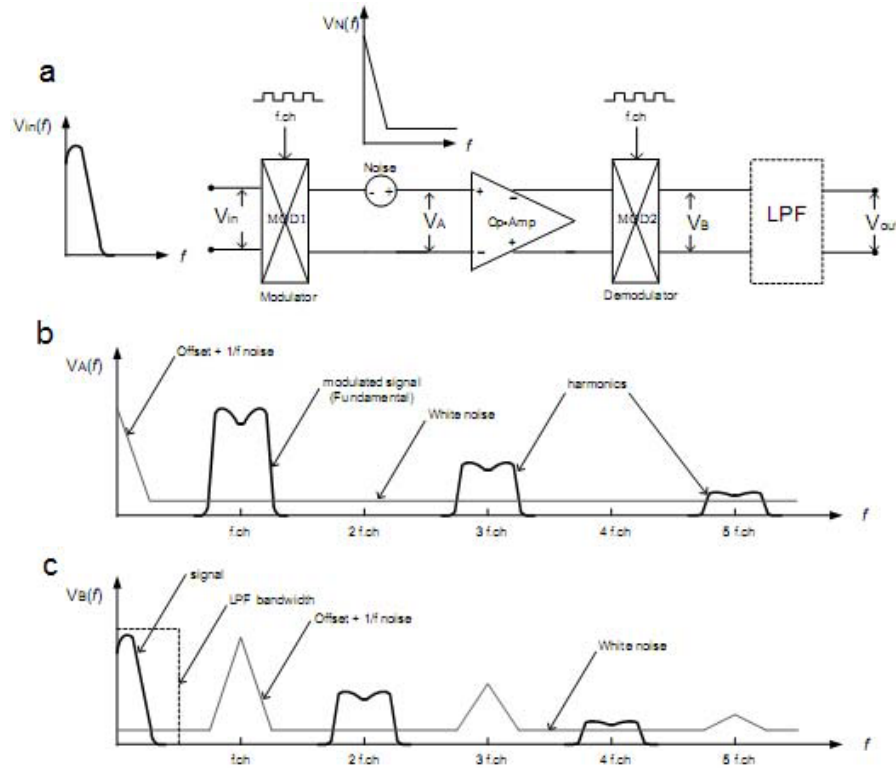


FIGURE 7.1: Principe de l'amplificateur Chopper stabilisé [62]

7.2.2 Utilisation de transistors en anneaux

L'utilisation de transistors en anneaux pourrait prolonger l'espérance de vie du circuit dans l'espace. Au vu de la dose totale à laquelle il sera exposé pour la mission JUICE, il n'est pas nécessaire d'utiliser un dessin des masques particulier. Cette modification est à considérer pour de futures missions plus contraignantes encore.

7.2.3 Vers un circuit tout différentiel

Au vu des multiples modifications du cahier des charges, l'architecture globale du circuit intégré s'est vu modifiée à plusieurs reprises en passant par du pseudo-différentiel avant d'adapter finalement l'étage de sortie au différentiel. Un circuit full-différentiel, pour chaque étage, serait plus performant.

7.2.4 Vers un changement de technologie

La technologie AMS 0.35 μm , bien que très performante en analogique, de faible coût et encore très utilisée, est amenée à s'arrêter d'ici quelques années. L'utilisation de technologies plus fine s'accompagnent d'une baisse de tension d'alimentation provoquant une diminution de la dynamique du signal en sortie. Il est intéressant de réfléchir à des solutions de remplacement, les plus adaptées, pouvant également apporter une fiabilité supplémentaire en termes de radiation et de température.

7.3 Conclusion générale

Les conditions extrêmes liées au spatial, que ce soit en terme de radiations ou de températures, affectent fortement les performances et la durée de vie des circuits électroniques. Une étude a été menée pour connaître précisément le comportement des circuits intégrés dans de telles conditions et les relier aux phénomènes physiques connus tels que l'effet de freeze-out à basse température ou l'effet bec d'oiseau pour les radiations. Les paramètres du modèle BSIM3.3 ont été extraits pour la technologie bulk CMOS 0.35 μm /3.3V d'AMS sur une large plage de températures allant de 77 Kelvins à plus de 300 Kelvins.

L'implémentation de ce modèle dans des logiciels de CAO tel que CadenceTM ont permis de concevoir un circuit intégré performant adapté pour fonctionner à des températures cryogéniques aux alentours de 100K. Ces circuits devraient être résistants aux radiations au-delà de 500krads dû à la technologie utilisée, mais aucun test n'a été réalisé à ce jour. Ce circuit représente le front-end d'un circuit de lecture pour magnétomètre à induction répondant aux besoins scientifiques de la mission JUICE de l'ESA. Il a été étudié pour atteindre des performances en bruit de seulement $1.3\text{nV}/\sqrt{\text{Hz}}$ à 1kHz tout en conciliant un fort gain allant jusqu'à 80dB et une faible consommation, masse et encombrement. Le maintien de ces performances sur une plage de température comprise entre 77K et 300K dépend en grande partie des performances du circuit de bandgap. Ce circuit critique a été conçu pour fournir une tension de référence invariante en température, entièrement réalisé à base de transistors CMOS - composants plus résistants aux radiations que les transistors bipolaires usuellement utilisés pour cette application. Une dérive thermique inférieure à 10ppm/K a été observée en sortie de bandgap, autour de la température de fonctionnement de la mission (130K \pm 50K).

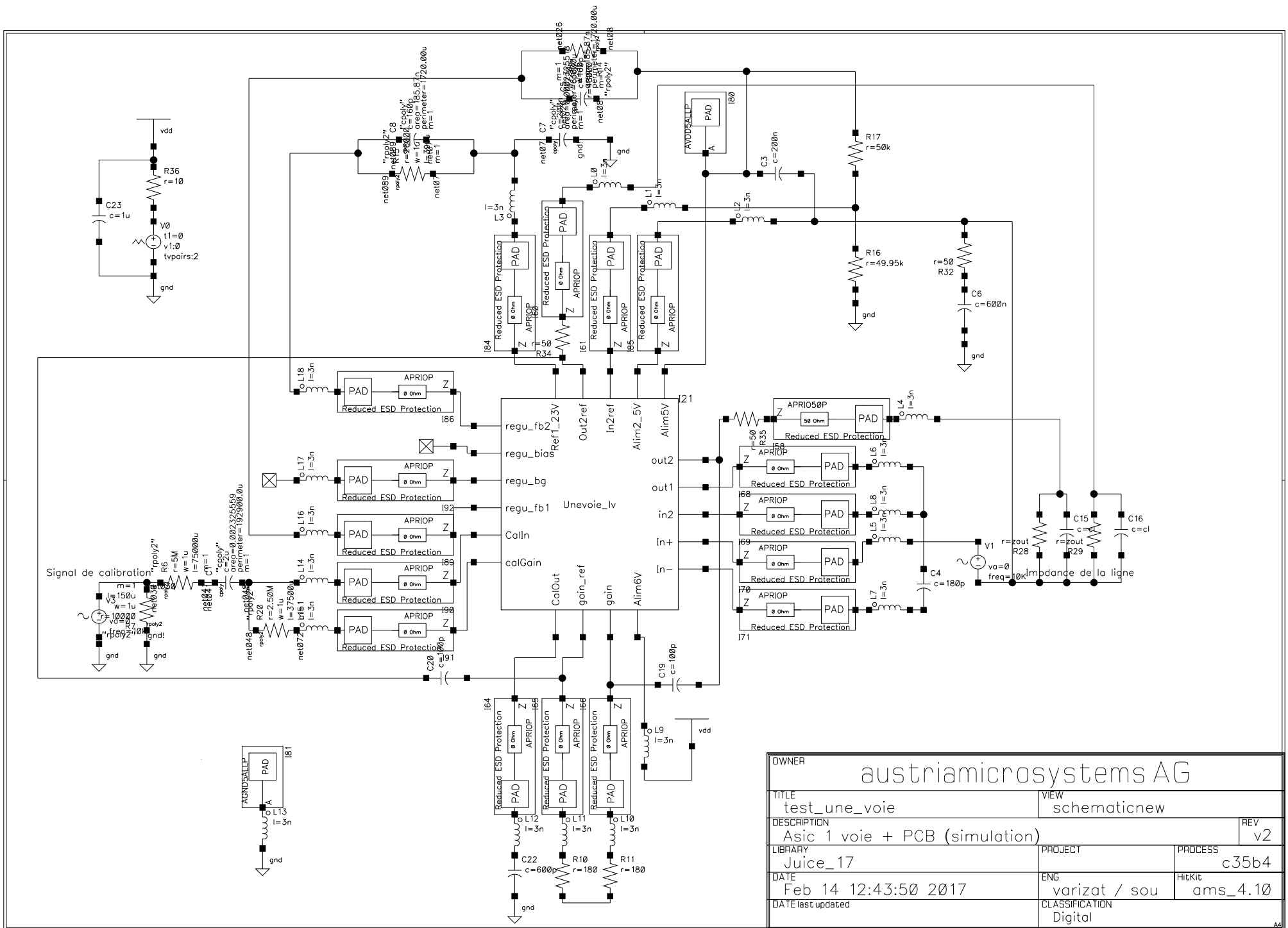
Le circuit présenté passera une phase de qualification complète définie par le CNES et l'ESA pour intégrer le satellite de la mission. L'instrument devra fournir des mesures précises sur 3 ans dès 2030 qui sont importantes pour une meilleure compréhension de la magnétosphère Jovienne et de sa lune Ganymède.

Annexe A

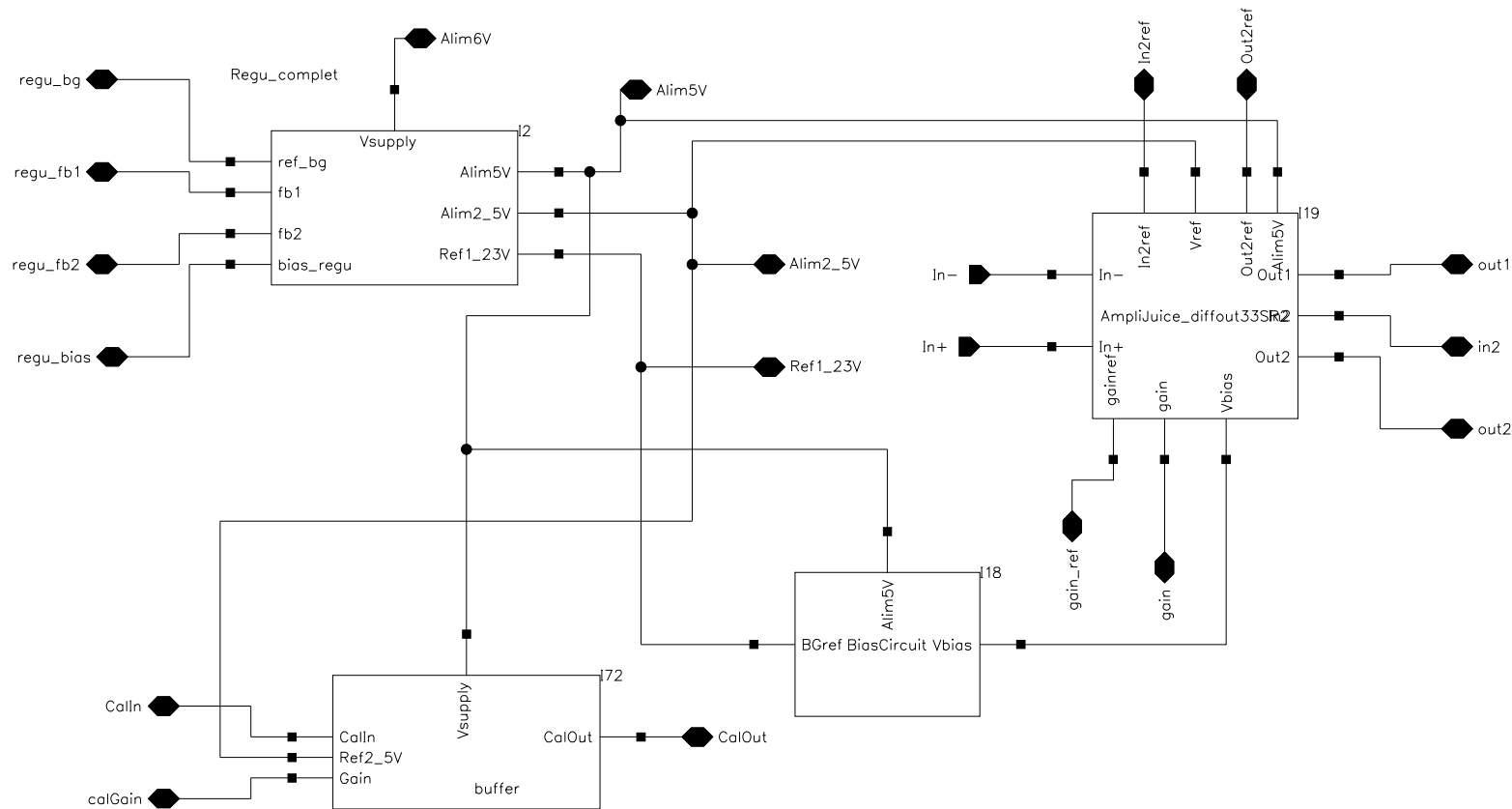
Schématique complète de JUICE ASIC

Liste des schématiques :

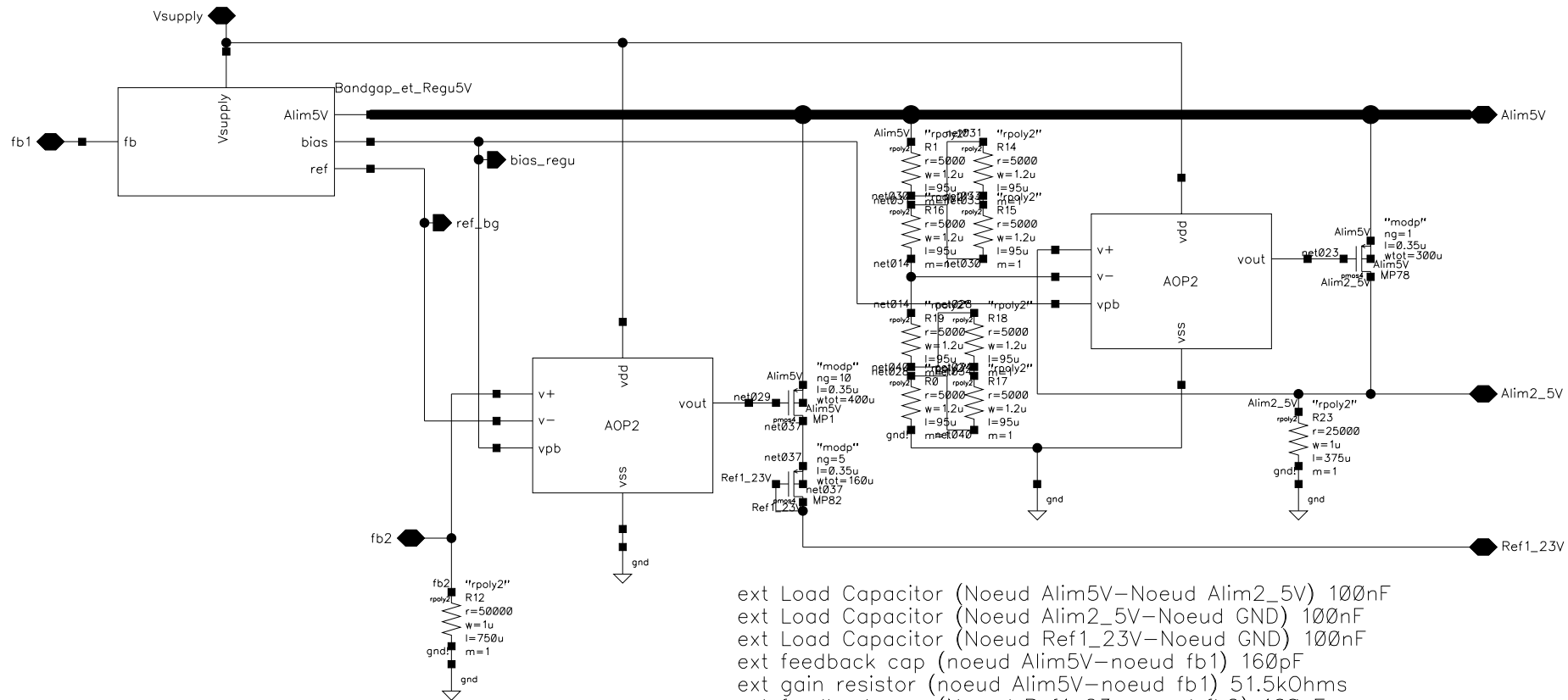
1. Vue globale : circuit intégré, composants externes et sources de simulations
2. Circuit une voie
3. Circuit de régulation complet
4. Circuit de régulation : AOP2
5. Circuit de régulation : bandgap et régu “Alim5V”
6. Circuit de régulation : Circuit de Bias
7. Circuit de bandgap
8. Circuit de Bias pour LNA
9. Circuit de bias pour LNA : AOP
10. Buffer de calibration
11. LNA : vue générale
12. LNA : étage 1 et 2
13. LNA : étage 1
14. LNA : étage 2
15. LNA : étage 3



OWNER		
austriamicrosystems AG		
TITLE	test_une_voie	VIEW schematicnew
DESCRIPTION	Asic 1 voie + PCB (simulation)	REV v2
LIBRARY	Juice_17	PROJECT
DATE	Feb 14 12:43:50 2017	PROCESS c35b4
DATE last updated	varizat / sou	HitKit
	Digital	ams_4.10

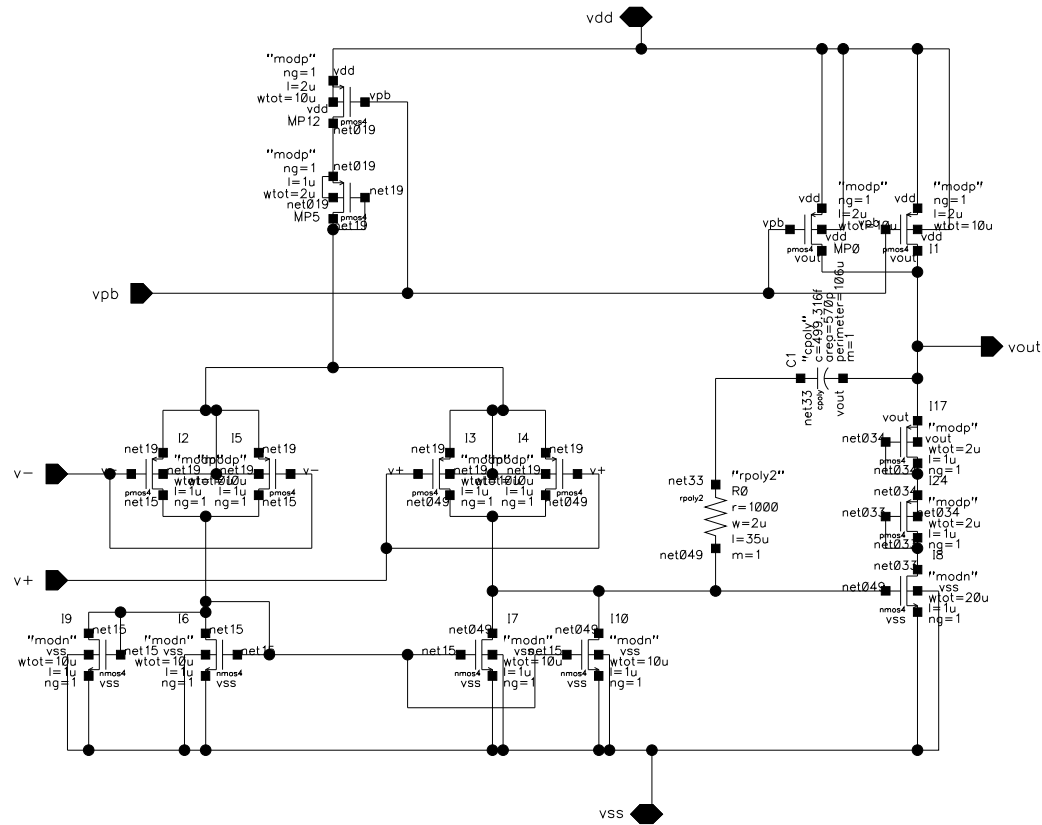


OWNER			
austriamicrosystems AG			
TITLE		VIEW	
Unevoie_SR		schematic	
DESCRIPTION			REV
ASIC 1 voie			v2
LIBRARY	PROJECT	PROCESS	
Juice_17		c35b4	
DATE	ENG	HICKIT	
Feb 14 12:45:12 2017	varizat / sou	ams_4.10	
DATE last updated	CLASSIFICATION		
	Digital		

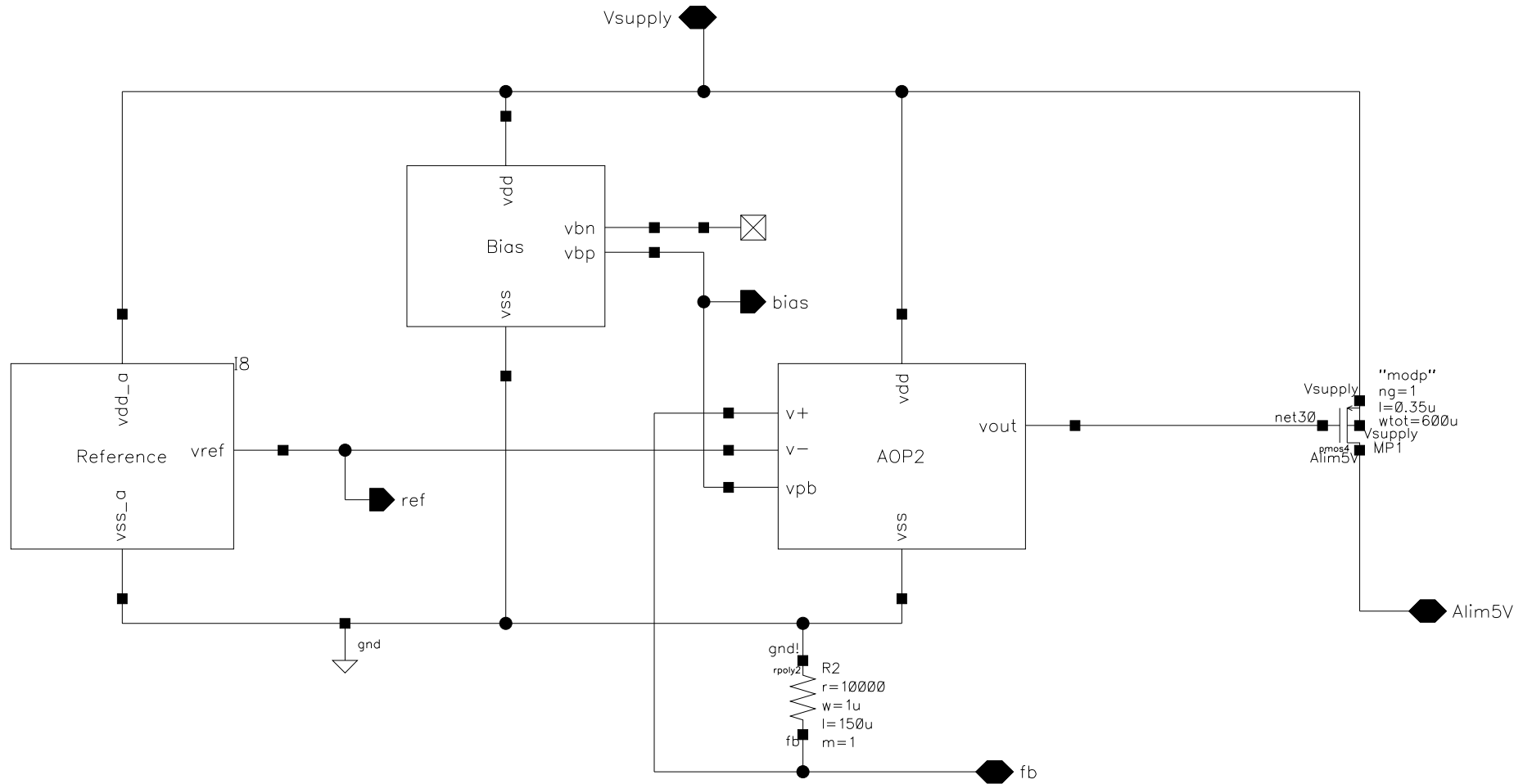


ext Load Capacitor (Noeud Alim5V–Noeud Alim2_5V) 100nF
 ext Load Capacitor (Noeud Alim2_5V–Noeud GND) 100nF
 ext Load Capacitor (Noeud Ref1_23V–Noeud GND) 100nF
 ext feedback cap (noeud Alim5V–noeud fb1) 160pF
 ext gain resistor (noeud Alim5V–noeud fb1) 51.5kOhms
 ext feedback cap (Noeud Ref1_23–noeud fb2) 160pF
 ext gain resistor (noeud Ref1_23–noeud fb2) 26kOhms

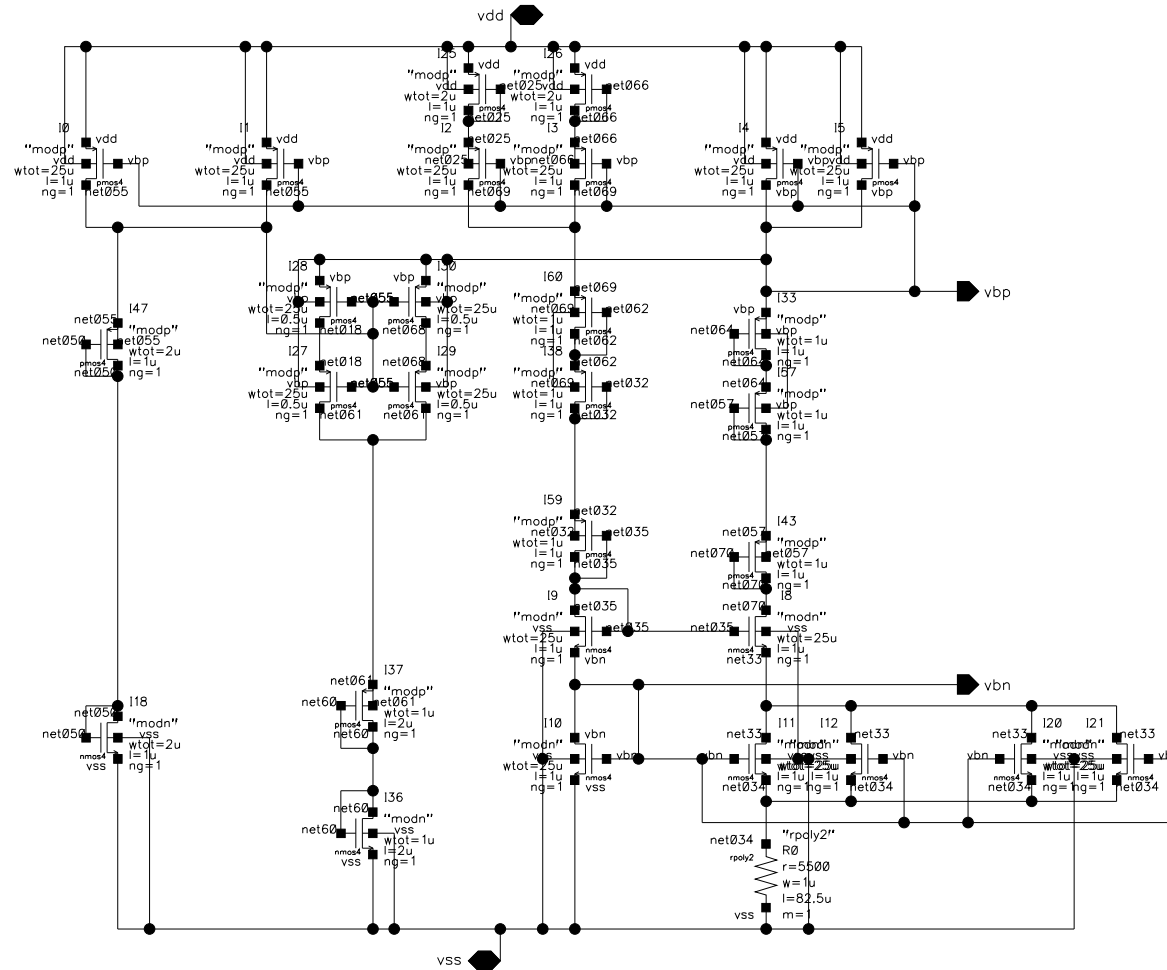
OWNER		
austriamicrosystems AG		
TITLE	VIEW	
Regu_complet	schematic	
DESCRIPTION	REV	
Regulateur 5V / 2.5V / 1.23V	v1	
LIBRARY	PROJECT	PROCESS
Juice_17		c35b4
DATE	ENG	HiKit
Feb 14 12:49:16 2017	varizat / sou	ams_4.10
DATE last updated	CLASSIFICATION	
	Digital	



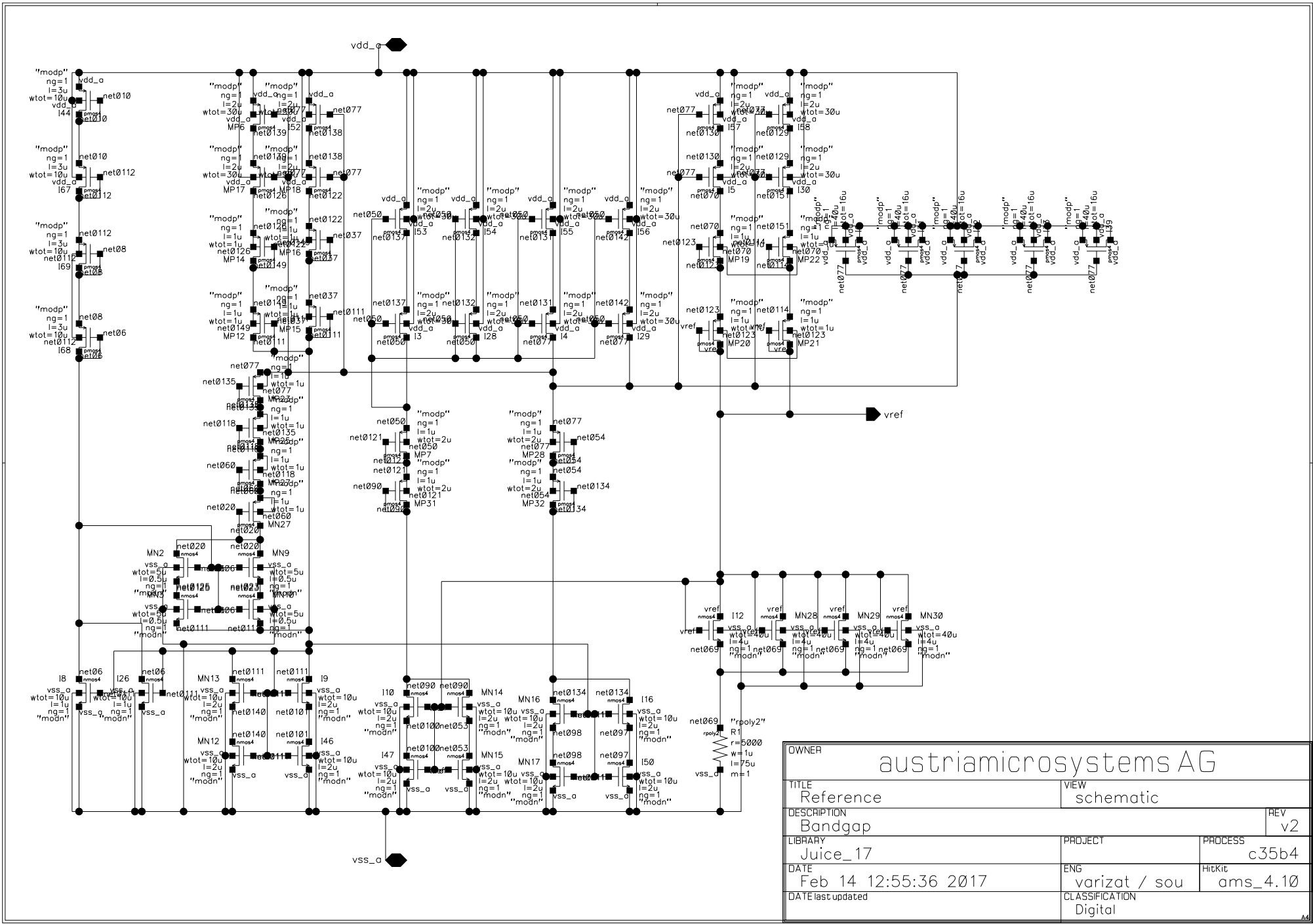
OWNER		austriamicrosystems AG	
TITLE		VIEW	
AOP2		schematic	
DESCRIPTION		REV	
AOP regu		v2	
LIBRARY		PROJECT	PROCESS
Juice_17			c35b4
DATE		ENG	HwKit
Feb 14 12:50:49 2017		varizat / sou	ams_4.10
DATE last updated		CLASSIFICATION	
		Digital	



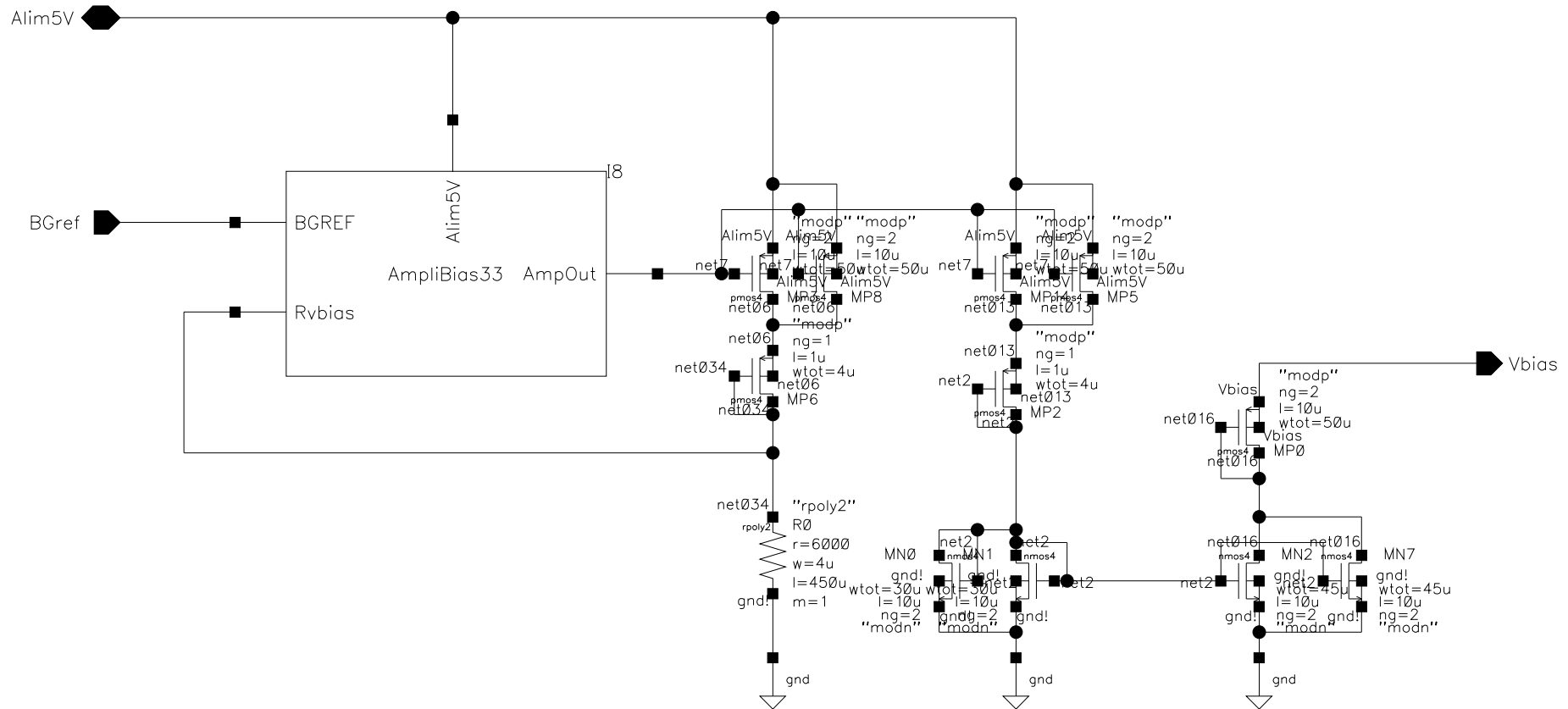
OWNER			austriamicrosystems AG		
TITLE		VIEW			
Bandgap_complet		schematic			
DESCRIPTION			REV		
Bandgap & Alim5V			v1		
LIBRARY		PROJECT	PROCESS		
Juice_17					
DATE		ENG	HitKit		
		varizat / sou			
DATE last updated		CLASSIFICATION			



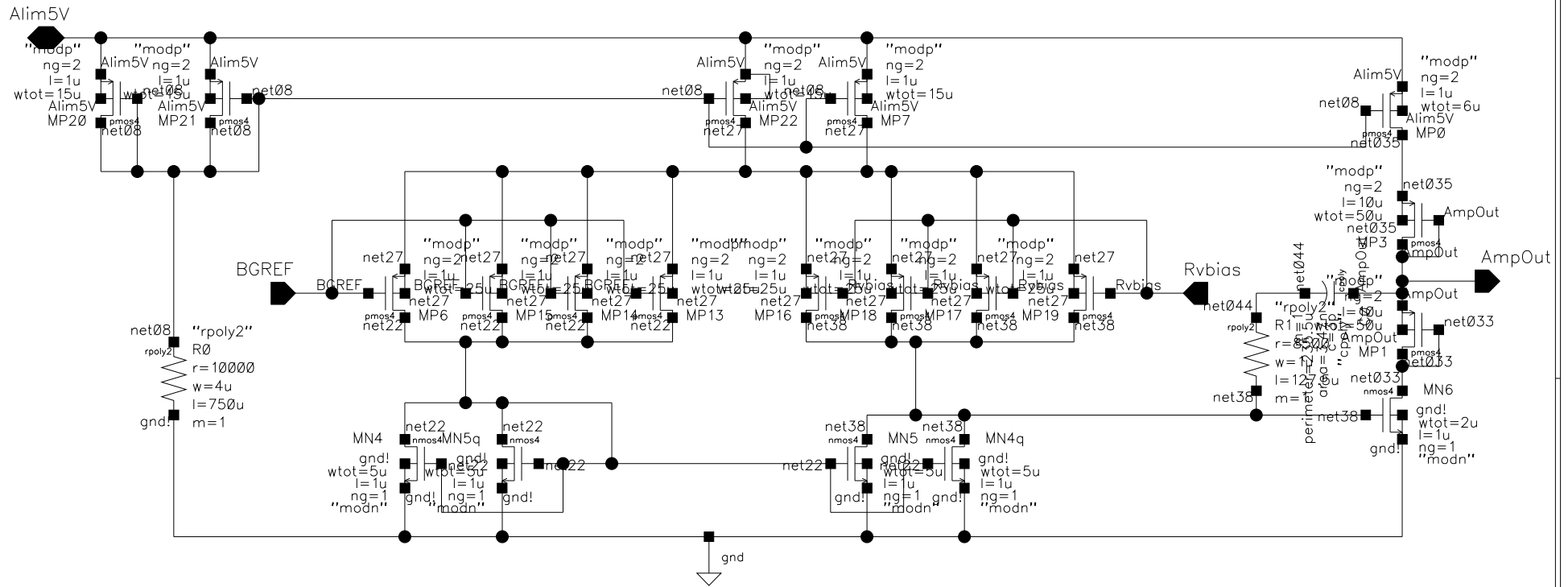
OWNER			
austriamicrosystems AG			
TITLE		VIEW	
Bias		schematic	
DESCRIPTION			REV
Bias Regu			v2
LIBRARY	PROJECT	PROCESS	
Juice_17		c35b4	
DATE	ENG	HICKIT	
Feb 14 12:51:17 2017	varizat / sou	ams_4.10	
DATE last updated		CLASSIFICATION	
		Digital	



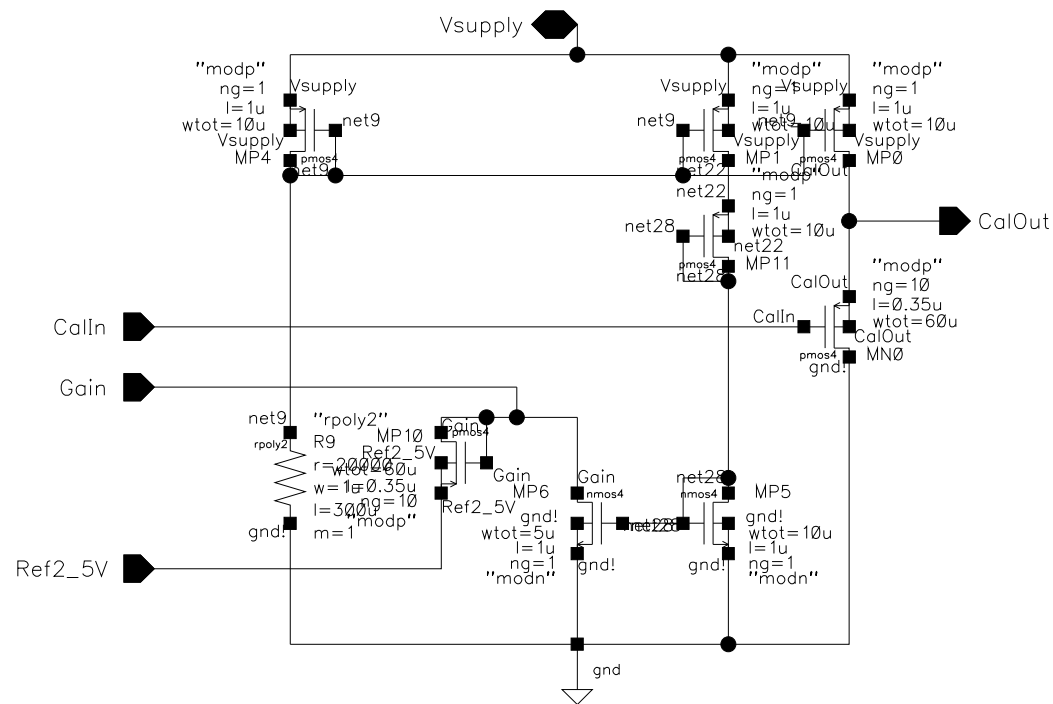
OWNER			austriamicrosystems AG				
TITLE		Reference		VIEW		schematic	
DESCRIPTION		Bandgap		REV		v2	
LIBRARY		Juice_17		PROJECT		PROCESS	
DATE		Feb 14 12:55:36 2017		ENG		varizat / sou	
DATE last updated				CLASSIFICATION		ams_4.10	
				Digital			



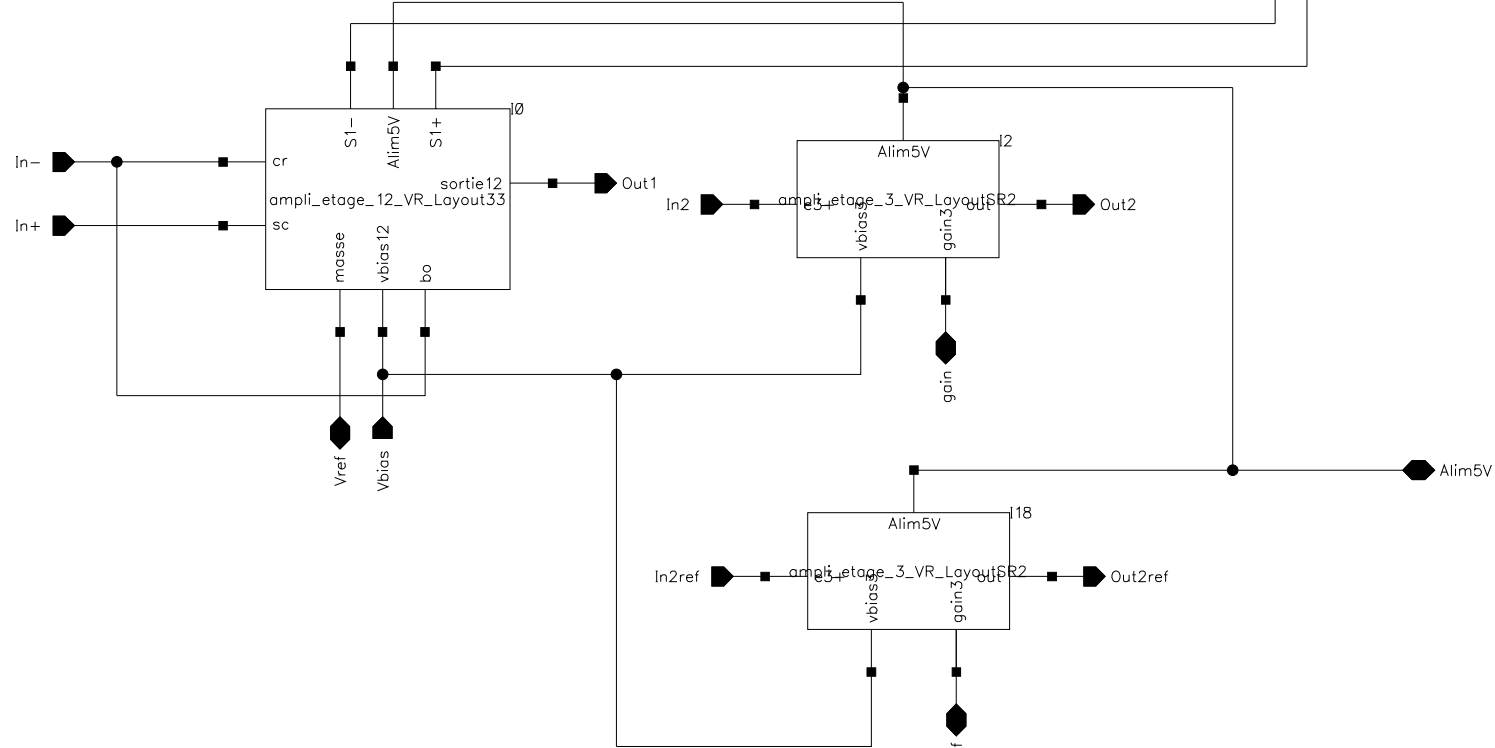
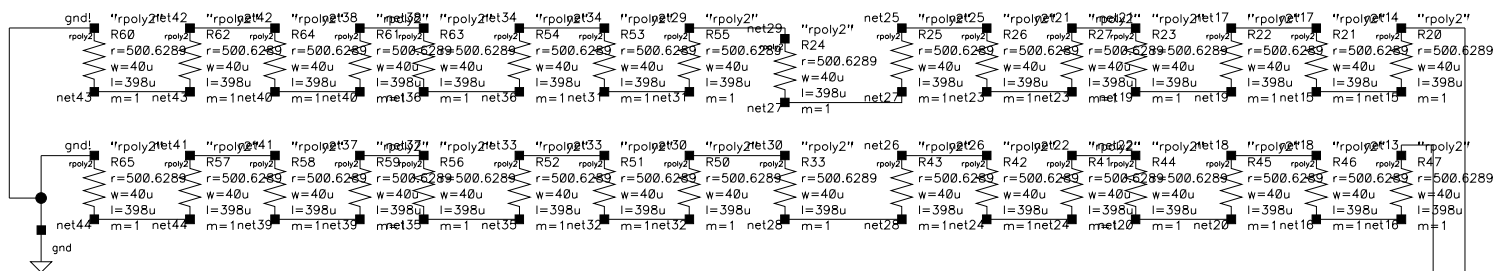
OWNER			austriamicrosystems AG		
TITLE		VIEW			
BiasCircuit33		schematic			
DESCRIPTION			REV		
Circuit de bias courant			v2		
LIBRARY		PROJECT		PROCESS	
Juice_17				HitKit	
DATE		ENG			
		varizat / sou			
DATE last updated		CLASSIFICATION			



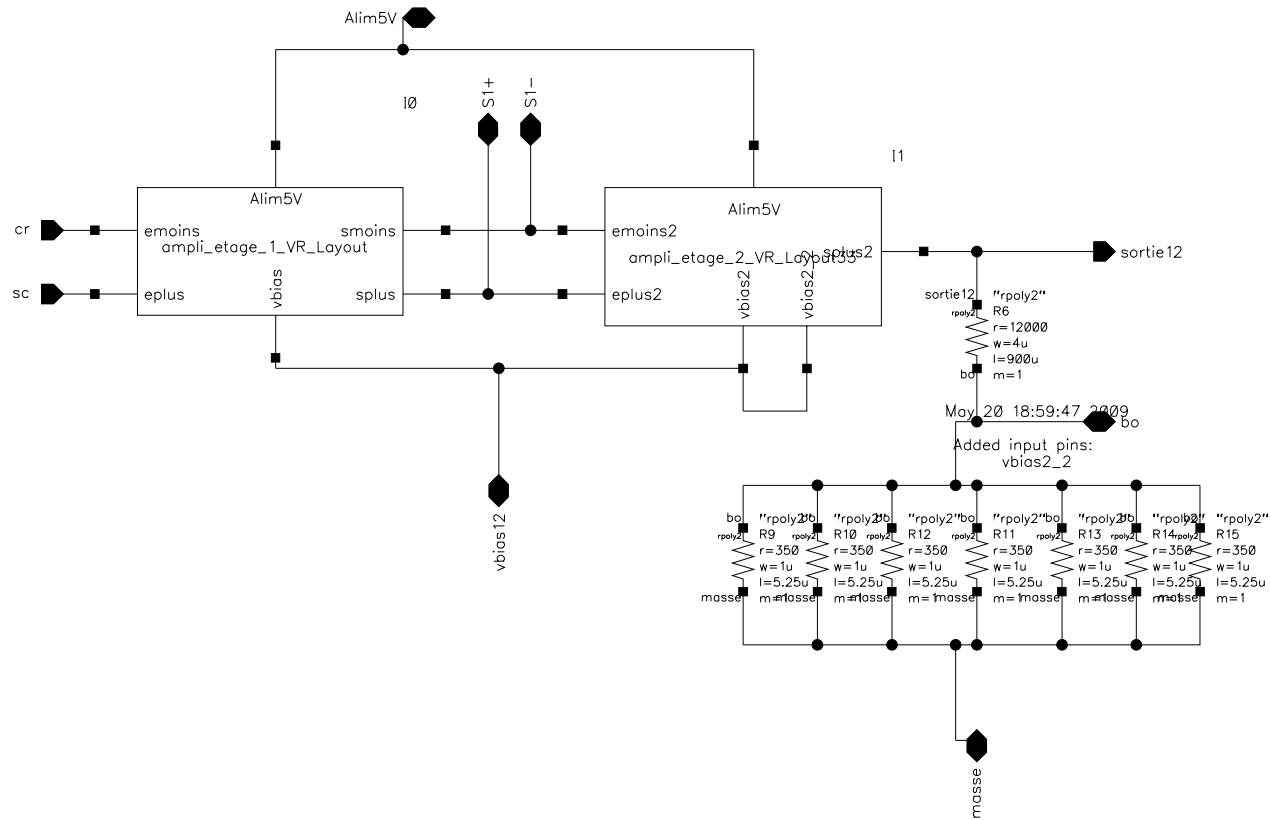
OWNER			austriamicrosystems AG		
TITLE		VIEW			
AmpliBias33		schematic			
DESCRIPTION			REV		
AOP bias courant			v2		
LIBRARY		PROJECT		PROCESS	
Juice_17					
DATE		ENG		HitKit	
		varizat / sou			
DATE last updated		CLASSIFICATION			



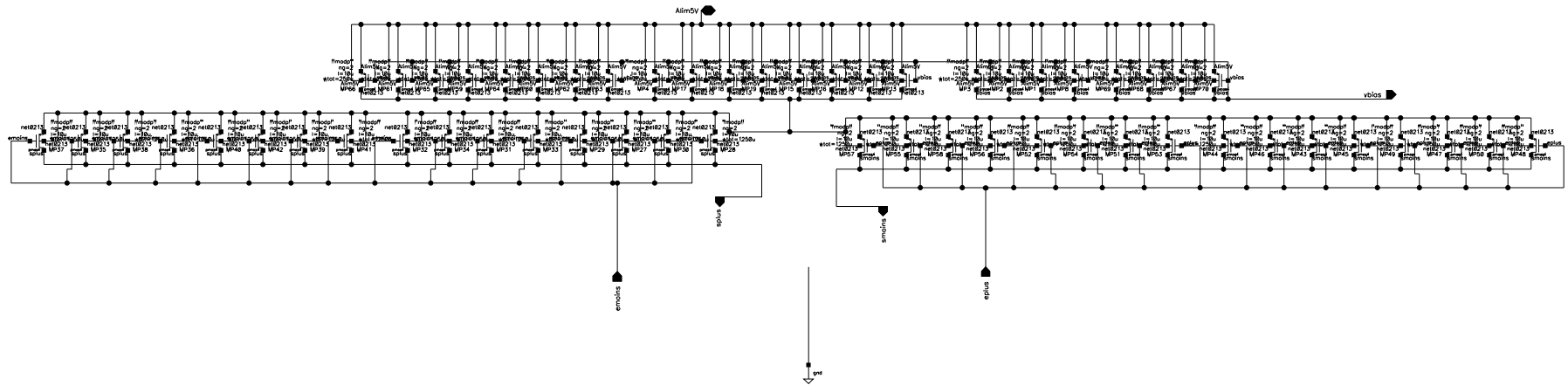
OWNER			austriamicrosystems AG				
TITLE		buffer		VIEW		schematic	
DESCRIPTION							REV
Buffer de calibration							v1
LIBRARY			PROJECT		PROCESS		
Juice_17							
DATE			ENG		HitKit		
			varizat / sou				
DATE last updated			CLASSIFICATION				



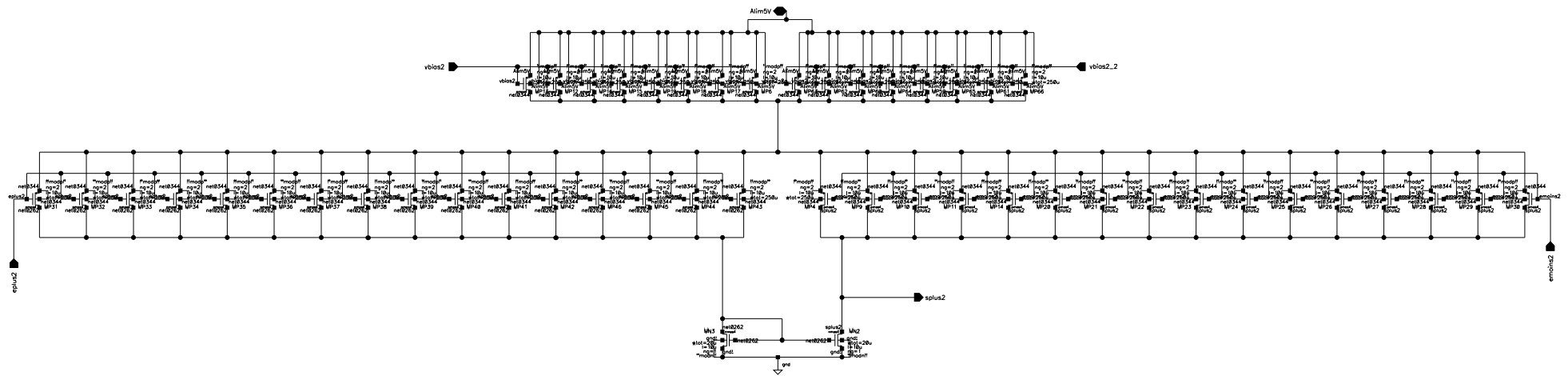
OWNER austriamicrosystems AG		
TITLE AmpliJuice_diffout33SR2		VIEW schematic
DESCRIPTION LNA		REV v2
LIBRARY Juice_17	PROJECT JUICE	PROCESS c35b4
DATE Feb 14 13:00:11 2017	ENG varizat / sou	Kit ams_4.10
DATE last updated		CLASSIFICATION Digital



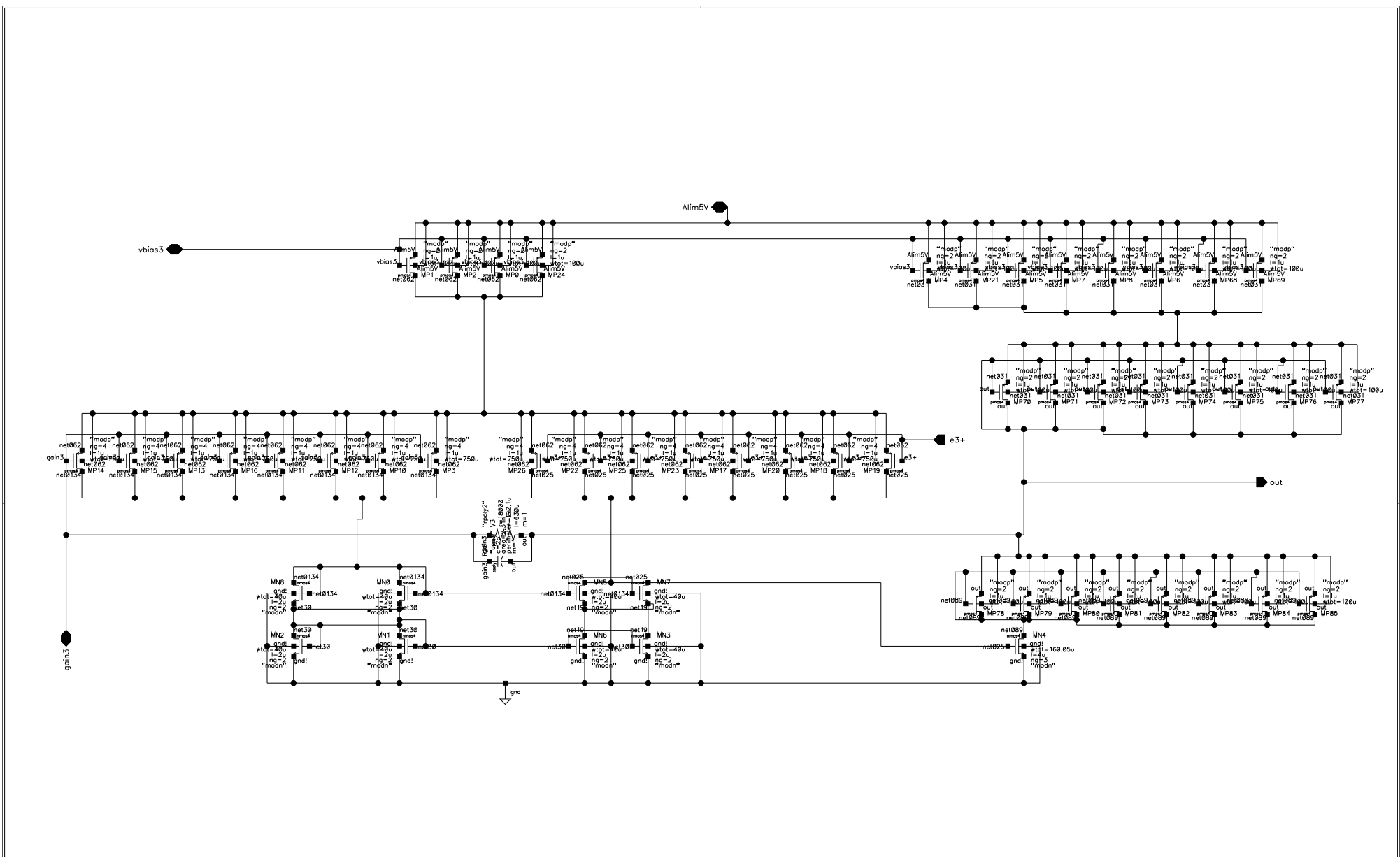
OWNER			austriamicrosystems AG		
TITLE		ampli_etage_12_VR_Layout33		VIEW schematic	
DESCRIPTION				REV	
Etage 1 et 2 du LNA				v2	
LIBRARY		PROJECT		PROCESS	
Juice_17				c35b4	
DATE		ENG		HicKit	
Feb 14 13:02:31 2017		varizat / sou		ams_4.10	
DATE last updated		CLASSIFICATION			
Jan 31 09:41:22 2017		Digital			



OWNER	austriamicrosystems AG		
TITLE	ampi_etage_1_VR_Layout	VIEW	schematic
DESCRIPTION	Etage 1 du LNA		REV v1
LIBRARY	Juice_17	PROJECT	PROCESS
DATE	varizat / sou	ENG	HEIK
DATE OF UPDATE	CLASSIFICATION		



OWNER	austriamicrosystems AG		
TITLE	ampi_etage_2_VR_Layout33	VIEW	schematic
DESCRIPTION	Etag 2 du LNA		REV v2
LIBRARY	Juice_17	PROJECT	PROCESS
DATE	varizat / sou	ENG	HEIK
DATE DESIGNED	CLASSIFICATION		



OWNER		austriamicrosystems AG	
TITLE	ampli_etage_3_VR_LayoutSR2	VIEW	schematic
DESCRIPTION	Etage 3 du LNA	REV	v2
LIBRARY	Juice_17	PROJECT	
DATE		ENG	varizat / sou
DATE last updated		CLASSIFICATION	

Annexe B

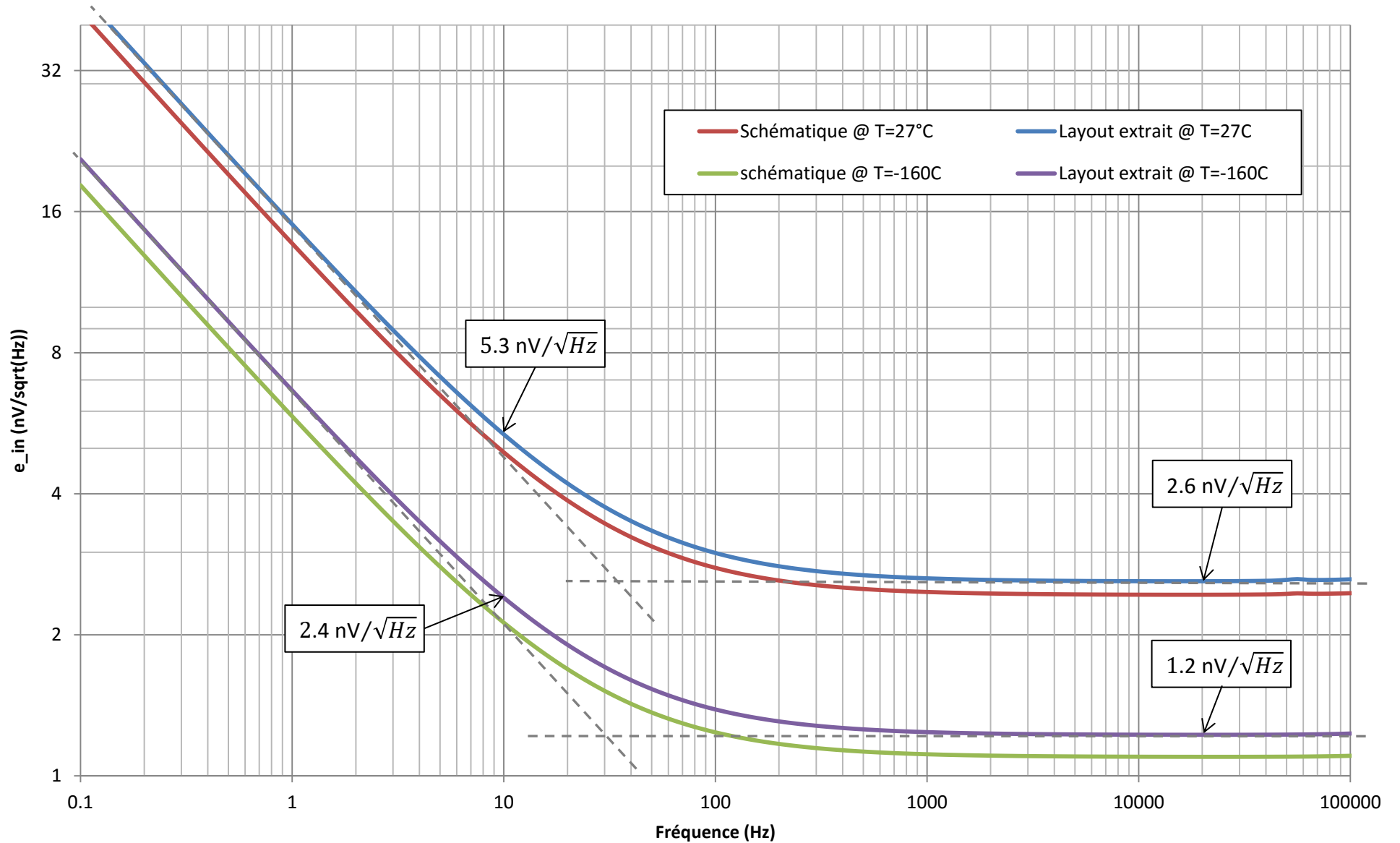
Courbes de simulations de JUICE ASIC

Listes des courbes :

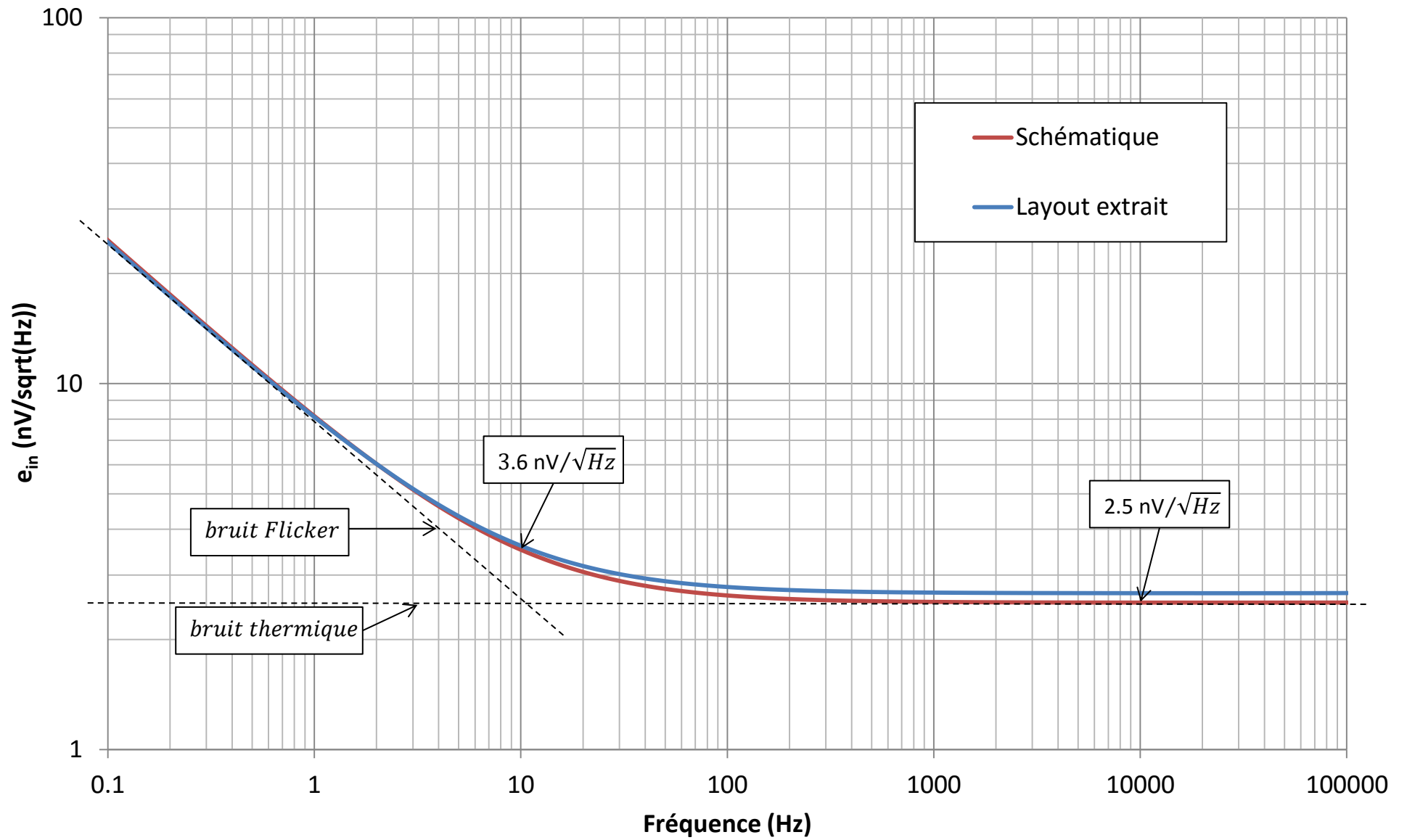
- fig.01 : Bruit équivalent en entrée du circuit une voie
- fig.02 : Bruit équivalent en entrée du LNA seul à température ambiante
- fig.03 : Simulation transitoire du layout extrait sur 1ms à 0C
- fig.04 : Simulation transitoire du layout extrait sur 1ms à -130C
- fig.05 : Simulation transitoire du layout extrait sur 1ms à -180C
- fig.06 : Simulation DC du layout extrait en fonction de la température
- fig.07 : Simulation DC du layout extrait en fonction de la tension d'alimentation à 0C
- fig.08 : Simulation DC du layout extrait en fonction de la tension d'alimentation à 130C
- fig.09 : Simulation DC du layout extrait en fonction de la tension d'alimentation à -180C
- fig.10 : Simulation AC du layout extrait à température ambiante
- fig.11 : Simulation AC du layout extrait à -130C
- fig.12 : Simulation AC du layout extrait à -180C
- fig.13 : Simulation transitoire du layout extrait sur 1ms pour un signal de 1 μ V en entrée
- fig.14 : Simulation trans. du layout extrait sur 1ms pour un signal de 20kHz en entrée
- fig.15 : Simulation trans. du layout extrait sur 10s pour un signal de 100mHz en entrée
- fig.16 : Simulation trans. du layout extrait sur 1ms pour un signal de 150 μ V en entrée
- fig.17 : Simulation transitoire de corner "cmoswo" du layout extrait sur 1ms
- fig.18 : Simulation transitoire de corner "cmoswp" du layout extrait sur 1ms
- fig.19 : Simulation transitoire de corner "cmosws" du layout extrait sur 1ms
- fig.20 : Simulation transitoire de corner "cmoswz" du layout extrait sur 1ms
- fig.21 : Simulation DC de corner "cmoswo" du layout extrait en fonction de V_{sat}

fig.22 : Simulation DC de corner "cmoswp" du layout extrait en fonction de V_{sat}
fig.23 : Simulation DC de corner "cmosws" du layout extrait en fonction de V_{sat}
fig.24 : Simulation DC de corner "cmoswz" du layout extrait en fonction de V_{sat}
fig.25 : Linéarité de l'ampli. faible bruit et saturation : simulation du layout extrait
fig.26 : Linéarité différentielle de l'amplificateur faible bruit : simulation du layout extrait
fig.27 : Simulation transitoire du layout extrait avec démarrage de l'alimentation satellite
fig.28 : Simulation de la phase de l'amplificateur faible bruit du layout extrait
fig.29 : Simulation AC de la cal du layout extrait à différentes températures : magnitude
fig.30 : Simulation AC de la cal du layout extrait à différentes températures : phase
fig.31 : Fonction de transfert du modèle de fluxmètre seul et du magnétomètre pour différentes valeurs de contre-réaction.

Bruit équivalent en entrée du circuit une voie



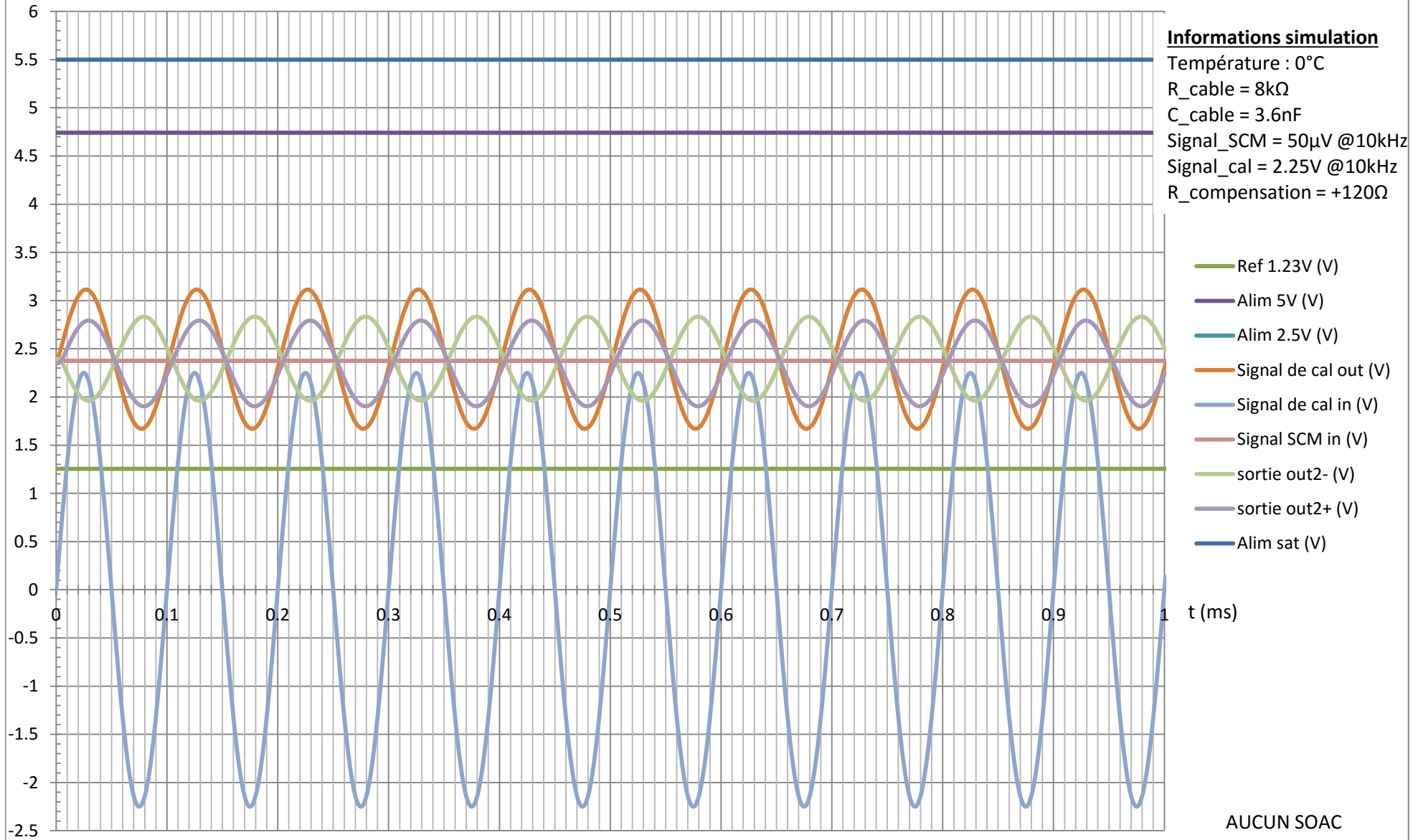
Bruit équivalent en entrée du LNA seul à température ambiante



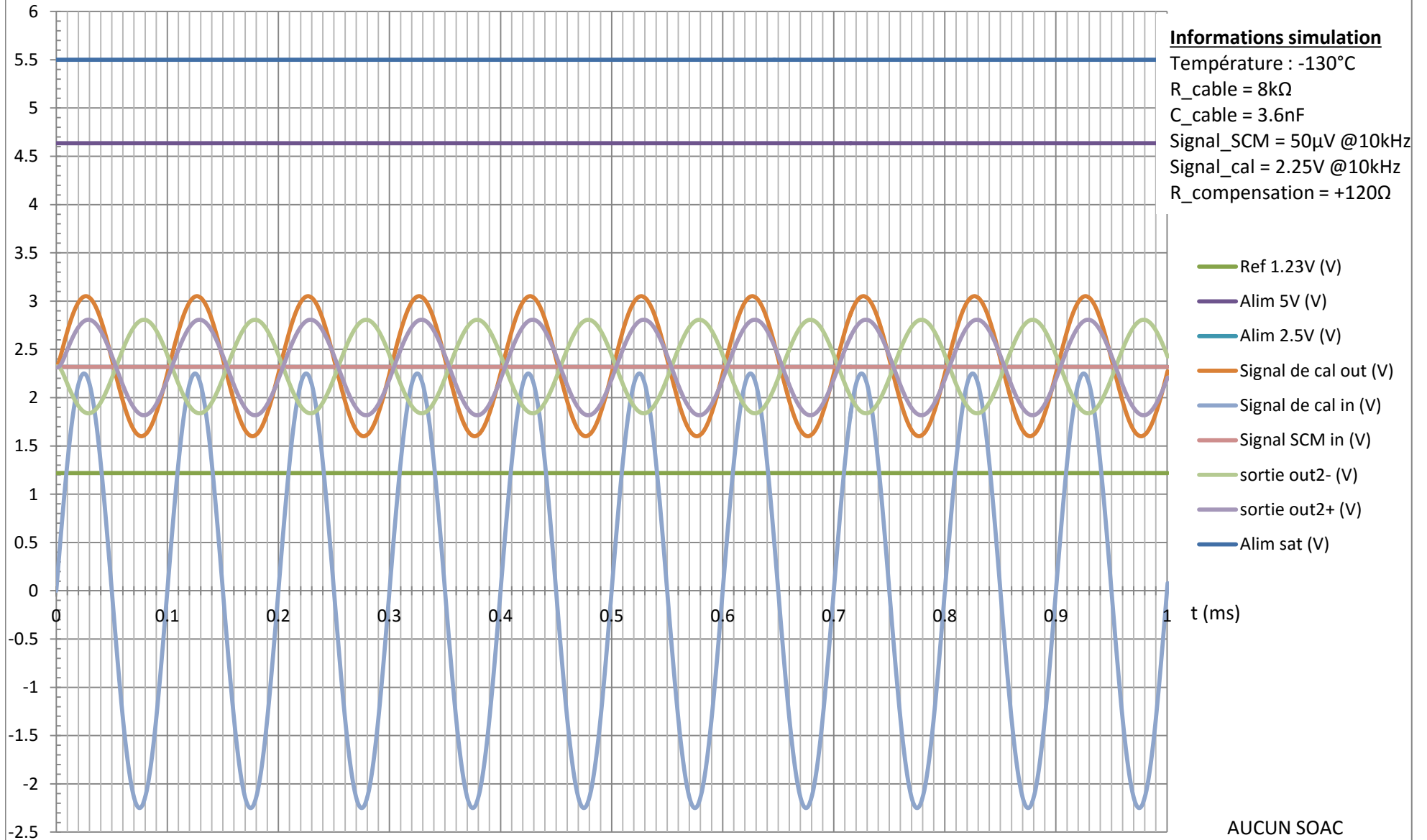
Simulation transitoire du layout extrait du circuit une voie sur 1ms à 0°C

Informations simulation

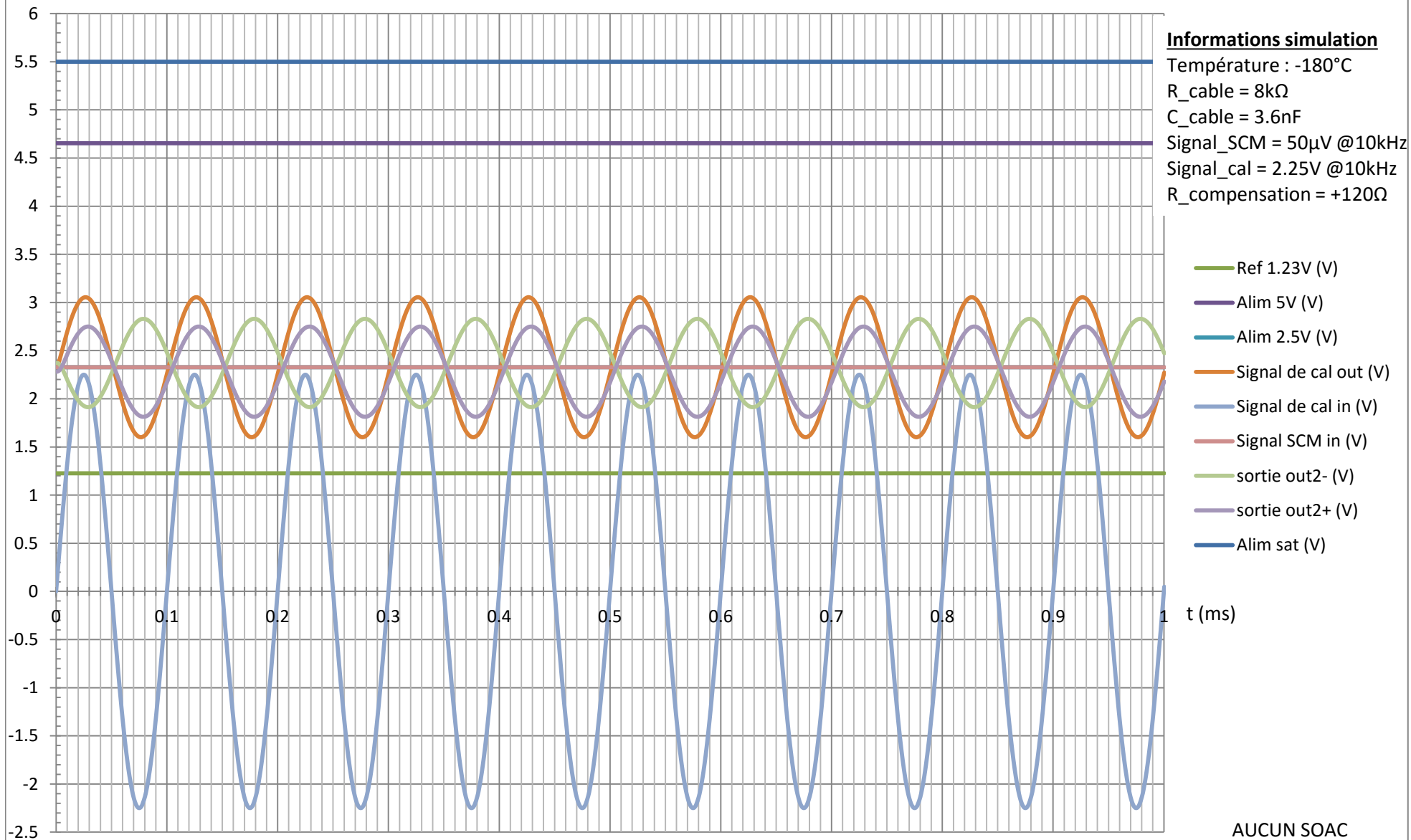
Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = 50μV @10kHz
Signal_cal = 2.25V @10kHz
R_compensation = +120Ω



Simulation transitoire du layout extrait du circuit une voie sur 1ms à -130°C



Simulation transitoire du layout extrait du circuit une voie sur 1ms à -180°C



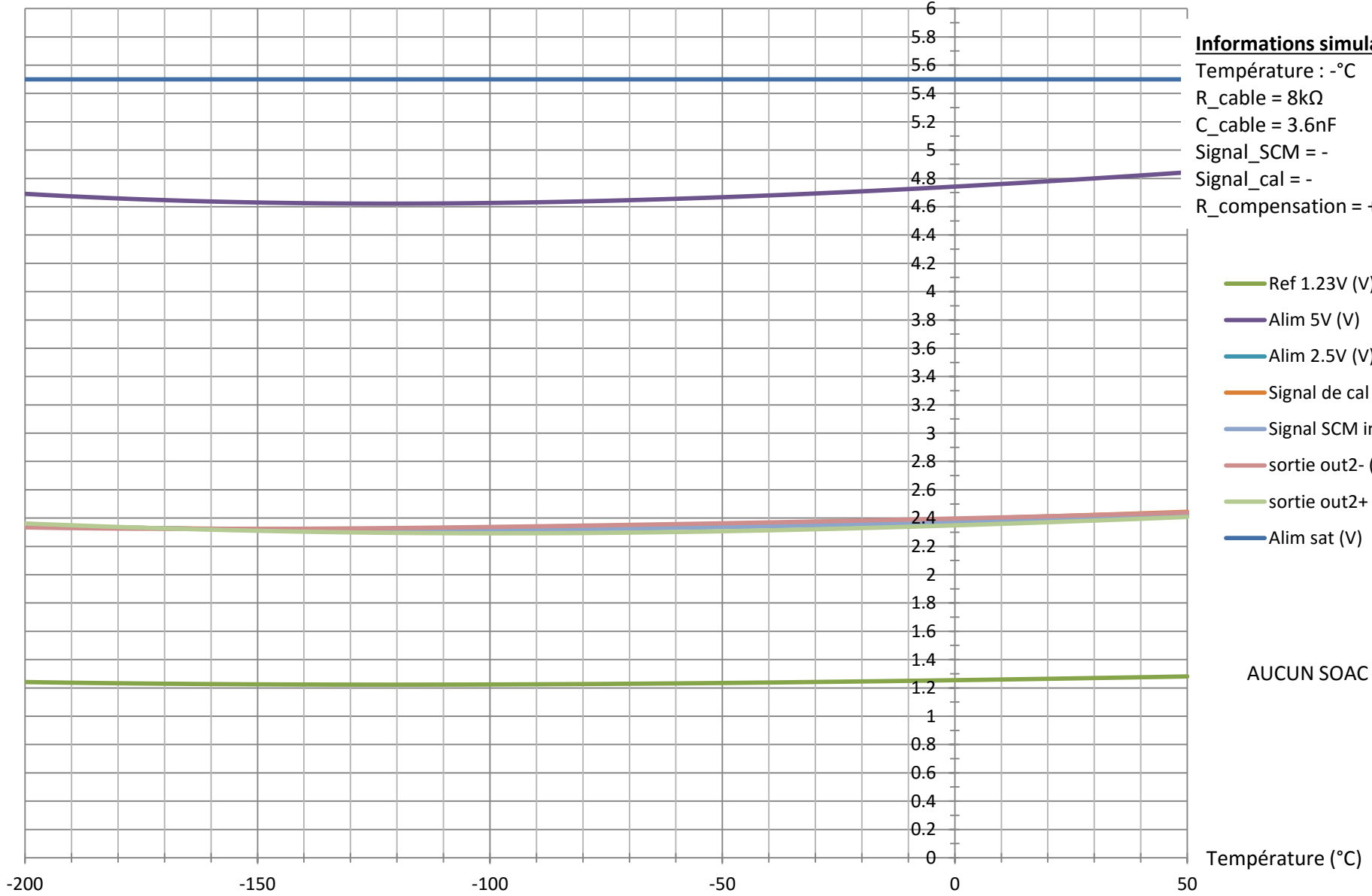
Simulation DC du layout extrait du circuit une voie en fonction de la température

Informations simulation

Température : -°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = -
Signal_cal = -
R_compensation = +120Ω

- Ref 1.23V (V)
- Alim 5V (V)
- Alim 2.5V (V)
- Signal de cal out (V)
- Signal SCM in (V)
- sortie out2- (V)
- sortie out2+ (V)
- Alim sat (V)

AUCUN SOAC



Simulation DC du layout extrait du circuit une voie en fonction de la tension d'alimentation à 0°C

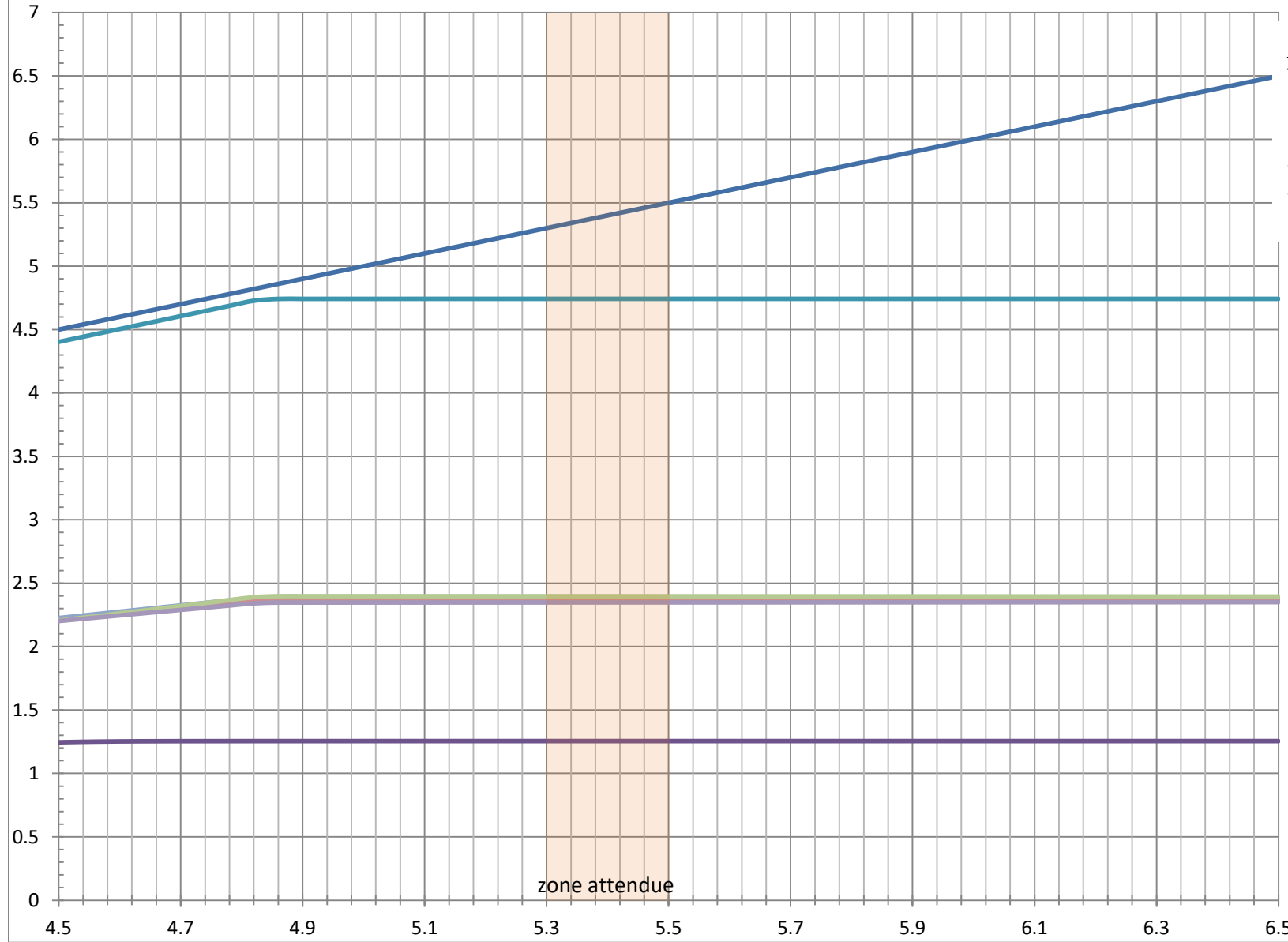
Informations simulation

Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = -
Signal_cal = -
R_compensation = +120Ω

- Ref 1.23V (V)
- Alim 5V (V)
- Alim 2.5V (V)
- Signal de cal out (V)
- Signal SCM in (V)
- sortie out2- (V)
- sortie out2+ (V)
- Alim sat (V)

SOAC :
Aucun jusqu'à 5.5V;
V(B/PSUB) > 5.5V après.

Alim sat (V)

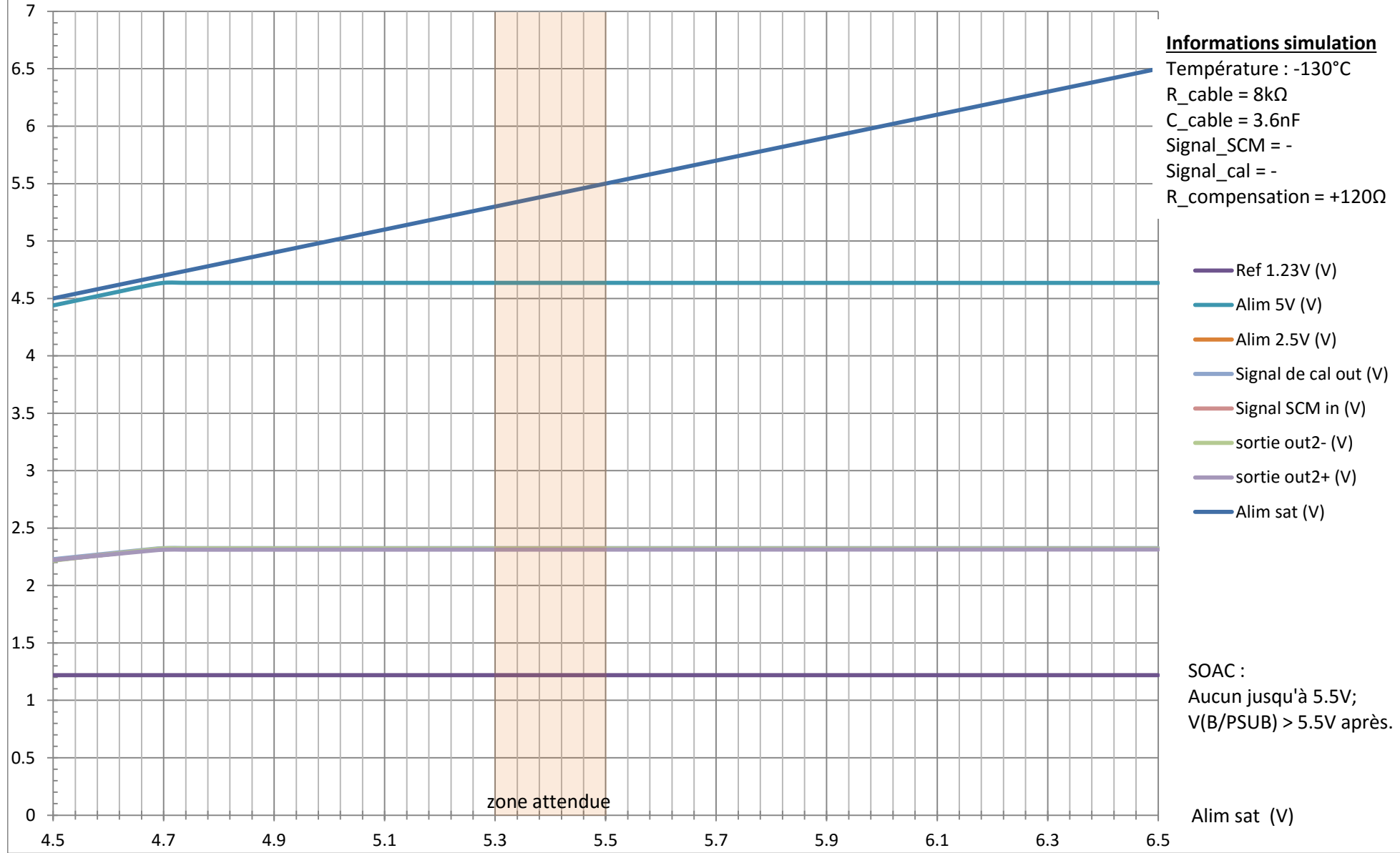


zone attendue

Simulation DC du layout extrait du circuit une voie en fonction de la tension d'alimentation à -130°C

Informations simulation

Température : -130°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = -
Signal_cal = -
R_compensation = +120Ω



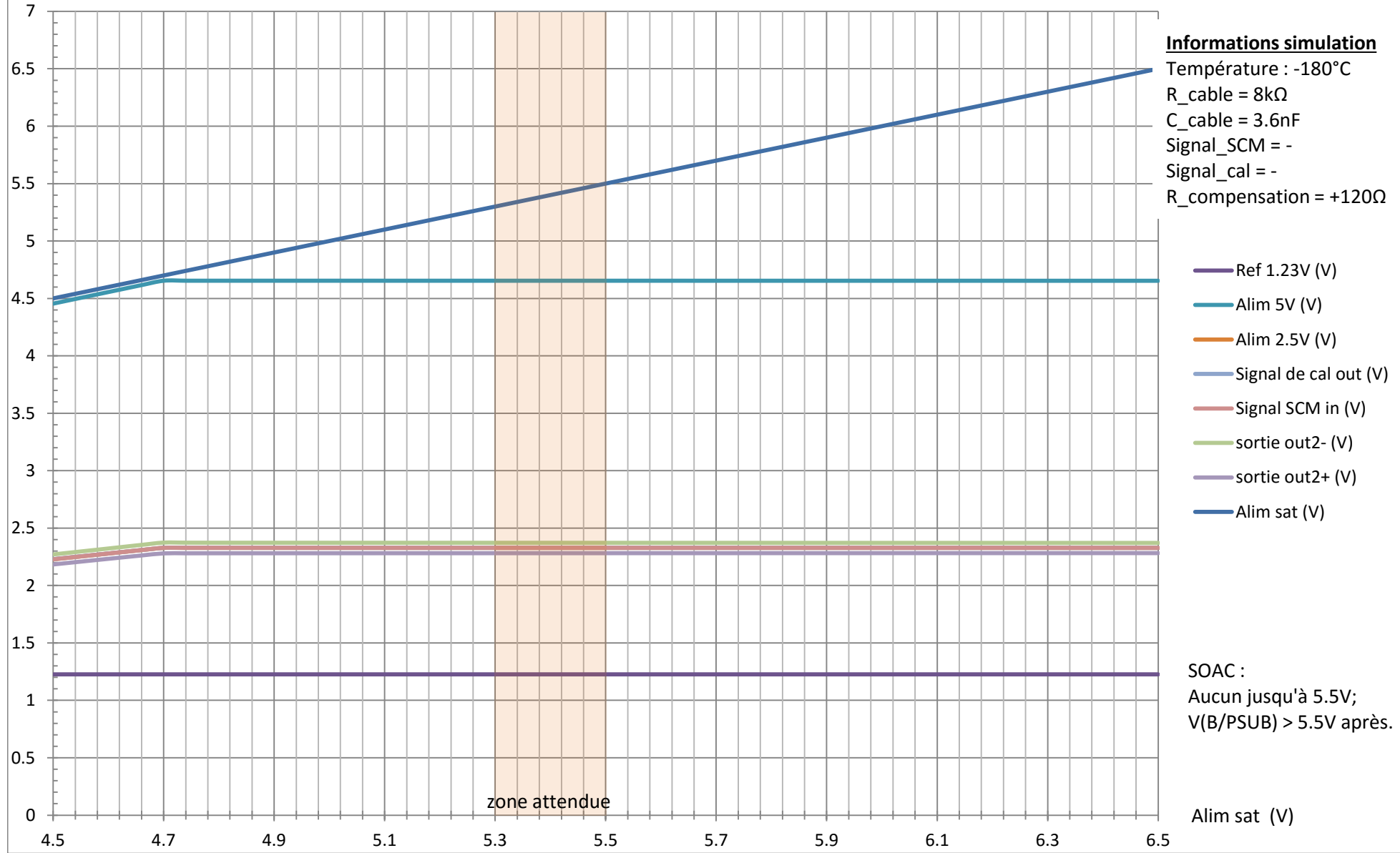
SOAC :
Aucun jusqu'à 5.5V;
V(B/PSUB) > 5.5V après.

Alim sat (V)

Simulation DC du layout extrait du circuit une voie en fonction de la tension d'alimentation à -180°C

Informations simulation

Température : -180°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = -
Signal_cal = -
R_compensation = +120Ω

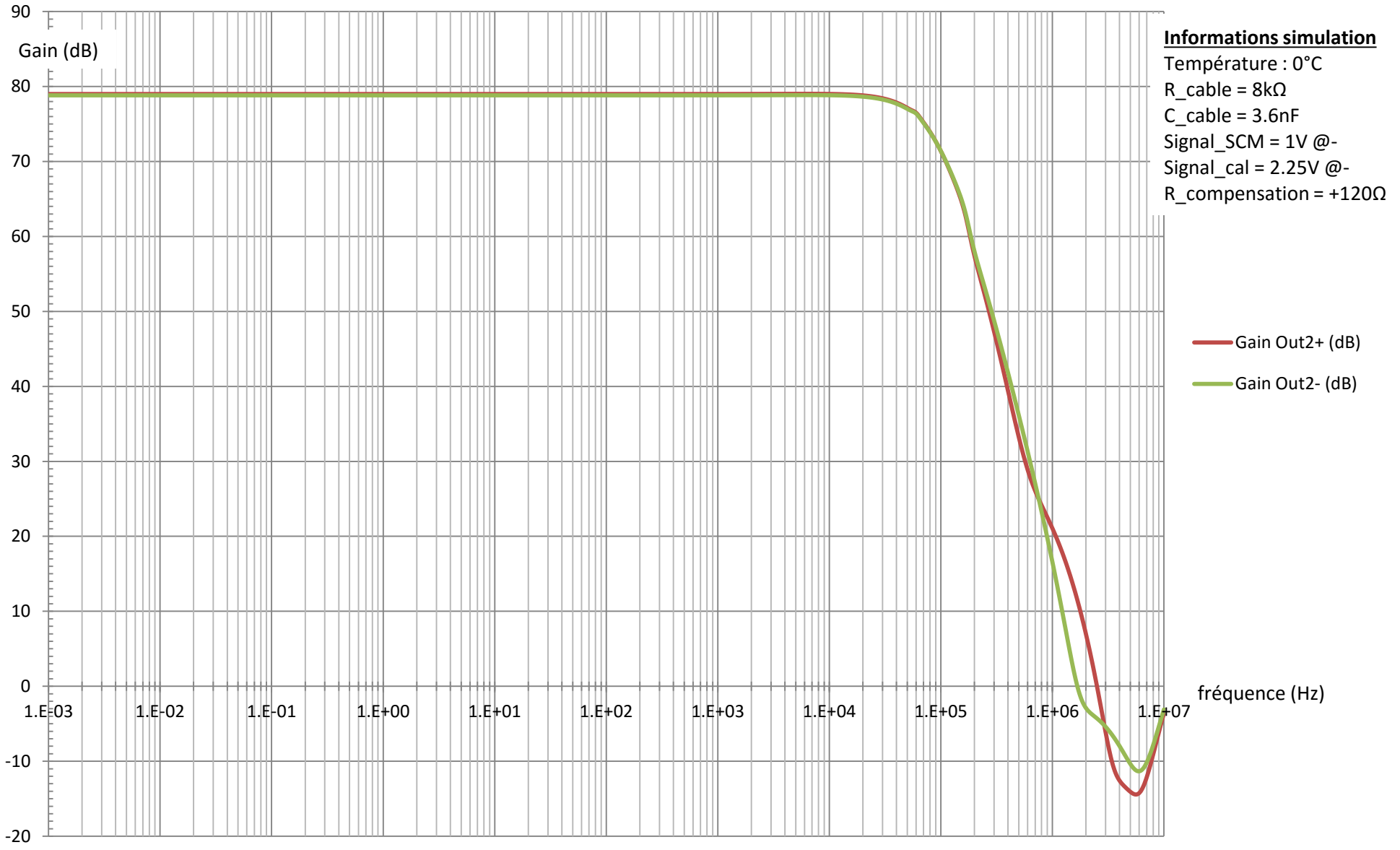


zone attendue

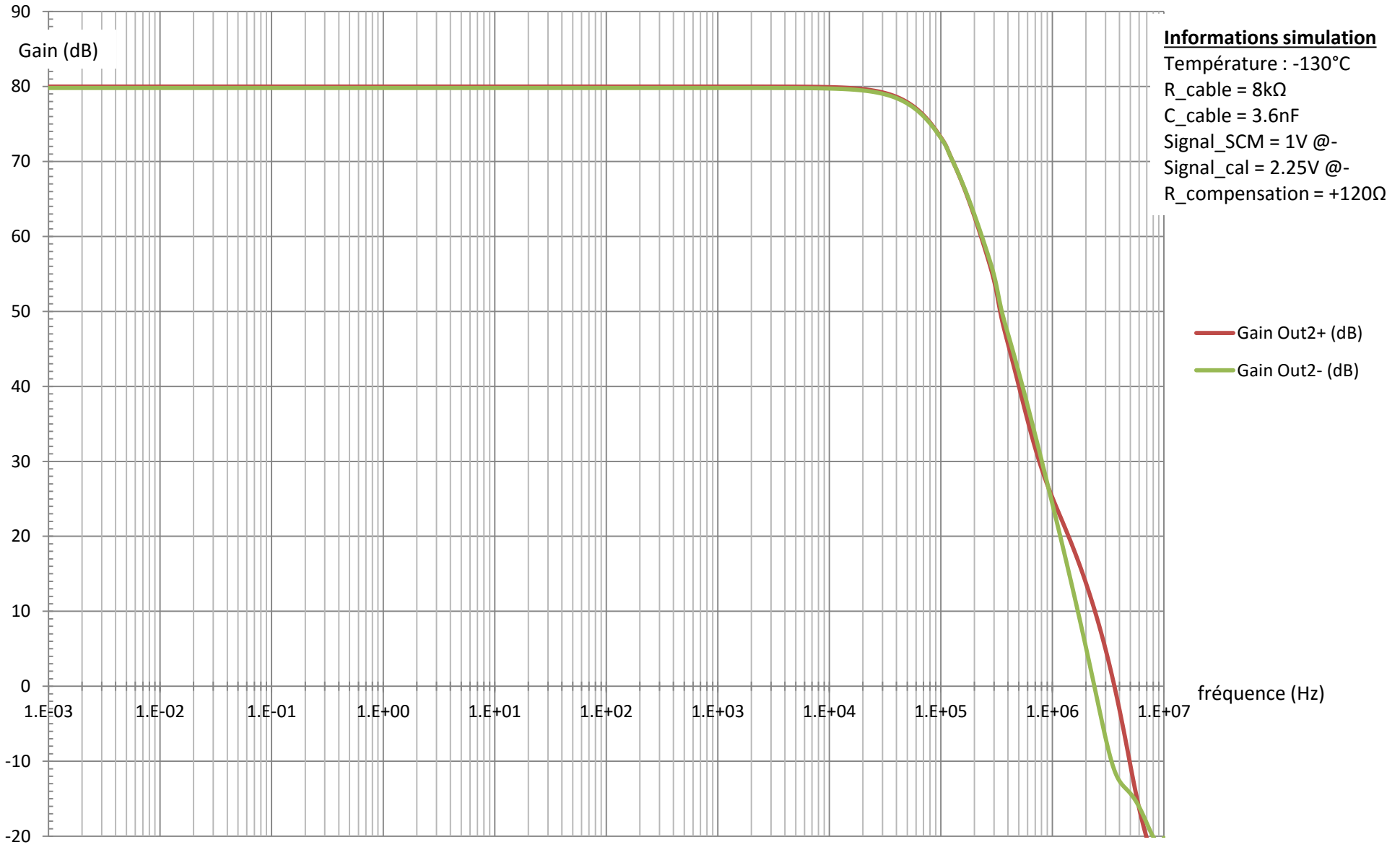
SOAC :
Aucun jusqu'à 5.5V;
V(B/PSUB) > 5.5V après.

Alim sat (V)

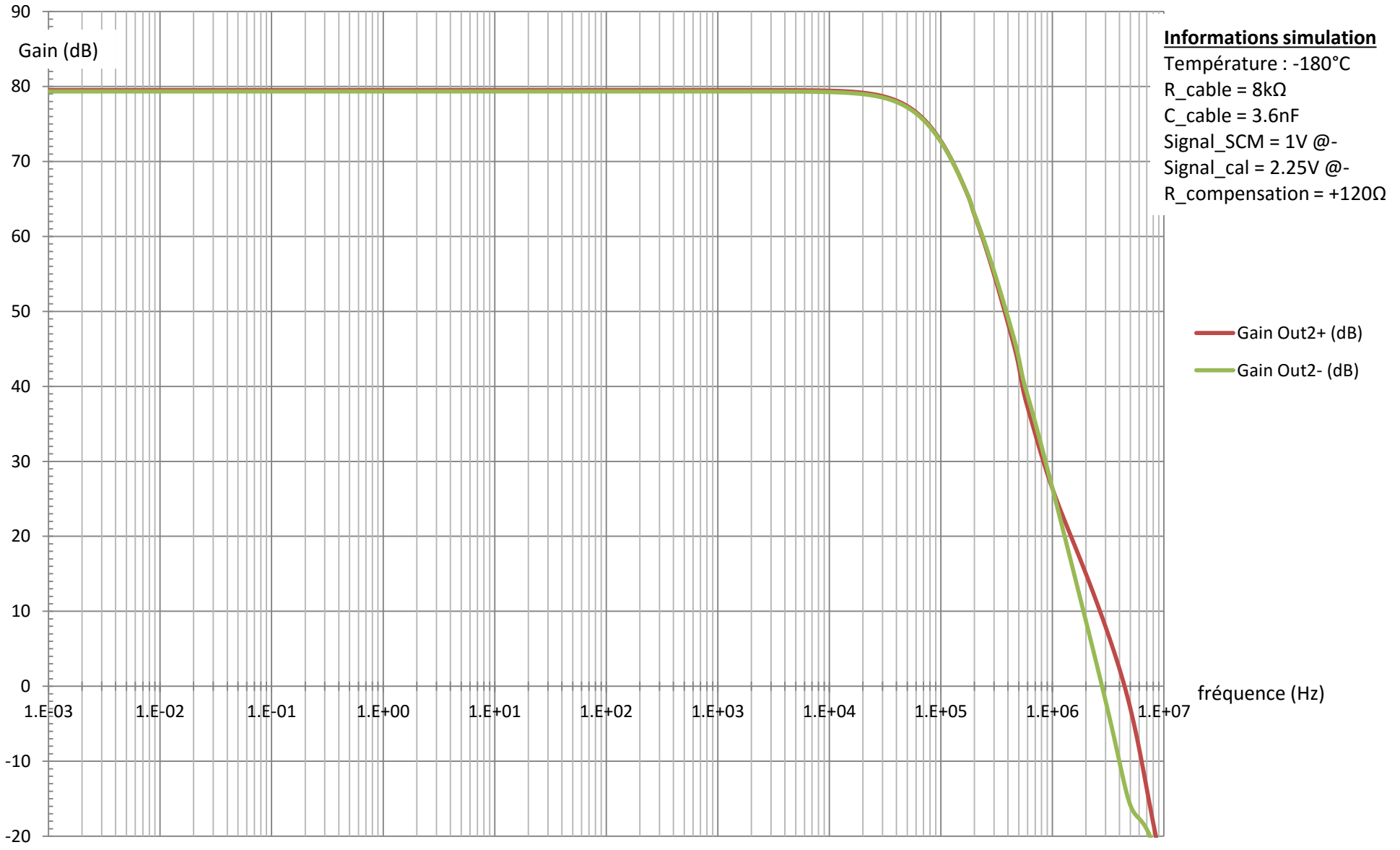
Simulation AC du layout extrait du circuit une voie à température ambiante



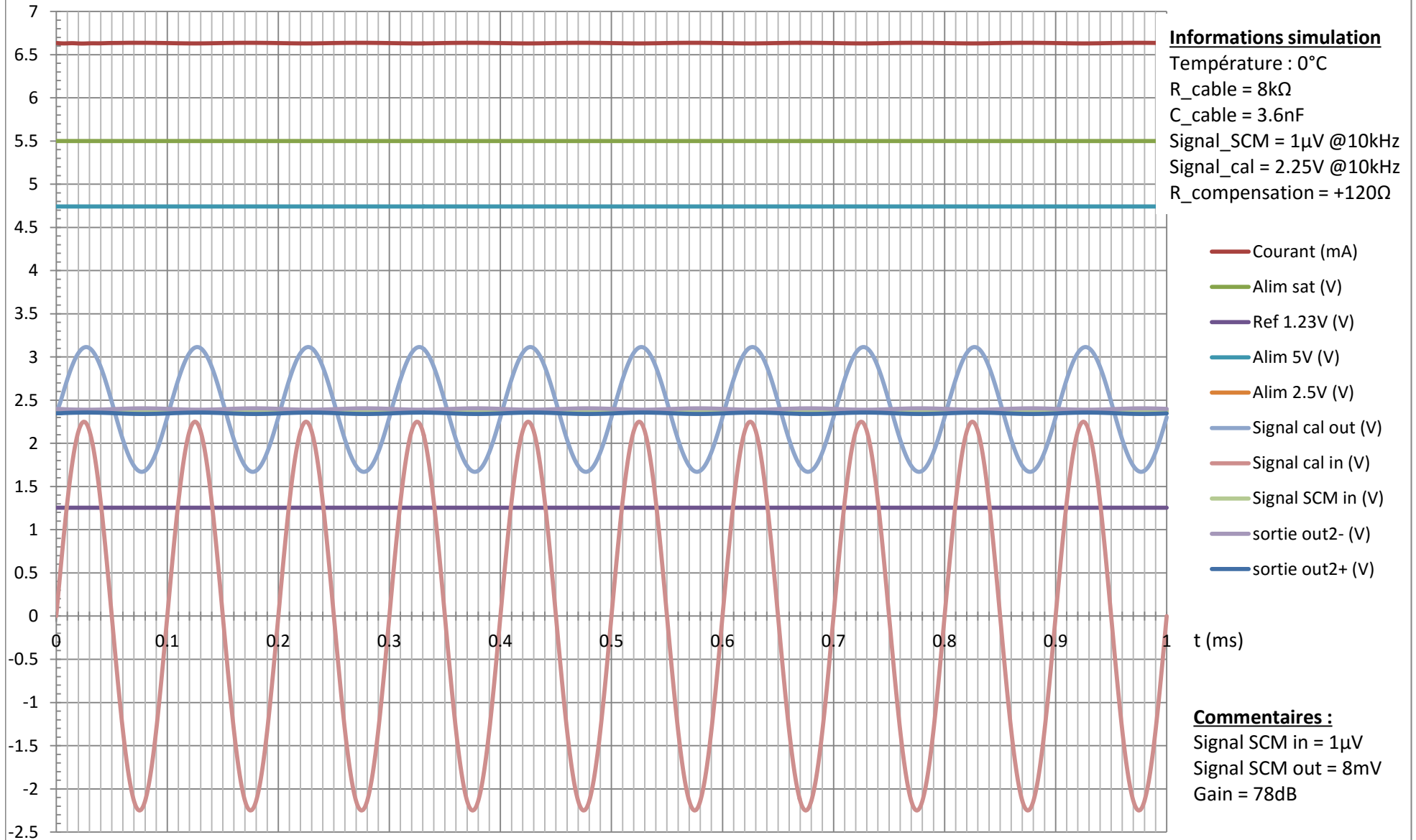
Simulation AC du layout extrait du circuit une voie à -130°C



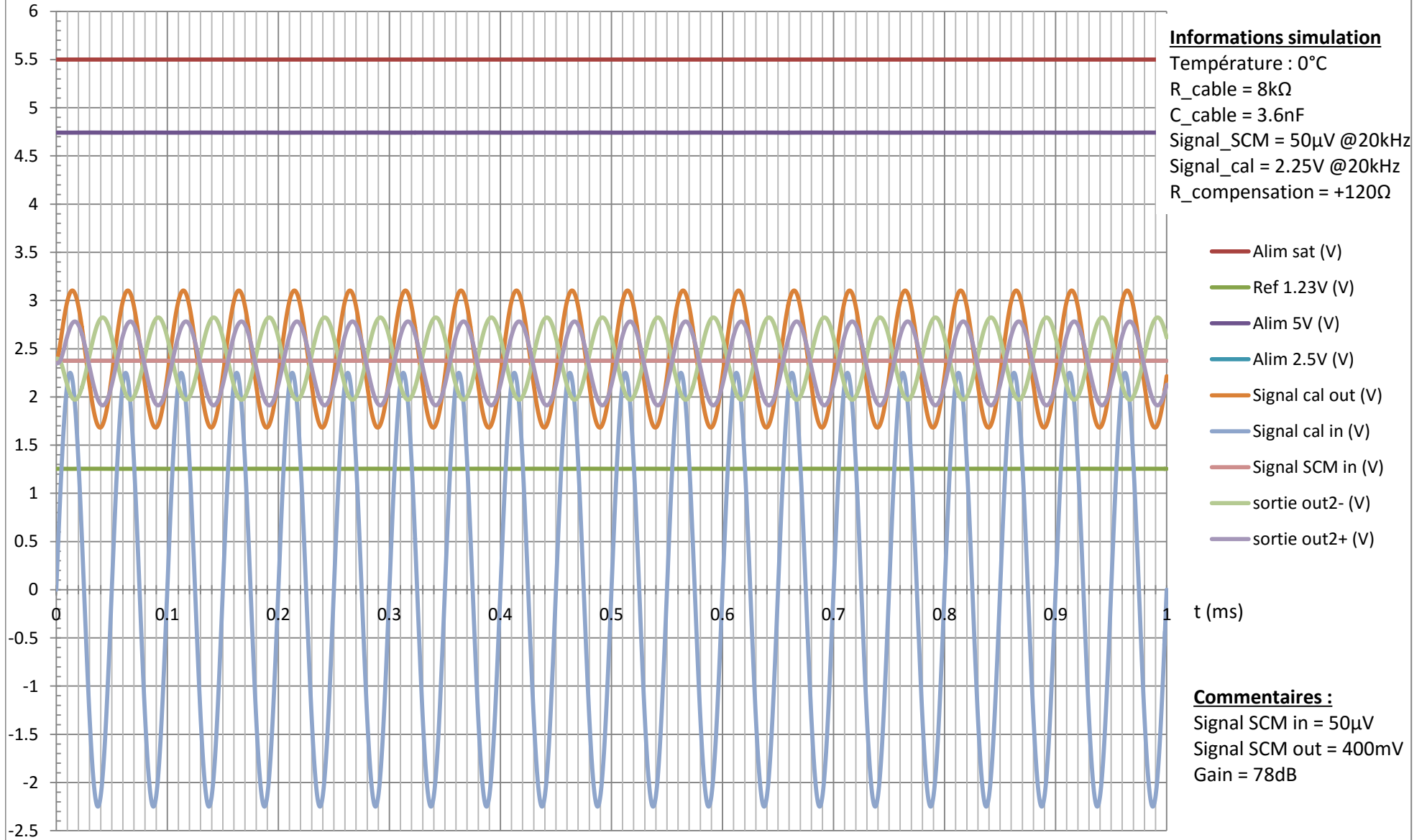
Simulation AC du layout extrait du circuit une voie à -180°C



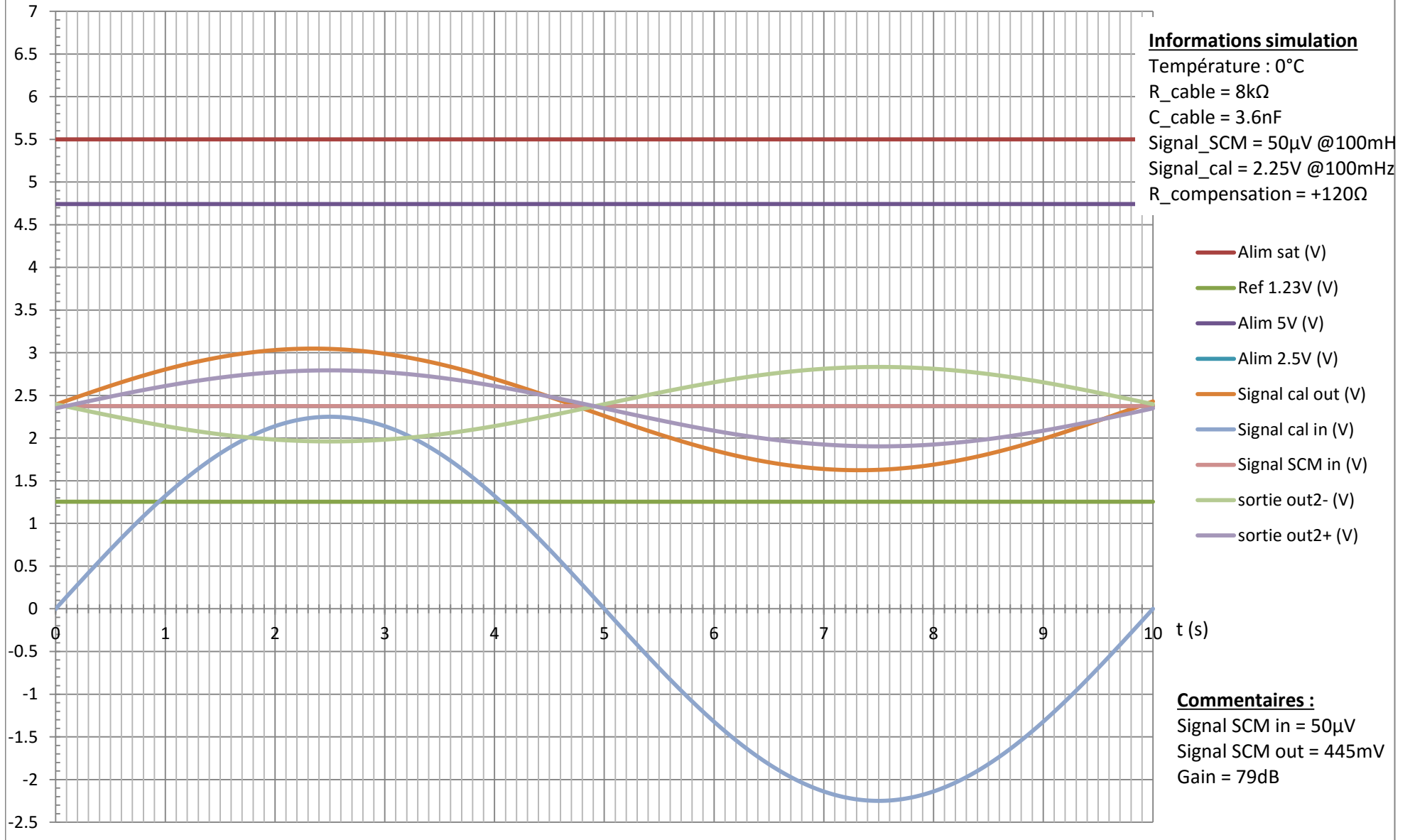
Simulation transitoire du layout extrait du circuit une voie sur 1ms pour un signal de 1 μ V en entrée



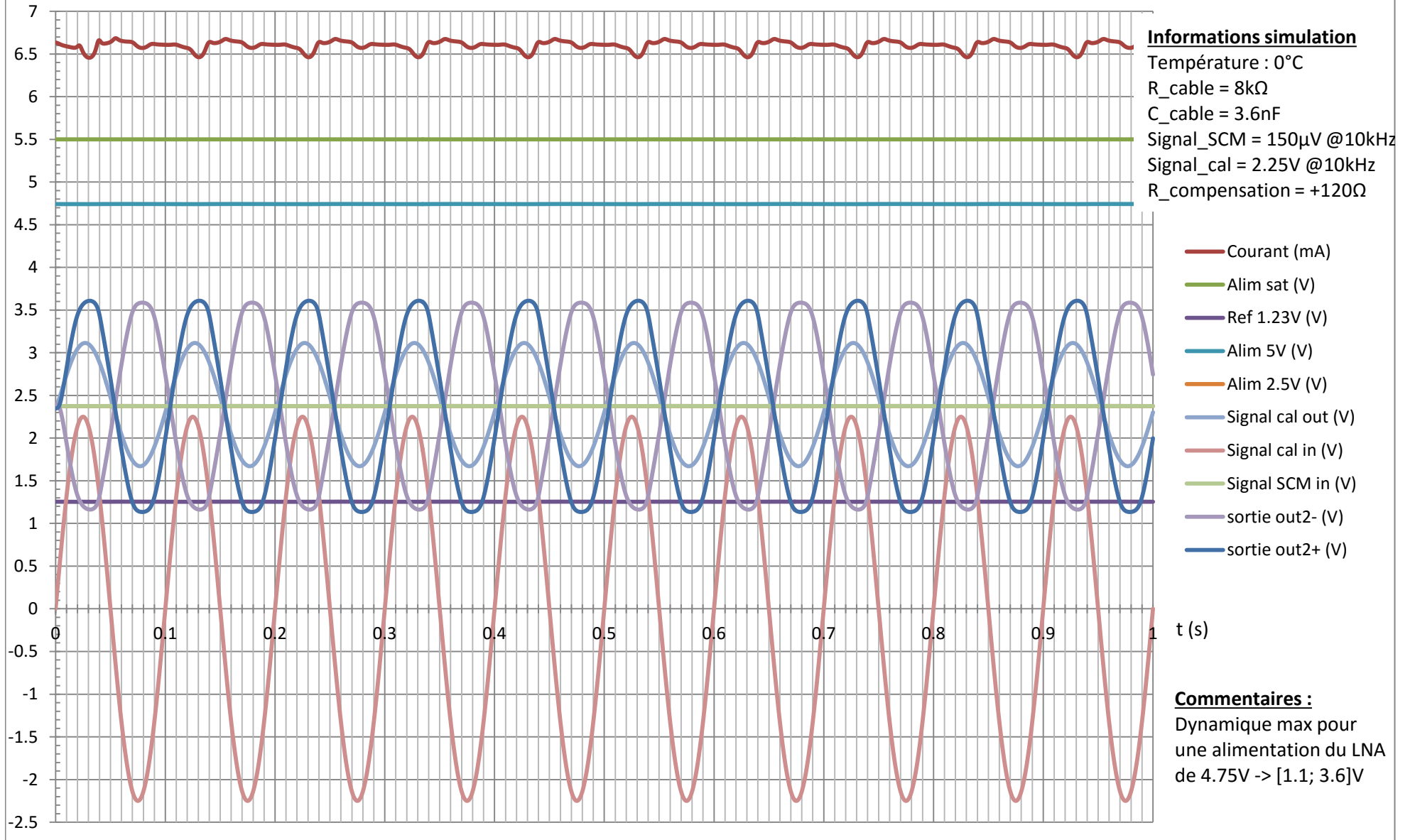
Simulation transitoire du layout extrait du circuit une voie sur 1ms pour un signal de 20kHz en entrée



Simulation transitoire du layout extrait du circuit une voie sur 10s pour un signal de 100mHz en entrée



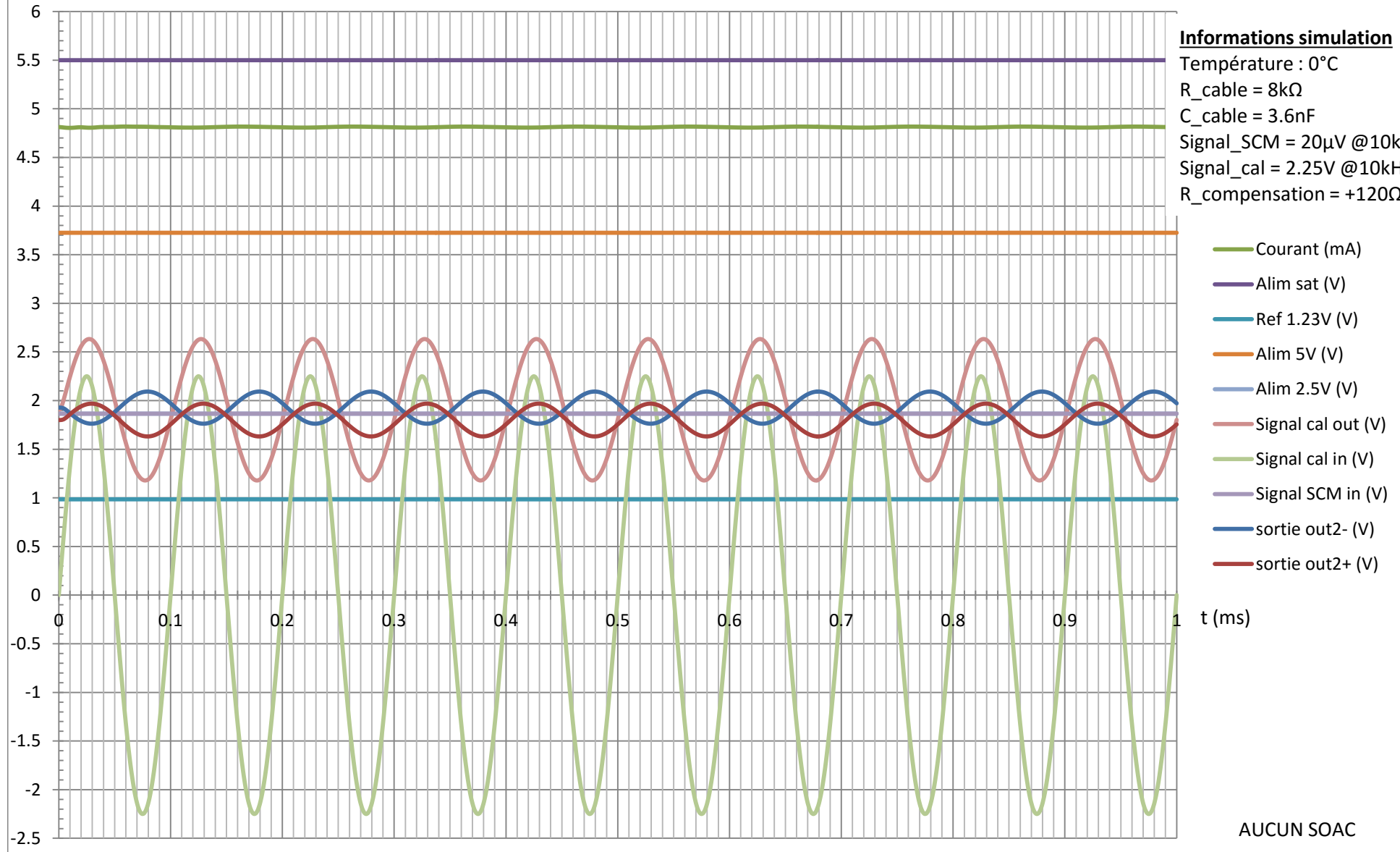
Simulation transitoire du layout extrait du circuit une voie sur 1ms pour un signal de 150 μ V en entrée



Simulation transitoire de corner "cmoswo" du layout extrait du circuit une voie sur 1ms

Informations simulation

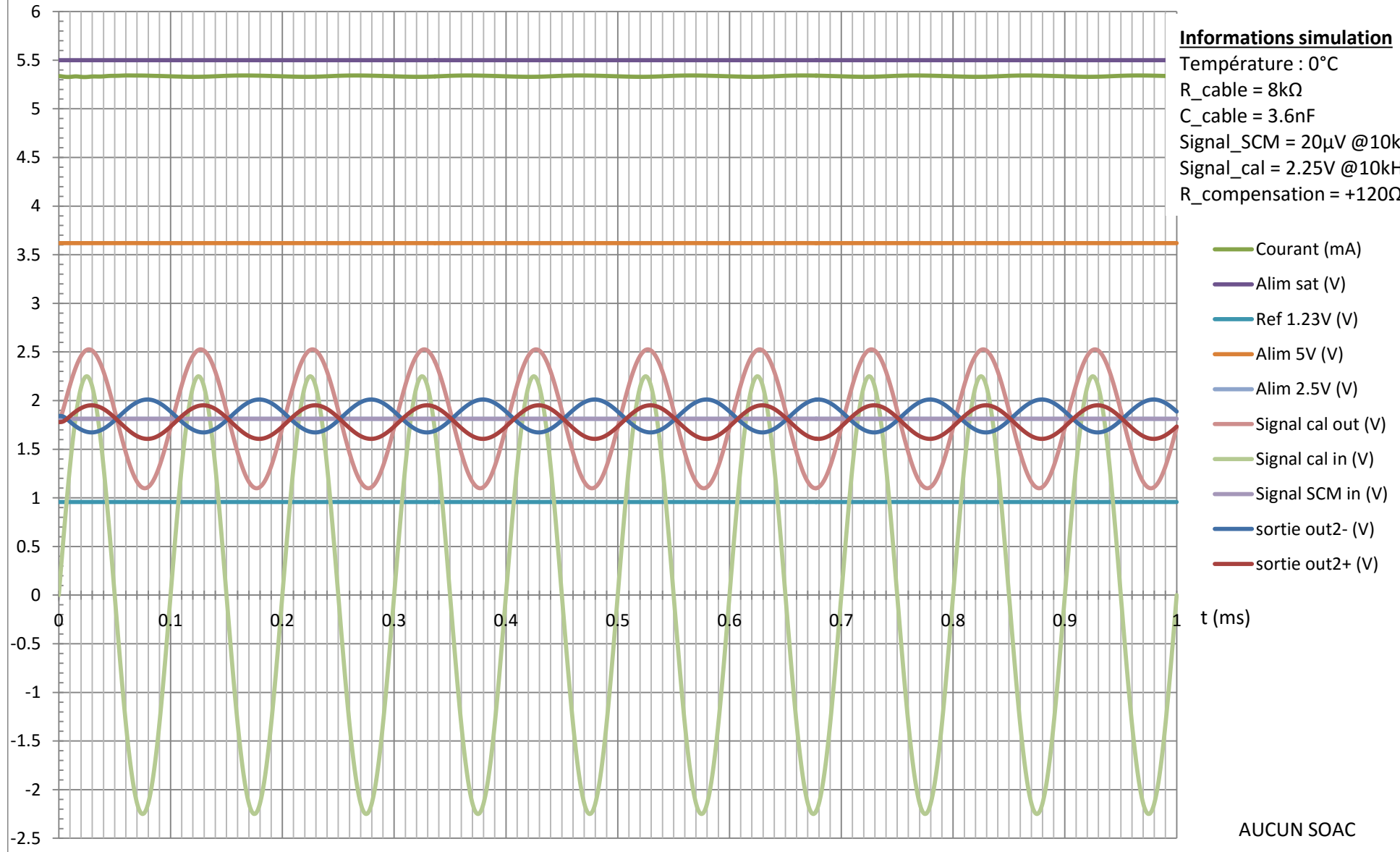
Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = 20μV @10kHz
Signal_cal = 2.25V @10kHz
R_compensation = +120Ω



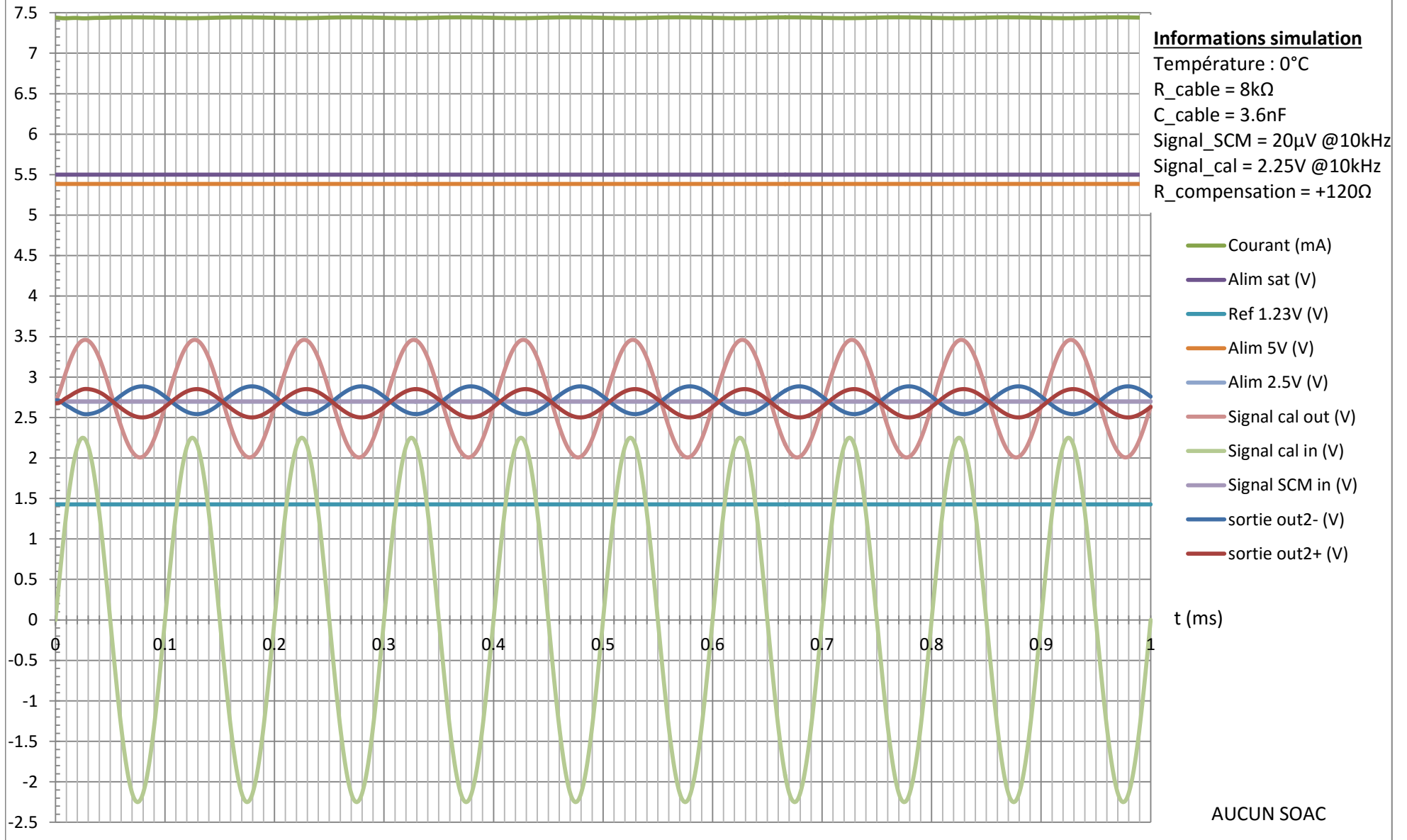
Simulation transitoire de corner "cmoswp" du layout extrait du circuit une voie sur 1ms

Informations simulation

Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = 20μV @10kHz
Signal_cal = 2.25V @10kHz
R_compensation = +120Ω



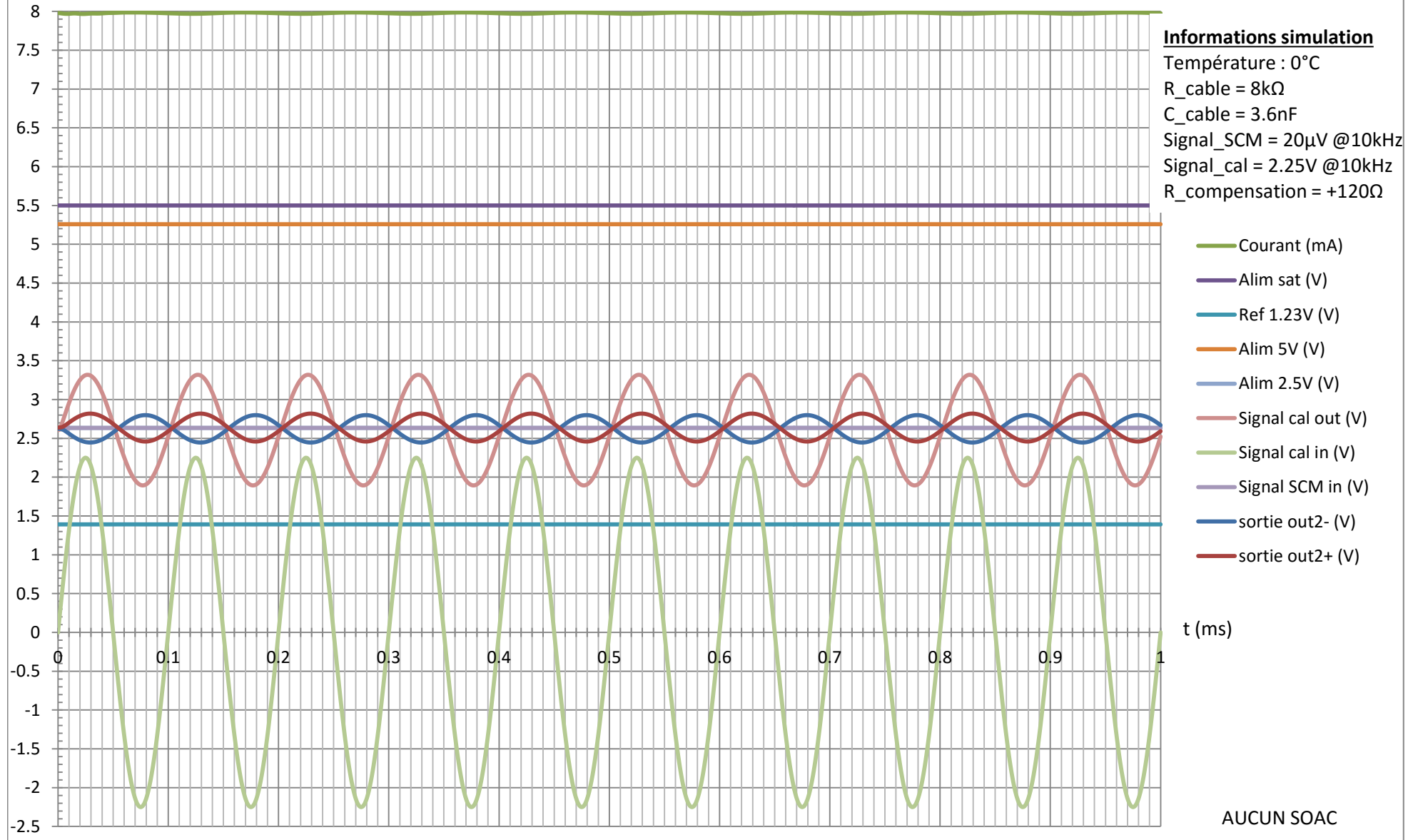
Simulation transitoire de corner "cmosws" du layout extrait du circuit une voie sur 1ms



Simulation transitoire de corner "cmoswz" du layout extrait du circuit une voie sur 1ms

Informations simulation

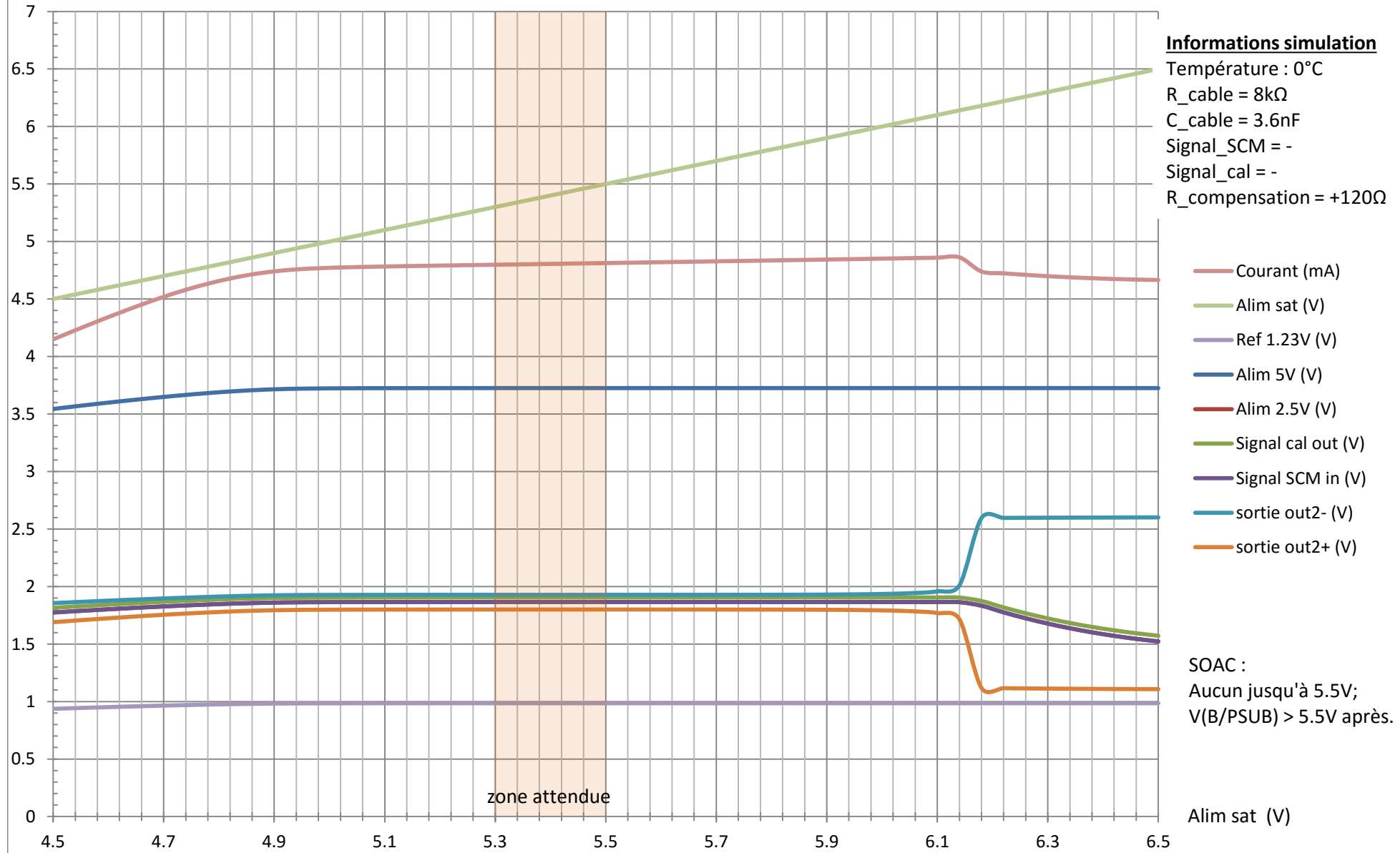
Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = 20μV @10kHz
Signal_cal = 2.25V @10kHz
R_compensation = +120Ω



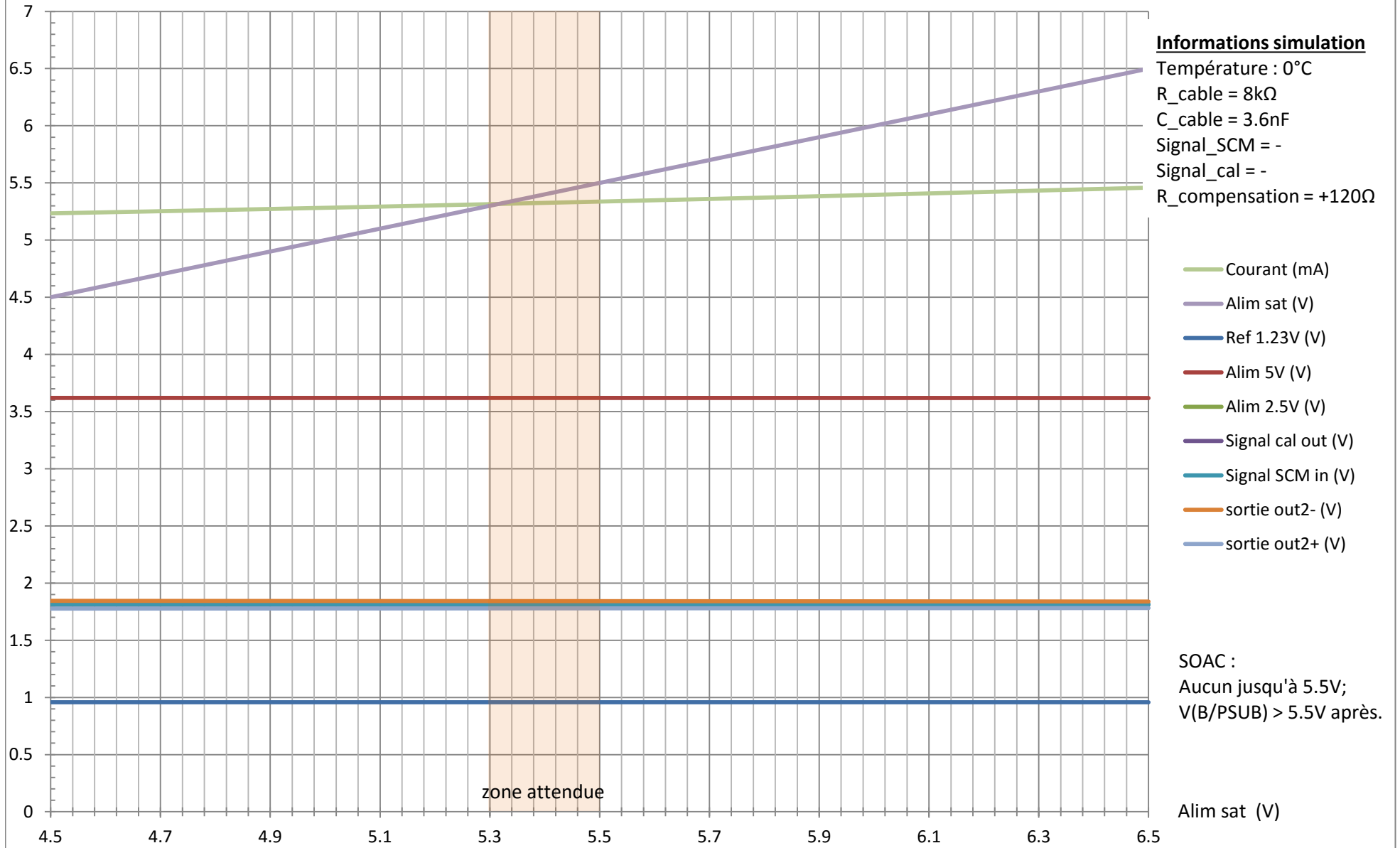
Simulation DC de corner "cmoswo" du layout extrait du circuit une voie en fonction de Vsat

Informations simulation

Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = -
Signal_cal = -
R_compensation = +120Ω



Simulation DC de corner "cmoswp" du layout extrait du circuit une voie en fonction de Vsat



Simulation DC de corner "cmosws" du layout extrait du circuit une voie en fonction de Vsat

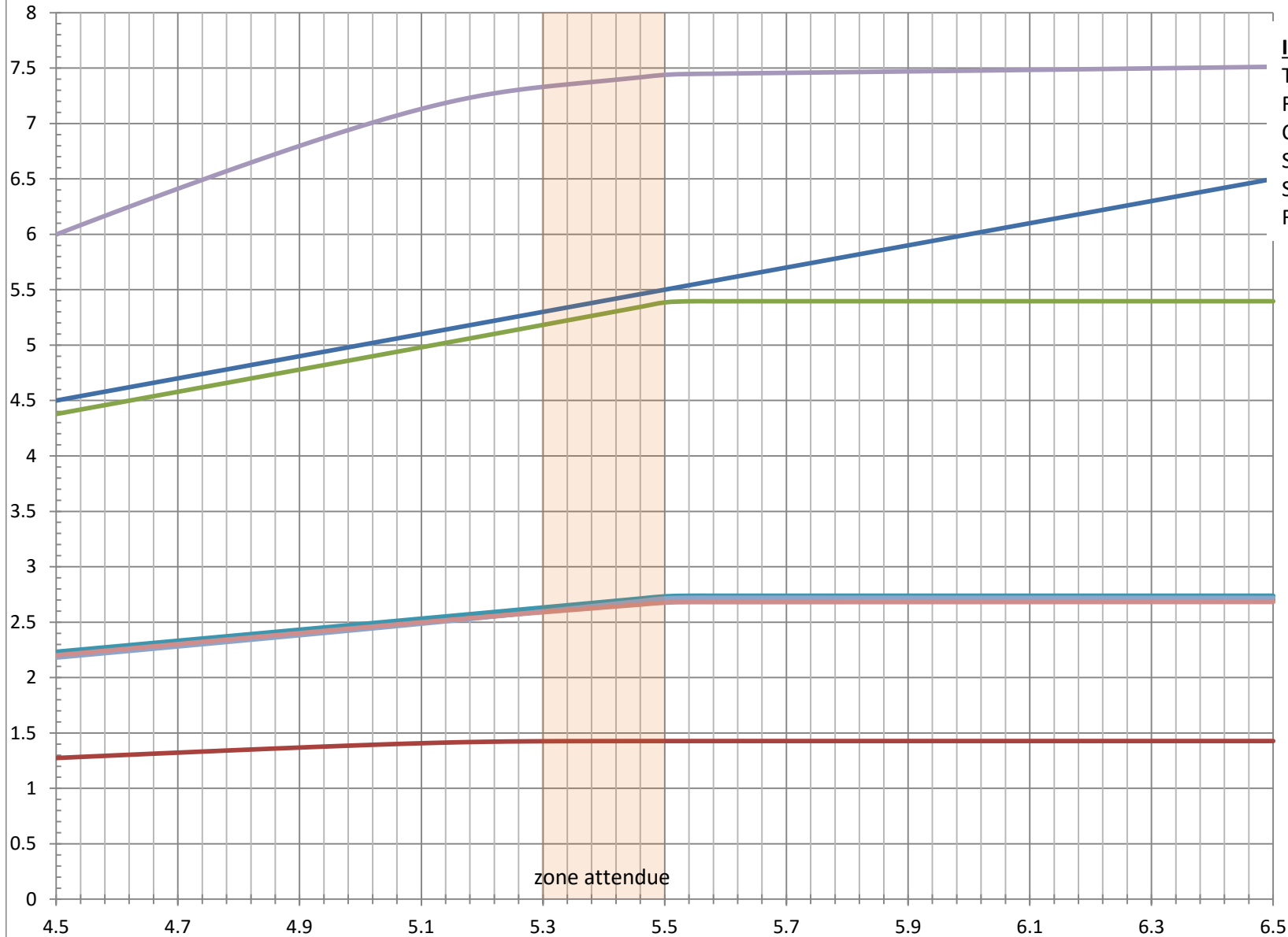
Informations simulation

Température : 0°C
R_cable = 8kΩ
C_cable = 3.6nF
Signal_SCM = -
Signal_cal = -
R_compensation = +120Ω

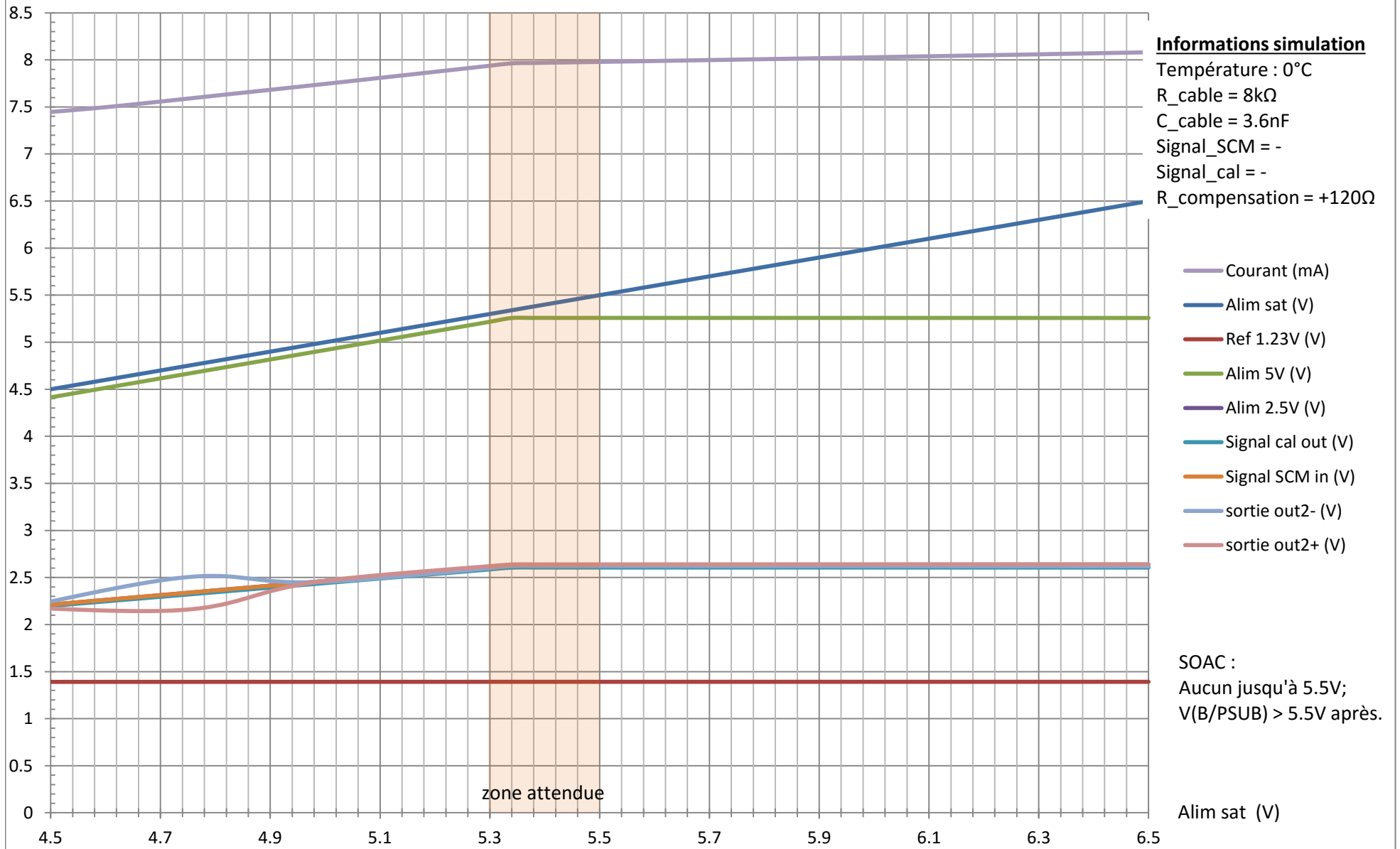
- Courant (mA)
- Alim sat (V)
- Ref 1.23V (V)
- Alim 5V (V)
- Alim 2.5V (V)
- Signal cal out (V)
- Signal SCM in (V)
- sortie out2- (V)
- sortie out2+ (V)

SOAC :
Aucun jusqu'à 5.5V;
V(B/PSUB) > 5.5V après.

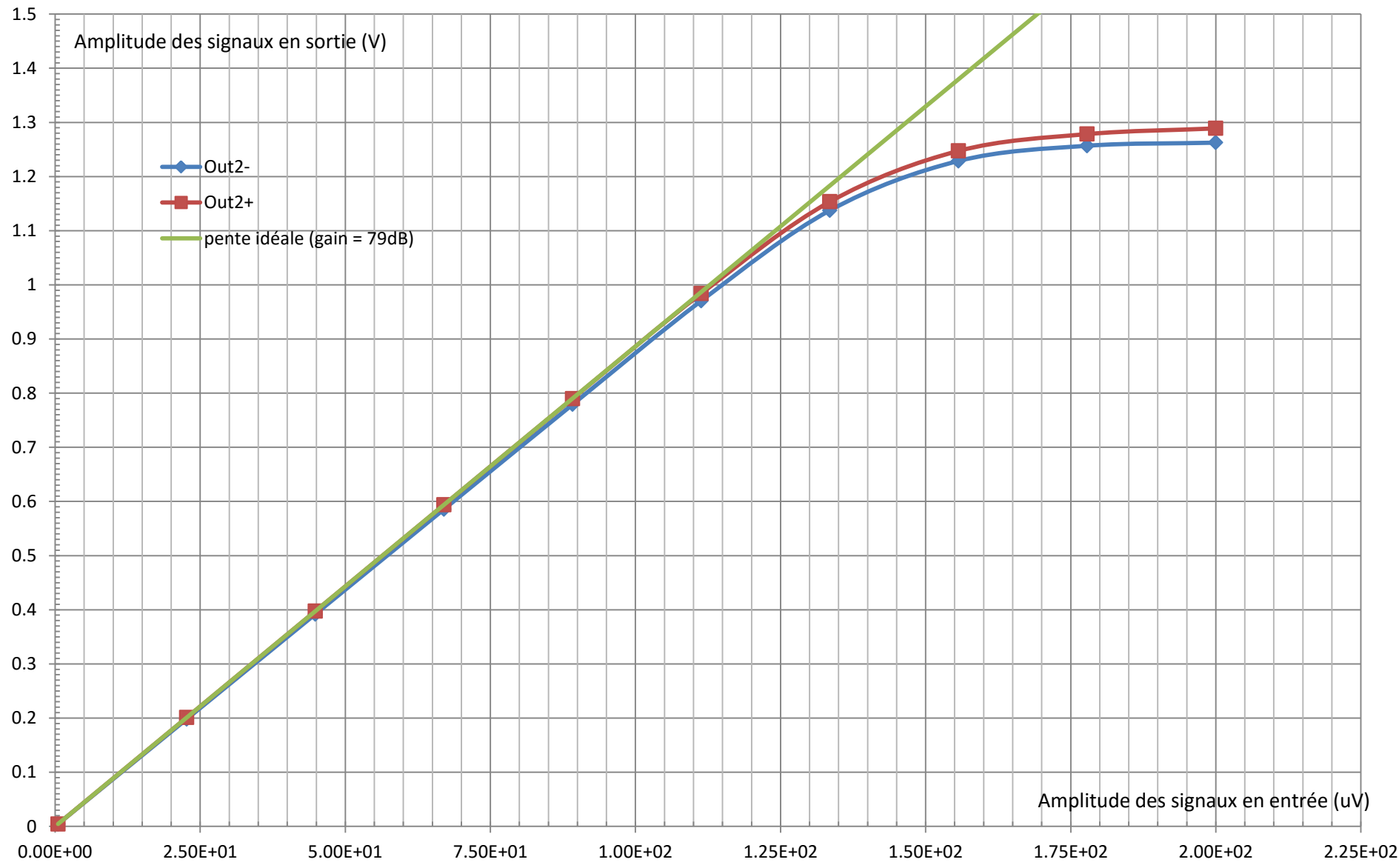
Alim sat (V)



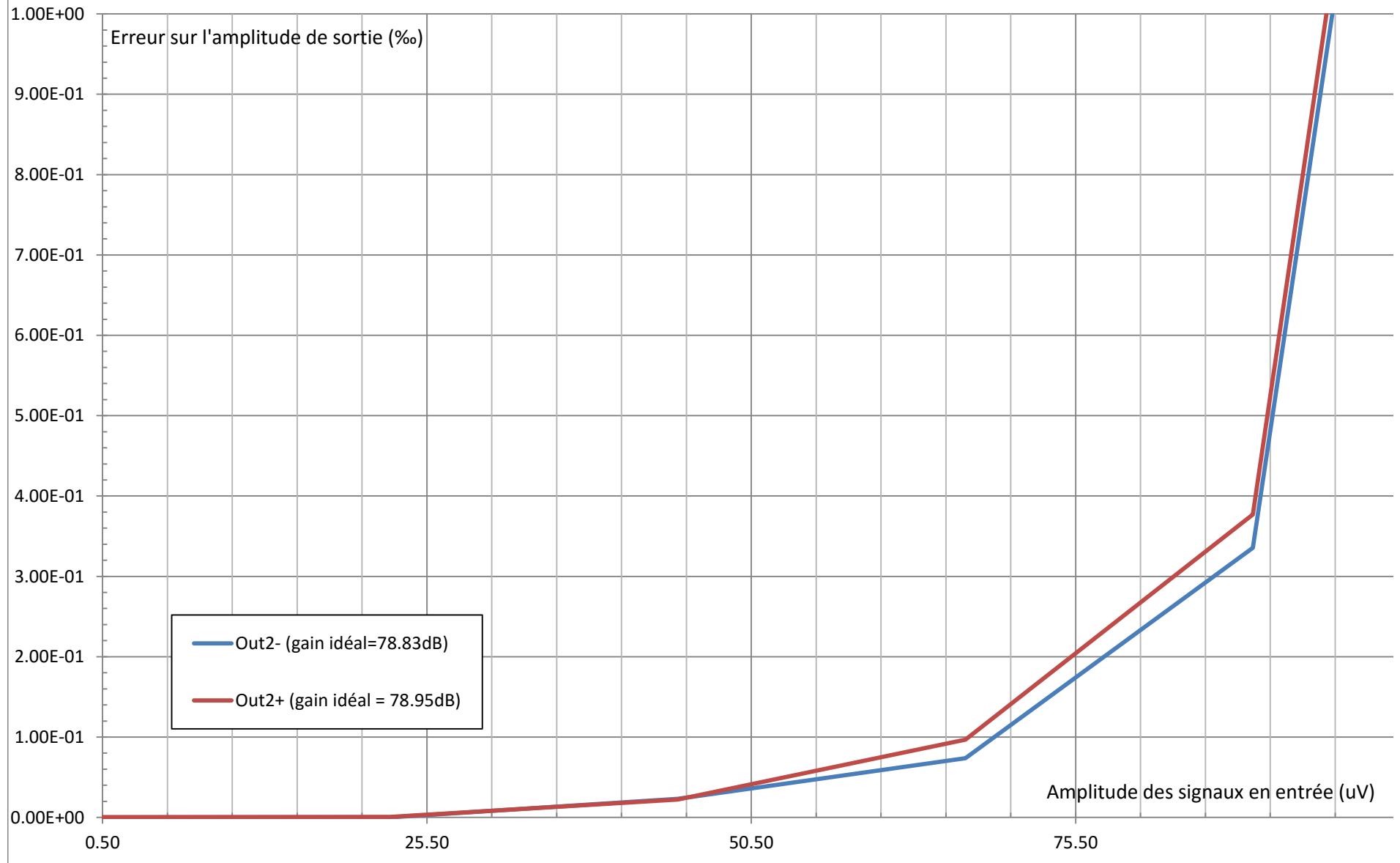
Simulation DC de corner "cmoswz" du layout extrait du circuit une voie en fonction de Vsat



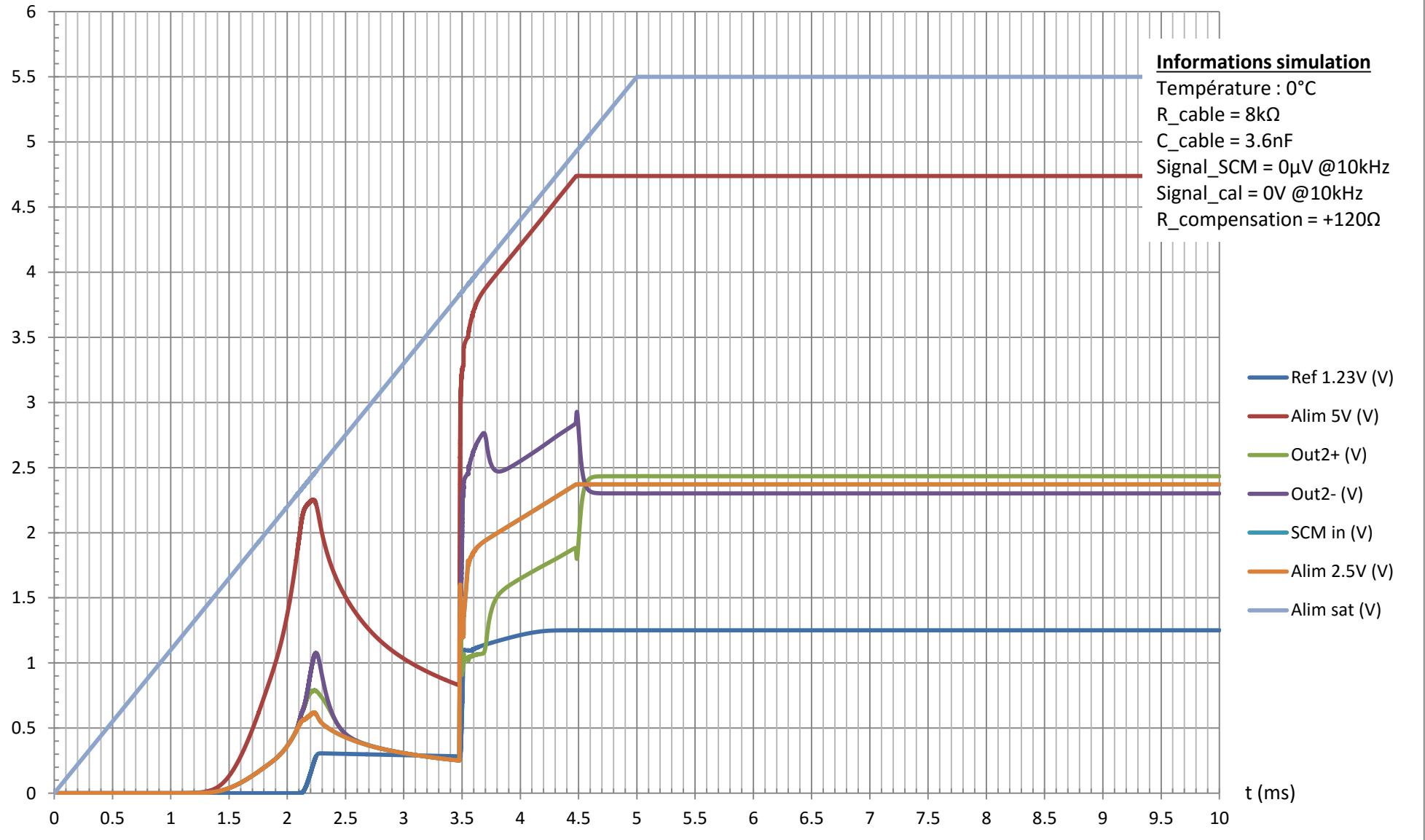
Linéarité de l'amplificateur faible bruit et saturation : simulation du layout extrait une voie.



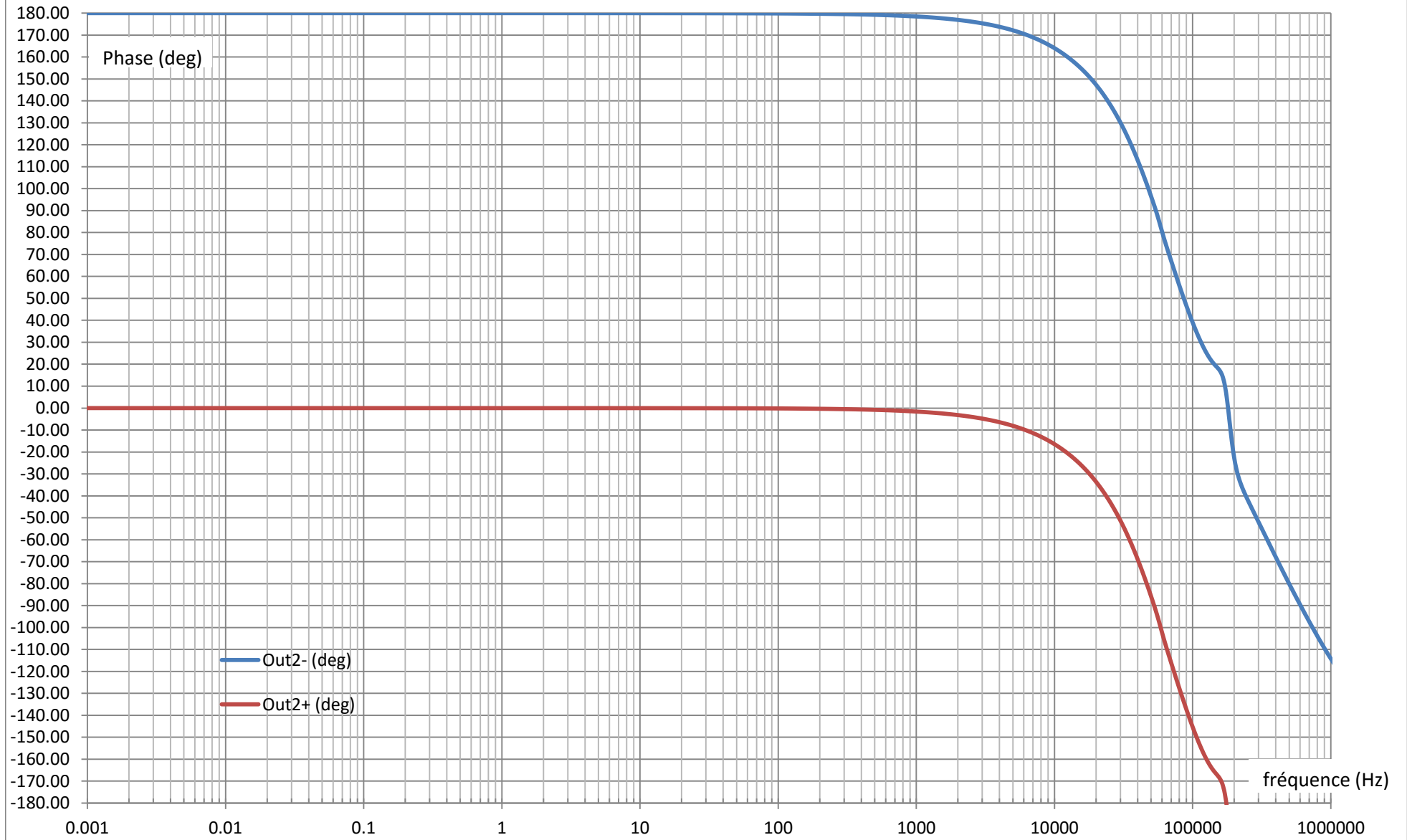
Linéarité différentielle de l'amplificateur faible bruit : simulation du layout extrait une voie.



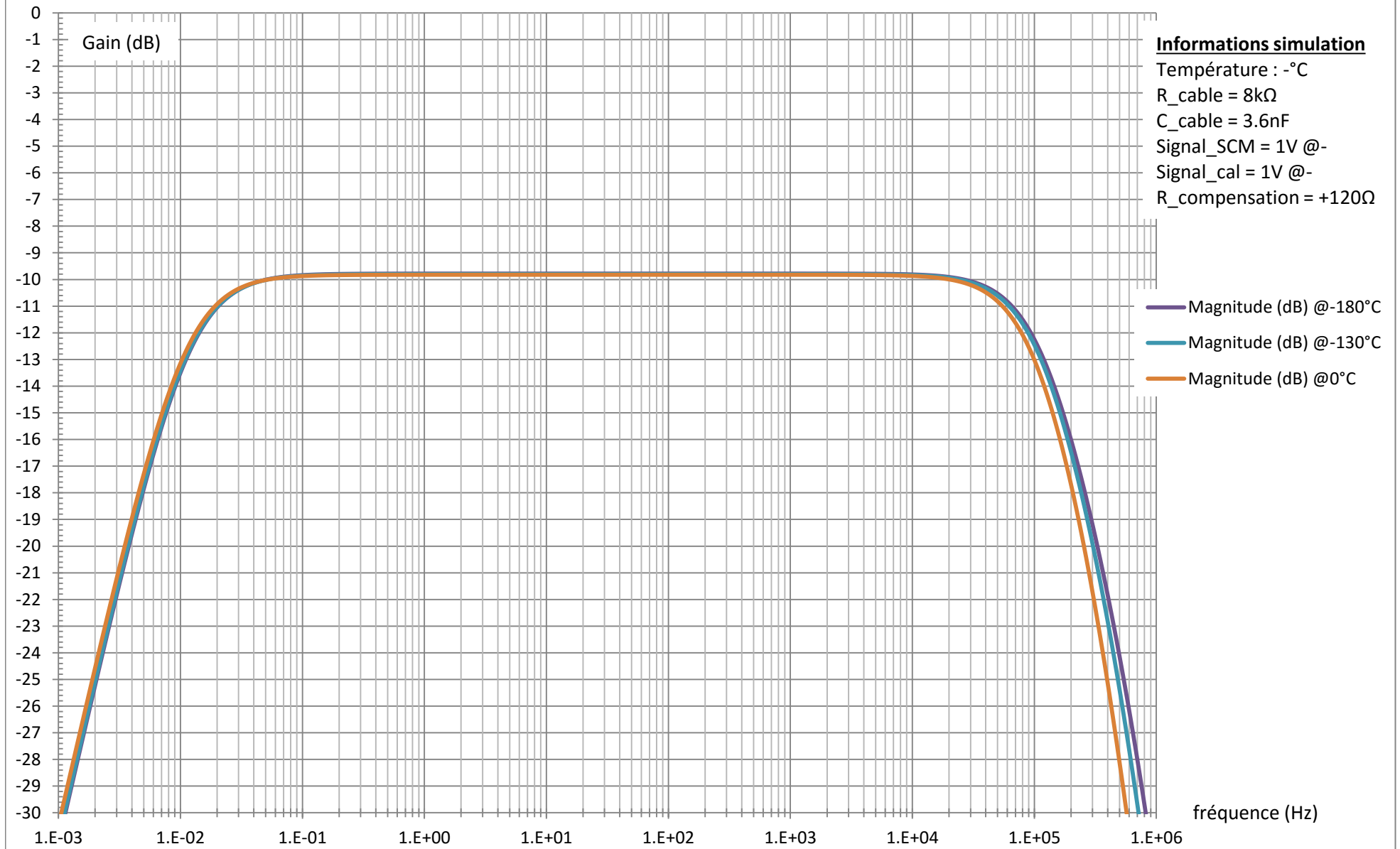
Simulation transitoire du layout extrait avec démarrage de l'alimentation satellite sur 5ms



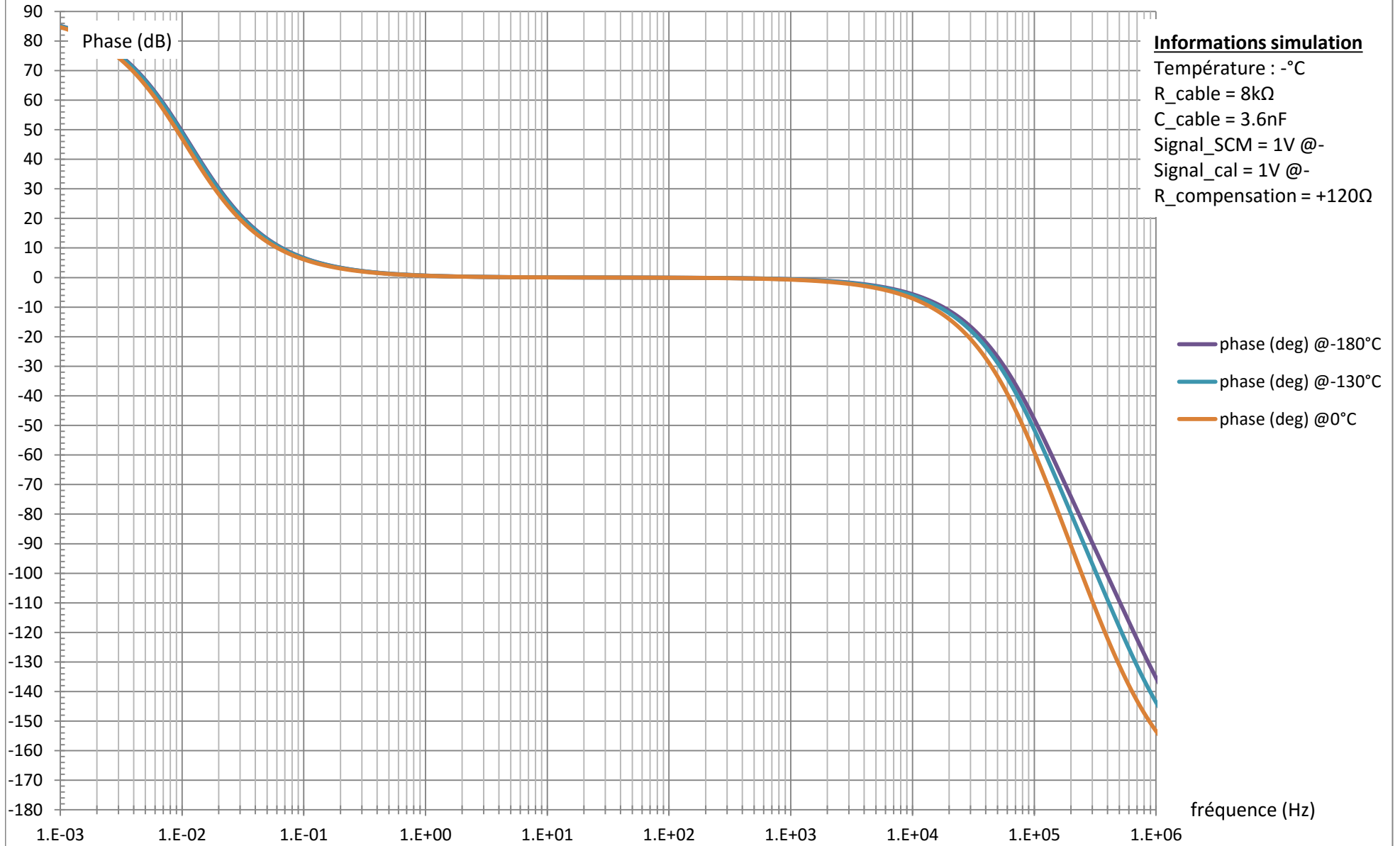
Simulation de la phase de l'amplificateur faible bruit du layout extrait du circuit une voie



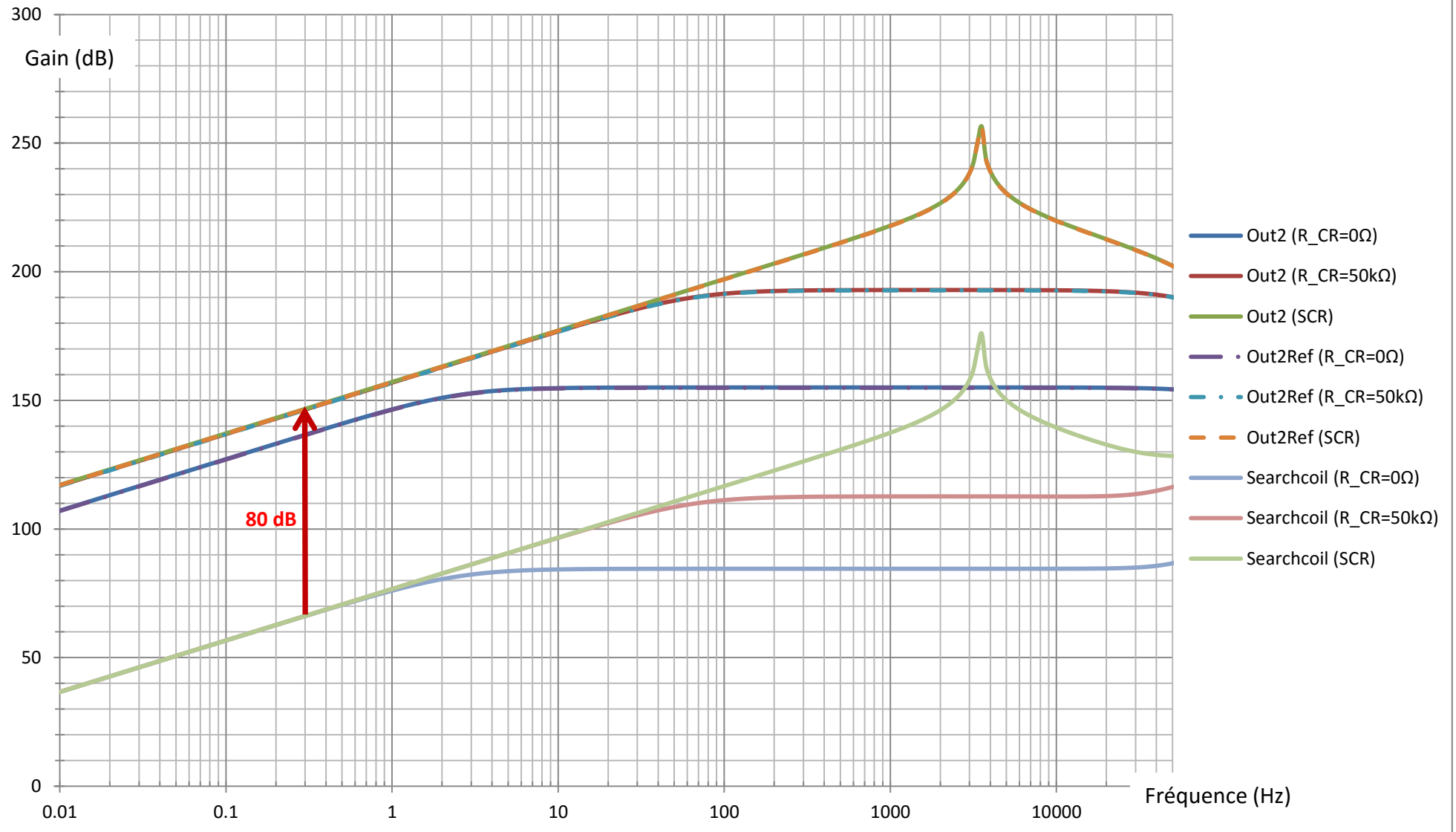
Simulation AC de la cal du layout extrait du circuit une voie à différente température



Simulation AC de la cal du layout extrait du circuit une voie à différente température



Fonction de transfert du modèle de fluxmètre seul et du magnétomètre pour différente valeurs de contre-réaction



Bibliographie

- [1] ESA. Jupiter icy moons explorer exploring the emergence of habitable worlds around gas giants, definition study report. Technical report, September 2014.
- [2] Jean-Claude. Boudenot. *L'environnement spatial*. Presses universitaires de France, 1995. ISBN 2130472710. URL <http://cat.inist.fr/?aModele=afficheN&cpsidt=62854>.
- [3] J. C. Mather, E. S. Cheng, R. E. Eplee, Jr., R. B. Isaacman, S. S. Meyer, R. A. Shafer, R. Weiss, E. L. Wright, C. L. Bennett, N. W. Boggess, E. Dwek, S. Gulkis, M. G. Hauser, M. Janssen, T. Kelsall, P. M. Lubin, S. H. Moseley, Jr., T. L. Murdock, R. F. Silverberg, G. F. Smoot, and D. T. Wilkinson. A preliminary measurement of the cosmic microwave background spectrum by the cosmic background explorer (cobe) satellite. *The Astrophysical Journal, Letters*, 354 :L37–L40, May 1990. doi : 10.1086/185717.
- [4] G Hinshaw, MR Nolta, CL Bennett, R Bean, O Doré, MR Greason, M Halpern, RS Hill, N Jarosik, A Kogut, et al. Three-year wilkinson microwave anisotropy probe (wmap*) observations : Temperature analysis. *The Astrophysical Journal Supplement Series*, 170(2) :288, 2007.
- [5] ESA. JUCIE Environmental Specification. Technical report, 2013.
- [6] J Ramos-Martos, A Arias-Drake, A Ragel-Morales, J Ceballos-Cáceres, J M Mora-Gutiérrez, B Piñero-García, M Muñoz-Díaz, M A Lagos-Florido, S Sordo-Ibáñez, and S Espejo-Meana. Evaluation of the AMS 0.35 μ m CMOS Technology for Use in Space Applications. AMICSA, August 2012.
- [7] L. Varizat, G. Sou, and M. Mansour. BSIM3 parameters extraction of a 0.35 μ m CMOS technology from 300K down to 77K. *Journal of Physics : Conference Series*, 834(1), 2017. ISSN 17426596. doi : 10.1088/1742-6596/834/1/012002.
- [8] Xue Fan, Ping Li, Wei Li, Bin Zhang, Xiaodong Xie, Gang Wang, Bin Hu, and Yahong Zhai. Gate-enclosed NMOS transistors. *Journal of Semiconductors*, 32(8) : 084002, 2011. ISSN 16744926. doi : 10.1088/1674-4926/32/8/084002. URL <http://>

- [//iopscience.iop.org/1674-4926/32/8/084002](http://iopscience.iop.org/1674-4926/32/8/084002){%}5Cn<http://iopscience.iop.org/1674-4926/32/8/084002/pdf/1674-4926{ }32{ }8{ }084002.pdf>.
- [9] A. Giraldo, A. Paccagnella, and A. Minzoni. Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout. *Solid-State Electronics*, 44(6) :981–989, 2000. ISSN 00381101. doi : 10.1016/S0038-1101(00)00010-1.
- [10] P. Vacula and M. Husák. Waffle mos channel aspect ratio calculation with schwarzchristoffel transformation. *electroscope*, 2013.
- [11] Thomas Maeder. Mesure de température par thermistance Pt100 / Pt1000. Technical report, 2006.
- [12] P. D. Desai, H. M. James, and C. Y. Ho. Electrical Resistivity of Aluminum and Manganese. *The journal of physical chemistry*, 13(4) :1131–1172, 1984. ISSN 15297845. doi : 10.1063/1.555725.
- [13] Hongliang Zhao and Xinghui Liu. Modeling of a standard 0.35 μ m cmos technology operating from 77 k to 300 k. *Elsevier Cryogenics*, 59 :49–59, 2014.
- [14] Y. Yi and Al. Modeling and parameters extraction technique for the mosfets at liquid nitrogen temperature. *Chinese Journal of Electronics*, 18(2), 2009.
- [15] Thomas Skotnicki. Circuits intégrés CMOS sur silicium. Technical report, France télécom Centre national d’études des télécommunications (CNET) de Grenoble, 2015.
- [16] Tianbing Chen, Chendong Zhu, Laleh Najafzadeh, Bongim Jun, Adnan Ahmed, Ryan Diestelhorst, Gustavo Espinel, and John D. Cressler. CMOS reliability issues for emerging cryogenic Lunar electronics applications. *Solid-State Electronics*, 50 (6) :959–963, 2006. ISSN 00381101. doi : 10.1016/j.sse.2006.05.010.
- [17] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, and Robert G. Meyer. *Analysis and design of analog integrated circuits*. Don Fowley, fifth edition, 2009.
- [18] R. A. Street. Doping and the Fermi Energy in Amorphous Silicon. *Physical Review Letters*, 49(16) :1187–1190, October 1982. doi : 10.1103/PhysRevLett.49.1187. URL <http://link.aps.org/doi/10.1103/PhysRevLett.49.1187>.
- [19] F. Balestra, L. Audaire, and C. Lucas. Influence of substrate freeze-out on the characteristics of MOS transistors at very low temperatures. *Solid State Electronics*, 30(3) :321–327, 1987. ISSN 00381101. doi : 10.1016/0038-1101(87)90190-0.
- [20] Mustafa Berke Yelten, Paul D. Franzon, and Michael B. Steer. Surrogate-model-based analysis of analog circuits. *IEEE Transactions on Device and Materials Reliability*, 11(3) :466–473, 2011. ISSN 15304388. doi : 10.1109/TDMR.2011.2160063.

- [21] François Krummenacher Matthias Bucher, Christophe Lallement, Christian Enz, Fabien Théodoloz. The EPFL-EKV MOSFET Model Equations for Simulation. Technical report, 1999.
- [22] B. J. Sheu, D. L. Scharfetter, P. K. Ko, and M. C. Jeng. Bsim : Berkeley short-channel igfet model for mos transistors. *IEEE Journal of Solid-State Circuits*, 22 : 558–566, 1987.
- [23] Kruno Romanjek. *Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà*. PhD thesis, Institut de Microélectronique, Electromagnétisme et photonique, 2004.
- [24] Nguyen Cong Dao, Abdallah El Kass, Mostafa Rahimi Azghadi, Craig T. Jin, Jonathan Scott, and Philip H.W. Leong. An enhanced MOSFET threshold voltage model for the 6–300K temperature range. *Microelectronics Reliability*, 69 : 36–39, 2016. ISSN 00262714. doi : 10.1016/j.microrel.2016.12.007. URL <http://dx.doi.org/10.1016/j.microrel.2016.12.007>.
- [25] YI Yangbo ;GE Zhe ;LI Haisong ;SUN Weifeng ;SHI Longxing. Modeling and parameters extraction technique for the mosfets at liquid nitrogen temperature. *Chinese Journal of Electronics*, 18(2) :215, 2009. URL http://manu57.magtech.com.cn/Jwk_cje/EN/abstract/article_2541.shtml.
- [26] Hongliang Zhao and Xinghui Liu. Modeling of a standard 0.35um CMOS technology operating from 77k to 300k. *Cryogenics*, 59 :49–59, January 2014. ISSN 00112275. doi : 10.1016/j.cryogenics.2013.10.003. URL <http://linkinghub.elsevier.com/retrieve/pii/S0011227513000969>.
- [27] J.W. Corbett. *Electron radiation damage in semiconductors and metals*. Solid state physics : Supplement. Academic Press, 1966. URL <https://books.google.fr/books?id=kpA8AAAAIAAJ>.
- [28] H. Y. Tada, Jr. Carter, J. R., B. E. Anspaugh, and R. G. Downing. *Solar Cell Radiation Handbook*. NASA, third edition, 1982.
- [29] H E Boesch, F B Mclean, J M MCGarrity, G A Ausman, and Harry Diamond Laboratories. Hole transport and charge relaxation in irradiated SiO2 MOS capacitors. *IEEE Transactions on Nuclear Science*, NS-22(6) :2163–2167, 1975.
- [30] H E Boesch, F Barry McLean, James M. MCGarrity, and Peter S. Winokur. Enhanced flatband voltage recovery in hardened thin mos capacitors. *IEEE Transactions on Nuclear Science*, NS-25(6) :1239–1245, 1978.

- [31] Timothy R. Oldham and F. B. McLean. Total Ionizing Dose Effects in MOS Oxides and Devices. *NASA*, January 2003. URL <http://ntrs.nasa.gov/search.jsp?R=20030032300>.
- [32] Steven C. Witzak, Ronald C. Lacoé, Jon V. Osborn, John M. Hutson, and Steven C. Moss. Dose-rate sensitivity of modern nMOSFETs. *IEEE Transactions on Nuclear Science*, 52(6) :2602–2608, 2005. ISSN 00189499. doi : 10.1109/TNS.2005.860709.
- [33] P. S. Winokur, F. W. Sexton, G. L. Hash, and D. C. Turpin. Total-dose failure mechanisms of integrated circuits in laboratory and space environments. *IEEE Transactions on Nuclear Science*, 34(6) :1448–1454, Dec 1987. ISSN 0018-9499. doi : 10.1109/TNS.1987.4337496.
- [34] Joseph R. Srour and James M. McGarrity. Radiation Effects on Microelectronics in Space. *Proceedings of the IEEE*, 76(11) :1443–1469, 1988. ISSN 15582256. doi : 10.1109/5.90114.
- [35] Zhang Ying-qiao, Jin Xing-ri, Zhang Shou, Yuan Chun-hua, Ou Yong-cheng, and Zhang Zhi-ming. Study of total ionizing dose radiation effects on enclosed gate transistors in a commercial CMOS technology. *Chinese Physics*, 16(8) :2252–2255, 2006. ISSN 1009-1963. doi : 10.1088/1009-1963/16/12/034.
- [36] ESCC. Total dose steady-state irradiation test method. Technical Report 4, 2010.
- [37] Institut de radioprotection et de sûreté nucléaire. Cobalt 60 et environnement. Technical report. URL <http://www.irsn.fr/FR/Larecherche/publications-documentation/fiches-radionucleides/environnement/Documents/Cobalt{ }VF.pdf>.
- [38] H Oz, O Gurler, and A Gultekin. Photon Mass Energy Absorption Coefficients from 0.4 MeV to 10 MeV for Silicon, Carbon, Copper and Sodium Iodide. *Journal of the Korean Physical Society*, 49(1) :1–4, July 2006.
- [39] W. C. Dash and R. Newman. Intrinsic Optical Absorption in Single-Crystal Germanium and Silicon at 77K and 300K. *Physical Review*, 99(4) :1151–1155, 1955. URL <https://journals.aps.org/pr/pdf/10.1103/PhysRev.99.1151>.
- [40] Hieu T. Nguyen, Fiacre E. Rougieux, Bernhard Mitchell, and Daniel Macdonald. Temperature dependence of the band-band absorption coefficient in crystalline silicon from photoluminescence. *Journal of Applied Physics*, 115(4), 2014. ISSN 10897550. doi : 10.1063/1.4862912.
- [41] H. J. Stein. Comparison of neutron and gamma-ray damage in n-type silicon. *Journal of Applied Physics*, 37(9) :3382–3384, 1966. ISSN 00218979. doi : 10.1063/1.1708868.

- [42] Shaorui Li, Jie Ma, Gianluigi De Geronimo, Hucheng Chen, and Veljko Radeka. LAr TPC electronics CMOS lifetime at 300 K and 77 K and reliability under thermal cycling. *IEEE Transactions on Nuclear Science*, 60(6) :4737–4743, 2013. ISSN 00189499. doi : 10.1109/TNS.2013.2287156.
- [43] Pavel Ripka. *Magnetic Sensors and Magnetometers*. Artech House, 2001. ISBN 9781580530576.
- [44] P. Poulichet. Etude des capteurs magnétiques. Technical report.
- [45] Pierre A. Besse, Giovanni Boero, Michel Demierre, Vincent Pott, and Radivoje Popovic. Detection of a single magnetic microbead using a miniaturized silicon Hall sensor. *Applied Physics Letters*, 80(22) :4199–4201, 2002. ISSN 00036951. doi : 10.1063/1.1483909.
- [46] R. E. Camley and J. Barna. Theory of giant magnetoresistance effects in magnetic layered structures with antiferromagnetic coupling. *Physical Review Letters*, 63(6) : 664–667, 1989. ISSN 00319007. doi : 10.1103/PhysRevLett.63.664.
- [47] M. Joël Moutoussamy. *Nouvelles solutions de capteurs à effet de magnétoimpédance géante : Principe, Modélisation et Performances*. PhD thesis, Ecole Normale Supérieure de Cachan, 2009.
- [48] Christophe Coillot. Capteurs et dispositifs électroniques des magnétomètres dédiés à l'étude des ondes dans les plasmas spatiaux. *HAL*, December 2012. URL <https://tel.archives-ouvertes.fr/tel-00763816>.
- [49] Christophe COILLOT. Induction Magnetometers Principle, Modeling and Ways of Improvement. In Kevin Kuang, editor, *Magnetic Sensors - Principles and Applications*, pages 1–21. Intech, March 2012. doi : 10.5772/38945. URL <https://hal.archives-ouvertes.fr/hal-00867616>.
- [50] Amine Rhouni. *Étude de fonctions électroniques en technologie ASIC pour instruments dédiés à l'étude des plasmas spatiaux*. PhD thesis, 2012.
- [51] P.K.T. Mok and Ka Nang Leung. Design considerations of recent advanced low-voltage low-temperature-coefficient CMOS bandgap voltage reference. *Proceedings of the IEEE 2004 Custom Integrated Circuits Conference (IEEE Cat. No.04CH37571)*, (29) :635–642, 2004. ISSN 08865930. doi : 10.1109/CICC.2004.1358907.
- [52] W. Bludau, A. Onton, and W. Heinke. Temperature dependence of the band gap of silicon. *Journal of Applied Physics*, 45(4) :1846–1848, 1974. ISSN 00218979. doi : 10.1063/1.1663501.

- [53] Perry Miller and Doug Moore. Precision voltage references. *Analog Application Journal*, pages 1–4, 1999.
- [54] Charalambos M. Andreou, Savvas Koudounas, and Julius Georgiou. A novel wide-temperature-range, 3.9 ppm/°C CMOS bandgap reference circuit. *IEEE Journal of Solid-State Circuits*, 47(2) :574–581, 2012. ISSN 00189200. doi : 10.1109/JSSC.2011.2173267.
- [55] Hou-ming Chen, Chang-chi Lee, Shih-han Jheng, Wei-chih Chen, and Bo-yi Lee. A Sub-1 ppm/°C Precision Bandgap Reference With Adjusted-Temperature-Curvature Compensation. *IEEE Transactions on circuits and systems*, 64(6) :1308–1317, June 2017.
- [56] Ka Nang Leung and Philip KT Mok. A cmos voltage reference based on weighted delta vgs for cmos low-dropout linear regulators. *IEEE Journal of Solid-State Circuits*, 38(1) :146–150, January 2003.
- [57] Ka Nang Leung, Kwok Tai Philip Mok, and Ka Chun Kwok. Cmos voltage reference, August 27 2002. US Patent 6,441,680.
- [58] Laurent Varizat, Gerard Sou, Malik Mansour, Dominique Alison, and Amine Rhouni. A low temperature 0.35 μ m CMOS technology BSIM3.3 model for space instrumentation : application to a voltage reference design. *IEEE Conference Publications*, pages 74–78, 2017.
- [59] A. Guen Bouazza, H. Sahraoui, B. Bouazza, K. E. Ghaffour, and N. E. Chabane Sari. Modélisation des sources de bruit dans les dispositifs mos. *Afrique Science*, pages 189–207, 2005.
- [60] Monte Carlo Simulation and Run numbers needed for a specific accuracy. Technical report, 2015.
- [61] Manteufel Randall D. Evaluating the convergence of Latin Hypercube Sampling. 41st Structures, Structural Dynamics, and Materials Conference and Exhibit. Atlanta,GA,U.S.A., 2000. doi : 10.2514/6.2000-1636.
- [62] Ahmed N. Mohamed, Hesham N. Ahmed, Mohamed Elkhatib, and Khaled A. Shehata. A low power low noise capacitively coupled chopper instrumentation amplifier in 130nm cmos for portable biopotential acquisition systems. IEEE, 2013.
- [63] Hongzhi Sun, Deyou Fang, Kemiao Jia, Fares Maarouf, Hongwei Qu, and Huikai Xie. A low-power low-noise dual-chopper amplifier for capacitive cmos-mems accelerometers. *IEEE sensors journal*, 11(4) :925–933, 2011.

-
- [64] Jamel Nebhen, Stéphane Meillère, Mohamed Masmoudi, Jean-Luc Seguin, and Khalifa Aguir. Low noise cmos chopper amplifier for mems gas sensor. pages 366–373. Springer-Verlag Berlin Heidelberg, 2011.