



HAL
open science

Conception d'amplificateurs de puissance en technologie CMOS pour le standard LTE

Fabien Mesquita

► **To cite this version:**

Fabien Mesquita. Conception d'amplificateurs de puissance en technologie CMOS pour le standard LTE. Electronique. Université de Bordeaux, 2018. Français. NNT : 2018BORD0070 . tel-01897305

HAL Id: tel-01897305

<https://theses.hal.science/tel-01897305>

Submitted on 17 Oct 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

PRÉSENTÉE POUR OBTENIR LE GRADE DE

DOCTEUR DE L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR
SPÉCIALITÉ : ÉLECTRONIQUE

**CONCEPTION D'AMPLIFICATEURS DE PUISSANCE
EN TECHNOLOGIE CMOS POUR LE STANDARD LTE**

PRÉPARÉE AU LABORATOIRE IMS

PAR

FABIEN MESQUITA

DIRECTEUR DE THÈSE : ERIC KERHERVÉ

CO-ENCADRANT : ANTHONY GHIOTTO

SOUTENUE LE 30 MAI 2018 DEVANT LA COMMISSION D'EXAMEN FORMÉE DE :

Eric Bergeault	Professeur	Télécom ParisTech	Rapporteur
Michel Prigent	Professeur	Université de Limoges	Rapporteur
Daniela Dragomirescu	Professeur	INSA Toulouse	Examinatrice
Guillaume Vivier	Ingénieur	Sequans	Examineur
Anthony Ghiotto	Maître de Conférences	Bordeaux INP	Co-encadrant
Eric Kerhervé	Professeur	Bordeaux INP	Directeur

Conception d'amplificateurs de puissance en technologie CMOS pour le standard LTE

Résumé : Le standard LTE permet l'accès au très haut débit mobile et évolue afin d'adresser les applications embarquées de type objets connectés. Mais dans la perspective d'un émetteur-récepteur LTE fabriqué dans une technologie CMOS faible-coût et hautement intégrable, l'amplificateur de puissance (PA) reste le seul bloc actif non intégré à ce jour. De plus, l'utilisation de modulations en quadrature oblige la conception d'amplificateurs très linéaires, générant une consommation statique plus importante.

Dans ce contexte, ces travaux de thèse portent sur la recherche de composants et de circuits permettant d'atteindre de fortes puissances de sortie et de résoudre le compromis entre la linéarité et la consommation du PA. Deux axes de travail sont identifiés et développés dans cette thèse. Le premier axe porte sur l'utilisation d'un transistor de puissance intégrable en technologie CMOS. Trois cellules de puissance basées sur ce composant sont présentées, de l'étude théorique aux résultats de mesure. Dans le second axe de recherche, ce transistor est intégré dans une architecture avancée de PA entièrement réalisée en CMOS. Une méthode de conception de transformateurs intégrés est également développée. Le PA proposé est reconfigurable pour adresser les différents besoins imposés par le standard LTE : puissance de sortie, haute linéarité et faible consommation.

Mots-clés : Amplificateur de puissance, CMOS, combinaison de puissance, LTE, transformateur intégré.

Design of power amplifiers in CMOS technology for LTE applications

Abstract : The LTE standard has been intended for mobile communications. Focusing not only on higher data rate, LTE now aims at an implementation for the Internet of Things (IoT). The main challenge, in the perspective of a LTE front-end fully manufactured in a low-cost and high integration level CMOS technology, remains the design of power amplifiers (PA). Furthermore, the use of complex quadrature modulation results in stringent linearity requirements resulting in an important quiescent dc consumption.

In this context, this work focuses on the research of devices and circuits generating high output power and solving the compromise between linearity and consumption of the PA. Two strands of work are identified and developed in this thesis. The first one uses a power transistor available in CMOS technology. Three power cells based on this device are proposed, with detailed theoretical and experimental results. In the second one, this transistor is then used in a fully-integrated CMOS PA. A design methodology for integrated transformers is also presented. The proposed fully-integrated PA is reconfigurable in order to address the main LTE challenges : output power, high linearity and low consumption.

Keywords : CMOS, LTE, integrated transformer, power amplifier, power combining.

Table des matières

Résumé / Abstract	ii
Liste des figures	viii
Liste des tables	xii
Liste des acronymes	xiv
Introduction	1
1 Amplificateurs de puissance pour le standard 4G LTE	3
1.1 Le standard LTE : L'accès au très haut débit mobile	5
1.1.1 Positionnement du standard	5
1.1.2 Applications visées : les objets connectés et les drones	6
1.1.3 Spécifications système	6
1.2 Émetteur-Récepteur : Intégration de fonctions RF en technologie CMOS	9
1.2.1 Architectures actuelles d'émetteur-récepteur	9
1.2.2 Intérêt de l'utilisation de la technologie CMOS	10
1.2.3 Évolution de la technologie CMOS	11
1.2.4 Fiabilité de la technologie CMOS	12
1.3 Amplificateurs de puissance	15
1.3.1 Principaux paramètres	15
1.3.2 Impact de la modulation	17
1.3.3 Classes de fonctionnement	20
1.3.4 Topologies de la cellule amplificatrice	24
1.3.5 Architectures de PA	27
1.3.6 Architectures avancées	29
1.4 État de l'art des PA CMOS RF	33
1.5 Conclusion du chapitre	40
2 Conception de cellules amplificatrices MASMOS	41
2.1 Étude du transistor MASMOS	43
2.1.1 Fonctionnement	43
2.1.2 Dimensionnement	46
2.1.3 Analyse du transistor	48
2.1.4 Routage des transistors	54
2.2 Conception de cellules de test	57
2.2.1 Topologies des cellules de test	58
2.2.2 Détermination des impédances de charge optimales	59
2.2.3 Synthèse des réseaux d'adaptation d'impédance	60
2.2.4 Montage sur PCB	60
2.3 MASMOS avec correction d'impédance au nœud commun	62
2.3.1 Problématique	62

2.3.2	Description	62
2.3.3	Résultats de mesures	64
2.3.4	Conclusion	66
2.4	MASMOS reconfigurable	67
2.4.1	Problématique	67
2.4.2	Description	68
2.4.3	Résultats de mesures	70
2.4.4	Conclusion	72
2.5	Amplificateur de puissance à deux étages basé sur le transistor reconfigurable	73
2.5.1	Architecture du PA	73
2.5.2	Résultats de mesures	74
2.5.3	Comparaison à l'état de l'art	75
2.5.4	Perspectives	76
2.6	Conclusion du chapitre	77
3	Amplificateur de puissance MASMOS tout intégré	78
3.1	Objectifs	81
3.2	Architecture du PA	82
3.3	Transformateurs intégrés et combinaison de puissance par DAT	84
3.3.1	Adaptation d'impédance par transformateur	84
3.3.2	Analyse des mécanismes de pertes	88
3.3.3	Combinaison de puissance par DAT	89
3.4	Conception du DAT TRF1	91
3.4.1	Choix de la topologie	91
3.4.2	Inductance propre d'un conducteur et attribution des métaux	92
3.4.3	Induction mutuelle entre conducteurs	94
3.4.4	Résistance d'un conducteur	95
3.4.5	Taille optimale d'enroulement	95
3.4.6	Dimensionnement du DAT	97
3.5	Étage de puissance	99
3.6	Splitter inter-étage	100
3.7	Étage d'entrée	102
3.8	Étude de la stabilité	104
3.8.1	Étude linéaire	104
3.8.2	Étude non-linéaire	104
3.8.3	Techniques de stabilisation	106
3.9	Résultats de simulation post-layout	107
3.9.1	Fonctionnement petits-signaux	108
3.9.2	Fonctionnement grands-signaux	108
3.9.3	Influence du processus fabrication	111
3.9.4	Comparaison à l'état de l'art	113
3.10	Fabrication	114
3.11	Mesures	117
3.12	Conclusion du chapitre	119

Conclusion générale et perspectives	121
Conclusion générale	121
Perspectives	122
Bibliographie	127
Liste des travaux publiés	132
Annexes	133
A Calcul des produits d'intermodulation	134
B Kit de calibrage TRL différentiel	135

Liste des figures

1.1	Évolution des abonnements téléphoniques en fonction des protocoles. . . .	5
1.2	Répartition des objets connectés.	6
1.3	Classification du standard LTE par catégories.	7
1.4	Transmission de symboles QPSK en SC-FDMA.	8
1.5	Diagramme bloc d'un émetteur-récepteur homodyne.	9
1.6	Circuits RF de l'iPhone 6S.	9
1.7	Répartition de la consommation dans un téléphone.	10
1.8	Comparaison de technologies utilisées pour les PA.	10
1.9	Transistor NMOS : (a) Vue en coupe et (b) schéma équivalent.	11
1.10	Évolution du V_{DD} et de la f_t en fonction du nœud technologique.	11
1.11	Mécanisme de claquage de l'oxyde de grille.	12
1.12	Mécanisme d'injection de porteurs chauds.	13
1.13	Mécanisme de punch through.	13
1.14	Mécanisme d'électro-migration.	14
1.15	Bilan de puissance d'un PA.	15
1.16	Distorsion AM-AM.	16
1.17	Distorsion AM-PM.	16
1.18	Impact du PAPR sur le dimensionnement du PA.	17
1.19	Étalement du spectre par un PA non-linéaire.	18
1.20	Masque d'émission pour un signal LTE.	18
1.21	Illustration de l'EVM dans une modulation 16-QAM.	19
1.22	Classes d'opération en fonction de la polarisation.	20
1.23	Formes d'ondes en classe A.	21
1.24	Formes d'ondes en classe B.	22
1.25	Formes d'ondes en classe AB.	23
1.26	Formes d'ondes en classe C.	24
1.27	Performances en fonction de la classe de fonctionnement.	25
1.28	Topologie source commune.	25
1.29	Topologie empilée à deux transistors.	26
1.30	Topologie parallèle à deux transistors.	27
1.31	Architecture mode commun.	28
1.32	Architectures (a) différentielle et (b) pseudo-différentielle.	28
1.33	Architecture équilibrée.	29
1.34	Fonctionnement de l'architecture Doherty.	30
1.35	Fonctionnement de l'architecture Outphasing.	30
1.36	Combinaison de puissance par transformateur.	32
1.37	PA CMOS SOI 130 nm [PJP ⁺ 10].	33
1.38	Résultats de mesures du circuit [PJP ⁺ 10].	33
1.39	PA CMOS 180 nm [PPJ ⁺ 15].	34
1.40	Résultats de mesures du circuit [PPJ ⁺ 15].	34
1.41	PA CMOS 90 nm [CHD ⁺ 09].	35
1.42	Résultats de mesures du circuit [CHD ⁺ 09].	35

1.43	PA reconfigurable CMOS 180 nm [KYK ⁺ 11].	36
1.44	Résultats de mesures du circuit [KYK ⁺ 11].	36
1.45	PA CMOS Doherty 40 nm [KR15].	37
1.46	Résultats de mesures du circuit [KR15].	37
1.47	RF-DAC CMOS 65 nm [ASdVL14].	38
1.48	Résultats de mesure du RF-DAC 65 nm [ASdVL14].	38
2.1	Schéma du MASMOS.	43
2.2	Caractéristiques DC du transistor MASMOS.	44
2.3	Cycles de charge pour chaque transistor à la P_{1dB}	45
2.4	Dimensionnement des transistors du MASMOS.	46
2.5	Dimensionnement d'un transistor.	46
2.6	Impact du dimensionnement du NMOS sur P_{SAT} en fonction de W_f et N_f	47
2.7	Impact du dimensionnement du NMOS sur f_{max} en fonction de W_f et N_f	47
2.8	Extraction du modèle équivalent du transistor.	48
2.9	Schéma équivalent du transistor pour le calcul du gain.	49
2.10	Impact du dimensionnement sur le gain.	50
2.11	Schéma équivalent du transistor pour le calcul de l'impédance de sortie.	50
2.12	Impact du dimensionnement sur l'impédance de sortie.	51
2.13	Schéma équivalent du transistor pour le calcul de l'impédance d'entrée.	52
2.14	Impact du dimensionnement sur l'impédance d'entrée.	53
2.15	Schéma équivalent de M2 pour le calcul de l'impédance au nœud commun.	53
2.16	Implantation du transistor dans un procédé triple-puits.	55
2.17	Optimisation du routage d'un transistor NMOS RF.	55
2.18	Routage d'un transistor NJFET.	56
2.19	Routage du transistor MASMOS.	56
2.20	Flot de conception des cellules de test.	57
2.21	Schéma des cellules de test.	58
2.22	Photographie d'une cellule de test.	58
2.23	Lecture de la droite de charge.	59
2.24	Méthode des contours - Analyse load-pull.	60
2.25	Simulations EM des réseaux d'adaptation.	60
2.26	Report de puces par flip-chip.	61
2.27	Influence de $C_{gs,2}$ sur le nœud commun.	62
2.28	Différentes topologies de corrections au nœud commun : (a) inductance série, (b) inductance shunt et (c) inductance shunt en différentiel.	63
2.29	Formes d'ondes simulées au drain de M_1	63
2.30	Transistor MASMOS avec pads pour correction au nœud commun.	64
2.31	Mesures petit-signal de la cellule MASMOS avec et sans correction au nœud commun.	64
2.32	Mesures grands-signal de la cellule MASMOS avec et sans correction au nœud commun.	65
2.33	Mesures petits-signal de la cellule MASMOS avec correction au nœud commun.	65
2.34	Mesures grands-signal de la cellule MASMOS avec correction au nœud commun.	66

2.35	Techniques usuelles de reconfiguration : (a) polarisation segmentée en CMOS bulk et (b) utilisation d'interrupteurs [KR14].	67
2.36	Schéma du MASMOS reconfigurable.	68
2.37	Photographie du transistor reconfigurable.	69
2.38	Variation de l'impédance optimale entre le mode 1 et le mode 3.	69
2.39	Formes d'onde simulées de la puissance de sortie au point de compression à 1 dB pour chaque mode (a) par DM_1 (b) par DM_2	70
2.40	Formes d'onde simulées de la puissance dissipée au point de compression à 1 dB pour chaque mode (a) par S_1 (b) par S_2	71
2.41	Mesures petits-signaux pour chaque mode.	71
2.42	Mesures grands-signaux à 2,5 GHz pour chaque mode : (a) gain, (b) PAE et (c) puissance dc en fonction de la puissance générée.	72
2.43	Schéma du PA à deux étages basé sur deux cellules de puissance reconfigurables.	73
2.44	Photographie du PA à deux étages basé sur deux cellules de puissance reconfigurables.	73
2.45	Mesures grands-signaux du PA à deux étages basé sur deux cellules de puissance reconfigurables.	74
2.46	Mesures signaux modulés : spectre de sortie.	74
2.47	Mesures signaux modulés : constellation de sortie.	75
2.48	PA co-design avec optimisation de l'inter-étage.	76
2.49	PA reconfigurable basé sur l'architecture actuelle.	76
3.1	Architecture du PA reconfigurable intégré.	82
3.2	Schéma équivalent d'un transformateur élémentaire non-idéal.	84
3.3	η_{max} en fonction du coefficient de qualité de l'enroulement primaire Q_P pour différents Q_S et un coefficient de couplage a) $k = 0.5$ et b) $k = 0.8$	87
3.4	Pertes et couplage au substrat d'un élément inductif : a) modèle équivalent et b) formation de courants induits.	88
3.5	Fonctionnement d'un DAT SCT à N voies.	89
3.6	Vue de dessous de DAT octogonaux avec couplage magnétique a) planaire b) vertical.	91
3.7	Comparaison de différents enroulements sur la valeur d'inductance.	92
3.8	Comparaison de différents enroulements sur la valeur du coefficient de qualité.	93
3.9	Vue (a) isométrique et (b) de face des enroulements	94
3.10	Calcul de l'inductance mutuelle entre deux conducteurs rectangulaires.	95
3.11	Efficacité maximale η_{max} (%) en fonction des dimensions des pistes.	96
3.12	Fréquence de résonance f_{pk} (GHz) en fonction des dimensions des pistes.	96
3.13	Pertes du DAT à 2,5 GHz en fonction des dimensions des pistes.	97
3.14	Impédance d'entrée d'une voie du DAT en fonction du périmètre pour une largeur de 30 μm	98
3.15	Vue 3D du DAT $TRF1$ avec les plots.	98
3.16	Impact d'une polarisation de grille sur M_2 sur la répartition des tensions.	99
3.17	Impédances de charge.	99
3.18	Vue 3D du splitter inter-étage $TRF2$	100

3.19	Formes d'ondes simulées en sortie de <i>TRF2</i>	101
3.20	Adaptation d'impédance inter-étage.	101
3.21	Vue 3D du transformateur d'entrée <i>TRF3</i>	102
3.22	Ajustement du coefficient de réflexion par la capacité C_1	103
3.23	Étude linéaire de la stabilité : Facteurs Δ et k simulés.	105
3.24	Étude non-linéaire de la stabilité : (a) Analyse temporelle et (b) Analyse fréquentielle.	105
3.25	Techniques de stabilisation.	106
3.26	Layout du PA intégré.	107
3.27	Résultats petit-signal pour chaque mode.	108
3.28	Coefficient de stabilité k pour chaque mode.	108
3.29	Résultats grand-signal à 2,5 GHz pour chaque mode : (a) gain, (b) PAE, (c) puissance DC et (d) distorsion de phase en fonction de la puissance générée.	109
3.30	Résultats grands-signal en fonction de la fréquence.	110
3.31	Spectre de sortie avec un signal modulé.	110
3.32	Constellation de sortie avec un signal modulé.	111
3.33	Influence des corners capacités MIM sur le fonctionnement petits-signal.	111
3.34	Influence des corners capacités MIM sur le fonctionnement grands-signal.	112
3.35	Influence des corners transistors sur la tension de seuil.	112
3.36	Influence des corners transistors sur le fonctionnement grands-signal.	113
3.37	a) Photographie et b) image 3D au MEB de la puce.	114
3.38	Image 3D au MB au MEB d'un bump reporté sur la puce.	115
3.39	Résultats de l'analyse EDX sur la 1ère couche de passivation.	115
3.40	Résultats de l'analyse EDX sur la 2ème couche de passivation.	116
3.41	Effet du traitement acide sur la puce.	116
3.42	Photographie du circuit testé sous pointes.	117
3.43	Résultats de mesures petit-signal.	117
3.44	Résultats de mesures grands-signal.	118
3.45	Variation de l'impédance optimale entre le mode 1 et le mode 3.	122
3.46	Effet de la reconfiguration de l'impédance de charge sur a) le gain et b) la PAE.	122
3.47	Architecture d'émetteur-récepteur a) traditionnel et b) numérique.	123
3.48	Schéma d'une cellule DRFC basée sur le transistor MASMOS.	123
3.49	Constellation générée par un PA numérique à 5 bits.	124
3.50	Algorithme de pré-dimensionnement de PA.	125
B.1	Description d'un kit de calibrage TRL single.	135
B.2	PCB du kit de calibrage TRL différentiel conçu.	136

Liste des tables

1.1	Valeurs tolérées d'EVM en fonction de la modulation choisie.	19
1.2	Principaux paramètres en fonction de la topologie.	27
1.3	Principaux paramètres en fonction de l'architecture.	29
1.4	Caractéristiques des combinaisons SCT et PCT.	31
1.5	Comparaison des performances de PA CMOS.	39
2.1	Dimensionnement du MASMOS.	54
2.2	Description des modes de fonctionnement de la cellule reconfigurable. . . .	68
2.3	Comparaison des performances de PA CMOS.	75
3.1	Spécifications visées pour le PA LTE intégré.	81
3.2	Modes de fonctionnement proposés pour le PA reconfigurable intégré. . . .	83
3.3	Comparaison de DAT.	90
3.4	Attribution des métaux pour le DAT.	93
3.5	Comparaison des performances de PA CMOS.	113

Liste des acronymes

2G	Second-generation wireless technology
3G	Third-generation wireless technology
4G	Fourth-generation wireless technology
ACLR	Adjacent Channel Leakage Ratio
AsGa	Arséniure de Gallium
BE	Buffered Etch
BEOL	Back-End Of Line
BPSK	Binary Phase Shift Keying
CAGR	Compound Annual Growth Rate
CMOS	Complementary Metal Oxide Semi-Conductor
CMS	Composant monté en surface
DAT	Distributed Active Transformer
DC	Direct Current
DE	Drain Efficiency
DGAC	Direction Générale de l'Aviation Civile
DRFC	Digital-to-RF Converter
DNW	Deep N-well
DRM	Design Rule Manual
DUT	Device Under Test
EDX	Energy-Dispersive X-ray spectroscopy
EM	Électromagnétique
EVM	Error Vector Magnitude
FDMA	Frequency Division Multiple Access
GaN	Gallium Nitride
GSM	Global System for Mobile Communications
HCI	Hot Carriers Injection
IMD	Intermodulation Distortion
IoT	Internet of Things
LSSP	Large Signal S-Parameters
LTE	Long Term Evolution
LTE-A	Long Term Evolution Advanced
MEB	Microscope Électronique à Balayage
MIMO	Multiple-Input Multiple-Output
OOK	On-Off Keying
PAE	Power Added Efficiency

PAPR	Peak-to-Average Power Ratio
PCB	Printed Circuit Board
PCT	Parallel power-Combining Transformer
PER	Power Enhancement Ratio
PMR	Private mobile radiocommunications
QAM	Quadrature Amplitude Modulation
RF	Radio Fréquence
SC	Single-Carrier
SCT	Series power-Combining Transformer
Si	Silicium
SiP	System In Package
SoC	System On Chip
SOI	Silicon-On-Insulator
Tddb	Time-Dependent Dielectric Breakdown
TDMA	Time Division Multiple Access
VoLTE	Voice over LTE
VSWR	Voltage Standing Wave Ratio
Wi-Fi	Wireless Fidelity

Introduction

Le standard LTE permet l'accès au très haut débit mobile. Cette augmentation des débits de données s'accompagne d'une diversification des supports d'accès, et le LTE adresse désormais les objets connectés. Dans ce contexte, de nombreux travaux de recherche portent sur l'intégration de l'émetteur-récepteur radio en technologie CMOS, motivés par une meilleure capacité d'intégration et un coût de réalisation inférieur à ceux d'autres technologies.

La complexité du signal à transmettre impose de nombreuses contraintes sur la conception de l'émetteur-récepteur RF, et particulièrement sur l'amplificateur de puissance (PA). En effet, l'utilisation de modulations en quadrature augmente la puissance à générer et oblige la conception de PA très linéaires, résultant en une consommation statique plus importante. Cette thèse porte sur la recherche de composants et de circuits permettant d'atteindre de fortes puissances de sortie et de résoudre le compromis entre la linéarité et le rendement du PA.

Le premier chapitre présente d'abord l'évolution du standard LTE et son positionnement actuel. L'intérêt pour les technologies CMOS est développé dans une deuxième partie. Les paramètres de caractérisation et de conception du PA sont ensuite présentés. Puis une revue de l'état de l'art propose d'identifier les défis liés à l'intégration du PA en technologie CMOS. Les solutions actuellement utilisées sont analysées.

Le deuxième chapitre porte sur le développement de cellules de puissance. Chaque cellule est basée sur le transistor MASMOS, technologie brevetée par ACCO. Une étude approfondie du transistor vise à identifier les paramètres dont dépendent les performances du transistor. Le flot de conception est détaillé dans la deuxième partie. Trois amplificateurs de puissance sont ensuite présentés, de l'étude théorique aux résultats de mesure. Le premier est basé sur une amélioration du MASMOS. Le deuxième permet de reconfigurer l'amplificateur, pour ajuster la consommation en fonction de la puissance de sortie. Enfin, un amplificateur à deux étages basé sur la cellule reconfigurable est présenté et comparé à l'état de l'art.

Le troisième chapitre porte sur le développement du premier PA MASMOS totalement intégré en technologie CMOS. Le circuit est basé sur des transformateurs qui effectuent l'adaptation d'impédance ainsi que la combinaison de puissance. Les performances du combineur sont optimisées à l'aide d'un blindage, et sa conception est effectuée à l'aide d'un algorithme qui permet un pré-dimensionnement de la taille des enroulements. Le circuit proposé est reconfigurable pour adresser les différents besoins imposés par le standard LTE : puissance de sortie, haute linéarité et faible consommation.

Le manuscrit se conclut avec la présentation de plusieurs perspectives de recherche.

Chapitre 1

Amplificateurs de puissance pour le standard 4G LTE

1.1	Le standard LTE : L'accès au très haut débit mobile	5
1.1.1	Positionnement du standard	5
1.1.2	Applications visées : les objets connectés et les drones	6
1.1.3	Spécifications système	6
1.2	Émetteur-Récepteur : Intégration de fonctions RF en technologie CMOS	9
1.2.1	Architectures actuelles d'émetteur-récepteur	9
1.2.2	Intérêt de l'utilisation de la technologie CMOS	10
1.2.3	Évolution de la technologie CMOS	11
1.2.4	Fiabilité de la technologie CMOS	12
1.3	Amplificateurs de puissance	15
1.3.1	Principaux paramètres	15
1.3.2	Impact de la modulation	17
1.3.3	Classes de fonctionnement	20
1.3.4	Topologies de la cellule amplificatrice	24
1.3.5	Architectures de PA	27
1.3.6	Architectures avancées	29
1.4	État de l'art des PA CMOS RF	33
1.5	Conclusion du chapitre	40

Ce chapitre présente le contexte des travaux, celui de l'utilisation croissante des communications mobiles et de la diversification des supports d'accès avec l'avènement des objets connectés. Dans la première partie, l'évolution du standard LTE et ses spécifications sont détaillées. L'intérêt pour les technologies CMOS est développé dans la deuxième partie. L'intégration de l'émetteur-récepteur permet le développement à faible coût de produits pour un marché de masse. Mais pour les applications mobiles, le PA reste le seul bloc actif non intégré. La troisième partie propose d'analyser les paramètres de caractérisation et de conception du PA, du transistor à l'architecture du circuit complet. Une revue de l'état de l'art des PA CMOS RF en quatrième et dernière partie permet d'analyser les verrous technologiques limitant l'intégration de ce circuit.

1.1 Le standard LTE : L'accès au très haut débit mobile

1.1.1 Positionnement du standard

Les protocoles de communications mobiles évoluent afin de proposer aux utilisateurs des débits de données de plus en plus élevés. Le standard LTE et ses différentes versions constituent la quatrième génération des standards (4G), qui permettent l'accès au très haut débit mobile [3GP06]. Depuis le déploiement du réseau GSM au début des années 1990, la bande passante n'a cessé d'augmenter pour atteindre les 100 Mb/s avec l'actuel LTE-Advanced Pro. Cette augmentation donne lieu à une utilisation plus intense du réseau mobile. En 2016, seulement 26 % des appareils sont connectés en 4G, mais ils représentent 69 % des données mobiles échangées [Cis17]. Grâce à l'amélioration de la couverture réseau, les appels téléphoniques sont aussi appelés à être transmis par des paquets de données via le protocole VoLTE. Certains opérateurs comme Verizon aux États-Unis, SKT en Corée du Sud ou encore Softbank au Japon prévoient même de ne plus assurer la rétrocompatibilité avec les réseaux 2G et 3G. En 2023, le réseau LTE devrait ainsi compter pour la majorité des abonnements de téléphonie mobile (figure 1.1).

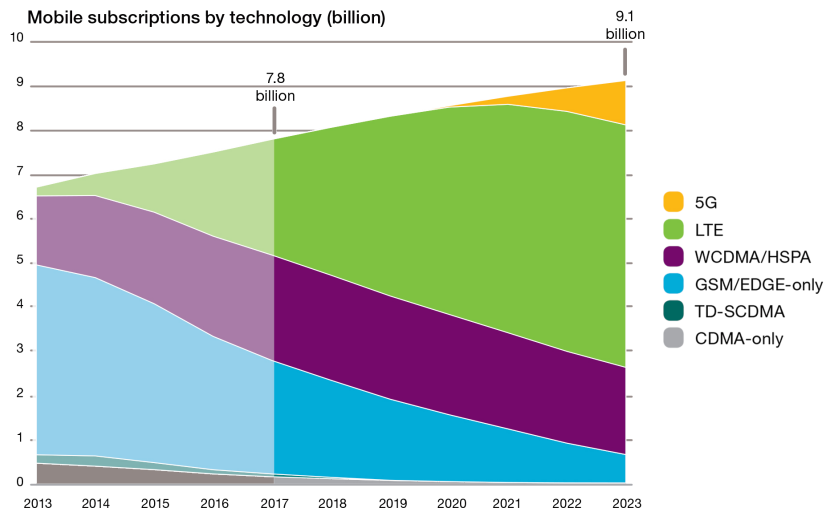


Figure 1.1 – Évolution des abonnements téléphoniques en fonction des protocoles.

Source : [Eri17]

Si l'utilisation du réseau s'intensifie, il apparaît aussi une plus grande diversité dans son utilisation. Le haut débit de la 4G permet de visionner des vidéos, qui représentent 50 % des données échangées en 2016. Cette évolution laisse entrevoir une autre diversification : celle des supports d'accès. Si l'utilisation des ordinateurs personnels ne cesse de reculer devant celle toujours plus importante des smartphones et des tablettes, il faudra bientôt compter avec l'avènement des objets connectés, ou IoT. Le taux de croissance annuel (CAGR) estimé de connexions effectuées par des objets connectés est supérieur à 20 % pour la période 2017-2023 (figure 1.2). Ainsi, sur les 31,6 milliards de connexions prévues en 2023, 19,8 milliards seront liées à l'IoT, dont environ 10 % établies sur le réseau cellulaire [Eri16].

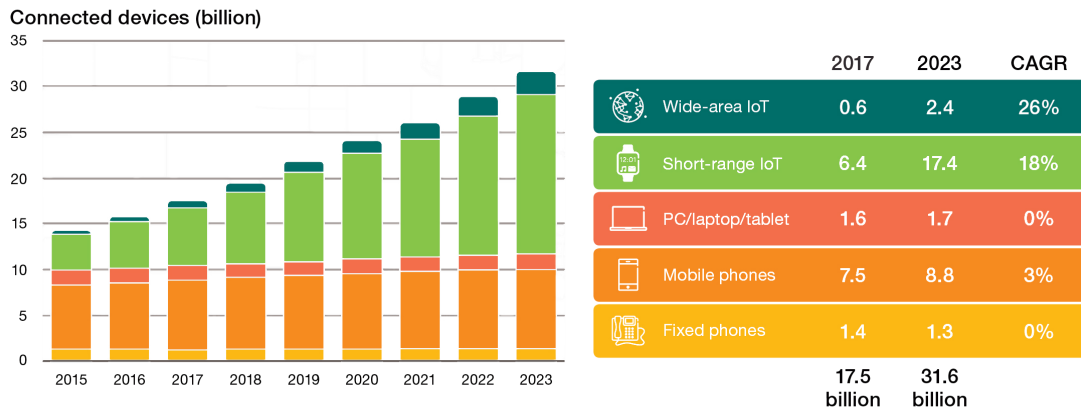


Figure 1.2 – Répartition des objets connectés.
 Source : [Eri17]

1.1.2 Applications visées : les objets connectés et les drones

Du thermostat de la maison sur réseau au pèse-personne avec suivi sur smartphone, le champ d'application des objets connectés paraît infini. Le marché du drone civil, estimé à plus d'un milliard de dollars en 2015, devrait être multiplié par cinq d'ici à 2020 [Est14]. L'usage de drones civils professionnels, aujourd'hui largement porté par le secteur audiovisuel, commence à s'étendre à des industries comme la cartographie ou l'agriculture. Les bandes de fréquence utilisées pour les réseaux mobiles privés (PMR) des pompiers et de la police permettent l'utilisation de drones dans des applications de sécurité civile comme la surveillance d'incendies. L'évolution du lien radio entre le pilote et le drone est un facteur important du développement de ce marché. Aujourd'hui la connexion Wi-Fi ne permet pas de piloter le drone à longue distance ou hors vue, et ne garantit pas les critères de sécurité requis par les organes de réglementation aérienne comme la direction générale de l'aviation civile (DGAC) en France. L'utilisation de la 4G permet de sécuriser la liaison par sa couverture globale. Il apparaît donc deux utilisations distinctes du réseau mobile par les objets connectés :

- Les applications qui reposent sur un réseau performant, comme le pilotage vidéo d'un drone. Elles nécessitent une connexion fiable, un temps de réponse court et l'échange d'un grand volume de données.
- Les applications de masse, généralement des systèmes embarqués à très faible consommation comme les stations météo déportées. Caractérisées par un grand nombre d'utilisateurs et un faible volume de données à transmettre, elles sont implémentées à faible coût.

Des versions spécifiques du LTE ainsi que des solutions matérielles au prix adapté apparaissent comme les clés d'un déploiement massif du LTE dans les objets connectés.

1.1.3 Spécifications système

L'organisme 3GPP définit les spécifications des normes de communications mobiles, dont le LTE. Ce dernier permet d'obtenir des débits similaires à ceux des réseaux filaires

Ethernet [3GP06]. Pour obtenir de telles performances, l'efficacité spectrale est optimisée et de nouvelles techniques d'accès sont mises en œuvre. Le débit d'un canal est exprimé par le théorème de Shannon-Hartley [Sha48] :

$$C = W * n * \log_2(1 + SNR) \quad (1.1)$$

avec :

- C la capacité du réseau en b/s,
- W la largeur spectrale en Hz,
- n le nombre de canaux,
- SNR le rapport signal/bruit.

Directement liées à l'équation 1.1, les principales nouveautés techniques implémentées pour le LTE sont :

- des largeurs de bandes modulables : 1.4, 3, 5, 10, 15 et 20 MHz,
- jusqu'à 100 MHz par agrégation de porteuses,
- l'utilisation de modulation en quadrature (QPSK et QAM),
- le support de femtocells,
- l'intégration d'antennes MIMO.

L'évolution des techniques employées a entraîné une classification des terminaux en différentes catégories. Ce classement apparaît dans la version 10 du standard [3GP11]. Les premières évolutions portent principalement sur l'augmentation du débit de données, et sont présentées dans les catégories 1 et plus. Mais le standard prévoit aussi à la diversification des supports d'accès. La version 13 introduit ainsi des catégories spécifiques à l'IoT : Cat-M et Cat-NB [3GP14]. Ces catégories sont basées sur des architectures système plus simples, pour des débits réduits mais avec une consommation électrique inférieure. La figure 1.3 résume cette classification par catégories.

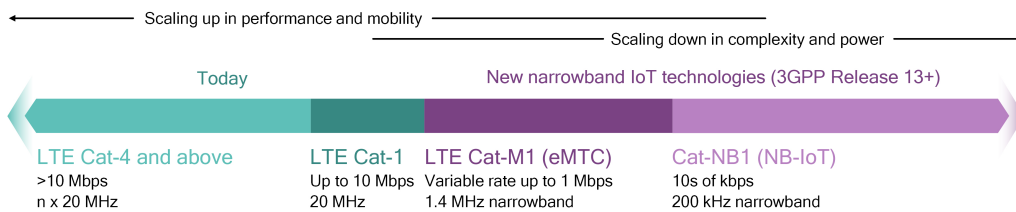


Figure 1.3 – Classification du standard LTE par catégories.

Source : [QT16]

En liaison montante, la transmission de données utilise le procédé d'accès multiple par répartition en fréquence avec une seule porteuse (SC-FDMA) [Rum13]. En pratique, chaque utilisateur reçoit de la station de base une part du canal pendant un intervalle de temps (TDMA). Cette partie du canal attribuée est constituée de plusieurs sous-porteuses adjacentes. Les modulations utilisées pour les sous-porteuses sont des modulations en quadrature : QPSK, 16-QAM et 64-QAM. Le choix du type de modulation est réalisé dynamiquement par le terminal en fonction de la qualité du signal [3GP14].

La figure 1.4 illustre la transmission de symboles QPSK du terminal vers la station de base tel que défini par le standard LTE. Pour cet exemple, une bande de fréquence est constituée par l'agrégation de 4 sous-porteuses de 15 kHz. Le temps alloué à la transmission d'un unique symbole est égal à $1/15\text{ kHz} \approx 67\ \mu\text{s}$. Ce bloc unitaire constitue un élément de ressource (RE), où l'amplitude et la phase du signal sont définies par le symbole en cours de transmission. Un bloc de ressource (RB) est constitué de 4 RE. La transmission des 8 symboles de l'exemple occupe donc 8 RE répartis en 2 RB séparées par un préfixe de cycle (CP).

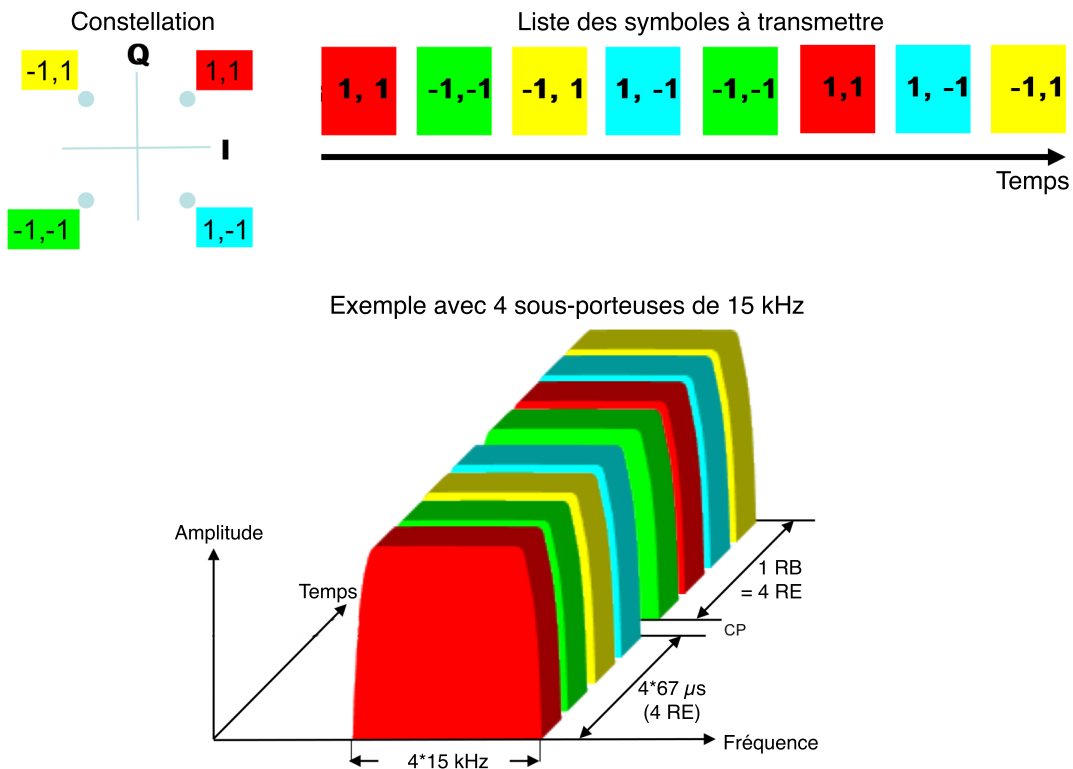


Figure 1.4 – Transmission de symboles QPSK en SC-FDMA.

Source : [MR08]

L'utilisation de largeurs de bandes jusqu'à 20 MHz avec des modulations QAM résulte notamment en une augmentation du facteur de crête (PAPR). Un signal LTE 64-QAM avec 20 MHz de bande présente ainsi un PAPR de 8,7 dB. L'amplificateur de puissance (PA) se retrouve particulièrement impacté puisqu'il doit alors délivrer une puissance de sortie plus importante afin de ne pas distordre le signal. La puissance à atteindre en sortie du PA, de l'ordre de 30 dBm, résulte en une consommation plus importante et donc une décharge de la batterie plus rapide. De plus, la tension nécessaire pour délivrer 30 dBm à une charge $50\ \Omega$ est bien au-delà de la tension de claquage des transistors CMOS classiques. L'intégration de l'émetteur-récepteur radio en technologie CMOS fait cependant l'objet de nombreux travaux de recherche, notamment pour son coût inférieur à d'autres technologies.

1.2 Émetteur-Récepteur : Intégration de fonctions RF en technologie CMOS

1.2.1 Architectures actuelles d'émetteur-récepteur

Les technologies CMOS développées pour les circuits numériques sont aujourd'hui utilisées pour l'intégration des fonctions RF sur un seul et même substrat (SoC). Cette solution intégrée est notamment utilisée dans les transmetteurs Wi-Fi [LSF⁺13]. Pour les applications cellulaires, les niveaux de puissance plus élevés, la complexité spectrale du signal et les phénomènes de pulling avec le VCO font que le PA reste le seul élément actif implanté dans un module séparé. La figure 1.5 décrit cette approche, dite SiP. Le PA, situé juste avant l'antenne, fournit l'énergie nécessaire au signal modulé afin qu'il puisse se propager correctement. Il est réalisé dans un procédé de fabrication plus adapté mais plus cher, comme l'Arséniure de Gallium (AsGa). De plus, les solutions actuelles multiplient les amplificateurs pour fonctionner avec plusieurs standards et plusieurs bandes de fréquence, ce qui accroît considérablement la complexité du circuit et la place occupée par cette fonction (figure 1.6).

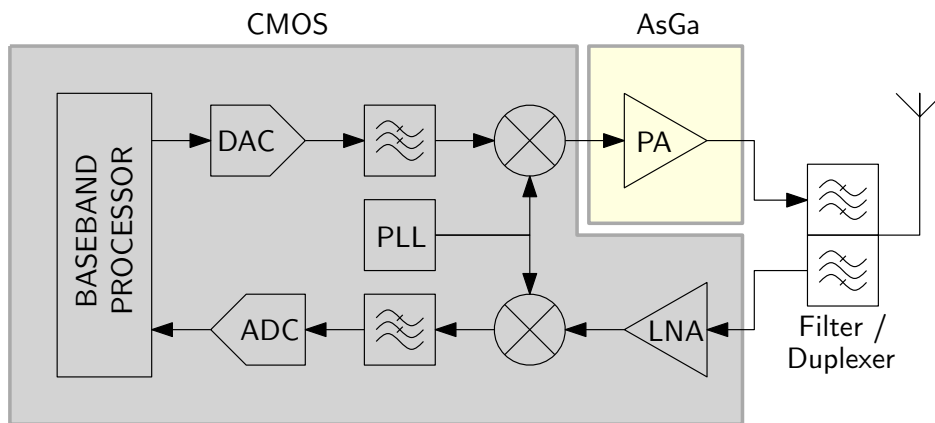


Figure 1.5 – Diagramme bloc d'un émetteur-récepteur homodyne.

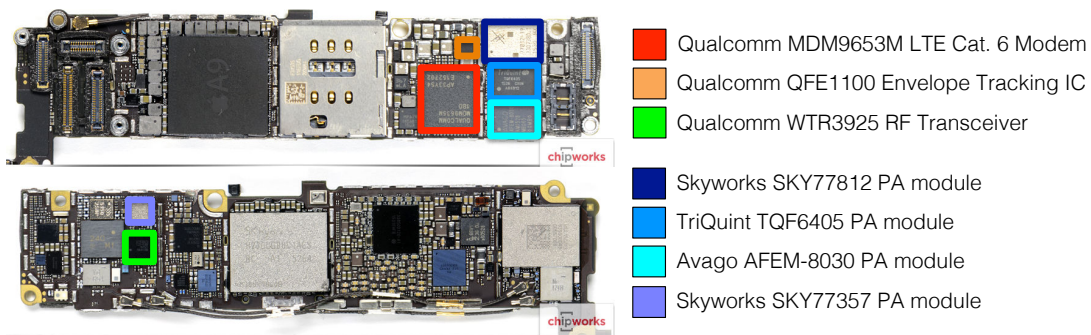


Figure 1.6 – Circuits RF de l'iPhone 6S.

Source : [ifi15]

La puissance du signal à transmettre impacte fortement la consommation statique. En excluant l'écran, le PA est le bloc qui consomme le plus d'énergie à la puissance moyenne d'émission, et sa consommation augmente considérablement à la puissance maximale en raison du fort PAPR (figure 1.7).

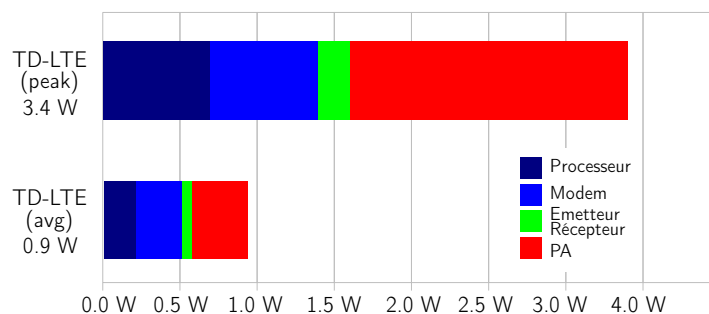


Figure 1.7 – Répartition de la consommation dans un téléphone.

Source : [Nuj14]

1.2.2 Intérêt de l'utilisation de la technologie CMOS

Le seul bloc RF actif non intégré reste donc le PA. Les technologies III-V utilisées dans les solutions commerciales, comme le GaN ou l'AsGa, ont une tenue en puissance bien supérieure à celle du CMOS. Cette dernière est limitée par les faibles tensions de claquage des transistors, mais aussi une tenue en fréquence moins bonne que ses concurrents III-V. Cependant, le prix de fabrication et la capacité d'intégration du CMOS suscitent un fort intérêt industriel. Les avantages et inconvénients des technologies citées sont résumés sur la figure 1.8.

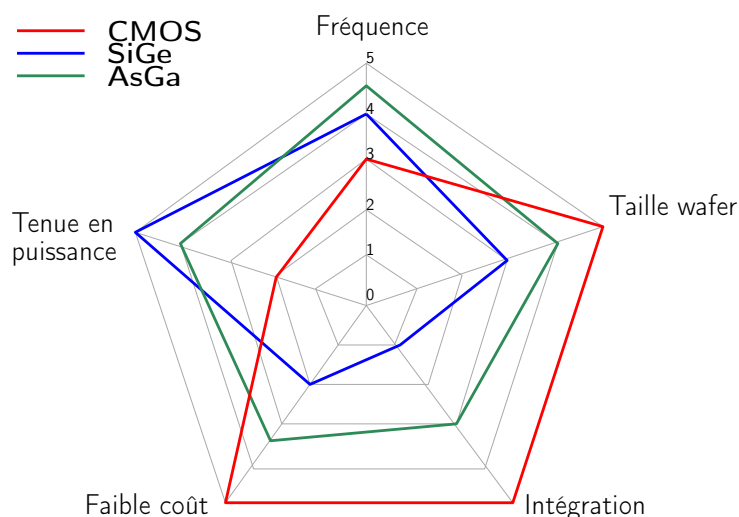


Figure 1.8 – Comparaison de technologies utilisées pour les PA.

Source : [Ker13]

1.2.3 Évolution de la technologie CMOS

La figure 1.9 montre la vue en coupe d'un transistor NMOS ainsi que son modèle équivalent incluant les éléments parasites. L'évolution des technologies CMOS consiste en une miniaturisation des transistors par la réduction de la longueur de canal L et de l'épaisseur d'isolant sur la grille t_{ox} [ECSC11]. Cette évolution influe sur la fréquence et les tensions de travail (figure 1.10). En effet, la réduction de l'épaisseur d'isolant sur la grille s'accompagne d'une diminution de la tension applicable. La miniaturisation permet aussi de réduire les éléments parasites, et par conséquent d'augmenter la fréquence de transition f_T ainsi que la fréquence maximale d'oscillation f_{max} , définies respectivement comme les fréquences où le gain en courant et où le gain en puissance deviennent nuls :

$$f_T = \frac{g_m}{C_{gs} * 2\sqrt{1 + 2\pi\frac{C_{gd}}{C_{gs}}}} \quad (1.2)$$

$$f_{max} = \frac{g_m}{2\pi C_{gs} * 2\sqrt{(R_g + R_s)(g_{ds} + g_m\frac{C_{gd}}{C_{gs}})}} \quad (1.3)$$

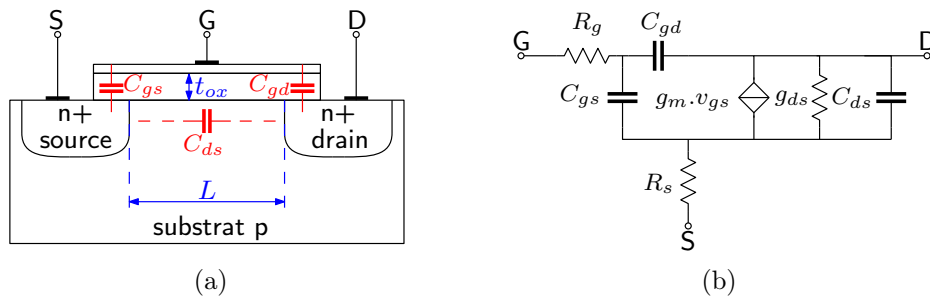


Figure 1.9 – Transistor NMOS : (a) Vue en coupe et (b) schéma équivalent.

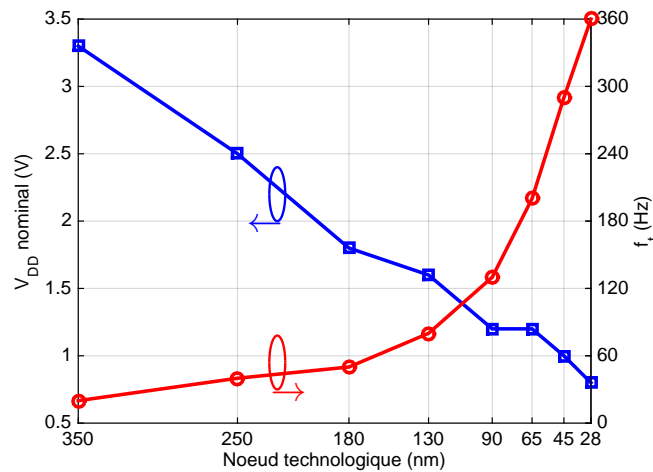


Figure 1.10 – Évolution du V_{DD} et de la f_t en fonction du nœud technologique.

1.2.4 Fiabilité de la technologie CMOS

L'évolution des technologies CMOS permet de travailler à des fréquences plus élevées et l'intégration de tous les composants sur une puce unique SoC permet de réduire la surface occupée et le coût de réalisation d'un circuit. Mais les nouvelles technologies CMOS développées ne sont pas prévues pour supporter des tensions élevées. La miniaturisation est suivie d'une réduction des épaisseurs des métaux qui impose des contraintes supplémentaires, notamment sur les densités de métaux à respecter. Plusieurs mécanismes de dégradations qui influent sur la conception du PA sont identifiés [Tec08].

Claquage de l'oxyde de grille (TDDDB)

Le TDDDB aboutit à la formation d'un canal conducteur à travers l'oxyde de grille. La figure 1.11 représente la formation du canal par percolation [Sta99] et la différence de potentiel appliquée sur la grille en fonction de la géométrie du transistor. Les potentiels de drain et de source imposent une tension importante sur l'oxyde de grille, ce qui entraîne sa dégradation progressive et éventuellement la destruction du transistor lorsque la grille ne contrôle plus le canal [ICC85]. Ce phénomène impose au concepteur des limites à respecter sur les tensions V_{GS} et V_{GD} .

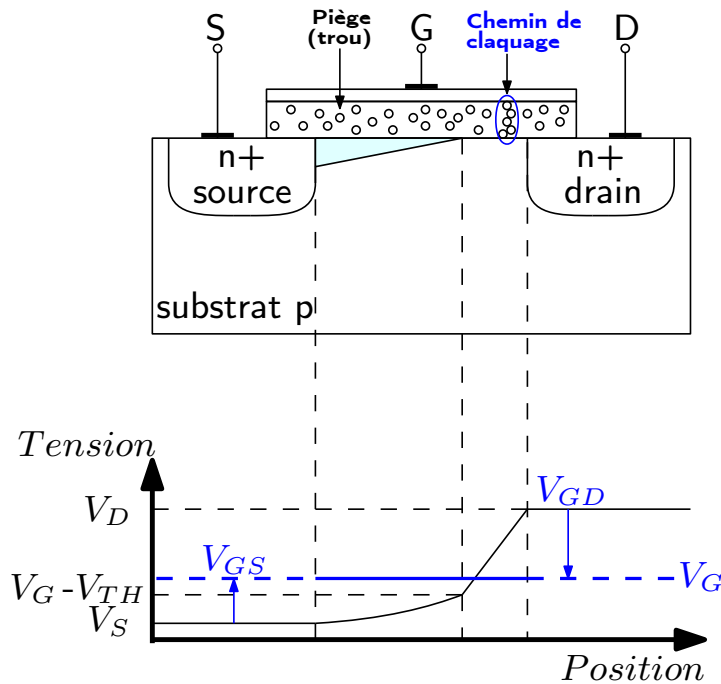


Figure 1.11 – Mécanisme de claquage de l'oxyde de grille.

Injection de porteurs chauds (HCI)

Le HCI résulte en la création de courants de fuite dans le substrat. Le champ électrique latéral intense vers l'électrode de drain entraîne une ionisation par impact lors de chocs d'électrons avec les atomes de silicium. Cette ionisation résulte en la création de paires électron-trou (figure 1.12). Une partie des porteurs franchit l'interface $\text{SiO}_2\text{-Si}$ et modifie progressivement les caractéristiques du transistor comme la tension de seuil V_{TH} et le courant de saturation I_{ON} . Les trous repoussés vers le substrat génèrent un courant I_B . Contrairement au TDBB, ce phénomène est réversible et n'entraîne pas la destruction du transistor [TCOH88]. Lors de la conception et du fonctionnement du circuit, il faut éviter au possible la création d'un courant dans le canal en présence d'une tension de drain élevée.

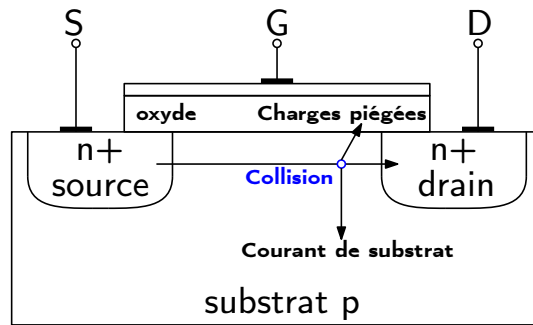


Figure 1.12 – Mécanisme d'injection de porteurs chauds.

Punch-through

Le punch-through vient de la réduction de la barrière de potentiel entre le drain et la source. En présence d'une tension V_{DS} importante, la région de déplétion du drain s'étend et s'approche de la région de déplétion de la source (figure 1.13). La réduction de la barrière de potentiel entre drain et source permet alors à un courant de se former. Le courant I_{DS} n'est plus contrôlé par la grille et le transistor rentre en zone d'avalanche. Ce phénomène impose au concepteur des limites sur la tension V_{DS} .

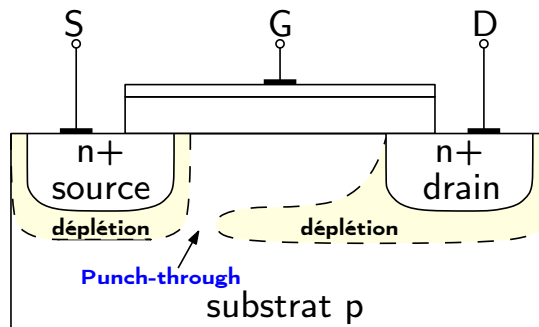


Figure 1.13 – Mécanisme de punch through.

Électron-migration

L'électro-migration traduit la dégradation mécanique des lignes de métal suite au passage d'un courant. Comme illustré sur la figure 1.14, les électrons causent un déplacement des atomes en circulant dans la matière, ce qui peut aboutir à une destruction de la piste (circuit ouvert ou court-circuit avec une piste adjacente) [Muk08]. Des règles de densité de courant sont fournies par le fondeur pour assurer un fonctionnement sur le long-terme.

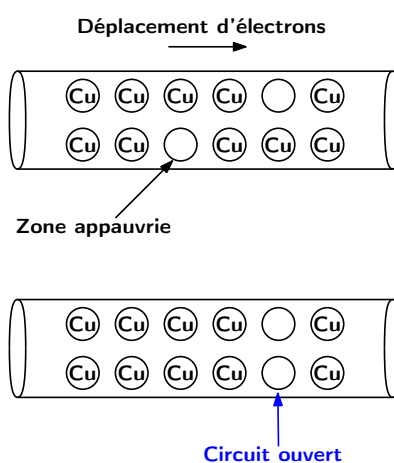


Figure 1.14 – Mécanisme d'électro-migration.

Conclusion

La miniaturisation des transistors CMOS permet de travailler à des fréquences plus élevées. Développées pour les circuits numériques, les technologies CMOS sont utilisées pour réaliser une partie de l'émetteur-récepteur radio. La réalisation du PA en CMOS est limitée par divers mécanismes de défaillance des transistors; mais motivée par la meilleure capacité d'intégration et le coût de réalisation bien inférieur à ceux des technologies III-V.

1.3 Amplificateurs de puissance

1.3.1 Principaux paramètres

Le fonctionnement du PA peut être décrit par plusieurs paramètres. La figure 1.15 montre le bilan des puissances typique d'un PA. On distingue :

- P_{in} : Puissance délivrée par le générateur
- P_{app} : Puissance appliquée à l'entrée du PA
- P_{disp} : Puissance disponible en sortie du PA
- P_{out} : Puissance délivrée à la charge

Ainsi que :

- Z_G : Impédance du générateur
- Z_{in} : Impédance d'entrée du PA
- Z_{out} : Impédance de sortie du PA
- Z_L : Impédance de la charge

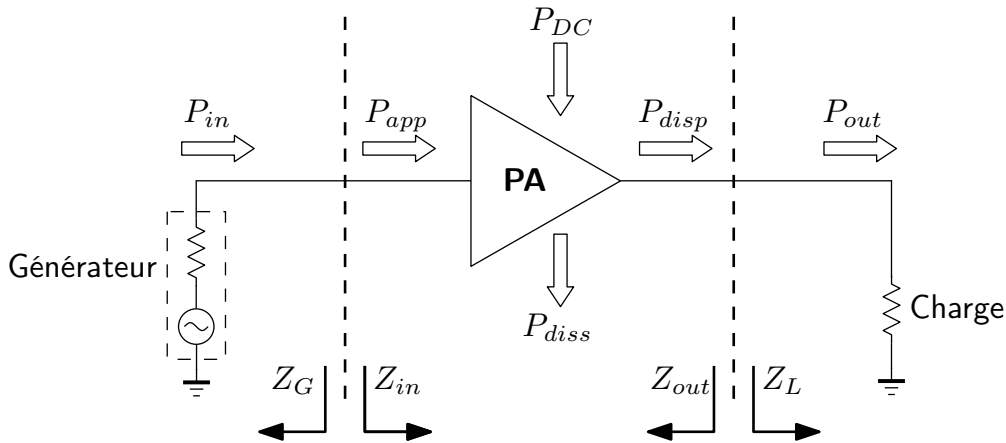


Figure 1.15 – Bilan de puissance d'un PA.

La puissance P d'un signal peut s'exprimer en fonction de la tension v et du courant i de la façon suivante :

$$P_{(W)} = \frac{1}{2} \text{Re}(v * i^*) \quad (1.4)$$

La puissance d'un signal RF est généralement exprimées en dBm :

$$P_{(dBm)} = 10 * \log_{10}(1000 * P_{(W)}) \quad (1.5)$$

L'adaptation d'impédance traduit le transfert de puissance à l'entrée (entre le générateur et le PA) ainsi qu'à la sortie (entre le PA et la charge). Il y a adaptation d'impédance si $P_{in} = P_{app}$ et $P_{disp} = P_{out}$. Le gain le plus significatif est donc le gain en puissance transducique puisqu'il tient compte de l'adaptation :

$$G_{(dB)} = 10 * \log_{10} \left(\frac{P_{out(W)}}{P_{in(W)}} \right) \quad (1.6)$$

$$= P_{out(dBm)} - P_{in(dBm)} \quad (1.7)$$

Le rendement de drain (DE) décrit la capacité du PA à convertir le maximum de la puissance d'alimentation P_{DC} en un signal RF transmis à la charge. Le rendement est défini par :

$$\eta_{D(\%)} = \frac{P_{out(w)}}{P_{DC(w)}} \quad (1.8)$$

Un autre critère important d'évaluation est le rendement à puissance ajoutée (PAE), car il tient compte de la puissance du signal d'entrée et peut s'exprimer en fonction du gain. Il est largement employé pour comparer des PA pour ces deux raisons.

$$PAE(\%) = \frac{P_{out(w)} - P_{in(w)}}{P_{DC(w)}} = \eta(1 - \frac{1}{G}) \quad (1.9)$$

La linéarité mesure la capacité du PA à amplifier un signal avec un minimum de distorsion. On distingue la conversion amplitude-amplitude (distorsion AM-AM) de la conversion amplitude-phase (AM-PM). Sur l'exemple de la figure 1.16, une puissance d'entrée P_1 est amplifiée linéairement : $P_{out}(P_1) = P_1 + G_{dB}$. La puissance d'entrée P_2 doit être amplifiée jusqu'à $P_{out-LIN}$, mais est limitée par la compression du PA. L'amplitude du signal de sortie est alors déformée. Le point de compression à 1 dB (P_{1dB}) est atteint lorsque l'écart entre le gain linéaire et le gain réel est de 1 dB. La puissance délivrée en saturation est notée P_{SAT} . La figure 1.17 montre une caractéristique AM-PM où la phase du signal est déformée pour une puissance d'entrée P_2 .

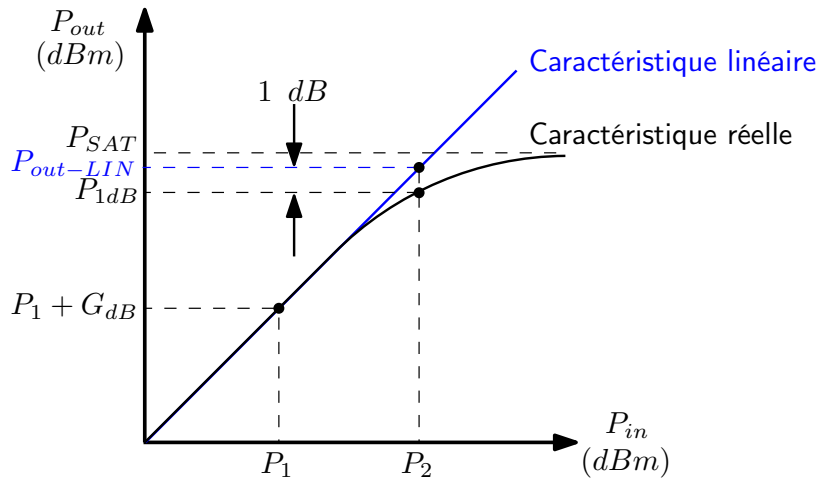


Figure 1.16 – Distorsion AM-AM.

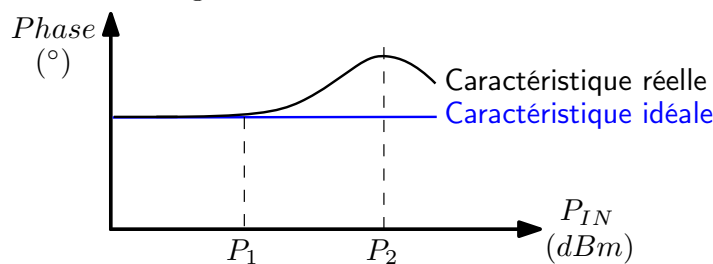


Figure 1.17 – Distorsion AM-PM.

1.3.2 Impact de la modulation

L'utilisation d'une modulation d'amplitude affecte aussi les performances du PA. Trois critères permettent de mesurer l'influence de la modulation sur le PA :

- le facteur de crête (PAPR),
- la réjection dans les canaux adjacents (ACLR ou ACPR),
- l'erreur vectorielle (EVM).

PAPR

La variation d'amplitude d'un signal $S(t)$ est quantifiée par le PAPR comme le ratio entre la puissance maximale P_{max} et la puissance moyenne P_{moy} sur un intervalle de temps T :

$$PAPR = \frac{P_{max}}{P_{moyen}} = \frac{\max_{[0,T]} |S(t)|^2}{\frac{1}{T} \int_0^T |S(t)|^2 dt} \quad (1.10)$$

L'augmentation de la bande passante et de la complexité de la modulation s'accompagne d'une augmentation du PAPR. Ainsi un signal LTE 16-QAM avec 10 MHz de bande présente un PAPR de 6,92 dB [FR12], alors qu'un signal LTE 64-QAM avec 20 MHz de bande présente un PAPR de 8,79 dB [FR15]. Cela impose une contrainte supplémentaire sur le PA, qui doit être linéaire jusqu'à la puissance maximale P_{max} pour éviter une distorsion du signal. La densité de probabilité du signal montre la distribution de la puissance en fonction de l'amplitude (figure 1.18). La densité de probabilité est concentrée autour de la puissance moyenne, alors que la probabilité de travailler à P_{max} est moindre. La modulation contraint donc à surdimensionner le PA, pour délivrer des puissances de l'ordre de 30 dBm. La consommation statique augmente et dégrade les performances de l'émetteur RF. La consommation étant directement liée au temps d'utilisation disponible de la batterie, c'est un critère important pour les applications embarquées. Lors de la conception du PA, il apparaît clairement un compromis entre la linéarité et la consommation statique [LCCP10].

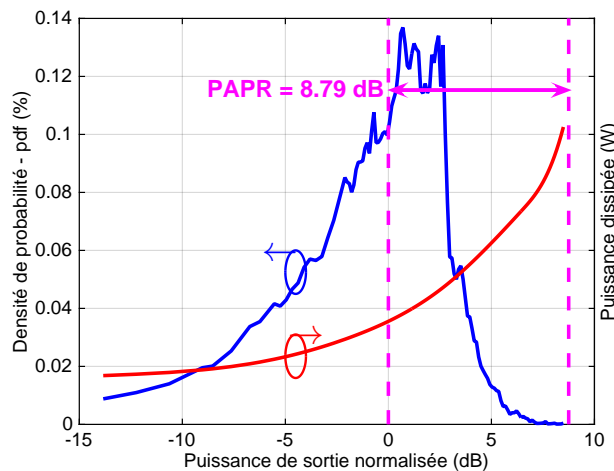


Figure 1.18 – Impact du PAPR sur le dimensionnement du PA.

ACLR

- La non-linéarité du PA affecte le spectre du signal amplifié et entraîne l'apparition :
- d'harmoniques à des multiples de la fréquence de travail,
 - de distorsion d'intermodulation (IMD).

La figure 1.19 montre le spectre d'un signal bi-ton (f_1 et f_2) amplifié par un PA non linéaire [PC03]. Le calcul des différentes composantes fréquentielles est disponible en annexe A.

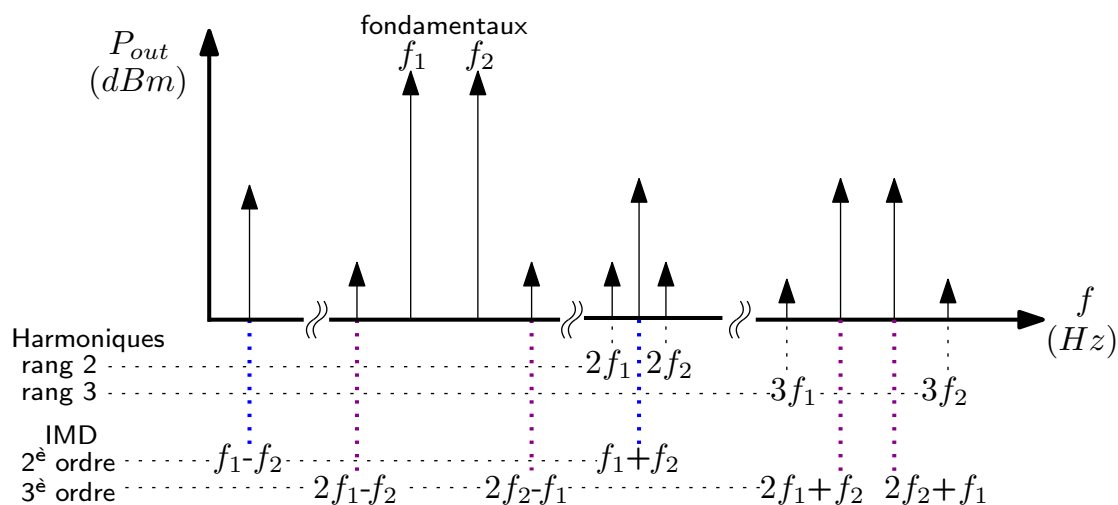


Figure 1.19 – Étalement du spectre par un PA non-linéaire.

La non-linéarité produit un étalement spectral dans les bandes adjacentes. L'ACLR est défini par le ratio entre la puissance dans la bande utile et la puissance dans les canaux adjacents (dB/MHz). Le standard LTE définit un masque d'émission qui définit les niveaux d'amplitude acceptés dans les bandes adjacentes à -30 dBc (figure 1.20) [3GP11].

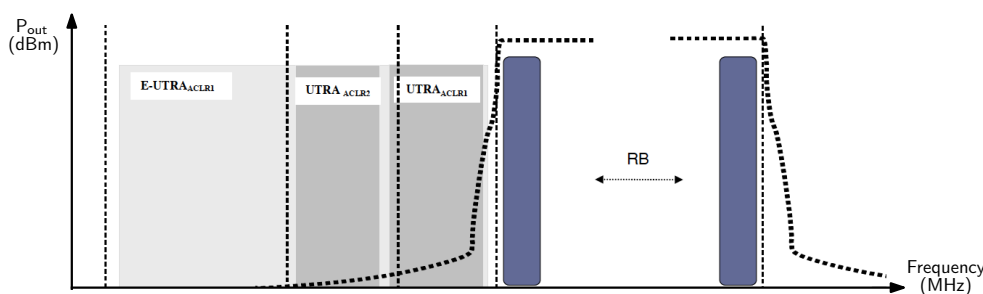


Figure 1.20 – Masque d'émission pour un signal LTE.

Source : [3GP11]

EVM

La distorsion d'amplitude et de phase résulte en un décalage dans la constellation (figure 1.21). L'EVM mesure donc l'écart entre le symbole à transmettre $S_{k_{ideal}}$ et le symbole transmis $S_{k_{reel}}$. Il est défini par :

$$EVM_{RMS} = \sqrt{\frac{\frac{1}{N} \sum_{k=1}^N |S_{k_{ideal}} - S_{k_{reel}}|^2}{\frac{1}{N} \sum_{k=1}^N |S_{k_{ideal}}|^2}} \quad (1.11)$$

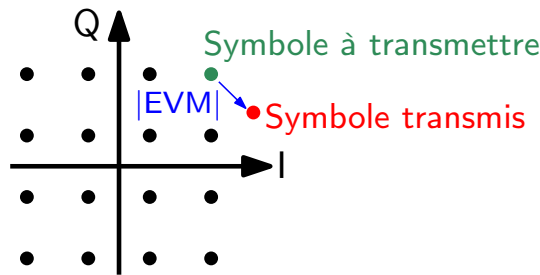


Figure 1.21 – Illustration de l'EVM dans une modulation 16-QAM.

Le tableau 1.1 résume les valeurs d'EVM tolérées par le standard LTE en fonction de la modulation [3GP14].

Modulation	EVM (%)
QPSK	17,5
16-QAM	12,5
64-QAM	8

Tableau 1.1 – Valeurs tolérées d'EVM en fonction de la modulation choisie.

La modulation impacte donc directement les performances du PA : le PAPR augmente la puissance de sortie à fournir, et les critères d'ACLR et d'EVM définis par le standard LTE imposent de fortes contraintes en linéarité pour réduire les distorsions AM-AM et AM-PM. Un AM-PM de 5° dégrade autant la qualité du signal qu'un AM-AM de 1 dB [VR17]. Il en résulte une augmentation de la consommation qui impose un compromis, surtout pour les applications embarquées. En effet, le PA doit être suffisamment linéaire tout en étant efficace, avec une consommation réduite notamment au repos. Les PA sont généralement identifiés par leur classe de fonctionnement. Le choix de la classe est important puisqu'il régit les performances présentées. Cependant, le choix de la topologie des cellules amplificatrices ainsi que l'architecture générale du PA permettent aussi de classer les PA.

1.3.3 Classes de fonctionnement

Les classes de fonctionnement sont réparties en deux catégories distinctes [Cri04] :

- Les classes sinusoïdales, où le transistor fonctionne en source de courant. La puissance de sortie est proportionnelle à la puissance d'entrée, et la classe de fonctionnement est définie par le point de polarisation.
- Les classes commutées, où le transistor fonctionne en interrupteur. Elles sont utilisées pour amplifier des signaux à enveloppe constante, et la classe de fonctionnement est définie par le traitement des harmoniques associées.

Dans les cas d'un signal modulé en amplitude, le PA doit fonctionner en classe sinusoïdale pour traduire les variations d'amplitude du signal d'entrée. Pour cette raison, seul le fonctionnement des classes A, B, AB et C est détaillé par la suite. La figure 1.22 montre le choix de la classe de fonctionnement en fonction du point de polarisation du transistor. La tension de coude du transistor est notée V_k et la tension d'alimentation est notée V_{DD} . La classe traduit le nombre de fois où le courant de drain va passer par zéro au cours d'une période [McC15].

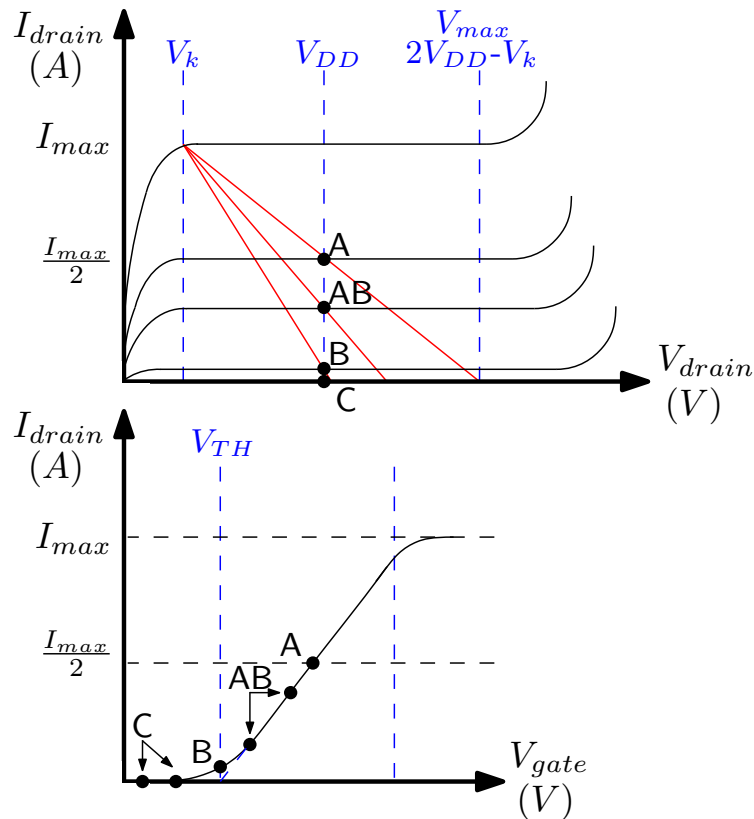


Figure 1.22 – Classes d'opération en fonction de la polarisation.

Classe A

En classe A, le transistor conduit du courant à chaque instant. L'excursion (swing) en tension est de $V_{DD} - V_k$. Le courant de polarisation est ajusté à $I_{max}/2$ pour obtenir

un swing en courant de $I_{max}/2$. Le fonctionnement de la classe A, avec les formes d'ondes de la tension et du courant sont représentées sur la figure 1.23. D'après l'équation 1.4, la puissance de sortie maximale en classe A est de :

$$P_{out}^A = \frac{1}{2} V_{swing} * I_{swing} = \frac{1}{4} (V_{DD} - V_k) * I_{max} \quad (1.12)$$

L'impédance de charge optimale est définie par le ratio entre la tension et le courant de sortie :

$$R_{opt}^A = 2 \frac{V_{DD} - V_k}{I_{max}} \quad (1.13)$$

Et le rendement de drain vaut :

$$\eta_D^A = \frac{P_{out}^A}{P_{DC}^A} = \frac{\frac{1}{4} (V_{DD} - V_k) * I_{max}}{\frac{V_{DD} I_{max}}{2}} = \frac{V_{DD} - V_k}{2 * V_{DD}} \approx 50 \% \quad (1.14)$$

La classe A, attractive pour sa linéarité, est limitée par son rendement maximum qui atteint 50 %.

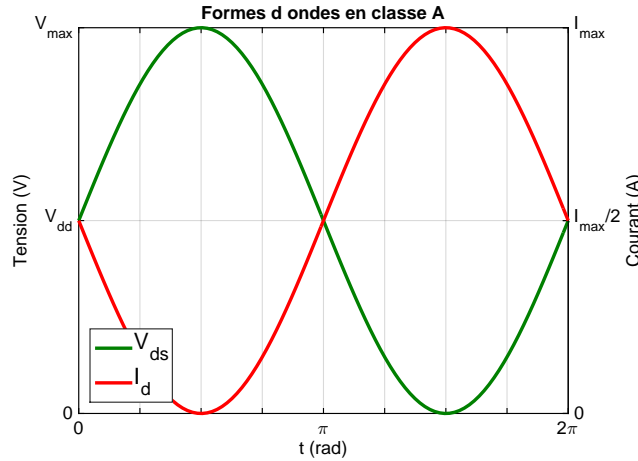


Figure 1.23 – Formes d'ondes en classe A.

Classe B

La classe B réduit l'angle de conduction du courant de drain à seulement une moitié de la période (de π à 2π) pour réduire la puissance dissipée. Les formes d'ondes du fonctionnement en classe B sont représentées sur la figure 1.24.

La composante continue du courant est exprimée par :

$$I_{DC} = \int_{\pi}^{2\pi} i_{DC}(t) dt \quad (1.15)$$

$$= \frac{I_{max}}{\pi} \quad (1.16)$$

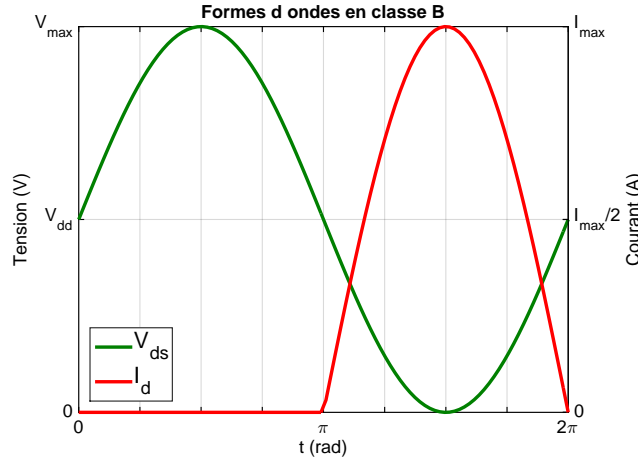


Figure 1.24 – Formes d'ondes en classe B.

Les excursions en tension et en courant restent identiques à celles de la classe A (figure 1.24). La puissance de sortie délivrée n'est donc pas impactée :

$$P_{out}^B = \frac{1}{4}(V_{DD} - V_k) * I_{max} \quad (1.17)$$

La résistance de charge optimale est aussi identique à celle calculée en classe A :

$$R_{opt}^B = 2 \frac{V_{DD} - V_k}{I_{max}} \quad (1.18)$$

Mais le rendement de drain devient :

$$\eta_D^B = \frac{P_{out}^B}{P_{DC}^B} = \frac{\frac{1}{4}(V_{DD} - V_k) * I_{max}}{\frac{V_{DD} I_{max}}{\pi}} = \frac{\pi(V_{DD} - V_k)}{4 * V_{DD}} \approx 78,5 \% \quad (1.19)$$

L'utilisation de la classe B permet d'améliorer le rendement de drain d'un facteur $\frac{\pi}{2}$ par rapport à la classe A. Cependant, le transistor devient sensible aux variations de l'amplitude du signal d'entrée, et la linéarité est donc dégradée.

Classe AB

L'utilisation d'une polarisation intermédiaire permet d'ajuster l'angle de conduction du courant à une valeur notée α comprise entre π (classe B) et 2π (classe A). Ce fonctionnement intermédiaire est nommé classe AB, et les formes d'ondes associées sont représentées sur la figure 1.25. L'expression du courant est séparée entre sa composante continue I_{DC} et sa composante au fondamental I_{swing} . Deux plages de fonctionnement sont distinguées :

$$i_{drain} = I_{DC} + I_{swing} \cos(\theta) \quad \text{pour } -\frac{\alpha}{2} < t < \frac{\alpha}{2} \quad (1.20)$$

$$i_{drain} = 0 \quad \text{pour } -\pi < t < -\frac{\alpha}{2} \text{ et } \frac{\alpha}{2} < t < \pi \quad (1.21)$$

avec :

$$I_{DC} = \frac{I_{max}}{2\pi} \frac{2\sin(\frac{\alpha}{2}) - \alpha\cos(\frac{\alpha}{2})}{1 - \cos(\frac{\alpha}{2})} \quad (1.22)$$

$$I_{swing} = \frac{I_{max}}{2\pi} \frac{\alpha - \sin(\alpha)}{1 - \cos(\frac{\alpha}{2})} \quad (1.23)$$

La puissance de sortie, résistance optimale et rendement de drain sont calculés avec les expressions trouvées précédemment :

$$P_{out}^{AB} = \frac{1}{2} V_{swing} * I_{swing} = \frac{1}{4\pi} \frac{\alpha - \sin(\alpha)}{1 - \cos(\frac{\alpha}{2})} (V_{DD} - V_k) * I_{max} \quad (1.24)$$

$$R_{opt}^{AB} = 2\pi \frac{1 - \cos(\frac{\alpha}{2})}{2\sin(\frac{\alpha}{2}) - \alpha\cos(\frac{\alpha}{2})} \frac{V_{DD} - V_k}{I_{max}} \quad (1.25)$$

$$\eta_D^{AB} = \frac{P_{out}^{AB}}{P_{DC}^{AB}} = \frac{1}{2} \frac{(V_{DD} - V_k)}{V_{DD}} \frac{\alpha - \sin(\alpha)}{2\sin(\frac{\alpha}{2}) - \cos(\frac{\alpha}{2})} \quad (1.26)$$

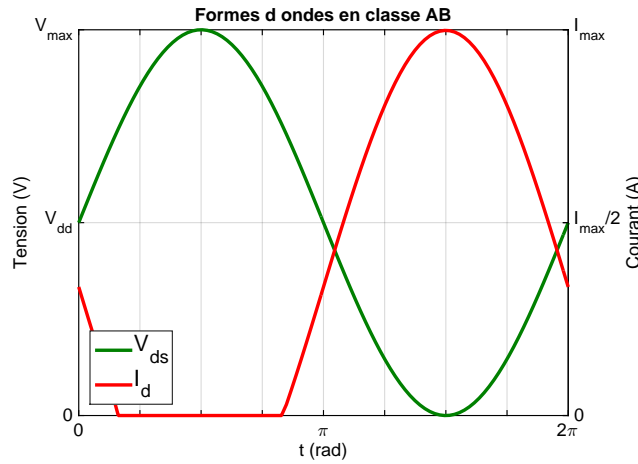


Figure 1.25 – Formes d'ondes en classe AB.

Classe C

Le transistor fonctionne en classe C lorsqu'il est polarisé sous le seuil de conduction ($V_{gate} < V_{TH}$). L'angle de conduction α est compris entre 0 et π . Les expressions de la puissance de sortie P_{out}^C , de la résistance optimale R_{opt}^C et du rendement de drain η_D^C sont identiques à celles de la classe AB. Les formes d'ondes sont représentées sur la figure 1.26.

Conclusion

Finalement, il est possible d'exprimer la puissance de sortie ainsi que le rendement de drain pour chaque classe de fonctionnement, en négligeant l'effet de la tension de

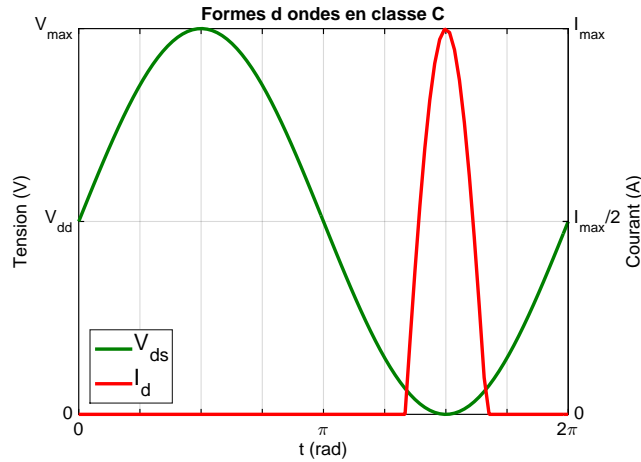


Figure 1.26 – Formes d’ondes en classe C.

coude V_k :

$$P_{out} = \frac{V_{DD} * I_{max}}{4\pi} \frac{\alpha - \sin(\alpha)}{1 - \cos(\frac{\alpha}{2})} \quad (1.27)$$

$$\eta_D = \frac{1}{2} \frac{\alpha - \sin(\alpha)}{2\sin(\frac{\alpha}{2}) - \alpha\cos(\frac{\alpha}{2})} \quad (1.28)$$

$$P_{DC} = \frac{P_{out}}{\eta_D} \quad (1.29)$$

Le compromis entre la puissance de sortie, l’efficacité et la linéarité suivant la classe de fonctionnement est illustré sur la figure 1.27. La classe A est la classe de fonctionnement la plus linéaire. La puissance de sortie obtenue en classe A est identique à celle de la classe B. À puissance de sortie égale, la consommation en classe B est réduite d’un facteur $\pi/2$ par rapport à celle de la classe A. Le rendement, limité à 50 % en classe A, atteint 78,5 % en classe B. En classe C, le rendement est directement lié à l’inverse de la puissance de sortie. Ainsi, un rendement de 100 % est théoriquement obtenu pour une puissance de sortie nulle. L’angle de conduction réduit des classes B et C dégrade fortement la linéarité et le gain. La classe AB permet d’obtenir le plus de puissance, avec un angle de conduction qui permet de conserver une linéarité satisfaisante. La classe AB apparaît comme un compromis satisfaisant pour la polarisation du PA.

1.3.4 Topologies de la cellule amplificatrice

Le choix du point de polarisation dicte la classe de fonctionnement, qui régit les performances du PA. Cependant, les différentes architectures de cellule amplificatrice influent aussi les performances du PA. Elles sont réparties en trois approches :

- Le montage source commune (figure 1.28),
- L’empilement de transistors (figure 1.29),
- La mise en parallèle de transistors (figure 1.30).

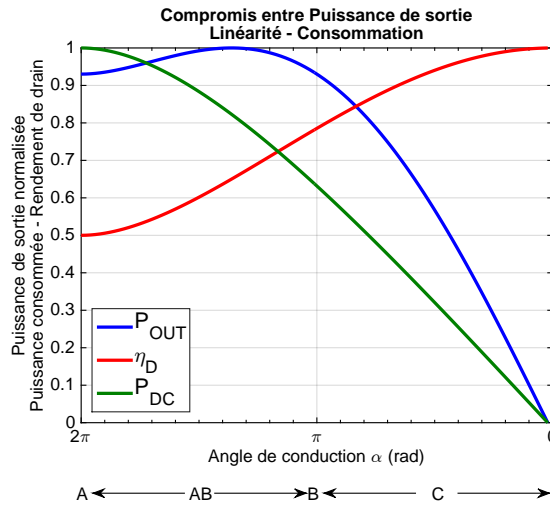


Figure 1.27 – Performances en fonction de la classe de fonctionnement.

Source commune

Le montage source commune est le plus simple à concevoir. C’est aussi le plus compact puisqu’il repose sur un seul transistor. L’avantage principal de la topologie source commune est sa linéarité : avec un transistor polarisé en classe A, l’excursion de la tension de sortie V_d est de $2V_{DD}$. Cependant, la capacité Miller C_{gd} réduit l’isolation de la sortie vers l’entrée, et dégrade la stabilité. L’impédance de sortie Z_d est en général assez faible, de l’ordre de quelques Ohms.

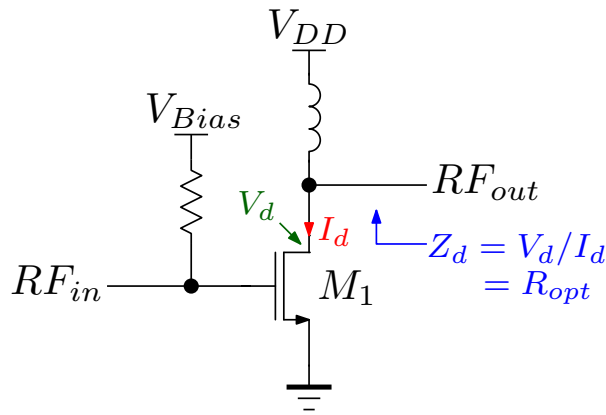


Figure 1.28 – Topologie source commune.

n-transistors empilés

L’empilement de transistors consiste en la mise en série d’un montage source commune (M_1) avec un ou plusieurs étages grille commune (M_2). La tension de sortie est égale à la somme des tensions aux bornes de chaque transistor : $V_{out} = n * V_d$. L’impédance de charge optimale $Z_{d,n}$ se trouve plus élevée. La réduction du rapport de

transformation d'impédance vers l'antenne 50Ω réduit aussi les pertes dans le réseau d'adaptation d'impédance. L'interconnexion entre les transistors notée CN est un nœud sensible aux parasites et source d'instabilité. Différents réseaux d'adaptation permettent de corriger les imperfections du montage [DHG⁺13]. L'empilement de transistors résulte en une augmentation de la tension de coude qui dégrade la linéarité de cette topologie.

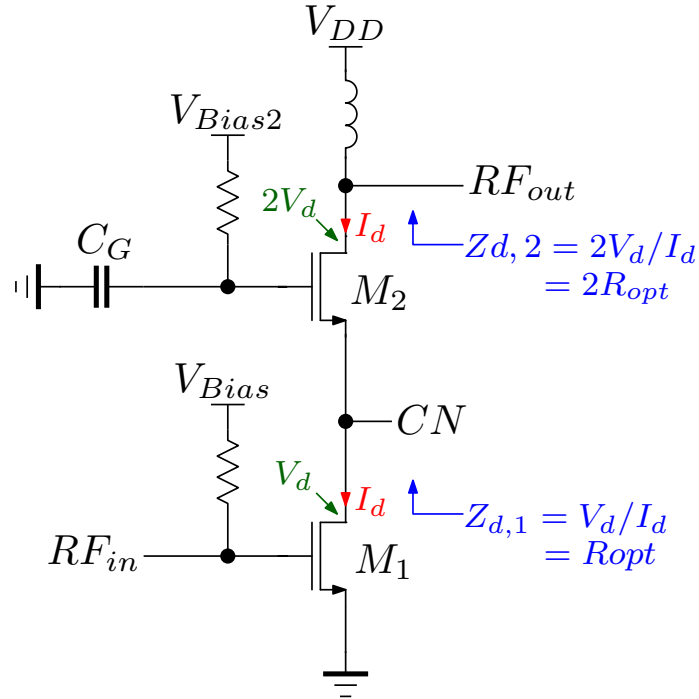


Figure 1.29 – Topologie empilée à deux transistors.

n-transistors en parallèle

La mise en parallèle de n transistors permet d'additionner les contributions de chaque transistor en combinant leur courant de sortie. L'excursion en tension est identique aux bornes de chaque transistor. Le courant de sortie étant de $n * I_d$, l'impédance de sortie est plus faible que pour l'empilement de transistors. L'impédance d'entrée est liée à la somme des capacités C_g en parallèle de chaque transistor.

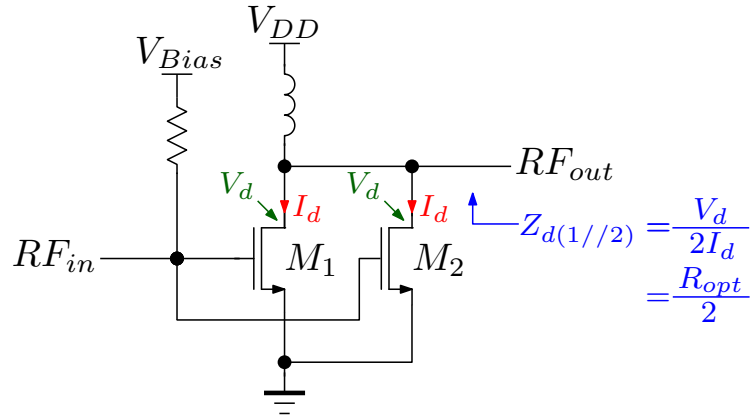


Figure 1.30 – Topologie parallèle à deux transistors.

Les principaux paramètres de chaque topologie sont résumés dans le tableau 1.2.

Paramètre	Source commune	n-transistors empilés	n-transistors en parallèle
Tension max.	V_{max}	$n * V_{max}$	V_{max}
Courant max.	I_{max}	I_{max}	$n * I_{max}$
Z_{in}	C_g	C_g	$n * C_g$
Z_{out}	R_{opt}	$n * R_{opt}$	R_{opt}/n

Tableau 1.2 – Principaux paramètres en fonction de la topologie.

1.3.5 Architectures de PA

Les architectures de PA définissent la façon d’implémenter les cellules de puissance présentées. Trois principales catégories d’architectures sont identifiées dans la littérature [McC16] :

- Mode commun (figure 1.31),
- Différentielle ou pseudo-différentielle (figure 1.32),
- Équilibrée (figure 1.33).

Architecture mode commun

L’architecture mode commun est la plus simple et la plus rapide à implémenter. Elle est sensible à la problématique des retours à la masse, et nécessite un contrôle précis de la boucle de retour du courant.

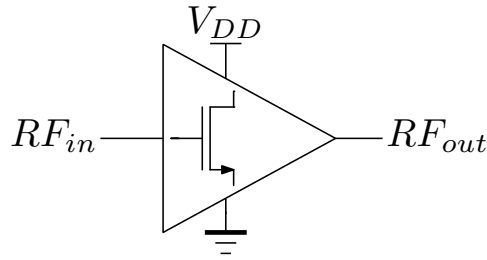


Figure 1.31 – Architecture mode commun.

Architectures différentielle et pseudo-différentielle

Ces architectures reposent sur deux voies déphasées de 180°. Dans une architecture différentielle, des points neutres sont utilisés comme masse dynamique (figure 1.32a). L’architecture pseudo-différentielle utilise des potentiels fixes pour la masse (figure 1.32b). Les architectures différentielles sont moins sensibles au retour à la masse.

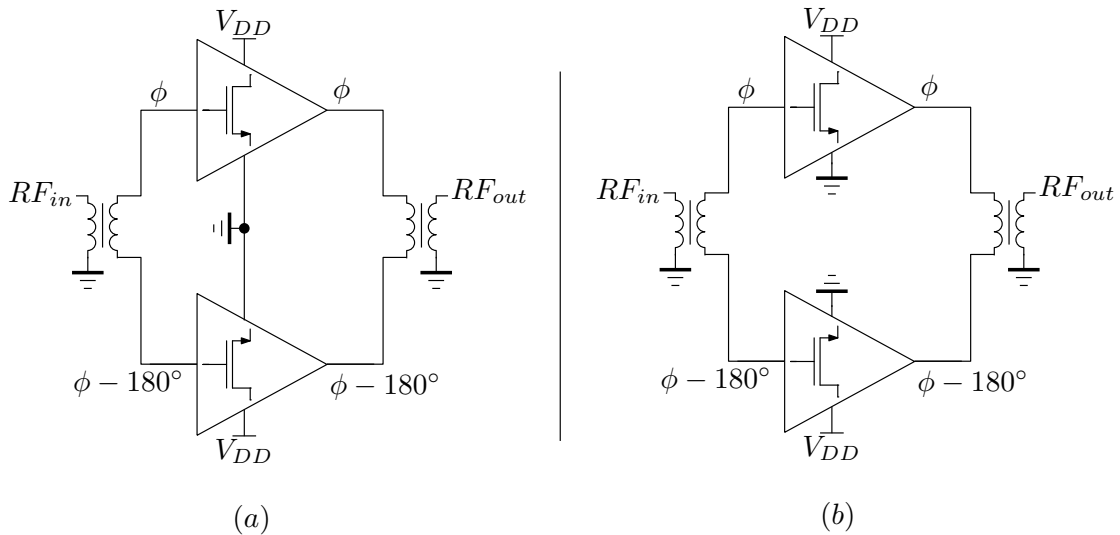


Figure 1.32 – Architectures (a) différentielle et (b) pseudo-différentielle.

Architecture équilibrée

L’architecture équilibrée repose sur l’utilisation de coupleurs en quadrature (90°) en entrée et en sortie du PA. L’utilisation de coupleurs rend l’architecture moins sensible aux variations d’impédance de l’antenne, ce qui améliore la stabilité et la robustesse du PA (VSWR). Les coupleurs occupent aussi une place importante. Comme ils n’effectuent pas l’adaptation d’impédance, ils sont une source de pertes supplémentaires.

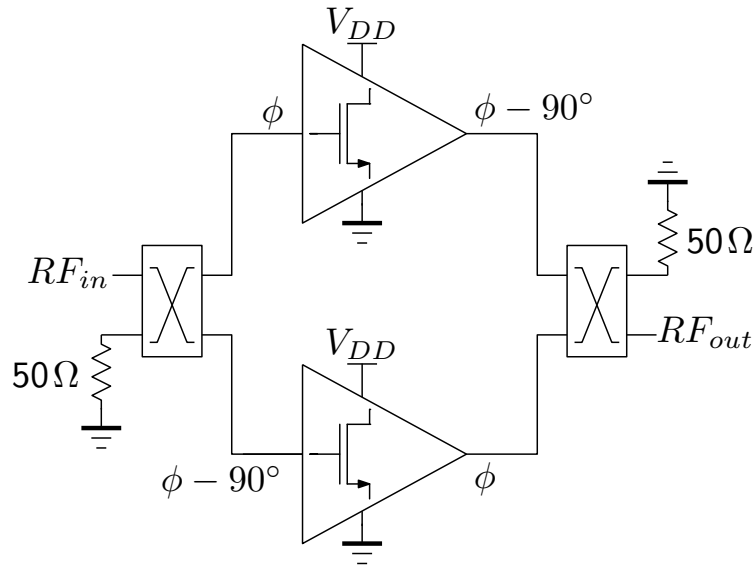


Figure 1.33 – Architecture équilibrée.

Les principaux paramètres de chaque architecture sont présentés dans le tableau 1.3.

	Mode commun	Différentielle	Équilibrée
Avantages	Conception facile et rapide	Moins sensible au retour de masse	Insensible à la désadaptation
Inconvénients	Sensible au retour de masse	Équilibre Surface occupée	Pertes des coupleurs Surface occupée

Tableau 1.3 – Principaux paramètres en fonction de l’architecture.

1.3.6 Architectures avancées

Des architectures plus avancées sont également rencontrées dans la littérature [RAC⁺02]. Ces architectures sont parfois présentées comme des solutions d’améliorations du rendement ou de la linéarité.

Architecture Doherty

L’architecture Doherty est présentée dans [Doh36]. Elle repose sur deux PA en parallèle : un PA Principal PA_P polarisé en classe AB, et un PA Auxiliaire PA_A polarisé en classe C (figure 1.34). À faible puissance d’entrée, le PA auxiliaire est éteint et présente une impédance de sortie infinie. Seul le PA principal fonctionne et le rendement augmente avec la puissance générée. Lorsque la puissance d’entrée augmente, le PA principal compresse et le PA auxiliaire se met à conduire. Le PA auxiliaire se comporte alors comme une charge active qui module l’impédance présentée au PA principal. Cela permet de maintenir le rendement constant sur environ 6 dB avant la compression du PA complet

[Cri04]. Cependant, la surface occupée par les lignes quart d’onde, les pertes d’insertion et le caractère bande étroite de l’architecture Doherty limitent son utilisation.

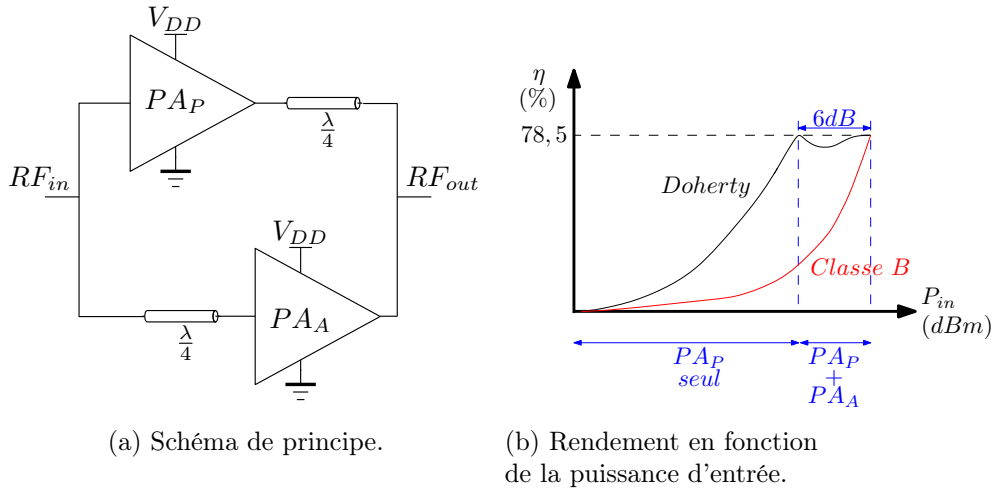


Figure 1.34 – Fonctionnement de l’architecture Doherty.

Architecture Outphasing

L’architecture Outphasing propose de décomposer le signal d’entrée à amplitude variable en plusieurs signaux à enveloppe constante. Elle est présentée comme LInear ampli-fication using Nonlinear Components (LINC) dans [Cox74] selon les principes introduits dans [Chi35]. Le principe de fonctionnement est représenté sur la figure 1.35.

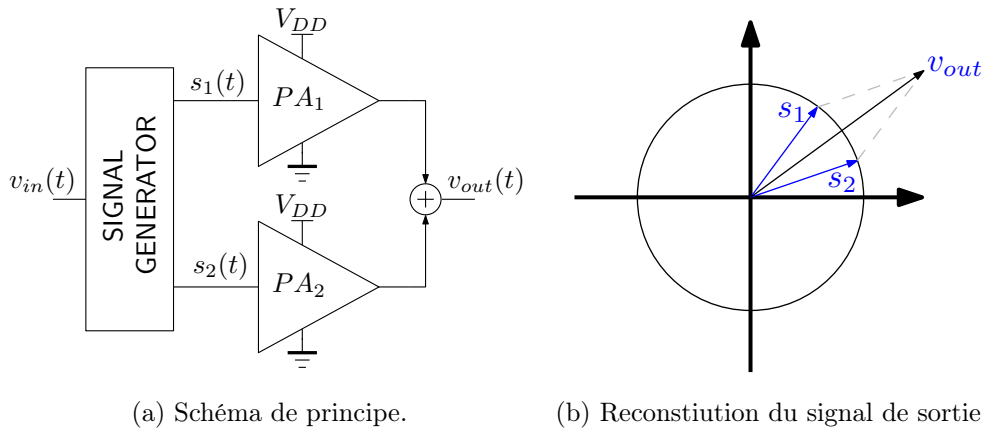


Figure 1.35 – Fonctionnement de l’architecture Outphasing.

Le signal d’entrée à amplitude variable $v_{in}(t)$ est exprimé de la façon suivante :

$$v_{in}(t) = V(t) \cos(\omega t + \phi(t)) \tag{1.30}$$

Il est décomposé en deux signaux à amplitude constante $s_1(t)$ et $s_2(t)$:

$$s_1(t) = V_{MAX} \cos(\omega t + \chi(t)) \quad (1.31)$$

$$s_2(t) = V_{MAX} \cos(\omega t + \theta(t)) \quad (1.32)$$

avec :

$$\chi(t) = \phi(t) - \psi(t) \quad (1.33)$$

$$\theta(t) = \phi(t) + \psi(t) \quad (1.34)$$

$$\psi(t) = \arccos\left(\frac{V_{OUT}}{V_{MAX}}\right) \quad (1.35)$$

Le signal de sortie est reconstitué en additionnant les deux signaux $s_1(t)$ et $s_2(t)$:

$$v_{out}(t) = s_1(t) + s_2(t) \quad (1.36)$$

Les difficultés pour aligner correctement les deux signaux $s_1(t)$ et $s_2(t)$ [Sun95], [FJL⁺11] impactent fortement le spectre du signal de sortie [Raz11] et complique l'implémentation de cette architecture.

Combinaison de puissance par transformateur distribué

Un transformateur distribué (DAT) utilise des inductances couplées magnétiquement entre elles afin de combiner la puissance de sortie de plusieurs cellules amplificatrices [AKM⁺08]. La combinaison de puissance est effectuée en additionnant les contributions en tensions de chaque cellule sur des enroulements distincts (combineur SCT, figure 1.36a) ou en additionnant les contributions en courant sur un enroulement partagé (combineur PCT, figure 1.36b). Le ratio entre la puissance générée par une cellule et la puissance disponible en sortie de la structure est généralement noté PER [ALK⁺08], [PH11].

	SCT	PCT
Z_{in}	$\frac{R_P}{N} + \frac{1}{N}n^2(R_S + R_L)$	$\frac{R_P}{N} + Nn^2(R_S + R_L)$
PER	$\frac{n^2 R_L}{\frac{R_P}{N} + \frac{1}{N}n^2(R_S + R_L)}$	$\frac{(Nn)^2 R_L}{\frac{R_P}{N} + Nn^2(R_S + R_L)}$
η	$\frac{1}{1 + \frac{\frac{1}{n^2}R_P + R_S}{R_L}}$	$\frac{1}{1 + \frac{\frac{1}{N} \frac{1}{n^2} \frac{R_P}{N} + R_S}{R_L}}$

Tableau 1.4 – Caractéristiques des combinaisons SCT et PCT.

Le tableau 1.4 résume les caractéristiques des approches SCT et PCT d'après les équations de [ALK⁺08]. Les enroulements primaires sont considérés identiques ($V_{in_1} = V_{in_2} = V_{in_N}$) et chaque transformateur élémentaire est considéré avec un couplage magnétique parfait et un rapport de transformation n . Il apparaît que :

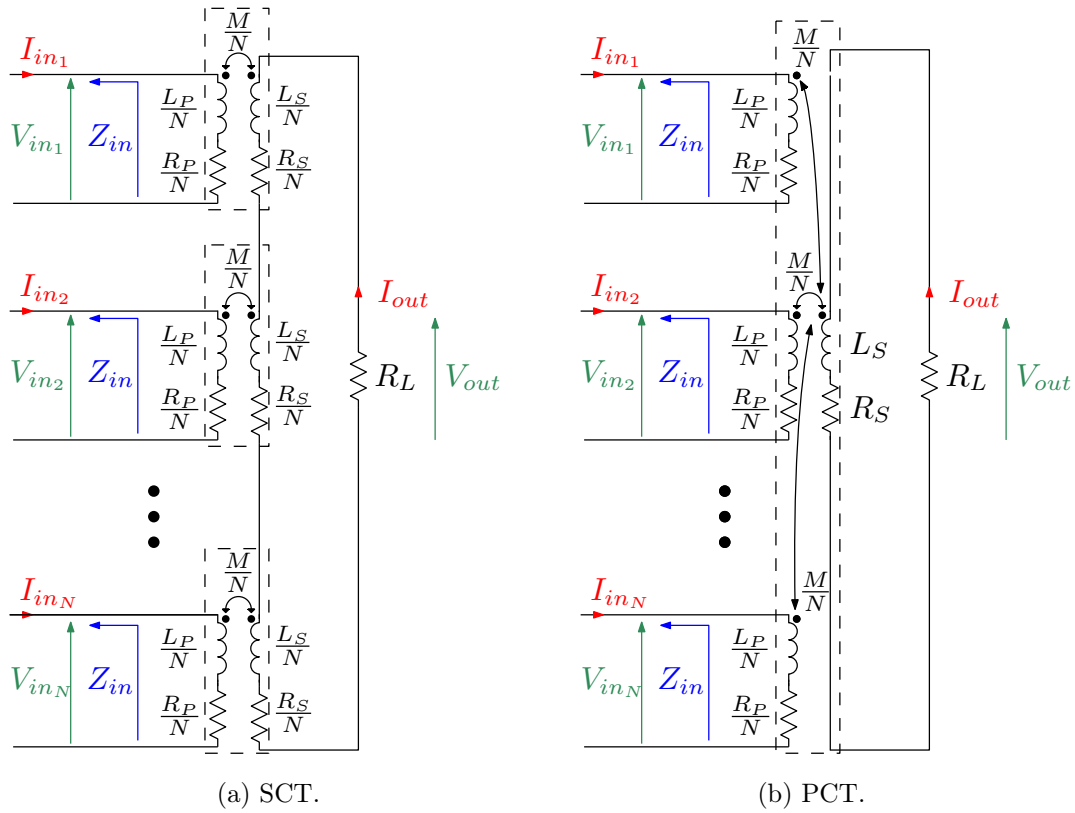


Figure 1.36 – Combinaison de puissance par transformateur.

- L'impédance d'entrée Z_{in} d'un combineur SCT décroît lorsque le nombre de voies N ou le rapport de transformation n augmentent. Cela permet de réduire le rapport de transformation entre la charge et le drain du transistor. Par conséquent la puissance disponible en sortie d'une structure SCT est environ N^2 fois plus élevée que pour une structure PCT.
- Le PER et rendement η d'un combineur SCT décroissent avec le nombre de voies, contrairement aux combineurs PCT. L'écart de rendement entre les deux types de combineurs devient significatif lorsque le nombre de tours est élevé. Cependant, les transformateurs intégrés sont limités par le coefficient de qualité des enroulements et le rapport de transformation est généralement limité à 1 : 2.

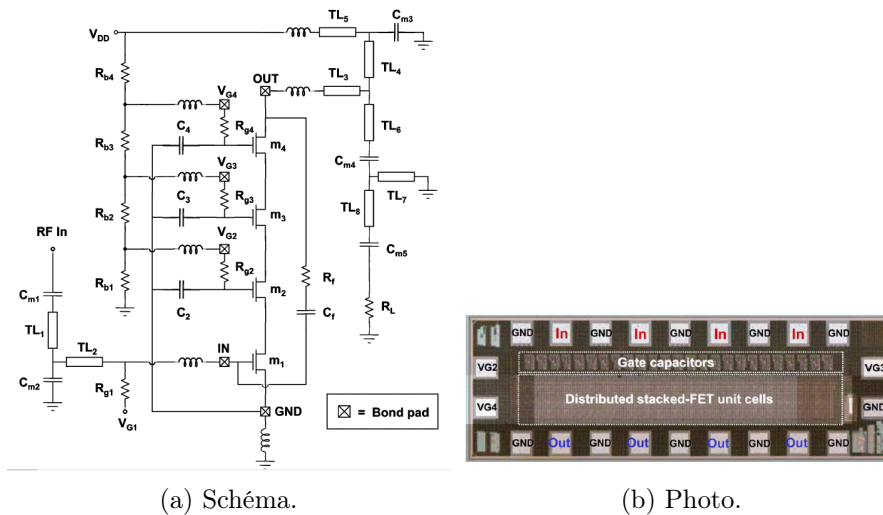
Par conséquent, la structure SCT est la plus adaptée pour atteindre des niveaux de puissance élevés.

1.4 État de l’art des PA CMOS RF

La revue de l’état de l’art permet d’identifier les défis liés à l’intégration du PA en technologie CMOS. L’intégration du PA est limitée par les faibles tensions de claquage des transistors ainsi que le faible coefficient de qualité des éléments passifs utilisés pour l’adaptation d’impédance.

PA à base de transistors empilés : [PJP+10]

L’empilement de transistors permet de supporter des tensions plus élevées et par conséquent de générer plus de puissance. Le PA [PJP+10] utilise une topologie empilée à 4 transistors en technologie CMOS SOI 130 nm (figure 1.37). Le circuit est ponté par des fils d’or à un PCB (wire-bonding) qui intègre les réseaux d’adaptations d’impédances. Le circuit fonctionne à 1,9 GHz, génère 32,4 dBm de puissance de sortie avec 47% de PAE (figure 1.38).



(a) Schéma.

(b) Photo.

Figure 1.37 – PA CMOS SOI 130 nm [PJP+10].

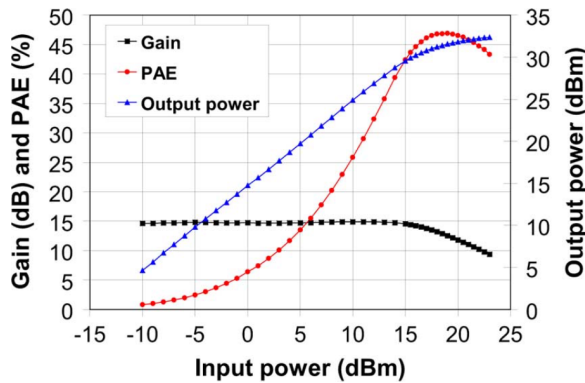
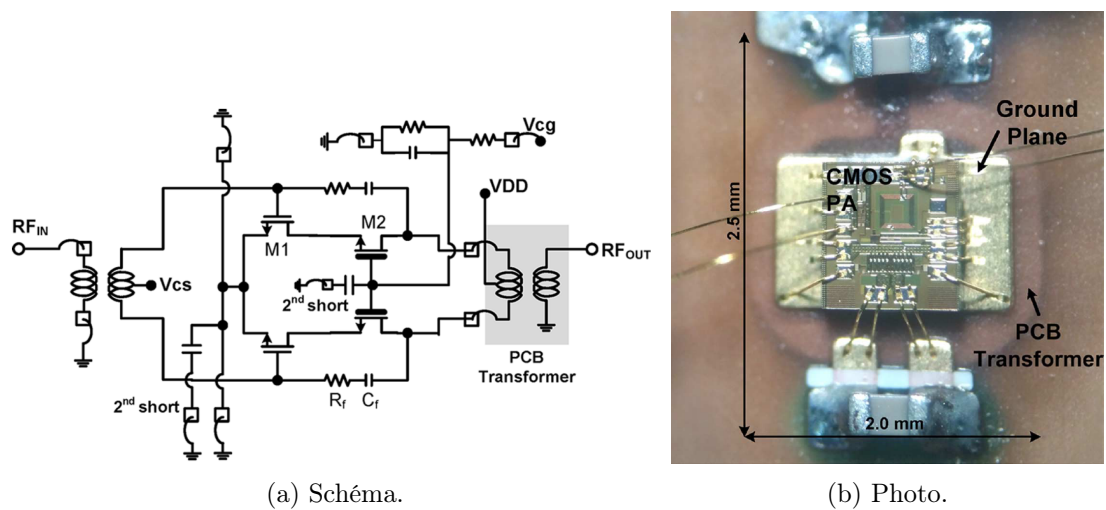


Figure 1.38 – Résultats de mesures du circuit [PJP+10].

PA à base de transformateur sur PCB : [PPJ+15]

L'utilisation de transformateurs intégrés reste limitée en raison de la place occupée et des pertes supérieures à 1 dB. Le PA [PPJ+15] est conçu en technologie CMOS 180 nm et reporté sur un PCB par wire-bonding. Le substrat utilisé pour le report est un FR-4 à six niveaux de métaux. Le transformateur de sortie, conçu sur le PCB, présente seulement 0,5 dB de pertes à 1,85 GHz. La structure reste compacte ($2 \times 2,5 \text{ mm}^2$) en intégrant le transformateur sous la puce (figure 1.39). L'implémentation des réseaux d'adaptation sur PCB permet d'obtenir des niveaux de PAE élevés ($> 40 \%$). Le PA est mesuré avec un signal LTE 16-QAM 10 MHz, et satisfait les spécifications LTE jusqu'à une puissance moyenne P_{avg} de 27,5 dBm malgré le PAPR de 7,5 dB (figure 1.40).



(a) Schéma.

(b) Photo.

Figure 1.39 – PA CMOS 180 nm [PPJ+15].

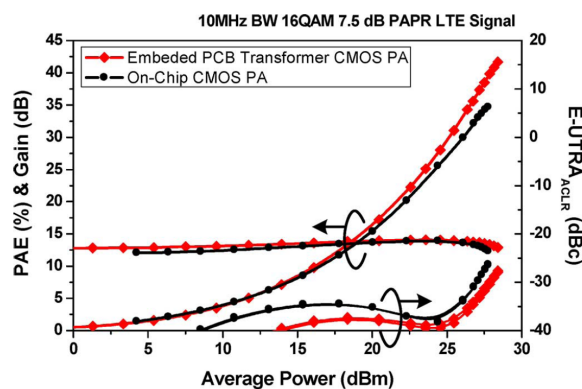
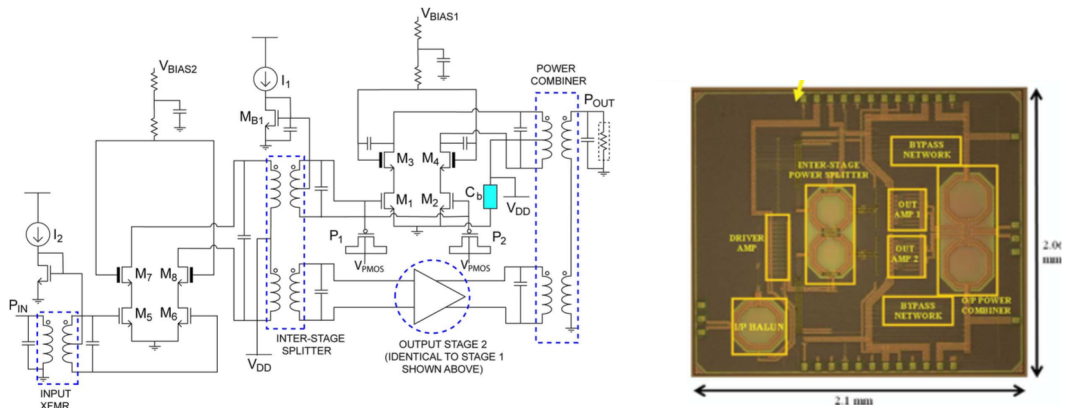


Figure 1.40 – Résultats de mesures du circuit [PPJ+15].

PA à base de transformateur intégré : [CHD⁺09]

Le PA [CHD⁺09] est réalisé en technologie CMOS 90 nm. Le circuit est basé sur deux cellules de puissance cascode combinées par un DAT (figure 1.41). Chaque cellule de puissance utilise une topologie empilée à deux transistors avec une technique de polarisation dynamique pour améliorer la fiabilité [SL03]. Le DAT de sortie est intégré sur la puce silicium et présente 1,25 dB de pertes d'insertion à 2,4 GHz. Le circuit intègre aussi une technique de compensation de la capacité G_{gs} pour améliorer la linéarité. La puissance de sortie saturée P_{SAT} atteint 30,1 dBm avec 33 % de PAE à 2.4 GHz (figure 1.42). Le PA propose aussi un second mode de fonctionnement en désactivant la polarisation d'une des cellules de puissance.



(a) Schéma.

(b) Photo.

Figure 1.41 – PA CMOS 90 nm [CHD⁺09].

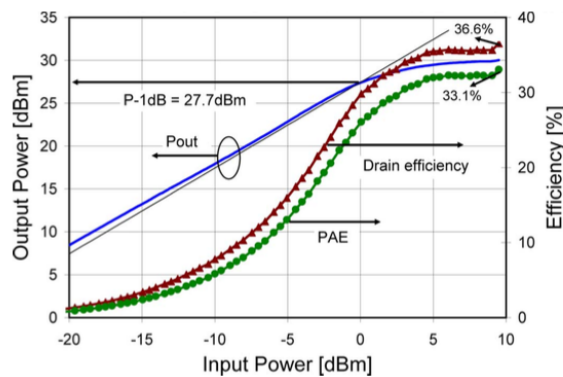


Figure 1.42 – Résultats de mesures du circuit [CHD⁺09].

PA reconfigurable à base de transformateur intégré : [KYK+11]

Le PA [KYK+11] est réalisé en technologie CMOS 180 nm. Le circuit est basé sur deux cellules de puissance combinées par un DAT PCT (figure 1.43). La puissance de sortie saturée P_{SAT} atteint 31 dBm avec 31,3 % de PAE à 2.5 GHz (figure 1.44a). Un contrôle de la polarisation (bias control) permet de désactiver une partie des transistors pour réduire la consommation (figure 1.44b). La reconfiguration du PA s'effectue aussi au niveau du réseau de sortie à l'aide des varactors C_{OUT1} . Ces varactors situées sur le chemin RF sont réalisées à l'aide de transistor MOS, et imposent par conséquent des considérations de fiabilité.

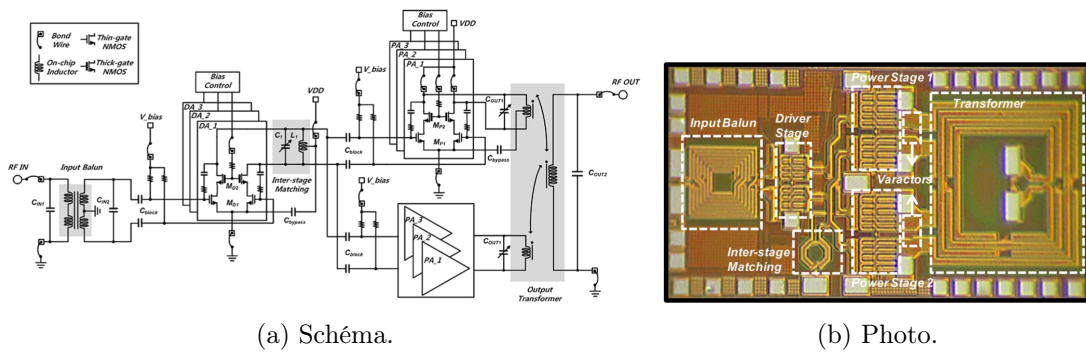
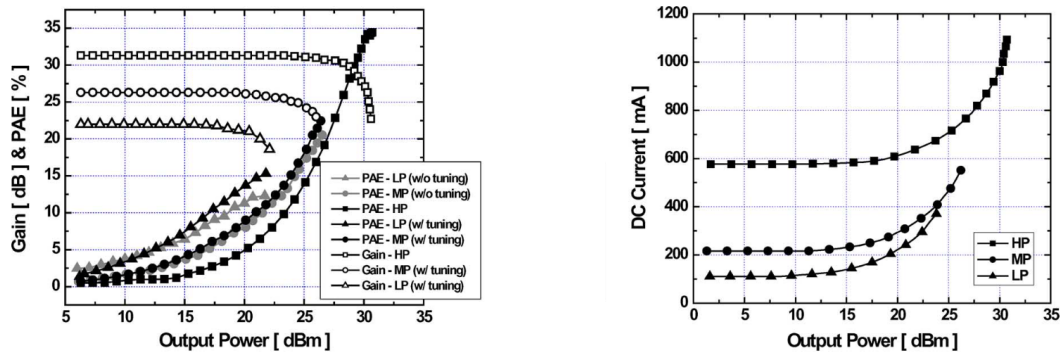


Figure 1.43 – PA reconfigurable CMOS 180 nm [KYK+11].



(a) Gain et PAE en fonction de la puissance de sortie.

(b) Courant d'alimentation en fonction de la puissance de sortie.

Figure 1.44 – Résultats de mesures du circuit [KYK+11].

PA Doherty à base de transformateur intégré : [KR15]

Le PA [KR15] est réalisé en technologie CMOS 40 nm. Le circuit est basé sur une architecture Doherty avec quatre cellules de puissance (figure 1.45). L'utilisation de DAT dans l'architecture Doherty permet d'améliorer la PAE pour les faibles puissances de sortie [KFR13]. La P_{SAT} est de 28 dBm avec 34 % de PAE à 1.9 GHz (figure 1.46a). Des interrupteurs permettent de désactiver la moitié du PA pour réduire la consommation

à faible puissance de sortie. Le PA satisfait les spécifications du standard LTE jusqu'à 23.4 dBm (figure 1.46b).

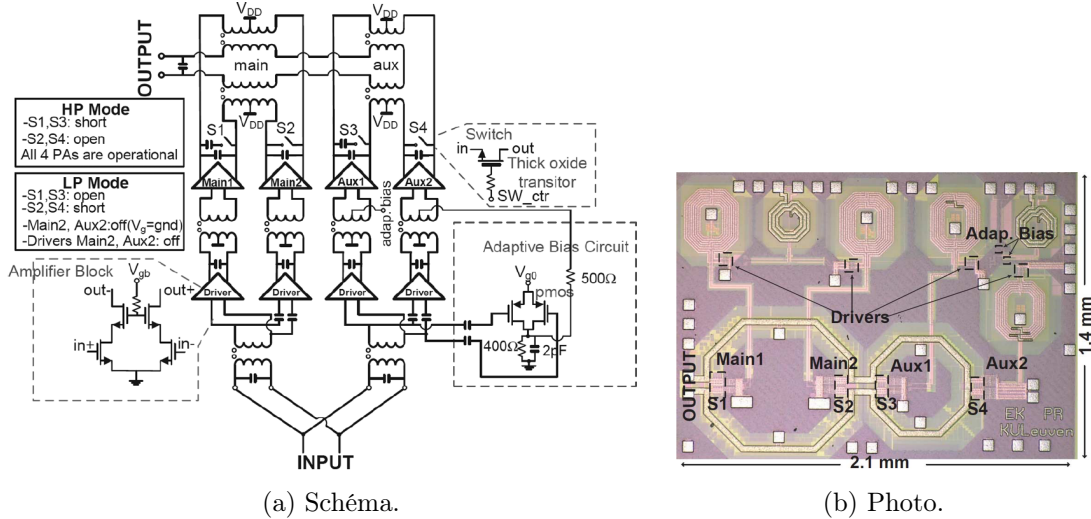
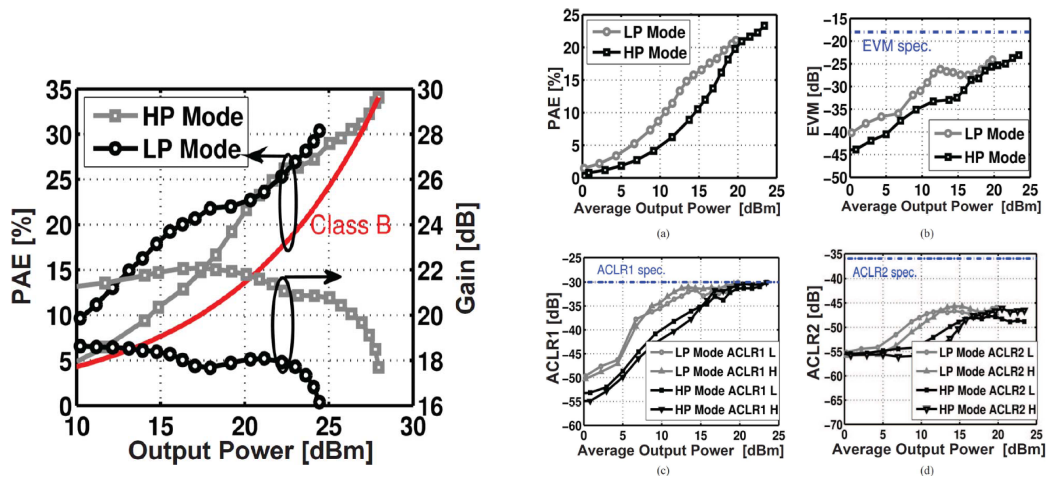


Figure 1.45 – PA CMOS Doherty 40 nm [KR15].



(a) Gain et PAE en fonction de la puissance de sortie (b) PAE, EVM et ACLR en fonction de la puissance de sortie moyenne.

Figure 1.46 – Résultats de mesures du circuit [KR15].

PA RF-DAC : [ASdVL14]

Les architectures numériques (RF-DAC) proposent de générer directement le signal de puissance à partir de la porteuse et de signaux digitaux [AVS+11]. Le RF-DAC [ASdVL14] repose sur deux voies en quadrature de phase (I et Q). L'information d'amplitude est codée dans des bits qui viennent activer ou désactiver une partie des transistors. Le balun de sortie permet de combiner les deux voies I et Q (figure 1.47). La structure

est large-bande (figure 1.48a), présente un rendement de drain de 40 % (figure 1.48b) et est capable de générer un signal 64-QAM de 20 MHz de bande passante (figure 1.48c). Le rendement du système complet, qui intègre une prédistorsion numérique, atteint 34 %.

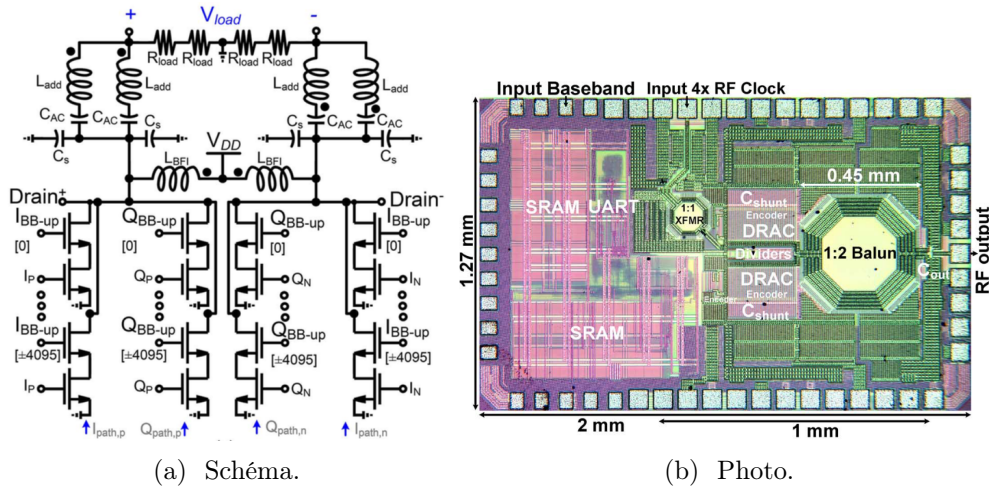


Figure 1.47 – RF-DAC CMOS 65 nm [ASdVL14].

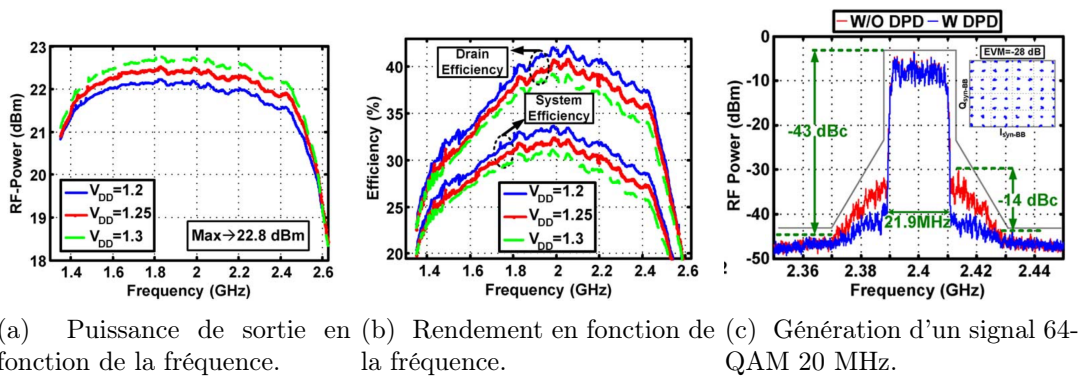


Figure 1.48 – Résultats de mesure du RF-DAC 65 nm [ASdVL14].

Conclusion

Les performances des circuits présentés sont synthétisées dans le tableau 1.5. Les PA [PJP⁺10] et [PPJ⁺15] utilisent des réseaux d'adaptation d'impédance sur PCB pour pallier aux faibles facteurs de qualité des éléments passifs intégrés. Le transformateur sur PCB de [PPJ⁺15] présente seulement 0,5 dB de pertes d'insertion. Les procédés de fabrication CMOS SOI peuvent aussi être utilisés pour atteindre des niveaux élevés de PAE (> 40 %) mais sont plus coûteux que les procédés CMOS bulk. Ces modules PA sont généralement avec un seul étage amplificateur et sont limités en gain. Les solutions intégrées mettent en oeuvre des combineurs de type DAT pour atteindre la puissance de sortie requise. La cellule de puissance repose généralement sur une topologie empilée

à deux transistors, avec un transistor thick-oxide monté en grille commune pour supporter une tension plus élevée. Le circuit [KYK⁺11] propose de reconfigurer le PA de façon discrète en désactivant la polarisation d'une partie des transistors de puissance. Le PA [KR15] utilise des interrupteurs pour améliorer le rendement lorsqu'une partie des transistors est désactivée. La réalisation d'interrupteurs en CMOS pose des problèmes de fiabilité lorsqu'ils sont situés sur le chemin RF [YKK⁺12]. Finalement, l'architecture RF-DAC propose une approche originale pour générer le signal de puissance. Le système complet est large bande avec un rendement supérieur à 30 %.

Réf.	Fréquence (GHz)	P_{SAT} (dBm)	PAE_{max} (%)	$Gain$ (dB)	Approche	Technologie	Tension d'alim. (V)
MTT-T 2010 [PJP ⁺ 10]	1,9	32,4	47	13,2	Rés. d'adaptation sur PCB	130-nm SOI	6,5
MWCL 2015 [PPJ ⁺ 15]	1,85	-	> 40 %	13	DAT sur PCB	180-nm	-
JSSC 2009 [CHD ⁺ 09]	2,4	30,1	33	28	DAT Tout intégré	90-nm	3,3
JSSC 2011 [KYK ⁺ 11]	2,5	31	34,8	31,3	Transistor reconfig. DAT, tout intégré	180-nm	3,3
JSSC 2015 [KR15]	1,9	28	21	34	Doherty reconfig. DAT, tout intégré	90-nm	1,5
MTT-T 2014 [ASdVL14]	1,36 - 2,51	22,8	42 (DE)	N/A	RF-DAC Tout intégré	65-nm	1,3

Tableau 1.5 – Comparaison des performances de PA CMOS.

1.5 Conclusion du chapitre

Le standard LTE permet l'accès au très haut débit mobile. L'augmentation des débits de données s'accompagne d'une diversification des supports d'accès, avec les objets connectés et particulièrement les drones utilisant le réseau 4G. Cette évolution entraîne de nombreuses contraintes sur la conception de l'émetteur-récepteur. Il apparaît un besoin de solutions à la fois performantes et abordables.

L'intégration de la partie radio en technologie CMOS fait l'objet de nombreux travaux de recherche pour son faible coût et sa capacité d'intégration. Une présentation des mécanismes de défaillance des transistors CMOS met en avant les limites de l'utilisation du CMOS pour la conception du PA.

L'étude des principaux paramètres des PA montre les degrés de liberté laissés au concepteur. L'utilisation de signaux modulés en amplitude impose un compromis entre la linéarité et la consommation du PA.

Les solutions actuellement utilisées pour atteindre le haut niveau de puissance requis sont analysées. L'utilisation de topologies empilées dans les cellules de puissance est largement répandue pour augmenter la tenue en tension du PA. Afin d'atteindre la puissance requise d'environ 30 dBm, la plupart des PA CMOS met en œuvre une recombinaison de puissance par DAT. Cette approche permet aussi le développement de PA reconfigurables.

Deux axes de travail sont donc identifiés et développés par la suite. Le premier porte sur le développement d'un transistor de puissance intégrable en CMOS. Puis ce composant est intégré dans une architecture avancée de PA qui sera entièrement réalisée en CMOS.

Chapitre 2

Conception de cellules amplificatrices MASMOS

2.1	Étude du transistor MASMOS	43
2.1.1	Fonctionnement	43
2.1.2	Dimensionnement	46
2.1.3	Analyse du transistor	48
2.1.4	Routage des transistors	54
2.2	Conception de cellules de test	57
2.2.1	Topologies des cellules de test	58
2.2.2	Détermination des impédances de charge optimales	59
2.2.3	Synthèse des réseaux d'adaptation d'impédance	60
2.2.4	Montage sur PCB	60
2.3	MASMOS avec correction d'impédance au nœud commun	62
2.3.1	Problématique	62
2.3.2	Description	62
2.3.3	Résultats de mesures	64
2.3.4	Conclusion	66
2.4	MASMOS reconfigurable	67
2.4.1	Problématique	67
2.4.2	Description	68
2.4.3	Résultats de mesures	70
2.4.4	Conclusion	72
2.5	Amplificateur de puissance à deux étages basé sur le transistor reconfigurable	73
2.5.1	Architecture du PA	73
2.5.2	Résultats de mesures	74
2.5.3	Comparaison à l'état de l'art	75
2.5.4	Perspectives	76
2.6	Conclusion du chapitre	77

Le chapitre suivant est consacré à la réalisation de cellules amplificatrices. Chaque cellule est basée sur le transistor MASMOS, technologie brevetée par ACCO. Dans la première partie, une étude approfondie du transistor vise à identifier les paramètres dont dépendent les performances du MASMOS. Le flot de conception est détaillé dans la deuxième partie. Trois amplificateurs de puissance sont ensuite présentés, de l'étude théorique aux résultats de mesure. Le premier est basé sur une amélioration du MASMOS. Le deuxième permet de reconfigurer l'amplificateur, pour ajuster la consommation en fonction de la puissance de sortie. Enfin, un amplificateur à deux étages basé sur la cellule reconfigurable est présenté et comparé à l'état de l'art.

2.1 Étude du transistor MASMOS

Le transistor MASMOS a été développé par ACCO pour répondre aux besoins de haute puissance (30 dBm) sur silicium. Semblable à un cascode, le MASMOS est composé de deux transistors différents (figure 2.1). Cette solution est brevetée par ACCO et intégrable en technologie CMOS standard [BM13].

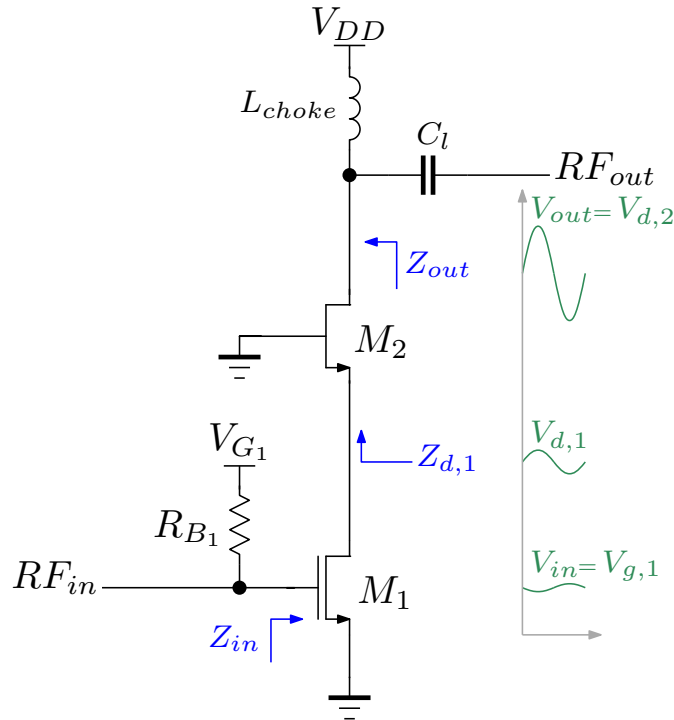


Figure 2.1 – Schéma du MASMOS.

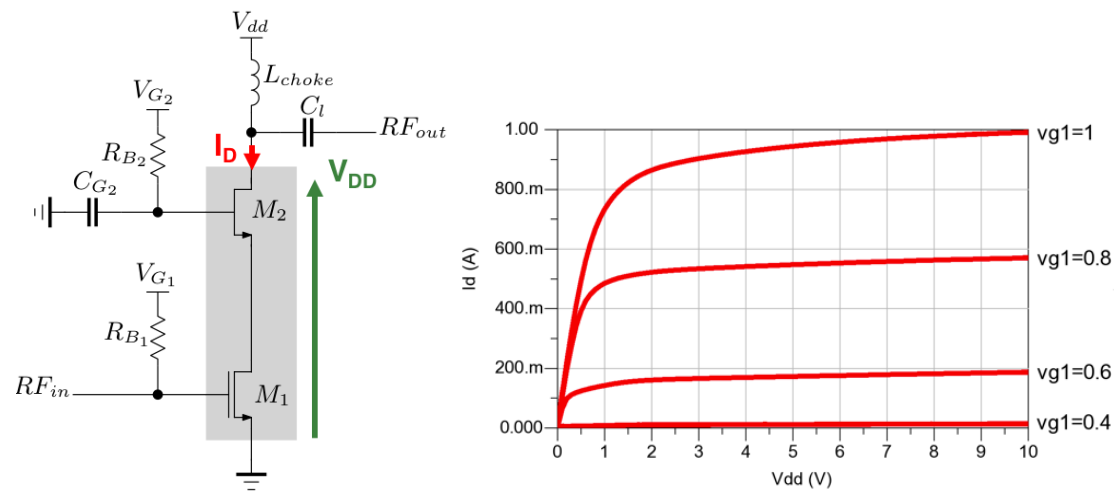
2.1.1 Fonctionnement

Le transistor M_1 est un transistor NMOS standard monté en source commune. Le transistor associé en série M_2 est monté en grille commune. Il s'agit d'un NJFET breveté par ACCO, qui se caractérise par sa tension de claquage bien plus importante que les transistors MOS usuels [MBHB12].

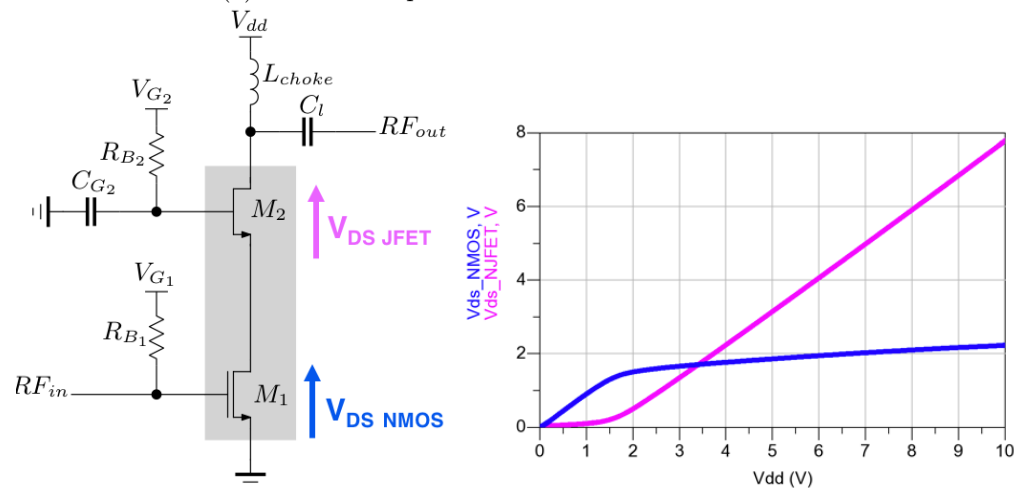
Le cascode basé sur une association d'un transistor standard et d'un transistor "thick-oxide" permet de polariser le PA avec des tensions plus élevées [KL01]. Cependant lors du fonctionnement large-signal, la superposition du signal RF (en vert) augmente l'excursion en tension qui excède alors les valeurs recommandées. La tension aux bornes du transistor monté en grille commune, plus élevée que celle du source commune, devient un verrou technologique en terme de fiabilité [SL03]. Dans le MASMOS, le transistor JFET permet de développer plus de puissance en respectant des règles strictes de fiabilité grâce à sa tenue en tension plus importante.

Caractéristiques DC

La figure 2.2a représente la caractéristique convective d'un MASMOS. La tension de claquage globale est supérieure à 10 V, grâce au JFET qui possède une tension de claquage élevée. Le transistor NMOS possédant une tension nominale de 1,8 V, il convient aussi de s'assurer de la répartition du V_{DD} sur chaque transistor. La figure 2.2b montre que la tension aux bornes du NMOS n'exède pas 2,3 V pour une tension d'alimentation de 10 V.



(a) Caractéristique convective DC du transistor MASMOS.



(b) Répartition de la tension d'alimentation sur chaque transistor.

Figure 2.2 – Caractéristiques DC du transistor MASMOS.

Cycles de charge

L'étude des cycles de charge permet d'étudier le fonctionnement de chaque transistor en large signal. Sur la figure 2.3, les cycles de charge pour chaque transistor sont représentés lors du fonctionnement à la P_{1dB} . La tension aux bornes du NMOS n'excède pas de 30% sa valeur nominale, ce qui garantit la fiabilité du MASMOS. Le cycle du JFET est beaucoup plus large : c'est bien le transistor JFET qui génère la puissance délivrée en sortie du MASMOS.

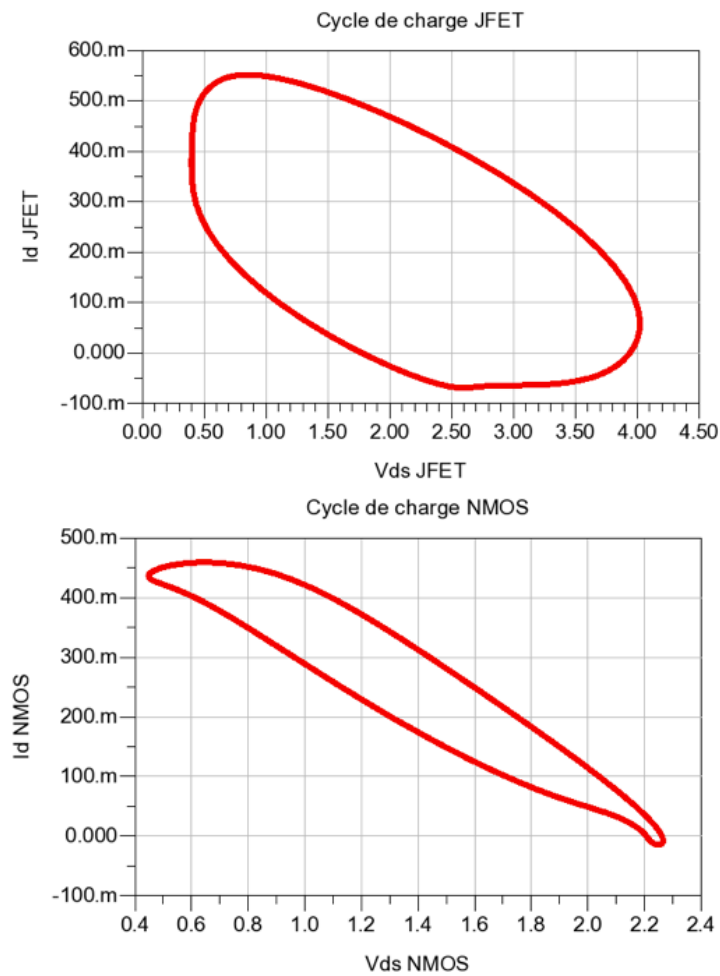


Figure 2.3 – Cycles de charge pour chaque transistor à la P_{1dB} .

2.1.2 Dimensionnement

Dans le MASMOS, M_1 et M_2 peuvent être dimensionnés indépendamment l'un de l'autre. L'étude du ratio entre les tailles de M_1 et de M_2 sur la figure 2.4 montre que la puissance en sortie du MASMOS est maximale pour un JFET est deux fois plus large que le NMOS. Le ratio entre les tailles de M_1 et de M_2 est donc fixé à 2 pour le reste de l'étude. Le dimensionnement d'un MASMOS est ainsi effectué en optimisant la taille de M_1 puis en fixant M_2 deux fois plus large.

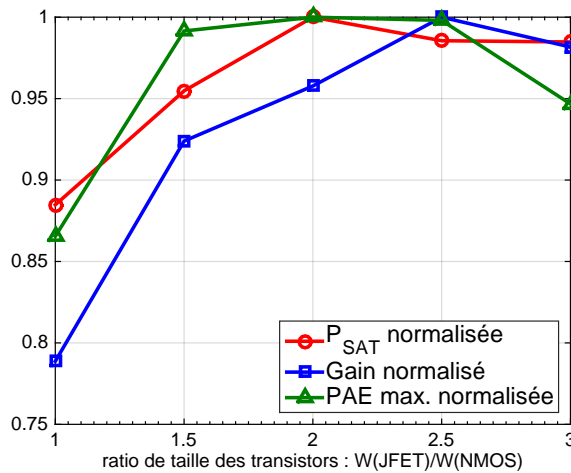


Figure 2.4 – Dimensionnement des transistors du MASMOS.

Un transistor NMOS unitaire est constitué de N_f doigts de grille ayant une largeur W_f . Il est possible de mettre n transistors en parallèle pour atteindre une largeur de grille totale W telle que $W = W_f * N_f * n$. La figure 2.5 illustre trois possibilités de dimensionnement de transistor pour une même largeur de grille totale.

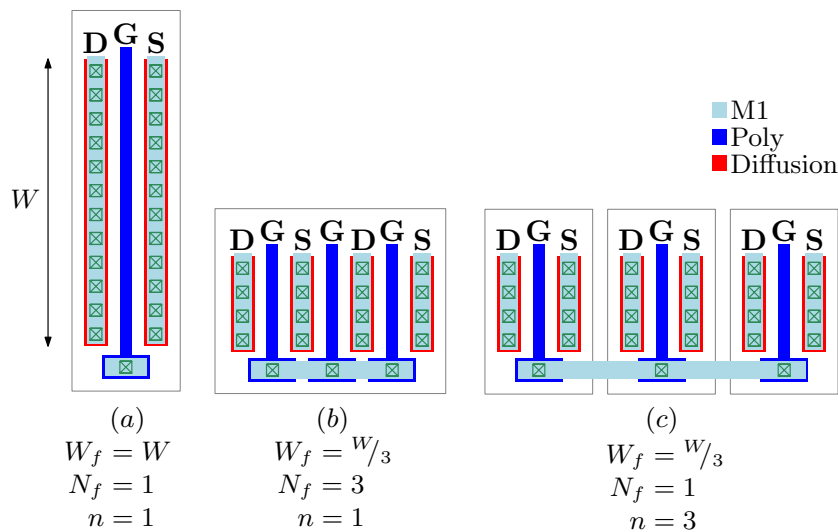


Figure 2.5 – Dimensionnement d'un transistor.

La taille totale du transistor NMOS est d'abord estimée en fonction du courant requis. Le dimensionnement impacte donc la puissance générée (figure 2.6). La résistance d'accès à la grille dégrade la fréquence maximale d'oscillation f_{max} , ce qui limite W_f à quelques microns (figure 2.7). Multiplier les accès de grille N_f permet de diminuer cette résistance ; mais un transistor plus large présente des capacités parasites plus importantes qui impactent les performances. N_f est donc limité à 64. L'association de n transistors en parallèle permet de répartir la puissance, et améliore la fiabilité de la structure. Cependant, la taille totale peut considérablement augmenter et alors présenter des effets non quasi-statiques. Le dimensionnement du transistor consiste donc à optimiser la géométrie du transistor à partir d'un compromis entre les trois paramètres W_f , N_f et n : W_f et N_f sont fixés à leur valeur maximale et le nombre de transistors en parallèle n est fixé à partir de l'analyse du transistor de la partie suivante.

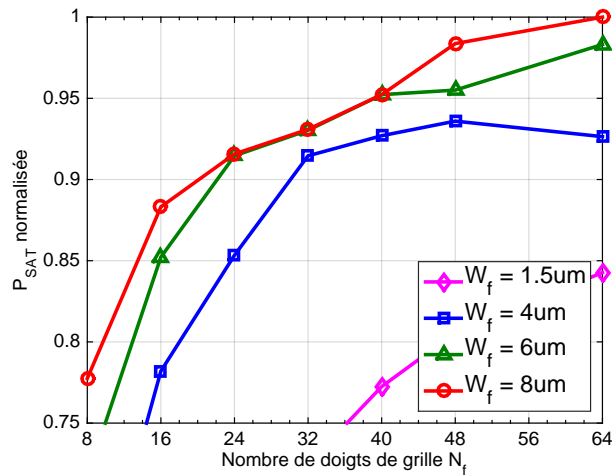


Figure 2.6 – Impact du dimensionnement du NMOS sur P_{SAT} en fonction de W_f et N_f .

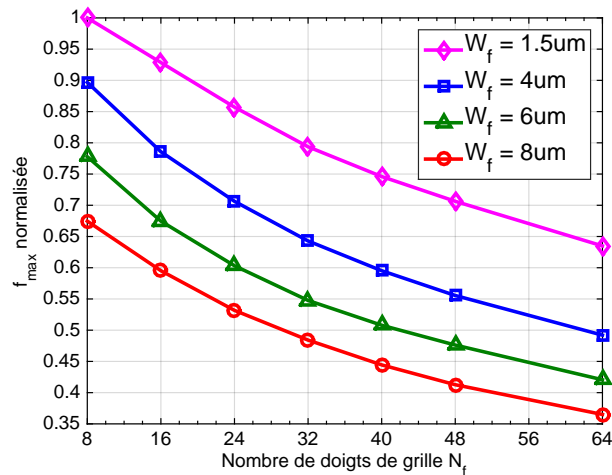


Figure 2.7 – Impact du dimensionnement du NMOS sur f_{max} en fonction de W_f et N_f .

2.1.3 Analyse du transistor

Les performances du MASMOS sont donc dépendantes de la taille des transistors ainsi que du routage. Il est possible d'étudier l'impact du dimensionnement sur les performances du MASMOS à partir d'un modèle équivalent intégrant les éléments parasites de M_1 et M_2 . Les valeurs des éléments parasites des transistors utilisées pour les calculs sont déterminées à partir des paramètres S large signaux (LSSP) suivant la méthode d'extraction suivante.

Extractions des éléments du modèle équivalent des transistors

L'extraction de paramètres à partir de paramètres S simulés permet une extraction précise et conforme aux mesures [CE06]. Les éléments parasites de chaque transistor sont extraits à partir de paramètres S larges-sigaux (LSSP). Les LSSP prennent en compte la puissance d'entrée et par conséquent intègrent les non-linéarités des capacités parasites. Le schéma utilisé pour l'extraction est représenté sur la figure 2.8.

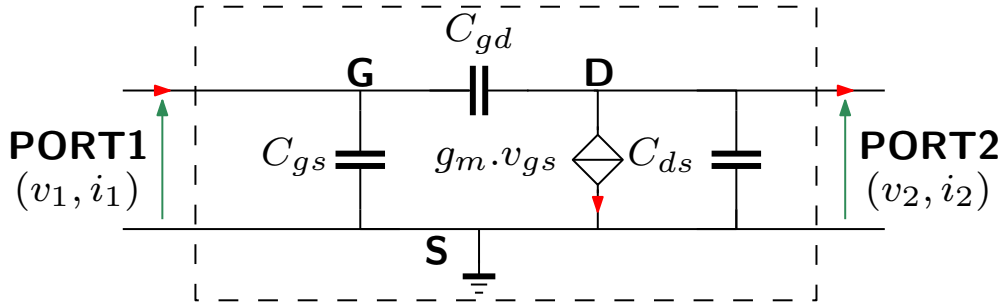


Figure 2.8 – Extraction du modèle équivalent du transistor.

La matrice S obtenue est convertie en une matrice admittance Y suivant la méthode présentée dans [Fri94]. Puis les parasites sont déduits suivant les équations 2.1 à 2.3.

$$Y_{12} = \left. \frac{i_1}{v_2} \right|_{v_1=0} \rightarrow \text{Im}(Y_{12}) = -j\omega C_{gd} \rightarrow C_{gd} = \frac{\text{Im}(Y_{12})}{\omega} \quad (2.1)$$

$$Y_{11} = \left. \frac{i_1}{v_1} \right|_{v_2=0} \rightarrow \text{Im}(Y_{11}) = j\omega(C_{gd} + C_{gs}) \rightarrow C_{gs} = \frac{\text{Im}(Y_{11})}{\omega} - C_{gd} \quad (2.2)$$

$$Y_{22} = \left. \frac{i_2}{v_2} \right|_{v_1=0} \rightarrow \text{Im}(Y_{22}) = j\omega(C_{gd} + C_{ds}) \rightarrow C_{ds} = \frac{\text{Im}(Y_{22})}{\omega} - C_{gd} \quad (2.3)$$

La transconductance g_m est calculée selon l'équation 2.4 au point de polarisation choisi.

$$g_m = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{ds}=cste} \quad (2.4)$$

Gain en puissance

Le gain en puissance $G_{(dB)}$ est déduit du gain en tension en charge G_V calculé à partir de la figure 2.9.

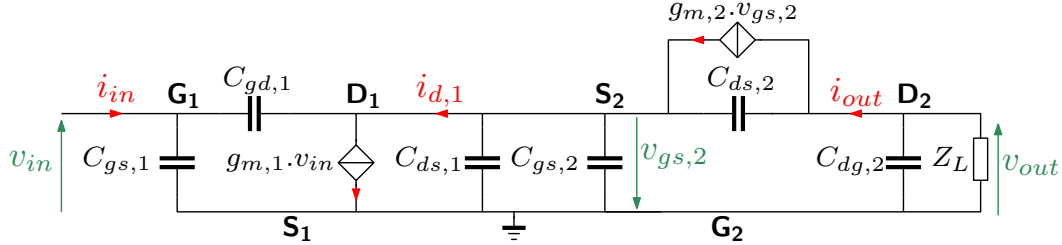


Figure 2.9 – Schéma équivalent du transistor pour le calcul du gain.

Il apparaît

$$G_V = \frac{v_{out}}{v_{in}} = \frac{v_{out}}{v_{gs,2}} \frac{v_{gs,2}}{v_{in}} \quad (2.5)$$

Pour simplifier les notations, Z_{eq} est défini tel que :

$$Z_{eq} = Z_L // C_{dg,2} \quad (2.6)$$

Ainsi,

$$v_{out} = -i_{out} Z_{eq} \quad (2.7)$$

$$i_{out} = g_{m,2} v_{gs,2} + p C_{ds,2} (v_{out} + v_{gs,2}) \quad (2.8)$$

$$(2.9)$$

soit

$$\frac{v_{out}}{v_{gs,2}} = -\frac{Z_{eq}(g_{m,2} + p C_{ds,2})}{(1 + p C_{ds,2} Z_{eq})} \quad (2.10)$$

De plus,

$$v_{gs,2} = i_{d,1} - i_{out} / p (C_{ds,1} + C_{gs,2}) \quad (2.11)$$

$$= v_{dg,1} - v_{in} \quad (2.12)$$

avec

$$i_{out} = g_{m,2} v_{gs,2} + p C_{ds,2} (v_{out} + v_{gs,2}) \quad (2.13)$$

$$i_{d,1} = g_{m,1} v_{gs,1} + p C_{dg,1} (-v_{gs,2} - v_{gs,1}) \quad (2.14)$$

soit

$$v_{gs,2} = v_{gs,1} \frac{g_{m,1} - p C_{dg,1}}{g_{m,2} + p (C_{ds,1} + C_{gs,2} + C_{dg,1} + C_{ds,2})} + v_{out} \frac{-p C_{ds,2}}{g_{m,2} + p (C_{ds,1} + C_{gs,2} + C_{dg,1} + C_{ds,2})} \quad (2.15)$$

Finalement, en remplaçant les expressions de $v_{out}/v_{gs,2}$ et $v_{gs,2}/v_{gs,1}$ obtenues en 2.10 et 2.15 dans 2.5 :

$$G_V = \frac{v_{out}}{v_{in}} = \frac{-(Z_L // C_{dg,2})(g_{m,1} - pC_{dg,1})(g_{m,2} + pC_{ds,2})}{g_{m,2} + p(C_{ds,1} + C_{dg,1} + C_{gs,2} + C_{ds,2}) + p^2 C_{ds,2}(Z_L // C_{dg,2})(C_{ds,1} + C_{gs,2} + C_{dg,1})} \quad (2.16)$$

$$G_{(dB)} = 10 \log(G_V^2) \quad (2.17)$$

La figure 2.10 montre que le gain est peu impacté par la taille du transistor. La valeur calculée est un peu plus élevée que la valeur réelle car elle n'intègre pas certains parasites supplémentaires liés au routage, notamment la résistance d'accès.

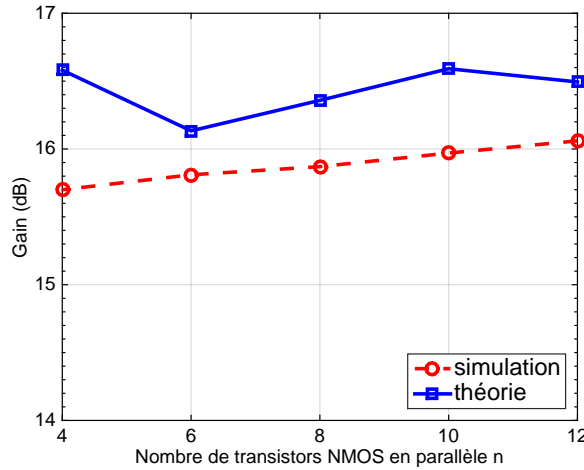


Figure 2.10 – Impact du dimensionnement sur le gain.

Impédance de sortie

L'impédance de sortie du transistor, notée Z_{out} , est calculée à partir du schéma de la figure 2.11. L'impédance équivalente de M_1 , notée $Z_{out,1}$ est d'abord calculée seule en retirant le signal à l'entrée ($v_{in} = v_{gs,1} = 0$). Puis Z_{out} est calculée en considérant $Z_{out,1}$ connecté à la source de M_2 . Le transfert de puissance du transistor à la charge est optimal pour $Z_L = Z_{out}^*$ (figure 1.15).

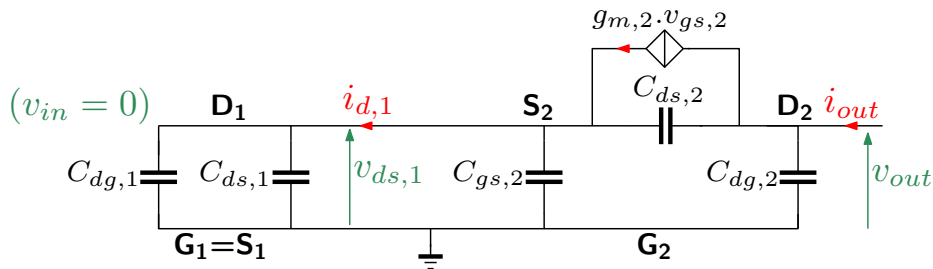


Figure 2.11 – Schéma équivalent du transistor pour le calcul de l'impédance de sortie.

Il apparait

$$Z_{out,1} = \left. \frac{v_{ds,1}}{i_{d,1}} \right|_{v_{in}=0} = \frac{1}{p(C_{gd,1} + C_{ds,1})} \quad (2.18)$$

$$Z_{out} = \left. \frac{v_{out}}{i_{out}} \right|_{v_{in}=0} = \frac{1}{i_{out}} \frac{i_{dg,2}}{pC_{dg,2}} \quad (2.19)$$

avec

$$i_{dg,2} = i_{out} - g_{m,2}v_{gs,2} - i_{ds,2} \quad (2.20)$$

$$i_{ds,2} = pC_{ds,2}v_{ds,2} \quad (2.21)$$

$$v_{ds,2} = v_{dg,2} + v_{gs,2} = v_{dg,2} + (i_{out} - i_{dg,2})(Z_{out,1}/C_{gs,2}) \quad (2.22)$$

En développant

$$\begin{aligned} & i_{dg,2}(1 - g_{m,2}(Z_{out,1}/C_{gs,2}) - pC_{ds,2}(Z_{out,1}/C_{gs,2})) \\ &= i_{out}(1 - g_{m,2}(Z_{out,1}/C_{gs,2}) - pC_{ds,2}(Z_{out,1}/C_{gs,2}) - pC_{ds,2}v_{dg,2}) \end{aligned} \quad (2.23)$$

alors

$$Z_{out} = \frac{1}{pC_{dg,2}} \frac{1 - g_{m,2}Z_{out,1} + pZ_{out,1}(C_{gs,2} + C_{ds,2})}{1 - g_{m,2}Z_{out,1} + \frac{C_{ds,2}}{C_{dg,2}} + pZ_{out,1}(C_{gs,2} + C_{ds,2} + \frac{C_{gs,2}C_{ds,2}}{C_{dg,2}})} \quad (2.24)$$

La figure 2.12 montre que la valeur de Z_{out} calculée à partir de l'équation 2.24 correspond à la valeur optimale de l'impédance de charge Z_L estimée en simulation. Des gros transistors présentent des impédances plus faibles, ce qui augmente le rapport de transformation du réseau d'adaptation en sortie et par conséquent, les pertes dans ce dernier.

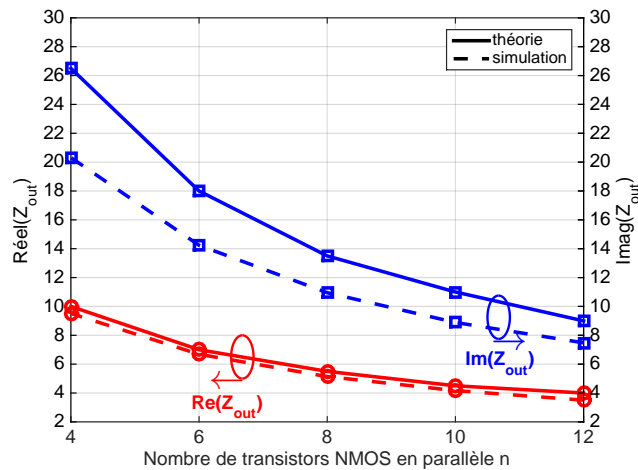


Figure 2.12 – Impact du dimensionnement sur l'impédance de sortie.

Impédance d'entrée

En négligeant la résistance d'accès, l'impédance d'entrée Z_{in} du transistor est calculée à partir du schéma sur la figure 2.13. De façon analogue au calcul de l'impédance de sortie, l'impédance d'entrée est déterminée en considérant un court-circuit à la sortie. L'impédance équivalente du transistor M_2 , notée $Z_{in,2}$ est d'abord déterminée seule. Puis l'impédance présentée à la grille de M_1 est calculée en considérant $Z_{in,2}$ connectée en série.

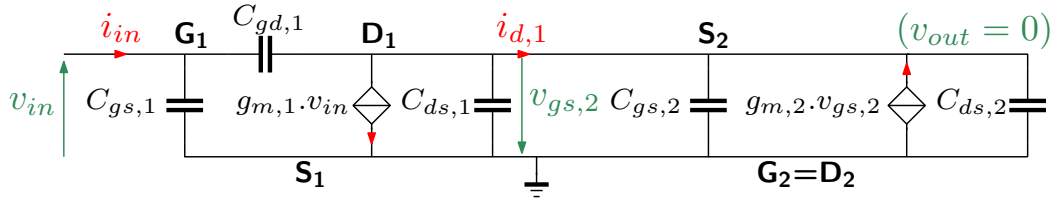


Figure 2.13 – Schéma équivalent du transistor pour le calcul de l'impédance d'entrée.

Premièrement,

$$Z_{in,2} = \left. \frac{v_{gs,2}}{i_{d,1}} \right|_{v_{out}=0} \quad (2.25)$$

avec

$$v_{gs,2} = \frac{-i_{d,1} - g_{m,2}v_{gs,2}}{p(C_{ds,2} + C_{gs,2})} \quad (2.26)$$

soit

$$Z_{in,2} = \frac{-1}{g_{m,2} + p(C_{ds,2} + C_{gs,2})} \quad (2.27)$$

De plus,

$$Z_{in} = \left. \frac{v_{gs,1}}{i_{in}} \right|_{v_{out}=0} = \frac{1}{i_{in}} \frac{i_{gs,1}}{pC_{gs,1}} \quad (2.28)$$

avec

$$i_{gs,1} = i_{in} + i_{dg,1} \quad (2.29)$$

$$i_{dg,1} = pC_{dg,1}v_{dg,1} \quad (2.30)$$

$$v_{dg,1} = -(g_{m,1}v_{gs,1} + i_{dg,1})(Z_{in,2} // C_{ds,1}) \quad (2.31)$$

En développant

$$i_{dg,1} = -v_{gs,1} \frac{1 + g_{m,1}(Z_{in,2} // C_{ds,1})}{pC_{dg,1} + (Z_{in,2} // C_{ds,1})} \quad (2.32)$$

soit

$$v_{gs,1} = \frac{1}{pC_{gs,1}} \left(i_{in} - v_{gs,1} \frac{1 + g_{m,1}(Z_{in,2} // C_{ds,1})}{pC_{dg,1} + (Z_{in,2} // C_{ds,1})} \right) \quad (2.33)$$

Et finalement

$$Z_{in} = \frac{1}{pC_{gs,1}} \left(\frac{\frac{C_{gs,1}}{C_{dg,1}} + p(Z_{in,2} // C_{ds,1})C_{gs,1}}{1 + \frac{C_{gs,1}}{C_{dg,1}} + (Z_{in,2} // C_{ds,1})(g_{m,1} + pC_{gs,1})} \right) \quad (2.34)$$

L'impédance d'entrée du montage dépend donc de M_1 mais aussi de l'impédance présentée à son drain $Z_{in,2}$. La figure 2.14 montre l'évolution de Z_{in} en fonction du nombre de transistors en parallèle n , avec un bon accord entre la valeur théorique et la valeur simulée.

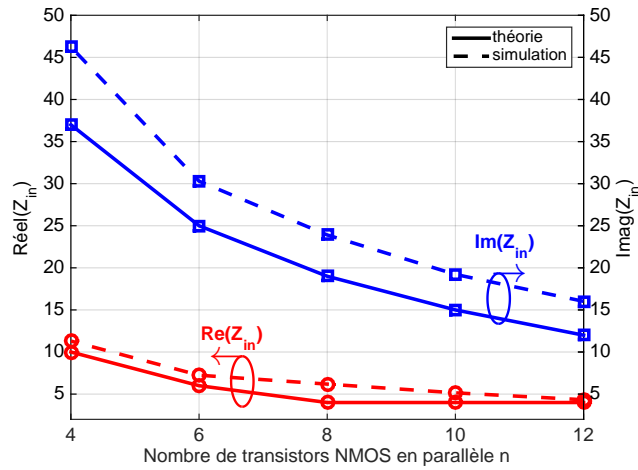


Figure 2.14 – Impact du dimensionnement sur l'impédance d'entrée.

Impédance au nœud commun en charge

L'impédance présentée au drain de M_1 , notée $Z_{d,1}$, impacte le transfert de puissance entre M_1 et M_2 lors du fonctionnement en charge. $Z_{d,1}$ est calculée à partir du schéma sur la figure 2.15.

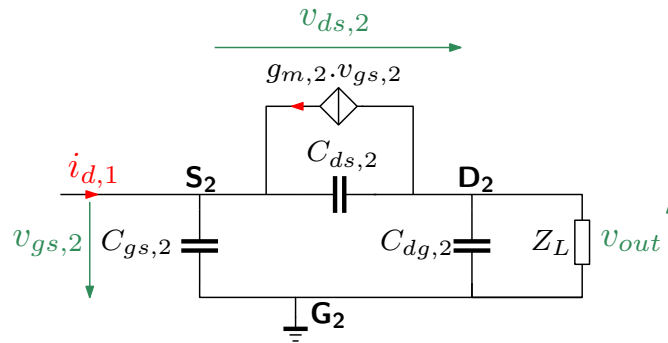


Figure 2.15 – Schéma équivalent de M_2 pour le calcul de l'impédance au nœud commun.

$Z_{d,1}$ est défini tel que

$$Z_{d,1} = \frac{v_{gs,2}}{i_{d,1}} \quad (2.35)$$

$$= \frac{1}{i_{d,1}} \frac{-i_{gs,2}}{pC_{gs}} \quad (2.36)$$

avec

$$i_{gs,2} = i_{d,1} - i_1 = i_{d,1} + g_{m,2}v_{gs,2} - i_{ds,2} \quad (2.37)$$

$$i_{ds,2} = v_{ds,2}pC_{ds,2} \quad (2.38)$$

$$v_{ds,2} = v_{gs,2} + v_{dg,2} = v_{gs,2} + (i_{d,1} - i_{gs,2})(Z_L//C_{dg,2}) \quad (2.39)$$

soit

$$i_{gs,2} = i_{d,1} + g_{m,2}v_{gs,2} - pC_{ds,2}v_{gs,2} + (i_{d,1} - i_{gs,2})((Z_L//C_{dg,2}))pC_{ds,2} \quad (2.40)$$

En regroupant les termes et avec $i_{gs,2} = pC_{gs,2}v_{gs,2}$

$$v_{gs,2}(pC_{gs,2} - (g_{m,2} - pC_{ds,2}) + pC_{gs,2}(Z_L//C_{dg,2})) = i_{d,1}(1 + (Z_L//C_{dg,2})) \quad (2.41)$$

Finalement

$$Z_{d,1} = \frac{1 + (Z_L//C_{dg,2})}{-g_{m,2} + p(C_{ds,2} + C_{gs,2}(1 + (Z_L//C_{dg,2})))} \quad (2.42)$$

L'impédance $Z_{d,1}$ impacte l'efficacité du montage de deux façons. Il apparait une désadaptation d'impédance entre M_1 et M_2 qui réduit le transfert de puissance de M_1 à M_2 . De plus, une partie du signal amplifié par M_1 fuit à travers les capacités parasites de M_2 , ce qui réduit l'efficacité du transistor.

2.1.4 Routage des transistors

Les tailles fixées pour le transistor ainsi que la valeur des différents composants sont présentées dans le tableau 2.1. Une capacité de grille C_{G2} peut être envisagée pour fixer l'excursion en tension aux bornes de M_2 , comme dans le montage cascode auto-polarisé [DHG⁺13].

Composant	Valeur
M_1	$8\mu * 64f * 8$
M_2	$10\mu * 64f * 13$
C_{G2}	$100 pF$
$R_{B1,2}$	$10 k\Omega$

Tableau 2.1 – Dimensionnement du MASMOS.

Les tailles de transistors choisies étant importantes ($W > 1$ mm), il convient d'en optimiser le layout afin de minimiser les éléments parasites associés au routage. Pour éviter des couplages avec d'autres parties du circuit par le substrat, les transistors RF sont implantés dans un triple puits (Deep N-well) comme illustré sur la figure 2.16. La cellule développée par le fondeur impose un espacement important entre deux puits. Le layout est optimisé pour intégrer plusieurs transistors dans un même puits. La surface occupée par M_1 est réduite de 32 %.

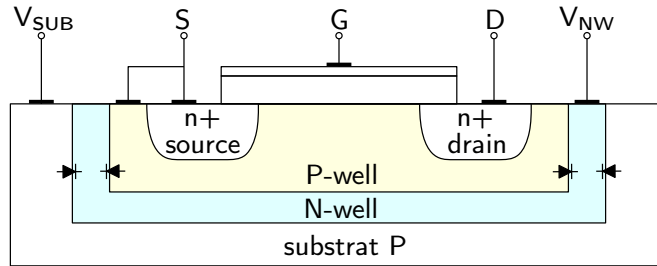


Figure 2.16 – Implantation du transistor dans un procédé triple-puits.

De plus, les connexions proposées par le fondeur sont rarement optimales aux fréquences RF, en particulier pour des transistors très larges (figure 2.17a). L'accès de grille proposé est très résistif (métaux fins) et peu pratique quand plusieurs transistors sont connectés en parallèle. Le layout proposé sur la figure 2.17b, possède un large accès de grille identique à celui de drain, composé des métaux M3 à M1. La connexion à la source est réalisée par le dessus, directement en métal M4, ce qui réduit la résistance ainsi que la dégénérescence de source en plus de faciliter l'accès au transistor.

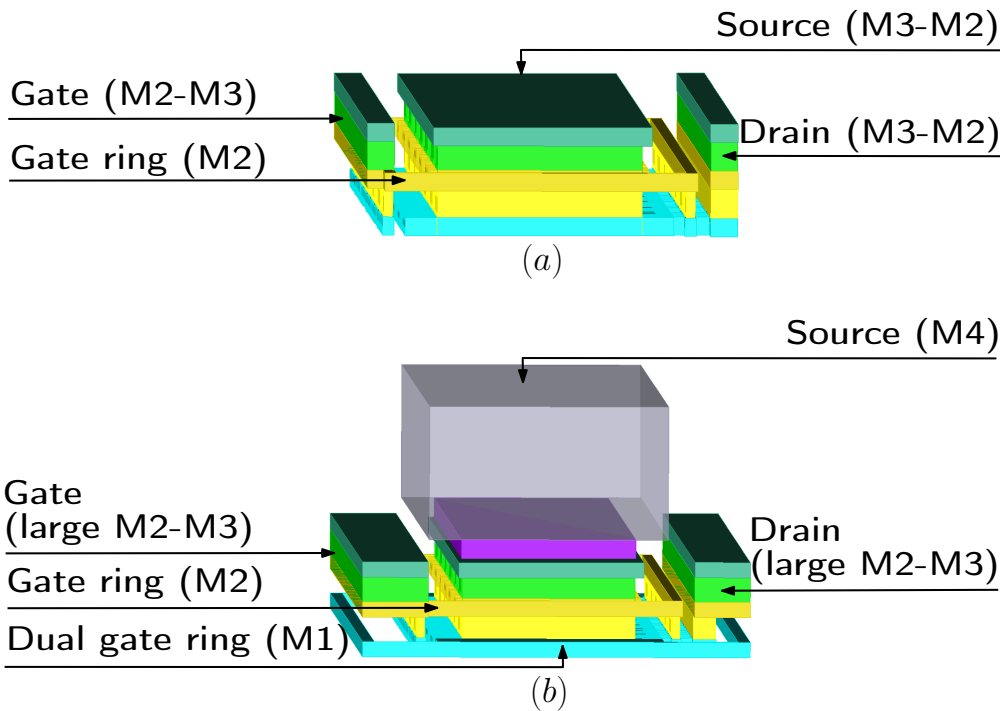


Figure 2.17 – Optimisation du routage d'un transistor NMOS RF.

Le transistor JFET unitaire possède l'accès de compris entre les accès de drain et de source (figure 2.18). Il est possible de les monter tête-bêche pour élargir les accès de drain et source.

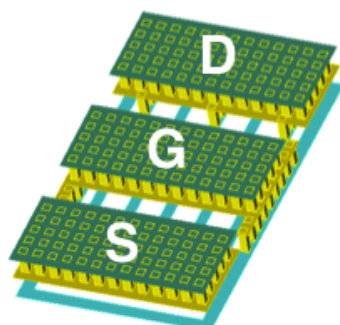


Figure 2.18 – Routage d'un transistor NJFET.

Le layout du MASMOS unitaire est représenté sur la figure 2.19. Chaque accès au transistor est réalisé à l'aide du métal le plus haut, un métal épais qui permet de réduire la résistivité et une meilleur dissipation thermique.

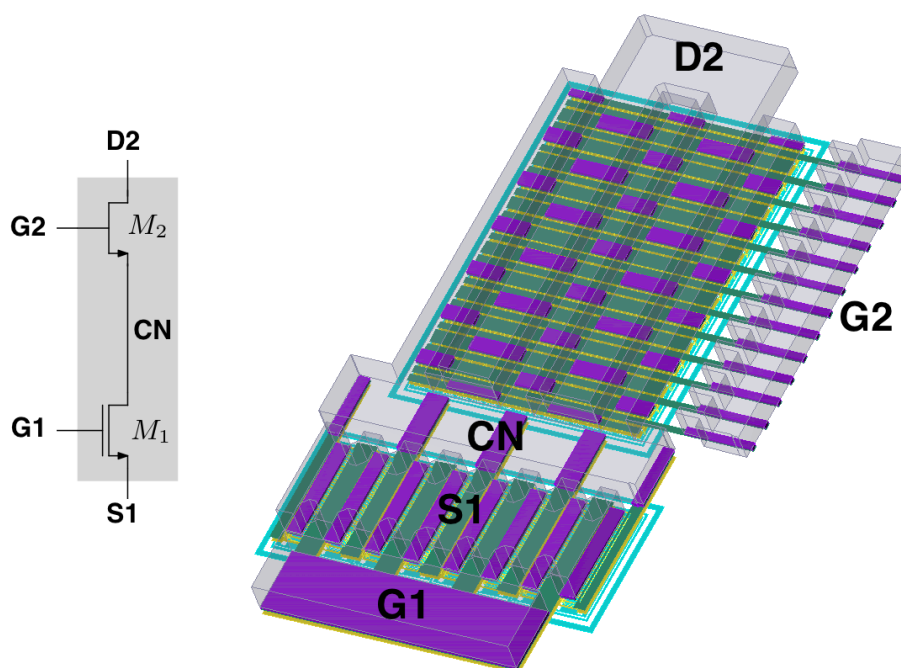


Figure 2.19 – Routage du transistor MASMOS.

Cette première partie va de l'étude théorique à l'optimisation du routage d'un transistor MASMOS. Ce travail préliminaire à la fabrication de circuits a permis d'identifier les paramètres dont dépendent les performances du MASMOS, et de développer un transistor servant de bloc de base à différentes cellules de test présentées par la suite.

2.2 Conception de cellules de test

Afin de caractériser en mesure les performances de transistors MASMOS, différentes cellules de puissances sont fabriquées. Les étapes de conception des cellules sont présentées sur la figure 2.20 et détaillées dans les parties suivantes.

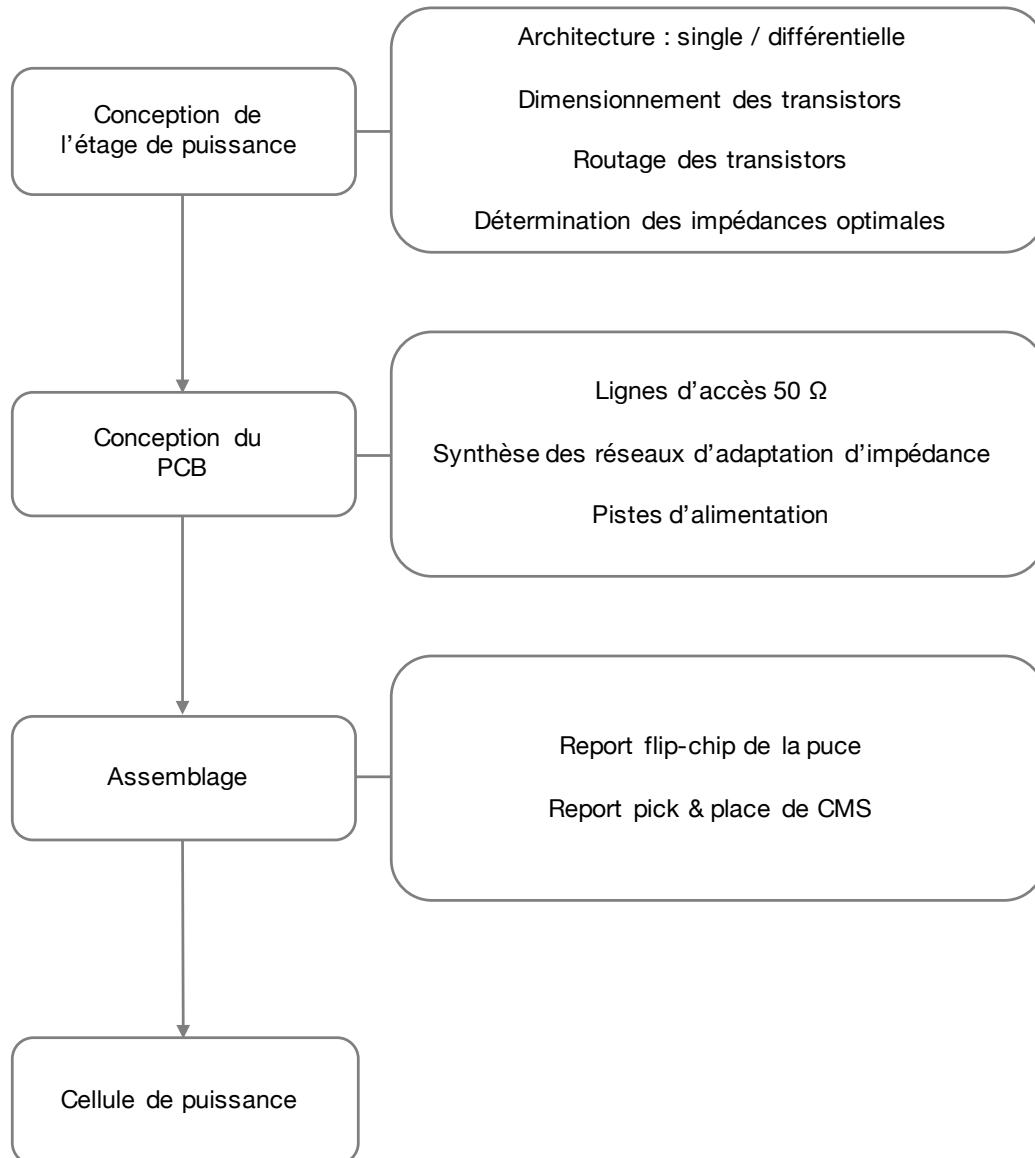


Figure 2.20 – Flot de conception des cellules de test.

2.2.1 Topologies des cellules de test

Chaque cellule est basée sur le schéma de la figure 2.21. Les transistors fabriqués en CMOS sont reportés à l'aide de microbilles (bumps) sur un PCB FR-4. Un kit de calibrage TRL différentiel est conçu pour ramener la mesure dans un plan proche de la puce. La conception du kit est détaillée dans l'annexe B. Les réseaux d'adaptation d'impédance sont réalisés sur la carte avec des composants montés en surface (CMS). Les CMS utilisés présentent un meilleur coefficient de qualité que les éléments passifs intégrés, et permet d'ajuster les valeurs des composants afin d'optimiser l'adaptation d'impédance a posteriori. Le réseau d'adaptation de sortie est conçu sur des capacités en shunt. Cela rend aussi possible d'effectuer la mesure sans réseau de sortie, pour effectuer un load-pull par exemple. La tension d'alimentation V_{DD} est fixée à 3,5 V. Les fréquences visées vont de 2,3 à 2,7 GHz. La figure 2.22 montre une photo de la cellule complète.

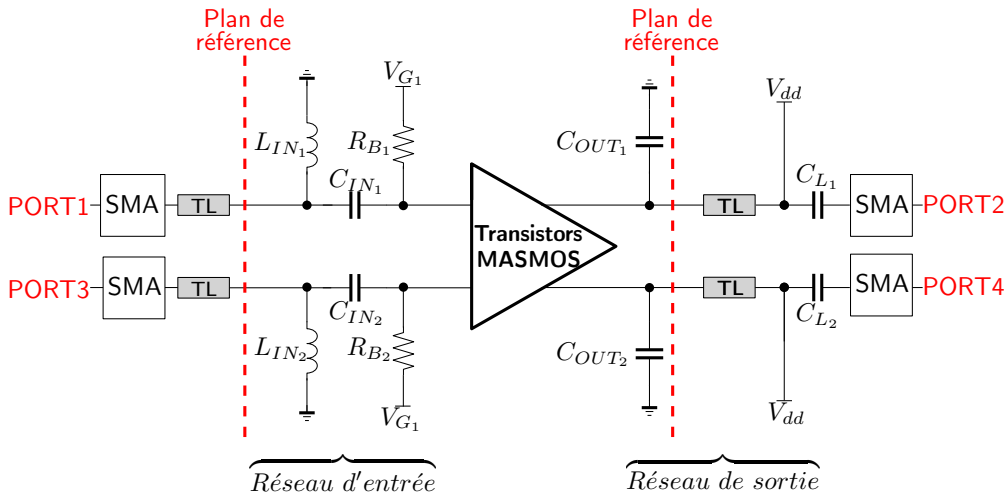


Figure 2.21 – Schéma des cellules de test.

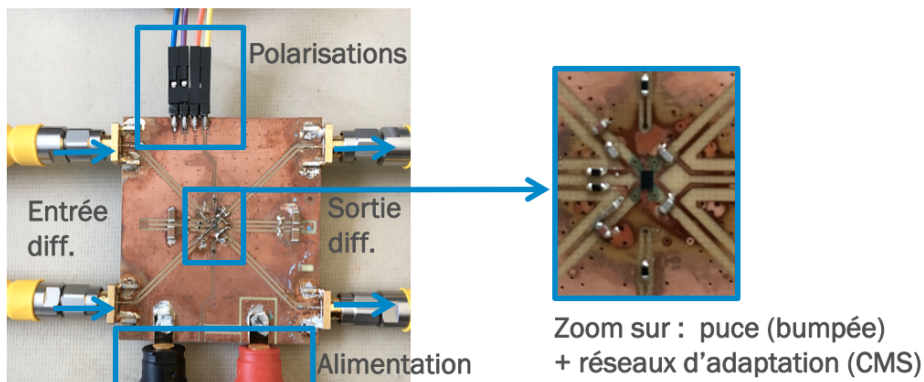


Figure 2.22 – Photographie d'une cellule de test.

2.2.2 Détermination des impédances de charge optimales

Les performances du PA dépendent de l'adaptation d'impédance, qui vise à optimiser le transfert de puissance du transistor à la charge. L'équation 2.24 montre que Z_{out} est composé d'une partie réelle et d'une partie capacitive. L'impédance de charge Z_L présentée au drain du transistor peut donc contenir une partie inductive telle que $Z_L = Z_{out}^*$. Deux méthodes sont identifiées pour définir la valeur optimale de Z_L :

Lecture de la droite de charge

La résistance de charge optimale peut être approximée à partir des équations de la partie 1.3.3. Sur la figure 2.23, la caractéristique DC est affichée en rouge et le cycle de charge du transistor est représenté en bleu pour $Z_L = 20 \Omega$ puis $Z_L = 20 + j10 \Omega$. Dans le premier cas, le cycle est représenté par une droite. Dans le second cas, le cycle est elliptique en raison du déphasage entre V_{ds} et I_d . Les excursions en tension et en courant sont plus larges, la puissance de sortie est donc plus élevée. La partie imaginaire de Z_L qui optimise la puissance peut-être déterminée à partir d'une analyse load-pull.

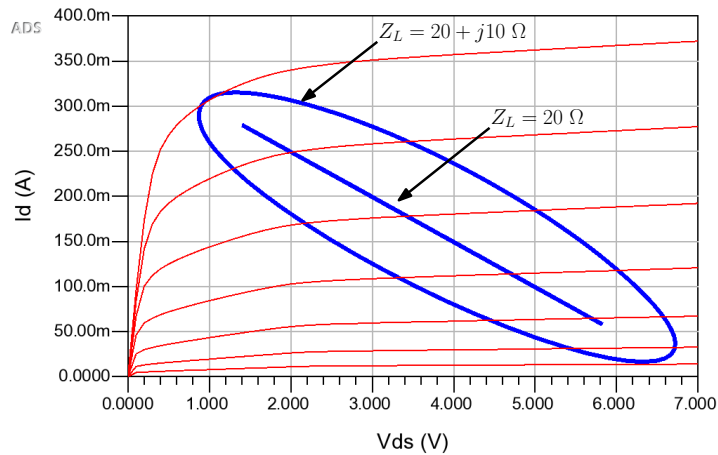


Figure 2.23 – Lecture de la droite de charge.

Méthode des contours

Cette méthode consiste à représenter différents paramètres sous formes de contours dans l'abaque de Smith à partir d'un balayage des impédances en sortie du PA (figure 2.24a). Plusieurs valeurs de Z_L peuvent être déterminées en fonction du paramètre à optimiser : P_{OUT} , Gain ou PAE (figure 2.24b). Le balayage peut-être effectué à la sortie (load-pull) puis à l'entrée (source-pull), et répété jusqu'à ce que les impédances trouvées convergent. Cette méthode est complémentaire de la précédente, car elle ne renseigne pas sur la dynamique tension-courant du transistor.

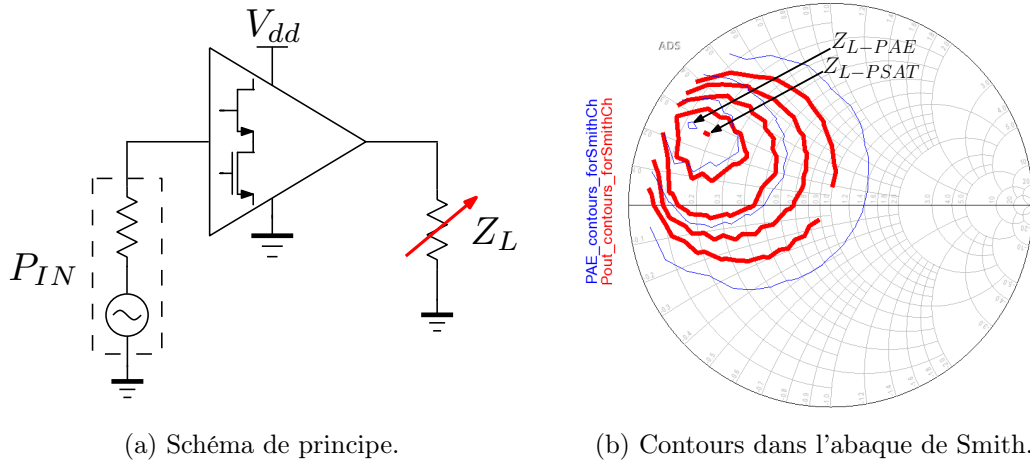


Figure 2.24 – Méthode des contours - Analyse load-pull.

2.2.3 Synthèse des réseaux d'adaptation d'impédance

Le réseau d'adaptation d'impédance est conçu pour transformer l'impédance 50Ω vers l'impédance optimale Z_L déterminée en load-pull tout en minimisant les pertes introduites. Les composants discrets utilisés présentent des coefficients de qualité supérieurs à 100 pour les capacités et 50 pour les inductances. Leurs valeurs sont déterminées à l'aide de simulations électromagnétiques (EM) du PCB. Les réseaux d'adaptations ainsi conçus présentent des pertes inférieures à 1 dB.

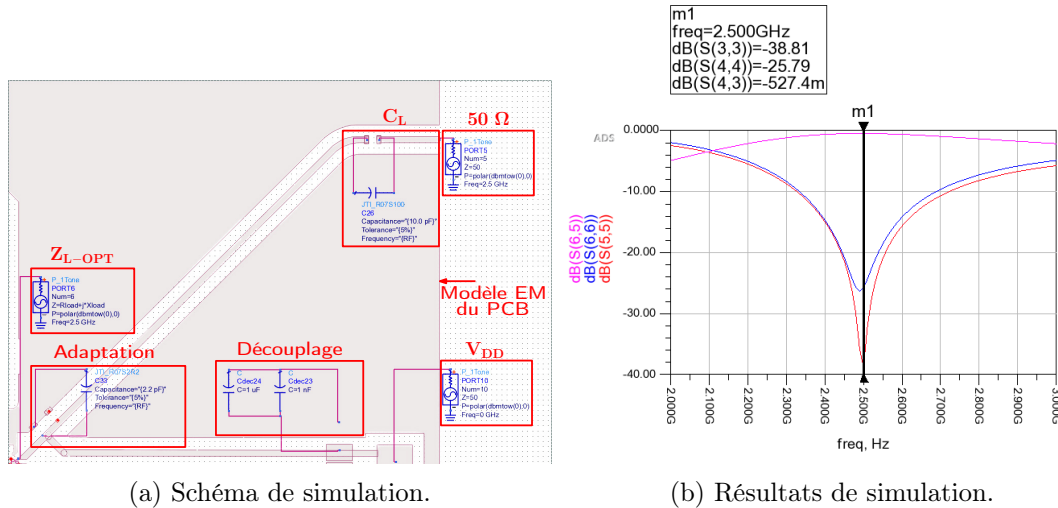


Figure 2.25 – Simulations EM des réseaux d'adaptation.

2.2.4 Montage sur PCB

Le substrat utilisé pour le report de la puce CMOS est un FR-4 h679F de Hitachi, avec une constante de permittivité diélectrique ϵ_R de 4,8. Trois couches de métaux sont

disponibles :

- M1 : pistes RF,
- M2 : plan de masse,
- M3 : circuits de polarisation.

L'espacement minimum des pads de la puce étant de $100\ \mu\text{m}$, la finesse de gravure est fixée à $80\ \mu\text{m}$. De plus, un vernis isolant est disposé dans la zone autour de la puce pour éviter d'éventuels courts-circuits entre les pads de la puce. Les vias sont plaqués et métallisés, ce qui permet de reporter les pads de masse de la puce directement sur des vias connectés au plan de masse du PCB. La puce est reportée sur le PCB à l'aide d'une machine flip-chip (figure 2.26). Le report par flip-chip permet un positionnement de la puce précis à $5\ \mu\text{m}$. La machine chauffe le substrat à 250°C et applique $300\ \text{g}$ de pression sur la puce pendant le report ($\approx 20\ \text{g/bump}$), ce qui garantit la bonne soudure de la puce sur le PCB.

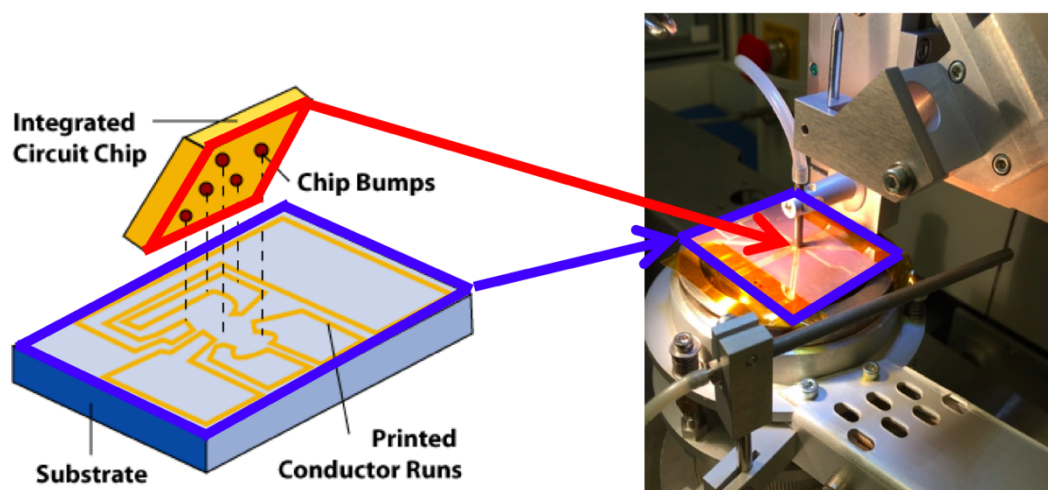


Figure 2.26 – Report de puces par flip-chip.

2.3 MASMOS avec correction d'impédance au nœud commun

La première cellule de puissance conçue vise à améliorer les performances du MASMOS en optimisant le transfert de puissance entre les transistors M_1 et M_2 .

2.3.1 Problématique

Une désadaptation d'impédance réduit le transfert de puissance de M_1 vers M_2 . L'équation 2.43 montre que l'impédance présentée au drain de M_1 , $Z_{D,1}$, possède une partie imaginaire causant cette désadaptation qui résulte en une déformation du signal. La partie imaginaire de $Z_{d,1}$ introduit aussi un déphasage du signal noté φ tel que :

$$\varphi \propto (Z_L // C_{dg,2}), C_{gs,2}, C_{ds,2} \quad (2.43)$$

M_2 présentant d'importantes capacités parasites et une faible transconductance, φ peut atteindre 10° . De plus la capacité parasite $C_{gs,2}$ permet une fuite du signal vers la grille de M_2 , comme représenté sur la figure 2.27.

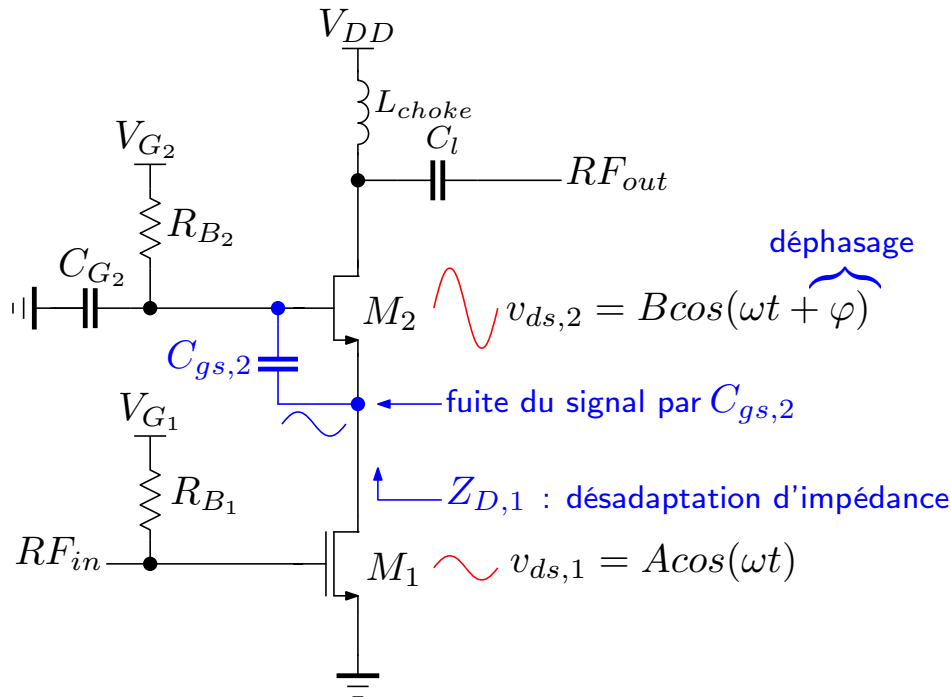


Figure 2.27 – Influence de $C_{gs,2}$ sur le nœud commun.

2.3.2 Description

Le nœud commun aux deux transistors M_1 et M_2 est noté CN . L'ajout d'un effet réactif au CN permet de compenser la désadaptation d'impédance. Deux topologies sont identifiées pour effectuer cette correction d'impédance :

- inductance série (figure 2.28a) [GXC12],
- inductance shunt (figure 2.28b)[CKLN11].

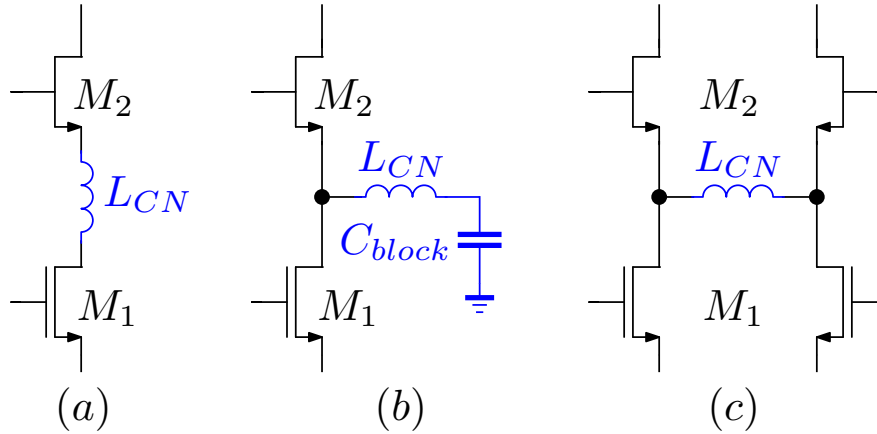


Figure 2.28 – Différentes topologies de corrections au nœud commun : (a) inductance série, (b) inductance shunt et (c) inductance shunt en différentiel.

En connectant l'inductance de correction L_{CN} en série entre M_1 et M_2 , le courant traverse l'inductance, ce qui est source de pertes supplémentaires (figure 2.28a). L'inductance connectée en shunt n'a pas cet inconvénient mais nécessite une capacité C_{block} de forte valeur pour éviter une fuite du courant DC vers la masse (figure 2.28b). C'est cette topologie qui est retenue car elle est particulièrement bien adaptée pour une cellule de puissance différentielle (figure 2.28c).

La valeur de l'inductance est choisie en simulation à 1,3 nH. La ré-adaptation d'impédance se traduit notamment par une remise en forme de la tension $v_{ds,1}$, qui se rapproche alors des formes d'ondes idéales présentées dans la partie 1.3.3 (figure 2.29). La phase de $V_{ds,1}$ est modifiée de 5° .

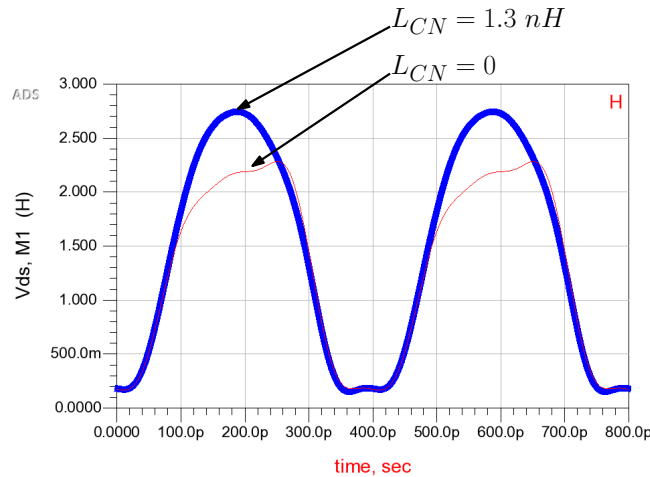


Figure 2.29 – Formes d'ondes simulées au drain de M_1 .

L'inductance est montée en CMS sur le PCB, ce qui la rend optionnelle. Pour la connecter, des pads sont ajoutés au nœuds notés CN_1 et CN_2 sur la figure 2.30.

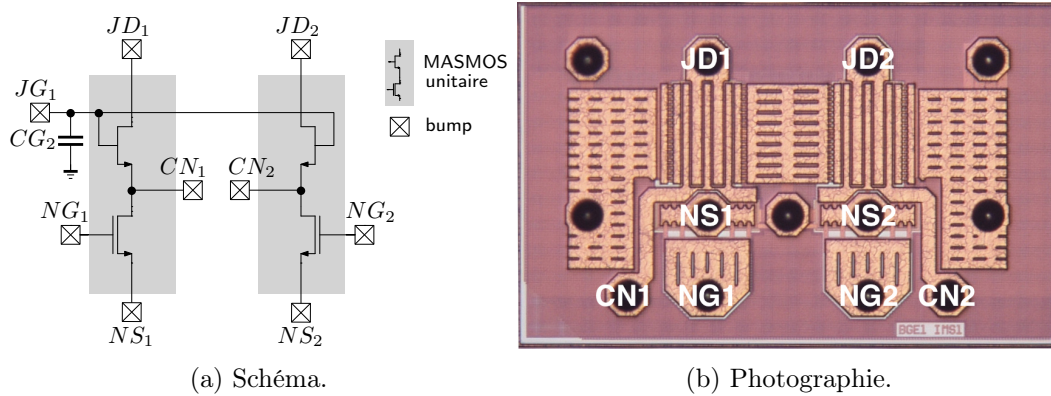


Figure 2.30 – Transistor MASMOS avec pads pour correction au nœud commun.

2.3.3 Résultats de mesures

La cellule MASMOS est mesurée avec l'ajout d'une inductance de 1,3 nH placée entre les bornes CN_1 et CN_2 . Comme le montrent les mesures de la figure 2.31, son influence se traduit par une amélioration du gain à partir à 2,55 GHz (partie non grisée). Les pistes d'accès et les vias sur le PCB rajoutent une inductance à l'origine d'un léger décalage en fréquence. À la fréquence de 2,6 GHz, l'amélioration est de 0,5 dB et monte jusqu'à 1,44 dB de gain supplémentaire à 2,74 GHz.

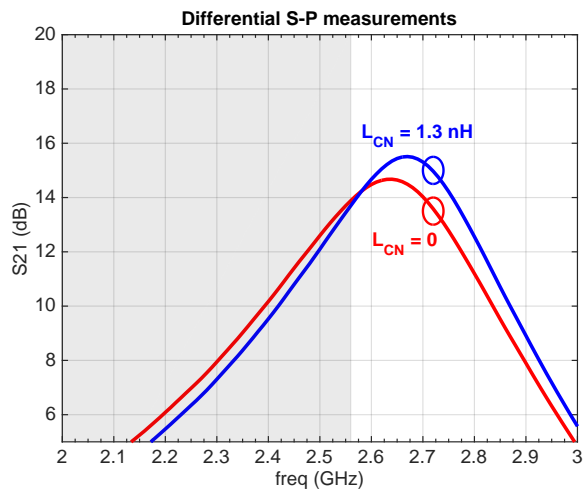


Figure 2.31 – Mesures petit-signal de la cellule MASMOS avec et sans correction au nœud commun.

Cette amélioration du gain dans les fréquences hautes n'influe pas sur la puissance de sortie (figure 2.32). Le transistor compresse rapidement lorsqu'il est polarisé en classe AB forte. Une polarisation plus basse (classe AB légère) permet d'améliorer la linéarité :

la compression est repoussée, et le gain reste supérieur à celui du transistor seul grâce à l'inductance au nœud commun.

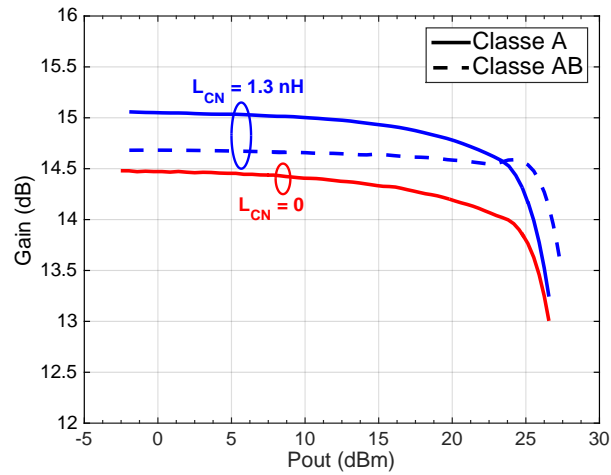


Figure 2.32 – Mesures grands-signaux de la cellule MASMOS avec et sans correction au nœud commun.

Les réseaux d'adaptation sont ajustés pour un fonctionnement à 2,6 GHz, avec des coefficients de réflexion à l'entrée (S_{11}) et à la sortie (S_{22}) inférieurs à -10 dB (figure 2.33). L'isolation, non représentée, est inférieure à -25 dB sur toute la bande. Enfin, la bande passante à 3 dB de gain est de 300 MHz.

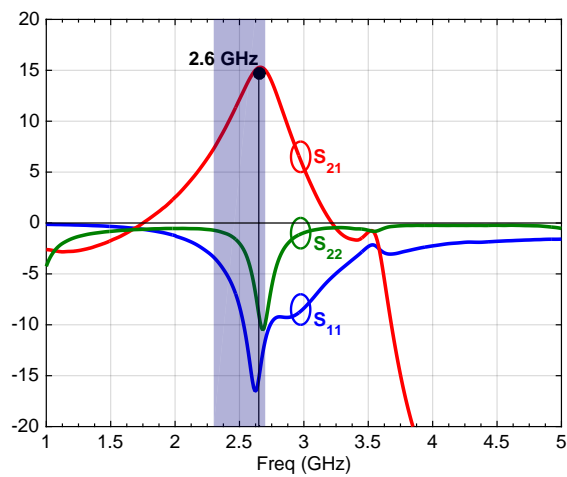


Figure 2.33 – Mesures petits-signaux de la cellule MASMOS avec correction au nœud commun.

Les mesures de gain et de rendement en régime non-linéaire à 2,6 GHz sont reportées sur la figure 2.34. La puissance délivrée est de 28 dBm et la PAE atteint 46 %. La P_{1dB} marquée par le point noir est mesurée à 27,3 dBm.

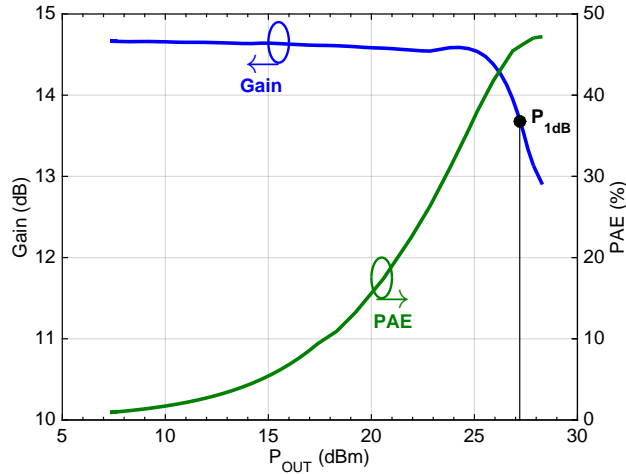


Figure 2.34 – Mesures grands-signaux de la cellule MASMOS avec correction au nœud commun.

2.3.4 Conclusion

Une amélioration du transistor MASMOS est proposée à partir de l'étude théorique. L'amélioration fonctionne dans les fréquences de fonctionnement où le gain du MASMOS est limité. Les vias ainsi que la piste d'accès sur PCB rajoutent 300 pH à la valeur de l'inductance. Des valeurs d'inductances plus faibles peuvent être envisagées pour un effet aux fréquences plus basses.

Les mesures montrent que la correction du CN matching permet bien une amélioration du gain, notamment pour les fréquences supérieures à 2,5 GHz. Elle permet aussi une amélioration de la compression puisque le transistor peut travailler en classe AB légère. Les mesures grands-signaux montrent clairement la capacité en puissance de la cellule MASMOS avec un bon rendement.

2.4 MASMOS reconfigurable

Un des défis du PA LTE réside dans la possibilité d'être implémenté à la fois dans les applications haute-performance, et les applications embarquées où la consommation doit être réduite. Pour cela, une cellule de puissance reconfigurable avec différents modes de fonctionnement est développée.

2.4.1 Problématique

Deux possibilités sont identifiées dans la littérature pour reconfigurer le PA :

- commande analogique par les polarisations,
- commande numérique en utilisant des interrupteurs.

La technique de polarisation segmentée vise à modifier les polarisations des transistors, généralement afin de linéariser le fonctionnement du PA. Dans la référence [LKM⁺15], la technique de polarisation segmentée est implémentée dans un processus de fabrication CMOS SOI, et la reconfiguration est effectuée en jouant sur la polarisation de la face arrière du substrat. L'utilisation de cette technique en CMOS bulk est plus difficile notamment car elle requiert l'utilisation de capacités de liaison entre les différents transistors, qui occupent une surface importante et impactent le signal RF [KKL04].

L'utilisation d'interrupteurs est plus répandue mais impose différentes considérations supplémentaires lors de la conception. La position de l'interrupteur devient critique. En effet, celui-ci est généralement situé sur le chemin RF, qui engendre des problèmes de fiabilité. Lorsqu'il est situé à la grille du transistor, la reconfiguration impose une pré-distorsion du signal appliqué au transistor, avant même son amplification. Lorsqu'il est situé au drain, la tenue en puissance de l'interrupteur doit être suffisante pour supporter la puissance de sortie de la cellule amplificatrice.

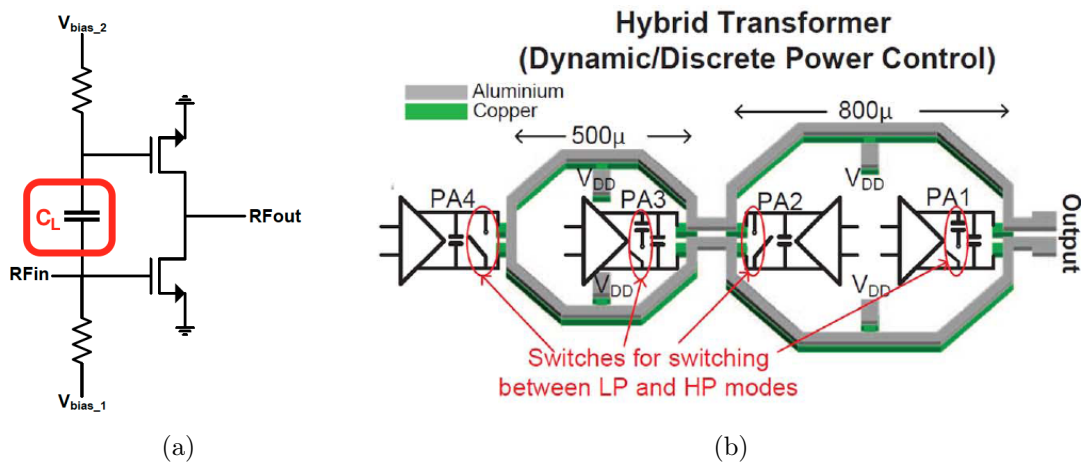


Figure 2.35 – Techniques usuelles de reconfiguration : (a) polarisation segmentée en CMOS bulk et (b) utilisation d'interrupteurs [KR14].

2.4.2 Description

La cellule reconfigurable présentée sur la figure 2.36 permet de redimensionner le transistor et par conséquent de contrôler sa puissance de sortie ainsi que sa consommation.

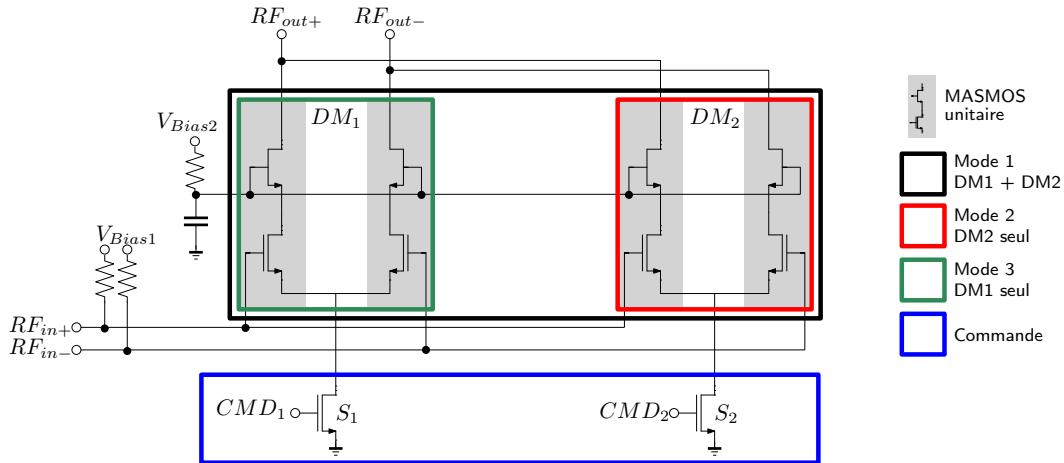


Figure 2.36 – Schéma du MASMOS reconfigurable.

La cellule est composée de deux transistors différentiels DM_1 et DM_2 , avec DM_2 deux fois plus large que DM_1 . Une combinaison en courant au niveau des drains permet d'ajouter simplement la contribution en puissance de chaque transistor. La recombinaison en courant s'avère particulièrement adaptée lorsque l'étage de puissance est composé de plusieurs transistors [KYK⁺11]. La reconfiguration de la cellule permet un contrôle discret en fonction de la puissance de sortie requise. La commande indépendante de chaque transistor DM_1 et DM_2 est réalisée par deux signaux numériques CMD_1 et CMD_2 envoyés directement sur la grille des deux interrupteurs S_1 et S_2 respectivement. La commande des interrupteurs se traduit par un redimensionnement du transistor et l'on distingue quatre modes de fonctionnement résumés dans le tableau 2.2 et identifiés par un code couleur sur les figures.

Mode	Description	$CMD_1 - CMD_2$	Transistors actifs
1	Forte puissance	'1' - '1'	DM_1 & DM_2
2	Moyenne puissance	'0' - '1'	DM_2 seul
3	Faible Puissance	'1' - '0'	DM_1 seul
4	OFF	'0' - '0'	/

Tableau 2.2 – Description des modes de fonctionnement de la cellule reconfigurable.

La cellule reconfigurable décrite sur la figure 2.36 est fabriquée en technologie CMOS (figure 2.37). La disposition des transistors est identique à celle sur le schéma. Chaque interrupteur est aussi large que sa paire différentielle associée, ce qui permet à la structure de rester compacte.

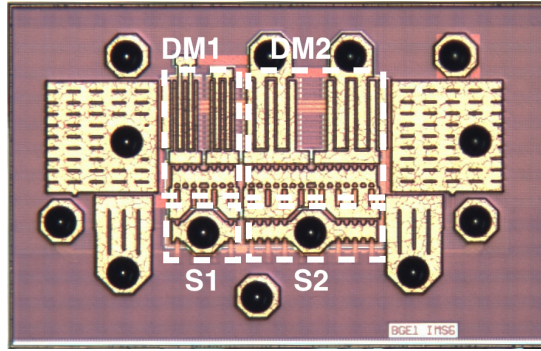


Figure 2.37 – Photographie du transistor reconfigurable.

La valeur de l'impédance de charge à présenter dépend de la taille du transistor. Le passage d'un mode à l'autre s'accompagne donc d'une variation de l'impédance de charge optimale, notée Z_{L-OPT} (figure 2.38).

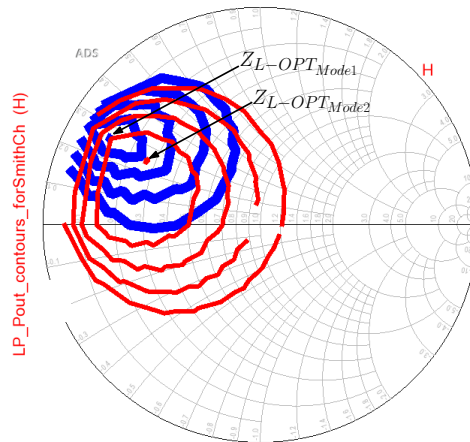


Figure 2.38 – Variation de l'impédance optimale entre le mode 1 et le mode 3.

Le ratio de taille entre les deux transistors MASMOS DM_1 et DM_2 est fixé à partir de simulations de l'impédance de charge optimale Z_{L-OPT} . Le ratio est noté η_W tel que :

$$\eta_W = \frac{W_{DM_2}}{W_{DM_1}} \quad (2.44)$$

Si $\eta_W = 1$ (DM_1 est identique à DM_2), le mode 2 est identique au mode 3, ce qui limite les possibilités d'utilisation de la cellule. Si $\eta_W > 3$, la variation de Z_{L-OPT} est trop importante entre le mode 1 et 3. Les performances en mode 3 sont alors très dégradées. L'optimum est donc défini pour $\eta_W = 2$, soit DM_1 deux fois plus large que DM_2 .

La fiabilité de la structure est vérifiée par l'analyse des formes d'ondes simulées. À la P_{1dB} , les tensions aux bornes de chaque transistor du MASMOS ne dépassent pas plus de 20 % leurs valeurs nominales. Lorsqu'un des sous-transistors est éteint, aucun courant ne circule dans son interrupteur et ne génère donc pas de puissance. Les formes d'ondes montrent que DM_1 fonctionne uniquement dans les modes 1 et 3 (figure 2.39a), alors que DM_2 est actif en modes 1 et 2 (figure 2.39b).

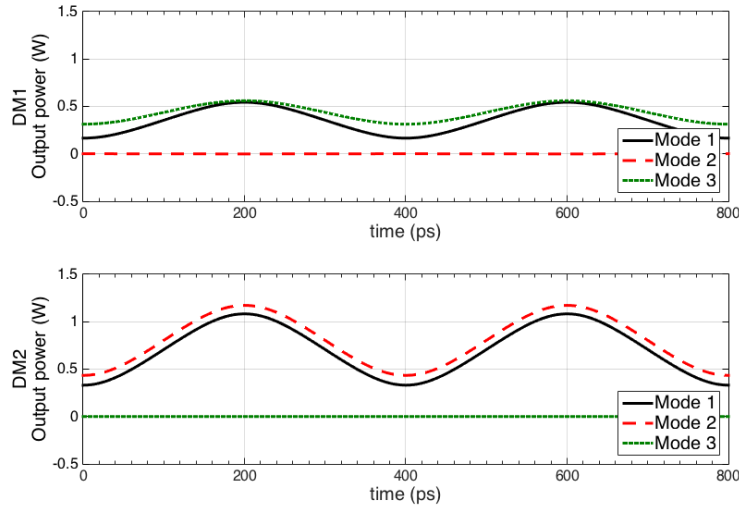


Figure 2.39 – Formes d'onde simulées de la puissance de sortie au point de compression à 1 dB pour chaque mode (a) par DM_1 (b) par DM_2 .

La position de l'interrupteur tire pleinement parti de la structure différentielle pour ne pas impacter le fonctionnement du MASMOS. Chaque interrupteur est aussi large que son sous-transistor associé afin de satisfaire les règles de densité de courant. Les contraintes en tension sur les interrupteurs, importantes pour les PA reconfigurables [YKK⁺12], sont résolues par la position de l'interrupteur dans la structure. Chaque interrupteur est positionné à un point neutre, et se retrouve soumis uniquement à la tension de mode commun. La puissance à tenir est alors moins importante, comme illustré sur la figure 2.40). Les simulations montrent que la puissance dissipée par S_1 (figure 2.40a) et par S_2 (figure 2.40b) n'excède pas 20 mW quand il est passant et est négligeable quand l'interrupteur est coupé.

2.4.3 Résultats de mesures

En plus de garantir la fiabilité de la cellule de puissance, le positionnement des interrupteurs permet aussi de redimensionner le transistor sans agir sur les polarisations et la tension d'alimentation du circuit. Ainsi, les éléments parasites du transistor tels que les capacités C_{gs} et C_{dg} demeurent constants, ce qui limite la variation d'impédance d'accès à la cellule lorsqu'on commute d'un mode à l'autre (figure 2.41).

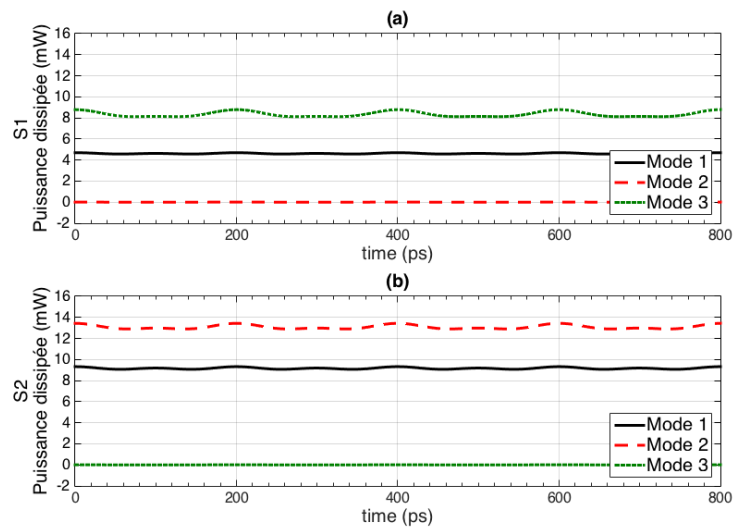


Figure 2.40 – Formes d’onde simulées de la puissance dissipée au point de compression à 1 dB pour chaque mode (a) par S_1 (b) par S_2 .

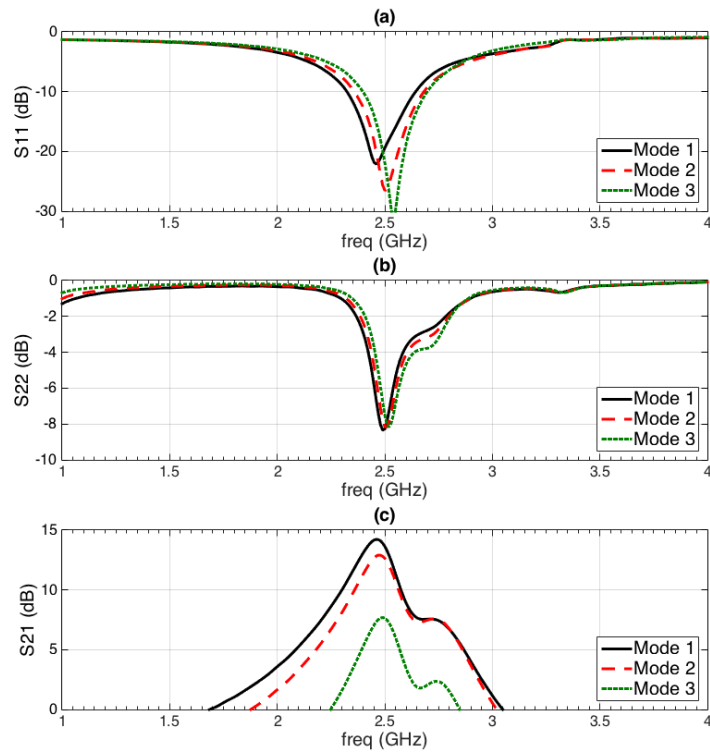


Figure 2.41 – Mesures petits-sinaux pour chaque mode.

La P_{1dB} en mode 1 est mesurée à 29 dBm et la consommation statique P_{DC} est de 0,6 W au repos (figure 2.42). Le mode 2 permet de délivrer jusqu'à 23 dBm linéaires avec une consommation réduite à 0,4 W. Cette réduction se traduit par un gain de 6 % de PAE à 8 dB de recul en puissance. Le mode 3 est linéaire jusqu'à 15 dBm avec une consommation statique de 0,2 W seulement.

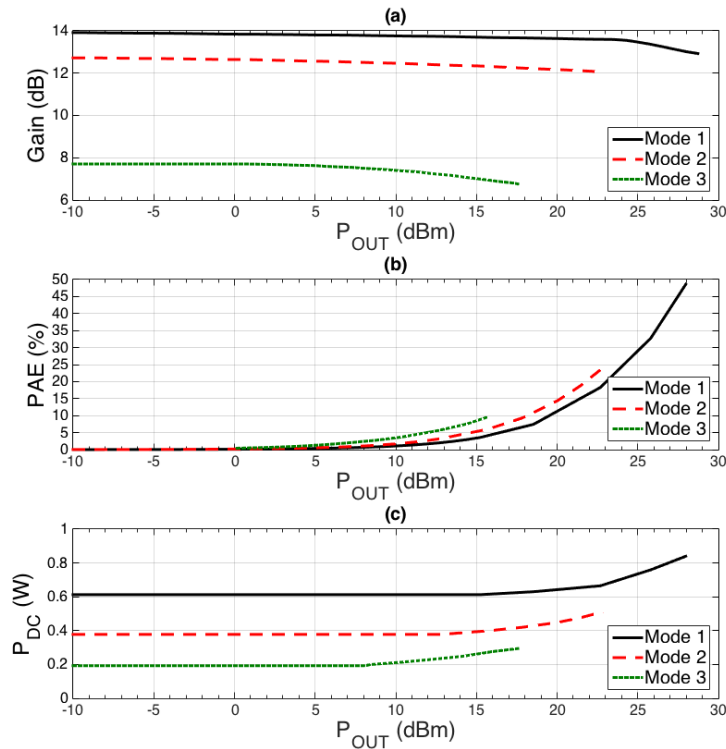


Figure 2.42 – Mesures grands-s signaux à 2,5 GHz pour chaque mode : (a) gain, (b) PAE et (c) puissance dc en fonction de la puissance générée.

2.4.4 Conclusion

La cellule de puissance développée permet de maîtriser la consommation en fonction de la puissance de sortie requise. Cela permet de compenser le sur-dimensionnement du PA imposé par le PAPR, en améliorant la PAE lorsque le PA travaille à faible puissance. De plus, cette cellule répond directement aux besoins du LTE, puisqu'elle peut être intégrée dans les émetteurs haute performance en mode 1 et dans les émetteurs faible consommation en mode 3. La puissance disponible au générateur ne permet pas d'atteindre la saturation de la cellule de puissance malgré une polarisation en classe AB forte pour augmenter le gain. Une utilisation alternative de la cellule reconfigurable est développée dans la section suivante.

2.5 Amplificateur de puissance à deux étages basé sur le transistor reconfigurable

Afin d'avoir suffisamment de gain (> 20 dB), les PA reposent généralement sur plusieurs étages en cascade. Le premier étage "driver" pré-amplifie le signal, avant l'amplification réalisée par l'étage de puissance. La conception du driver nécessite généralement un travail dédié. En effet, la P_{1dB} du driver doit être suffisamment élevée pour ne pas distordre le signal, mais sa consommation doit rester suffisamment faible pour ne pas impacter le rendement de l'étage suivant.

2.5.1 Architecture du PA

Le PA à deux étages proposé sur la figure 2.43 est conçu à partir de deux cellules de puissance présentées dans la section précédente. Chaque cellule est identique mais une première cellule fonctionnant en mode faible consommation est connectée en amont de la cellule de puissance en mode 1. Le premier étage driver permet d'augmenter le gain. Le rendement de la seconde cellule de puissance n'est pas impacté puisque le premier étage fonctionne à consommation réduite. La figure 2.44 montre une photographie du PA MASMOS à deux étages fabriqué à partir de deux cellules reconfigurables.

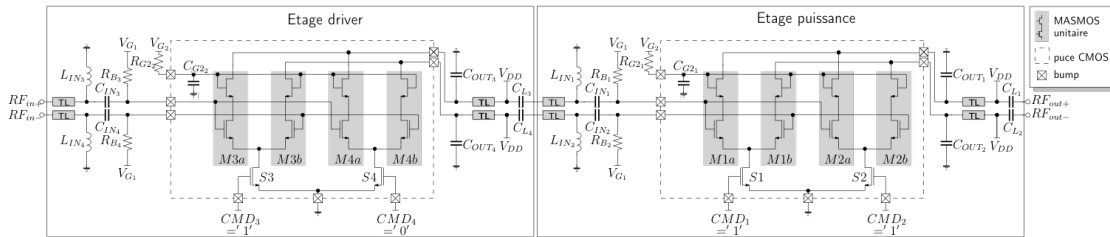


Figure 2.43 – Schéma du PA à deux étages basé sur deux cellules de puissance reconfigurables.

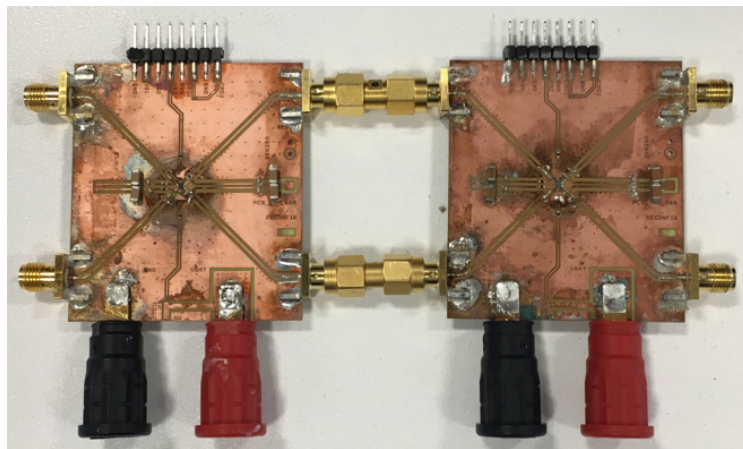


Figure 2.44 – Photographie du PA à deux étages basé sur deux cellules de puissance reconfigurables.

2.5.2 Résultats de mesures

Les performances grands-signaux de cet amplificateur à deux étages sont reportées sur la figure 2.45. Le point de polarisation est choisi pour optimiser la linéarité. La puissance de sortie atteint 30,2 dBm en saturation. La PAE maximale est de 54 % et le gain est de 21,8 dB grâce à l'utilisation d'une cellule en étage driver.

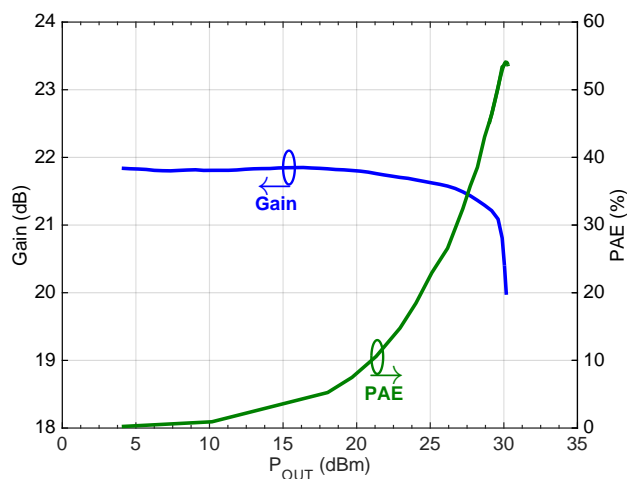


Figure 2.45 – Mesures grands-signaux du PA à deux étages basé sur deux cellules de puissance reconfigurables.

Le PA est ensuite testé avec un signal modulé 16-QAM de 5 MHz de largeur de bande. La puissance moyenne d'émission est de 25 dBm. L'ACLR est représenté sur la figure 2.46. La réjection dans les canaux adjacents est inférieure à -30 dBc.

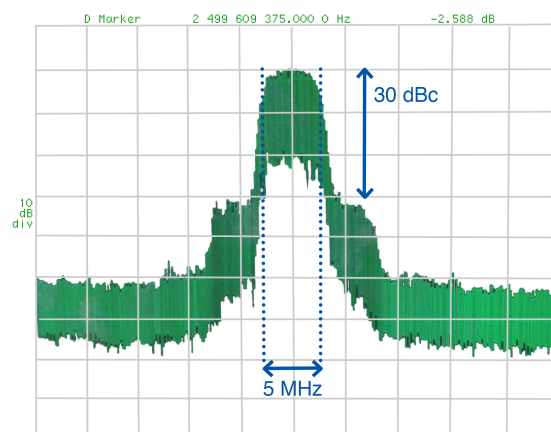


Figure 2.46 – Mesures signaux modulés : spectre de sortie.

La figure 2.47 montre la constellation générée. L'EVM est de 4,7 % à 25 dBm de puissance moyenne d'émission, ce qui est conforme aux valeurs imposées par le standard (12,5 % pour un signal 16-QAM).

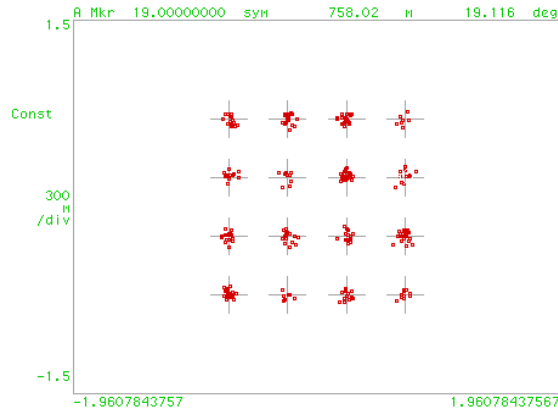


Figure 2.47 – Mesures signaux modulés : constellation de sortie.

2.5.3 Comparaison à l'état de l'art

Les performances du PA à deux étages sont comparées à celles de PA équivalents dans le tableau 2.3. Dans ce travail, les réseaux d'adaptation d'impédance sont réalisés sur PCB, notamment pour pallier aux faibles facteurs de qualité des éléments passifs intégrés. Les procédés de fabrication Silicon-On-Insulator (SOI) peuvent aussi être utilisés pour atteindre des niveaux élevés de PAE ($> 40\%$) mais délivrent moins de puissance de sortie et sont plus chers [FR15]. Ce PA délivre 30,2 dBm de puissance de sortie avec une simple structure différentielle, alors que les solutions complètement intégrées doivent implémenter des combineurs de puissance [KYK⁺11], [CHD⁺09]. La cellule proposée permet une amélioration de la PAE à 8 dB de recul en puissance, alors que la référence [KYK⁺11] requiert des interrupteurs avec une grande tenue en puissance. Finalement, des PA avec réseaux d'adaptation sur PCB comme [PJP⁺10] et [JJH17] atteignent des performances équivalentes aux fréquences de 1,9 et 2 GHz respectivement.

Référence	Fréquence (GHz)	P_{SAT} (dBm)	PAE max. (%)	Gain (dB)	Approche	Technologie	Tension d'alim. (V)
MTT-T 2015 [FR15]	2,5	28,1	46,8	11	Piège harmonique Tout intégré	180-nm SOI	2,5
JSSC 2011 [KYK ⁺ 11]	2,5	31	34,8	31,3	Transistor redimensionnable DAT, Tout intégré	180-nm	3,3
MTT-T 2012 [YKK ⁺ 12]	2,4	23,2	40	24	Réseau d'adaptation ajustable Tout intégré	180-nm	3,3
JSSC 2009 [CHD ⁺ 09]	2,4	30,1	33	28	Combinaison par transformateur Tout intégré	90-nm	3,3
MTT-T 2010 [PJP ⁺ 10]	1,9	32,4	47	13,2	Stacked-FET Réseaux d'adaptation sur PCB	130-nm SOI	6,5
MWCL 2017 [JJH17]	2	28,5	50	16,5	Transformateur sur PCB	180-nm	3,3
Ce travail	2,5	30,2	54	21,8	Transistor MASMOS Réseaux d'adaptation sur PCB	180-nm	3,5

Tableau 2.3 – Comparaison des performances de PA CMOS.

2.5.4 Perspectives

Plusieurs perspectives d'évolution pour ce PA sont identifiées. Le PA à deux étages pourrait être implémenté sur un seul PCB avec optimisation de l'adaptation inter-étage (co-design, figure 2.48).

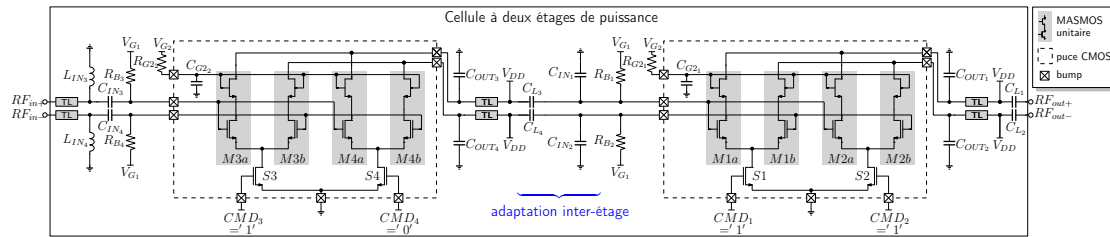


Figure 2.48 – PA co-design avec optimisation de l'inter-étage.

Ensuite, il serait possible de changer le mode de fonctionnement de l'étage de puissance (figure 2.49).

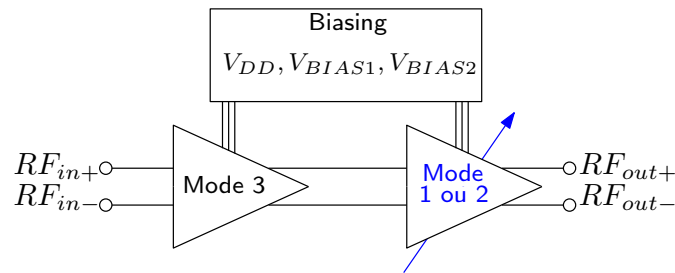


Figure 2.49 – PA reconfigurable basé sur l'architecture actuelle.

Finalement, les résultats obtenus sur ce PA sont favorables pour le développement d'un circuit complètement intégré en CMOS qui fait l'objet du chapitre suivant.

2.6 Conclusion du chapitre

Les cellules de puissance MASMOS présentées sont fabriquées en technologie CMOS. Les caractérisations RF en régimes linéaire et non-linéaire sont conformes aux résultats simulés avec notamment de très bonnes performances en puissance et en rendement. La correction d'impédance au nœud commun par l'ajout d'une inductance dans la cellule MASMOS permet d'améliorer le gain.

La cellule reconfigurable montre qu'une commande discrète du transistor permet d'ajuster la consommation en fonction de la puissance de sortie requise. Cette technique permet de diminuer significativement la consommation du PA au repos.

Cette cellule reconfigurable permet aussi une utilisation innovante de la cellule amplificatrice. En effet, placée dans l'étage driver, elle est configurée dans un mode faible consommation en garantissant un niveau suffisant de gain et de puissance de sortie pour attaquer l'étage de puissance. Elle permet donc d'augmenter le gain de la structure à deux étages sans dégrader les performances globales du PA. Cette approche qui consiste à utiliser une même cellule dans deux modes différents de fonctionnement selon leur position dans la chaîne d'émission facilite la conception et permet de réduire drastiquement le temps de développement d'un PA à plusieurs étages.

La suite de cette partie des travaux consistera à développer une solution de PA MASMOS totalement intégrée en technologie CMOS.

Chapitre 3

Amplificateur de puissance MASMOS tout intégré

3.1	Objectifs	81
3.2	Architecture du PA	82
3.3	Transformateurs intégrés et combinaison de puissance par DAT	84
3.3.1	Adaptation d'impédance par transformateur	84
3.3.2	Analyse des mécanismes de pertes	88
3.3.3	Combinaison de puissance par DAT	89
3.4	Conception du DAT TRF1	91
3.4.1	Choix de la topologie	91
3.4.2	Inductance propre d'un conducteur et attribution des métaux	92
3.4.3	Induction mutuelle entre conducteurs	94
3.4.4	Résistance d'un conducteur	95
3.4.5	Taille optimale d'enroulement	95
3.4.6	Dimensionnement du DAT	97
3.5	Étage de puissance	99
3.6	Splitter inter-étage	100
3.7	Étage d'entrée	102
3.8	Étude de la stabilité	104
3.8.1	Étude linéaire	104
3.8.2	Étude non-linéaire	104
3.8.3	Techniques de stabilisation	106
3.9	Résultats de simulation post-layout	107
3.9.1	Fonctionnement petits-signaux	108
3.9.2	Fonctionnement grands-signaux	108
3.9.3	Influence du processus fabrication	111
3.9.4	Comparaison à l'état de l'art	113
3.10	Fabrication	114
3.11	Mesures	117
3.12	Conclusion du chapitre	119

Ce chapitre est consacré à la réalisation du premier PA tout intégré basé sur le transistor MASMOS. L'architecture du PA est présentée dans la première partie. Le circuit est basé sur les transistors développées précédemment et sur des transformateurs. La deuxième partie présente donc le fonctionnement des transformateurs intégrés, utilisés pour effectuer la transformation d'impédance ainsi que la combinaison de puissance.

La partie suivante présente une méthode de conception pour les transformateurs. La conception de chaque étage du PA est ensuite présentée, jusqu'au résultats de simulation post-layout et de mesures.

3.1 Objectifs

L'objectif du circuit développé est de mettre en œuvre le transistor MASMOS dans une architecture de PA réalisée entièrement en CMOS. Les architectures avancées présentées en partie 1.3.6 sont basées sur plusieurs cellules de puissance fonctionnant en parallèle. L'architecture Doherty peut être utilisée pour améliorer la linéarité du PA avec une structure compacte en remplaçant les lignes quart-d'onde par un transformateur [KR15]. Les transformateurs intégrés constituent aussi des réseaux d'adaptation d'impédance compacts et à faible pertes, et peuvent être utilisés comme combineur de puissance afin d'augmenter la puissance de sortie. La bande de fréquence visée est située dans les bandes les plus hautes utilisées par le standard LTE : de 2,3 à 2,7 GHz, avec notamment la bande 7 (2,5 - 2,570 GHz). Le PA doit être reconfigurable pour adresser les différents besoins imposés par le LTE : puissance de sortie, linéarité et faible consommation. Les spécifications visées sont synthétisées dans le tableau 3.1.

Fréquences	
Fréquence centrale	2,5 GHz
Bande passante	400 MHz
Spécifications minimales (linéaire)	
P_{SAT}	30 dBm
PAE	30 %
Gain	20 dB
Spécifications minimales (modulé)	
ACLR	-30 dBc
EVM	8 % (64-QAM)

Tableau 3.1 – Spécifications visées pour le PA LTE intégré.

3.2 Architecture du PA

L'architecture du PA proposé (figure 3.1) est basé sur deux cellules reconfigurables présentées dans la partie 2.4. La puissance de chaque cellule est combinée par le DAT $TRF1$, qui effectue aussi l'adaptation d'impédance en sortie. L'adaptation inter-étage est réalisée par le diviseur de puissance $TRF2$ et deux inductances additionnelles L_1 et L_2 . L'étage driver est basé sur un transistor MASMOS. L'adaptation d'impédance à l'entrée est assurée par le transformateur $TRF3$, avec une capacité d'ajustement C_1 . L'utilisation de transformateurs comme réseaux d'adaptation d'impédance permet de garder une structure compacte. Les points milieux des transformateurs sont utilisés pour polariser les transistors.

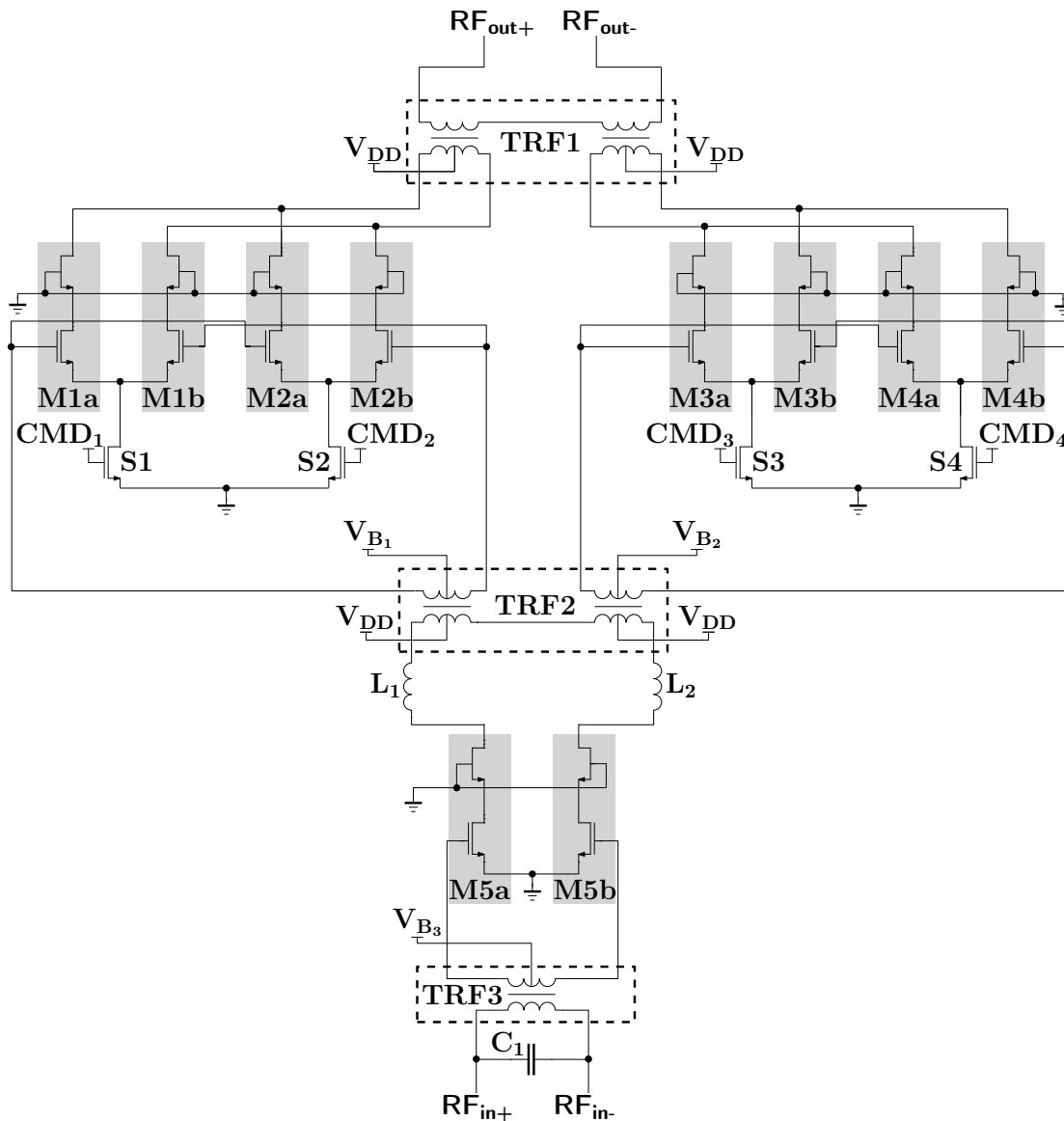


Figure 3.1 – Architecture du PA reconfigurable intégré.

Le PA peut être reconfiguré de plusieurs façons. Chaque étage de puissance étant basé sur l'architecture reconfigurable, une reconfiguration numérique par les signaux $CMD1$ à $CMD4$ permet de réduire la consommation, sans déséquilibrer la symétrie du circuit [KFR13],[PH11]. De plus, chaque étage de puissance est polarisé indépendamment par les tensions $V_{B,1}$ et $V_{B,2}$, et peut donc travailler dans une classe différente. Par exemple, M_1 et M_2 sont en classe AB alors que M_3 et M_4 sont en classe C. Ainsi, la compression de gain du classe AB est compensée par l'expansion du classe C, ce qui permet de repousser la compression tout en réduisant la consommation statique. Trois modes d'opération sont définis dans le tableau 3.2.

Mode	Description	Type de reconfiguration
		Numérique
Mode 1	Haute performance	$CMD_1 = CMD_3 = '1'$ $CMD_2 = CMD_4 = '1'$
		Numérique
Mode 2	Faible consommations	$CMD_1 = CMD_3 = '1'$ $CMD_2 = CMD_4 = '0'$
		Analogique
Mode 3	Haute linéarité	$V_{B,1}$ pour classe AB $V_{B,2}$ pour classe C

Tableau 3.2 – Modes de fonctionnement proposés pour le PA reconfigurable intégré.

3.3 Transformateurs intégrés et combinaison de puissance par DAT

Cette partie détaille le fonctionnement d'un transformateur comme réseau d'adaptation d'impédance. Une analyse permet le calcul du rendement maximal et de la fréquence optimale de fonctionnement en fonction des paramètres électriques. Puis le fonctionnement du DAT en combineur de puissance est présenté, avec l'état de l'art des DAT aux fréquences RF.

3.3.1 Adaptation d'impédance par transformateur

Un transformateur élémentaire est représenté sur la figure 3.2. Il existe un couplage magnétique entre les enroulements dont la valeur k est comprise entre 0 (couplage nul) et 1 (couplage idéal).

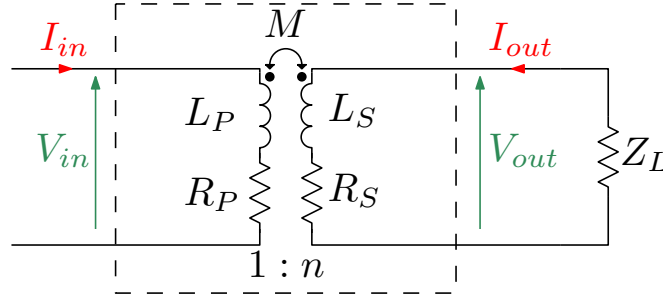


Figure 3.2 – Schéma équivalent d'un transformateur élémentaire non-idéal.

Le transformateur peut être représenté sous la forme d'une matrice impédance (équation. 3.1).

$$\begin{bmatrix} V_{in} \\ V_{out} \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_{in} \\ I_{out} \end{bmatrix} \quad (3.1)$$

Les éléments correspondants sont déterminés dans l'équation 3.2. Le transformateur est un élément passif réciproque, soit $Z_{21} = Z_{12}$.

$$\begin{bmatrix} V_{in} \\ V_{out} \end{bmatrix} = \begin{bmatrix} R_P + j\omega L_P & j\omega M \\ j\omega M & R_S + j\omega L_S \end{bmatrix} \begin{bmatrix} I_{in} \\ I_{out} \end{bmatrix} \quad (3.2)$$

avec :

- L_P et L_S les inductances des enroulements primaires et secondaires respectivement,
- R_P et R_S les résistances séries modélisant les pertes des enroulements primaires et secondaires respectivement,
- Q_P et Q_S les facteurs de qualité des enroulements primaires et secondaires respectivement,
- M la mutuelle inductance entre l'enroulement primaire et l'enroulement secondaire,
- n le rapport de transformation.

Les paramètres électriques du transformateur peuvent alors être exprimés d'après les équations 3.1 et 3.2 :

$$Q_P = \frac{Im(Z_{11})}{Re(Z_{11})} = \frac{\omega L_P}{R_P} \quad (3.3)$$

$$Q_S = \frac{Im(Z_{22})}{Re(Z_{22})} = \frac{\omega L_S}{R_S} \quad (3.4)$$

$$M = \frac{Im(Z_{21})}{\omega} \quad (3.5)$$

$$k = \sqrt{\frac{M^2}{L_p L_s}} \quad (3.6)$$

$$n = \sqrt{\frac{L_s}{L_p}} = \frac{I_{in}}{I_{out}} = \frac{V_{out}}{V_{in}} \quad (3.7)$$

Adaptation d'impédance

L'impédance d'entrée du transformateur Z_{in} est l'impédance de charge présentée au PA. D'après l'équation 3.1,

$$Z_{in} = \frac{V_{in}}{I_{in}} = Z_{11} + Z_{12} \frac{I_{out}}{I_{in}} \quad (3.8)$$

avec

$$I_{out} = \frac{-Z_{21}}{Z_{22} + Z_L} I_{in} \quad (3.9)$$

soit

$$Z_{in} = Z_{11} - \frac{Z_{12}Z_{21}}{Z_{22} + Z_L} = R_p + j\omega L_p + \frac{(\omega M)^2}{R_S + j\omega L_S + Z_L} \quad (3.10)$$

L'adaptation d'impédance au secondaire (transfert de puissance du transformateur à la charge) est obtenue en dimensionnant L_S tel que :

$$Im(Z_L) = -Im(Z_{22}) \quad (3.11)$$

Rendement

Il est aussi possible de calculer les puissances en jeu :

$$P_{in} = \frac{1}{2} Re(V_{in} I_{in}^*) = \frac{1}{2} Re((Z_{11} I_{in} + Z_{12} I_{out}) I_{in}^*) \quad (3.12)$$

$$= \frac{1}{2} Re\left(I_{in} I_{in}^* + Z_{12} \frac{-Z_{21}}{Z_{22} + Z_L}\right) \quad (3.13)$$

$$= \frac{1}{2} |I_{in}|^2 Re\left(Z_{11} - \frac{Z_{21}^2}{Z_{22} + Z_L}\right) \quad (3.14)$$

Et

$$P_{out} = \frac{1}{2} \operatorname{Re}(V_{out} I_{out}^*) = \frac{1}{2} \operatorname{Re}(Z_L I_{out} I_{out}^*) \quad (3.15)$$

$$= \frac{1}{2} \operatorname{Re} \left(Z_L \left| \frac{-Z_{21} I_{in}}{Z_{22} + Z_L} \right|^2 \right) \quad (3.16)$$

$$= \frac{1}{2} |I_{in}|^2 \operatorname{Re} \left(Z_L \left| \frac{-Z_{21} I_{in}}{Z_{22} + Z_L} \right|^2 \right) \quad (3.17)$$

Si l'équation 3.11 est respectée, Z_{22} et Z_L sont réels. Les équations 3.14 et 3.17 deviennent :

$$P_{in} = \frac{1}{2} |I_{in}|^2 \left(\operatorname{Re}(Z_{11}) - \frac{Z_{21}^2}{\operatorname{Re}(Z_{22}) + \operatorname{Re}(Z_L)} \right) \quad (3.18)$$

$$P_{out} = \frac{1}{2} |I_{in}|^2 \left(\frac{Z_{21}}{\operatorname{Re}(Z_{22}) + \operatorname{Re}(Z_L)} \right)^2 \operatorname{Re}(Z_L) \quad (3.19)$$

Le rendement du transformateur est alors déduit des équations 3.18 et 3.19 :

$$\eta = \frac{P_{out}}{P_{in}} = \frac{Z_{21}^2 \operatorname{Re}(Z_L)}{(\operatorname{Re}(Z_L) + \operatorname{Re}(Z_{22})) (Z_{21}^2 + \operatorname{Re}(Z_{11})(\operatorname{Re}(Z_{22}) + \operatorname{Re}(Z_L)))} \quad (3.20)$$

Résistance de charge optimale

La résistance de charge optimale du transformateur $\operatorname{Re}(Z_L)$ est définie pour optimiser son rendement :

$$\exists \operatorname{Re}(Z_L) > 0 \text{ tel que } \frac{\partial \eta}{\partial \operatorname{Re}(Z_L)} = 0 \quad (3.21)$$

Les solutions de l'équation 3.21 sont :

$$\operatorname{Re}(Z_L) = \pm \frac{1}{\operatorname{Re}(Z_{11})} \sqrt{\operatorname{Re}(Z_{11}) \operatorname{Re}(Z_{22}) ((Z_{21})^2 + \operatorname{Re}(Z_{11}) \operatorname{Re}(Z_{22}))} \quad (3.22)$$

La solution positive de l'équation 3.22 est notée $Z_{L,opt}$ et exprimée à partir des équations 3.3 à 3.7 :

$$Z_{L,opt}^2 = \frac{1}{\operatorname{Re}(Z_{11})^2} \left(\frac{Q_P}{\omega L_P} \right)^2 \left(\frac{\omega L_P \omega L_S}{Q_P Q_S} \left((\omega M)^2 + \frac{\omega L_P \omega L_S}{Q_P Q_S} \right) \right) \quad (3.23)$$

$$= \frac{Q_P \omega L_S}{\omega L_P Q_S} \left((\omega M)^2 + \frac{\omega L_P \omega L_S}{Q_P Q_S} \right) \quad (3.24)$$

$$= n^2 \frac{Q_P}{Q_S} \left(\omega^2 L_P L_S \left(k^2 + \frac{1}{Q_P Q_S} \right) \right) \quad (3.25)$$

$$= n^2 \omega^2 L_P L_S \left(\frac{Q_P}{Q_S} k^2 + \frac{1}{Q_P Q_S} \right) \quad (3.26)$$

$$= n^4 \omega^2 L_P^2 \left(\frac{Q_P}{Q_S} k^2 + \frac{1}{Q_P Q_S} \right) \quad (3.27)$$

soit

$$Z_{L,opt} = n^2 \omega L_P \sqrt{\frac{1}{Q_S^2} + \frac{Q_P}{Q_S} k^2} \quad (3.28)$$

Rendement maximum et fréquence de résonance

Le rendement maximum du transformateur η_{max} est calculé à partir des équations 3.20 et 3.28 :

$$\eta_{max} = \eta(Z_{L,opt}) = \frac{1}{1 + 2\sqrt{\left(1 + \frac{1}{Q_P Q_S k^2}\right) \frac{1}{Q_P Q_S k^2} + \frac{2}{Q_P Q_S k^2}}} \quad (3.29)$$

qui est atteint à une fréquence de résonance f_{pk} définie dans [LC95] telle que :

$$f_{pk} = \frac{Re(Z_L) + R_S}{2\pi L_P \sqrt{(1 - k^2)}} \quad (3.30)$$

L'équation 3.29 montre que le réseau d'adaptation d'impédance formé par le transformateur introduit des pertes minimales pour $k = 1$ et dépend des facteurs de qualité de chaque enroulement Q_P et Q_S . La figure 3.3a montre qu'une efficacité supérieure à 90 % est difficilement obtenue pour un k faible (0,5), alors qu'un k de 0,8 permet d'obtenir un bon rendement même avec de faibles coefficients de qualité (figure 3.3b). Il est aussi important de noter que le rendement η est indépendant du rapport de transformation n : contrairement aux réseaux d'adaptation basés sur des éléments LC, les pertes d'un réseau d'adaptation par transformateur sont indépendantes du rapport de transformation d'impédance.

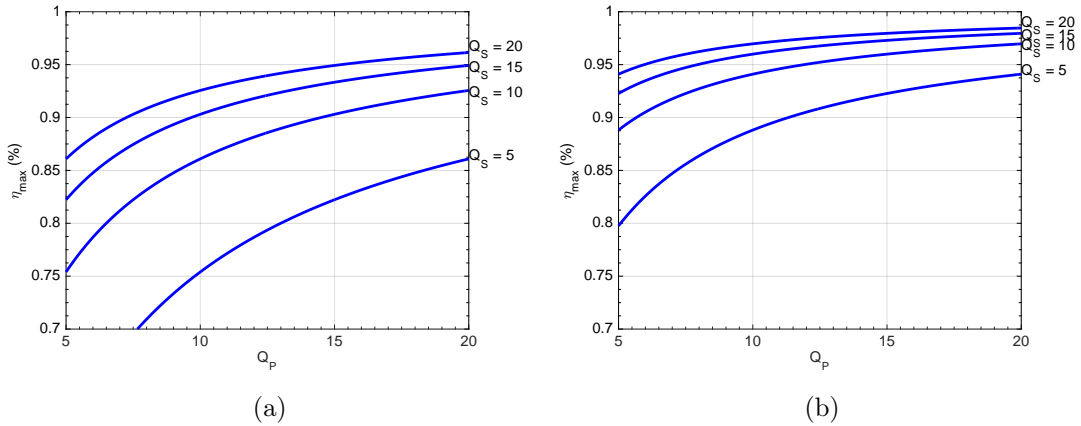


Figure 3.3 – η_{max} en fonction du coefficient de qualité de l'enroulement primaire Q_P pour différents Q_S et un coefficient de couplage a) $k = 0.5$ et b) $k = 0.8$.

3.3.2 Analyse des mécanismes de pertes

La faible distance métal - substrat ainsi que la faible épaisseur des niveaux de métaux compliquent la réalisation du transformateur : en plus de pertes ohmiques dues à l'effet de peau, une distance au substrat réduite introduit des pertes supplémentaires par couplage. Le substrat Silicium utilisé pour la fabrication présente une résistivité faible et qui varie en fonction de la profondeur : environ $1 \Omega.cm$ en surface, puis $10 \Omega.cm$ à partir de $2-3 \mu m$ de profondeur. Cette faible résistivité est à l'origine de pertes supplémentaires pour les éléments passifs [REGD⁺94]. Un modèle d'inductance incluant les parasites liés au substrat est proposé dans [CL06]. Représenté sur la figure 3.4a, les parasites substrat sont constitués d'une capacité C_{ox} qui modélise le couplage électrique entre l'inductance et la surface du substrat, alors que les parasites à l'intérieur du substrat sont modélisés par des éléments différentiels (C_{si} et R_{si}) et de mode commun (C_{cm} et R_{cm}). La figure 3.4b illustre la création de courants de déplacements résultants du couplage capacitif entre le métal et le substrat ; ainsi que la création de courants de Foucault résultant du champ magnétique introduit dans le substrat.

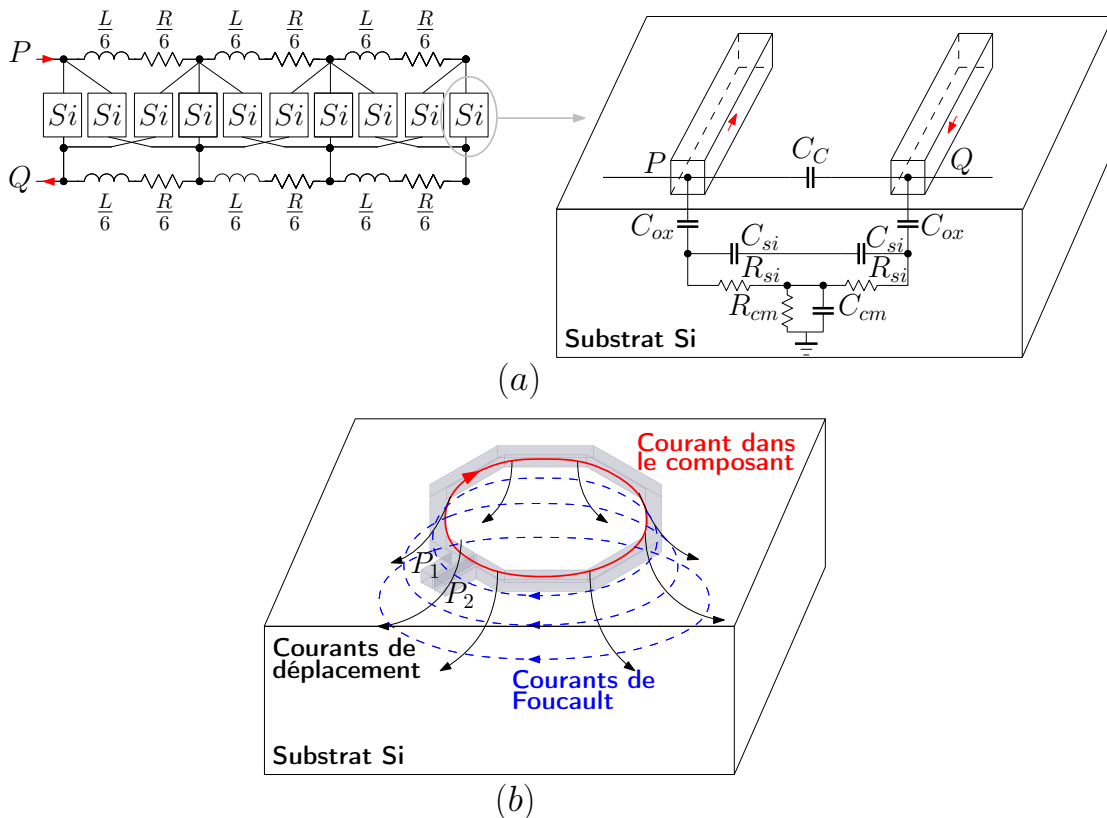


Figure 3.4 – Pertes et couplage au substrat d'un élément inductif : a) modèle équivalent et b) formation de courants induits.

3.3.3 Combinaison de puissance par DAT

Un DAT est basé sur N transformateurs élémentaires. Dans la structure SCT, N enroulements secondaires sont câblés en série pour sommer les contributions en tensions de chaque PA (figure 3.5). La puissance de sortie est obtenue en sommant les contributions en tension de chaque transformateur élémentaire.

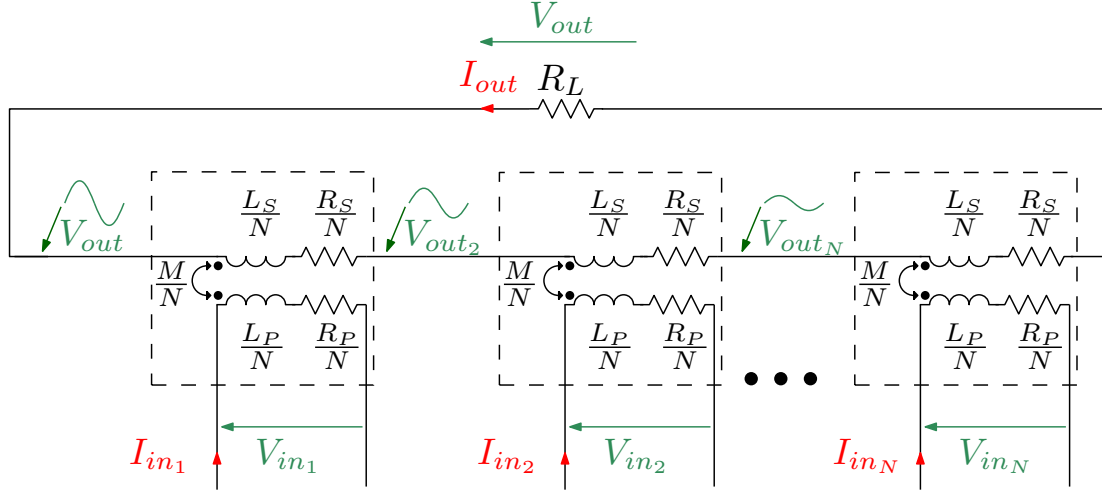


Figure 3.5 – Fonctionnement d’un DAT SCT à N voies.

Le fonctionnement d’un combineur SCT à N voies peut être représenté sous forme matricielle comme un transformateur à plusieurs enroulements primaires et un enroulement secondaire, tel que dans l’équation 3.31.

$$\begin{bmatrix} V_{in_1} \\ V_{in_2} \\ \vdots \\ V_{out} \end{bmatrix} = \begin{bmatrix} \frac{R_P + j\omega L_P}{N} & 0 & \cdots & \frac{j\omega M}{N} \\ 0 & \frac{R_P + j\omega L_P}{N} & \ddots & \frac{j\omega M}{N} \\ \vdots & \ddots & \ddots & \vdots \\ \frac{j\omega M}{N} & \frac{j\omega M}{N} & \cdots & R_S + j\omega L_S \end{bmatrix} \begin{bmatrix} I_{in_1} \\ I_{in_2} \\ \vdots \\ I_{out} \end{bmatrix} \quad (3.31)$$

L’impédance d’entrée d’une voie du DAT, présentée au PA, devient :

$$Z_{in,N} = \frac{1}{N^2} \left(R_p + j\omega L_p + \frac{(\omega M)^2}{R_S + j\omega L_S + Z_L} \right) \quad (3.32)$$

Différentes implémentations de DAT sont identifiées et comparées dans le tableau 3.3. Le nombre de voies N est compris entre 2 et 4. Les DAT étudiés sont basés sur un couplage magnétique parallèle entre les enroulements primaires et secondaires. Le DAT PCT proposé dans [KYK⁺11] présente des pertes inférieures à 1 dB, mais les pertes introduites sont généralement de 1,3 dB. Aux fréquences considérées, la surface occupée

par le DAT représente une part importante du circuit. Pour optimiser l'espace occupé par le combineur, la référence [FR12] intègre de l'actif au centre du DAT. Cela limite la surface perdue mais augmente considérablement les risques de couplage magnétique indésirable.

	Electronics Letters 2006 [1]	JSSC 2011 [2]	JSSC 2009 [3]	MTT-T 2012 [4]
Topologie	PCT	8-shaped	Dual-section	Clover-shaped
Processus de fabrication	180 nm 1P6M	90 nm CMOS	90 nm CMOS	90 nm CMOS
Pertes (dB)	0.85 dB @ 2.4 GHz	1.35 dB @ 2.4 GHz	1.25 dB @ 2.4 GHz	1.27 dB @ 900 MHz
Efficacité (%)	82 %	73 %	75 %	74.6 %
Taille (mm ²)	0.6	0.1	0.22	3.33

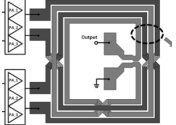
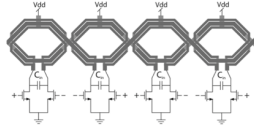
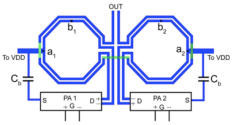
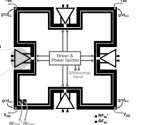
Photo				
-------	---	---	--	---

Tableau 3.3 – Comparaison de DAT.

3.4 Conception du DAT TRF1

Cette partie présente une méthode de conception et d'optimisation de transformateurs intégrés. Ce processus est généralement basé sur une approche itérative de simulations EM qui peut se révéler fastidieux et inefficace. Un algorithme est donc développé afin d'obtenir un pré-dimensionnement du transformateur qui permet d'estimer sa taille optimale ainsi que les pertes introduites, avant de passer à des simulations.

3.4.1 Choix de la topologie

La topologie optimale de DAT est définie avec le back-end of line (BEOL) qui sera utilisé. Le BEOL du procédé de fabrication disponible possède quatre niveaux de métaux dont un métal épais (M4). La topologie de [KYK⁺11] présente des pertes de 1,25 dB et l'inconvénient de ne pas présenter de point froid pour l'alimentation. Les topologies à anneaux de [HLN06] et [CHD⁺09] présentent des pertes d'environ 1,45 dB en raison de la taille importante des enroulements. Finalement, la topologie de [FR12] qui repose sur deux anneaux couplés apparaît comme la plus simple à dimensionner et la plus efficace. À surface égale, ce type de DAT présente 1,3 dB de pertes avec un couplage planaire (figure 3.6a) et seulement 1,2 dB pour un couplage vertical (figure 3.6b). Une topologie à deux enroulements primaires ($N = 2$) avec un couplage vertical apparaît comme simple et avec de faibles pertes.

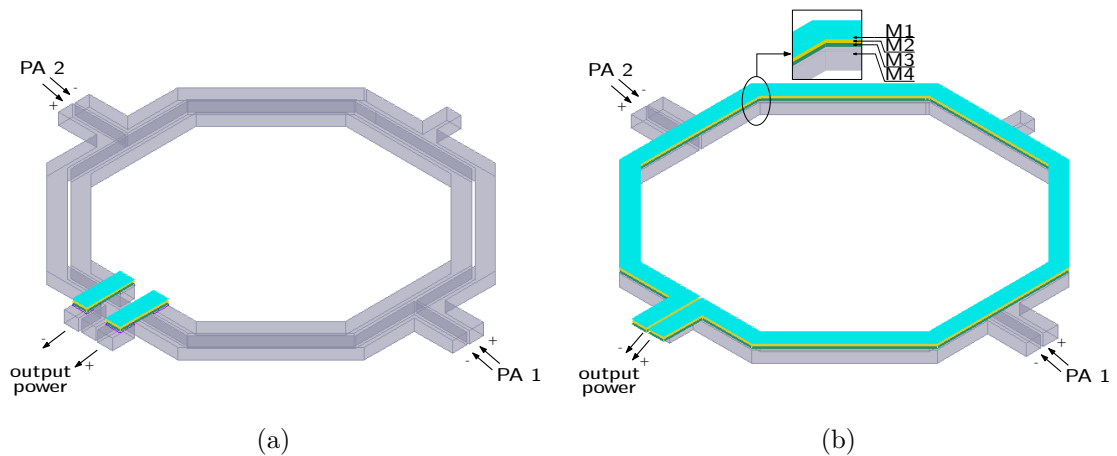


Figure 3.6 – Vue de dessous de DAT octogonaux avec couplage magnétique a) planaire b) vertical.

Une fois que la topologie optimale est définie, les différents niveaux de métaux sont attribués à la constitution de chaque enroulement afin d'effectuer l'adaptation d'impédance en limitant les pertes.

3.4.2 Inductance propre d'un conducteur et attribution des métaux

L'inductance propre d'un conducteur métallique rectangulaire L est dérivée de [Gro46] en fonction de sa géométrie : la longueur l , la largeur W et l'épaisseur t , comme illustré sur la figure 3.9.

$$Ind(l, W, t) = \frac{0,42\mu_0 l}{\pi} \left(\ln \left(\frac{2l}{GMD(W, t)} \right) + \left(\frac{GMD(W, t)}{l} - 1 \right) \right) \quad (3.33)$$

avec

$$GMD = 0,2235(W + t) \quad (3.34)$$

L'équation 3.33 montre qu'un conducteur plus épais présente une inductance plus faible qu'un conducteur fin. Or d'après l'équation 3.7, un transformateur est abaisseur d'impédance si $n > 1$, soit $L_P < L_S$. De plus, l'enroulement primaire devant supporter le courant d'alimentation en plus du signal RF, il convient de choisir un métal suffisamment épais au primaire afin de respecter les règles d'électro-migration. Pour ces deux raisons, l'enroulement primaire sera formé d'un barreau de M4 d'une largeur comprise entre 20 μm (largeur minimale pour respecter les règles de densité de courant) et 30 μm (largeur maximale autorisée par le DRM).

La figure 3.7 montre la valeur de l'inductance obtenue pour différents enroulements de taille identique. Les enroulements à un seul tour présentent une inductance sensiblement identique de 1,5 nH. Il est possible d'obtenir des inductances supérieures à 6 nH en augmentant le nombre de tours, au détriment du coefficient de qualité.

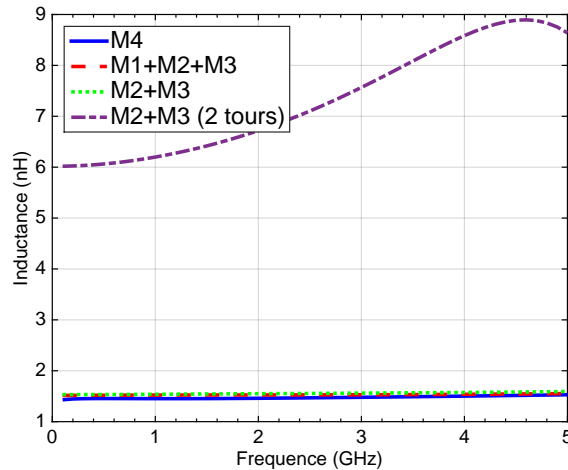


Figure 3.7 – Comparaison de différents enroulements sur la valeur d'inductance.

Le coefficient de qualité obtenu pour ces différents enroulements est représenté sur la figure 3.8. Le coefficient de qualité d'un enroulement en M4 est le plus élevé car le moins résistif. Il est intéressant d'observer que le coefficient de qualité d'un enroulement formé des métaux 1 à 3 est sensiblement identique à celui d'un enroulement formé des métaux 2 et 3. Ainsi, si les règles d'électro-migration sont satisfaites avec les métaux 2 et 3 uniquement, il est possible d'utiliser le métal 1 pour isoler le transformateur d'un couplage au substrat et donc limiter les pertes (blindage, [CL06]).

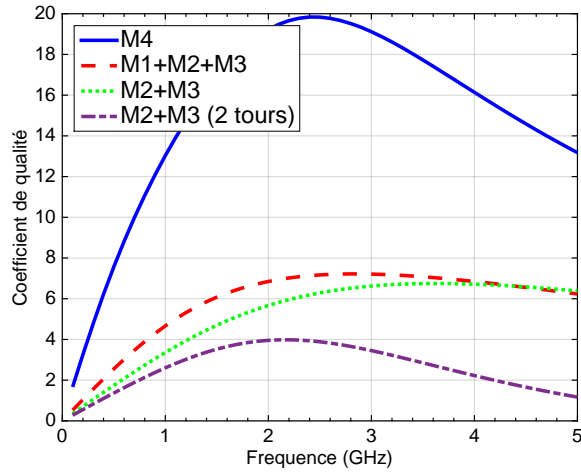


Figure 3.8 – Comparaison de différents enroulements sur la valeur du coefficient de qualité.

Le choix d’attribution des métaux est résumé dans le tableau 3.4. La figure 3.9 montre la constitution des enroulements. Le primaire est constitué d’un tour noté N_P . L’enroulement secondaire est formé de deux tours notés $N_{S,1}$ et $N_{S,2}$. La largeur de piste est réduite pour ne pas détériorer le coefficient de couplage avec le primaire. Le blindage est constitué de barreaux de métal de $2\ \mu\text{m}$ de largeur et espacés de $1\ \mu\text{m}$. Ils ne sont connectés à aucun potentiel (métal flottant). Les barreaux sont disposés dans le sens de circulation du courant mais ne forment pas une boucle fermée ce qui empêche la formation de courants induits.

Métal	Attribution	Nb. de tours
M4	Primaire	$\frac{1}{2}$ tour
M3	Secondaire	2 tours
M2	Secondaire	2 tours
M1	Blindage	/

Tableau 3.4 – Attribution des métaux pour le DAT.

A présent que les enroulements sont constitués, les paramètres électriques peuvent être déduits des paramètres géométriques (largeur et longueur) pour fixer la taille optimale des enroulements.

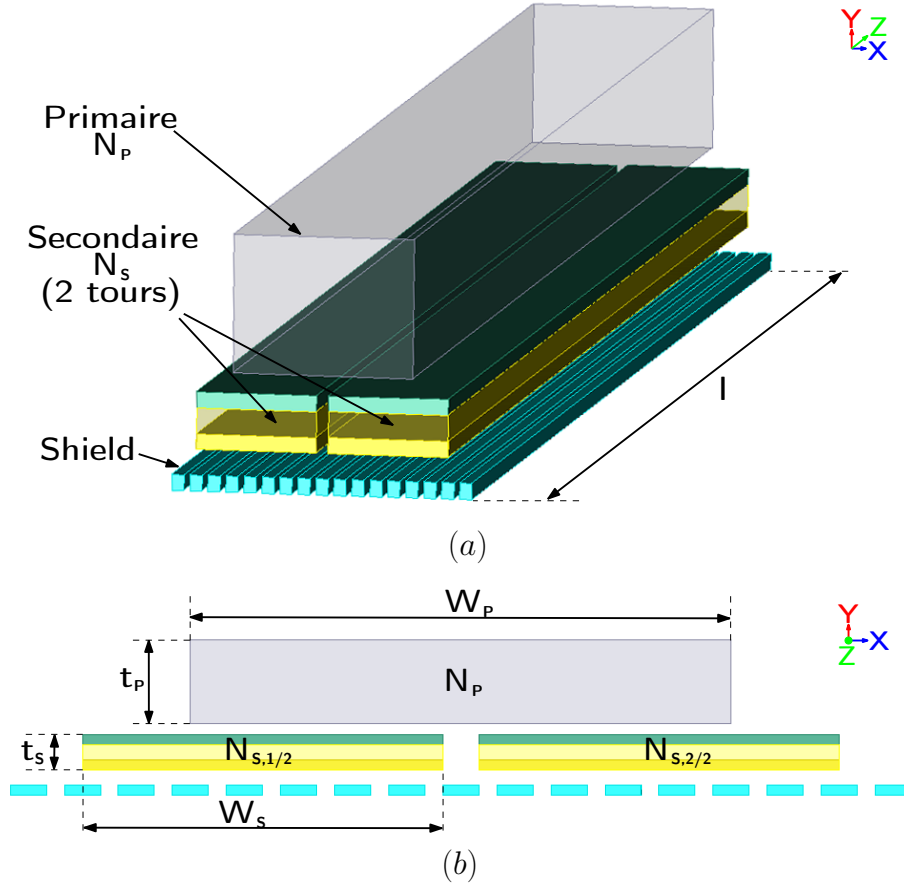


Figure 3.9 – Vue (a) isométrique et (b) de face des enroulements

3.4.3 Induction mutuelle entre conducteurs

L'induction mutuelle qui existe entre deux conducteurs rectangulaires P et Q est notée $Mut(P \leftrightarrow Q)$ et calculée pour d'après la méthode proposée dans [UBMP08]. Illustrée sur la figure 3.10, cette méthode est choisie car elle permet de calculer la mutuelle entre deux conducteurs non alignés, ce qui est le cas de l'enroulement secondaire par rapport au primaire. Dans un transformateur, l'inductance mutuelle entre l'enroulement primaire et secondaire est à maximiser pour optimiser le coefficient de couplage k . Il existe aussi un couplage (self-induction) sur chaque enroulement dû au diamètre interne ainsi qu'au faible espacement entre chaque tour du secondaire.

$$Mut(P \leftrightarrow Q) = \frac{1}{4W_1t_1W_2t_2} \left[\sum_{i,j,k,l=0}^1 (-1)^{i+j+k+l} A_{ijkl}^2 L_{ijkl} \right] \quad (3.35)$$

$$A_{ijkl}^2 = (x(Q_{kl0}) - x(P_{ij0}))^2 (y(Q_{kl0}) - y(P_{ij0}))^2 \quad (3.36)$$

$$L_{ijkl} = Ind(l, |x(Q_{kl0}) - x(P_{ij0})|, |y(Q_{kl0}) - y(P_{ij0})|) \quad (3.37)$$

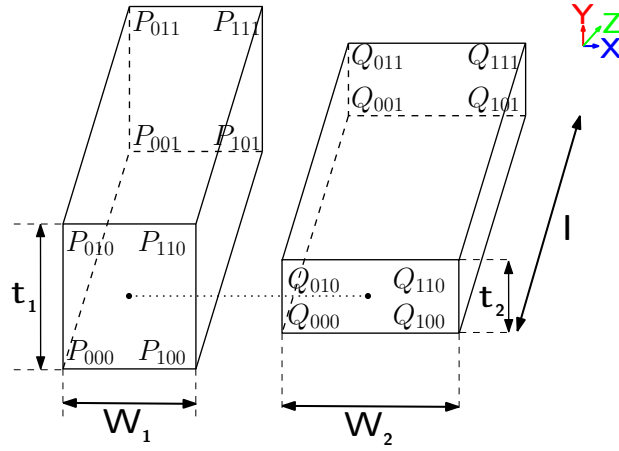


Figure 3.10 – Calcul de l'inductance mutuelle entre deux conducteurs rectangulaires.

3.4.4 Résistance d'un conducteur

La résistance d'un conducteur R est composée d'une partie R_{DC} qui dépend des dimensions et de la résistivité du matériau ρ_M , ainsi que d'une composante R_{AC} qui tient compte de la fréquence f par l'effet de peau δ [GKG97].

$$R = R_{DC} + R_{AC} \quad (3.38)$$

avec

$$R_{DC} = \frac{\rho_M l}{Wt} \quad (3.39)$$

$$R_{AC} = \frac{175 \cdot 10^3 \rho_M l}{\left(1 + \frac{t}{W}\right) \delta \left(1 - \exp\left(-\frac{t}{\delta}\right)\right)} \quad (3.40)$$

$$\delta = \sqrt{\frac{\rho_M}{\pi \mu_0 \mu_M f}} \quad (3.41)$$

3.4.5 Taille optimale d'enroulement

Les paramètres électriques du transformateur sont alors calculés pour différentes longueurs d'enroulements :

$$L_P = Ind(N_P) - Mut(N_P \leftrightarrow N_P) \quad (3.42)$$

$$L_S = Ind(N_{S,1}) + Ind(N_{S,2}) + Mut(N_{S,1} \leftrightarrow N_{S,2}) - Mut(N_{S,2} \leftrightarrow N_{S,2}) \quad (3.43)$$

$$M = Mut(N_P \leftrightarrow N_S, 1) + Mut(N_P \leftrightarrow N_{S,2}) \quad (3.44)$$

A partir des résultats des équations 3.42 à 3.44 sont déduits l'efficacité maximale η_{max} (équation 3.29) et la fréquence optimale de fonctionnement du transformateur f_{pk} (équation 3.30).

η_{max} est représenté sur la figure 3.11. L'écart entre la valeur théorique et la valeur simulée est inférieur à 10 %. Un transformateur de petite dimension avec des pistes larges présente une meilleur efficacité car les enroulements sont moins résistifs. Un rendement théorique de 90 % est atteignable pour un périmètre inférieur à 1,5 mm.

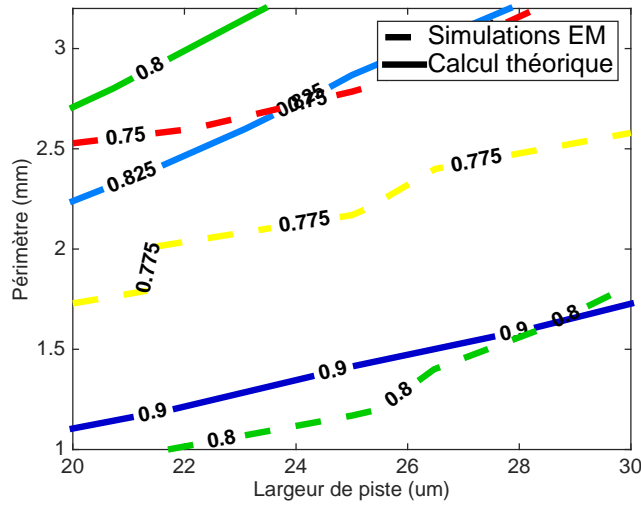


Figure 3.11 – Efficacité maximale η_{max} (%) en fonction des dimensions des pistes.

La figure 3.12 montre la f_{pk} calculée théoriquement et celle déterminée à l'aide de simulations EM. Le transformateur résonne à 2,5 GHz pour des enroulements de 2,3 mm de longueur.

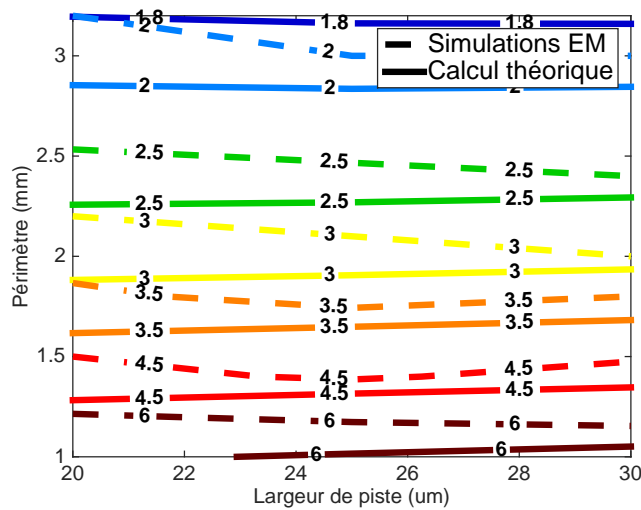


Figure 3.12 – Fréquence de résonance f_{pk} (GHz) en fonction des dimensions des pistes.

Ce pré-dimensionnement à partir du modèle théorique du transformateur montre un compromis entre la fréquence de résonance et le rendement maximum. Il permet de déduire un intervalle sur lequel effectuer des simulations EM pour fixer la taille finale des enroulements : longueur comprise entre 1,5 mm et 2,2 mm avec des largeurs de pistes maximales.

3.4.6 Dimensionnement du DAT

La dernière étape consiste à fixer les dimensions des enroulements à partir de simulations EM, pour minimiser les pertes et réaliser l'adaptation d'impédance. Plusieurs itérations sont simulées pour déterminer la largeur des pistes W et la longueur l . La figure 3.13 montre que des pertes de 1,1 dB sont obtenues pour des pistes de $30\ \mu\text{m}$ de large et un périmètre du DAT compris entre 1,4 et 1,9 mm. Le minimum de pertes est de 1,05 dB pour un périmètre de 1,68 mm. Cette dimension optimale déterminée par les simulations EM correspond bien à une valeur comprise entre les optimums déterminés de façon théorique.

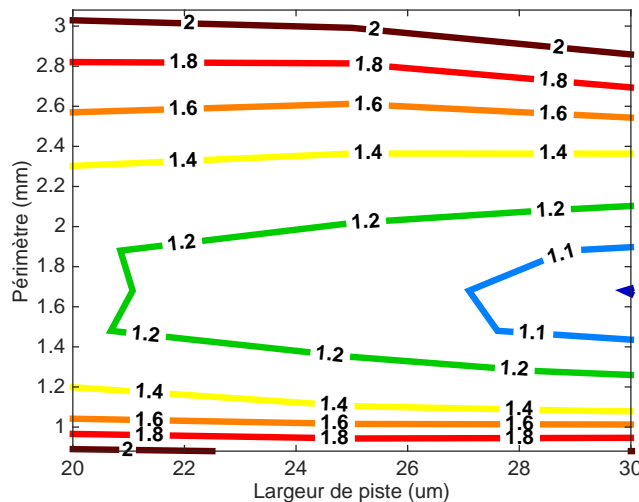


Figure 3.13 – Pertes du DAT à 2,5 GHz en fonction des dimensions des pistes.

Le dimensionnement régit aussi l'impédance ramenée aux primaires du DAT, Z_{in} . La figure 3.14 montre la variation du Z_{in} en fonction du périmètre du DAT. La largeur de piste influant peu, elle est fixée à $30\ \mu\text{m}$ pour minimiser les pertes. Une longueur de 2 mm permet de présenter une impédance proche du Z_{OPT} du transistor, $12 + j6\ \Omega$.

Le DAT finalement conçu est représenté sur la figure 3.15. Le périmètre est de 2 mm, ce qui correspond à un compromis entre les pertes du transformateur et l'impédance présentée au PA. La surface occupée est de $450 \times 800\ \mu\text{m}^2$ avec les pistes d'accès. L'utilisation de deux tours au secondaires permet de garder la structure compacte avec un rapport de transformation de 1 :3. Les points milieux des enroulements primaires sont utilisés pour alimenter les transistors.

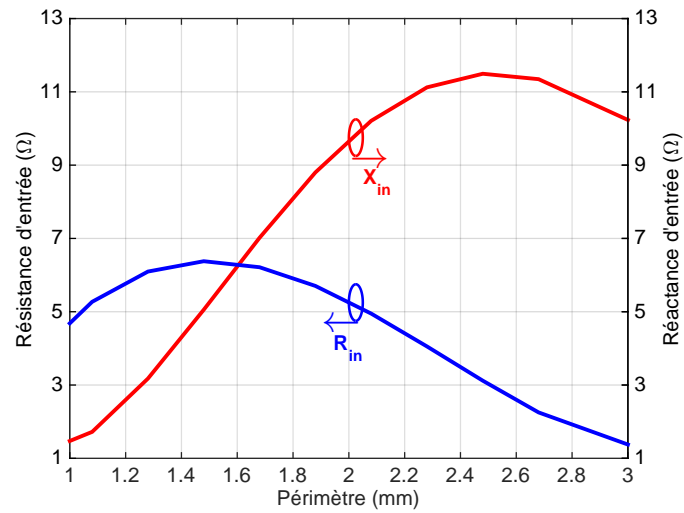


Figure 3.14 – Impédance d'entrée d'une voie du DAT en fonction du périmètre pour une largeur de $30 \mu\text{m}$.

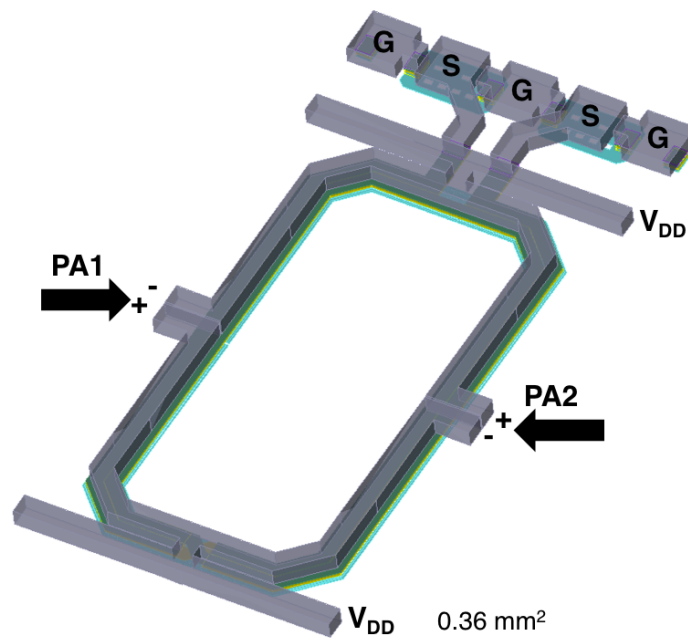


Figure 3.15 – Vue 3D du DAT *TRF1* avec les plots.

3.5 Étage de puissance

Les cellules de puissance utilisées sont basées sur le transistor reconfigurable de la partie 2.4. La grille du JFET est reliée directement à la masse, ce qui empêche de pincer le canal du NJFET. Cela modifie la répartition du V_{DD} entre M_1 et M_2 (figure 3.16), mais la puissance de sortie est augmentée de 0,4 dBm et la place occupée est réduite. L'impédance de charge présentée au drain du transistor est désormais fixée pour optimiser la puissance de sortie du PA. (figure 3.17). Enfin le routage des transistors est modifié pour s'adapter à une structure testée sous pointes. Tous les accès sont modélisés dans les simulations EM post-layout, y compris les chemins de retour du courant vers la masse.

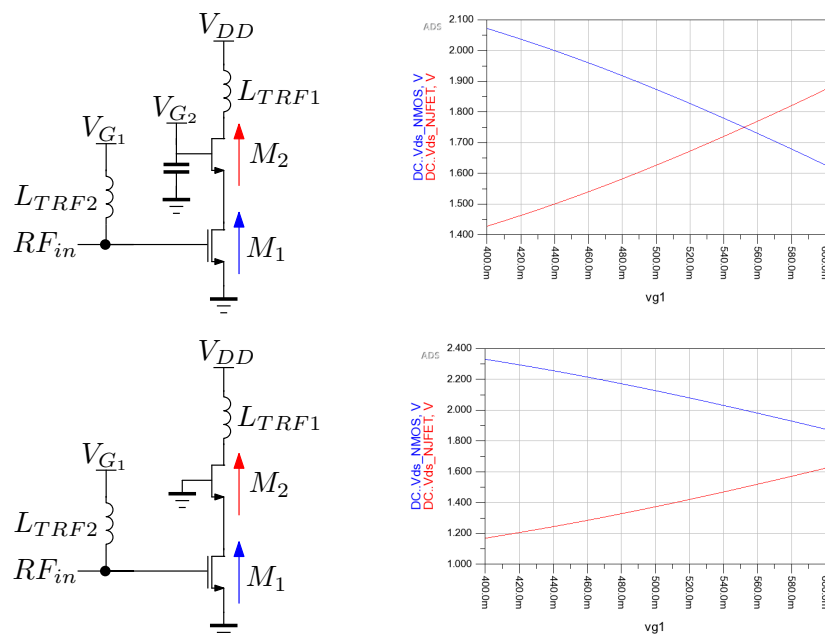


Figure 3.16 – Impact d'une polarisation de grille sur M_2 sur la répartition des tensions.

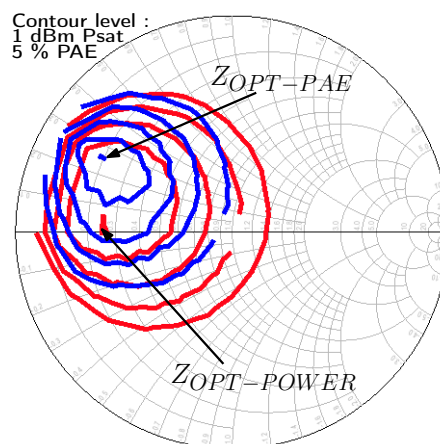


Figure 3.17 – Impédances de charge.

3.6 Splitter inter-étage

Le splitter *TRF2* situé entre l'étage driver et l'étage de puissance permet de répartir la puissance vers les deux cellules reconfigurables et effectue l'adaptation d'impédance entre l'entrée d'une cellule de puissance $Z_{IN-POWER}$ et l'impédance de sortie du driver $Z_{OUT-DRIVER}$. Le primaire est réalisé en M4 car il doit supporter le courant d'alimentation du driver. La dimension des enroulements est définie par une étude itérative. La taille du splitter est de $1200 \times 200 \mu\text{m}^2$.

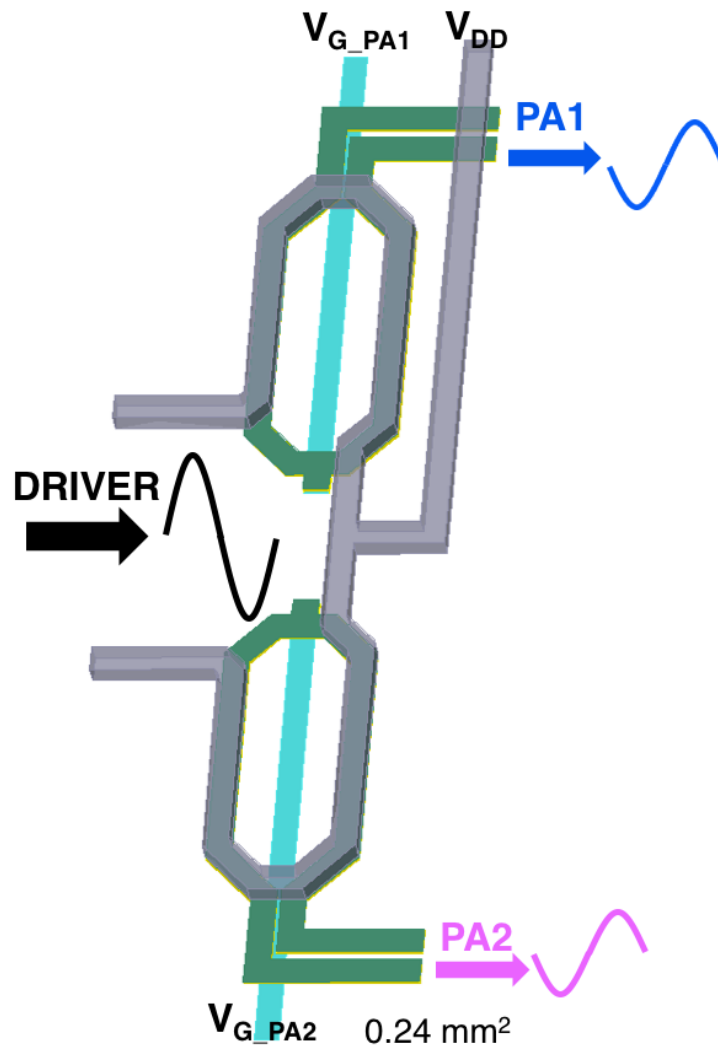


Figure 3.18 – Vue 3D du splitter inter-étage *TRF2*.

Le splitter étant parfaitement symétrique, la puissance délivrée à chaque cellule de puissance est identique et chaque voie est équilibrée (figure 3.19).

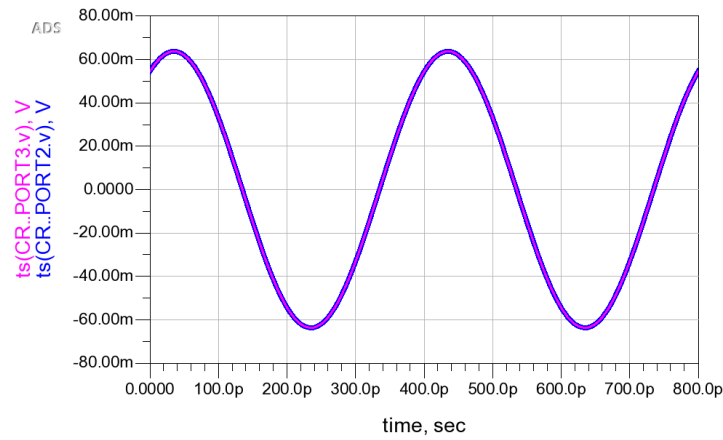


Figure 3.19 – Formes d’ondes simulées en sortie de $TRF2$.

L’impédance ramenée au primaire par le splitter $Z_{IN-SPLITTER}$ est éloignée de $Z_{OUT-DRIVER}$. Ces impédances étant proches, le rapport de transformation doit être faible (≈ 1). La transformation d’impédance effectuée par le splitter est donc complétée par l’ajout d’une inductance de 500 pH en série sur le primaire. L’effet de l’inductance et des parasites liés est illustré sur la figure 3.20.

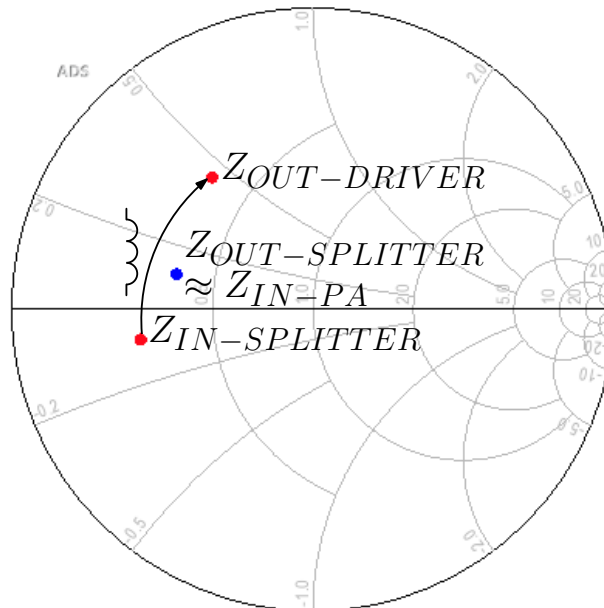


Figure 3.20 – Adaptation d’impédance inter-étage.

3.7 Étage d'entrée

L'étage driver est conçu pour améliorer le gain du PA sans impacter les performances de l'étage de puissance. Un driver sous-dimensionné compresse trop tôt et ne délivre pas suffisamment de puissance à l'étage suivant, ce qui limite la puissance de sortie du PA ; mais sur-dimensionner le driver augmente la consommation et impacte alors le rendement du PA complet. La puissance de sortie minimale du driver $P_{1dB-DRIVER}$ est ici calculée d'après l'équation 3.45.

$$P_{1dB-DRIVER} > (P_{1dB-POWER} - Gain_{POWER}) + IL_{SPLITTER} + 3 \text{ dB} \quad (3.45)$$

Il est à noter que le nombre de voies augmente la puissance à fournir par le splitter. Avec deux voies, la puissance qu'il doit délivrer augmente de 3 dB, pour atteindre 21 dBm. À consommation égale, un MASMOS fournit plus de puissance et présente 2,5 dB de gain supplémentaire qu'un cascode. Le driver est donc basé sur un transistor MASMOS.

L'adaptation d'impédance à l'entrée est effectuée par le transformateur $TRF3$, représenté sur la figure 3.21. Le flot de conception est repris de celui du DAT $TRF1$. Le rapport de transformation étant sensiblement identique, le primaire (à l'entrée du circuit) est basé sur un enroulement constitué de deux tours en M3+M2. Le secondaire (côté driver) est réalisé en M4.

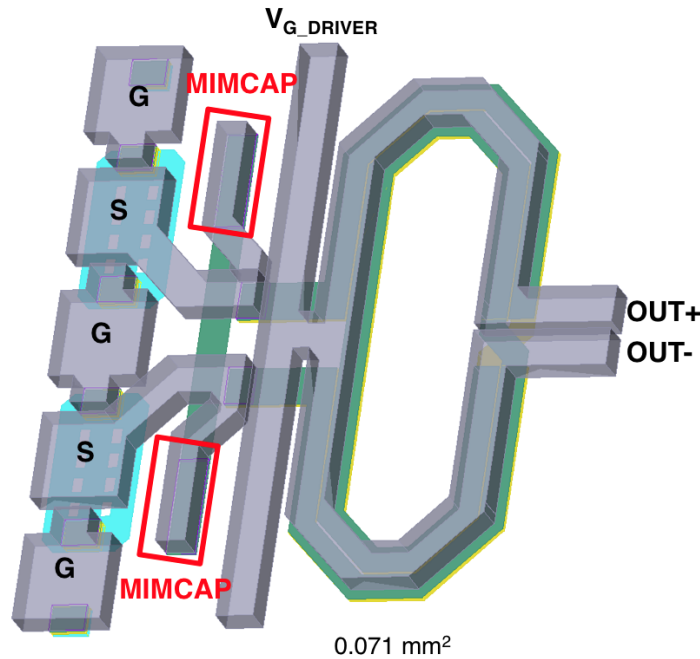


Figure 3.21 – Vue 3D du transformateur d'entrée $TRF3$.

L'adaptation d'impédance à l'entrée est complétée par une capacité d'accord de 3 pF en parallèle (figure 3.22) pour optimiser le coefficient de réflexion à l'entrée.

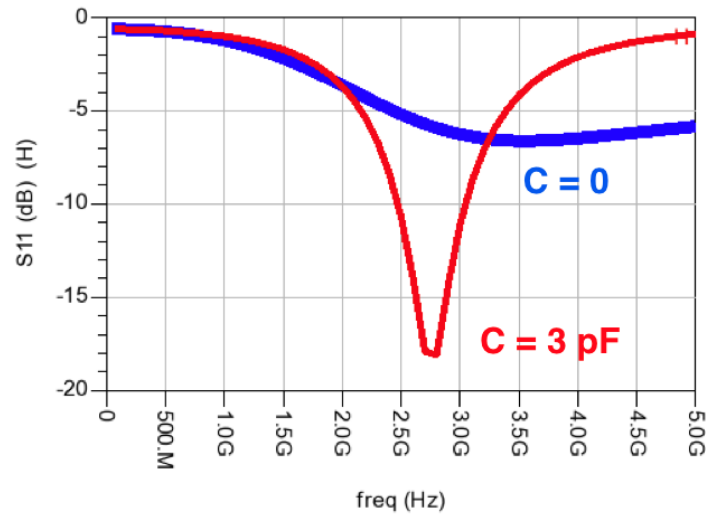


Figure 3.22 – Ajustement du coefficient de réflexion par la capacité C_1 .

3.8 Étude de la stabilité

Le PA est sujet à différentes sources d'instabilité qui peuvent mener à une oscillation. Les principales causes d'instabilité sont représentées en rouge dans les schémas de la figure 3.24. Un couplage parasite peut s'établir entre différentes parties du circuit, en raison d'une isolation S_{12} trop faible ou par un couplage magnétique M dû à la proximité des transformateurs sur le circuit. Une contre-réaction peut permettre un retour du signal de sortie en phase avec l'entrée, menant à une oscillation (conditions de Barkhausen). Le PA doit aussi être robuste lorsqu'il est polarisé et soumis à des perturbations externes, symbolisées par un éclair. L'étude de la stabilité est effectuée de deux façons :

- en régime linéaire à l'aide des paramètres S,
- en régime non-linéaire d'après la méthode de Floquet.

3.8.1 Étude linéaire

Différents paramètres calculés à partir des paramètres S permettent d'évaluer la stabilité d'un quadripôle en petits-signaux. Le plus utilisé est le facteur de Rollet [Rol62], noté k , défini dans l'équation 3.46.

$$k = \frac{1 + |\Delta| - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} \quad (3.46)$$

avec

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (3.47)$$

Un quadripôle est considéré inconditionnellement stable s'il respecte les conditions des équations 3.48 à 3.51

$$|S_{11}| < 1 \quad (3.48)$$

$$|S_{22}| < 1 \quad (3.49)$$

$$|\Delta| < 1 \quad (3.50)$$

$$k > 1 \quad (3.51)$$

D'autres jeux de conditions équivalents peuvent être utilisés pour évaluer la stabilité d'un circuit. Ces conditions sont vérifiées sur chaque étage puis sur le PA complet. La figure 3.23 montre les coefficients k et Δ du PA complet en fonction de la fréquence. [PSH93] montre que l'étude de la stabilité en petits-signaux est nécessaire mais insuffisante pour juger de la stabilité des circuits non-linéaires.

3.8.2 Étude non-linéaire

Cette seconde analyse vise à étudier le possible démarrage d'une oscillation alors que le PA fonctionne en régime grands-signaux. Un schéma de principe basé sur la méthode de [TBG08] est représenté sur la figure 3.24. Alors que le transistor est polarisé et fonctionne en régime fort-signal à la fréquence f_{RF} , une perturbation est injectée sur différents nœuds du circuit. La stabilité est assurée en vérifiant l'amortissement de cette perturbation en régime temporel (figure 3.24a) ou fréquentiel (figure 3.24b).

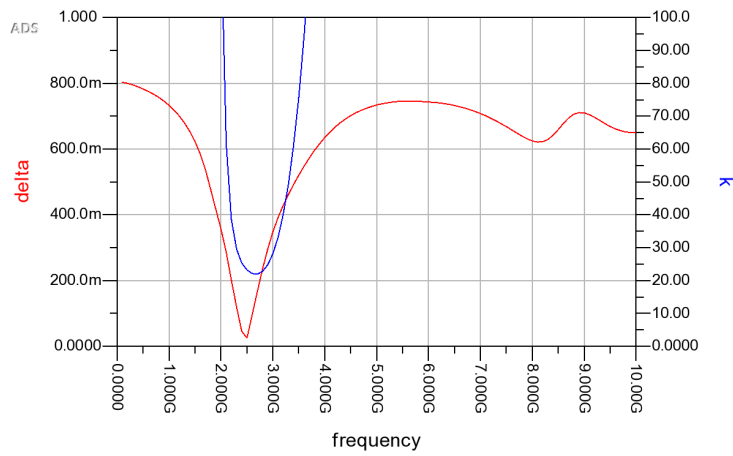
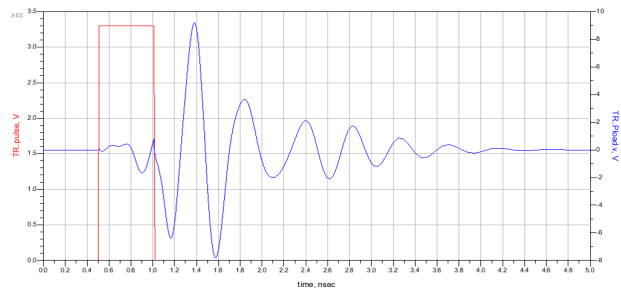
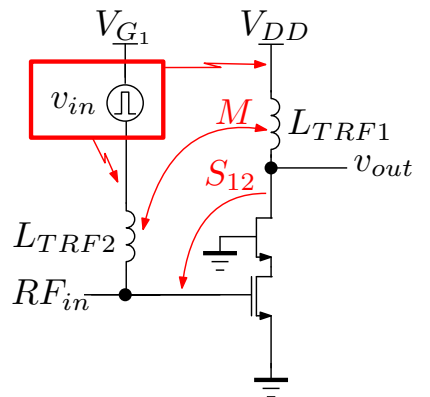
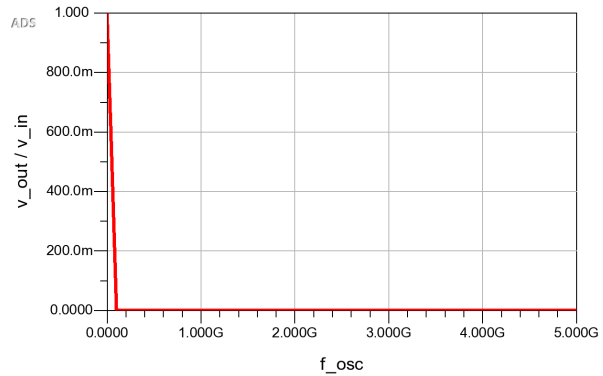
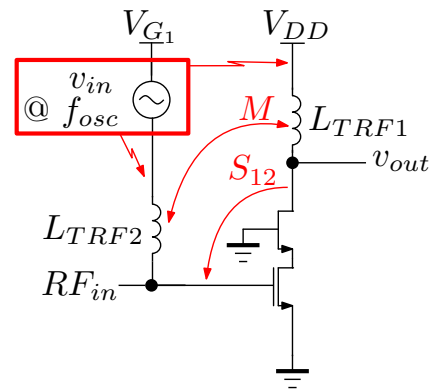


Figure 3.23 – Étude linéaire de la stabilité : Facteurs Δ et k simulés.



(a)



(b)

Figure 3.24 – Étude non-linéaire de la stabilité : (a) Analyse temporelle et (b) Analyse fréquentielle.

3.8.3 Techniques de stabilisation

Il est possible que les pertes introduites par les réseaux d'adaptation ne suffisent pas à stabiliser le circuit, même dans la bande de fréquence utile. Bien que non utilisées dans le circuit, différentes techniques de stabilisation sont répertoriées sur la figure 3.25.

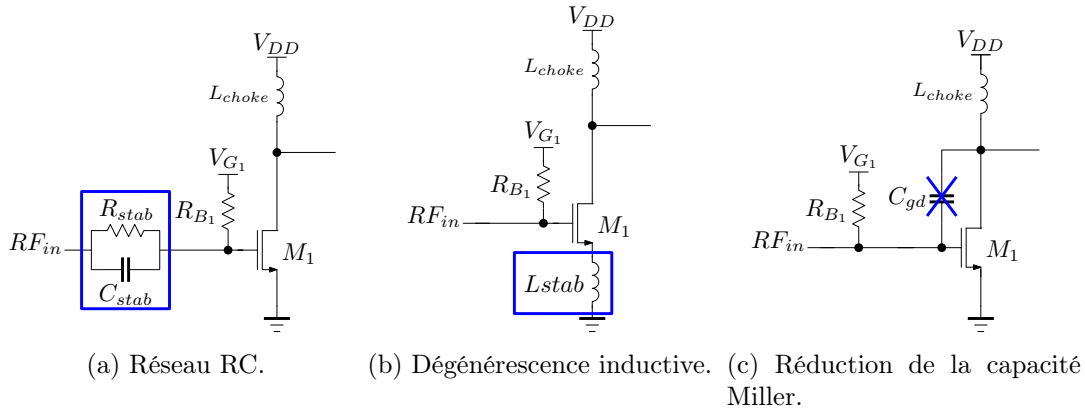


Figure 3.25 – Techniques de stabilisation.

- Le positionnement d'un réseau RC sur la grille des transistors (figure 3.25a) est utilisé afin de dégrader le gain dans les fréquences les plus faibles, et donc d'empêcher le démarrage d'une oscillation dans ces fréquences. Les performances aux fréquences utiles ne sont pas impactées.
- La dégénérescence inductive (figure 3.25b) améliore la stabilité dans les fréquences utiles, au détriment du gain.
- La réduction de l'effet Miller (figure 3.25c) permet d'augmenter l'isolation de la sortie vers l'entrée, et par conséquent d'améliorer la stabilité. L'utilisation du montage cascode ou de capacités de neutrodynage sont deux techniques qui permettent de réduire la capacité Miller.

3.9 Résultats de simulation post-layout

La figure 3.26 montre le layout complet du PA. Le circuit, parti en fabrication en novembre 2017, occupe $2,2 \times 1,6 \text{ mm}^2$ avec les plots. Les parasites sont extraits avec un simulateur EM et sont pris en compte dans la simulation.

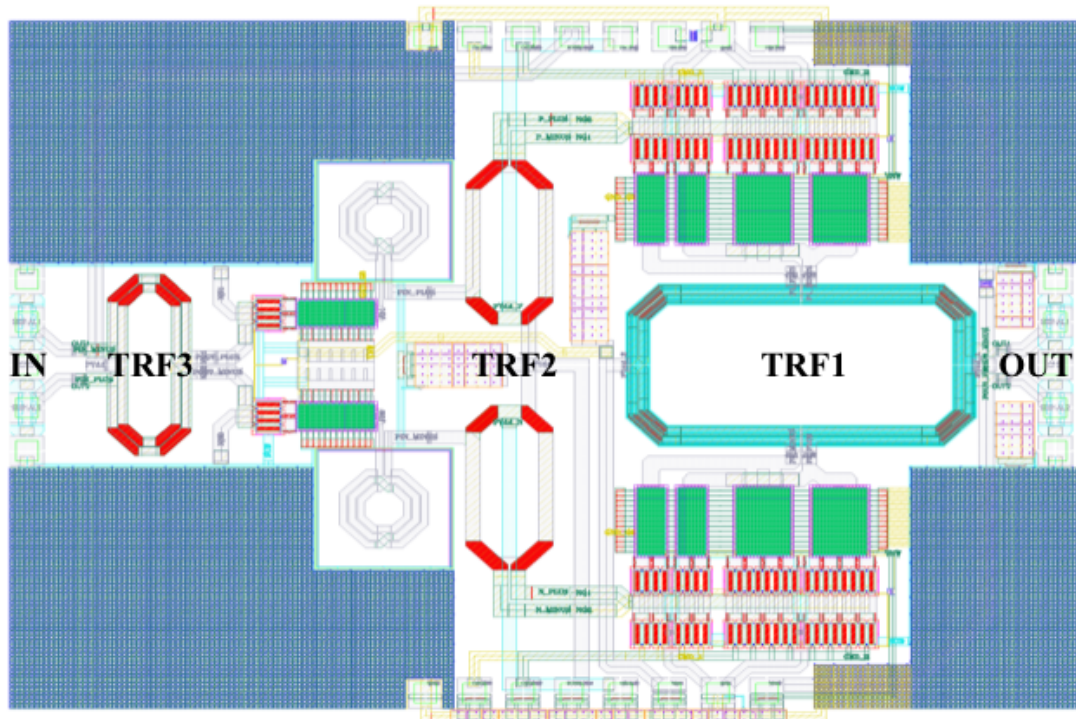


Figure 3.26 – Layout du PA intégré.

3.9.1 Fonctionnement petits-signaux

La figure 3.27 montre les résultats obtenus en fonctionnement petits-signaux. À 2,5 GHz, le gain (S21) est de 29,6 dB, 20 dB et 24,5 dB en mode 1, 2 et 3 respectivement. Le PA couvre 300 MHz de bande passante à 1 dB, avec notamment la bande 7 du LTE. L'impédance d'entrée est ajustée avec la capacité C_1 . La réflexion à l'entrée (S11) est inférieure à -17 dB pour chaque mode. Le réseau de sortie est conçu pour optimiser le fonctionnement grands-signaux, et le S22 est compris entre -5 dB et -10 dB. La variation d'impédance entre chaque mode reste faible. Le coefficient de stabilité k assure une stabilité inconditionnelle du PA (figure 3.28).

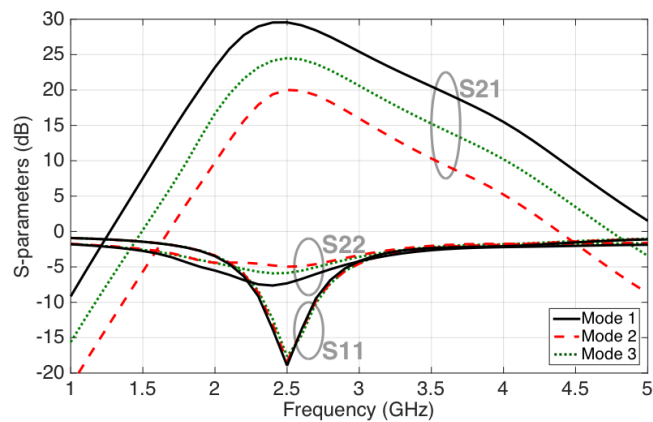


Figure 3.27 – Résultats petit-signal pour chaque mode.

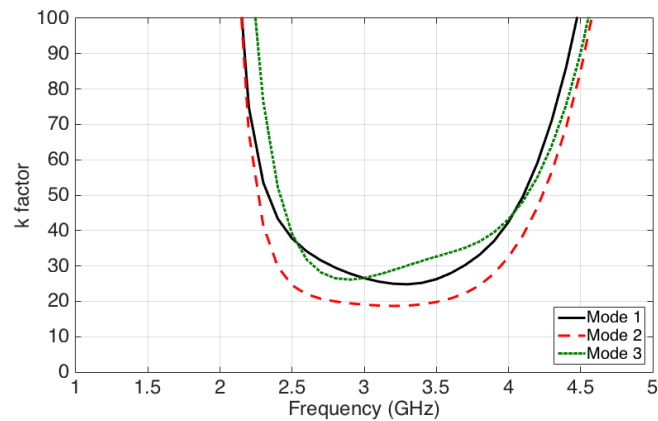


Figure 3.28 – Coefficient de stabilité k pour chaque mode.

3.9.2 Fonctionnement grands-signaux

Les résultats grand-signal à 2,5 GHz sont reportés sur la figure 3.29. En mode 1, la P_{SAT} et P_{DC} au repos sont de 32,6 dBm et 1,5 W respectivement. La PAE atteint 31,6 %. En mode 2, le PA délivre 25,9 dBm avec une consommation statique réduite

à 0,53 W. Cette réduction permet d'augmenter la PAE de 3 % à faible puissance de sortie. Finalement le mode 3 offre un excellent compromis entre puissance de sortie et consommation. La P_{SAT} atteint 32,5 dBm alors que la P_{DC} statique est de seulement 0,95 W. La PAE atteint 31,4 %, ce qui est proche de la PAE maximale en mode 1. En mode 3, le PA est très linéaire avec une P_{1dB} à 31,6 dBm, seulement 0,9 dB avant la saturation. L'AM-PM reste inférieur à 3° dans chaque mode de fonctionnement.

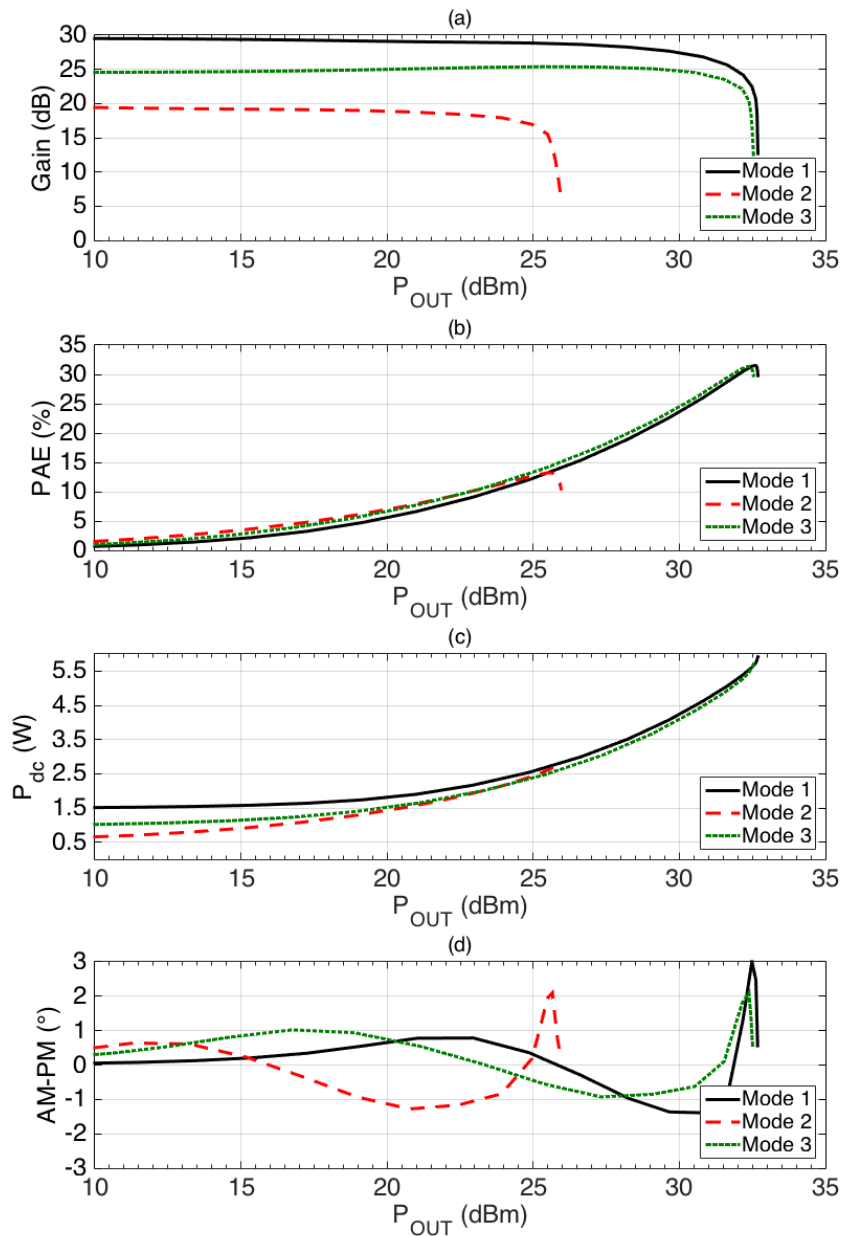


Figure 3.29 – Résultats grand-sinaux à 2,5 GHz pour chaque mode : (a) gain, (b) PAE, (c) puissance DC et (d) distorsion de phase en fonction de la puissance générée.

La haute-linéarité du mode 3 est utilisée pour satisfaire les contraintes du standard LTE. Le PA couvre 5 bandes du LTE comprises entre 2,3 et 2,7 GHz (figure 3.30). Il s'agit des bandes LTE FDD 30, 7 et des bandes LTE TDD 38, 40, 41.

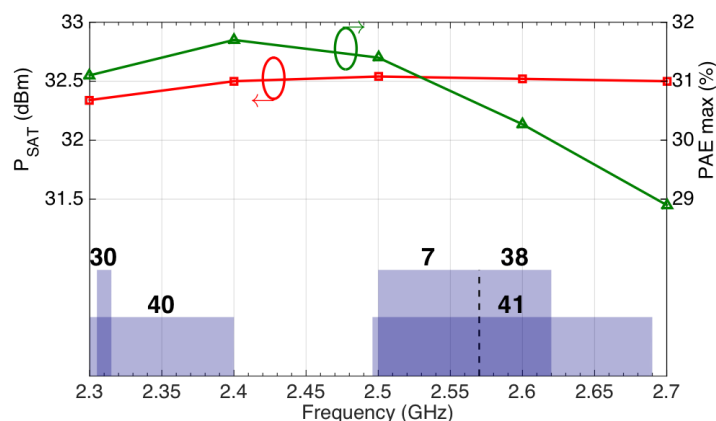


Figure 3.30 – Résultats grands-signaux en fonction de la fréquence.

Les figures 3.31 et 3.32 montrent respectivement le spectre et la constellation obtenus en mode 3 à 27 dBm de puissance moyenne de sortie. Le signal LTE utilisé est un signal 64-QAM de 10 MHz de largeur de bande avec 8,92 dB de PAPR. Le PA satisfait le spectre d'émission du LTE (en rouge) avec -30 dBc d'ACPR et moins de 8% d'EVM.

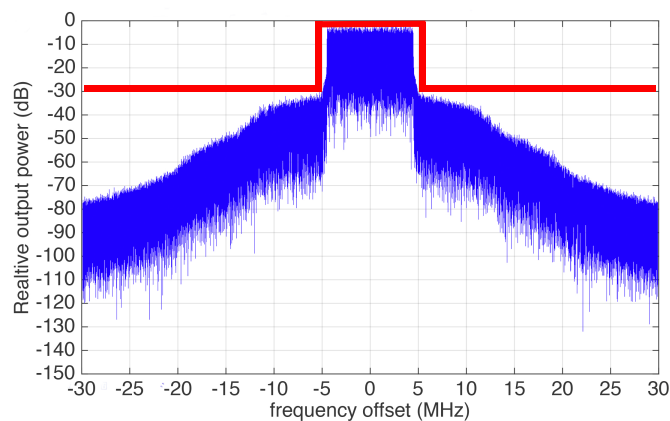


Figure 3.31 – Spectre de sortie avec un signal modulé.

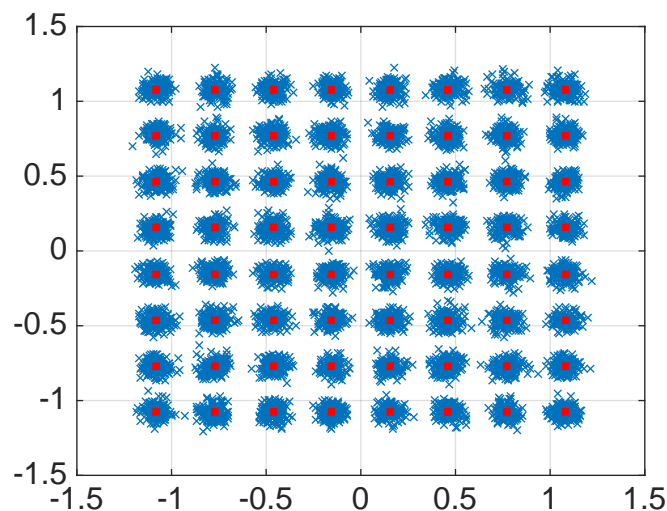


Figure 3.32 – Constellation de sortie avec un signal modulé.

3.9.3 Influence du processus fabrication

Les variations en fabrication influent sur les caractéristiques des transistors et des capacités MIM. Les corners Slow-Slow (SS) et Fast-Fast (FF) permettent d'étudier l'influence de variations du processus de fabrication sur le fonctionnement du circuit.

Corners capacités MIM

L'impédance d'entrée est ajustée avec la capacité C_1 . Une variation de fabrication sur les capacités MIM résulte donc en une variation du coefficient de réflexion à l'entrée et gain (figure 3.33).

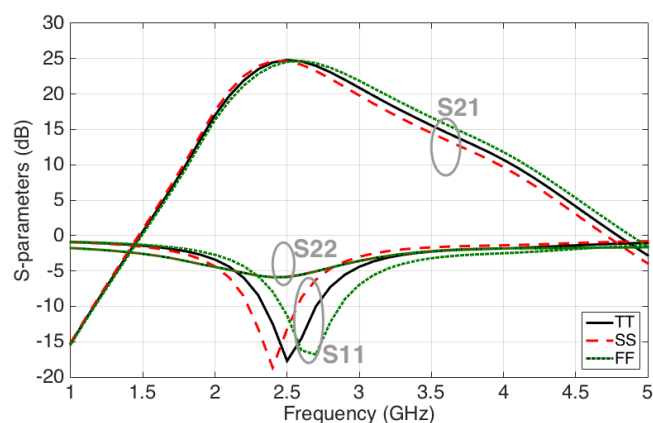


Figure 3.33 – Influence des corners capacités MIM sur le fonctionnement petits-signaux.

Les caractéristiques grands-signaux (P_{SAT} et PAE) ne sont pas impactées (figure 3.34).

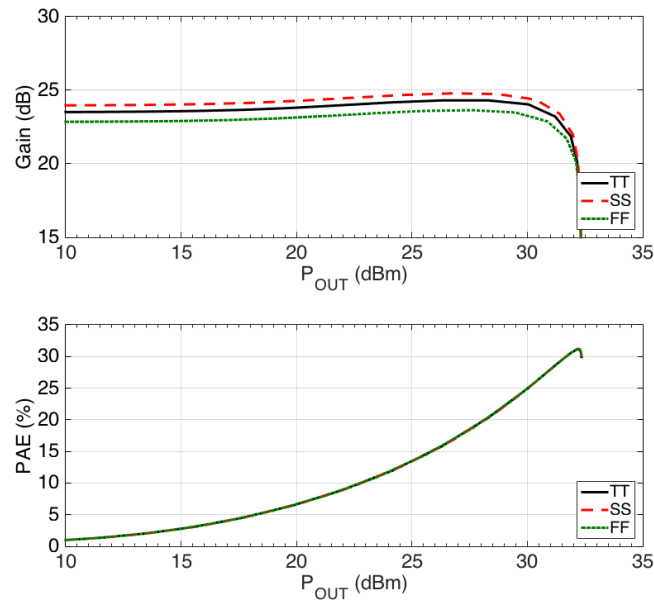


Figure 3.34 – Influence des corners capacités MIM sur le fonctionnement grands-signaux.

Corners transistors

Une variation du processus de fabrication sur les transistors résulte principalement en une variation de la tension de seuil (figure 3.35).

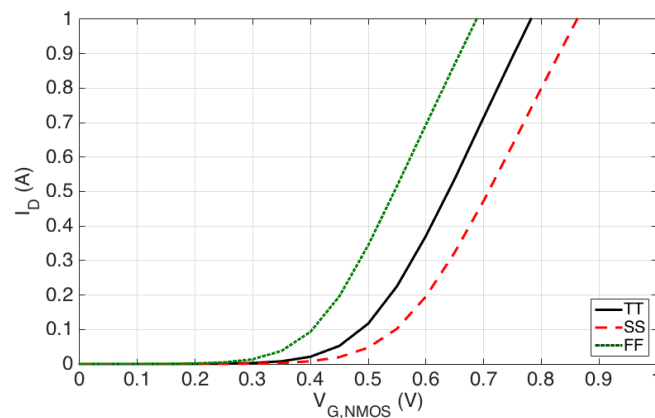


Figure 3.35 – Influence des corners transistors sur la tension de seuil.

Bien que les caractéristiques grands-signaux soient impactées, un ajustement des tensions de polarisation permet de retrouver le fonctionnement attendu (figure 3.36).

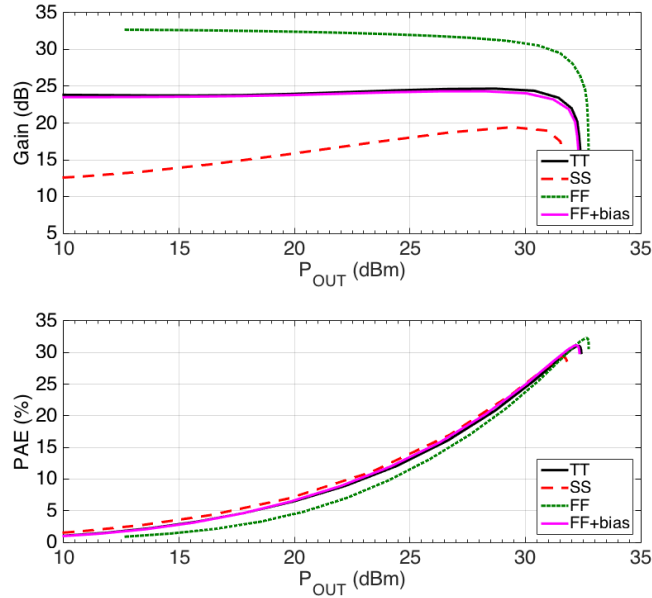


Figure 3.36 – Influence des corners transistors sur le fonctionnement grands-signaux.

3.9.4 Comparaison à l'état de l'art

Le tableau 3.5 compare les performances du PA conçu à l'état de l'art de PA CMOS intégrés. L'architecture Doherty à base de transformateur est utilisé pour améliorer la linéarité dans [KR12]. La P_{1dB} est à seulement 1,5 dB de recul de la P_{SAT} mais les puissances en jeu sont plus faibles. Les références [KYK⁺11] et [CHD⁺09] atteignent des puissances de sortie de l'ordre de 30 dBm avec une P_{1dB} limitée à 28 dBm. Enfin, le PA fabriqué en technologie SOI de [FR15] est hautement linéaire avec un excellent rendement mais avec une puissance de sortie moindre et un nœud technologique plus couteux.

Référence	Fréquence (GHz)	P_{SAT} (dBm)	P_{1dB} (dBm)	PAE max. (%)	Gain (dB)	Approche	Technologie	Taille (mm ²)	Tension d'alim. (V)
JSSC 2012	2,45	26,3	24,8 ⁺	33	18	Doherty par transformateur	90-nm	1,875 mm ²	2
JSSC 2011	2,5	31	28	34,8	31,3	Transistor redimensionnable & DAT	180-nm	1,8 mm ²	3,3
JSSC 2009	2,4	30,1	27,7	33	28	Combinaison par transformateur	90-nm	4,3 mm ²	3,3
MTT-T 2015	2,5	28,1	27,4	46,8	11	Piège harmonique & Transformateur	180-nm SOI	1,8 mm ²	2,5
Ce travail (mode 1)*	2,5	32,7	26,6	31,6	29,6	Transistor MASMOS & DAT	180-nm	3,5mm ²	3,5
Ce travail (mode 3)*		32,5	31,6	31,4	24,5				

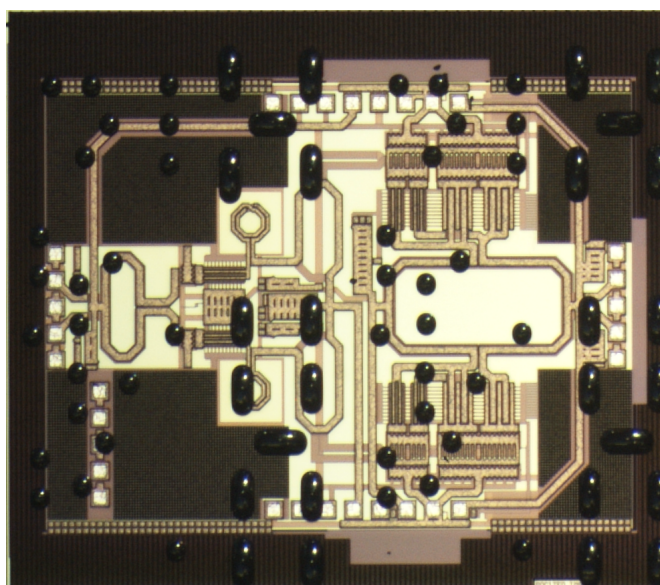
⁺ Estimé graphiquement

* Simulation post-layout

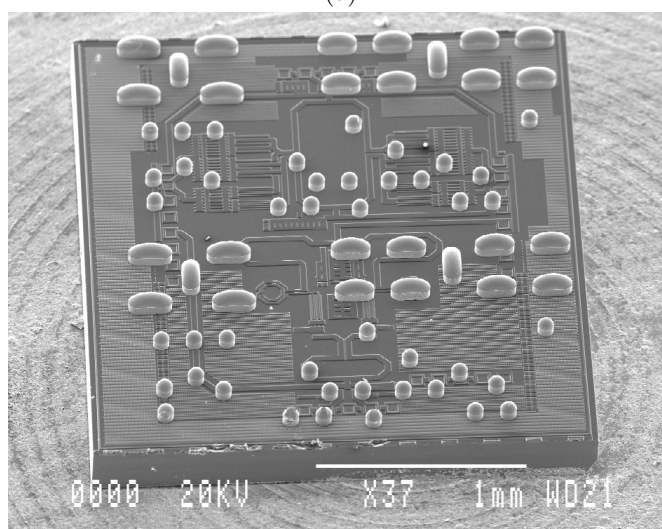
Tableau 3.5 – Comparaison des performances de PA CMOS.

3.10 Fabrication

La fabrication du circuit est impactée par une erreur de process. Un masque servant au report de bumps pour des transistors de test est utilisé sur la puce (figure 3.37). Ainsi, certains plots sont inaccessibles et des couplages parasites par effet d'antenne peuvent influencer sur le fonctionnement du circuit. Cependant, une vérification au microscope électronique à balayage (MEB) permet de vérifier que les bumps reportés n'ont pas percé la couche de passivation (figure 3.38). Les bumps indésirables peuvent être retirés en retirant la couche de passivation sur laquelle ils sont déposés.



(a)



(b)

Figure 3.37 – a) Photographie et b) image 3D au MEB de la puce.

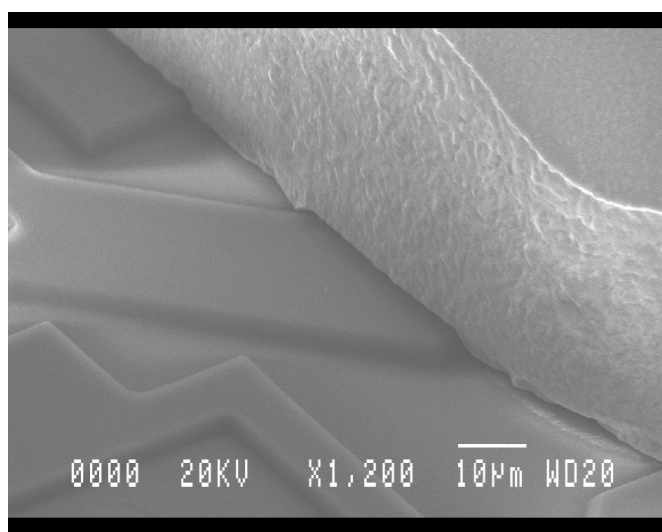


Figure 3.38 – Image 3D au MB au MEB d'un bump reporté sur la puce.

L'étude au MEB est complétée par une analyse X par dispersion d'énergie (EDX) afin de définir la constitution de la couche de passivation. Les résultats de l'EDX représentés sur la figure 3.39 démontrent la présence de Silicium (Si) et de Nitrogène (N) : il s'agit de Nitrure de Silicium (Si_3N_4), une céramique couramment utilisée comme couche de passivation. Cette couche est retirée en gravure sèche à l'aide d'une attaque par un plasma d'hexafluorure de soufre (SF_6), mais laisse apparaître une seconde épaisseur de passivation constituée de dioxyde de silicium (SiO_2 , figure 3.40). Cette seconde couche peut-être retirée par une attaque humide à base d'acide (BE).

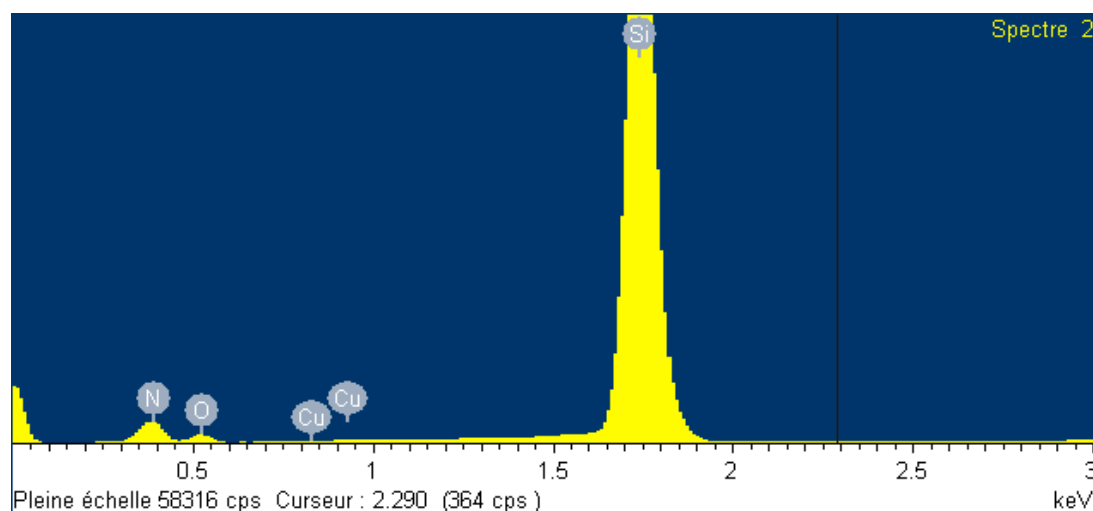


Figure 3.39 – Résultats de l'analyse EDX sur la 1ère couche de passivation.

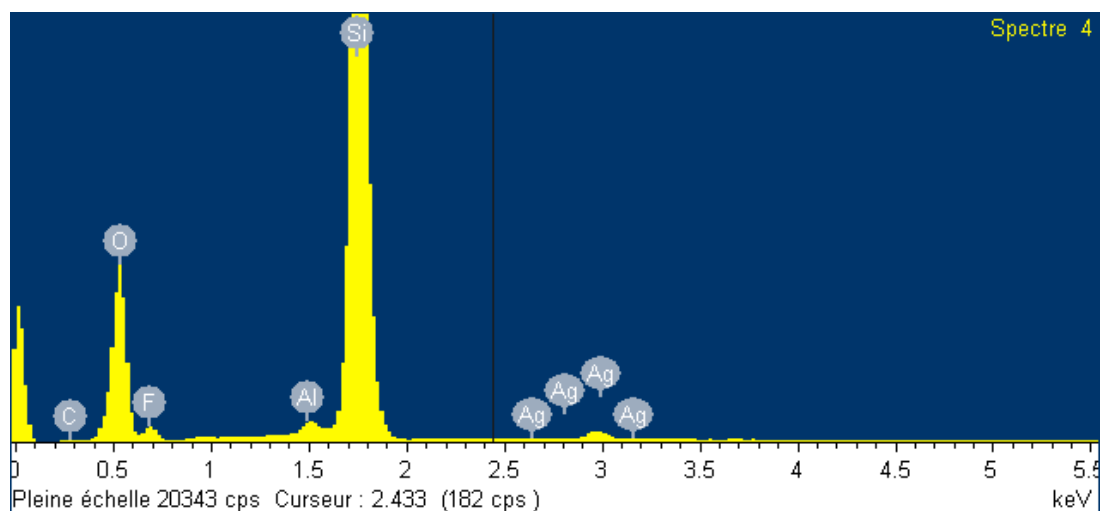


Figure 3.40 – Résultats de l'analyse EDX sur la 2ème couche de passivation.

L'attaque acide étant peu sélective, le plus haut niveau de métal est endommagé avant que la passivation soit complètement retirée (figure 3.41). Les bumps de petite taille sont bien décollés mais les plus gros restent fixés sur la passivation restante. Ces bumps sont à l'origine de couplages indésirables et empêchent de connecter correctement certains plots.

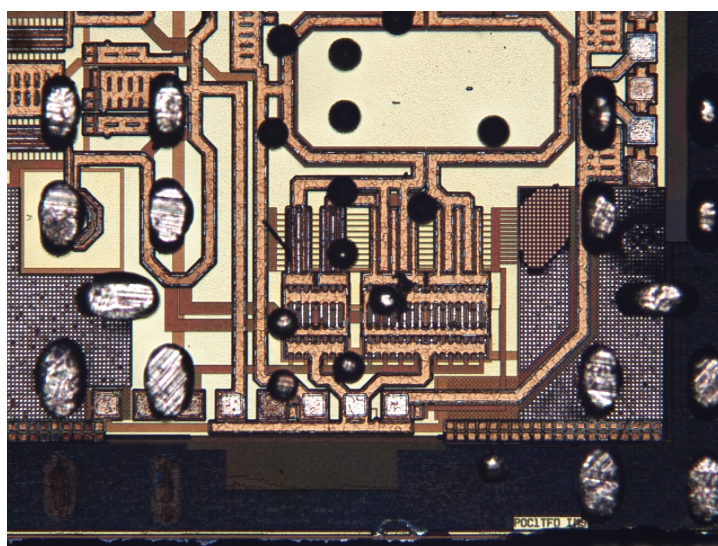


Figure 3.41 – Effet du traitement acide sur la puce.

3.11 Mesures

Les mesures sont effectuées sous pointes (figure 3.42). Le circuit est testé en mode 1 uniquement, car certains plots utiles pour reconfigurer le circuit sont inaccessibles. De plus, deux plots de masse sont laissés flottants car la pointe ne peut pas être posée dessus.

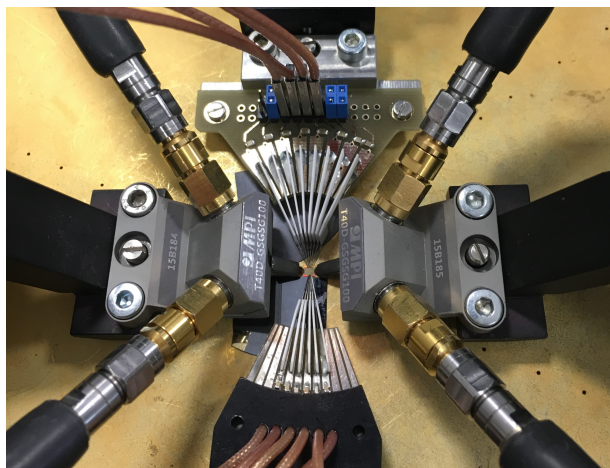


Figure 3.42 – Photographie du circuit testé sous pointes.

La figure 3.43 montre les résultats de mesure petits-sinaux. La fréquence centrale de fonctionnement est légèrement décalée à 2,65 GHz. Le gain du PA est de 17 dB, avec une bande passante à 3 dB de 600 MHz grâce au comportement large-bande des transformateurs. L'impédance d'entrée étant ajustée avec une capacité, le coefficient de réflexion à l'entrée est inférieur à -20 dB. Le coefficient de réflexion en sortie est d'environ -8 dB.

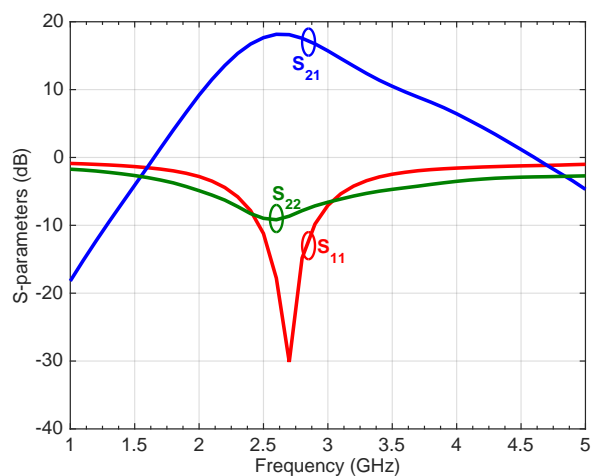


Figure 3.43 – Résultats de mesures petit-sinaux.

Les mesures grands-signeaux à 2,65 GHz sont reportés sur la figure 3.44. La puissance de sortie atteint 30,2 dBm. La PAE atteint 18 %, limitée par le faible gain. Les mesures sont reproductibles, et aucune dégradation de performance n'est constatée après un fonctionnement continu.

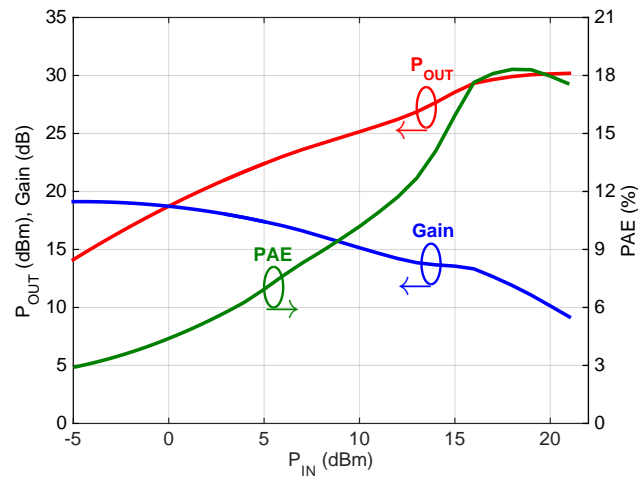


Figure 3.44 – Résultats de mesures grands-signeaux.

3.12 Conclusion du chapitre

Ce chapitre détaille la conception du premier PA tout-intégré basé sur le transistor MASMOS. Le circuit est basé sur des transformateurs qui effectuent l'adaptation d'impédance ainsi que la combinaison de puissance. Les performances du combineur sont optimisées à l'aide d'un blindage, et sa conception est effectuée à l'aide d'un algorithme qui permet un pré-dimensionnement de la taille des enroulements. Le circuit est reconfigurable. Chaque mode de fonctionnement répond aux besoins du LTE : haute performance, faible consommation et haute linéarité. Dans le mode haute linéarité, les résultats de simulation montrent que le PA permet de résoudre le compromis entre linéarité et consommation. Le circuit a été envoyé en fabrication. Malgré un défaut de processus, le circuit est fonctionnel avec des performances dégradées.

Conclusion générale et perspectives

Conclusion générale

Les travaux de thèse présentés portent sur la conception d'amplificateurs de puissance pour le standard LTE. Les solutions proposées portent sur un travail au niveau transistor, puis au niveau circuit.

Le premier chapitre positionne le standard LTE parmi les standards s'adressant à l'IoT. Après une revue des technologies utilisées dans les émetteurs RF, l'intégration de la partie radio en technologie CMOS apparaît comme la clé d'un déploiement massif du LTE dans les objets connectés. Les signaux modulés utilisés par le LTE impactent considérablement la conception du PA, résultant notamment en une puissance de sortie plus importante et un compromis entre la linéarité et le rendement. La présentation des caractéristiques et des architectures de PA montre les degrés de liberté existant pour la conception de ce dernier. L'étude de l'état de l'art fait apparaître des solutions pour l'intégration de PA en CMOS destinés aux applications LTE.

Le deuxième chapitre est consacré à la réalisation de cellules amplificatrices basées sur le transistor MASMOS. Une étude théorique permet de mettre en avant les paramètres dont dépendent les performances du transistor. Trois amplificateurs de puissance sont ensuite présentés, de l'étude théorique aux résultats de mesure. Le premier est basé sur une amélioration du MASMOS. Le deuxième permet de reconfigurer l'amplificateur, pour ajuster la consommation en fonction de la puissance de sortie. Cette technique permet de diminuer significativement la consommation du PA au repos. Cette cellule reconfigurable permet aussi une utilisation innovante de la cellule amplificatrice. En effet, un amplificateur à deux étages basé sur la cellule reconfigurable est aussi présenté. Cette approche facilite la conception et permet de réduire drastiquement le temps de développement d'un PA à plusieurs étages.

Le troisième chapitre est consacré à la réalisation du premier PA tout intégré basé sur le transistor MASMOS. Le circuit est basé sur des transformateurs qui effectuent l'adaptation d'impédance ainsi que la combinaison de puissance. Les performances du combineur sont optimisées à l'aide d'un blindage, et sa conception est effectuée à l'aide d'un algorithme qui permet un pré-dimensionnement de la taille des enroulements. Le circuit est reconfigurable. Chaque mode de fonctionnement répond aux besoins du LTE : puissance de sortie, haute linéarité et faible consommation. Dans ce dernier mode, les résultats de simulation montrent que le PA permet de résoudre le compromis entre linéarité et consommation. Malgré un défaut de processus lors de la fabrication, le circuit est fonctionnel avec des performances dégradées.

Ces travaux démontrent qu'un émetteur-récepteur CMOS est envisageable pour des applications LTE. Mais il existe des axes d'amélioration et d'évolution. Ces perspectives sont développées dans la partie suivante.

Perspectives

Perspective d'amélioration du circuit intégré : Maintien de la PAE à faible puissance de sortie

Dans la cellule reconfigurable, la valeur de l'impédance de charge à présenter Z_{L-OPT} dépend du mode de fonctionnement (figure 3.45).

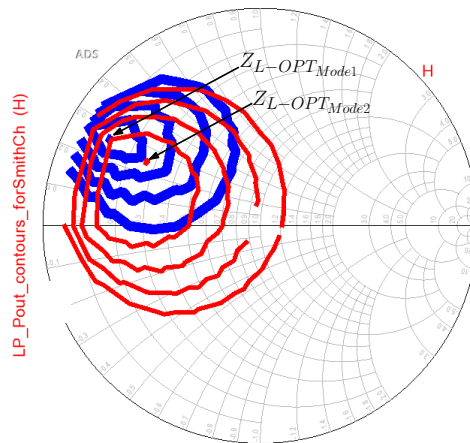


Figure 3.45 – Variation de l'impédance optimale entre le mode 1 et le mode 3.

Pour les PA conçus dans ces travaux, il est choisi de privilégier le mode 1 afin d'atteindre des performances à l'état de l'art. Cependant, présenter une impédance différente permet d'améliorer les performances du mode 3 avec notamment une augmentation de la PAE à faible puissance d'émission. Un circuit avec réseau de sortie reconfigurable permettrait d'obtenir 2 modes de fonctionnement optimaux (3.46). Il serait même possible de commuter dynamiquement d'un mode à l'autre en fonction de l'enveloppe du signal.

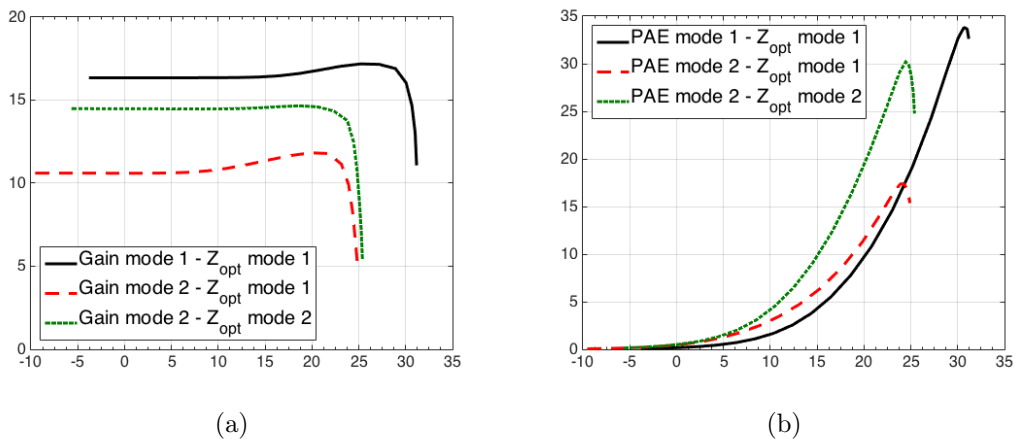


Figure 3.46 – Effet de la reconfiguration de l'impédance de charge sur a) le gain et b) la PAE.

Perspective de circuit : Digital-to-RF Converter (DRFC)

Comparées aux architectures traditionnelles (figure 3.47a), les architectures de PA numérique reposent sur une cellule DRFC qui permet de générer directement un signal RF modulé (figure 3.47b).

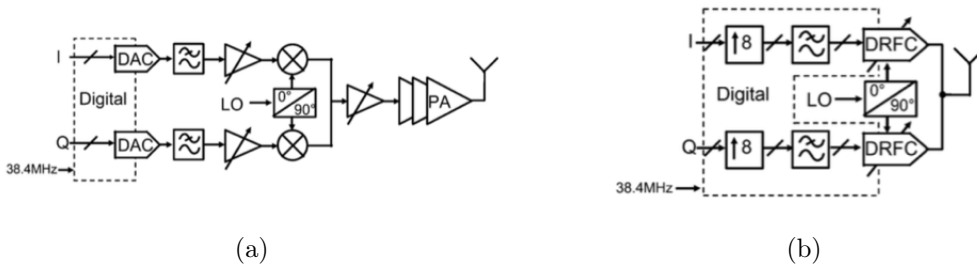


Figure 3.47 – Architecture d’émetteur-récepteur a) traditionnel et b) numérique.
Source : [SBV14]

L’utilisation du transistor MASMOS dans ce type d’architecture permettrait d’atteindre des puissances de sortie plus importantes. Une cellule DRFC est proposée sur la figure 3.48. Elle est composée de trois blocs :

- Bloc 1 : Transistor utilisé en interrupteur : dans le cas où plusieurs cellules sont en parallèle, il est utilisé pour ajuster la puissance de sortie (OOK).
- Bloc 2 : Cellule de Gilbert commutée à n bits : le bit de poids fort commande la phase (BPSK). Les autres bits commandent l’amplitude (30 dB de dynamique).
- Bloc 3 : Transistor MASMOS : pour augmenter la puissance de sortie.

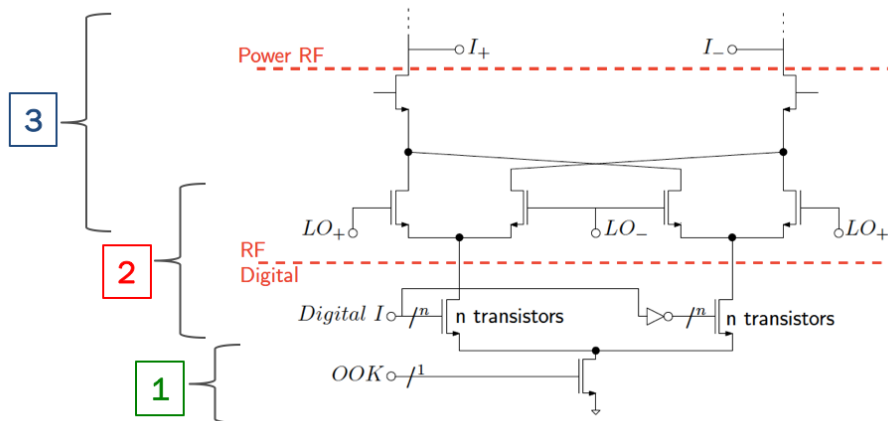


Figure 3.48 – Schéma d’une cellule DRFC basée sur le transistor MASMOS.

La cellule unitaire est reproduite pour la voie Q. Les voies I et Q sont recombinaées par un transformateur. Avec $n=5$ bits, il existe donc au total 1024 valeurs de sortie. La figure 3.49 montre la constellation générée et les codes correspondant à un signal 16-QAM.

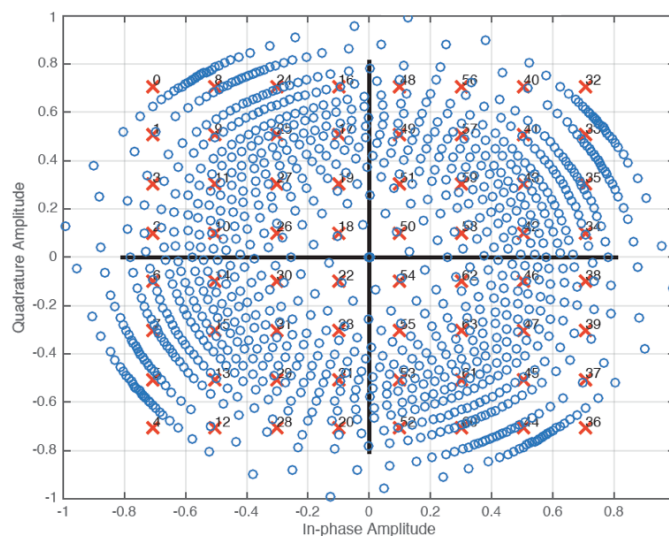


Figure 3.49 – Constellation générée par un PA numérique à 5 bits.

Perspective de méthode de conception

Le flot de conception des PA reste sujet à de nombreux débats parmi la communauté scientifique [Cri15]. Ces travaux laissent entrevoir une méthode de conception automatisée des PA basée sur l'algorithme présenté sur la figure 3.50. En effet, à partir des paramètres dépendant du nœud technologique, l'étude théorique du transistor proposée dans la partie 2.1 permet de prévoir les performances du transistor ainsi que les impédances optimales à présenter. De plus, l'algorithme développé en partie 3.4 permet de dimensionner un transformateur et d'estimer son rendement, sa fréquence de fonctionnement et les impédances présentées au transistor. En combinant les deux il serait donc possible d'effectuer un pré-dimensionnement complet du PA avant même de passer aux simulations.

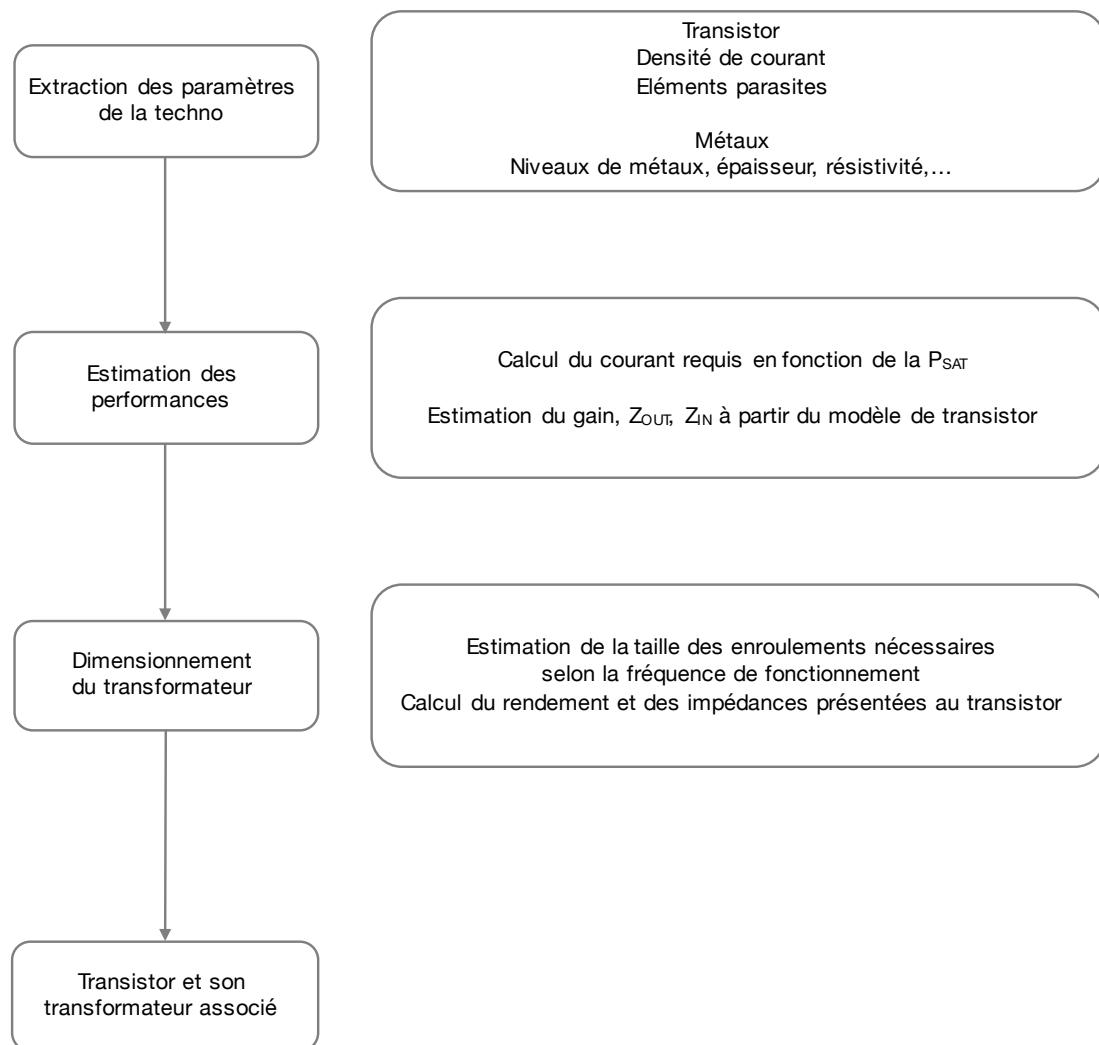


Figure 3.50 – Algorithme de pré-dimensionnement de PA.

Bibliographie

- [3GP06] 3GPP. *LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (3GPP TS 36.101 version 8.3.0 Release 8)*. 2006.
- [3GP11] 3GPP. *LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (3GPP TS 36.101 version 10.3.0 Release 10)*. 2011.
- [3GP14] 3GPP. *LTE; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (3GPP TS 36.101 version 13.3.0 Release 13)*. 2014.
- [AKM⁺08] I. Aoki, S. Kee, R. Magoon, R. Aparicio, F. Bohn, J. Zachan, G. Hatcher, D. McClymont, and A. Hajimiri. A fully-integrated quad-band gsm/gprs cmos power amplifier. *IEEE Journal of Solid-State Circuits*, 43(12) :2747–2758, Dec 2008.
- [ALK⁺08] K. H. An, O. Lee, H. Kim, D. H. Lee, J. Han, K. S. Yang, Y. Kim, J. J. Chang, W. Woo, C. H. Lee, H. Kim, and J. Laskar. Power-combining transformer techniques for fully-integrated cmos power amplifiers. *IEEE Journal of Solid-State Circuits*, 43(5) :1064–1075, May 2008.
- [ASdVL14] M. S. Alavi, R. B. Staszewski, L. C. N. de Vreede, and J. R. Long. A wideband 2x13-bit all-digital i/q rf-dac. *IEEE Transactions on Microwave Theory and Techniques*, 62(4) :732–752, April 2014.
- [AVS⁺11] M. S. Alavi, A. Visweswaran, R. B. Staszewski, L. C. N. de Vreede, J. R. Long, and A. Akhnoukh. A 2-ghz digital i/q modulator in 65-nm cmos. In *IEEE Asian Solid-State Circuits Conference 2011*, pages 277–280, Nov 2011.
- [BM13] A. G. Bracale and Denis A. Masliah. *Electronic circuits including a MOS-FET and a dual-gate JFET*. 2013.
- [CE06] E. Vittoz C. Enz. *Charge-based MOS Transistor Modeling*. 2006.
- [CHD⁺09] D. Chowdhury, C. D. Hull, O. B. Degani, Y. Wang, and A. M. Niknejad. A fully integrated dual-mode highly linear 2.4 ghz cmos power amplifier for 4g wimax applications. *IEEE Journal of Solid-State Circuits*, 44(12) :3393–3402, Dec 2009.
- [Chi35] H. Chireix. High power outphasing modulation. *Proceedings of the Institute of Radio Engineers*, 23(11) :1370–1392, Nov 1935.
- [Cis17] Cisco. *Cisco Visual Networking Index : Global Mobile Data Traffic Forecast, 2016-2021*. February 2017.
- [CKLN11] J. Chang, K. Kim, S. Lee, and S. Nam. 24 ghz stacked power amplifier with optimum inter-stage matching using 0.13 um cmos process. In *2011 3rd International Asia-Pacific Conference on Synthetic Aperture Radar (AP-SAR)*, pages 1–3, Sept 2011.

- [CL06] T. S. D. Cheung and J. R. Long. Shielded passive devices for silicon-based monolithic microwave and millimeter-wave integrated circuits. *IEEE Journal of Solid-State Circuits*, 41(5) :1183–1200, May 2006.
- [Cox74] D. Cox. Linear amplification with nonlinear components. *IEEE Transactions on Communications*, 22(12) :1942–1945, Dec 1974.
- [Cri04] S. Cripps. *RF Power Amplifiers for Wireless Communication, 2nd Edition*. 2004.
- [Cri15] Steve Cripps. Rfpa design flow : the great debate. <https://www.youtube.com/watch?v=GZehTCC9K5E>, 2015.
- [DHG⁺13] H. T. Dabag, B. Hanafi, F. Golcuk, A. Agah, J. F. Buckwalter, and P. M. Asbeck. Analysis and design of stacked-fet millimeter-wave power amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, 61(4) :1543–1556, April 2013.
- [Doh36] W. H. Doherty. A new high-efficiency power amplifier for modulated waves. *The Bell System Technical Journal*, 15(3) :469–475, July 1936.
- [ECSC11] F. Ellinger, M. Claus, M. Schroter, and C. Carta. Review of advanced and beyond cmos fet technologies for radio frequency circuit design. In *2011 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC 2011)*, pages 347–351, Oct 2011.
- [Eri16] Ericsson. *Ericsson Mobility Report*. November 2016.
- [Eri17] Ericsson. *Ericsson Mobility Report*. November 2017.
- [Est14] Stifel Estimates. *Stifel UAV market forecast*. 2014.
- [FJL⁺11] J. Fritzin, Y. Jung, P. N. Landin, P. Handel, M. Enqvist, and A. Alvandpour. Phase predistortion of a class-d outphasing rf amplifier in 90 nm cmos. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 58(10) :642–646, Oct 2011.
- [FR12] B. Francois and P. Reynaert. A fully integrated watt-level linear 900-mhz cmos rf power amplifier for lte-applications. *IEEE Transactions on Microwave Theory and Techniques*, 60(6) :1878–1885, June 2012.
- [FR15] B. Francois and P. Reynaert. Highly linear fully integrated wideband rf pa for lte-advanced in 180-nm soi. *IEEE Transactions on Microwave Theory and Techniques*, 63(2) :649–658, Feb 2015.
- [Fri94] Dean A. Frickey. Conversions between s,2,y ,h, abcd, and t parameters which are valid for complex source and load impedances. *IEEE Transactions on Microwave Theory and Techniques*, 42(2) :205–211, 1994.
- [GKG97] J. Guo, D. Kajfez, and A. W. Glisson. Skin-effect resistance of rectangular strips. *Electronics Letters*, 33(11) :966–967, May 1997.
- [Gro46] F. W. Grover. Inductance calculations. November 1946.
- [GXC12] Q. J. Gu, Z. Xu, and M. C. F. Chang. Two-way current-combining w-band power amplifier in 65-nm cmos. *IEEE Transactions on Microwave Theory and Techniques*, 60(5) :1365–1374, May 2012.

- [HLN06] P. Haldi, G. Liu, and A. M. Niknejad. Cmos compatible transformer power combiner. *Electronics Letters*, 42(19) :1091–1092, Sept 2006.
- [ICC85] S.E. Holland I.C. Chen and C.Hu. Electrical breakdown in thin gate and tunneling oxides. *IEEE Transactions on Electron Devices (T-ED)*, 32 :413–422, 1985.
- [ifi15] ifixit - iphone 6s teardown. <https://www.ifixit.com/Teardown/iPhone+6s+Teardown/48170>, 2015.
- [JJH17] G. Jeong, T. Joo, and S. Hong. A highly linear and efficient cmos power amplifier with cascode-cascade configuration. *IEEE Microwave and Wireless Components Letters*, 27(6) :596–598, June 2017.
- [Ker13] Eric Kerherve. Active circuits for millimeter-wave applications. *MIGAS*, 2013.
- [KFR13] E. Kaymaksut, B. FranÅ§ois, and P. Reynaert. Analysis and optimization of transformer-based power combining for back-off efficiency enhancement. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 60(4) :825–835, April 2013.
- [KKL04] Tae Wook Kim, Bonkee Kim, and Kwyro Lee. Highly linear receiver front-end adopting mosfet transconductance linearization by multiple gated transistors. *IEEE Journal of Solid-State Circuits*, 39(1) :223–229, Jan 2004.
- [KL01] T. C. Kuo and B. Lusignan. A 1.5 w class-f rf power amplifier in 0.2 /spl mu/m cmos technology. In *2001 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC (Cat. No.01CH37177)*, pages 154–155, Feb 2001.
- [KR12] E. Kaymaksut and P. Reynaert. Transformer-based uneven doherty power amplifier in 90 nm cmos for wlan applications. *IEEE Journal of Solid-State Circuits*, 47(7) :1659–1671, July 2012.
- [KR14] E. Kaymaksut and P. Reynaert. 3.4 a dual-mode transformer-based doherty lte power amplifier in 40nm cmos. In *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, pages 64–65, Feb 2014.
- [KR15] E. Kaymaksut and P. Reynaert. Dual-mode cmos doherty lte power amplifier with symmetric hybrid transformer. *IEEE Journal of Solid-State Circuits*, 50(9) :1974–1987, Sept 2015.
- [KYK⁺11] J. Kim, Y. Yoon, H. Kim, K. H. An, W. Kim, H. W. Kim, C. H. Lee, and K. T. Kornegay. A linear multi-mode cmos power amplifier with discrete resizing and concurrent power combining structure. *IEEE Journal of Solid-State Circuits*, 46(5) :1034–1048, May 2011.
- [LC95] J. R. Long and M. A. Copeland. Modeling of monolithic inductors and transformers for silicon rfc design. In *Technologies for Wireless Applications Digest, 1995., MTT-S Symposium on*, pages 129–134, Feb 1995.
- [LCCP10] P. M. Lavrador, T. R. Cunha, P. M. Cabral, and J. C. Pedro. The linearity-efficiency compromise. *IEEE Microwave Magazine*, 11(5) :44–58, Aug 2010.

- [LKM⁺15] A. Larie, E. Kerhervé, B. Martineau, L. Vogt, and D. Belot. 2.10 a 60ghz 28nm utbb fd-soi cmos reconfigurable power amplifier with 21In *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, pages 1–3, Feb 2015.
- [LSF⁺13] H. Lakdawala, M. Schaecher, C. T. Fu, R. Limaye, J. Duster, Y. Tan, A. Balankutty, E. Alpman, C. C. Lee, K. M. Nguyen, H. J. Lee, A. Ravi, S. Suzuki, B. R. Carlton, H. S. Kim, M. Verhelst, S. Pellerano, T. Kim, S. Venkatesan, D. Srivastava, P. Vandervoorn, J. Rizk, C. H. Jan, S. Ramamurthy, R. Yavatkar, and K. Soumyanath. A 32 nm soc with dual core atom processor and rf wifi transceiver. *IEEE Journal of Solid-State Circuits*, 48(1) :91–103, Jan 2013.
- [MBHB12] Denis A. Masliah, Alexandre G. Bracale, Francis C. Huin, and Patrice J. Barroul. *High breakdown voltage double-gate semiconductor device*. 2012.
- [McC15] E. McCune. A technical foundation for rf cmos power amplifiers : Part 2 : Power amplifier architectures. *IEEE Solid-State Circuits Magazine*, 7(4) :75–82, Fall 2015.
- [McC16] E. McCune. A technical foundation for rf cmos power amplifiers : Part 4 : Misunderstandings in pa design. *IEEE Solid-State Circuits Magazine*, 8(2) :75–82, Spring 2016.
- [MR08] Agilent Technologies Moray Rumney. *De-mystifying Single Carrier FDMA The New LTE Uplink*. February 2008.
- [Muk08] S. Mukherjee. *Architecture design for soft errors*. 2008.
- [Nuj14] Nujira. *Envelope Tracking for TD-LTE terminals*. 2014.
- [PC03] J. C. Pedro and N. B. Carvalho. *Intermodulation Distortion in Microwave and Wireless Circuits*. 2003.
- [PH11] A. D. Pye and M. M. Hella. Analysis and optimization of transformer-based series power combining for reconfigurable power amplifiers. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 58(1) :37–50, Jan 2011.
- [PJP⁺10] S. Pornpromlikit, J. Jeong, C. D. Presti, A. Scuderi, and P. M. Asbeck. A watt-level stacked-fet linear power amplifier in silicon-on-insulator cmos. *IEEE Transactions on Microwave Theory and Techniques*, 58(1) :57–64, Jan 2010.
- [PPJ⁺15] B. Park, J. Park, S. Jin, Y. Cho, J. Kim, and B. Kim. Cmos power amplifier on top of embedded transformer for compact module. *IEEE Microwave and Wireless Components Letters*, 25(10) :678–680, Oct 2015.
- [PSH93] A. Platzker, W. Struble, and K. T. Hetzler. Instabilities diagnosis and the role of k in microwave circuits. In *1993 IEEE MTT-S International Microwave Symposium Digest*, pages 1185–1188 vol.3, June 1993.
- [QT16] Inc. Qualcomm Technologies. *Paving the path to Narrowband 5G with LTE Internet of Things (IoT)*. June 2016.
- [RAC⁺02] F. H. Raab, P. Asbeck, S. Cripps, P. B. Kenington, Z. B. Popovic, N. Potheary, J. F. Sevic, and N. O. Sokal. Power amplifiers and transmitters for rf

- and microwave. *IEEE Transactions on Microwave Theory and Techniques*, 50(3) :814–826, Mar 2002.
- [Raz11] B. Razavi. *RF Microelectronics, Second Edition*. 2011.
- [REGD⁺94] A. C. Reyes, S. M. El-Ghazaly, S. Dorn, M. Dydyk, and D. K. Schroder. Silicon as a microwave substrate. In *1994 IEEE MTT-S International Microwave Symposium Digest (Cat. No.94CH3389-4)*, pages 1759–1762 vol.3, May 1994.
- [Rol62] J. Rollett. Stability and power-gain invariants of linear twoports. *IRE Transactions on Circuit Theory*, 9(1) :29–32, March 1962.
- [Rum13] Moray Rumney. *LTE and the Evolution to 4G Wireless : Design and Measurement Challenges, 2nd Edition*. 2013.
- [SBV14] S. Shopov, A. Balteanu, and S. P. Voinescu. A 19 dbm, 15 gbaud, 9 bit soi cmos power-dac cell for high-order qam w-band transmitters. *IEEE Journal of Solid-State Circuits*, 49(7) :1653–1664, July 2014.
- [Sha48] C.E Shannon. A mathematical theory of communication. *The Bell System Technical Journal*, 27(3) :379–423, July 1948.
- [SL03] T. Sowlati and D. M. W. Leenaerts. A 2.4-ghz 0.18- μ m cmos self-biased cascode power amplifier. *IEEE Journal of Solid-State Circuits*, 38(8) :1318–1324, Aug 2003.
- [Sta99] J. Stathis. Percolation models for gate oxide breakdown. *J. Appl. Phys.*, 86 :5757–5766, 1999.
- [Sun95] L. Sundstrom. Automatic adjustment of gain and phase imbalances in linc transmitters. *Electronics Letters*, 31(3) :155–156, Feb 1995.
- [TBG08] F. L. Traversa, F. Bonani, and S. D. Guerrieri. A frequency-domain approach to the analysis of stability and bifurcations in nonlinear systems described by differential-algebraic equations. *International Journal of Circuit Theory and Applications*, 36(4) :421–439, 2008.
- [TCOH88] P.-K. Ko T.-C. Ong, M. Levi and C. Hu. Recovery of threshold voltage after hot-carrier stressing. *IEEE Transactions on Electron Devices (T-ED)*, 35.7 :978–984, 1988.
- [Tec08] Renesas Technology. *Semiconductor Reliability Handbook*. 2008.
- [UBMP08] M. Unterweissacher, T. Brandtner, K. Mertens, and W. Pribyl. Inductance formulas adapted for direct use in spice simulators. *Electronics Letters*, 44(2) :92–93, January 2008.
- [VR17] M. Vigilante and P. Reynaert. A wideband class-ab power amplifier with 29-57-ghz am-pm compensation in 0.9-v 28-nm bulk cmos. *IEEE Journal of Solid-State Circuits*, pages 1–14, 2017.
- [YKK⁺12] Y. Yoon, J. Kim, H. Kim, K. H. An, O. Lee, C. H. Lee, and J. S. Kenney. A dual-mode cmos rf power amplifier with integrated tunable matching network. *IEEE Transactions on Microwave Theory and Techniques*, 60(1) :77–88, Jan 2012.

Liste des travaux publiés

Conférences internationales

Fabien Mesquita, Eric Kerhervé, Anthony Ghiotto, Yann Creveuil, Myrienne Regis,
« Fully Integrated Reconfigurable MASMOS Power Amplifier for LTE Applications »,
NEWCAS 2018

Fabien Mesquita, Eric Kerhervé, Anthony Ghiotto, Yann Creveuil, Myrienne Regis,
« High-Efficiency Watt-Level MASMOS Power Amplifier for LTE Applications »,
European Microwave Conference (EuMC) 2017

Conférences nationales

Fabien Mesquita, Eric Kerhervé, Anthony Ghiotto, Yann Creveuil, Myrienne Regis,
« Amplificateur de puissance MASMOS à cellules de puissance reconfigurables pour
applications LTE »,
Journées Nationales Micro-Ondes (JNM) 2017

Annexe A

Calcul des produits d'intermodulation

Un signal bi-ton est formé de deux composantes à des fréquences différentes. Ce type de signal permet d'évaluer la linéarité du PA en faisant apparaître des distorsions harmoniques des IMD. La tension de sortie d'un système non-linéaire peut être exprimée sous la forme d'un polynôme tel que :

$$v_{out}(t) = a_0 + a_1 v_{in}(t) + a_2 v_{in}^2(t) + a_3 v_{in}^3(t) + \dots \quad (\text{A.1})$$

Le signal d'entrée bi-ton $v_{in}(t)$ est défini comme :

$$v_{in}(t) = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t) \quad (\text{A.2})$$

avec :

- ω_1 et ω_2 les pulsations de chaque ton,
- A_1 et A_2 les amplitudes de chaque ton.

Le spectre de $v_{out}(t)$ est calculé à partir des équations A.2 et A.1 à l'ordre 3 ($a_i = 0$ pour $i > 3$). L'amplitude des principales composantes fréquentielles est :

$$DC : \frac{a_2}{A_1^2 + A_2^2} \quad (\text{A.3})$$

$$\omega_1 : a_1 A_1 + \frac{3a_3 A_1^3}{4} + \frac{3a_3 A_1 A_2^2}{2} \cos(\omega_1 t) \quad (\text{A.4})$$

$$\omega_2 : a_1 A_2 + \frac{3a_3 A_2^3}{4} + \frac{3a_3 A_2 A_1^2}{2} \cos(\omega_2 t) \quad (\text{A.5})$$

$$\omega_1 \pm \omega_1 : a_2 A_1 A_2 (\cos((\omega_1 + \omega_2)t) + \cos((\omega_1 - \omega_2)t)) \quad (\text{A.6})$$

$$2\omega_1 \pm \omega_2 : \frac{3a_3 A_1 A_2^2}{4} \cos((2\omega_1 - \omega_2)t) \quad (\text{A.7})$$

$$2\omega_2 \pm \omega_1 : \frac{3a_3 A_2 A_1^2}{4} \cos((2\omega_2 - \omega_1)t) \quad (\text{A.8})$$

$$\dots \quad (\text{A.9})$$

Annexe B

Kit de calibrage TRL différentiel

L'objectif du calibrage est de caractériser les éléments entre l'appareil de mesure et le composant à tester (DUT), afin d'obtenir une mesure précise du DUT seul. Un kit calibrage est conçu pour retirer les effets des câbles, des connecteurs SMA ainsi que des pistes d'accès sur le PCB, et ainsi effectuer les différentes mesures dans un plan proche du DUT.

La méthode de calibrage choisie est la méthode Thru-Reflect-Line (TRL). Le calibrage TRL nécessite au moins 3 standards, décrits dans la figure :

- un standard passant (THRU),
- un standard réfléchissant (REFLECT), qui peut-être un circuit ouvert (open) ou un court-circuit (short),
- une longueur de ligne précise (LINE). La ligne quart-d'onde peut-être conçue à une fréquence plus haute que celle où est effectuée la mesure pour réduire la taille de la ligne, la plage de fréquence où le calibrage est valide dépendant de l'appareil de mesure utilisé.

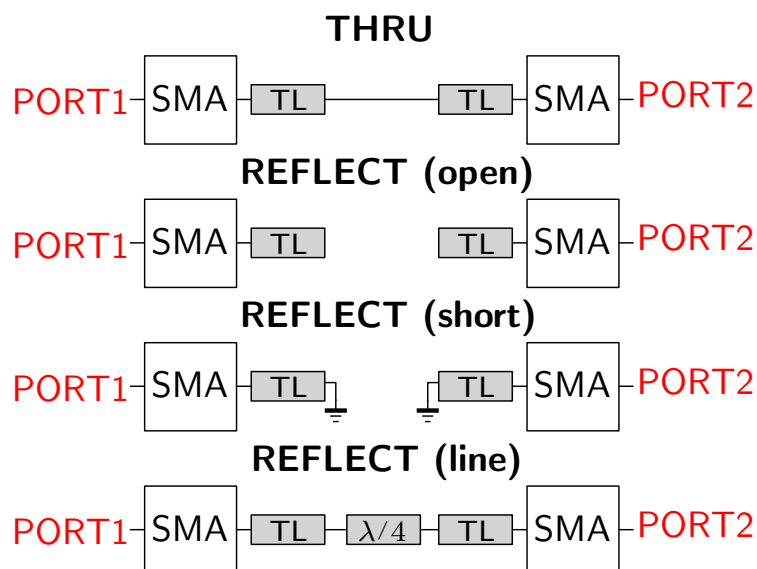
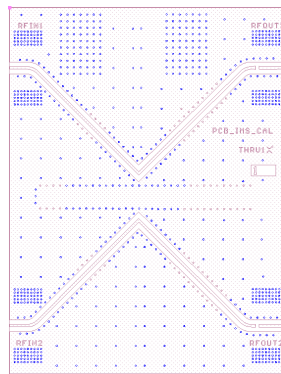
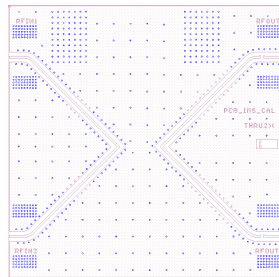


Figure B.1 – Description d'un kit de calibrage TRL single.

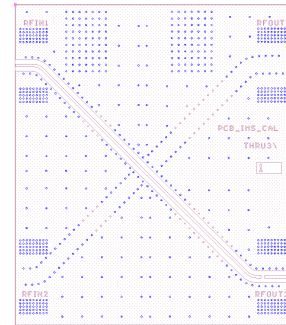
En différentiel, le nombre d'éléments du kit augmente car il est aussi nécessaire de caractériser plus de chemins. Les PCB conçus sont représentés dans la figure B.2.



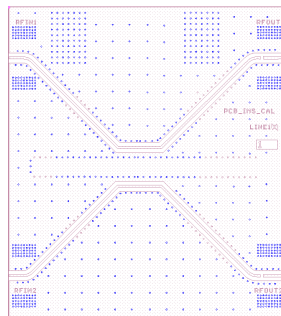
(a) Standard THRU - Direct.



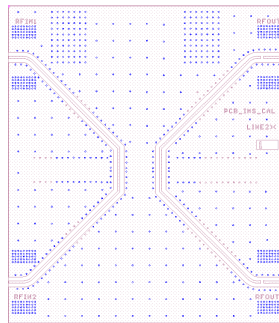
(b) Standard THRU - Réflecté.



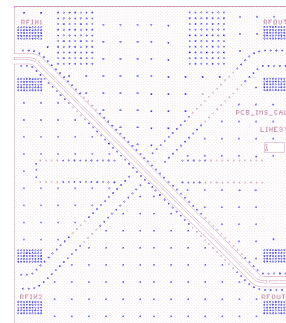
(c) Standard THRU - Croisé.



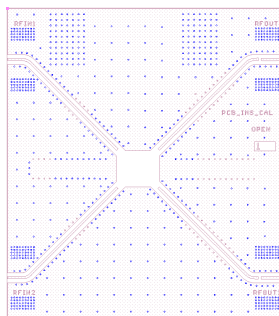
(d) Standard LINE Direct.



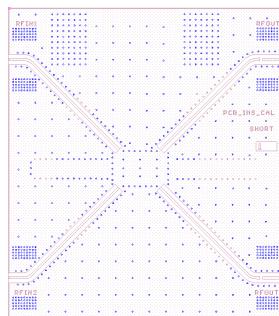
(e) Standard LINE Réflecté.



(f) Standard LINE - Croisé.



(g) Standard REFLECT - Open.



(h) Standard REFLECT - Short.

Figure B.2 – PCB du kit de calibrage TRL différentiel conçu.