



HAL
open science

Contribution à l'étude expérimentale des résistances d'accès dans les transistors de dimensions deca-nanométrique des technologies CMOS FD-SOI

Jean-Baptiste Henry

► **To cite this version:**

Jean-Baptiste Henry. Contribution à l'étude expérimentale des résistances d'accès dans les transistors de dimensions deca-nanométrique des technologies CMOS FD-SOI. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2018. Français. NNT : 2018GREAT039 . tel-01897472

HAL Id: tel-01897472

<https://theses.hal.science/tel-01897472>

Submitted on 17 Oct 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTÉ UNIVERSITÉ GRENOBLE ALPES

Spécialité : NANO ELECTRONIQUE ET NANO TECHNOLOGIES

Arrêté ministériel : 25 mai 2016

Présentée par

Jean-Baptiste HENRY

Thèse dirigée par **Gérard GHIBAUDDO**, Directeur, CNRS

préparée au sein du **Laboratoire Institut de Microélectronique,
Electromagnétisme et Photonique - Laboratoire
d'hyperfréquences et de caractérisation**
dans l'**École Doctorale Electronique, Electrotechnique,
Automatique, Traitement du Signal (EEATS)**

**Contribution à l'étude expérimentale des
résistances d'accès dans les transistors de
dimensions deca-nanométrique des
technologies CMOS FD-SOI**

**Contribution to experimental study of access
resistance in deca-nanometric CMOS FD-SOI
technologies transistors**

Thèse soutenue publiquement le **8 juin 2018**,
devant le jury composé de :

Monsieur GERARD GHIBAUDDO

DIRECTEUR DE RECHERCHE, CNRS DELEGATION ALPES, Directeur
de thèse

Madame MIREILLE MOUIS

DIRECTRICE DE RECHERCHE, CNRS DELEGATION ALPES, Président

Monsieur FRANCIS CALMON

PROFESSEUR, INSA LYON, Rapporteur

Monsieur PHILIPPE LORENZINI

PROFESSEUR, UNIVERSITE NICE SOPHIA ANTIPOLIS, Rapporteur

Remerciements

Un jour j'irai vivre en théorie, parce qu'en théorie tout se passe bien

Ces trois années de thèses, au-delà de l'aspect scientifique et technique extrêmement enrichissant, a aussi été l'opportunité d'échanger avec de nombreuses personnes que j'aimerais remercier.

Pour commencer Julien et toute l'équipe SiRel (ou quelque soit son nom actuelle au gré des lubies de la hiérarchie) pour leur accueil chaleureux (mention spéciale à Julien pour m'avoir réservé des bancs de test même lorsque je n'en demandais pas).

Antoine pour avoir pris le temps de m'expliquer les bases du matching, pour avoir partagé ton code python avec moi et pour m'avoir appris le fonctionnement des bancs de test aux interfaces mal traduites du japonais vers l'anglais (qui pouvait deviner que cancel est en fait ok?).

Jean-Phi pour ton enthousiasme et pour les rappels après plusieurs mois sans manipuler alors que ton emploi du temps était déjà chargé (j'espère que tout se passe bien pour toi en Autriche!).

Quentin pour les heures passées à se prendre la tête ensemble sur des équations qui n'aboutissent finalement à rien, pour la relecture de ce manuscrit, pour ta rigueur obsessionnelle sur les graphes et les figures et surtout pour les nombreuses découvertes musicales!

Gérard pour tes conseils scientifiques d'une pertinence sans égale, je te souhaite de pouvoir continuer à transmettre ton immense savoir des semiconducteurs aux prochaines générations!

Damien pour les discussions informelles à la pause café sur un sujet qui n'était pas le tien, pour les heures à se prendre la tête à échafauder des plans toujours plus stupides et compliqués les uns que les autres (cette histoire de colle va me hanter pendant des années!). Et n'oublions pas les soirées pizza/jeux (puisse l'Empereur te garder d'un jour rencontrer Lòfwyr)!

Mes amis, en particulier Flo'w pour avoir supporté ma frustration et pour ses encouragements quand j'étais dans l'impasse. Pour m'avoir écouté quand, enthousiaste, j'obtenais des résultats intéressants (même si tu ne comprenais pas de quoi je parlais... c'est l'intention qui compte!). Mais également Simon et Baptiste pour m'avoir supporté au quotidien (surtout Baptiste... mais quand vas-tu arrêter de me suivre?!) et pour avoir servi de cobayes pour répéter mes présentations. Sophie et Antho pour avoir eu la patience de chasser les fautes d'orthographe dans ce manuscrit. Et tous les autres pour votre soutien et les nombreuses soirées qui m'ont permis de décompresser quand il le fallait!

Et enfin bien sûr à ma famille avec une pensée émue à mon grand-père qui ne pourra pas voir l'aboutissement de ces 3 ans de recherche scientifique.

Table des matières

Remerciements	3
Introduction générale	13
I Le transistor MOS	17
I.1 Le transistor MOSFET long	19
I.1.1 Architecture	19
I.1.2 Mode de fonctionnement	20
I.1.3 Le compromis puissance active/puissance passive	22
I.2 Les conséquences de la miniaturisation	23
I.2.1 Les effets de canaux courts	23
I.2.2 L'effet tunnel	26
I.2.3 La mobilité et sa dégradation	28
I.2.4 L'augmentation des résistances d'accès	30
I.2.5 L'accroissement de la variabilité	31
I.3 La caractérisation électrique : paramètres importants et méthodes de base	32
I.3.1 Les paramètres électriques	32
I.3.2 Les méthodes d'extraction en courant	36
I.3.3 Les méthodes avec les paramètres extraits	43
I.3.4 Les méthodes capacitives	46
I.4 Objectifs de cette thèse	49
II Extraire la résistance d'accès	53
II.1 La résistance de contact source/drain - canal	55
II.1.1 Les structures résistives	55
II.1.2 Applications et limitations	57
II.2 Les structures MOS Kelvin	57
II.2.1 Architecture et principe de fonctionnement	58
II.2.2 Comparaison des mesures 2 pointes et 4 pointes	59
II.3 De nouvelles méthodes d'extraction des composants parasites	60
II.3.1 Une méthode héritée de l'état de l'art : la méthode linéaire	60
II.3.2 Une nouvelle méthode d'extraction : la méthode différentielle	65
II.4 Exploitation des méthodes	73
II.4.1 Un modèle de résistance simple	73
II.4.2 Résultats	76

II.5 Conclusion	77
III Une nouvelle méthode de caractérisation électrique : la fonction "New Y"	81
III.1 Démonstration et comparaison avec la fonction Y	83
III.1.1 La fonction Y_c	83
III.1.2 Adaptation de la fonction Y_c au courant	86
III.1.3 Comparaison avec la fonction Y	89
III.1.4 Conclusion sur la fonction New Y	93
III.2 Étude de l'impact de la résistance d'accès sur les méthodes de caractérisation et les performances des transistors	94
III.2.1 Modification de la fonction New Y	94
III.2.2 Extraction et modélisation de R_{sd}	96
III.2.3 Protocole expérimental	99
III.2.4 Exploitation des résultats	102
III.2.5 Étude de l'impact du dopage canal sur les paramètres électriques . .	106
III.3 Conclusion	112
IV Application des méthodes sur un problème concret : la variabilité	115
IV.1 État de l'art des mesures de variabilité	117
IV.1.1 Les bases de la variabilité	117
IV.1.2 Les composantes du désappariement	118
IV.1.3 Un modèle simple de variabilité : le modèle de Croon	119
IV.1.4 Évolution des méthodes pour les faibles dimensions	120
IV.2 Étude de l'efficacité de la fonction New Y par rapport aux méthodes existantes	122
IV.3 Comparaison de différentes méthodes pour modéliser la variabilité	124
IV.3.1 Protocole expérimental	124
IV.3.2 La méthode industrielle	125
IV.3.3 Méthode par extraction sur la fonction New Y	126
IV.3.4 Synthèse	128
IV.4 Une nouvelle approche de la variabilité : un modèle basé sur la fonction New Y	128
IV.4.1 Introduction du modèle	128
IV.4.2 Modification du protocole expérimental	129
IV.4.3 Résultats	130
IV.5 Perspective	133
IV.6 Conclusion	134
Conclusion générale	137

Table des figures

1	Évolution de la longueur de grille des transistors d'après la feuille de route de l'ITRS 2011, actualisée en 2012	13
2	Tableau de la feuille de route de l'ITRS 2015 concernant les dimensions et les structures prévues pour les futurs nœuds	14
3	Évolution du nombre de transistors achetable pour 1\$ en fonction de l'année et du nœud technologique	15
I.1	Représentation schématique d'un transistor CMOS "bulk" en coupe [1]	19
I.2	Modification de la barrière de potentiel source-drain en fonction de la tension V_{gs} appliquée sur la grille. (a) régime d'accumulation, (b) régime de bandes plates, (c) régime d'inversion forte [2]	21
I.3	Illustration des trois régimes de conduction et de la répartition du potentiel dans le canal en fonction de la tension V_{ds} appliquée entre la source et le drain [2]	22
I.4	Illustration de l'abaissement de la barrière de potentiel source-drain dans les transistors courts [2]	24
I.5	Courbe de courant caractéristique d'un transistor MOS en échelle semilog montrant l'influence du SCE et du DIBL (reproduit avec l'autorisation de Frédéric Bœuf)	24
I.6	Représentation schématique d'un transistor CMOS FD-SOI en coupe [1] . . .	25
I.7	Les différents mécanismes d'effet tunnel à travers une barrière de potentiel (a) direct, (b) Fowler - Nordheim (assisté par champ électrique), (c) émission thermionique, (d) Poole - Frenkel (assisté par piège) [3]	26
I.8	Illustration de la trajectoire d'un porteur de charge subissant des collisions dans un cristal (a) sous le seul effet de l'énergie thermique, (b) sous l'application d'un champ électrique [4]	28
I.9	Schéma équivalent du transistor avec ses résistances d'accès (reproduit avec l'autorisation de Frédéric Bœuf)	31
I.10	Mesure de courant de drain pour 61 paires de transistors	32
I.11	Schéma équivalent des différentes capacités parasites d'un transistor CMOS .	34
I.12	Extraction de la pente sous le seuil SS par extrapolation linéaire sous le seuil sur un transistor nominal de la filière 14nm FD-SOI d'STMicroelectronics .	37
I.13	Extraction de la tension de seuil V_{th} par la méthode du courant constant I_{cc} sur un transistor nominal de la filière 14nm FD-SOI d'STMicroelectronics . .	38

I.14	Extraction de la tension de seuil V_{th} par la méthode du maximum de la transconductance g_m extrapolée sur le courant I_{ds} de la filière 14nm FD-SOI d'ST-Microelectronics	39
I.15	Représentation de la fonction Y et de l'extraction des paramètres β et V_{th} pour un transistor nominal issu de la filière 14nm FD-SOI d'ST-Microelectronics	40
I.16	Représentation de la fonction θ_{eff} et de l'extraction des paramètres θ_1 et θ_2 pour un transistor issu de la filière 28nm FD-SOI d'ST-Microelectronics	40
I.17	Algorithme itératif proposé par Mourrain pour corriger la non-linéarité de la fonction Y	41
I.18	Comparaison entre la fonction Y et la fonction Y corrigée par la méthode de Mourrain après 7 itérations	42
I.19	Extraction de θ_1^0 et de la résistance d'accès R_{sd} avec la méthode $\theta_1(\beta)$	43
I.20	Extraction de ΔL et de la résistance d'accès R_{sd} avec la méthode $R_{tot}(L)$	44
I.21	Extraction de la résistance d'accès R_{sd} avec la méthode $R_{tot}(L)$	45
I.22	(a) Schéma du protocole expérimental et (b) courbe typique d'une mesure de capacité grille-canal [5]	46
I.23	Exemple de courbe mesurée impactée par la capacité parasite C_{pad} comparée à la courbe corrigée sur laquelle la valeur de C_{pad} a été retranchée sur toute la mesure	47
I.24	(a) Protocole expérimental et (b) courbe typique d'une mesure de capacité grille-substrat [5]	48
II.1	Vue du dessus des structures résistives (a) en croix de Kelvin, (b) de type <i>Transmission Line Method</i> (TLM) et (c) combinant TLM et Kelvin.	55
II.2	Représentation schématique du protocole expérimental nécessaire aux mesures Kelvin	56
II.3	Schéma d'un transistor de la technologie 14nm FD-SOI en coupe et des connexions avec les plots de mesures. Chaque paire de plots permet des mesures de type Kelvin.	58
II.4	(a) Courbe de transfert ($I_{ds}(V_{gs})$) en forçant et en mesurant avec 2 pointes, (b) Courbe de transfert ($I_{ds}(V_{gs})$) en forçant avec 2 pointes et en mesurant avec 2 pointes différentes. Les lignes + symboles représentent les mesures 4 pointes, les lignes continues seules sont les mesures de la figure II.4 (a)	59
II.5	Mesure de la capacité grille-canal effectuée sur les transistors MOS Kelvin décrit en section II.2	61
II.6	Tension de seuil moyenne extraite par le maximum de g_m extrapolé sur 60 puces pour toutes les longueurs disponibles sur les transistors Kelvin NMOS (en rouge) et PMOS (en noir)	62
II.7	Évolution de la capacité grille-canal C_{gc} normalisée en largeur en fonction de la longueur pour plusieurs tension de polarisation de grille V_{gs}	62
II.8	Capacité parasite extraite par extrapolation de la capacité totale à $L = 0$ en fonction de la polarisation de grille V_{gs}	63
II.9	Évolution de la résistance totale en fonction de la longueur de grille pour plusieurs V_{gs}	64

II.10	Résistance parasite extraite par extrapolation de la résistance totale à $L = 0$ en fonction de la polarisation de grille V_{gs}	64
II.11	Représentation de l'effet de la méthode d'extraction différentielle vue par l'architecture MOS	66
II.12	Courbes $\Delta C/\Delta L$ en fonction de V_{gs} issues de l'équation (II.13). Celles-ci correspondent à la capacité grille-canal intrinsèque.	68
II.13	Comparaison des courbes corrigées (lignes continues) par l'équation (II.14) avec les mesures (symboles ouverts). Les codes couleurs utilisés jusqu'à présent pour chaque longueur ont été respectés	69
II.14	Capacité parasite C_{par} en fonction de V_{gs} pour chaque longueur disponible avec les structures MOS Kelvin	70
II.15	Comparaison de la capacité parasite obtenue par extrapolation avec la moyenne de celles obtenues par la méthode différentielle	70
II.16	Courbes $\Delta R/\Delta L$ en fonction de V_{gs} issues de l'équation (II.16). Celles-ci correspondent à la résistance intrinsèque du canal.	71
II.17	Comparaison des courbes corrigées (lignes continues) avec les mesures (symboles). Les codes couleurs utilisés jusqu'à présent pour chaque longueur ont été respectés	72
II.18	Résistance parasite en fonction de V_{gs} pour chaque longueur disponible avec les structures MOS Kelvin	72
II.19	Comparaison de la résistance parasite obtenue par extrapolation avec la moyenne de celles obtenues par la méthode différentielle	73
II.20	Comparaison de la moyenne de la résistance d'accès obtenue par la méthode différentielle avec le modèle de résistance variant linéairement avec V_{gs}	74
II.21	Comparaison de la moyenne de la résistance d'accès obtenue par la méthode différentielle avec le modèle de résistance variant de façon hyperbolique avec V_{gs}	75
II.22	Comparaison entre le nouveau modèle de résistance et les résistances d'accès extraites avec les méthodes utilisées dans ce chapitre	76
II.23	Comparaison entre les mesures de courant (lignes continues) et le modèle de courant prenant le modèle de résistance en paramètre d'entrée (symboles +) - (a) échelle linéaire et (b) échelle semilog. Les codes couleurs utilisés jusqu'à présent pour chaque longueur ont été respectés	77
III.1	Comparaison de l'évolution de Q_{inv} en fonction de Y_c entre les valeurs expérimentales (symboles), le modèle (ligne continue) et les asymptotes de chaque régime de fonctionnement	85
III.2	Comparaison de l'évolution de Q_{inv} en fonction de V_{gs} entre les valeurs expérimentales (symboles) et le modèle (ligne continue) en échelle linéaire et semilog. Les flèches indiquent l'échelle sur laquelle lire les valeurs de chaque courbe	86
III.3	Comparaison de l'évolution de C_{gc} en fonction de Y_c entre les valeurs expérimentales (symboles) et le modèle (ligne continue)	86
III.4	Comparaison de l'évolution de Q_{inv}/C_{gc} en fonction de Y_c entre les valeurs expérimentales (symboles), le modèle (ligne continue) en (a) échelle linéaire et (b) échelle semilog	87

III.5	Comparaison de l'évolution de I_{ds}/g_m en fonction de Y entre les valeurs expérimentales (symboles) et le modèle (ligne continue) pour des longueurs variant de 1 μm à 28 nm	89
III.6	Comparaison des courbes de transfert $I_{ds}(V_{gs})$ entre les valeurs expérimentales (symboles) et le modèle (ligne continue) pour des longueurs variant de 1 μm à 28 nm en (a) échelle linéaire et (b) échelle semilog	90
III.7	Évolution du facteur d'idéalité n extrait par la méthode de la pente sous le seuil (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur	91
III.8	Évolution de la mobilité μ_0 extraite avec la fonction Y standard (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur	91
III.9	Évolution de la tension de seuil V_{th} extraite avec la fonction Y standard (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur	92
III.10	Évolution du facteur de réduction de mobilité θ_1 extrait avec la fonction Y standard (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur	92
III.11	Évolution de la tension de seuil V_{th} extraite avec la fonction Y standard (ligne pointillée) et avec la fonction New Y (ligne continue) en fonction de la longueur et pour différentes valeurs de V_{gmax}	92
III.12	Évolution de la mobilité μ_0 extraite avec la fonction Y standard (ligne pointillée) et avec la fonction New Y (ligne continue) en fonction de la longueur et pour différentes valeurs de V_{gmax}	93
III.13	Évolution de facteur de réduction de mobilité θ_1 extrait avec la fonction Y standard (ligne pointillée) et avec la fonction New Y (ligne continue) en fonction de la longueur et pour différentes valeurs de V_{gmax}	93
III.14	Évolution des R_{sd} individuelles (ligne pointillée) obtenues sur 64 transistors de 28 nm de longueur et 1 μm par méthode différentielle et de leur moyenne (ligne continue + symboles) en fonction de V_{gs}	97
III.15	Comparaison de l'évolution V_{gs}^{mod} et V_{gt} en fonction de V_{gs}	98
III.16	Comparaison de l'évolution de (a) R_{sd} et (b) sa dérivée par rapport à V_{gs} entre la mesure (symboles \square), le modèle de R_{sd} constante (losange ouvert), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne et symboles +) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et symboles x)	100
III.17	Diagramme fonctionnel du protocole expérimental. Les codes couleurs utilisés sur ce schéma sont réutilisés sur les graphes de résultat de cette section . . .	101
III.18	Comparaison des courbes de transfert $I_{ds}(V_{gs})$ mesurées (ligne continue) et corrigées (symboles) par la méthode directe	102

III.19	Comparaison des courbes de transfert corrigées obtenues avec la méthode directe (carrés), le modèle de R_{sd} constante (symboles \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne et symboles $+$) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et symboles \times) en (a) échelle linéaire et (b) échelle semilog pour les longueurs extrêmes de la gamme étudiée (28 et 120 nm)	103
III.20	Évolution du gain moyen β en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)	104
III.21	Évolution du facteur d'idéalité moyen n en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)	104
III.22	Évolution du facteur de réduction de mobilité θ_1 en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)	105
III.23	Évolution du facteur de réduction de mobilité θ_2 en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)	105
III.24	Représentation schématique de l'ensemble Source - Canal - Drain et de leur dopage pour (a) un procédé standard, (b) un procédé avec canal contre-dopé et (c) un procédé avec un canal dopé	108
III.25	Comparaison du α moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite)	109
III.26	Comparaison des (a) R_s^0 et R_{ext} moyens obtenus sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite)	109
III.27	Comparaison du gain β moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées	110
III.28	Comparaison du facteur d'idéalité n moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées	110
III.29	Comparaison du facteur de réduction de mobilité θ_1 moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées	111
III.30	Comparaison du facteur de réduction de mobilité θ_2 moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées	111

IV.1	Évolution de la variation de comportement entre deux composants en fonction de la distance les séparant [6], [7]	118
IV.2	Évolution du paramètre $iA_{\Delta V_{th}/V_{th}}$ en fonction de la surface S pour différentes méthodes d'extraction sur des transistors de la technologie 28 nm FD-SOI d'STMicroelectronics	122
IV.3	Évolution du paramètre $iA_{\Delta\beta/\beta}$ en fonction de la surface S pour différentes méthodes d'extraction sur des transistors de la technologie 28 nm FD-SOI d'STMicroelectronics	123
IV.4	Évolution du paramètre $iA_{\Delta n/n}$ en fonction de la surface S pour différentes méthodes d'extraction sur des transistors de la technologie 28 nm FD-SOI d'STMicroelectronics	124
IV.5	Courbes de courant mesurées sur les transistors utilisés dans ce chapitre de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	125
IV.6	Courbes expérimentales (symboles ●) et théoriques (ligne continue) ainsi que les contributions de $\sigma_{\Delta V_{th}}$ (symboles +) et $\sigma_{\Delta\beta/\beta}$ (symboles x) dans le modèle de Croon pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	126
IV.7	Courbes expérimentales (symboles ●) et théoriques (ligne continue) issues du modèle de Karatsori appliqué à la fonction Y pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	127
IV.8	Courbes expérimentales (symboles ●) et théoriques (ligne continue) issues du modèle de Karatsori pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	127
IV.9	Courbes de courant mesurées pour les transistors 1 et 2 de chaque paire pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	130
IV.10	Courbes de courant obtenues par simulation Monte-Carlo pour les transistors 1 et 2 de chaque paire pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	131
IV.11	Courbes expérimentales (symboles ●) et théoriques (ligne continue) ainsi que les contributions de $\sigma_{\Delta n/n}$ (symboles +), de $\sigma_{\Delta\beta/\beta}$ (symboles x) et de $\sigma_{\Delta R_{sd}}$ (symboles ★) dans le modèle (IV.24) pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	131
IV.12	Courbes simulées (symboles ●) et théoriques (ligne continue) ainsi que les contributions de $\sigma_{\Delta n/n}$ (symboles +), de $\sigma_{\Delta\beta/\beta}$ (symboles x) et de $\sigma_{\Delta R_{sd}}$ (symboles ★) dans le modèle (IV.24) pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm	132
IV.13	Structure de test préconisée pour approfondir les études de désappariement menées dans ce chapitre	134

Introduction générale

En 1965, Gordon E. Moore [8] énonce sa loi éponyme qui prévoit, dans sa version modifiée, que le nombre de transistors présents sur un circuit intégré doublera tous les deux ans. Cette loi dictera ainsi la marche à suivre pour l'industrie microélectronique pour le demi siècle suivant par le biais des feuilles de route de la Semiconductor Industry Association (SIA) d'abord, puis de l'International Technology Roadmap for Semiconductors (ITRS). Un exemple de ces fameuses feuilles de route est donné sur la figure 1 [9].

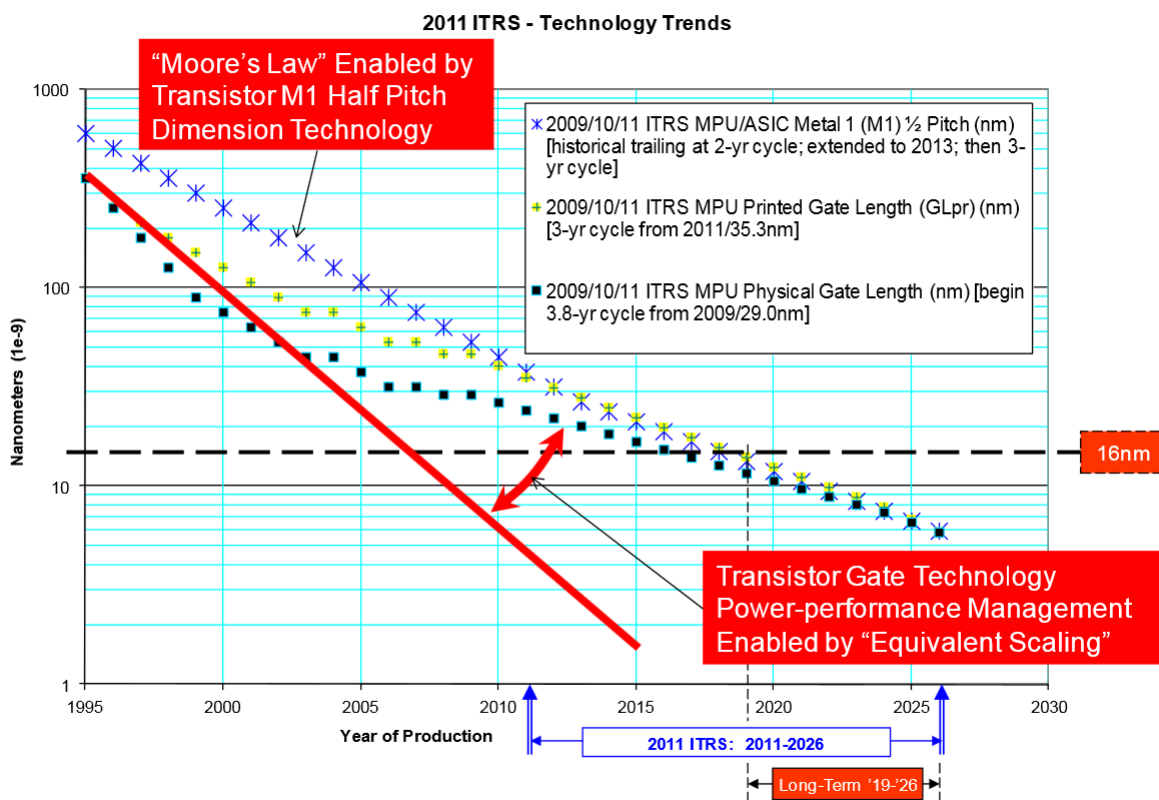


FIGURE 1 – Évolution de la longueur de grille des transistors d'après la feuille de route de l'ITRS 2011, actualisée en 2012

En 2012, l'ITRS se réforme pour répondre aux nouveaux enjeux techniques et écono-

miques du marché de la microélectronique. Le tableau 2 [10] montre ainsi que la longueur de grille, élément clé dans la réduction des dimensions des transistors, stagnera à 10 nm à partir de 2020. Ce même tableau montre également que l'effort sera surtout concentré sur la modification de la structure des transistors, devenant de plus en plus sophistiquée pour aboutir d'ici 2023 à des nanofils empilés verticalement. Pour parvenir à de telles structures, la recherche est actuellement concentrée sur la résolution des problèmes que posent les nœuds les plus récents (finFET 14nm, FD-SOI 20nm) comme la dégradation par porteurs chauds et les résistances d'accès pour ne citer que ces deux exemples.

Roadmap - ground rules + device arch.

	2014	2016	2018	2020	2023	2025
Node conventional name	N14	N10	N7	N5	N3	N1.5
Ground rules CPP=x0.78, MP=x0.65						
Contacted poly pitch – [nm]	70	52	42	32	25	25
	LELE	LELE,SADP	SADP	SAQP	SAQP	SAQP
Metal pitch – [nm]	52	36	24	16	10	10
Metal patterning	LELELE, SADP	SAQP, EUV	SAQP, EUV	SAOP, DSA, EUV	SAOP, DSA, EUV	SAOP, DSA, EUV
Fin pitch – [nm]	42	27	18-24	12-16		
Fin patterning	SADP	SAQP	SAQ(O)P, DSA	SAOP, DSA	SAOP, DSA	SAOP, DSA
Vertical pitch – [nm]			18	15		
Fin width – [nm]	8	6	-	-		
Nanowire diameter – [nm]			6	5	5	5
Channel length – [nm]	22	16	12	10	10	10
Spacer width – [nm]	15	10	7	5	5	5
Contact CD - [nm]	18	16	14	12	-	-
Device structure	finFET FDSOI	finFET FDSOI	finFET Lateral NW	Lateral NW Lateral NS	Stacked Vertical NW	Stacked Vertical NW

FIGURE 2 – Tableau de la feuille de route de l'ITRS 2015 concernant les dimensions et les structures prévues pour les futurs nœuds

Cependant, devant la complexité grandissante de ces nouvelles architectures et des verrous technologiques qu'ils imposent, il est légitime de se poser la question de la rentabilité. En effet, la figure 3 [10] montre que les coûts nécessaires au développement des nœuds 20 et 16nm seront trop importants par rapport au bénéfice qu'il serait possible d'en tirer.

En définitive, l'argument économique pourrait donc être le principal facteur limitant la miniaturisation. Celle-ci devait pourtant (d'après la loi de Moore) aboutir à la limite physique du transistor atomique dans les décennies à venir. La loi de Moore quant à elle pourrait tout de même continuer à être suivie sur d'autres aspects comme les empilements verticaux, la multiplication des cœurs dans les microprocesseurs etc. C'est ce qu'on appelle le *More Than Moore*.

Toutefois, dans l'hypothèse où le coût nécessaire à la poursuite de la miniaturisation ne soit pas un frein, les nouvelles structures requises par cette dernière introduisent des nouveaux

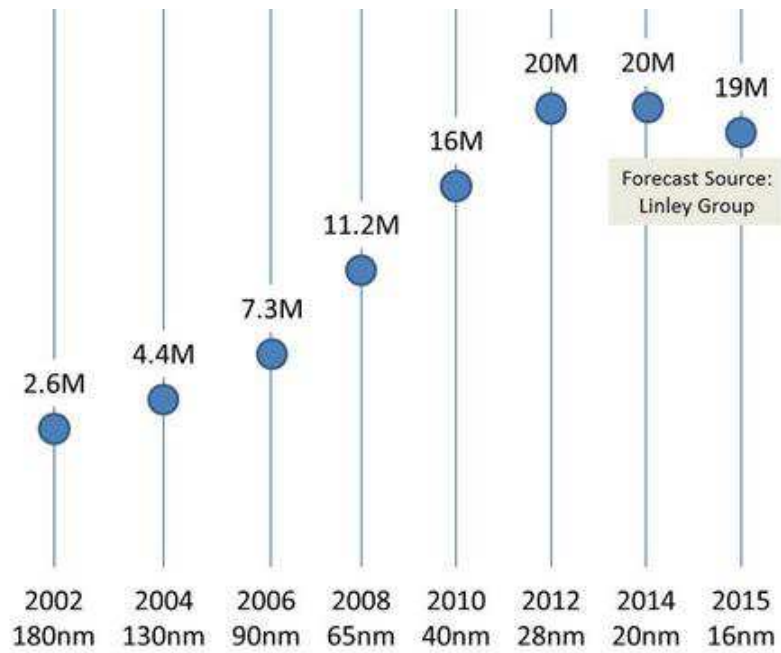


FIGURE 3 – Évolution du nombre de transistors achetable pour 1\$ en fonction de l'année et du nœud technologique

effets qu'il convient d'analyser. Ce manuscrit proposera donc des méthodes pour étudier les résistances d'accès des transistors, principal facteur limitant les performances des technologies les plus avancées.

Chapitre I

Le transistor MOS

Sommaire

I.1	Le transistor MOSFET long	19
I.1.1	Architecture	19
I.1.2	Mode de fonctionnement	20
I.1.3	Le compromis puissance active/puissance passive	22
I.2	Les conséquences de la miniaturisation	23
I.2.1	Les effets de canaux courts	23
I.2.2	L'effet tunnel	26
I.2.3	La mobilité et sa dégradation	28
I.2.4	L'augmentation des résistances d'accès	30
I.2.5	L'accroissement de la variabilité	31
I.3	La caractérisation électrique : paramètres importants et méthodes de base	32
I.3.1	Les paramètres électriques	32
I.3.2	Les méthodes d'extraction en courant	36
I.3.3	Les méthodes avec les paramètres extraits	43
I.3.4	Les méthodes capacitives	46
I.4	Objectifs de cette thèse	49

Introduction - Ce premier chapitre a pour but de présenter de manière simplifiée les principes de fonctionnement du transistor MOS idéal et les phénomènes qui ont éloigné le dispositif réel de cet état théorique. Ils donneront aux lecteurs les bases nécessaires à la compréhension des travaux réalisés durant cette thèse dans les chapitres II à IV. L'objectif de ce chapitre n'étant pas de redéfinir la théorie des semiconducteurs ni des dispositifs à effet de champ, le lecteur pourra approfondir le sujet avec les ouvrages de référence en la matière [3], [11].

- La première section présentera le fonctionnement du transistor long idéal
- La deuxième section montrera les conséquences de la réduction des dimensions sur le fonctionnement idéal du transistor
- La troisième section traitera de la caractérisation électrique et plus particulièrement des problèmes liés à l'extraction de mobilité et de résistance d'accès.
- Et enfin, dans la dernière section, le plan et les objectifs de cette thèse seront exposés.

I.1 Le transistor MOSFET long

I.1.1 Architecture

La figure I.1 représente la structure MOS (Metal Oxide Semiconductor) qui est composée de 4 blocs essentiels à son fonctionnement :

- une grille métallique qui contrôle l'état passant (état logique 1) ou bloqué (état logique 0) du transistor
- un canal en semiconducteur qui permet, en présence d'une couche d'inversion, le passage du courant entre la source et le drain
- un oxyde de grille nécessaire pour isoler la grille du canal et créer le couplage capacitif entre ces derniers
- la source et le drain qui servent de réservoirs à porteurs de charge. Le type de ces derniers définissent également le type du transistor (les électrons pour le type N, les trous pour le type P)

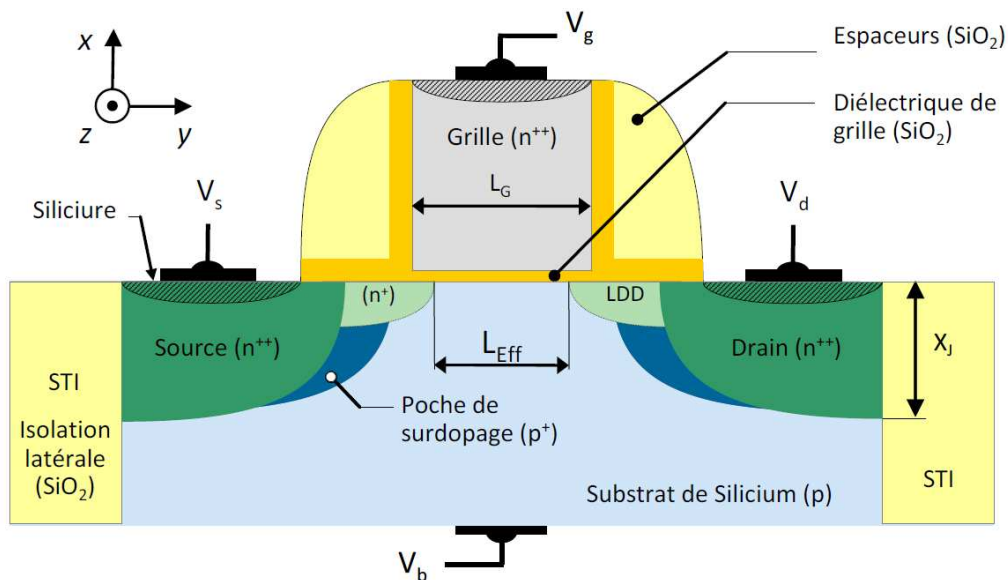


FIGURE I.1 – Représentation schématique d'un transistor CMOS "bulk" en coupe [1]

Historiquement, la grille était composée de métal. Cependant, l'évolution de la technologie a mené à le remplacer par un semiconducteur dopé à dégénérescence pour répondre aux problèmes de budget thermique lors du procédé de fabrication. De même, l'oxyde de grille était initialement composé d'oxyde de silicium car ce dernier bénéficiait d'une simplicité de fabrication (oxydation thermique), de bonnes propriétés isolantes et d'un faible taux de défauts et de charges piégés.

Le principe de fonctionnement du transistor MOS repose sur la modulation de la densité de porteurs de charge dans le canal par l'application d'une tension V_{gs} sur sa grille (égale à

V_g quand $V_s = 0V$). Celle-ci crée un champ électrique qui attire les porteurs des source/drain vers la surface de l'oxyde de grille pour former une couche conductrice. On parle alors de couche d'inversion quand celle-ci est constituée de porteurs minoritaires et de couche d'accumulation lorsqu'elle est constituée de porteurs majoritaires. Cette dernière agit dès lors comme un canal de conduction reliant la source et le drain, permettant le passage du courant I_{ds} en appliquant une tension V_{ds} aux bornes de ces derniers.

I.1.2 Mode de fonctionnement

Comme le montre la figure I.1, la structure source - canal - drain peut-être assimilée à une double jonction N-P. La barrière de potentiel (built-in potential) ainsi formée empêche la libre circulation du courant. Cependant, la hauteur de cette barrière est directement contrôlée par la tension de grille V_{gs} , qui définit 4 régimes de fonctionnement représentés sur la figure I.2. Pour un nMOSFET :

- **Le régime de bandes plates** ($V_{gs} = V_{fb}$) : V_{fb} correspond à la tension nécessaire pour avoir un diagramme de bande plat et une concentration constante en porteurs majoritaires et minoritaires dans le substrat en silicium
- **Le régime d'accumulation** ($V_{gs} < V_{fb}$) : les porteurs majoritaires du volume sont attirés vers la surface de l'oxyde, renforçant localement le type du substrat (N+ pour le type N et P+ pour le type P) et augmentant la hauteur de barrière V_{bi}
- **Le régime de désertion** ($V_{gs} > V_{fb}$) : les porteurs de charge accumulés dans la grille étant de signe identique aux porteurs majoritaires dans le canal, ces derniers sont repoussés dans la profondeur du matériau laissant derrière eux une zone d'impuretés ionisées non compensées de charge opposée.
- **Le régime d'inversion** ($V_{gs} \gg V_{fb}$) : en augmentant encore la tension de grille, les porteurs minoritaires sont attirés depuis les source/drain vers la surface de l'oxyde où leur concentration devient localement équivalente voire supérieure à celle des porteurs majoritaires. On parle alors de régime d'inversion forte. Par définition, dans le cas spécifique du FD-SOI (silicium entièrement déplété sur isolant), le film semiconducteur est suffisamment fin pour ne garder que la couche d'inversion et la zone déplétée, sans zone neutre.

Le travail effectué dans ce manuscrit est essentiellement concentré sur la caractérisation des transistors en régime d'inversion forte formé pour une tension de grille supérieure à V_{th} . Cette dernière est nommée tension de seuil et pourrait être définie comme celle délimitant le passage de l'état bloqué à l'état passant du transistor.

De tous les facteurs qui gouvernent le passage du courant dans le canal, deux sont facilement contrôlables de l'extérieur.

- La charge d'inversion du canal, contrôlée par V_{gs} comme expliqué plus haut
- La tension de drain V_{ds} qui contrôle l'intensité du courant et qui sera détaillée ci-dessous

Une fois le canal de conduction formé, il faut encore appliquer une tension V_{ds} entre la

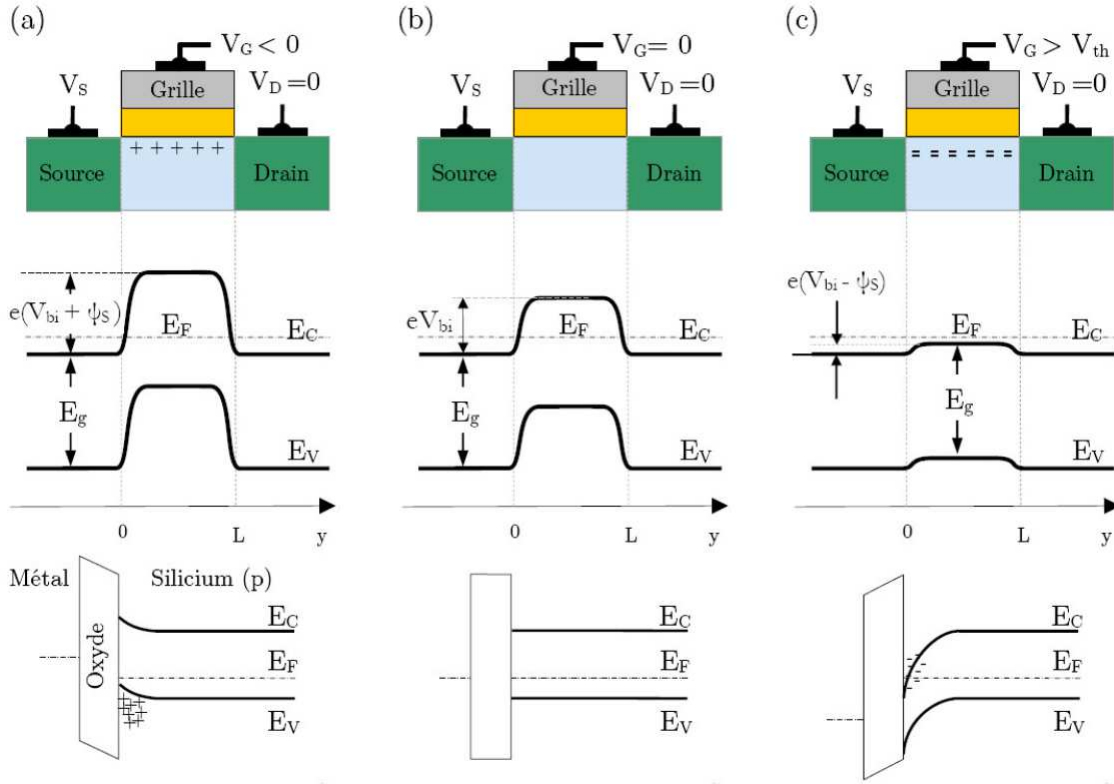


FIGURE I.2 – Modification de la barrière de potentiel source-drain en fonction de la tension V_{gs} appliquée sur la grille. (a) régime d’accumulation, (b) régime de bandes plates, (c) régime d’inversion forte [2]

source et le drain pour qu’il y ait circulation du courant. L’intensité de V_{ds} donne alors trois régimes de conduction définis par rapport à la tension de pincement V_p , valeur à partir de laquelle, le champ vertical issu de la grille ne permet plus de maintenir l’inversion côté drain. La figure I.3 détaille ces trois régimes de conduction et leurs emplacements sur une courbe de transfert.

- **Le régime linéaire** ($V_{ds} \ll V_p$), ou régime ohmique [3] : dans ce régime, le transistor se comporte comme une résistance, son courant I_{ds} augmentant linéairement avec la tension appliquée V_{ds} . C’est le régime qui sera le plus étudié dans ce manuscrit. Dans ce régime, le courant de drain s’exprime :

$$I_{ds} = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \cdot V_{gt} \cdot V_{ds} \quad (\text{I.1})$$

- **Le régime quadratique** ($V_{ds} \simeq V_p$) [3] : le potentiel latéral induit par la tension V_{ds} est suffisamment important pour modifier le champ électrique vertical ce qui se traduit par une perte d’uniformité de la densité électronique dans le canal. Dans ce

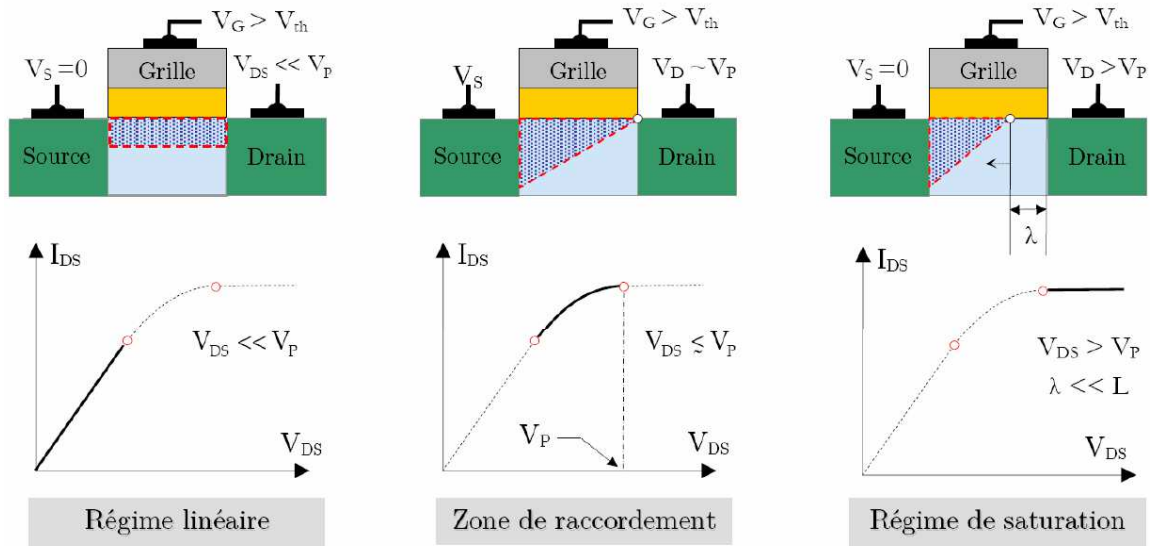


FIGURE I.3 – Illustration des trois régimes de conduction et de la répartition du potentiel dans le canal en fonction de la tension V_{ds} appliquée entre la source et le drain [2]

régime, le courant de drain s'exprime alors :

$$I_{ds} = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[V_{gt} \cdot V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (I.2)$$

- **Le régime de saturation** ($V_{ds} > V_p$) [3] : le potentiel appliqué sur le drain est tellement important que le champ électrique vertical est localement trop faible pour maintenir l'inversion. On dit alors que le canal est pincé sur une longueur λ . Le courant devient alors constant, égal à I_{dsat} :

$$I_{dsat} = \frac{V_p}{R_{sat}} \quad (I.3)$$

Dans les équations ci-dessus, μ_0 , C_{ox} , W , L , V_{gt} représentent respectivement la mobilité, la capacité de l'oxyde de grille, la largeur du transistor, la longueur de ce dernier et la tension d'*overdrive* ($= V_{gs} - V_{th}$).

I.1.3 Le compromis puissance active/puissance passive

Dans un circuit intégré, les transistors sont conçus pour fonctionner à deux tensions : 0V et une tension d'alimentation nommée V_{dd} dont la valeur dépend de la technologie utilisée. Ces deux tensions permettent alors de déterminer deux niveaux de courant I_{off} et I_{on} .

Le premier correspond au courant lorsque le transistor est sous tension mais que sa grille n'est pas alimenté ($V_{gs} = 0V$ et $V_{ds} = V_{dd}$) et permet de calculer la puissance consommée passivement par le circuit. Dans le cas d'application mobile, elle doit être aussi basse que possible afin de conserver une autonomie la plus élevée possible.

Le deuxième correspond au courant qui circule lorsque les transistors sont à $V_{ds} = V_{dd}$ ($V_{gs} = V_{ds} = V_{dd}$ dans les équations de courant de la section I.1.2). En règle général, plus ce courant est élevé, plus le circuit est rapide et plus sa consommation active est importante. Dans le cas d'application de puissance (microprocesseur, carte graphique...), ce courant doit être le plus élevé possible.

L'inconvénient de ces deux valeurs est qu'elles varient dans le même sens. Autrement dit, un circuit plus puissant consommera également beaucoup d'énergie lorsque ses transistors ne sont pas alimentés et un circuit basse consommation sera lent. Or les applications mobiles récentes (téléphones et consoles portables par exemple) nécessitent à la fois la puissance et l'autonomie. Dans ce genre de situation, une étude préalable est nécessaire pour déterminer le meilleur compromis entre puissance du circuit et autonomie désirée.

I.2 Les conséquences de la miniaturisation

I.2.1 Les effets de canaux courts

En 1974, Robert Dennard [12] propose les règles de miniaturisation en complément à la loi de Moore. Ces dernières reposent sur la fabrication de composant à l'aide d'implantation ionique au lieu des méthodes de diffusion en vigueur à cette époque. Elles reposent sur la réduction des dimensions du transistor (longueur et largeur de grille, épaisseur de l'oxyde de grille...) et sur l'augmentation du dopage. Dans la même publication, il décrit la baisse de tension de seuil V_{th} qu'il observe lorsque la longueur de grille est de l'ordre de quelques centaines de nm et que ce phénomène est aggravé par l'application d'une tension sur le drain. On parle alors d'effet de canal court (SCE pour *Short Channel Effect*) pour le premier et d'abaissement de la barrière de potentiel induite par le drain (DIBL pour *Drain Induced Barrier Lowering*) pour le second. La figure I.4 montre la différence entre la barrière de potentiel d'un transistor long et celle d'un court, ainsi que l'impact respectif du SCE et du DIBL sur cette dernière.

Comme expliqué dans la section I.1.2, la structure source - canal - drain est une jonction NPN. Dans le cadre d'une jonction abrupte (ségrégation idéale des types de dopant) à l'équilibre thermique, celle-ci forme une zone de déplétion qui s'étend préférentiellement du côté le moins dopé sur une largeur totale égale à [3] :

$$W_{tot} = W_N + W_P = \sqrt{\frac{2\epsilon_s}{q} \cdot \left(\frac{N_A + N_D}{N_A \cdot N_D} \right) \cdot \psi_{bi}} \quad (I.4)$$

Ainsi, lorsque la longueur de grille diminue, les zones de charge d'espace de la source et du drain se rapprochent et se superposent. En conséquence le potentiel du canal n'atteint plus sa valeur maximale dans les zones neutres du canal et on observe un abaissement de la tension de seuil. La figure I.4 montre le diagramme de potentiel d'un transistor long et d'un transistor court ainsi que la contribution du SCE et du DIBL sur ce dernier.

Cet abaissement de tension de seuil se répercute négativement sur les performances du transistor. En effet, comme la montre la figure I.5, le SCE et le DIBL décalent la courbe de courant vers les basses tensions tout en réhaussant leur pente sous le seuil. Ce qui signifie que le courant I_{off} augmente et donc la consommation passive du composant avec lui. En d'autres

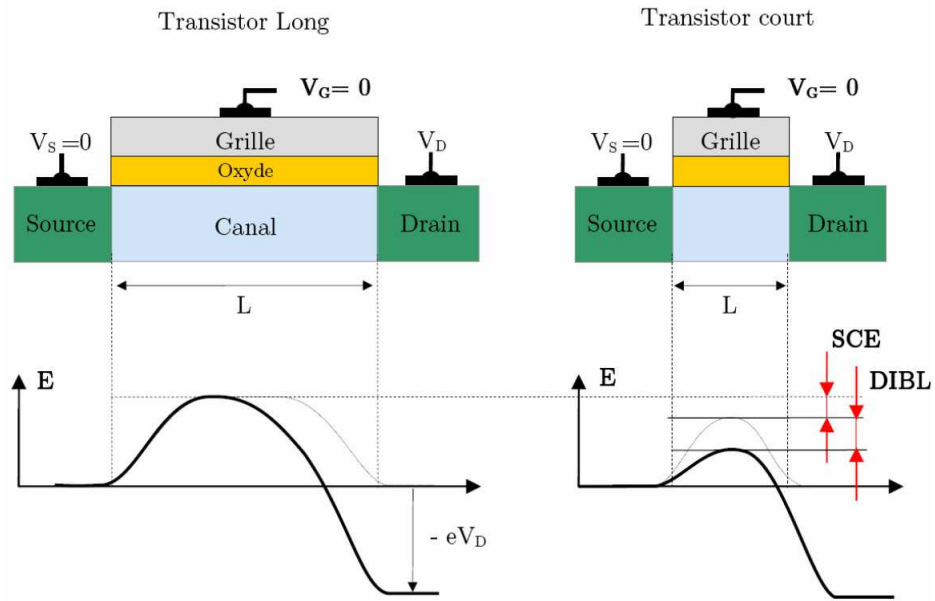


FIGURE I.4 – Illustration de l’abaissement de la barrière de potentiel source-drain dans les transistors courts [2]

termes, si ces phénomènes ne sont pas contrôlés, ils dégradent les performances attendues et peuvent être source de variabilité d’un transistor à l’autre. Ce dernier point sera abordé plus en détail dans la section I.2.5.

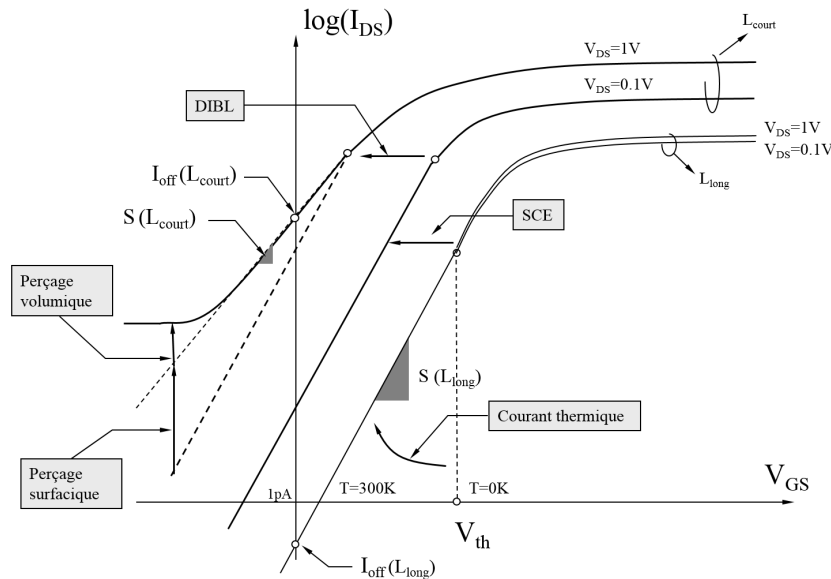


FIGURE I.5 – Courbe de courant caractéristique d’un transistor MOS en échelle semilog montrant l’influence du SCE et du DIBL (reproduit avec l’autorisation de Frédéric Bœuf)

Ces effets peuvent être associés à la notion d'Intégrité Electrostatique (EI) [1] qui permet de quantifier leurs impacts sur le comportement électrique du transistor. Son expression dépend exclusivement des dimensions caractéristiques de l'architecture MOSFET :

- la profondeur des jonctions source et drain X_j
- l'épaisseur de l'oxyde de grille t_{ox}
- la longueur effective du canal L_{eff}
- la profondeur de désertion T_{dep}

$$EI = \left[1 + \left(\frac{X_j}{L_{eff}} \right)^2 \right] \cdot \frac{t_{ox}}{L_{eff}} \cdot \frac{T_{dep}}{L_{eff}} \quad (I.5)$$

Cette équation montre qu'afin de lutter contre les effets de canaux courts, plusieurs solutions sont possibles. Tout d'abord en diminuant la profondeur des jonctions X_j soit en jouant sur la profondeur d'implantation des dopants, soit en adoptant la structure FD-SOI qui limite naturellement cette dernière. Deuxièmement en diminuant la profondeur de désertion T_{dep} , critère également rempli par l'architecture à canal de silicium fin. Et finalement en réduisant l'épaisseur d'oxyde. Toutefois cette dernière solution a ses limites puisqu'elle amène le problème de fuite par effet tunnel qui sera abordé dans la section I.2.2.

L'architecture FD-SOI permettant de lever ce verrou technologiques de la miniaturisation, elle a été adoptée dans le milieu industriel visant les applications basse consommation. Le changement d'architecture ne modifie pas la physique du transistor telle qu'elle a été présentée dans la section I.1. Cependant elle s'accompagne de nouveaux phénomènes qui sont la principale motivation de ce manuscrit.

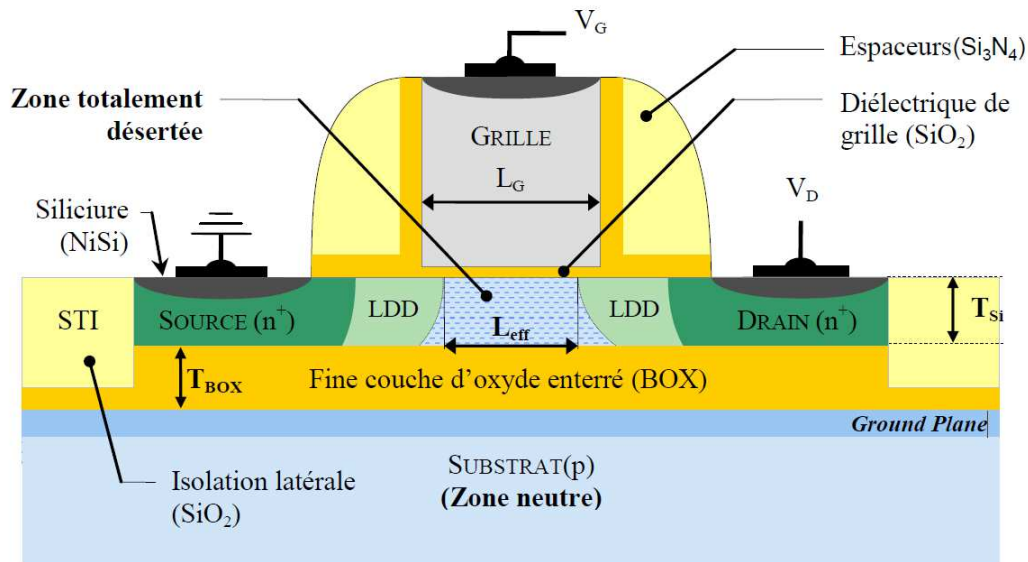


FIGURE I.6 – Représentation schématique d'un transistor CMOS FD-SOI en coupe [1]

La figure I.6 présente l'architecture de ce type de composant. Cette technologie doit son nom à deux éléments clés. Premièrement, la couche d'oxyde enterré, ou BOX pour Buried

OXide, de quelques dizaines de nm qui isole le transistor du volume de silicium et des effets parasites qui lui sont liés. Secondement, une couche de quelques nm de silicium située entre le BOX et la grille qui, comme le nom le suggère, est entièrement déplétée.

I.2.2 L'effet tunnel

Comme vu dans la section précédente, la miniaturisation s'accompagne de plusieurs phénomènes parasites qui éloignent le transistor de son comportement idéal. Parmi ceux-ci, le SCE et le DIBL qui ont pendant longtemps été considérés comme les principaux freins à la miniaturisation. Mais la diminution de l'épaisseur de grille a fait apparaître un nouveau problème : les fuites de courant par effet tunnel. En effet, la réduction des dimensions a atteint un point tel que l'oxyde séparant le canal et la grille n'est plus assez épais pour créer un barrage suffisant au passage des porteurs de charges. Certains passent alors du canal à la grille, soit par effet tunnel direct (figure I.7 (a)) soit par effet Fowler - Nordheim (figure I.7 (b)) provoquant une perte de courant à la sortie du transistor. Le passage par émission thermionique (figure I.7 (c)) étant relativement rare dans les dispositifs CMOS, il ne sera pas plus détaillé dans la suite de ce chapitre.

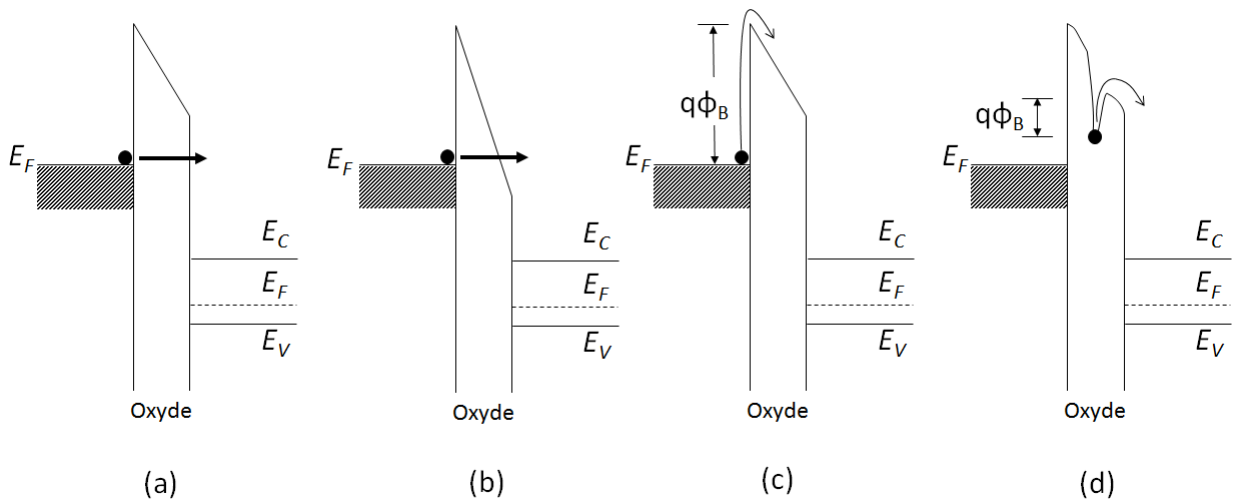


FIGURE I.7 – Les différents mécanismes d'effet tunnel à travers une barrière de potentiel (a) direct, (b) Fowler - Nordheim (assisté par champ électrique), (c) émission thermionique, (d) Poole - Frenkel (assisté par piège) [3]

La structure grille - oxyde - canal pouvant être assimilée à un condensateur, sa capacité peut s'exprimer selon la formule suivante :

$$C_{ox} = \epsilon \cdot \frac{S}{e} \quad (\text{I.6})$$

Où :

- ϵ est la permittivité du diélectrique
- S est la surface du condensateur

— e est la distance séparant les armatures (l'épaisseur de l'oxyde)

Cette équation montre que la seule solution permettant de résoudre le problème des fuites par effet tunnel tout en respectant les règles de miniaturisation est d'augmenter la permittivité ϵ du matériau. Ceci ne peut être accompli qu'en changeant la nature de ce dernier, ce qui explique le remplacement progressif de l'oxyde, initialement en SiO_2 , par des oxydes nitrurés puis par des oxydes dit *high- κ* (la permittivité diélectrique des matériaux ϵ étant notée κ aux États-Unis).

Actuellement, l'oxyde le plus utilisé pour remplir ce rôle dans le milieu industriel est le HfO_2 . Mais son intégration dans la technologie silicium a représenté un défi important dans la course à la miniaturisation. En effet, outre la complexité de fabrication plus importante (dépôt d'oxyde par *Chemical Vapor Deposition* ou *Atomic Layer Deposition*), cet oxyde présente une très mauvaise cohésion de surface avec le silicium. Autrement dit, la surface entre le silicium du canal et de la grille présente des états d'interface et des pièges (essentiellement des liaisons atomiques pendantes) qui peuvent aider la conduction par effet tunnel Poole-Frenkel (figure I.7 (d)) et participent à la dégradation du courant. Le problème initialement posé par la silice a donc seulement été remplacé par un autre et n'est donc pas résolu. De plus, le couplage capacitif entre la grille et le canal étant plus important (et c'est bien là l'intérêt du *high- κ*), on observe un autre phénomène parasite : la déplétion de grille.

Au même titre que le canal se déplète avant d'entrer en régime d'inversion, l'ajout de *high- κ* provoque la création d'une zone de charge d'espace dans la grille en poly-Si dont l'épaisseur vient s'ajouter à celle de l'oxyde. Ce dernier point est un autre problème introduit par ce nouveau type d'isolant puisqu'il fait perdre le contrôle sur l'épaisseur effective de l'oxyde.

Pour répondre à ce dernier problème, les grilles métalliques ont été réintroduites, signant également le retour des problèmes de budget thermique dûs aux risques de fusion des métaux. Ceux-ci ont été résolus par l'introduction de la technique de *Rapid Thermal Annealing* (ou recuit thermique rapide) qui permet d'exposer les transistor à de très hautes températures sur quelques secondes. Le problème des états de surface à quant à lui été résolu en déposant l'oxyde *high- κ* sur une couche piédestal de SiO_2 obtenue par oxydation thermique. Ces deux matériaux étant polycristallins, leurs surfaces s'adaptent bien plus facilement qu'avec le réseau cristallin du silicium et les quelques liaisons pendantes restantes sont facilement guéries par un recuit sous hydrogène. Une fois ces problèmes résolus, le nouvel oxyde ainsi formé est plus épais résolvant enfin le problème de fuite par effet tunnel tout en conservant le même C_{ox} permettant de lutter contre les SCEs.

Afin de comparer les nœuds technologiques précédents entre eux une nouvelle notion a été créée, celle de l'épaisseur d'oxyde équivalente (EOT). Celle-ci donne l'épaisseur de SiO_2 qui serait nécessaire pour obtenir les mêmes propriétés capacitives que l'oxyde *high- κ* . Son expression est donnée par :

$$EOT = e_{HK} \cdot \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{HK}} \quad (\text{I.7})$$

Il est bon de préciser qu'outre les problèmes de budget évoqués dans l'introduction générale, l'effet tunnel est également ce qui fixe les dimensions ultimes des transistors. Ces derniers étant basés sur l'abaissement de la barrière de potentiel entre la source et le drain, celle-ci ne pourra pas être plus courte que quelques liaisons Si-Si sous peine de perdre le

contrôle électrostatique du passage du courant [13].

I.2.3 La mobilité et sa dégradation

L'équation du courant (I.1) vue dans la section I.1.2 fait appelle à la mobilité μ_0 . Ce paramètre physique rend compte de la qualité du transport des charges dans le transistor, c'est-à-dire de l'aptitude des porteurs à se mouvoir sous l'effet d'un champ électrique. Durant leur trajet de la source vers le drain, les porteurs de charge subissent des collisions [14] avec toutes sources de potentiel dont la variation spatiale est de l'ordre de la longueur d'onde de l'électron, comme par exemple les phonons ou les charges fixes.

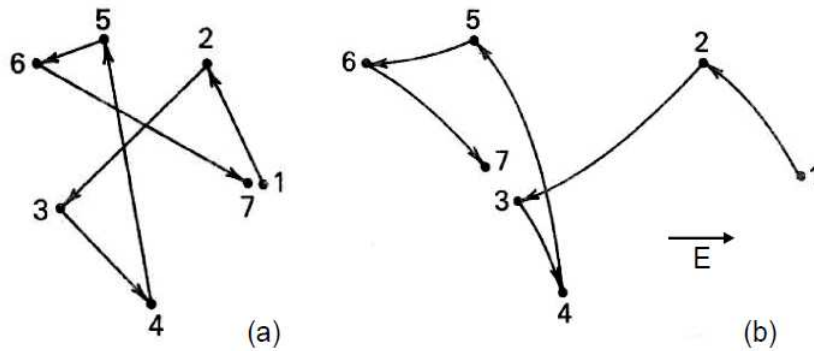


FIGURE I.8 – Illustration de la trajectoire d'un porteur de charge subissant des collisions dans un cristal (a) sous le seul effet de l'énergie thermique, (b) sous l'application d'un champ électrique [4]

La mobilité est un paramètre capital de la technologie CMOS car elle gouverne, avec C_{ox} la quantité de courant que délivre le transistor pour une polarisation donnée. Autrement dit, une technologie avec une bonne mobilité aura des performances plus élevées que celles d'une technologie à la mobilité réduite. Celle-ci dépend de nombreux paramètres : le champ électrique, l'orientation cristalline du substrat, le niveau de dopage du canal, les contraintes ou encore la température.

Cependant, les sources de potentiel évoquées plus haut avec lesquelles les porteurs entrent en collision sont autant de facteurs dégradant la mobilité et donc les performances. Ces mécanismes de collisions étant nombreux, cette section détaillera uniquement les principaux.

Les collisions avec les phonons

Les phonons sont des quasi-particules associées aux vibrations du réseau cristallin. A basse température, typiquement inférieure à 100K, et faible champ les collisions quasi-élastiques sur les phonons acoustiques prédominent. Dans ces conditions, la mobilité à l'interface prend la forme suivante [15],[16] :

$$\mu_{pha} \propto N_{inv}^{1/3} \cdot T^{-1} \quad (I.8)$$

Où N_{inv} est la concentration de porteurs dans la couche d'inversion et T la température. Pour des températures plus élevées ($T \geq 100K$), les collisions inélastiques sur les phonons optiques dominant et la mobilité prend l'expression suivante [15],[16] :

$$\mu_{pho} \propto N_{inv}^{1/\tau} \cdot T^{-n} \quad (I.9)$$

Où n et τ sont des constantes dépendant principalement de l'orientation cristallographique et du matériau composant le substrat.

Les collisions Coulombiennes

Les centres de diffusion chargés : à faible champ, les porteurs du canal interagissent avec les dopants ionisés de la ZCE, ce sont les interactions Coulombiennes. De plus, la grille initialement en SiO_2 a progressivement été remplacé par du high- κ plus performants mais présentant de nouvelles contraintes de fabrication. Ceci se traduit par la présence de charge piégées dans l'oxyde (liaisons pendantes, élément polluant...) proches de l'interface Si/SiO₂. Le champ électrique intrinsèque de ces défauts vient perturber le passage du courant [17],[18], ce sont les interactions Coulombiennes à distance (*Remote Coulomb Scattering*). L'atténuation de mobilité qui leur est associée s'exprime selon :

$$\mu_{cc} \propto N_{cs}^{-1} \cdot T \quad (I.10)$$

Où N_{cs} est la concentration des charges piégées proche de l'interface Si/SiO₂. Ce mécanisme de dégradation de mobilité est dominant à basse température, lorsque les interactions avec les phonons sont négligeables. Il est également important en régime de faible inversion, à faible champ, et disparaît en régime d'inversion forte grâce à l'effet d'écrantage électrostatique créé par la couche d'inversion.

Les collisions sur les rugosités de surface

A fort champ électrique transverse, les collisions avec les rugosités de surface de l'interface silicium diélectrique prédominent. En effet, malgré la maturité de la technologie CMOS, ces deux matériaux ne forment jamais une interface parfaite l'un avec l'autre. L'adaptation imparfaite des deux surfaces se traduit par un désordre cristallographique qui se répercute sur le diagramme de bande local et perturbe le transport des porteurs de charge. Ce mécanisme est indépendant de la température mais dépend fortement de l'intensité du champ électrique transverse qui influe sur la position de la couche d'inversion par rapport à l'interface. Son influence peut-être modélisée par :

$$\mu_{sr} \propto E_{eff}^{-2} \quad (I.11)$$

Où E_{eff} est le champ transversal effectif donné par :

$$E_{eff} = \frac{q \cdot (\eta \cdot N_{inv} + N_{dep})}{\epsilon_{Si}} \quad (I.12)$$

Avec q la charge électronique, N_{inv} et N_{dep} les densités de charges de la couche d'inversion et de la zone de déplétion, ϵ_{Si} la permittivité du silicium et η une constante qui dépend de type de porteur (1/2 pour les électrons, 1/3 pour les trous).

Les collisions sur les défauts neutres

Finalement, les interactions avec les défauts non chargés sont à prendre en compte [19], [20]. Ces derniers regroupent entre autre les dopants non activés (en position interstitielle dans le réseau), les dislocations ou encore les impuretés de même valence que le silicium (germanium, carbone...) qui ne créent pas de charge. Ils perturbent le transport de la même façon que les rugosités de surface, en modifiant localement le réseau cristallin. A ce titre, ces collisions sont indépendantes de la température.

Synthèse

La dégradation de la mobilité se traduisant par une perte de performance, il est facile de comprendre pourquoi le milieu industriel a orienté ses recherches dans le but de limiter les effets de collisions. Ces travaux ont mené à l'introduction de nouveaux matériaux et de contraintes dans le canal, à une réduction du dopage du substrat etc. afin de contrebalancer les facteurs réduisant la mobilité imposés par les étapes de fabrication des nouvelles architectures (recuit thermique rapide, oxyde high- κ etc...). Malgré ces correctifs, les transistors les plus récents montrent toujours une perte apparente de performance [19] avec la réduction de la longueur de grille qui est souvent associée à la dégradation de la mobilité [21]. Or il est possible d'interpréter le problème autrement en considérant que la zone de recouvrement, responsable de la perte de performance par son caractère non abrupt, n'est pas rattachée au canal mais aux résistances d'accès. Les travaux réalisés pendant cette thèse propose donc d'aborder ce problème en se concentrant sur cette deuxième possibilité : l'augmentation des résistances d'accès..

I.2.4 L'augmentation des résistances d'accès

Les mécanismes de collisions dominants le transport dans le canal d'un MOSFET, il est toujours possible d'assimiler celui-ci à une résistance dont la valeur vaut :

$$R = \rho \cdot \frac{l}{S} \quad (\text{I.13})$$

ρ étant la résistivité du matériau, l la longueur du barreau et S sa section. Avec ce qui a déjà été vu sur le but de la miniaturisation, il est aisé de comprendre que cette résistance a tendance à diminuer au fil des nœuds avancés de la technologie CMOS. Or, la figure I.9 présente un schéma électrique équivalent d'un transistor qui montre qu'en contact avec le canal se trouvent d'autres sections de matériaux également assimilées à des résistances. Ces dernières peuvent être liées aux lignes de métaux qui permettent l'accès au transistor ainsi qu'aux contacts entre les différents matériaux (entre le métal et le nitrure, entre le nitrure et les caissons source/drain etc.).

Dans le cas des transistors longs, ces résistances parasites sont constantes et négligeables car leurs valeurs sont trop faible devant celle du canal passant. En revanche, dans les transistors courts, ces résistances varient avec la polarisation de la grille et deviennent comparables à celle du canal, dégradant dramatiquement les performances des transistors. L'extraction de cette dernière fera l'objet du chapitre II de ce manuscrit et l'analyse de son impact sur les performances et sur la mesure celui du chapitre III.

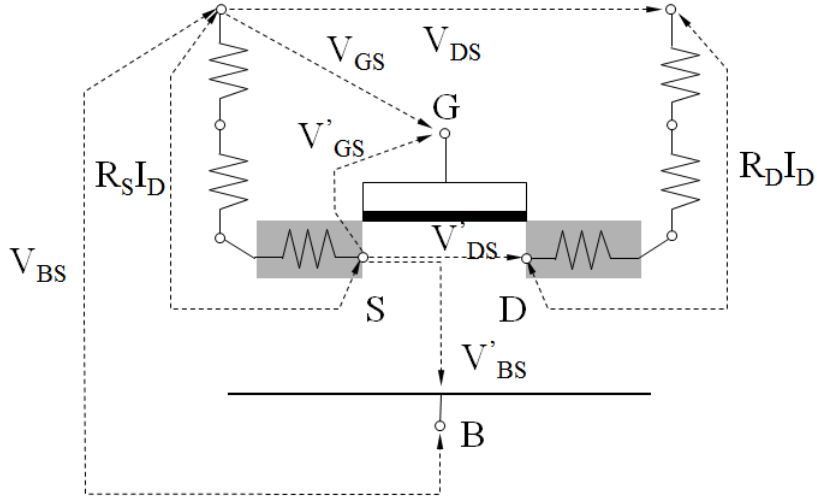


FIGURE I.9 – Schéma équivalent du transistor avec ses résistances d'accès (reproduit avec l'autorisation de Frédéric Bœuf)

I.2.5 L'accroissement de la variabilité

Le transistor MOS est la brique élémentaire de la majorité des circuits intégrés produits à ce jour. En effet, ce dernier demeure essentiel pour une grande variété de composants analogiques tels que les miroirs de courant ou les paires différentielles qui nécessitent l'utilisation de transistors appariés. Autrement dit, les caractéristiques électriques des transistors en jeu doivent être les plus proches possibles sous peine d'induire un dysfonctionnement du circuit dans sa globalité. Afin de s'assurer que les performances recherchées ne varient pas trop d'un MOS à l'autre, des structures de test spécifiques sont utilisées. Ces dernières consistent en deux transistors identiques dessinés à la distance minimale autorisée par les règles de dessin imposées par la technologie. La mesure quant à elle consiste à comparer les courants de ces deux transistors entre eux pour extraire la variabilité *locale* ou à la moyenne des courants mesurés pour extraire la variabilité *globale*. La figure I.10 montre les mesures de 61 paires de transistor nominaux issus de la technologie 28nm FD-SOI. Les lignes continues sont les mesures du premier transistor de la paire, les lignes pointillées sont les mesures du deuxième. Les symboles représentent la moyenne de toutes ces mesures montrant une dispersion grandissante à mesure que V_{gs} augmente.

Plusieurs paramètres jouent sur cette différence comme les rugosités évoquées dans la section I.2.3 ou l'homogénéité des niveaux de dopage dans l'ensemble de la structure. Pour plus d'information sur le sujet on pourra consulter [22]. La résistance d'accès est également un facteur qui joue sur les mesures de *matching* cependant elle a toujours été considérée constante pour ce genre de test [22] [23].

L'hypothèse d'une résistance d'accès variable avec la polarisation du transistor ayant reçu peu d'attention jusqu'à présent, il n'existe pas ou peu d'expérience pour mesurer son impact sur la variabilité. Ce problème sera adressé dans le chapitre IV de ce manuscrit.

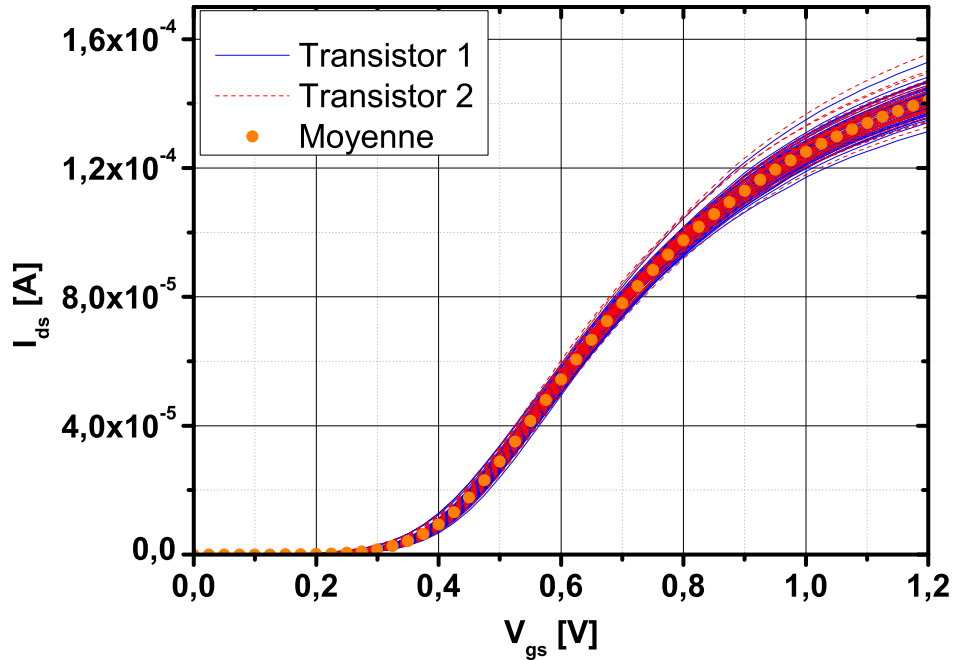


FIGURE I.10 – Mesure de courant de drain pour 61 paires de transistors

I.3 La caractérisation électrique : paramètres importants et méthodes de base

Dans cette section, les paramètres essentiels à la caractérisation électrique de la technologie CMOS seront présentés. Pour extraire électriquement ces derniers, plusieurs méthodes sont utilisables. Certaines sont basées sur des mesures de courant $I_d(V_{gs})$ (cf. section I.3.2) d'autres sur des mesures capacitives $C_{gc}(V_{gs})$ (cf. section I.3.4). Notons que le but de cette section n'est pas de faire une liste exhaustive des méthodes d'extraction des paramètres (celle-ci serait beaucoup trop longue pour le présent manuscrit, on se référera pour cela à [24, 2]) mais de donner celles de l'état de l'art les plus usitées dans le milieu industriel.

I.3.1 Les paramètres électriques

Quantifier les performances d'un transistor est une tâche complexe compte tenu des nombreux mécanismes à prendre en compte. L'extraction de paramètres électriques nécessite l'utilisation d'un modèle qui respecte deux critères. Premièrement, les paramètres utilisés dans le modèles doivent avoir une signification physique afin de pouvoir analyser et comprendre le comportement électrique du transistor. Deuxièmement, les équations du modèle doivent être suffisamment simples pour permettre l'automatisation de la technique d'extraction. Le modèle de courant utilisé dans cette thèse est basé sur le travail de Cheng et al. [25] construit autour de 4 paramètres qui seront détaillés dans cette section.

$$I_{ds} = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \cdot V_{gt} \cdot V_{ds} \quad (\text{I.14})$$

Où :

- μ_0 la mobilité des porteurs
- C_{ox} la capacité de l'oxyde
- W et L la largeur et la longueur du canal
- V_{ds} la tension de drain

Pour alléger la lecture des équations, le terme $V_{gs} - V_{th}$ est souvent abrégée en V_{gt} et est appelée tension d'*overdrive*.

La tension de seuil

L'expression analytique de la tension de seuil V_{th} est donnée par l'équation (I.15) où C_{eff} représente la capacité effective de l'oxyde de grille, N_D la concentration volumique de dopant dans le canal, E_f et E_{fi} les niveaux de Fermi extrinsèque et intrinsèque respectivement (exprimés en eV).

$$V_{th} = V_{fb} + 2(E_f - E_{fi}) + \frac{\sqrt{4\epsilon_{Si} \cdot q \cdot N_D \cdot (E_f - E_{fi})}}{C_{eff}} \quad (\text{I.15})$$

La pente sous le seuil

La fréquence à laquelle un transistor peut passer de l'état bloqué à l'état passant est une caractéristique importante de la technologie CMOS. En effet, cette valeur détermine soit la puissance passive consommée (si V_{th} est fixée), soit la puissance active délivrée (si I_{off} est fixée). Idéalement, cette dernière doit se rapprocher le plus possible d'un signal créneau (pente montante infinie) pour permettre une consommation passive minimale et puissance active maximale. En réalité, ce changement d'état est mesuré par l'inverse de la pente sous le seuil SS (pour *Subthreshold Swing* exprimée en mV/décade) qui est limitée par l'énergie thermique $k_B \cdot T$ apportée aux porteurs de charge. Ainsi dans un cas idéal à température ambiante, cette pente sous le seuil vaut au minimum 60 mV/décade [3] :

$$SS = \ln(10) \frac{dV_{gs}}{d\ln(I_{ds})}, \quad SS_{idéale} = \ln(10) \cdot \frac{k_B \cdot T}{q} \quad (\text{I.16})$$

Cette valeur peut ensuite être impactée par diverses facteurs comme les capacités parasites ou des charges piégées dans l'oxyde. Afin de prendre en compte ces différents effets, le facteur d'idéalité n permet de quantifier l'écart entre la pente sous le seuil du dispositif étudié et la valeur idéale :

$$n = SS \cdot \frac{1000}{60} \quad (\text{I.17})$$

La capacité effective

La capacité effective C_{eff} est caractéristique du couplage grille-canal au même titre que C_{ox} . Cependant, C_{eff} prend en compte les capacités parasites et est de ce fait plus représentatif de l'état réel du transistor. Ces capacités étant parallèles la capacité d'oxyde, l'expression de C_{eff} est alors :

$$C_{eff} = C_{ox} + C_{cont} + C_{of} + C_{if} + C_{ov} + C_{junc} + C_{corner} \quad (I.18)$$

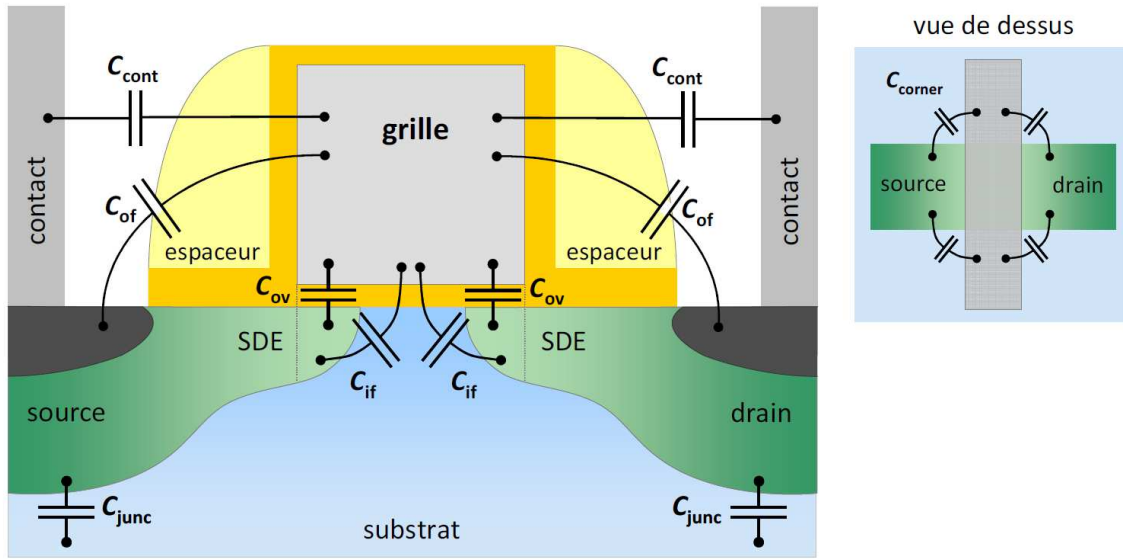


FIGURE I.11 – Schéma équivalent des différentes capacités parasites d'un transistor CMOS

La figure I.11 liste l'ensemble des différentes capacités parasites présentes dans un transistor sur silicium massif :

- C_{cont} , la capacité de couplage entre la grille et les lignes de métaux qui viennent contacter la source et le drain (capacité de *contact*)
- C_{of} , la capacité de couplage direct entre la grille et les source/drain via les espaceurs (capacité bord extérieur ou *outer fringe* en anglais)
- C_{if} , la capacité de couplage entre la grille et les source/drain via l'oxyde de grille (capacité bord intérieur ou *inner fringe* en anglais), cette capacité est écrantée par les charges minoritaires en régime d'inversion forte
- C_{ov} , la capacité de couplage entre la grille et les extensions de source/drain SDE (capacité de recouvrement ou d'*overlap* en anglais)
- C_{junc} , la capacité de couplage entre les caissons source/drain avec le substrat de silicium (capacité de *jonction*). Cette capacité n'existe pas dans les architectures FD-SOI
- C_{corner} , la capacité de couplage entre les extensions de la grille et les source/drain (capacité à angle droit, voir la vue du dessus de la figure I.11)

Les dimensions de la couche d'inversion

Pour les transistors longs, il n'est pas déraisonnable de considérer que les dimensions de la grille du transistor L_g et W_g sont les mêmes que celles de la couche d'inversion (la différence étant de l'ordre de quelques nm). Cependant, pour les transistors courts, cette différence est du même ordre de grandeur que les dimensions du canal et doit être prise en compte. On parle alors des dimensions effectives (ou électriques) W_{eff} et L_{eff} (voir figure I.1). Afin d'alléger la lecture des équations, ces dimensions seront notées W et L dans les prochaines sections.

La mobilité

Comme vu dans la section I.2.3, la mobilité est dégradée par plusieurs facteurs, aussi bien quand la longueur diminue [19] (défauts neutres...) que lorsque la tension de grille augmente (rugosités, interactions coulombiennes...). Afin de prendre en compte ces dégradations avec V_{gs} , la mobilité μ_0 est remplacée par la mobilité effective μ_{eff} . Cette variation de mobilité est d'abord exprimée en fonction de la charge d'inversion C_{inv} sous la forme d'une série entière [26], [27].

$$\mu_{eff}(Q_{inv}) \simeq \frac{\mu_0}{\sum_{i=0}^N \lambda_i \cdot (Q_{inv})^i}, \quad \lambda_0 = 1 \quad (\text{I.19})$$

Le paramètre μ_0 est alors défini comme la valeur de la mobilité en inversion forte extrapolée à $Q_{inv} = 0$. Il est appelé *mobilité en faible champ* et sert d'indicateur de qualité du transport dans le canal du transistor.

$$\mu_0 \stackrel{\text{def}}{=} \lim_{Q_{inv} \rightarrow 0^+} (\mu_{eff}) \quad (\text{I.20})$$

L'équation (I.19) est généralement limitée à l'ordre 1 ou 2 et au régime d'inversion forte pour lequel la charge d'inversion peut être approximée par $Q_{inv} \simeq C_{eff} \cdot V_{gt}$. On peut ainsi la réécrire avec des paramètres accessibles par des mesures de courant (alors que Q_{inv} nécessite des mesures capacitives). On effectue ensuite le changement de variable suivant : $\theta_{1,2} = \lambda_{1,2} \cdot C_{eff}$. θ_1 et θ_2 sont appelés facteurs de réduction de mobilité de premier et second ordre respectivement. L'équation (I.19) peut donc être réécrite sous la forme suivante :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2} \quad (\text{I.21})$$

Le gain en transconductance

Le gain en transconductance du transistor est le facteur de proportionnalité entre le courant débité par le transistor I_{ds} et le couple de polarisation V_{gs} et V_{ds} appliqué à ce dernier. Autrement dit, il s'agit de la pente de l'équation (I.14) et rassemble les paramètres décrits plus haut.

$$\beta = \mu_{eff} \cdot C_{eff} \cdot \frac{W_{eff}}{L_{eff}} \quad (\text{I.22})$$

La nouvelle équation du courant est alors :

$$I_{ds} = \frac{\beta \cdot V_{gt} \cdot V_{ds}}{1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2} \quad (\text{I.23})$$

La résistance d'accès

Comme vu dans la section I.2.4, les résistances d'accès au canal sont comparables à celle de ce dernier, ce qui signifie que leur influence ne peut plus être négligée lors des extractions. La figure I.9 montre alors que, si on considère que les résistance de la source et du drain sont symétriques, le courant effectif est en fait :

$$I_{ds}^{eff} = \frac{I_d}{1 + I_{ds} \cdot \frac{R_{sd}}{V_{ds}}} \quad (\text{I.24})$$

Ceci revient à effectuer le changement de variable $V_{ds} \rightarrow (V_{ds} - R_{sd} \cdot I_{ds})$ dans l'équation (I.23). Si les variations de R_{sd} avec V_{gs} sont linéaires et se limitent au premier ordre, son expression analytique est alors [28] :

$$R_{sd} = R_{sd}^0 + \lambda_{R_{sd}} \cdot V_{gs} \quad (\text{I.25})$$

Ces nouvelles composantes R_{sd}^0 et $\lambda_{R_{sd}}$ peuvent être incluses dans les facteurs de réduction de mobilité θ_1 et θ_2 pour réécrire l'équation (I.23) :

$$I_{ds}^{eff} = \frac{\beta \cdot V_{gt} \cdot V_{ds}}{1 + \theta_1^{eff} \cdot V_{gt} + \theta_2^{eff} \cdot V_{gt}^2} \quad (\text{I.26})$$

$$\begin{cases} \theta_1^{eff} = \theta_1 + \beta \cdot R_{sd}^0 \\ \theta_2^{eff} = \theta_2 + \beta \cdot \lambda_{R_{sd}} \end{cases} \quad (\text{I.27})$$

Toujours pour alléger la lecture des équations, θ_1 et θ_2 seront préférés dans la suite de ce manuscrit sauf si le texte spécifie explicitement le contraire.

I.3.2 Les méthodes d'extraction en courant

Parmi les différentes méthodes de caractérisation, les méthodes en courant sont sans doute les plus utilisées. En effet ces dernières se font sur des transistors fonctionnels tels qu'on les trouve dans les circuits intégrés. Ceci signifie que les mesures peuvent être effectuées sur de très petites surfaces contrairement aux mesures capacitives qui nécessitent des surfaces plus importantes pour avoir un ratio signal/bruit exploitable. De plus, ces méthodes sont impactées par la majorité des effets parasites décrits dans ce chapitre. Les paragraphes suivant présentent les méthodes les plus courantes se servant du courant comme outil d'extraction des performances du MOSFET.

Extraction de n par la méthode de pente sous le seuil

Le facteur d'idéalité n est sans doute le paramètre le plus simple à obtenir depuis une mesure de courant. En effet, la figure I.12 montre qu'il suffit d'extraire la pente sous le seuil SS par régression linéaire et d'injecter cette dernière dans l'équation (I.17) pour obtenir le facteur d'idéalité.

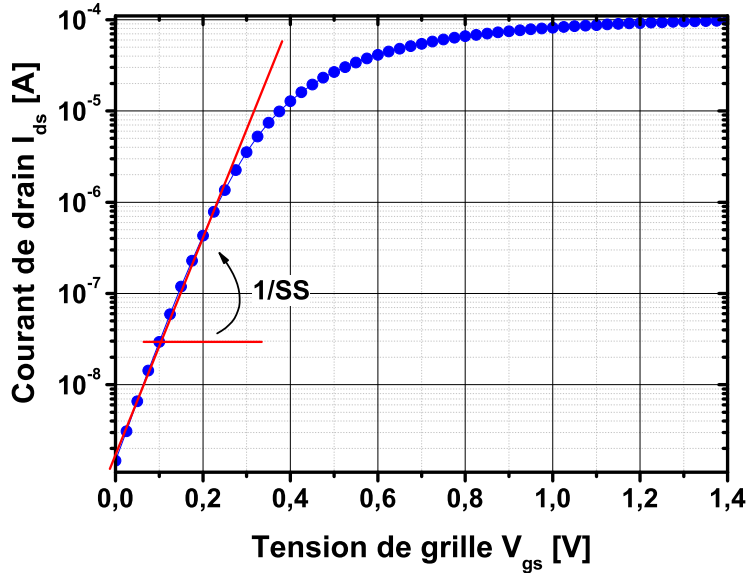


FIGURE I.12 – Extraction de la pente sous le seuil SS par extrapolation linéaire sous le seuil sur un transistor nominal de la filière 14nm FD-SOI d'STMicronics

Extraction de V_{th} à courant constant

Cette méthode figure parmi les plus simples pour extraire la tension de seuil des transistors. L'objectif est de trouver une valeur de courant débitée par le transistor telle qu'on puisse le considérer comme passant. Cette valeur est définie par l'équation (I.28) dans laquelle I_{cc} est empiriquement fixée à 70nA pour les transistors NMOS et à 300nA pour les transistors PMOS. Dans certains cas cette valeur peut être fixée à 100nA pour les deux types de transistor.

$$I_{ds}(V_{th}) = I_{cc} \cdot \frac{W}{L} \quad (\text{I.28})$$

Cette méthode étant très simple, elle est évidemment très facile à implémenter pour des extractions à grande échelle. Cependant, elle ne permet l'extraction que de V_{th} à une valeur de courant fixée arbitrairement, ce qui ne donne pas de réelles informations sur le fonctionnement du transistor.

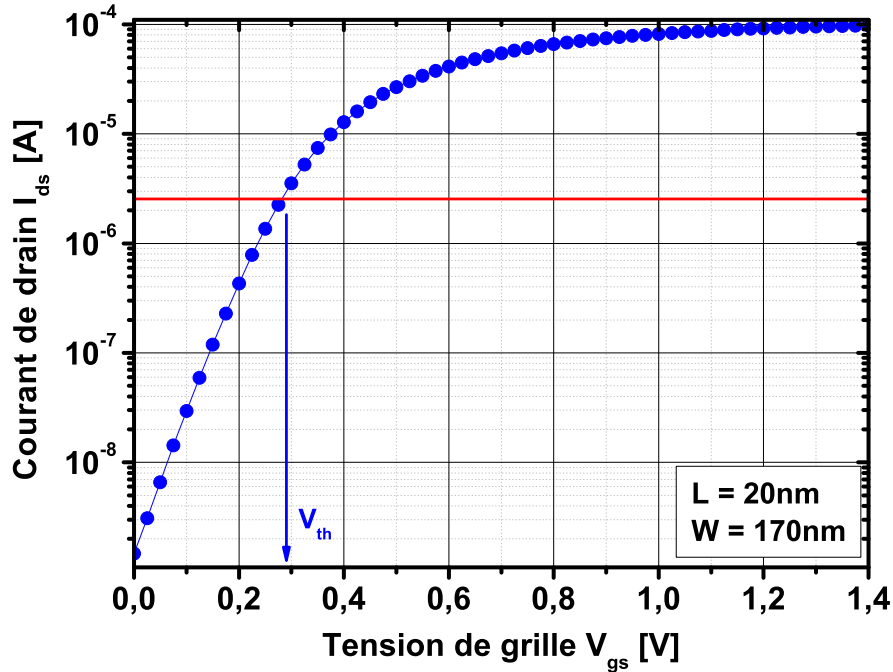


FIGURE I.13 – Extraction de la tension de seuil V_{th} par la méthode du courant constant I_{cc} sur un transistor nominal de la filière 14nm FD-SOI d’STMicronics

Extrapolation du maximum de la transconductance

Cette méthode d’extraction repose sur l’idée qu’au maximum de la pente de la caractéristique $I_d(V_{gs})$, on peut considérer que $\theta_{1,2} = 0$ dans l’équation (I.23). Cette dernière est alors simplifiée en une relation linéaire :

$$g_m|_{max} = \max \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right) \Leftrightarrow I_{ds} \simeq \beta \cdot V_{ds} \cdot V_{gt} \quad (I.29)$$

Les valeurs de β et de V_{th} peuvent être simplement extraites respectivement de la pente et de l’intersection de la régression linéaire effectuée sur $I_d(V_{gs})$ autour du point de pente maximale.

En pratique, cette technique revient à ne pas prendre en compte les effets de réduction de mobilité ni des résistances d’accès (puisque $\theta_{1,2} = 0$). Or ces derniers influent sur la valeur maximale de la transconductance g_m ce qui se répercute sur les valeurs extraites de β et V_{th} . Cette méthode permet néanmoins d’extraire rapidement une faible différence de V_{th} entre deux transistors de comportement similaires, comme dans des applications de variabilité.

La fonction Y et ses dérivées

Sans aucun doute l’une des méthodes de caractérisation les plus utilisées, la fonction Y permet d’extraire β et V_{th} en supprimant l’effet des résistances d’accès [29].

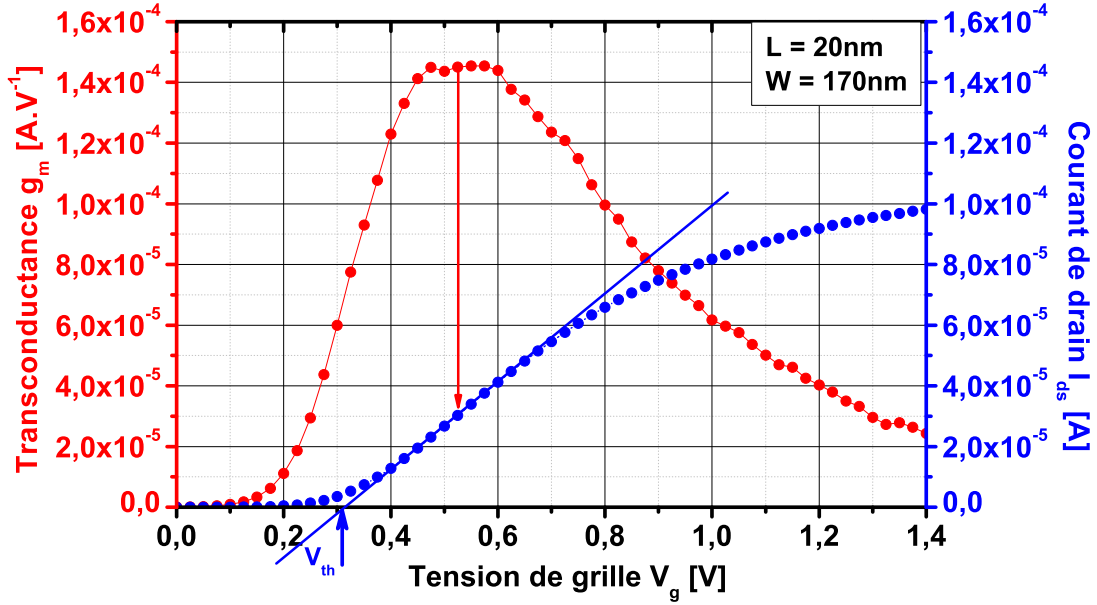


FIGURE I.14 – Extraction de la tension de seuil V_{th} par la méthode du maximum de la transconductance g_m extrapolée sur le courant I_{ds} de la filière 14nm FD-SOI d’STMICROELECTRONICS

$$Y \stackrel{\text{def}}{=} \frac{I_d}{\sqrt{g_m}} = \sqrt{\frac{\beta \cdot V_{ds}}{1 - \theta_2 \cdot V_{gt}^2}} \cdot V_{gt} \quad (\text{I.30})$$

Si on considère que la réduction de mobilité se limite au facteur de premier ordre ($\theta_2 \ll 1$), la fonction Y s’exprime ainsi :

$$Y \simeq \sqrt{\beta \cdot V_{ds}} \cdot V_{gt} \quad (\text{I.31})$$

Cette dernière équation fait donc apparaître que la fonction Y est théoriquement linéaire lorsqu’elle est tracée en fonction de V_{gs} (voir figure I.15) tout en étant immunisée aux effets de réduction de mobilité au premier ordre et à la résistance d’accès. Elle présente les mêmes avantages que l’extrapolation du maximum de g_m sans les inconvénients. En revanche, elle repose sur la linéarité d’une fonction qui est elle-même basée sur une dérivée ce qui signifie que la fonction Y est sensible au bruit de mesure (une petite variation de signal pouvant prendre de très grandes proportions avec une dérivée).

Généralement, la fonction Y est couplée à la fonction θ_{eff} afin d’extraire les facteurs de réduction de mobilité θ_1 et θ_2 . Son expression est basée sur une manipulation de l’équation du courant (I.23).

$$\theta_{eff} \stackrel{\text{def}}{=} \theta_1 + \theta_2 \cdot V_{gt} = \frac{\beta \cdot V_{ds}}{I_d} - \frac{1}{V_{gt}} \quad (\text{I.32})$$

En connaissant les paramètres β et V_{th} et en traçant cette équation en fonction de V_{gs} on obtient la figure I.16 dont la partie en inversion forte est une droite dont la pente vaut θ_2 et

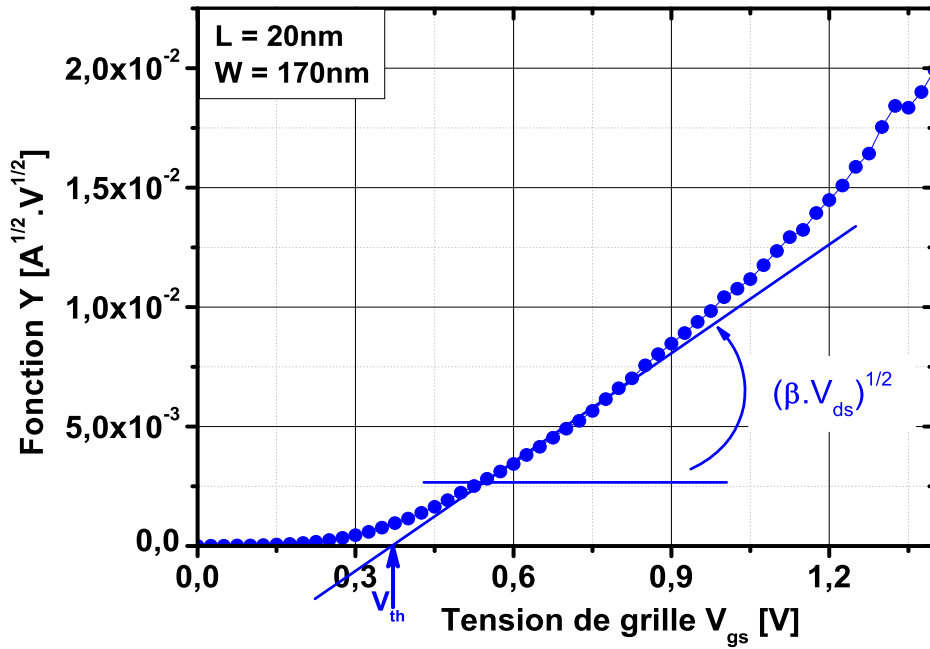


FIGURE I.15 – Représentation de la fonction Y et de l'extraction des paramètres β et V_{th} pour un transistor nominal issu de la filière 14nm FD-SOI d'STMicroelectronics

l'intersection vaut θ_1 .

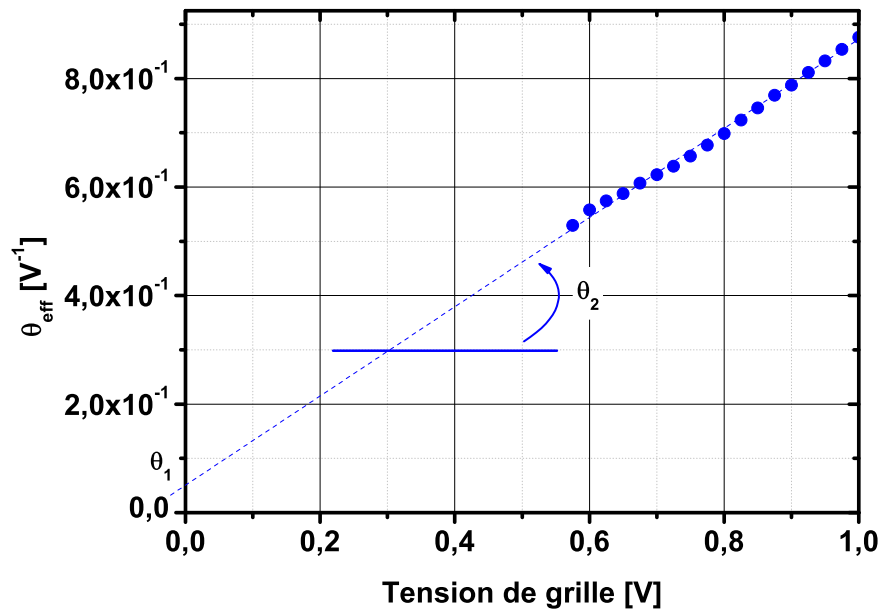


FIGURE I.16 – Représentation de la fonction θ_{eff} et de l'extraction des paramètres θ_1 et θ_2 pour un transistor issu de la filière 28nm FD-SOI d'STMicroelectronics

Cependant, la résistance d'accès des nœuds technologiques les plus récents font perdre la linéarité de la fonction Y . Ceci a conduit à l'apparition de plusieurs méthodes dérivées de la fonction Y ayant pour but de linéariser cette dernière. Seule la méthode de Mourrain qui a été utilisée comme élément de comparaison au cours de cette thèse sera détaillée. Les autres méthodes se différenciant uniquement par une vitesse de convergence plus ou moins grande, elles ne seront pas abordées dans ce manuscrit. Le lecteur pourra se reporter à [2] pour plus d'information sur ces autres variantes.

La méthode Mourrain [30] est basée sur un algorithme récursif qui considère que θ_2 n'est pas négligeable et fait perdre la linéarité de la fonction Y . Son principe est le suivant : extraire les paramètres β et V_{th} avec la fonction Y pour extraire les facteurs de réduction de mobilité θ_1 et θ_2 avec la fonction θ_{eff} . Une fois θ_2 extrait, on calcule une nouvelle fonction Y corrigée avec :

$$Y_{new} = Y_{old} \cdot \sqrt{1 - \theta_2 \cdot V_{gt}^2} \quad (I.33)$$

Ce procédé est ensuite répété jusqu'à retrouver la linéarité de la fonction Y , ce qui se traduit par une convergence des paramètres extraits. La figure I.17 représente schématiquement l'algorithme de cette méthode et la figure I.18 montre la perte de linéarité de la fonction Y corrigée par la méthode de Mourrain.

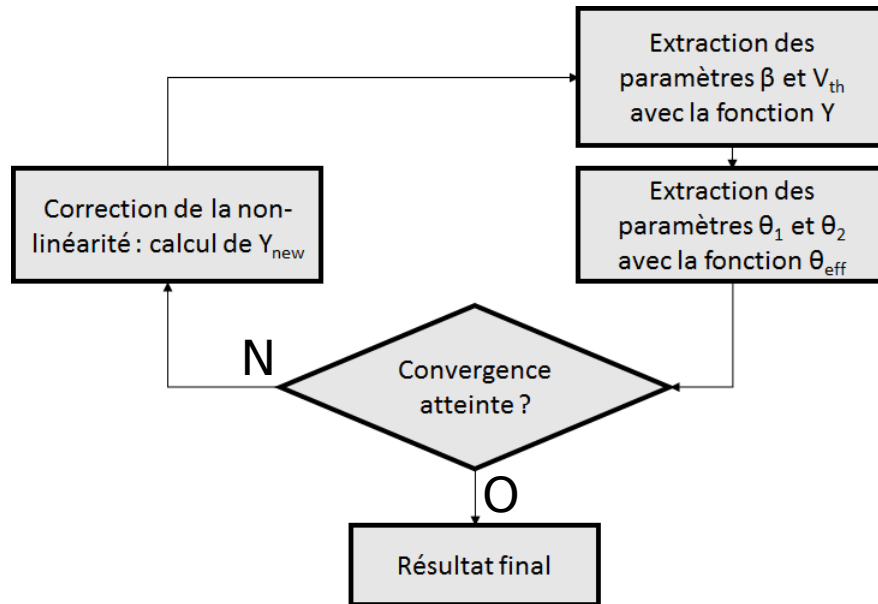


FIGURE I.17 – Algorithme itératif proposé par Mourrain pour corriger la non-linéarité de la fonction Y

Toutefois, cette méthode repose sur l'hypothèse que la résistance d'accès est constante ou ne varie que très peu et linéairement avec la polarisation du transistor. Le chapitre III montrera que cette hypothèse n'est plus valable dans les technologies les plus avancées et la variation de résistance brise la linéarité de la fonction Y et fausse les valeurs de θ_1 et θ_2 extraites avec la fonction θ_{eff} . Ce même chapitre proposera une nouvelle méthode de

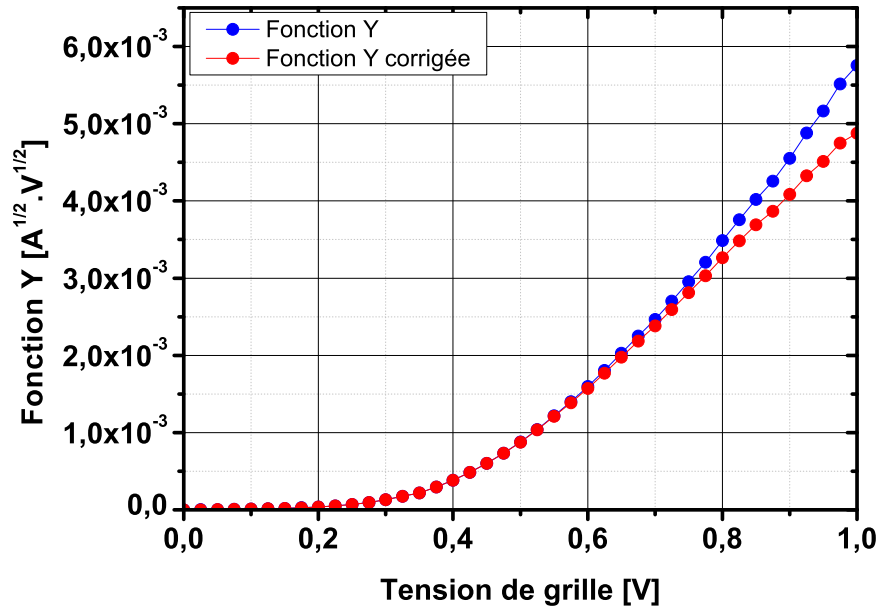


FIGURE I.18 – Comparaison entre la fonction Y et la fonction Y corrigée par la méthode de Mourrain après 7 itérations

caractérisation électrique qui prend en compte ce phénomène de résistance d'accès variable avec la polarisation.

I.3.3 Les méthodes avec les paramètres extraits

Les méthodes d'extraction de paramètres avec le courant vues dans le paragraphe précédent ne permettent l'extraction que de β et de V_{th} et non de l'ensemble des paramètres décrit dans la section I.3. Afin de les extraire, il existe plusieurs méthodes se servant des équations et des méthodes développées dans cette section.

La méthode $\theta(\beta)$

Cette méthode [28] est basée sur l'expression de θ_1^{eff} (I.27). La première étape consiste à extraire β et θ_1 pour plusieurs transistors de longueurs différentes. La deuxième étape est de tracer la variation de θ_1 en fonction de β résultant en une droite comme le prédit l'expression de θ_1^{eff} et comme le montre la figure I.19. Sur cette dernière, la pente est égale à la résistance parasite de la technologie (et non du transistor seul) et l'intersection avec l'axe des ordonnées est égale à θ_1^0 , la partie constante de θ_1^{eff} .

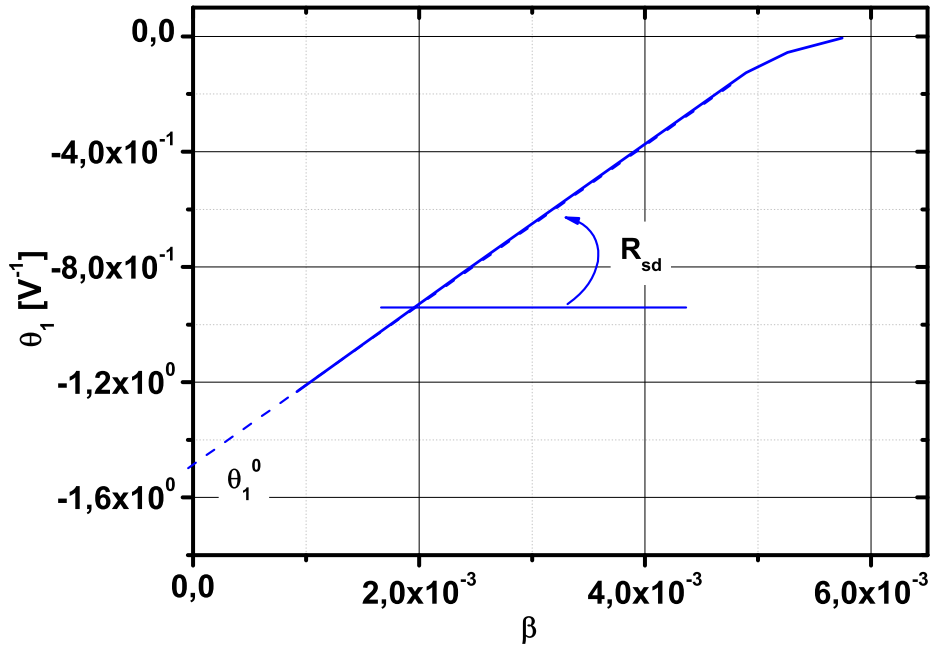


FIGURE I.19 – Extraction de θ_1^0 et de la résistance d'accès R_{sd} avec la méthode $\theta_1(\beta)$

Cette méthode ne permet évidemment que l'extraction d'une valeur constante de R_{sd} y compris dans l'hypothèse où celle-ci varie linéairement avec la polarisation. On extrait alors une valeur moyenne de la résistance sur la plage choisie pour faire l'extraction des paramètres utilisés par cette méthode.

La méthode $R_{tot}(L)$

Développée par Chern *et al.* [31], la première étape de cette méthode [32], [33], [34] consiste à extraire la résistance totale du transistor à une tension définie (généralement V_{dd} la tension

de fonctionnement du transistor) et de tracer cette dernière en fonction de la longueur *dessinée* du canal. Si on considère que les résistances parasites sont constantes, cette variation doit résulter en une droite comme le prédit l'équation (I.13) et comme le montre la figure I.20. Cette méthode permet d'extraire le paramètre technologique de la résistance d'accès R_{sd}^0 mais surtout, son intersection avec l'axe des abscisses donne la valeur de ΔL . Cette valeur représente l'écart moyen entre la longueur dessinée et la longueur électrique du transistor.

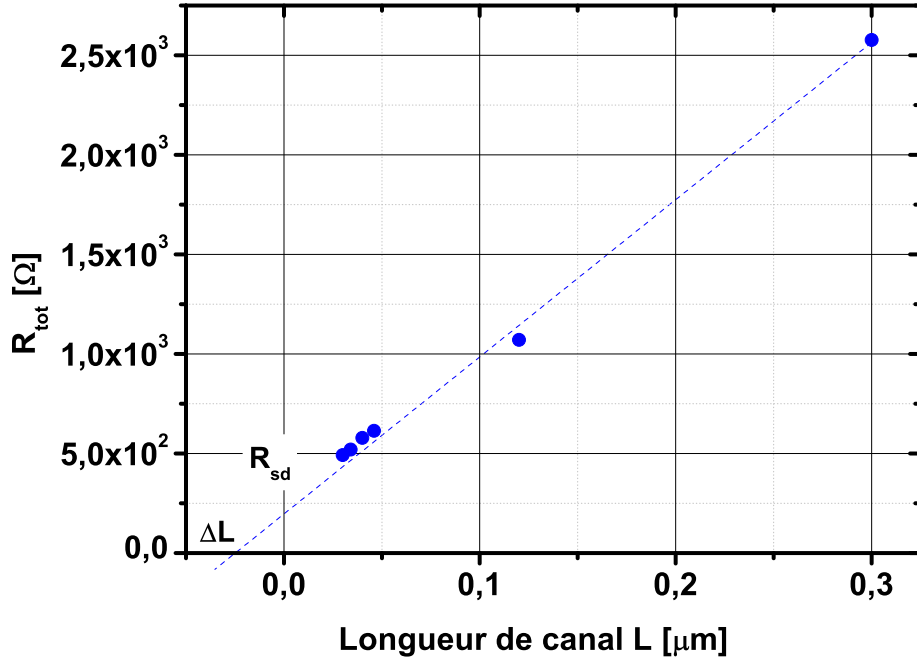


FIGURE I.20 – Extraction de ΔL et de la résistance d'accès R_{sd} avec la méthode $R_{tot}(L)$

Cependant, dans les nœuds technologiques les plus avancés, on observe des valeurs de ΔL négatives et parfois égales à la valeur de la longueur dessinée du transistor le plus petit de l'échantillon étudié comme sur la figure I.20. Cela voudrait dire qu'électriquement, la longueur est deux fois plus importante que celle du transistor physique ce qui est impossible surtout dans le cas des architectures FD-SOI où le canal est entièrement entouré de diélectrique. Ce résultat provient d'une hypothèse de base de cette méthode : la mobilité μ_0 est considérée constante quelque-soit la longueur du transistor étudiée. En réalité, ce paramètre a tendance à diminuer avec la longueur ce qui se traduit au final par des résultats incohérents de ΔL et par une impossibilité d'extraire la mobilité et la longueur effective. En effet pour extraire ΔL il faut d'abord connaître la mobilité, ce qui est réalisable si on la considère constante. Si cette dernière varie avec la longueur il faut alors d'abord connaître la longueur effective, donc ΔL pour connaître la valeur exacte de la mobilité à une longueur donnée... Afin d'extraire ensuite ΔL .

La méthode $R_{tot}(1/\beta)$

Pour pallier ce problème, Fleury *et al.* ont proposé une nouvelle méthode [35] quasiment identique à $R_{tot}(L)$ à l'exception que la résistance totale est tracée en fonction de l'inverse du gain β au lieu de la longueur. Le gain étant fonction de la mobilité (voir équation (I.22)), les variations de cette dernière seront absorbé par β ce qui résout le principal problème de la méthode $R_{tot}(L)$. Ainsi, comme le montre la figure I.21, tracer les valeurs de résistance extraites en fonction de l'inverse de β donne une droite dont l'intersection avec l'axe des ordonnés donne la valeur de la résistance parasite R_{sd} .

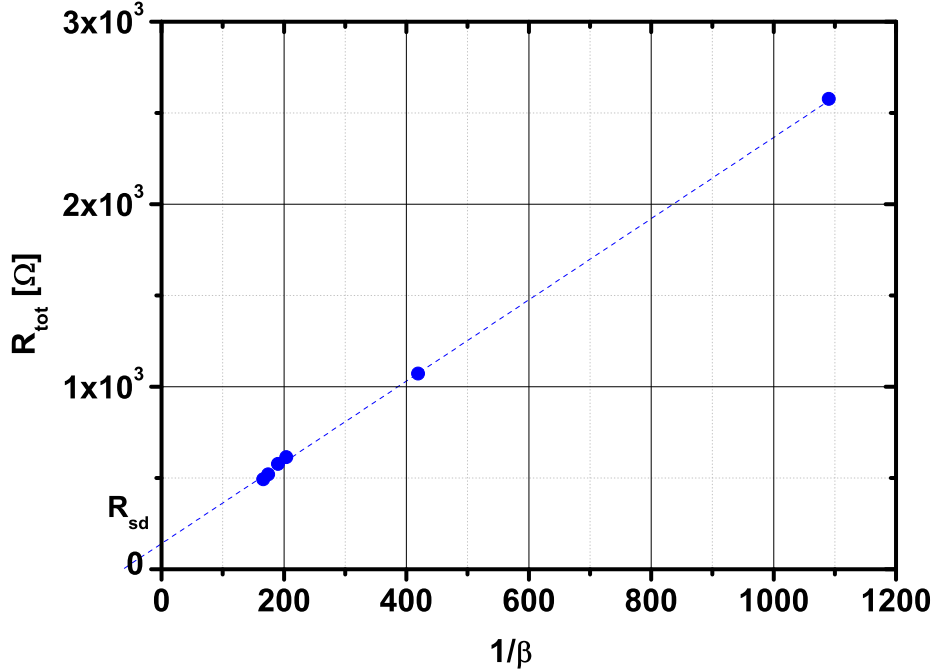


FIGURE I.21 – Extraction de la résistance d'accès R_{sd} avec la méthode $R_{tot}(L)$

Théoriquement très simple, il a été reporté [21] que cette méthode peut toutefois retourner des valeurs de résistance parasite négatives pour les technologies les plus récentes, ce qui n'a physiquement pas de sens. Ce problème est lié à l'hypothèse de base qui considère que la résistance est constante (ou faiblement variable) en fonction de la polarisation. Le chapitre II proposera une nouvelle méthode d'extraction de R_{sd} d'un transistor et montrera que cette hypothèse n'est plus applicable pour les MOSFETs de faibles dimensions.

Synthèse

Le but des méthodes d'extraction en courant est d'avoir à disposition un outil simple pour extraire les performances du transistor, la mobilité étant considérée comme le paramètre le plus représentatif de ces dernières. Toutefois, la simplicité initiale s'est vu parasiter par de nombreux effets demandant des méthodes de plus en plus complexes pour extraire μ_0 . Les deux principaux facteurs limitant sont la détermination de la longueur effective et la résistance d'accès qui à eux deux empêchent de connaître précisément la mobilité. Une solution pour

contourner ce problème est de combiner les méthodes en courant avec méthodes capacitives qui sont moins sensibles à ces effets parasites (bien qu'ayant leurs propres limitations).

I.3.4 Les méthodes capacitives

Une façon de contourner le problème de l'extraction de mobilité par les méthodes en courant est de les combiner à des méthodes capacitives. Ces dernières ayant besoin de larges surfaces, elles sont moins sensibles aux effets des résistances d'accès et permettent l'extraction de la mobilité sans connaissance préalable des dimensions du transistor. Les paragraphes suivant présentent les principales méthodes ainsi que leurs facteurs limitant.

La capacité grille-canal

La mesure de capacité grille-canal permet d'extraire plusieurs paramètres dont la capacité d'oxyde, la tension de seuil et la charge d'inversion.

La première étape pour extraire la capacité d'oxyde est une mesure à haute fréquence (typiquement 100kHz) de la capacité grille-canal C_{gc} qui traduit la variation de la charge d'inversion avec la tension appliquée sur la grille.

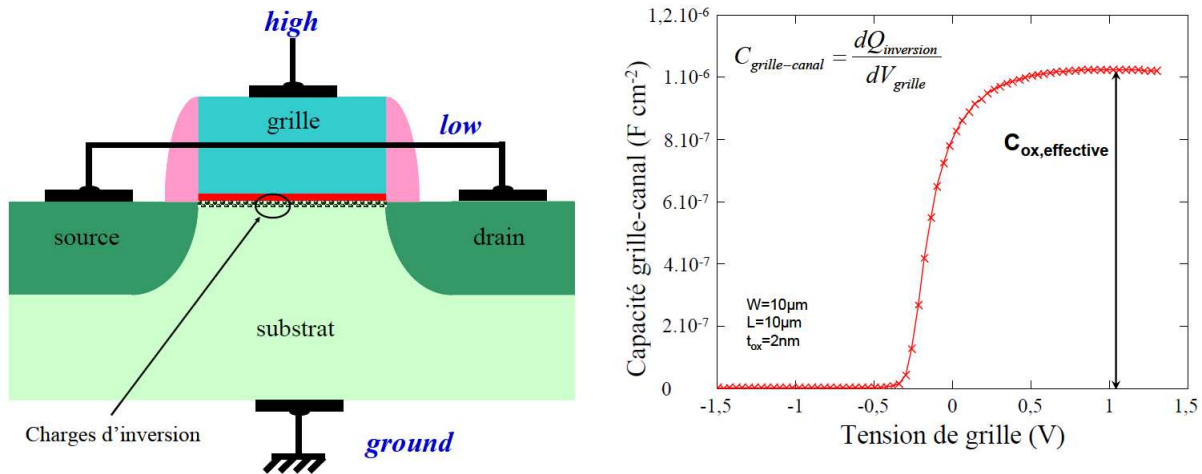


FIGURE I.22 – (a) Schéma du protocole expérimental et (b) courbe typique d'une mesure de capacité grille-canal [5]

La figure I.22 (a) présente le dispositif expérimental pour obtenir la figure I.22 (b). La grille et les source/drain sont reliés respectivement aux points *haut* et *bas* du LCRmeter et le substrat est relié à la masse.

La figure I.22 (b) montre le comportement typique obtenu par ce genre de mesure. On observe tout d'abord un plateau inférieur constant qui n'est pas centré sur 0 à cause des capacités et charges parasites qui perturbent la mesures (capacité des lignes métalliques, des équipements de mesure etc.). Cette capacité non voulue est appelée C_{pad} varie d'une

structure à l'autre, car sa valeur dépend du procédé de fabrication, mais n'est pas sensible à la polarisation du transistor. Ce plateau perdure jusqu'à une valeur de tension de grille donnée à partir de laquelle on observe une croissance rapide (inversion faible) de la réponse capacitive du transistor jusqu'à un nouveau plateau théoriquement constant (inversion forte). Dans certains cas, et notamment dans les dispositifs avancés, on observe que ces deux plateaux ne sont pas constants. Ce phénomène s'explique par la présence des capacités parasites décrits dans la section I.3.1 dont certaines composantes varient avec la polarisation comme C_{if} par exemple. La partie constante (i.e. ne variant pas avec la tension V_{gs} appliquée) de ces parasites peut être supprimée en retranchant la valeur du plateau le plus bas à l'ensemble de la courbe. La figure I.23 illustre ce protocole de correction. L'extraction de la partie variable sera abordée dans le chapitre II.

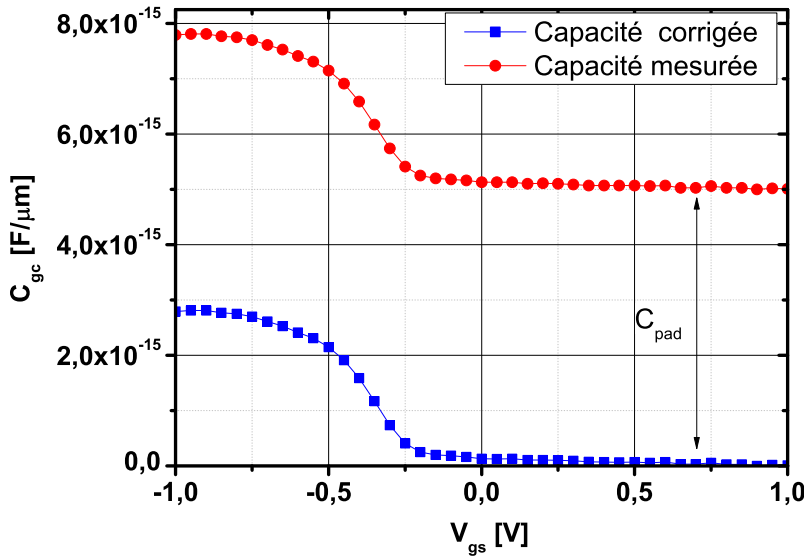


FIGURE I.23 – Exemple de courbe mesurée impactée par la capacité parasite C_{pad} comparée à la courbe corrigée sur laquelle la valeur de C_{pad} a été retranchée sur toute la mesure

Une fois la composante constante supprimée, cette courbe permet d'extraire plusieurs paramètres. Premièrement, la valeur du plateau en forte inversion est égale à la capacité d'oxyde effective C_{ox}^{eff} dont on peut extraire l'épaisseur de l'oxyde effective :

$$t_{ox}^{eff} = \frac{\epsilon_{ox}}{C_{ox}^{eff}} \quad (I.34)$$

Cette épaisseur d'oxyde prend en compte le phénomène de polydépletion évoqué dans la section I.2.2 et peut donc différer de plusieurs Å de l'épaisseur physique de l'oxyde. En général, une fois normalisé en surface, ce paramètre est indépendant des dimensions du transistor. Autrement dit, la mesure de C_{ox}^{eff} sur un transistor long ou court divisé par leur surface respective donnera le même résultat (contrairement à la mobilité par exemple). Ceci signifie que la mesure peut-être effectuée sur un transistor de grandes dimensions pour augmenter le rapport signal sur bruit et affiner la mesure et que le résultat peut ensuite être transposé aux transistors de faibles dimensions.

Deuxièmement, cette courbe est souvent utilisée pour extraire la tension de seuil V_{th} du transistor en la définissant comme le maximum de la dérivée première de cette mesure.

$$V_{gs} \left(\frac{\partial C_{gc}}{\partial V_g} \Big|_{\max} \right) = V_{th} \quad (\text{I.35})$$

Cependant, cette méthode est souvent approximée en considérant que la croissance vers le régime d'inversion forte est linéaire. On peut alors écrire :

$$V_{gs} \left(\frac{C_{ox}^{eff}}{2} \right) = V_{th} \quad (\text{I.36})$$

Finalement, l'intégration de la capacité grille-canal sur la plage de tension étudiée retourne directement la variation de la charge d'inversion.

$$Q_{inv}(V_{gs}) = \int_{-\infty}^{V_{gs}} C_{gc}(u) du \quad (\text{I.37})$$

La capacité grille-substrat

De la même façon que pour Q_{inv} , la charge de désertion Q_{dep} peut-être obtenue directement de l'intégration de la capacité grille-substrat C_{gb} . La figure I.24 (a) montre le protocole expérimental pour obtenir la-dite capacité et la figure I.24 (b) montre une courbe typique de cette dernière. Tout comme la capacité grille-canal, cette mesure est impactée par une composante parasite nommée C_{pad} associée aux appareils de mesure, aux câbles etc. Elle se traite de la même façon que pour la capacité parasite de la mesure grille-canal : en retranchant sa valeur à l'ensemble de la courbe.

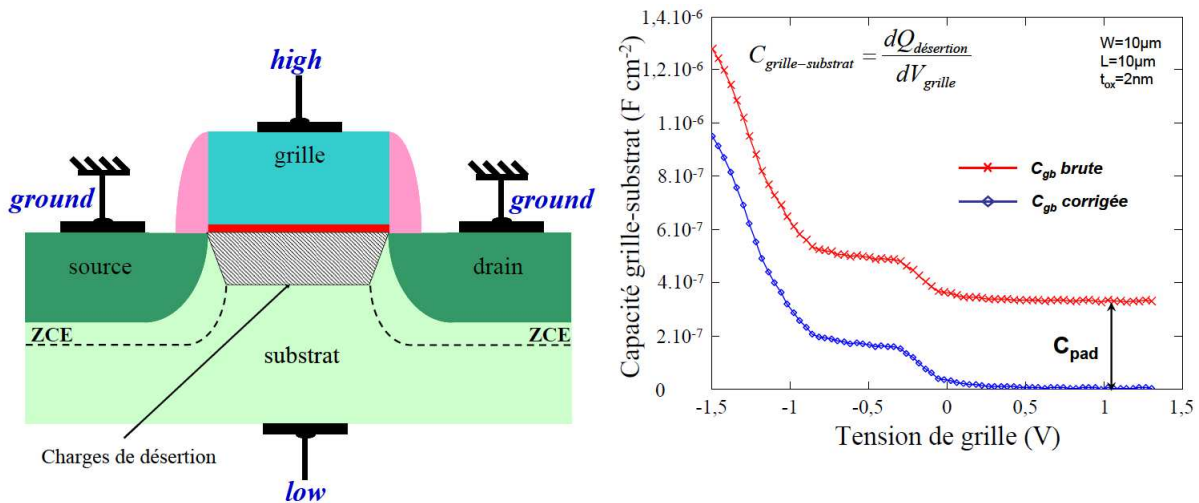


FIGURE I.24 – (a) Protocole expérimental et (b) courbe typique d'une mesure de capacité grille-substrat [5]

$$Q_{dep}(V_{gs}) = \int_{V_{fb}}^{V_{gs}} C_{gb}(u) du \quad (\text{I.38})$$

Dans le cas particulier du FD-SOI, la valeur de Q_{dep} est une constante qui dépend du dopage du canal N_D et l'épaisseur du film de silicium t_{Si} :

$$Q_{dep} = q \cdot N_D \cdot t_{Si} \quad (\text{I.39})$$

La méthode split-CV

La méthode split-CV est une des méthodes les plus performantes pour extraire la mobilité effective en combinant une mesure tension-courant et la mesure de capacité grille-canal.

Une fois les mesures effectuées, la valeur de la mobilité effective est calculée à partir de la formule suivante :

$$\mu_{eff} = \frac{L}{W} \cdot \frac{I_{ds}}{Q_{inv} \cdot V_{ds}} \quad (\text{I.40})$$

Cette équation permet ensuite de tracer la mobilité en fonction de la tension de grille ou de la charge d'inversion. De plus, en combinant les valeurs de Q_{inv} et de Q_{dep} , il est possible de calculer le champ effectif à l'aide l'équation I.12 afin de tracer la mobilité en fonction de ce dernier.

Cependant, cette méthode n'est valable que pour les transistors de grandes dimensions. Comme dit dans l'introduction de cette section, les mesures capacitives requièrent de grandes surfaces pour avoir un ratio signal/bruit exploitable par la suite. De plus, la méthode split-CV utilisant une mesure de courant ainsi que les dimensions du transistor, elle est donc soumise aux mêmes problèmes : la résistance d'accès et la détermination des dimensions effectives du MOSFET. Toutefois, la méthode a été adaptée pour les transistors courts [5] ($L < 0.1 \mu\text{m}$) mais en conservant l'hypothèse que la résistance d'accès est constante ce qui ne résout pas le problème des transistors décanométriques. Ce manuscrit essaiera donc de proposer une solution à ce problème.

I.4 Objectifs de cette thèse

Ce chapitre d'introduction montre que jusqu'à présent, la caractérisation électrique a principalement été tournée vers l'extraction de la mobilité, paramètre clé rendant compte de la qualité du transport et de la quantité de courant débitée par les transistors. Son extraction a notamment été la source de nombreuses méthodes aussi bien en utilisant le courant que la capacité de ces derniers. Cependant, la réduction des dimensions a fait apparaître de nombreux éléments venant agir sur les méthodes d'extraction, faussant les résultats finaux dans le meilleur cas, les rendant obsolètes voire inutilisables dans le pire. Parmi ces effets parasites, la résistance d'accès a souvent été considérée comme négligeable et à ce titre a donc été assez peu étudiée. L'estimation précise de la proportion de courant perdu du fait des résistances d'accès dans les technologies CMOS modernes sera abordée dans cette thèse.

Malheureusement, l'état de l'art ne dispose que de peu de méthodes de caractérisation prenant comme hypothèse une résistance d'accès variable avec la polarisation de grille et

encore moins pour extraire ladite résistance [36]. Ce manuscrit proposera donc de nouvelles méthodes afin de combler ce manque.

Le premier chapitre a présenté succinctement l'histoire de la technologie CMOS ainsi que son fonctionnement idéal avant d'enchaîner sur les bases de la miniaturisation et son impact sur les performances de transistor. Les méthodes de caractérisation les plus courantes ont également été détaillées afin de les utiliser comme éléments de comparaison pour les nouvelles méthodes qui seront développées dans ce manuscrit.

Le deuxième chapitre proposera une nouvelle méthode pour extraire une résistance d'accès sans hypothèse préalable sur sa variation avec la polarisation de grille. Ce même chapitre développera également un modèle expérimental simple reproduisant les variations de résistance d'accès sur l'ensemble de la plage de tension étudiée.

Le troisième chapitre de ce manuscrit est dédié à la résolution des problèmes de la caractérisation par méthode en courant. Dans un premier temps, une nouvelle fonction Y sera présentée, permettant l'extraction de tous les paramètres en une seule étape. Puis, l'impact réel des résistances d'accès sur les mesures et la caractérisation électrique sera étudié en combinant les méthodes des chapitres II et III. Ces résultats seront ensuite comparés aux méthodes existantes vues dans ce chapitre.

Enfin, le dernier chapitre de ce manuscrit sera dédié à l'étude du désappariement (*mismatch*) des transistors et plus particulièrement au rôle de la résistance d'accès sur ce dernier. Dans cette optique, un nouveau modèle basé sur les méthodes des chapitres précédents sera proposé et comparés aux modèles existants.

L'essentiel - Ce chapitre a tout d'abord montré que l'industrie de la microélectronique est fondée sur la miniaturisation des composants et celle-ci pourrait atteindre ses limites dans les années à venir pour des raisons économiques. Puis le fonctionnement idéal du transistor MOS a été présenté ainsi que les phénomènes, liés à la réduction des dimensions, qui l'éloignent de ce comportement idéal. Parmi les nouveaux effets, certains sont connus et maîtrisés depuis longtemps comme l'effet tunnel à travers l'oxyde de grille et les SCE/DIBL. D'autres effets, plus difficiles à contrôler ont été la source de nombreux changements dans l'architecture MOSFET. C'est le cas de la chute de mobilité qui a lancé la course aux performances par l'introduction de nouveaux éléments comme des contraintes mécaniques ou de nouveaux matériaux dans le canal. La mobilité a été considérée comme le paramètre central de la dégradation des performances du transistor avec la miniaturisation au cours des dernières décennies, occultant complètement le problème croissant de l'augmentation des résistances d'accès. Pour simplifier le problème, celle-ci ont tout d'abord été considérées négligeables, puis constante, puis variable linéairement avec la polarisation. Cependant, les récentes mesures montrent que son impact sur ces dernières a été lourdement sous-estimé, faussant les résultats et interprétations des études de performance. Le chapitre II proposera donc des solutions d'extraction des composantes parasites afin de remédier aux manques d'études récentes sur le sujet.

Chapitre II

Extraire la résistance d'accès

Sommaire

II.1 La résistance de contact source/drain - canal	55
II.1.1 Les structures résistives	55
II.1.2 Applications et limitations	57
II.2 Les structures MOS Kelvin	57
II.2.1 Architecture et principe de fonctionnement	58
II.2.2 Comparaison des mesures 2 pointes et 4 pointes	59
II.3 De nouvelles méthodes d'extraction des composants parasites	60
II.3.1 Une méthode héritée de l'état de l'art : la méthode linéaire	60
II.3.2 Une nouvelle méthode d'extraction : la méthode différentielle	65
II.4 Exploitation des méthodes	73
II.4.1 Un modèle de résistance simple	73
II.4.2 Résultats	76
II.5 Conclusion	77

Introduction - Le premier chapitre a exposé le fonctionnement du transistor MOS ainsi que les facteurs l'éloignant du comportement idéal. Parmi ceux-ci, la résistance d'accès a été identifiée comme un frein majeur à la course aux performances et comme principal biais pour la caractérisation électrique des circuits. Ce deuxième chapitre exposera donc les différentes méthodes et architectures qui ont été employées pendant cette thèse afin d'extraire les composantes parasites du MOSFET.

- La première section présentera des structures résistives dédiées à l'extraction de la résistance entre les source/drain et le canal non polarisé, ainsi que les limites de ces structures.
- La deuxième section introduira les architectures dites MOS Kelvin permettant de séparer la partie forçant la tension et mesurant le courant lors de la mesure.
- La troisième section proposera de nouvelles méthodes d'extraction de résistance à l'aide des structures de la deuxième section.
- La quatrième comparera les résultats obtenus dans la troisième section avec les modèles de résistance existant et en proposera un nouveau plus proche de la physique du transistor.

II.1 La résistance de contact source/drain - canal

Comme expliqué dans le chapitre I, la résistance d'accès à longterm a été considérée indépendante de la polarisation ou négligeable devant les autres facteurs parasites. Dans le cas de la première hypothèse, il suffit de connaître la valeur de cette résistance à n'importe quelle polarisation de grille pour connaître sa valeur. Cette première section présente donc des structures et des méthodes pour extraire la résistance d'accès dans le cas où celle-ci est indépendante de la polarisation de grille.

II.1.1 Les structures résistives

Dans le cadre d'un MOSFET, on peut séparer la résistance totale R_{tot} du transistor en deux paramètres simples : celle relative au canal du transistor $R_{intrinsèque}$ et celle qui est extérieure au canal R_{sd} .

$$R_{tot} = R_{intrinsèque} + R_{sd} \quad (II.1)$$

Le facteur de résistance d'accès peut à son tour être séparé en différentes contributions [37] : résistance des lignes de métaux, des via entre chaque niveau de métal, le contact source/drain - volume, le contact source/drain - canal etc.

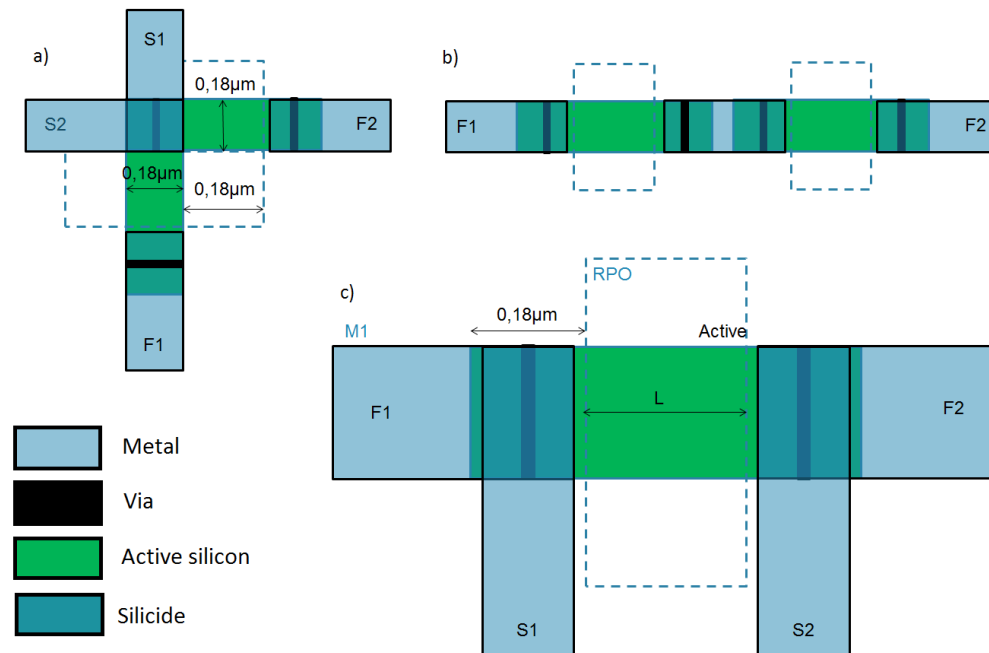


FIGURE II.1 – Vue du dessus des structures résistives (a) en croix de Kelvin, (b) de type *Transmission Line Method* (TLM) et (c) combinant TLM et Kelvin.

La figure II.1 montre les différentes architectures utilisées pour extraire la résistance du contact entre les source/drain et le canal. Ces structures suivent le même procédé de

fabrication que les transistors MOS à l'exception de la grille qui n'est pas présente dans ce cas. Elles permettent donc hypothétiquement l'extraction d'une résistance qui serait identique à celle d'un transistor MOS sans impact de la grille.

Structures TLM

Les structures TLM [38] figurent parmi les premières à avoir été employées pour mesurer les résistances de contact. Le principe consiste à relier n barreaux de matériaux conducteur (ou semiconducteur dans notre cas) en série et de mesurer la résistance de l'ensemble. En disposant de plusieurs longueurs de barreaux, on peut ensuite tracer l'évolution de la résistance en fonction de ces dernières. La pente de la droite ainsi obtenue donnera la résistivité du matériaux conducteur et l'extrapolation à longueur nulle la résistance des $2n$ contacts entre les barreaux.

Appliquée au cas spécifique de la microélectronique et plus particulièrement du FD-SOI, cette méthode permet d'extraire la résistivité du film de silicium au repos (i.e. sans polarisation de grille) ainsi que la résistance de l'empilement formant le contact avec les source/drain.

Structures Kelvin

Les technologies avancées présentant de plus fortes densités d'intégration, elles ont besoin de plus en plus de niveaux de métaux pour connecter les dispositifs. Ceci signifie également que le rôle joué par leur résistance peut également noyer le signal des résistances intrinsèque et parasite. Ce problème impact également les structures de type TLM limitant leur application dans les technologies les plus récentes.

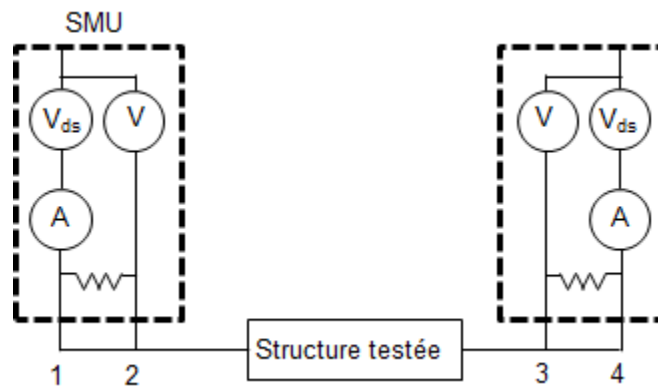


FIGURE II.2 – Représentation schématique du protocole expérimental nécessaire aux mesures Kelvin

Une solution pour contourner le problème est de passer par des mesures Kelvin (ou mesure 4 pointes) [39]. La figure II.2 montre le protocole expérimental nécessaire à ces dernières. Contrairement à la méthode de mesure 2 pointes pour laquelle on force le courant avec la même pointe que pour mesurer la tension, la méthode 4 pointes sépare ces deux étapes. Ainsi sur cette figure, les SMU (*Source Measure Unit*) forcent un courant entre les pointes

1 et 4 et mesurent la tension entre les pointes 2 et 3 éliminant ainsi toute la partie résistive des segments 1-2 et 3-4. Sur la figure II.1 (a) et (c), les pointes 1 et 4 de la figure II.2 correspondent à F1 et F2 (pour *Force* 1 et 2), et les pointes 2 et 3 à S1 et S2 (pour *Sense* 1 et 2).

Habituellement, cette méthode est utilisée pour mesurer la résistivité d'une couche mince sur laquelle les pointes sont directement posées. Dans le cas des structures résistives il est évidemment impossible de venir les poser directement sur ces dernières. Pour les tests électriques, le contact avec la structure est assuré par des plots métalliques en surface de plaque, il faudra donc s'assurer d'avoir un plot disponible pour chacune des pointes nécessaires à la mesure Kelvin. Ceci peut être un facteur limitant à l'utilisation de ce type de mesure dans le sens où l'optimisation de l'espace occupé par une structure de test est un point crucial dans le développement d'une technologie.

Finalement, les structures TLM Kelvin, ou TLMK, combinent les concepts des deux précédentes afin de supprimer le problème de résistance des lignes métalliques.

II.1.2 Applications et limitations

Bien qu'utiles, ces structures ne correspondent en fait pas au fonctionnement réel du transistor et ne permettent que l'extraction des résistances d'accès de ce dernier non polarisé. Ceci signifie que lorsque le courant circulera dans les structures résistives, ce dernier se répartira dans l'ensemble du film en silicium. A l'inverse, dans un transistor polarisé, le courant circule uniquement dans le canal d'inversion donc à l'interface silicium oxyde. Ceci implique donc deux choses.

Premièrement, la surface de contact entre les source/drain et le canal de conduction est plus faible que celle entre les source/drain et l'intégralité du film de silicium.

Secondement, le procédé de fabrication des nœuds les plus récents comprend des "booster" de performance comme l'introduction de germanium ou de contraintes dans le canal. Le but de ces nouveaux éléments est de modifier localement la mobilité à l'interface oxyde canal. Cette surface n'étant pas le seul chemin de conduction dans les structures résistives, il sera difficile de séparer ces derniers afin de quantifier les effets de ces "booster" sur la conductivité et sur la résistance d'accès.

En définitive, ces structures sont un outil efficace pour caractériser rapidement la qualité de la jonction source/drain avec le film de silicium. Toutefois, il est plus difficile d'en tirer des informations concernant le rôle des résistances d'accès sur la dégradation des performances du MOSFET.

Les sections suivantes s'efforceront donc de résoudre ce problème en s'appuyant sur les méthodes et les informations acquises grâce aux structures résistives, en particulier de type Kelvin.

II.2 Les structures MOS Kelvin

Les structures de la section II.1.1 permettent l'extraction des résistances d'accès pour des structures correspondant à des transistors sans grille. Le principe des structures Kelvin [40] (mesure 4 pointes augmentant la précision des mesures résistives) est appliqué sur des

transistors fonctionnels. Cette section présentera ces structures et les mesures associées à ces dernières.

II.2.1 Architecture et principe de fonctionnement

La figure II.3 représente schématiquement les connexions pour les structures de type Kelvin. En réalité, ces dernières ne sont pas composées de transistors unitaires mais d'une matrice de 600 transistors reliés en parallèle dont chaque plot de mesure a été doublé (source, drain, grille et substrat) afin de séparer la partie forçant le signal et la partie le mesurant. Chaque transistor de la matrice a une largeur de 170 nm et une longueur variant de 100 à 20 nm.

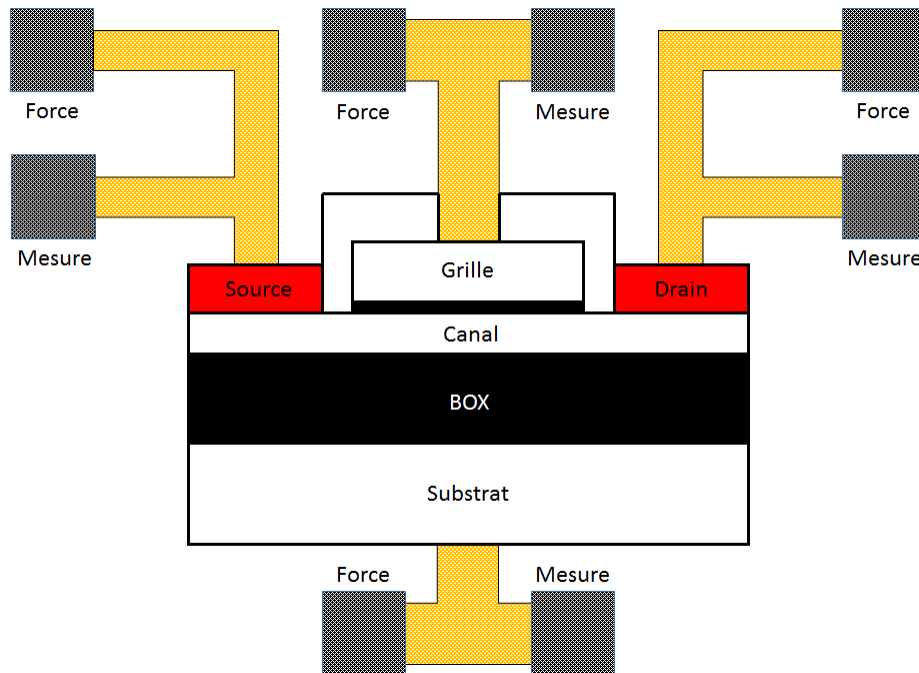


FIGURE II.3 – Schéma d'un transistor de la technologie 14nm FD-SOI en coupe et des connexions avec les plots de mesures. Chaque paire de plots permet des mesures de type Kelvin.

Cette matrice a pour but d'augmenter l'intensité totale du courant et de multiplier le nombre de contact canal - source/drain (2 contacts par transistor pour un total de 1200 sur ces structures). Multiplier le nombre de transistors permet également de lisser la variabilité stochastique liée aux faibles dimensions, augmentant ainsi la précision de la mesure (voir section I.2.5). Cependant, le courant débité par cette structure étant bien plus important, les lignes de métal nécessaires à son transport vers les plots en surface de plaque doivent pouvoir l'assurer sans surchauffe. Cette augmentation de courant dans le métal se traduira par une augmentation de la résistance associée à ce dernier, réduisant d'autant le signal émit par les transistors. Afin de limiter le problème, les lignes métalliques ont été dessinées le plus large possible et la mesure 4 points permet d'outrepasser ce problème de résistance de ligne de métal.

Enfin, la totalité des transistors de la matrice est équivalente à un transistor unique dont la surface serait celle des 600 transistors cumulés augmentant également l'intensité du signal capacitif. Autrement dit, ce type de structure permet également de mesurer la capacité de transistor de dimensions décananométriques autrement inaccessible à cause du ratio signal/bruit et de la précision des appareils de mesure existant actuellement.

Une étude préliminaire des structures a montré que dédoubler les plots de mesures du substrat et de la grille n'a pas d'impact sur les mesures de courant. En effet, les oxydes séparant ces derniers éléments du canal conducteur sont de suffisamment bonne qualité pour éviter les problèmes de fuite qu'auraient pu poser cette architecture. Cette même étude a également montré que la séparation des plots n'a aucun impact sur la forme des mesures capacitives et ne se traduit que par l'ajout d'une valeur constante sur les mesures. Cette dernière étant supprimée avant le traitement des données (voir section I.3.4), elle n'a aucun impact sur la mesure.

II.2.2 Comparaison des mesures 2 pointes et 4 pointes

Les figures II.4 (a) et (b) comparent les mesures de courant de drain en fonction de la polarisation en utilisant que 2 plots pour la II.4 (a) et avec 4 plots pour la II.4 (b). Toutes les courbes présentées pendant le reste de ce chapitre ont été, au minimum, normalisées par la largeur équivalente totale du système $W_{eq} = 102 \mu\text{m}$.

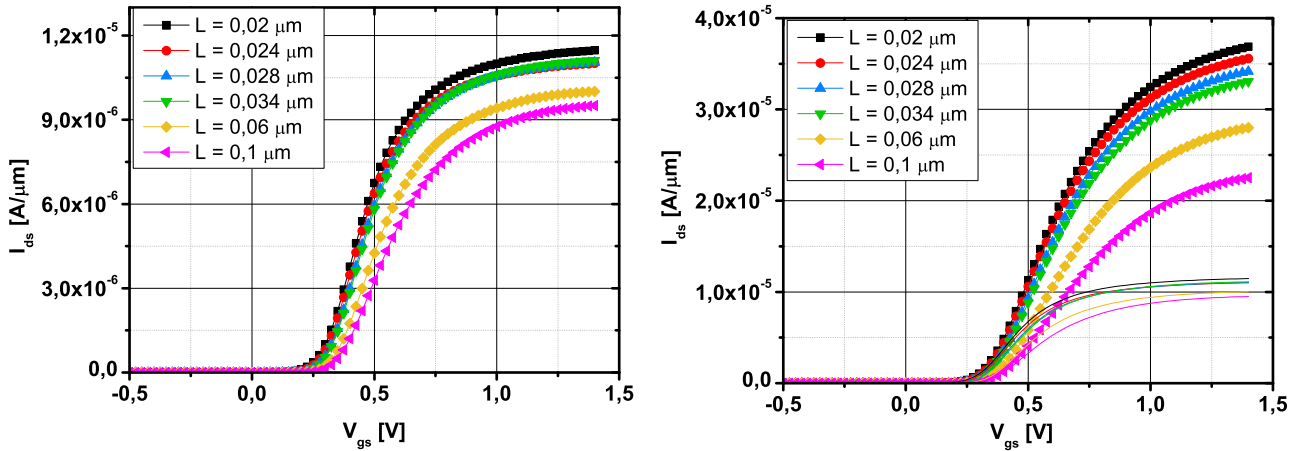


FIGURE II.4 – (a) Courbe de transfert ($I_{ds}(V_{gs})$) en forçant et en mesurant avec 2 pointes, (b) Courbe de transfert ($I_{ds}(V_{gs})$) en forçant avec 2 pointes et en mesurant avec 2 pointes différentes. Les lignes + symboles représentent les mesures 4 pointes, les lignes continues seules sont les mesures de la figure II.4 (a)

Ces figures permettent de mettre en évidence l'impact des résistances des lignes de métal et de confirmer l'utilité de ces structures particulières. En effet, la figure II.4 (b) montre les lignes continues (mesures 2 pointes de la figure II.4 (a)) effectuées sur le même dispositif ont une intensité 2 à 4 fois inférieures aux courbes mesurées sous 4 pointes. Cette différence est donc entièrement due aux lignes métalliques qui permettent l'accès aux structures de test et justifie l'utilisation des structures Kelvin pour ce type de mesure.

De plus, la figure II.4 (a) montre qu'il est difficile de séparer les courbes des longueurs les plus petites. En effet, sur cette même figure, on observe que les transistors de 34 nm débitent plus de courant que ceux de plus petites dimensions ce qui va à l'encontre de ce que prévoit l'équation I.14.

Les structures Kelvin permettent d'amplifier le courant de sortie tout en étant immunisées aux résistances des lignes métalliques. Elles sont donc parfaitement adaptées à l'extraction des résistances et capacités parasites des MOSFETs.

II.3 De nouvelles méthodes d'extraction des composants parasites

Le chapitre I a montré que les méthodes existantes sont insuffisantes pour caractériser les technologies les plus avancées. Cette section présentera donc deux nouvelles méthodes [41] afin de pallier ce problème.

II.3.1 Une méthode héritée de l'état de l'art : la méthode linéaire

La section I.3.3 a présenté des méthodes se servant des paramètres extraits afin de déterminer la résistance d'accès ou la longueur effective (méthodes $\theta(\beta)$, $R_{tot}(L)$, $R_{tot}(1/\beta)$...). Seulement, ces méthodes sont utilisées en prenant l'hypothèse d'une résistance d'accès constante et n'étudiant qu'une seule valeur de polarisation de grille. La première méthode présentée dans cette section est similaire à celles de l'état de l'art, c'est-à-dire basée sur une régression linéaire en fonction de la longueur. Mais, contrairement aux méthodes de la littérature, la régression linéaire de la caractéristique étudiée (capacité ou résistance) est tracé pour toutes les valeurs pertinentes de polarisation.

Mesures capacitives

La figure II.5 montre les mesures capacitives effectuées sur les transistors Kelvin. Le traitement complet pour obtenir ces courbes commence par mesurer 5 fois chaque structure de -1 à 1V et de prendre la moyenne de ces dernières. Une étape de lissage de type moyenne mobile simple sur 3 valeurs est ensuite appliqué sur les courbes résultantes telle que :

$$C_{lisse,n} = \frac{C_{mesurée,n-1} + C_{mesurée,n} + C_{mesurée,n+1}}{3} \quad (\text{II.2})$$

Où C_{lisse} et $C_{mesurée}$ représentent les capacités lissées et mesurées et n l'indice du point autour duquel le lissage est effectué. Enfin, la capacité parasite constante est supprimée en soustrayant la valeur minimum des courbes mesurées comme expliqué dans la section I.3.4, avant d'être normalisée par la largeur équivalente totale de la matrice.

Théoriquement, en l'absence de capacité parasite, l'extrapolation de la capacité grille-canal à $L = 0$ nm devrait être égale à 0 F. En effet, la situation purement théorique d'une longueur nulle est équivalente à une absence de canal et donc de couplage avec la grille. Si cette valeur extrapolée à une longueur nulle est différente de 0, cela signifie qu'il s'agit d'une

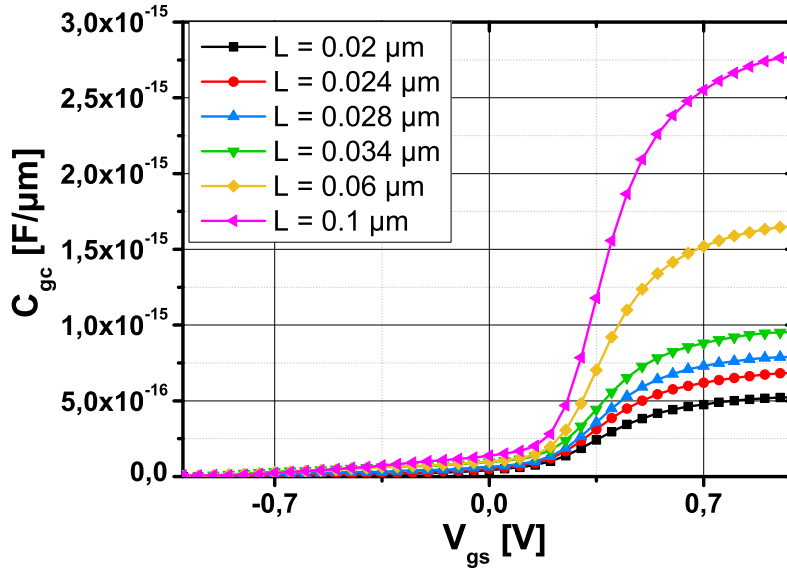


FIGURE II.5 – Mesure de la capacité grille-canal effectuée sur les transistors MOS Kelvin décrit en section II.2

valeur de capacité non prévue et donc parasite. Toutefois, cette méthode présuppose que la tension de seuil V_{th} est la même pour toutes les longueurs étudiées. Or cette dernière est sensible à différents effets comme le SCE et le DIBL, susceptibles de biaiser les résultats.

Afin de vérifier que cette hypothèse est respectée, une étude préliminaire de la tension de seuil a été effectuée. Cette dernière a été extraite en utilisant le maximum de g_m extrapolé et le résultat est présenté sur la figure II.6.

La différence de V_{th} maximale étant inférieure à 5% (22,5 mV pour les NMOS et 15 mV pour les PMOS) pour les deux types de transistors, cette hypothèse est donc justifiée.

La figure II.7 montre l'évolution de la capacité totale en fonction de la longueur pour plusieurs valeurs de polarisation. On peut donc extraire par extrapolation de ces droites une valeur de capacité parasite pour chaque valeur de V_{gs} et reconstruire une courbe de $C_{parasite}(V_{gs})$. Toutefois, l'évolution de cette dernière en faible inversion (à faible V_{gs}) est loin d'être aussi linéaire qu'espéré, il faudra donc être précautionneux quant aux résultats de capacité parasite dans ce régime de fonctionnement.

La figure II.8 montre le résultat obtenu avec cette méthode. Le pic observé juste avant le passage en inversion forte est caractéristique d'une capacité parasite bord intérieur C_{if} ([42], [43], [44], [45]). En effet, comme expliqué dans la section I.3.1, celle-ci correspond à un couplage capacitif entre la grille et les source/drain via le canal. Elle va donc croître jusqu'à ce que le canal conducteur se forme et vienne écranter totalement sa contribution à la capacité totale, expliquant ainsi la rechute à 0 F/μm en forte inversion. Bien qu'étant assez faible (de l'ordre de quelques 10 aF/μm) cette capacité parasite représente tout de même une part non négligeable de la capacité en faible inversion pour les MOS les plus courts.

Cette méthode ayant prouvé une certaine efficacité à extraire des composantes parasites connues sur les mesures capacitives (C_{if}), l'étape suivante a été d'employer la même approche pour l'extraction des résistances parasites.

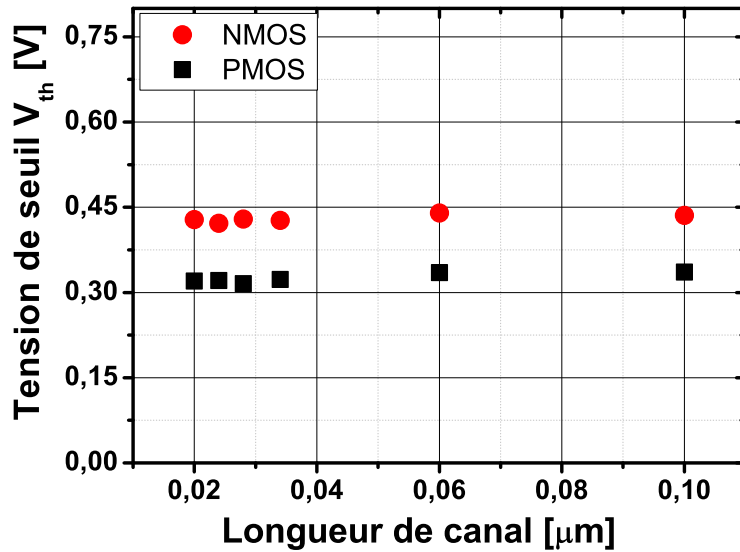


FIGURE II.6 – Tension de seuil moyenne extraite par le maximum de g_m extrapolé sur 60 puces pour toutes les longueurs disponibles sur les transistors Kelvin NMOS (en rouge) et PMOS (en noir)

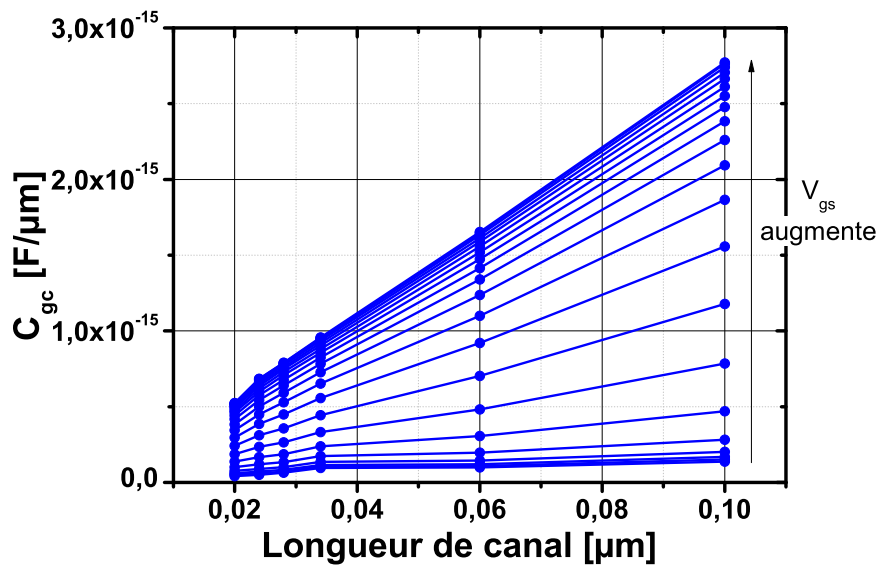


FIGURE II.7 – Évolution de la capacité grille-canal C_{gc} normalisée en largeur en fonction de la longueur pour plusieurs tension de polarisation de grille V_{gs}

Mesures résistives

Les courbes utilisées avec cette méthode sont les mesures sous 4 pointes présentées dans la section II.2.2 (voir figure II.4). La première étape pour cette méthode est de convertir le courant mesuré en résistance en utilisant la loi d'Ohm :

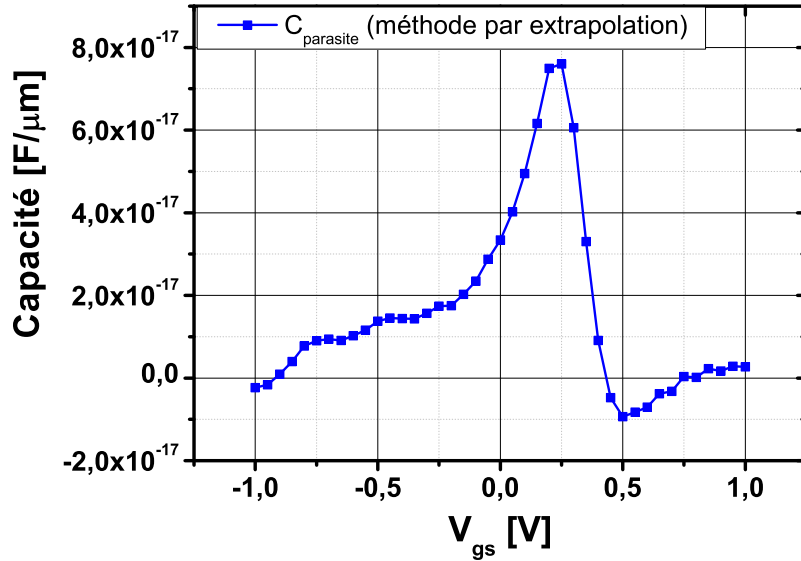


FIGURE II.8 – Capacité parasite extraite par extrapolation de la capacité totale à $L = 0$ en fonction de la polarisation de grille V_{gs}

$$R_{tot} = \frac{V_{ds}}{I_{ds}} \quad (\text{II.3})$$

Les mêmes étapes que pour l'extraction de capacité parasite sont ensuite suivies en traçant l'évolution de la résistance totale en fonction de la longueur pour l'ensemble des valeurs de polarisation de grille V_{gs} . De même que précédemment, l'extrapolation de la résistance à longueur nulle devrait être égale à 0 car cette situation théorique est équivalente à l'absence de canal. Si cette valeur est non nulle, elle correspond donc à une résistance supplémentaire qui n'est pas liée aux lignes métalliques (grâce aux structures Kelvin), et donc à une résistance parasite interne au transistor. La figure II.9 montre la variation de résistance avec la longueur pour des valeurs de $V_{gs} > V_{th}$. En effet, en dessous de V_{th} , le canal conducteur n'étant pas formé, ce dernier n'agit donc pas comme un conducteur et la relation de proportionnalité entre la résistance et la longueur n'est pas respectée. En revanche, en régime de forte inversion, on observe bien une relation linéaire entre les deux et, comme attendu, une diminution de la résistance lorsque V_{gs} augmente. Cette même figure montre également une saturation de la résistance à fort V_{gs} ce qui peut s'expliquer par une diminution de la mobilité apparente qui compense l'augmentation de conductivité.

La résistance parasite obtenue par cette méthode est montrée sur la figure II.10. Comme attendu, cette dernière varie avec la polarisation de grille, dans notre cas d'un facteur 3 entre les régimes de faible et de forte inversion. La divergence observée pour $V_{gs} < 0.5\text{V}$ est liée à l'absence de canal conducteur. En effet, si le courant circulant entre la source et le drain est très faible, la résistance du transistor perd sa signification. Ceci se traduit par une divergence sur la courbe de résistance parasite qui requiert de même, le passage d'un courant significatif pour avoir une validité physique.

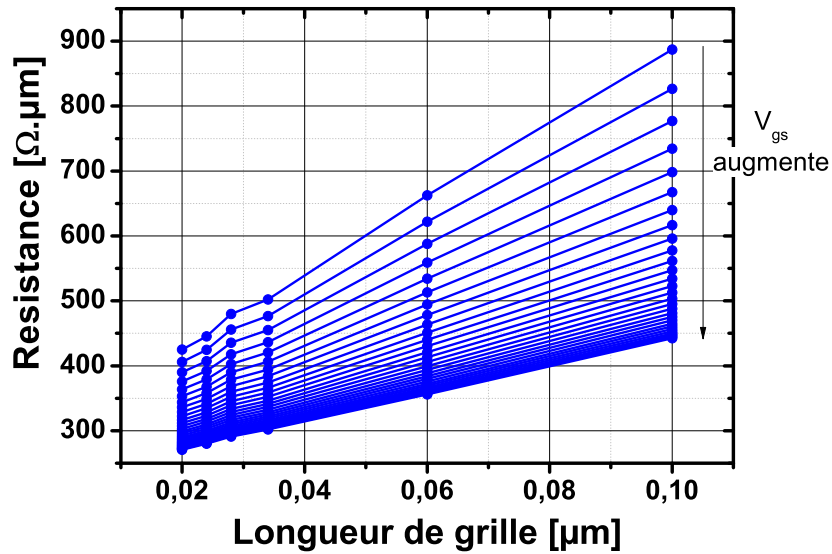


FIGURE II.9 – Évolution de la résistance totale en fonction de la longueur de grille pour plusieurs V_{gs}

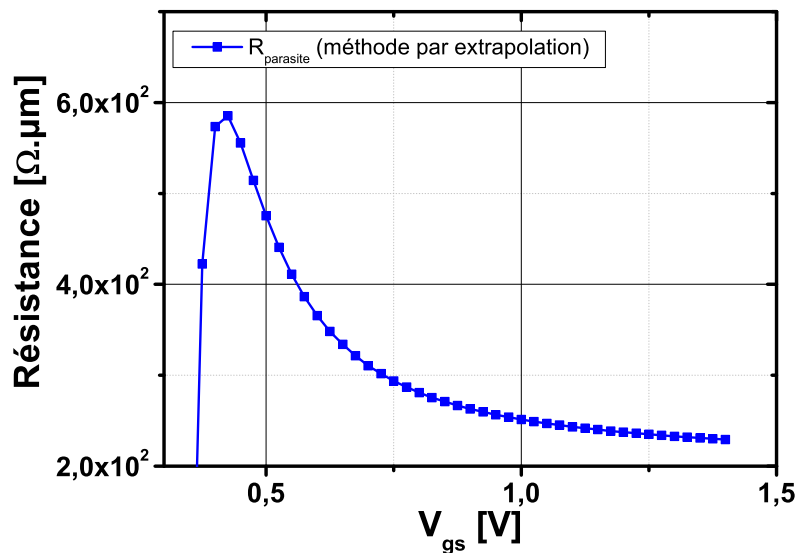


FIGURE II.10 – Résistance parasite extraite par extrapolation de la résistance totale à $L = 0$ en fonction de la polarisation de grille V_{gs}

Synthèse

Cette méthode permet donc d'extraire les composantes parasites capacitives et résistives à condition de disposer de plusieurs transistors de longueurs différentes pour accroître la précision de la régression linéaire. Comme souvent avec les méthodes relativement simples, elle présente cependant des inconvénients. Le premier est qu'elle est basée sur le tracé d'une mesure en fonction de la longueur. Or, le chapitre I a montré que ce type de méthode devrait

être tracée en fonction de la longueur effective, cette dernière étant difficile à déterminer avec précision pour les technologies avancées. Secondement, il faut une plage de longueurs suffisante pour finalement obtenir une seule composante parasite qui peut être assimilée à la moyenne pour les matrices étudiées. En d'autres termes, cette méthode est plus efficace pour caractériser rapidement un procédé de fabrication (via la moyenne des caractéristiques) que les transistors individuels. Ces défauts ont ainsi motivé le développement d'une nouvelle méthode présentée en section II.3.2, permettant l'extraction de composantes parasites sur transistor individuel sans se soucier de connaître la longueur effective.

II.3.2 Une nouvelle méthode d'extraction : la méthode différentielle

Le chapitre I et les résultats présentés précédemment ont montré que la caractérisation électrique souffre de biais lié à la longueur effective qui est difficile à extraire. L'extraction des composantes parasites est de surcroît handicapée par la nécessité de disposer de plusieurs longueurs pour finalement extraire une valeur moyenne.

Afin de résoudre ces problèmes, une nouvelle méthode inspirée de [46] et [44] a été développée. Son principe de base repose sur les postulats suivants : d'abord, la mesure (capacitive ou résistive) totale (M_{tot}) issue d'un transistor est la somme d'un comportement intrinsèque (M_{int}) et d'un comportement parasite (M_{par}). Ensuite, la longueur effective (L_{eff}) est la somme de la longueur dessinée (L) et d'une valeur inconnue dépendant du procédé de fabrication (ΔL) mais commune à toutes les longueurs dessinées. Ces postulats sont représentés par les équations (II.4) et (II.5). Pour la première, tous les paramètres étant fonction de la tension de grille V_{gs} , sa contribution n'a pas été affichée afin d'en simplifier la lecture.

$$M_{tot} = M_{int}(L_{eff}) + M_{par} \quad (\text{II.4})$$

$$L_{eff} = L + \Delta L \quad (\text{II.5})$$

Le travail effectué jusqu'à présent a permis d'identifier M_{par} et ΔL comme les principales sources de problèmes pour la caractérisation électrique. Afin de supprimer la contribution du premier, cette méthode se sert du différentiel de la mesure totale par rapport à la longueur :

$$\frac{\partial M_{tot}}{\partial L_{eff}} = \frac{\partial(M_{int}(L_{eff}) + M_{par})}{\partial L_{eff}} = \frac{\partial M_{int}(L_{eff})}{\partial L_{eff}} \quad (\text{II.6})$$

M_{par} n'ayant pas de raison de varier d'une longueur à l'autre, le différentiel l'élimine bien de l'expression. Le caractère discret des longueurs disponibles sur les structures Kelvin pousse à réécrire l'équation (II.6) sous la forme suivante :

$$\frac{\partial M_{tot}}{\partial L_{eff}} = \frac{\Delta M_{tot}}{\Delta L_{eff}} = \frac{M_{T_2} - M_{T_1}}{L_{eff_2} - L_{eff_1}} \quad (\text{II.7})$$

Où M_{T_1} et M_{T_2} sont les mesures effectuées sur les transistors T_1 et T_2 de longueurs effectives L_{eff_1} et L_{eff_2} . ΔL étant impossible à extraire pour des transistors aux dimensions étudiées, l'hypothèse faite pour simplifier l'équation (II.7) est de la considérer identique pour toutes les longueurs disponibles. La différence entre les longueurs effectives peut alors s'écrire :

$$\Delta L_{eff} = (L_2 + \Delta L) - (L_1 + \Delta L) = L_2 - L_1 \quad (\text{II.8})$$

La méthode devient alors immunisée au facteur ΔL et en combinant les équations (II.6), (II.7) et (II.8), on obtient :

$$\frac{\Delta M_{int}(L)}{\Delta L_{eff}} = \frac{M_{T_2} - M_{T_1}}{L_2 - L_1} \quad (\text{II.9})$$

Une définition possible du canal intrinsèque est qu'il s'agit du canal sans influence non désirée, donc non parasité. Si on considère que les phénomènes les plus rédhibitoires pour les performances du MOS sont situés aux frontières source/drain - canal, alors plus le transistor sera long et plus le canal intrinsèque le sera aussi. En suivant cette définition, la mesure intrinsèque M_{int} est donc bien fonction de la longueur du dispositif étudié. Or l'équation (II.9) étant équivalent à une dérivée par rapport à la longueur, elle devrait théoriquement retourner une courbe qui ne dépend pas des longueurs impliquées dans le calcul. Schématiquement, cette méthode est équivalente à la procédure décrit sur la figure II.11.

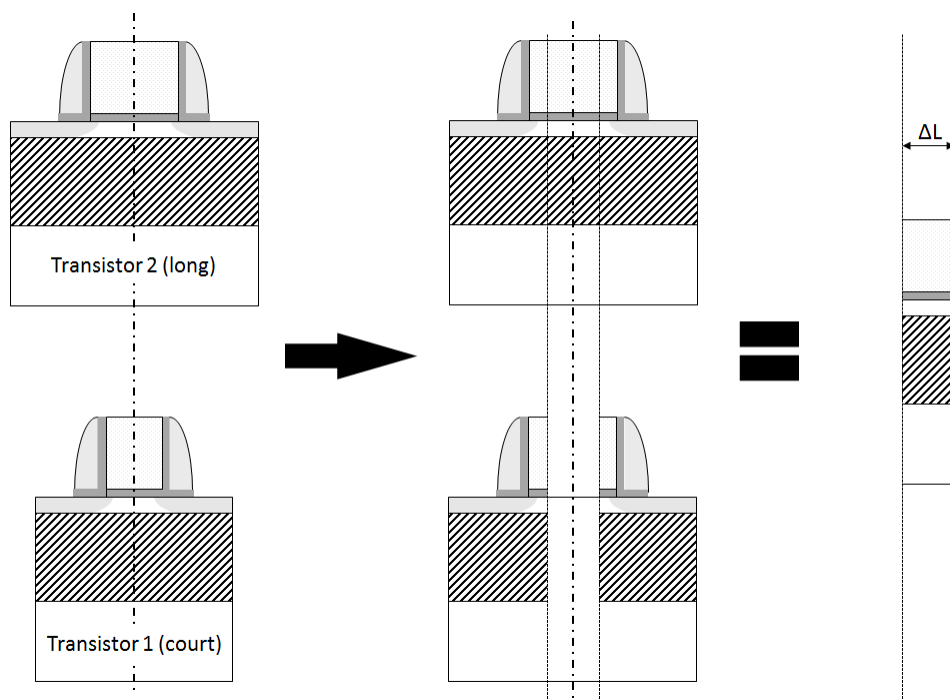


FIGURE II.11 – Représentation de l'effet de la méthode d'extraction différentielle vue par l'architecture MOS

Malheureusement, cette méthode étant basée sur une différentielle locale, elle est ainsi très sensible au bruit de mesure ce qui signifie qu'une faible différence de signal peut prendre des proportions très importantes. De plus, la résistance d'accès n'ayant une signification qu'en forte inversion, il faut s'assurer qu'aucun autre effet parasite comme le DIBL ou le SCE ne s'ajoutent à la méthode. En effet, ces derniers ont pour effet d'abaisser la tension de seuil V_{th} , ce qui se traduit par un décalage des courbes de courant et qui pourrait être interprété,

sans vérification préliminaire, par une contribution des composantes parasites [44]. Il faudra donc s'assurer au préalable, soit par une méthode d'extraction présentée en section I.3, soit par inspection des courbes de courant normalisées en *surface*, que les tensions de seuil de la paire de transistors étudiée ne sont pas trop éloignées l'une de l'autre.

Pour résumer, afin d'assurer la stabilité de la méthode et éviter ces artefacts de traitement de données, les longueurs du couple T_1 et T_2 devront respecter les critères suivants :

- L_1 et L_2 doivent être *suffisamment* proches pour éviter une différence significative de tension de seuil (critère qu'il faudra de toute façon vérifier pour assurer la pertinence de la méthode),
- L_1 et L_2 ne doivent pas être *trop* proches pour éviter que le différentiel entre M_{T_1} et M_{T_2} ne conduise à une trop forte divergence

Le premier critère a déjà été vérifié dans la section précédente (voir figure II.6). Pour respecter le deuxième critère, toutes les longueurs disponibles seront comparées à la plus grande d'entre elles. Autrement dit, L_2 sera fixée à 100 nm et M_{T_2} sera la mesure correspondant à cette longueur. L_1 et M_{T_1} correspondront à la longueur et à la mesure du transistor dont on souhaite extraire la partie intrinsèque. Cette caractéristique indépendante de la longueur permet ensuite d'extraire la mobilité intrinsèque du transistor afin de la comparer à la mobilité tirée des courbes brutes. Dans le cas des structures Kelvin, la mobilité corrigée vaut $220 \text{ cm}^2/\text{V} \cdot \text{s}$ pour le NMOS et $250 \text{ cm}^2/\text{V} \cdot \text{s}$ pour le PMOS.

Les conditions préliminaires étant respectées, cette méthode renvoie la mesure intrinsèque du canal sans l'impact des résistances d'accès ou des capacités parasites et ce, indépendamment de la longueur. Afin de retrouver la caractéristique intrinsèque de chaque matrice, il suffit de multiplier le résultat obtenu par la longueur désirée.

$$M_{int}(L) = \frac{M_{T_2} - M_{T_1}}{L_2 - L_1} \cdot L \quad (\text{II.10})$$

Cependant, la longueur effective étant toujours inconnue, cette étape réintroduit ce problème mais comme cette nouvelle fonction sera comparée à d'autres fonctions souffrant du même défaut, la méthode garde donc a priori sa cohérence.

À ce niveau de la méthode, la mesure totale M_{tot} et la mesure intrinsèque M_{int} sont connues. Donc d'après l'équation (II.4), la partie parasite peut-être facilement extraite par différence entre ces deux valeurs :

$$M_{par} = M_{tot} - M_{int}(L) \quad (\text{II.11})$$

Ainsi, en remplaçant $M_{int}(L)$ et M_{tot} dans les équations (II.10) et (II.11) par $M_{int}(L_1)$ et M_{T_1} ou $M_{int}(L_2)$ et M_{T_2} , la valeur de la mesure parasite vaut :

$$M_{par} = \frac{M_{T_1} \cdot L_2 - M_{T_2} \cdot L_1}{L_2 - L_1} \quad (\text{II.12})$$

Ainsi, pour un couple de transistor T_1 et T_2 donné, cette méthode ne permet d'extraire qu'une seule caractéristique parasite, celle du transistor le plus court. Ceci signifie que la composante parasite du transistor le plus long, celui qui sert de référence de comparaison, est inaccessible via la méthode différentielle. Cette dernière donne tout de même accès au

comportement intrinsèque du transistor et permet de le séparer de la partie parasite du signal. Elle sera donc appliquée aux mesures capacitives et résistives des structures Kelvin puis comparée à la méthode par extrapolation.

Mesures capacitives

Comme décrit plus haut, la première étape de la méthode est de se servir des courbes de la figures II.5 puis d'appliquer l'équation (II.9) telle que :

$$\frac{\Delta C_{int}(L)}{\Delta L} = \frac{C_{T_2} - C_{T_1}}{L_2 - L_1} \quad (\text{II.13})$$

Les indices T_2 et T_1 représentent les transistor de longueur L_2 (qui sera toujours la matrice de longueur 100 nm) et de longueur L_1 dont on souhaite extraire les composantes intrinsèque et parasite. Le résultat est affiché sur la figure II.12.

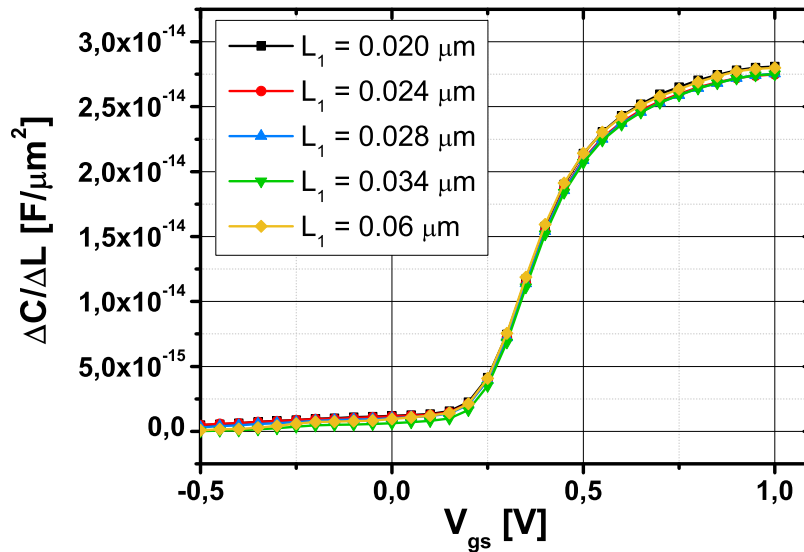


FIGURE II.12 – Courbes $\Delta C/\Delta L$ en fonction de V_{gs} issues de l'équation (II.13). Celles-ci correspondent à la capacité grille-canal intrinsèque.

Comme attendu, la caractéristique intrinsèque $\Delta C/\Delta L$ est indépendante de la longueur étudiée. Les transistors de 100 nm de longueur de canal ne sont évidemment pas représentés sur ce graphe car ils servent de référence pour la méthode différentielle.

Une fois cette courbe intrinsèque obtenue, l'étape suivante consiste donc à calculer la courbe corrigée de chaque matrice en appliquant :

$$C_{int}(L_1) = \frac{\Delta C_{int}(L)}{\Delta L} \cdot L_1 = \frac{C_{T_2} - C_{T_1}}{L_2 - L_1} \cdot L_1 \quad (\text{II.14})$$

Comme le montre la figure II.13, il est difficile de dégager un impact significatif de la capacité parasite sur les mesures, ces dernières étant quasiment superposées aux courbes corrigées. Le transistor qui semble le plus en souffrir est celui de 20 nm qui est également

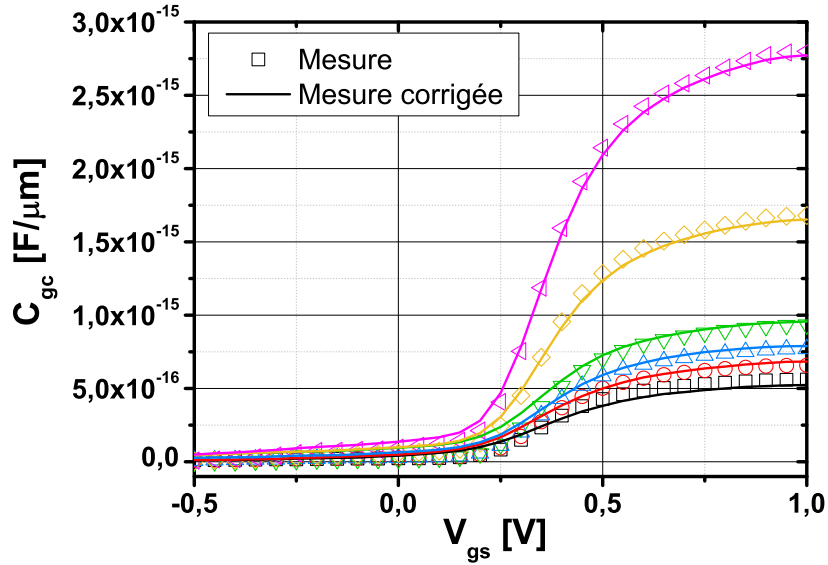


FIGURE II.13 – Comparaison des courbes corrigées (lignes continues) par l'équation (II.14) avec les mesures (symboles ouverts). Les codes couleurs utilisés jusqu'à présent pour chaque longueur ont été respectés

celui dont le signal est le plus faible. Même si la courbe $\Delta C/\Delta L$ n'a pas pu être calculée pour la matrice de 100 nm, cette dernière étant indépendante de la longueur, il est tout de même possible d'en tirer la courbe corrigée de cette structure.

La différence entre ces courbes donne directement accès à la capacité parasite (voir équation (II.12) :

$$C_{par} = \frac{C_{T_1} \cdot L_2 - C_{T_2} \cdot L_1}{L_2 - L_1} \quad (\text{II.15})$$

Les résultats de cette opération sont affichés sur la figure II.14.

Comme le montre la figure II.15, les moyennes des capacités parasites obtenues par méthode différentielle ont la même allure que celle obtenue avec la méthode par extrapolation. On retrouve bien l'allure caractéristique d'une capacité de type bord intérieur C_{if} . La figure II.14 montre également que les longueurs 20 nm et 60 nm ont des valeurs de capacité négatives en forte inversion ce qui peut sembler aberrant. Toutefois, les mesures initiales ont subi de lourdes étapes de traitement afin d'être exploitables (moyennage de plusieurs mesures, lissage, recentrage...) et, au vu de la faible intensité de la composante parasite, il n'est pas surprenant de voir ce type d'artéfact apparaître.

Cette méthode ayant montré des résultats plausibles pour les capacités, il ne reste donc plus qu'à l'appliquer sur les mesures de résistance.

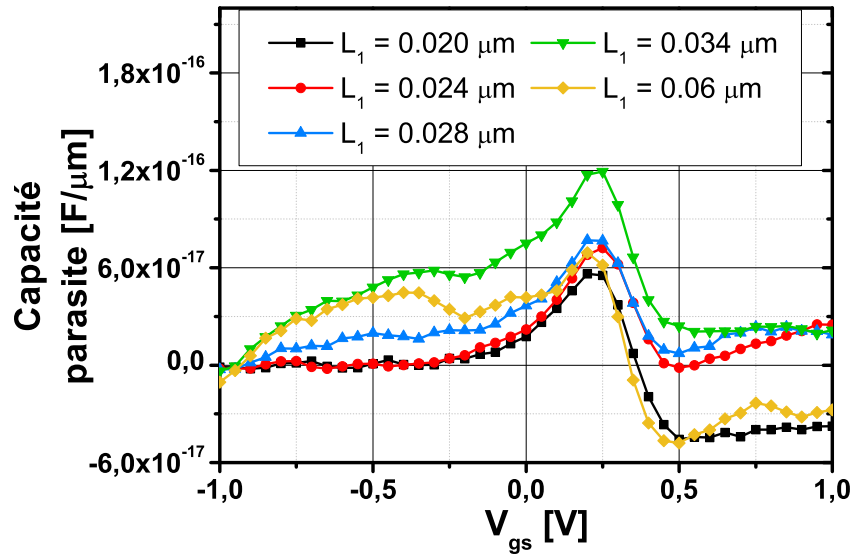


FIGURE II.14 – Capacité parasite C_{par} en fonction de V_{gs} pour chaque longueur disponible avec les structures MOS Kelvin

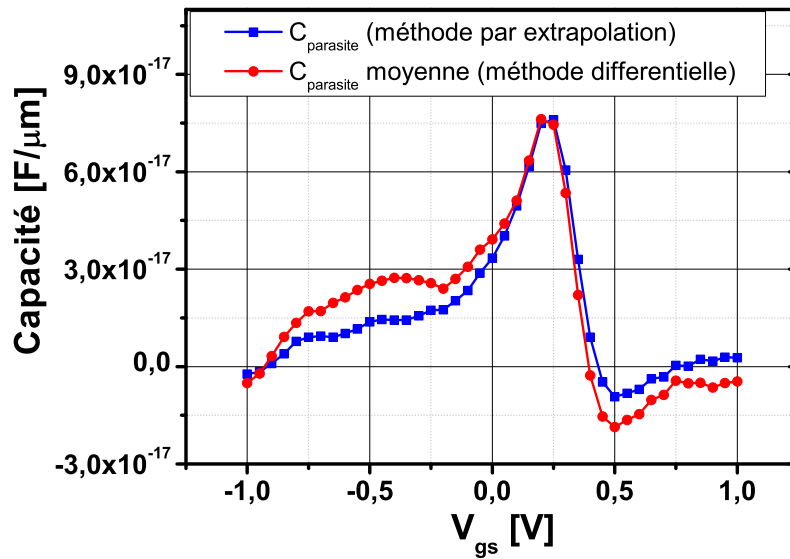


FIGURE II.15 – Comparaison de la capacité parasite obtenue par extrapolation avec la moyenne de celles obtenues par la méthode différentielle

Mesures résistives

De même qu'avec la capacité, on commence par se servir des courbes de courant de la figure II.4, de les transformer en résistance avec la loi d'Ohm et d'appliquer l'équation (II.9) :

$$\frac{\Delta R_{int}(L)}{\Delta L} = \frac{R_{T_2} - R_{T_1}}{L_2 - L_1} \quad (\text{II.16})$$

Les indices T_2 et T_1 gardent la même signification qu'avec les mesures capacitives. Le résultat de cette équation est affiché sur la figure II.16.

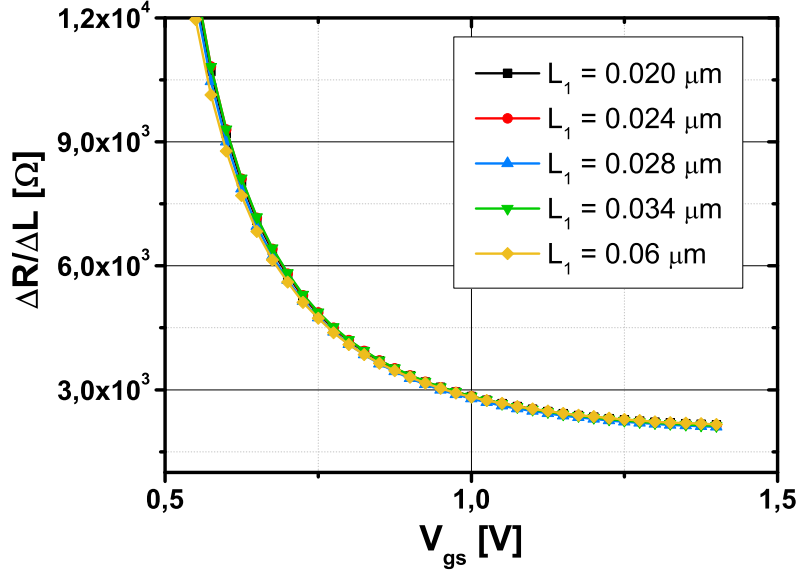


FIGURE II.16 – Courbes $\Delta R/\Delta L$ en fonction de V_{gs} issues de l'équation (II.16). Celles-ci correspondent à la résistance intrinsèque du canal.

Là aussi, la caractéristique intrinsèque de la résistance normalisée par ΔL ne dépend pas de la longueur L_1 mais uniquement de la technologie étudiée comme prévu par la théorie. De ce comportement commun, la partie intrinsèque de chaque transistor individuel peut être retrouvée en appliquant :

$$R_{int}(L_1) = \frac{\Delta R_{int}(L)}{\Delta L} \cdot L_1 = \frac{R_{T_2} - R_{T_1}}{L_2 - L_1} \cdot L_1 \quad (\text{II.17})$$

Le résultat de cette équation est affiché sur la figure II.17.

Contrairement aux mesures capacitives, il y a une différence significative entre le comportement intrinsèque (lignes continues) du canal et son comportement parasite (symboles). Afin de s'en assurer, la dernière étape consiste donc à calculer la résistance parasite en utilisant l'équation (II.12) adaptée aux résistances :

$$R_{par} = \frac{R_{T_1} \cdot L_2 - R_{T_2} \cdot L_1}{L_2 - L_1} \quad (\text{II.18})$$

Le résultat de cette opération est affiché sur la figure II.18.

La figure II.19 compare la moyenne des courbes obtenues par la méthode différentielle avec le comportement obtenu par extrapolation. Tout comme la résistance obtenue avec cette dernière, la moyenne des courbes présentent la même divergence sous le seuil liée à la formation progressive du canal conducteur à mesure que V_{gs} augmente et dépasse V_{th} . De plus, on retrouve encore la forte dépendance de cette composante parasite avec la polarisation du transistor (facteur ~ 4 entre la faible et la forte inversion).

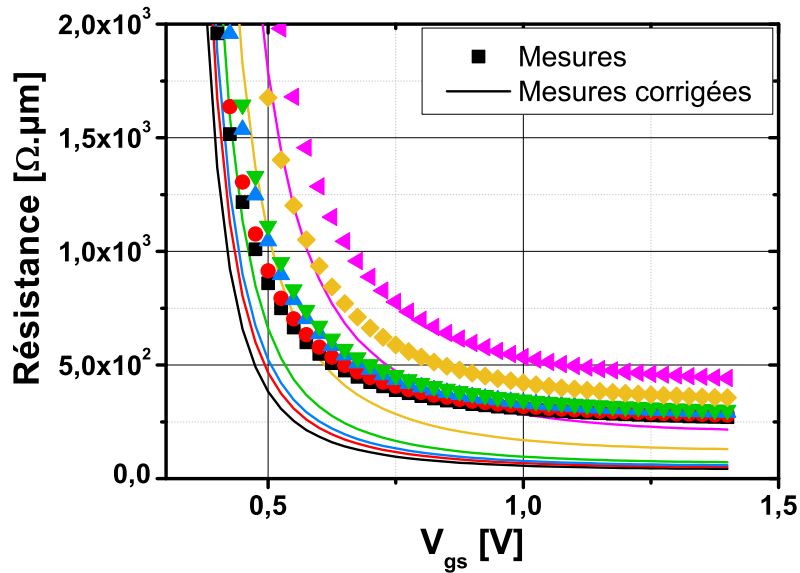


FIGURE II.17 – Comparaison des courbes corrigées (lignes continues) avec les mesures (symboles). Les codes couleurs utilisés jusqu'à présent pour chaque longueur ont été respectés

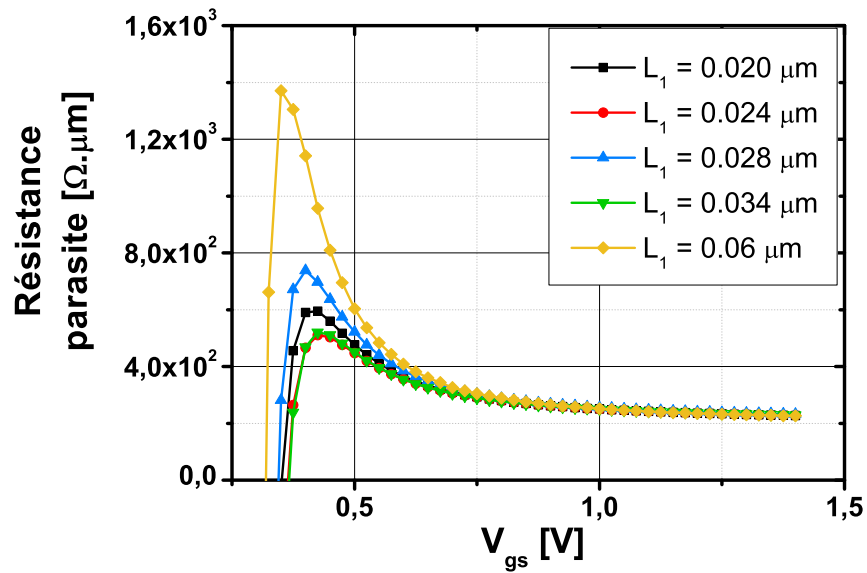


FIGURE II.18 – Résistance parasite en fonction de V_{gs} pour chaque longueur disponible avec les structures MOS Kelvin

Synthèse

Dans cette section, deux méthodes ont été employées afin d'extraire et étudier les composantes capacitives et resistives parasites de structures de test de type MOS Kelvin. Ces dernières ont soulevées l'importance des résistances des lignes métalliques dans la perte de

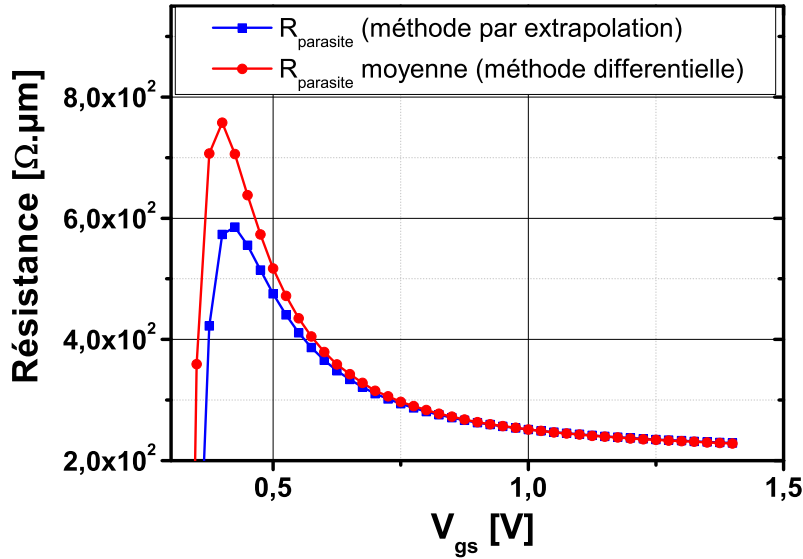


FIGURE II.19 – Comparaison de la résistance parasite obtenue par extrapolation avec la moyenne de celles obtenues par la méthode différentielle

courant. De plus, la comparaison des deux méthodes a montré que celles-ci retournent des résultats similaires mais la méthode différentielle permet d’extraire les signaux parasites sur des transistors individuels. Cette dernière sera donc préférée pour l’extraction des comportements parasites dans la suite de ce manuscrit. Finalement, l’extraction combinée des parasites capacitifs et résistifs a permis de montrer que la différence entre le comportement intrinsèque et réel des transistors est essentiellement dû à la résistance.

II.4 Exploitation des méthodes

Les sections précédentes ont proposé deux nouvelles méthodes pour rendre expérimentalement accessible la variation de résistance d’accès avec la polarisation. Cette section a donc pour but de la comparer aux modèles préexistants, afin d’évaluer leur efficacité à reproduire ces variations pour les technologies récentes puis, en cas d’invalidité de ces modèles, de proposer une approche plus pertinente.

II.4.1 Un modèle de résistance simple

Modèles existants

Le premier modèle est celui de la résistance d’accès constante, dont la figure II.19 a déjà prouvé que la résistance expérimentale s’est éloignée de ce dernier et ne sera donc pas étudiée plus profondément dans ce manuscrit.

Le second modèle est celui considérant que la résistance d’accès décroît linéairement quand V_{gs} augmente [28] (voir équation (I.25)). La figure II.20 compare la moyenne des résistances

d'accès obtenues par la méthode différentielle avec le modèle linéaire. Ce dernier a été ajusté au plus proche de l'extraction par méthode des moindres carrés de type Levenberg-Marquardt [47], [48].

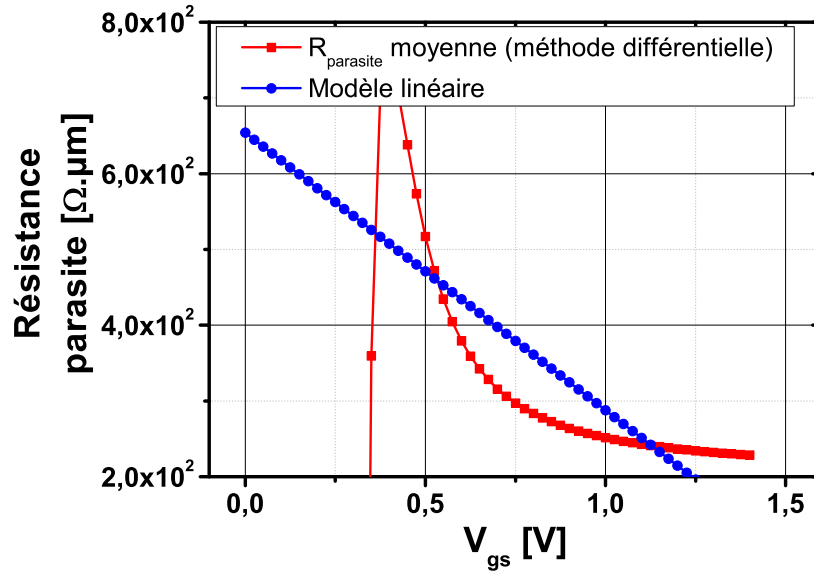


FIGURE II.20 – Comparaison de la moyenne de la résistance d'accès obtenue par la méthode différentielle avec le modèle de résistance variant linéairement avec V_{gs}

Cette figure montre là aussi une différence significative entre le modèle et la mesure, cette dernière s'approchant plus d'une variation hyperbolique avec V_{gs} [21]. Cette approche de la variation de la résistance d'accès avec la polarisation de grille est le troisième modèle et se traduit par la relation suivante :

$$R_{sd}(V_{gs}) = \frac{R_s^0}{V_{gs}} + R_{ext} \quad (\text{II.19})$$

La figure II.21 compare la moyenne des résistances d'accès extraites par la méthode différentielle avec le modèle hyperbolique. Là aussi, ce dernier a été ajusté au plus proche de l'extraction par méthode des moindres carrés de type Levenberg-Marquardt.

Contrairement à ses prédécesseurs, ce modèle montre plus de pertinence vis-à-vis des mesures. Il pourrait suffire pour caractériser les résistances parasites précédemment extraites mais souffre toutefois d'un problème non négligeable.

Comme l'a évoqué la section II.3.2, la divergence observée en régime de faible inversion sur la figure II.19 est liée à la formation progressive du canal d'inversion. Tant que ce dernier n'est pas entièrement formé, pas ou peu de courant circule dans le transistor ce qui rend impossible toute mesure de résistance. Cependant, même en l'absence de polarisation, cette dernière a tout de même une valeur qui peut fournir des informations pertinentes, notamment sur la qualité des interfaces entre les différents matériaux impliqués dans l'architecture CMOS. Or le modèle hyperbolique donné par l'équation (II.19) diverge vers l'infini quand V_{gs} tend vers 0 :

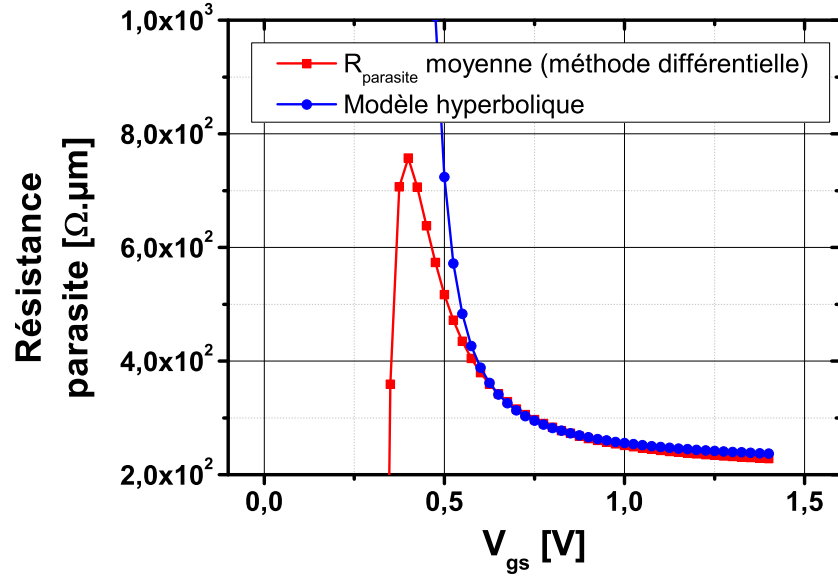


FIGURE II.21 – Comparaison de la moyenne de la résistance d'accès obtenue par la méthode différentielle avec le modèle de résistance variant de façon hyperbolique avec V_{gs}

$$\lim_{V_{gs} \rightarrow 0^+} \frac{R_s^0}{V_{gs}} = +\infty \quad (\text{II.20})$$

Si cette expression ne pose pas de problème mathématiquement et semble correspondre à ce qui est observé sur les mesures, il en va différemment du point de vue de la physique car elle signifie que la résistance d'un transistor non polarisée est infinie. La littérature ne proposant pas de modèle reproduisant les courbes de résistance parasite fidèlement et ne divergeant pas sous le seuil, un nouveau modèle de résistance a donc été proposé.

Nouveau modèle

Afin de pallier le problème de divergence et l'extraction de la résistance sous le seuil, le modèle suivant est proposé :

$$R_{sd}(V_{gs}) = \frac{R_s^0}{1 + \alpha \cdot \frac{Q_{inv}^{th}(V_{gs})}{C_{ox} \cdot k_B \cdot T}} + R_{ext} \quad (\text{II.21})$$

Avec R_s^0 la valeur de résistance associée à la partie sous le seuil, R_{ext} la valeur de résistance liée aux lignes métalliques et à toutes les autres composantes qui ne dépendent pas de la polarisation de la grille, Q_{inv}^{th} la charge d'inversion modélisée en utilisant la fonction W de Lambert proposée dans [43] et α un paramètre empirique qui permet de rapprocher le modèle au plus proche de la mesure. Les autres paramètres gardent leur signification habituelle. Cette approche résout le problème de divergence puisque cette expression tend vers $R_s^0 + R_{ext}$ quand V_{gs} tend vers 0V.

La figure II.22 compare le résultat du nouveau modèle avec les résultats de la figure II.19. Cette comparaison s'arrête à 1V et non 1.4V car il s'agit de la valeur à laquelle s'arrête les mesures capacitives permettant la modélisation de Q_{inv}^{th} .

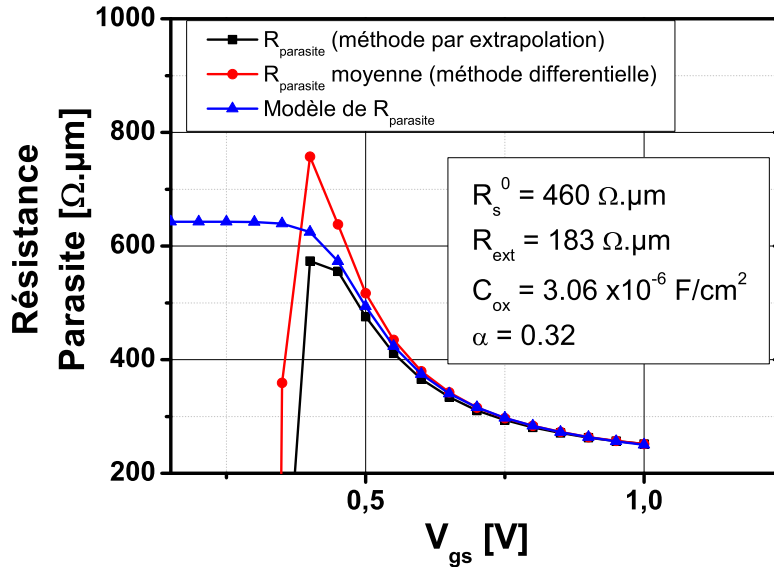


FIGURE II.22 – Comparaison entre le nouveau modèle de résistance et les résistances d'accès extraites avec les méthodes utilisées dans ce chapitre

Cette figure montre une bonne adéquation entre le nouveau modèle qui converge vers les résistances R_s^0 et R_{ext} sous le seuil, varie bien en fonction de V_{gs} pour converger vers la mesure en forte inversion. Afin de s'assurer de la cohérence du modèle, il ne reste alors plus qu'à insérer le résultat de l'équation (II.21) dans le modèle standard de courant $I_{ds}(V_{gs})$:

$$I_{ds} = \frac{\beta \cdot V_{gt} \cdot V_{ds}}{1 + (\theta_1 + \beta \cdot R_{sd}) \cdot V_{gt} + \theta_2 \cdot V_{gt}^2} \quad (II.22)$$

II.4.2 Résultats

Afin d'extraire les paramètres manquant de l'équation II.22, cette dernière a servi de base à la méthode Mourrain détaillée dans la section I.3.2 en prenant le courant mesuré, la polarisation de grille et le modèle de résistance d'accès (équation (II.21)) en paramètres d'entrée. Le résultat de cette extraction est affiché sur les figures II.23 (a) et (b).

Comme le montre ces deux figures, le modèle de courant prenant en compte la variation de résistance d'accès avec V_{gs} reproduit parfaitement le courant mesuré. Ceci comprend également la partie sous le seuil grâce à la convergence de l'équation (II.21) vers un plateau physiquement réaliste au lieu d'une divergence vers l'infini. Cette dernière étape vient confirmer la pertinence de la méthode d'extraction ainsi que du nouveau modèle qui ouvre la voie vers une caractérisation plus approfondie de l'impact de la résistance d'accès sur les performances du transistor.

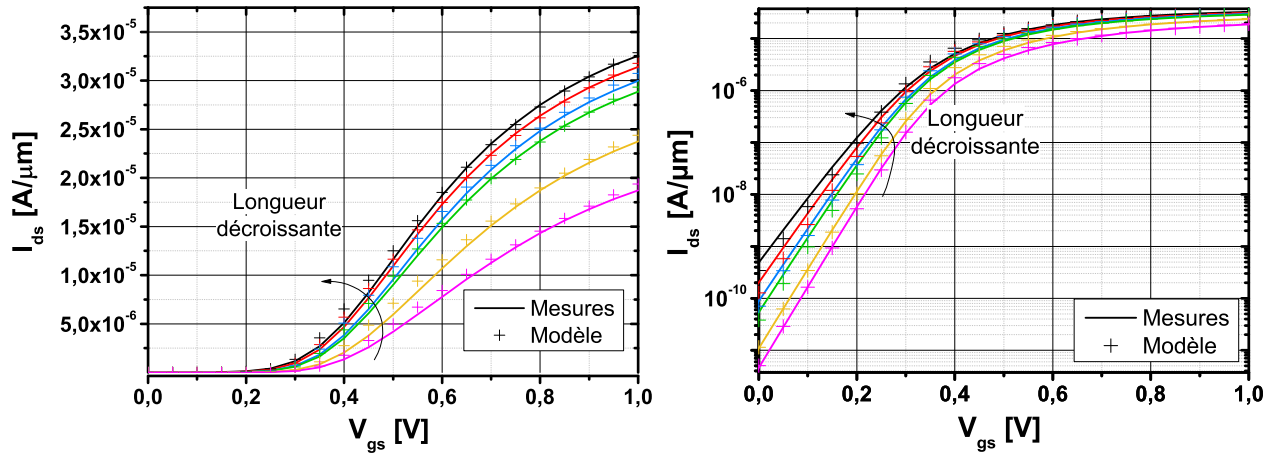


FIGURE II.23 – Comparaison entre les mesures de courant (lignes continues) et le modèle de courant prenant le modèle de résistance en paramètre d’entrée (symboles +) - (a) échelle linéaire et (b) échelle semilog. Les codes couleurs utilisés jusqu’à présent pour chaque longueur ont été respectés

II.5 Conclusion

Ce chapitre vient combler le manque de méthode permettant l’extraction des composantes parasites des transistors. Des structures spécifiques ont été utilisées afin de pouvoir mesurer conjointement la capacité et le courant. Ces dernières consistent en une matrice de MOS reliés en parallèle dont chaque plot de mesure est doublé afin de séparer la partie forçant le signal de celle mesurant la réponse, afin d’éviter le problème non négligeable des résistances des lignes métalliques.

Deux nouvelles méthodes d’extraction de comportement parasite ont été développées sur les mesures effectuées sur ces structures. La première, inspirée des méthodes de la littérature, se sert de l’extrapolation à longueur nulle pour différente tension de polarisation pour extraire une valeur associée à la partie parasite moyenne pour l’ensemble des structures. Cette méthode présente tout de même deux inconvénients, le premier est le même que la méthode $R_{tot}(L)$ qui ne prend pas en compte les potentiels variations de mobilité au sein du canal conducteur. Le second est qu’il faut interpréter les résultats sous le seuil avec précaution, ces dernières étant purement théoriques et potentiellement erronées à cause de l’absence de canal conducteur. Pour cette raison, une deuxième méthode basée sur le différentiel de la mesure par rapport à la longueur a été mise en place. Cette dernière un peu plus complexe, permet l’extraction des composantes intrinsèque et parasite de la mesure pour chaque matrice de MOSFETs à l’exception du plus long qui sert de référentiel de comparaison. La moyenne des valeurs ainsi extraites correspondent avec celle obtenue avec la méthode par extrapolation ce qui est déjà un bon indice quant à la pertinence de la méthode différentielle. Cette dernière est donc préférée à la méthode par extrapolation pour la quantité d’information supplémentaire qu’elle donne.

Sur la base de cette nouvelle méthode, les modèles de résistances de la littérature ont été

testés et seul le modèle hyperbolique reproduit la résistance d'accès extrait par la méthode différentielle. Toutefois, la divergence sous le seuil n'étant pas physiquement satisfaisante, un nouveau modèle de résistance d'accès a été proposé afin de reproduire efficacement la partie en forte inversion et de converger vers une valeur définie sous le seuil. De plus, une fois inséré dans l'équation standard du courant en forte inversion, ce modèle suit fidèlement les courbes de courant sur l'intégralité de la plage de tension étudiée renforçant la confiance dans la méthode différentielle et le nouveau modèle de résistance.

L'essentiel - De nouvelles structures de test de type Kelvin (mesures 4 pointes) ont été utilisées pour mesurer le courant et la capacité des transistors en limitant l'impact des résistances des lignes de métal. Deux nouvelles méthodes d'extraction de composantes parasites ont été testées sur ces structures, retournant des valeurs identiques dont celles de capacités assimilables à un facteur connu (*bord intérieur*). La méthode différentielle est toutefois préférable car elle donne plus d'informations sur le comportement individuel des MOSFETs et de façon plus fiable que la méthode par extrapolation. Les résultats obtenus pour la résistance d'accès montre une forte dépendance de type hyperbolique avec la polarisation de grille. Cependant, ce modèle divergeant vers l'infini en faible inversion, un nouveau modèle convergeant vers une valeur finie a été proposé. Ce dernier reproduit efficacement la partie en inversion forte et, une fois inséré dans le modèle standard du courant, suit fidèlement ce dernier sur l'ensemble de la plage de tension étudiée.

Chapitre III

Une nouvelle méthode de caractérisation électrique : la fonction "New Y"

Sommaire

III.1 Démonstration et comparaison avec la fonction Y	83
III.1.1 La fonction Y_c	83
III.1.2 Adaptation de la fonction Y_c au courant	86
III.1.3 Comparaison avec la fonction Y	89
III.1.4 Conclusion sur la fonction New Y	93
III.2 Étude de l'impact de la résistance d'accès sur les méthodes de caractérisation et les performances des transistors	94
III.2.1 Modification de la fonction New Y	94
III.2.2 Extraction et modélisation de R_{sd}	96
III.2.3 Protocole expérimental	99
III.2.4 Exploitation des résultats	102
III.2.5 Étude de l'impact du dopage canal sur les paramètres électriques	106
III.3 Conclusion	112

Introduction - Le chapitre I a soulevé deux problèmes majeurs pour les performances des MOSFETs avancés et leur caractérisation. Le premier, résolu par les méthodes proposées dans le chapitre II, est la prise en compte d'une résistance d'accès variable avec la polarisation de grille. Le second est l'incapacité de caractériser un transistor sur l'ensemble de leurs régimes de fonctionnement, y compris à faible tension de grille. Ce chapitre s'efforcera donc de résoudre ce problème :

- La première section présentera une nouvelle méthode, la fonction New Y, permettant la caractérisation capacitive et en courant des transistors sur l'ensemble de leurs régimes de fonctionnement
- La seconde section combinera cette nouvelle fonction avec différentes méthodes et modèles de R_{sd} afin de proposer un nouveau protocole de caractérisation électrique permettant de corriger et d'analyser l'impact des résistances d'accès sur les performances du MOSFET

III.1 Démonstration et comparaison avec la fonction Y

L'industrie de la microélectronique a subi de nombreux changements depuis ses débuts. De nos jours, la loi de Moore semble arriver à son terme et les nœuds technologiques les plus avancés souffrent de nombreux problèmes ralentissant la réduction des dimensions (dégradation de l'oxyde de grille, désappariement, porteurs "chauds"...). De plus, l'explosion du marché des appareils portables a orienté la recherche vers des composants de moins en moins gourmands en énergie. Ces deux problématiques ne peuvent être résolues qu'en diminuant la tension d'alimentation.

Cette solution d'apparence simpliste cache un autre problème. En effet, les méthodes de caractérisation sont créées pour répondre à un besoin particulier. En l'occurrence les méthodes actuelles ont été conçues pour décrire le comportement d'un transistor en forte inversion [29], [49], [35] et ne sont donc pas adaptées pour caractériser ce nouveau régime de fonctionnement. En effet, en faible inversion, l'hypothèse de base qui considère que la charge d'inversion Q_{inv} varie linéaire avec V_{gt} n'est pas vérifiée et les méthodes doivent être modifiées en conséquence [50], [51]. Toutefois, ces nouvelles méthodes ne prennent alors plus en compte le régime de forte inversion et ignore la partie sous le seuil du fonctionnement du transistor.

Pour résoudre ce problème, la première étape est de définir une nouvelle approche de caractérisation qui englobe l'intégralité du régime de fonctionnement du MOSFET plutôt que sur une plage de tension limitée. Pour y parvenir, la première section propose de définir ce nouveau besoin en commençant par les relations de proportionnalité entre la charge d'inversion Q_{inv} et la capacité grille-canal C_{gc} . Puis, I_{ds} étant directement proportionnel à Q_{inv} [3], la démonstration sera adaptée au courant pour créer une nouvelle fonction Y permettant l'extraction des paramètres essentiels sur l'ensemble du régime de fonctionnement de la technologie MOSFET [52]. La nouvelle méthode ainsi créée permettra donc une nouvelle définition des équations des transistors MOSFETs sur l'ensemble de leur régime de fonctionnement aussi bien pour la capacité que pour le courant.

III.1.1 La fonction Y_c

Par analogie avec la fonction Y présentée dans la section I.3.2, utilisée pour la modélisation du courant, la fonction Y_c est utilisée pour la modélisation de la charge d'inversion Q_{inv} et la capacité grille canal $C_{gc} = \partial Q_{inv} / \partial V_{gs}$ telle que :

$$Y_c = \frac{Q_{inv}}{\sqrt{C_{gc}}} \quad (\text{III.1})$$

Expression en inversion forte

Afin que la future fonction New Y puisse extraire les paramètres sur toute la gamme de tension, aussi bien en forte inversion que sous le seuil, il faut évidemment que la fonction Y_c reproduise les variations de charge d'inversion sous le seuil et en inversion forte.

Comme montré dans la section I.3.4, la capacité de grille idéale sature à la valeur de C_{ox} en inversion forte ce qui simplifie l'équation (III.1) en :

$$Y_c \approx \frac{Q_{inv}}{\sqrt{C_{ox}}} \quad (\text{III.2})$$

Donc l'expression de la charge d'inversion est :

$$Q_{inv} = Y_c \cdot \sqrt{C_{ox}} \quad (\text{III.3})$$

Expression en inversion faible

En inversion faible, la charge d'inversion Q_{inv} varie exponentiellement avec la polarisation de grille V_{gs} [3]. Un développement en série entière d'ordre 1 permet ensuite de simplifier la capacité de grille sous la forme suivante :

$$C_{gc} \approx \frac{Q_{inv}}{\frac{kT}{n \cdot q}} \quad (\text{III.4})$$

Ceci permet donc de transformer l'expression de Y_c en :

$$Y_c \approx \frac{Q_{inv}}{\sqrt{\frac{Q_{inv}}{\frac{kT}{n \cdot q}}}} = \sqrt{n \frac{kT}{q} \cdot Q_{inv}} \quad (\text{III.5})$$

Ainsi l'expression de la charge d'inversion devient :

$$Q_{inv} = \frac{Y_c^2}{n \frac{kT}{q}} \quad (\text{III.6})$$

Continuité du modèle

Afin d'assurer la continuité de faible à forte inversion, les équations (III.3) et (III.6) sont combinées à l'aide d'une loi de Matthiessen pour obtenir l'expression suivante :

$$Q_{inv} = \frac{Y_c^2}{n \frac{kT}{q} + \frac{Y_c}{\sqrt{C_{ox}}}} \quad (\text{III.7})$$

La figure III.1 montre que l'équation (III.7) ainsi obtenu reproduit efficacement les variations de Q_{inv} en fonction de Y_c et que ces dernières sont effectivement constituées des asymptotes (III.3) et (III.6).

La combinaison des équations (III.1) et (III.7) permet ensuite d'obtenir les variations de C_{gc} avec Y_c ce qui conduit à :

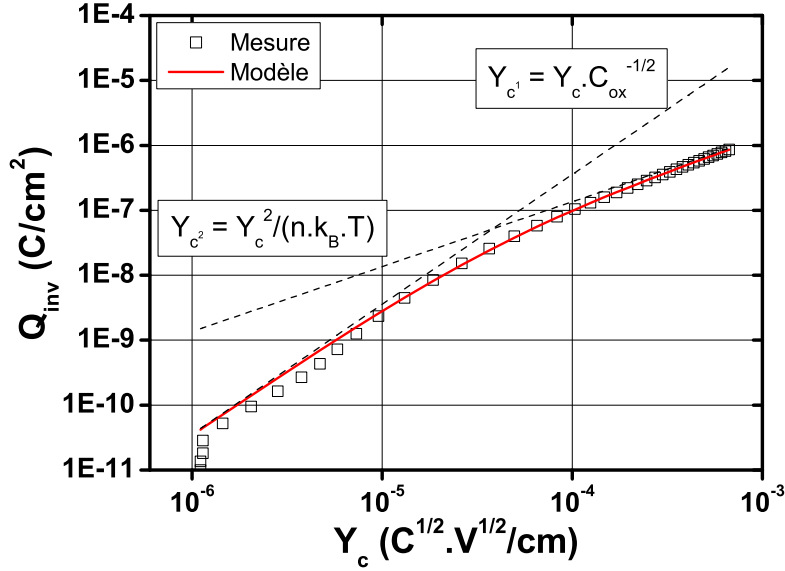


FIGURE III.1 – Comparaison de l'évolution de Q_{inv} en fonction de Y_c entre les valeurs expérimentales (symboles), le modèle (ligne continue) et les asymptotes de chaque régime de fonctionnement

$$C_{gc} = \frac{Y_c^2}{\left(n \frac{kT}{q} + \frac{Y_c}{\sqrt{C_{ox}}}\right)^2} \quad (\text{III.8})$$

Les figures III.2 et III.3 montrent que les équations (III.7) et (III.8) permettent de reproduire fidèlement les variations de Q_{inv} et C_{gc} avec V_{gs} en ayant besoin uniquement de 2 paramètres d'entrée : n et C_{ox} .

Finalement, la combinaison des équations (III.7) et (III.8) permet de trouver la relation de proportionnalité entre Q_{inv}/C_{gc} et Y_c ce qui conduit à :

$$\frac{Q_{inv}}{C_{gc}} = n \frac{kT}{q} + \frac{Y_c}{\sqrt{C_{ox}}} \quad (\text{III.9})$$

Le figure III.4 (a) confirme bien l'existence d'une relation linéaire entre Q_{inv}/C_{gc} et Y_c comme le prédit l'équation (III.9). La pente de la droite ainsi obtenue est inversement proportionnelle à $\sqrt{C_{ox}}$ ($\approx 1,8 \cdot 10^{-6}$ F.cm⁻² pour les transistors étudiés) et l'intersection avec l'axe y est égale à nkT/q (≈ 26 mV au facteur n près à température ambiante). Cette dernière est plus facile à lire sur la figure III.4 (b). De plus, ces deux graphes confirment également que l'équation (III.9) reproduit bien les mesures expérimentales.

La partie capacitive de la méthode ayant prouvé sa fiabilité, il ne reste donc plus qu'à couvrir la partie des mesures en courant.

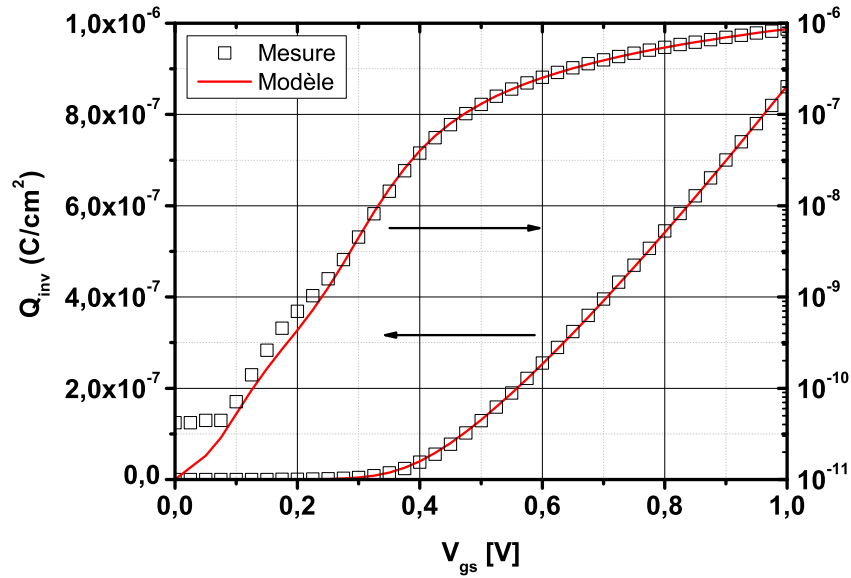


FIGURE III.2 – Comparaison de l'évolution de Q_{inv} en fonction de V_{gs} entre les valeurs expérimentales (symboles) et le modèle (ligne continue) en échelle linéaire et semilog. Les flèches indiquent l'échelle sur laquelle lire les valeurs de chaque courbe

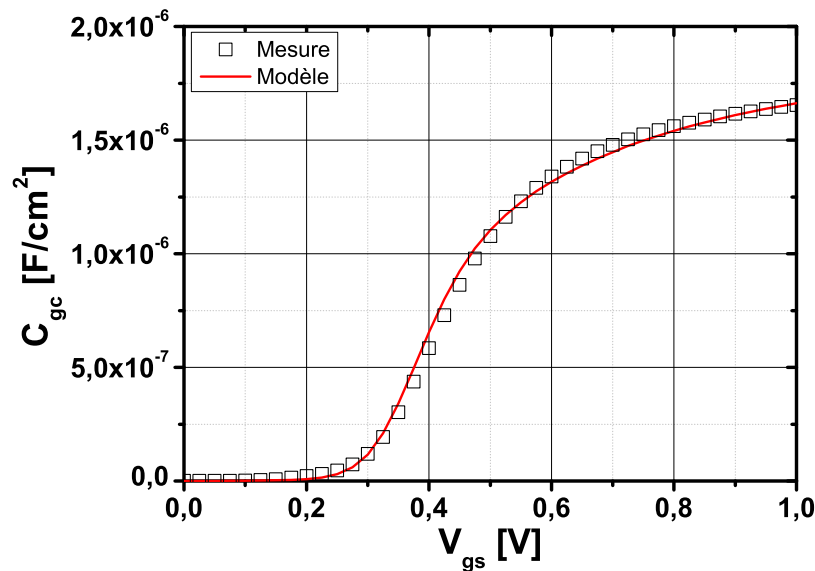


FIGURE III.3 – Comparaison de l'évolution de C_{gc} en fonction de V_{gs} entre les valeurs expérimentales (symboles) et le modèle (ligne continue)

III.1.2 Adaptation de la fonction Y_c au courant

Comme expliqué en début de section III.1.1, la fonction Y_c a été construite par analogie avec la fonction Y . Pour rappel, cette dernière, présentée dans la section I.3.2, et appliquée au courant, s'exprime par définition de la façon suivante :

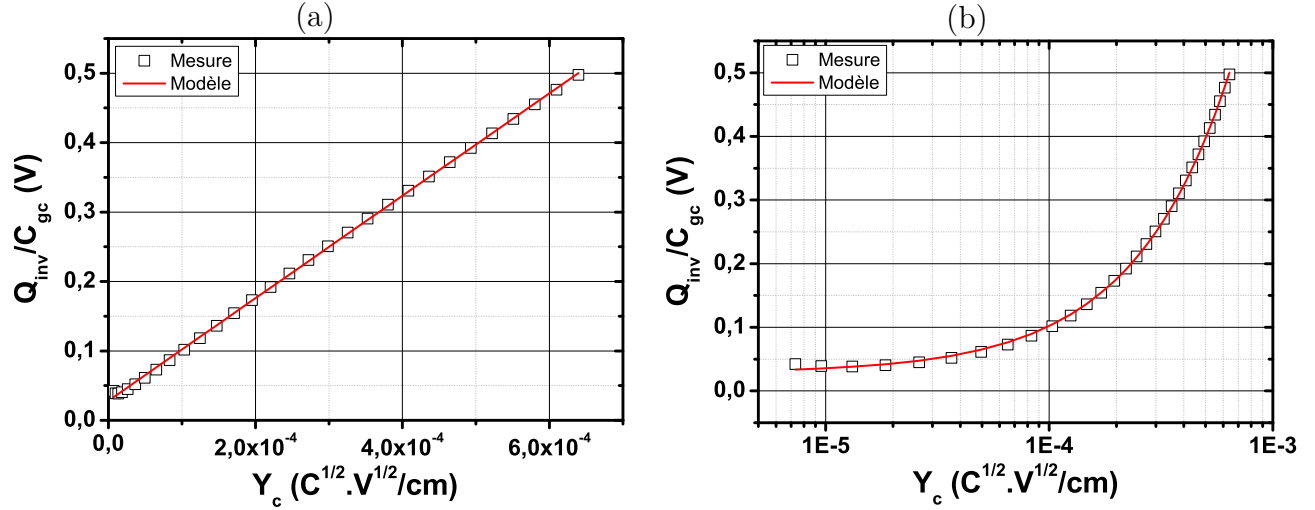


FIGURE III.4 – Comparaison de l'évolution de Q_{inv}/C_{gc} en fonction de Y_c entre les valeurs expérimentales (symboles), le modèle (ligne continue) en (a) échelle linéaire et (b) échelle semilog

$$Y = \frac{I_{ds}}{\sqrt{g_m}} \quad (\text{III.10})$$

Dans laquelle I_{ds} (correspondant à Q_{inv} dans la définition de l'équation (III.1)) est le courant de drain mesuré et g_m (correspondant à C_{gc} dans cette même expression) est la transconductance définie telle que :

$$g_m \stackrel{\text{def}}{=} \frac{\partial I_{ds}}{\partial V_{gs}} = \frac{\beta \cdot V_{ds} \cdot (1 - \theta_2 \cdot V_{gt}^2)}{(1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2)^2} \quad (\text{III.11})$$

Expression en inversion forte

En considérant dans un premier temps que la mobilité effective μ_{eff} ne dépend pas de la polarisation de la grille, c'est-à-dire θ_1 et θ_2 nuls dans l'équation (I.21) ainsi que dans (III.11). L'expression de la fonction Y devient alors :

$$Y = \sqrt{\beta \cdot V_{ds} \cdot V_{gt}} \quad (\text{III.12})$$

Dans cette situation idéale, la transconductance g_m sature à la valeur $\beta \cdot V_{ds}$ (correspondant à C_{ox} dans la démonstration de la fonction Y_c) et l'expression du courant devient donc :

$$I_{ds} = Y \cdot \sqrt{\beta \cdot V_{ds}} \quad (\text{III.13})$$

Expression en inversion faible

Dans le même esprit que pour la fonction Y_c , le courant en faible inversion varie exponentiellement avec la polarisation de grille ce qui peut être assimilé à une série entière et simplifie l'expression de g_m sous la forme suivante :

$$g_m \approx \frac{I_{ds}}{n \frac{kT}{q}} \quad (\text{III.14})$$

Ainsi, l'expression de Y en inversion faible devient :

$$Y = \sqrt{n \frac{kT}{q} \cdot I_{ds}} \quad (\text{III.15})$$

Finalement, l'expression du courant en inversion faible est :

$$I_{ds} = \frac{Y^2}{n \frac{kT}{q}} \quad (\text{III.16})$$

Continuité du modèle

Pour assurer la continuité de l'inversion faible à forte, les équations (III.13) et (III.16) sont ici aussi combinées avec la loi de Matthiessen pour obtenir l'expression du courant sur l'intégralité du régime de fonctionnement :

$$I_{ds} = \frac{Y^2}{n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}}} \quad (\text{III.17})$$

La combinaison des équations (III.10) et (III.17) mène à l'expression de g_m sur l'ensemble du régime de fonctionnement :

$$g_m = \frac{Y^2}{\left(n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \right)^2} \quad (\text{III.18})$$

Enfin, les équations (III.17) et (III.18) permettent d'obtenir la valeur de la fonction New Y en courant qui est définie comme suit :

$$\frac{Y^2}{I_{ds}} = \frac{I_{ds}}{g_m} = n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \quad (\text{III.19})$$

Cette équation correspond donc à l'équation (III.9) adaptée au courant dans lesquelles les parties sous le seuil sont identiques et les parties au-dessus du seuil correspondent bien entre elles. En effet, par analogie, Y_c et C_{ox} dans l'équation (III.9) correspondent à Y et $\beta \cdot V_{ds}$ dans l'équation (III.19).

Seulement, cette dernière ne couvre que l'hypothèse d'une mobilité ne dépendant pas de la tension appliquée sur la grille. Prendre en compte cette variation avec la polarisation revient à dire que θ_1 et θ_2 ne sont pas nuls dans l'équation (I.21). Toutefois, dans le cas particulier du FD-SOI, il est généralement admis que l'influence de θ_2 est négligeable à basse tension. Seul le facteur θ_1 sera donc conservé avant de discuter des implications de cette hypothèse. Ceci se traduit donc par une modification de l'équation (III.19) sous la forme suivante :

$$\frac{Y^2}{I_{ds}} = \frac{I_{ds}}{g_m} = n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \cdot \left[1 + \theta_1 \cdot \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \right] \quad (\text{III.20})$$

Cette dernière équation correspond donc à la forme définitive de la fonction New Y et prévoit une variation parabolique de I_{ds}/g_m tracé en fonction Y. La figure III.5 confirme bien cette variation d'une part (contrairement à Y_c qui est strictement linéaire) et la correspondance entre la partie expérimentale (partie gauche de l'équation) et le modèle à 3 paramètres (n , β et θ_1) d'autre part.

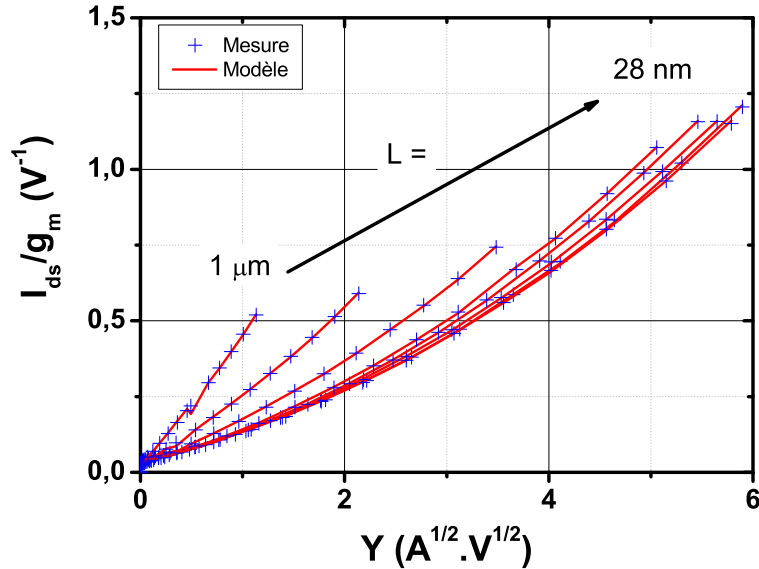


FIGURE III.5 – Comparaison de l'évolution de I_{ds}/g_m en fonction de Y entre les valeurs expérimentales (symboles) et le modèle (ligne continue) pour des longueurs variant de 1 μm à 28 nm

III.1.3 Comparaison avec la fonction Y

Comme expliqué dans le chapitre I, la fonction Y standard a besoin de plusieurs fonctions pour extraire tous les paramètres du modèle et ce seulement sur une faible portion du régime de fonctionnement du transistor. La fonction New Y en revanche, permet l'extraction de tous les paramètres en utilisant seulement l'équation (III.20) qui couvre l'intégralité du régime de fonctionnement du MOSFET. Toutefois, cette méthode présente plus d'inconnues que d'équations disponibles, forçant donc l'utilisation de méthode de résolution d'équation non-linéaire. La méthode Levenberg-Marquardt a été choisi dans ce but pour sa relative simplicité d'utilisation.

Il convient de noter que contrairement à la fonction Y, la fonction New Y ne permet pas l'extraction directe de la tension de seuil V_{th} , cette dernière étant absente de l'équation définissant cette nouvelle méthode. Ce paramètre, bien qu'important dans la caractérisation de la technologie CMOS, représente également une source d'erreur potentielle et souvent non négligeable. En effet, toutes les méthodes d'extraction en courant actuelles requièrent la valeur

de V_{th} , que ce soit pour définir une plage d'extraction par rapport à cette dernière ou pour tracer une fonction dépendant de V_{gt} . Or il existe des dizaines de méthodes et de définitions pour extraire V_{th} [53], [54], [55] et donc autant de valeurs différentes pour cette tension qui viendront se répercuter sur l'ensemble des autres paramètres. Éliminer cette dépendance à V_{th} de la caractérisation est donc une amélioration par rapport aux autres méthodes.

Il reste toutefois possible de l'extraire en utilisant sa définition capacitive : $C_{gc}(V_{th}) = C_{ox}/2$ [56]. Cette définition est ensuite appliquée par analogie aux mesures de courant, C_{gc} et C_{ox} devenant g_m et $\beta \cdot V_{ds}$. La condition sur le courant est donc la suivante :

$$g_m(V_{th}) = \frac{\beta \cdot V_{ds}}{2} \quad (III.21)$$

Cette condition peut ensuite être injectée dans l'équation (III.18) pour obtenir la valeur de la fonction Y lorsque $V_{gs} = V_{th}$. On obtient :

$$Y(V_{th}) = n \frac{kT}{q} \cdot (1 + \sqrt{2}) \cdot \sqrt{\beta \cdot V_{ds}} \quad (III.22)$$

Dans un premier temps, la pertinence de la méthode est étudiée en analysant sa capacité à fournir des courbes de courant modélisées fiables. Les figures III.6 (a) et (b) montrent que les paramètres extraits avec la fonction New Y permettent de reproduire le courant mesuré pour des longueurs variant de 1 μm à 28 nm aussi bien sous le seuil qu'en inversion forte. Ceci confirme donc l'efficacité de la méthode.

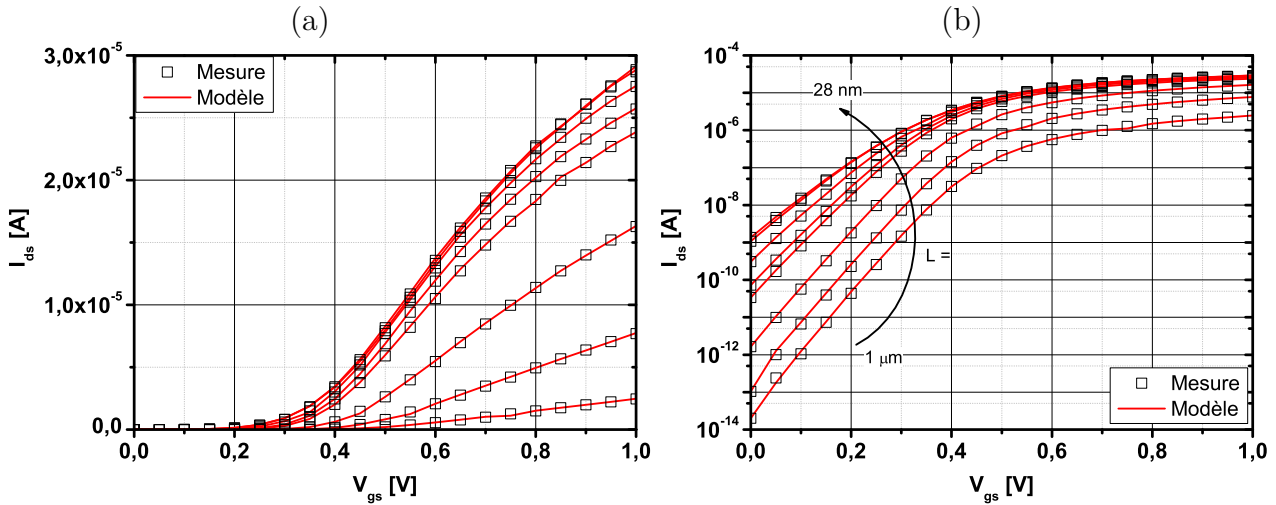


FIGURE III.6 – Comparaison des courbes de transfert $I_{ds}(V_{gs})$ entre les valeurs expérimentales (symboles) et le modèle (ligne continue) pour des longueurs variant de 1 μm à 28 nm en (a) échelle linéaire et (b) échelle semilog

Dans un second temps, les figures III.7 à III.10 comparent ces deux méthodes et prouvent que ces dernières permettent d'extraire des valeurs identiques pour V_{th} et θ_1 .

La pente sous le seuil extraite par la fonction New Y est plus faible que celle obtenue par régression linéaire, ce qui est lié à la méthode de résolution Levenberg-Marquardt qui ajuste

les paramètres pour rapprocher le modèle le plus possible des mesures. Pour palier ce biais, ce paramètre sera d'abord extrait par régression linéaire, puis fixé dans l'équation (III.20).

Enfin, la mobilité obtenue par la fonction New Y est supérieure à celle obtenue par la fonction Y. Ce résultat peut s'expliquer par la limitation de cette dernière à une faible portion du courant en forte inversion, et ne caractérise donc la mobilité que sur cette portion. En revanche, la fonction New Y prend en compte l'ensemble du régime de fonctionnement et donc des effets impactant la mobilité. Il en résulte donc une caractérisation plus précise de cette dernière.

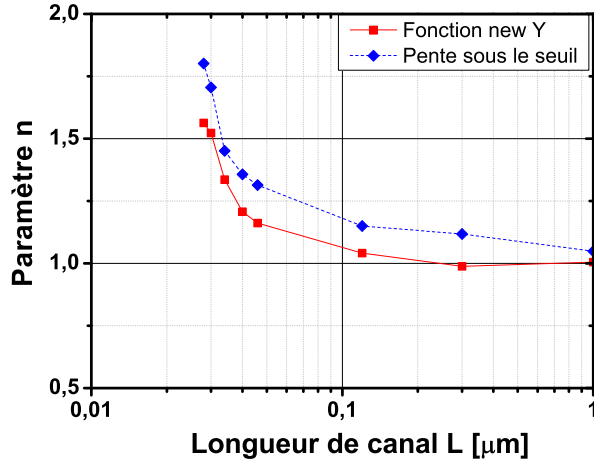


FIGURE III.7 – Évolution du facteur d'idéalité n extrait par la méthode de la pente sous le seuil (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur

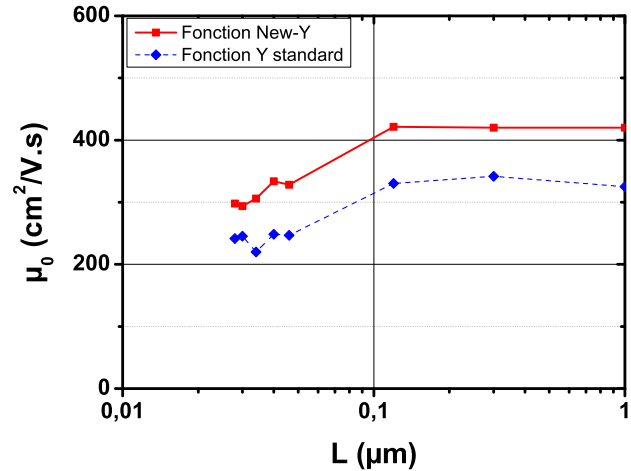


FIGURE III.8 – Évolution de la mobilité μ_0 extraite avec la fonction Y standard (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur

Afin de comparer l'impact de la plage d'extraction sur la fonction Y et New Y, une étude est menée en faisant varier l'intervalle de tension de grille appliqué de 0 à V_{gmax} . Cette dernière valeur est donc, par définition, la limite haute de polarisation appliquée à la grille. Elle variera de 1 V (correspondant à l'ensemble de la mesure) à 0,5 V par pas de 100 mV, se rapprochant ainsi de plus en plus de V_{th} et du régime de faible inversion. Ceci limitera donc de plus en plus la plage d'extraction de la fonction Y dans un régime de fonctionnement pour lequel elle n'a pas été prévue alors que la fonction New Y, étant définie sur l'ensemble de la gamme de V_{gs} , devrait s'y montrer moins sensible. À titre indicatif, la tension de seuil des transistors étudiés varient généralement entre 0,3 et 0,5 V.

Tout d'abord, la figure III.11 montre bien la sensibilité de la fonction Y à la plage de mesure. En effet, on observe une différence de 200 mV entre les valeurs de V_{th} extraites à $V_{gmax} = 1$ V et 0,5 V soit près de 50% de la valeur totale. Ce résultat est prévisible puisqu'à mesure que V_{gmax} diminue, la plage d'extraction se rapproche du régime de faible inversion qui, contrairement à la forte inversion, n'est pas linéaire.

En revanche, l'extraction de la tension de seuil avec la fonction New Y montre une immunité à la valeur de V_{gmax} choisie. En effet, cette dernière étant basée sur une analogie avec sa définition capacitive (voir équation (III.22)) plutôt que sur une plage de valeur en inversion

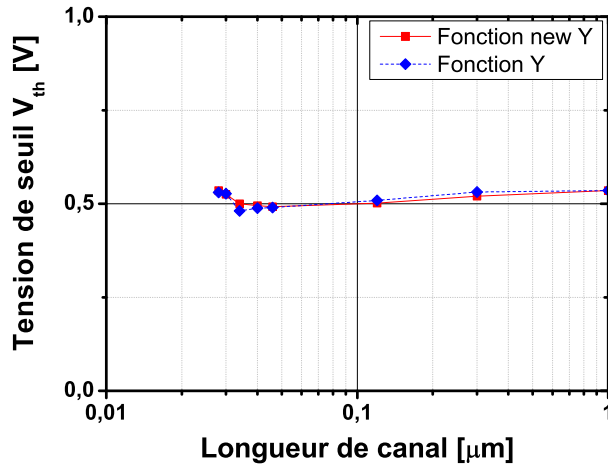


FIGURE III.9 – Évolution de la tension de seuil V_{th} extraite avec la fonction Y standard (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur

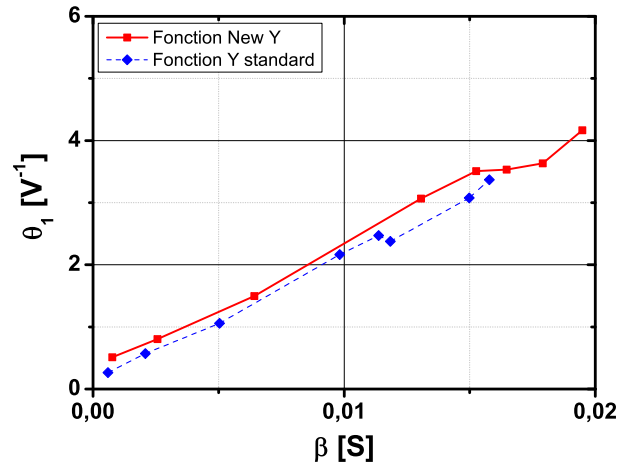


FIGURE III.10 – Évolution du facteur de réduction de mobilité θ_1 extrait avec la fonction Y standard (ligne pointillée et losanges) et avec la fonction New Y (ligne continue et carrés) en fonction de la longueur

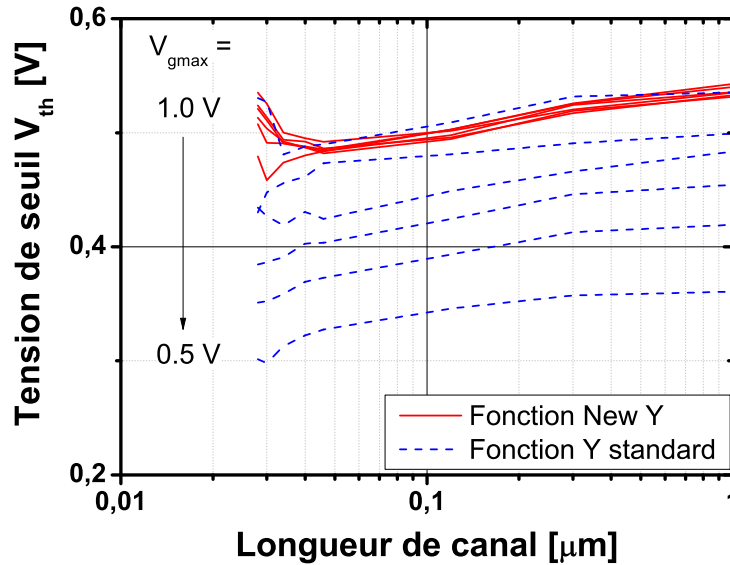


FIGURE III.11 – Évolution de la tension de seuil V_{th} extraite avec la fonction Y standard (ligne pointillée) et avec la fonction New Y (ligne continue) en fonction de la longueur et pour différentes valeurs de V_{gmax}

forte, il suffit que les valeurs de n et β soient stables pour que celle de V_{th} le soit également.

Les figures III.12 et III.13 montrent donc l'évolution de μ_0 et θ_1 en fonction de la longueur de grille et de V_{gmax} . Comme expliqué plus haut, les valeurs obtenues avec la fonction Y dépendent fortement de la valeur de V_{th} . Ces figures confirment donc bien cette sensibilité qui se traduit par une instabilité des résultats à mesure que la plage d'extraction se rapproche du

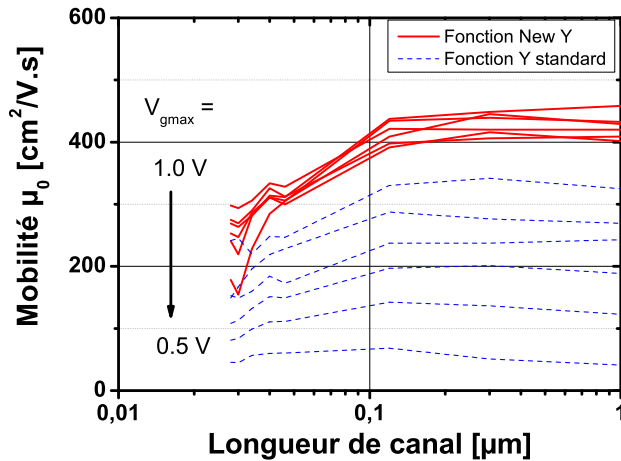


FIGURE III.12 – Évolution de la mobilité μ_0 extraite avec la fonction Y standard (ligne pointillée) et avec la fonction New Y (ligne continue) en fonction de la longueur et pour différentes valeurs de V_{gmax}

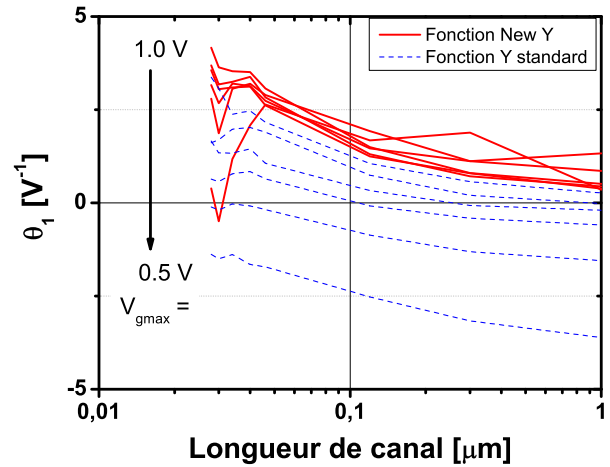


FIGURE III.13 – Évolution de facteur de réduction de mobilité θ_1 extrait avec la fonction Y standard (ligne pointillée) et avec la fonction New Y (ligne continue) en fonction de la longueur et pour différentes valeurs de V_{gmax}

régime de faible inversion. En revanche, la fonction New Y montre une remarquable immunité à ce dernier paramètre grâce à sa particularité d’extraire sur l’ensemble de la plage de tension plutôt que sur un intervalle restreint.

III.1.4 Conclusion sur la fonction New Y

Cette première section a proposé une nouvelle méthode pour remplacer la fonction Y qui, comme expliqué dans la section I.3.3, souffre d’un défaut de linéarité sur les technologies les plus récentes. La fonction New Y ainsi présentée permet une caractérisation électrique de la technologie MOSFET sur l’ensemble des régimes de fonctionnement de cette dernière sans nécessiter de dépendance linéaire avec V_{gs} .

De plus, elle permet l’extraction de tous les paramètres clés à l’aide d’une seule équation, évitant ainsi les erreurs s’additionnant d’une méthode à l’autre. En effet, la plage d’extraction de la fonction Y étant définie par rapport à V_{th} , une erreur sur l’extraction de cette dernière se reportera sur les extractions futures.

Finalement, la fonction New Y étant basée sur l’ensemble de la plage de tension de grille appliquée, elle ne nécessite pas une tension maximale aussi éloignée de V_{th} que la fonction Y pour fournir des résultats pertinents et stables. Ce dernier point rend cette méthode particulièrement intéressante pour les caractérisations à basse tension (i.e. proche du seuil) qui est un régime de fonctionnement vers lequel l’industrie microélectronique se dirige pour les applications basses consommation.

Toutefois, il est important de remarquer que la fonction New Y présentée en l’état est, comme la fonction Y, basée sur l’hypothèse que la résistance d’accès R_{sd} est constante. Or les chapitres I et II ont montré que cette hypothèse est une cause majeure de biais de mesure et donc d’interprétation de résultat. La section suivante s’efforcera donc de modifier la fonction

New Y afin de résoudre ce dernier problème.

III.2 Étude de l'impact de la résistance d'accès sur les méthodes de caractérisation et les performances des transistors

Comme expliqué dans la section III.1.4, la fonction New Y est basée sur l'hypothèse que R_{sd} est indépendante de V_{gs} . Ceci se traduit par les valeurs de θ_1 et θ_2 de l'équation (III.20) étant égales à θ_1^{eff} et θ_2^{eff} (voir équation (I.27)). La première étape avant d'étudier l'impact de R_{sd} sur la caractérisation est donc de modifier la méthode pour prendre en compte une éventuelle variation de cette dernière avec la polarisation de grille [57].

III.2.1 Modification de la fonction New Y

La section III.1 a donné une définition de la fonction New Y en considérant que θ_2 est négligeable. Bien que cette hypothèse soit généralement admise pour les structures FD-SOI, il est important d'estimer son potentiel impact sur la nouvelle méthode. Pour rappel, θ_2 est le facteur de réduction de mobilité d'ordre 2 et est censé jouer un rôle important dans la perte de linéarité de la fonction Y standard à fort V_{gs} [30]. Son introduction dans l'équation du courant en forte inversion se traduit par la nouvelle expression suivante :

$$I_{ds} = \frac{\beta \cdot V_{gt} \cdot V_{ds}}{1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2} \quad (\text{III.23})$$

Cette nouvelle définition du courant modifie donc les expressions de la transconductance et de la fonction Y en forte inversion qui deviennent :

$$g_m \stackrel{\text{def}}{=} \frac{\partial I_{ds}}{\partial V_{gs}} = \frac{\beta \cdot V_{ds} [1 - \theta_2 \cdot V_{gt}^2]}{(1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2)^2} \quad (\text{III.24})$$

$$Y \stackrel{\text{def}}{=} \frac{I_{ds}}{\sqrt{g_m}} = \sqrt{\frac{\beta \cdot V_{ds}}{1 - \theta_2 \cdot V_{gt}^2}} \cdot V_{gt} \quad (\text{III.25})$$

Ces deux nouvelles équations modifient donc la démonstration de la fonction New Y en forte inversion et l'équation (III.13) devient :

$$I_{ds} = \frac{Y^2}{n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds} (1 - \theta_2 \cdot V_{gt}^2)}} \cdot (1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2)} \quad (\text{III.26})$$

Et donc la fonction New Y devient :

$$\frac{Y^2}{I_{ds}} = n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds} (1 - \theta_2 \cdot V_{gt}^2)}} \cdot (1 + \theta_1 \cdot V_{gt} + \theta_2 \cdot V_{gt}^2) \quad (\text{III.27})$$

Si θ_2 est effectivement négligeable, l'équation (III.25) se simplifie et permet de faire l'approximation $V_{gt} \approx Y/\sqrt{\beta \cdot V_{ds}}$ et l'équation (III.27) se simplifie également pour redevenir l'expression (III.20) initiale.

En revanche, si θ_2 n'est pas négligeable, la simplification permettant de supprimer V_{gt} de la démonstration n'est plus possible, ce qui signifie qu'il faut connaître V_{th} avant d'utiliser la fonction New Y. Autrement dit, le facteur θ_2 , si il n'est pas négligeable, annule l'un des avantages majeurs de cette nouvelle méthode. De plus, l'introduction de θ_2 dans la démonstration n'est pas la seule modification à apporter à la fonction New Y. En effet, de même que la fonction Y, cette dernière est basée sur l'hypothèse que R_{sd} est indépendante de V_{gs} , ce que le chapitre II a déjà prouvé être faux.

L'introduction de la résistance d'accès dans l'équation du courant (I.23) se fait par le changement de variable $V_{ds} \rightarrow (V_{ds} - R_{sd} \cdot I_{ds})$ (voir section I.3.1). Sans prendre aucune considération sur l'expression de R_{sd} autre que sa variation avec V_{gs} , la nouvelle valeur du courant en forte inversion vaut donc :

$$I_{ds} = \frac{\beta \cdot V_{gt} \cdot V_{ds}}{1 + (\theta_1 + \beta \cdot R_{sd}(V_{gs})) \cdot V_{gt} + \theta_2 \cdot V_{gt}^2} \quad (\text{III.28})$$

Cette hypothèse modifie ensuite la valeur de la transconductance g_m et de la fonction Y :

$$g_m \stackrel{\text{def}}{=} \frac{\partial I_{ds}}{\partial V_{gs}} = \frac{\beta \cdot V_{ds} \left[1 - \left(\theta_2 + \beta \cdot \frac{\partial R_{sd}}{\partial V_{gs}} \right) \cdot V_{gt}^2 \right]}{\left(1 + (\theta_1 + \beta \cdot R_{sd}(V_{gs})) \cdot V_{gt} + \theta_2 \cdot V_{gt}^2 \right)^2} \quad (\text{III.29})$$

$$Y \stackrel{\text{def}}{=} \frac{I_{ds}}{\sqrt{g_m}} = \sqrt{\frac{\beta \cdot V_{ds}}{1 - \left(\theta_2 + \beta \cdot \frac{\partial R_{sd}}{\partial V_{gs}} \right) \cdot V_{gt}^2}} \cdot V_{gt} \quad (\text{III.30})$$

Cette nouvelle expression de la fonction Y met en évidence que la perte de linéarité observée sur cette dernière [30] pourrait être une conséquence de la présence de $\partial R_{sd}/\partial V_{gs}$ plutôt que de θ_2 (si $\theta_2 \ll \partial R_{sd}/\partial V_{gs}$).

En reproduisant le développement de la fonction New Y de la section III.1 et en utilisant les équations (III.28) et (III.30), on obtient l'expression suivante :

$$\frac{Y^2}{I_{ds}} = n \frac{kT}{q} + V_{gt} \cdot \frac{1 + [\theta_1 + \beta \cdot R_{sd}(V_{gs})] \cdot V_{gt} + \theta_2 \cdot V_{gt}^2}{\sqrt{1 - \left(\theta_2 + \beta \cdot \frac{\partial R_{sd}}{\partial V_{gs}} \right) \cdot V_{gt}^2}} \quad (\text{III.31})$$

Par analogie avec la section I.3.1, on peut donner une nouvelle définition à θ_1^{eff} et θ_2^{eff} :

$$\begin{cases} \theta_1^{eff} = \theta_1 + \beta \cdot R_{sd}(V_{gs}) \\ \theta_2^{eff} = \theta_2 + \beta \cdot \frac{\partial R_{sd}}{\partial V_{gs}} \end{cases} \quad (\text{III.32})$$

Donc l'équation (III.31) devient :

$$\frac{Y^2}{I_{ds}} = n \frac{kT}{q} + V_{gt} \cdot \frac{1 + \theta_1^{eff} \cdot V_{gt} + \theta_2 \cdot V_{gt}^2}{\sqrt{1 - \theta_2^{eff} \cdot V_{gt}^2}} \quad (\text{III.33})$$

Cette nouvelle expression de la fonction New Y soulève donc deux problèmes. Tout d'abord, l'introduction de θ_2 lui fait perdre son immunité à V_{th} qui est un avantage majeur de la méthode. Ce problème peut être résolu à condition d'utiliser une tension de polarisation suffisamment basse afin que l'hypothèse $\theta_2 \cdot V_{gt}^2 \ll 1$ soit vérifiée. Cette dernière permet ensuite de simplifier les expressions de g_m et Y afin de conserver la fonction New Y sous la forme (III.19).

Malheureusement, cette simplification n'est plus possible en introduisant $R_{sd}(V_{gs})$ modifiant l'hypothèse pour devenir $\theta_2^{eff} \cdot V_{gt}^2 \ll 1$. Or, les résultats de résistance d'accès obtenus dans le chapitre II permettent d'ores et déjà de prédire que le terme $\partial R_{sd}/\partial V_{gs}$ n'est pas négligeable par rapport à 1. De plus, la figure III.16 (b) (section III.2.2) montre que cette importante variation est prédominante y compris pour une tension de seuil relativement faible. Toutefois, les valeurs obtenues de $\partial R_{sd}/\partial V_{gs}$ montrées sur cette même figure et sachant que θ_2 n'excède que rarement les quelques V^{-2} on peut raisonnablement faire l'hypothèse que $\theta_2 \ll \partial R_{sd}/\partial V_{gs}$ dans θ_2^{eff} . Autrement dit, seule la résistance d'accès est responsable du défaut de linéarité observée sur la fonction Y [30] et non θ_2 .

La solution pour résoudre ce problème est donc simple : procéder à l'extraction de la résistance d'accès pour corriger son impact sur les courbes de courant avant l'extraction des paramètres par la fonction New Y. De cette façon, les termes $R_{sd}(V_{gs})$ et $\partial R_{sd}/\partial V_{gs}$ deviennent nuls dans l'équation (III.33). Or si on considère qu'en effet, θ_2 n'est pas le principal responsable de la perte de linéarité de la fonction Y, alors, après correction des effets de R_{sd} , on peut reprendre la démonstration de la fonction New Y et aboutir à l'expression suivante :

$$\frac{Y^2}{I_{ds}} = \frac{I_{ds}}{g_m} = n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \cdot \left[1 + \theta_1 \cdot \frac{Y}{\sqrt{\beta \cdot V_{ds}}} + \theta_2 \cdot \left(\frac{Y}{\sqrt{\beta \cdot V_{ds}}} \right)^2 \right] \quad (\text{III.34})$$

Cette nouvelle et dernière forme de la fonction New Y sera alors exploitée dans la section III.2.4 sur des courbes de courant corrigées grâce à la méthode présentée dans la section III.2.2.

III.2.2 Extraction et modélisation de R_{sd}

Les mesures présentées dans cette section et les suivantes ont été menées sur des transistors individuels de longueur 28 à 120 nm de la filière 28 nm FD-SOI d'STMicroelectronics.

Comme expliqué précédemment, la première étape consiste à extraire les résistances d'accès de chaque transistor. Ces dernières ont été obtenues grâce à la méthode différentielle détaillée dans le chapitre II aboutissant ainsi à la figure III.14. Celle-ci représente les R_{sd} de 64 transistors de 28 nm de longueur et 1 μm de largeur en lignes pointillées et leur moyenne en ligne continue et symboles.

Ces courbes mettent en évidence la grande dispersion de comportement et de valeurs au sein d'une même plaque dont certains peuvent paraître constant alors que d'autres présentent

une très forte sensibilité à la polarisation (plus de $1000 \Omega \cdot \mu\text{m}$ proche du seuil décroissant à $250 \Omega \cdot \mu\text{m}$ en inversion forte).

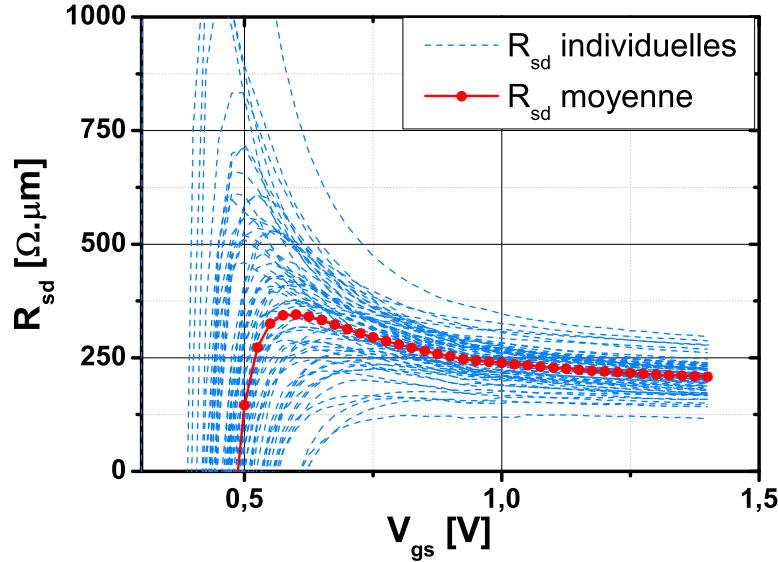


FIGURE III.14 – Évolution des R_{sd} individuelles (ligne pointillée) obtenues sur 64 transistors de 28 nm de longueur et $1 \mu\text{m}$ par méthode différentielle et de leur moyenne (ligne continue + symboles) en fonction de V_{gs}

Dans la perspective d'inclure les résistances d'accès variables dans la méthode New Y, il est important de noter qu'un certain nombre de contraintes dans la modélisation de $R_{sd}(V_{gs})$ doivent être respectées. Ces dernières proviennent des avancées qu'amène l'utilisation de la fonction New Y. Ainsi, pour ne pas perdre les avantages apportés par cette méthode, il faut premièrement que le modèle de $R_{sd}(V_{gs})$ soit valide sur l'ensemble du régime de fonctionnement du MOSFET, comme dans le cas de la fonction New Y. Deuxièmement, il faut que ce modèle soit indépendant de la tension de seuil, car la fonction New Y ne nécessite pas son extraction très problématique.

Pour respecter le premier point, le modèle (II.21) développé dans le chapitre II semblerait approprié. Malheureusement ce dernier est basé sur la charge d'inversion Q_{inv} accessible uniquement par mesure capacitive. Or, ces dernières demandent de grandes surfaces et sont donc incompatibles avec la caractérisation de transistors de faibles dimensions comme ceux utilisés dans cette section. Cependant, en inversion forte, la charge d'inversion est souvent remplacée par l'approximation $Q_{inv} \simeq C_{ox} \cdot V_{gt}$ qui permet d'obtenir l'équation (III.35) :

$$R_{sd}(V_{gs}) = \frac{R_s^0}{1 + \alpha \cdot V_{gt}} + R_{ext} \quad (\text{III.35})$$

Cette nouvelle forme du modèle de résistance permettrait donc de s'affranchir des mesures capacitives en ne se basant que sur des courbes courant-tension. Or cette approximation n'est d'une part valable qu'en forte inversion et réintroduit la tension de seuil par le biais du paramètre V_{gt} d'autre part.

La présence de V_{th} dans le modèle l'empêche donc d'être combiné avec la fonction New Y puisque l'un de ses avantages est justement d'être indépendante de cette dernière. Cependant, V_{th} est un paramètre associé au transistor *intrinsèque*, autrement dit, utilisé pour caractériser le canal du transistor et non l'accès. Il semble donc incohérent de l'utiliser pour décrire la résistance parasite qui est une composante *extrinsèque* du MOSFET.

Il faudrait donc remplacer V_{th} (présent dans V_{gt}) dans l'équation (III.35) par une autre fonction que l'on peut obtenir par mesure de courant uniquement d'une part. Et il faut, d'autre part, que cette fonction suive la même tendance que $Q_{inv}(V_{gs})$. A cette fin, la fonction V_{gs}^{mod} est introduite, selon :

$$V_{gs}^{mod} \stackrel{\text{def}}{=} V_{gs} \cdot \frac{I_{ds}}{I_{ds}^{max}} \quad (\text{III.36})$$

Où I_{ds}^{max} est la valeur maximum du courant mesuré I_{ds} . En d'autres termes, cette fonction correspond à la tension de grille appliquée au transistor modulée par une fonction variant de 0 à 1 ayant la même forme que les variations de courant et donc de Q_{inv} . La figure III.15 compare cette nouvelle fonction avec V_{gt} prouvant ainsi qu'elle couvre bien l'ensemble de la plage de tension tout en ayant une allure proche de la charge d'inversion. Cette fonction purement empirique présente toutefois un écart de comportement par rapport à V_{gt} qui sera absorbé dans le modèle par le paramètre α , mitigeant ainsi l'impact de cette différence sur $R_{sd}(V_{gs})$.

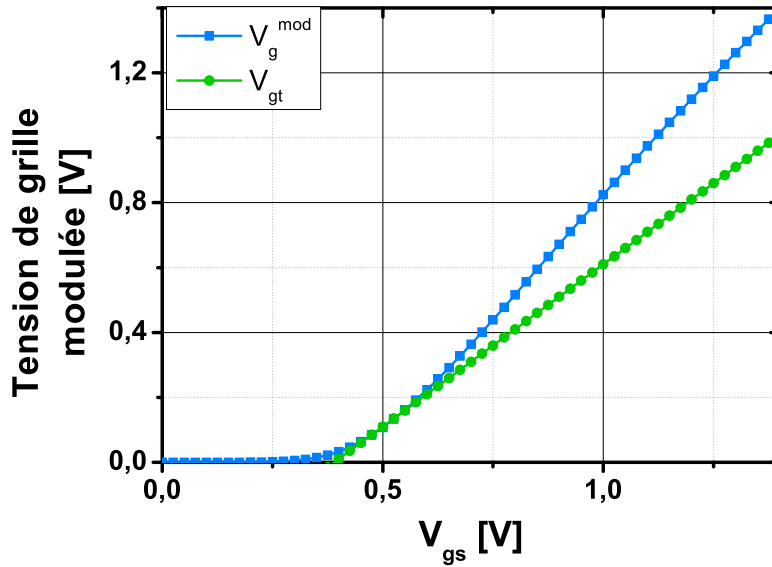


FIGURE III.15 – Comparaison de l'évolution V_{gs}^{mod} et V_{gt} en fonction de V_{gs}

En injectant l'équation (III.36) dans le modèle de résistance, sa nouvelle expression devient :

$$R_{sd}^{mod}(V_{gs}) = \frac{R_s^0}{1 + \alpha \cdot V_{gs}^{mod}} + R_{ext} \quad (\text{III.37})$$

Bien que ce nouveau modèle permette de reproduire la résistance d'accès sur l'ensemble du régime de fonctionnement du MOSFET, l'équation (III.31) fait également intervenir le terme $\partial R_{sd}/\partial V_{gs}$. Afin d'augmenter la précision du modèle, il est possible d'ajouter la dérivée de l'équation (III.37) au système, augmentant ainsi le nombre d'équations sans toucher au nombre d'inconnues :

$$\frac{\partial R_{sd}^{mod}}{\partial V_{gs}} = -\frac{\alpha \cdot R_s^0 \cdot (I_{ds} + V_{gs} \cdot g_m)}{I_{ds}^{max} \cdot (1 + \alpha \cdot V_{gs}^{mod})^2} \quad (\text{III.38})$$

Les équations (III.37) et (III.38) peuvent donc être appliquées à chaque courbe mesurée de la figure III.14 afin d'extraire les valeurs des paramètres α , R_s^0 et R_{ext} et recomposer la courbe théorique correspondante.

Un exemple est donné sur les figures III.16 (a) et (b) représentant respectivement une courbe de résistance mesurée et sa dérivée.

Sur chacune de ces figures, plusieurs modèles sont comparés avec la mesure (symboles \square rouges) :

- les symboles \diamond oranges représentent le modèle de résistance constante tel qu'utilisée dans l'état de l'art. Sa valeur a été définie comme la moyenne de la mesure sur la partie convergente : $R_{sd}^{constante} = Moyenne(R_{sd}(V_{gs}))$, $0,6V < V_{gs} < 1,4V$.
- La courbe bleue (symboles $+$) de la figure III.16 (a) a été obtenue en utilisant uniquement l'équation (III.37) dans la méthode Levenberg-Marquardt pour la rapprocher au plus près de la mesure. La courbe bleue de la figure III.16 (b) a été obtenue en dérivant la courbe théorique obtenue après extraction des paramètres résistifs grâce à l'équation (III.37). Elle correspond donc à la dérivée expérimentale de la figure III.16 (a).
- Les courbes vertes (symboles \times) des deux figures ont été obtenues en utilisant les équations (III.37) et (III.38) en paramètres d'entrée de la méthode Levenberg-Marquardt. Cette dernière se charge alors de trouver le jeu de paramètre permettant à la fois de rapprocher l'équation (III.37) de la mesure (figure III.16 (a)) et d'ajuster l'équation (III.38) de la dérivée de la mesure (figure III.16 (b)). Contrairement au modèle *simple* la courbe verte correspond donc ici à l'expression théorique de la dérivée.

Ces deux variantes d'ajustement permettent de reproduire les courbes expérimentales et ne diffèrent que dans leur comportement sous et proche du seuil. La plage de tension utilisée pour obtenir les courbes modélisées étant située en inversion forte (pour les raisons expliquées dans le chapitre II), cette différence de comportement peut donc être interprétée comme une amélioration de la précision sur les paramètres du modèle. Afin de s'en assurer, ces deux méthodes de modélisation seront comparées entre elles dans les prochaines sections.

III.2.3 Protocole expérimental

Les sections précédentes ont montré qu'il n'était pas possible d'inclure les résistances d'accès variable avec V_{gs} dans la fonction New Y et qu'il était donc nécessaire de corriger les mesures de courant de l'influence de ces résistances avant l'utilisation de la New Y. La section précédente a présenté un modèle de résistance adéquate à cette tâche. Cette section présentera donc la combinaison de la correction du courant et de l'extraction par la New Y.

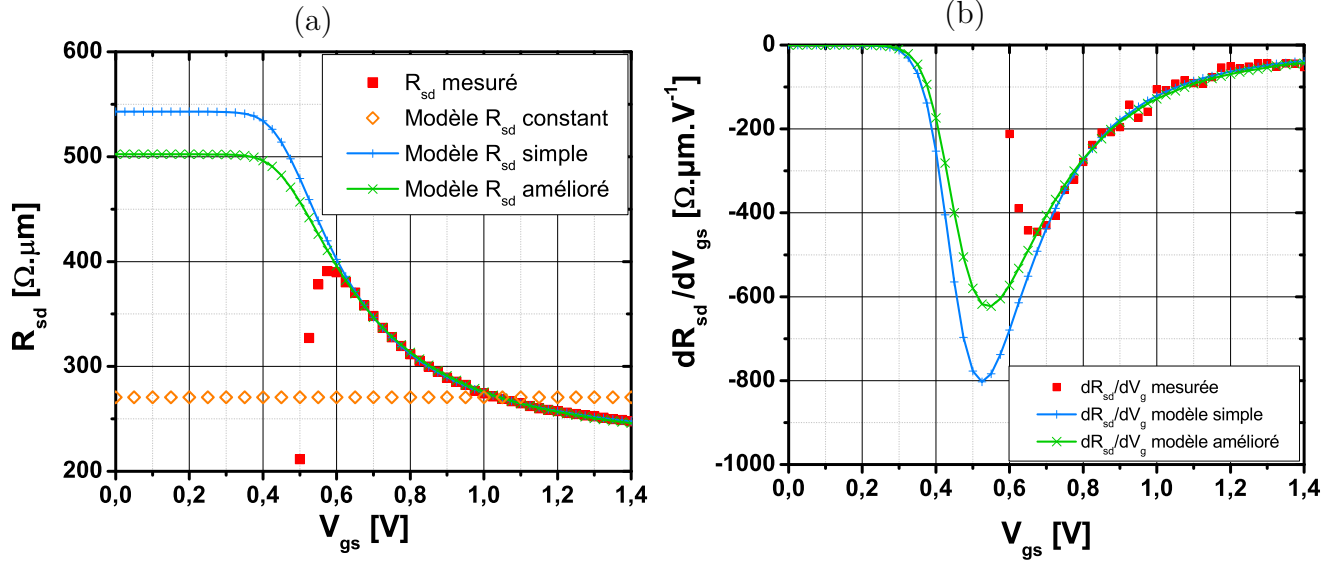


FIGURE III.16 – Comparaison de l'évolution de (a) R_{sd} et (b) sa dérivée par rapport à V_{gs} entre la mesure (symboles \square), le modèle de R_{sd} constante (losange ouvert), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne et symboles +) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et symboles x)

La série de mesures a été conduite sur des transistors de la filière 28 nm FD-SOI de STMicroelectronics de largeur $1 \mu\text{m}$ et de longueur variant de 28 à 120 nm. Ces longueurs ont été choisies parmi celles disponibles pour respecter les critères imposés par la méthode d'extraction de résistance d'accès, détaillés dans le chapitre II. Le protocole expérimental est développé sur la figure III.17.

Dans un premier temps, deux méthodes de correction des résistances sont comparées. La première (chemin de gauche sur la figure III.17) consiste à utiliser la résistance intrinsèque du transistor mesuré R_{ch} (donc corrigée de tout effet indésirable), obtenue par la méthode différentielle (voir II.3.2), pour procéder aux extractions avec la fonction New Y. Le courant corrigé peut être retrouvé simplement grâce à la loi d'Ohm :

$$I_{ds}^{corr} = \frac{V_{ds}}{R_{ch}} \quad (\text{III.39})$$

Cette méthode sera désignée par la suite comme *méthode directe*. La seconde (chemin de droite sur la figure III.17) consiste à extraire la variation de la résistance d'accès avec V_{gs} , puis de lui appliquer un modèle afin de corriger le courant mesuré par la relation suivante :

$$I_{ds}^{corr} = \frac{I_{ds}}{1 - I_{ds} \cdot \frac{R_{sd}(V_{gs})}{V_{ds}}} \quad (\text{III.40})$$

Deux modèles de variation de R_{sd} avec V_{gs} sont alors choisis.

Le premier est le modèle "historique" indépendant de V_{gs} , dont la valeur est calculée à partir de la moyenne des points mesurés au-dessus du seuil pour chaque courbe individuelle. Ce dernier sera utilisé à des fins de comparaison avec le nouveau modèle.

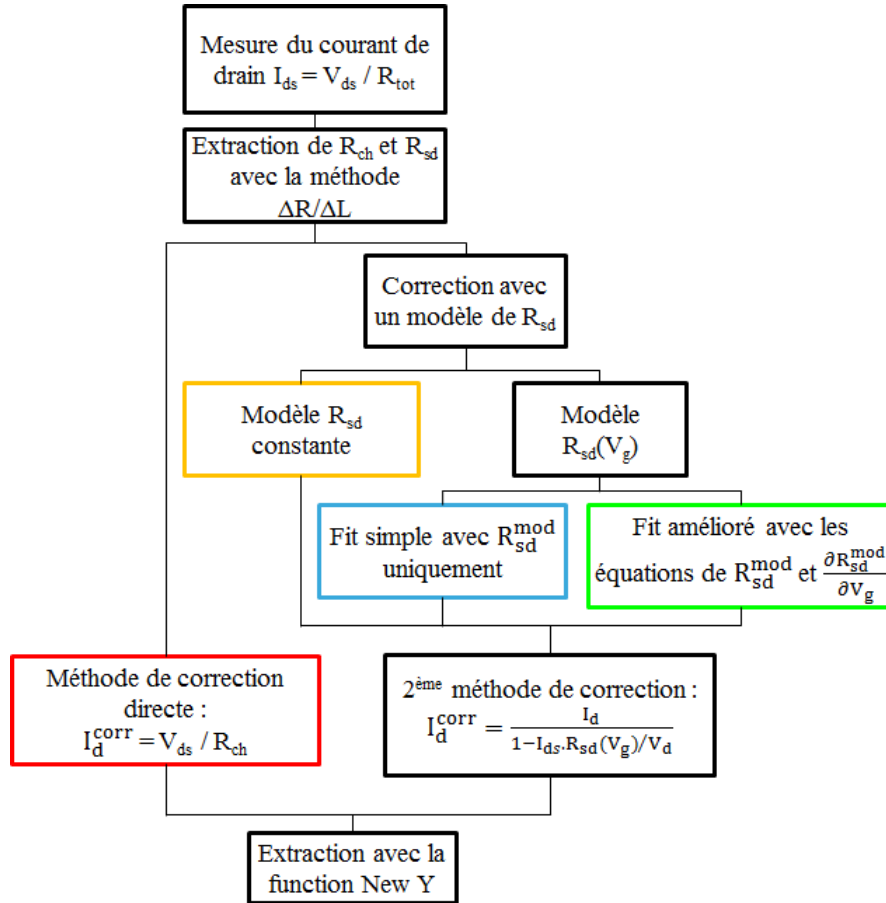


FIGURE III.17 – Diagramme fonctionnel du protocole expérimental. Les codes couleurs utilisés sur ce schéma sont réutilisés sur les graphes de résultat de cette section

Le second est le modèle de la section III.2.2, lui aussi calculé pour chaque courbe individuelle avec les deux variantes proposées à la fin de cette même section. La première variante n'utilise que l'équation (III.37) pour l'ajustement à l'aide de l'approche Levenberg-Marquardt, et sera désignée comme *modèle simple*. La seconde variante, utilisant l'équation (III.37) et sa dérivée (III.38), sera désignée comme *modèle amélioré*.

Il est à noter que le modèle hyperbolique, bien que plus fidèle que le modèle constant, ne sera pas étudié dans ces expériences en raison de sa divergence en faible inversion, le rendant incompatible avec la fonction New Y.

Afin de simplifier la lecture, le code couleur des étapes du diagramme fonctionnel III.17 sera appliqué à tous les graphes présentant des résultats dans la section suivante.

III.2.4 Exploitation des résultats

Analyse des courbes de courant

Pour commencer, la figure III.18 compare les courbes mesurées (lignes continues) et les courbes corrigées (symboles) avec la *méthode directe*. Donc, sans aucune forme de caractérisation, on observe déjà que pour cette technologie, R_{sd} est responsable d'une perte de courant allant d'un facteur 2 pour les transistors les plus longs (120 nm) à 5 pour les plus courts (28 nm).

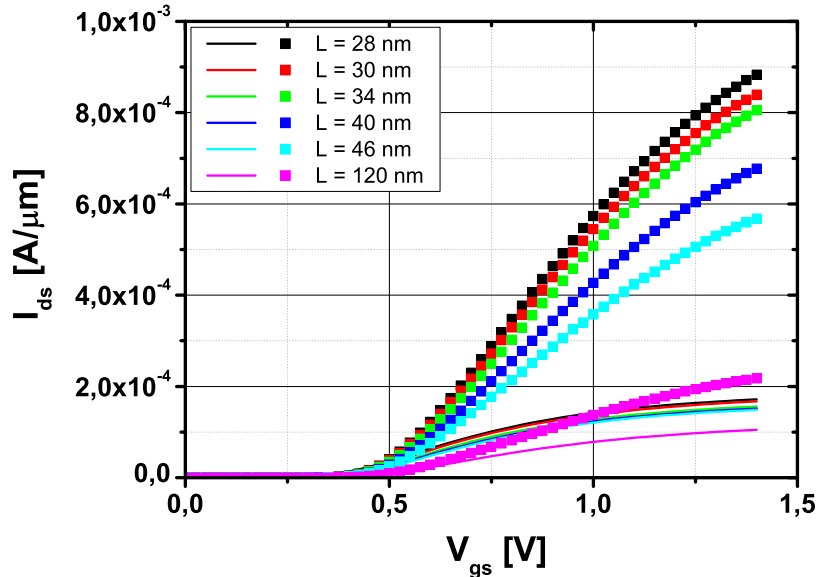


FIGURE III.18 – Comparaison des courbes de transfert $I_{ds}(V_{gs})$ mesurées (ligne continue) et corrigées (symboles) par la méthode directe

Les figures III.19 (a) (échelle linéaire) et (b) (échelle semilog) comparent les différentes méthodes et modèles utilisés pour corriger le courant dans cette section. Seules les longueurs extrêmes ont été conservées afin d'alléger la lecture des graphes.

Tout d'abord, le modèle de résistance constante diverge fortement en inversion forte invalidant définitivement ce dernier pour les transistors courts. Il faut tout de même noter que cette divergence est moins prononcée sur la longueur de 120 nm justifiant son utilisation pour les transistors longs [58]. Les autres méthodes de correction (directe, modèle simple et modèle amélioré) se suivent à quelques pour cents près, confirmant que toutes ces méthodes sont équivalentes et corrigent les effets parasites dans ce régime de fonctionnement.

En revanche, la méthode directe renvoie une pente sous le seuil idéale de 60 mV/décade quelle que soit la longueur étudiée alors que les autres méthodes suivent les courbes mesurées (non montré sur ces graphes). Ce résultat est surprenant car, comme expliqué dans le chapitre II, la résistance d'accès n'a pas de signification physique dans ce régime de fonctionnement et ne devrait donc pas avoir d'impact sur la mesure. Mais ce phénomène peut s'expliquer par la méthode utilisée. En effet, la méthode directe se sert de la caractéristique *intrinsèque* du transistor, autrement dit, elle modélise uniquement le canal sans les accès. Or, l'essentiel

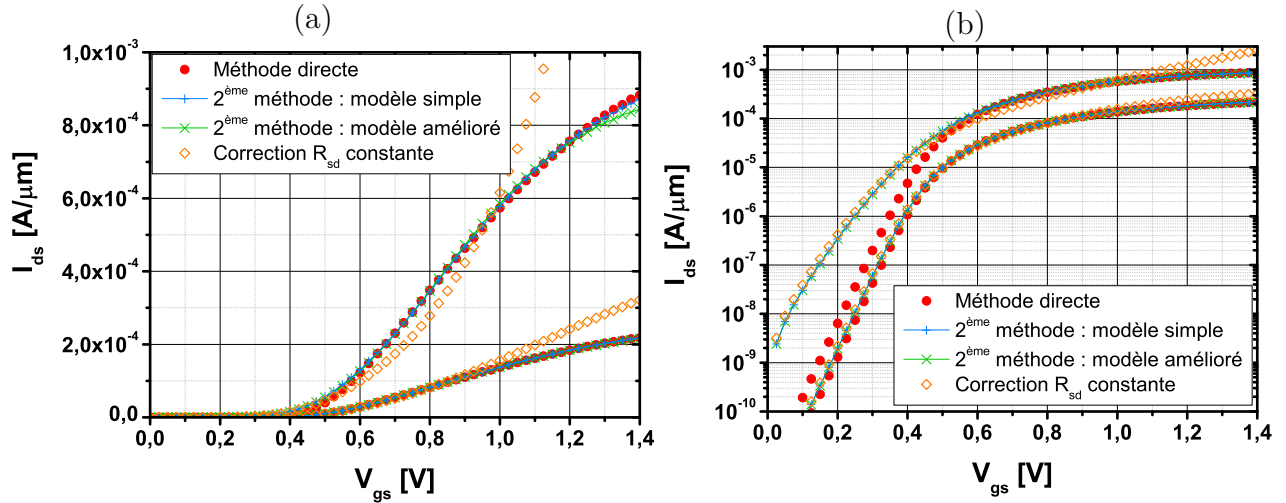


FIGURE III.19 – Comparaison des courbes de transfert corrigées obtenues avec la méthode directe (carrés), le modèle de R_{sd} constante (symboles \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne et symboles $+$) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et symboles \times) en (a) échelle linéaire et (b) échelle semilog pour les longueurs extrêmes de la gamme étudiée (28 et 120 nm)

des phénomènes parasites proviennent des jonctions entre le canal et les source/drain et des lignes métalliques. Il s'agit donc normalement d'une mesure corrigée de *tous* les effets parasites. Ceci inclut également les SCE et DIBL qui impactent la pente sous le seuil et qui ne sont pas corrigés par la seconde méthode. Ce défaut élimine donc la méthode directe pour une caractérisation fiable de l'impact de R_{sd} sur les performances.

Analyse des paramètres électriques

Les figures III.20 à III.21 comparent les moyennes (avec barre d'erreur) des principaux paramètres électriques du MOSFET obtenues par les différentes méthodes.

Le gain β

Pour commencer, la figure III.20 montre que le gain β obtenu directement sur les courbes mesurées est le même que celui obtenu après correction d'une R_{sd} indépendante de V_{gs} . Ceci paraît aberrant sachant que ce paramètre peut être grossièrement assimilé à la pente des courbes $I_{ds}(V_{gs})$ et que la figure III.18 montre un facteur 5 entre le courant corrigé et le courant mesuré pour le transistor de 28 nm. Ceci devrait donc théoriquement se traduire par un fort accroissement de la valeur de β après correction des courbes de courant. Cette stagnation est en fait compensée par des valeurs négatives (donc incohérentes) du facteur de réduction de mobilité θ_1 . En effet, un facteur de *réduction* négatif s'apparente alors à un facteur d'*augmentation* de μ_{eff} .

Les autres méthodes utilisées (directe, modèle simple et amélioré) suivent la même tendance sur les figures III.19 (a) et (b) à l'exception du régime sous le seuil. Or la fonction New Y permettant l'extraction des paramètres sur l'ensemble du régime de fonctionnement

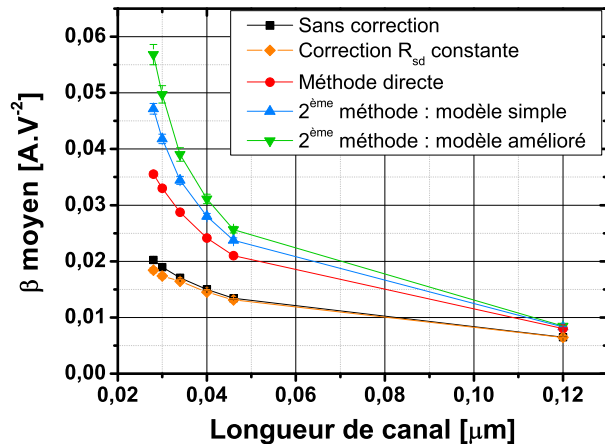


FIGURE III.20 – Évolution du gain moyen β en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)

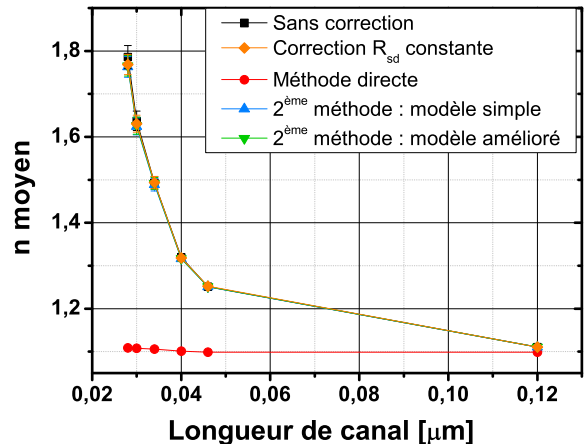


FIGURE III.21 – Évolution du facteur d'idéalité moyen n en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)

du transistor, il n'est donc pas surprenant de constater un gain légèrement plus faible pour la méthode directe. Ceci est en fait compensé par une meilleure pente sous le seuil.

En revanche, la seconde méthode donne des courbes corrigées identiques à quelques pour cents près sur l'ensemble de la plage de polarisation résultant tout de même en une différence de β d'environ 20% pour les transistors les plus courts. Or, comme évoqué dans la section III.2.2, la seule différence de $R_{sd}(V_{gs})$ obtenue avec le *modèle simple* ou avec le *modèle amélioré* se trouve sous et proche du seuil. Ceci souligne bien l'intérêt d'une modélisation de $R_{sd}(V_{gs})$ et d'une extraction des paramètres sur l'ensemble de la mesure puisqu'une faible différence de comportement sous le seuil se répercute sur un paramètre décrivant l'inversion forte.

Enfin, il faut noter qu'il y a un facteur 2,5 - 3 entre ces courbes corrigées et les courbes mesurées, résultat cohérent avec la figure III.18.

Le facteur d'idéalité n

La figure III.21 montre le facteur d'idéalité n obtenu pour les différentes méthodes. Comme constaté sur la figure III.19, seule la méthode directe se différencie des autres méthodes en retournant un facteur n constant pour toutes les longueurs à cause des raisons évoquées plus haut. Les autres méthodes ne corrigeant pas le SCE et le DIBL, elles confirment donc que la résistance d'accès est sans effet sur les mécanismes intrinsèques à l'origine de ces effets de canaux court en suivant la valeur de n extraite sur les courbes mesurées.

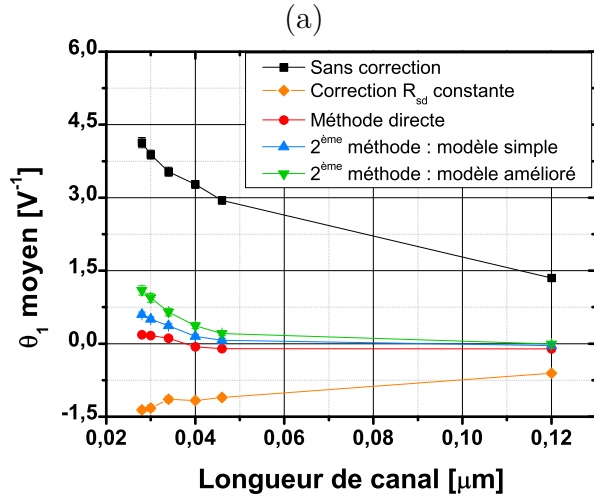


FIGURE III.22 – Évolution du facteur de réduction de mobilité θ_1 en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)

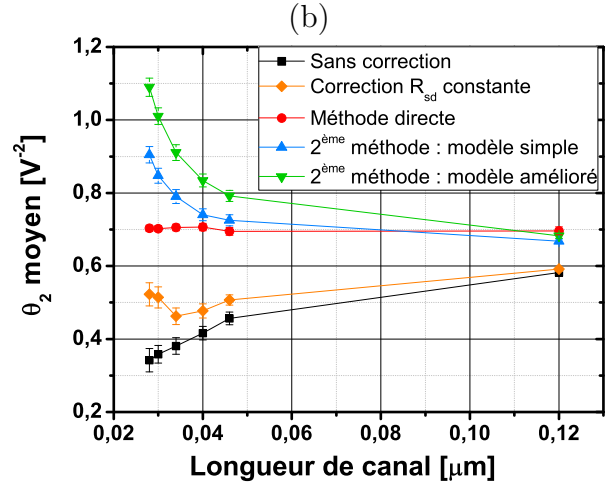


FIGURE III.23 – Évolution du facteur de réduction de mobilité θ_2 en fonction de la longueur obtenue sans correction (ligne continue et \square), avec la méthode directe (ligne continue et \bullet), le modèle de R_{sd} constante (ligne continue et \diamond), le modèle de $R_{sd}(V_{gs})$ n'utilisant que l'équation (III.37) (ligne continue et \triangle) et le modèle de $R_{sd}(V_{gs})$ utilisant les équations (III.37) et (III.38) (ligne continue et ∇)

Les facteurs de réduction de mobilité θ_1 et θ_2

Finalement, les figures III.22 et III.23 montrent que les facteurs de réduction de mobilité θ_1 et θ_2 sont très sensibles au modèle de R_{sd} utilisé. En effet, pour le cas de θ_1 , le modèle constant renvoie des valeurs négatives pour ce paramètre. Ce résultat a déjà été attribué à d'autres phénomènes comme la résistance quantique du film [21] mais pourrait en fait être lié à l'utilisation d'un modèle de résistance inapproprié pour les plus faibles dimensions. Le paramètre θ_2 quant à lui montre même un changement de comportement selon le modèle et la méthode employés.

Synthèse

Cette section a présenté de nouvelles méthodes permettant la correction de la résistance d'accès et la caractérisation complète des transistors sur l'ensemble de leurs régimes de fonctionnement. La comparaison de ces dernières ont mis en évidence l'importance du modèle choisi pour décrire R_{sd} , y compris sous le seuil, ainsi que son impact non négligeable sur les performances de la technologie CMOS. Afin d'étudier plus en détail l'impact des résistances et d'explorer les limites de cette méthode, la section suivante comparera les valeurs du modèle (III.37) ainsi que les paramètres électriques des figures III.20 à III.23 sur des procédés de fabrication différents.

III.2.5 Étude de l'impact du dopage canal sur les paramètres électriques

La section précédente a présenté une nouvelle méthode de caractérisation permettant de corriger les effets de résistance d'accès pour se concentrer sur la propriété de la partie intrinsèque du transistor. Pour qu'une nouvelle méthode présente un intérêt à un niveau industriel, elle doit respecter certains critères. Premièrement, il faut que la méthode soit facilement automatisable pour être appliquée rapidement sur un grand nombre de circuits de test. Deuxièmement, elle doit être le plus indépendante de la technologie que possible, autrement dit elle doit être applicable pour différentes architectures (FD-SOI, FinFET, silicium massif) et pour différentes géométries. La fonction New Y répond déjà à ces critères (résultats non montrés dans ce manuscrit) et, la résistance d'accès ne concernant que les faibles dimensions, la méthode différentielle d'extraction de $R_{sd}(V_{gs})$ aussi. Finalement, il faut que les résultats ainsi obtenus soit stables, c'est-à-dire qu'ils dépendent le moins possible des paramètres d'entrée de la méthode de résolution d'équation non-linéaire (voir l'avant propos). Cette section a donc pour but d'étudier la stabilité de la méthode combinant la New Y et du nouveau modèle de $R_{sd}(V_{gs})$ proposé dans ce chapitre.

Avant propos sur la méthode Levenberg-Marquardt

Pour bien comprendre les problèmes qui se posent avec cette nouvelle méthode et son automatisation, il convient de parler un peu plus en détail des méthodes de type moindres-carrés comme la Levenberg-Marquardt.

Ces fonctions sont utiles pour de nombreuses branches scientifiques et ont donc évidemment été implémentées dans la majorité des outils et langages de programmation. Pour fonctionner, ces méthodes ont besoin de plusieurs éléments. Tout d'abord, il faut un ensemble de valeurs expérimentales qui, dans notre cas, correspondent au courant de drain mesuré pour la fonction New Y et à la résistance pour le modèle (III.37). Il faut ensuite une expression mathématique dans laquelle figurent les éléments connus et inconnus.

Le but des méthodes type moindres-carrés est ensuite de trouver les valeurs des inconnues qui permettent d'ajuster au plus près les données expérimentales et théoriques. Toutefois, ces méthodes ont besoin de valeurs initiales pour chacune des inconnues afin de converger vers un minimum local. Dans cette situation il est évident que plus le nombre d'inconnues est grand devant le nombre d'équation du système, plus il y aura de solutions possibles pour résoudre ce dernier. Donc les valeurs initiales fournies à l'algorithme ont une importance au moins aussi déterminante que l'exactitude du modèle et la précision des mesures.

Généralement, ces valeurs initiales sont déterminées à partir de la théorie ou d'études expérimentales menées en amont. Pour la fonction New Y, ces valeurs sont choisies en fonction des résultats obtenus avec une extraction de type Mourrain à l'exception des facteurs de réduction de mobilité θ_1 et θ_2 pour lesquels une valeur positive est choisie (généralement égale à 1). Pour le modèle de résistance de la section III.2.2 le problème est légèrement différent car ce dernier est composé de α , un paramètre d'ajustement sans signification physique, et des résistances R_{ext} et R_s^0 assimilables aux contributions des lignes métalliques et des caissons source/drain. Or ces dernières ne sont justement accessibles qu'à l'aide de la méthode différentielle définie dans le chapitre II ce qui limite le choix possible des valeurs initiales.

Pour α , les nombreuses applications du modèle (III.37) menées au cours de ces travaux ont montré qu'il est généralement compris entre 0 et 5 avec une forte population entre 0,5 et 2. De plus, ces résultats ont été obtenus en essayant différentes valeurs initiales ce qui montre que ce paramètre n'est pas le plus limitant pour le modèle. Une valeur initiale fixée à 1 semble donc acceptable.

Pour fixer R_{ext} et R_s^0 il faudrait disposer d'une relation et/ou d'une méthode permettant de séparer la contribution de chacune d'entre elles dans la résistance parasite totale. Ceci étant pour le moment impossible, on supposera qu'elles participent à parts égales dans l'équation (III.37). Pour choisir leurs valeurs initiales on partira alors de la limite du modèle quand V_{gs} tend vers 0 :

$$\lim_{V_{gs} \rightarrow 0} R_{sd}(V_{gs}) = R_s^0 + R_{ext} \quad (\text{III.41})$$

Puisque R_{ext} et R_s^0 sont choisis comme participant à parts égales dans la résistance parasite totale, leur valeur initiale peut donc être fixée à $R_{sd}(0)/2$. Seulement cette valeur est impossible à déterminer sans le modèle. Elle sera donc remplacée par la valeur mesurée la plus proche possible de cette condition, à savoir $R_{mesurée}^{max}$ (par exemple à $V_{gs} = 0,6$ V sur la figure III.16 (a)). Ainsi les valeurs initiales du trio (α , R_s^0 , R_{ext}) sont $(1, R_{mesurée}^{max}/2, R_{mesurée}^{max}/2)$.

Protocole expérimental

Les transistors mesurés dans cette section sont différents de ceux de la précédente. Pour commencer, ils sont au nombre de 128 par plaque testée (au lieu de 64) et disposent d'une large variété de longueur et de largeur. Afin de respecter les critères imposés par la méthode différentielle (voir chapitre II), les transistors retenus parmi ceux disponibles ont une largeur de $0,9 \mu\text{m}$ et un couple de longueurs L_1, L_2 égales à 48 nm et 93 nm.

Les mesures ont ensuite été conduites sur 3 différents procédés de fabrication. Le premier est un procédé standard résultant en des transistors dont le film de silicium est non dopé. Les deux autres procédés ont vu une étape de faible dopage ou contre-dopage supplémentaire dans le canal venant accentuer ou atténuer la transition des caissons source/drain vers le canal. La figure III.24 schématise ces différents procédés.

La dépendance de R_{sd} avec V_{gs} augmentant quand la transition source/drain - canal est plus graduelle [37], le dopage canal (au sens large) devrait donc théoriquement jouer un rôle sur les valeurs des paramètres (α , R_s^0 , R_{ext}). Et, comme expliqué dans le chapitre I, la mobilité étant elle aussi impactée par la présence de charge dans le canal, β , θ_1 et θ_2 devraient eux aussi être modifiés. De plus, la présence de dopant dans le canal va modifier la hauteur de barrière V_{bi} . Cette modification va ensuite se répercuter sur les SCE et DIBL, principaux facteurs modifiant la pente sous le seuil. Dans le cas du contre-dopage canal (III.24 (b)), V_{bi} est plus faible qu'avec le procédé standard, ce qui devrait donc résulter en une augmentation des SCE et DIBL et donc à une dégradation du paramètre n. Au contraire, le dopage augmente la hauteur de V_{bi} , diminuant les effets des SCE et DIBL ce qui devrait conduire à une amélioration du paramètre n.

Enfin tous les résultats de cette section ont été passés par un filtre à 3σ (filtre récursif excluant les valeurs d'un paramètre P situé hors de l'intervalle $\bar{P} \pm 3\sigma$) afin d'éliminer les

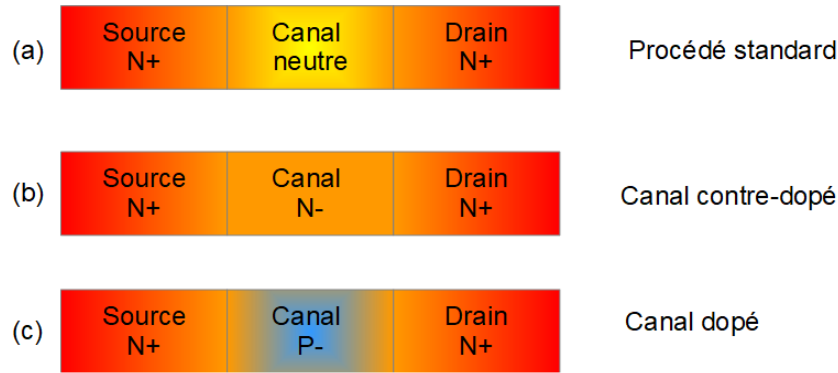


FIGURE III.24 – Représentation schématique de l'ensemble Source - Canal - Drain et de leur dopage pour (a) un procédé standard, (b) un procédé avec canal contre-dopé et (c) un procédé avec un canal dopé

valeurs incohérentes. De plus, les figures sont présentés avec leur barre d'erreur, obtenue expérimentalement par une loi de Student.

Analyse des paramètres résistifs

Les figures III.25 et III.26 montrent l'évolution des paramètres de l'équation (III.37). Ces résultats ont été obtenu sur environ 120 transistors restant après le filtre à 3σ pour les procédés standard et dopé. En revanche, ce nombre tombe à environ 80 pour la plaque contre-dopée ce qui signifie qu'un tiers des mesures sortent de la plage moyenne ± 3 écarts types traduisant donc une forte dispersion des valeurs des paramètres.

Après une analyse plus minutieuse des résultats obtenus pour le contre-dopage, il s'avère même que certaines valeurs de R_s^0 et R_{ext} sont négatives ce qui est aberrant pour une résistance. L'origine de ce problème vient de la définition des valeurs initiales permettant la convergence de la méthode Levenberg-Marquardt (voir l'avant propos).

Toutefois, il est possible d'obtenir un convergence sur tous les transistors en modifiant manuellement les valeurs initiales donc en sacrifiant l'intérêt d'une détermination automatique de ces derniers. Ceci montre donc la difficulté à définir les valeurs initiales comme expliqué dans l'avant-propos afin d'automatiser la caractérisation pour un grand volume de données. Il est donc intéressant de souligner que malgré la pertinence du modèle utilisé, la méthode reste sensible aux paramètres initiaux qu'il faut optimiser avec soin pour éviter toute divergence. Une définition optimale des valeurs initiales n'ayant pas été trouvée pour la plaque contre dopée, les résultats obtenus avec celle proposée dans l'avant propos (figure III.26) ont été conservés pour la correction des courbes de courant et l'extraction des paramètres.

Ainsi, l'erreur faite sur la plaque contre-dopée pour les valeurs de R_s^0 et R_{ext} étant aussi grande que la valeur moyenne, il est impossible de conclure sur l'effet du dopage sur les résistances d'accès. En revanche, comparer les procédés dopé et non dopé montre que le dopage augmente la résistance d'accès via les paramètres R_s^0 et R_{ext} ainsi que la sensibilité à la polarisation via α . Ce résultat est en accord avec les hypothèses initiales : la présence de dopant, que ce soit par diffusion des source/drain dans le canal ou par implantation

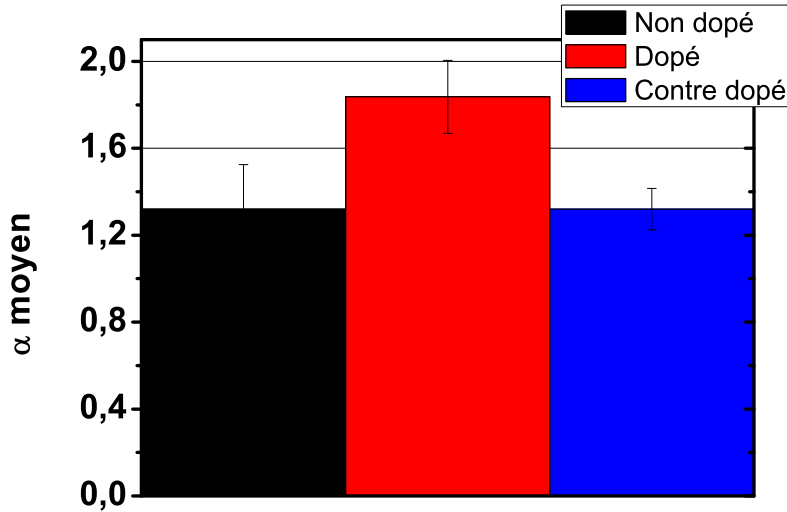


FIGURE III.25 – Comparaison du α moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite)

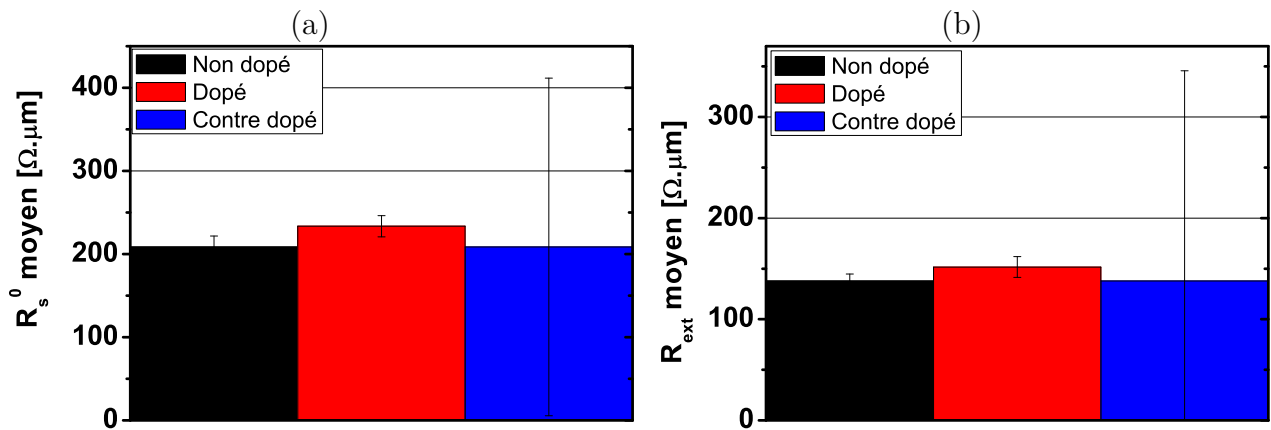


FIGURE III.26 – Comparaison des (a) R_s^0 et R_{ext} moyens obtenus sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite)

d'extension, sous la grille est le principal facteur faisant varier R_{sd} avec la polarisation.

Analyse des paramètres électriques

Les figures III.27 à III.30 exposent les résultats des principaux paramètres électriques obtenus sur les courbes mesurées et corrigées.

Pour commencer, les barres d'erreur des courbes corrigées de la plaque contre dopée sont parfaitement acceptables malgré une correction effectuée avec des résistances aux valeurs aberrantes. Apparemment, il s'avère que les valeurs des paramètres du modèle de $R_{sd}(V_{gs})$ peuvent être très éloignées d'une situation cohérente (résistance négative par exemple) tant que l'enveloppe des courbes de résistance utilisées pour la correction est correcte. Autrement

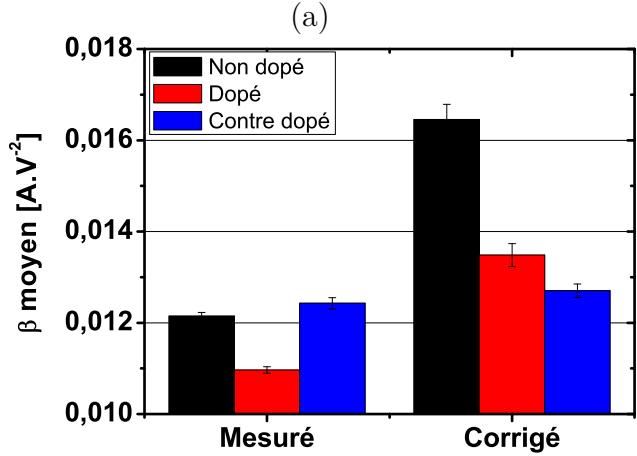


FIGURE III.27 – Comparaison du gain β moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées

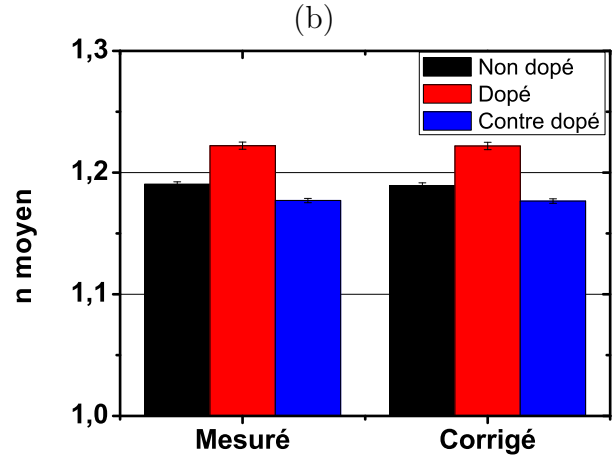


FIGURE III.28 – Comparaison du facteur d'idéalité n moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées

dit, les paramètres α , R_s^0 et R_{ext} peuvent avoir des valeurs incohérentes qui se compensent dans l'équation (III.37) et permettent d'aboutir à une fonction numérique qui reproduit efficacement les variations de R_{sd} avec V_{gs} (comme sur la figure III.16 par exemple). Or les courbes de courant sont corrigées en se servant de la définition numérique de $R_{sd}(V_{gs})$ et non de ses paramètres donc tant que cette fonction reste "raisonnable", le courant corrigé sera insensible aux valeurs aberrantes que pourront prendre les inconnues du modèle. Ceci signifie donc que la méthode de correction est robuste pour les courbes de courant indépendamment des valeurs de α , R_s^0 et R_{ext} . Toutefois, une valeur cohérente de ces derniers permettrait d'analyser l'impact de différentes variantes de procédé de fabrication sur la résistance d'accès et donc sur la qualité des jonctions entre les source/drain et le canal.

Ensuite, le gain β sur les courbes mesurées montre une dégradation sur la plaque dopée ce qui était prévisible. Au contraire, ce dernier présente une amélioration sur la plaque contre dopée ce qui va à l'encontre des prévisions.

Ce résultat est discutable lorsqu'il est comparé avec celui obtenu sur les courbes corrigées. En effet, pour ces dernières, on observe bien une perte non négligeable de gain pour les plaques avec implantation de dopants dans le canal par rapport au procédé standard. Ceci prouve l'importance de considérer les résistances d'accès dans la caractérisation électrique pour éviter toute erreur d'interprétation des résultats. Autrement, le processus avec contre-dopage pourrait être considéré sans impact sur les performances du MOSFET alors qu'il y a une différence de $\sim 30\%$ entre le gain du procédé standard et celui du contre-dopage.

Comme attendu, la figure III.28 montre que R_{sd} n'a aucun impact sur la pente sous le seuil. En revanche, on observe respectivement une dégradation et une amélioration de cette dernière pour les plaques dopée et contre dopée comme expliqué dans le protocole expérimental.

De même que pour le facteur d'idéalité, les figures III.29 et III.30 montrent que les fac-

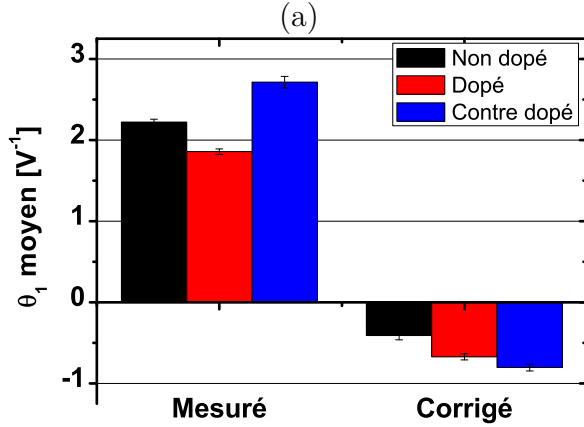


FIGURE III.29 – Comparaison du facteur de réduction de mobilité θ_1 moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées

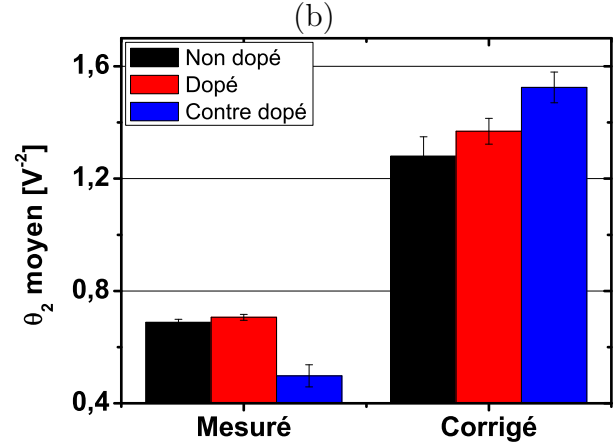


FIGURE III.30 – Comparaison du facteur de réduction de mobilité θ_2 moyen obtenu sur une plaque non dopée (gauche), dopée (centre) et contre dopée (droite) sur les courbes mesurées et corrigées

teurs de réduction de mobilité θ_1 et θ_2 suivent la même évolution que sur les figures III.22 et III.23. La correction de R_{sd} diminue l'impact de θ_1 et augmente celui de θ_2 . Cependant les valeurs de θ_1 après correction sont négatives ce qui est inattendu mais lié à l'automatisation de l'extraction par la méthode Levenberg-Marquardt. Tout comme pour les paramètres de $R_{sd}(V_{gs})$, ce problème peut être résolu par une recherche minutieuse du jeu de paramètres initiaux optimaux ou par correction manuelle, cette dernière étant laborieuse mais plus efficace que la première.

Toutefois, les valeurs absolues des de θ_1 et θ_2 pour les plaques dopée et contre dopée sont supérieures à celles de la plaque standard. Ces paramètres étant représentatifs de la réduction de la mobilité, ces résultats sont donc en accord avec l'effet du dopage sur cette dernière.

Synthèse

Cette étude a permis de mettre en évidence plusieurs phénomènes. Tout d'abord, l'analyse des paramètres résistifs montre que, malgré un choix pertinent de valeurs initiales pour la méthode Levenberg-Marquardt, cette dernière peut renvoyer des valeurs incohérentes. Ce défaut empêche donc la méthode d'être automatisée à grande échelle pour différents procédés de fabrication sans optimisation préalable.

Toutefois, la dispersion des valeurs de résistance induite par ce défaut semble ne pas se répercuter sur les paramètres extraits des courbes corrigées. L'explication réside dans l'avant-propos de cette section. Les méthodes de type moindre-carrés convergent vers des minima locaux donc même si les valeurs permettant la résolution d'un système sont exagérément grandes et incohérentes (comme R_s^0 valant $-10 \text{ G}\Omega$ par exemple), le système obtenu peut tout de même résulter en des courbes dont l'apparence est cohérente avec le modèle. Et comme les paramètres résistifs ne sont pas directement employés dans l'expression corrigée des résistance

d'accès de la fonction New Y, il n'est pas surprenant de constater que leur dispersion est sans effet sur les paramètres électriques.

Ceci signifie finalement que l'automatisation de la méthode de correction des résistances d'accès sur le courant est possible mais ne permet pas nécessairement de tirer des conclusions sur la résistance d'accès à partir des valeurs de (α, R_s^0, R_{ext}) . Pour remédier à ce problème il serait nécessaire d'optimiser la méthode de sélection des valeurs initiales données à Levenberg-Marquardt pour résoudre le système d'équations.

III.3 Conclusion

L'industrie de la microélectronique se dirige de plus en plus vers des applications basse consommation. Les méthodes de caractérisation actuelles étant basées sur le régime d'inversion forte, elles ne sont pas adaptées pour décrire le fonctionnement à basse tension.

Dans l'optique de résoudre ce problème, la section III.1 présente une nouvelle méthode permettant de modéliser aussi bien la capacité que le courant et qui permet d'extraire les paramètres clés de la technologie MOSFET sur l'ensemble de son régime de fonctionnement. Cette fonction dispose de nombreux avantages par rapport à son prédécesseur, la fonction Y. Premièrement elle n'est pas basée sur la détermination d'une plage d'extraction et fonctionne sur l'ensemble de la courbe courant-tension. Elle ne nécessite pas non plus d'extraction de la tension de seuil, cette dernière étant connue pour être une source d'erreur se répercutant sur les extractions successives pour extraire les autres paramètres. Enfin, étant basée sur l'ensemble du régime de fonctionnement, il n'est pas obligatoire de mesurer le courant jusqu'en forte inversion car elle donne des résultats stables jusqu'à des valeurs de tension de grille maximales relativement proche du seuil d'inversion. Ce dernier point permet donc de caractériser à basse tension et de réduire les temps de mesure. Toutefois, la fonction New Y souffre du même défaut que la fonction Y, car basée sur l'hypothèse que la résistance d'accès ne varie pas ou peu avec V_{gs} . Or cette variation est responsable de la perte de linéarité de la fonction Y et des résultats incohérents que cette dernière renvoie. Ainsi, dans le cas de la fonction New Y, la présence d'une R_{sd} variable avec la polarisation de grille rend la méthode inutilisable en lui faisant perdre la majorité des avantages la différenciant de son prédécesseur.

La solution pour remédier à ce problème est de travailler sur des courbes de courant corrigées de l'impact des résistances d'accès. Pour ce faire, la section III.2 a commencé par proposer une modification du modèle de résistance présenté dans le chapitre II afin de le rendre dépendant du courant et non de la capacité, tout en ayant les mêmes avantages que la fonction New Y. Ce dernier point étant important afin de combiner le nouveau modèle avec cette dernière sans lui faire perdre ses avantages. La comparaison avec différentes méthodes et modèles a permis de déterminer que la précision accordée à l'extraction des résistances séries a un impact significatif sur les valeurs finales des paramètres électriques. De plus ces dernières sont responsables d'une perte de courant importante (facteur 5 entre courant corrigé et mesuré). Enfin, la dernière partie de cette section a exploré les limites de cette combinaison méthode de résistance / méthode d'extraction en montrant qu'avant automatisation de l'extraction, un soin particulier doit être apporté à la détermination des valeurs initiales de

la méthode Levenberg-Marquardt pour que les paramètres résistifs aient du sens.

Cette nouvelle méthodologie d'extraction ouvre donc la voie vers une plus grande compréhension de l'impact des résistances d'accès sur le fonctionnement du MOSFET et en particulier de son appariement. En effet, la figure III.14 montre une forte dispersion de comportement de $R_{sd}(V_{gs})$ qui pourrait se répercuter sur les interprétations habituellement faites des résultats de mesures de désappariement (*mismatch*). Le chapitre IV se concentrera donc sur l'étude de cette problématique ainsi que sur l'adaptation de la méthode différentielle et de la fonction New Y à ce type de mesure.

L'essentiel - La section III.1 a présenté la fonction New Y, une nouvelle façon de caractériser les MOSFETs sur l'ensemble du régime de fonctionnement avec une stabilité supérieure à son prédécesseur, la fonction Y. Cette dernière est malheureusement impactée par les variations de résistance d'accès avec la polarisation et change son expression en une forme qui lui fait perdre ses avantages. Pour remédier au problème, la section III.2 propose une modification du modèle de résistance du chapitre II ainsi qu'une combinaison de la méthode différentielle et de la fonction New Y pour une caractérisation complètement corrigée de R_{sd} . Cette dernière montre que les résistances d'accès sont responsables de pertes de courant non négligeables sur les dimensions les plus agressives (facteur 5 entre courant corrigé et mesuré). Enfin, cette nouvelle méthode de correction ouvre la voie à une compréhension du plus profonde de l'impact de R_{sd} sur le fonctionnement des transistors et notamment sur leur désappariement.

Chapitre IV

Application des méthodes sur un problème concret : la variabilité

Sommaire

IV.1 État de l'art des mesures de variabilité	117
IV.1.1 Les bases de la variabilité	117
IV.1.2 Les composantes du désappariement	118
IV.1.3 Un modèle simple de variabilité : le modèle de Croon	119
IV.1.4 Évolution des méthodes pour les faibles dimensions	120
IV.2 Étude de l'efficacité de la fonction New Y par rapport aux méthodes existantes	122
IV.3 Comparaison de différentes méthodes pour modéliser la variabilité	124
IV.3.1 Protocole expérimental	124
IV.3.2 La méthode industrielle	125
IV.3.3 Méthode par extraction sur la fonction New Y	126
IV.3.4 Synthèse	128
IV.4 Une nouvelle approche de la variabilité : un modèle basé sur la fonction New Y	128
IV.4.1 Introduction du modèle	128
IV.4.2 Modification du protocole expérimental	129
IV.4.3 Résultats	130
IV.5 Perspective	133
IV.6 Conclusion	134

Introduction - Les chapitres II et III ont proposé des nouvelles méthodes permettant l'extraction des résistances d'accès et la caractérisation des transistors. Ce chapitre propose donc de conclure ce manuscrit en étendant l'application de ces méthodes à l'étude du désappariement des performances de transistors voisins. Pour y parvenir, le chapitre sera découpé comme suit :

- La première section présentera l'état de l'art et les bases de la caractérisation du désappariement des transistors CMOS
- La seconde section s'intéressera à la possibilité et à la pertinence de l'utilisation de la fonction New Y dans le cadre d'une étude de désappariement
- La troisième section comparera les différentes méthodes disponibles sur des courbes de courant mesurées sur des transistors de largeurs différentes
- La quatrième section proposera un nouveau modèle plus adapté à la fonction New Y pour compléter les méthodes issues de la littérature

IV.1 État de l'art des mesures de variabilité

Si l'étude des performances de transistor individuel est un facteur clé dans l'amélioration constante de la technologie CMOS, elle n'est en revanche pas suffisante à elle seule pour permettre la conception de circuit à la complexité grandissante. En effet, une grande partie des composants constituant les circuits intégrés ont certes besoin de bonnes performances mais aussi que celles-ci soient identiques d'un transistor à l'autre pour assurer un fonctionnement optimal. Cette caractéristique est nommée appariement des transistors (ou *matching* en anglais) et sa caractérisation est la source de nombreuses études dans la littérature.

Comme avec les autres domaines de la caractérisation électrique, la résistance d'accès est un problème qui n'a reçu que peu de considération dans le rôle qu'elle pouvait jouer sur le désappariement (ou *mismatch* en anglais). Ce chapitre propose donc, à l'aide des connaissances acquises dans les chapitres précédents, de contribuer au débat sur ce sujet en apportant une analyse des méthodes existantes et en les complétant avec la fonction New Y. Mais, pour bien comprendre les problèmes et les enjeux de ce chapitre, il convient de définir le cadre expérimental des mesures de désappariement en donnant un bref historique de ce type de caractérisation.

IV.1.1 Les bases de la variabilité

La variabilité électrique entre deux transistors de dimensions identiques issues d'usines, de lots, de plaques ou de puces différentes est appelée variabilité globale et est caractérisée selon la figure IV.1. Ces différences de comportement d'un transistor à l'autre sont souvent liées à l'utilisation d'outils ou de conditions de fabrication différents d'un lot à l'autre ou d'une usine à l'autre (température d'oxydation ou de recuit, dose et énergie d'implantation par exemple).

En revanche, la variabilité locale entre deux composants, appelée désappariement, se mesure sur les transistors d'une plaque respectant certaines contraintes.

- être placés en pair
- avoir les mêmes dimensions
- être séparés par la distance minimale autorisée par les règles de dessin
- être entourés par un environnement identique
- être électriquement indépendants et avoir des connections symétriques

Cette variabilité locale peut ensuite être séparée en 2 composantes : la partie systématique et la partie stochastique. Pour déterminer la contribution de ces deux composantes sur chaque paramètre P mesuré sur les MOSFETs (I_{ds} , β , V_{th} ...), on calcule les valeurs de ΔP ou de $\Delta P/P$ définies selon :

$$\Delta P = P_2 - P_1 \quad (\text{IV.1})$$

$$\frac{\Delta P}{P} = \frac{2 \cdot (P_2 - P_1)}{P_1 + P_2} \quad (\text{IV.2})$$

Dans lesquelles les indices 1 et 2 correspondent aux transistors T_1 et T_2 de la paire étudiée. Cette méthode est ensuite répétée sur un grand nombre de paires de transistors,

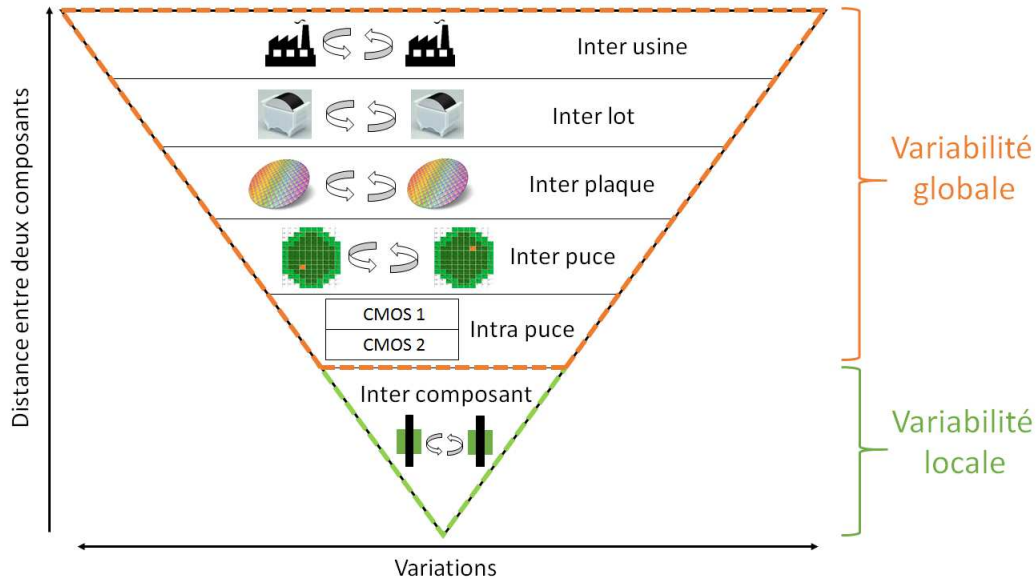


FIGURE IV.1 – Évolution de la variation de comportement entre deux composants en fonction de la distance les séparant [6], [7]

typiquement 70 et plus, afin d'assurer une population statistique suffisamment significative pour limiter l'erreur commise sur les mesures.

Une fois toutes ces valeurs obtenues, il faut normalement s'assurer qu'elles suivent une loi normale (distribution gaussienne) pour que la théorie développée dans ce chapitre soit valide. Toutefois, d'autres travaux sur l'appariement menés sur la même technologie (28 nm FD-SOI d'STMicroelectronics) [22] ont déjà montré, par test du χ^2 , que ces mesures suivent bien une loi normale.

IV.1.2 Les composantes du désappariement

Une fois les valeurs de ΔP (ou $\Delta P/P$) obtenues pour chaque paramètre, les données erronées (à cause des méthodes d'extraction, de résistance de pointe trop élevée, de défaut dans la fabrication du transistor etc.) sont éliminées à l'aide d'un filtre 3σ [59] (voir section III.2.5). Les mesures restantes permettent ensuite d'estimer une valeur finale de $\overline{\Delta P}$ et de $\sigma_{\Delta P}$, auxquelles sont associées le désappariement systématique au premier et stochastique au second.

Le désappariement systématique

Comme spécifié dans [60] et [61], le premier est essentiellement lié à de mauvaises pratiques de dessin des structures. Une solution pour résoudre son impact est d'entourer la paire étudiée par des "dummies", des transistors non connectés aux lignes métalliques. Ces derniers ont pour but d'assurer que l'environnement est identique autour des transistors de la structure de matching.

En général, quand les structures de test ont été dessinées en respectant les pratiques limitant le désappariement, la partie systématique $\overline{\Delta P}$ est considérée négligeable devant la partie stochastique [62].

Le désappariement stochastique

Le désappariement stochastique est, quant à lui, lié à la nature discrète des composants et aléatoire de certaines étapes du procédé de fabrication, comme l'implantation ou la diffusion des dopants par exemple. La première étude faisant état de ce phénomène date de 1972 dans laquelle Hoeneisen et Mead [63] constatent que des variations aléatoires de dopant dans le substrat du transistor empêchent de prédire la valeur de V_{th} ce qui limite les performances du MOSFET. En 1975, Keyes [64] se concentre sur la même problématique et propose un modèle pour décrire ces variations d'amplitude de V_{th} sans considérer le régime de fonctionnement du transistor. Shyu *et al.* proposeront un modèle complet pour caractériser le désappariement en 1984 [65] en considérant que les variations de dimensions de la zone active sont également une source de fluctuation pour la tension de seuil. Ce modèle permettra à Lakshmikumar 2 ans plus tard de confirmer expérimentalement le lien entre les dimensions du transistor et le désappariement [66].

Finalement, c'est en 1989 que Pelgrom *et al.* [67] proposent une relation liant les fluctuations locales d'un paramètre électrique P et la surface S du canal conducteur à l'aide d'un coefficient constant A . Cette expression est connue sous le nom de loi de Pelgrom et s'exprime de la façon suivante :

$$\sigma_{\Delta P} = \frac{A}{\sqrt{S}} \quad (\text{IV.3})$$

Cependant, comme expliqué dans le chapitre I, la miniaturisation des composants a été accompagnée par de nouveaux phénomènes, comme le SCE, compensés par de nouvelles étapes dans le procédé de fabrication, comme l'implantation de poche de surdopage. Ces nouveaux éléments sont autant de facteurs qui viennent influencer V_{th} et ses variations et les éloignent de la loi de Pelgrom, notamment le coefficient A qui n'est plus constant en fonction de la surface étudiée [68], [69], [70]. Les constantes d'appariement individuelles $iA_{\Delta P}$ ont alors été introduites afin de permettre une évaluation du désappariement quelles que soient les dimensions du canal :

$$iA_{\Delta P} = \sigma_{\Delta P} \cdot \sqrt{S} \quad (\text{IV.4})$$

Ce paramètre est le principal outil de caractérisation du mismatch et fera l'objet d'une étude plus détaillée dans la section IV.2.

IV.1.3 Un modèle simple de variabilité : le modèle de Croon

En 2002, Croon *et al.* proposent un modèle simple de mismatch [71]. Ces derniers partent du principe que le courant de drain est la somme de l'influence de plusieurs paramètres et que ses variations peuvent donc être calculées à partir d'une approximation de Taylor d'ordre 1 :

$$\frac{\Delta I_{ds}}{I_{ds}} = \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial P_1} \Delta P_1 + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial P_2} \Delta P_2 + \dots \quad (\text{IV.5})$$

A partir de cette hypothèse, deux paramètres responsables de la majorité des effets de désappariement observés peuvent être identifiés : la tension de seuil V_{th} et le gain en courant β . L'expression (IV.5) devient alors :

$$\frac{\Delta I_{ds}}{I_{ds}} = \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial V_{th}} \cdot \Delta V_{th} + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial \beta} \cdot \Delta \beta \quad (\text{IV.6})$$

En considérant que θ_2 est nul dans l'équation (I.23), les dérivées partielles de l'équation (IV.6) sont alors :

$$\frac{\partial I_{ds}}{\partial V_{th}} = -g_m \quad (\text{IV.7})$$

$$\frac{\partial I_{ds}}{\partial \beta} = \frac{V_{ds} \cdot V_{gt}}{1 + \theta_1 \cdot V_{gt}} = \frac{I_{ds}}{\beta} \quad (\text{IV.8})$$

En injectant ces résultats dans l'équation (IV.6) on obtient :

$$\frac{\Delta I_{ds}}{I_{ds}} = \frac{g_m}{I_{ds}} \Delta V_{th} + \frac{\Delta \beta}{\beta} \quad (\text{IV.9})$$

Si $\Delta I_{ds}/I_{ds}$ suit une distribution normale et que les paramètres sont indépendants, alors l'équation (IV.9) permet de calculer la variabilité du désappariement du courant de drain comme suit :

$$\sigma_{\frac{\Delta I_{ds}}{I_{ds}}}^2 = \left(\frac{g_m}{I_{ds}} \right)^2 \cdot \sigma_{\Delta V_{th}}^2 + \sigma_{\frac{\Delta \beta}{\beta}}^2 \quad (\text{IV.10})$$

Cette dernière expression est connue sous le nom de modèle de Croon et est actuellement l'un des modèles les plus employés dans la caractérisation du désappariement des transistors.

IV.1.4 Évolution des méthodes pour les faibles dimensions

Comme les autres méthodes de caractérisation électrique, l'étude du désappariement n'échappe pas aux problèmes introduits par la miniaturisation comme les SCE et DIBL ou encore la R_{sd} . Cette section propose donc des modifications dans les calculs des paramètres clés du mismatch et du modèle de Croon pour prendre en compte ces nouveaux éléments.

Calcul de $\Delta P/P$

Comme souligné dans [23], l'évaluation de $\Delta P/P$ peut s'avérer problématique notamment pour le courant de drain à faible V_{gs} . En effet, les faibles valeurs de I_{ds} sous le seuil peuvent amener l'équation (IV.2) à diverger. Il en va de même pour les paramètres β et V_{th} lorsque ces derniers obtenus sur les transistors T_1 et T_2 sont très proches. Afin de pallier ce problème, la solution adoptée par Lavieville *et al.* [72] a été retenue. Elle modifie la définition de $\Delta P/P$ comme suit :

$$\frac{\Delta P}{P} = \ln \left(\frac{P_2}{P_1} \right) \quad (\text{IV.11})$$

Ajout de la résistance d'accès

La mesure du courant de drain étant au centre des études de désappariement des transistors, ces dernières ne sont donc pas épargnées par les problèmes de résistance d'accès. En suivant la même logique que dans la section précédente, l'effet des résistances parasites peut être ajouté dans le modèle de Croon en modifiant l'équation (IV.6) [22] :

$$\frac{\Delta I_{ds}}{I_{ds}} = \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial V_{th}} \cdot \Delta V_{th} + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial \beta} \cdot \Delta \beta + \frac{1}{I_{ds}} \frac{\partial I_{ds}}{\partial R_{sd}} \cdot \Delta R_{sd} \quad (\text{IV.12})$$

L'introduction de R_{sd} dans le courant ne change pas la dérivée partielle par rapport à V_{th} . En revanche, elle change celle par rapport à β qui devient :

$$\frac{\partial I_{ds}}{\partial \beta} = \frac{I_{ds}}{\beta} \cdot \left(1 - \frac{I_{ds}}{V_{ds}} R_{sd} \right) \quad (\text{IV.13})$$

Ainsi, si R_{sd} est nulle, on retrouve bien l'expression (IV.6) initiale. Il ne reste plus alors qu'à calculer la valeur de la dérivée partielle par rapport à R_{sd} qui s'exprime de la façon suivante :

$$\frac{\partial I_{ds}}{\partial R_{sd}} = \frac{I_{ds}^2}{V_{ds}} \quad (\text{IV.14})$$

Le modèle de Croon devient alors :

$$\sigma_{\frac{\Delta I_{ds}}{I_{ds}}}^2 = \left(\frac{g_m}{I_{ds}} \right)^2 \cdot \sigma_{\Delta V_{th}}^2 + \left(1 - \frac{I_{ds}}{V_{ds}} R_{sd} \right)^2 \sigma_{\frac{\Delta \beta}{\beta}}^2 + \left(\frac{I_{ds}}{V_{ds}} \right)^2 \cdot \sigma_{\Delta R_{sd}}^2 \quad (\text{IV.15})$$

Toutefois, les travaux les plus récents [73] ont montré que ce modèle n'est plus adapté pour les technologies les plus récentes. Cette même source a également proposé un modèle de désappariement valide quel que soit le régime de fonctionnement des transistors étudiés. Ce dernier est décrit par l'équation (IV.16) dans laquelle chaque terme garde la signification donnée dans ce manuscrit et I_{dth} est un courant constant proche du seuil.

$$\begin{aligned} \sigma_{\frac{\Delta I_{ds}}{I_{ds}}}^2 &= \left(\frac{g_m}{I_{ds}} \right)^2 \cdot \sigma_{\Delta V_{th}}^2 + \left[1 - \left(\frac{g_m}{2} + \frac{I_{ds}}{V_{ds}} \right) \cdot R_{sd} \right]^2 \sigma_{\frac{\Delta \beta}{\beta}}^2 \\ &+ \left(\frac{g_m}{2} + \frac{I_{ds}}{V_{ds}} \right)^2 \cdot \sigma_{\Delta R_{sd}}^2 + \log \left(\frac{I_{ds}}{I_{dth}} \right)^2 \cdot \left(\exp \left(-\frac{I_{dth}}{I_{ds}} \right) - 1 \right)^2 \cdot \sigma_{\frac{\Delta n}{n}}^2 \end{aligned} \quad (\text{IV.16})$$

Cette définition permet de reproduire les variations locales de courant y compris en régime de fonctionnement non-linéaire (i.e. quand V_{ds} est comparable à V_{gs}). Si l'étude se limite au régime linéaire, l'équation (IV.16) se simplifie et devient alors :

$$\begin{aligned} \sigma_{\frac{\Delta I_{ds}}{I_{ds}}}^2 &= \left(\frac{g_m}{I_{ds}}\right)^2 \cdot \sigma_{\Delta V_{th}}^2 + \left[1 - \frac{I_{ds}}{V_{ds}} \cdot R_{sd}\right]^2 \sigma_{\frac{\Delta \beta}{\beta}}^2 \\ &+ \left(\frac{I_{ds}}{V_{ds}}\right)^2 \cdot \sigma_{\Delta R_{sd}}^2 + \log\left(\frac{I_{ds}}{I_{dth}}\right)^2 \cdot \left(\exp\left(-\frac{I_{dth}}{I_{ds}}\right) - 1\right)^2 \cdot \sigma_{\frac{\Delta n}{n}}^2 \end{aligned} \quad (IV.17)$$

Ce modèle de désappariement sera par la suite désigné sous le nom de modèle de Karatsori.

IV.2 Étude de l'efficacité de la fonction New Y par rapport aux méthodes existantes

Comme expliqué dans la section précédente, le paramètre $iA\Delta P$ est la principale figure de mérite d'évaluation du désappariement.

Cette section se concentrera principalement sur 2 paramètres P , β et V_{th} , car ce sont les principaux contributeurs du mismatch dans le modèle de Croon.

Le but de cette section est de comparer différentes méthodes d'extraction de ces paramètres afin de déterminer laquelle surestime le moins les valeurs $\sigma_{\Delta P/P}$. A cette fin, 4 méthodes ont été comparées.

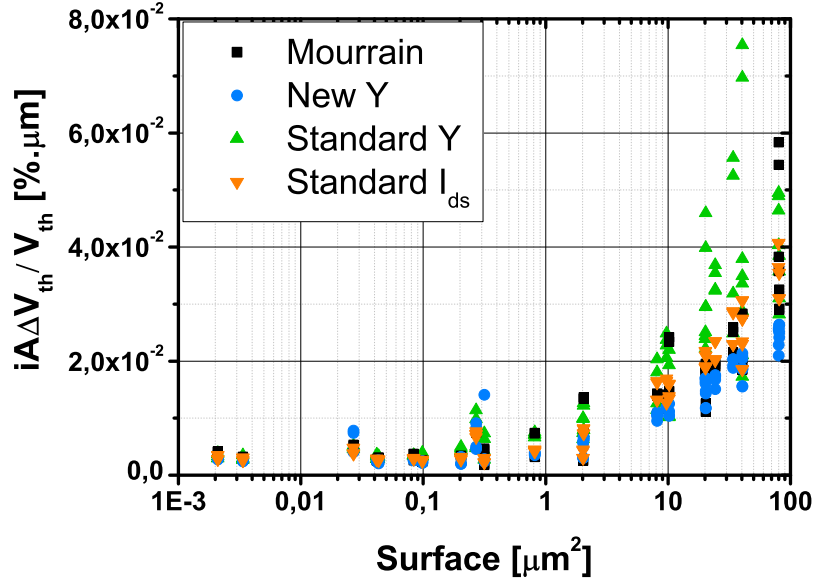


FIGURE IV.2 – Évolution du paramètre $iA_{\Delta V_{th}/V_{th}}$ en fonction de la surface S pour différentes méthodes d'extraction sur des transistors de la technologie 28 nm FD-SOI d'STMicroelectronics

La première est la méthode dite "standard" car il s'agit de la plus utilisée pour ce type de caractérisation. Elle consiste simplement en l'extraction de β et V_{th} par maximum de g_m extrapolé (voir section I.3.2) sur I_{ds} (méthode standard I_{ds}) ou sur la fonction Y (méthode standard Y) avec tous les biais que cela implique.

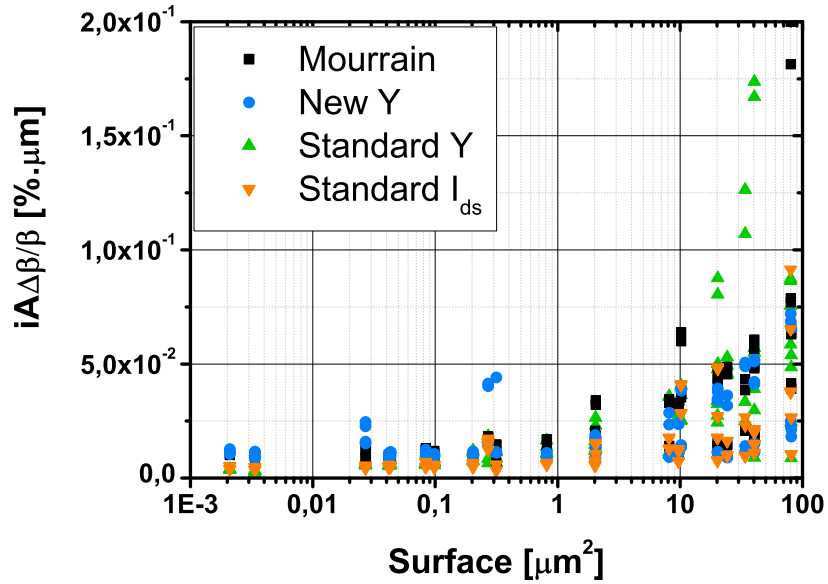


FIGURE IV.3 – Évolution du paramètre $iA_{\Delta\beta/\beta}$ en fonction de la surface S pour différentes méthodes d'extraction sur des transistors de la technologie 28 nm FD-SOI d'STMicreoelectronics

La seconde est l'extraction par la méthode Mourrain déjà vue à plusieurs reprises au cours de ce manuscrit. La dernière est l'extraction avec la fonction New Y introduite dans le chapitre précédent. Les questions de résistance d'accès ne seront pour l'instant pas abordées.

Les mesures de courant de drain ont été effectuées sur les mêmes transistors que ceux de la section III.2.5 : 64 paires de dispositifs pour un total de 128 CMOS par couple (W , L) afin d'assurer une population statistique satisfaisante.

A première vue, la figure IV.2 montre que la fonction New Y est celle renvoyant les plus faibles valeurs de dispersion de V_{th} ; autrement dit qui les surestime le moins, ce qui en fait un candidat valide pour les études de mismatch. Ce résultat vient de la définition de la tension de seuil pour la fonction New Y (voir équation (III.21)) basée sur l'extraction de β , elle-même n'étant pas limitée à une plage d'extraction donnée contrairement à la méthode standard.

Cependant, la figure IV.3 montre que la méthode standard sur I_{ds} présente les résultats les plus faibles, donc surestimant le moins la dispersion de β . Toutefois, cette méthode souffre de 2 défauts majeurs. Le premier est qu'elle est définie sur une plage de tension restreinte ce qui limite les conclusions de l'étude à l'intervalle de V_{gs} étudié. Le second est qu'elle ne peut pas prendre en compte les effets de R_{sd} qui ont tendance à fortement diminuer l'intensité du courant (voir les résultats du chapitre III) et donc à "resserrer" I_{ds} autour d'une valeur moyenne. En d'autre terme, si la méthode standard ne surestime pas les valeurs de dispersion, il n'est pas impossible qu'elle sous-estime ces dernières. Ce point sera abordé plus longuement dans la prochaine section.

De plus les méthodes par extraction de paramètre comme la méthode Mourrain ou la fonction New Y permettent également une évaluation de la dispersion des autres paramètres comme la pente sous le seuil, ce qui n'est pas possible avec le maximum de g_m extrapolé. La figure IV.4 montre ainsi l'évolution de désappariement du paramètre n obtenu grâce à la

méthode New Y.

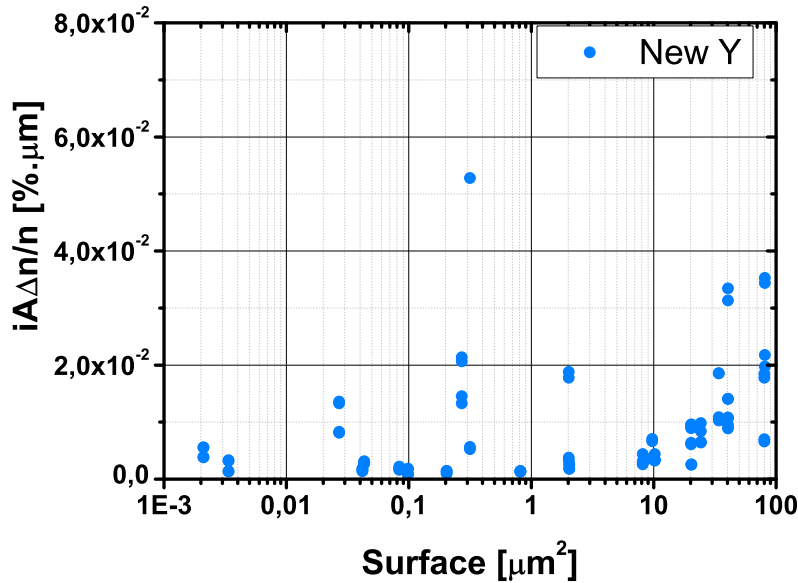


FIGURE IV.4 – Évolution du paramètre $iA_{\Delta n/n}$ en fonction de la surface S pour différentes méthodes d'extraction sur des transistors de la technologie 28 nm FD-SOI d'STMicroelectronics

Les méthodes Mourrain et par maximum de g_m extrapolé sur la fonction Y (ou standard Y) ont, quant à elles, tendance à surestimer les valeurs de dispersion de V_{th} et β ce qui, dans le cas de la fonction Y, est un résultat récurrent dans l'état de l'art [22]. Elles ne seront donc pas plus développées dans la suite de ce chapitre.

IV.3 Comparaison de différentes méthodes pour modéliser la variabilité

Cette section a pour objectif de comparer la méthode utilisée dans l'industrie avec le modèle le plus récent combiné à la fonction New Y afin de justifier une transition vers ces nouvelles méthodes.

IV.3.1 Protocole expérimental

Dans la suite de ce chapitre, deux jeux de transistors de longueur nominale ($L = 28$ nm) ont été étudiés. La seule différence entre eux réside dans la largeur de 80 nm pour les uns (largeur subnominale) et de 9000 nm pour les autres. Les figures IV.5 (a) et (b) montrent les courbes de courant mesurées sur ces transistors.

Il faut également noter que, malgré toutes les preuves amenées dans ce manuscrit, la résistance d'accès R_{sd} sera considérée constante dans le reste de ce chapitre. Ce choix s'explique simplement par la méthode d'extraction de cette dernière qui nécessite 2 longueurs de grille

différentes ce qui ne respecte pas l'un des critères imposé par les mesures de désappariement (paire de transistors espacés du minimum autorisé par les règles de dessin). Cette incompatibilité des méthodes introduirait donc une contribution du désappariement systématique (dérive globale) dans les mesures ce qui fausserait les conclusions de cette analyse. Il faudra donc garder en mémoire qu'il a été considéré préférable d'induire un biais n'impactant que R_{sd} plutôt que l'intégralité du mismatch.

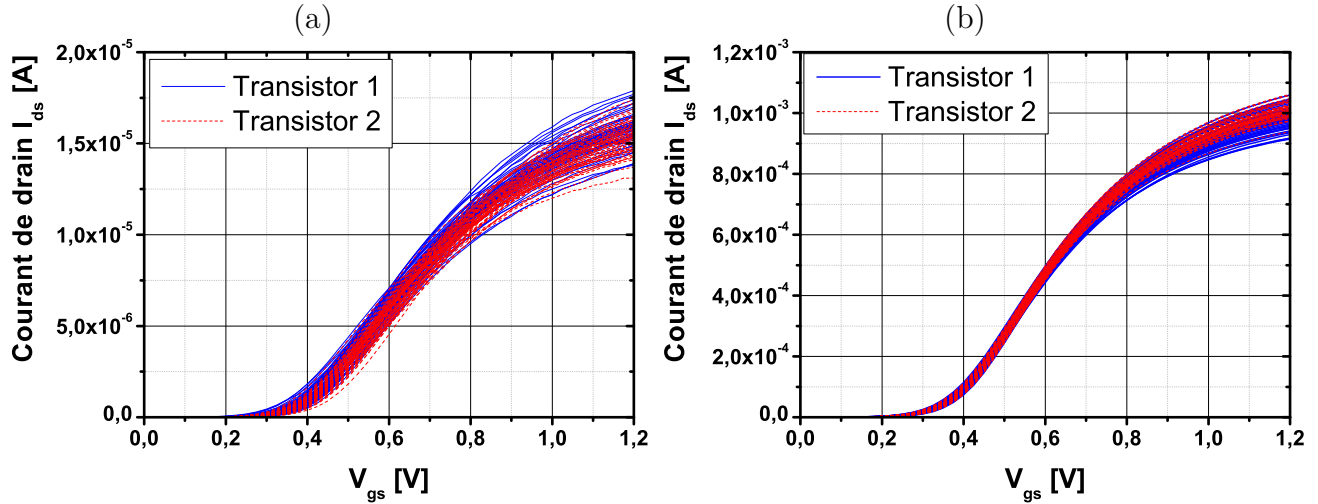


FIGURE IV.5 – Courbes de courant mesurées sur les transistors utilisés dans ce chapitre de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

IV.3.2 La méthode industrielle

Très utilisée dans le milieu industrielle pour sa simplicité et sa rapidité, cette méthode est basée sur le modèle de Croon (IV.10) sans R_{sd} et sur une extraction des paramètres β et V_{th} par maximum de g_m extrapolé. Les courbes expérimentales et théoriques ainsi que les contributions de chaque paramètre des deux jeux de transistors sont exposées sur les figures IV.6 (a) et (b).

Toutefois, cette simplicité se paye par un manque de précision physique qui se traduit par une divergence entre le modèle et la mesure aussi bien en faible inversion (figure IV.6 (a) et (b)) qu'en forte inversion (figure IV.6 (b)). Deux facteurs sont responsables de cet écart. Le premier vient de la méthode d'extraction utilisé pour extraire V_{th} et β et donc obtenir les valeurs numériques de $\sigma_{\Delta V_{th}}$ et $\sigma_{\Delta \beta/\beta}$. En effet, comme expliqué dans ce manuscrit, la méthode par maximum extrapolé de g_m revient à ignorer les différents effets parasites qui peuvent impacter la mobilité (longueur effective, résistances d'accès) et donc le gain β et la tension de seuil. Ces effets n'étant pas pris en compte pour l'extraction des paramètres il est donc normal de ne pas les retrouver non plus dans le modèle, d'où l'absence de contribution de R_{sd} et de n expliquant respectivement la différence observée en forte inversion et celle sous le seuil.

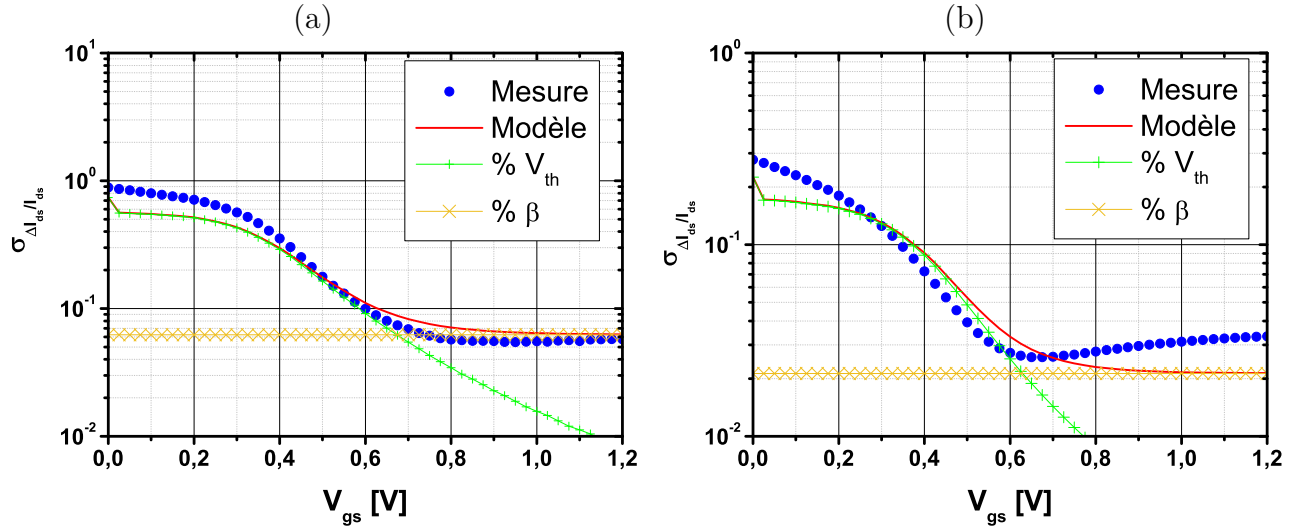


FIGURE IV.6 – Courbes expérimentales (symboles ●) et théoriques (ligne continue) ainsi que les contributions de $\sigma_{\Delta V_{th}}$ (symboles +) et $\sigma_{\Delta\beta/\beta}$ (symboles x) dans le modèle de Croon pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

IV.3.3 Méthode par extraction sur la fonction New Y

Dans un premier temps, il convient de rappeler que le modèle de Karatsori en régime linéaire (IV.17) prend en compte la contribution de R_{sd} . Or comme il a été précisé dans le protocole expérimental, il est impossible d’extraire cette dernière à l’aide de la méthode différentielle sous peine d’introduire du désappariement systématique dans notre étude du désappariement stochastique. Pour résoudre ce problème, et tout de même trouver la valeur de $\sigma_{\Delta R_{sd}}$, la méthode se décompose en 2 parties.

Tout d’abord les paramètres électriques n , β , et V_{th} sont extraits à l’aide de la fonction New Y puis les variances correspondantes sont injectées dans l’équation (IV.17) sans la contribution de R_{sd} . Cette courbe modélisée est ensuite comparée à $\sigma_{\Delta Y/Y}$ car dans cette étude R_{sd} est considérée constante et donc la fonction Y [29] est censée être immunisée à ses effets. Les figures IV.7 (a) et (b) montrent que les paramètres ainsi extraits permettent de reproduire de manière satisfaisante la variabilité expérimentale de Y aussi bien pour une largeur subnominale que pour une grande largeur.

Une fois cette première étape accomplie, la contribution de $\sigma_{\Delta R_{sd}}$ est ré-injectée dans le modèle puis ajustée individuellement pour chaque paire de transistors afin d’approcher le modèle au plus proche de la mesure. Les figures IV.8 (a) et (b) montrent les résultats ainsi obtenus. L’automatisation de la méthode n’a pour le moment pas été développée. La raison est qu’il faudrait au préalable déterminer ou fixer des critères permettant de valider les valeurs de variabilité des paramètres électrique sur $\sigma_{\Delta Y/Y}$. Puis l’ajustement de $\sigma_{\Delta R_{sd}}$ pourrait être automatisé en utilisant une méthode type Levenberg-Marquardt vue à de nombreuses reprises au cours de ce manuscrit.

On constate donc que cette méthode, contrairement à celle en vigueur dans le milieu industriel, permet de reproduire plus fidèlement les variations expérimentales de $\sigma_{\Delta I_{ds}}/I_{ds}$ en prenant en compte les contributions de n et R_{sd} dans le modèle. En effet, prendre en compte l’effet de ces paramètres permet de montrer que la variabilité sous le seuil est majoritairement

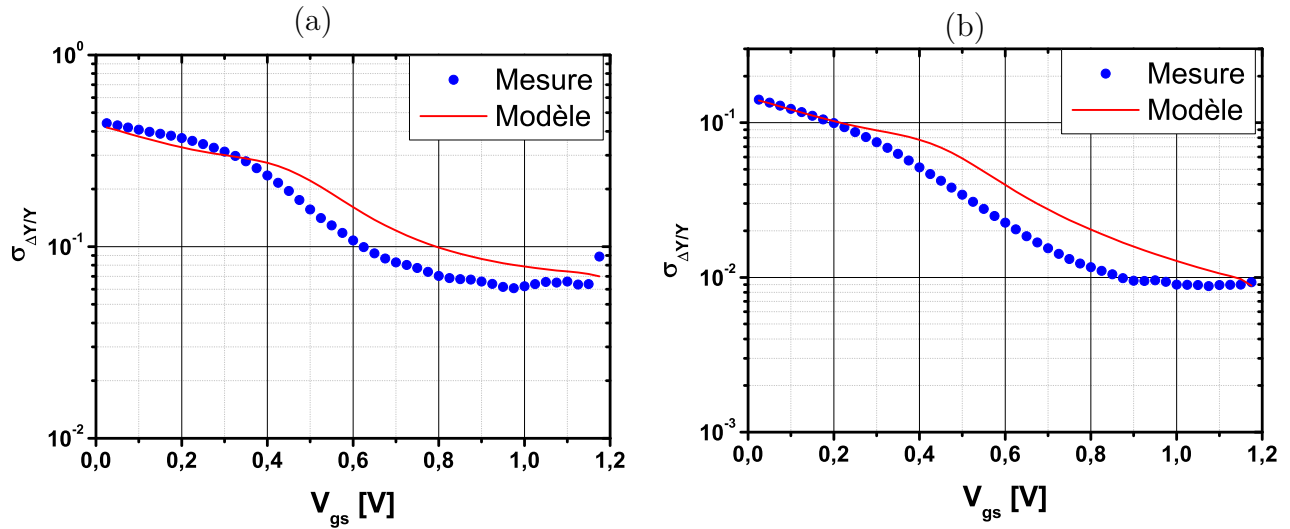


FIGURE IV.7 – Courbes expérimentales (symboles ●) et théoriques (ligne continue) issues du modèle de Karatsori appliqué à la fonction Y pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

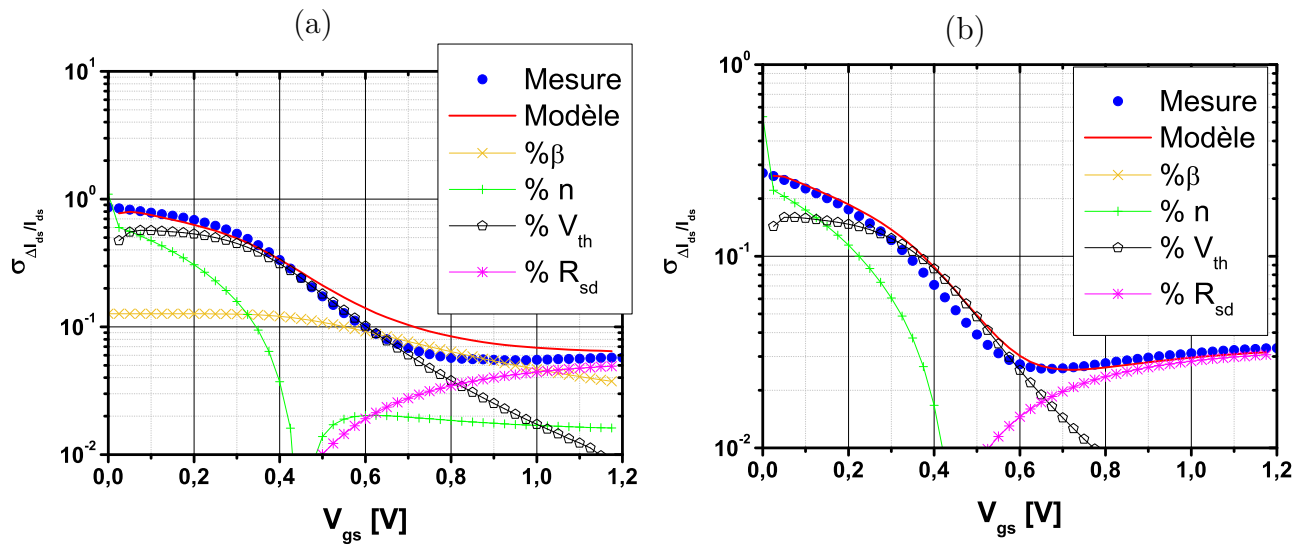


FIGURE IV.8 – Courbes expérimentales (symboles ●) et théoriques (ligne continue) issues du modèle de Karatsori pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

liée à n et à V_{th} alors que la variabilité en forte inversion est causée par β et R_{sd} . De plus, dans le cas du transistor le plus large, la contribution de β s'efface complètement devant celle de la résistance d'accès.

Toutefois, cette précision supplémentaire implique un traitement de donnée plus complexe (validation des valeurs par l'utilisateur, ajustement individuel des courbes) qui empêche d'automatiser la méthode à plus grande échelle contrairement au maximum de g_m extrapolé combiné au modèle de Croon.

IV.3.4 Synthèse

Cette section a présenté deux méthodes préexistantes pour traiter les études de désappariement du courant. La première, celle en vigueur dans le monde industriel, permet une extraction rapide mais biaisée du désappariement via les contributions des paramètres β et V_{th} uniquement. La seconde, plus précise, détermine la variance des paramètres β , n et V_{th} à l'aide de la fonction New Y puis d'un ajustement manuel du modèle sur la mesure pour extraire la variance de R_{sd} .

De plus, cette même section montre que la fonction New Y peut substituer l'extraction par maximum de g_m extrapolé et confirme la nécessité de prendre en compte l'ensemble des paramètres lors d'une étude de désappariement. En effet, la simplification trop réductrice de considérer les résistances d'accès et la pente sous le seuil négligeables mène à des erreurs d'évaluation non négligeables des différentes contributions. En atteste la figure IV.8 (b) où $\sigma_{\Delta\beta/\beta}$ disparaît devant $\sigma_{\Delta R_{sd}}$. Ces résultats, surprenants de prime abord, seront expliqués et confirmés dans la section IV.4.

IV.4 Une nouvelle approche de la variabilité : un modèle basé sur la fonction New Y

Le but de cette section est d'utiliser un des avantages de la fonction New Y, l'absence de V_{th} dans sa définition, pour construire une nouvelle méthode de caractérisation du désappariement. Tout d'abord, un nouveau modèle basé sur la définition du courant dans le paradigme de la fonction New Y sera proposé. Puis, une modification du protocole expérimental permettant de supprimer les effets de V_{th} sur la variabilité du courant sera présentée. Et enfin, les résultats seront analysés.

IV.4.1 Introduction du modèle

Ce modèle se sert de la définition du courant d'après la fonction New Y vue dans le chapitre III qui est rappelée par l'équation (IV.18). Dans cette section, le facteur de réduction de mobilité θ_2 est négligée afin de simplifier l'étude du désappariement.

$$I_{ds} = \frac{Y}{n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \left(1 + \theta_1 \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \right)} \quad (\text{IV.18})$$

Cette équation ne prend toutefois pas en compte la contribution de R_{sd} . Cependant, il est possible de la faire apparaître en rappelant que $\theta_1 = \theta_{1,0} + \beta \cdot R_{sd}$ (voir chapitre I. Or les résultats concernant θ_1 obtenus dans le chapitre III permettent de justifier que $\theta_{1,0} \ll \beta \cdot R_{sd}$. Ceci simplifie alors l'équation (IV.18) en :

$$I_{ds} = \frac{Y}{n \frac{kT}{q} + \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \left(1 + \beta \cdot R_{sd} \cdot \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \right)} \quad (\text{IV.19})$$

Comme pour le modèle de Croon, la démonstration commence par une approximation de Taylor d'ordre 1. $\sigma_{\Delta V_{th}}^2$ n'étant pas utilisé dans la définition du courant les paramètres restant qui peuvent avoir une influence sur le désappariement sont alors le facteur d'idéalité n et le gain β résultant en l'équation (IV.20) :

$$\frac{dI_{ds}}{I_{ds}} = \frac{1}{I_{ds}} \cdot \frac{\partial I_{ds}}{\partial \beta} \cdot d\beta + \frac{1}{I_{ds}} \cdot \frac{\partial I_{ds}}{\partial n} \cdot dn + \frac{1}{I_{ds}} \cdot \frac{\partial I_{ds}}{\partial R_{sd}} dR_{sd} \quad (\text{IV.20})$$

Il convient donc de continuer avec le même raisonnement qu'avec le modèle de Croon en calculant les dérivées partielles du courant à partir de l'équation (IV.18). Celle par rapport à β s'exprime alors de la façon suivante :

$$\frac{\partial I_{ds}}{\partial \beta} = \frac{1}{2 \cdot \sqrt{\beta \cdot V_{ds}}} \cdot I_{ds}^2 \frac{\partial \beta}{\beta} \quad (\text{IV.21})$$

Celle par rapport à n est :

$$\frac{\partial I_{ds}}{\partial n} = -\frac{I_{ds}^2}{Y} \cdot n \frac{kT}{q} \cdot \frac{dn}{n} \quad (\text{IV.22})$$

Et enfin, celle par rapport à R_{sd} :

$$\frac{\partial I_{ds}}{\partial R_{sd}} = -\frac{Y}{V_{ds}} \cdot I_{ds}^2 \cdot R_{sd} \cdot \frac{\partial R_{sd}}{R_{sd}} \quad (\text{IV.23})$$

En combinant les équations (IV.20) à (IV.23) et sachant que $\Delta I_{ds}/I_{ds}$ suit une distribution normale, la variabilité du désappariement du courant à Y donné est alors :

$$\sigma_{\frac{\Delta I_{ds}}{I_{ds}}}^2 = \left(\frac{I_{ds}}{Y}\right)^2 \cdot \left[\left(\frac{1}{2} \cdot \frac{Y}{\sqrt{\beta \cdot V_{ds}}} \cdot \sigma_{\frac{\Delta \beta}{\beta}}\right)^2 + \left(n \frac{kT}{q} \cdot \sigma_{\frac{\Delta n}{n}}\right)^2 + \left(\frac{Y^2}{V_{ds}} \cdot R_{sd} \cdot \sigma_{\frac{\Delta R_{sd}}{R_{sd}}}\right)^2 \right] \quad (\text{IV.24})$$

Un avantage de ce modèle par rapport au modèle de Croon est qu'il est entièrement défini avec $\Delta P/P$ ce qui permet de calculer les σ plus facilement à l'aide de l'équation (IV.11).

La principale différence avec le modèle de Croon est que cette nouvelle déclinaison ne fait pas appel à la tension de seuil. Cependant, cet avantage est un problème car l'impact de la dispersion de V_{th} sur celle du courant n'est pas supprimé par la fonction New Y ce qui risque de biaiser le modèle. Donc pour éviter ce problème, la section IV.4.2 propose une modification du protocole expérimental afin de supprimer la contribution de V_{th} aux mesures de mismatch.

IV.4.2 Modification du protocole expérimental

Comme il vient d'être expliqué, la première étape consiste à supprimer la contribution de $\sigma_{\Delta V_{th}}^2$ de $\sigma_{\Delta I_{ds}/I_{ds}}^2$ expérimental. Pour y parvenir, on exprime les courbes de courant mesurées sur les transistors T_1 et T_2 en fonction de la fonction Y . Cette dernière étant obtenue à partir d'une mesure discrète du courant, elle n'aura pas nécessairement les mêmes valeurs pour tous les transistors mesurés. Pour contourner le problème, on extrait toutes les fonctions Y qu'on interpole sur la moyenne de ces dernières afin d'exprimer les courants de tous les transistors

en fonction d'une unique fonction Y . Les figures IV.9 (a) et (b) montrent les courbes de courant résultantes de ce traitement pour les transistors précédemment étudiés ($L = 28$ nm et $W = 80$ ou 9000 nm)

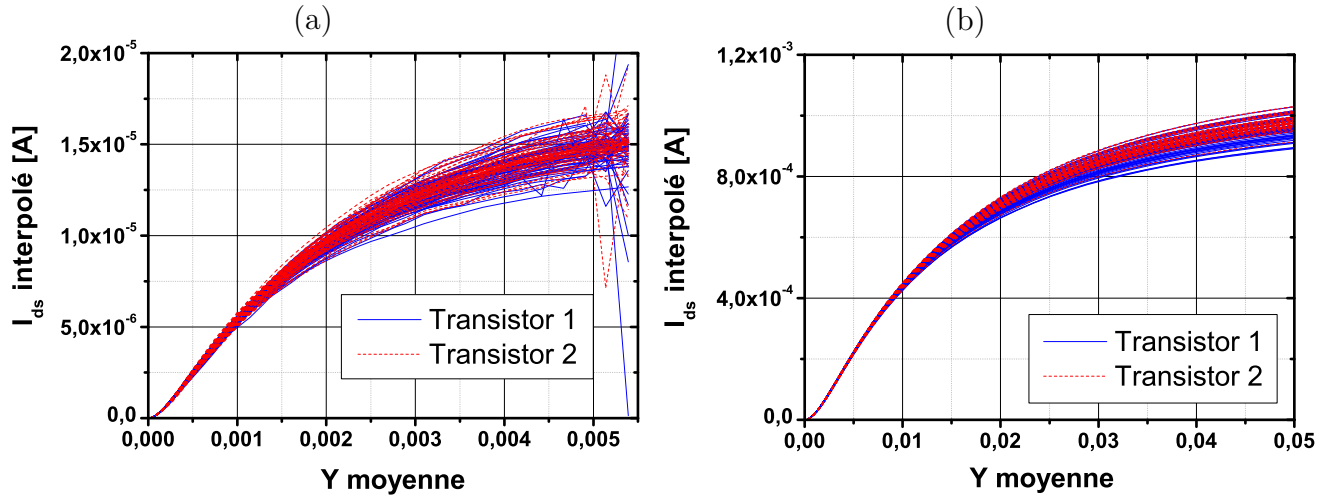


FIGURE IV.9 – Courbes de courant mesurées pour les transistors 1 et 2 de chaque paire pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

Ainsi, la figure IV.9 (a) montre que les transistors de largeur subnominale sont particulièrement sensibles à ce traitement et la divergence observée en forte inversion se répercutera de manière négative sur la variance du courant. Cette dernière s'explique par la sensibilité insuffisante des appareils de mesure qui fait apparaître du bruit sur le courant mesuré qui est ensuite amplifié par la dérivé nécessaire au calcul de la fonction Y . Pour résoudre ce problème et quand même disposer de données exploitables pour une étude de désappariement, ce procédé a été répété sur des courbes de courant obtenues par simulation Monte-Carlo. Les figures IV.10 (a) et (b) montrent bien que le courant simulé est du même ordre de grandeur que le courant mesuré et est exempt de tout bruit. L'étude de désappariement sur ces courbes devrait donc nous apporter des informations sur la pertinence théorique du modèle.

IV.4.3 Résultats

Courbes de courant expérimentales

Les figures IV.11 (a) et (b) montrent la concordance entre la variabilité expérimentale du courant et le modèle représenté par l'équation (IV.24) ainsi que les contributions de chaque paramètre.

Tout d'abord, la figure IV.11 (a) confirme le problème exprimé en introduction de cette section : le bruit de mesure empêche le modèle de s'ajuster au comportement expérimental et certains points ont dû être supprimés aux extrémités pour éviter que ce dernier ne diverge. Il faut toutefois rappeler que les mesures sur cette figure ont été effectuées sur des transistors de dimensions subnominales. Autrement dit, ces structures de test sont plus agressives que ce qu'autorisent normalement les règles de dessin et ont été embarqués sur la plaque dans un but essentiellement prospectif. Il n'est donc pas surprenant de ne pas pouvoir mesurer des courbes de courant parfaites dans de telles conditions.

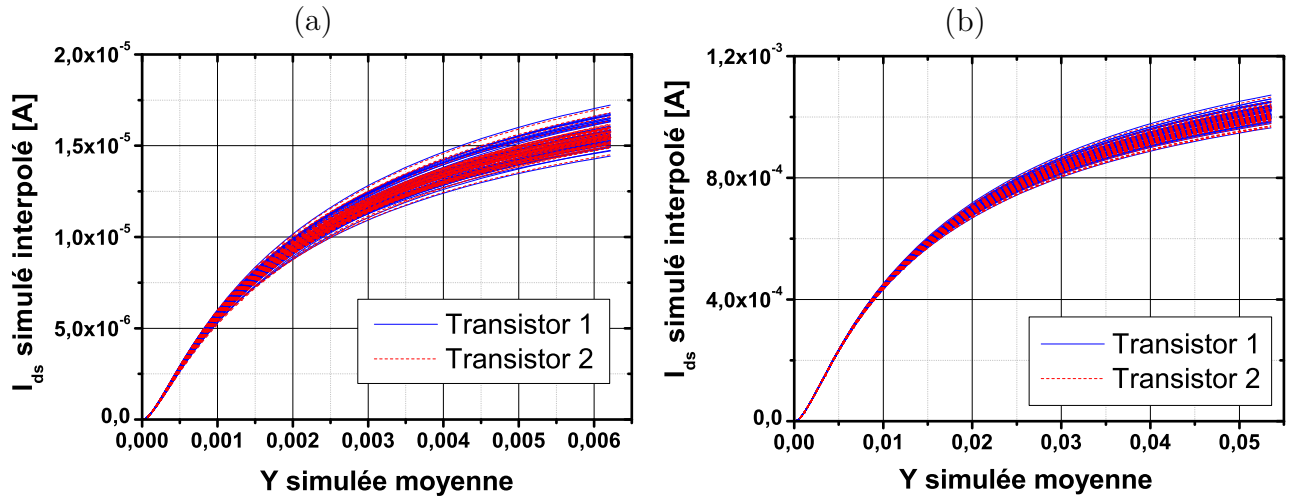


FIGURE IV.10 – Courbes de courant obtenues par simulation Monte-Carlo pour les transistors 1 et 2 de chaque paire pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

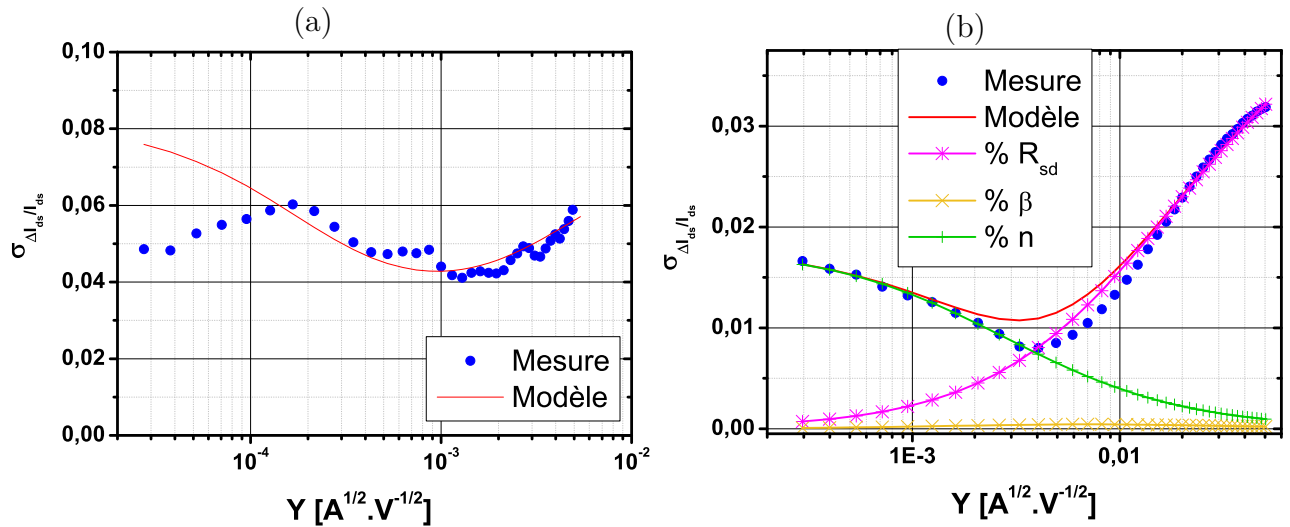


FIGURE IV.11 – Courbes expérimentales (symboles \bullet) et théoriques (ligne continue) ainsi que les contributions de $\sigma_{\Delta n/n}$ (symboles $+$), de $\sigma_{\Delta \beta/\beta}$ (symboles \times) et de $\sigma_{\Delta R_{sd}}$ (symboles \star) dans le modèle (IV.24) pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

En revanche, la figure IV.11 (b) montre que le modèle est en accord avec le comportement expérimental. De plus elle confirme que n (en l'absence de V_{th}) joue un rôle majoritaire sous le seuil et que R_{sd} est une composante non négligeable dans la variabilité en forte inversion contrairement à β dont la contribution est quasi nulle.

Courbes de courant simulées

Comme expliqué dans la section IV.4.2, le bruit de mesure sur les transistors subnominaux rend difficile l'extraction des contributions de chaque paramètre dans le modèle, d'où l'intérêt

des courbes simulées. Les figures IV.12 (a) et (b) montrent une amélioration de la stabilité du signal, en particulier pour le transistor de faible largeur.

Concernant les transistors plus larges, bien que l'allure de $\sigma_{\Delta I_{ds}/I_{ds}}$ soit légèrement différente de celle précédemment obtenue, la figure IV.12 (b) confirme les résultats obtenus précédemment : β joue un rôle négligeable dans le désappariement comparé à R_{sd} contrairement à ce que prévoit le modèle de Croon.

De même, l'extraction sur les transistors subnominaux confirment également les résultats obtenus par le modèle de Karatsori : le désappariement sous le seuil est, en l'absence de V_{th} , entièrement dû au paramètre n tandis que le désappariement en forte inversion est causé à la fois par β et par R_{sd} .

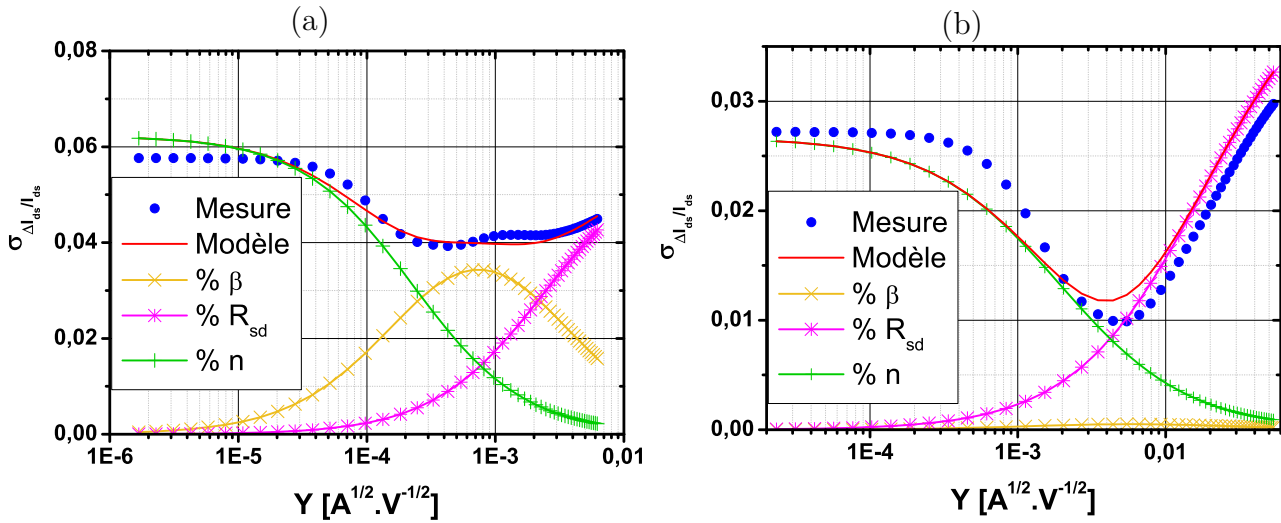


FIGURE IV.12 – Courbes simulées (symboles ●) et théoriques (ligne continue) ainsi que les contributions de $\sigma_{\Delta n/n}$ (symboles +), de $\sigma_{\Delta \beta/\beta}$ (symboles x) et de $\sigma_{\Delta R_{sd}}$ (symboles ★) dans le modèle (IV.24) pour les transistors de longueur $L = 28$ nm et $W =$ (a) 80 nm et (b) 9000 nm

Ce résultat peut paraître surprenant car, en approximant la résistance d'accès à une loi d'Ohm locale, R_{sd} est inversement proportionnelle à la largeur et sa contribution devrait donc être négligeable pour les grandes largeurs. En réalité, plusieurs effets entrent en compétition.

Il faut rappeler que l'expression de β , le facteur de gain en courant, est fonction de plusieurs paramètres qui sont rappelés dans l'équation (IV.25).

$$\beta = \frac{W}{L} \cdot \mu_0 \cdot C_{ox} \quad (IV.25)$$

Et la variation de la résistance d'accès peut être approximée au premier ordre à une loi d'Ohm locale rappelée par l'équation (IV.26).

$$R = \frac{\rho \cdot L}{W \cdot t_{Si}} \quad (IV.26)$$

Où ρ est la résistivité du matériau traversé par le courant (fonction de V_{gs} dans le cas des résistances d'accès) et W , L et t_{Si} sont les dimensions de la couche de SOI.

Dans le cas de notre étude, seule la largeur différencie les deux jeux de transistors. Il convient d'analyser l'impact d'une faible variation de W (issue de la rugosité par exemple) entraîne sur ces paramètres. Pour commencer, β est linéairement proportionnel à W , ceci signifie donc que $\Delta\beta$ entraîné par ΔW ne dépend pas de la largeur choisie donc qu'à un ΔW donné ne correspond qu'un seul $\Delta\beta$. En revanche, lorsque W augmente, l'équation (IV.25) indique que β est lui aussi censé augmenter. Donc lorsque W augmente $\Delta\beta/\beta$ devrait donc diminuer et vice-versa.

R_{sd} quant à elle est inversement proportionnelle à W , donc lorsque cette dernière augmente, le ΔR_{sd} correspondant tend vers une constante tandis que R_{sd} diminue. A l'inverse lorsque la largeur s'amointrit, ΔR_{sd} et R_{sd} augmentent tous les deux, résultant mathématiquement parlant à une forme indéterminée. Donc $\Delta R_{sd}/R_{sd}$ devrait augmenter lorsque W augmente et il est impossible de conclure lorsque W diminue.

W	diminue	augmente
$\Delta\beta/\beta$	augmente	diminue
$\Delta R_{sd}/R_{sd}$	indétermination	augmente

Ces observations, bien que simplificatrices, constituent une première réflexion pour expliquer les tendances observées sur les figures IV.8, IV.11 et IV.12.

IV.5 Perspective

La question se pose concernant l'impact de R_{sd} sur les mesures de variabilité. En effet, dans ce chapitre, la résistance d'accès a été considérée constante car son extraction ne respecte pas les critères imposés par une étude de désappariement.

Pour contourner le problème et étudier l'impact des variations R_{sd} avec V_{gs} sur le mismatch il est nécessaire de développer des structures de test répondant aux besoins de ces méthodes. À cette fin, la figure IV.13 propose donc une base d'architecture comprenant 4 transistors, 2 de longueur L_1 et 2 de longueur L_2 , de largeur identique et séparés par la distance minimale autorisée par les règles de dessin.

Cette architecture est une ébauche qui permettrait de poursuivre les travaux menés dans ce manuscrit sur les résistances d'accès et de leur impact sur les performances des technologies avancées. Elle autoriserait donc l'extraction de $\sigma_{\Delta R_{sd}/R_{sd}}^2$ en fonction de V_{gs} ainsi qu'une correction plus rigoureuse de ses effets sur I_{ds} dans un cadre respectant les bonnes pratiques du *matching*.

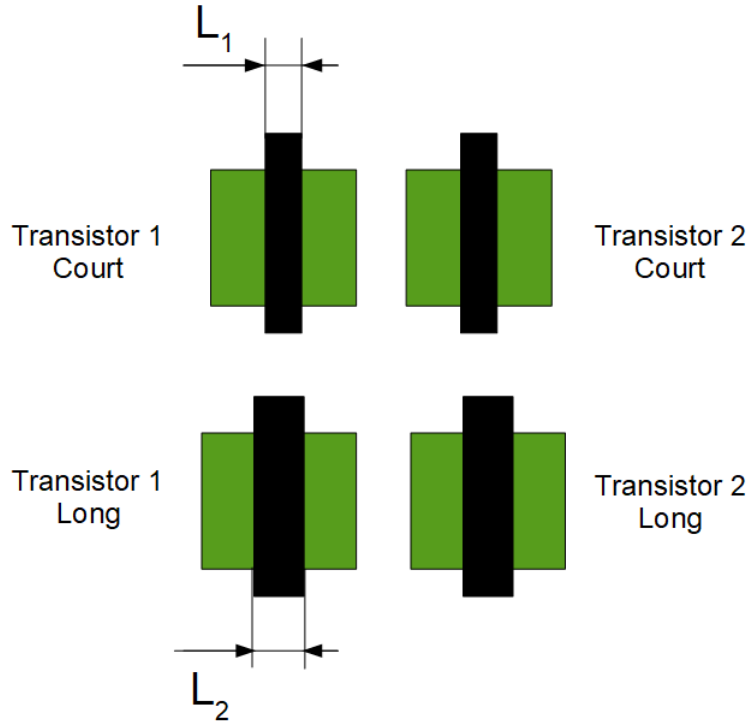


FIGURE IV.13 – Structure de test préconisée pour approfondir les études de désappariement menées dans ce chapitre

IV.6 Conclusion

Le désappariement est un phénomène complexe qui bénéficie déjà d'une littérature importante. Dans cette bibliographie, de nombreuses méthodes et modèles existent pour étudier les écarts de comportement entre transistor voisin. La plus récente et la plus utilisée dans le milieu industriel ont été abordés au cours de ce chapitre.

Chacune de ces deux méthodes a montré ses avantages et ses limites. La méthode industrielle est simple et rapide à utiliser mais ne permet pas de prendre en compte les contributions de tous les paramètres (R_{sd} et n). La méthode de Karatsori offre donc une alternative plus précise mais qui demande aussi un traitement manuel et plus minutieux des données pour extraire chaque composante du modèle et est donc plus chronophage.

La nouvelle méthode développée dans ce chapitre se base sur une extraction avec la fonction New Y pour déterminer avec précision les contributions de chaque paramètre. Les résultats présentés dans la section IV.3 ont permis de confirmer ceux obtenus avec la méthode de Karatsori. Cependant, cette nouvelle méthode requiert de recentrer les courbes expérimentales sur leur moyenne pour se libérer des effets de V_{th} . Cette transformation rend également les mesures sensibles au bruit ce qui limite son utilisation pour les transistors de plus faible dimensions.

L'essentiel - L'étude préliminaire menée dans la section IV.2 a permis de déterminer que la fonction New Y est une candidate satisfaisante pour la caractérisation du désappariement. Ce constat a été suivi par son utilisation dans la section IV.3 dans laquelle elle a été comparées à la méthode en vigueur dans le domaine industriel et la plus récente tirée de la littérature (respectivement basées sur le modèle de Croon et le modèle de Karatsori). Les résultats obtenus sur cette dernière sont surprenants car elle fait apparaître une contribution de R_{sd} prédominante en forte inversion et largement supérieure à celle de β pour les transistors les plus larges. Cependant, la nouvelle méthode proposée dans la section IV.4 confirme et explique que cette observation peut s'expliquer par une compétition entre plusieurs effets liés à la largeur. Enfin, la conclusion du chapitre propose des voies à explorer pour poursuivre et améliorer l'étude de la résistance d'accès et son impact sur les performances de la technologie CMOS.

Conclusion générale

Au cours de ce travail, les caractéristiques électriques des transistors FD-SOI (*Fully Depleted Silicon On Insulator*) ont été étudiées expérimentalement.

Dans un premier temps, l'état de l'art du fonctionnement du transistor CMOS et de sa caractérisation électrique ont été présentés. Les défauts de ces méthodes ont ensuite été analysés pour en dégager un facteur commun : la résistance d'accès du transistor. En effet, aucune des méthodes existantes ne permet une extraction non biaisée de cette dernière ni de sa potentielle dépendance avec la tension de grille.

Dans un second temps, une nouvelle méthode a été proposée pour répondre à ce besoin. Cette dernière se base sur une comparaison de deux transistors de proches dimensions (largeurs identiques, longueurs donnant des tensions de seuil équivalentes) pour extraire les composantes parasites capacitives et résistives. Les résultats ainsi obtenus pour la résistance d'accès ont ensuite été comparés aux modèles existants de variation avec la tension de grille, à savoir constante, linéaire et hyperbolique. Ce dernier est celui qui permet de reproduire le plus fidèlement les courbes expérimentales, cependant il ne couvre que le régime de forte inversion et diverge vers l'infini en faible inversion ce qui est physiquement impossible. Pour pallier ce problème, un nouveau modèle simple en 3 paramètres reprenant une variation hyperbolique a été proposé pour également décrire la résistance sous le seuil à l'aide d'un plateau constant. Celui-ci s'est montré particulièrement pertinent vis-à-vis des courbes expérimentales obtenues sur la technologie 14nm FD-SOI d'STMicroelectronics.

Cette caractérisation de la résistance d'accès recouvrant l'intégralité du régime de fonctionnement du transistor est intéressante à condition d'être couplée à une caractérisation électrique des transistors partageant les mêmes propriétés. Cette problématique a donc été adressée en proposant une nouvelle méthode (la fonction New Y) permettant l'extraction des paramètres électriques sur l'ensemble de la plage de tension de grille. Elle permet en outre de se passer de la détermination de la tension de seuil, paramètre hautement sensible dans les technologies les plus récentes dont l'incertitude sur sa valeur se répercute sur le reste des paramètres. Une nouvelle méthodologie a donc été présentée pour permettre une caractérisation des transistors sur l'ensemble de leur régime de fonctionnement tout en corrigeant l'impact des résistances d'accès sur le courant.

Finalement, cette nouvelle variante de la fonction Y a été utilisée afin de qualifier le désappariement stochastique des transistors. Les résultats ainsi obtenus ont été comparés

aux méthodes et modèles actuellement en vigueur dans le domaine industriel et universitaire. En effet, le premier utilise un modèle et une méthode permettant une analyse rapide mais biaisée de ce phénomène alors que le second se concentre sur une précision plus grande au prix d'un temps de calcul plus important. La nouvelle méthode ainsi proposée ouvre la voie vers une étude du mismatch qui pourrait améliorer celle en vigueur dans l'industrie. La seule condition pour y parvenir étant de trouver une solution d'automatisation dans l'ajustement des paramètres du modèle de la fonction New Y. Il faut toutefois noter que l'impact réel de la résistance d'accès et plus particulièrement de sa variation avec la tension de grille sur le désappariement reste difficile à estimer. En effet, la méthode d'extraction proposée dans le chapitre 2 requiert l'utilisation de 2 transistors différents, ce qui va à l'encontre des bonnes pratiques des mesures de matching. Il faudrait donc concevoir de nouvelles structures permettant de répondre aux pré-requis de ces deux caractérisations pour obtenir une analyse plus fine de la résistance d'accès sur les performances de la technologie CMOS.

Bibliographie

- [1] T. Skotnicki and F. Bœuf, *Physique des dispositifs pour circuits intégrés sur silicium*, Encyclopédie Hermès ed. EGEM, 2003, ch. chapitre 3.
- [2] D. Fleury, “Contribution à l’étude expérimentale du transport dans les transistors de dimensions déca-nanométriques des technologies CMOS sub-45nm,” Ph.D. dissertation, Institut National Polytechnique de Grenoble-INPG, 2009.
- [3] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*. John wiley & sons, 2006.
- [4] A. S. Grove, *Physics and technology of semiconductor devices*. Wiley, 1967.
- [5] K. Romanjek, “Caractérisation et modélisation des transistors CMOS des technologies 50nm et en deçà,” Ph.D. dissertation, Institut National Polytechnique de Grenoble-INPG, 2004.
- [6] J. A. Croon, W. M. Sansen, and H. E. Maes, *Matching properties of deep sub-micron MOS transistors*. Springer, 2005.
- [7] C. M. Mezzomo, “Caractérisation et modélisation des fluctuations aléatoires des paramètres électriques des dispositifs en technologies CMOS avancées,” Ph.D. dissertation, Université Grenoble Alpes, 2011.
- [8] G. Moore, “Moore’s law,” *Electronics Magazine*, vol. 38, no. 8, p. 114, 1965.
- [9] I. 2012, “International Technology Roadmap for Semiconductors, <http://www.itrs2.net/itrs-reports.html>,” Online, 2012.
- [10] I. 2015, “International Technology Roadmap for Semiconductors, <http://www.itrs2.net/itrs-reports.html>,” Online, 2015.
- [11] H. Mathieu and H. Fanet, *Physique des semiconducteurs et des composants électriques : cours et exercices corrigés*. Dunod, 2009.
- [12] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc, “Design of ion-implanted MOSFET’s with very small physical dimensions,” *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, pp. 256–268, 1974.
- [13] V. V. Zhirnov, R. K. Cavin, J. A. Hutchby, and G. I. Bourianoff, “Limits to binary logic switch scaling—a gedanken model,” *Proceedings of the IEEE*, vol. 91, no. 11, pp. 1934–1939, 2003.
- [14] P. Drude, “Zur elektronentheorie der metalle,” *Annalen der Physik*, vol. 306, no. 3, pp. 566–613, 1900.
- [15] C. Sah, T. Ning, and L. Tschopp, “The scattering of electrons by surface oxide charges and by lattice vibrations at the silicon-silicon dioxide interface,” *Surface Science*, vol. 32, no. 3, pp. 561–575, 1972.

- [16] D. S. Jeon and D. E. Burk, “MOSFET electron inversion layer mobilities ; A physically based semi-empirical model for a wide temperature range,” *IEEE (Institute of Electrical and Electronics Engineers) Transactions on Electron Devices ;(USA)*, vol. 36, no. 8, 1989.
- [17] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold *et al.*, “Carrier transport in HfO₂/metal gate MOSFETs : physical insight into critical parameters,” *IEEE Transactions on Electron Devices*, vol. 53, no. 4, pp. 759–768, 2006.
- [18] O. Weber, M. Cassé, L. Thevenod, F. Ducroquet, T. Ernst, and S. Deleonibus, “On the mobility in high- κ /metal gate MOSFETs : Evaluation of the high- κ phonon scattering impact,” *Solid-state electronics*, vol. 50, no. 4, pp. 626–631, 2006.
- [19] A. Cros, K. Romanjek, D. Fleury, S. Harrison, R. Cerutti, P. Coronel, B. Dumont, A. Pouydebasque, R. Wacquez, B. Duriez *et al.*, “Unexpected mobility degradation for very short devices : A new challenge for CMOS scaling,” in *Electron Devices Meeting, 2006. IEDM'06. International*. IEEE, 2006, pp. 1–4.
- [20] C. Erginsoy, “Neutral impurity scattering in semiconductors,” *Physical Review*, vol. 79, no. 6, p. 1013, 1950.
- [21] F. Monsieur, Y. Denis, D. Rideau, V. Quenette, G. Gouget, C. Tavernier, H. Jaouen, G. Ghibaudo, and J. Lacord, “The importance of the spacer region to explain short channels mobility collapse in 28nm Bulk and FDSOI technologies,” in *Solid State Device Research Conference (ESSDERC), 2014 44th European*. IEEE, 2014, pp. 254–257.
- [22] L. Rahhal, “Analyse et modélisation des phénomènes de mismatch des transistors MOSFET avancées,” Ph.D. dissertation, Grenoble, 2014.
- [23] E. Ioannidis, C. Theodorou, S. Haendler, E. Josse, C. Dimitriadis, and G. Ghibaudo, “Impact of source–drain series resistance on drain current mismatch in advanced fully depleted SOI n-MOSFETs,” *IEEE Electron Device Letters*, vol. 36, no. 5, pp. 433–435, 2015.
- [24] A. Cros, “Caractérisation électrique de transistors MOS à grille enrobante pour les technologies CMOS sub-45nm,” Ph.D. dissertation, Grenoble, INPG, 2006.
- [25] Y. Cheng, M.-C. Jeng, Z. Liu, J. Huang, M. Chan, K. Chen, P. K. Ko, and C. Hu, “A physical and scalable IV model in BSIM3v3 for analog/digital circuit simulation,” *IEEE Transactions on Electron Devices*, vol. 44, no. 2, pp. 277–287, 1997.
- [26] J. Gautier *et al.*, “Physique des dispositifs pour circuits intégrés silicium,” *Paris, France : Lavoisier, 367p. ISBN*, pp. 2–746, 2003.
- [27] G. Reichert and T. Ouisse, “Relationship between empirical and theoretical mobility models in silicon inversion layers,” *IEEE Transactions on Electron Devices*, vol. 43, no. 9, pp. 1394–1398, 1996.
- [28] A. Cros, S. Harrison, R. Cerutti, P. Coronel, G. Ghibaudo, and H. Brut, “New extraction method for gate bias dependent series resistance in nanometric double gate transistors,” in *Proceedings of the 2005 International Conference on Microelectronic Test Structures*. IEEE, 2005, pp. 69–74.
- [29] G. Ghibaudo, “New method for the extraction of MOSFET parameters,” *Electronics Letters*, vol. 24, no. 9, pp. 543–545, 1988.

- [30] C. Mourrain, B. Cretu, G. Ghibaudo, and P. Cottin, “New method for parameter extraction in deep submicrometer MOSFETs,” in *Proceedings of the 2000 International Conference on Microelectronic Test Structures*. IEEE, 2000, pp. 181–186.
- [31] J. G. Chern, P. Chang, R. F. Motta, and N. Godinho, “A new method to determine MOSFET channel length,” *IEEE Electron Device Letters*, vol. 1, no. 9, pp. 170–173, 1980.
- [32] G. J. Hu, C. Chang, and Y.-T. Chia, “Gate-voltage-dependent effective channel length and series resistance of LDD MOSFET’s,” *IEEE Transactions on Electron Devices*, vol. 34, no. 12, pp. 2469–2475, 1987.
- [33] Y. Chang, Y. Wu, and C. Ho, “A simple method to extract source/drain series resistance for advanced MOSFETs,” in *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on*. IEEE, 2007, pp. 87–90.
- [34] Y. Taur, D. Zicherman, D. Lombardi, P. J. Restle, C. Hsu, H. Nanafi, M. R. Wordeman, B. Davari, and G. G. Shahidi, “A new’shift and ratio’method for MOSFET channel-length extraction,” *IEEE Electron Device Letters*, vol. 13, no. 5, pp. 267–269, 1992.
- [35] D. Fleury, A. Cros, G. Bidal, J. Rosa, and G. Ghibaudo, “A new technique to extract the source/drain series resistance of MOSFETs,” *IEEE Electron Device Letters*, vol. 30, no. 9, pp. 975–977, 2009.
- [36] N. Subramanian, G. Ghibaudo, and M. Mouis, “Parameter extraction of nano-scale MOSFETs using modified Y function method,” in *Solid-State Device Research Conference (ESSDERC), 2010 Proceedings of the European*. IEEE, 2010, pp. 309–312.
- [37] S.-D. Kim, C.-M. Park, and J. C. Woo, “Advanced model and analysis of series resistance for CMOS scaling into nanometer regime. I. Theoretical derivation,” *IEEE Transactions on Electron Devices*, vol. 49, no. 3, pp. 457–466, 2002.
- [38] C. Christopoulos, *The transmission-line modeling method : TLM*. Oxford University Press, 1995.
- [39] N. Stavitski, “Silicide-to-silicon specific contact resistance characterization,” Ph.D. dissertation, Printservice Technical University of Eindhoven, 2009.
- [40] A. Cros, G. Morin, G. Castaneda, F. Dieudonné, and J. Rosa, “Improved precision methodology for access resistance extraction using Kelvin test structures,” in *Proceedings of the 2012 International Conference on Microelectronic Test Structures*. IEEE, 2012, pp. 146–151.
- [41] J.-B. Henry, A. Cros, J. Rosa, Q. Rafhay, and G. Ghibaudo, “New access resistance extraction methodology for 14nm FD-SOI technology,” in *Proceedings of the 2016 International Conference on Microelectronic Test Structures*. IEEE, 2016, pp. 70–74.
- [42] J. Lacord, G. Ghibaudo, and F. Boeuf, “Comprehensive and accurate parasitic capacitance models for two-and three-dimensional CMOS device structures,” *IEEE Transactions on Electron Devices*, vol. 59, no. 5, pp. 1332–1344, 2012.
- [43] I. B. Akkez, A. Cros, C. Fenouillet-Beranger, F. Boeuf, Q. Rafhay, F. Balestra, and G. Ghibaudo, “New parameter extraction method based on split CV for FDSOI MOSFETs,” in *Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European*. IEEE, 2012, pp. 217–220.

- [44] K. Romanjek, F. Andrieu, T. Ernst, and G. Ghibaudo, "Improved split C-V method for effective mobility extraction in sub-0.1- μm Si MOSFET," *IEEE Electron Device Letters*, vol. 25, no. 8, pp. 583–585, 2004.
- [45] F. Prégaldiny, C. Lallement, and D. Mathiot, "A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs," *Solid-State Electronics*, vol. 46, no. 12, pp. 2191–2198, 2002.
- [46] K. Rim, S. Narasimha, M. Longstreet, A. Mocuta, and J. Cai, "Low field mobility characteristics of sub-100 nm unstrained and strained Si MOSFETs," in *Electron Devices Meeting, 2002. IEDM'02. International*. IEEE, 2002, pp. 43–46.
- [47] K. Levenberg, "A method for the solution of certain non-linear problems in least squares," *Quarterly of applied mathematics*, vol. 2, no. 2, pp. 164–168, 1944.
- [48] D. W. Marquardt, "An algorithm for least-squares estimation of nonlinear parameters," *Journal of the society for Industrial and Applied Mathematics*, vol. 11, no. 2, pp. 431–441, 1963.
- [49] S. Jain, "Measurement of threshold voltage and channel length of submicron MOSFETs," *IEE Proceedings I (Solid-State and Electron Devices)*, vol. 135, no. 6, pp. 162–164, 1988.
- [50] F. Ferdousi, R. Rios, and K. J. Kuhn, "Improved MOSFET characterization technique for single channel length, scaled transistors," *Solid-State Electronics*, vol. 104, pp. 44–46, 2015.
- [51] T. Karatsori, C. Theodorou, E. Ioannidis, S. Haendler, E. Josse, C. Dimitriadis, and G. Ghibaudo, "Full gate voltage range Lambert-function based methodology for FDSOI MOSFET parameter extraction," *Solid-State Electronics*, vol. 111, pp. 123–128, 2015.
- [52] J. Henry, Q. Rafhay, A. Cros, and G. Ghibaudo, "New Y-function based MOSFET parameter extraction method from weak to strong inversion range," *Solid-State Electronics*, vol. 123, pp. 84–88, 2016.
- [53] T. Krutsick, M. White, H.-S. Wong, and R. Booth, "An improved method of MOSFET modeling and parameter extraction," *IEEE Transactions on Electron Devices*, vol. 34, no. 8, pp. 1676–1680, 1987.
- [54] A. Ortiz-Conde, F. G. Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectronics Reliability*, vol. 42, no. 4, pp. 583–596, 2002.
- [55] D. Flandre, V. Kilchytska, and T. Rudenko, " g_m/I_d Method for Threshold Voltage Extraction Applicable in Advanced MOSFETs With Nonlinear Behavior Above Threshold," *IEEE Electron Device Letters*, vol. 31, no. 9, pp. 930–932, 2010.
- [56] J. Lacord, J.-L. Huguenin, T. Skotnicki, G. Ghibaudo, and F. Boeuf, "Simple and efficient MASTAR threshold voltage and subthreshold slope models for low-doped double-gate MOSFET," *IEEE transactions on electron devices*, vol. 59, no. 9, pp. 2534–2538, 2012.
- [57] J.-B. Henry, A. Cros, J. Rosa, Q. Rafhay, and G. Ghibaudo, "Impact of access resistance on New-Y function methodology for MOSFET parameter extraction in advanced FD-SOI technology," in *Proceedings of the 2017 International Conference on Microelectronic Test Structures*. IEEE, 2017, pp. 1–5.

- [58] A. Sucre-González, F. Zárate-Rincón, A. Ortiz-Conde, R. Torres-Torres, F. J. García-Sánchez, J. Muci, and R. S. Murphy-Arteaga, “A DC method to extract mobility degradation and series resistance of multifinger microwave MOSFETs,” *IEEE Transactions on Electron Devices*, vol. 63, no. 5, pp. 1821–1826, 2016.
- [59] A. Cathignol, S. Bordez, K. Rochereau, and G. Ghibaudo, “From MOSFET matching test structures to matching data utilization : Not an ordinary task,” in *Proceedings of the 2007 International Conference on Microelectronic Test Structures*. IEEE, 2007, pp. 230–233.
- [60] H. Tuinhout, M. Pelgrom, R. P. de Vries, and M. Vertregt, “Effects of metal coverage on MOSFET matching,” in *Electron Devices Meeting, 1996. IEDM’96., International*. IEEE, 1996, pp. 735–738.
- [61] H. Tuinhout and M. Vertregt, “Test structures for investigation of metal coverage effects on MOSFET matching,” in *Proceedings of the 1997 International Conference on Microelectronic Test Structures*. IEEE, 1997, pp. 179–183.
- [62] A. Pergoot, B. Graindourze, E. Janssens, J. Bastos, M. Steyaert, P. Kinget, R. Roovers, and W. Sansen, “Statistics for matching,” in *Proceedings of the 1995 International Conference on Microelectronic Test Structures*. IEEE, 1995, pp. 193–197.
- [63] B. Hoeneisen and C. Mead, “Current-voltage characteristics of small size MOS transistors,” *IEEE Transactions on Electron Devices*, vol. 19, no. 3, pp. 382–383, 1972.
- [64] R. W. Keyes, “The effect of randomness in the distribution of impurity atoms on FET thresholds,” *Applied Physics A : Materials Science & Processing*, vol. 8, no. 3, pp. 251–259, 1975.
- [65] J.-B. Shyu, G. C. Temes, and F. Krummenacher, “Random error effects in matched MOS capacitors and current sources,” *IEEE Journal of Solid-State Circuits*, vol. 19, no. 6, pp. 948–956, 1984.
- [66] K. R. Lakshmikummar, R. A. Hadaway, and M. A. Copeland, “Characterisation and modeling of mismatch in MOS transistors for precision analog design,” *IEEE Journal of solid-state circuits*, vol. 21, no. 6, pp. 1057–1066, 1986.
- [67] M. J. Pelgrom, A. C. Duinmaijer, and A. P. Welbers, “Matching properties of MOS transistors,” *IEEE Journal of solid-state circuits*, vol. 24, no. 5, pp. 1433–1439, 1989.
- [68] P. A. Stolk, F. P. Widdershoven, and D. Klaassen, “Modeling statistical dopant fluctuations in MOS transistors,” *IEEE Transactions on Electron devices*, vol. 45, no. 9, pp. 1960–1971, 1998.
- [69] J. Croon, E. Augendre, S. Decoutere, W. Sansen, and H. Maes, “Influence of doping profile and halo implantation on the threshold voltage mismatch of a 0.13 μm CMOS technology,” in *ESSDERC, 2002*, pp. 579–582.
- [70] J. Mc Ginley, O. Noblanc, C. Julien, S. Parihar, K. Rochereau, R. Difrenza, and P. Linares, “Impact of pocket implant on MOSFET mismatch for advanced CMOS technology,” in *Proceedings of the 2004 International Conference on Microelectronic Test Structures*. IEEE, 2004, pp. 123–126.
- [71] J. A. Croon, M. Rosmeulen, S. Decoutere, W. Sansen, and H. E. Maes, “An easy-to-use mismatch model for the MOS transistor,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, pp. 1056–1064, 2002.

- [72] R. Lavieville, T. Karatsori, C. Theodorou, S. Barraud, C. Dimitriadis, and G. Ghibaudo, “Statistical characterization of drain current local and global variability in sub 15nm Si/SiGe Trigate pMOSFETs,” in *Solid-State Device Research Conference (ESSDERC), 2016 46th European*. IEEE, 2016, pp. 142–145.
- [73] T. Karatsori, C. Theodorou, S. Haendler, C. Dimitriadis, and G. Ghibaudo, “Drain current local variability from linear to saturation region in 28 nm bulk nmosfets,” *Solid-State Electronics*, vol. 128, pp. 31–36, 2017.