



**HAL**  
open science

# Étude des mécanismes de déclenchement des Bits Collés dans les SRAM et DRAM en Environnement Radiatif Spatial

Axel Rodriguez

► **To cite this version:**

Axel Rodriguez. Étude des mécanismes de déclenchement des Bits Collés dans les SRAM et DRAM en Environnement Radiatif Spatial. Electronique. Université Montpellier, 2017. Français. NNT : 2017MONT032 . tel-01917745

**HAL Id: tel-01917745**

**<https://theses.hal.science/tel-01917745>**

Submitted on 9 Nov 2018

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

Pour obtenir le grade de  
**Docteur**

Délivré par l'**Université de Montpellier**

Thèse préparée au sein de l'école doctorale :  
**Informations, Structures, Systèmes**

Et de l'unité de recherche :  
**Institut d'Électronique et des Systèmes**

Spécialité : **Électronique, Radiations, Composants  
et Systèmes**

Présentée par **Axel Rodriguez**

**Étude des Mécanismes de Déclenchement des Bits  
Collés dans les SRAM et DRAM en Environnement  
Radiatif Spatial**

Thèse dirigée par **Frédéric Wrobel** et **Antoine Touboul**

Soutenue le 02/03/17 devant le jury composé de

M. Mourad BENABDESSELAM, Professeur, Université de Nice-Sophia Antipolis	Rapporteur
M. Bruno BARELAUD, Professeur, Université de Limoges	Rapporteur
Mme. Françoise BEZERRA, Expert, Centre National d'Études Spatiales	Examineur
Mme. Nathalie CHATRY, Expert, TRAD	Examineur
M. Jérôme BOCH, Professeur, Université de Montpellier	Examineur
M. Frédéric WROBEL, Professeur, Université de Montpellier	Directeur
M. Antoine TOUBOUL, Maître de Conférences, Université de Montpellier	Co-directeur



---

# Remerciements

---

## Remerciements

En premier lieu, je tiens à remercier ceux ayant suivi de près ou de loin mes travaux au sein de l'Institut d'Electronique et des Systemes (IES), tout spécialement :

Frédéric « W » Wrobel, pour son engagement et son leadership, qui m'ont permis de mener cette thèse jusqu'au bout, sa patience et son œil acéré qui m'ont permis de m'améliorer.

Antoine Touboul, pour ses suggestions, travail de relecture ainsi que nos échanges.

Alain « Playmobil » Michez, pour son investissement, avoir mis toute la puissance d'Ecorce (*mangez-en, c'est bon*) à ma disposition et que sa bonne humeur contagieuse.

Laurent Dusseau, pour son soutien inconditionnel.

Les professeurs Mourad Benabdesselam de l'Université de Nice-Sophia Antipolis et Bruno Barelaud de l'Université de Limoges, pour m'avoir fait l'honneur d'être mes rapporteurs ainsi que leur relecture et les suggestions afin d'améliorer ce manuscrit.

Françoise Bezerra, du Centre National d'Etudes Spatiales et Nathalie Chatry, de l'entreprise TRAD, pour leur suivi ainsi que le soutien apporté à ces travaux.

La joyeuse bande des doctorants, que ce soit les vénérables anciens : Christelle et Fabien (Team FRIENDS), Aymeric, « Taxi » Nanie, Lionel, Denis, Mehdi, Rachid (non, je n'ai toujours pas vu Apollo 13) et Clovis. Sans oublier mes « contemporains » et associés à la bande du bâtiment 21 : Viyas, Andrey, Lorena, Thomas, Aomer, Raph, Pierre K., Pierre P., Arthur et les Bremen Street Boys : Alexandre Louis Bosser et mon éternel camarade de bureau, Mathias Rousselet.

L'ensemble des équipes du groupe de recherche RADIAC de l'IES, du Centre Spatial Universitaire Montpellier-Nîmes ainsi que de la Fondation Van Allen, qui me suivent et me guident depuis le début de ma vie universitaire : que ce soit pour leur dimension tant humaine que technique, les moults échanges autour d'un thé ou un barbecue !

Ma famille pour son soutien indéfectible, plus particulièrement mes parents, Paul et Misha, ainsi que ma sœur Marien.

Sur un plan plus personnel : Cha, la Horde Sauvage (et tout particulièrement son indomptable leader, Med), les Luxos (Stitch et Pierre), Marie et Jérôme, la Castor Team et les anciens nîmois (Julien, Mathilde, Jean-Marc, Jérôme et Johanna), Steph et Adrien.

## Remerciements

---

De manière plus générale, tous ceux qui ont eu à subir, tant dans la vie privée que professionnelle, ma mauvaise foi (que j'espère désormais légendaire) ainsi que mes élucubrations surtout axées sur la TAM et la mairie de Montpellier.

Bref, vous l'aurez compris, un grand remerciement (dont la sélection est aussi injuste qu'arbitraire) à tous ceux qui m'ont permis d'aller jusqu'au bout de cette thèse, tant par leur soutien technique que personnel.

## Remerciements

---

**M**uad'Dib learned rapidly because his first training was in how to learn. And the first lesson of all was the basic trust that he could learn. It's shocking to find how many people do not believe they can learn, and how many more believe learning to be difficult. Muad'Dib knew that every experience carries its lesson.

Frank Patrick Herbert (8 octobre 1920 - 11 février 1986)

Dune (1965)

## Sommaire

<b>Remerciements.....</b>	<b>3</b>
<b>Introduction Générale .....</b>	<b>9</b>
<b>Chapitre 1 – État de l’art du phénomène de bit collé.....</b>	<b>11</b>
Introduction .....	11
I. Les environnements radiatifs.....	12
1. L’environnement radiatif spatial.....	12
2. Autres environnements radiatifs.....	18
II. Effets des radiations sur l’électronique .....	19
1. Notions sur l’interaction rayonnement-matière.....	20
2. Effets de Dose.....	23
3. Effets Singuliers .....	26
4. Tests.....	27
III. Le phénomène de bit collé.....	28
1. Observations.....	28
2. Historique .....	34
Conclusion.....	44
<b>Chapitre 2 – Les mémoires SRAM et DRAM.....</b>	<b>46</b>
Introduction .....	46
I. SRAM (Static Random Access Memory).....	47
1. Principe de fonctionnement et implémentation d’une cellule SRAM .....	47
2. Opérations de base .....	50
3. SRAM étudiées.....	53
II. DRAM (Dynamic Random Access Memory) .....	55
1. Principe de fonctionnement et implémentation d’une cellule DRAM.....	55
2. Opérations de base .....	61
3. Mémoires étudiées.....	63
III. Intégrité de l’information stockée .....	63
1. Redondances .....	64

# Remerciements

---

2.	Détection et correction d'erreur.....	65
3.	Mitigation des erreurs multiples .....	66
	Conclusion.....	67
	<b>Chapitre 3 – Caractérisation des mémoires sous irradiation.....</b>	<b>68</b>
	Introduction .....	68
I.	Moyen de tests .....	69
1.	Bancs de test fonctionnel .....	69
2.	Bancs de test paramétrique .....	73
3.	Moyens d'irradiation utilisés .....	74
4.	Logique expérimentale .....	77
II.	Étude du phénomène de bit collé sur SRAM .....	79
1.	Contexte .....	79
2.	Plan de test.....	79
3.	Résultats obtenus.....	81
4.	Conclusion sur les irradiations de SRAM .....	85
III.	Étude de la fonctionnalité des cellules SDRAM.....	85
1.	Contexte .....	85
2.	Plan de test.....	85
3.	Résultats.....	87
4.	Conclusion sur la fonctionnalité des cellules SDRAM.....	92
IV.	Étude de la variation du temps de rétention pour la SDRAM.....	93
1.	Contexte .....	93
2.	Plan de test.....	93
3.	Résultats.....	95
4.	Conclusion sur l'évolution du temps de rétention des cellules SDRAM .....	106
	Conclusion.....	107
	<b>Chapitre 4 – Modélisation et simulation de bits collés dans les SDRAM .....</b>	<b>108</b>
	Introduction .....	108
I.	Modélisation de la dégradation.....	109
1.	Cellule SDRAM.....	109
2.	Cluster de défauts.....	110

# Remerciements

---

II.	Outils de simulation.....	111
1.	La suite de simulation ECORCE.....	111
2.	Paramètres de simulation.....	115
III.	Résultats des simulations .....	115
1.	Jonction P-N+ non-endommagée .....	115
2.	Introduction d'un cluster de dommages.....	116
3.	Mécanismes du courant de fuite .....	117
IV.	Influence des différents paramètres de simulation .....	121
1.	Taille et concentration du cluster .....	121
2.	Température .....	122
3.	Influence du potentiel du nœud de stockage .....	123
V.	Implications technologiques .....	124
1.	Détermination du volume sensible .....	124
2.	Évolution technologique.....	125
	Conclusion.....	127
	<b>Conclusion Générale .....</b>	<b>128</b>
	<b>Communications Scientifiques .....</b>	<b>130</b>
I.	Dans le cadre de cette thèse .....	130
1.	Revue internationale.....	130
2.	Conférences internationales avec comité de lecture.....	130
3.	Conférences nationales .....	130
II.	Dans le cadre des activités du Centre Spatial Universitaire Montpellier-Nîmes	131
1.	Conférences internationales avec comité de lecture.....	131
	<b>Références.....</b>	<b>132</b>
	<b>Table des figures .....</b>	<b>139</b>
	<b>Index des tableaux.....</b>	<b>143</b>

## Introduction Générale

Dans les années 1950, les campagnes de test nucléaires des différents pays engagés à la course à l'armement ont démontré l'impact négatif des rayonnements sur l'électronique. En parallèle, en 1958, les Etats-Unis lancent leur premier satellite, Explorer 1, et découvrent ainsi l'existence de ceintures radiatives autour de la Terre, les ceintures de Van Allen [1]. Ces découvertes et observations, entre autres, ont permis d'établir très tôt que l'espace est un milieu très hostile pour l'électronique [2] et ont été une des motivations majeures pour l'étude de l'effet des radiations sur l'électronique.

De nos jours, plus de 50 ans après ces premières découvertes, l'étude et la maîtrise de l'impact des radiations sur les équipements est devenue une compétence à part entière dans le domaine de la fiabilité, plus communément appelée *Radiation Hardness Assurance* (RHA). L'étude scientifique des mécanismes fondamentaux menant à des défaillances dans les composants électroniques est elle aussi poussée en avant à la fois par les progrès techniques réalisés, par l'augmentation de la complexité de ces composants ainsi que par les nouvelles technologies déployées (dont la très grande majorité est issue du secteur commercial pour lequel les radiations ne sont pas considérées).

C'est dans ce contexte que se déroulent ces travaux : il est nécessaire de continuer à étudier les mécanismes physiques de dégradation de ces systèmes afin de comprendre et quantifier la menace causée par le milieu radiatif et ainsi assurer la fiabilité des systèmes soumis à un environnement radiatif, quel qu'il soit. Ici, il est question du phénomène de « bit collé » (stuck bit) pouvant survenir sur des mémoires SRAM (Static Random Access Memory) ou DRAM (Dynamic Random Access Memory) exposées à une contrainte radiative. Ces « bits collés » se traduisent par des valeurs logiques qui restent bloquées dans un état logique défini, rendant l'emplacement mémoire inutilisable et rendant inefficaces les codes correcteurs d'erreurs.

L'objectif de cette thèse, réalisée en partenariat avec le Centre National d'Étude Spatiales (CNES) et l'entreprise TRAD est en premier lieu, à partir de résultats en vol d'expériences du CNES embarquées sur différents satellites (JASON-2, PICARD), de définir les critères auxquels doit répondre une cellule endommagée pour être qualifiée de bit collé. D'ailleurs, ces bits collés n'ont pas été immédiatement identifiés comme tels lors des expériences en vol car ils présentaient la propriété de pouvoir se décoller et se recoller de façon aléatoire.

Ensuite, il faut reproduire les anomalies observées sur satellite en utilisant des sources de rayonnements artificiels tels que des accélérateurs de particules. Avec ces résultats et la connaissance de chaque type de mémoire, nous devons être en mesure d'avancer une explication quant à l'origine des bits collés.

Enfin, un mécanisme physique cohérent expliquant la formation des bits collés devra être proposé pour chaque type de mémoire.

Pour répondre à ces objectifs, cette thèse s'articule autour de quatre chapitres :

Après avoir donné des éléments généraux sur l'environnement radiatif susceptible d'être rencontré par les satellites ainsi que ses effets sur les composants électroniques, le premier chapitre s'attachera à établir l'état de l'art du phénomène de bit collé.

Le second chapitre sera consacré à une description plus fine du fonctionnement et des implémentations technologiques des mémoires SRAM et DRAM. Une attention particulière est portée aux mémoires choisies pour cette étude, celles pour lesquelles des bits collés ont été détectés sur satellites.

Dans le troisième chapitre, la mise en place d'expériences permettant l'observation du phénomène sous faisceau de particules sera décrite. Ces expériences ont été menées en collaboration avec la société TRAD sur les sites de TRAD (Labège, France), KVI (Groningen, Pays-Bas) ainsi que du CEN-SCK (Mol, Belgique). Le protocole expérimental utilisé y est décrit, ainsi que les résultats obtenus durant ces tests. Ces expériences permettent d'observer et de déterminer certaines propriétés des bits collés.

Le quatrième chapitre s'appuie directement sur nos résultats expérimentaux afin de proposer une modélisation et une simulation du phénomène sur les mémoires SDRAM. Le formalisme retenu pour la modélisation de l'endommagement d'une cellule y est décrit. Par ailleurs, la simulation par outil TCAD (Technology Computer Aided Design) d'une cellule mémoire endommagée y est décrite, ainsi que les résultats obtenus par cette méthode et leur corrélation avec les résultats expérimentaux.

L'étude se terminera par une conclusion générale faisant le bilan de l'ensemble des travaux menés au cours de cette thèse, en montrant les avancées dans la compréhension du phénomène de bit collé, ainsi que des perspectives, en citant les pistes d'intérêt pour la suite des études sur ce sujet.

## Chapitre 1 – État de l’art du phénomène de bit collé

### Introduction

Afin de pouvoir démarrer cette étude, il convient de montrer les effets délétères de l’environnement radiatif sur les composants électroniques.

Nous nous pencherons plus particulièrement sur l’environnement radiatif spatial, qui est d’intérêt particulier pour cette étude, les bits collés ayant été détectés pour la première fois sur des satellites. Ses origines, la composition des particules qui le constituent et ses spécificités seront étudiées. D’autres environnements radiatifs existants, tel que l’environnement atmosphérique, seront mentionnés pour référence.

Ensuite, la menace que cet environnement constitue pour l’électronique sera mise en évidence, avec l’explication des interactions possibles entre une particule et la matière. Les conséquences de ces interactions au niveau des composants seront exposées.

Un état de l’art approfondi des effets de bits collés sur mémoires SRAM et DRAM sera effectué et les travaux précédant cette thèse seront exploités afin de comprendre au mieux ce phénomène. Nous y verrons les principales propriétés de ces bits collés, ainsi que les pistes possibles quant à leur origine.

### I. Les environnements radiatifs

Un environnement radiatif est un environnement dans lequel sont présentes des particules qui peuvent interagir avec les matériaux présents dans cet environnement. L’objet de notre travail étant l’étude des anomalies dans les composants électroniques à bord des satellites en orbite terrestre, nous nous intéresserons principalement à l’environnement radiatif proche de la Terre.

#### 1. L’environnement radiatif spatial

L’environnement spatial est un environnement sévère pour les satellites car ils sont soumis au vide ainsi qu’à des températures extrêmes. Par ailleurs, ils sont aussi soumis à une autre contrainte qui est la contrainte radiative. Elle a plusieurs sources :

Tout d’abord, le Soleil diffuse un flux continu de particules chargées (électrons, protons et une fraction d’ions hélium) s’échappant de la couronne solaire. C’est ce qu’on appelle le vent solaire. La vitesse de ces particules est globalement comprise entre 300 et 600 km/s et leur flux omnidirectionnel entre 5 et 10 particules/cm<sup>3</sup> [3].

Il existe une autre composante due au Soleil, qui constitue ce que l’on appelle les événements solaires. Ces événements sont dus à la reconnexion de lignes de champ magnétique du Soleil, provoquant un réalignement soudain du champ magnétique pouvant entraîner deux types d’événements : le premier est ce que l’on appelle les éruptions solaires (*solar flares*), produisant des flashes lumineux sur tout le spectre (notamment rayons X), perturbant les télécommunications et pouvant accélérer les particules du vent solaire [3] ; et le second type d’événements, les éjections de masse coronale (CME, *coronal mass ejection*), éjectent des milliards de tonnes de matière, accélérées à des vitesses atteignant plusieurs milliers de km/s [3]. Elles sont sporadiques, irrégulières, et fortement directionnelles. De ce fait, elles sont très difficiles à prédire et aucune méthode fiable n’existe à ce jour. Le seul système d’alerte disponible reste l’observation directe de l’activité solaire par des réseaux de satellites. De plus, ces CMEs sont fortement associées à des événements impliquant principalement des protons, les *Solar Particle Events*.

Les éjections de masse coronale représentent donc un danger pour tous les systèmes électroniques en orbite de la Terre, et les événements majeurs, bien que très rares, sont une menace réelle pour les systèmes électroniques au sol [4]. Par exemple, un événement solaire en 1859, nommée le « *Carrington Event* », était si intense qu’il fut ressenti sur une grande proportion des réseaux électriques de l’époque et a même mis hors service une partie des réseaux de télégraphie en Europe et Amérique du Nord. Des aurores boréales (luminescence résultant de l’interaction de particules avec la haute atmosphère) massives étaient alors visibles mêmes à des latitudes très basses (au moins jusqu’à Cuba, situé entre les latitudes 19°N et 24°N).

Une autre source de rayonnements en environnement spatial est d’origine extérieure au système solaire. Les rayons cosmiques galactiques (*galactic cosmic rays*, GCR) sont émis lors de la nucléosynthèse d’étoiles hors du système solaire, ainsi que lors d’explosions de supernovæ [5]. Le flux de ces particules est considéré comme isotrope et est constitué d’environ 87% de protons, 12% d’ion hélium, et de 1% d’ions lourds [6]. L’abondance relative des éléments est détaillée sur la Figure 1.a, tandis que la Figure 1.b détaille le flux différentiel en fonction de l’énergie. On peut voir que l’abondance des éléments pour des numéros atomiques supérieurs à celui du fer chute de plusieurs ordres de grandeur, c’est ce que l’on appelle le « seuil du fer » (*iron threshold*).

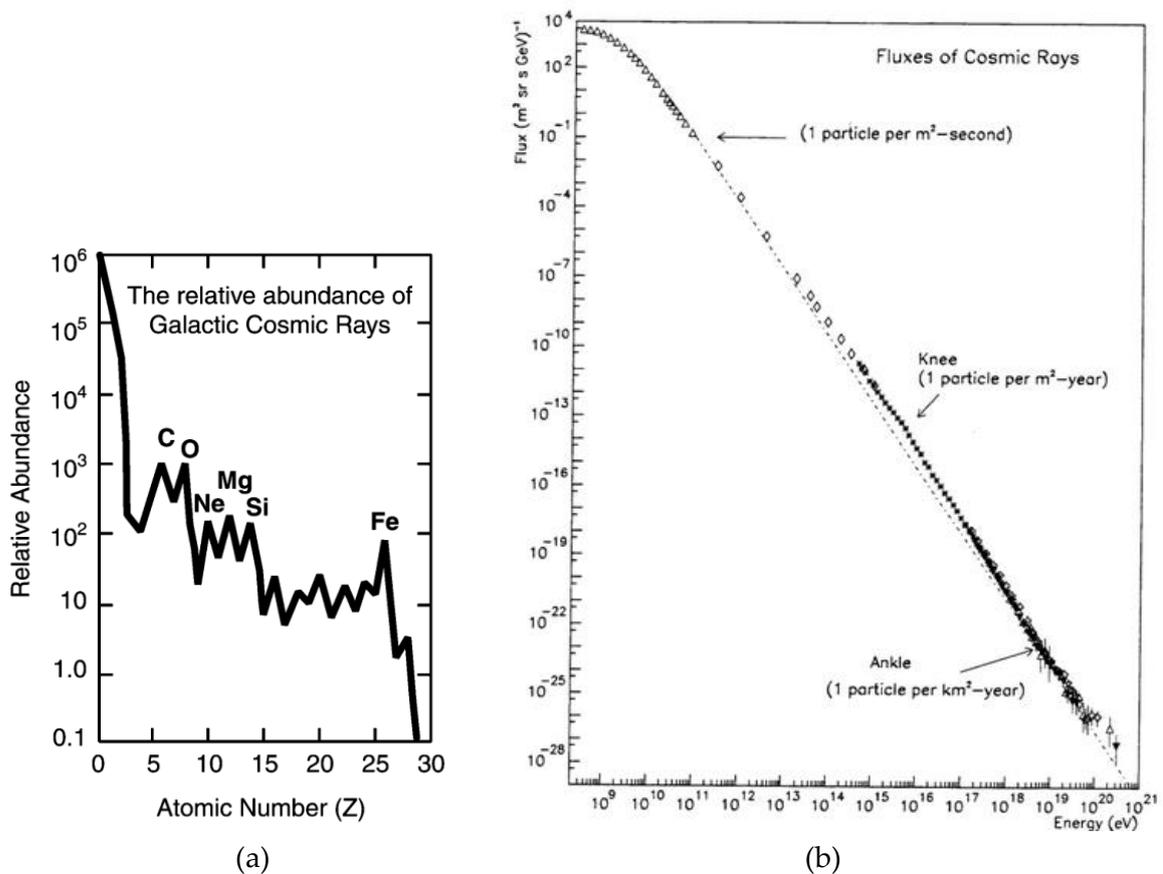


Figure 1. (a) Abondance relative des différents éléments composant les rayons cosmiques [6]  
(b) Flux différentiel en fonction de l’énergie [7]

Ces rayons cosmiques, comme on peut le voir sur la figure 1.b., peuvent atteindre des énergies dépassant 10<sup>20</sup> eV, bien que de tels événements soient très rares puisque la distribution en énergie décroît selon une loi en puissance au-delà de 10<sup>10</sup> eV.

Les rayons cosmiques interagissent avec l’atmosphère terrestre et peuvent produire des neutrons pouvant être réémis vers l’espace. Ce sont les neutrons albedo, auxquels sont soumis les satellites en orbite basse [8]. La Figure 2 détaille le flux de neutrons albedo simulé pour une orbite de 400 km. Les zones où le flux est plus élevé correspondent aux zones les plus élevées en latitude pour chaque inclinaison.

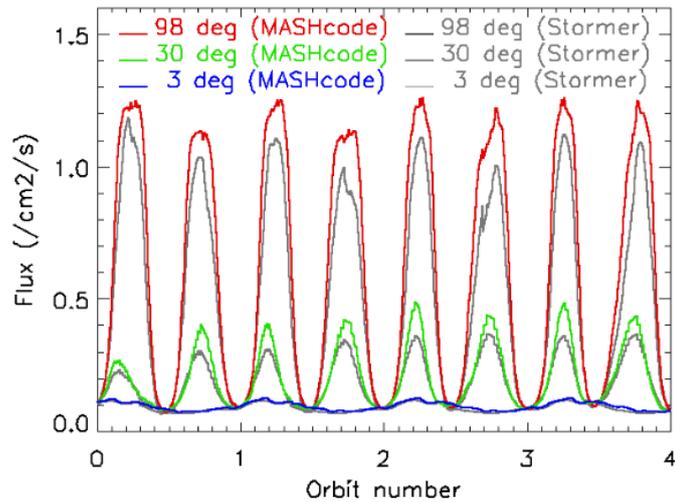


Figure 2. Flux de neutrons albedo pour une orbite basse (400 km), pour différentes inclinaisons (rouge, vert, bleu). [9]

La Terre possède un champ magnétique dû à son noyau. En première approximation, on peut le modéliser par un dipôle semblable au champ produit par un aimant simple. Mais en pratique, ce dipôle est déformé : le vent solaire exerce une pression qui déforme la magnétosphère terrestre, compressée sur la face exposée au Soleil (face jour) et étirée sur la face non-exposée au Soleil (face nuit). On peut voir sa représentation sur la Figure 3.

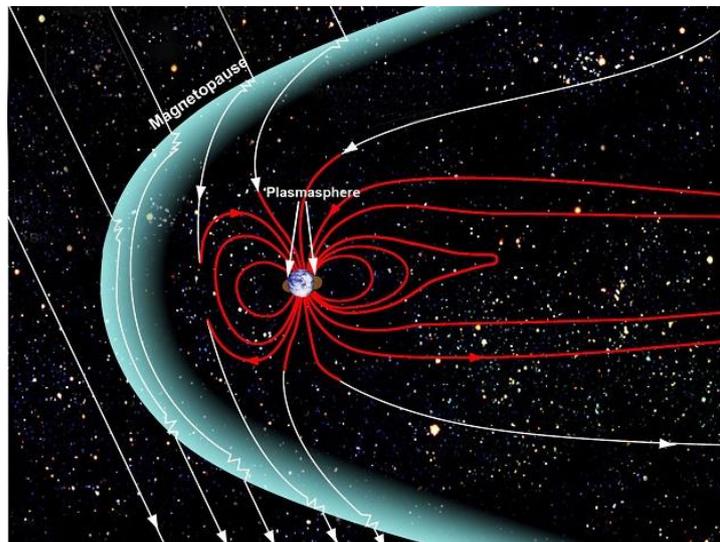


Figure 3. Représentation du champ magnétique terrestre qui présente une dissymétrie à cause du vent solaire. (Source : NASA)

Toute particule chargée se déplaçant dans un champ magnétique pur est soumise à la force de Lorentz  $\vec{F}$ , dont l’expression est :

$$\vec{F} = q (\vec{v} \times \vec{B}) \quad \text{Equation 1.1.}$$

où  $q$  est la charge de la particule,  $\vec{v}$  sa vitesse et  $\vec{B}$  le champ magnétique auquel elle est soumise.

Une particule chargée tentant de traverser la magnétosphère terrestre (son champ magnétique) sera donc soumise à une force la déviant de sa trajectoire. La magnétosphère agit ainsi comme un « bouclier » empêchant une partie des particules chargées d’atteindre les orbites basses des satellites, voire l’atmosphère. Cet écrantage est quantifié par ce qu’on appelle la rigidité magnétique, mesurée en gigavolts (GV), qui est définie par le produit du champ magnétique par le rayon de courbure de la trajectoire de la particule considérée. Plus la rigidité magnétique est faible, plus il est facile pour une particule de pénétrer dans la magnétosphère.

La rigidité maximale pour qu’une particule atteigne une altitude donnée, pour une longitude et une latitude données s’appelle la rigidité de coupure. Sa valeur dépend des conditions géomagnétiques, représentées par l’index planétaire  $Kp$ , pouvant varier de 0 à 9, calculé à partir des données sur trois heures provenant d’observatoires géophysiques répartis dans le monde [10]. Un index  $Kp$  supérieur à 5 est considéré comme une condition de tempête géomagnétique.

De ces rigidités de coupure, on peut déduire les zones où les particules pénétreront plus facilement dans la magnétosphère et donc les zones où le flux de particules est plus élevé. Ce sont des zones qui présentent un danger pour les satellites en orbite basse (< 2 000 km) en raison du risque accru d’anomalies dues aux radiations [11].

La première zone se situe aux latitudes élevées, elle constitue les « cornets polaires ». Par ailleurs, l’axe magnétique terrestre est incliné de  $11^\circ$  et décalé d’environ 450 km par rapport à l’axe de rotation terrestre [12]. La conséquence de ce décalage est la présence, dans l’Atlantique Sud, d’une seconde zone où la rigidité magnétique est plus faible (on l’observe typiquement entre 300 et 1000 km d’altitude). Les flux de particules y sont donc plus élevés. C’est ce que l’on appelle l’Anomalie de l’Atlantique Sud (*South Atlantic Anomaly, SAA*).

La Figure 4 illustre le flux instantané de protons en orbite basse par l’expérience CEASE du satellite TSX-5. Les cornets polaires et la SAA y sont clairement visibles.

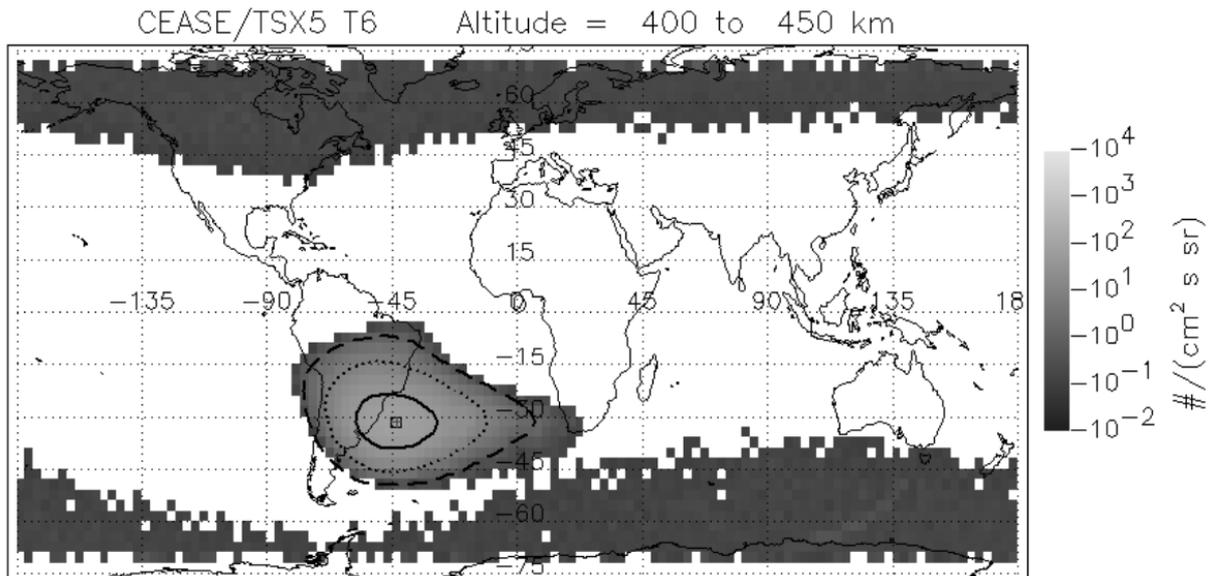


Figure 4. Flux instantané de protons d’énergie supérieure à 38 MeV entre 400 et 450 km [11]

Une autre conséquence des forces s’exerçant sur les particules chargées dans la magnétosphère terrestre est que certaines de ces particules « s’enroulent » autour des lignes du champ magnétique et y restent piégées. Elles constituent les ceintures de radiation terrestres, appelées ceintures de Van Allen.

Selon le type de particules piégées dans le champ magnétique, on distingue [3] :

- Une ceinture de protons, centrée à 2 500 km d’altitude qui s’étend jusqu’à 11 500 km. L’énergie des protons peut atteindre un maximum de l’ordre de grandeur de plusieurs centaines de MeV. L’altitude du flux maximum de protons dépend de l’énergie considérée.
- Deux ceintures d’électrons, dans lesquelles les énergies maximales sont de l’ordre de la dizaine [13] de MeV :
  - Une ceinture interne, centrée sur 2 500 km d’altitude et s’étendant jusqu’à 11 500 km.
  - Une ceinture externe, s’étendant de 32 000 km à 70 000 km d’altitude. L’espace entre les ceintures internes et la ceinture externe est appelé le *slot*.

La Figure 5 représente les flux instantanés de protons (partie gauche) et d’électrons (partie droite) issus des modèles AP-8 [14] et AE-8 [15] . On peut clairement identifier les cœurs des ceintures internes et externes.

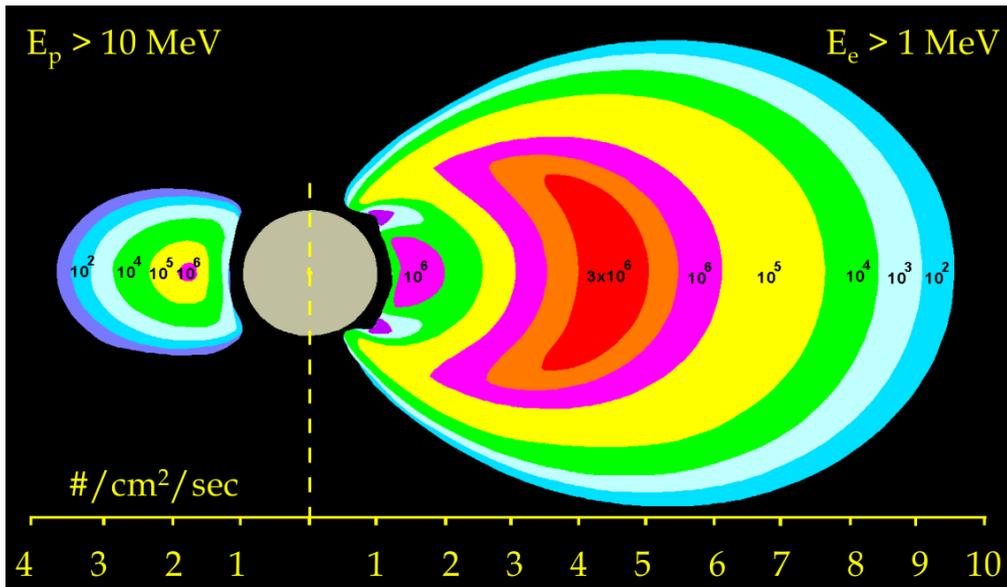


Figure 5. Flux instantanés de protons > 10 MeV et d'électrons  $E > 1$  MeV piégés selon les modèles AP8 et AE8 [3]. L'abscisse est donnée en nombre de rayons terrestres.

L'activité solaire est cyclique, avec des cycles de 11 ans : 7 ans pendant lesquels le Soleil est plus actif (nombre maximal de taches solaires), et 4 ans pendant lesquels il est moins actif (nombre minimal de taches solaires). Cette activité est quantifiée par le nombre de Wolf, qui correspond au nombre de taches solaires visibles. Il est calculé de la manière suivante :

$$R = k \times (10 \times g + s) \quad \text{Equation 1.2.}$$

avec  $R$  le nombre de Wolf,  $k$  un facteur de correction dépendant de la localisation de l'observateur ainsi que de son équipement,  $g$  le nombre de groupes de taches observées et  $s$  le nombre de taches individuelles. Sur la Figure 6, on peut voir l'évolution du nombre de Wolf de 1956 à 2016. Les cycles de 11 ans précédemment décrits sont bien visibles.

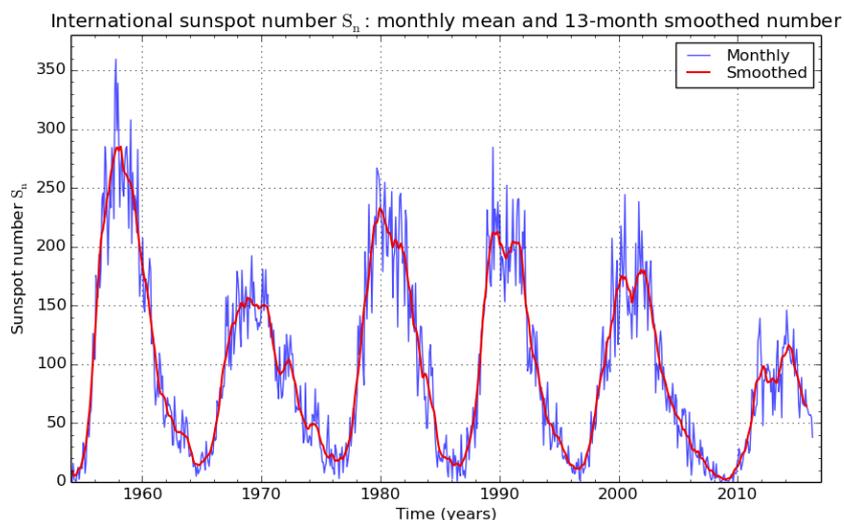


Figure 6. Nombre de Wolf au cours de ces 60 dernières années. [16]

Connaître l’activité solaire est très important pour prévoir l’environnement radiatif spatial : au maximum, la probabilité d’éjection de masse coronale est plus importante [3]. Une autre conséquence de l’activité solaire est que le flux de rayons cosmiques est inversement corrélé à l’activité solaire, à cause d’un effet d’écrantage. La Figure 7, représentant le nombre de taches solaires et le taux de rayons cosmiques détectés de 1983 à 2013, met en évidence cette anticorrélation.

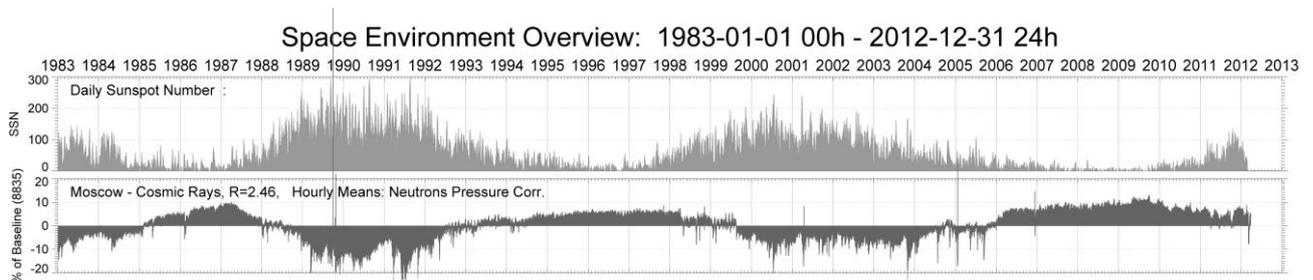


Figure 7. Comparaison du nombre de Wolf avec le flux de rayons cosmiques. [17]

Comme on peut le voir, l’environnement radiatif spatial en orbite terrestre n’est pas seulement la somme des flux de particules provenant du système solaire et des particules extrasolaires. C’est le résultat d’interactions complexes entre le soleil, les particules venant de l’extérieur du système solaire, et de la magnétosphère terrestre. Afin de pouvoir prédire le milieu radiatif auquel sera soumis un satellite tout au long de sa mission, des modèles sont utilisés. Malgré leurs limitations [18], ces modèles sont des outils importants pour pouvoir assurer la fiabilité de l’électronique spatiale face aux radiations.

### 2. Autres environnements radiatifs

Il faut aussi mentionner que la contrainte radiative se rencontre dans d’autres environnements : les systèmes terrestres sont aussi exposés aux radiations car les rayons cosmiques provoquent des réactions en chaîne dans l’atmosphère, appelées cascades ou gerbes de particules [19]. La Figure 8 illustre la composition de ces « cascades de particules » en fonction de l’altitude. Le flux maximum de particules, appelé le maximum de Pfozter est atteint à environ 18 km.

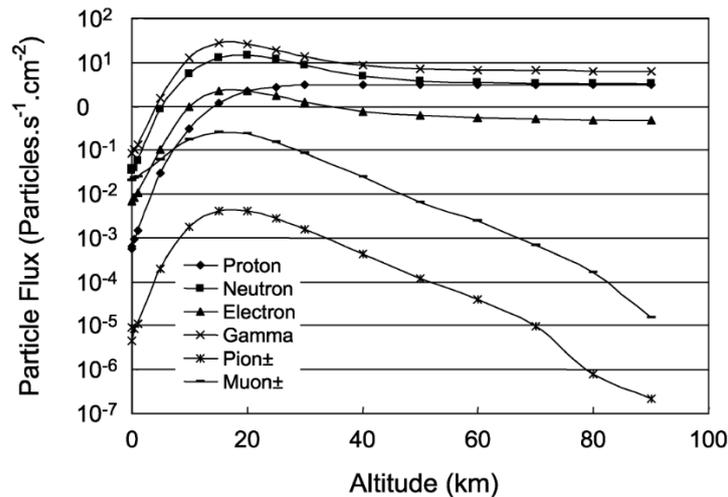


Figure 8. Flux de particules en fonction de l'altitude. Ces particules sont créées lors de l'interaction des rayons cosmiques avec l'atmosphère. [20]

Même si les flux de particules sont beaucoup plus faibles au niveau terrestre qu'en orbite, le déploiement massif d'appareils électroniques, embarquant toujours plus de composants augmente le nombre d'occurrences de phénomènes liés aux radiations dans le milieu atmosphérique ou bien au niveau du sol, que ce soit dans le secteur automobile [21], aéronautique ou bien de l'électronique domestique.

Les systèmes utilisés dans le nucléaire ont eux des contraintes spécifiques, ils évoluent dans un milieu radiatif artificiel et sont l'objet d'enjeux de sécurité et environnementaux très élevés. Un autre domaine d'intérêt est celui du militaire car les armes nucléaires peuvent aussi créer une contrainte radiative artificielle, comme l'a montré l'essai d'une bombe atomique dans l'espace, Starfish Prime en 1962, qui endommagea et provoqua des pannes sur plusieurs satellites et provoqua un renforcement des ceintures de Van Allen pendant plusieurs années [2]. Au sol également, les armes nucléaires peuvent évidemment endommager ou même désactiver des systèmes électroniques embarqués [22].

Enfin il est à noter la présence naturelle d'impuretés radioactives dans tous les matériaux et donc dans ceux destinés à la microélectronique. Ces impuretés, même si elles sont en concentrations très faibles, peuvent néanmoins constituer un danger pour les technologies les plus sensibles [23].

## II. Effets des radiations sur l'électronique

Nous nous attachons maintenant à décrire les effets que peut avoir l'environnement radiatif sur la matière et sur les systèmes électroniques.

### 1. Notions sur l’interaction rayonnement-matière

Lorsqu’un matériau est soumis à une source de rayonnement, les particules incidentes ont une certaine probabilité d’interagir avec le noyau ou les électrons des atomes de ce matériau, selon plusieurs processus dépendant de la nature physique de la particule et de la matière traversée.

La surface cible totale associée à une certaine interaction est appelée section efficace (*cross-section*). Elle est homogène à une surface et est le plus souvent exprimée en barns ( $10^{-24}$  cm<sup>2</sup>). Elle peut être interprétée comme un indicateur de la probabilité de l’interaction considérée. Si l’on considère un faisceau de particules, d’une fluence  $\phi$  (cm<sup>-2</sup>) traversant un milieu dans lequel elles causent  $N$  interactions, la section efficace, notée  $\sigma$ , est donnée par :

$$\sigma = \frac{N}{\phi} \quad \text{Equation 1.3.}$$

Dans la suite nous nous intéressons aux particules d’intérêt pour l’environnement spatial : photons, électrons, nucléons (protons et neutrons) et ions lourds.

Le photon, qui est une particule élémentaire, peut interagir avec un atome du milieu traversé selon plusieurs mécanismes [24] :

- Diffusion Rayleigh : le photon est diffusé (i.e. il change de direction) mais ne cède pas d’énergie.
- Diffusion Compton : le photon est diffusé et cède une partie de son énergie à un électron de la couche électronique qui est émis.
- Effet photoélectrique : un photon transmet l’intégralité de son énergie à un électron de la couche électronique qui est ensuite émis. C’est le mécanisme à la base des cellules solaires.
- Production de paire : selon son énergie, le photon peut soit :
  - Interagir avec le noyau pour créer une paire électron/positron (cela nécessite une énergie minimale pour le photon de 1,022 MeV)
  - Interagir avec la couche électronique. Une paire électron/positron est créée et un électron est éjecté (*triplet production*).

Les électrons (et par extension, les positrons), peuvent interagir selon plusieurs mécanismes :

- Interactions coulombiennes, de deux types :
  - Élastiques : l’énergie cinétique totale des particules en interaction est conservée.
  - Inélastiques : l’énergie cinétique totale n’est pas conservée. L’électron incident transfère une partie de son énergie à un électron qui peut atteindre un état d’énergie supérieur (excitation) ou bien être émis (ionisation).

- Rayonnement de freinage (Bremsstrahlung) : l'électron incident, ralenti par le champ électrique au voisinage d'un atome, émet un photon. C'est le principe utilisé dans la production de rayons X.
- Annihilation de paires : un positron secondaire est absorbé par un électron de la couche électronique d'un atome du milieu irradié. Deux photons sont produits. C'est un principe utilisé en imagerie médicale (TEP).

Les ions peuvent interagir avec les atomes du milieu qu'ils traversent. Ces interactions peuvent être :

- Élastiques : l'ion transfère une partie de son énergie à un atome qui se déplace (atome de recul). L'énergie cinétique totale est conservée.
- Inélastiques : l'ion lourd transfère une partie de son énergie à un électron qui est émis (ionisation). L'énergie cinétique totale n'est pas conservée.

Quant aux nucléons (protons et neutrons), ils peuvent avoir des interactions nucléaires avec le noyau de l'atome considéré :

- Élastiques : le nucléon transfère une partie de son énergie à un atome qui se déplace (atome de recul). L'énergie cinétique totale est conservée.
- Inélastiques : le nucléon interagit avec un noyau du matériau traversé, donnant lieu à une réaction durant laquelle des particules secondaires peuvent être créées. L'énergie cinétique n'est pas conservée.

Les protons sont un cas particulier : possédant une charge, ils peuvent eux aussi interagir avec les mécanismes précédemment décrits pour les ions.

Comme on peut le voir, les interactions entre une particule et le milieu qu'elle traverse sont non seulement complexes, mais aussi liées entre elles : des particules secondaires peuvent être générées et peuvent à leur tour interagir, créant une « cascade » de particules.

Pour l'étude des effets des radiations sur l'électronique, deux familles d'interactions sont d'intérêt particulier : les réactions entraînant l'émission de porteurs libres (ionisation du matériau) et les réactions provoquant une modification de la structure du matériau irradié (déplacement atomique).

Le pouvoir d'arrêt total représente la quantité d'énergie perdue par la particule par unité de longueur ( $\frac{dE}{dx}$ ). La Figure 9 montre le pouvoir d'arrêt d'une particule alpha lors de son parcours dans l'air. On peut noter l'apparence caractéristique de la courbe pour un ion lourd et voir que l'énergie déposée par unité de longueur atteint un maximum, appelé pic de Bragg, en fin de parcours.

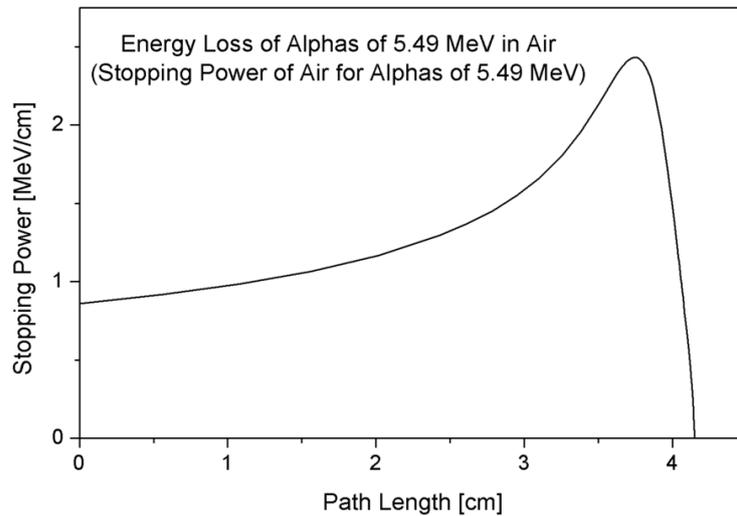


Figure 9. Pouvoir d’arrêt d’une particule alpha dans l’air. Le pic de Bragg est visible en fin de parcours. [25]

Ce dépôt non-homogène de l’énergie dans l’espace est utilisé dans les traitements de protonthérapie, qui est une amélioration de la gammathérapie. Les rayons gamma perdent leur énergie de façon beaucoup plus uniforme, ce qui endommage les tissus sains situés dans le trajet de la tumeur. Les protons, eux, perdent la majorité de leur énergie en fin de parcours, ce qui permet de cibler plus précisément la tumeur et ainsi minimiser le dommage aux tissus sains. De la même façon, un proton est capable d’atteindre une zone sensible d’un composant et d’y déposer l’essentiel de son énergie en créant un dysfonctionnement.

Parmi les diverses contributions au pouvoir d’arrêt, le pouvoir d’arrêt électronique, qui décrit l’énergie perdue par la particule aux interactions ionisantes par unité de distance est intéressante dans l’étude des effets des radiations sur l’électronique.

De façon analogue au pouvoir d’arrêt électronique, un concept de pouvoir d’arrêt non-ionisant est défini pour les interactions non-ionisantes, c’est ce qu’on appelle le NIEL (*non-ionizing energy loss*), qui est définie par l’énergie de la particule incidente cédée au matériau par les interactions non-ionisantes par unité de distance (sans compter la dissipation d’énergie vibratoire par phonons, qui n’endommage pas le matériau).

A partir des pertes d’énergies précédemment décrites, on peut en déduire la portée (*range*) d’une particule, qui correspond à la distance parcourue par cette particule avant de perdre toute son énergie [26]. Elle peut être définie par l’intégrale sur la gamme d’énergie de l’inverse du pouvoir d’arrêt total.

$$R = \int_0^E -\frac{dx}{dE} dE \quad \text{Equation 1.4.}$$

avec  $R$  le parcours,  $E$  l’énergie de la particule incidente et  $\frac{dx}{dE}$  l’inverse du pouvoir d’arrêt total.

Connaître le pouvoir d’arrêt d’une particule permet de pouvoir déterminer avec plus de précision les effets qu’elle aura sur le composant. On peut ainsi savoir si elle peut atteindre la zone sensible.

Afin de s’affranchir de la dépendance du pouvoir d’arrêt sur la masse volumique du matériau, le pouvoir d’arrêt de masse (*mass stopping power*) est utilisé dans la communauté des effets des radiations sur l’électronique. Il est défini par :

$$S = \frac{1}{\rho_{mat}} \frac{dE}{dx} \quad \text{Equation 1.5.}$$

Avec  $S$  le pouvoir d’arrêt de masse,  $\frac{dE}{dx}$  le pouvoir d’arrêt de la particule incidente, et  $\rho_{mat}$  la masse volumique du matériau considéré.

### 2. Effets de Dose

Les effets de dose résultent de l’ensemble des interactions des particules traversant la zone sensible du composant étudié. Ce sont donc des effets dépendant de l’énergie totale cédée au matériau par les particules incidentes, et l’on utilise le concept de dose pour quantifier ces effets. La dose est égale à l’énergie transmise au matériau par unité de masse :

$$D = \frac{dE}{dm} \quad \text{Equation 1.6.}$$

L’unité du Système International (SI) pour mesurer la dose est le Gray, qui équivaut à des joules par kilogramme (J/kg). Néanmoins, l’unité la plus utilisée dans le milieu des effets des radiations sur l’électronique pour le spatial, pour des raisons principalement historiques, est une unité non-SI, le rad, qui équivaut à 0,01 Gy.

Cette dose peut être divisée, de façon analogue au pouvoir d’arrêt, en deux composantes : ionisante et non-ionisante (plus communément appelée dommage de déplacement, *displacement damage*).

Comme son nom l’indique, la dose ionisante est la dose résultant des interactions ionisantes précédemment décrites, c’est-à-dire qui créent des paires électron-trou dans le milieu étudié. Parmi ces porteurs, des paires électron-trou se recombinent, et une certaine fraction reste libre d’être diffusée ou piégée. Cette fraction non-recombinée est dépendante du champ électrique appliqué car il contribue à séparer les électrons et les trous. Les effets de dose ionisante peuvent donc dépendre de la polarisation des composants. Comme on peut le voir sur la Figure 10, qui décrit la fraction non-recombinée en fonction du champ électrique pour différentes particules la fraction non-recombinée dépend aussi du type et de l’énergie de la particule.

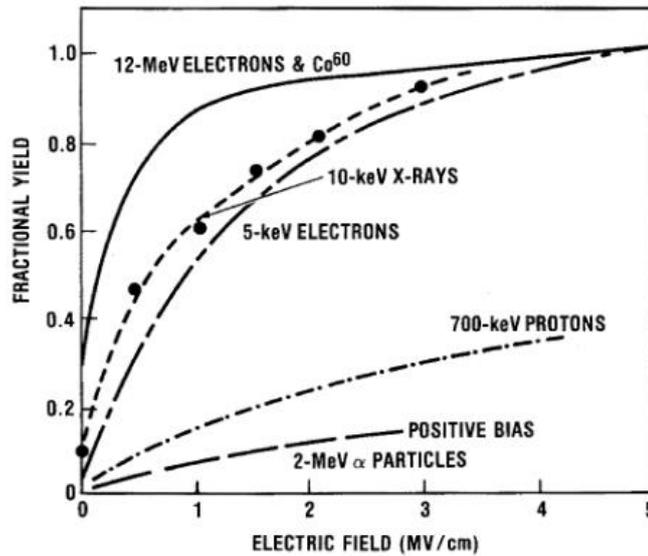


Figure 10. Fraction non-recombinée en fonction du champ électrique pour différentes particules [27]

Un exemple d’effet néfaste de cette dose ionisante, dans un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor), est lié aux passages successifs de particules ionisantes (rayonnements gamma, protons, ions lourds, ...) qui créent des paires électron-trou restant piégées dans l’oxyde de grille. Les charges négatives sont rapidement évacuées par l’agitation thermique, tandis que les trous restent piégés, car la barrière énergétique de réémission des trous piégés dans le dioxyde de silicium ( $SiO_2$ ) est plus élevée. Ces charges positives résiduelles créent un champ électrique local qui modifie la tension de seuil du transistor.

De façon plus générale, ces effets de dose peuvent entraîner une dérive des caractéristiques d’un composant : augmentation du courant de fuite, changement de tension de seuil... et si la dose est suffisante, le composant peut même devenir inutilisable.

Dans le cas d’une interaction non-ionisante, si l’énergie cinétique transférée par la particule incidente à l’atome cible est assez élevée, l’atome est éjecté et peut à son tour interagir par interactions ionisantes ou non. On parle alors d’atome déplacé primaire (PKA, *primary knock-on atom*) ou bien d’atome de recul (*recoil atom*). Ce sont ces effets qui sont à la base du déplacement. Un atome déplacé peut à son tour en déplacer d’autres, et ainsi de suite (l’énergie cinétique minimale nécessaire pour déplacer un atome de silicium étant environ de 15 eV [28]).

Les atomes déplacés forment alors des défauts, pouvant être décomposés en deux catégories : l’interstitiel, qui correspond à un atome présent là où il ne devrait pas y en avoir et le vacant (*vacancy*), qui correspond à l’absence d’un atome dans le réseau cristallin. La Figure 11 montre des observations par microscopie électronique de chaque type de défaut.

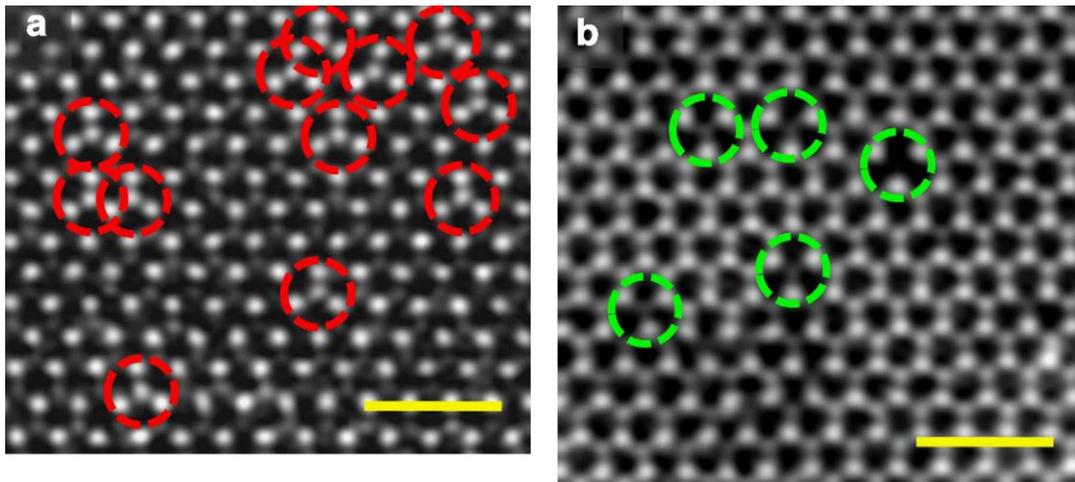


Figure 11. Observation par microscopie électronique à balayage et effet tunnel (STEM) de défauts interstitiels (image a) et d'emplacements vacants (image b) dans une structure de sulfure de molybdène (échelle : 1 nm) [29]. Les zones claires correspondent à la présence d'atomes.

Les défauts peuvent migrer, jusqu'à former des défauts composites, dont le plus basique est la paire Vacant-Interstitiel, aussi appelée paire de Frenkel (*Frenkel pair*) [30].

Comme il a été décrit dans la partie précédente, si les atomes déplacés ont une énergie cinétique suffisante, ils peuvent à leur tour déplacer d'autres atomes et ainsi constituer une « cascade » d'atomes déplacés. En fin de parcours, les particules ont un pouvoir d'arrêt non-ionisant plus élevé, créant des zones où le nombre de défauts créés par unité de volume est plusieurs ordres de grandeurs plus élevé que sur le reste du parcours de la particule (*clusters* de défauts). La Figure 12 montre la cascade de déplacements dus à un atome de recul (silicium de 50 keV) dans du silicium polycristallin. On peut voir que d'autres atomes de recul sont créés, ainsi que les clusters de défauts en fin de parcours des particules.

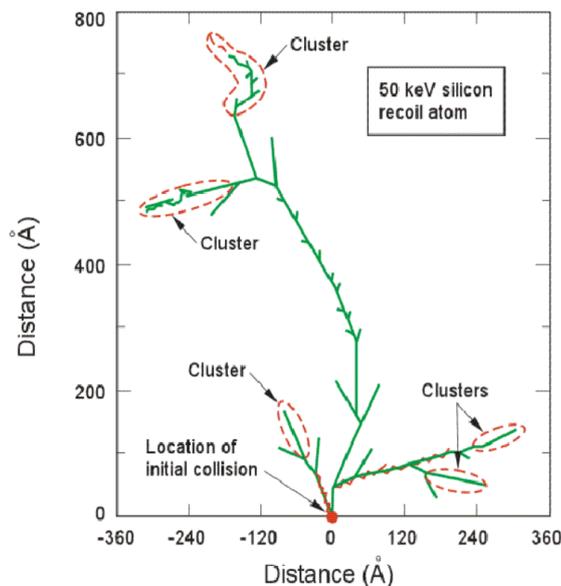


Figure 12. Cascade de déplacements dans du silicium. PKA : Si, énergie initiale de 50 keV [31]

Pour les composants électroniques à semiconducteurs, ces défauts sont électriquement actifs : ils créent des états (dont le niveau d’énergie dépend du type de défaut) dans la bande interdite, résultant en [30] :

- Une augmentation de la génération de porteurs, ce qui entraîne une augmentation du courant de fuite.
- Une augmentation de la recombinaison de porteurs libres, ce qui entraîne une baisse de la durée de vie des porteurs.
- Du piégeage/dépiégeage de porteurs.
- De la compensation de niveaux donneurs.
- Une augmentation de la conduction assistée par effet tunnel, ce qui augmente le courant de fuite, plus particulièrement dans les dispositifs à gap réduit dans lesquels de forts champs électriques sont présents.

Ces dommages de déplacement se traduisent donc par des symptômes variés, dépendants du composant et de la technologie considérée. Des cellules solaires soumises à un flux de neutrons, par exemple, verront leur efficacité diminuer. Les systèmes optoélectroniques sont aussi sensibles aux dommages de déplacement.

### 3. Effets Singuliers

L’autre famille d’effets des radiations sur l’électronique, appelée *effets singuliers*, résulte de l’interaction d’une particule unique avec un composant électronique. Tout comme les effets de dose dépendent du composant irradié, les effets singuliers sont tout aussi variés et peuvent être classés en deux catégories : les erreurs logiques (*soft errors*), qui sont récupérables et les erreurs dites matérielles (*hard errors*) qui sont, elles, permanentes. Dans le milieu spatial, les effets singuliers sont en général produits par les ions lourds et les protons. Les électrons et les photons, qui sont impliqués dans les effets de dose, ne déposent pas – individuellement - assez d’énergie par unité de longueur pour pouvoir déclencher ces effets dans les composants qui seront étudiés ici. Pour des technologies récentes (SRAMs du nœud technologique 50 et 28 nm), une étude de 2013 montre cependant que des électrons peuvent entraîner des événements singuliers [32].

L’un des exemples des plus basiques d’un effet singulier transitoire est le Single Event Transient (SET). Lorsqu’un ion lourd, par exemple, traverse la source ou le drain d’un transistor MOS, il crée le long de sa trajectoire des charges qui seront collectées et qui provoqueront ainsi une variation de potentiel. C’est d’ailleurs le principe utilisé par certains détecteurs de particules [33]. Lorsque cet effet se produit dans une chaîne logique, un SET d’une amplitude et durée suffisantes peut déclencher un changement d’état dans cette chaîne logique (aléa logique). On parlera alors de Single Event Upset.

La nature très souvent complexe des composants électroniques fait qu’il est de plus en plus nécessaire d’ajouter de la logique de contrôle, telle que les registres de configuration d’un processeur ou la logique d’adressage d’une mémoire. Les SEU subis par cette logique

de contrôle peuvent déclencher un spectre très large d’erreurs ou d’anomalies, qui sont très dépendantes du composant et difficiles à caractériser (corruption d’un bloc de données entier dans une mémoire, blocage d’un composant...). Ces erreurs sont définies par le terme générique de Single Event Functional Interrupt (SEFI). On distingue les « hard » SEFI, qui nécessitent un redémarrage du composant et les « soft » SEFI qui ne nécessitent pas de redémarrage.

La présence de structures parasites inhérentes aux processus de fabrication des composants apporte certains problèmes. Par exemple, le latchup, qui résulte de la mise en conduction d’une structure thyristor (PNPN) parasite, est un phénomène qui est déjà bien connu en électronique classique. Mais le passage d’une particule peut lui aussi provoquer la mise en conduction de cette structure parasite, résultant en un Single Event Latchup, qui augmente le courant consommé par le composant et est potentiellement destructif s’il est maintenu trop longtemps. La Figure 13 est une observation au microscope optique d’une mémoire SRAM décapulée après un SEL et met clairement en évidence un effet destructeur, avec une partie du plan mémoire endommagée par l’augmentation locale de température générée par le courant de latchup.

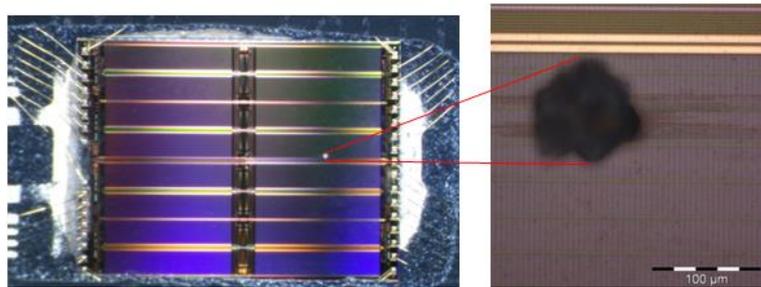


Figure 13. Effet destructif d’un SEL sur une mémoire SRAM [34] (Image : F. Bezerra, CNES)

Un effet analogue, plus souvent rencontré dans les transistors de puissance est le Single Event Burnout (SEB), un effet potentiellement destructeur qui résulte de la mise en conduction d’une structure NPN parasite suite au passage d’une particule.

Les transistors de puissance sont aussi soumis au Single Event Gate Rupture (SEGR), qui survient quand une particule incidente crée un canal conducteur au travers de la grille.

#### 4. Tests

Afin de pouvoir quantifier la sensibilité d’un composant à la contrainte radiative, il est possible d’utiliser un environnement radiatif artificiel (accélérateurs de particules, sources de radiations), ou plus rarement, pour des applications avioniques ou terrestre, des environnements radiatifs naturels (tels que les tests en laboratoires d’altitude [35]).

Il est important de conduire les tests dans un environnement connu et contrôlé : les composants sont irradiés avec un faisceau dont la nature et l’énergie des particules qui le compose est connue, avec un flux (particules par unité de surface et de temps) connu.

Pour quantifier la sensibilité d’un composant face à un type d’événement singulier, on utilise le plus souvent la section efficace, qui est définie par le rapport du nombre d’événements et de la fluence de particules (c.f. équation 1.4).

Les tests peuvent se classer en deux catégories : les tests de caractérisation, qui servent à explorer la sensibilité d’un composant à certains effets, et les tests de qualifications qui servent à démontrer la tenue aux radiations d’un composant selon un protocole normé, telles que les normes ECSS (European Cooperation for Space Standardization) [36] de l’Agence Spatiale Européenne ainsi que les normes MIL-STD-883E [37], publiées par le Ministère de la Défense des Etats-Unis d’Amérique.

Les tests menés lors de cette thèse seront donc des tests de caractérisation car leur nature est exploratoire : ils ont pour but d’étudier le phénomène de bit collé et non de qualifier des composants pour une utilisation spatiale.

En conclusion de cette partie, nous avons montré que les effets des radiations sur l’électronique font intervenir différents domaines de la physique (physique des particules, physique des semiconducteurs, électronique) à des échelles hautement variables (atome/composant/système). Sur un satellite, les radiations peuvent toucher tous les systèmes, c’est une menace importante qui doit être prise en compte dès les premières étapes de conception des systèmes spatiaux.

### III. Le phénomène de bit collé

Après avoir défini l’impact de l’environnement radiatif sur les composants électroniques, il est temps de nous pencher sur l’objet de notre étude : le phénomène de bit collé. Bien que présent sur d’autres types de mémoires, telles que les Flash [38], notre étude ne concernera que les mémoires SRAM et DRAM. Nous avons montré que les effets des radiations peuvent se classer en deux familles : les effets de dose et les effets singuliers. Les bits collés ne sont, pour l’instant, pas classés de manière claire dans l’une des deux familles.

#### 1. Observations

Sur PICARD, satellite d’observation solaire du CNES, certaines adresses des mémoires SDRAM du senseur stellaire subissent des erreurs récurrentes. Sur la Figure 14, qui représente le nombre d’erreurs en fonction de la date, on peut voir que ces erreurs récurrentes, survenant sur une dizaine d’adresses (en bleu), comptent pour la quasi-totalité des erreurs répertoriées, comparées aux autres types d’erreurs (total représenté en rose, comprenant plus d’un million d’adresses), avec un écart supérieur à  $10^2$ .

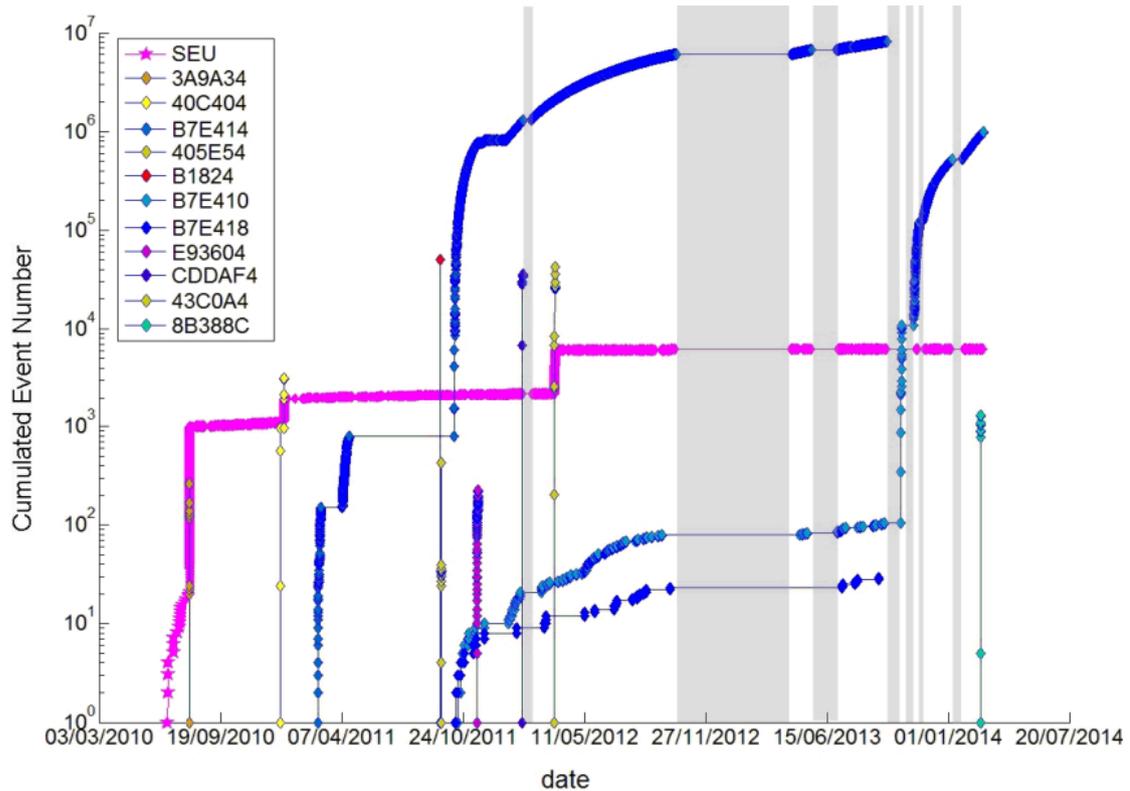


Figure 14. Nombre d’erreurs en fonction de la date sur la mémoire du capteur stellaire de PICARD. En rose, nombre total d’erreurs non-récurrentes, en gris : équipement éteint. Légende : adresses. [39]

Ces erreurs ne peuvent pas être classées comme des upsets réguliers de par leur récurrence, il s’agit donc d’un type d’erreur n’entrant pas dans la nomenclature précédemment énoncée. Les données obtenues permettent de pouvoir observer plusieurs propriétés de ces erreurs atypiques :

- Localisées : c’est toujours le même bit du même mot qui est en erreur.
- Intermittentes : le bit affecté n’est pas obligatoirement en erreur à chaque lecture.
- Persistantes : redémarrer le composant n’a aucun effet sur la fréquence d’occurrence de l’erreur.

Lorsque l’on examine la cartographie de la première apparition d’erreur pour chaque cellule subissant ces erreurs atypiques (Figure 15), on peut s’apercevoir que la majorité des erreurs débutent dans l’Anomalie de l’Atlantique Sud ou à des latitudes élevées, des zones où les flux de particules sont plus élevés.

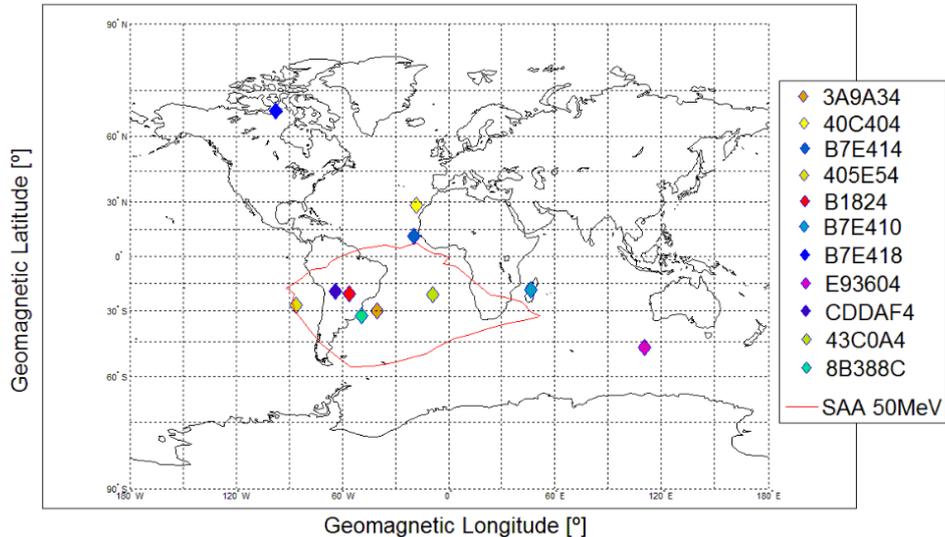


Figure 15. Localisation de la première occurrence des erreurs pour chaque cellule. Courbe isoflux des protons E > 50 MeV en rouge. [39]

Ce retour d’expérience n’est pas un retour isolé sur ce phénomène, car sur une expérience embarquée du CNES, CARMEN-2 (sur le satellite JASON-2), des cellules présentant des erreurs récurrentes ayant les mêmes caractéristiques que sur le senseur stellaire de PICARD ont été observées sur une autre référence de mémoire SDRAM [40]. Sur la Figure 16, qui représente, de façon analogue à la Figure 14 le nombre d’erreur en fonction de la date pour plusieurs adresses de deux mémoires SDRAM de l’expérience CARMEN-2, nous pouvons en effet observer 13 mots au total, qui présentent ces erreurs atypiques, qui dominent le nombre total d’erreurs (chaque courbe représente l’évolution d’un mot ; les autres types d’erreurs, comprenant plus d’un million de mots, sont représentés par la courbe rose).

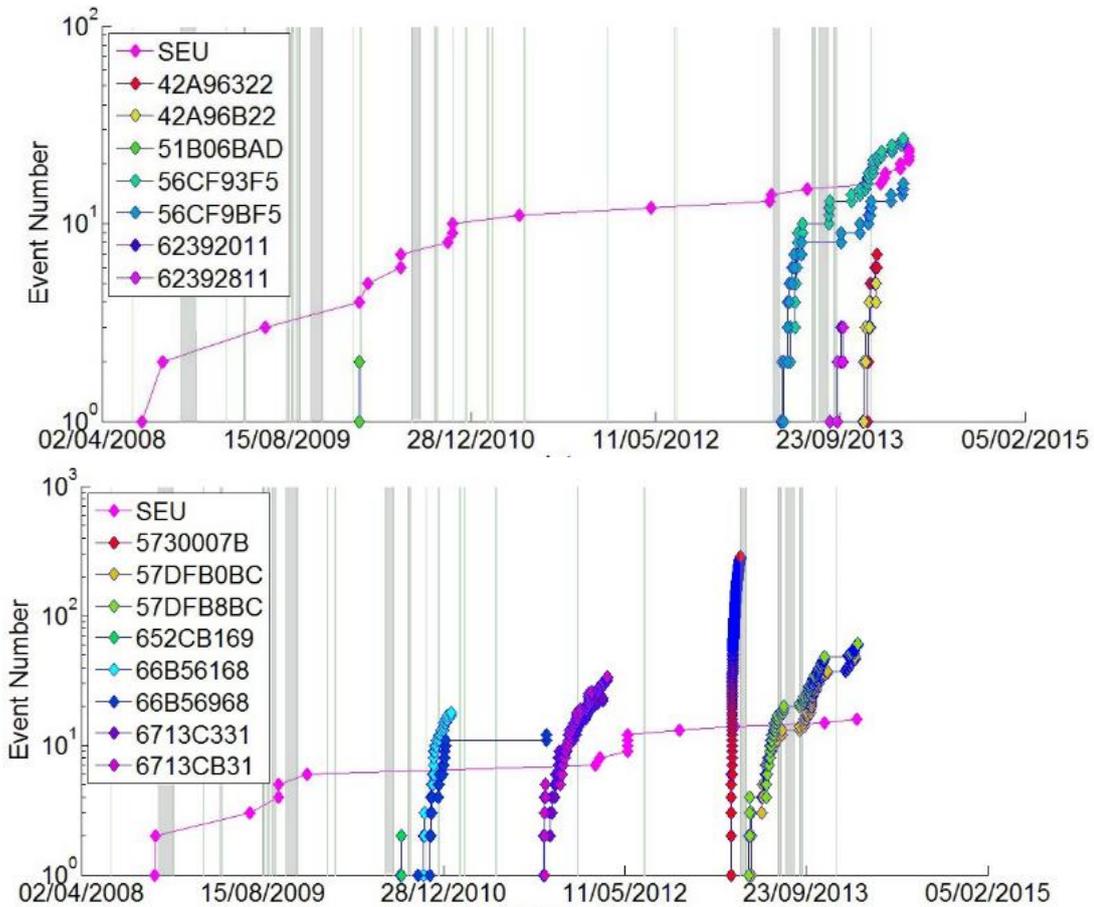


Figure 16. Nombre d'erreurs en fonction de la date sur deux mémoires de l'expérience CARMEN-2, embarquée sur JASON-2. En rose, nombre total d'erreurs non-récurrentes, en gris : équipement éteint. Légende : adresses [39]

De la même manière, il est intéressant d'observer la cartographie de la première apparition des erreurs sur chaque cellule, présentée sur la Figure 17. Comme pour PICARD, on peut observer une corrélation entre l'apparition des erreurs et les zones où la contrainte radiative est la plus élevée (SAA et latitudes élevées).

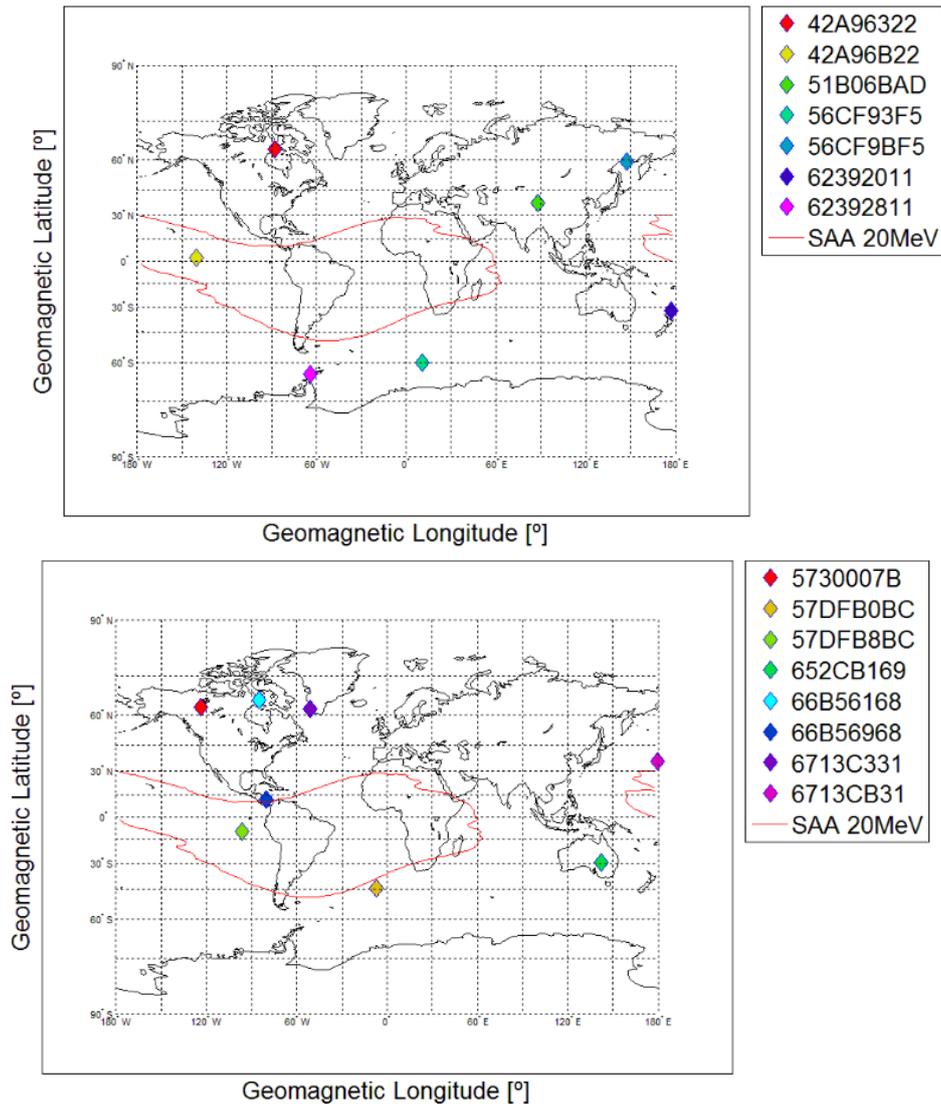


Figure 17. Localisation de la première erreur pour les cellules collées. Courbe isoflux des protons  $E > 20$  MeV en rouge. [39]

Une autre caractéristique devant être soulignée est que certains mots présentant ces erreurs atypiques sont voisins logiquement, leurs adresses ne différenciant que d’un bit et apparaissant en même temps.

De plus, sur des SRAMs elles aussi embarquées sur l’expérience CARMEN, des erreurs récurrentes, aux caractéristiques similaires, sont aussi détectées [40].

Ces observations ont attiré l’attention du CNES sur ce phénomène jusque-là inconnu et démontrent qu’ils représentent une menace réelle pour les systèmes : sur SRAM et DRAM, des cellules soumises à la contrainte radiative spatiale, présentent des erreurs localisées (même bit, même adresse), récurrentes et persistantes. Ces cellules seront considérées comme collées par intermittence et les erreurs qui seront recherchées dans la phase expérimentale devront répondre à ces critères.

Une étude de la littérature scientifique sur le sujet montre que des bits collés ont déjà été détectés en vol, sur une SRAM de l’expérience CRUX [41], des SDRAM de la mémoire de masse du Lunar Reconnaissance Orbiter de la NASA [42] ainsi que dans la mémoire de masse du satellite SMOS de l’agence spatiale européenne (ESA) [43].

Le phénomène a aussi été observé au sol, pour la première fois en 1992 par les équipes de Matra Marconi Space (désormais Airbus) [44] sur SRAM en les irradiant avec un faisceau d’ion lourds. S’en suivent des observations par d’autres équipes, toujours sous ions lourds, mais l’intérêt de la communauté pour ces anomalies sur SRAM diminue de façon notable dès la fin des années 90 / début années 2000. Les nœuds technologiques et architectures de cellules testées restent limités à des technologies aujourd’hui considérées comme en fin d’exploitation [45].

Selon les publications, le phénomène est appelé bit collé, « Single Event Hard Error » ou encore « Single Hard Error ».

En 1994, une équipe de l’ONERA (Office National d’Etudes et de Recherches aérospatiales) / CNES observe des bits collés sur DRAM, sous protons et ions lourds. En parallèle, une équipe du Jet Propulsion Laboratory publie [46] une autre observation de bits collés sous ions lourds.

La DRAM, omniprésente dans l’électronique commerciale, avec des capacités de stockage toujours plus grandes, est de plus en plus testée sous faisceau de particules. Depuis les premières observations, des bits collés sont souvent détectés lors des tests, et ce pour tous les types de SDRAM utilisées (ou dont l’utilisation est étudiée) dans le domaine du spatial : SDR [47], DDR [42], DDR2 [48] et DDR3 [49, p. 3]. Les mémoires DDR4, disponibles dans le commerce depuis Septembre 2014, ne sont pas encore testées de façon suffisante pour pouvoir déterminer si elles sont soumises à cet effet ou non.

Les bits collés sont aussi observés pour différentes structures de cellule DRAM, comme le prouve l’étude de Shindou [50] qui démontre que les structures de type *stack* et *trench* sont sensibles aux bits collés.

Un autre aspect préoccupant est que les bits collés peuvent se former non seulement sous faisceau d’ions lourds, mais aussi sous faisceau de protons ou de neutrons [51]. En conclusion, le phénomène est observé sur un très grand éventail technologique sur DRAM, et ce pour différents types de radiations.

Ce tour d’horizon rapide de la littérature scientifique nous montre que bien que les observations ayant donné lieu à notre étude sont assez récentes, ce phénomène est observé depuis les années 1990 au sol. Les observations en vol récentes décrites ici ont relancé l’intérêt pour l’étude des bits collés.

### 2. Historique

À l’aide des observations précédemment citées, nous pouvons formuler une définition des bits collés (*stuck bits*) dans une mémoire : un bit collé est un emplacement élémentaire où la valeur logique reste figée mais pouvant être lue. Ce blocage peut survenir de façon permanente ou de façon intermittente (on parle alors de bit collé par intermittence [52]).

La classification de ces erreurs est assez difficile à rapprocher d’une terminologie existante : dans le domaine de la fiabilité des mémoires, le terme de fautes de collage (*stuck-at faults*) est utilisé. Elles représentent un modèle dans lequel le nœud de stockage est relié soit au rail d’alimentation, soit à la masse par un défaut microélectronique [53]. Cependant, bien que connexe sur le plan étymologique, utiliser ce terme pour les fautes précédemment décrites n’est pas adapté car les fautes de collage résultent de défauts clairement identifiés et leur caractère obligatoirement permanent est incompatible avec une possible intermittence.

Afin de caractériser certaines erreurs de rétention sur mémoires DRAM, A. Bacchini [54] avance le terme de *fautes élusives* pour définir les erreurs résultant d’un dommage matériel non-spécifié, mais ne se manifestant pas nécessairement de façon permanente. Ce terme, moins restrictif que les fautes de collage, est adapté à la classification des bits collés.

Au-delà des études précédemment citées, rapportant l’apparition du phénomène sur différentes technologies et pour différentes particules, des études analysent le phénomène plus en détail et donnent des hypothèses quant à son origine.

Comme vu précédemment, les ions lourds traversant la matière cèdent plus d’énergie en fin de parcours, ce qui résulte en une création plus importante de charges et de défauts dans une zone réduite.

Oldham [55] s’est intéressé à l’impact de cette création de charges dans l’oxyde de grille d’un transistor MOS classique. Il en déduit qu’un seul ion peut être à l’origine d’un décalage conséquent de la tension de seuil d’un transistor, au point qu’il devient inutilisable. Comme on peut le voir sur la Figure 18, qui représente le décalage de la tension de bande plate dans un oxyde de transistor MOS par un unique ion lourd, la création de charge possède une non-uniformité spatiale, comme un événement singulier, mais provoque un effet semblable à un effet de dose totale.

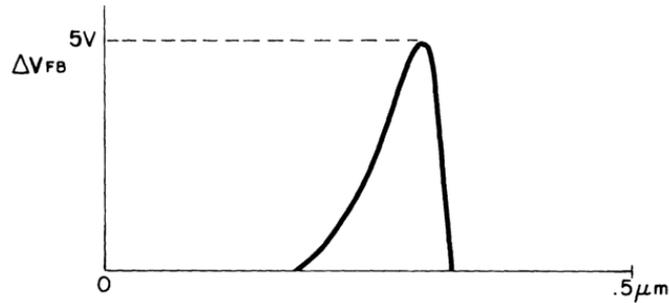


Figure 18. Décalage de la tension de bande plate ( $\Delta V_{FB}$ ) due aux charges piégées après le passage d’un ion lourd en fonction de la position. [55]

Ce phénomène est appelé microdose ionisante. Le terme de microdose seul est souvent rencontré pour décrire ce mécanisme, mais cela peut être considéré comme un abus de langage car il s’agit d’un effet singulier et que le type de dose n’est pas précisé.

Dufour [44], observe une forte dépendance du nombre de bits collés à la tension d’alimentation lors de l’irradiation : plus elle est élevée, plus le nombre de bits collés générés est important. Au vu des informations connues sur les interactions ionisantes, la fraction non-recombinée dépendant du champ électrique, cette observation va dans le sens d’un effet de dose. Appuyé par une analyse statistique, il propose que le phénomène de microdose ionisante soit à l’origine des bits collés.

Il observe aussi une faible guérison des bits collés à température ambiante (résultats détaillés sur la Figure 19.a), ainsi qu’une forte guérison sous rayonnement ultraviolet (résultats détaillés sur la Figure 19.b). Les mémoires individuellement décrites sur ces figures ne sont pas reliées à un flux et une énergie d’irradiation dans l’article original.

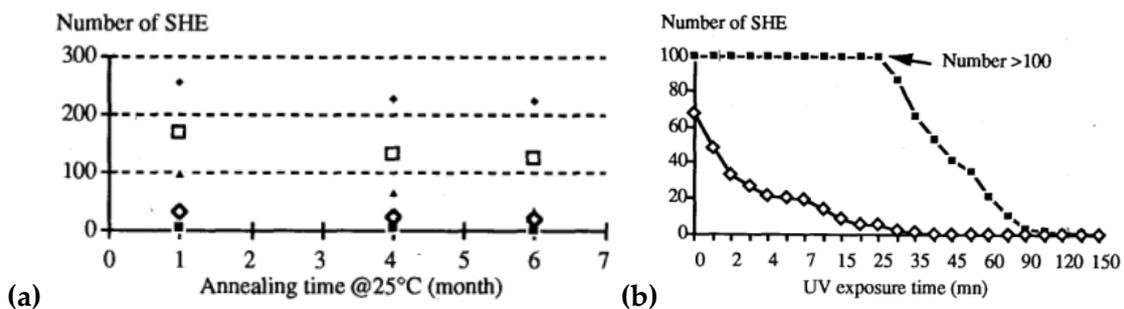


Figure 19. Guérison de bits collés pour des mémoires irradiées au Xenon (différentes énergies). (a) A température ambiante. (b) Sous rayonnement UV (plafonné à 100 bits collés) [44]

Son analyse est rejointe par Oldham [56], qui en déduit qu’à cause de la polarisation de la cellule SRAM pendant le stockage de l’information, ce sont les transistors passants de la bascule qui sont impactés, les bloquant sur l’état passant (même si par la suite, on applique une tension nulle à la grille). La conséquence est que la réécriture d’une nouvelle information n’a aucun effet sur l’état de la cellule : les bits ont donc tendance à se coller sur l’état dans lequel ils se trouvent au moment de l’impact de la particule.

La Figure 20, qui décrit une cellule SRAM CMOS (Complementary Metal Oxide Semiconductor) 4T pendant qu’elle stocke l’information, illustre ce phénomène, dit d’empreinte, et nous montre qu’un seul des transistors de bascule, N3, est sensible (car le contact de grille est à  $V_{DD}$ ), tandis que N2 n’est pas supposé être sensible à la microdose. Les transistors d’accès à la cellule, N1 et N4 ne sont pas passants lors du stockage de l’information. Cette cellule aura donc tendance à se coller dans cet état.

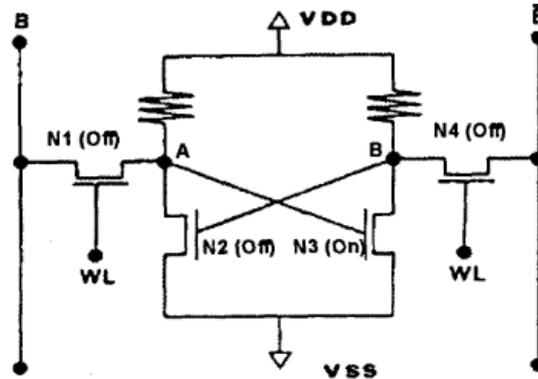


Figure 20. Polarisation d’une cellule SRAM 4T pendant le stockage de l’information [56]

La tendance des bits à se coller sur l’information stockée est confirmée par David [57], qui montre que la quasi-totalité des cellules se collent à la valeur stockée lors de l’irradiation sous faisceau d’ions lourds.

Dans la même étude, lorsqu’une SRAM déjà irradiée avec des ions lourds est irradiée avec des rayons gammas ( $< 30$  krad), l’apparition de bits collés latents est observée. C’est une donnée importante, car le test sous faisceau seul risquerait de sous-estimer le nombre de bits collés qui seront rencontrés en vol.

Pour les cellules SRAM, le phénomène de microdose explique les bits collés de façon rationnelle et vérifiée par l’expérience.

Dans leurs articles, Dufour et Oldham prédisent une prévalence moins élevée du phénomène avec l’évolution technologique, due à plusieurs facteurs, dont la baisse des tensions d’alimentation et la diminution de la taille des oxydes de grille. La baisse du nombre d’observations au fil des années semble confirmer cette hypothèse. L’intérêt pour les bits collés sur SRAM a donc fortement décru depuis.

Une étude plus récente (2014) d’une équipe du NRC Soreq [45] confirme que le phénomène de bit collé semble bien être absent des technologies SRAM récentes et devrait rester tout aussi absent des technologies SRAM à venir. Cette étude rapporte aussi l’observation sous faisceaux d’ions lourds de cellules SRAM collées dans l’état inverse de leur état de stockage. La justification avancée est que le mécanisme de microdose ionisante (résultant dans le collage sur l’information stockée) est en concurrence avec un autre

mécanisme, non-identifié, résultant en la mise en conduction de la grille et du drain (collage sur l’inverse de l’information stockée).

Pour les DRAM, les premières interprétations se sont basées sur les travaux de Dufour et Oldham sur les bits collés sur SRAM et avancent le phénomène de microdose ionisante comme l’origine des bits collés [46] : après le passage d’une particule, la microdose générée décale fortement la caractéristique  $I_d - V_g$  de fuite du transistor d’accès de la cellule mémoire. Son courant de fuite augmente, baissant le temps de rétention de la cellule. Si le temps de rétention est suffisamment réduit (moins de 64 ms selon la norme JEDEC [58]), la cellule ne peut plus retenir l’information.

L’apparition de bits collés sous faisceau de protons indique que si c’est le mécanisme de microdose ionisante qui est bien à l’origine des bits collés sur DRAM, l’ionisation indirecte due aux atomes de recul est à prendre en compte, vu que les protons ont un LET insuffisant pour coller un bit par ionisation directe [59].

De plus, plusieurs auteurs se penchent sur l’aspect statistique du phénomène. De par le mécanisme proposé, les impacts successifs de particules sur la grille du transistor d’accès de la cellule sont censés se cumuler dans une certaine mesure. En supposant que la distribution des cellules impactées suive une loi de Poisson, hypothèse justifiée devant les fluences utilisées ( $> 10^9 \text{ cm}^{-2}$ ) il est démontré que la quasi-totalité des bits collés sont dus à un seul impact [59], [60]. Cet aspect singulier se retrouve dans la Figure 21, qui représente le nombre de bits collés sur une mémoire SDRAM en fonction de la fluence de protons 200 MeV (points blancs). Il est possible d’effectuer une régression linéaire cohérente entre ces points (droite noire), créditant d’avantage l’hypothèse de l’origine singulière.

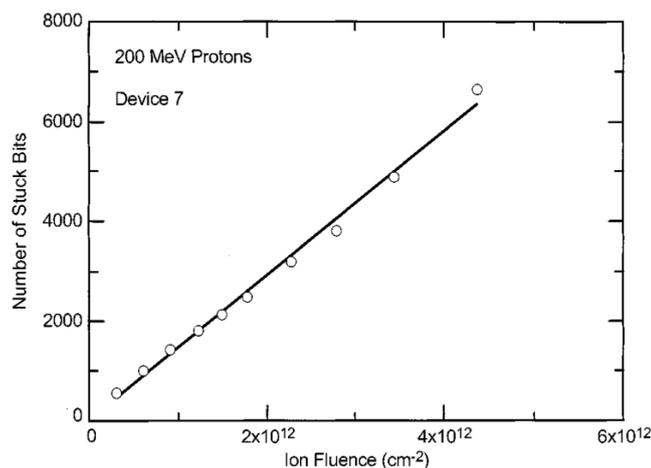


Figure 21. Nombre de bits collés en fonction de la fluence de protons de 200 MeV sur une SDRAM. [60]

Les résultats obtenus par Scheick [61] montrent qu’après irradiation sous faisceau d’ions lourds, une fraction des cellules DRAM subissent une perte de plusieurs ordres de grandeur de leur temps de rétention, sans pour autant subir d’erreurs. Les cellules subissant un tel effet sont appelées les *cellules dégradées* et les *bits collés* constituent le sous-ensemble des

cellules les plus dégradées. Le terme de dégradation singulière, Single Event Degradation ou Single Event Cell Degradation peut être rencontré dans la littérature.

Cependant, dès le début des années 2000, l'hypothèse de la microdose ionisante comme origine des bits collés est mise à mal et de nouvelles pistes sont explorées. La première étude en question a été réalisée par l'équipe d'Hiroyuki Shindou de la JAXA (Japan Aerospace Exploration Agency, l'agence spatiale japonaise). Il remet en question le phénomène de microdose ionisante pour les bits collés créés par les protons, en avançant l'argument qu'un atome de recul créé par un proton n'a pas un LET suffisant pour coller un bit par microdose ionisante [62].

Il propose que les bits collés soient dus à des dommages de déplacement très rapprochés (*clusters*), créés par une seule particule dans la zone de déplétion à l'interface avec le nœud de stockage. Les défauts créés sont des sites de génération/recombinaison, mais dans une zone de déplétion polarisée en inverse, ils agissent principalement comme site de génération de porteurs [63] et entraînent donc la génération de paires électron-trou. Les électrons sont ensuite collectés dans le nœud de stockage, diminuant la charge stockée et diminuant ainsi le temps de rétention de la cellule. La Figure 22, qui représente la coupe d'une cellule SDRAM de type trench, détaille ce mécanisme, avec la zone de déplétion en pointillés.

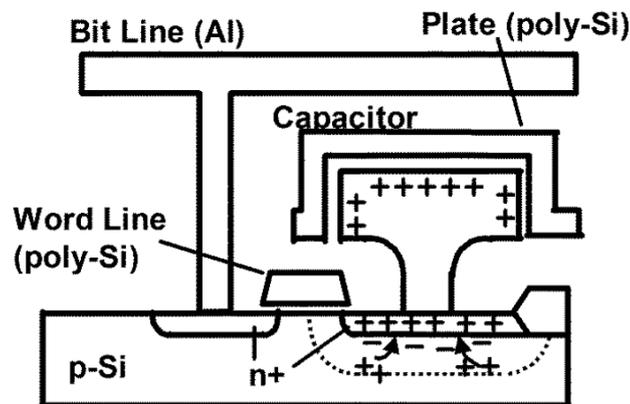


Figure 22. Coupe d'une cellule SDRAM de type trench avec détail du mécanisme de dommage. [62]

Shindou démontre qu'un de ces clusters de défauts peut générer jusqu'à 14 fC entre deux rafraichissements, ce qui est suffisant pour altérer l'information stockée, la charge critique pour basculer une cellule DRAM étant de l'ordre de 10 fC pour la technologie étudiée. Le mécanisme est donc plausible et serait plus cohérent que le mécanisme de microdose ionisante pour expliquer les bits collés sur DRAM. Un autre point important de son étude est que l'influence de la dose ionisante, sous forme de rayons gamma, est négligeable, contrairement à ce qui a été vu sur SRAM [57].

Cette étude peut être vue comme un changement de paradigme, car toutes les études qui lui feront suite démontreront les incompatibilités de certaines observations avec le

phénomène de microdose ionisante et conforteront l’hypothèse du dommage de déplacement singulier comme source des bits collés.

Une équipe CNES/ONERA [51] montre que le phénomène peut être reproduit sous ions lourds, protons et neutrons et affirme qu’il ne s’agit pas d’un effet de dose ionisante totale car, sous irradiation gamma, il faut une dose de plus de 100 krad pour arriver à coller des bits. De plus, à fluences égales, la polarisation du composant lors de l’irradiation n’a pas d’effet sur le nombre de bits collés formés : cela est incompatible avec la microdose ionisante pour laquelle on s’attend à une influence de la polarisation du composant, comme démontré précédemment sur SRAM [64].

Dans une étude subséquente [65], une équipe du JPL réfute même la conclusion d’un de leurs articles précédents [60] qui avait conclu que les bits collés observés sur une mémoire SDRAM n’étaient pas dus à la microdose ionisante mais à un dommage de déplacement singulier.

Adell [66], en s’appuyant sur l’équation de la densité de courant due à la génération de porteurs dans la zone de déplétion, montre que le courant de fuite d’une cellule DRAM double tous les 11°C. La dépendance à la température du temps de rétention des cellules endommagées est bien vérifiée par les données expérimentales, ce qui donne encore plus de poids à l’hypothèse de dommage de déplacement singulier.

Une autre étude très importante dans la compréhension du phénomène de bit collé est celle réalisée par Andrew Chugg [52], où des bits collés par intermittence (*intermittently stuck bits*, ISB) ont été observés. Ces ISB ont la particularité de pouvoir se décoller et se recoller spontanément et de façon aléatoire, comme le montre la Figure 23 qui présente l’évolution de quelques bits collés par intermittence observés lors d’une irradiation sous faisceau de protons de 100 MeV (SDRAM 128 Mbit) et un spectre pseudo-atmosphérique de neutrons (SDRAM 256 Mbit).

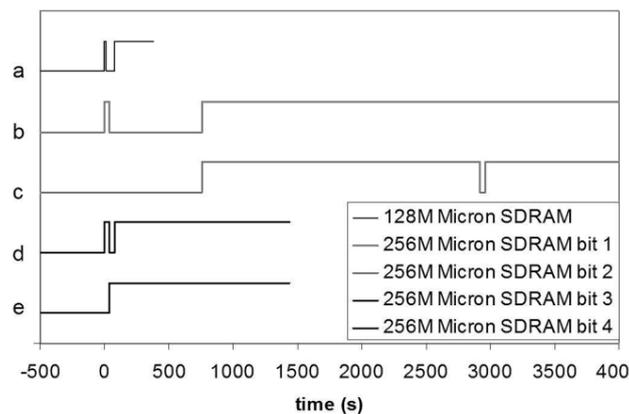


Figure 23. Bits collés par intermittence. Les erreurs sont signalées par un niveau haut. [52]

Sur la Figure 24.a., qui représente le nombre de bits collés sur une SDRAM en fonction de la température, on peut voir que le nombre de bits collés augmente exponentiellement avec

la température. On peut aussi voir sur la Figure 24.b, qui représente la fréquence de collage d’un bit collé particulier (provenant de la même mémoire SDRAM) en fonction de l’inverse de la température, qu’une augmentation de la température provoque également une augmentation de la fréquence de collage des bits collés. La température exerçant une influence non-négligeable sur le phénomène de bit collé, il est donc important de tester les composants, après irradiation, à la température à laquelle ils seront utilisés.

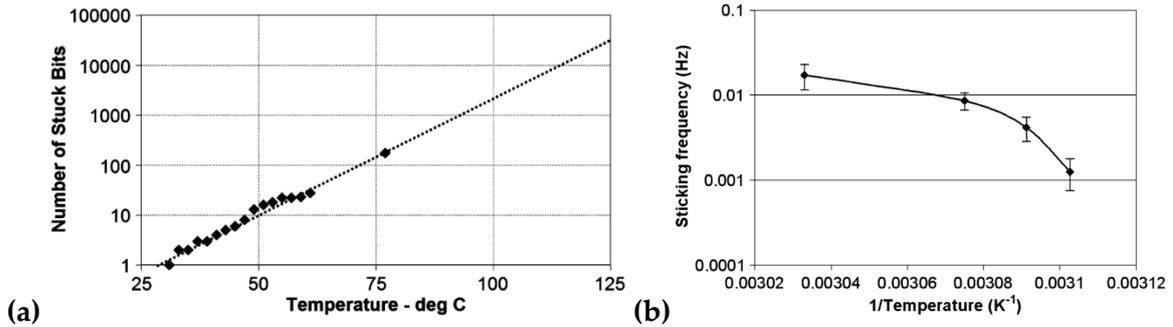


Figure 24. Influence de la température sur les bits collés. (a) Nombre de bits collés en fonction de la température. (b) Fréquence de collage d’un mot particulier en fonction de la température. [52], [67]

En utilisant une expression dérivée de l’équation d’Arrhénius, il est possible d’utiliser les résultats de la figure 24.b pour déterminer les énergies d’activation de chaque transition (la dérivée étant égale à  $\frac{E_a}{k_b}$  [52]). Il en résulte que l’énergie de transition est la plus élevée pour l’état dans lequel la cellule passe le plus de temps.

On observe aussi une guérison des bits collés au fil du temps. Cette guérison est aidée par la température. Elle peut cependant intervenir, beaucoup plus lentement, à température ambiante. Sur la Figure 25, qui décrit le nombre de bits collés en fonction du temps (points bleus), on peut voir une décroissance du nombre total de bits collés au fil du temps (représenté par la courbe rouge qui est la courbe de tendance dérivées des données) pour une température de 48,5°C.

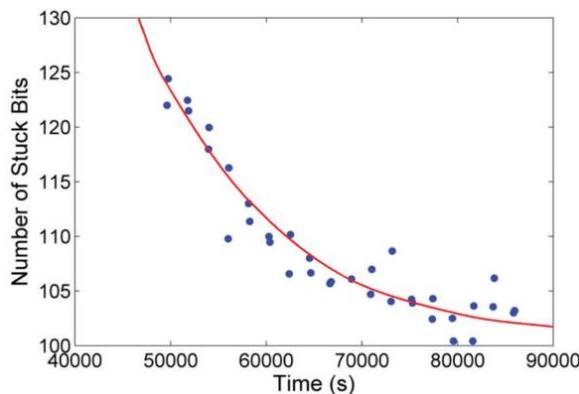


Figure 25. Nombre de bits collés mesurés sur une mémoire DRAM pour T = 48,5°C. Rouge : courbe de tendance. [67]

De plus, une étude plus fine de la corrélation entre collage, décollage et température permet de voir que le courant de fuite de la cellule DRAM bascule entre plusieurs états discrets. La Figure 26 représente plusieurs informations en fonction du temps pour une cellule présentant des bits collés par intermittence. La première information est l’état de la cellule : en erreur (bleu clair) ou non (bleu foncé) en fonction de la température (cycles 23-50°C, axe gauche). La température de basculement seuil (courbe noire) et le courant de fuite (courbe rouge) sont aussi représentés. Cette figure illustre et prouve que les bits collés commutent entre plusieurs niveaux de courant de fuite, créant l’intermittence des erreurs.

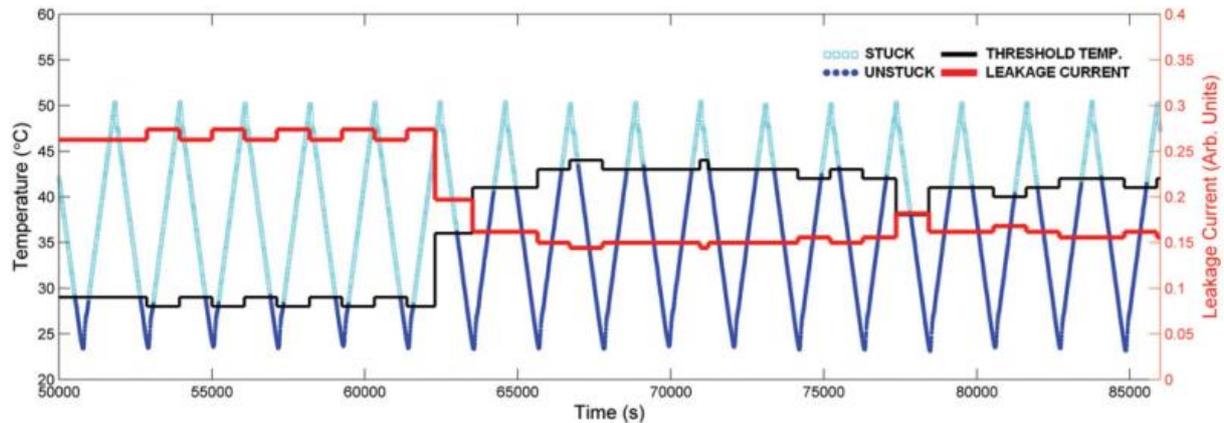


Figure 26. Historique de l’état d’un bit collé en fonction de la température et du temps. [67]

Ces basculements sont justifiés par des réarrangements internes dans les clusters, activés par la température. Chacun de ces états a un courant de fuite associé : l’intermittence des bits collés résulte donc du passage d’un état où le courant de fuite est inférieur au courant de fuite maximal à un état où il est supérieur, ou inversement.

Chugg propose de modéliser le comportement électrique de ces clusters par un réseau de résistances en série et/ou parallèle. Un exemple d’un réseau modélisé d’après un ISB existant, composé de 3 résistances est donné par la Figure 27.a : Chaque résistance est définie par sa résistance d’état haut  $R_{haut}$ , sa résistance d’état bas  $R_{bas}$ , le temps moyen de transition vers l’état haut  $\mu_{lohi}$  et le temps moyen de transition vers l’état bas  $\mu_{hilo}$ . La Figure 27.b décrit l’évolution du courant de fuite de ce cluster en fonction du temps (simulation).

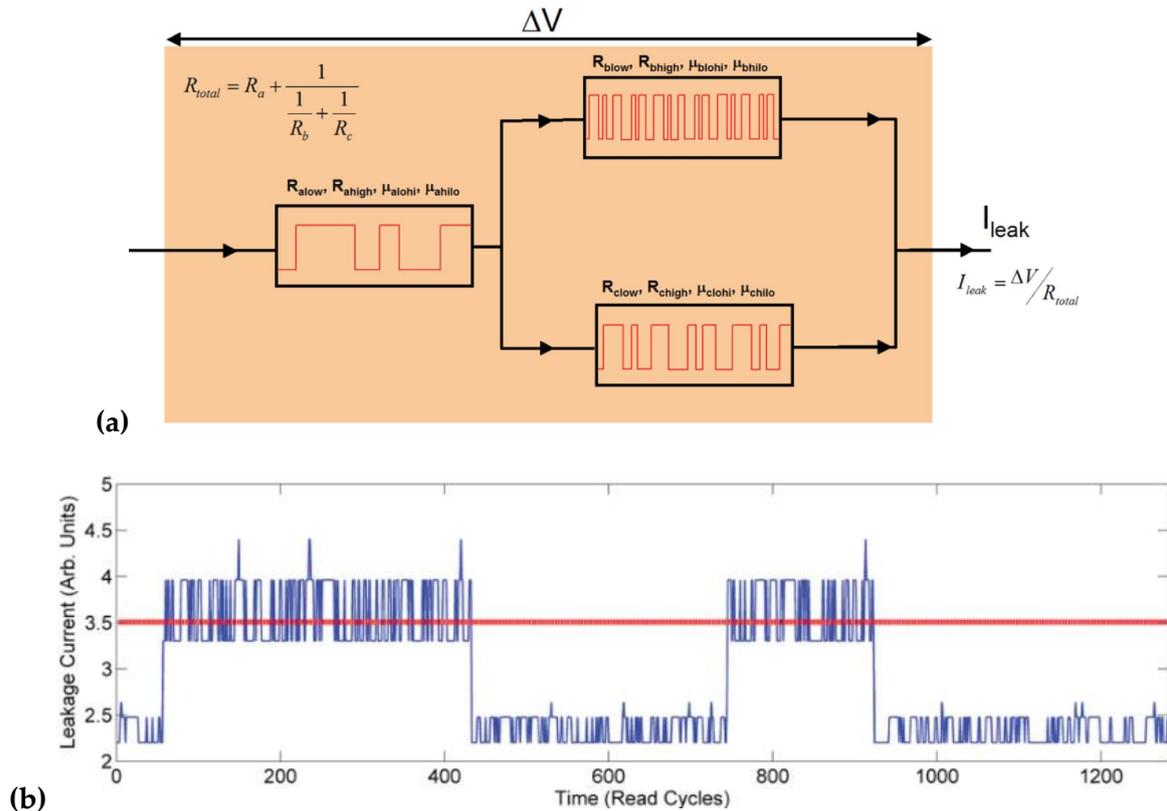


Figure 27. Exemple de modélisation électrique d’un cluster. (a) Chemins des courants de fuite (b) Comportement du réseau simulé. Rouge : Seuil de collage [67]

Bien que cette modélisation arrive à reproduire de façon convaincante le comportement des bits collés par intermittence, elle reste empirique : elle doit être effectuée manuellement pour chaque cellule endommagée, aucun lien entre des paramètres physiques et électroniques des clusters n’a été fait pour l’instant.

Il a été montré, par des mesures sur capteur CCD [68], que les particules peuvent créer des dommages de déplacement selon deux régimes :

- $NIEL < 2 \times 10^{-5} \text{ MeV.cm}^2.g^{-1}$  (électrons, photons) : les défauts ponctuels dominant.
- $NIEL > 3 \times 10^{-5} \text{ MeV.cm}^2.g^{-1}$  (protons, neutrons, ions lourds) : les clusters de défauts dominant.

La Figure 28 montre l’effet des différents régimes de création de dommage de déplacement en présentant le courant d’obscurité d’un capteur CCD ( $K_{dark}$ , c’est le courant de fuite présent sans aucune lumière) par unité de dose en fonction du NIEL des particules utilisées lors de l’irradiation : à dépôt d’énergie égal, il est donc mesuré que les clusters créent un courant de fuite plus élevé que les défauts ponctuels.

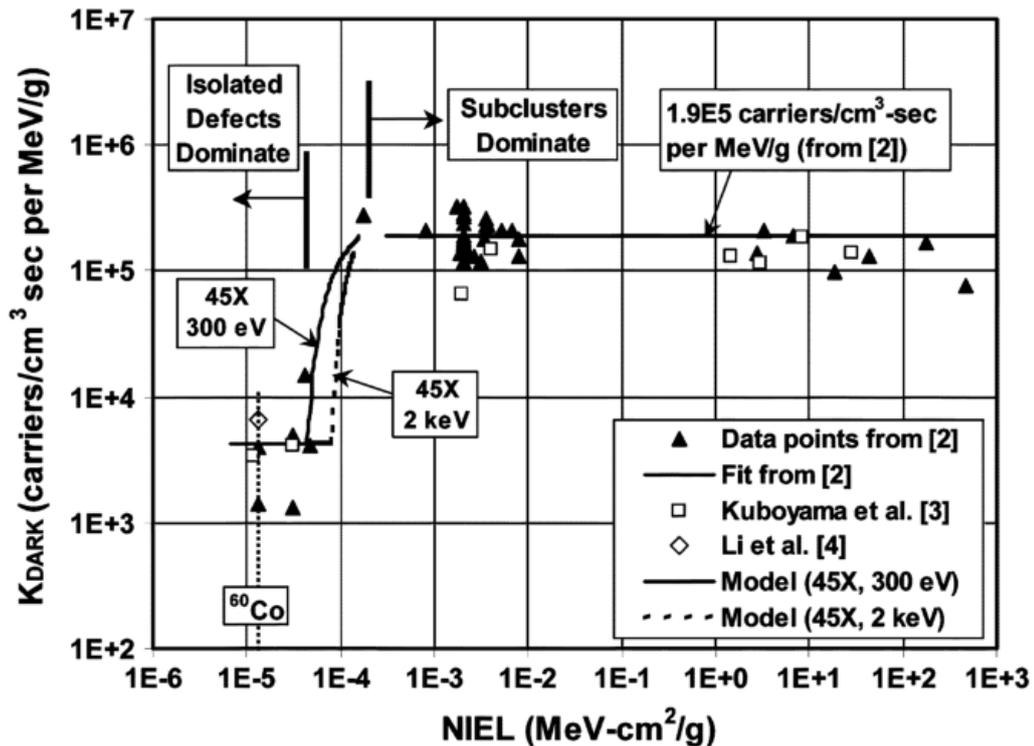


Figure 28. Création de porteurs en fonction du NIEL d'une particule. [69]

L'explication de clusters de dommages comme origine de la dégradation des cellules est donc plausible, car, pour les particules pour lesquelles l'effet a été observé, on se situe dans le régime de formation de dommage de déplacement où la formation de clusters domine la réponse électrique du composant irradié.

Mais quelle est la nature physique de ces clusters ? Dès les premières observations de dégradation de diodes sous neutrons, ces clusters ont été modélisés par une zone contenant une densité élevée de défauts de type Interstitiel-Vacant [70], [71]. Il en résulte la création d'états dont le niveau d'énergie se situe près du milieu de la bande interdite. Ces états sont des centres de génération/recombinaison de porteurs très efficaces, ce qui est compatible avec l'hypothèse précédemment avancée par Shindou.

Palko [72] propose que ces clusters constituent des zones où le matériau, au lieu d'être cristallin, est localement rendu amorphe, suite au passage d'un ion lourd, neutron ou proton. Les inclusions amorphes dans le silicium dues aux radiations ont déjà été observées par microscopie électronique [73] et ont des dimensions de l'ordre de la dizaine de nanomètres.

L'intermittence du comportement observée par Chugg peut être expliquée par la réorganisation interne du cluster, avec chaque état ayant une énergie d'activation et un comportement électrique différent. Bien que ce soit un phénomène mal compris et non démontré, cette explication reste plausible.

En ce qui concerne la guérison des bits collés, la plage étendue de températures de guérison relevées souligne que la zone endommagée ne peut être considérée comme une succession de défauts isolés, car ils ont des températures de guérison définies [74].

Ces études montrent que le dommage de déplacement singulier est un mécanisme compatible avec les observations de bits collés rapportées dans les études citées. Cependant, des preuves définitives restent à apporter et les mécanismes physiques restent à déterminer.

### Conclusion

Nous avons montré que l’environnement radiatif spatial a plusieurs composantes : cosmique, solaire et celle due aux particules piégées dans la magnétosphère. Les interactions entre ces différentes sources sont complexes et sa prédiction est l’objet de la météorologie spatiale (*space weather*). La majorité des particules rencontrées sont des électrons, protons et ions lourds.

En interagissant avec la matière, ces particules peuvent soit créer des porteurs de charge, soit déplacer des atomes. Dans les composants électroniques, cela peut mener à une dégradation des performances du composant due à l’accumulation de ces interactions (dose) ou des effets singuliers, tels qu’une perte de données ou la destruction du composant.

L’effet de bit collé, qui est le blocage semi-permanent d’une cellule mémoire sur un état particulier, est un phénomène détecté sous faisceau de particule au début des années 90 sur SRAM et DRAM. Le fait qu’il ait été rencontré en vol plus récemment relance l’intérêt pour l’étude de ce phénomène.

Pour les SRAM, l’origine avancée comme étant la plus probable est le phénomène de microdose ionisante, durant lequel un ion lourd provoque une forte ionisation locale de l’oxyde de grille d’un des transistors MOS de la cellule SRAM, ce qui résulte en la mise en conduction permanente de ce transistor. C’est un phénomène singulier fortement dépendant de la tension d’alimentation du composant durant l’irradiation. Une guérison par recuit thermique est observée. Néanmoins, le nombre d’observations a fortement décliné au fil des années, jusqu’à disparaître pour les technologies récentes, ce qui est cohérent avec un mécanisme de dose ionisante, l’épaisseur d’oxyde décroissant au fil des nœuds technologiques.

En ce qui concerne les DRAM, la piste la plus plausible est un phénomène de déplacement, durant lequel un ion lourd ou un atome de recul provoque un fort endommagement local de la structure cristalline du silicium.

Les bits collés sur DRAM peuvent être intermittents, c’est-à-dire qu’on observe une alternance entre des périodes durant lesquelles ils sont collés et d’autres, durant lesquelles ils ne le sont pas. Une forte influence de la température sur le nombre de bits collés est observée, et ils peuvent guérir à température ambiante ou par recuit thermique. Ils sont

observés pour une grande variété de nœuds technologiques et continuent à présenter une menace.

## Chapitre 2 – Les mémoires SRAM et DRAM

### Introduction

Les mémoires électroniques SRAM et DRAM, permettant de stocker des informations binaires, sont des éléments indispensables à tout système de traitement de l'information. Leur importance ne fait que croître au fil des années, le nombre et les performances des microprocesseurs ne cessant d'augmenter. Le nombre d'opérations par seconde augmentant, les mémoires ont dû évoluer et proposer plus de capacité de stockage et plus de performances afin de pouvoir pleinement exploiter cette montée en puissance.

Cette tendance se retrouve aussi dans le spatial, où des mémoires de nouvelle génération sont envisagées pour répondre aux besoins de systèmes de plus en plus performants qui demandent des mémoires ayant une capacité de stockage et des performances élevées.

L'unité élémentaire quantifiant l'information stockée dans une mémoire est le bit (*binary digit*), qui correspond à un état binaire (décrit comme 0 ou 1). La plus petite structure dans la mémoire permettant de stocker l'information et d'accéder à l'information stockée est appelée la *cellule mémoire*. Pour les SRAM et DRAM, chaque cellule mémoire contient un bit.

Les opérations de lecture et d'écriture de l'information se font sur plusieurs bits et la plus petite quantité d'information accessible en une seule opération est appelée mot (*word*). La taille de mot la plus connue est l'octet, qui correspond à 8 bits. Le terme *byte* peut être rencontré, principalement dans la littérature anglo-saxonne.

L'ensemble des cellules, appelé le plan mémoire est divisé en colonnes et en lignes. Dans une mémoire, toute l'électronique ne servant pas à stocker l'information est appelée logique de contrôle. Par exemple, chaque mot possède une adresse : toute l'électronique servant à décoder une adresse pour la relier aux cellules composant le mot fait partie de la logique de contrôle.

Pour chaque type de mémoire, nous expliquerons dans la suite le principe de base de fonctionnement de la cellule et nous présenterons les différentes implémentations technologiques de ces cellules. Nous nous intéresserons également aux détails des opérations possibles sur ces mémoires.

Toutes les mémoires étudiées ont été fournies par le CNES dans le cadre du partenariat impliquant cette thèse.

## I. SRAM (Static Random Access Memory)

La mémoire SRAM est un type de mémoire statique, c'est-à-dire que l'information n'a pas besoin d'être réécrite périodiquement. C'est une mémoire dite « volatile » car si la mémoire n'est plus alimentée, l'information est perdue. De plus, l'adjectif *random access* signifie que, contrairement aux mémoires à accès séquentiel (telles que la Flash) où un ensemble de mots doit être lu dans l'ordre jusqu'à atteindre le ou les mots souhaités, chaque mot est accessible directement dans n'importe quel ordre et avec un temps d'accès identique [75].

La capacité d'une SRAM se situe entre moins d'un Mb (mégabit) à 16 Mb par composant. La SRAM permet d'effectuer des opérations de lecture et d'écriture rapidement, de 25 à 80 ns par opération selon le modèle et la génération (les mémoires actuelles se situent en général en dessous de 50 ns) mais souffre d'une faible densité d'intégration comparée à la DRAM et la Flash ainsi que d'un coût par bit beaucoup plus élevé.

Ces caractéristiques font que la SRAM est utilisée dans les applications où la performance est primordiale, comme la mémoire cache des microprocesseurs, les blocs de logique reprogrammable des FPGA (Field Programmable Gate Array) et la mémoire de travail de certains systèmes. En raison de son coût et de sa faible densité, elle n'a pas vocation à être utilisée comme mémoire de masse.

### 1. Principe de fonctionnement et implémentation d'une cellule SRAM

La cellule de base de la mémoire SRAM est formée d'une bascule bistable, c'est-à-dire possédant deux états de stabilité. Dans la pratique, cette bascule est composée de deux inverseurs, chaque sortie étant reliée à l'entrée de l'autre inverseur, comme décrit sur la Figure 29, avec chacun des états possibles pour les deux nœuds de stockage (rouge et bleu).

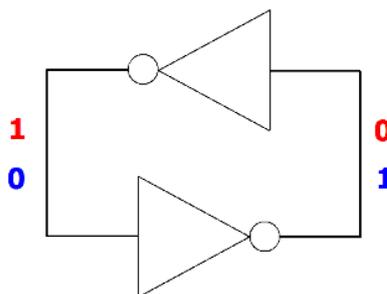


Figure 29. Bascule bistable constituée de deux inverseurs.

L'information est auto-entretenu par l'action mutuelle des inverseurs l'un sur l'autre : c'est pour cela que la mémoire est statique. Afin de pouvoir lire et stocker l'information, deux transistors MOS d'accès complètent la cellule, chacun étant connecté à un nœud de stockage, comme nous pouvons le voir sur la Figure 30.

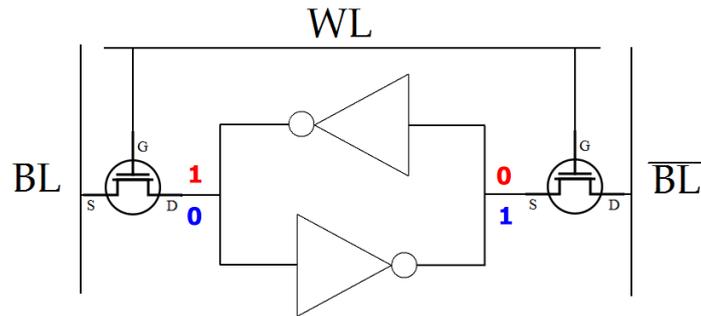


Figure 30. Point mémoire élémentaire pour une SRAM. Il est constitué de deux inverseurs et de deux transistors d'accès.

Il y a trois lignes qui permettent d'interagir avec la cellule : tout d'abord, la ligne de sélection de mot (*WL*, *wordline*), connectée à la grille des deux transistors d'accès. Toutes les cellules d'un même mot sont connectées à la même wordline. Hors des opérations de lecture ou d'écriture, elle est désactivée. Quand elle est à l'état haut (c'est-à-dire, connectée à la tension d'alimentation  $V_{dd}$ ), elle permet de connecter chaque nœud de stockage à la ligne de bit qui lui est associée. Les deux lignes de bits sont appelées *bitline* (*BL*) et *bitline inverse* ( $\overline{BL}$ ).

La forme de logique la plus répandue dans l'industrie microélectronique est la logique CMOS, qui utilise des associations de transistors à effet de champ MOSFET de type N et de type P pour créer des fonctions logiques [53]. Cette logique complémentaire permet de limiter la consommation du composant au repos, avec des courants de fuite réduits de plusieurs ordres de grandeur comparés aux technologies bipolaires précédemment utilisées [76].

L'inverseur CMOS est l'une des fonctions basiques, qui donne en sortie l'état logique inverse de l'état logique présent en entrée. Il est composé d'un transistor PMOS ainsi qu'un transistor NMOS, son schéma est détaillé sur la Figure 31.

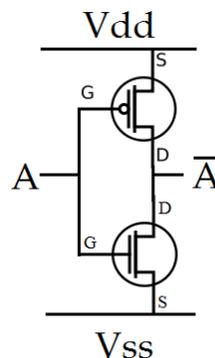


Figure 31. Inverseur CMOS.

L'implémentation la plus évidente des inverseurs formant le cœur de la cellule SRAM est donc l'inverseur CMOS. Cela donne une cellule à 6 transistors, qui est nommée 6T. Ce

design, illustré par la Figure 32, est à la fois la première implémentation de cellule proposée historiquement et la plus répandue.

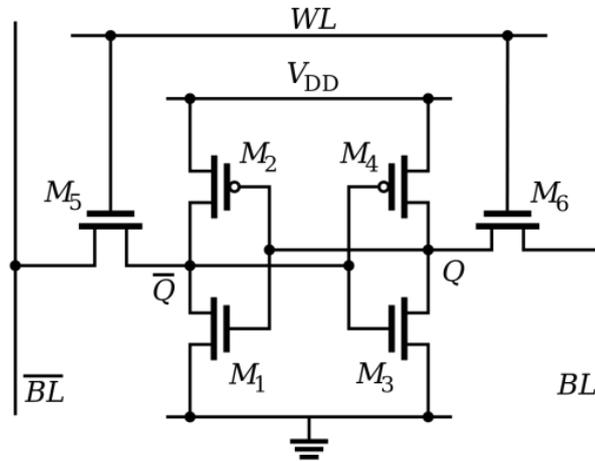


Figure 32. Cellule SRAM 6T.

D'autres architectures de cellules SRAM existent mais se basent toutes sur le même principe, avec chacune leur spécificité.

Une variante de l'architecture à 6 transistors remplace les transistors PMOS des inverseurs par des résistances en polysilicium. Ce design, dit à 4 transistors (4T ou 4T/2R), est détaillé par la Figure 33.

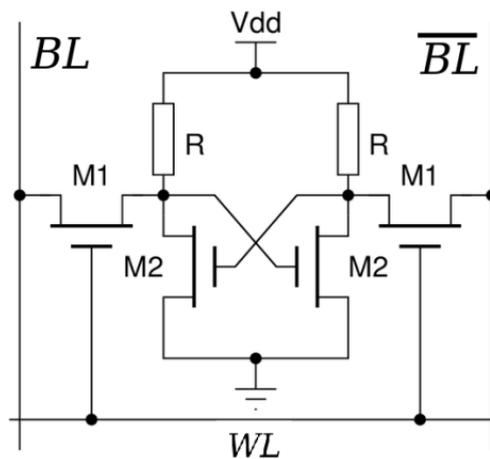


Figure 33. Cellule SRAM 4T. [77]

L'addition des deux résistances de pull-up augmente de façon sensible le courant de fuite de la cellule au repos par rapport à la cellule 6T (~ 60% [78]), mais permet de diminuer la taille de la cellule (~ 33% [78]) et ainsi augmenter la densité du nombre de cellules par unité de surface. Le principal défi technologique est d'obtenir des résistances ayant une valeur maximale (afin de minimiser le courant de fuite), dans un espace réduit.

Une autre architecture remplace les transistors PMOS des inverseurs, cette fois par des transistors à film fin (TFT, *Thin Film Transistor*). Ce design, détaillé sur la Figure 34, se situe entre les designs 6T et 4T en matière de courants de fuite et de taille de la cellule.

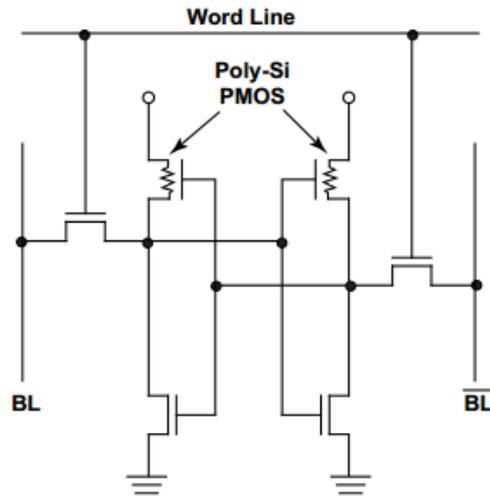


Figure 34. Cellule SRAM TFT. [77]

L'utilisation de la technologie à film fin fait que les transistors ne sont pas tous dans le même plan et ajoute ainsi des étapes au processus de fabrication et donc des contraintes supplémentaires.

Il existe d'autres designs, tel que la cellule 8T, qui permet d'obtenir une plus grande stabilité de la cellule lors de la lecture/écriture et de travailler à des tensions inférieures à 0,5 V [79]. Ces design sont beaucoup plus rares et ne sont pas encore déployés dans les mémoires SRAM du commerce. Ils sont uniquement déployés dans des SRAM de cache des processeurs de dernière génération [80]. Ils ne seront pas abordés ici, car nous nous focalisons sur des composants du commerce classiques (COTS, *Commercial Off-the-Shelf*) discrets, tels qu'ils sont actuellement utilisés dans les satellites.

L'utilisation de plusieurs transistors pour faire une seule cellule est la cause de la faible densité des SRAM comparées aux mémoires DRAM et Flash.

## 2. Opérations de base

Pour effectuer la lecture de l'information contenue dans une cellule, les bitlines  $BL$  et  $\overline{BL}$  sont tout d'abord préchargées à  $V_{dd}$ . Ensuite, la wordline est activée, ce qui entraîne la décharge d'une des deux bitlines par le biais du nœud à l'état bas, comme indiqué en bleu sur la Figure 35.

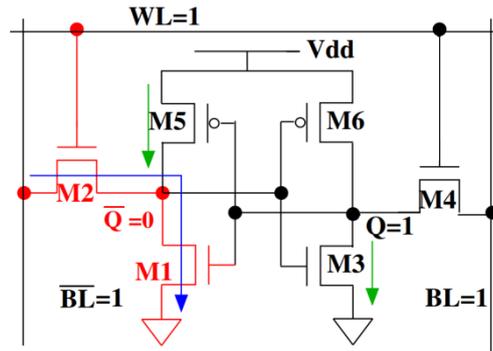


Figure 35. Lecture d'une cellule SRAM 6T. En vert, les courants parasitant la lecture. En bleu, le courant normal de lecture. [81]

A la fin du temps d'accès, la bitline qui se décharge verra sa tension baisser d'environ 10% de la tension  $V_{dd}$  [82]. Les bitlines sont connectées à un amplificateur (*sense amplifier*, représenté sur la Figure 36) qui amplifie la différence de tension des deux bitlines afin d'extraire le niveau logique.

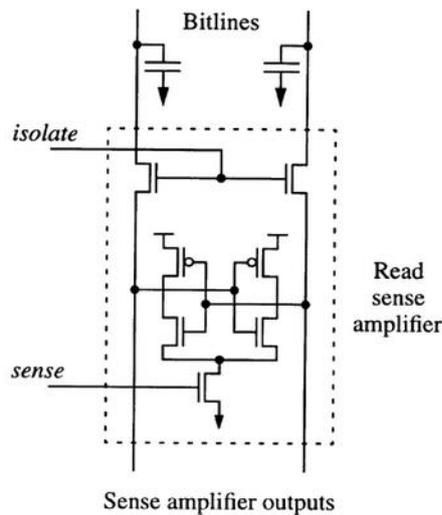


Figure 36. Amplificateur connecté aux bitlines. [83]

La différence de potentiel entre la bitline et la bitline inverse est généralement notée  $\Delta V_{BL}$  ( $\Delta V_{BL} = V_{\overline{BL}} - V_{BL}$ ). Afin que l'information puisse être identifiée avec certitude,  $\Delta V_{BL}$  doit atteindre une valeur minimale notée  $\Delta V_{BL_{min}}$ . Si  $\Delta V_{BL} > \Delta V_{BL_{min}}$ , alors la sortie sera à l'état haut. Si  $\Delta V_{BL} < -\Delta V_{BL_{min}}$ , alors la sortie sera à l'état bas. Par exemple, pour une logique CMOS 0,13  $\mu\text{m}$ ,  $\Delta V_{BL}$  est de l'ordre de 0,3 V [84].

Les courants de fuite parasitant la lecture sont indiqués en vert sur la Figure 35 :

- Le courant de fuite du rail d'alimentation vers le nœud à l'état bas.
- Le courant de fuite du nœud à l'état haut vers la masse.

Plusieurs types d'erreur peuvent perturber la lecture. Il est important de les connaître, car elles devront être différenciées lors de l'étude des bits collés :

- **Erreur de timing** : c'est l'incapacité d'obtenir un  $\Delta V_{BL} > \Delta V_{BLmin}$  dans le temps imparti à la lecture. Cela peut être causé par des courants de fuite trop élevés dans les inverseurs, au niveau du transistor PMOS du nœud à l'état bas et au niveau du NMOS du nœud à l'état haut. Cette faute n'entraîne pas la perte de l'information contenue dans la cellule et peut donc facilement être discriminée grâce à des relectures successives.
- **Erreur de stabilité** : la lecture de l'information d'une cellule SRAM ne doit pas faire basculer cette cellule : dans l'exemple de la Figure 35,  $\bar{Q}$  verra sa tension légèrement augmenter du fait de la décharge de la bitline. Il faut donc que cette tension  $V_{\bar{Q}}$  reste en dessous de la tension d'inversion de la cellule. C'est pour cela que lors du design de la cellule, la transconductance du transistor NMOS de l'inverseur est plus élevée que celle du NMOS d'accès, afin d'éviter un basculement de la cellule [53].
- **Commutation spontanée** : c'est un changement d'état soudain de la cellule, pouvant survenir hors lecture. Ce type de commutation peut intervenir à cause de bruits intrinsèques à la cellule SRAM. Ce bruit est dû à des pièges (*switching oxide traps*) dans l'oxyde de grille des transistor MOS de l'inverseur, proches ( $\sim 3$  nm [85], pour les technologies qui seront étudiées dans ces travaux) de l'interface  $Si/SiO_2$ . L'oscillation de la tension minimale de rétention de l'information provoquée par ces pièges est montrée par la Figure 37.

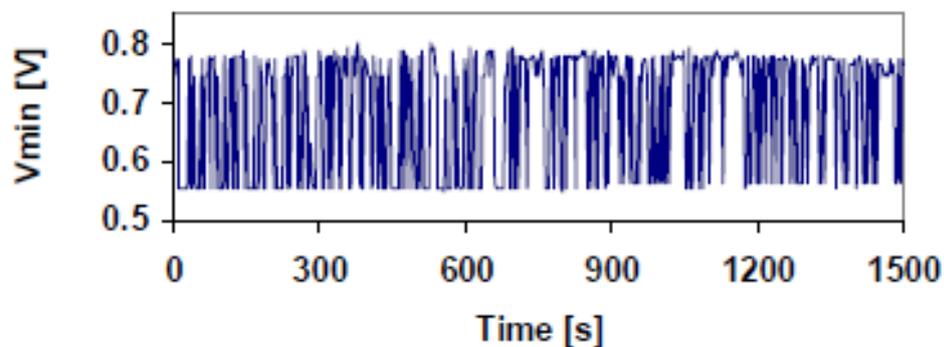


Figure 37. Changement de tension de rétention minimale d'une cellule au fil du temps. [86]

Ce type d'erreur est facilement caractérisable car, à paramètres constants ( $V_{dd}, T$ ), le taux d'erreur serait dépendant du temps entre les lectures.

Pour écrire dans une cellule SRAM, la bitline est préchargée avec l'état à écrire (et la bitline inverse avec son complémentaire). La wordline est ensuite activée durant un temps d'accès. Pour cette opération aussi, les mêmes courants de fuite qu'en lecture interviennent et peuvent aussi provoquer des erreurs de stabilité ou de timing.

### 3. SRAM étudiées

Dans le cadre de cette étude, deux références de composants SRAM ont été testées et irradiées. La première d’entre elles, la Samsung KM684000ALG-7, fait partie des mémoires embarquées sur l’expérience CARMEN-2 du CNES, sur le satellite JASON-2. Des bits collés ont été observés en vol dans le cadre de cette expérience [40].

C’est une mémoire organisée en 512 000 mots de 8 bits, pour un total de 4 Mb. Un rapport d’analyse technologique [87] montre que cette mémoire, datant du milieu des années 1990 (nœud technologique 0.65  $\mu\text{m}$ ), utilise un design de cellule TFT et fait intervenir des procédés technologiques aujourd’hui obsolètes, tels que le procédé LOCOS (LOCAL Oxidation of Silicon) pour l’oxyde de séparation local, comme illustré sur la Figure 38. Ce procédé de croissance thermique de l’oxyde a été largement abandonné pour les nœuds technologiques en dessous de 0.5  $\mu\text{m}$ . Sa structure en « bec d’oiseau » entraîne des effets de pointe une fois irradiée, créant un décalage important de la tension de seuil du transistor [88].

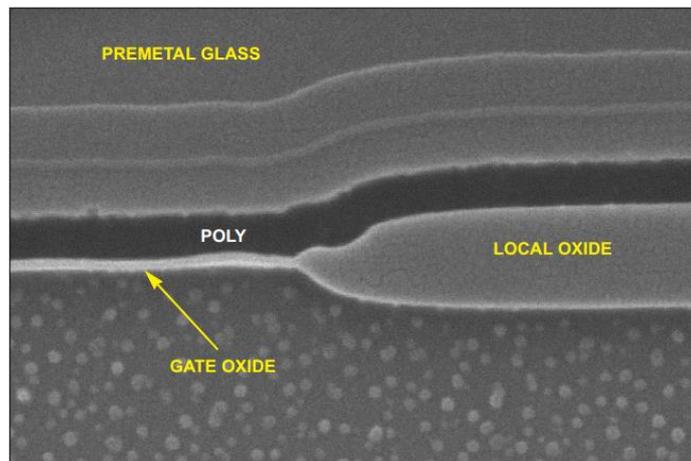


Figure 38. Oxyde LOCOS de la KM684000ALG-7. [87]

Le Tableau 1 résume les caractéristiques du composant.

Caractéristique	Valeur
Tension d’alimentation	4,5 V – 5,5 V
Tension d’alimentation typique	5 V
Tension pour la rétention de données	2,0 V– 5,5 V
Capacité	4 Mb
Taille du mot	8 bits
Temps pour un cycle de lecture	70 ns
Temps pour un cycle d’écriture	70 ns
Date Code des composants testés	DC614 (1996) et DC946 (1999)

Tableau 1. Caractéristiques de la KM684000ALG-7

Le composant étant ancien (le lot de vol CARMEN datant de 1994) et donc difficile à se procurer, de nouveaux composants ne faisant pas partie du lot de vol ont été approvisionnés

par le CNES. Une comparaison des puces contenues dans le lot de vol et le lot approvisionné a été menée et démontre que les puces ne sont pas les mêmes. La Figure 39 montre les puces en question, observées après ouverture. On peut voir que les dimensions sont légèrement réduites.

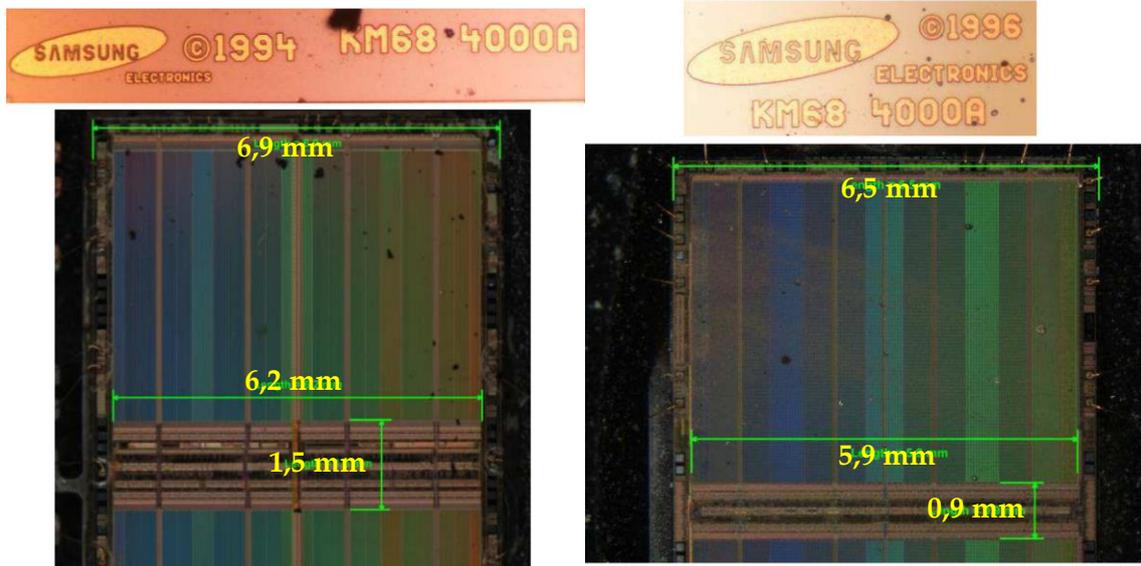


Figure 39. Comparaison des puces SRAM contenues dans le lot CARMEN (gauche) et une puce des lots utilisés (droite).

La seconde mémoire étudiée est la CY62148EV30LL45ZSXI de Cypress Semiconductors. C'est elle aussi une mémoire de 4Mb, arrangés en 512 000 mots de 8 bits, mais c'est une mémoire moins ancienne datant du milieu des années 2000, du nœud technologique 90 nm, dont les caractéristiques sont présentées dans le Tableau 2.

Caractéristique	Valeur
Tension d'alimentation	2,2 V – 3,6 V
Tension d'alimentation typique	3 V
Tension pour la rétention de données	1,5 V – 3,6 V
Capacité	4 Mb
Taille du mot	8 bits
Temps pour un cycle de lecture	45 ns
Temps pour un cycle d'écriture	45 ns
Date Code des composants testés	DC0831 (2008)

Tableau 2. Caractéristiques de la CY62148EV30LL45ZSXI

Les deux mémoires SRAM testées couvrent deux générations technologiques fondamentalement différentes, qu'il est intéressant d'étudier et de comparer.

## II. DRAM (Dynamic Random Access Memory)

La DRAM est également une mémoire volatile, mais, contrairement à la SRAM, il s'agit d'une mémoire dynamique, c'est-à-dire que son contenu doit être périodiquement réécrit pour ne pas être perdu. Dans la DRAM, les mots sont groupés en banques (*memory banks*), et chaque opération ne peut porter que sur une seule banque.

Comparée à la SRAM, la DRAM dispose d'une capacité par composant qui est quelques ordres de grandeur supérieure à celle de la SRAM, de 16 Mb à 4 Gb. Cela est en partie dû à une densité d'intégration plus grande, car la cellule DRAM occupe jusqu'à quatre fois moins de surface qu'une cellule SRAM [89]. Le coût par bit est lui aussi plus avantageux :  $10^{-4}$  \$ / bit en 2007, comme indiqué par la Figure 40, qui présente l'évolution des paramètres technologiques de la DRAM au fil du temps. La DRAM dispose par contre de temps de latence plus élevés que la SRAM [90].

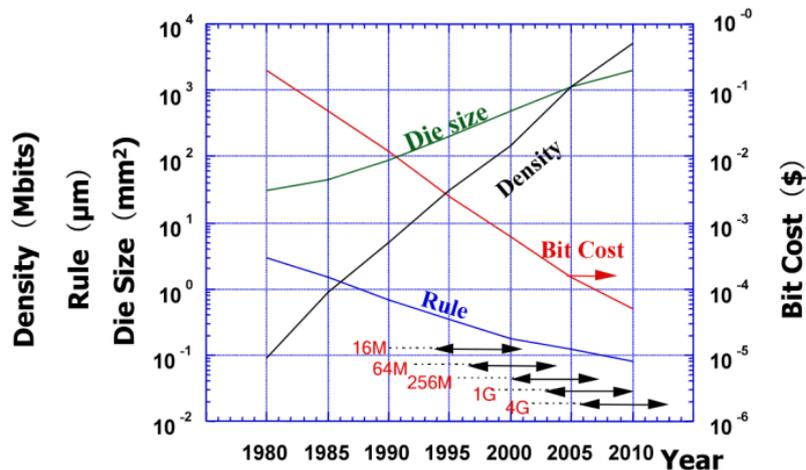


Figure 40. Évolution des paramètres technologiques de la DRAM. [91]

Ces caractéristiques font que la DRAM est principalement utilisée comme mémoire de travail des systèmes ayant besoin de plus de quelques mégabits de mémoire, comme les ordinateurs, tablettes, smartphones et autres systèmes embarqués.

Sur les satellites, elles sont également utilisées comme mémoire de travail des ordinateurs de bord ou des équipements (centrales inertielles, senseurs stellaires, expériences, ...) et aussi souvent utilisées en tant que mémoire de masse dans les missions de longue durée ayant besoin d'un espace de stockage conséquent [42].

### 1. Principe de fonctionnement et implémentation d'une cellule DRAM

La cellule de base DRAM, détaillée sur la Figure 41, est composée d'un condensateur, qui stocke l'information sous forme de charge ainsi que d'un transistor d'accès qui relie le condensateur à la bitline.

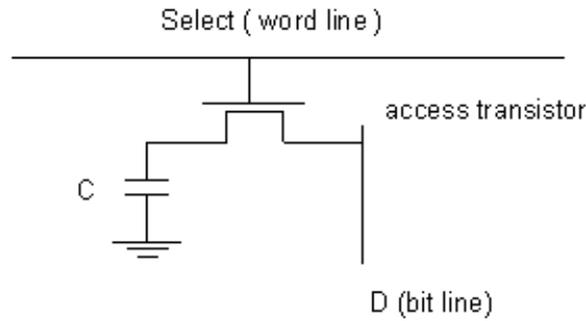


Figure 41. Structure d'une cellule DRAM.

Pour les DRAM actuelles, une tension de  $\frac{V_{dd}}{2}$  (et non 0 V) est appliquée à la « masse » du condensateur, afin de minimiser le champ électrique auquel est soumis le condensateur. Le nœud de stockage du condensateur peut être, selon l'information stockée, soit à 0 V soit à la tension  $V_{dd}$  : la charge stockée par le condensateur, selon l'état logique est de  $\pm \frac{C V_{dd}}{2}$ , avec C la capacité du condensateur.

La capacité des cellules DRAM varie peu avec l'avancée technologique et est comprise entre 20 et 40 fF [92]. Si on prend une tension  $V_{dd}$  de 3,3 V, typique des mémoires DRAM qui sont étudiées ici, on obtient une charge comprise entre 33 et 66 fC ( $Q = CV$ ). Si l'on ramène cette charge au nombre d'électrons qu'elle représente, cela correspond à environ 206 000 à 412 000 électrons.

Afin d'obtenir une capacité constante du condensateur alors que sa surface diminue au fil de l'intégration, les concepteurs ont proposé plusieurs solutions permettant d'implémenter un condensateur ayant une grande surface dans un espace réduit.

Deux architectures de cellules se sont imposées sur le marché des DRAM : la première, détaillée sur la Figure 42, utilise un nœud de collection et un condensateur empilés sur la source du transistor d'accès, c'est la structure dite « empilée » (*stacked cell*).

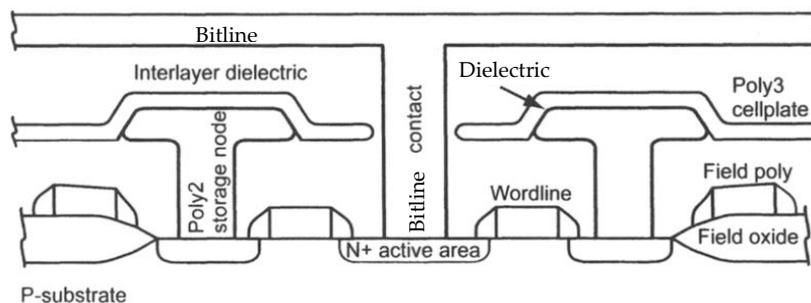


Figure 42. Structure stack. [92]

Elle présente l'avantage de pouvoir réaliser le condensateur avec des formes variées (afin d'optimiser l'espace) et de pouvoir employer des matériaux ayant un fort coefficient diélectrique. Le principal désavantage de cette architecture est que les connexions entre les différentes couches sont difficiles à réaliser. Cela est dû au fait que le condensateur occupant

l'espace au-dessus du transistor limite sévèrement l'espace disponible pour les interconnexions et au fait qu'il y ait une grande différence de hauteur entre la bitline et le transistor d'accès. [93].

L'autre structure, dite « en tranchée » (*trench cell*), utilise un condensateur et un nœud de stockage en profondeur. La source du transistor d'accès est reliée au nœud de stockage par un morceau de polysilicium, le « poly strap », comme le montre la Figure 43. Cette technique présente l'avantage, par rapport à l'architecture empilée, d'avoir les transistors d'accès à la même hauteur que la logique de contrôle (puce planaire) et fait qu'elle est particulièrement adaptée à la DRAM embarquée. La géométrie extrême du condensateur fait que sa fabrication est complexe et limite le choix de matériaux diélectriques [94].

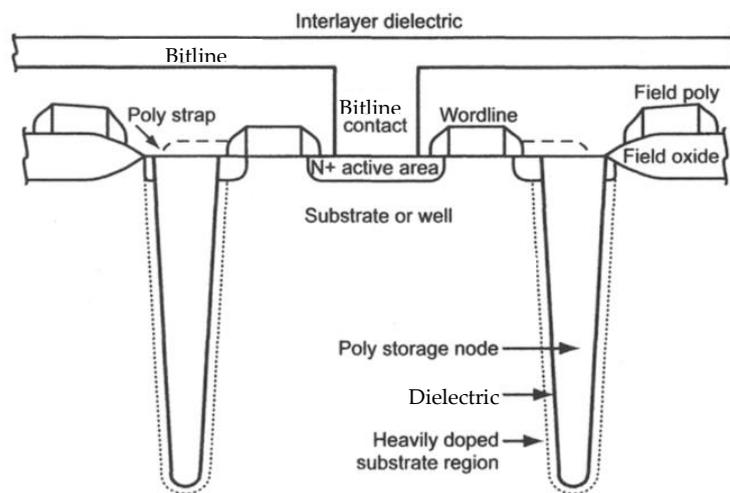


Figure 43. Structure trench. [92]

Une évolution de la structure en tranchée utilise un transistor d'accès vertical, comme le montre la Figure 44. Cela a pour effet de minimiser encore plus la surface de la cellule, mais rend la fabrication de ces types de composants plus complexe.

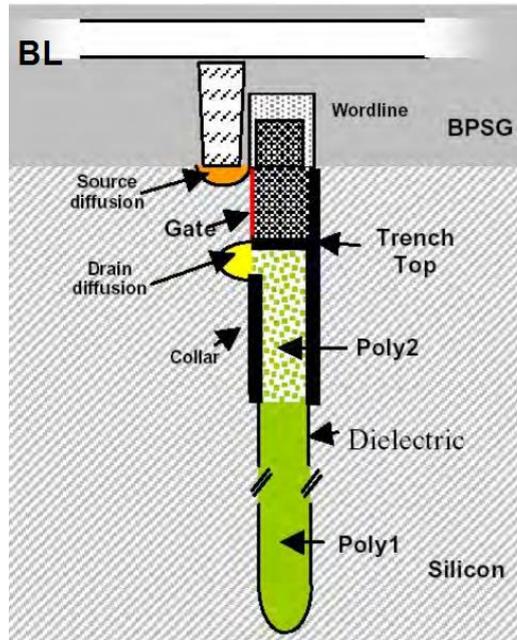


Figure 44. Structure trench à transiter d'accès vertical. [95]

Mais la charge stockée par le condensateur diminue au fil du temps à cause des courants de fuite du transistor d'accès et du condensateur : au bout d'un certain temps, appelé temps de rétention, cette charge passe en dessous du seuil détectable par la lecture, ce qui entraîne la perte de l'information stockée. Ce temps de rétention peut être défini de la manière suivante :

$$t_{ret} = \frac{Q}{I_{leak}} = \frac{C V_{dd}}{2 I_{leak}} \quad \text{Equation 2.1.}$$

La Figure 45, qui schématise une cellule DRAM, met en évidence ces courants de fuite (flèches rouges).

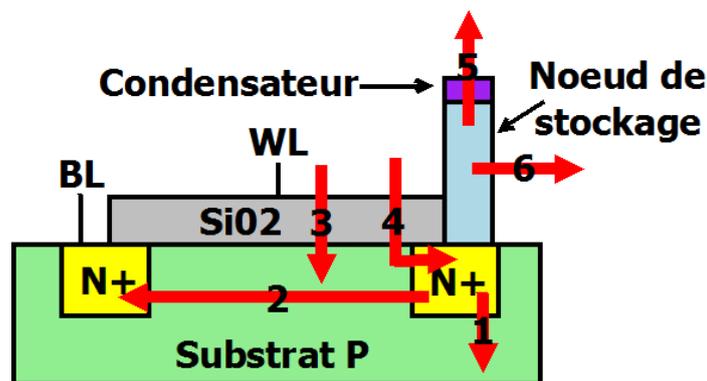


Figure 45. Courants de fuite dans une cellule SDRAM.

Tout d'abord, il y a le courant de fuite de la jonction P-N+ au nœud de stockage, représenté par la flèche 1 sur la Figure 45. Lorsque une jonction P-N est polarisée en inverse et n'est pas sensée conduire, un courant de fuite est quand même présent, à cause des porteurs minoritaires : les électrons de la zone P sont attirés par le contact positif (contact de

la zone N) et les trous de la zone N par le contact négatif. Bien que dans le cas étudié, la tension au travers de la jonction reste en dessous de la tension d'avalanche (tension à partir de laquelle une jonction polarisée en inverse conduit), un courant, non négligeable face à la charge stockée (de l'ordre de la dizaine de fC) est tout de même présent [96].

Le transistor d'accès étant un transistor MOSFET possède également un courant sous le seuil (*subthreshold current*) entre le drain et la source, mis en évidence par la flèche 2 sur la Figure 45.

Des courants de fuite peuvent aussi passer à travers l'oxyde de grille du transistor d'accès, à cause de la conduction par effet tunnel [97], phénomène désigné par la flèche 3 sur la Figure 45. L'effet tunnel est la description par la physique quantique du passage d'une particule au travers un milieu présentant une barrière de potentiel supérieure à l'énergie de la particule, milieu qu'elle ne pourrait traverser selon la physique classique. Pour les MOSFETS ayant un oxyde de grille ayant une épaisseur  $t_{ox} < 4$  nm, le phénomène de conduction directe par effet tunnel prédomine [98].

Un autre effet épuisant la charge stockée est le GIDL (*Gate-Induced Drain Leakage*), qui est un courant de fuite dans la zone de déplétion N<sup>+</sup> du drain, proche de la grille, dû au fort champ électrique induit par la grille dans cette zone [99]. Cet effet est représenté par la flèche 4 sur la Figure 45.

L'isolant du condensateur présente lui-même un courant de fuite et est représenté par la flèche 5 de la Figure 45.

Le dernier effet à prendre en compte, représenté par la sixième flèche, est l'effet des cellules proches. C'est un effet encore mal compris, fortement dépendant de l'implémentation technologique de la mémoire qui fait que le temps de rétention d'une cellule fluctue selon l'état des cellules environnantes (Data Pattern Dependence) [100].

Le courant de fuite de la jonction P-N est la cause prédominante du courant de fuite de la cellule DRAM [101]. Ce courant dépend de façon exponentielle de la température, doublant environ tous les 11°C [102]. Cette dépendance en température, qui, en pratique dépend des paramètres technologiques (dimensions, profils de dopage), est bien vérifiée pour les temps de rétention des SDRAM, dans le cadre des études sur le phénomène de bit collé [66].

Afin de ne pas perdre l'information, il faut donc réécrire l'information de manière périodique, c'est ce que l'on appelle le rafraichissement de la mémoire. Cette opération n'est pas sans conséquence sur le fonctionnement de la DRAM : une partie de la puissance et des opérations est dédiée au rafraichissement de la mémoire. Cette tendance augmente avec l'évolution technologique et pour les dernières générations, le rafraichissement peut représenter jusqu'à un tiers de la puissance consommée ainsi que 35% de la latence [103].

Il est difficile d'effectuer le lien entre l'information logique stockée et la charge stockée par une cellule DRAM car, dans un souci de gain d'espace, les amplificateurs de lecture sont reliés à deux bitlines chacun : une pour laquelle une tension proche de  $V_{dd}$  comptera pour un état logique haut (cellule) et une autre où une tension proche de 0 V comptera pour un état logique bas (anti-cellule) [100]. La Figure 46 met en évidence ces structures.

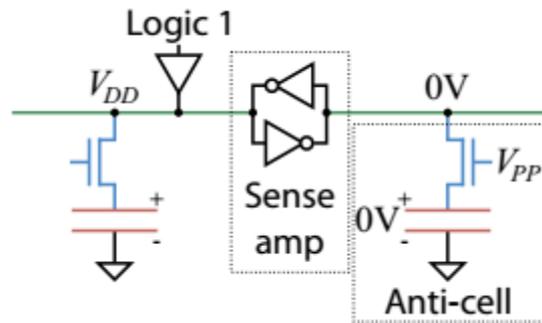


Figure 46. Cellules et anti-cellules. Une partie des cellules sont à l'état haut à  $V_{DD}$  tandis que les anti-cellules sont à 0 V. [100]

D'autres designs existent, tel que le design 1T, qui utilise la capacité parasite du transistor d'accès pour retenir l'information. Ces designs, qui reposent sur le même principe de stockage de l'information, ne seront pas développés ici.

A noter qu'un type de mémoire appelé PSRAM (Pseudostatic Static Random Access Memory) [77] existe, mais il ne s'agit en aucun cas d'une SRAM. Il s'agit d'une mémoire hybride ayant des cellules DRAM, mais qui utilise la même interface de commande que la SRAM grâce à une logique de contrôle et d'interfaçage modifiée. Le rafraichissement des cellules est géré de façon automatique par la logique de contrôle.

Comme dit précédemment, la principale application de la DRAM est la mémoire de travail de systèmes de traitement de l'information, qui contiennent le plus souvent un processeur. Ce processeur exécute des opérations à une certaine fréquence et il est impératif que la mémoire puisse supporter la charge de travail qu'il lui impose. La solution a été de synchroniser les opérations de la DRAM et du processeur : à chaque cycle d'horloge du processeur, une opération est effectuée sur la DRAM. C'est ce que l'on appelle la DRAM synchronisée (SDRAM), à simple taux de transfert (SDR, *single data rate*). Ce type de mémoire DRAM a commencé à remplacer la DRAM classique, asynchrone, dès le milieu des années 1990.

Avec l'évolution de l'informatique, la SDR ne disposait plus d'une fréquence d'opération suffisante pour se maintenir au niveau des nouveaux processeurs. Afin d'augmenter le débit de données des SDRAM, une nouvelle architecture a été créée, permettant d'exécuter deux opérations par cycle d'horloge processeur : une au front montant, une au front descendant. Cela permet de doubler le nombre de mots transférés par cycle d'horloge. C'est la SDRAM à double taux de transfert (DDR, *double data rate*).

Chaque génération suivante (DDR2, DDR3, ...) double la capacité de transfert par cycle d'horloge [104, p. 2] en insérant des opérations entre le front montant et le front descendant du signal d'horloge. L'évolution des différentes générations de SDRAM est résumée par le Tableau 3 et montre une nette tendance vers la baisse de la tension. Chaque génération fait l'objet d'une norme définie par le JEDEC (*Joint Electron Device Engineering Council*), un groupe de normalisation de l'électronique.

Type	Fréquence (MHz)	Millions de mots / s	Tension typique (V)	Date
SDR	66-133	66-133	3,3	~1993
DDR	100-200	200-400	2,5 / 2,6	2000
DDR2	100-266,67	400-1066,68	1,8	2003
DDR3	100-266,67	800-2133,36	1,5	2007
DDR4	133,33–266,67	2133,28-4266,72	1,2	2014

Tableau 3. Caractéristiques des différentes générations de SDRAM [58]

Ces normes définissent toutes les caractéristiques des différentes générations de SDRAM, et parmi celles-ci, figure le temps de rétention minimal. Pour toutes les SDRAM, ce temps de rétention minimal est de 64 ms [58]. Cela a plusieurs implications : chaque cellule devra être rafraîchie au maximum toutes les 64 ms (au-delà, la donnée est considérée comme perdue) et toute cellule ayant un temps de rétention inférieur à 64 ms sera donc considérée comme défectueuse.

Lorsque les courants de fuite de la cellule DRAM ont été abordés, il a été fait mention de la dépendance exponentielle des courants de fuite à la température. Les normes JEDEC, à partir de la DDR2, prennent en compte ce phénomène en introduisant la clause « Extended Temperature Range », qui stipule que pour des températures entre 85°C et 95°C (maximum), la fréquence de rafraîchissement doit être doublée (toutes les 32 ms maximum) [104].

Il faut faire attention à ne pas confondre les SDRAM DDR avec les GDDR (Graphic DDR), des SDRAM optimisées pour le calcul par processeur graphique (GPU, *graphic processing unit*). Bien qu'elles aient différentes générations (GDDR2, GDDR3, ...) et que leurs normes soient aussi définies par le JEDEC, elles ne sont ni comparables, ni compatibles avec les DDR [105].

## 2. Opérations de base

Lors de la lecture, la bitline est tout d'abord préchargée à  $\frac{V_{dd}}{2}$  et la wordline est ensuite passée à l'état haut. Le nœud de stockage partage donc sa charge avec la bitline, comme le montre la Figure 47.

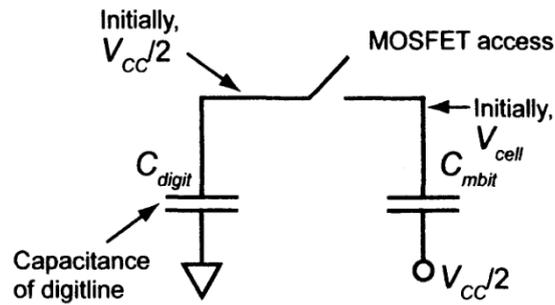


Figure 47. Partage de charge entre la bitline et le condensateur. Lors de l'accès, la charge contenue dans le condensateur est partagée avec la bitline, modifiant sa tension.

La modification de la tension de la bitline par le partage de charge peut s'écrire [106] :

$$\Delta V_{BL} = \frac{V_{dd}}{2} \frac{1}{1 + \frac{C_{BL}}{C_{cell}}} \quad \text{Equation 2.2.}$$

Une fois la charge partagée, la bitline est connectée à un amplificateur qui compare cette tension  $V_{signal}$  à  $\frac{V_{dd}}{2}$ , et donne un état haut ou bas en sortie en fonction du résultat (et selon qu'il s'agisse d'une cellule ou d'une anti-cellule).

La lecture d'une cellule DRAM détruit l'information car la charge du condensateur est modifiée lors de l'opération. L'information lue doit donc être réécrite. Ce processus est transparent pour l'utilisateur car il est automatiquement exécuté par la logique de contrôle de la DRAM.

Pour écrire une donnée dans la cellule, la bitline est préchargée à la valeur à écrire et la wordline est ensuite activée, ce qui permet d'appliquer la tension de la bitline au nœud de stockage. La wordline est ensuite désactivée.

L'opération de rafraichissement d'une cellule est la même que l'opération de lecture : l'information est lue, puis réécrite. Deux commandes permettent de rafraichir la mémoire sur les DRAM synchrones :

- *Auto-refresh*, rafraichit une bitline entière du plan mémoire. La logique interne choisit la bitline à rafraichir grâce à un compteur interne, incrémenté à chaque utilisation. Pour rafraichir totalement la mémoire afin de rentrer dans les normes JEDEC, il faut donc exécuter au moins un nombre  $\frac{N_{bitlines}}{t_{ref}}$  d'auto-refresh par unité de temps, où  $t_{ref}$  est le temps de rétention minimal d'une cellule.
- *Self-refresh*, rafraichit automatiquement les bitlines une par une. Dans ce mode, les opérations de rafraichissement sont gérées par la logique de contrôle interne et la partie « synchronisée » de la logique de contrôle n'est pas alimentée : ce mode consomme donc moins de courant que pour les autres opérations. Pour rafraichir la mémoire entièrement, il faut que la mémoire reste au moins durant un temps  $N_{bitlines} * t_{ref}$  dans le mode self-refresh.

Les modes de rafraîchissement des DRAM asynchrones ne seront pas abordés ici, l'objet de notre étude étant les DRAM synchrones.

### 3. Mémoires étudiées

La première DRAM étudiée dans ces travaux est une SDRAM SDR, la Hyundai (désormais Hynix) HY57V651620BTC-10. Il s'agit d'une mémoire de 67 108 864 bits, organisés en 4 banques de 1 million de mots de 16 bits. Cette mémoire a été introduite sur le marché en 1997. Cette mémoire est d'intérêt particulier pour notre étude car il s'agit de la mémoire embarquée sur le senseur stellaire du satellite PICARD, dans lequel des bits collés ont été détectés [39]. Le Tableau 4 détaille les caractéristiques de cette mémoire.

<b>Tension d'alimentation</b>	<b>3,0 – 3,6 V</b>
<b>Tension d'alimentation typique</b>	3,3 V
<b>Type</b>	SDR
<b>Capacité</b>	64 Mb
<b>Taille du mot</b>	16 bits
<b>Nombre de banques</b>	4
<b>Fréquence max.</b>	100 MHz

Tableau 4. Caractéristiques de la HY57V651620BTC-10.

L'autre SDRAM étudiée, la EDS5104ABTA-75 d'Elpida (désormais Micron) est elle aussi une SDRAM SDR, commercialisée dès 2002. Elle a été choisie car des bits collés ont été détectés sur cette mémoire lors de l'expérience CARMEN-2 sur le satellite JASON-2 [40].

<b>Tension d'alimentation</b>	<b>3,0 – 3,6 V</b>
<b>Tension d'alimentation typique</b>	3,3 V
<b>Type</b>	SDR
<b>Capacité</b>	512 Mb
<b>Taille du mot</b>	4 bits
<b>Nombre de banques</b>	4
<b>Fréquence max.</b>	133 MHz

Tableau 5. Caractéristiques de l'EDS5104ABTA-75.

## III. Intégrité de l'information stockée

Les radiations présentes dans l'espace peuvent corrompre les données stockées dans les mémoires SRAM et DRAM. Cela peut entraîner des pertes de données ou des résultats erronés, il est donc important de pouvoir assurer l'intégrité des données contenues dans les mémoires des satellites, qu'il s'agisse de mémoire de travail où mémoire de masse.

Beaucoup de solutions ont été apportées au fil des années. Chaque solution diminue l'impact des erreurs sur l'intégrité des données, mais possède toujours un coût, qu'il soit financier, en masse, en capacité de stockage ou en performance.

L'intégrité des données est donc un sujet complexe, car il fait intervenir des compromis qui dépendent du profil de la mission et de l'importance des données. Dans la suite de cette partie, nous allons détailler ces solutions, afin de pouvoir, par la suite, étudier l'impact des bits collés sur l'intégrité des données stockées.

### 1. Redondances

La redondance, dans le domaine de la fiabilité, est l'utilisation de plusieurs équipements identiques afin d'accomplir une tâche, afin de minimiser l'impact d'une erreur ou avarie sur un équipement.

Il existe plusieurs types de redondance. La première, appelée redondance chaude (ou à chaud), consiste à faire marcher plusieurs de ces équipements en parallèle, et de choisir le résultat par vote majoritaire afin qu'une erreur sur un des équipements ne perturbe pas le résultat final. L'implémentation la plus simple et la plus utilisée, détaillée sur la Figure 48 est la redondance triple (TMR, *triple modular redundancy*), qui permet de corriger une erreur simple [107].

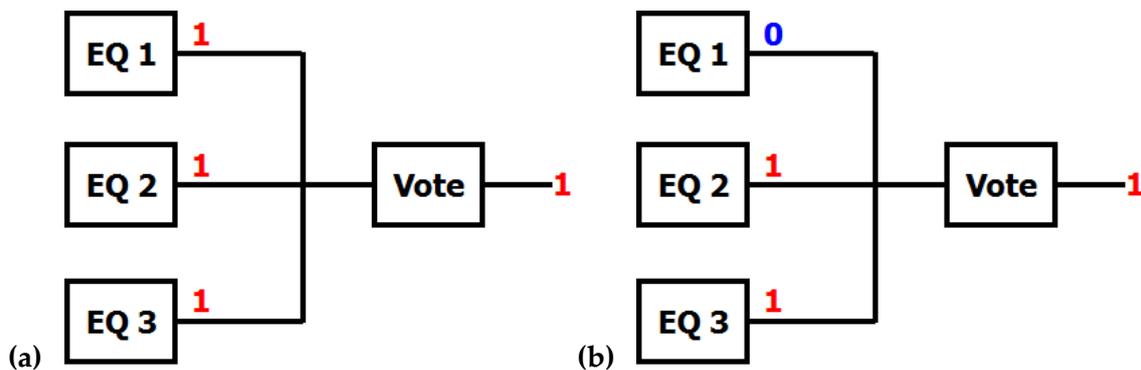


Figure 48. Redondance triple. (a) Sans erreur. (b) Avec erreur.

Le mécanisme de vote, qui est une série de portes logiques, est souvent lui aussi triplé. Le système devient donc un système sans point individuel de défaillance (NSPOF, *No Single Point Of Failure*), car aucune erreur simple, où qu'elle survienne dans la chaîne, ne peut provoquer d'erreur du système [108].

L'autre type de redondance, la redondance à froid, consiste à conserver un ou plusieurs équipements en réserve. Si l'équipement principal devient inutilisable, l'un des équipements de réserve prend le relais pour continuer les opérations.

Les redondances sont des techniques ayant un coût en masse et en espace élevé et ne sont réservées qu'aux systèmes les plus critiques, qui ont une importance capitale pour la mission ou qui ont des enjeux humains : par exemple, l'ordinateur de bord de la plupart des avions de ligne dispose d'une redondance TMR [109], avec un autre ordinateur de bord en redondance froide en cas d'avarie.

## 2. Détection et correction d'erreur

Une autre solution consiste à utiliser une partie du plan mémoire afin de stocker non pas des données, mais des informations sur l'intégrité de l'information contenue dans le reste de la mémoire, en utilisant des fonctions mathématiques. C'est le principe des sommes de contrôle (*checksum*). Leur implémentation est plus communément connue sous le nom de détection et correction d'erreur (EDAC, *Error Detection And Correction*).

Un outil important dans les EDAC est l'utilisation de bits de parité [110], qui sont définis pour un ensemble de bits donné. Si la somme de ces bits est paire, alors le bit de parité est égal à 0. Sinon, pour une somme impaire, il sera égal à 1.

La somme de contrôle la plus simple peut se faire en substituant un bit par un bit de parité. Pour vérifier l'intégrité de l'information accédée, il suffit de recalculer le bit de parité associée aux bits de données et de le comparer au bit de parité stocké. Cette méthode permet de détecter un nombre impair d'erreurs.

Comme le montre le Tableau 6, qui prend l'exemple pour un mot de 8 bits (7 bits de données et 1 de parité), le contrôle par bit de parité permet de détecter correctement un nombre impair d'erreurs, mais n'arrive pas à détecter deux erreurs, qu'il identifie comme intègre.

Bits	Bit de parité	Résultat
1101000	1	OK
1101001	1	ERREUR
1100001	1	OK
0100001	1	ERREUR

Tableau 6. Contrôle par bit de parité. Les valeurs des bits en rouge représentent les erreurs.

Cette méthode permet de détecter, dans certains cas, si la donnée lue n'est pas intègre mais ne permet en aucun cas de savoir exactement quel bit est en erreur afin de pouvoir le corriger. La famille de code correcteur d'erreur la plus utilisée est la famille des codes de Hamming. Cette famille de codes correcteurs a été inventée par Richard Hamming vers la fin des années 1940 dans un contexte où les systèmes informatiques de calcul révolutionnent le progrès scientifique. Ces codes poussent plus loin le principe de bit de parité, en introduisant un certain nombre de bits de parité partiels (qui ne portent pas sur tous les bits de donnée).

La notation générale d'un code de Hamming s'écrit : H (*nombre de bits total, nombre de bits de données*). La formulation mathématique générale des codes de Hamming ne sera pas développée dans ce manuscrit, nous nous intéresserons aux plus déployés.

Le code H(7,4), porte sur 7 bits pour 4 bits de données ( $d_1, d_2, d_3, d_4$ ) et utilise 3 bits de parité partiels ( $p_5, p_6, p_7$ ), définis de la façon suivante [111] :

- $p_5$  est le bit de parité de  $d_1, d_2$  et  $d_4$ .

- $p_6$  est le bit de parité de  $d_1, d_3$  et  $d_4$ .
- $p_7$  est le bit de parité de  $d_2, d_3$  et  $d_4$ .

Ce code de calcul permet de détecter et de corriger une erreur sur un seul bit. Néanmoins, si une erreur sur deux bits survient, H(7,4) est incapable de la différencier d'une erreur sur un bit et peut même proposer une correction fausse.

Ce problème est résolu en ajoutant un bit de parité portant sur  $d_1, d_2, d_3, d_4, p_5, p_6$  et  $p_7$ . C'est le code H(8,4), qui permet de corriger une erreur et de détecter deux erreurs. Il est plus communément appelé code SECDED pour *Single Error Correction, Double Error Detection* (correction d'erreur simple, détection d'erreur double) et est le code correcteur d'erreur le plus déployé [112].

Comme l'on peut le voir, ces EDACs ont un coût important en mémoire (le code SECDED prenant 8 bits pour stocker 4 bits de données) et peuvent impacter les performances du système, car, pour éviter l'accumulation des erreurs, la vérification de l'intégrité des données doit être effectuée périodiquement.

Certaines mémoires, les ECC DRAM (Error-Correcting Code), proposent des solutions de détection et de correction des erreurs pré-intégrées au composant. Une puce supplémentaire, contenant de la mémoire additionnelle pour les informations EDAC ainsi qu'une logique implémentant l'EDAC [113] est présente sur ces composants.

### 3. Mitigation des erreurs multiples

Sur les mémoires SRAM et DRAM, une seule particule peut provoquer le changement d'état de plusieurs cellules dans le même mot [114], c'est ce qu'on appelle un MBU (*multiple bit upset*). La plupart des codes correcteurs d'erreurs ne peuvent pas corriger ces erreurs. La proximité physique des cellules est un facteur important pour l'occurrence de MBU [115].

Or certaines mémoires, pour des raisons d'optimisation ou de sécurité, ont une disposition physique différente de leur adressage logique [116]. Des cellules proches logiquement (par exemple, faisant partie du même mot) peuvent être éloignées physiquement (non-adjacentes), c'est ce que l'on appelle le *bit scrambling*. Cela a pour effet d'améliorer la capacité à corriger des MBU pour ces mémoires car au lieu de modifier plusieurs bits d'un même mot, les erreurs seront réparties sur plusieurs mots.

### Conclusion

Dans ce chapitre, le principe de rétention de l'information des mémoires SRAM et DRAM a été expliqué : la cellule SRAM utilise deux inverseurs pour stocker ses données tandis que la DRAM utilise un condensateur. Chaque type de mémoire présente différentes architectures, chacune représentant un compromis entre consommation, intégration et facilité de fabrication.

Après avoir donné une vue d'ensemble des modes d'opération, les principaux mécanismes d'erreurs ont été détaillés : pour la SRAM, il peut s'agir de problèmes de timing, de stabilité ou de commutation spontanée. Pour la DRAM, il s'agit d'une perte de la charge stockée, selon un mécanisme qui dépend de façon exponentielle de la température.

La connaissance technique des spécificités de la SRAM et des DRAM est importante, car elle permettra non seulement d'appréhender l'effet des bits collés, mais aussi de pouvoir les expliquer en permettant de discriminer le mécanisme d'erreur.

Pour se prémunir de cette perte de données, il existe différentes techniques, qui reposent soit sur la duplication d'équipement au prix de masse, de puissance et d'espace, soit sur des sommes de contrôle au prix de capacité de stockage et de performances. Ces informations nous permettront d'appréhender l'impact des bits collés sur les moyens de mitigation déployés.

Pour chaque type de cellule, une grandeur d'intérêt particulier a été identifiée : pour les SRAM, il s'agit de la tension minimale de rétention. Pour les DRAM, il s'agit du temps de rétention. Quatre références de mémoires (2 SRAM, 2 DRAM) ayant présenté des bits collés sur des satellites du CNES (sauf pour la SRAM Cypress) ont été sélectionnées pour mener une étude expérimentale approfondie.

## Chapitre 3 – Caractérisation des mémoires sous irradiation

### Introduction

Après avoir effectué un état de l'art du phénomène de bit collé et des mémoires étudiées, cette partie s'attelle à reproduire au sol cet effet et l'étudier en environnement contrôlé, c'est-à-dire en utilisant des faisceaux de particules.

Les irradiations effectuées ont pour objectif de générer des bits collés sur mémoire SRAM et DRAM en utilisant un environnement radiatif artificiel. Cela nous permettra d'étudier les conditions de formation des bits collés, ainsi que leurs propriétés.

La première partie de ce chapitre présente les moyens expérimentaux utilisés et dresse un descriptif détaillé des bancs de tests et des moyens d'irradiation, ainsi que de la logique motivant les tests, tout en justifiant la pertinence de l'approche choisie.

Chacune des parties suivantes détaille une campagne de test. La première campagne expérimentale concerne les mémoires de type SRAM, tandis que l'étude de la SDRAM est l'objet de la seconde et troisième campagne. Des mécanismes de dégradation plausibles, s'appuyant les résultats obtenus seront proposés pour chaque type de mémoire.

## I. Moyen de tests

Nous présentons ici les bancs de tests utilisés ainsi que les moyens d'irradiations auprès desquels nous nous sommes rendus pour mener nos campagnes expérimentales.

### 1. Bancs de test fonctionnel

#### a. Matériel utilisé

Le principe d'un banc de test fonctionnel est de tester la fonctionnalité de toutes les cellules d'un bloc mémoire de taille donnée en comparant la donnée stockée à une donnée de référence, afin de voir si l'information reste correcte.

Le banc de test fonctionnel utilisé durant les campagnes de tests, réalisé par la société TRAD, est détaillé sur la Figure 49. Il est piloté par un ordinateur portable exécutant un programme écrit en LabVIEW faisant office d'IHM (Interface Homme-Machine). Ce programme permet de contrôler, d'un côté le circuit d'alimentation par communication IEE-488/GPIB (General-Purpose Interface Bus) et de l'autre côté, la carte mère FPGA (Field-Programmable Gate Array) Xilinx Spartan III par liaison USB (qui fournit aussi l'alimentation de cette carte).

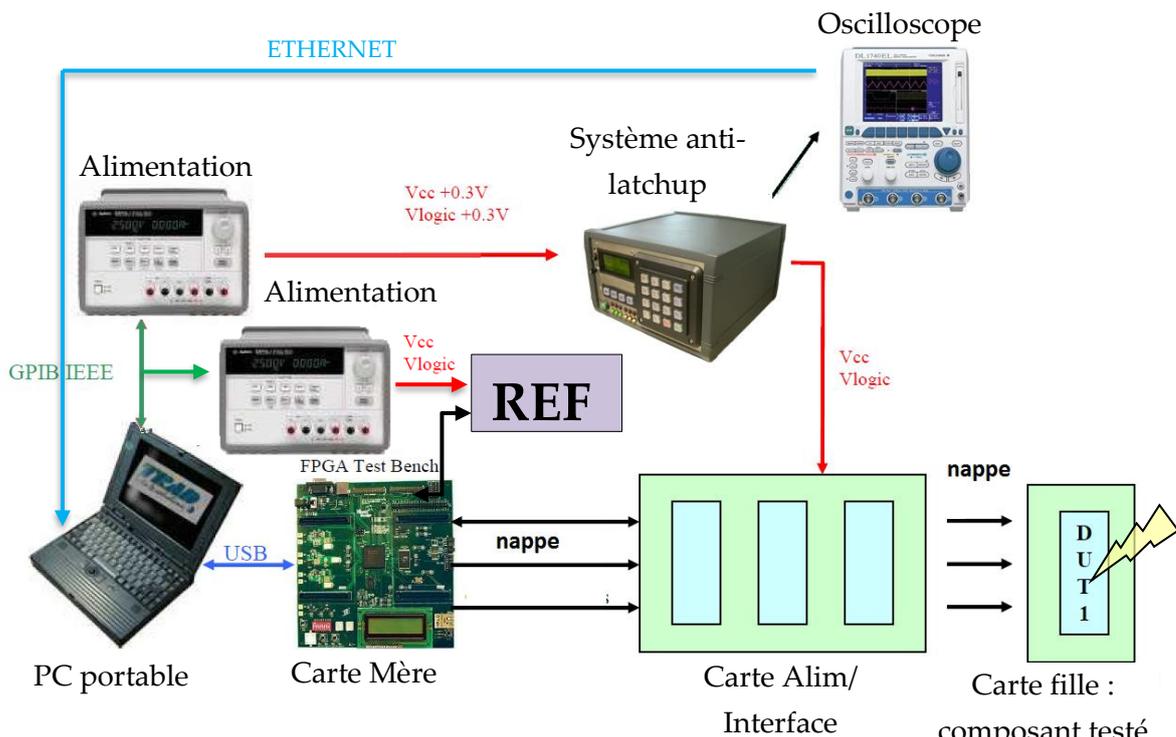


Figure 49. Architecture du banc de test permettant de tester la fonctionnalité des composants.

Le circuit d'alimentation est constitué de deux parties. La première partie alimente le composant testé et est protégée par un système de protection anti-latchup GUARD, connecté à un oscilloscope qui permet de relever les profils de courant de latchup. L'autre partie alimente le composant de référence. Lors des tests hors faisceaux, la protection anti-latchup et l'oscilloscope ne sont pas utilisés.

Une carte interface permet de tester plusieurs mémoires en parallèle. La résolution temporelle des tests étant importante, cette fonctionnalité n'a pas été utilisée et une seule carte fille a été testée à la fois.

### *b. Déroulement d'un test fonctionnel*

Deux types de tests peuvent être effectués :

- Le *test statique* pour lequel le bloc testé est lu après un certain délai défini par l'utilisateur.
- Le *test dynamique* pour lequel le bloc testé est lu en boucle.

Au début d'un test, le bloc mémoire testé est rempli d'un motif (*pattern*) déterminé, à la fois sur la mémoire référence et la mémoire testée. Deux motifs ont été utilisés lors des tests présentés dans cette partie :

- Le motif « AA55 », ou 10101010 (AA en hexadécimal) est inscrit sur les mots ayant une adresse paire, 01010101 (55 en hexadécimal) sur les mots ayant une adresse impaire.
- Son motif complémentaire, « 55AA » ou 55 est écrit sur les mots ayant une adresse paire, AA sur les mots ayant une adresse impaire.

Ce sont deux motifs dits « en échiquier » (*checkerboard pattern*). Ils présentent à la fois l'avantage d'avoir autant de 1 que de 0, d'alterner les états logiques pour chaque bit (0, 1, 0, ...) et de couvrir l'ensemble des états et transitions logiques possibles pour toutes les cellules afin de pouvoir détecter tous les bits collés.

Pour les mémoires SDRAM, un rafraichissement est effectué toutes les 64 ms, selon la norme JEDEC [58].

Pour chaque adresse de la zone du plan mémoire testée, une lecture est effectuée sur la mémoire testée et sur la mémoire de référence et les données lues sont comparées. En cas de différence, des lectures et écritures additionnelles sont effectuées selon l'algorithme présenté sur la Figure 50 pour classifier l'erreur dans l'un des trois types : mauvaise lecture, upset (SEU ou MBU) ou encore bit collé. S'il n'y a pas de différence, le banc de test passe à l'adresse suivante.

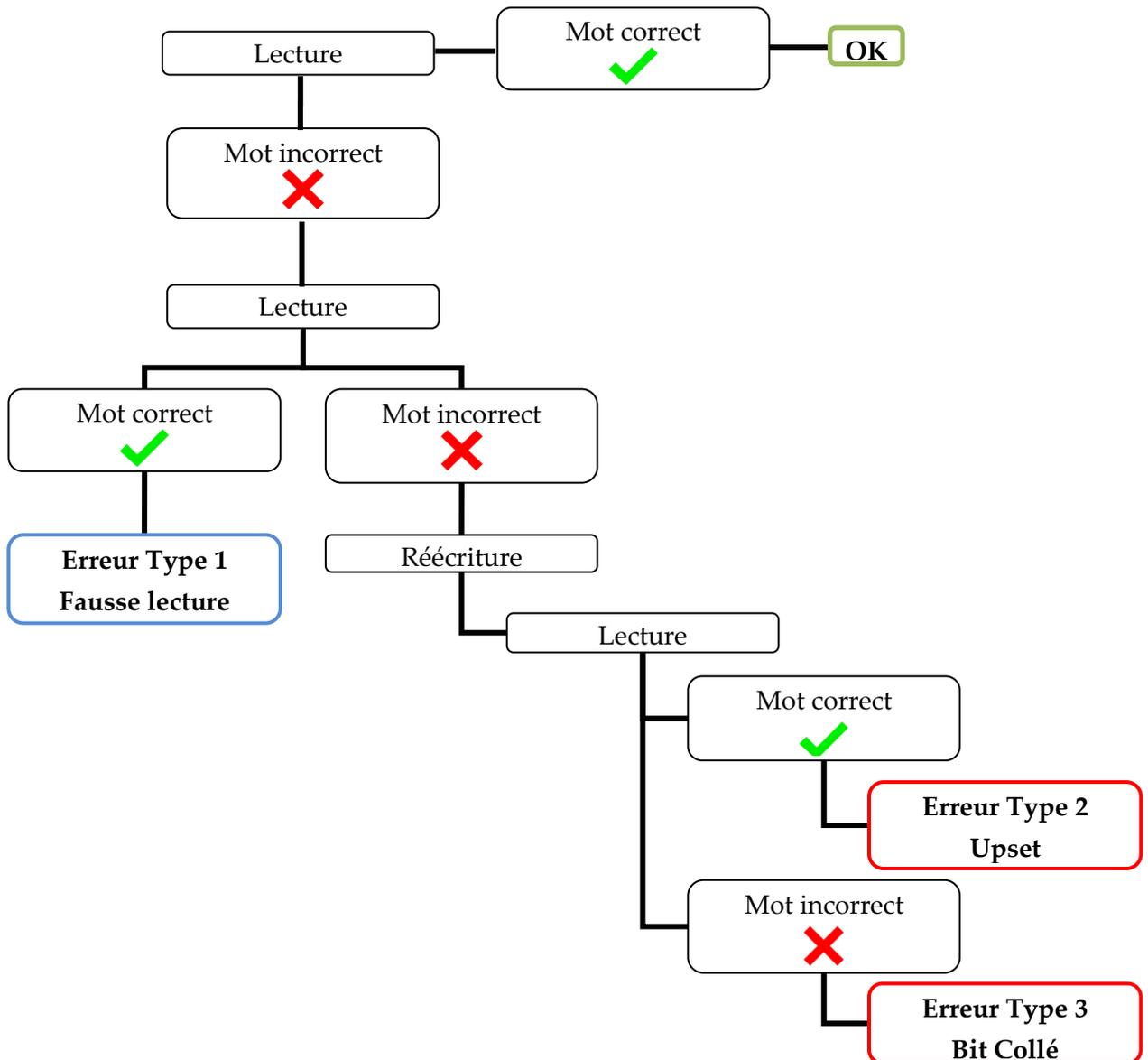


Figure 50. Algorithme de détection d’erreurs lors des tests fonctionnels.

Si lors d’un cycle de lecture, un nombre d’erreurs supérieur à une valeur seuil (en général fixée aux alentours de 1000) est obtenue, on considère qu’un SEFI a eu lieu afin de classer correctement ces erreurs.

A la fin du test, les résultats des tests sont enregistrés dans un fichier texte, pouvant être ouvert avec un logiciel de type bloc-notes. Chaque erreur est enregistrée dans le fichier, avec, pour chaque erreur :

- Donnée lue
- Donnée attendue
- Adresse en erreur
- Type d’erreur (c.f. Figure 50)
- Cycle de lecture durant lequel survient l’erreur

### *c. Mesure des temps de rétention*

Le banc de test, pour les SDRAM, permettait à l'origine de mesurer le plus faible temps de rétention sur le bloc testé. Pour mener à bien nos études, il a été amélioré par TRAD suite à la seconde campagne de test, de sorte qu'il soit possible de mesurer les temps de rétention des mots d'un bloc mémoire SDRAM.

Les tests sont effectués de la façon suivante : en premier lieu, le banc teste la rétention de tous les mots après une période d'attente fixe, appelée le temps de rétention seuil (les temps de rétention seuil utilisés lors de nos tests sont : 1 s, 5 s, 20 s et 30 s). Enfin, tous les mots n'ayant pas retenu l'information durant 1s sont testés individuellement et ont leur temps de rétention caractérisé à 10 ms près.

Comme pour le test fonctionnel, la mesure des temps de rétention est effectuée avec les patterns AA/55 et 55/AA afin de couvrir tous les états et transitions possibles. Tous les résultats (adresse/donnée attendue/donnée lue/temps de rétention) sont enregistrés dans un fichier texte pouvant être consulté avec un logiciel de type bloc-notes.

### *d. Traitement des données*

Un test sous faisceau peut engendrer plusieurs centaines de milliers d'erreurs, notamment à cause des SEFI qui peuvent générer à eux seuls des milliers d'erreurs en un seul cycle. C'est pour cela qu'il est important de disposer d'un outil de traitement des données, afin de traiter les résultats de la manière la plus optimisée possible.

Pour ce faire, nous avons créé un programme de traitement des données de test brutes avec LabVIEW. Il parcourt un (ou plusieurs) fichier de résultats et enregistre toutes les erreurs. Ses fonctionnalités sont :

- Faire un histogramme des adresses en erreur.
- Établir l'historique d'une adresse donnée au fil d'un ou plusieurs tests.
- Faire une cartographie logique 2D des erreurs.
- Calculer le nombre de mots présentant plus d'un certain nombre de fautes durant le test.
- Exporter automatiquement vers OriginPro 9.0 des données traitées pour une mise en forme appropriée.

Chaque fonction peut traiter un sous-ensemble des données de test, en définissant un cycle de lecture de début et de fin ou un nombre minimal d'erreurs par adresse. Cela est utile pour isoler rapidement les bits collés dans un ensemble de données. De la même manière, plusieurs fichiers peuvent être chargés en mémoire pour analyser plusieurs tests.

Pour les études SDRAM, un programme compagnon de traitement des tests des temps de rétention a été écrit, toujours en LabVIEW, permettant, à partir d'un (ou plusieurs) fichiers de résultats de :

- Dresser une liste triée des mots avec leur temps de rétention.
- Suivre l'évolution du temps de rétention d'un mot.
- Calculer le nombre de mots ayant un temps de rétention inférieur à un seuil donné.

### 2. Bancs de test paramétrique

#### a. Matériel utilisé

Il est important de suivre non seulement l'impact des radiations sur la fonctionnalité des cellules, mais aussi d'observer l'évolution des différents paramètres, tels que le courant consommé dans les différents modes d'opération et les caractéristiques temporelles des signaux. Deux bancs de tests paramétriques ont été utilisés au cours de cette étude, chacun pour tester certaines références de mémoires en particulier.

Le banc de test paramétrique utilisé pour caractériser les mémoires SRAM CY62148EV30, réalisé par TRAD, est constitué d'un PC, commandant à la fois une carte de contrôle (Xilinx Spartan-III) qui envoie des signaux de commande à la mémoire testée et un châssis PXI (PCI (Peripheral Component Interconnect) eXtensions for Instrumentation) qui combine les instruments de mesures nécessaires au relevé des paramètres. La Figure 51 montre le banc de test partiellement assemblé.

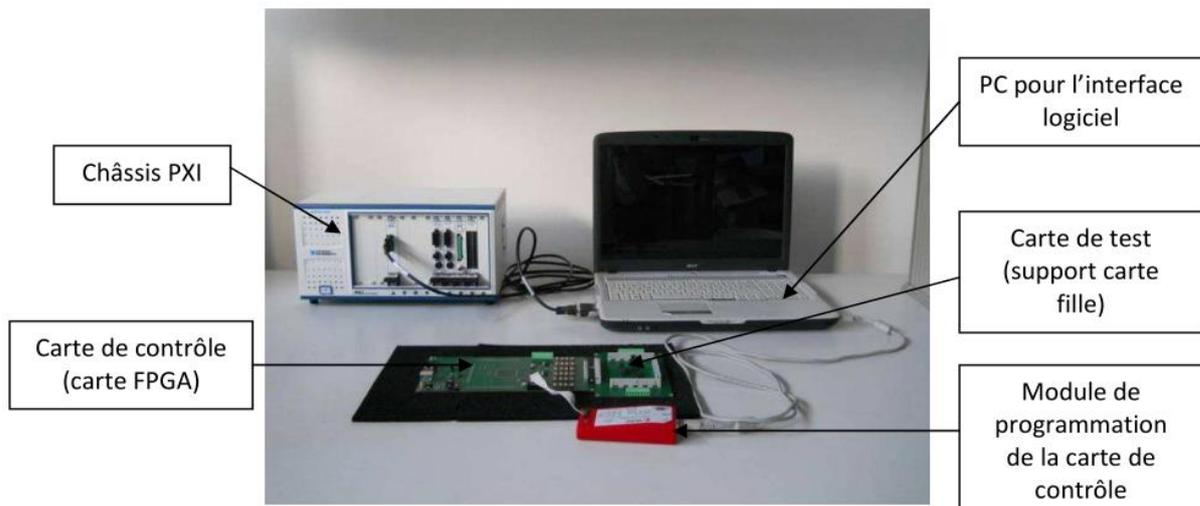


Figure 51. Banc de test CY62148EV30 (Photo : A. Samaras)

Le banc de test paramétrique pour toutes les autres mémoires étudiées dans ces travaux est le système DIAMOND de LTX-Credence. Le système DIAMOND est une plateforme de test automatisée de circuits digitaux intégrés, contenant des générateurs de signaux, des sources d'alimentation de précision et des dispositifs de mesure de courant et tension. Son interface permet l'exécution de vecteurs de test pré-enregistrés.

**b. Traitement des données**

Les données issues des tests paramétriques ont été traitées avec le programme LEISA développé par TRAD. Ce programme permet d’extraire les données des fichiers, de les exporter, de les mettre en forme et de tracer les courbes associées.

**3. Moyens d’irradiation utilisés**

**a. Rayonnement Gamma**

Les irradiations aux rayonnements gamma ont été réalisées par le moyen GAMRAY, situé dans les locaux de TRAD, à Labège. Cette source Cobalt 60 panoramique de 7.73 TBq (au 30/03/2012) émet des rayonnements gamma d’énergies 1,17 et 1,33 MeV. Le volume de la salle d’irradiation est de 45 m<sup>3</sup>. Les débits de dose utilisables sont compris entre 7 rad/h et 1 krad/h (soit 2 mrad/s et 0.3 rad/s respectivement). La Figure 52 détaille le plan du moyen d’irradiation avec les différentes positions possibles pour les composants.

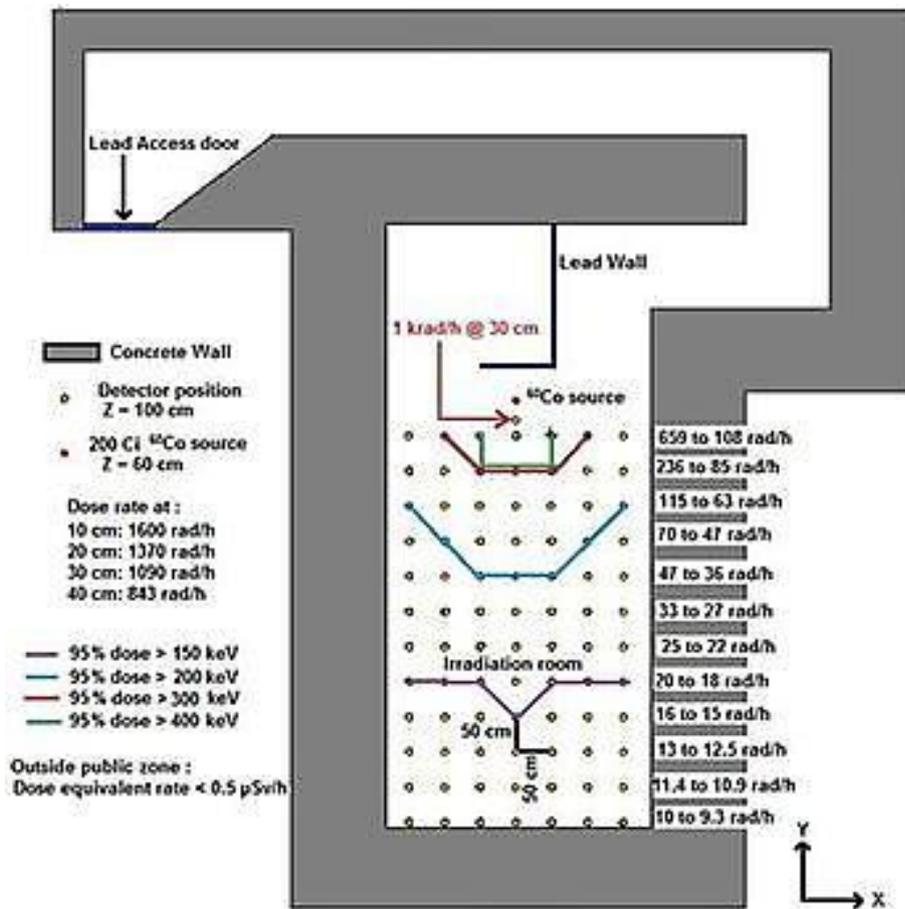


Figure 52. Description du moyen GAMRAY (Source : TRAD)

Le débit de dose est mesuré via une sonde ayant avec une précision de  $\pm 5\%$ . Les SRAMs et SDRAMs ont été irradiées non-polarisées car le banc de test fonctionnel ne pouvait pas être connecté durant l’irradiation.

**b. Protons**

AGORFIRM est une installation utilisant une ligne dédiée du cyclotron AGOR [117] (Groningen, Pays-Bas) pour des irradiations sous faisceau de protons dans l'air. L'installation permet d'avoir des énergies primaires du faisceau de 90, 150 et 185 MeV.

L'énergie primaire du faisceau peut être dégradée à des énergies moindres grâce à un assemblage de 9 plaques d'aluminium d'épaisseurs différentes. Les énergies utilisables varient de 20 à 185 MeV. Une table XY est disponible afin de fixer les échantillons. Cette table permet de déplacer l'échantillon sous faisceau de 600 mm en horizontal et 300 mm en vertical avec une précision de 0.01 mm. Les composants sous test sont positionnés via un système de laser 3D.

Les caractéristiques du faisceau de protons « dégradé » sont les suivantes :

- $E_{proton} = 20 - 184 \text{ MeV}$
- $\varphi_{max} \approx 10^9 \text{ p/cm}^2/\text{s}$
- Diamètre du faisceau  $\sim 7 \text{ cm}$

La résolution de l'énergie typique à la sortie du cyclotron est de 0,25%. Cependant, au niveau composant, la résolution est de l'ordre de quelques MeV à cause de la dispersion dans l'air, du système de réglage du faisceau et du dégradeur (lorsqu'il est utilisé). Tous les composants irradiés ont été testés en incidence normale (direction du faisceau perpendiculaire à la carte électronique).

Le flux de protons au centre de la cible irradiée est mesuré via un scintillateur de 100 mm de diamètre. Pendant l'irradiation, le flux est contrôlé via un moniteur d'intensité faisceau (Beam Intensity Monitor - BIM).

Avant chaque irradiation, le signal de ce moniteur et le signal du détecteur d'énergie sont mesurés afin d'évaluer le flux de calibration en protons. Cette calibration est réalisée pour chaque énergie utilisée et taille d'échantillon lors de l'irradiation. Le champ d'irradiation standard est de diamètre 70 mm et  $\pm 3\%$  d'homogénéité.

Le Tableau 7 résume les caractéristiques des faisceaux de protons utilisés. Le pouvoir d'arrêt électronique et la profondeur de pénétration dans le silicium ont été calculés avec le logiciel SRIM (Stopping and Range of Ions in Matter) [28] et le NIEL avec l'add-on NEMO présent sur le logiciel OMERE de TRAD.

Energie (MeV)	Pouvoir d'arrêt électronique (MeV.cm <sup>2</sup> /mg)	NIEL (MeV.cm <sup>2</sup> /g)	Pénétration dans le silicium (cm)
184	3,84E-03	1,69E-03	12,23
120	5,14E-03	2,23E-03	5,7
80	6,91E-03	2,78E-03	2,8
50	9,90E-03	3,70E-03	1,21

Tableau 7. Caractéristiques des faisceaux de neutrons utilisés.

Pour les énergies considérées, la profondeur de pénétration dans le silicium reste bien supérieure au centimètre, il n'est donc pas nécessaire de décapsuler les composants car la perte d'énergie dans le matériau d'encapsulation du composant (résine de type epoxy) est négligeable devant la dispersion dans l'air.

L'irradiation aux protons entraîne une radioactivité résiduelle du composant (« activation ») : il est impossible de ramener directement les composants après les tests, ils sont stockés sur place, puis expédiés (dans le mois) une fois que la radioactivité résiduelle a suffisamment décréu.

Afin de pouvoir comparer les tests aux protons entre eux et avec les tests aux neutrons, les fluences seront ramenées par la suite, si nécessaire, à des fluences équivalentes de neutrons de 1 MeV.

### c. Neutrons

Les irradiations ont été réalisées au SCK-CEN (Centre d'Etudes de l'énergie Nucléaire), en utilisant le Belgian Reactor 1 (BR1), qui est le premier réacteur nucléaire belge, lancé en 1956 et qui continue à opérer avec le même combustible. Il est maintenant utilisé à des fins de recherche.

Le flux de neutrons rapides ( $E > 0,1 \text{ MeV}$ ) est compris entre  $10^6$  et  $10^{11} \text{ cm}^{-2}\text{s}^{-1}$ . Le spectre complet en énergie des neutrons émis pour les différentes configurations de test possibles est tracé sur la Figure 53.

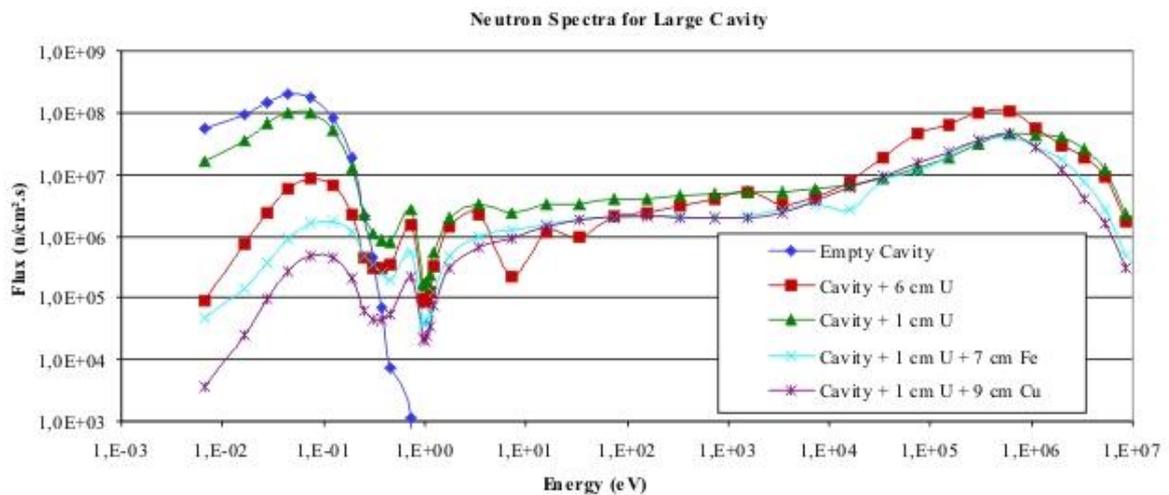


Figure 53. Spectre en énergie des neutrons BR1 [118]

Les irradiations prennent place dans une cavité où le combustible est disposé. Les composants à irradier sont mis dans un porte-échantillon, puis abaissés au travers de la trappe d'accès dans la cavité où ils seront irradiés (voir Figure 54).

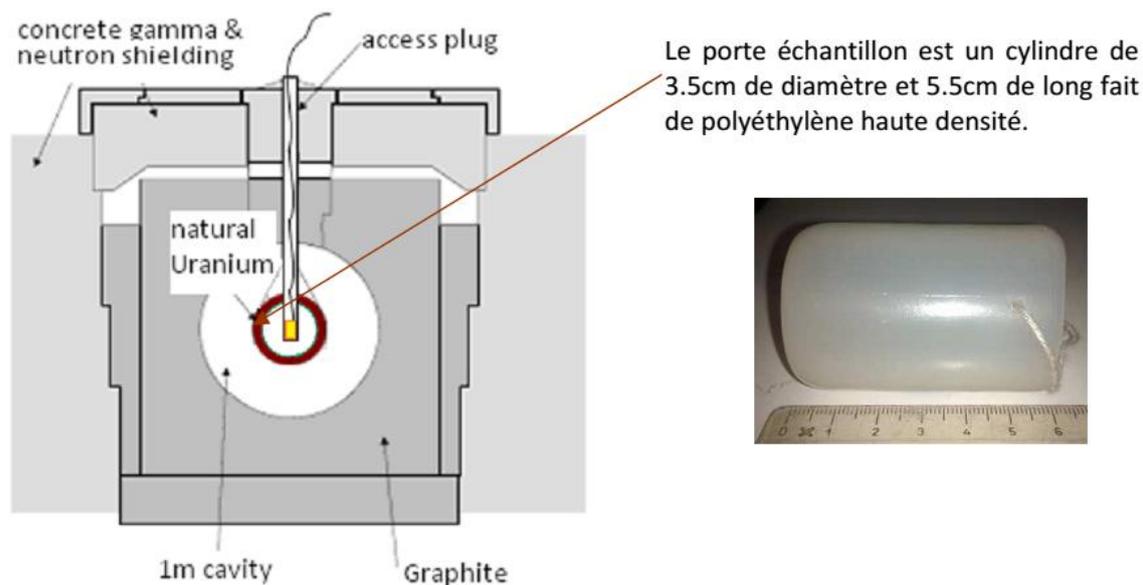


Figure 54. Moyen d'irradiation SCK-CEN / BR1

Le manque d'accès à la zone d'irradiation fait qu'il est impossible de passer des câbles jusqu'au composant testé et il n'est donc pas possible de tester la fonctionnalité des composants durant l'irradiation. Les composants ont donc été irradiés non-polarisés.

La fluence totale reçue par le composant est directement donnée en fluence équivalente en neutrons de 1 MeV. Une fois irradiés, les composants sont activés de façon analogue à l'irradiation sous faisceau de protons et présentent une radioactivité résiduelle. Ils sont renvoyés sur le site de TRAD dans le mois, une fois qu'ils sont déclarés surs.

### 4. Logique expérimentale

#### a. Objectifs

Dans cette étude, le premier objectif est de reproduire le phénomène de bit collé par irradiation sur les mémoires SRAM et DRAM au sol. Pour ce faire, des références de mémoires ayant subi des bits collés en vol ont été sélectionnées.

Les erreurs obtenues lors de l'irradiation doivent répondre aux critères retenus pour répondre à la définition des bits collés (Chap. 1, III) : il faut que ce soit des erreurs localisées (même bit du même mot), récurrentes et persistantes (redémarrer le composant n'a aucun effet sur l'erreur).

Une fois les bits collés reproduits, leurs conditions de formation sont étudiées : quelles particules sont responsables de l'apparition de bits collés et quelles sont les caractéristiques impactées ?

Enfin, les données recueillies sont confrontées aux hypothèses avancées dans l'état de l'art (Chap. 1, III). Les bits collés dans les SRAM sont supposés dus à un phénomène de

microdose ionisante : une seule particule créant une forte densité de charges piégées dans l'oxyde d'un transistor MOS, bloquant la cellule sur un état donné.

Pour les DRAM, un mécanisme de déplacement singulier est pour l'instant favorisé par la littérature scientifique : une particule crée une zone ayant une grande densité de défauts de déplacement. Ces défauts, supposés être situés dans la zone de déplétion du transistor d'accès, créent un courant de fuite qui décharge le condensateur de la cellule et provoque ainsi la perte de l'information.

### *b. Faisceaux utilisés*

Afin de reproduire le phénomène de bit collé observé en vol, nous avons décidé d'irradier les composants sous faisceau de protons. Cela est motivé par le fait que les bits collés sur SRAM sont supposés être dus à un phénomène de microdose ionisante : l'irradiation des mémoires en fonctionnement maximise le champ dans l'oxyde de grille d'une partie des transistors de la cellule et donc la sensibilité du composant à ce phénomène. D'un autre côté, les bits collés sur SDRAM sont eux supposés être dus à un phénomène de déplacement singulier et ont été déjà observés avec des faisceaux de protons [52], [62]. Le faisceau de protons est donc un bon candidat pour tenter de reproduire cet effet à la fois sur SRAM et sur SDRAM.

Afin de discriminer la source de dégradation des cellules SRAM et SDRAM entre dose ionisante et dommage de déplacements, des tests additionnels sous rayonnements gamma et neutrons ont été menés.

### *c. Méthode de test*

Les bancs de test paramétriques étant localisés sur le site de TRAD et non-transportables, les paramètres des mémoires y ont été testés avant et après les irradiations sous faisceau de protons et neutrons. Pour les irradiations aux rayons gamma, effectuées directement sur site, un test paramétrique (voir I.2.) a pu être réalisé après chaque pas d'irradiation.

Les tests fonctionnels (voir I.1.) (et de temps de rétention, le cas échéant) ont été effectués durant et après chaque pas d'irradiation pour les tests aux protons, permettant de voir en temps réel l'apparition de bits collés. Pour les irradiations aux rayons gammas, les tests fonctionnels sont menés après chaque pas d'irradiation. Pour les tests sous neutrons, il est impossible d'accéder aux mémoires et les tests sont effectués une fois les mémoires retournées sur le site de TRAD.

La Figure 55 résume les algorithmes de tests utilisés durant les différents types d'irradiation, Ce sont les tests de temps de rétention, uniquement applicables au DRAMs, qui n'ont été effectués que durant la troisième campagne d'irradiation suite à l'amélioration du banc de test.

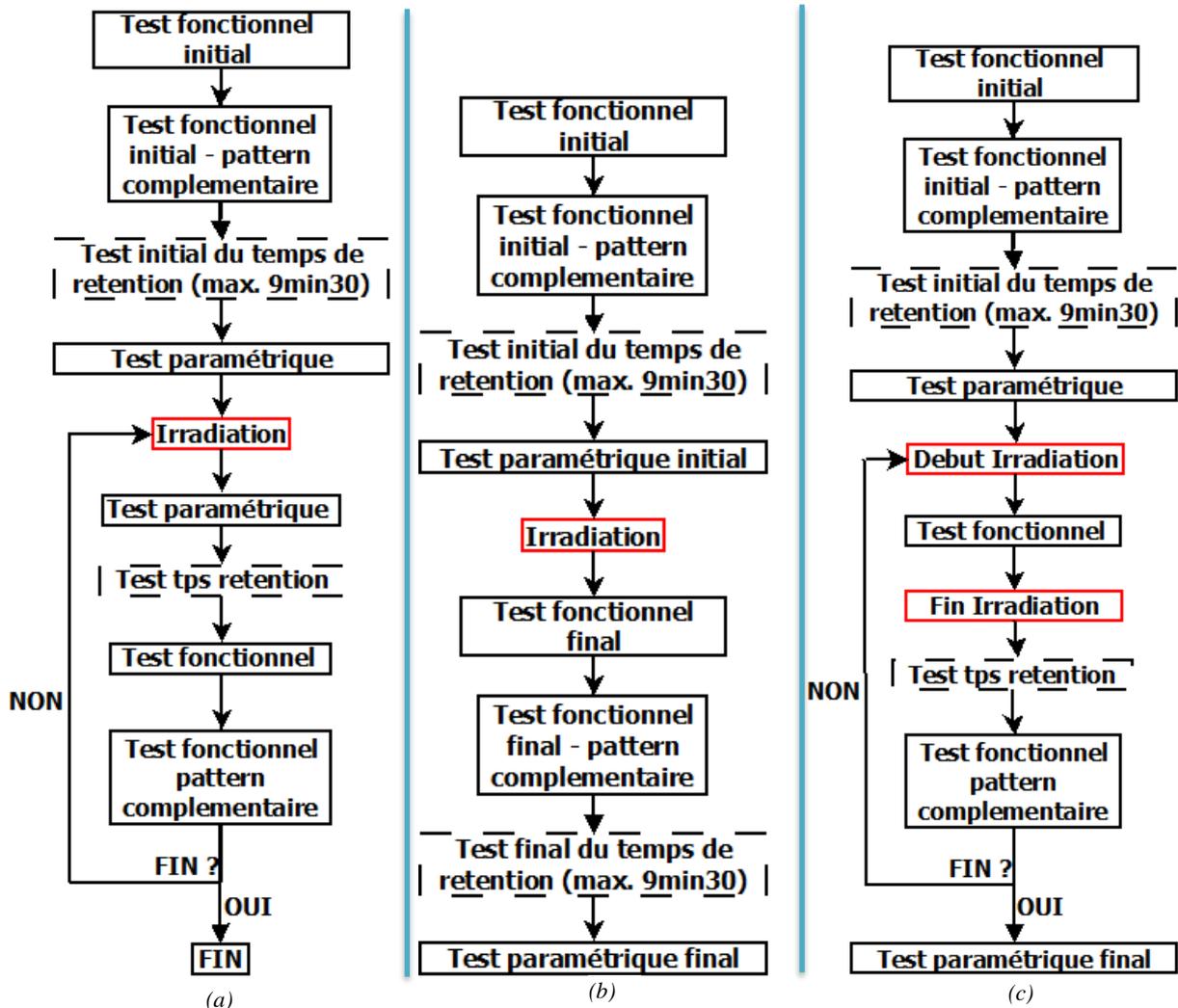


Figure 55. Algorithmes de test. (a) Gamma (b) Neutron (c) Proton

## II. Étude du phénomène de bit collé sur SRAM

### 1. Contexte

Nous avons concentré notre première campagne de test sur l'étude du phénomène sur mémoires SRAM, le banc de test SRAM étant le premier à avoir été réalisé. L'objectif de cette première campagne d'irradiation était de vérifier que la formation de bits collés sur les mémoires de types SRAM est bien due à un mécanisme de microdose ionisante. Des SRAMs ayant présenté des bits collés en vol, la Samsung KM684000 et la Cypress Semiconductors CY62148EV30 ont été testés durant cette campagne.

### 2. Plan de test

Le Tableau 8 résume l'intégralité des composants irradiés lors de cette étude, avec les niveaux de dose ionisante et la fluence équivalente neutron 1 MeV associés aux irradiations.

Mémoire	#	Particule	TID (krad)	Fluence équivalente n 1 MeV (cm <sup>-2</sup> )
KM684000	K 1	Gamma 1,17 et 1,33 MeV	4400	N/A
	K 2	Gamma 1,17 et 1,33 MeV	4400	N/A
	K 3	Protons 184, 100 et 60 MeV	36,7	8,34 . 10 <sup>11</sup>
	K 4	Neutrons 1 MeV	N/A	5,0 . 10 <sup>11</sup>
	K 5	Neutrons 1 MeV	N/A	1,7 . 10 <sup>12</sup>
CY62148EV3 0	C 1	Gamma 1,17 et 1,33 MeV	95	N/A
	C 2	Gamma 1,17 et 1,33 MeV	95	N/A
	C 3	Gamma 1,17 et 1,33 MeV	95	N/A
	C 4	Gamma 1,17 et 1,33 MeV	95	N/A
	C 5	Gamma 1,17 et 1,33 MeV	95	N/A
	C 6	Protons 184 MeV	8,4	2,5 . 10 <sup>11</sup>
	C 7	Protons 184 et 60 MeV	28,1	4,24 . 10 <sup>11</sup>
	C 8	Neutrons 1 MeV	N/A	5,0 . 10 <sup>11</sup>
	C 9	Neutrons 1 MeV	N/A	5,0 . 10 <sup>11</sup>
	C 10	Neutrons 1 MeV	N/A	1,7 . 10 <sup>12</sup>
	C 11	Neutrons 1 MeV	N/A	1,7 . 10 <sup>12</sup>

Tableau 8. Résumé des composants irradiés dans la première campagne.

Le Tableau 9 résume l'ensemble des paramètres mesurés lors des tests paramétriques pour les deux mémoires.

	Description
V <sub>dr</sub>	Tension de rétention de l'information
t <sub>rc</sub>	Temps d'un cycle de lecture (KM684000 uniquement)
t <sub>oe</sub>	Temps entre l'activation des sorties et disponibilité des données valides (KM684000 uniquement)
I <sub>w</sub>	Courant consommé, mode écriture

$I_r$	Courant consommé, mode lecture
$I_{sb}$	Courant consommé, stand-by

Tableau 9. Paramètres mesurés pour les mémoires SRAM.

### 3. Résultats obtenus

Les tests après irradiation aux neutrons de 1 MeV ne montrent aucune dérive des paramètres mesurés, et ce, pour les deux références. De la même manière, toutes les cellules sont fonctionnelles. Des tests fonctionnels effectués à température ambiante ( $\sim 25^\circ\text{C}$ ) et à  $80^\circ\text{C}$  ont été effectués sur les deux références, sans qu'aucune cellule non-fonctionnelle ne soit détectée. Le résultat des irradiations neutron est important, car il permet d'affirmer que les SRAM testées sont insensibles aux dommages de déplacement, aucune dérive n'ayant été enregistrée pour des fluences pouvant être considérées comme élevées ( $< 10^{12}$  neutrons /  $\text{cm}^2$ ).

En ce qui concerne l'irradiation sous faisceau de protons, les tests paramétriques mettent en évidence une augmentation de la tension minimale de rétention de l'information, comme le montre la Figure 56, avec la valeur maximale admissible par le constructeur en rouge. C'est la seule caractéristique à être impactée par l'irradiation aux protons, les autres restent constantes.

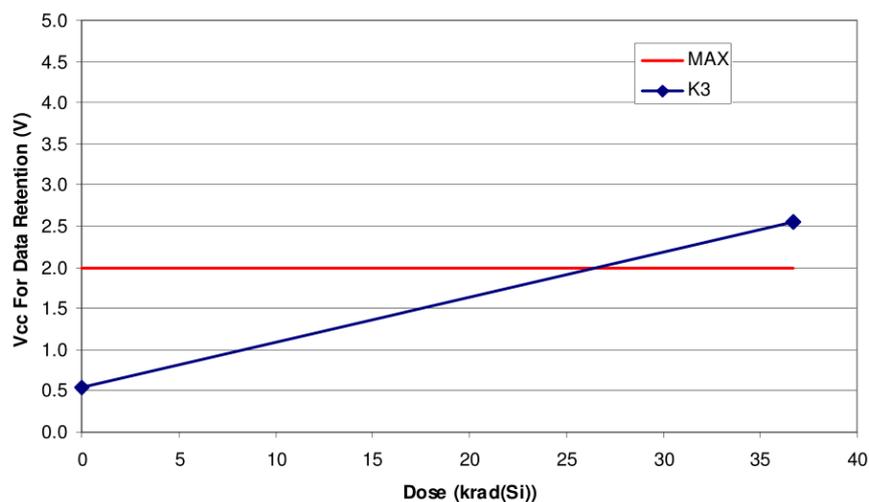


Figure 56. Tension minimale de rétention de l'information en fonction de la dose TID (protons 184 MeV).  
Rouge : tension minimale de rétention limite spécifiée par le constructeur.

Malgré le dépassement de la tension minimale de rétention spécifiée par le constructeur, aucune cellule non-fonctionnelle n'est détectée durant l'irradiation, et ce sur les deux références. De manière analogue, les tests post-irradiation à 25 et  $80^\circ\text{C}$  n'ont pas permis de trouver de cellule collée. La mémoire reste donc entièrement fonctionnelle.

Les tests en dose ionisante totale, effectués jusqu'à 100 krad sur les deux références ne révèlent pas de bits collés. Afin d'observer l'effet de la dose ionisante sur une SRAM, les tests aux rayonnements gamma ont été étendus jusqu'à obtenir une dose ionisante totale (TID) de 4 400 krad pour les composants KM684000.

Au niveau de la dérive des paramètres, seule la tension minimale de rétention augmente, jusqu'à plafonner à 4,5 V pour 4 400 krad, comme le montre la Figure 57 (la valeur maximale spécifiée par la datasheet en rouge). La différence notable de tension minimale de rétention pré-irradiation entre la mémoire de référence issue du lot de vol (notée « Ref ») et la mémoire irradiée est due au fait que les mémoires testées aux radiations n'utilisent pas la même puce que le lot de vol (Chap. 2, I.3.).

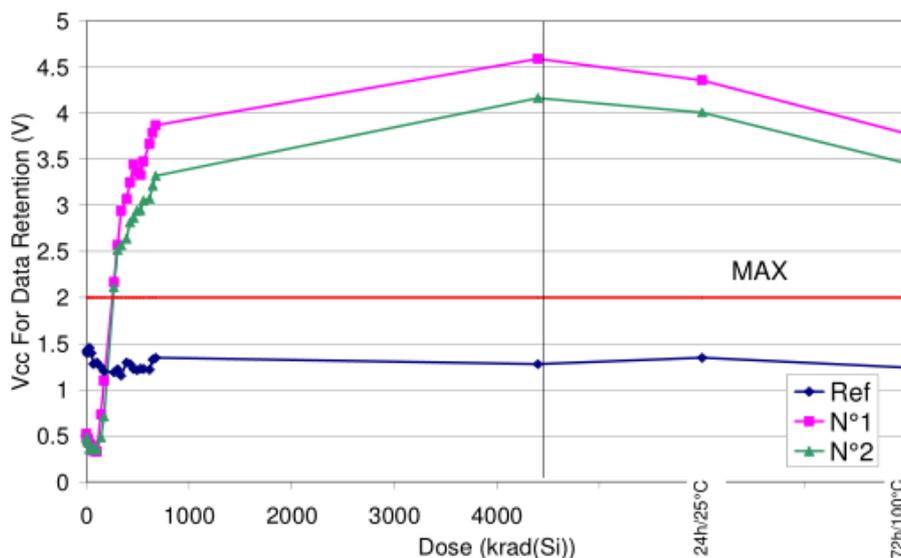


Figure 57. Tension minimale de rétention en fonction de la dose ionisante totale. Rouge : tension minimale de rétention limite spécifiée par le constructeur. (Image : A. Samaras)

Il est intéressant de noter que la tension minimale de rétention à ~35 krad aux protons est atteinte à 304 krad sous rayonnement gamma. À cause des différences en moyens et conditions d'irradiation, il n'est pas possible de conclure de façon définitive que ce décalage entre résultats soit uniquement dû à la polarisation. Les mémoires irradiées aux rayonnements gamma sont irradiées non polarisées, tandis que les mémoires irradiées aux protons sont irradiées en fonctionnement.

Il est quand même très important de ne pas négliger l'effet avéré de la polarisation sur les mécanismes de dose ionisante (c.f. Figure 10). De plus, la tension d'alimentation du composant durant l'irradiation maximise l'apparition de bits collés [119].

Lors des tests fonctionnels, les mémoires ainsi irradiées présentent des cellules non-fonctionnelles qui présentant des erreurs localisées (même bit du même mot), récurrentes et persistantes. L'irradiation aux rayonnements gamma permet donc de reproduire le phénomène de bit collé sur SRAM. Les mémoires présentant des bits collés ont donc ensuite été soumises à un protocole de test visant à étudier leur guérison éventuelle :

- Test à température ambiante (~25°C).
- Test à 80°C.
- 24H à température ambiante.

- Test à température ambiante.
- Test à 80°C.
- Recuit 72H dans une étuve à 100°C.
- Test à température ambiante.
- Test à 80°C.

La Figure 58 détaille l'historique des tests en pattern AA55 pour le composant K1. Il s'agit de l'évolution du nombre total d'erreurs détectées en fonction du cycle de lecture. Chaque marque correspond à une erreur, avec une ligne par mot. On peut voir que lors des tests post-irradiation, deux mots apparaissent de façon récurrente en erreur. Lors des tests à 80°C, une vingtaine de mots apparaissent en erreur, confirmant ainsi l'influence de la température sur les bits collés.

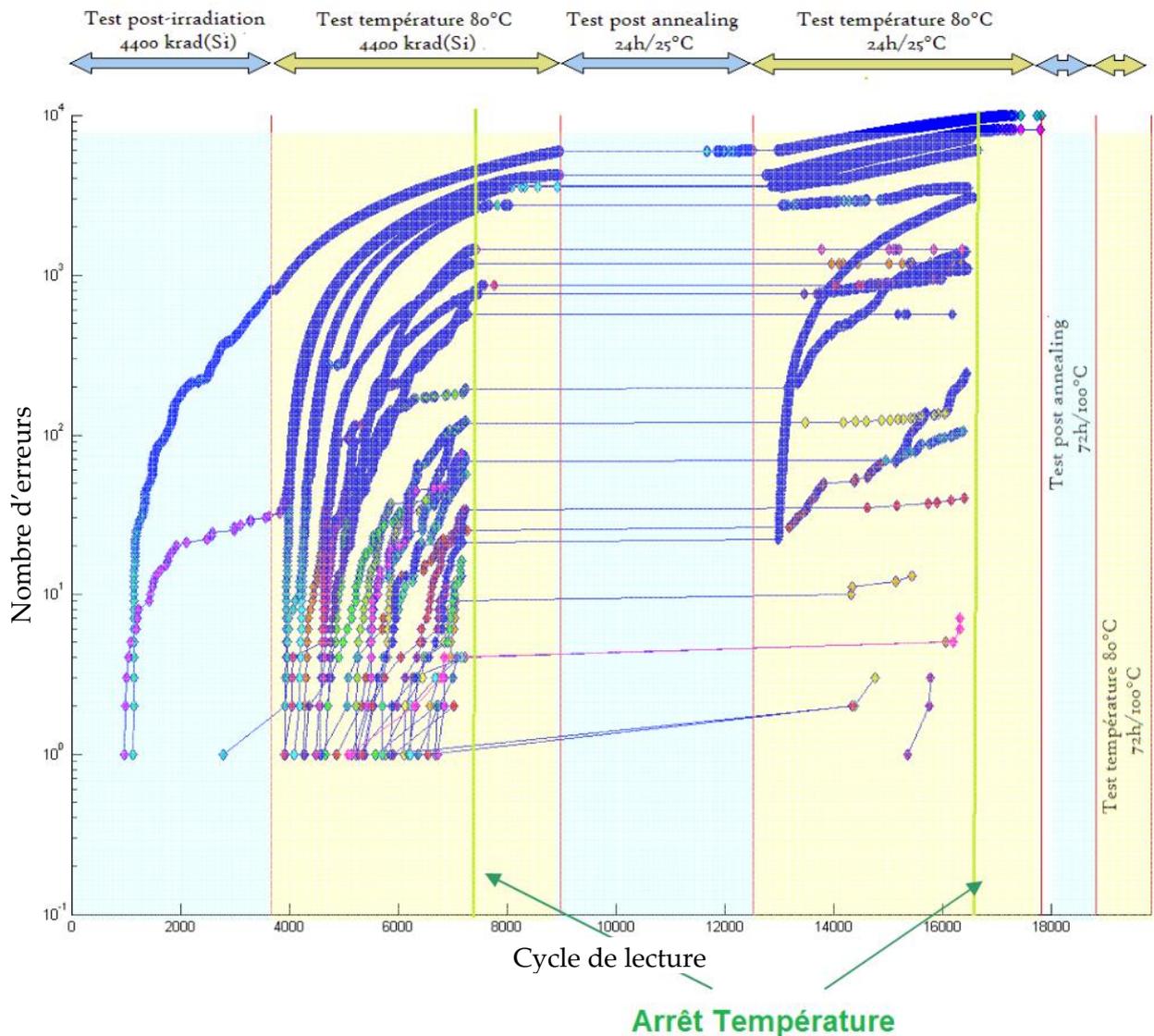


Figure 58. Résumé des tests post-irradiation effectués sur la mémoire K1 (Image : A. Samaras)

La température est donc un facteur important. Non seulement elle a un impact sur le nombre de mots en erreur, mais elle a aussi une incidence sur la fréquence de ces erreurs (la pente de la courbe est plus importante à 80°C qu'à température ambiante).

La Figure 59 reprend l'évolution du nombre d'erreurs pour une adresse de la mémoire K1 pour les différents tests post-irradiation mais en échelle linéaire-linéaire. L'effet de la température y est particulièrement souligné, car on voit passer la cellule fragilisée de 0,3-0,5 erreur / cycle à 0,96-0,97 erreur / cycle.

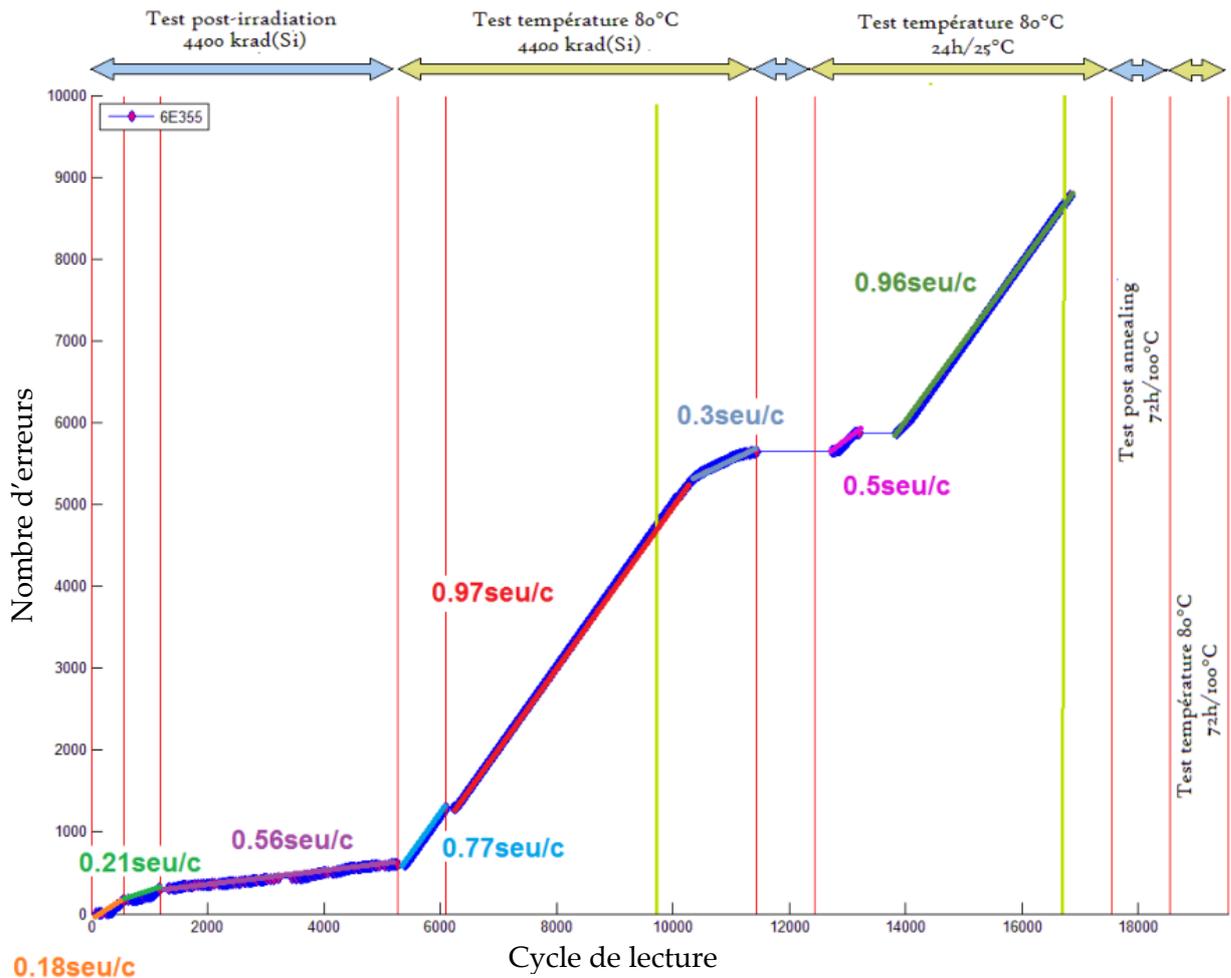


Figure 59. Fréquence d'erreur par cycle pour les différents tests post-irradiation : composant K1, adresse 6E355. (Image : A. Samaras)

De façon analogue, quand la consigne de température est stoppée, le nombre d'erreurs observées ainsi que leur fréquence baisse graduellement jusqu'à regagner leur niveau d'origine. La température du composant lors de son opération est donc un facteur important dans le nombre d'erreurs observées, ainsi que leur fréquence. Il est donc important d'effectuer des tests fonctionnels à la température à laquelle le composant sera utilisé durant sa mission.

Lorsque les mémoires sont laissées à température ambiante (~25°C) durant 24 heures, on peut voir que le nombre de mots en erreur a diminué : la guérison des composants SRAM à

température ambiante n'est donc pas à négliger, surtout comparé à la très longue période d'irradiation nécessaire pour obtenir 4 400 krad (~ 255 jours).

Après le recuit à 100°C de 72 heures, aucun mot en erreur n'est détecté lors des tests fonctionnels à 25°C et 80°C et ce pour les deux patterns (AA55 et 55AA), sur K1 et K2. Le recuit thermique est donc un très bon moyen pour guérir des cellules endommagées par TID. Cette conclusion est aussi applicable au phénomène de microdose ionisante car il s'agit dans les deux cas de dépiégeage thermique des charges piégées dans le  $SiO_2$ .

En revanche, il n'est pas possible de conclure sur l'effet d'empreinte (qui fait que les bits ont tendance à se coller sur l'état dans lequel ils sont irradiés), observé pour les bits collés sur SRAM dans les études précédentes [57], [120], car le pattern non-polarisé de la SRAM n'est pas connu.

#### 4. Conclusion sur les irradiations de SRAM

Au cours de cette campagne de tests, aucun bit collé n'a été observé sous faisceau de neutrons et protons. Cependant, les tests aux rayons gamma, à très haute dose (4 400 krad), ont permis d'obtenir 23 cellules collées sur la mémoire K1 et un nombre similaire sur la mémoire K2.

Les informations récoltées lors de cette campagne permettent de dire que le mécanisme de microdose ionisante (particule créant une forte concentration de charge qui sera piégée dans l'oxyde d'un transistor), est un mécanisme apte à expliquer les bits collés dans les SRAM. En effet, c'est une hypothèse valable au vu de l'écart entre la dose ionisante nécessaire à la création de bits collés (de l'ordre du Mrad, pour un composant non-polarisé) et la dose estimée sur les satellites au moment de l'apparition des premiers bits collés, de l'ordre de la centaine de rad.

La température exerce une forte influence sur le nombre de cellules collées observées. Néanmoins, la guérison à température ambiante n'est pas négligeable et le recuit thermique permet de guérir les cellules endommagées.

### III. Étude de la fonctionnalité des cellules SDRAM

#### 1. Contexte

La seconde campagne d'irradiation s'est focalisée sur les SDRAM, plus particulièrement sur la référence EDS5104ABTA-75 (Elpida).

#### 2. Plan de test

Le Tableau 10 et le Tableau 11 montrent l'ensemble des irradiations menées et des paramètres suivis, respectivement. Les tests fonctionnels ont porté sur un bloc représentant les 1 048 576 (1M) premiers mots de la mémoire, afin d'obtenir un temps de lecture du bloc mémoire de l'ordre de la seconde et pouvoir avoir ainsi plus de résolution temporelle que si l'on testait le bloc entier.



Mémoire	#	Particule	TID (krad)	Fluence équivalente n 1MeV (cm <sup>-2</sup> )
<b>EDS5104AB TA-75</b>	1	E Neutrons 1 MeV	N/A	5,0 . 10 <sup>11</sup>
	2	E Neutrons 1 MeV	N/A	1,7 . 10 <sup>12</sup>
	3	E Neutrons 1 MeV	N/A	1,7 . 10 <sup>12</sup>
	4	E Gamma 1,17 et 1,33 MeV	337	N/A
	5	E Gamma 1,17 et 1,33 MeV	337	N/A
	6	E Gamma 1,17 et 1,33 MeV	338	N/A
	7	E Gamma 1,17 et 1,33 MeV	338	N/A
	8	E Gamma 1,17 et 1,33 MeV	338,5	N/A
	9	E Protons 50 MeV	10,8	2,22 . 10 <sup>11</sup>
	13	E Protons 184 MeV	14,6	3,52 . 10 <sup>11</sup>
	14	E Protons 50 MeV	10,8	2,22 . 10 <sup>11</sup>
	16	E Protons 184 MeV	14,6	3,52 . 10 <sup>11</sup>

Tableau 10. Résumé des composants irradiés.

	Description
<b>V<sub>low</sub></b>	Tension en sortie, état bas
<b>V<sub>high</sub></b>	Tension en sortie, état haut
<b>T<sub>ref</sub></b>	Temps d'un refresh
<b>t<sub>oe</sub></b>	Temps d'accès
<b>I<sub>b</sub></b>	Courant consommé, mode burst
<b>I<sub>sr</sub></b>	Courant consommé, mode self-refresh
<b>I<sub>ar</sub></b>	Courant consommé, mode auto-refresh
<b>I<sub>outl</sub></b>	Courant de fuite des sorties
<b>I<sub>inl</sub></b>	Courant de fuite des entrées

Tableau 11. Paramètres mesurés

### 3. Résultats

Lors des tests sous faisceau de protons, il est possible de voir l'apparition de mots étant en erreur de façon intermittente. La Figure 60 représente un chronogramme d'état d'un mot,

représentatif de ces mots en erreur. L'abscisse représente le cycle de lecture et l'ordonnée l'état, avec une erreur représenté par un état haut.

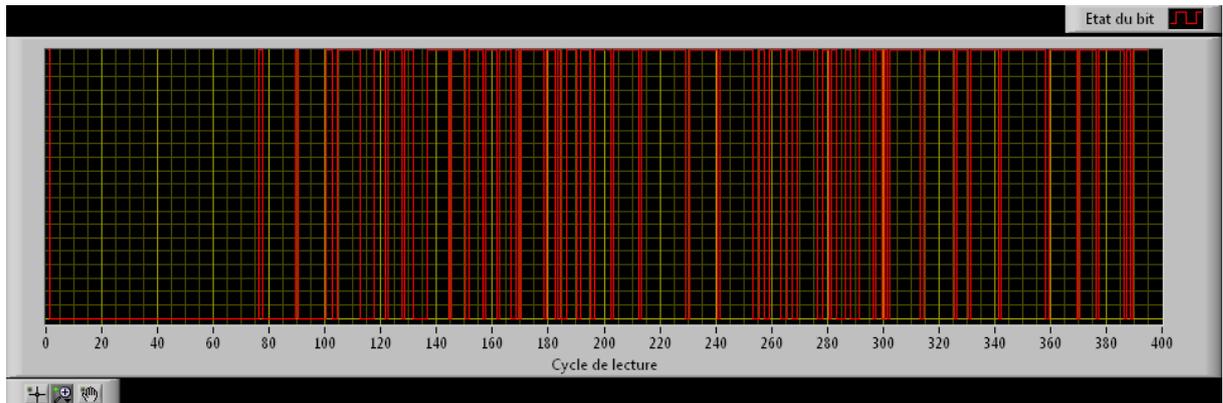


Figure 60. Chronogramme de l'état de la cellule présentant un bit collé sous faisceau de protons.

Pour chaque mot apparaissant ainsi en erreur, c'est toujours le même bit qui est en erreur, ce qui permet de localiser l'erreur sur une cellule précise. Il est facile d'isoler les mots présentant des erreurs récurrentes en dressant un histogramme des erreurs grâce à notre programme de traitement des données.

En effet, comme le montre le Tableau 12, qui décrit le nombre d'erreurs enregistrées par adresse pour un pas d'irradiation sur la même mémoire, un groupe de quatre mots est facilement identifiable car ils ont tous un nombre élevé d'erreurs. Ces quatre adresses (B5C65, 1D78A, C10BF et 317E3) ont un comportement ayant deux caractéristiques communes avec les bits collés par intermittence : c'est la même erreur, sur le même bit, qui revient de façon récurrente. Les autres adresses, n'ayant qu'une erreur, sont de simples SEU.

Adresse	# erreurs
B5C65	550
1D78A	279
C10BF	106
317E3	36
96AFC	1
74065	1
4DD84	1
4D966	1
23D52	1
11489	1

Tableau 12. Nombre d'erreurs par adresse durant un pas d'irradiation (1229 cycles de lecture).

Il est intéressant d'observer que les erreurs ainsi détectées sont considérées comme étant des erreurs de « type 2 » pour le banc de test (voir Figure 50), c'est-à-dire que la lecture après réécriture renvoie une information correcte, montrant que la réécriture s'effectue correctement. Si l'information est correctement réécrite, cela veut donc dire que l'information

est perdue entre les deux lectures, ce qui est cohérent avec l'observation d'erreurs localisées, donc dues à une cellule particulière (contrairement à la logique de contrôle, qui toucherait systématiquement plusieurs cellules).

Nous observons que l'arrêt de l'irradiation ainsi que l'arrêt et redémarrage du composant n'ont d'effet sur les cellules présentant ces erreurs récurrentes : ces erreurs sont donc également persistantes. On peut donc dire que les erreurs atypiques ainsi détectées sont bien des bits collés par intermittence car elles sont localisées, récurrentes et persistantes.

Les patterns AA55 et 55AA ont été testés, ce qui a permis d'obtenir plusieurs informations importantes : aucun effet d'empreinte n'est observé, les bits ne se collant pas forcément sur l'état où ils sont irradiés.

Pour toutes les mémoires, le nombre de bits collés par intermittence observés en fonction de la fluence équivalente de neutrons de 1 MeV est présenté sur la Figure 61. Nous pouvons voir que le nombre d'ISB présente une quasi-linéarité avec la fluence.

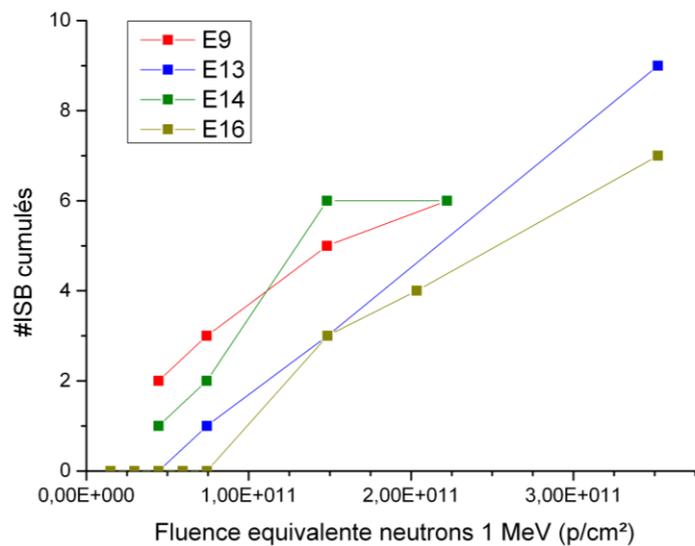


Figure 61. Nombre d'ISB observés en fonction de la fluence équivalente neutrons 1 MeV.

Il est intéressant de noter que durant les tests fonctionnels entre deux irradiations, on détecte l'apparition de certains bits collés, malgré l'absence de source d'irradiation. Ces apparitions d'erreurs après irradiation montrent que le mécanisme créant les bits collés possède une dynamique qui peut avoir des temps caractéristiques longs par rapport au temps d'irradiation.

Au niveau des paramètres suivis, seul le temps de rétention minimal du bloc testé est impacté de façon notable et est réduit d'un facteur 5 au fil des irradiations, comme on peut le voir sur la Figure 62. A chaque pas d'irradiation, ce n'est pas toujours le même mot qui présente le plus faible temps de rétention, mais c'est toujours une cellule pour laquelle des erreurs récurrentes ont été détectées. Mesurer l'évolution du temps de rétention de chaque

adresse apparaît alors important pour pouvoir conclure sur l'évolution de la dégradation au fil de l'irradiation. C'est pour cette raison que nous avons fait évoluer le banc de test (les résultats seront présentés dans la prochaine partie).

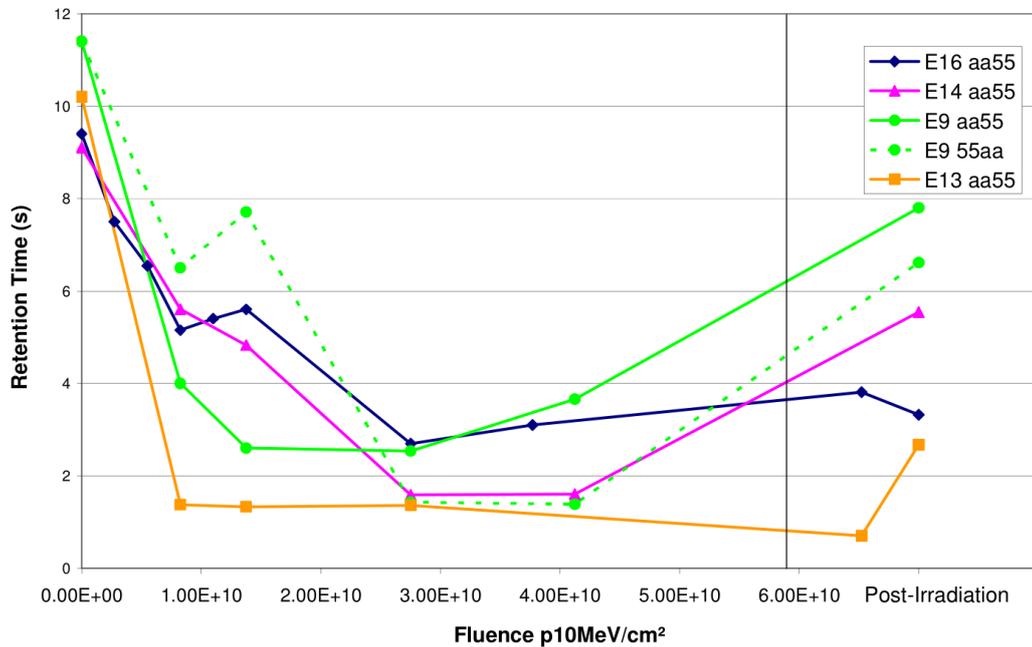


Figure 62. Temps de rétention minimal du bloc testé en fonction de la fluence équivalente protons 10 MeV pour les différentes mémoires Elpida testées aux protons.

Cela nous permet aussi de voir qu'après environ 1 mois à température ambiante, le temps de rétention minimal évolue : 4 mémoires montrent une évolution de leur temps de rétention minimal tandis qu'une (E16) n'évolue pas. De même, l'absence d'historique du temps de rétention de chaque mot rend ces résultats difficiles à interpréter. La seule conclusion que nous pouvons formuler est que la guérison à température ambiante n'est pas négligeable.

Cela est d'ailleurs vérifié par les tests fonctionnels réalisés un mois après les irradiations, et qui ont révélé qu'aucune cellule n'est détectée à température ambiante. Des tests effectués à 50°C montrent des erreurs intermittentes sur des mots déjà impliqués dans des erreurs lors des tests sous protons. Mais ils montrent également l'apparition d'erreurs sur des mots n'ayant jamais présenté de bits collés sous protons, comme on peut le voir sur la Figure 63. Sur cette figure, le nombre d'erreurs cumulées est représenté en fonction du cycle de lecture et chaque courbe représente une adresse en erreur.

Là aussi, on peut observer que la température exerce une influence sur le nombre de cellules en erreur observées, ainsi que leur fréquence d'erreur. L'apparition à température élevée de nouvelles adresses en erreur semble indiquer la présence de dommages latents.

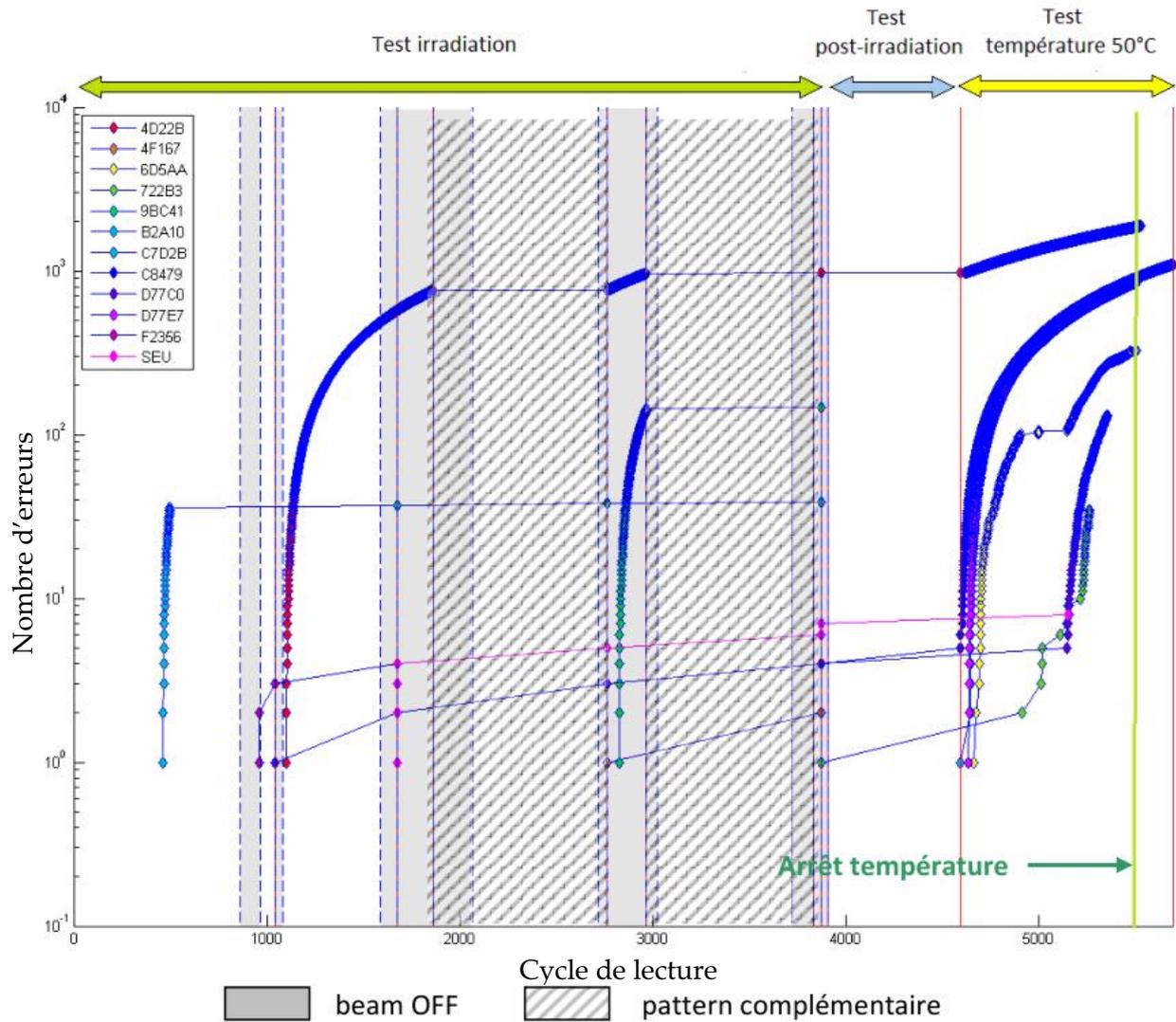


Figure 63. Erreurs observées durant les différents tests effectués sur la mémoire E9. (Image : A. Samaras)

Les mémoires irradiées aux neutrons présentent un comportement analogue aux mémoires irradiées aux protons : les composants restitués environ un mois après irradiation montrent eux aussi une baisse du temps de rétention, ce qui est représenté sur la Figure 64.

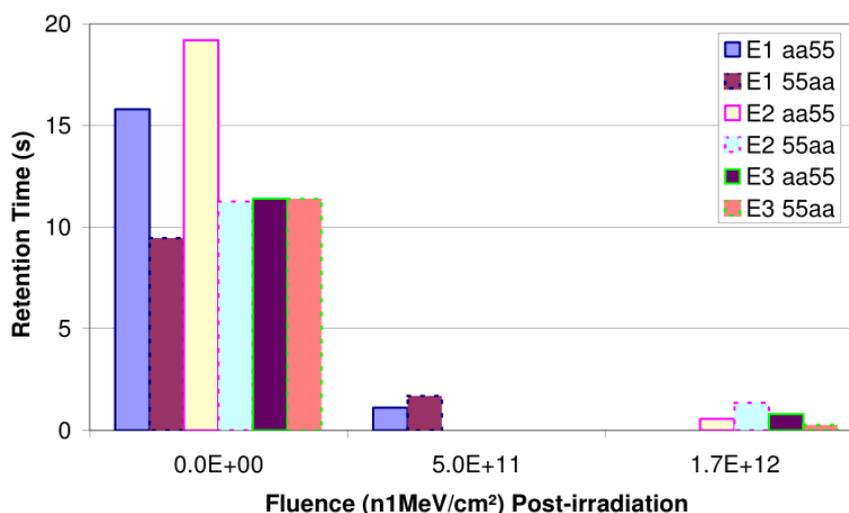


Figure 64. Temps de rétention minimal en fonction de la fluence équivalente neutron 1 MeV pour les composants irradiés aux neutrons.

De la même manière, un mois après irradiation, les composants ne présentent plus de bits collés à température ambiante. Lorsque le composant est porté à 50°C, des adresses en erreurs récurrentes et des bits collés « latents » sont observés. Le comportement similaire des bits collés induits par faisceau de protons et neutrons, ainsi que leur absence lors des irradiations gamma, montrent qu'un phénomène de dommage de déplacement est à l'œuvre.

#### 4. Conclusion sur la fonctionnalité des cellules SDRAM

Les bits collés par intermittence ont été reproduits avec succès sous faisceau de protons et de neutrons irradiant des SDRAMs. Ces bits collés présentent des caractéristiques analogues à ceux observés sur satellites : ils concernent le même bit du même mot, sont intermittents (i.e. pas nécessairement en erreur à chaque cycle) et persistants.

Certaines caractéristiques du phénomène ont pu être déterminées, comme l'absence d'effet d'empreinte, le fait qu'un seul état soit sensible, ainsi qu'une linéarité du nombre d'ISB avec la fluence. Les premiers résultats semblent donc indiquer que les bits collés sont dus à un dommage de déplacement.

Des tests approfondis sont nécessaires pour pouvoir déterminer le mécanisme physique à l'origine du collage observé. Pour cela, il est intéressant de suivre l'évolution du temps de rétention de toutes les cellules afin de pouvoir non seulement observer la dégradation des cellules en temps réel, mais aussi de pouvoir quantifier cette dégradation.

## IV. Étude de la variation du temps de rétention pour la SDRAM

### 1. Contexte

La troisième et dernière campagne de test s’est déroulée de décembre 2014 à février 2015. Pour cette campagne finale, le banc de test fonctionnel a été amélioré et a permis un nouveau type de test : la mesure des temps de rétention. Il était attendu que cette nouvelle mesure apporte des informations supplémentaires sur le phénomène de bit collé sur mémoires SDRAM.

### 2. Plan de test

Mémoire	#	Particule	TID (krad)	Fluence équivalente n 1MeV (cm <sup>-2</sup> )
HY57V651620BL TC-10	H 3	Neutrons 1 MeV	N/A	1,02 . 10 <sup>11</sup>
	H 4	Neutrons 1 MeV	N/A	2,04 . 10 <sup>11</sup>
	H 5	Neutrons 1 MeV	N/A	4,45 . 10 <sup>11</sup>
	H 6	Neutrons 1 MeV	N/A	1,0 . 10 <sup>12</sup>
	H 7	Neutrons 1 MeV	N/A	1,5 . 10 <sup>12</sup>
	H 8	Neutrons 1 MeV	N/A	3,0 . 10 <sup>12</sup>
	H 17	Gamma 1,17 et 1,33 MeV	291	N/A
	H 18	Gamma 1,17 et 1,33 MeV	293	N/A
	H 19	Gamma 1,17 et 1,33 MeV	296	N/A
	EDS5104ABTA- 75	H 15	Protons 184 MeV	4,23
H 14		Protons 120 MeV	4,28	1,02 . 10 <sup>11</sup>
H 9		Protons 80 MeV	9,24	2,04 . 10 <sup>11</sup>
H 12		Protons 50 MeV	9,95	2,04 . 10 <sup>11</sup>
E 17		Protons 50 MeV	25	5,1 . 10 <sup>11</sup>
E 18		Protons 184 MeV	21,1	5,1 . 10 <sup>11</sup>
E 19		Protons 184 MeV	21,1	5,1 . 10 <sup>11</sup>

Tableau 13. Résumé des composants irradiés.

Les mêmes paramètres que dans la campagne précédente, détaillés sur le Tableau 14, ont été mesurés pour les deux références.

	Description
$V_{low}$	Tension en sortie, état bas
$V_{high}$	Tension en sortie, état haut
$T_{ref}$	Temps d'un refresh
$t_{oe}$	Temps d'accès
$I_b$	Courant consommé, mode burst
$I_{sr}$	Courant consommé, mode self-refresh
$I_{ar}$	Courant consommé, mode auto-refresh
$I_{outl}$	Courant de fuite des sorties
$I_{inl}$	Courant de fuite des entrées

Tableau 14. Paramètres mesurés sur les SDRAMs

### 3. Résultats

Durant cette campagne, les mémoires Elpida présentent des résultats analogues à la campagne précédente : des bits collés sont observés lors de l'irradiation sous faisceau de protons. Pour les composants Hyundai, on peut aussi observer des bits collés sous faisceau de protons. Sur la Figure 65, chaque point représente une erreur associée à une adresse (en ordonnée) pour un cycle de lecture (en abscisse). Elle fait apparaître toutes les erreurs au fil des tests (a) et met en évidence les erreurs récurrentes (b). Comme on peut également le voir sur cette figure, il s'agit d'erreurs localisées, récurrentes et persistantes (l'arrêt de l'irradiation et le redémarrage du composant n'ont aucun effet sur ces erreurs). Nous pouvons donc dire qu'il s'agit de bits collés.

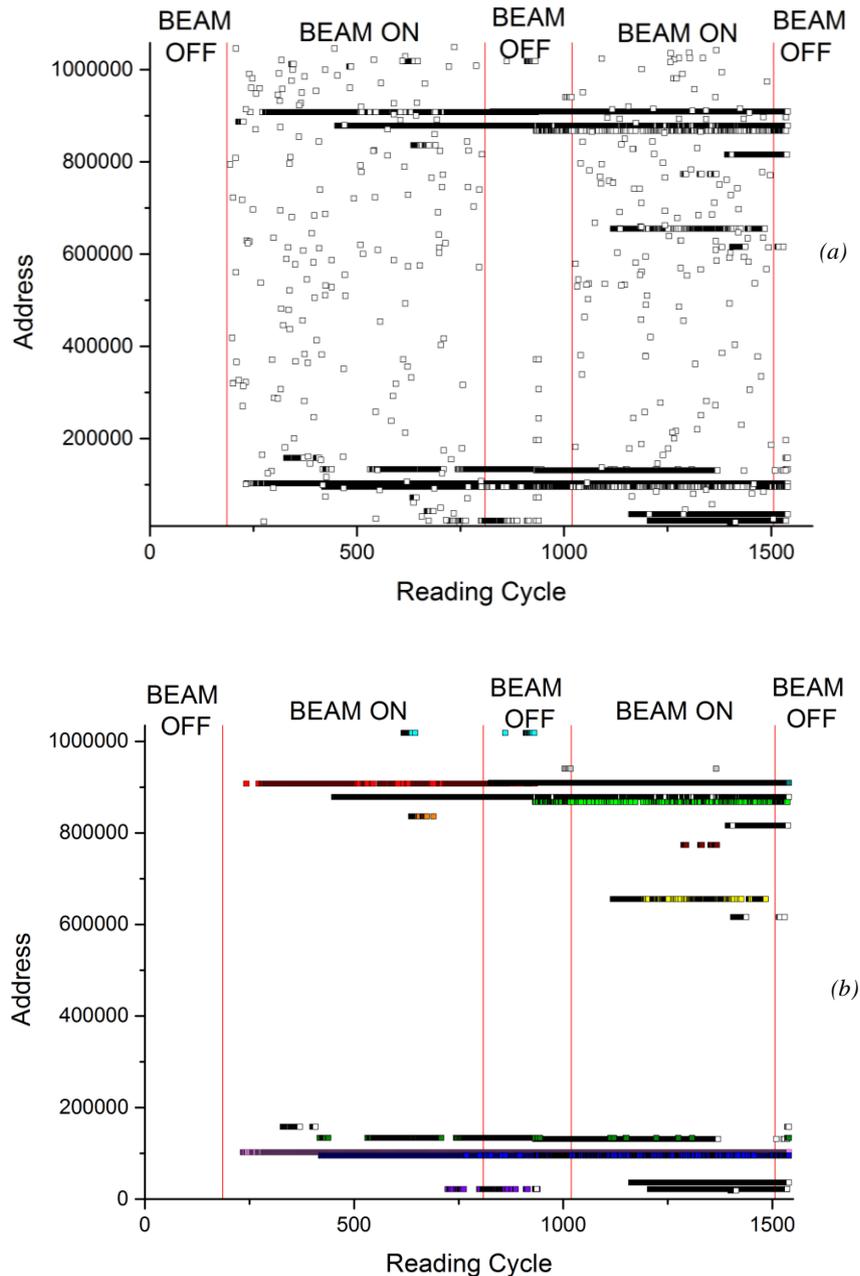


Figure 65. Erreurs répertoriées par cycle de lecture. Mémoire H14, protons 80 MeV pour une fluence finale de  $8,36 \times 10^{10} / \text{cm}^2$ .

(a) Toutes les erreurs reportées sur la mémoire.

(b) Résultats sans SEU, ni SEFI, ni erreurs d'initialisation.

Le suivi du temps de rétention par cellule permet de montrer qu'une fraction ( $\ll 1\%$ ) des cellules du plan mémoire testé subit une réduction de plusieurs ordres de grandeur de leur temps de rétention, avec les plus endommagées (i.e. ayant le plus faible temps de rétention après irradiation) subissant les erreurs précédemment reportées. Fonctionnelles ou non, toutes les cellules subissant ce type d'événement sont qualifiées de *cellules dégradées*.

Lorsque le temps de rétention des cellules est suivi durant l'irradiation, on peut remarquer qu'il reste constant et chute brutalement de plusieurs ordres de grandeur,

indiquant le caractère singulier de cette dégradation. La Figure 66, qui présente le temps de rétention d'une cellule en fonction de la fluence montre un exemple d'une telle dégradation durant le premier pas d'irradiation.

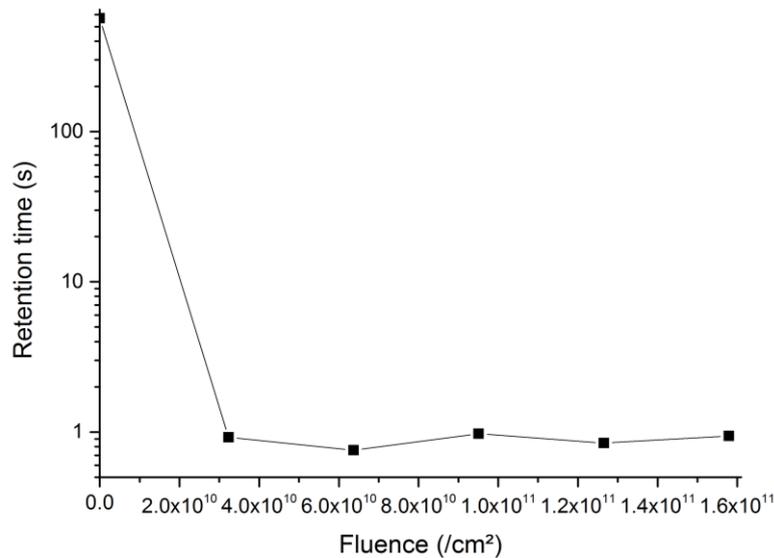


Figure 66. Dégradation d'une cellule sous faisceau de protons (EDS5104ABTA)

Ces observations montrent aussi l'importance du temps de rétention en tant que mesure de la dégradation d'une cellule. Le nombre de mots ayant un temps de rétention inférieur à un temps de rétention seuil de référence ( $t_{seuil}$  égal à 1 s, 5 s, 10 s ou 30 s), est représenté en fonction de la fluence équivalente en neutrons de 1 MeV sur la Figure 67. Il est alors clair que pour les deux mémoires, le nombre de cellules ayant un temps de rétention inférieur à l'un des seuils ( $t_{ret} < t_{seuil}$ ) est une fonction linéaire de la fluence, avec une pente dépendante de la valeur choisie comme seuil pour le temps de rétention.

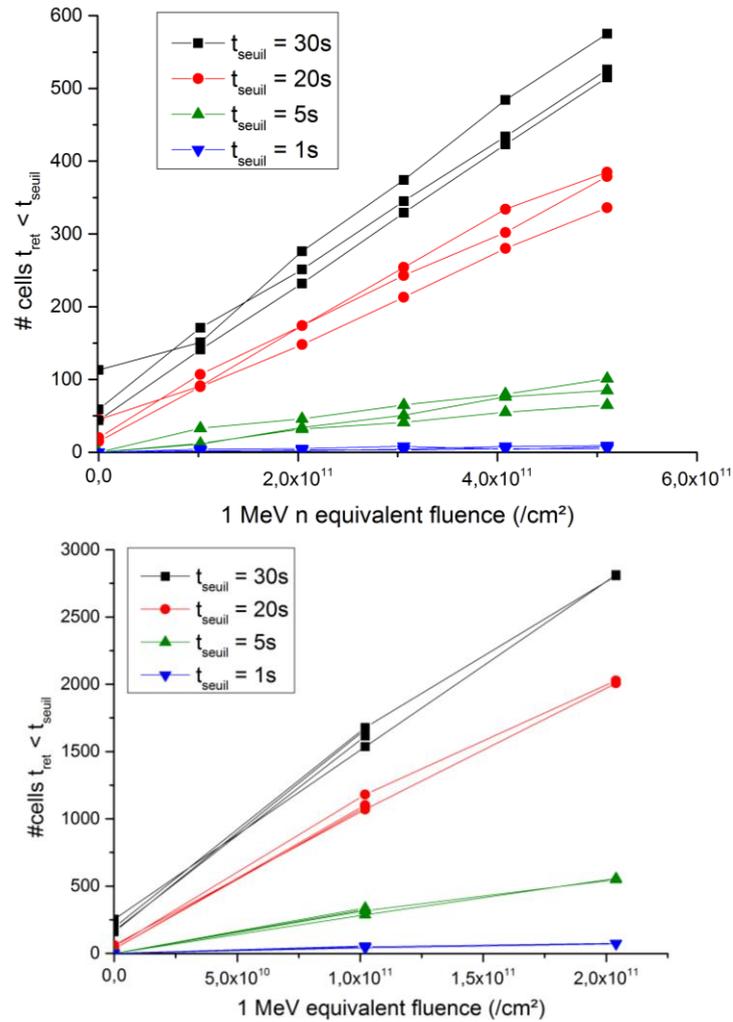


Figure 67. Nombre de mots ayant un temps de rétention  $t_{ret} < t_{seuil}$  en fonction de la fluence équivalente neutron 1 MeV (a) EDS5104ABTA (protons 50 et 184 MeV) (b) HY57V65162 (protons 50, 80, 100 et 184 MeV)

Le nombre de cellules non-fonctionnelles et le nombre de cellules ayant un temps de rétention inférieur à l'un des seuils ( $t_{ret} < t_{seuil}$ ) permettent d'établir que la mémoire HY57V65162 est environ 20 fois plus sensible au phénomène de dégradation que la EDS5104ABTA sous faisceau de protons.

La nature singulière de la dégradation des cellules sous faisceau de proton, couplée à la linéarité du phénomène avec la fluence, permet de valider l'approche proposée par Shindou [50] et d'associer une section efficace à un temps de rétention seuil donné. Il faut évidemment tenir compte du fait que, pour les seuils de temps de rétention les plus élevés, les mémoires non irradiées peuvent avoir des mots ayant un temps de rétention inférieur à ces seuils. Pour ce faire, nous calculons  $\sigma$  (en  $cm^2$ ), la section efficace de dégradation de la cellule :

$$\sigma(t_{ret} < t_{seuil}) = \frac{N - N_0}{\Phi} \quad \text{Equation 3.1}$$

où  $N$  est le nombre de bits ayant un temps de rétention  $t_{ret} < t_{seuil}$  après dégradation sous irradiation avec une fluence  $\Phi$  ( $/cm^2$ ) et  $N_0$  est le nombre de cellules ayant un temps de

rétenion  $t_{ret} < t_{seuil}$  avant irradiation (qu'on ne considère pas dégradées car présentes avant l'irradiation). Les sections efficaces des deux mémoires, pour différentes énergies du faisceau de protons sont données sur la Figure 68. On peut voir que la section efficace dépend de l'énergie des protons utilisée, plus l'énergie est basse et plus la section efficace est élevée, ce qui est logique car, pour la gamme d'énergie observée, le dépôt d'énergie croît quand l'énergie du proton décroît [121].

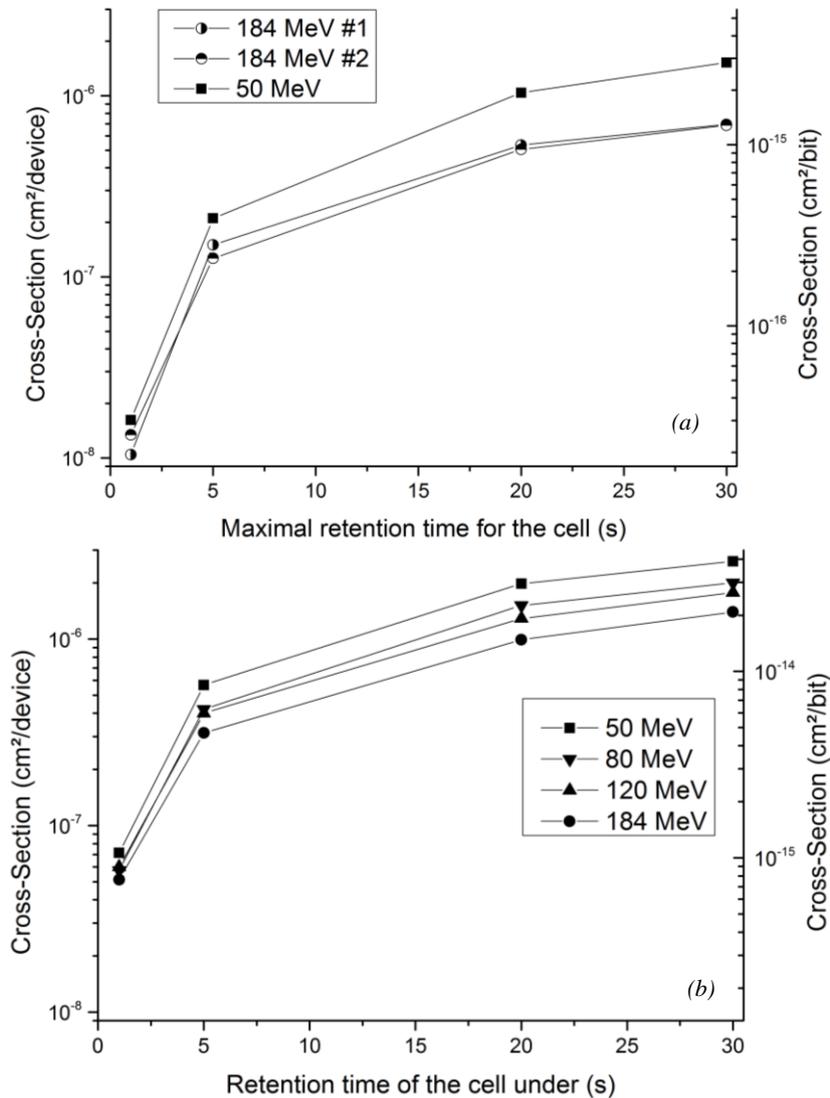


Figure 68. Section efficace de dégradation sous faisceau de protons pour différents temps seuil.  
 (a) EDS5104ABTA.  
 (b) HY57V65162.

Le nombre de mots caractérisés durant le test initial du temps de rétention, donc ceux ayant un temps de rétention inférieur à 9 minutes 30, représente une faible partie du bloc testé (moins de 4% pour la référence EDS5104ABTA, moins de 15%, pour la HY57V65162). Néanmoins, aucun lien particulier entre les mots ayant les plus faibles temps de rétention et les mots présentant un temps de rétention ne peut être trouvé. Ce résultat est donc cohérent avec l'interprétation que nous avons faite des résultats, à savoir que le phénomène de

dégradation singulière de cellules SDRAM est un phénomène singulier (dû à une seule particule).

Le suivi individuel du temps de rétention des adresses nous a permis de voir que les cellules ayant les plus faibles temps de rétention pré-irradiation ne sont pas les premières à être dégradées : le temps de rétention pré-irradiation n'est pas un facteur de sensibilité des cellules et il n'est donc pas possible, à partir d'une caractérisation paramétrique pré-irradiation, de connaître les mémoires ou les cellules les plus enclines à être dégradées.

Il est également intéressant d'observer, pour les deux références, qu'aucun motif ne semble présenter plus de dégradation qu'un autre. Cela est mis en évidence par la Figure 69, qui montre, pour les deux motifs utilisés, le nombre de mots ayant un temps de rétention inférieur à un temps de rétention seuil de référence ( $t_{seuil}$  égal à 1 s, 5 s, 10 s ou 30 s). Cette information nous apprend également que l'état des cellules durant l'irradiation n'influe pas, les deux références ayant été irradiées lors des tests avec le motif AA55. L'absence d'influence de l'état des cellules ainsi que de la polarisation des composants sur la formation des bits collés est cohérente avec l'hypothèse de dommages de déplacement.

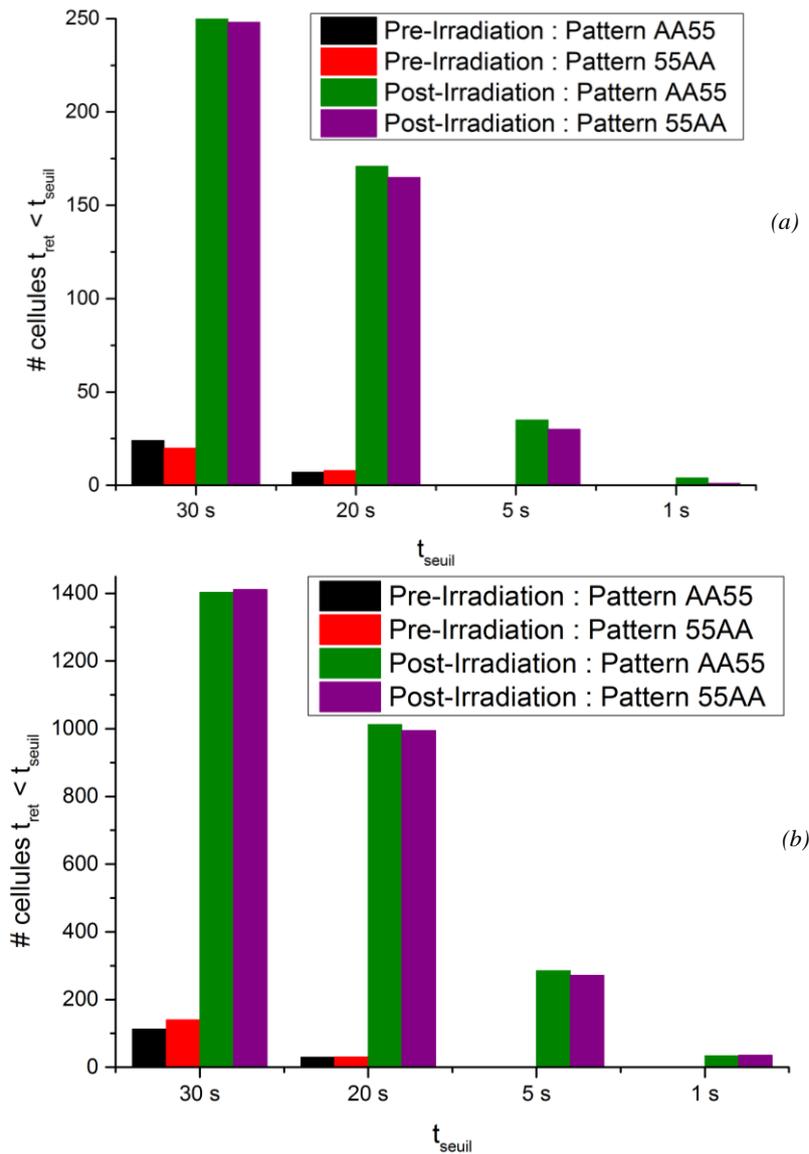


Figure 69 Nombre de mots ayant un temps de rétention  $t_{ret} < t_{seuil}$  pré et post-irradiation (protons 184 MeV), pour les deux motifs utilisés.

(a) Elpida EDS5104ABTA (E17)

(b) Hyundai HY57V651620 (H12)

Les irradiations aux neutrons menées ont permis de pouvoir extraire des informations importantes dans la compréhension du phénomène : des cellules dégradées et non-fonctionnelles sont observées après irradiation, validant donc l'hypothèse du dommage de déplacement comme source de la dégradation. Néanmoins, le délai incompressible entre les tests effectués au SCK-CEN et les tests fonctionnels ( $\sim 1$  mois), rend impossible la détermination de la section efficace telle qu'elle a été déterminée pour les mémoires irradiées aux protons.

Comme expliqué précédemment, la baisse du temps de rétention observée sur la Figure 66 est considérée comme étant due à l'interaction d'une particule unique. Connaissant la section efficace de dégradation expérimentale  $\sigma_{degrad}$  pour  $t_{seuil} = 1$  s, 5 s, 20 s et 30 s (voir Figure 68), il est donc possible de calculer le nombre d'atome cible  $N_{cible}$  pour un seuil de

dégradation  $t_{seuil}$  donné. Pour ce faire, nous exprimons d'abord le nombre de réactions nucléaires par unité de volume  $\rho_{reac}$  comme étant :

$$\rho_{reac} = N_{at} \times \phi \times \sigma_{micro} \quad \text{Equation 3.2}$$

$N_{at}$  étant le nombre d'atomes de silicium par unité de volume ( $cm^{-3}$ ),  $\phi$  la fluence ( $cm^{-2}$ ) et  $\sigma_{micro}$  la section efficace d'interaction d'une particule incidente avec un atome de silicium ( $cm^2$ ). De plus, par définition, la section efficace de dégradation  $\sigma_{degrad}$  est:

$$\sigma_{degrad}(t_{seuil}) = \frac{N_{(t_{ret} < t_{seuil})}}{\phi} \quad \text{Equation 3.3}$$

$N_{(t_{ret} < t_{seuil})}$  étant le nombre de mots en erreur pour le temps de rétention seuil  $t_{seuil}$  considéré. Enfin, nous définissons  $V_{eq}$  comme le volume dans lequel toutes les réactions nucléaires résultent en une dégradation de la cellule ( $t_{ret} < t_{seuil}$ ). Ce volume est exprimé de la manière suivante :

$$V_{eq}(t_{seuil}) = \frac{N_{(t_{ret} < t_{seuil})}}{\rho_{reac}} = \frac{\sigma_{degrad}(t_{seuil})}{N_{at} \times \sigma_{micro}} \quad \text{Equation 3.4}$$

Les volumes calculés pour les deux types de mémoire, en utilisant les données obtenues sous faisceau de protons 184 MeV, sont présentés sur les Tableaux 8 et 9. Pour les mémoires EDS5104ABTA, des données génériques du nœud 130 nm [122] ont été utilisées afin d'estimer le volume d'une cellule.

Ret. time	<1s	<5s	<20s	<30s
$\sigma_{degrad} (cm^2/bit)$	$1,94 \times 10^{-17}$	$2,80 \times 10^{-16}$	$9,95 \times 10^{-16}$	$1,29 \times 10^{-15}$
$V_{eq} (nm^3)$	$9,03 \times 10^4$	$1,3 \times 10^6$	$4,63 \times 10^6$	$6,02 \times 10^6$
$R_{sphere} (nm)$	27,832	67,757	103,405	112,88
% de la cellule	0,21%	3,04%	10,79%	14,03%

Tableau 15. Calcul du volume pour la référence EDS5104ABTA, protons 184 MeV

Ret. time	<1s	<5s	<20s	<30s
$\sigma_{degrad} (cm^2/bit)$	$4,30 \times 10^{-16}$	$4,69 \times 10^{-15}$	$1,48 \times 10^{-14}$	$2,08 \times 10^{-14}$
$V_{eq} (nm^3)$	$3,55 \times 10^6$	$2,18 \times 10^7$	$6,89 \times 10^7$	$9,69 \times 10^7$
$R_{sphere} (nm)$	94,61	173,3	254,31	284,98

Tableau 16. Calcul du volume pour la référence HY57V651620, protons 184 MeV

Pour les cellules les plus endommagées (c'est à dire ayant un temps de rétention inférieur à 1 s, ce qui comprend toutes les cellules non-fonctionnelles/collées), nous pouvons voir que la dégradation doit prendre place dans un volume très confiné et que le dommage est donc très localisé.

Au retour des composants SDRAM irradiés aux protons, aucune dérive des paramètres n'a été mesurée pour les deux références. Ces résultats s'inscrivent dans la lignée de la seconde campagne de tests. Néanmoins, un suivi du temps de rétention effectué 34, 45 et 48 jours après irradiation (les composants ayant été laissés à température ambiante) permet de voir que le temps de rétention des cellules dégradées a tout de même évolué.

Trois types de comportement peuvent alors être identifiés. Tout d'abord, une partie des cellules dégradées ne montre aucune évolution appréciable de son temps de rétention (voir Figure 70.a). Celle-ci représente en moyenne 35% de cellules sur les deux références.

Ensuite, une population des cellules dégradées recouvre une partie du temps de rétention perdu lors de l'irradiation (voir Figure 70.b), comme attendu dans une guérison classique. C'est le cas de la majorité des cellules (moyenne de 55% sur les deux références).

Finalement, les cellules dégradées de la dernière population montrent une baisse de leur temps de rétention, ce qui s'interprète par une augmentation du courant de fuite (voir Figure 70.c). Ces cellules sont minoritaires et représentent une moyenne d'environ 10% sur les deux références.

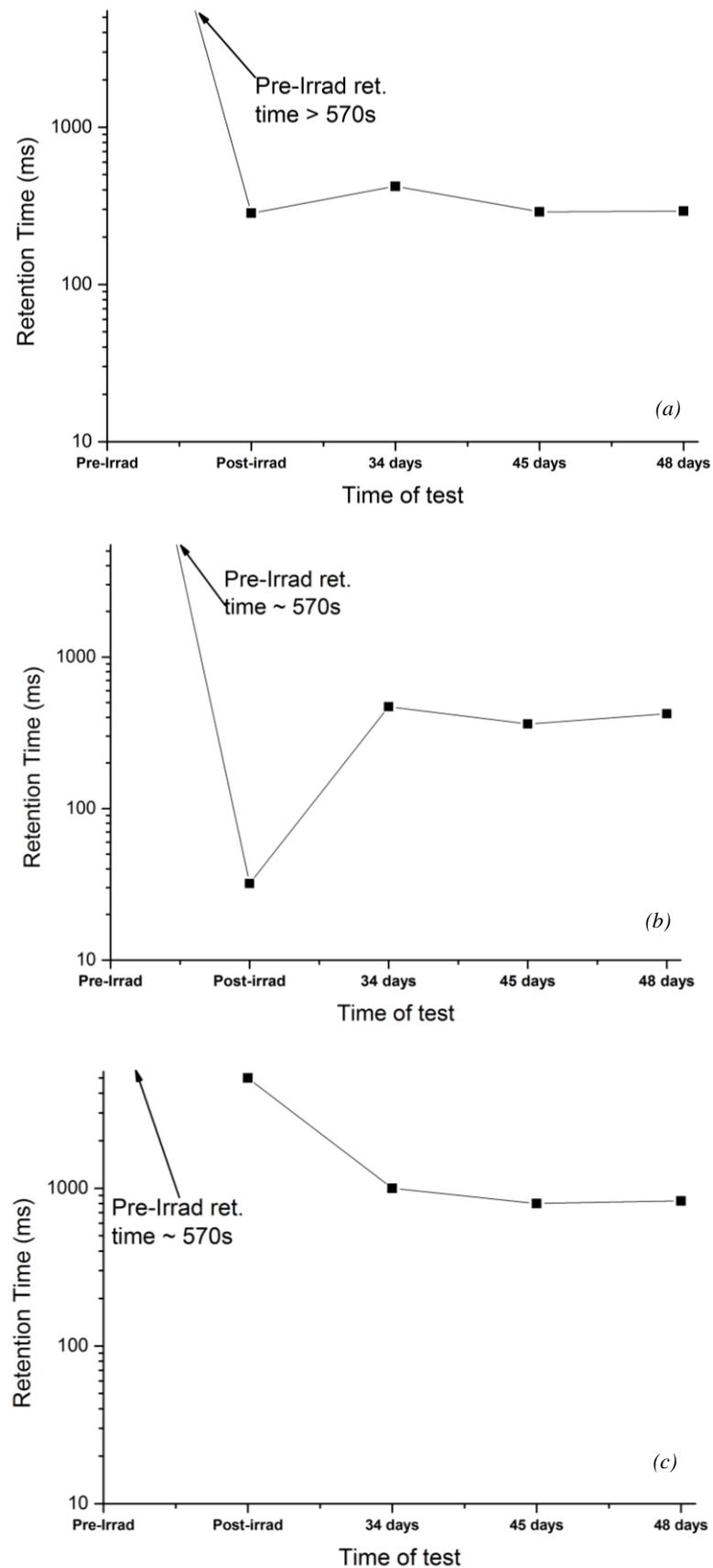


Figure 70. Trois types de comportements possibles pour les cellules irradiées aux protons, post-irradiation. (a) Cellule stable. (b) Récupération d'une partie du temps de rétention perdu. (c) Dégradation subséquente.

Les données obtenues durant la seconde et la troisième campagne, nous permettent donc d'avancer l'hypothèse d'une zone de dommage de déplacement (cluster) créant un courant de fuite. Ce cluster, situé dans la zone de déplétion du transistor d'accès, à l'interface du nœud de stockage (voir Figure 71 pour illustration du phénomène) est induit par une seule particule.

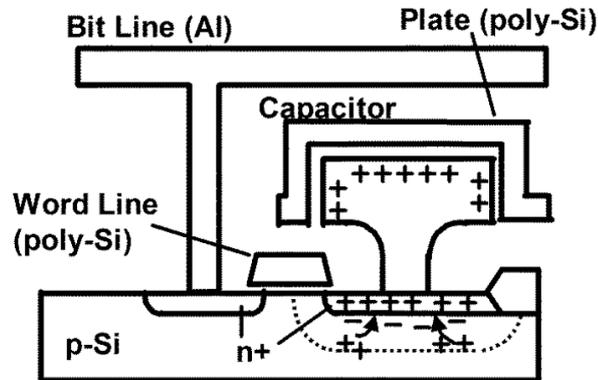


Figure 71. Détail du mécanisme de fuite dû à un cluster dans une cellule SDRAM.

Le mécanisme proposé est le suivant : un proton ou un neutron entre en collision avec le polysilicium et déplace un des atomes de la structure cristalline. Cet atome va à son tour en déloger d'autres jusqu'à former une zone fortement endommagée en fin de parcours : *le cluster de déplacements*. Si ce cluster est situé dans la zone de déplétion du transistor d'accès, il provoque une augmentation du courant de fuite de la cellule, qui vide la charge stockée par le condensateur et provoque la perte de l'information stockée. En effet, plusieurs éléments vont dans ce sens :

- Le phénomène est observé sous faisceau de neutrons, de protons et non sous rayons gamma, privilégiant un mécanisme de dommage de déplacement.
- Le suivi des temps de rétention permet d'établir l'hypothèse que l'effet est singulier.
- Le phénomène de dégradation est fortement localisé dans la cellule, ce qui privilégie la zone de déplétion plutôt que le condensateur comme source du courant de fuite.

L'évolution atypique des temps de rétention est un autre point en faveur des clusters car des observations analogues ont été effectuées pour des clusters de silicium amorphes induits par une irradiation de silicium cristallin aux ions lourds [123]. Ce phénomène a été qualifié de guérison anormale (*anomalous annealing*).

Il n'est malheureusement pas possible de comparer de façon quantitative les guérisons observées à des guérisons de clusters réels [73], à cause des différences en échelle de temps (<300 s pour l'étude contre 34-48 jours pour nos travaux) et en température (0-300°C pour l'étude contre ~25°C pour nos travaux).

En raison des contraintes expérimentales, nos tests ne nous ont pas permis de voir l'évolution à long-terme ( $\gg 1$  s) des clusters. Cela implique que deux types d'événements n'ont pas pu être observés :

- Andrew Chugg [52] montre que les bits collés peuvent basculer entre plusieurs états métastables, avec chacun leur courant de fuite. Dû au temps nécessaire à la caractérisation du temps de rétention de la mémoire, il n'a pas été possible de quantifier chaque état.
- Comme nous avons pu le voir pendant les tests, il peut exister un temps entre la dégradation d'une cellule et l'observation d'erreurs sur cette cellule. Cela est mis en évidence grâce à l'observation de bits collés apparaissant pour la première fois entre deux irradiations. Cette « phase initiale » n'a pas pu être observée et il n'est donc pas clair s'il s'agit d'un régime de formation du cluster où d'une conséquence des commutations décrites ci-dessus.

#### 4. Conclusion sur l'évolution du temps de rétention des cellules SDRAM

Cette dernière campagne de test a permis d'explorer de façon plus poussée le phénomène de bits collés sur SDRAMs et de découvrir qu'une fraction des bits de la mémoire subit une baisse de leur temps de rétention de plusieurs ordres de grandeur. Les plus endommagées de ces cellules perdent leur fonctionnalité, ce qui se traduit par des mots en erreur de façon récurrente.

Nos observations nous permettent de proposer un mécanisme cohérent avec les travaux précédents menés par Shindou [62] et Chugg [67] : l'interaction entre un neutron ou un proton incident et la structure cristalline du silicium provoque l'éjection d'un atome de la structure (PKA), qui à son tour peut provoquer d'autres déplacements. En fin de parcours, ce PKA donne lieu à une zone densément endommagée qui est appelée cluster de défauts (ou de dommages). Si ce cluster est créé dans la zone de déplétion du transistor d'accès de la cellule SDRAM (voir Figure 71), peut causer une augmentation de plusieurs ordres de grandeur du courant de fuite de la cellule et provoquer un bit collé.

### Conclusion

Un protocole de test a été établi et des moyens d'irradiations ont été sélectionnés afin de reproduire le phénomène de bits collés sur mémoire SRAM et SDRAM.

Pour les SRAM, les bits collés n'ont pas pu être reproduits en utilisant des faisceaux de neutrons et protons. Néanmoins, ils ont pu être observés sous irradiation forte dose aux rayons gamma (4,4 Mrad), favorisant ainsi le mécanisme de microdose ionisante, où une seule particule dépose assez de dose ionisante pour mettre hors-service un transistor et ainsi bloquer la cellule sur un état logique ont été recueillies. Ceci est en accord avec des travaux précédents [56], [119].

Pour les SDRAM, une première campagne de test a permis de reproduire des bits collés sous faisceau de neutrons et protons. Une seconde campagne de tests a été nécessaire avec un banc de test amélioré afin de suivre le temps de rétention des adresses du bloc. Ces campagnes nous ont permis d'avancer un mécanisme de dommage de déplacement singulier comme étant la source des bits collés observés. La guérison des cellules possède différentes caractéristiques que la guérison de dommages ponctuels : la guérison des cellules s'effectue à température ambiante et une baisse du courant de fuite n'est pas toujours observée.

D'un point de vue global, les observations effectuées lors de ces tests vont dans le sens des caractéristiques observées lors d'études précédentes, avec des observations nouvelles, comme le caractère singulier de la dégradation ainsi que la guérison anormale des cellules dégradées. De plus, sur les deux types de mémoires, la température exerce une influence non-négligeable sur le nombre de bits collés observés, ainsi que leur fréquence d'apparition. Il est donc important de tester les composants post-irradiation à la température où ils seront utilisés.

Bien que fortement plausible et appuyé par des données de test, il convient d'étudier plus en détail le mécanisme de fuite par cluster de dommages. Peut-il vraiment rendre une cellule non-fonctionnelle ? Nous avons alors décidé d'utiliser la simulation TCAD (Technology Computer-Assisted Design) afin d'étudier l'impact d'un cluster sur une cellule DRAM et ainsi répondre à cette question.

## Chapitre 4 – Modélisation et simulation de bits collés dans les SDRAM

### Introduction

Les résultats expérimentaux obtenus durant nos campagnes de test nous ont permis de proposer un mécanisme de dégradation des cellules des mémoires SDRAM : ce sont les défauts de déplacements créés par les particules dans les zones de déplétion qui sont à l'origine d'un courant de fuite diminuant le temps de rétention. Quantitativement, il reste toutefois à démontrer que les clusters de dommages peuvent bien être à l'origine de la chute de plusieurs ordres de grandeurs du temps de rétention. La modélisation de ce mécanisme de dégradation associée à la simulation TCAD (Technology Computer-Assisted Design) est la solution retenue pour essayer de mieux comprendre la dégradation des cellules SDRAM.

La première partie de ce chapitre s'attache à établir les modèles qui seront utilisés dans les simulations, pour la cellule et les dommages. Dans la seconde partie, nous détaillerons le logiciel de simulation utilisé et nous justifierons notre choix. La troisième partie traite des premiers résultats des simulations TCAD et détaille le mécanisme physique créant le courant de fuite. Ensuite, les différents paramètres d'intérêt pour l'étude du phénomène (cluster, température et tension du nœud de stockage) seront étudiés dans la quatrième partie. Enfin, la dernière partie traite de l'impact de l'évolution des paramètres technologiques des mémoires SDRAM sur la dégradation.

## I. Modélisation de la dégradation

### 1. Cellule SDRAM

#### a. Zone sensible de la cellule

La « zone sensible » d'une cellule correspond à une région du composant dans lequel le passage d'une particule est une condition nécessaire pour qu'il y ait dégradation. Afin de la délimiter, nous rappelons que nos tests ont permis de mettre en évidence que les dommages étudiés sont localisés dans la zone de déplétion située dans le transistor d'accès de la cellule, à l'interface avec le nœud de stockage. Il semble donc logique de retenir cette région comme zone sensible qui sera simulée. Notons que les sources de courant de fuite de la cellule (décrites dans le chapitre 2) sont considérées comme négligeables devant le courant de fuite induit par les clusters de dommage.

La zone sensible, représentée sur la Figure 72 peut être schématisée comme une jonction P-N+, la zone P représentant le substrat du transistor d'accès et la zone N+ son drain à l'interface avec le nœud de stockage. Dans notre étude, cette jonction sera polarisée en inverse, afin de maximiser la profondeur de la zone de déplétion.

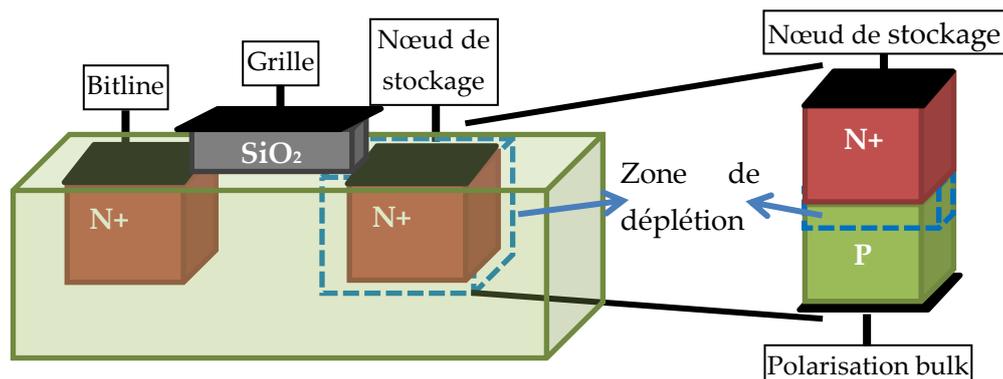


Figure 72. Représentation du transistor d'accès de la cellule SDRAM (gauche) et la zone retenue (droite)

#### b. Décharge de la cellule

Après une écriture ou un rafraîchissement, la charge stockée dans le nœud de stockage diminue au fil du temps à cause des courants de fuite présents dans la cellule (Chap. 2, II.1) [124].

La perte d'information de la cellule se déroule durant le mode de rétention de la cellule, c'est-à-dire quand le transistor d'accès est OFF. Ainsi, nous pouvons considérer que le condensateur qui stocke l'information se décharge à cause de la résistance introduite par le cluster de déplacements créé dans notre jonction. Le temps de rétention de la cellule peut alors être approximé par la constante de temps de ce circuit RC (temps nécessaire pour décharger 63.2% de la charge stockée dans le condensateur), s'exprimant par :

$$\tau = RC \quad \text{Equation 4.1.}$$

La littérature scientifique sur les DRAM submicroniques [92] montre que la valeur recommandée du condensateur de la cellule est compris entre 20 et 40 fF, valeur qui change peu au fil des générations.

Dans le chapitre précédent, nous avons distingué les cellules dégradées SDRAM selon 4 valeurs limites du temps de rétention :  $t_{ret} > 30$  s,  $t_{ret} > 20$  s,  $t_{ret} > 5$  s,  $t_{ret} > 1$  s. Connaissant  $\tau$  (qui correspond à l'un de ces temps de rétention) et  $C$ , nous pouvons déduire la valeur maximale de la résistance résultant de l'apparition du cluster. Les résultats sont donnés dans le Tableau 17.

Ret. time	< 1s	< 5s	< 20s	< 30s
$R_{max}$ ( $\Omega$ ) ( $C=20$ fF)	$5 \times 10^{13}$	$2,5 \times 10^{14}$	$1 \times 10^{15}$	$1,5 \times 10^{15}$
$R_{max}$ ( $\Omega$ ) ( $C=40$ fF)	$2,5 \times 10^{13}$	$1,25 \times 10^{14}$	$5 \times 10^{14}$	$7,5 \times 10^{14}$

Tableau 17. Valeurs des résistances maximales associées aux différents types de cellules dégradées.

Au vu de ce tableau, les valeurs typiques de résistances associées aux cellules dégradées se situent dans la plage  $10^{13}$ - $10^{15}$   $\Omega$ . Les cellules pour lesquelles  $t_{ret} > 370$  s, qui constituent la quasi-totalité des cellules pré-irradiation, ont une résistance supérieure à  $10^{16}$   $\Omega$ .

## 2. Cluster de défauts

Les dommages de déplacement résultent de l'éjection d'atomes appartenant à la structure cristalline du silicium. Dès le début de l'étude de ces effets dans les matériaux (dans les années 1950), les zones endommagées ont été traitées comme une succession de défauts ponctuels uniformément répartis. Cela est vrai dans le cas d'une irradiation sous faisceau d'électrons, mais pour les autres particules, créant des clusters, des divergences avec cette théorie apparaissent rapidement.

Dès 1959, Gossick remarque une différence dans les dégradations des composants irradiés sous faisceau d'électrons et ceux irradiés sous faisceau de neutrons, qui ne se conforment pas à cette interprétation et montrent une dégradation plus élevée [70].

Il propose que l'irradiation sous faisceau de neutrons crée des zones dans lesquelles les propriétés locales du matériau semiconducteur sont modifiées. Ces zones hébergent des états d'énergie (pièges) situés dans la bande interdite du semiconducteur, qui peuvent augmenter le courant de fuite d'un composant ou bien abaisser la durée de vie des porteurs d'un dispositif optoélectronique [125].

Dans le cadre de nos travaux, nous appliquons une implémentation plus récente développée pour la simulation TCAD dans le cadre du projet européen « Radiation nanoclusters in Si and GaN » par Žašinas [71], qui utilise les paramètres suivants :

- Taille des clusters : 20-100 nm
- Densité d'états (pièges) :  $10^{18}$  à  $10^{20}$   $\text{cm}^{-3}$

- Type de pièges : Accepteurs
- Niveau d'énergie des pièges :  $E_c - 0,55$  eV ( $E_c$  étant le niveau d'énergie de la bande de conduction)

Il est intéressant de comparer les tailles de cluster proposées par ce modèle (20-100 nm) avec les résultats expérimentaux obtenus (volume d'interaction) pour les cellules les plus dégradées<sup>1</sup> et de vérifier qu'ils sont en accord. Nous pouvons en déduire que le modèle de Gossick est adapté à la modélisation des dommages de clusters pour ces mémoires.

Les limitations intrinsèques au modèle de Gossick doivent être rappelées : il a été établi à une époque où les dispositifs microélectroniques avaient des dimensions caractéristiques de l'ordre du micromètre. Pour les dispositifs que nous considérons dans le cadre de cette étude, cela ne pose pas de problème, mais pour les technologies les plus intégrées, comprenant les nœuds en dessous de la centaine de nanomètres, ce modèle risque de ne plus être adapté à l'étude de la dégradation, la taille du cluster devenant comparable à celle de la cellule.

Il convient de mentionner que de nouveaux modèles sont en cours de développement, issus de simulations de dynamique moléculaire [72]. Ces modèles présentent les clusters comme des zones d'amorphisation locale du silicium, présentant un continuum d'états dans la bande interdite. Ces modèles très sophistiqués sont, à l'heure actuelle, difficiles à intégrer dans les outils de TCAD.

Un autre point important est que notre approche ne permet pas de modéliser les aspects transitoires du phénomène, que ce soit la métastabilité du cluster qui correspond au réarrangement spontané du cluster entre plusieurs configurations possibles [72], [52], ou la guérison des clusters. Ces effets sont considérés comme étant en dehors de notre étude, qui s'attache à reproduire l'effet électrique induit par un cluster de défauts.

## II. Outils de simulation

### 1. La suite de simulation ECORCE

Afin d'étudier le courant de fuite induit par les clusters à l'aide du modèle de dommage précédemment proposé, la suite de simulation ECORCE (Etude du COmportement sous Radiation des Composants), développée au sein de l'équipe RADIAC par Alain Michez, a été retenue.

ECORCE est un logiciel TCAD distribué sous la licence libre GPL (GNU Public Licence) [126]. Il permet la modélisation et la simulation de composants microélectroniques en 1D, 2D ou symétrie axiale en mode stationnaire ou transitoire. Il résout l'équation de Poisson,

---

<sup>1</sup> Chap 3. III.3 : 27,832 nm pour l'Elpida EDS5104ABTA et 94,61 nm pour la Hyundai HY57V651620

l'équation de la chaleur (ECORCE est donc aussi capable d'effectuer des études thermiques), le transport des charges et le piégeage des charges.

La modélisation TCAD est un outil indispensable pour comprendre les mécanismes en jeu dans les composants électroniques, mais elle est difficile à mettre en œuvre. Pour faciliter ce travail, ECORCE propose une interface graphique intuitive qui permet de définir la géométrie du modèle, le modèle physique (équations résolues, dopages, lois, ...) et les stimuli appliqués (polarisations, irradiations, ...). Cette interface permet également de lancer les calculs et de visualiser (représentation 3D, isovaleurs, coupe, ...) et d'exporter les résultats.

De plus, la création du maillage est l'étape la plus difficile de la modélisation TCAD. Pour discrétiser les équations différentielles à résoudre, les grandeurs calculées (potentiel, densités de porteurs, ...) sont supposées varier linéairement à l'intérieur des éléments du maillage. Pour que cette approximation soit valable et que les résultats obtenus soient précis, il faut que les éléments soient suffisamment petits dans les zones où le gradient des grandeurs varie de façon significative. Mais le temps de calcul dépend du nombre de nœuds et un maillage serré dans des zones où le gradient des grandeurs varie peu augmente inutilement les temps de calcul. Cette étape de la modélisation TCAD est actuellement faite à la main par l'utilisateur. En fonction de son expérience, il peut obtenir un résultat acceptable pour chaque nouveau modèle moyennant un temps de travail conséquent. Mais lorsque les gradients des grandeurs évoluent au cours du temps, notamment lors de l'application d'un débit de dose ou d'un événement singulier, un maillage adapté à une date donnée ne le sera plus à une date ultérieure.

ECORCE est aujourd'hui le seul logiciel TCAD qui change le maillage à chaque étape de calcul pour suivre l'évolution des gradients des grandeurs. À partir de la précision demandée par l'utilisateur, il effectue pour chaque étape de simulation plusieurs itérations en enlevant des nœuds là où les gradients des grandeurs évoluent peu et en ajoutant là où les gradients des grandeurs changent le plus, et ce, jusqu'à atteindre la précision voulue [127].

Cette approche présente deux avantages de poids : un gain de temps car l'utilisateur n'a pas à élaborer le maillage, et un gain de précision car le maillage s'adapte automatiquement aux évolutions du circuit simulé. La Figure 73 montre l'interface graphique du logiciel ECORCE, présentant le champ électrique dans une jonction P-N 1D. Sur la courbe, les nœuds de maillage précédemment décrits sont représentés par un point blanc.

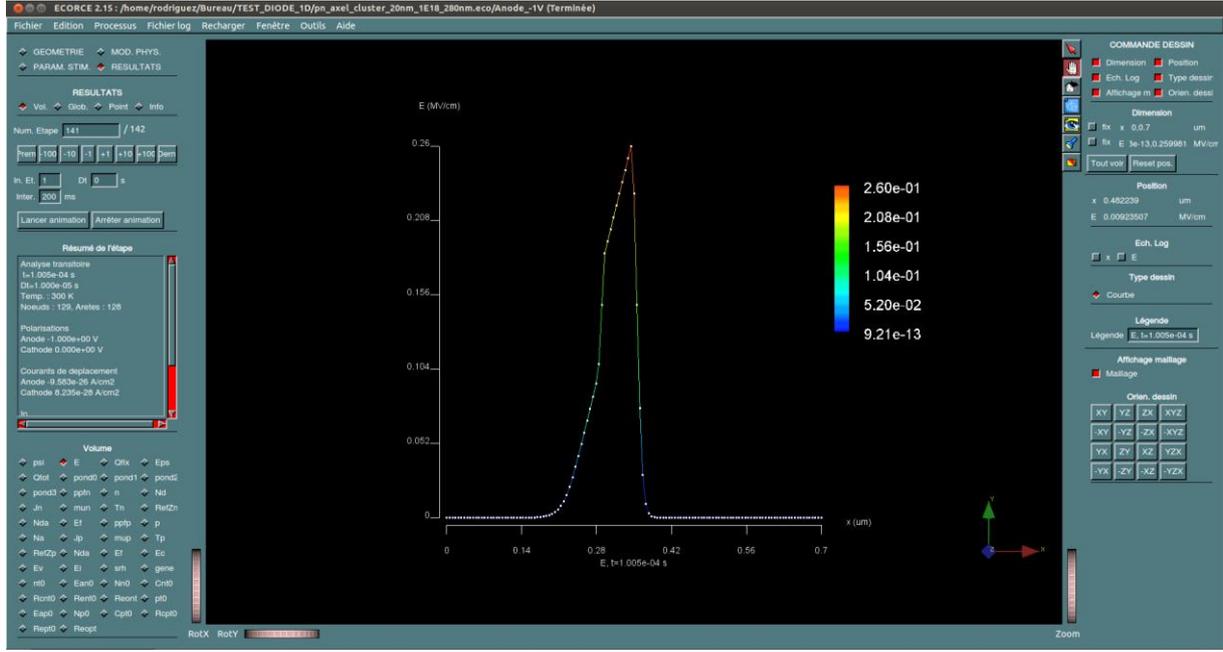


Figure 73. Capture d'écran du logiciel ECORCE.

Le piégeage/dépiégeage de charges se base sur le modèle de piégeage/dépiégeage multiple (MTD, Multiple Trapping/De trapping [128]). À l'origine, le piégeage/dépiégeage n'était implémenté que pour le  $SiO_2$  afin d'étudier les effets de dose ionisante.

Ce modèle a été étendu au silicium, avec l'ajout de la prise en compte de la génération de charge par un piège neutre (négligeable dans le  $SiO_2$ ). Les équations de piégeage/dépiégeage d'ECORCE décrites dans [129] deviennent, pour les états accepteurs :

$$q \frac{\delta n_t^{(i)}}{\delta t} = C_n^{(i)} - Rec_n^{(i)} - Ree_n^{(i)} + Reopt_n^{(i)} \quad \text{Equation 4.2.}$$

Avec  $C_n^{(i)}$  le taux de capture d'électron par unité de volume,  $Rec_n^{(i)}$  le taux de recombinaison de trous libres avec des électrons piégés par unité de volume,  $Ree_n^{(i)}$  le taux de réémission thermique des électrons piégés par unité de volume et  $Reopt_n^{(i)}$  le nouveau terme ajouté, le taux de réémission des trous à partir de pièges accepteurs inoccupés par unité de volume, respectivement définis par :

$$C_n^{(i)} = \sigma_{n_t}^{(i)} (N_n^{(i)} - n_t^{(i)}) (\|\vec{J}_n\| + J_{thn})$$

$$Rec_n^{(i)} = \sigma_{p_r}^{(i)} n_t^{(i)} (\|\vec{J}_p\| + J_{thp})$$

$$Ree_n^{(i)} = q \sigma_{n_t}^{(i)} v_{thn} N_c n_t^{(i)} e^{-\frac{q(E_c - E_n^{(i)})}{kT}}$$

$$Reopt_n^{(i)} = q N_v \sigma_{p_r}^{(i)} v_{thp} (N_n - n_t) e^{-\frac{q(E_n^{(i)} - E_v)}{kT}} \quad \text{Equations 4.3.}$$

Avec  $n_t^{(i)}$  la densité d'électrons piégés pour le niveau  $i$ ,  $\sigma_{n_t}^{(i)}$  la section efficace de capture des électrons pour le niveau  $i$ ,  $\sigma_{p_r}^{(i)}$  la section efficace de recombinaison des électrons piégés par des trous libres pour le niveau  $i$ ,  $E_n^{(i)}$  le niveau d'énergie du piège de niveau  $i$ ,  $E_C$  et  $E_V$  le niveau d'énergie des bandes de conduction et de valence respectivement,  $n$  and  $p$  les densités d'électron et de trous,  $N_v$  et  $N_c$  la densité d'états dans les bandes de valence et de conduction respectivement,  $v_{thn}$  et  $v_{thp}$  les vitesses de courant thermiques des électrons et des trous respectivement,  $\vec{E}$  le champ électrique,  $\vec{J}_n$  et  $\vec{J}_p$  les densités de courant d'électron et de trou respectivement,  $J_{thn}$  et  $J_{thp}$  la densité de courant thermique d'électron et de trou respectivement,  $k$  la constante de Boltzmann et  $T$  la température.

ECORCE est donc capable de simuler le piégeage/dépiégeage dans le silicium, nous fournissant un cadre adapté à l'implémentation et simulation du modèle de Gossick. Une illustration des différents processus précédemment cités est donnée sur la

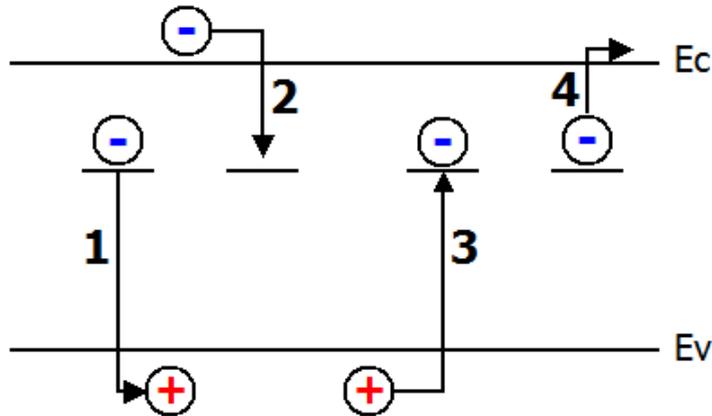


Figure 74. Une étude transitoire ( $\sim 10^{-5}$  s) est cependant nécessaire pour atteindre l'état d'équilibre de la jonction après introduction des défauts.

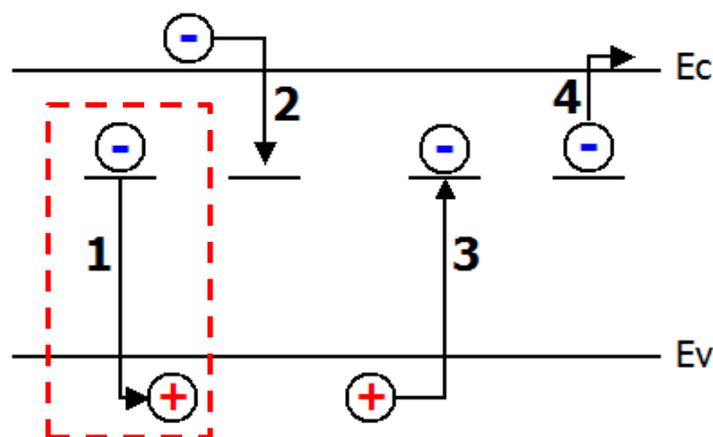


Figure 74. Processus pris en compte dans le MTD pour les pièges de type accepteur :

- 1 : Emission thermique d'un trou à partir d'un piège inoccupé (ajouté pour modéliser le piégeage/dépiégeage dans le silicium)
- 2 : Capture d'un électron par un piège inoccupé.
- 3 : Recombinaison d'un électron piégé avec un trou libre.
- 4 : Réémission thermique d'un électron piégé.

## 2. Paramètres de simulation

Dû à l'homogénéité du modèle de dommage et de la zone sensible considérée, nous avons effectué nos simulations en 1D afin de garder le temps de calcul nécessaire au minimum ainsi que de faciliter la convergence du système.

La Figure 75 détaille les caractéristiques de la jonction 1D étudiée. Les valeurs du nœud technologique 0,7  $\mu\text{m}$ , pour lequel des données sont disponibles, ont été choisies. Bien que ce soit un nœud technologique antérieur aux mémoires testées sous protons, les résultats obtenus seront considérés comme pertinents pour prouver et étudier le mécanisme de dégradation.

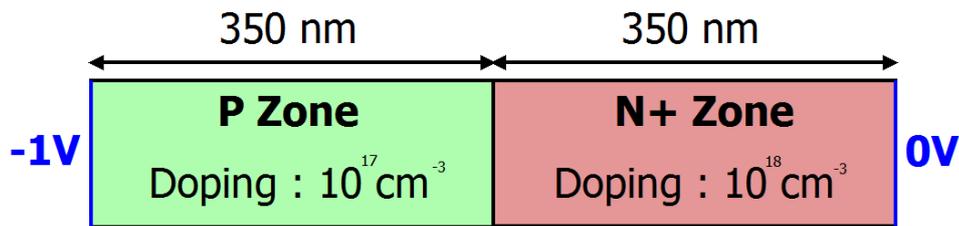


Figure 75. Caractéristiques de la jonction P-N+ étudiée.

ECORCE prend en compte la température dans tous ses calculs. Toutes les simulations, sauf dans la partie étudiant l'influence de la température, sont effectuées à 300 K (26,85°C).

## III. Résultats des simulations

### 1. Jonction P-N+ non-endommagée

En utilisant les paramètres précédemment décrits pour la zone à étudier, nous obtenons, pour notre jonction vierge, un courant de fuite total de  $1,11 \times 10^{-17}$  A, qui correspond à une résistance de  $9 \times 10^{16}$   $\Omega$ . En utilisant l'équation 4.1., cette résistance peut être associée à un temps de rétention compris entre 1 798 s et 3 596 s, selon la valeur choisie pour la valeur du condensateur (entre 20 fF et 40 fF [92]).

Cette plage de valeurs est en accord avec les données expérimentales, qui ont montré, pour les deux mémoires, que la majorité des cellules avaient un temps de rétention supérieur à 370 s. De plus, le fait que cette jonction P-N+ soit idéale doit être pris en compte : aucun défaut n'est présent, contrairement aux cellules réelles [124].

La distribution des porteurs et de la charge électrique dans la jonction P-N+ non endommagée est représentée sur la Figure 76 en fonction de la position du cluster dans la jonction. L'effet de la concentration de dopage plus élevée dans la région N+ y est clairement visible, avec un décalage de la zone de déplétion vers la région P, qui est moins dopée.

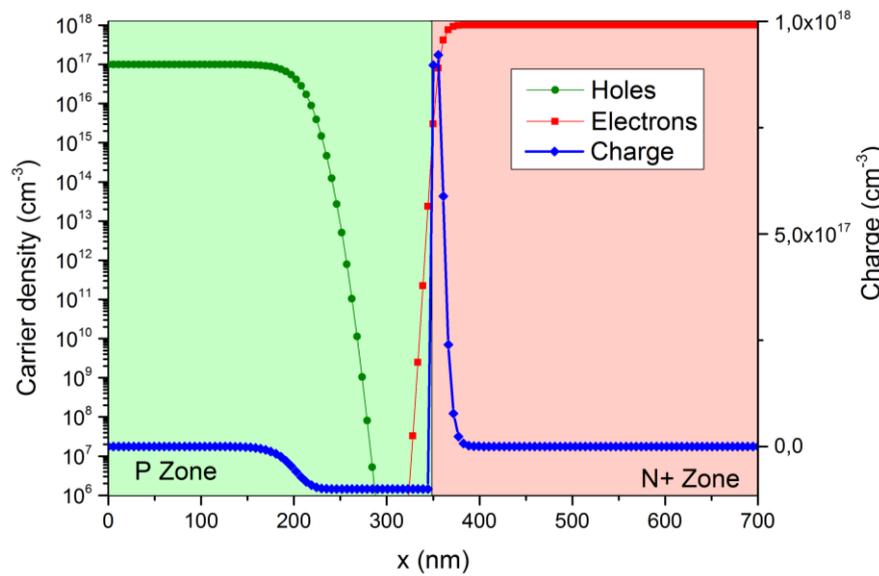


Figure 76. Distribution des porteurs et charge dans la jonction P-N+ non-endommagée.

## 2. Introduction d'un cluster de dommages

Quand un cluster de dommages d'une largeur de 20 nm et d'une densité de défauts de  $10^{18} \text{ cm}^{-3}$  est inséré au centre de la zone de déplétion ( $\sim 290 \text{ nm}$ ), notre simulation permet d'obtenir un courant de fuite de  $1.83 \times 10^{-12} \text{ A}$ . Comparé au courant obtenu précédemment pour la jonction non-endommagée, cela représente une augmentation de 5 ordres de grandeur. Ce résultat montre qu'un cluster peut donc modifier de façon significative le courant de fuite d'une cellule SDRAM.

Ce courant de fuite correspond à un temps de rétention de 16,4 ms si l'on considère une valeur intermédiaire de 30 fF pour le condensateur de la cellule SDRAM. Ce temps de rétention est alors inférieur aux 64 ms spécifiés par le JEDEC pour les SDRAMs SDR et DDR [58]. Un seul cluster de dommages peut donc provoquer des erreurs de rétention dans une cellule SDRAM.

Afin d'étudier l'effet de la position du cluster sur le courant de fuite de la jonction, nous avons effectué des simulations positionnant le cluster (largeur 20 nm, densité d'états accepteurs  $10^{18} \text{ cm}^{-3}$ ) à différentes positions dans la jonction. La Figure 77 présente les résultats de ces simulations en montrant le temps de rétention de la cellule en fonction de la position du cluster. La première observation pouvant être faite est que le cluster n'a d'impact sur le courant de fuite (et donc, sur le temps de rétention) que s'il est localisé dans la zone de déplétion.

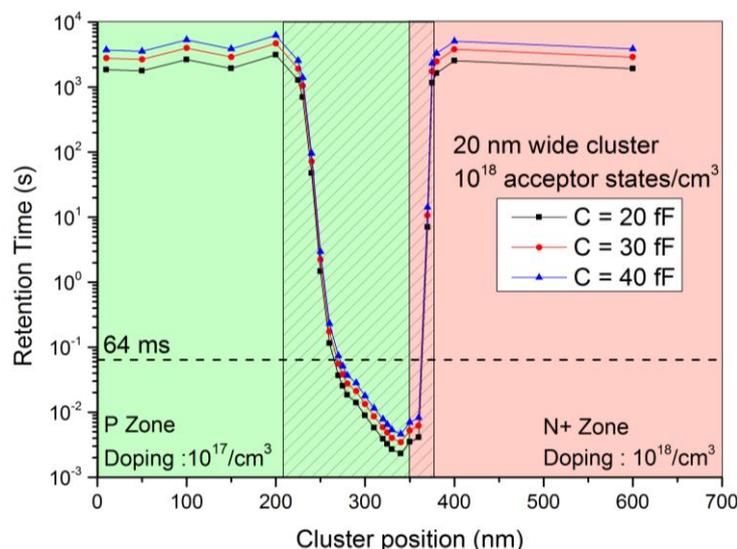


Figure 77. Temps de rétention d'une cellule en fonction de la position du cluster. La valeur de 64 ms est la valeur minimale du temps de rétention préconisée par le JEDEC pour les SDRAM. (Zone hachurée : zone de déplétion)

### 3. Mécanismes du courant de fuite

Afin de mieux comprendre les mécanismes gouvernant le courant de fuite dû à un cluster dans la zone de déplétion d'une jonction P-N+, nous nous concentrons sur la simulation pour laquelle le courant de fuite maximal a été obtenu, c'est à dire pour  $x = 340$  nm.

La Figure 78 trace le taux net de génération de porteurs, qui représente le nombre d'électrons et de trous générés par unité de temps, ainsi que le champ électrique obtenus pour cette simulation. On peut y voir que des porteurs sont générés dans le cluster, avec un taux de génération maximal atteint au plus près de la zone N+.

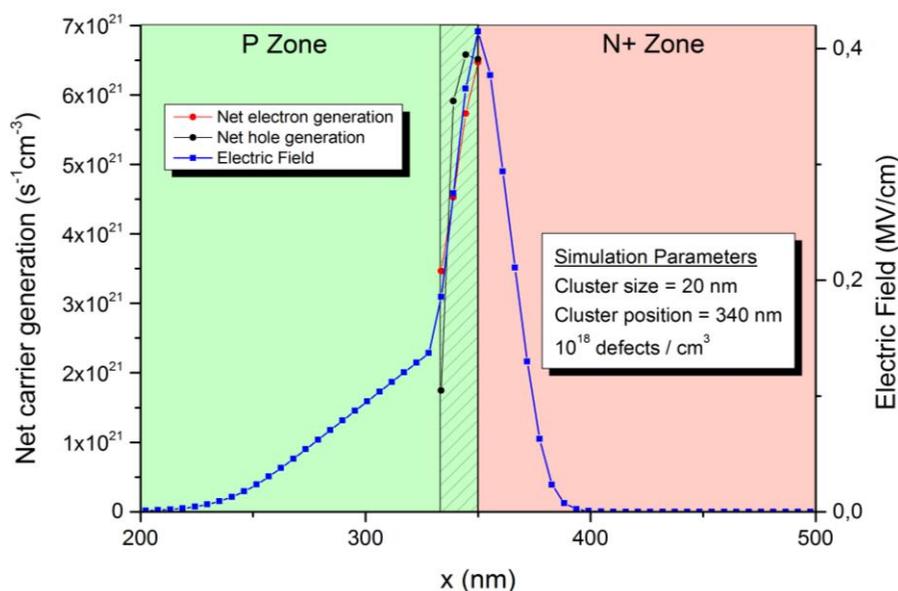


Figure 78. Taux net de génération de porteurs et champ électrique dans une jonction endommagée. (Zone hachurée : cluster)

La contribution due à chaque processus de recombinaison/génération précédemment décrits dans une jonction P-N+ endommagée est détaillée sur la Figure 79. Nous pouvons y voir que la capture d'électrons est constante dans le cluster et est négligeable puisque son taux est cinq ordres de grandeur plus faible que tous les autres processus.

Au plus près de la zone P dans le cluster ( $x = 330$  nm), l'émission thermique de trous est à sa plus haute valeur. Nous pouvons cependant constater que la majorité des trous générés sont recombinés. C'est pour cela que la génération de porteurs, que ce soit trous ou électrons, atteint son minimum en ce point.

Au plus près de la zone N+ ( $x = 350$  nm), la rémission thermique de trous et la recombinaison de trous diminue, mais la recombinaison baisse plus vite que la génération, entraînant une hausse de l'émission d'électrons (car il y a plus d'électrons piégés).

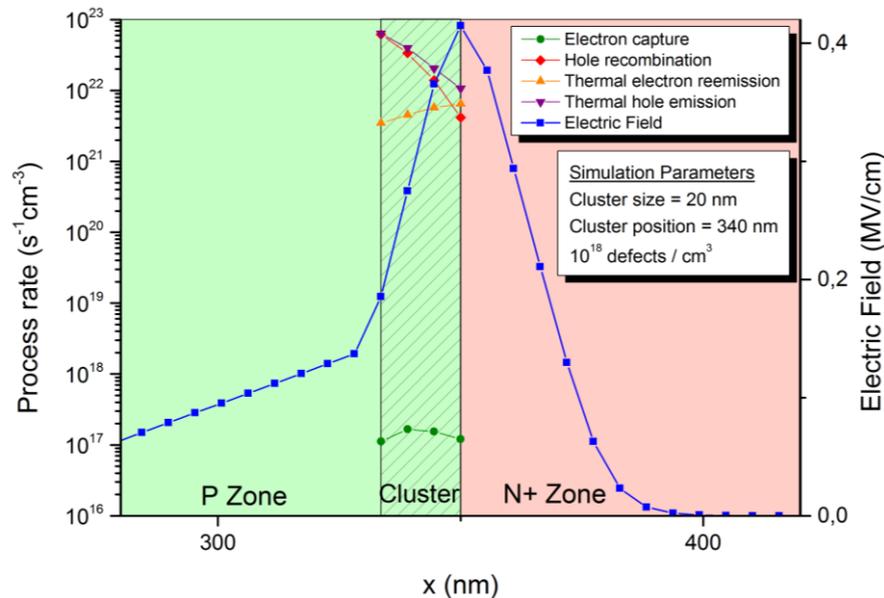


Figure 79. Taux de chaque processus MTD et champ électrique dans une jonction endommagée. (Zone hachurée : cluster)

Avec ces données, nous pouvons conclure que les porteurs dus au cluster sont générés par le processus suivant : Les états accepteurs inoccupés émettent des trous, générant ainsi des électrons piégés. Même si une fraction non-négligeable des trous générés se recombine avec les électrons piégés, il reste un nombre non négligeable d'électrons piégés qui seront réémis thermiquement. Les porteurs ainsi créés sont ensuite collectés par leur contact (anode pour les trous, cathode pour les électrons), créant le courant de fuite ainsi observé dans les cellules dégradées.

Dans le cluster, l'occupation des états accepteurs par des électrons est maximale au plus près de la zone N+, résultant en une génération maximale de porteurs. En se rapprochant de la zone P (mais en étant toujours dans le cluster), l'occupation des états accepteurs décroît, ce qui résulte en une augmentation de l'émission thermique de trous (car il y a plus de pièges

libres qui sont disponibles) et de la recombinaison de trous (car il y a plus de trous qui sont générés), avec une baisse de la réémission thermique d'électrons.

Les clusters de dommages modifient aussi, de façon notable, la distribution des porteurs ainsi que de la charge, comme le montre la Figure 80.b, qui présente les densités d'électrons, de trous et la charge électrique dans la jonction P-N+ en présence d'un cluster. On peut voir que les électrons piégés augmentent la charge électrique d'environ un ordre de grandeur.

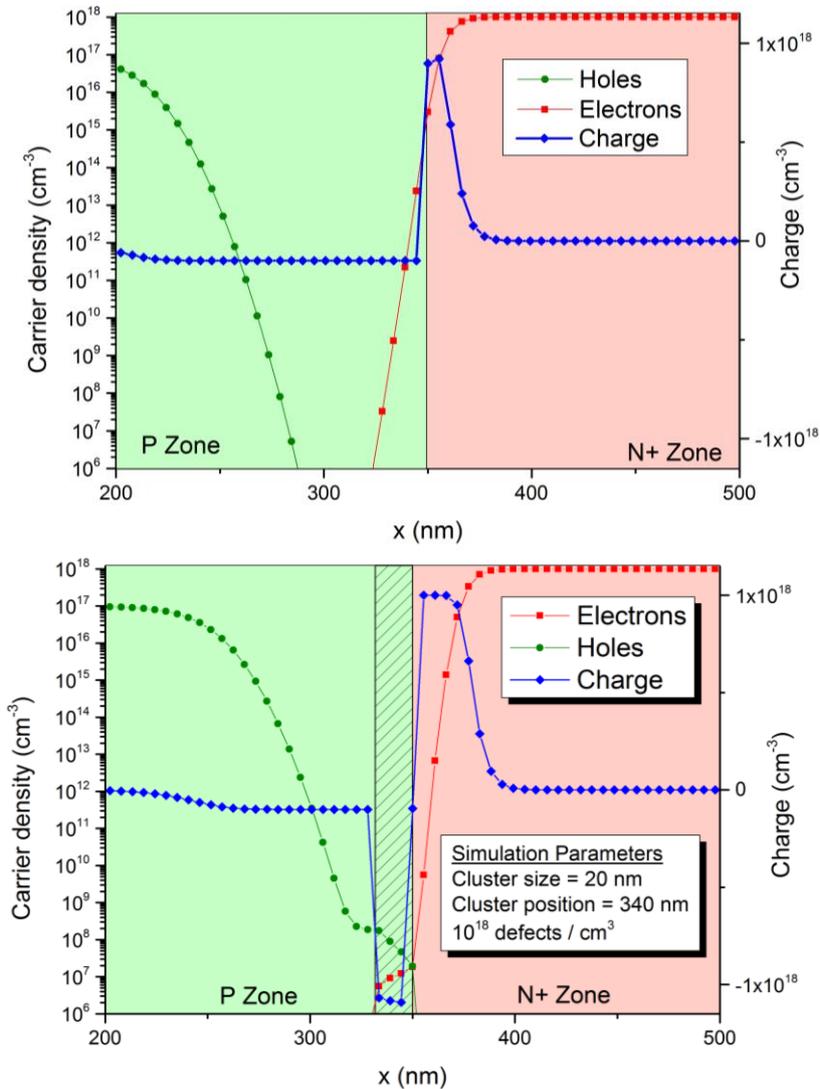


Figure 80. Densité de porteurs et charge dans la jonction P-N+  
 (a) Jonction non-endommagée pour référence  
 (b) Jonction endommagée (Zone hachurée : cluster)

Cette charge piégée dans le cluster modifie la forme et la valeur maximale du champ électrique dans la jonction : au lieu d'avoir deux régions quasi-linéaires de croissance et décroissance du champ électrique, comme pour une jonction P-N+ classique [102], on observe, pour toutes les jonctions ayant un cluster dans leur zone de déplétion, une zone de croissance rapide du champ électrique, comme observé sur la Figure 78.

Afin de mieux comprendre cette modification locale du champ électrique, nous avons étudié le champ électrique pour plusieurs positions de cluster. Cet effet est mis en évidence par la Figure 81, où l'on observe, quand un cluster est dans la zone de déplétion, une augmentation soudaine du champ électrique due aux charges piégées.

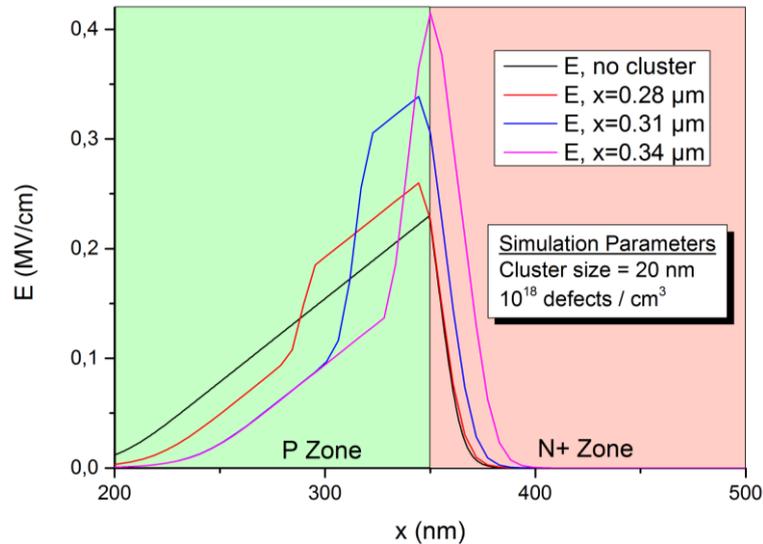


Figure 81. Champ électrique dans la jonction pour plusieurs positions de cluster.

Le Tableau 18 présente l'occupation des pièges et le champ électrique maximal pour différentes positions de cluster. On peut voir que l'occupation des pièges et le champ électrique sont maximaux au plus près de la zone N+. Quand on place le cluster plus loin dans la zone P, le ratio de recombinaison/génération des trous est plus élevé (la capture d'électrons restant négligeable), résultant en moins d'électrons piégés et donc en un champ électrique moins élevé.

x (μm)	Occupation moyenne des pièges (%)	$E_{max}$ (MV/cm)
Pas de cluster		0,22942
0,28	20,21	0,25998
0,31	53,01	0,33872
0,34	98,42	0,41467

Tableau 18. Valeur maximale du champ électrique et occupation moyenne des pièges pour différentes positions de cluster (cluster de 20 nm,  $10^{18}$  pièges/cm<sup>3</sup>)

L'introduction de ces charges modifie évidemment le profil du potentiel dans la jonction, comme on peut le voir sur la Figure 82, qui décrit le potentiel dans une jonction sans cluster et dans une jonction avec cluster pour comparaison : dans une jonction endommagée, la courbe est légèrement décalée vers la zone N+, l'augmentation du champ électrique entraînant une croissance plus rapide du potentiel.

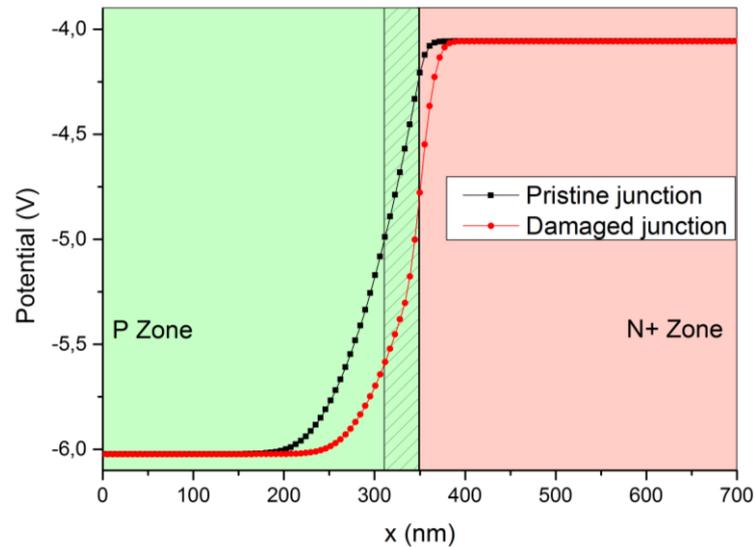


Figure 82. Comparaison du potentiel dans une jonction vierge et une jonction endommagée (cluster de 20 nm,  $10^{18}$  pièges/cm<sup>3</sup>, hachures : cluster).

Le mécanisme avancé permet aussi d'expliquer pourquoi, pour chaque cellule dégradée, un seul état logique perd ses données : dans l'état chargé, le nœud de stockage a un potentiel  $V_{\text{storage}}$  positif, maximisant la profondeur de la zone de déplétion ainsi que le courant de dérive des porteurs. C'est donc l'état sensible.

Dans l'état non chargé, le nœud de stockage possède un potentiel nul : nous pouvons donc supposer que la polarisation de la jonction P-N+ à l'interface du nœud de stockage est nulle (état non-sensible).

Bien que nous soyons en mesure d'associer la dégradation à un état physique particulier (cellule chargée), il convient de rappeler que le lien entre l'état physique (chargé ou non) et l'état logique (0 ou 1) d'une cellule SDRAM ne peut être établi sans détails technologiques.

#### IV. Influence des différents paramètres de simulation

Maintenant que le mécanisme de dégradation menant aux bits collés sur SDRAM a été démontré, nous pouvons utiliser la simulation TCAD afin d'en apprendre plus sur la dépendance du phénomène de dégradation singulière aux différents paramètres.

##### 1. Taille et concentration du cluster

Dans le modèle utilisé, nous pouvons faire varier plusieurs paramètres, dont la taille du cluster (de 20 nm à 100 nm) et la concentration en états accepteurs (de  $10^{18}$  à  $10^{20}$  cm<sup>-3</sup>).

La Figure 83 présente (de façon analogue à la Figure 77) le temps de rétention de la cellule SDRAM en fonction de la position du cluster, pour plusieurs types de clusters. Nous y voyons que quand la taille du cluster est augmentée, le courant de fuite induit par le cluster est augmenté : il y a plus d'états accepteurs et donc plus de porteurs qui sont générés

par les processus précédemment décrits. Le cluster étendu à également un plus grand recouvrement avec la zone de déplétion.

Des observations analogues sont faites si la concentration en états accepteurs du cluster est augmentée, avec une extension notable de la zone dégradée par le cluster dans la zone N+. Cette extension est due au fait que la concentration en état accepteurs devient plus élevée que le dopage de la zone.

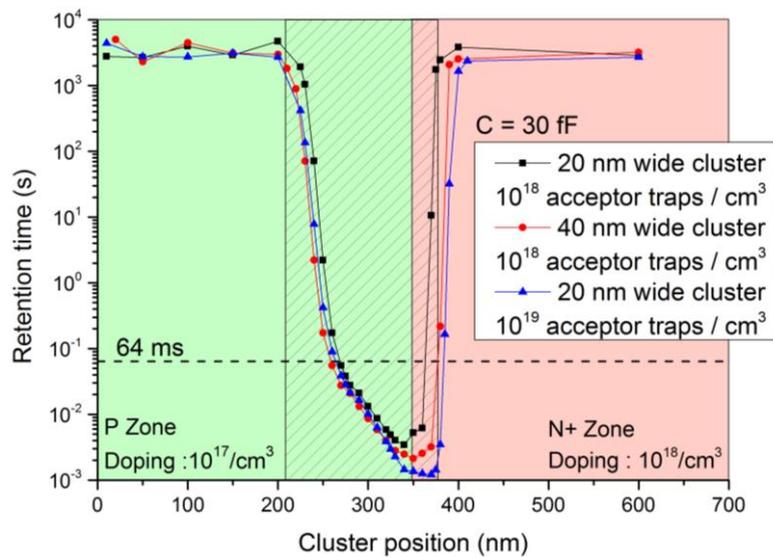


Figure 83. Effet de la taille et de la concentration en états accepteurs du cluster sur le temps de rétention d’une cellule SDRAM dégradée, en fonction de la position du cluster. (Zone hachurée : zone de déplétion)

## 2. Température

Des études précédentes [67], [66] ont montré que le courant de fuite d’une cellule SDRAM endommagée dépendait exponentiellement de la température.

Adell [66] se base sur l’hypothèse que la génération de porteurs assistée par piège est le mécanisme dominant la génération de porteurs. Il montre alors que le courant de fuite double tous les 11°C à cause de la dépendance en température de la concentration en porteur intrinsèque [102].

ECORCE permettant de définir la température du dispositif, les simulations précédemment effectuées (cluster de 20 nm,  $10^{18}$  états accepteurs/cm<sup>3</sup>) ont été à nouveau effectuées pour différentes températures. La Figure 84 présente à la fois le courant de fuite issu de la simulation ainsi que le courant de fuite calculé avec la méthode proposée par Adell en fonction de la température.

Comme on peut le voir, les résultats de nos simulations sont en bon accord avec la loi proposée par Adell entre 0°C à 85°C, définie comme plage de température d’opération par les normes JEDEC [58]. Cette plage peut être étendue de 85°C à 95°C en tant que plage étendue (*extended range*), où la fréquence de rafraîchissement est doublée.

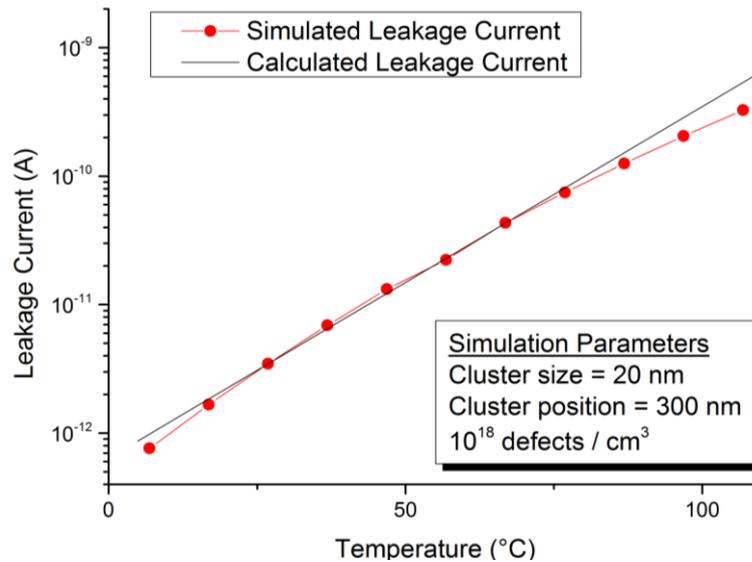


Figure 84. Courant de fuite en fonction de la température.

Cette dépendance en température exponentielle du courant induit par les clusters montre que la température à laquelle la mémoire SDRAM fonctionne est un paramètre opérationnel très important. En effet, un cluster qui peut rendre une cellule dégradée non-fonctionnelle à 30°C peut ne pas avoir d'effet appréciable sur la fonctionnalité d'une cellule à 20°C ! Nous recommandons donc, lorsqu'une SDRAM est testée sous faisceau d'ion lourds, protons ou neutrons, d'effectuer au minimum un test post-irradiation à la température nominale d'utilisation. La dépendance en température simulée permet aussi de confirmer qu'abaisser la température d'opération est une bonne mesure de durcissement contre les bits collés.

### 3. Influence du potentiel du nœud de stockage

L'influence du potentiel du nœud de stockage sur le courant de fuite induit par les clusters a également été étudiée. Pour cela, nous avons placé le cluster au point provoquant le courant de fuite le plus élevé ( $x = 340$  nm) et nous avons fait varier la polarisation inverse de la jonction dans la plage 0,5 V - 3 V et par pas de 0,5 V.

Sur la plage de tension considérée, le courant de fuite et la charge stockée augmentent de façon linéaire avec la polarisation inverse, comme nous pouvons le voir sur la Figure 85. Mais la charge stockée augmente d'un facteur 6 sur cette gamme de valeurs, tandis que le courant de fuite n'augmente que d'un facteur 1,5.

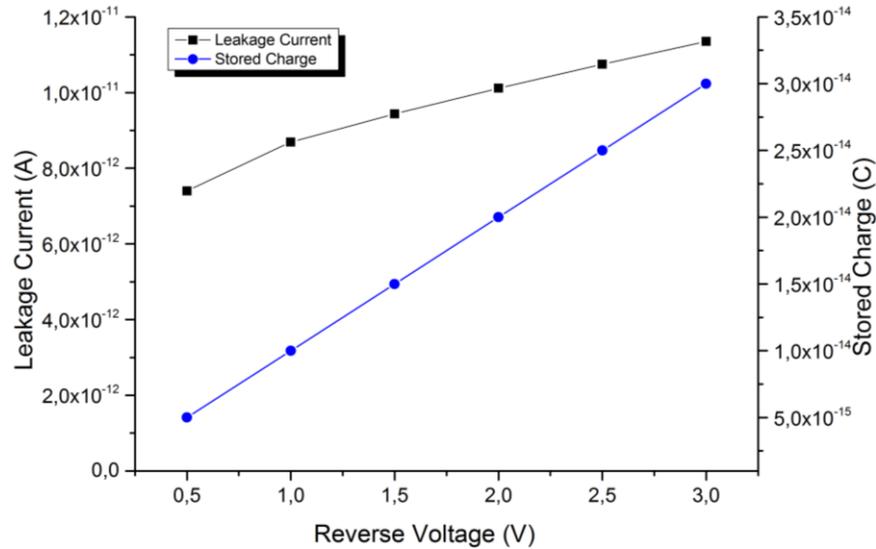


Figure 85. Courant de fuite et charge stockée en fonction de la polarisation inverse.

Cela implique qu'un même cluster aura un impact différent selon la valeur du potentiel au nœud de stockage : plus il est bas, plus le rapport charge stockée/courant de fuite est faible. Il en résulte que le temps de rétention de la cellule dégradée sera également plus faible.

## V. Implications technologiques

### 1. Détermination du volume sensible

Comme nous l'avons vu précédemment, les clusters situés en dehors de la zone de rétention n'ont aucun effet sur le courant de fuite. Il est donc clair que la zone sensible d'une cellule SDRAM est la zone de déplétion dans le transistor d'accès, à l'interface avec le nœud de stockage.

Nous pouvons modéliser la zone N+ comme un pavé de dimensions  $(x_n, y_n, z_n)$  contenu dans une zone dopée P dont les dimensions importent peu. Puisque le dopage de la zone N+ est beaucoup plus élevé que celui de la zone P et que par conséquent, l'intégralité de la zone de déplétion se situe dans la zone P. La zone N+ est donc entourée (sauf dans la direction du haut,  $z_+$ , où le contact du nœud de stockage est présent) d'une zone de déplétion définie uniquement par sa profondeur  $W$ .

La Figure 86 représente le dispositif décrit, avec en rouge la zone N+, en vert la zone P et la zone de déplétion en pointillés bleus. Le volume sensible est donc égal au volume total de la zone pointillée moins le volume de la zone N+.

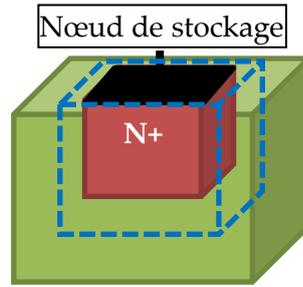


Figure 86. Représentation du volume sensible d'une cellule SDRAM.

Nous obtenons donc pour le volume sensible :

$$V_{\text{sensible}} = (x_n + 2W)(y_n + 2W)(z_n + W) - (x_n y_n z_n) \quad \text{Equation 4.4}$$

Sous une hypothèse de déplétion totale, la profondeur de déplétion  $W$  pour une jonction P-N silicium est donnée par la physique des semiconducteurs [102] :

$$W = \sqrt{\frac{2 \varepsilon_0 \varepsilon_r}{q} \left( \frac{1}{N_A} + \frac{1}{N_D} \right) (\Phi_{bi} - V)} \quad \text{Equation 4.5}$$

où  $\varepsilon_0$  est la permittivité diélectrique du vide,  $\varepsilon_r$  la permittivité relative du silicium,  $q$  la charge élémentaire,  $N_A$  et  $N_D$  les concentrations de dopage respectives en accepteurs et donneurs,  $\Phi_{bi}$  le potentiel intrinsèque de la jonction et  $V$  le potentiel appliqué à la jonction. Comme précédemment, nous supposons que la tension du nœud de stockage est la tension inverse appliquée à la jonction.

Comme nous étudions une jonction P-N+, la zone de déplétion se situe quasiment-totalement dans la zone P. Nous pouvons alors considérer que  $N_D \gg N_A$ , et l'équation 4.5 devient :

$$W = \sqrt{\frac{2 \varepsilon_0 \varepsilon_r}{q} \frac{1}{N_A} (\Phi_{bi} + V_{\text{storage}})} \quad \text{Equation 4.6}$$

Nous pouvons donc conclure que deux paramètres, l'un technologique et l'autre propre à la cellule, sont importants pour déterminer le volume sensible :

- La concentration de dopants dans la zone P ( $N_A$ ) : plus elle est faible, plus le volume sensible est grand. Pour un volume sensible proportionnel à  $W^3$  (c.f. équation 4.4), une dépendance en  $\left(\frac{1}{N_A}\right)^{\frac{3}{2}}$  est donc attendue.
- La tension du nœud de stockage ( $V_{\text{storage}}$ ) : plus elle est élevée, plus le volume sensible est grand. Pour un volume sensible proportionnel à  $W^3$ , une dépendance en  $(V_{\text{storage}})^{\frac{3}{2}}$  est donc attendue.

## 2. Évolution technologique

Au fil des générations de SDRAMs, la tension du nœud de stockage décroît. Cela est mis en évidence par l'évolution de la tension d'alimentation pour chaque type de SDRAM,

décrite dans le Tableau 19. Les mémoires étudiées lors des tests sous faisceau de particules sont des SDRAM de type SDR (Single Data Rate), alimentées en 3,3 V.

Type	Tension d'alimentation (V)
SDR	3,3
DDR	2,6 / 2,5 / 1,8 (LPDDR)
DDR2	1,8 / 1,2 (LPDDR2)
DDR3	1,5 / 1,2 (LPDDR3)
DDR4	1,2 / 1,1 (LPDDR4)

Tableau 19. Tension d'alimentation des SDRAMs selon leur génération.

Cette décroissance de la tension d'alimentation se répercute sur le potentiel du nœud de stockage et résulte, comme le montrent les résultats obtenus, en une baisse de la profondeur de la zone de déplétion (c.f. équation 4.6), mais une augmentation du courant de fuite induit par les clusters comme vu dans la partie IV.c. de ce chapitre.

Un autre axe d'évolution technologique important est la diminution incessante des tailles des cellules. Afin d'atteindre des tailles toujours plus petites, les concentrations de dopage augmentent [92], ce qui entraîne une baisse de la profondeur de la zone de déplétion (car nous restons dans l'hypothèse  $N_A \gg N_D$ ).

A partir de résultats TCAD, nous sommes en mesure de pouvoir affirmer que le volume sensible d'une cellule baisse au fil des générations technologiques. Mais comme l'intégration augmente, le nombre de cellules par unité de surface augmente dans le même temps : nous nous retrouvons avec des cibles plus petites mais plus nombreuses.

Les bits collés sur SDRAM dus aux irradiations par ions lourds, protons et neutrons sont donc supposés rester une menace, également pour les technologies actuelles, ce qui est en accord avec les observations faites de cellules dégradées pour le nœud technologique 90 nm [50] et le nœud technologique 30 nm [49].

### Conclusion

Afin de confirmer le mécanisme retenu comme source de la dégradation dans le chapitre précédent (création d'un cluster dans la zone de déplétion du transistor d'accès), nous avons modélisé ces dégradations et les avons simulées à l'aide d'un outil TCAD.

Pour cela, nous avons utilisé le modèle de cluster de déplacement proposé par Gossick dans le cadre de travaux sur les matériaux semiconducteurs. Ce dernier considère le cluster de dommages comme une zone sphérique définie par un diamètre, une concentration de défauts (états situés dans la bande interdite) et le niveau d'énergie des défauts considérés. Il restait à définir les zones à étudier pour en retirer un modèle de cellule SDRAM facilement implantable dans un logiciel de simulation TCAD. Une jonction P-N+ polarisée en inverse a été choisie, car c'est la zone supposée sensible à la dégradation.

L'outil de modélisation ECORCE a été retenu pour implémenter le modèle de Gossick. Il a été décidé d'effectuer les simulations en 1D, afin de maximiser la convergence des résultats et de minimiser le temps de calcul. Les simulations effectuées ont permis de reproduire une augmentation du courant de fuite de plusieurs ordres de grandeur et d'étudier les mécanismes physiques induisant ce courant.

Les simulations permettent bien d'expliquer pourquoi un seul état logique de la cellule perd l'information et aussi de voir que le courant de fuite induit par les clusters dépend bien de façon exponentielle de la température.

L'étude par simulation TCAD permet de confirmer que la zone de déplétion est le volume sensible dans lequel la création de cluster de déplacement provoque un courant de fuite de la cellule. C'est le paramètre technologique principal déterminant la sensibilité d'une cellule au phénomène de bit collé. Les paramètres technologiques influençant cette sensibilité sont le dopage du substrat du transistor d'accès ainsi que la tension du nœud de stockage.

### Conclusion Générale

Les mémoires de type SRAM et DRAM sont des composants ayant un héritage d'une cinquantaine d'années de recherche, d'évolution et d'utilisation. Elles sont donc devenues des composants indispensables dans tous les systèmes électroniques demandant du traitement ou du stockage de l'information. À ce titre, une utilisation importante en est faite dans les satellites où elles sont soumises à des particules d'origine solaire ou cosmique.

Ces particules peuvent provoquer des dysfonctionnements connus sous le nom de bits collés, qui rendent une cellule mémoire non-fonctionnelle. À partir d'observations effectuées en vol sur des satellites du CNES, nous avons pu formuler une définition des bits collés : ce sont des erreurs localisées (ce sont les mêmes bits des mêmes mots qui sont concernés), récurrentes (elles affectent plusieurs lectures, mais pas forcément consécutives) et persistantes (un redémarrage ou une réinitialisation du composant n'a aucun effet sur l'occurrence des erreurs).

Une revue détaillée de la littérature scientifique a permis de répertorier et d'étudier les causes envisageables pour expliquer les bits collés.

Pour les SRAM, nos campagnes de tests allient des irradiations sous faisceaux de neutrons, protons et rayonnements gamma réalisées sur des références de composants ayant des retours d'expériences en vol sur les satellites du CNES. L'objectif de reproduire les bits collés au niveau du sol est pleinement atteint, puisque nous avons observés des cellules ayant des erreurs répondant aux critères précédemment définis pour les bits collés (localisées/récurrentes/persistantes). Ces erreurs ont été détectées sur les deux types de mémoires, mais dans des conditions différentes. Les résultats obtenus sont en faveur d'un phénomène de microdose ionisante. Les mécanismes physiques de ce phénomène indiquent qu'il ne constitue pas une menace pour les technologies les plus récentes, la microdose ionisante étant de moins en moins prédominante au fil des évolutions technologiques.

Pour les DRAM, l'effet prédominant des neutrons et protons oriente le mécanisme physique vers un effet de déplacement des atomes. Les données recueillies lors des tests protons nous ont poussés à émettre l'hypothèse que le dommage est créé par une interaction unique entre une particule incidente et le matériau du composant (effet singulier) créant une zone fortement endommagée, appelée cluster de déplacements. Si ce cluster se situe dans la zone de déplétion il engendre un courant de fuite pouvant entraîner la perte de l'information de la cellule. Sur les deux types de mémoires étudiées, il est observé que le nombre de bits collés ainsi que la fréquence d'apparition de chaque bit collé dépend fortement de la température. Cela apporte des informations sur les méthodes de test à employer, car il apparaît nécessaire de tester les mémoires à la température où elles seront utilisées. Cela permet aussi de mettre en évidence que l'abaissement de la température du composant est une bonne méthode de mitigation des bits collés.

L'impact des bits collés n'est pas négligeable sur les codes de correction employés sur satellites : pour les codes SECDED, qui font partie des plus utilisés sur satellites, cela a pour effet d'annuler la protection fournie par ces codes sur le mot entier, qui pourra alors subir des erreurs non-corrigeables en cas de SEU.

Nous avons ensuite simulé, pour la première fois, le phénomène de bit collé dans une SDRAM en utilisant l'outil TCAD ECORCE. Nous avons alors confirmé que la création d'un cluster de défauts dans une cellule SDRAM peut réellement causer son incapacité à retenir l'information pendant un temps supérieur aux 64 ms préconisée par le JEDEC (32 ms lors des opérations au-dessus de 80°C).

Le modèle qui a été retenu et implémenté dans ECORCE est celui de Gossick. Celui-ci considère la zone du cluster comme un matériau ayant des propriétés différentes du reste du milieu cristallin. Le cluster est une zone sphérique comprenant une concentration fixe de pièges à électrons situés dans la bande interdite du silicium, proche du mid-gap. Le mécanisme de génération de charges à l'origine du courant de fuite a pu être observé et montre la prédominance de la génération de porteurs à partir de pièges neutres. Ce mécanisme explique également pourquoi un seul état de la cellule (l'état chargé pour lequel la polarisation inverse est maximale) perd son information quand une cellule est dégradée.

Ces travaux de thèse ont donc permis d'avancer et de confirmer, à partir d'observations en vol et sous faisceau de particules, un mécanisme de formation des bits collés sur mémoires SRAM et DRAM. L'étude des bits collés pourrait faire l'objet de nouveaux travaux concernant des technologies plus avancées telles que la SDRAM DDR3 qui seront vraisemblablement utilisées dans le domaine du spatial. Par ailleurs, une étude sur les aspects temporels pourrait permettre de mieux comprendre les phénomènes de commutation qui rendent intermittents les collages de bits. Enfin, nos travaux ayant permis une première modélisation du phénomène de bits collés, ils pourraient servir de base au développement d'un outil de prédiction permettant de déterminer la sensibilité d'un système à ce type de dysfonctionnements.

## Communications Scientifiques

### I. Dans le cadre de cette thèse

#### 1. Revues internationales

**A. Rodriguez**, F. Wrobel, A. Samaras, F. Bezerra, B. Vandeveld, R. Ecoffet, A. Touboul, N. Chatry, L. Dilillo, F. Saigné, "Proton-Induced SDRAM Cell Degradation", IEEE Transactions on Nuclear Sciences. DOI : [10.1109/TNS.2016.2551733](https://doi.org/10.1109/TNS.2016.2551733)

**A. Rodriguez**, F. Wrobel, A. Michez, A. Touboul, F. Bezerra, R. Ecoffet, E. Lorfèvre, F. Saigné, "TCAD Simulations of Leakage Currents Induced by SDRAM Single-Event Cell Degradation", soumis à IEEE Transactions on Nuclear Sciences.

#### 2. Conférences internationales avec comité de lecture

**A. Rodriguez**, F. Wrobel, A. Michez, A. Touboul, F. Bezerra, R. Ecoffet, E. Lorfèvre, F. Saigné, "TCAD Simulations of Leakage Currents Induced by SDRAM Single-Event Cell Degradation", Radiation and Its Effects on Components and Systems (RADECS), 2016 16th European Conference on, Bremen, 2016.

**A. Rodriguez**, F. Wrobel, A. Samaras, F. Bezerra, B. Vandeveld, R. Ecoffet, A. Touboul, N. Chatry, L. Dilillo, F. Saigné, "Proton-Induced SDRAM Cell Degradation", Radiation and Its Effects on Components and Systems (RADECS), 2015, Moscow, 2015, pp. 1-4. DOI:[10.1109/RADECS.2015.7365650](https://doi.org/10.1109/RADECS.2015.7365650).

A. Samaras, B. Vandeveld, N. Sukhaseum, N. Chatry, **A. Rodriguez**, F. Wrobel, F. Bezerra, E. Lorfèvre, R. Ecoffet, "Experimental characterization and In-flight observation of Weakened Cell in SDRAM", Radiation and Its Effects on Components and Systems (RADECS), 2015 15th European Conference on, Moscow, 2015, pp. 1-4. DOI: [10.1109/RADECS.2015.7365611](https://doi.org/10.1109/RADECS.2015.7365611).

#### 3. Conférences nationales

**A. Rodriguez**, F. Wrobel, F. Saigné, F. Bezerra, "Dégradation singulière de cellules SDRAM sous contrainte radiative", National Micro-nanoelectronics Doctoral Network Days (JNRDM), Toulouse, 2016.

## II. Dans le cadre des activités du Centre Spatial Universitaire Montpellier-Nîmes

### 1. Conférences internationales avec comité de lecture

**A. Rodriguez**, M. Rousselet, A. Bosser, L. Dusseau, A. Gaboriaud, V. Mayorova, L. Agius, M. Bernard, F. Wrobel, " Payload Test for the Friends Project : Uses and Benefits for Student Space Projects", Small Satellites Systems and Services Symposium 2014, Porto Petro, 2014.

M. Rousselet, J. Boch, L. Dusseau, F. Saigné, M. Bernard, **A. Rodriguez**, P-F. Peyrard, "Radiation Hardness Assurance for Nanosatellites", Small Satellites Systems and Services Symposium 2014, Porto Petro, 2014.

M. Bernard, L. Dusseau, V. Muravyev, M. Dudeck, A. Gaboriaud, M. Rousselet, **A. Rodriguez**, V. Gupta, J. Boch, "Orbital Parameters Drift of Seven Vega Maiden Flight Cubesats", Small Satellites Systems and Services Symposium 2014, Porto Petro, 2014.

## Références

- [1] M. Capderou, *Satellites de Kepler au GPS*. Paris [u.a.: Springer-Verlag France, 2012.
- [2] E. G. Stassinopoulos and J. P. Raymond, "The space radiation environment for electronics," *Proc. IEEE*, vol. 76, no. 11, pp. 1423–1442, Nov. 1988.
- [3] J. L. Barth, "The Radiation Environment."
- [4] L. W. Townsend, E. N. Zapp, D. L. Stephens, and J. L. Hoff, "Carrington flare of 1859 as a prototypical worst-case solar energetic particle event," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 2307–2309, Dec. 2003.
- [5] M. M. Shapiro, J. P. Wefel, and North Atlantic Treaty Organization, Eds., *Genesis and propagation of cosmic rays*. Dordrecht ; Boston : Norwell, MA, U.S.A: D. Reidel Pub. Co. ; Sold and distributed in the U.S.A. and Canada by Kluwer Academic Publishers, 1988.
- [6] Sé. Bourdarie and M. Xapsos, "The Near-Earth Space Radiation Environment," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 4, pp. 1810–1832, Aug. 2008.
- [7] S. P. Swordy, "The Energy Spectra and Anisotropies of Cosmic Rays," in *The Astrophysics of Galactic Cosmic Rays: Proceedings of two ISSI Workshops, 18–22 October 1999 and 15–19 May 2000, Bern, Switzerland*, R. Diehl, E. Parizot, R. Kallenbach, and R. Von Steiger, Eds. Dordrecht: Springer Netherlands, 2001, pp. 85–94.
- [8] A. Claret, M. Brugger, N. Combier, A. Ferrari, and P. Laurent, "FLUKA Calculation of the Neutron Albedo Encountered at Low Earth Orbits," *IEEE Trans. Nucl. Sci.*, vol. 61, no. 6, pp. 3363–3370, Dec. 2014.
- [9] arnaud Claret *et al.*, "Improvements of FLUKA Calculation of the Neutron Albedo," *IEEE Trans. Nucl. Sci.*, pp. 1–1, 2016.
- [10] G. W. Prölss, *Physics of the Earth's Space Environment: an Introduction*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2004.
- [11] G. P. Ginet, D. Madden, B. K. Dichter, and D. H. Brautigam, "Energetic Proton Maps for the South Atlantic Anomaly," 2007, pp. 1–8.
- [12] W. H. Campbell, *Earth magnetism: a guided tour through magnetic fields*. San Diego: Harcourt/Academic Press, 2001.
- [13] J. L. Barth, C. S. Dyer, and E. G. Stassinopoulos, "Space, atmospheric, and terrestrial radiation environments," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 466–482, Jun. 2003.
- [14] D. M. Sawyer and J. I. Vette, "AP-8 trapped proton environment for solar maximum and solar minimum," NASA Goddard Space Flight Center, Dec. 1976.
- [15] J. I. Vette, "The AE-8 Trapped Electron Model Environment," NASA, Nov. 1991.
- [16] Royal Observatory of Belgium, "Sunspot Index and Long-term Solar Observations." [Online]. Available: <http://www.sidc.be/silso/>. [Accessed: 24-May-2016].
- [17] National Ocean and Atmospheric Administration (NOAA), "Extreme Space Weather Events." [Online]. Available: [http://sxi.ngdc.noaa.gov/sxi\\_greatest.html](http://sxi.ngdc.noaa.gov/sxi_greatest.html). [Accessed: 26-May-2016].
- [18] E. J. Daly, J. Lemaire, D. Heynderickx, and D. J. Rodgers, "Problems with models of the radiation belts," *IEEE Trans. Nucl. Sci.*, vol. 43, no. 2, pp. 403–415, Apr. 1996.
- [19] W. N. Hess, H. W. Patterson, R. Wallace, and E. L. Chupp, "Cosmic-Ray Neutron Energy Spectrum," *Phys. Rev.*, vol. 116, no. 2, pp. 445–457, Oct. 1959.
- [20] F. Lei, S. Clucas, C. Dyer, and P. Truscott, "An atmospheric radiation model based on response matrices generated by detailed Monte Carlo Simulations of cosmic ray interactions," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3442–3451, Dec. 2004.

- [21] L. L. Foro, "Etude de l'effet de l'environnement radiatif terrestre sur la fiabilité des composants de puissance des Véhicules Electriques," Université de Montpellier.
- [22] J. E. Lohkamp and J. M. McKenzie, "Measurement of the Energy Dependence of Neutron Damage in Silicon Devices," *IEEE Trans. Nucl. Sci.*, vol. 22, no. 6, pp. 2319–2325, 1975.
- [23] M. Gedion, F. Wrobel, F. Saigne, R. D. Schrimpf, and J. Mekki, "Monte Carlo Simulations to Evaluate the Contribution of Si Bulk, Interconnects, and Packaging to Alpha-Soft Error Rates in Advanced Technologies," *IEEE Trans. Nucl. Sci.*, Dec. 2010.
- [24] F. Wrobel, "Contraintes radiatives que subit l'électronique au sol et en altitude - Notions fondamentales," presented at the RADSOL 2010, Paris, France.
- [25] "Stopping power (particle radiation)," *Wikipedia*. 24-Oct-2016.
- [26] V. J. Linnenbom, "Range-energy relations for protons and electrons in Al, Si, and SiO<sub>2</sub>," Unclassified 5828.
- [27] T. R. Oldham and F. B. McLean, "Total ionizing dose effects in MOS oxides and devices," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 483–499, Jun. 2003.
- [28] J. F. Ziegler, M. D. Ziegler, and J. P. Biersack, "SRIM – The stopping and range of ions in matter (2010)," *Nucl. Instrum. Methods Phys. Res. Sect. B Beam Interact. Mater. At.*, vol. 268, no. 11–12, pp. 1818–1823, Jun. 2010.
- [29] J. Hong *et al.*, "Exploring atomic defects in molybdenum disulphide monolayers," *Nat. Commun.*, vol. 6, p. 6293, Feb. 2015.
- [30] C. Poivey and G. R. Hopkinson, "Displacement Damage Mechanism and Effects."
- [31] A. Johnston, presented at the NSREC 2000, Short Course, Reno, Nevada, 2000.
- [32] M. P. King *et al.*, "Electron-Induced Single-Event Upsets in Static Random Access Memory," *IEEE Trans. Nucl. Sci.*, vol. 60, no. 6, pp. 4122–4129, Dec. 2013.
- [33] D. Pantel *et al.*, "A silicon diode based detector for radiation measurement in high altitude natural environment," 2012, pp. 1–6.
- [34] A. Rodriguez, "Conception d'un micro banc de test SEE embarqué sur ballon," CNES, Rapport de stage.
- [35] J. L. Autran *et al.*, "Soft-errors induced by terrestrial neutrons and natural alpha-particle emitters in advanced memory circuits at ground level," *Microelectron. Reliab.*, vol. 50, no. 9–11, pp. 1822–1831, Sep. 2010.
- [36] European Cooperation for Space Standardization, "ECSS-Q-ST-60-15C : Space product assurance - Radiation hardness assurance - EEE components," Oct. 2012.
- [37] Department of Defense, "MIL-STD-883E, Test Method Standard for Microcircuits," Dec. 1996.
- [38] T. R. Oldham, R. Ladbury, H. S. Kim, M. Friendlich, and M. Berg, "SEE Test Report for the MT29F2G08B Micron NAND Flash Memory," Jan. 2006.
- [39] A. Samaras *et al.*, "Experimental characterization and In-flight observation of Weakened Cell in SDRAM," presented at the RADECS 2015, Moscow.
- [40] A. Samaras, F. Bezerra, E. Lorfevre, and R. Ecoffet, "CARMEN-2: In flight observation of non destructive single event phenomena on memories," 2011, pp. 839–848.
- [41] R. Velazco, P. Cheynet, J. D. Muller, R. Ecoffet, and S. Buchner, "Artificial neural network robustness for on-board satellite image processing: results of upset simulations and ground tests," *IEEE Trans. Nucl. Sci.*, vol. 44, no. 6, pp. 2337–2344, Dec. 1997.
- [42] R. Ladbury, "Update of SSR Guidelines: What Twenty Years of Solid-State Recorders (SSR) Tells Us about the Next Twenty."
- [43] M. Kornberg, G. Buenadicha, J. Closa, and M. Canela, "SMOS Payload performance : Impact of anomalies and operational strategies," presented at the SpaceOps 2012.

- [44] C. Dufour, P. Garnier, T. Carriere, J. Beaucour, R. Ecoffet, and M. Labrunee, "Heavy ion induced single hard errors on submicronic memories (for space application)," *IEEE Trans. Nucl. Sci.*, vol. 39, no. 6, pp. 1693–1697, Dec. 1992.
- [45] A. Haran, J. Barak, D. David, E. Keren, N. Refaeli, and S. Rapaport, "Single Event Hard Errors in SRAM Under Heavy Ion Irradiation," *IEEE Trans. Nucl. Sci.*, vol. 61, no. 5, pp. 2702–2710, Oct. 2014.
- [46] G. M. Swift, D. J. Padgett, and A. H. Johnston, "A new class of single event hard errors [DRAM cells]," *IEEE Trans. Nucl. Sci.*, vol. 41, no. 6, pp. 2043–2048, Dec. 1994.
- [47] M. V. O'Bryan *et al.*, "Recent radiation damage and single event effect results for microelectronics," pp. 1–14.
- [48] R. Harboe-Sørensen, F.-X. Guerre, and G. Lewis, "Heavy-Ion SEE Test Concept and Results for DDR-II Memories," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2125–2130, Dec. 2007.
- [49] C. Lim, H. S. Jeong, G. Bak, S. Baeg, S.-J. Wen, and R. Wong, "Stuck Bits Study in DDR3 SDRAMs Using 45-MeV Proton Beam," *IEEE Trans. Nucl. Sci.*, vol. 62, no. 2, pp. 520–526, Apr. 2015.
- [50] H. Shindou, S. Kuboyama, N. Ikeda, Y. Satoh, T. Hirao, and T. Tamura, "Evaluation of the Proton Induced Bulk Damage in SDRAM Utilizing 90 nm Process Technology," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2233–2237, Dec. 2007.
- [51] J.-P. David, F. Bezerra, E. Lorfvre, T. Nuns, and C. Inguibert, "Light Particle-Induced Single Event Degradation in SDRAMs," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3544–3549, Dec. 2006.
- [52] A. M. Chugg, A. J. Burnell, P. H. Duncan, S. Parker, and J. Ward, "The Random Telegraph Signal Behavior of Intermittently Stuck Bits in SDRAMs," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 6, pp. 3057–3064, Dec. 2009.
- [53] J. Segura and C. F. Hawkins, *CMOS electronics: how it works, how it fails*. New York: Wiley [u.a.], 2004.
- [54] A. Bacchini, M. Rovatti, G. Furano, and M. Ottavi, "Characterization of data retention faults in DRAM devices," presented at the IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT) 2014, 2014, pp. 9–14.
- [55] T. R. Oldham and J. M. McGarrity, "Ionization of SiO<sub>2</sub> by Heavy Charged Particles," *IEEE Trans. Nucl. Sci.*, vol. 28, no. 6, pp. 3975–3980, 1981.
- [56] T. R. Oldham, K. W. Bennett, J. Beaucour, T. Carriere, C. Polvey, and P. Garnier, "Total dose failures in advanced electronics from single ions," *IEEE Trans. Nucl. Sci.*, vol. 40, no. 6, pp. 1820–1830, Dec. 1993.
- [57] J. P. David, J. G. Loquet, and S. Duzellier, "Heavy ions induced latent stuck bits revealed by total dose irradiation in 4T cells SRAMs," pp. 80–86.
- [58] *JEDEC Standard - Double Data Rate (DDR) SDRAM*, vol. JESD79F. JEDEC, 2008.
- [59] S. Duzellier, D. Falguere, and R. Ecoffet, "Protons and heavy ions induced stuck bits on large capacity RAMs," presented at the RADECS 1993, pp. 468–472.
- [60] L. D. Edmonds, S. M. Guertin, L. Z. Scheick, D. Nguyen, and G. M. Swift, "Ion-induced stuck bits in 1T/1C SDRAM cells," *IEEE Trans. Nucl. Sci.*, vol. 48, no. 6, pp. 1925–1930, Dec. 2001.
- [61] L. Z. Scheick, S. M. Guertin, and G. M. Swift, "Analysis of radiation effects on individual DRAM cells," *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2534–2538, Dec. 2000.

- [62] H. Shindou, S. Kuboyama, N. Ikeda, T. Hirao, and S. Matsuda, "Bulk damage caused by single protons in SDRAMs," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 1839–1845, Dec. 2003.
- [63] S. M. Sze, *Physics of semiconductor devices*, 2nd ed. New York: Wiley, 1981.
- [64] C. Poivey, T. Carriere, J. Beaucour, and T. R. Oldham, "Characterization of single hard errors (SHE) in 1 M-bit SRAMs from single ion," *IEEE Trans. Nucl. Sci.*, vol. 41, no. 6, pp. 2235–2239, Dec. 1994.
- [65] L. D. Edmonds and L. Z. Scheick, "Physical Mechanisms of Ion-Induced Stuck Bits in the Hyundai 16M\* 4 SDRAM," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 3265–3271, Dec. 2008.
- [66] P. C. Adell, L. Edmonds, R. McPeak, L. Scheick, and S. S. McClure, "An approach to single event testing of SDRAMs," 2009, pp. 155–159.
- [67] A. M. Chugg, J. McIntosh, A. J. Burnell, P. H. Duncan, and J. Ward, "Probing the Nature of Intermittently Stuck Bits in Dynamic RAM Cells," *IEEE Trans. Nucl. Sci.*, Dec. 2010.
- [68] S. Kuboyama, H. Shindou, T. Hirao, and S. Matsuda, "Consistency of bulk damage factor and NIEL for electrons, protons, and heavy ions in Si CCDs," *IEEE Trans. Nucl. Sci.*, vol. 49, no. 6, pp. 2684–2689, Dec. 2002.
- [69] J. R. Srour and J. W. Palko, "A Framework for Understanding Displacement Damage Mechanisms in Irradiated Silicon Devices," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3610–3620, Dec. 2006.
- [70] B. R. Gossick, "Disordered Regions in Semiconductors Bombarded by Fast Neutrons," *J. Appl. Phys.*, vol. 30, no. 8, p. 1214, 1959.
- [71] E. Žašinas, J. Vaitkus, and E. Gaubas, "Modeling Vacancy - Interstitial Clusters and Their Effect on Carrier Transport in Silicon," presented at the 24th RD50 Workshop, Bucharest.
- [72] J. W. Palko and J. R. Srour, "Amorphous Inclusions in Irradiated Silicon and Their Effects on Material and Device Properties," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 2992–2999, Dec. 2008.
- [73] S. E. Donnelly, R. C. Birtcher, V. M. Vishnyakov, and G. Carter, "Annealing of isolated amorphous zones in silicon," *Appl. Phys. Lett.*, vol. 82, no. 12, p. 1860, 2003.
- [74] R. Hull and Institution of Electrical Engineers, Eds., *Properties of crystalline silicon*. London: INSPEC, 1999.
- [75] W.-K. Chen, *The electrical engineering handbook*. Boston: Elsevier Academic Press, 2005.
- [76] F. Anceau and Y. Bonnassieux, "Conception des circuits VLSI Du composant au système." Dunod, |||||/.
- [77] INTEGRATED CIRCUIT ENGINEERING CORPORATION, "Memory 1997."
- [78] Z. Hu *et al.*, "Managing leakage for transient data: decay and quasi-static 4T memory cells," 2002, p. 52.
- [79] L. Chang *et al.*, "An 8T-SRAM for Variability Tolerance and Low-Voltage Operation in High-Performance Caches," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 956–963, Apr. 2008.
- [80] R. Kumar and G. Hinton, "A family of 45nm IA processors," 2009, pp. 58–59.
- [81] A. A. Abou-Auf, "Total-Dose Worst-Case Test Vectors for Leakage Current Failure Induced in Sequential Circuits of Cell-Based ASICs," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 4, pp. 2189–2197, Aug. 2009.
- [82] A. Bosio, Ed., *Advanced test methods for SRAMs: effective solutions for dynamic fault detection in nanoscaled technologies*. New York: Springer, 2010.
- [83] G. Yeap, *Practical Low Power Digital VLSI Design*. Boston, MA: Springer US, 1998.

- [84] A. Pavlov and M. Sachdev, *CMOS SRAM circuit design and parametric test in nano-scaled technologies: process-aware SRAM design and test*. Dordrecht: Springer, 2008.
- [85] T. R. Oldham, "Switching Oxide Traps," NASA Technical Report, 2003.
- [86] C. Soldat, "VRT: The test escape you can't escape from," Silicon Valley Test Workshop, 2012.
- [87] INTEGRATED CIRCUIT ENGINEERING CORPORATION, "Samsung KM684000ALG-7 4 Meg. SRAM - Construction Analysis."
- [88] Y. V. Bogatyrev, S. B. Lastovskiy, F. P. Korshunov, and V. I. Kulgachev, "РАДИАЦИОННЫЕ ЭФФЕКТЫ В ЭЛЕМЕНТАХ СУБМИКРОННЫХ КМОП ИНТЕГРАЛЬНЫХ СХЕМ (Radiation effects in elements of submicron CMOS integrated circuits with various kinds of isolation)," presented at the KryMiKo 2013 CriMiCo: 2013 23rd International Crimean Conference Microwave & Telecommunication Technology, Sevastopol, Crimea, Ukraine, 2013.
- [89] D. S. Page, *A practical introduction to computer architecture*. Dordrecht; New York: Springer, 2009.
- [90] N. H. E. Weste and D. M. Harris, *CMOS VLSI design: a circuits and systems perspective*, 4th ed. Boston: Addison Wesley, 2011.
- [91] J. Ogawa, *DRAM design overview*. Stanford University Computer Science Department.
- [92] B. Keeth, Ed., *DRAM circuit design: fundamentals and high-speed topics*. Piscataway, N. J. : Hoboken, N. J: IEEE ; Wiley-Interscience, 2008.
- [93] K. Itoh, Y. Nakagome, S. Kimura, and T. Watanabe, "Limitations and challenges of multigigabit DRAM chip design," *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 624–634, May 1997.
- [94] M. Rumler, *Dynamic Random Access Memories*. .
- [95] M. W. Ruprecht, P. P. Timothy, R. S. Kontra, and W. S. Berry, "Physical Failure Analysis on Vertical Dielectric Films," presented at the ISTFA 2001: Proceedings of the 27th International Symposium for Testing and Failure Analysis (ASM International), 2001, p. 331–341 (11).
- [96] R. Diffenderfer, *Electronic devices: systems and applications*. Clifton Park, N.Y: Thomson/Delmar Learning, 2005.
- [97] M. Lundstrom, *MOSFET Leakage*, Purdue University, Department of Electrical and Computer Engineering. West Lafayette, IN, USA, 2008.
- [98] S.-H. Lo, D. A. Buchanan, and Y. Taur, "Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultrathin oxides," *IBM J. Res. Dev.*, vol. 43, no. 3, pp. 327–337, May 1999.
- [99] S. Banerjee, J. Coleman, B. Richardson, and A. Shah, "A Band-to-Band Tunneling Effect in the Trench Transistor Cell," 1987.
- [100] J. Liu, B. Jaiyen, Y. Kim, C. Wilkerson, and O. Mutlu, "An Experimental Study of Data Retention Behavior in Modern DRAM Devices : Implication for Retention Time Profiling Mechanisms," presented at the ISCA 2013, Tel Aviv, Israel, 2013.
- [101] T. Hamamoto, S. Sugiura, and S. Sawada, "On the retention time distribution of dynamic random access memory (DRAM)," *IEEE Trans. Electron Devices*, vol. 45, no. 6, pp. 1300–1309, Jun. 1998.
- [102] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*. Hoboken, N.J.: Wiley-Interscience, 2007.
- [103] I. Bhati, M.-T. Chang, Z. Chishti, S.-L. Lu, and B. Jacob, "DRAM Refresh Mechanisms, Penalties, and Trade-Offs," *IEEE Trans. Comput.*, vol. 65, no. 1, pp. 108–121, Jan. 2016.

- [104] *JESD79-2B : DDR2 SDRAM SPECIFICATION*. JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, 2005.
- [105] J. Moreira and H. Werkmann, *An engineer's guide to automated testing of high-speed interfaces*. Boston: Artech House, 2010.
- [106] A. K. Sharma, *Advanced semiconductor memories: architectures, designs, and applications*. Piscataway, NJ : Hoboken, NJ: IEEE Press ; Wiley-Interscience, 2003.
- [107] R. E. Lyons and W. Vanderkulk, "The Use of Triple-Modular Redundancy to Improve Computer Reliability," *IBM J.*, Apr. 1962.
- [108] E. Bauer, *Design for reliability: information and computer-based systems*. Piscataway, NJ; Hoboken, N.J.: IEEE Press ; John Wiley & Sons, Inc., 2010.
- [109] Y. C. Yeh, "Triple-triple redundant 777 primary flight computer," 1996, vol. 1, pp. 293–307.
- [110] C. Servin and J.-P. Arnaud, *Réseaux et télécoms*. Paris: Dunod, 2013.
- [111] V. Pless and Wiley InterScience (Online service), *Introduction to the theory of error-correcting codes*. New York: Wiley, 1998.
- [112] E. Fujiwara and John Wiley & Sons, *Code design for dependable systems: theory and practical applications*. Hoboken, N.J.: Wiley-Interscience, 2006.
- [113] W. Gao and S. Simmons, "A study on the VLSI implementation of ECC for embedded DRAM," 2003, vol. 1, pp. 203–206.
- [114] S. Buchner *et al.*, "Investigation of single-ion multiple-bit upsets in memories on board a space experiment," *IEEE Trans. Nucl. Sci.*, vol. 47, no. 3, pp. 705–711, Jun. 2000.
- [115] G. M. Swift and S. M. Guertin, "In-flight observations of multiple-bit upset in DRAMs," *IEEE Trans. Nucl. Sci.*, vol. 47, no. 6, pp. 2386–2391, Dec. 2000.
- [116] A. J. van de Goor and I. Schanstra, "Address and data scrambling: causes and impact on memory tests," 2002, pp. 128–136.
- [117] E. R. van der Graaf, R. W. Ostendorf, M.-J. van Goethem, H. H. Kiewiet, M. A. Hofstee, and S. Brandenburg, "AGORFIRM, the AGOR facility for irradiations of materials," 2009, pp. 451–454.
- [118] "Neutron and gamma irradiations in BR1 / Irradiations / SCK•CEN at your service / Science Platform - SCK•CEN." [Online]. Available: [http://science.sckcen.be/en/Services/Irradiations/Neutron\\_gamma\\_BR1](http://science.sckcen.be/en/Services/Irradiations/Neutron_gamma_BR1). [Accessed: 10-Oct-2016].
- [119] L. Scheick, "Microdose analysis of ion strikes on SRAM cells," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 2399–2406, Dec. 2003.
- [120] J. L. Barth, J. W. Adolphsen, and G. B. Gee, "Single event effects on commercial SRAMs and power MOSFETs: final results of the CRUX flight experiment on APEX," pp. 1–10.
- [121] Insoo Jun *et al.*, "Proton nonionizing energy loss (niel) for device applications," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 1924–1928, Dec. 2003.
- [122] J. A. Mandelman *et al.*, "Challenges and future directions for the scaling of dynamic random-access memory (DRAM)," *IBM J. Res. Dev.*, vol. 46, no. 2.3, pp. 187–212, Mar. 2002.
- [123] S. E. Donnelly, R. C. Birtcher, V. M. Vishnyakov, P. D. Edmondson, and G. Carter, "Anomalous annealing behavior of isolated amorphous zones in silicon," *Nucl. Instrum. Methods Phys. Res. Sect. B Beam Interact. Mater. At.*, vol. 242, no. 1–2, pp. 595–597, Jan. 2006.
- [124] J. Yu and K. Aflatooni, "Leakage Current in DRAM Memory Cell," 2006, pp. 191–194.

- [125] B. L. Gregory, "Minority Carrier Recombination in Neutron Irradiated Silicon," *IEEE Trans. Nucl. Sci.*, vol. 16, no. 6, pp. 53–62, 1969.
- [126] "E.CO.R.C.E." [Online]. Available: <http://ecorce2d.free.fr/index.php>. [Accessed: 14-Apr-2016].
- [127] A. Michez, J. Boch, A. Touboul, and F. Saigné, "Dynamic mesh for TCAD modeling with ECORCE," *J. Phys. Conf. Ser.*, vol. 738, p. 12128, Aug. 2016.
- [128] O. L. Curtis and J. R. Srour, "The multiple-trapping model and hole transport in SiO<sub>2</sub>," *J. Appl. Phys.*, vol. 48, no. 9, p. 3819, 1977.
- [129] A. Michez, S. Dhombres, and J. Boch, "ECORCE: A TCAD Tool for Total Ionizing Dose and Single Event Effect Modeling," *IEEE Trans. Nucl. Sci.*, vol. 62, no. 4, pp. 1516–1527, Aug. 2015.

## Table des figures

Figure 1. (a) Abondance relative des différents éléments composant les rayons cosmiques [6] (b) Flux différentiel en fonction de l'énergie [7] .....	13
Figure 2. Flux de neutrons albedo pour une orbite basse (400 km), pour différentes inclinaisons (rouge, vert, bleu). [9].....	14
Figure 3. Représentation du champ magnétique terrestre qui présente une dissymétrie à cause du vent solaire. (Source : NASA).....	14
Figure 4. Flux instantané de protons d'énergie supérieure à 38 MeV entre 400 et 450 km [11] .....	16
Figure 5. Flux instantanés de protons > 10 MeV et d'électrons $E > 1$ MeV piégés selon les modèles AP8 et AE8 [3]. L'abscisse est donnée en nombre de rayons terrestres. ....	17
Figure 6. Nombre de Wolf au cours de ces 60 dernières années. [16].....	17
Figure 7. Comparaison du nombre de Wolf avec le flux de rayons cosmiques. [17].....	18
Figure 8. Flux de particules en fonction de l'altitude. Ces particules sont créées lors de l'interaction des rayons cosmiques avec l'atmosphère. [20] .....	19
Figure 9. Pouvoir d'arrêt d'une particule alpha dans l'air. Le pic de Bragg est visible en fin de parcours. [25].....	22
Figure 10. Fraction non-recombinée en fonction du champ électrique pour différentes particules [27].....	24
Figure 11. Observation par microscopie électronique à balayage et effet tunnel (STEM) de défauts interstitiels (image a) et d'emplacements vacants (image b) dans une structure de sulfure de molybdenum (échelle : 1 nm) [29]. Les zones claires correspondent à la présence d'atomes.....	25
Figure 12. Cascade de déplacements dans du silicium. PKA : Si, énergie initiale de 50 keV [31] .....	25
Figure 13. Effet destructif d'un SEL sur une mémoire SRAM [34] (Image : F. Bezerra, CNES).....	27
Figure 14. Nombre d'erreurs en fonction de la date sur la mémoire du senseur stellaire de PICARD. En rose, nombre total d'erreurs non-récurrentes, en gris : équipement éteint. Légende : adresses. [39] .....	29
Figure 15. Localisation de la première occurrence des erreurs pour chaque cellule. Courbe isoflux des protons $E > 50$ MeV en rouge. [39] .....	30
Figure 16. Nombre d'erreurs en fonction de la date sur deux mémoires de l'expérience CARMEN-2, embarquée sur JASON-2. En rose, nombre total d'erreurs non-récurrentes, en gris : équipement éteint. Légende : adresses [39].....	31
Figure 17. Localisation de la première erreur pour les cellules collées. Courbe isoflux des protons $E > 20$ MeV en rouge. [39] .....	32
Figure 18. Décalage de la tension de bande plate ( $\Delta V_{FB}$ ) due aux charges piégées après le passage d'un ion lourd en fonction de la position. [55] .....	35

Figure 19. Guérison de bits collés pour des mémoires irradiées au Xenon (différentes énergies). (a) A température ambiante. (b) Sous rayonnement UV (plafonné à 100 bits collés) [44] .....	35
Figure 20. Polarisation d'une cellule SRAM 4T pendant le stockage de l'information [56] .....	36
Figure 21. Nombre de bits collés en fonction de la fluence de protons de 200 MeV sur une SDRAM. [60].....	37
Figure 22. Coupe d'une cellule SDRAM de type trench avec détail du mécanisme de dommage. [62] .....	38
Figure 23. Bits collés par intermittence. Les erreurs sont signalées par un niveau haut. [52] .....	39
Figure 24. Influence de la température sur les bits collés. (a) Nombre de bits collés en fonction de la température. (b) Fréquence de collage d'un mot particulier en fonction de la température. [52], [67].....	40
Figure 25. Nombre de bits collés mesurés sur une mémoire DRAM pour T = 48,5°C. Rouge : courbe de tendance. [67].....	40
Figure 26. Historique de l'état d'un bit collé en fonction de la température et du temps. [67] .....	41
Figure 27. Exemple de modélisation électrique d'un cluster. (a) Chemins des courants de fuite (b) Comportement du réseau simulé. Rouge : Seuil de collage [67] .....	42
Figure 28. Création de porteurs en fonction du NIEL d'une particule. [69] .....	43
Figure 29. Bascule bistable constituée de deux inverseurs.....	47
Figure 30. Point mémoire élémentaire pour une SRAM. Il est constitué de deux inverseurs et de deux transistors d'accès.....	48
Figure 31. Inverseur CMOS. ....	48
Figure 32. Cellule SRAM 6T.....	49
Figure 33. Cellule SRAM 4T. [77] .....	49
Figure 34. Cellule SRAM TFT. [77].....	50
Figure 35. Lecture d'une cellule SRAM 6T. En vert, les courants parasitant la lecture. En bleu, le courant normal de lecture. [81] .....	51
Figure 36. Amplificateur connecté aux bitlines. [83] .....	51
Figure 37. Changement de tension de rétention minimale d'une cellule au fil du temps. [86] .....	52
Figure 38. Oxyde LOCOS de la KM684000ALG-7. [87] .....	53
Figure 39. Comparaison des puces SRAM contenues dans le lot CARMEN (gauche) et une puce des lots utilisés (droite).....	54
Figure 40. Évolution des paramètres technologiques de la DRAM. [91].....	55
Figure 41. Structure d'une cellule DRAM.....	56
Figure 42. Structure stack. [92] .....	56
Figure 43. Structure trench. [92] .....	57
Figure 44. Structure trench à transiter d'accès vertical. [95].....	58

Figure 45. Courants de fuite dans une cellule SDRAM. ....	58
Figure 46. Cellules et anti-cellules. Une partie des cellules sont à l'état haut à $V_{DD}$ tandis que les anti-cellules sont à 0 V. [100] .....	60
Figure 47. Partage de charge entre la bitline et le condensateur. Lors de l'accès, la charge contenue dans le condensateur est partagée avec la bitline, modifiant sa tension. ....	62
Figure 48. Redondance triple. (a) Sans erreur. (b) Avec erreur. ....	64
Figure 49. Architecture du banc de test permettant de tester la fonctionnalité des composants.....	69
Figure 50. Algorithme de détection d'erreurs lors des tests fonctionnels.....	71
Figure 51. Banc de test CY62148EV30 (Photo : A. Samaras) .....	73
Figure 52. Description du moyen GAMRAY (Source : TRAD).....	74
Figure 53. Spectre en énergie des neutrons BR1 [118].....	76
Figure 54. Moyen d'irradiation SCK-CEN / BR1.....	77
Figure 55. Algorithmes de test. (a) Gamma (b) Neutron (c) Proton.....	79
Figure 56. Tension minimale de rétention de l'information en fonction de la dose TID (protons 184 MeV). Rouge : tension minimale de rétention limite spécifiée par le constructeur.....	81
Figure 57. Tension minimale de rétention en fonction de la dose ionisante totale. Rouge : tension minimale de rétention limite spécifiée par le constructeur. (Image : A. Samaras).....	82
Figure 58. Résumé des tests post-irradiation effectués sur la mémoire K1 (Image : A. Samaras).....	83
Figure 59. Fréquence d'erreur par cycle pour les différents tests post-irradiation : composant K1, adresse 6E355. (Image : A. Samaras).....	84
Figure 60. Chronogramme de l'état de la cellule présentant un bit collé sous faisceau de protons. ....	88
Figure 61. Nombre d'ISB observés en fonction de la fluence équivalente neutrons 1 MeV. ....	89
Figure 62. Temps de rétention minimal du bloc testé en fonction de la fluence équivalente protons 10 MeV pour les différentes mémoires Elpida testées aux protons.....	90
Figure 63. Erreurs observées durant les différents tests effectués sur la mémoire E9. (Image : A. Samaras) .....	91
Figure 64. Temps de rétention minimal en fonction de la fluence équivalente neutron 1 MeV pour les composants irradiés aux neutrons. ....	92
Figure 65. Erreurs répertoriées par cycle de lecture. Mémoire H14, protons 80 MeV pour une fluence finale de $8,36 \times 10^{10} / \text{cm}^2$ . (a) Toutes les erreurs reportées sur la mémoire. (b) Résultats sans SEU, ni SEFI, ni erreurs d'initialisation. ....	96
Figure 66. Dégradation d'une cellule sous faisceau de protons (EDS5104ABTA).....	97
Figure 67. Nombre de mots ayant un temps de rétention <i>tret</i> < <i>tseuil</i> en fonction de la fluence équivalente neutron 1 MeV (a) EDS5104ABTA (protons 50 et 184 MeV) (b) HY57V65162 (protons 50, 80, 100 et 184 MeV) .....	98

Figure 68. Section efficace de dégradation sous faisceau de protons pour différents temps seuil. (a) EDS5104ABTA. (b) HY57V65162.....	99
Figure 69 Nombre de mots ayant un temps de rétention $t_{ret} < t_{seuil}$ pré et post-irradiation (protons 184 MeV), pour les deux motifs utilisés. (a) Elpida EDS5104ABTA (E17) (b) Hyundai HY57V651620 (H12) .....	101
Figure 70. Trois types de comportements possibles pour les cellules irradiées aux protons, post-irradiation. (a) Cellule stable. (b) Récupération d'une partie du temps de rétention perdu. (c) Dégradation subséquente.....	104
Figure 71. Détail du mécanisme de fuite dû à un cluster dans une cellule SDRAM. ....	105
Figure 72. Représentation du transistor d'accès de la cellule SDRAM (gauche) et la zone retenue (droite) .....	109
Figure 73. Capture d'écran du logiciel ECORCE. ....	113
Figure 74. Processus pris en compte dans le MTD pour les pièges de type accepteur : 1 : Emission thermique d'un trou à partir d'un piège inoccupé (ajouté pour modéliser le piégeage/dépiégeage dans le silicium) 2 : Capture d'un électron par un piège inoccupé. 3 : Recombinaison d'un électron piégé avec un trou libre. 4 : Réémission thermique d'un électron piégé. ....	114
Figure 75. Caractéristiques de la jonction P-N+ étudiée. ....	115
Figure 76. Distribution des porteurs et charge dans la jonction P-N+ non-endommagée. ....	116
Figure 77. Temps de rétention d'une cellule en fonction de la position du cluster. La valeur de 64 ms est la valeur minimale du temps de rétention préconisée par le JEDEC pour les SDRAM. (Zone hachurée : zone de déplétion).....	117
Figure 78. Taux net de génération de porteurs et champ électrique dans une jonction endommagée. (Zone hachurée : cluster) .....	117
Figure 79. Taux de chaque processus MTD et champ électrique dans une jonction endommagée. (Zone hachurée : cluster) .....	118
Figure 80. Densité de porteurs et charge dans la jonction P-N+ (a) Jonction non-endommagée pour référence (b) Jonction endommagée (Zone hachurée : cluster) .....	119
Figure 81. Champ électrique dans la jonction pour plusieurs positions de cluster. ....	120
Figure 82. Comparaison du potentiel dans une jonction vierge et une jonction endommagée (cluster de 20 nm, $10^{18}$ pièges/cm <sup>3</sup> , hachures : cluster). ....	121
Figure 83. Effet de la taille et de la concentration en états accepteurs du cluster sur le temps de rétention d'une cellule SDRAM dégradée, en fonction de la position du cluster. (Zone hachurée : zone de déplétion) .....	122
Figure 84. Courant de fuite en fonction de la température. ....	123
Figure 85. Courant de fuite et charge stockée en fonction de la polarisation inverse. ....	124
Figure 86. Représentation du volume sensible d'une cellule SDRAM. ....	125

## Index des tableaux

Tableau 1. Caractéristiques de la KM684000ALG-7 .....	53
Tableau 2. Caractéristiques de la CY62148EV30LL45ZSXI .....	54
Tableau 3. Caractéristiques des différentes générations de SDRAM [58] .....	61
Tableau 4. Caractéristiques de la HY57V651620BTC-10.....	63
Tableau 5. Caractéristiques de l'EDS5104ABTA-75.....	63
Tableau 6. Contrôle par bit de parité. Les valeurs des bits en rouge représentent les erreurs. ....	65
Tableau 7. Caractéristiques des faisceaux de neutrons utilisés. ....	75
Tableau 8. Résumé des composants irradiés dans la première campagne. ....	80
Tableau 9. Paramètres mesurés pour les mémoires SRAM.....	81
Tableau 10. Résumé des composants irradiés. ....	87
Tableau 11. Paramètres mesurés .....	87
Tableau 12. Nombre d'erreurs par adresse durant un pas d'irradiation (1229 cycles de lecture).....	88
Tableau 13. Résumé des composants irradiés. ....	93
Tableau 14. Paramètres mesurés sur les SDRAMs .....	95
Tableau 15. Calcul du volume pour la référence EDS5104ABTA, protons 184 MeV .....	102
Tableau 16. Calcul du volume pour la référence HY57V651620, protons 184 MeV .....	102
Tableau 17. Valeurs des résistances maximales associées aux différents types de cellules dégradées.....	110
Tableau 18. Valeur maximale du champ électrique et occupation moyenne des pièges pour différentes positions de cluster (cluster de 20 nm, $10^{18}$ pièges/cm <sup>3</sup> ) .....	120
Tableau 19. Tension d'alimentation des SDRAMs selon leur génération. ....	126

## ÉTUDE DES MÉCANISMES DE DECLENCHEMENT DE BITS COLLÉS DANS LES SRAM ET DRAM EN ENVIRONNEMENT RADIATIF SPATIAL

**Mots-clés :** Radiations, électronique, mémoire vive statique (SRAM), mémoire vive dynamique synchrone (SDRAM), test de composants, design technologique assisté par ordinateur (TCAD), simulation, évènements singuliers (SEE), proton, neutron

Les résultats de différentes expériences du CNES (Centre National d'Études Spatiales) embarquées sur satellites montrent que des composants SRAM et SDRAM subissent des erreurs atypiques, qui se caractérisent par une fraction d'emplacements mémoire présentant des erreurs récurrentes. Ces erreurs non-catégorisées représentent la quasi-totalité des erreurs détectées sur ces mémoires. Une revue interne du CNES a déterminé que ces erreurs étaient dues aux radiations présentes dans l'environnement spatial (protons, électrons, ions lourds).

Cette thèse s'attache à reproduire ces erreurs atypiques au sol en utilisant des moyens d'irradiation et des accélérateurs de particules, à les caractériser ainsi qu'à expliquer le mécanisme physique menant à l'apparition de ces cellules endommagées. Le mécanisme physique que nous proposons est cohérent avec les données obtenues sous faisceau de particules et soutenu par nos simulations de type TCAD.

---

## STUDY OF MECHANISMS LEADING TO STUCK BITS ON SRAM AND DRAM MEMORIES IN THE SPACE RADIATION ENVIRONMENT

**Keywords:** Radiation, electronics, static random-access memory (SRAM), dynamic random-access memory (DRAM), component testing, technology computer-aided design (TCAD), simulation, single events (SEE), proton, neutron

CNES's onboard experiment results on several satellites have demonstrated that on SRAM and SDRAM memories, a fraction of words suffers from unknown errors that increase the afflicted words' rate of error by orders of magnitude compared to other words. CNES's experts found that these errors were due to the space radiation environment (proton, electrons, heavy ions).

The main goals of this Ph.D. thesis are to successfully recreate such errors at ground level using irradiation facilities and particle accelerators, to investigate their behavior and finally, to submit a physical mechanism for memory cell degradation under irradiation, both coherent with experimental data and data obtained from TCAD simulations.