



HAL
open science

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Amine Lakcher

► **To cite this version:**

Amine Lakcher. Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2018. Français. NNT : 2018GREAT052 . tel-01928076

HAL Id: tel-01928076

<https://theses.hal.science/tel-01928076>

Submitted on 20 Nov 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

**DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE
ALPES**

Spécialité : **Nano Electronique Nano Technologie**

Arrêté ministériel : 25 mai 2016

Présentée par

Amine LAKCHER

Thèse dirigée par **Cécile GOURGON** et
codirigée par **Maxime BESACIER** et **Bertrand LE-GRATIET**

préparée au sein du **Laboratoire des Technologies de la
Microélectronique (LTM)** et de **STMicroelectronics**
dans l'**École Doctorale Electronique, Electrotechnique, Automatisme
et Traitement du Signal (EEATS)**

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Thèse soutenue publiquement le **9 juillet 2018**,
devant le jury composé de :

M. Patrick SCHIAVONE

Directeur de Recherche, CNRS, Président du jury

M. Yves JOURLIN

Professeur, Université de Saint-Etienne, Rapporteur

M. Régis OROBTCHOUK

Maître de Conférences, HDR, INSA Lyon, Rapporteur

M. Jérôme HAZART

Chercheur, CEA-LETI, Examineur

Mme. Cécile GOURGON

Directrice de Recherche, CNRS, Directrice de thèse

M. Maxime BESACIER

Maître de Conférences, Université Grenoble Alpes, Co-encadrant

M. Bertrand LE-GRATIET

Docteur Ingénieur, STMicroelectronics, Co-encadrant



Résumé

Dans les noeuds technologiques avancés ainsi que les technologies dérivées, des règles de dessin de plus en plus agressives sont nécessaires. Cela conduit à une complexification des structures dans les circuits intégrés actuels. De telles structures posent un défi important aux procédés de fabrication, notamment les étapes dites de patterning que sont la lithographie et la gravure. Afin d'améliorer et d'optimiser ces structures, les designers se basent sur les règles et connaissances qu'ont les ingénieurs de leurs procédés. Ces règles ont besoin d'être alimentées par des informations dimensionnelles et structurelles de plus en plus complexes : configurations de type bord arrondi, distance entre deux bouts de lignes, rétrécissement de ligne, etc. La métrologie doit évoluer afin que les ingénieurs soient capables de mesurer et quantifier les dimensions des structures les plus complexes dans le but d'estimer la variabilité de leur procédé. Actuellement la variabilité est principalement estimée à partir de données issues du suivi en ligne de structures simples car elles sont les seules à garantir une mesure robuste et reproductible. Mais, elles peuvent difficilement être considérées comme représentatives du procédé ou du circuit. Utiliser la métrologie par CD-SEM pour mesurer des structures complexes de manière robuste est un défi technique. La création de recettes de mesures est complexe, nécessite un temps non négligeable et ne garantit pas une mesure stable. Cependant, une quantité importante d'informations est contenue dans l'image SEM. Les outils d'analyses fournis par les équipementiers permettent aujourd'hui d'extraire les contours SEM d'une structure présente dans l'image. Ainsi, le CD-SEM prend des images et la partie métrologie est réalisée hors ligne afin d'estimer la variabilité. Cette thèse vise à proposer aux ingénieurs de nouvelles possibilités de métrologie dimensionnelle afin de l'appliquer pour le contrôle des structures les plus complexes. Les contours SEM sont utilisés comme source d'information et exploités pour générer de nouvelles métriques.

Abstract

In advanced technological nodes as well as derived technologies, aggressive design rules are needed. This leads to a complexity of structures in the current integrated circuits. Such structures pose a significant challenge to chip manufacturing processes, in particular patterning steps of lithography and etching. In order to improve and optimize these structures, designers need to rely on the rules and knowledge that engineers have about their processes. These rules need to be fed by complex dimensional and structural information: corner rounding, tip to tip distances, line end shortening, etc. Metrology must evolve so that engineers are able to measure and quantify the dimensions of the most complex structures in order to assess the process variability. Currently the variability is mainly quantified using data from the inline monitoring of simple structures as they are the only ones to guarantee a robust and reproducible measurement. But, they can hardly be considered as representative of the process or the circuit. Using CD-SEM metrology to measure complex structures in a robust way is a technical challenge. The creation of measurement recipes is complex, time consuming and does not guarantee a stable measurement. However, a significant amount of information is contained in the SEM image. The analysis tools provided by the equipment manufacturers allow to extract the SEM contours of a structure present in the image. Thus, the CD-SEM takes images and the metrology part is performed offline to estimate the variability. This thesis offers engineers new possibilities of dimensional metrology in order to apply it for process control of complex structures. SEM contours are used as a source of information and used to generate new metrics.

Remerciements

Ces trois années de thèse ainsi que ce manuscrit ont été rendus possible grâce à l'aide et au soutien de nombreuses personnes. Avec ces quelques lignes, je souhaite les remercier pour leur contribution.

Je remercie tout d'abord Bertrand pour m'avoir encadré pendant ces trois années à ST Crolles et pour m'avoir permis de découvrir le monde de la microélectronique. L'expérience a été très enrichissante et m'a donné envie de poursuivre dans ce milieu. On se croisera donc sûrement à l'avenir. Bien sûr je remercie également ma directrice de thèse Cécile ainsi que Maxime, co-encadrant, pour leur contribution, leur aide et leur soutien, tout particulièrement pour la préparation de la soutenance.

Merci à Julien pour m'avoir formé à l'utilisation du CD-SEM et ensuite, pour m'avoir régulièrement aidé pendant ces trois ans. Je suis sûr que les connaissances acquises en métrologie SEM me serviront encore après la thèse. Je n'oublie pas les autres collègues de métrologie : Christophe, Regis, Florent. Ensuite un gros remerciement à la lithographie avec qui j'ai cohabité et travaillé une bonne partie du temps : Alain, Stéphanie, Alisée, Olivier, Etienne, Benjamin, Nacer et tous les autres, la liste est bien longue.

J'ai passé de très bons moments avec la team RET. Merci donc à Frank, Charlotte, Stuart, Pierre, Sylvain, Estelle, Emek, Guillaume, Vincent et toute l'équipe. Je pense aussi à mes voisins de Mentor, Jorge et Michael. On a bien rigolé donc merci d'avoir rendu notre espace de travail convivial (mais studieux malgré tout).

Je tiens à remercier les ingénieurs de ASML pour tous les échanges et travaux qui ont fortement enrichi cette thèse et permis de réaliser des présentations en conférences : Chris, Raph, Laurent, Ton, Jan-Willem, Stefan, Tanbir, Jo.

Plein de remerciements pour la team des thésards, alternants, stagiaires, etc, qui ont apporté une vie sociale bien utile : Marion, Antoine, Maxime, Bryan, Mehdi et plein d'autres. Bon vent à vous!

Merci Christelle et Alice pour votre aide.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Merci au jury pour avoir pris le temps de lire ce manuscrit et de prendre part à la soutenance malgré la chaleur du mois de juillet : Patrick Schiavone, Regis Orobtcchouk, Yves Jourlin et Jerome Hazart.

Un grand merci à ma famille pour leur soutien jusqu'au bout de ces trois ans.

Merci à tous ceux qui, de près ou de loin, ont permis la réalisation de ce travail.

Sommaire

Chapitre 1 : historique et poids économique de la microélectronique	26
I. Historique et loi de Moore.....	26
1. Transistor et circuit intégré.....	26
2. Loi de Moore.....	27
II. Microélectronique aujourd’hui.....	30
1. Aspects économiques.....	30
2. Positionnement de STMicroelectronics, le More than Moore.....	33
Chapitre 2 : Le patterning, du dessin au circuit	38
I. Le circuit intégré.....	38
1. Substrat.....	38
2. Le transistor.....	39
3. Technologie MOS.....	43
II. Patterning et transfert d’image.....	48
1. Procédé.....	48
i. La photolithographie.....	48
ii. Structuration des interconnexions.....	52
2. Paramètres clés et limitations.....	54
i. Système d’exposition.....	54
ii. Résolution et variabilité.....	55
iii. Dose-Focus et fenêtre de procédé.....	58
iv. Correction optique de proximité (OPC).....	60
v. Objectifs de la thèse.....	62
Chapitre 3 : Métrologie et variabilité	66
I. Microscope électronique à balayage.....	68
1. Principe.....	68
2. Utilisation en microélectronique.....	70
i. Métrologie pour le contrôle dimensionnel du procédé.....	71
<i>Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés</i>	

ii.	Représentativité des structures	76
3.	Limitations	78
II.	Centrage du procédé de fabrication	78
1.	Centrage dose-focus.....	78
2.	Contrôle du centrage.....	81
3.	Suivi en ligne.....	85
III.	L'image SEM : une vaste source d'informations dimensionnelles.....	87
1.	Contours SEM	87
i.	Principe	87
ii.	Littérature	89
2.	Analyse des données : création d'un outil adapté.....	91
 Chapitre 4 : Mise en application de la métrologie hors ligne		107
I.	Suivi de hotspots	109
1.	FEM.....	109
i.	Introduction	109
ii.	Influence du focus	111
2.	Procédé aux conditions standards	117
3.	Voies d'optimisation.....	119
i.	Amélioration de l'outil de métrologie	119
ii.	Visualisation de la variabilité	121
iii.	Bias lithographie – gravure	123
iv.	Phénomènes de défaillance.....	127
II.	Suivi dimensionnel de structures de fiabilité.....	132
1.	Problématique	132
2.	Métrologie hors ligne	135
3.	Mise en application	139
i.	Optimisation d'étape de procédé.....	139
ii.	Vérification OPC.....	140
III.	Application en procédé microlentilles pour capteurs d'images	142
1.	Introduction.....	142
2.	Métrologie du procédé microlentilles.....	144

i. Paramétrage	144
ii. Proposition de métrologie	146
3. Suivi en production.....	149
4. Optimisation du design	151
Chapitre 5 : Perspectives d'applications	155
I. Détection de défauts par analyse d'images.....	155
II. Classification phylogénétique	158
III. Pattern Fidelity Metrology (PFM).....	160
Références.....	167
Annexes.....	174

Glossaire

A

ADC = Automatic Defect Classification, méthode de classification d'images de défauts à l'aide de machine learning

B

BEOL = Back End of Line, ensemble des étapes de fabrication des interconnexions métalliques d'un circuit intégré

bias = décalage entre le dimensionnel d'une structure imprimée dans la résine et le dimensionnel de cette même structure une fois gravée

Bossung = courbes CD en fonction du focus pour chaque pas de dose, permet le centrage du procédé

C

CCD = Charged Couples Device, désigne une technologie de fabrication de circuits intégrés antérieure au CMOS

CD = Critical Dimension, dimension la plus petite dans un circuit, désigne par abus de langage n'importe quelle dimension mesurée

CD-SEM = Critical Dimension Scanning Electron Microscope, il s'agit d'un microscope électronique à balayage automatisable pour le contrôle dimensionnel de certaines étapes de fabrication des circuits intégrés

CMOS = Complimentary Metal Oxide Semiconductor, désigne une technologie de fabrication de circuit intégrés

CMP = Chemical Mechanical Planarization, étape de procédé au cours de laquelle un excédent de matériau est retiré par polissage et le niveau aplani

D

Design gauge Analyzer = outil d'analyse hors ligne d'images SEM, utilisé notamment pour l'extraction de contours

E

EPE = Edge Placement Error, quantifie le décalage entre un élément transféré sur silicium et sa position théorique dans le design

EUVL = Extreme Ultra Violet Lithography, technique de lithographie en cours de déploiement, elle utilise un laser de longueur d'onde 13.5 nm (rayonnement X mou)

F

Fabless = entreprise sous traitant entièrement la fabrication de leurs circuits intégrés

FD-SOI = Fully Depleted Silicon on Insulator, technologie faisant appel à un substrat constitué d'une fine couche d'oxyde isolant recouverte d'une fine couche de silicium à partir de laquelle les transistors sont formés

FEM = Focus Exposure Matrix, plaque exposée avec des pas de dose et de focus

FEOL = Front End of Line, ensemble des étapes de fabrication du niveau transistors d'un circuit intégré

G

GDS = Graphic Database System, format de fichier standard utilisé dans l'industrie pour les designs de circuits intégrés

H

hardmask = couche dite masque dur permettant de graver plus facilement une couche épaisse de diélectrique

hotspot = structure dont la fenêtre de procédé en lithographie est réduite compliquant son transfert sur silicium

I

IDM = Integrated Device Manufacturer, entreprise qui conçoit, fabrique et industrialise ses propres circuits intégrés

L

LELE = Litho Etch Litho Etch, procédé patterning utilisé pour les noeuds avancés où une partie du design est transférée par une première litho gravure puis ces deux étapes sont appliquées au reste du design, nécessite donc deux masques

M

MEOL = Middle End of Line, ensemble des étapes de fabrication du niveau contact transistors/interconnexions

Mesdim = structure de référence utilisée en métrologie pour contrôler une étape de patterning

microlentille = structure hémisphérique et transparente utilisée pour focaliser la lumière incidente sur la photodiode dans les capteurs optiques CMOS

O

OPC = Optical Proximity Correction, modifications structurelles apportées à un design pour augmenter la fidélité du transfert sur silicium

overlay = quantification de l'alignement d'un niveau par rapport à l'autre

P

patterning = ensemble des étapes de procédé de structuration d'un niveau

PWQ = Process Window Qualification, méthode optique de vérification du centrage en dose et en focus

R

Recipe Director = outil de création de recettes CD-SEM à partir d'un design (développé par l'entreprise Hitachi)

S

SEM = Scanning Electron Microscope, technique de microscopie utilisant un faisceau d'électrons

T

tip to line = distance entre un bout de ligne et une ligne

tip to tip = distance entre deux bouts de ligne qui se font face

transistor = composant électronique assimilable à un interrupteur et utilisé dans les circuits intégrés

V

vias = contacts électriques entre deux niveaux d'interconnexions

Liste des figures

<i>Figure 1 : Reproduction du premier dispositif transistor des laboratoires Bell comparé à une image de microscope électronique prise sur un circuit avancé, les transistors sont identifiés en rouge.....</i>	<i>22</i>
<i>Figure 2 : Image au microscope électronique d'un niveau d'interconnexions métalliques.....</i>	<i>22</i>
<i>Figure 3 : Evolution du nombre de transistor par microprocesseur pour des circuits commerciaux (source : ASML).....</i>	<i>29</i>
<i>Figure 4 : Influence de l'industrie des semi-conducteurs sur le PIB de différentes régions du globe [10].....</i>	<i>31</i>
<i>Figure 5 : Distribution géographique des emplois directs générés par l'industrie des semi-conducteurs [10].</i>	<i>31</i>
<i>Figure 6 : Classement des entreprises de l'industrie des semi-conducteurs en fonction de leurs investissements R&D.....</i>	<i>33</i>
<i>Figure 7 : Classement 2016 des fournisseurs d'équipements par chiffre d'affaire (en millions de dollars)</i>	<i>33</i>
<i>Figure 8 : Evolution du coût de fabrication de transistors pour les nœuds avancés (source : International Business Strategies, Inc).....</i>	<i>35</i>
<i>Figure 9 : Site STMicroelectronics de Crolles avec les salles blanches Crolles 1 et Crolles 2</i>	<i>36</i>
<i>Figure 10 : Evolution des dimensions des plaques de silicium [14].....</i>	<i>39</i>
<i>Figure 11 : Représentation schématique du principe de fonctionnement d'un transistor NMOS a) la grille est polarisée positivement afin de former le canal électronique b) une différence de potentiel appliquée entre la source et le drain permet le passage du courant par le canal</i>	<i>40</i>
<i>Figure 12 : Schéma représentatif d'un transistor sur plaque FD-SOI vs silicium classique (source : STMicroelectronics).....</i>	<i>42</i>
<i>Figure 13 : Schéma représentatif d'un transistor finFET vs silicium classique (source : Intel)</i>	<i>42</i>
<i>Figure 14 : Vue en coupe d'un circuit intégré en fin de fabrication (microscope électronique à transmission)</i>	<i>43</i>
<i>Figure 15 : Vue en coupe d'un niveau de transistors dans un circuit intégré.....</i>	<i>44</i>
<i>Figure 16 : Cycle de fabrication d'un produit 28 nm rouge : étapes de photolithographie bleu : étapes de procédé (gravure, dépôts, traitement chimique, etc) bleu clair : nettoyage vert : métrologie</i>	<i>45</i>
<i>Figure 17 : Cycle de développement d'un circuit intégré</i>	<i>46</i>
<i>Figure 18 : Superposition des designs des niveaux active, grille, contact et Metal 1.</i>	<i>47</i>
<i>Figure 19 : Etapes relatives à la photolithographie (source : ASML)</i>	<i>50</i>
<i>Figure 20 : Images microscopes électronique à balayage de structures transférées dans une résine par lithographie.....</i>	<i>50</i>
<i>Figure 21 : Réticule de lithographie contenant une vingtaine de puces</i>	<i>51</i>
<i>Figure 22 : Exemple de champ d'exposition constitué de 6x5 puces d'u3n produit 28 nm.....</i>	<i>52</i>
<i>Figure 23 : Images SEM de structure résine (gauche) et post gravure hardmask (droite).....</i>	<i>53</i>
<i>Figure 24 : Images SEM d'une structure à différentes étapes de procédé.....</i>	<i>54</i>
<i>Figure 25 : Scanner de lithographie 193 nm immersion avec une vue du système optique</i>	<i>55</i>
<i>Figure 26 : Phénomène de diffraction au passage d'un réticule.....</i>	<i>57</i>
<i>Figure 27 : Evolution des paramètres à contrôler vs longueur d'onde des scanners en fonction du temps</i>	<i>58</i>
<i>Figure 28 : Influence de la dose sur la largeur des motifs vue au microscope électronique à balayage (675 nm X 675 nm).....</i>	<i>59</i>
<i>Figure 29 : Images SEM d'une FEM sur des tranchées dans la résine La fenêtre verte correspond à la fenêtre de procédé pour cette structure.....</i>	<i>60</i>
<i>Figure 30 : Exemple typique d'un transfert d'un design sans OPC puis avec OPC dans une résine (technologie 120 nm).....</i>	<i>61</i>
<i>Figure 31 : Processus de correction des effets de proximité [15].....</i>	<i>62</i>
<i>Figure 32 : Le patterning est un cycle collaboratif entre trois groupes.....</i>	<i>63</i>
<i>Figure 33 : Exemple de profil AFM réalisé sur un réseau de tranchées d'isolation</i>	<i>66</i>

Figure 34 : Coupe TEM avec mesures réalisée sur une structure de fiabilité utilisée pour les niveaux d'interconnexions En haut se trouve le niveau Metal 2, en bas le niveau Metal 1 avec au milieu les contacts entre les deux niveaux	67
Figure 35 : Schéma de principe du fonctionnement d'un microscope électronique à balayage [45].....	70
Figure 36 : Images SEM prises à l'aide d'un outil d'inspection « e-beam » (Hermes Microvision) sur un niveau d'interconnexions après gravure du masque dur (technologie 28 nm) sur deux puces d'une même plaque a) motifs bien définis et transférés.....b) défaillance structurelle visible avec plusieurs éléments non imprimés	71
Figure 37 : Images SEM d'une structure complexe avec un champ de vision de 675 nm x 675 nm a) après développement de la résine b) après gravure du masque dur.....	71
Figure 38 : Exemple d'interface de création de recette de mesure CD-SEM (cas de la largeur d'une ligne) 1) Indication du modèle à mesurer avec placement de boîte pour mesure de largeur 2) Environnement de la structure à mesurer pour aide à l'alignement 3) Sélection des champs à mesurer sur la plaque 4) Placement du point de mesure dans un champ 5) Paramétrage de la recette (type de mesure, voltage, etc)	72
Figure 39 : Profil d'intensité d'une image SEM prise sur une tranchée après développement de la résine.....	73
Figure 40 : Images SEM réalisées après étape de développement par un équipement automatisé de contrôle en ligne des dimensions a) mesure de largeur moyenne de tranchées dans un réseau de lignes denses b) mesure de surface moyenne de contacts électriques imprimés dans la résine c) mesure de diamètre d'un plot de microlentille pour capteurs d'images avant recuit.....	74
Figure 41 : Processus de contrôle d'un lot par CD-SEM en photolithographie.....	75
Figure 42 : Images SEM (675 nm x 675 nm) de deux structures types présentes en interconnexion 28 nm a) structure utilisée pour le contrôle du procédé après la gravure du masque dur b) structure pour tests de fiabilité électrique avec design type d'un niveau Metal.....	76
Figure 43 : Images SEM prises sur une plaque gravée aux conditions nominales (675 nm x 675 nm) a) bonne résolution du Mesdim et des deux hotspots b) bonne résolution du Mesdim (identique au cas a) mais défauts apparents sur les deux hotspots pincement de ligne et rétrécissement	77
Figure 44 : Défauts observés à différents endroits d'une plaque exposée aux mêmes conditions nominales de production Le premier motif est bien résolu mais les deux autres sont hors fenêtre de procédé.....	78
Figure 45 : Exemple de plaque FEM sur produit 28 nm (BEOL) et images SEM d'une ligne prise dans chaque champ Pour certaines conditions dose-focus, l'image n'a pas pu être prise car l'élément n'a pas été trouvé (car non transféré)	79
Figure 46 : Courbes de Bossung tracées à partir de la largeur d'une ligne	80
Figure 47 : Détermination de la fenêtre de procédé à partir des Bossung.....	80
Figure 48 : Fenêtres de procédé par CD-SEM, test électrique et inspection défektivité	81
Figure 49 : Principe de paramétrage d'une plaque d'analyse PWQ. Les champs d'exposition en blanc correspondent aux conditions nominales dose-focus déterminées précédemment via FEM	82
Figure 50 : Exemple d'analyse PWQ sur un réseau d'interconnexions après gravure pour une technologie 28 nm Les champs de couleur vert indiquent les conditions pour lesquelles le réseau n'est pas vu comme défaillant Les champs orange indiquent les limites de défaillance détectées (fort rétrécissement par exemple) Les champs rouge indiquent que la structure est en défaut	83
Figure 51 : Exemple d'images associées à une inspection PWQ pour trois structures différentes avec un pixel de 650 nm x 650 nm. Les images SEM des défauts détectés sont également fournies	84
Figure 52 : Images SEM (675 nm x 675 nm) d'un hotspot prises à quatre endroits différents d'une plaque nominale gravée a : image référence avec structure bien résolue b : rétrécissement des dimensions de la ligne en bout de ligne c : structure non résolue (défaut) d : structure non résolue (défaut).....	85
Figure 53 : Exemple de champs sélectionnés pour le contrôle du procédé (en jaune).....	86
Figure 54 : Exemple d'extraction de contour sur une image SEM a : image SEM brute non compressée et sans curseur de mesure b : image avec le contour extrait à seuil fixé en rouge et design superposé en vert c : contour dans le système de coordonnées de l'image initiale ((0,0) au centre de l'image)	88
Figure 55 : Processus de génération de contours de la création de recette à la génération des données.....	89
Figure 56 : Procédure mise en place pour évaluer l'EPE [58]	90

Figure 57 : Contours gravure issus d'un procédé LELE [57] a) sans erreur de placement de motif b) avec erreur de placement de motif.....	90
Figure 58 : Utilisation de contours SEM pour modèles OPC (Globalfoundries) [53] a) Extraction de métriques plus complexes via contours sur hotspots b) Calibration de modèles de gravure sur contours avant/après gravure.....	91
Figure 59 : Images SEM d'une structure de fiabilité prise à deux positions différentes a) bon centrage images vs référence b) référence design et image SEM décalées l'une par rapport à l'autre	93
Figure 60 : Contours extraits à partir des deux images de la figure 17 et superposés dans le référentiel d'origine contour orange : contour issu de l'image Figure 17. A... contour bleu : contour issu de l'image Figure 17. b	93
Figure 61 : Alignement centre de gravité basé sur la Figure 18.....	94
Figure 62 : Deux images avec un centrage différent. Les deux bouts de ligne encadrés en a) ne sont pas présents en b).....	95
Figure 63 : Alignement centre de gravité appliqué à 400 contours a) superposition avant alignement, le bruit de placement d'image devient visible sur une grande quantité de données, les bouts de lignes se touchent quasiment ce qui rend la lecture difficile. b) superposition après l'alignement centre de gravité, le bruit a été très fortement réduit et la visualisation de la variabilité devient plus aisée	96
Figure 64 : Structure gravée de type hotspot prise aux conditions nominales dans différentes puces sur la plaque La variabilité cause en certains endroits un rétrécissement voire une perte de bouts de ligne	96
Figure 65 : Superposition de 200 contours a) sans alignement b) alignement centre de gravité.....	97
Figure 66 : Exemple de conversion de contour en tableau binaire Les cases sont assimilées à des pixels de taille 2 nm x 2 nm Sur le zoom de droite, il s'agit d'un tableau de taille 20 x 20 où chaque case traversée par la ligne se voit attribuer la valeur 1 tandis que les autres restent nulles.....	98
Figure 67 : Visualisation d'un tableau de variabilité établi à partir de 400 contours aux conditions nominales de procédé	99
Figure 68 : Principe de calcul de contour moyen avec 4 contours pris sur une petite échelle (10 nm X 10 nm)	100
Figure 69 : Contour moyenné (rouge) basé sur les données superposées (noir).....	101
Figure 70 : Contour moyen donné avec l'écart type en termes de trois sigmas, l'écart type est plus élevé au niveau des bouts de ligne.....	101
Figure 71 : Calibration d'un script de mesure sur contours avec mesures de distances minimales [35]	102
Figure 72 : Exemples de structures étudiées par métrologie contours a) mesures tip to tip (14 valeurs) dans un bloc de chaines b) longueur de chaines dans un hotspot c) mesure de largeur de ligne avec écart type et rugosité d) écart moyen entre deux lignes dans un hotspot.....	104
Figure 73 : Superposition de contours lithographie et gravure avec les données design et OPC. Ces informations peuvent être utilisés pour vérifier des modèles et générer des règles de dessin	104
Figure 74 : Profil d'intensité d'une image SEM prise sur une tranchée après développement de la résine	108
Figure 75 : Contours extraits sur un hotspot résine à différents seuils (20%, 50% et 80%)	108
Figure 76 : Superposition des contours à différents seuils à partir d'un des éléments des contours de la Figure 75	108
Figure 77 : Echantillonnage des points sur la plaque et dans un champ (effectué sur plaque après lithographie et après gravure hardmask)	110
Figure 78 : Design golden hotspot (orange), golden hotspot après OPC (bleu) et superposition des deux (en vert les zones qui se superposent au même endroit)	111
Figure 79 : Alignement centre de gravité sur contours lithographie	112
Figure 80 : Courbes de Bossung pour chacune des sept positions basées sur la largeur de T1 courbes tracées sur données lithographie et gravure. Chaque point correspond à une mesure et chaque ligne à une régression	112
Figure 81 : Courbes de Bossung pour chacune des sept positions basées sur la distance T1 – T3 courbes tracées sur données lithographie et gravure.	113

Figure 82 : Déplacement relatif en fonction du focus normalisé par la moyenne intra-champ.....	114
Figure 83 : Superposition de deux contours pris à deux focus différents et à dose fixe. Le décalage de T1 par rapport à T2 peut être observé	115
Figure 84 : Vue locale de la Figure 83	115
Figure 85 : Evolution du contour de T1 pour 12 conditions de dose (à focus fixe).	116
Figure 86 : Evolution de l'aire de T1 (nm ²) en fonction de la dose (mJ/cm ²) pour différents focus, la tendance est linéaire.....	116
Figure 87 : Evolution du contour de T1 en fonction du focus pour une dose fixée.....	117
Figure 88 : Evolution de l'aire de T1 (nm ²) en fonction du focus (dose de 19.30 mJ/cm ²). La tendance est quadratique.	117
Figure 89 : Déviation de la largeur de T1, T2 et T3 par rapport aux mesures de leur largeur moyenne dans la résine	118
Figure 90 : Signature intra-champ des largeurs des trois éléments gravure vs lithographie (valeurs normalisées par rapport à la moyenne intra-champ pour chaque position)	119
Figure 91 : Métrologie par contours effectuée sur une structure type Mesdim et sur le golden hotspot.....	120
Figure 92 : Evolution de la largeur normalisée du Mesdim et de l'aire normalisée de T1 par rapport au centre de la plaque	121
Figure 93 : Visualisation de la variabilité du Mesdim après gravure (échelle de poids)	122
Figure 94 : Visualisation de la variabilité du golden hotspot après gravure (échelle de poids)	122
Figure 95 : Images SEM lithographie vs gravure hardmask (Mesdim), champ image 675 nm X 675 nm.....	123
Figure 96 : Superposition de contours lithographie avec les contours gravure hardmask pour le golden hotspot bleu : résine cyan : gravure.....	124
Figure 97 : Exemple de mesure de bias gravure en quinze zones du golden hotspot bleu : résine cyan : gravure.....	125
Figure 98 : Mesure de bias gravure hardmask au niveau de l'arrondi, la rugosité de la résine influence la mesure	125
Figure 99 : Comparaison de contours non moyennés (a) vs contours moyennés (b).....	126
Figure 100 : Mesures de bias gravure hardmask sur golden hotspot moyen	126
Figure 101 : Mesures de bias gravure hardmask sur Mesdim moyen.....	127
Figure 102 : Hotspot d'un niveau d'interconnexions en 28 nm avec mesure de surface sur contour.....	128
Figure 103 : Evolution de l'aire de la ligne centrale dans HS_2 en fonction de la distance au centre de la plaque	129
Figure 104 : Défaut observé avec la ligne centrale quasi inexistante, aucun contour n'est donc extrait, le script renvoie alors une valeur nulle.....	129
Figure 105 : Comparaison image SEM de HS_2 en défaut à celles du Mesdim et du golden hotspot les plus proches dans le champ	130
Figure 106 : Superposition des contours à surface minimale vs à surface maximale	130
Figure 107 : Proposition de trois structures de métrologie pour effectuer du suivi dimensionnel par contours	131
Figure 108 : Structure de fiabilité type utilisée en BEOL 28 nm (sont fournies les images SEM après gravure et polissage cuivre)	133
Figure 109 : Images SEM structure de fiabilité, les flèches rouges indiquent une zone où la proximité entre les lignes est très importante (risque de fuite électrique).....	133
Figure 110 : Coupe TEM pour mesurer une structure de fiabilité	134
Figure 111 : Exemple d'extraction de contour sur une image SEM après remplissage de cuivre	135
Figure 112 : Placement de boîtes de mesures sur contours alignés superposés.....	136
Figure 113 : Exemple de mesure sur six métriques sur contour.....	136
Figure 114 : Evolution des différentes métriques en fonction de la distance par rapport au centre de la plaque	137
Figure 115 : Evolution du tip to tip et vérification sur les images SEM (comparaison valeur maximale vs valeur minimale).....	137

<i>Figure 116 : Visualisation d'un tableau de variabilité établi à partir de 400 contours aux conditions nominales de procédé</i>	138
<i>Figure 117 : Evolution de l'écart Via Ligne et image SEM d'un cas critique</i>	138
<i>Figure 118 : Données brutes mesures Via Ligne pour les modèles 1 et 2</i>	141
<i>Figure 119 : Schéma représentatif et image SEM d'une vue en coupe de trois pixels [68]</i>	143
<i>Figure 120 : Réseau de microlentilles (design)</i>	144
<i>Figure 121 : Mesures par CD-SEM d'un diamètre de microlentille après lithographie</i>	144
<i>Figure 122 : Prise d'images SEM après lithographie et après recuit sur la matrice de microlentilles</i>	145
<i>Figure 123 : Exemple d'extraction de contour sur une image SEM de microlentilles</i>	146
<i>Figure 124 : Exemples d'analyses appliquées au cas des microlentilles a) superposition de contours à vingt conditions de dose (après recuit) b) mesure du glissement de BSU1 après le recuit</i>	147
<i>Figure 125 : Extraction de onze métriques par analyse de contour</i>	147
<i>Figure 126 : Calcul du facteur de remplissage (le carré bleu en pointillés est une visualisation du pixel)</i>	148
<i>Figure 127 : Exemple de mesure d'overlay basée sur les écarts BSU1-BSU2, détection d'un décalage important de BSU1 vers la gauche et le haut</i>	149
<i>Figure 128 : Suivi du facteur de remplissage de plusieurs plaques de développement</i>	150
<i>Figure 129 : Design de référence vs design test</i>	151
<i>Figure 130 : Exemple de mesure contours pour la référence et le design test</i>	152
<i>Figure 131 : Superposition contour SEM design de référence et design test</i>	152
<i>Figure 132 : Evolution de la forme de la microlentille sous différentes conditions de recuit</i>	155
<i>Figure 133 : Images SEM de (a) lentilles normalement formées vs (b) lentilles mal formées</i>	156
<i>Figure 134 : ADC réalisée sur des images SEM de revue de défauts</i>	157
<i>Figure 135 : Extraction du squelette d'un hotspot</i>	158
<i>Figure 136 : Arbre de classification du golden hotspot</i>	159
<i>Figure 137 : Contours issus de chacune des trois classes principales de l'arbre</i>	159
<i>Figure 138 : Détection de défauts par machine d'inspection à canons d'électrons</i>	161
<i>Figure 139 : Détection de défauts par machine d'inspection à canons d'électrons</i>	161
<i>Figure 140 : CD-SEM en ligne vs utilisation d'algorithmes hors ligne sur images et contours</i>	165

Introduction générale

Smartphones, voitures autonomes, réalité virtuelle, intelligence artificielle, toutes ces technologies, qui semblaient encore proches de la science-fiction il y a quelques années, sont le fruit de l'incroyable essor technique, économique et industriel qui s'est initié dans la seconde moitié du vingtième siècle avec la microélectronique. En quelques décennies de profonds changements ont transformé les modes de vie et fait entrer la technologie dans le quotidien de chaque individu : ordinateur portable, électroménager ou encore téléphonie mobile. La microélectronique, qui a initié sa dynamique après la seconde guerre mondiale à partir des travaux d'une poignée d'ingénieurs, a abouti aujourd'hui à une industrie qui pèse plusieurs centaines de milliards de dollars et des centaines de milliers d'emplois dans le monde.

Cette dynamique est rendue possible grâce à un composant semi-conducteur appelé le transistor. En interconnectant plusieurs transistors entre eux, les ingénieurs ont développé des fonctions analogiques et numériques de plus en plus complexes ce qui leur a permis de développer de nouveaux produits. Les premiers transistors étaient relativement massifs. Le premier dispositif, développé dans les laboratoires Bell, tenait dans la paume d'une main et faisait plusieurs centimètres de haut. La croissance de la microélectronique est basée sur la miniaturisation de ce composant ainsi que du système d'interconnexions afin de développer des produits de plus en plus avancés. Dans les années 50, le circuit intégré est né. Les transistors ainsi que les interconnexions sont alors gravés dans un morceau de silicium de quelques millimètres carrés ce qui permet de réduire l'encombrement des dispositifs. La miniaturisation se poursuit à un rythme effréné en suivant la loi dite de Moore. La Figure 1 offre une comparaison entre le premier transistor et une vue de dessus d'un ensemble de transistors d'un circuit avancé actuel où plusieurs dizaines de transistors sont présents sur quelques micromètres carrés.

La fonction finale du produit sera dépendante du nombre de composants et de la manière avec laquelle ceux-ci seront interconnectés. Comme le montre l'exemple de la Figure 1, dans les technologies avancées, les transistors sont dessinés et disposés de manière assez linéaire afin d'améliorer le contrôle de leur fabrication comme cela sera expliqué plus tard.

La contrepartie est une complexification de la circuiterie destinée à les connecter entre eux, générant des dessins et des formes complexes qui seront plus délicates à contrôler. Un exemple de niveau d'interconnexion sur un circuit avancé est donné sur la Figure 2.

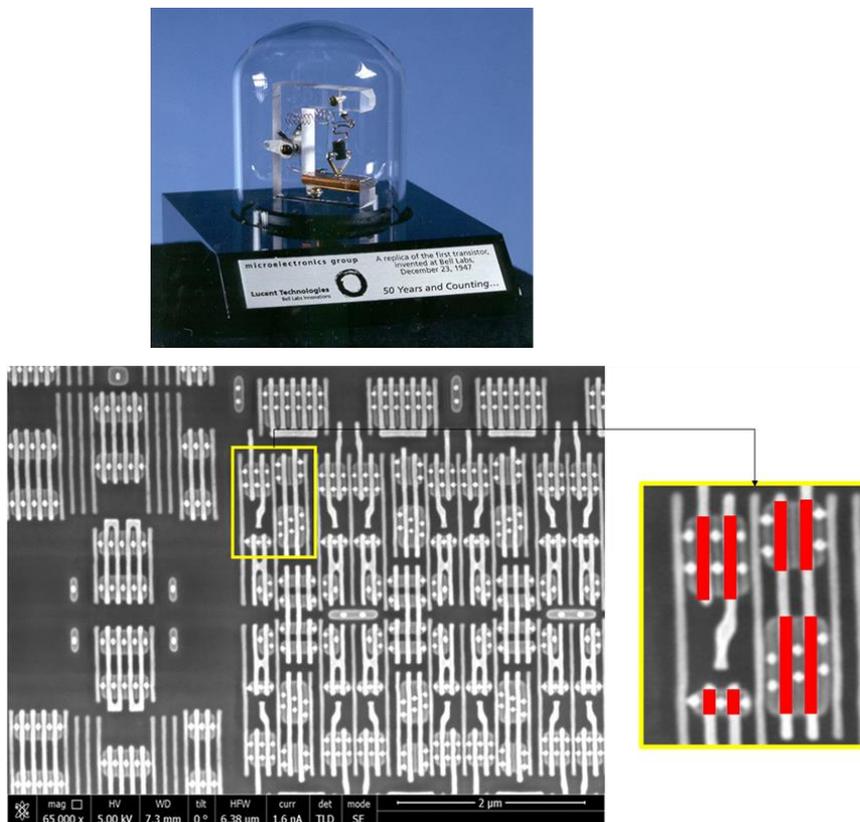


Figure 1 : Reproduction du premier dispositif transistor des laboratoires Bell comparé à une image de microscope électronique prise sur un circuit avancé, les transistors sont identifiés en rouge.



Figure 2 : Image au microscope électronique d'un niveau d'interconnexions métalliques.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Le transfert des dessins des différents niveaux dans le circuit intégré doit se faire avec la plus grande fidélité possible. La tendance de la miniaturisation a conduit à une complexification des techniques de fabrication et notamment celle dite de patterning (en particulier la photolithographie et la gravure) dont le rôle est de transférer le dessin d'un circuit sur silicium. Bien que les équipements deviennent de plus en plus performants et coûteux, les marges d'erreur des procédés de patterning deviennent très réduites comparées aux capacités intrinsèques des équipements. Il en résulte une difficulté croissante de transfert des dessins conduisant à des distorsions et de fortes variations de dimensions. Cela peut aller vers des phénomènes extrêmes comme un transfert incomplet d'un élément. Tous ces phénomènes doivent être détectés, mesurés et maintenus sous contrôle. Les unités de fabrication mettent donc en place des techniques de contrôle des procédés très poussées qui visent à quantifier la fidélité du transfert des différents dessins. Cette métrologie occupe une place importante dans le procédé de fabrication et est mise à rude épreuve par la miniaturisation et donc l'augmentation de la variabilité. Elle doit donc constamment évoluer pour s'adapter aux problématiques des procédés et fournir des informations pertinentes aux ingénieurs.

Cette thèse abordera notamment les problématiques de contrôle dimensionnel et vise à proposer aux ingénieurs de nouvelles possibilités de métrologie afin de l'appliquer pour le contrôle des structures les plus complexes, par exemple dans le cas des interconnexions. Pour cela l'emploi d'équipements existants, comme le microscope électronique à balayage, sera optimisé.

Le travail de thèse présenté ici a été réalisé en convention CIFRE entre l'entreprise franco-italienne STMicroelectronics et le Laboratoire des Technologies de la Microélectronique (LTM). Une grande partie des travaux a été réalisée au sein de l'unité de fabrication Crolles 300 de ST en Isère. Cela a permis d'être au plus près des différents acteurs et procédés mis en place pour la fabrication des circuits intégrés.

Le premier chapitre de cette thèse fait un rappel historique sur l'industrie de la microélectronique. Il aborde ensuite le poids économique actuel de cette industrie ainsi que le positionnement de STMicroelectronics en son sein.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Le deuxième chapitre va introduire les grandes lignes du procédé de fabrication, notamment le patterning, est mettre en avant les différents défis liés à la résolution et au contrôle du procédé. Cela permettra de mettre en avant les raisons qui ont mené à la réflexion de ces travaux de thèse en métrologie.

Le troisième chapitre présente, dans un premier temps, la métrologie pour le contrôle dimensionnel dans les procédés de fabrication. Ce chapitre se focalise sur la microscopie électronique à balayage. Dans un second temps, différents modules développés pendant cette thèse sont introduits ainsi que leurs apports par rapport à ce qui existe. Ces modules utilisent les contours d'images de microscope électronique comme source d'informations.

Le quatrième chapitre présente les différents cas où les modules développés ont été utilisés. La plupart du temps cela se fait en collaboration avec différents groupes au sein de l'entreprise, voire à l'extérieur.

Le cinquième chapitre vise à fournir des perspectives d'améliorations et de nouvelles opportunités de développement relatives au contrôle du procédé.

Chapitre 1 : historique et poids économique de la microélectronique

I. Historique et loi de Moore

1. Transistor et circuit intégré

Les débuts de l'industrie de la microélectronique remontent à la fin des années 40. Dans l'après-guerre, l'électronique connaissait un certain engouement dans le monde de la recherche, mais cette industrie était encore bien loin du pilier économique actuel [1]. A cette époque, le tube à vide, apparu au début du vingtième siècle, était le composant de base de l'électronique et avait permis de nombreuses avancées (radio, télévision, premiers ordinateurs). Néanmoins, ces derniers nécessitaient une quantité d'énergie significative, posaient des problèmes de fiabilité et étaient limités en termes de possibilités d'intégration car difficiles à miniaturiser.

La première véritable innovation va venir des laboratoires Bell le 16 Décembre 1947 [1] [2] [3]. Trois chercheurs, John Bardeen, William Shockley et Walter Brattain, inventent un composant appelé le transistor à point de contact à partir d'un feuillet d'or et d'un bloc de germanium. Il s'agit du dispositif de la Figure 1. Bien que le montage semble encombrant, il n'en demeure pas moins innovant pour l'époque. Les trois inventeurs se verront attribuer le prix Nobel de physique en 1956.

La recherche sur les transistors va se poursuivre et aboutir en 1958 à la conception du premier circuit intégré par Jack St. Clair Kilby, un jeune ingénieur de Texas Instrument. A l'époque, il était de plus en plus difficile d'améliorer les circuits électroniques existant en raison du nombre important de composants qu'il fallait ajouter régulièrement. Les circuits devenaient de plus en plus encombrants en raison de la difficulté de relier tous les composants entre eux (câblages, soudures). Le coût de tels systèmes devenait extrêmement prohibitif et leur fiabilité avait tendance à décroître lorsque le nombre de composants augmentait. Kilby pensait que tous les composants nécessaires au fonctionnement d'un

circuit pouvaient être faits du même matériau semi-conducteur et donc réunis au sein d'un même bloc. C'est ainsi que le 12 Septembre 1958, il fit la démonstration du premier circuit intégré de l'histoire. Cette invention lui vaudra le prix Nobel de Physique en 2000. Robert Noyce, un des co-fondateurs de l'entreprise Intel, fera la même année la même découverte de manière indépendante. Suite à cette invention, les transistors ainsi que les interconnexions électriques étaient directement intégrés au sein d'un bloc de matériau semi-conducteur.

2. Loi de Moore

En 1965, Gordon E. Moore possède déjà une solide expérience dans le domaine des circuits intégrés au sein de l'entreprise Fairchild Semiconductor. Cette dernière est à l'origine de plusieurs innovations, notamment le remplacement du germanium par le silicium. C'est également la première entreprise à utiliser commercialement la technique de photolithographie sur plaques de silicium pour concevoir des transistors.

Depuis l'invention de Kilby, les circuits intégrés avaient gagné en performances. Moore fit l'observation suivante : en considérant le circuit le plus complexe disponible sur le marché, le nombre de composants avait doublé chaque année à coût constant. Ainsi, à chaque génération, le coût de fabrication de chaque composant était divisé par deux. Dans le même temps, la fiabilité des circuits augmente, ce qui permet leur utilisation à plus grande échelle. A ce moment, Moore parle de l'ensemble des composants du circuit, les transistors mais également les résistances et capacités, mais ensuite c'est bien le nombre de transistors qui fera référence pour les performances d'un circuit. Partant de cette observation, Moore prédit que la tendance du doublement va se maintenir pendant les dix années suivantes. D'environ 64 composants, ce nombre devrait passer à 65 000 en 1975 [4].

Gordon Moore, Robert Noyce et Andrew Grove co-fondent en 1968 la société Intel à Santa Clara en Californie dans le but de développer commercialement les circuits intégrés. Trois ans plus tard, Intel développe le premier microprocesseur commercial, qui deviendra par la suite une référence du début de la loi de Moore : le processeur Intel 4004. Ce dernier est

constitué de 2300 transistors tenant sur une surface de 12 mm². Il était relativement petit comparé aux processeurs actuels cinquante fois plus grands. Sa finesse de gravure était de l'ordre d'une dizaine de micromètres.

En 1975, Moore fit un premier bilan de sa loi, qui s'est révélée assez proche de la réalité. Cette avancée a été favorisée par trois facteurs [5, 6] :

- Hausse de la surface des circuits, celle-ci ayant été multipliée par vingt entre 1959 et 1975.
- Hausse de la densité d'intégration par la diminution de la taille des motifs. Entre 1961 et 1975, la largeur des motifs a été divisée par cinq, passant de 25 à 5 micromètres. L'espace entre les motifs étant aussi important, il résulte que la densité d'intégration a été multipliée par 32 par rapport aux premiers circuits intégrés. Ainsi en une décennie seulement, le nombre de composants a été multiplié par 640 par la combinaison d'une plus forte densité et d'une plus grande surface.
- Le troisième facteur est l'optimisation des dessins par la réduction des zones inactives sur les circuits. C'est le paramètre qui a le plus contribué à l'évolution des circuits avec un facteur 100.

Il n'y avait aucune raison de penser que la tendance allait changer, mais Moore prédit un ralentissement de la croissance pour passer à un doublement tous les deux ans. La taille des circuits devrait continuer à augmenter grâce à l'utilisation de substrats plus larges et l'évolution des techniques de lithographie devrait permettre de diminuer la taille des motifs au moins jusqu'au micromètre. En termes d'optimisation des dessins des circuits, les avancées ont été très rapides sur les dix dernières années mais ce facteur devrait ralentir, ce qui entraîne le passage à un cycle de deux ans.

La suite de l'histoire va lui donner raison. La croissance de l'industrie microélectronique va se poursuivre au rythme énoncé par Moore [7]. Sa prédiction deviendra une référence économique pour tous les acteurs dont la croissance des produits sera guidée par cette loi.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Intel est rapidement devenu un acteur majeur avec ses processeurs qui équiperont une grande majorité des ordinateurs dans le monde.

Il faut constater aujourd'hui que la tendance issue de la loi de Moore s'est poursuivie au-delà de ce qui était espéré à l'époque. Le développement technologique initié dans les années 60 a permis des avancées technologiques dans tous les domaines de la société : téléphonie, automobile, informatique, aérospatiale. La baisse des coûts de fabrication à chaque génération de circuit intégré a démocratisé l'usage des ordinateurs. En 1957, la société IBM introduit l'IBM610 qui est le premier ordinateur destiné à un usage bureautique. Il pouvait soit être acquis pour la somme de 55 millions de dollars, soit être loué pour 1150 dollars mensuel [8]. Aujourd'hui, la miniaturisation des composants s'est poursuivie bien après la limite du micromètre et les consommateurs peuvent s'offrir un ordinateur portable pour quelques centaines de dollars.

Sur la Figure 3, le nombre de transistors dans certains microprocesseurs commerciaux de référence est comparé à la tendance du doublement tous les deux ans et l'évolution est cohérente avec la prédiction.

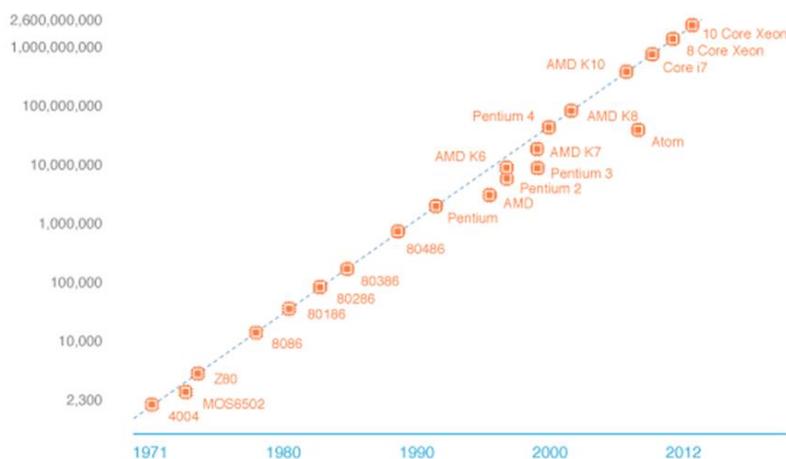


Figure 3 : Evolution du nombre de transistor par microprocesseur pour des circuits commerciaux (source : ASML).

Les années 2000 ont vu l'arrivée des premiers circuits contenant plus d'un milliard de transistors. L'industrie est entrée dans l'ère de l'intégration à ultra large échelle (ULSI). Les

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

circuits les plus avancés ne sont plus réservés uniquement aux ordinateurs mais se retrouvent très souvent dans les téléphones portables. Par exemple, un processeur A11 Bionic, qui équipe les derniers smartphones d'Apple, comporte 4,3 milliards de transistors. Dans le domaine des processeurs informatiques, AMD et Intel lancent aujourd'hui des processeurs dépassant les 10 milliards de transistors. La fabrication de puces contenant des milliards de transistors est devenue un défi technologique et économique.

II. Microélectronique aujourd'hui

1. Aspects économiques

En quelques décennies, la microélectronique s'est imposée comme un important moteur économique [9] par les innovations technologiques qu'elle apporte dans de nombreux domaines : automobile, spatial, téléphonie, informatique. La croissance de cette industrie s'est accentuée ces dernières années avec l'arrivée des objets connectés ou encore l'autonomisation toujours plus grande des voitures. Dans les prochaines années, la demande dans les économies émergentes devrait contribuer significativement à la croissance de l'industrie. Par exemple, rien qu'en 2012, le marché des semi-conducteurs pour l'automobile valait près de 24 milliards de dollars. D'ailleurs, la majeure partie de l'innovation dans l'automobile est délivrée par les innovations dans les circuits intégrés. Une voiture est équipée en moyenne de 350 dollars en circuits intégrés.

La fabrication des circuits intégrés a un impact non négligeable sur l'économie locale et sur l'emploi. Les investissements importants engagés par l'industrie sont une manne financière importante et une source d'emplois directs et indirects pour les régions qui accueillent les unités de fabrication (Figure 4 et Figure 5). Les Etats-Unis sont le pays qui en bénéficie le plus avec 136 milliards de contribution au PIB, devant l'Europe (77 milliards) et les pays de l'est asiatique. En termes d'emplois directs, la Chine arrive en seconde position derrière les Etats-Unis tandis que des pays comme la Corée du Sud ou le Japon génèrent autant d'emplois directs que l'Europe.

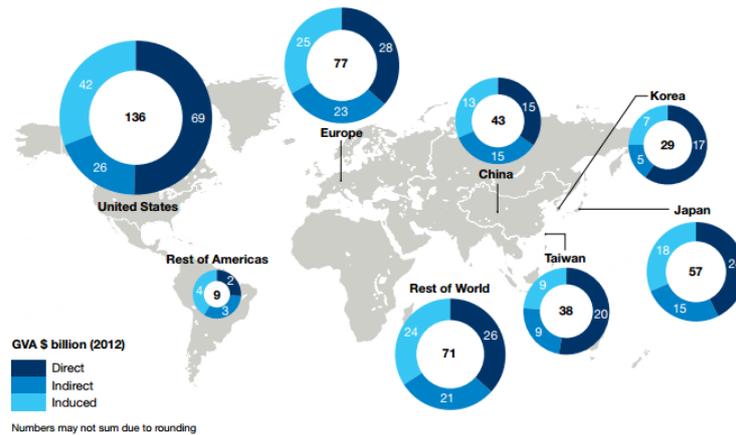


Figure 4 : Influence de l'industrie des semi-conducteurs sur le PIB de différentes régions du globe [10].

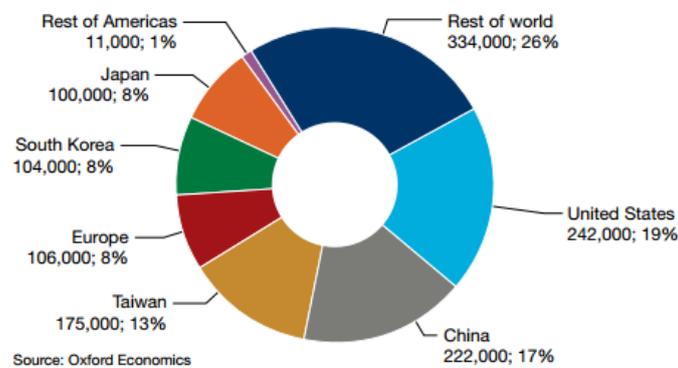


Figure 5 : Distribution géographique des emplois directs générés par l'industrie des semi-conducteurs [10].

L'écosystème de la microélectronique est constitué de différents types d'entreprises :

- Les entreprises IDM (« Integrated Device Manufacturers ») : ce sont les entreprises qui conçoivent, fabriquent et industrialisent elles-mêmes leurs circuits intégrés. Ainsi, elles ont le contrôle de la totalité du processus de développement d'un produit. Elles disposent donc de leurs propres unités de fabrication. C'est le modèle d'entreprises comme Intel, Samsung, STMicroelectronics, Texas Instrument, Infineon ou NXP, pour les plus connues.
- Les entreprises dites « Fabless » : celles-ci ne possèdent pas d'unité de fabrication et se focalisent sur la conception du circuit et leur commercialisation. La fabrication est ainsi sous-traitée. Cela permet aux entreprises d'économiser les investissements nécessaires pour entretenir des outils de production coûteux et difficiles à

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

rentabiliser. Qualcomm, Boradcom, NVIDIA, Apple et AMD sont les principales entreprises Fables.

- Les Fonderies : cette fois, il s'agit d'entreprises dont le savoir-faire industriel est concentré dans la fabrication des circuits. Elles ne conçoivent aucun produit mais développent des procédés de fabrication pour les proposer aux clients souhaitant sous-traiter la fabrication de leurs produits. TSMC (Taiwan), Samsung (Corée du Sud), GlobalFoundries (Etats-Unis) et UMC (Taiwan) sont les principales fonderies dans le monde. Leurs principaux clients sont les entreprises Fables, mais aussi des entreprises IDM dont les usines ne permettent pas d'absorber tous les volumes de production. Notons cependant que Samsung est à la fois une entreprise IDM et une fonderie, avec Qualcomm et Apple comme clients principaux. Les fonderies investissent massivement dans leur outil de production pour pouvoir produire en volumes importants et offrir aux clients des procédés avancés. Par exemple, en 2015, Samsung a annoncé la construction d'une usine de fabrication d'un coût de 14 milliards de dollars et TSMC a lancé en 2018 la construction d'une usine d'un coût supérieur à 20 milliards de dollars pour la production de ses nœuds les plus avancés.

La poursuite de la miniaturisation requiert des investissements importants en recherche et développement. La microélectronique est une des industries qui investit le plus dans la R&D. Sur la Figure 6 se trouve le classement des entreprises en fonction de leurs investissements. Les sommes consacrées à la R&D correspondent à une fraction importante du chiffre d'affaire. Ainsi, Qualcomm consacre un tiers de son chiffre d'affaire à la recherche et au développement. ST en consacre 20% ce qui en fait l'IDM qui investit la plus grosse part de son chiffre d'affaire en R&D.

Il faut également souligner le rôle important que jouent les fournisseurs d'équipements. En développant des équipements et des procédés adaptés, ils contribuent également au développement de cette industrie. La complexification des procédés de fabrication nécessite des équipements toujours plus performants et donc plus coûteux, ce qui permet de pousser la croissance du chiffre d'affaire des principaux fournisseurs (voir Figure 7). En 2016, un fournisseur généraliste comme Applied Materials atteignait dix milliards de dollars

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

de chiffre d'affaires. Tous les principaux fournisseurs étaient en croissance et la tendance se maintient en 2017.

Top Semiconductor R&D Spenders (Companies with ≥\$1.0B in Spending)				
2016 Rank	Company	R&D Exp (\$M)	R&D/Sales %	16/15 % Chg in R&D
1	Intel	12,740	22.4%	5%
2	Qualcomm	5,109	33.1%	-7%
3	Broadcomm Ltd.	3,188	20.5%	-4%
4	Samsung	2,881	6.5%	11%
5	Toshiba	2,777	27.6%	-5%
6	TSMC	2,215	7.5%	7%
7	MediaTek	1,730	20.2%	13%
8	Micron	1,681	11.1%	5%
9	NXP	1,560	16.4%	-6%
10	SK Hynix	1,514	10.2%	9%
Top 10 Total		35,395		
11	Nvidia	1,463	22.0%	10%
12	TI	1,370	11.0%	7%
13	ST	1,336	19.3%	-6%

Source: Company reports, IC Insights' Strategic Reviews database

Figure 6 : Classement des entreprises de l'industrie des semi-conducteurs en fonction de leurs investissements R&D.

2016 Rank	AOW	COMPANY	2016	Y-o-Y Growth
1	NA	Applied Materials	9875.5	17.9%
2	EU	ASML	7343.7	8.8%
3	NA	Lam Research	6375.0	8.0%
4	JA	Tokyo Electron	6064.2	15.5%
5	NA	KLA-Tencor	3199.6	13.4%
6	JA	SCREEN	1786.5	34.1%
7	JA	Advantest	1415.0	7.0%
8	NA	Teradyne	1368.5	13.9%
9	JA	Hitachi High-Technologies	1129.1	21.7%
10	CH	ASM Pacific Technology	930.1	22.8%

Source: VLSI Research inc.

Figure 7 : Classement 2016 des fournisseurs d'équipements par chiffre d'affaire (en millions de dollars).

2. Positionnement de STMicroelectronics, le More than Moore

Les travaux de cette thèse ont été effectués chez la société franco-italienne STMicroelectronics sur le site de Crolles en Isère. ST est née en 1987 de la fusion entre l'entreprise française Thomson Semiconducteurs et l'entreprise italienne SGS ce qui a donné SGS-Thomson. L'entreprise a pris la dénomination STMicroelectronics en 1998.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Comme le montre le classement de la Figure 6, ST est une des entreprises qui investit un des plus gros pourcentage de son chiffre d'affaire dans la recherche et le développement de nouveaux produits. Le chiffre d'affaire de la société a dépassé les huit milliards de dollars en 2017. Actuellement son portefeuille de produits adresse des marchés porteurs de croissance comme l'automobile et les objets connectés.

La notion de nœud technologique est employée pour nommer chaque génération technologique et pour quantifier la miniaturisation des composants et la hausse de la densité surfacique de transistors. Le nœud fait en général allusion à la dimension du plus petit élément du circuit. Historiquement, c'est le transistor qui était désigné et le nœud technologique était nommé par rapport à sa longueur de grille, d'où l'emploi de dénominations comme 90 nm, 45 nm, etc. Néanmoins, les nœuds les plus avancés (14 nm, 10 nm, 7 nm, etc) font appel à de nouvelles architectures de transistors pour augmenter la densité de transistors en raison des difficultés à miniaturiser la grille à ces échelles. Ainsi la dénomination de ces nœuds est essentiellement commerciale et ne correspond pas à la taille réelle de la grille.

Pendant longtemps, la R&D chez ST a été guidée par la loi de Moore comme la plupart des entreprises et cela jusqu'aux années 2010. Mais Actuellement, l'entreprise privilégie une approche dite More than Moore. La miniaturisation nécessite à chaque génération des investissements et un effort de recherche très importants qu'il est difficile de rentabiliser. Comme le montre la Figure 8, la génération dites 28 nm est la dernière pour laquelle le coût unitaire du transistor a diminué. Au-delà les défis technologiques dus à la miniaturisation sont tels que des procédés ainsi que des contrôles complexes et coûteux doivent être mis en place. La conséquence est que le principe de la loi de Moore ne peut plus réellement être suivi et que le coût du transistor stagne, voire augmente légèrement. De tels produits adresseront essentiellement les marchés nécessitant des puissances de calcul importantes comme les processeurs pour smartphones et ordinateurs. Pour rentabiliser les coûts de production et proposer des prix de vente attractifs, il faut produire avec des volumes et des marges relativement importants. C'est pourquoi ce sont principalement des entreprises comme Intel, Samsung ou TSMC qui se lancent dans de tels marchés.

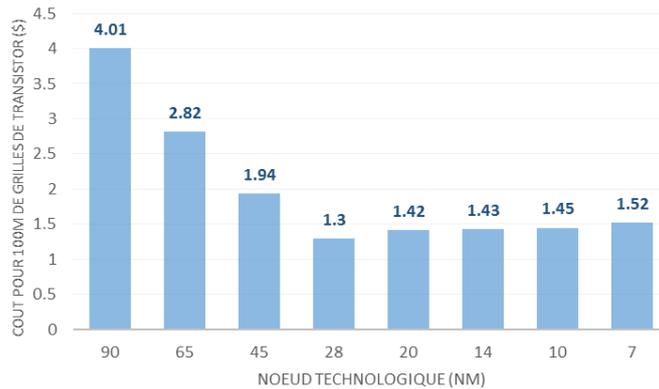


Figure 8 : Evolution du coût de fabrication de transistors pour les nœuds avancés.

(Source : International Business Strategies, Inc)

En raison des marchés adressés par ST, une autre approche a été privilégiée. En effet, l'entreprise s'est désengagée du cycle de fabrication des nœuds avancés au-delà du 28 nm. Pour se différencier, une approche visant à développer des technologies dérivées de ses nœuds CMOS classiques a été favorisée. Par exemple, ST a développé la technologie FD-SOI (Fully Depleted Silicon on Insulator) en collaboration avec le CEA-Leti et Soitec. Il s'agit de remplacer les substrats en silicium massif par des substrats de silicium recouverts d'une fine couche d'oxyde isolant et d'un film ultra mince de silicium dans lequel les canaux des transistors sont fabriqués. Cette technologie présente plusieurs avantages. Les modifications concernant principalement le substrat, il est possible d'utiliser une grande partie des procédés de fabrication existant pour les technologies à substrat classique. Le FD-SOI présente une faible consommation de courant ce qui le rend compétitif pour le marché des objets connectés. ST propose à ses clients des produits FD-SOI en 28 nm. Dans le but de développer l'écosystème FD-SOI, des licences d'exploitation ont été fournies à Samsung (28 nm FD-SOI) et Globalfoundries (22 nm FD-SOI). Ces fonderies, aux capacités de production importantes, peuvent ainsi proposer un procédé FD-SOI à leurs clients Fabless et IDM. NXP, un des principaux fabricants de circuits pour l'automobile, a annoncé adopter massivement cette technologie pour ses futurs circuits en 28 nm [11, 12].

ST est également très présent dans le secteur des mémoires flash intégrées avec un positionnement important dans le secteur des produits sécurisés : paiement sans contact, passeports, microcontrôleurs pour l'industrie et les objets connectés. La technologie flash

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

actuellement en production est dérivée du nœud 40 nm. Celle issue du 28 nm est en cours de développement. ST est aussi un des principaux fournisseurs de capteurs optiques CMOS [9]. Malgré un ralentissement des ventes en 2015, la division imageurs connaît actuellement une forte croissance, tirée par des marchés comme la téléphonie, la réalité virtuelle et surtout l'automobile grâce au déploiement de solutions d'imagerie 3D et de détection d'environnement pour les voitures autonomes [13]. Bien que cette thèse ait abordé des problématiques relatives au nœud 28 nm, la dynamique relative aux capteurs d'images va permettre de générer des interactions avec les équipes de développement qui vont aboutir à des projets enrichissants qui seront abordés en dernière partie de cette thèse.

Cette thèse a été réalisée en grande partie sur le site STMicroelectronics de Crolles, visible sur la Figure 9. Il s'agit du site de fabrication le plus avancé du groupe. Celui-ci est né en 1992 avec la construction d'une salle blanche de production utilisant des substrats de 200 mm de diamètre. En 2002, le site est agrandi avec la construction d'une salle blanche de 10 000 m² utilisant des substrats de 300 mm. Cette extension est le résultat d'un partenariat technologique entre STMicroelectronics et Philips Semiconductors pour le développement des nœuds à partir de 90 nm. Il s'agit de l'alliance Crolles 2. TSMC et Motorola s'allieront à Crolles 2 par la suite. L'alliance est dissoute en 2007 suite au retrait de Philips. Le site est alors pris en charge à 100% par STMicroelectronics dont il s'agit de l'unité la plus avancée.



Figure 9 : Site STMicroelectronics de Crolles avec les salles blanches Crolles 1 et Crolles 2.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Chapitre 2 : Le patterning, du dessin au circuit

I. Le circuit intégré

1. Substrat

Le terme circuit intégré désigne couramment un circuit électronique fabriqué sur un substrat de silicium. Le silicium étant un matériau semi-conducteur, il est possible de modifier localement la conductivité électrique par dopage ionique afin de former des transistors sur la surface. Le substrat utilisé est généralement appelé plaque ou galette (le terme anglais « wafer » est couramment utilisé dans l'industrie). Sur chaque plaque plusieurs circuits peuvent être fabriqués, permettant ainsi d'améliorer les rendements et d'optimiser les coûts de production. La plaque est une fine tranche de silicium (< 1 mm d'épaisseur) de haute pureté (un atome étranger pour un milliard d'atomes de silicium) avec polissage miroir pour éliminer toute trace de rugosité de surface. La fabrication d'un circuit se fait exclusivement en salle blanche pour préserver les composants contre les particules qui pourraient les endommager.

La taille des plaques a toujours été un élément important de la continuation de la loi de Moore. L'évolution des technologies de fabrication des circuits causée par la miniaturisation nécessitait des investissements importants. Il était donc nécessaire de réduire les coûts de production afin de rentabiliser les investissements. La taille des plaques a donc continuellement augmenté afin de permettre de produire plus de circuits par substrat. D'un pouce dans les années 60, le diamètre atteignait déjà 100 mm quinze ans plus tard (voir Figure 10). Aujourd'hui les usines les plus avancées opèrent avec des plaques de 300 mm de diamètre. Le passage au 300 mm a permis un gain de surface de 142% par rapport au 200mm. En ordre de grandeur, une plaque actuelle de 300 mm contient près de mille milliards de transistors. Le passage à des plaques de 450 mm est régulièrement abordé mais a été reporté sans visibilité en raison des coûts et des contraintes techniques. Le changement de dimensions des substrats est un défi technologique car cela nécessite un contrôle au nanomètre près de l'uniformité des procédés de fabrication sur l'ensemble de la surface du substrat. La variabilité est une réalité depuis les débuts de la

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

microélectronique. Au fur et à mesure que les dimensions des motifs diminuent pour se rapprocher de l'échelle atomique, elle influence fortement les propriétés électriques du produit final (tension de seuil des transistors, résistance électrique des interconnexions).

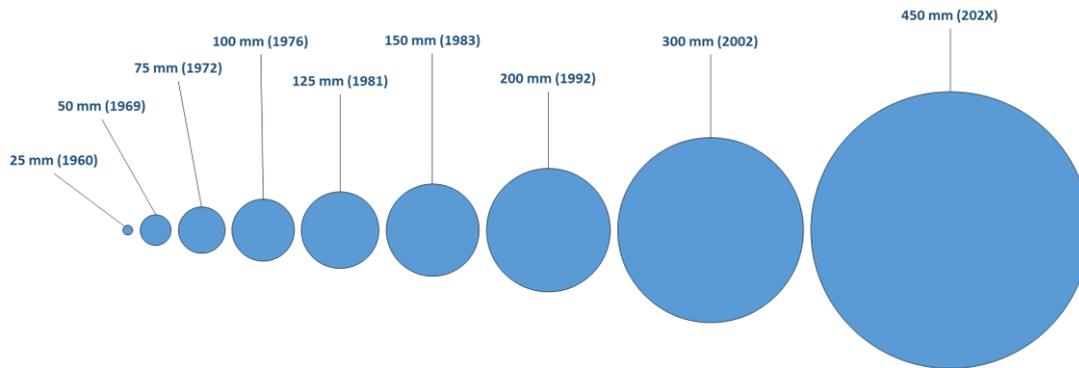


Figure 10 : Evolution des dimensions des plaques de silicium [14].

2. Le transistor

Le transistor peut être comparé à un interrupteur. L'association de plusieurs transistors sur un circuit intégré permet de réaliser les fonctions complexes qui caractériseront l'application du composant fini [15]. Il existe différents types de transistors mais celui qui concerne cette étude est le transistor MOS (Metal Oxide Semiconductor). Celui-ci va retranscrire une information de type binaire, 0 (le courant ne passe pas) ou 1 (le courant passe). Trois éléments le caractérisent : la source, le drain et la grille. La source et le drain sont dopés à l'opposé du substrat de silicium. Lorsque leur dopage est de type n (électrons majoritaires), on parle de transistor NMOS. Dans le cas inverse, le transistor est de type PMOS (lacunes électroniques majoritaires dans la source et le drain).

Afin de pouvoir configurer des fonctions complexes, il faut avoir les deux types de configurations dans le circuit, NMOS et PMOS. On parle de circuit intégré de type CMOS (« Complementary Metal Oxide Semiconductor »). La grille permet de contrôler le passage du courant entre la source et le drain.

Le transistor est l'élément de base de la course à la miniaturisation. Augmenter la densité de transistors permet d'augmenter le nombre de fonctions d'un circuit. Les grandeurs qui caractérisent un transistor sont sa longueur de grille L entre la source et le drain ainsi que sa largeur W . Réduire L permet également un passage plus rapide du courant entre la source et le drain.

En ce qui concerne le fonctionnement de ce composant, avec en exemple le cas du transistor NMOS sur la Figure 11. Dans ce cas, la source et le drain sont de type n et le substrat p. Si aucune polarisation n'est appliquée entre la source et le drain, le courant ne peut pas passer (l'interrupteur est ouvert). Dans le cas a, une différence de potentiel est appliquée entre la grille et le dessous de la plaque. La grille est donc polarisée positivement. Les porteurs minoritaires du substrat vont être attirés vers la grille et bloqués au niveau de l'oxyde contre lequel ils vont s'accumuler. Un canal électronique est ainsi formé. Ensuite, en b, une différence de potentiel est appliquée entre la source et le drain pour permettre au courant de circuler via le canal formé précédemment. Le transistor est alors fermé.

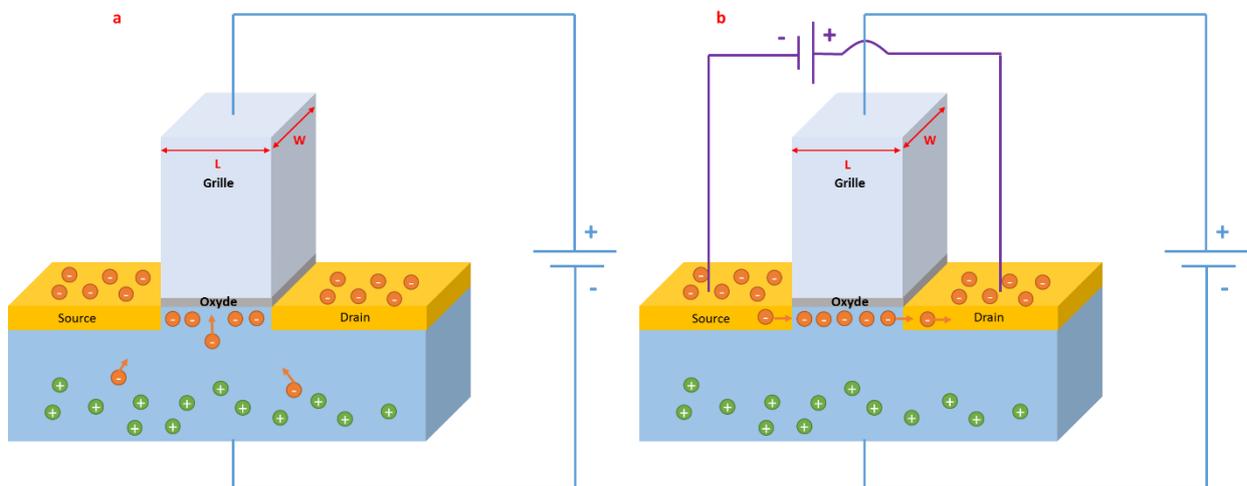


Figure 11 : Représentation schématique du principe de fonctionnement d'un transistor NMOS.

a) la grille est polarisée positivement afin de former le canal électronique.

b) une différence de potentiel appliquée entre la source et le drain permet le passage du courant par le canal.

La tension minimale pour permettre la formation du canal est appelée tension de seuil. Chaque variation dans la fabrication des transistors va induire une variation de la tension

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

de seuil. Plusieurs sources de variabilité affectent le fonctionnement des transistors : par exemple la fluctuation de la concentration en dopants dans la source et le drain, la rugosité des bords de grille ou encore la variabilité de la longueur de grille. C'est pourquoi une grande importance a été apportée au contrôle du procédé de fabrication des transistors, surtout depuis que les tailles de grille approchent de l'échelle atomique.

Depuis quelques années, la miniaturisation des transistors se heurte à des barrières physiques. L'un des principaux défis est le courant de fuite dû à une faible longueur de grille. Il est de plus en plus difficile de faire passer le transistor de l'état ouvert à l'état fermé. Le nœud 28 nm est le dernier nœud pour lequel l'architecture planaire sur plaque de silicium massif a été utilisée en production car au-delà, la fiabilité des circuits n'est pas garantie. Deux approches ont été développées par les industriels :

- Le développement du FD-SOI qui nécessite peu de changements de procédés et permet de maintenir l'architecture planaire. Un schéma représentatif d'un transistor sur FD-SOI est donné sur la Figure 12 et comparé à son équivalent sur silicium. La plaque de silicium utilisée est recouverte d'une fine couche d'oxyde isolant lui-même recouvert d'une fine couche de silicium. C'est à partir de cette dernière que les transistors sont formés. La couche d'isolant permet de limiter les fuites électriques. Cette technologie existe pour les nœuds 28 (STMicroelectronics et Samsung) et 22 nm (Globalfoundries). Globalfoundries a annoncé en 2016 le développement du nœud 12 nm FD-SOI [16]. Cependant, il semble difficile d'aller vers des nœuds beaucoup plus fins comme le 7 nm en raison de la difficulté à fabriquer les plaques FD-SOI.
- Une grande partie des circuits avancés vendus dans le monde utilisent des transistors 3D dits finFET. Cette architecture a été commercialement lancée par Intel en 2011 pour ses processeurs 22 nm. Une comparaison transistor planaire / finFET est donnée sur la Figure 13.

La source et le drain ne sont plus formés dans le substrat mais sont fabriqués sous une forme d'ailette (fin) au-dessus de la plaque. La grille vient alors entourer l'ailette par trois côtés.



Figure 12 : Schéma représentatif d'un transistor sur plaque FD-SOI vs silicium classique (source : STMicroelectronics).

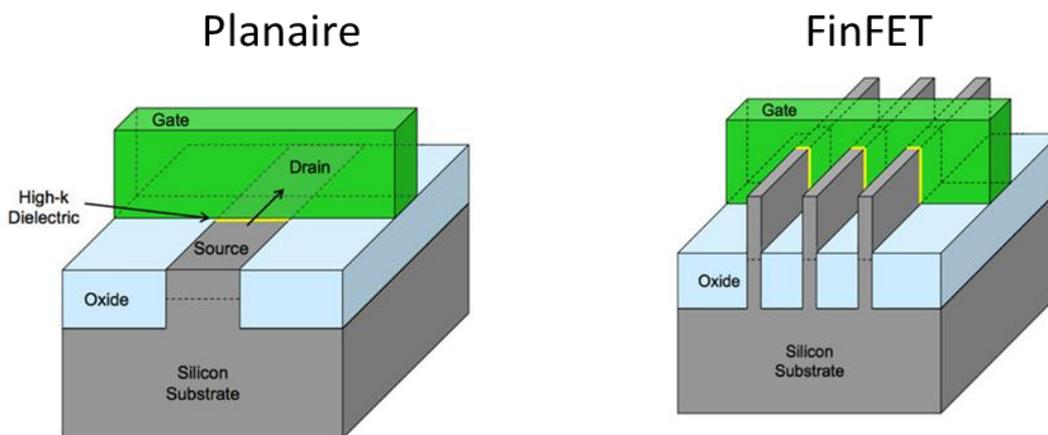


Figure 13 : Schéma représentatif d'un transistor finFET vs silicium classique (source : Intel).

Une telle architecture limite les zones de fuite de courant et permet d'avoir une meilleure fiabilité des circuits. L'encombrement du transistor est également réduit ce qui permet d'augmenter la densité d'intégration. Néanmoins, ce changement d'architecture entraîne une hausse des coûts de production ce qui explique en partie la tendance observée sur la Figure 8. Dans des nœuds moins agressifs, comme le 28 nm, le transistor planaire reste privilégié.

ST n'étant pas positionné sur la technologie finFET, elle ne sera pas mentionnée dans la suite de cette thèse qui se focalisera essentiellement sur les interconnexions des technologies 28 nm.

3. Technologie MOS

La fabrication d'un circuit intégré sur silicium est différenciée en trois parties :

- Le FEOL (pour Front End of Line) qui correspond aux étapes de fabrication des transistors
- Le MEOL (pour Middle End of Line) qui permet de réaliser le niveau de contact des transistors
- Le BEOL (pour Back End of Line) qui représente la fabrication des niveaux d'interconnexions métalliques au-dessus des contacts des transistors. Le nombre de niveaux BEOL augmente au fur et à mesure que le nombre de transistors (et donc de fonctions) augmente.

Une vue en coupe d'un circuit en fin de fabrication est donnée sur la Figure 14. Les niveaux d'interconnexions sont visibles et augmentent en taille sur les derniers niveaux. Les transistors sont trop petits pour être visibles sur cette image. Une vue en coupe plus précise au niveau des transistors est donnée sur la Figure 15.

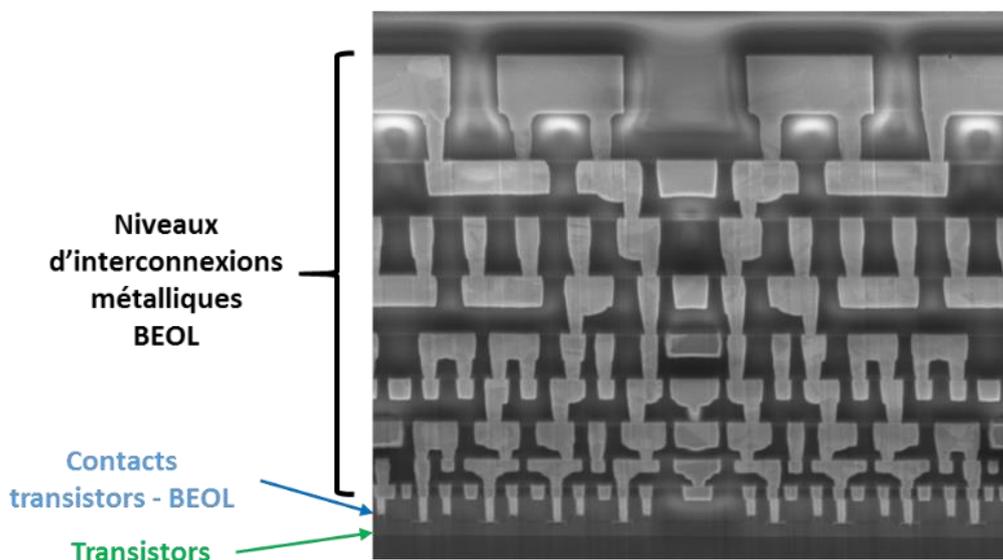


Figure 14 : Vue en coupe d'un circuit intégré en fin de fabrication (microscopie électronique à transmission).

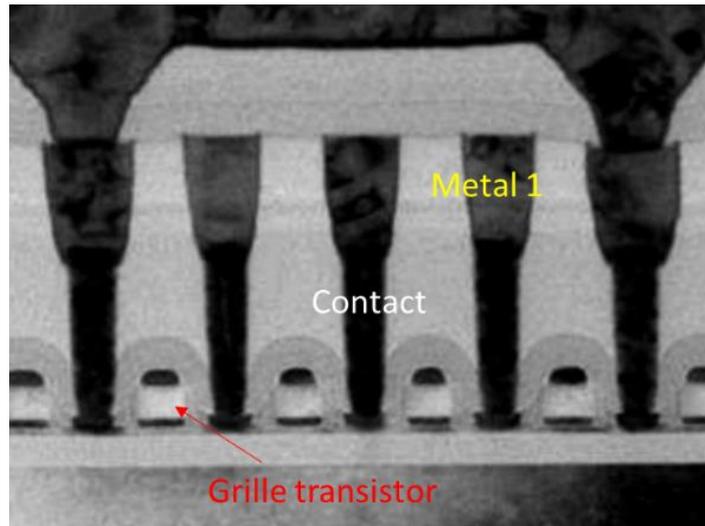


Figure 15 : Vue en coupe d'un niveau de transistors dans un circuit intégré.

Le procédé de fabrication d'un circuit complet est constitué de plusieurs centaines d'étapes visant à structurer chaque niveau l'un après l'autre :

- Photolithographie pour définir les dessins des différents éléments et des zones à graver, doper, etc
- Implantation ionique afin de doper certaines zones définies par photolithographie et ainsi créer la source et le drain
- Gravure sèche qui utilise un plasma afin de graver un matériau
- Traitement chimique pour retirer sélectivement un matériau à l'aide d'une solution chimique adéquate
- Nettoyage des particules à l'eau
- Dépôts de couches minces
- Polissage mécano-chimique pour retirer l'excédent de matériau et aplanir la surface
- Métrologie pour contrôler les différentes étapes de procédé

Par exemple, un cycle de fabrication complet d'un produit 28 nm de STMicroelectronics est donné sur la Figure 16. L'axe des ordonnées fournit le nombre d'étapes pour chaque brique (par exemple pour la grille). Le cycle complet est constitué de 286 étapes de procédé dont 49 sont des étapes de photolithographie. 126 étapes de nettoyages sont pratiquées tout au

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

long du cycle. Mais la métrologie est majoritaire car 473 étapes sont réalisées, soit plus de la moitié du cycle. Il faut noter l'importance de la fabrication de la grille des transistors dans le cycle puisque celle-ci nécessite 28 étapes, dont une vingtaine en métrologie et deux en photolithographie. Le BEOL occupe une part significative également, principalement les cinq niveaux les plus bas en raison de leurs dimensions agressives et de leurs designs complexes.

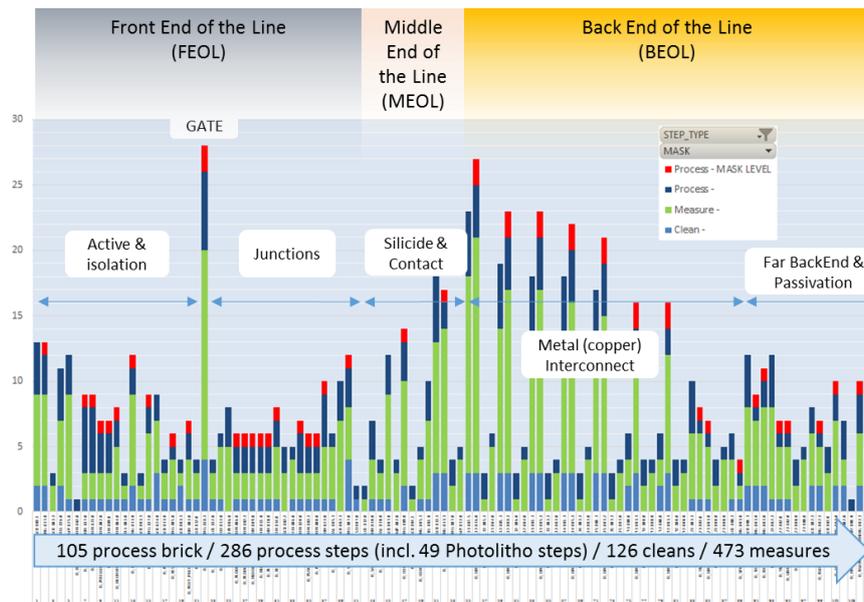


Figure 16 : Cycle de fabrication d'un produit 28 nm.

rouge : étapes de photolithographie bleu : étapes de procédé (gravure, dépôts, traitement chimique, etc)

bleu clair : nettoyage vert : métrologie

Avant de concevoir un circuit intégré, il faut étudier les applications spécifiques du produit fini : puce mémoire, sans contact, capteur d'image, etc. Ainsi, le circuit aura besoin d'un certain nombre de fonctions numériques réalisées par les transistors. Il faut donc définir le nombre de transistors nécessaires, leur agencement dans le circuit et la façon de les relier entre eux via un système complexe d'interconnexions métalliques sur plusieurs niveaux (comme la vue en coupe Figure 14). Le concepteur va alors dessiner les différents niveaux de transistors et d'interconnexions pour avoir un circuit qui répond à l'application requise. Arrive ensuite la fabrication sur silicium au cours de laquelle les ingénieurs procédés vont

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

transférer les différents dessins sur silicium avec le plus de fidélité possible, et cela sur plusieurs niveaux afin d'aboutir au circuit final qui sera ensuite mis en boîtier et livré (voir Figure 17).

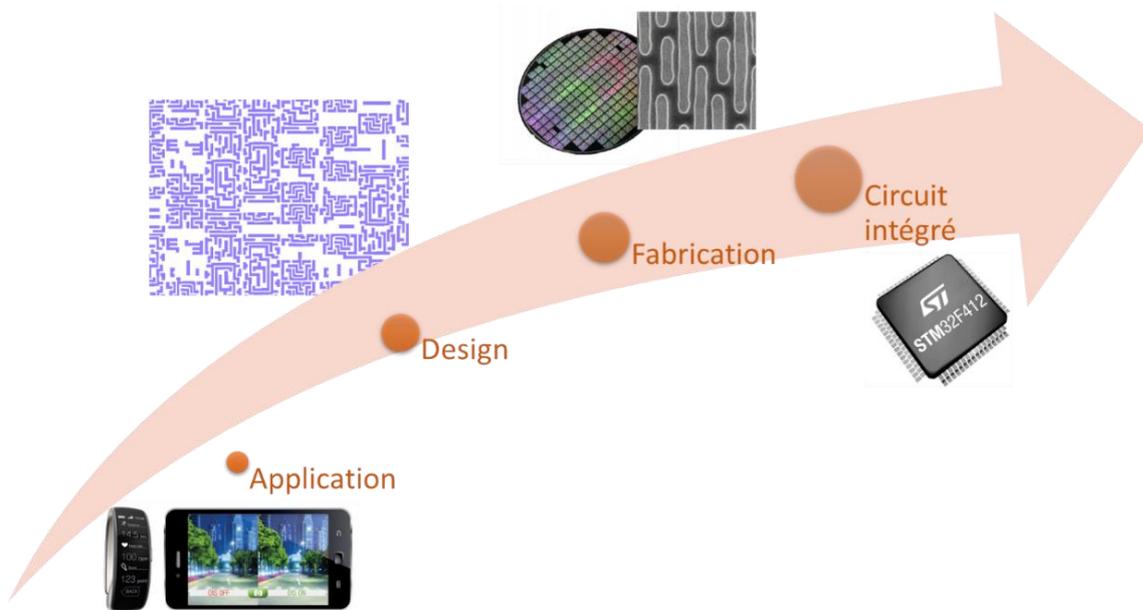


Figure 17 : Cycle de développement d'un circuit intégré.

En raison de l'importance du transistor, la décision a été prise de faciliter le plus possible leur fabrication. Ce point est corrélé à la manière dont les transistors sont placés et agencés. Le choix a donc été fait d'utiliser des designs linéaires et réguliers, faciles à transférer. Cependant, pour que le circuit ait la fonction souhaitée, il faut que les transistors soient interconnectés d'une certaine manière. Le fait de simplifier au maximum les designs des transistors a eu pour conséquence de transférer la complexité aux designs des interconnexions.

Sur la Figure 18, les designs de quatre niveaux successifs d'un circuit 28 nm sont indiqués. Les zones actives correspondent aux zones de silicium où les transistors seront fabriqués. Les grilles viennent se placer perpendiculairement et sont toutes parallèles les unes aux autres. Une fois les contacts placés, c'est au tour des interconnexions. Le design s'est alors nettement complexifié avec des lignes constituées d'angles droits et avec des

configurations de type tip to tip (deux bouts de lignes face à face) ou tip to line (un bout de ligne face à une ligne). De telles structures deviennent problématiques pour le procédé car l'information à transférer se complexifie. Dans un cas optimal, les niveaux d'interconnexions les plus bas doivent avoir des dimensions équivalentes à la taille des transistors qu'ils connectent. Mais en raison des contraintes de design, les interconnexions ne sont pas miniaturisées au même rythme que les transistors, ce qui entraîne une limitation des performances. Par exemple, pour une technologie 28 nm, le niveau Metal 1 est transféré par lithographie avec une demi-période de 45 nm. De plus ces niveaux vont subir des effets importants de variabilité dimensionnelle ce qui affecte leur fidélité vis-à-vis du dessin d'origine.

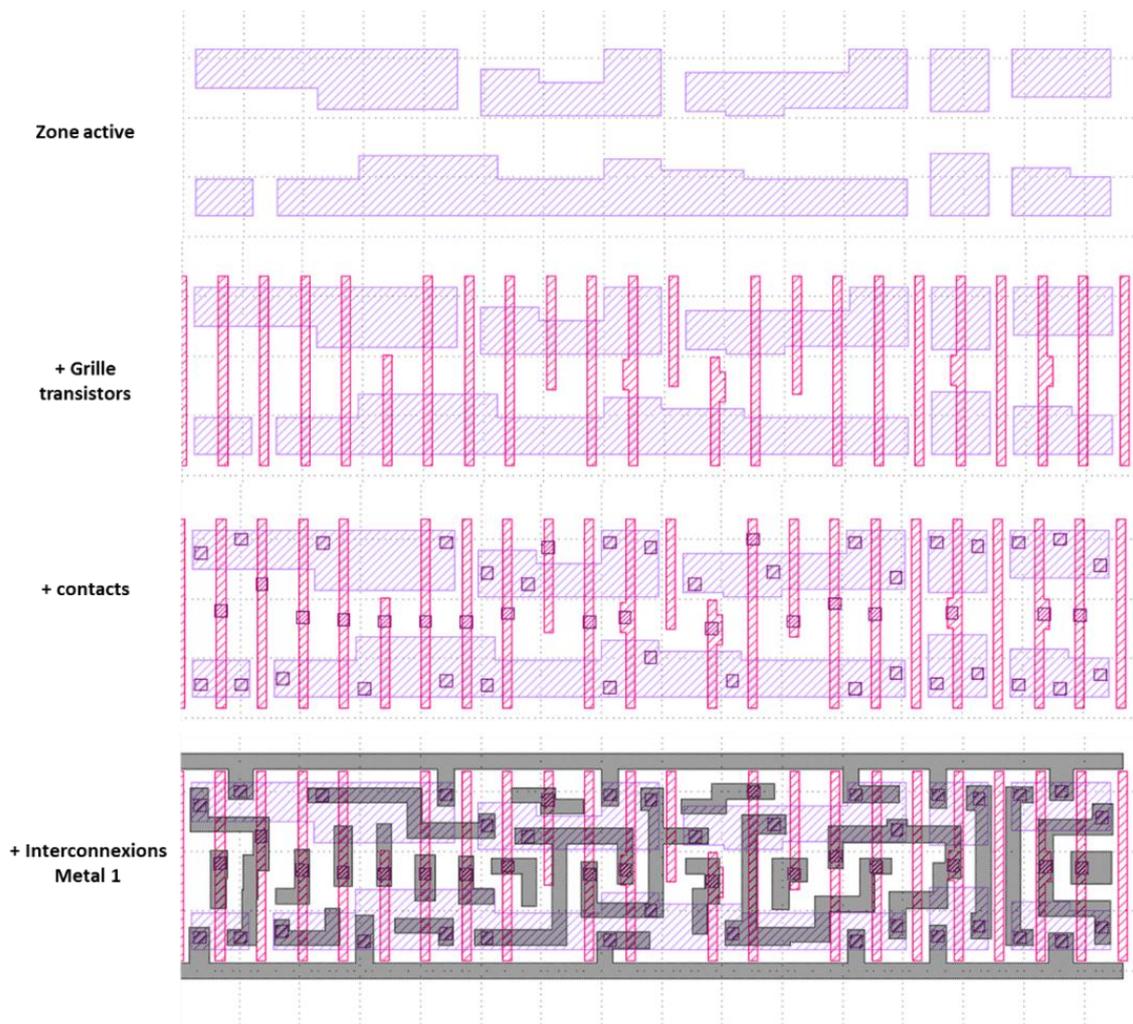


Figure 18 : Superposition des designs des niveaux active, grille, contact et Metal 1.

La fidélité du transfert est l'élément essentiel pour obtenir un circuit fonctionnel. Toute variation dans la structure ou la dimension des motifs va influencer les propriétés électriques de la puce.

II. Patterning et transfert d'image

Cette thèse s'est principalement focalisée sur les niveaux les plus bas du bloc BEOL. Dans ce cas la lithographie est associée à de la gravure pour creuser les interconnexions et à du polissage chimique et mécanique (CMP) au cours duquel la tranchée est remplie de cuivre et le niveau aplani. Cette succession d'étapes de lithographie, gravure, CMP, visant à structurer les composants s'appelle le patterning. Il permet le transfert d'un motif niveau par niveau sur un substrat et donc de structurer les différents composants du circuit.

1. Procédé

i. La photolithographie

La photolithographie est un procédé qui prend une place importante dans le cycle de fabrication des circuits intégrés. Une résine photosensible est déposée sur la plaque et exposée afin de définir les zones de formation des transistors, contacts ou lignes de métal. Elle est donc toujours associée à des étapes de dépôts de films, gravure, implantation ionique ou remplissage métallique. Les résines sont des matériaux dont les propriétés chimiques sont modifiées lorsqu'elles sont exposées à une certaine longueur d'onde. Ainsi, il est possible de transférer les motifs souhaités en plaçant un réticule entre le substrat contenant la résine et le système d'illumination. Ces motifs sont, au préalable, imprimés sur un réticule.

La photolithographie se déroule en étapes successives. Ces étapes sont schématisées sur la Figure 19 et se déroulent de la manière suivante [17, 18]:

- 1) Le matériau à graver, le plus souvent un oxyde, est déposé sur le substrat. La surface est ensuite séchée et subit un traitement hydrophobe pour faciliter l'adhérence des films et éviter une délamination prématurée. Ensuite une résine servant de couche

anti-reflet (BARC Bottom Anti Reflection Coating) est déposée pour réduire les interférences lumineuses liées à la réflexion parasite sur le substrat. Une résine photosensible constituée de polymères est appliquée à l'aide d'un procédé spin-coating pour atteindre une épaisseur de l'ordre de la centaine de nanomètres. Une étape de recuit est réalisée afin de densifier la couche et retirer les résidus de solvant. Une autre couche anti-reflet (TARC Top Anti Reflection Coating) est appliquée au-dessus du film de résine photosensible pour limiter l'effet d'onde stationnaire lié à la réflexion à l'interface air/résine photosensible.

- 2) La résine est exposée en plaçant le réticule entre la source lumineuse et le substrat. Les parties de la résine exposées à l'onde lumineuse vont subir des modifications de leurs propriétés chimiques, en particulier leur solubilité. On parle alors d'image latente dans la résine. Si la résine est dite de tonalité positive, elle est à l'origine insoluble dans le développeur. L'exposition à l'onde lumineuse va donc rendre les zones insolées solubles. Les résines de tonalité négatives sont solubles dans le développeur et les zones exposées deviendront ensuite insolubles. En général, pour que les réactions chimiques aient lieu de manière optimale, un recuit, appelé PEB (Post Exposure Bake), est appliqué après exposition. Cela permet de gommer l'effet lié aux ondes stationnaires par diffusion des espèces chimiques donnant l'image latente après exposition. Les ondes stationnaires influencent le transfert final en créant un effet de vague le long de l'épaisseur. L'emploi de films anti-reflets et de recuits limite fortement ce phénomène.
- 3) Le substrat est ensuite mis au contact du développeur permettant ainsi de retirer les zones de résine solubles et finalisant la définition des motifs. Un autre recuit est effectué par la suite afin de retirer tous les résidus organiques et consolider la résine avant les étapes agressives telles que la gravure plasma ou l'implantation ionique. Des images par microscope électronique à balayage de motifs après transfert dans la résine sont données sur la Figure 20. D'importantes variations sont visibles entre le dessin souhaité et la structure transférée dans la résine. La première structure montre des phénomènes d'arrondissement des angles et des bouts de ligne ainsi

que des distorsions structurales. La deuxième structure est un réseau périodique et la rugosité des bords y est assez importante.

- 4) Une fois la résine consolidée, des étapes comme la gravure ou l'implantation ionique peuvent avoir lieu. Ensuite la résine est retirée (Stripping).

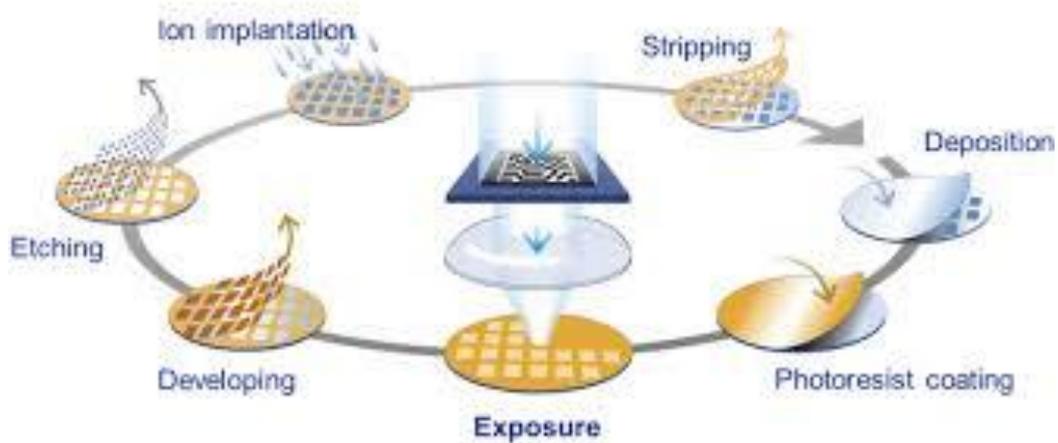


Figure 19 : Etapes relatives à la photolithographie (source : ASML).

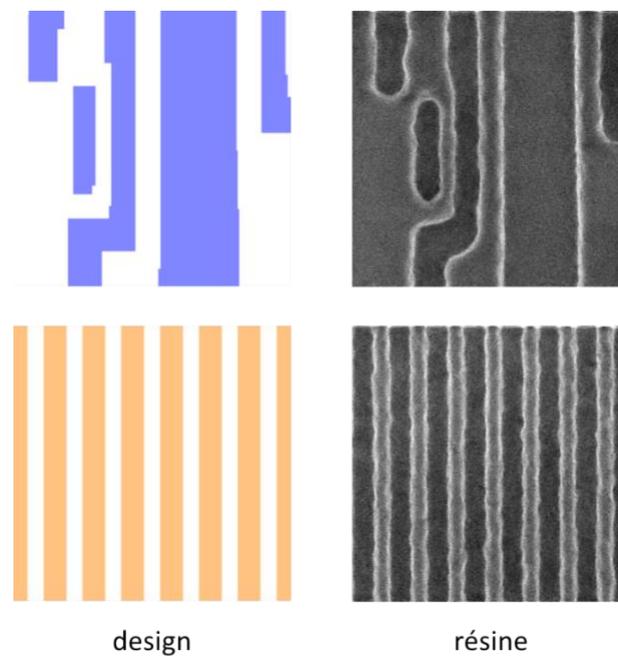


Figure 20 : Images microscopiques électroniques à balayage de structures transférées dans une résine par lithographie.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Le réticule, également appelé masque, est l'élément essentiel du transfert de motifs dans la résine [19, 20]. La fidélité des motifs imprimés dans la résine est très dépendante de la qualité de leur impression sur le masque car tout défaut se verrait alors reproduit dans la totalité des zones exposées. Les masques les plus répandus sont les masques binaires MoSi sur verre ou chrome sur verre. Ils sont constitués d'une zone couverte d'une couche opaque (MoSi ou Chrome) de quelques nanomètres et d'une zone transparente à la longueur d'onde utilisée par la source d'exposition. Les motifs à transférer sont reproduits sur le réticule à l'aide d'une lithographie à canon d'électrons. Les masques chrome ne sont plus utilisés pour les nœuds avancés car ils ne permettent pas d'obtenir une résolution acceptable. Les MoSi sont privilégiés. Il faut plusieurs heures pour fabriquer un masque. Leur prix s'élève à plusieurs dizaines de milliers d'euros. C'est une composante importante du coût de la lithographie. Pour un circuit 28 nm, il faut compter environ une cinquantaine de réticules pour réaliser l'ensemble des niveaux. Ainsi, pour chaque produit 28 nm, un ensemble de masques s'élève à quelques millions d'euros, ce qui contribue de manière importante au coût de la lithographie pour les fabricants. Une photo d'un réticule est donnée sur la Figure 21.

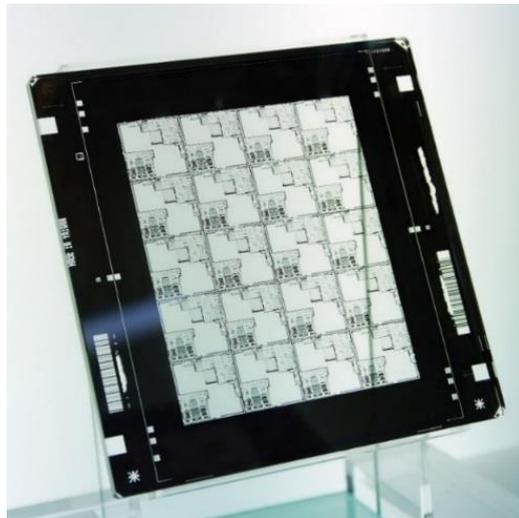


Figure 21 : Réticule de lithographie contenant une vingtaine de puces.

Sur cette image, plusieurs zones de taille identique sont visibles sur le masque. Il s'agit du design d'une puce qui est reproduit plusieurs fois sur la surface du masque. Le dessin du

masque est ensuite projeté sur une plaque en plusieurs champs successifs, chaque champ contenant le nombre de puces du masque. Ainsi dans l'exemple de la Figure 22, un champ d'exposition contient une trentaine de puces projetées une centaine de fois sur la plaque.

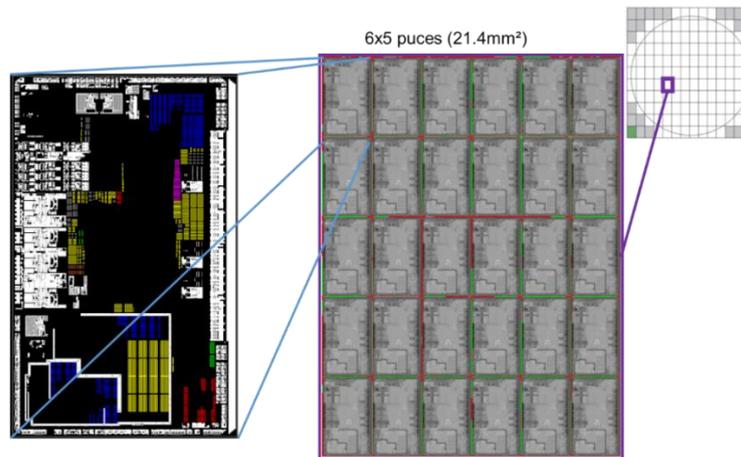


Figure 22 : Exemple de champ d'exposition constitué de 6x5 puces d'un produit 28 nm.

Comme les résines, les réticules peuvent avoir différentes polarités. Si la résine est positive, les motifs à transférer dans la résine sont transparents sur le masque. Les masques sont dits en champ sombre. Dans le cas des résines négatives, les motifs à transférer sont opaques. Les masques sont dits en champ clair. Les circuits étudiés dans cette thèse utilisent des résines positives et des masques en champ sombre.

ii. Structuration des interconnexions

Une fois que les différents éléments ont été transférés dans la résine, ceux-ci doivent ensuite être transférés dans le matériau souhaité. Dans le cas des interconnexions métalliques, le patterning permet de creuser des tranchées dans un matériau diélectrique isolant pour ensuite les remplir de cuivre. La surface est ensuite polie pour l'aplanir et enlever l'excédent de métal.

Le procédé utilisé pour former les tranchées à remplir est la gravure plasma. Celle-ci va venir attaquer les zones non couvertes par de la résine et venir y former des tranchées. Mais dans les nœuds avancés, certaines problématiques sont apparues. L'épaisseur des résines est en

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

général inférieure à la centaine de nanomètres. Le plasma doit creuser des tranchées également de l'ordre de la centaine de nanomètres. La gravure plasma n'est pas sélective, elle va donc attaquer aussi bien le diélectrique que la résine. En raison de sa faible épaisseur, la résine sera dégradée avant la fin du procédé.

Pour parer à ce problème, une couche de nitrure de titane assez fine (environ 35 nm) est déposée entre le diélectrique et l'anti-reflet. Ce matériau va être gravé en premier jusqu'à atteindre le diélectrique [21] [22]. Le nitrure ayant une faible épaisseur, la résine ne sera pas entièrement consommée par cette étape de gravure, nommée gravure hardmask (masque dur). Cette étape s'arrête une fois le diélectrique atteint, la résine est ensuite retirée. La gravure hardmask induit une réduction de la rugosité mais aussi de la largeur des tranchées appelée bias gravure. Celle-ci qui va dépendre de la densité des motifs et de leurs dimensions. Il est donc important d'avoir un contrôle dimensionnel robuste et stable pour cette étape afin de maintenir les motifs dans leurs spécifications et fournir des modèles de gravure pour optimiser les designs et la lithographie. Des images SEM de deux motifs avant et après gravure sont données sur la Figure 23. La première structure va subir quelques distorsions alors que le réseau de lignes reste assez stable. Une réduction de la rugosité est observée dans les deux cas.

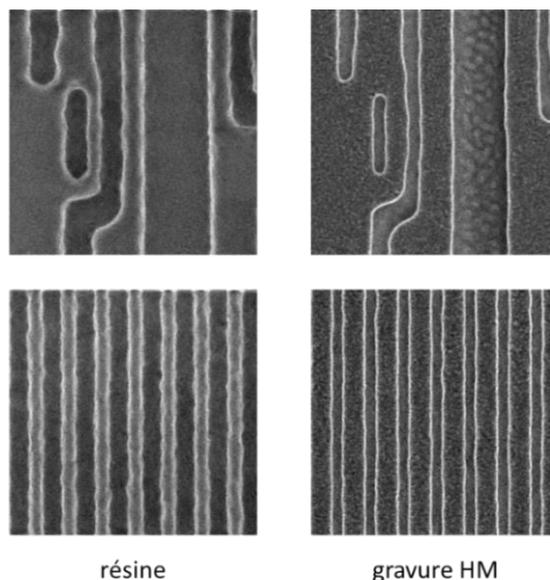


Figure 23 : Images SEM de structure résine (gauche) et post gravure hardmask (droite).

Suite à la gravure hardmask, une autre étape de gravure est réalisée. Le nitrure restant va servir à protéger les parties de diélectrique à ne pas graver. En raison de ses propriétés mécaniques, il est beaucoup plus résistant au plasma que la résine. Ainsi, le diélectrique non protégé peut être gravé pour former les tranchées des interconnexions. Suite à cela, les tranchées sont remplies de cuivre grâce au procédé de CMP cuivre [23] [24]. Le cuivre est déposé à l'aide d'un procédé électrochimique. Ensuite, l'excédent est retiré par polissage mécanico-chimique. La Figure 24 donne des images SEM d'une structure complexe en gravure HM, gravure diélectrique et CMP cuivre.

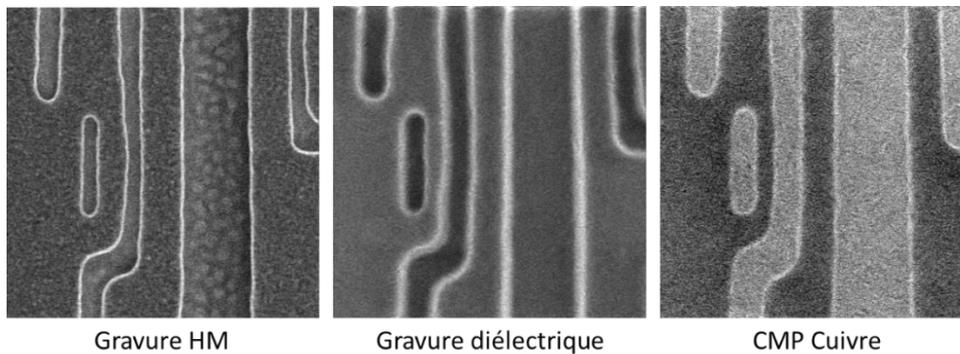


Figure 24 : Images SEM d'une structure à différentes étapes de procédé.

La gravure est également un procédé au cours duquel de la variabilité se crée car il est difficile de maintenir une gravure uniforme sur l'ensemble de la surface de la plaque. Cette variabilité s'ajoute à celle générée par la lithographie et doit donc être contrôlée pour préserver l'intégrité du circuit.

2. Paramètres clés et limitations

i. Système d'exposition

La photolithographie a continuellement évolué pour permettre de transférer des motifs toujours plus petits et perpétuer la loi de Moore. Le principe a toujours été le même : transférer, à l'aide d'une source lumineuse et d'un réticule, un motif dans une résine

photosensible. Néanmoins les équipements ont gagné en complexité dans leur architecture et leur fonctionnement. La lithographie par projection est la technique la plus utilisée dans l'industrie. Un système de lentilles est intercalé entre le masque et la plaque afin de projeter l'image aérienne en sortie du masque sur le substrat. La qualité des lentilles est essentielle au bon fonctionnement de cette technologie car le moindre défaut sur celles-ci peut se répercuter dans la résine et affecter la fidélité des éléments sur plaque, limitant ainsi le rendement des puces. Les scanners de lithographie les plus avancés actuellement en production utilisent des sources ArF de longueur d'onde 193 nm. Les équipementiers cherchent constamment à réduire la longueur d'onde de leurs machines car ce paramètre est directement corrélé à la résolution des structures imprimées par lithographie. Les scanners sont toujours associés à un équipement destiné aux différentes étapes de dépôts et recuits. L'ensemble est appelé « cluster ».

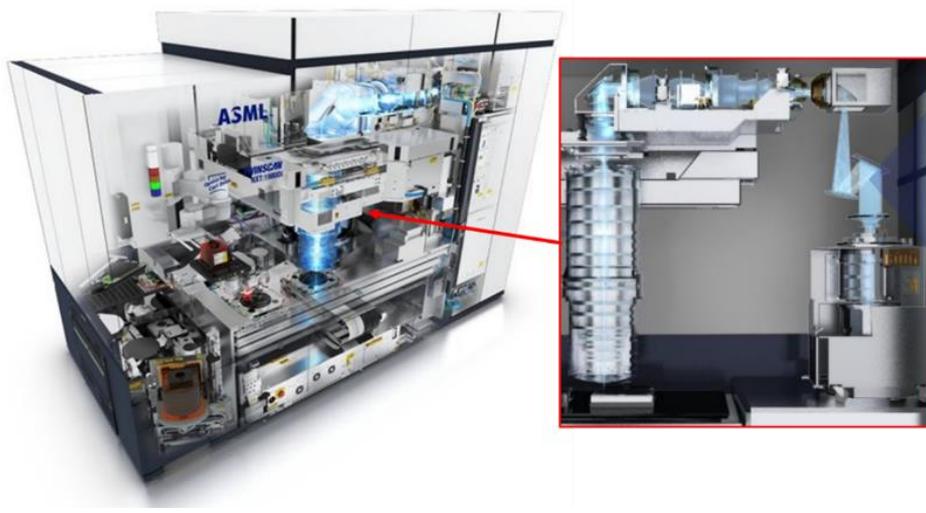


Figure 25 : Scanner de lithographie 193 nm immersion avec une vue du système optique.

ii. Résolution et variabilité

Jusqu'aux années 2000, les capacités des équipements de lithographie étaient en avance sur les nœuds produits, c'est-à-dire que la longueur d'onde d'exposition était plus faible que les dimensions les plus critiques du circuit. Lorsque les sources lumineuses ont atteint

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

la longueur d'onde de 193 nm, un ralentissement s'est opéré car les contraintes techniques augmentaient continuellement et réduire la longueur d'onde nécessitait des développements plus longs. C'est à ce moment que les dimensions critiques sont devenues équivalentes aux capacités des scanners. La génération 157 nm était en cours de développement par trois fournisseurs : ASML, Nikon et Canon. Cela devait permettre de poursuivre la loi de Moore et accorder un répit à la lithographie [25] [26] [27] [28].

Néanmoins, plusieurs limitations ont été rencontrées [29] :

- La faible transmission lumineuse des lentilles en verre à une telle longueur d'onde imposait de modifier complètement les matériaux à utiliser. Il a donc fallu développer des systèmes optiques avec des lentilles en fluorure de calcium ce qui représentait un changement technique complexe.
- Les pellicules de protection des masques étaient en matière organique et se dégradaient rapidement. Il fallait donc développer de nouvelles protections.
- Au-delà des équipements, des développements importants et longs étaient nécessaires du côté des fabricants de résines pour fournir des matériaux adaptés à cette longueur d'onde.

Le développement de la lithographie 157 nm s'est donc heurté à toutes ces barrières techniques. Les fabricants de circuits ne pouvaient pas prendre le risque d'attendre ou de ralentir le rythme de sortie de leurs nouveaux nœuds. En 2003 l'entreprise Intel a annoncé qu'elle ne déploierait pas cette technologie et prolongerait l'utilisation de la lithographie 193 nm jusqu'au nœud 45 nm [30]. Comme annoncé par la tendance apparue dans les années 90, la lithographie n'était plus en avance sur les nœuds qu'elle était censée produire [31]. Les industriels doivent donc pousser la lithographie bien au-delà de ses capacités car la poursuite de la miniaturisation en est largement dépendante. La notion de résolution est dans ce cas importante. Elle désigne la plus petite dimension qu'il est possible d'imprimer dans la résine à l'aide d'un système donné. Le facteur limitant la résolution des systèmes optiques est le phénomène de diffraction des ondes lumineuses au passage d'une fente dont la dimension est inférieure à la longueur d'onde de la lumière incidente. Au passage d'une telle fente, une onde plane, se propageant linéairement va devenir sphérique et se

propager dans plusieurs directions. L'onde incidente est diffractée en plusieurs ordres selon un angle θ , d'après la relation de Bragg :

$$p \times \sin \theta = n \times \lambda$$

Dans le cas de la lithographie, la diffraction est causée par le passage au travers du réticule. Il est nécessaire de collecter un maximum d'ordres de diffraction pour reconstruire l'image. L'ordre zéro n'est pas suffisant car celui-ci se comporte comme une onde plane sans information dimensionnelle. Il faut donc collecter au minimum l'ordre un. Plus l'écart entre la longueur d'onde et la largeur de fente augmente, plus la diffraction se fera avec un angle important. Il faut donc des lentilles plus importantes pour collecter les ordres diffractés. Dans la pratique il est très compliqué d'aller collecter au-delà de l'ordre un en raison de l'encombrement des systèmes optiques.

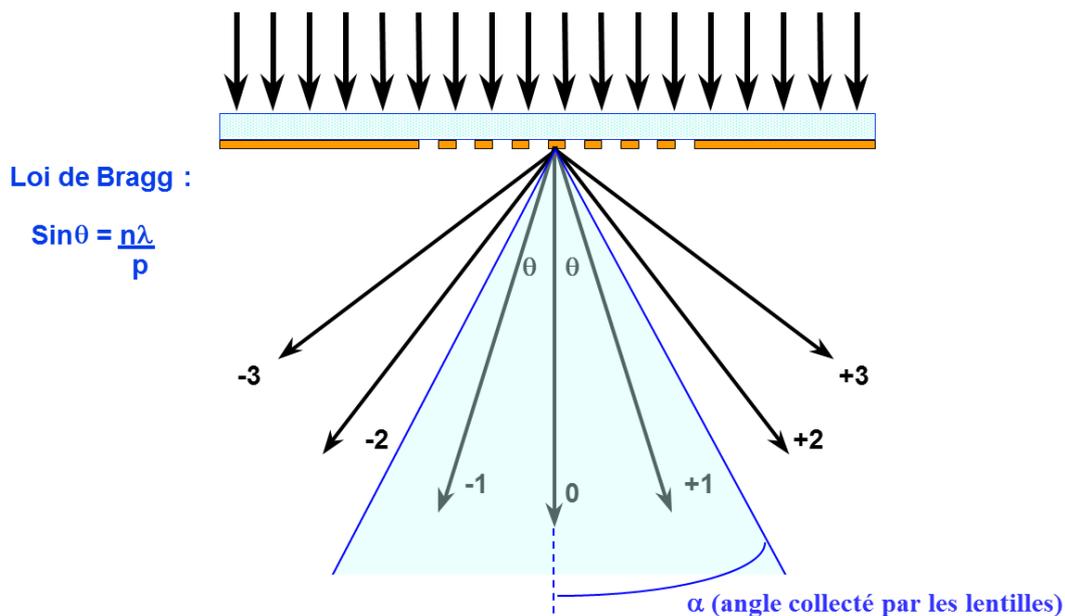


Figure 26 : Phénomène de diffraction au passage d'un réticule.

Une nouvelle génération de scanners dits extrême UV (EUVL) est en cours de mise en production [32] et commence à être déployée par des entreprises comme TSMC et Samsung pour leurs nœuds les plus avancés. Ces équipements disposent de source dont la longueur d'onde est de 13.5 nm et constituent une rupture avec les technologies précédentes :

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

utilisation de réticules à réflexion, exposition sous vide, développement de nouvelles résines. Cette technologie ne sera pas abordée dans ce travail.

La Figure 27 donne l'évolution de la longueur d'onde des scanners sur les quarante dernières années ainsi que les contraintes en termes de contrôle dimensionnel, d'overlay et de focus (ces deux derniers termes seront explicités dans la suite). De 436 nm à 193 nm il y a eu des paliers d'amélioration réguliers. La lithographie 193 nm n'étant jamais arrivée à maturité, l'évolution est restée bloquée à 193 nm. Les scanners sont donc devenus très contraints en termes de contrôle dimensionnel, focus et overlay et donc les équipements fonctionnent au-delà de leur capacité réelle.

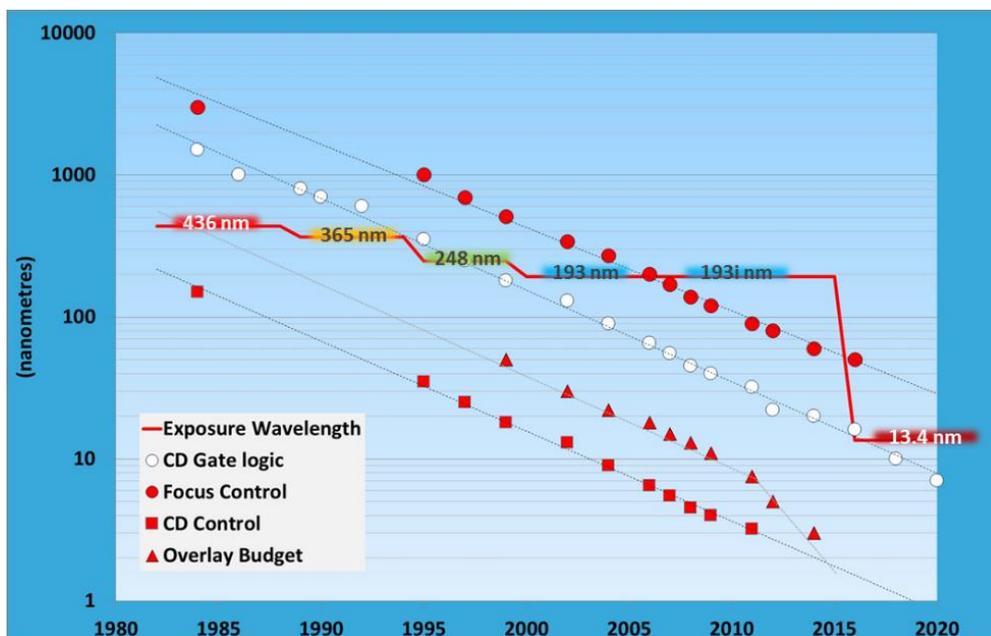


Figure 27 : Evolution des paramètres à contrôler vs longueur d'onde des scanners en fonction du temps.

iii. Dose-Focus et fenêtre de procédé

La qualité de transfert d'un motif dans la résine va être également corrélée au placement du plan image et à l'énergie d'exposition de la résine. Ces deux paramètres sont appelés respectivement focus et dose et ont chacun une valeur optimale à laquelle une structure sera imprimée avec la fidélité souhaitée [33]. La dose est en général exprimée en mJ/cm^2 et

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

correspond à l'énergie avec laquelle la résine va être exposée. Elle influence donc directement le transfert du motif dans la résine. Plus l'énergie utilisée est élevée, plus les tranchées dans la résine sont larges. Les images Figure 28 montrent, de manière qualitative, qu'une même structure s'élargit lorsque la dose augmente. Dans le cas du focus, si le placement de la plaque est décalé par rapport au plan image optimal, il y a defocus : l'intensité lumineuse que la résine reçoit va diminuer. Si le defocus est trop important, la résine ne reçoit plus d'intensité lumineuse suffisante pour résoudre correctement les motifs.

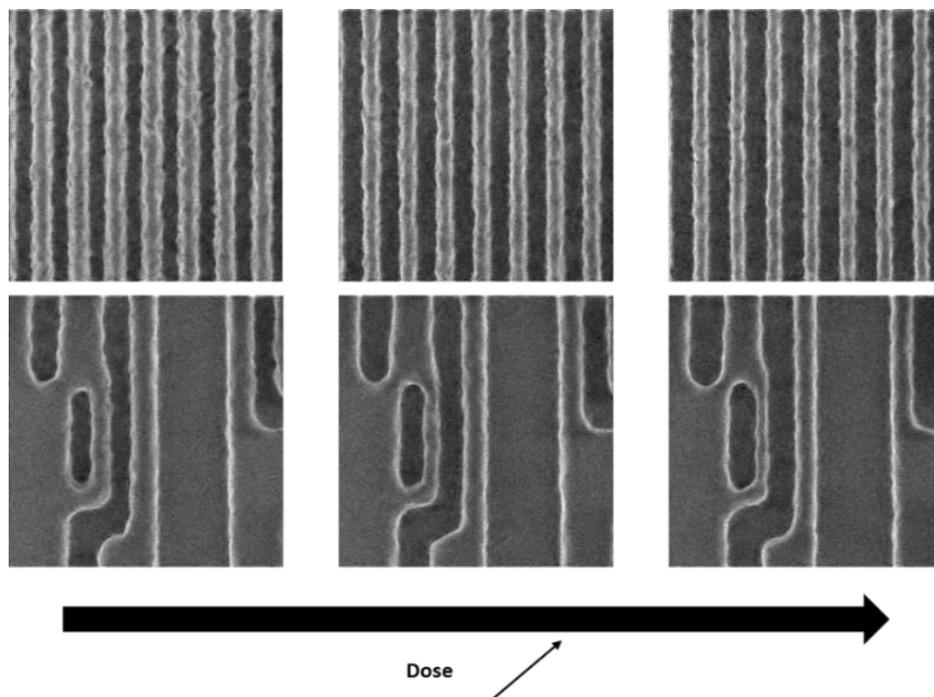


Figure 28 : Influence de la dose sur la largeur des motifs vue au microscope électronique à balayage (675 nm X 675 nm).

La Figure 29 donne un exemple d'images SEM prises sur une plaque FEM (Focus Exposure Matrix). La dose et le focus y sont modulés. Cela permet aux ingénieurs de déterminer un centrage dose-focus ainsi qu'un intervalle dans lequel une structure est définie selon les spécifications dimensionnelles souhaitées (fenêtre verte). Il s'agit de la fenêtre de procédé. La méthode de centrage en dose et focus sera explicitée dans le chapitre suivant traitant de la métrologie.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

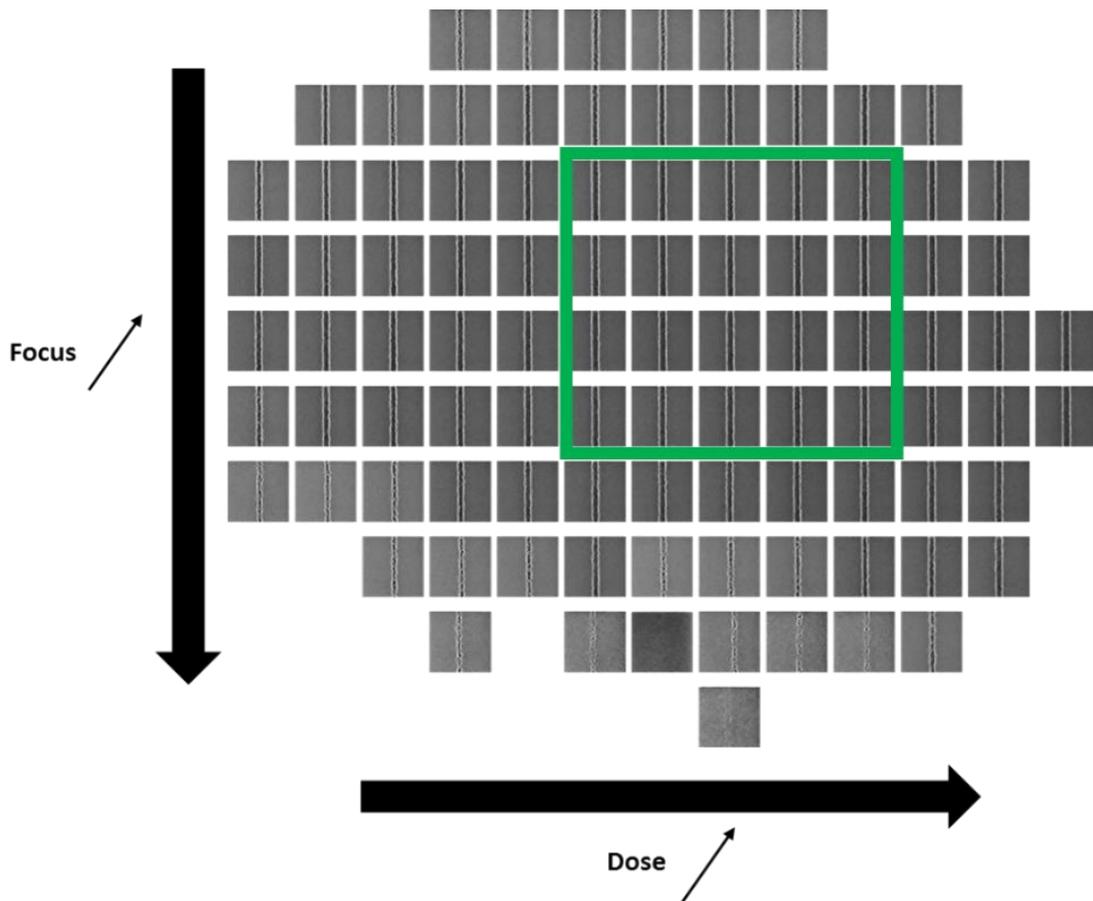


Figure 29 : Images SEM d'une FEM sur des tranchées dans la résine.
La fenêtre verte correspond à la fenêtre de procédé pour cette structure.

La fenêtre de procédé est propre à chaque structure. Ainsi un réseau de lignes denses ne va pas avoir la même qu'une ligne isolée. En général, les structures ayant des designs complexes ont des fenêtres plus réduites et sont donc difficiles à transférer. Ces structures sont appelées hotspots. Avec la miniaturisation, la fenêtre de procédé globale est de plus en plus réduite et les hotspots ont une influence forte sur le rendement. Une plaque ne pouvant pas être exposée avec plusieurs fenêtres de procédé, le centrage est donc primordial et doit tenir compte de l'ensemble des configurations possibles.

iv. Correction optique de proximité (OPC)

En raison des contraintes de résolution et d'équipements, les structures subissent des distorsions tellement importantes qu'il est nécessaire de corriger la géométrie des

structures présentes sur le réticule afin que la forme souhaitée soit transférée dans la résine. De plus, une structure va être imprimée différemment en fonction de la densité environnante. Ces effets se nomment effets de proximité [15]. Les principaux sont les rétrécissements des bouts de lignes, les arrondissements des bords ou encore les distorsions de lignes de type pincement. Ces effets s'aggravent avec la diminution de la taille des motifs à longueur d'onde constante et limitent la fidélité structurelle des motifs s'ils ne sont pas corrigés. La Figure 30 donne l'exemple d'un transfert sans OPC dans le cas d'un nœud 120 nm ainsi qu'une comparaison avec un transfert utilisant une correction OPC. Pour les nœuds plus avancés, les besoins en OPC sont beaucoup plus importants.

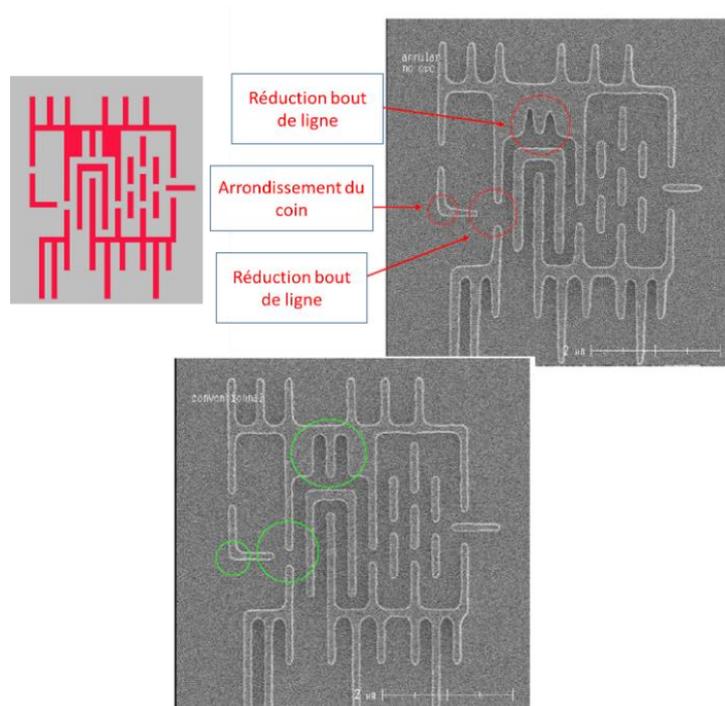


Figure 30 : Exemple typique d'un transfert d'un design sans OPC puis avec OPC dans une résine (technologie 120 nm).

L'OPC va simuler le contour de la structure telle qu'elle serait imprimée dans la résine. Puis les bords de la structure sont segmentés et déplacés afin de compenser l'influence des effets de proximité. Plusieurs itérations sont réalisées jusqu'à ce que le contour simulé se rapproche du contour souhaité. Ainsi certains bouts de lignes critiques peuvent être allongés ou certaines largeurs de lignes modifiées pour faciliter le transfert. Des structures

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

non résolues appelées SRAF (Sub Resolution Assist Feature) peuvent également être ajoutées afin d'apporter dans la densité. Les contours simulés sont basés sur des données de métrologies réalisées en mesurant un grand nombre de structures, permettant ainsi de générer des tables. Le processus est résumé sur la Figure 31. Il est donc important pour les ingénieurs OPC de disposer d'outils de métrologie leur permettant d'alimenter leurs modèles pour les rendre plus prédictifs [15].

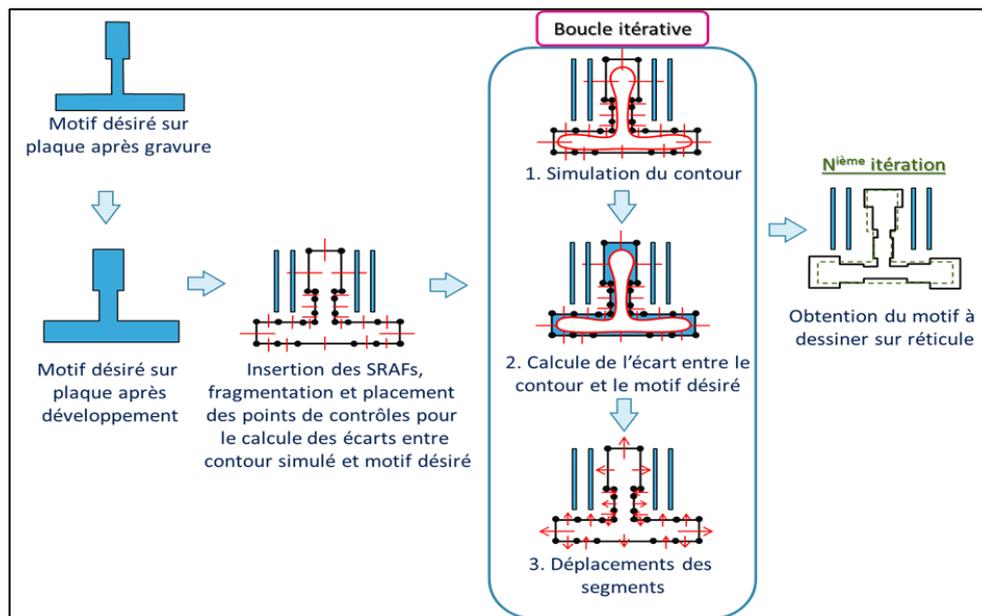


Figure 31 : Processus de correction des effets de proximité [15].

v. Objectifs de la thèse

La réduction des plages de tolérance des équipements, des fenêtres de procédé et les besoins de plus en plus importants en OPC sont devenus une réalité pour les unités de fabrication aujourd'hui. Les rendements sont de plus en plus compliqués à sécuriser. Les designs complexes posent un défi au patterning dans son ensemble. Le cycle de développement d'un produit repose sur une collaboration accrue entre les équipes de procédé, de design et d'OPC comme l'indique la Figure 32. Lorsqu'un nouveau design est généré, les designers utilisent les connaissances des ingénieurs procédés pour optimiser les dessins et les rendre compatibles avec les procédés. Ces connaissances donnent lieu à la

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

génération de règles de dessin indiquant par exemple la tolérance de placement des contacts par rapport à une ligne. Des données de métrologie dimensionnelle sont essentielles pour évaluer le procédé et ces données doivent concerner le plus de configurations structurales possibles. Il faut donc une métrologie suffisamment robuste et avancée pour cela. Par la suite, les ingénieurs OPC ont besoin également de données de métrologie pour appliquer les corrections requises aux designs. Cela leur permet de développer des modèles leur permettant de simuler le comportement d'une structure donnée après son transfert dans la résine ou sa gravure dans un diélectrique. Ainsi l'OPC peut être optimisé. La métrologie permet également de réaliser les vérifications sur silicium. L'étude de structures complexes est essentielle pour avoir un OPC robuste et représentatif.

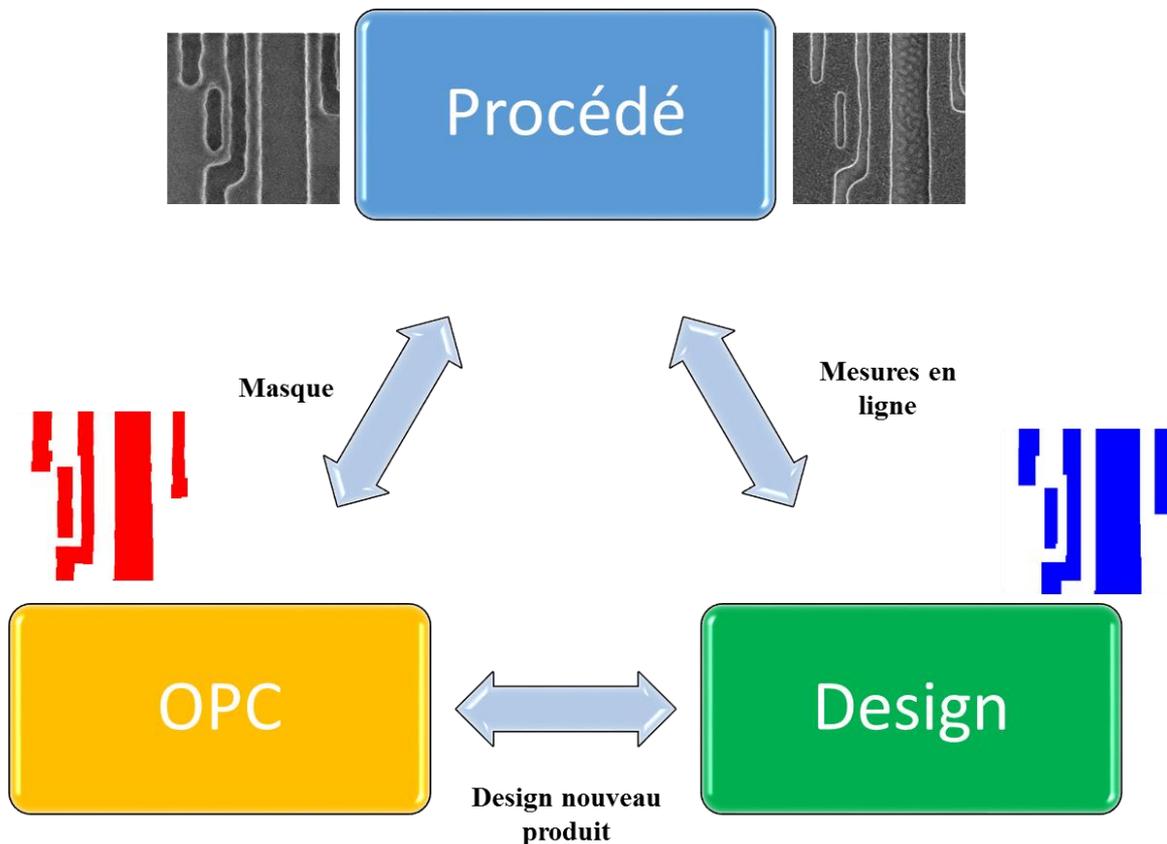


Figure 32 : Le patterning est un cycle collaboratif entre trois groupes.

Au final l'ensemble du patterning dépend de la métrologie. Celle-ci doit donc évoluer pour s'adapter aux contraintes liées à la miniaturisation. Le chapitre suivant va présenter les

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

grandes lignes de la métrologie dimensionnelle basée sur l'expérience chez ST. Les besoins en métrologie augmentent et de nouvelles méthodes sont nécessaires pour y répondre. Dans le cadre de cette thèse un outil de métrologie utilisant des contours d'images de microscope électronique à balayage a été développé afin de répondre aux exigences du cycle présenté dans la Figure 32 [34] [35] [36] [37]. Les différentes perspectives d'application qui en découlent seront présentées dans la deuxième partie du chapitre 3.

Chapitre 3 : Métrologie et variabilité

Comme indiqué précédemment, près de la moitié du procédé de fabrication d'un circuit intégré est constituée d'étapes de métrologie. Elles concernent l'analyse de la morphologie, des défauts, du désalignement et du dimensionnel. C'est la catégorie dimensionnelle qui est considérée dans le cadre de cette thèse.

Le design des circuits est directement lié à une fonction. Mais la capacité du circuit à réaliser cette fonction est dépendante de la fidélité du transfert de ce design sur le silicium. Chaque nanomètre de variation peut causer des pertes de rendement importantes, surtout depuis que la lithographie doit reproduire des motifs bien en dessous de la longueur d'onde des scanners. Certains designs deviennent alors difficiles à reproduire et peuvent subir une forte variabilité pour des conditions de procédé fixées. La métrologie doit donc constamment évoluer et s'adapter à la complexité des procédés de fabrication [38] [39] [40]. Depuis quelques années, les progrès ne passent plus uniquement par l'amélioration des équipements, mais également par une utilisation plus accrue des données qu'ils génèrent. La possibilité de comparer les informations issues de plusieurs équipements de métrologie et de procédé permet de balayer une source d'information plus importante tout le long du procédé de fabrication. Les techniques de métrologie pour le contrôle dimensionnel sont relativement nombreuses :

- Le microscope à force atomique (AFM) pour cartographier la surface et ainsi visualiser les écarts et les tranchées entre les différents motifs (voir Figure 33) [41]. Cette technique peut être assez longue et dépend de la qualité de la pointe utilisée. Les nœuds avancés ont des dimensions et des densités qui rendent difficile le déplacement de la pointe sur la surface.

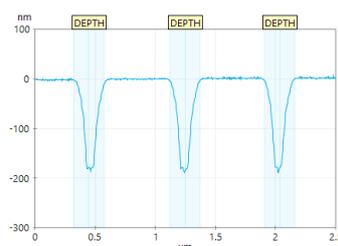


Figure 33 : Exemple de profil AFM réalisé sur un réseau de tranchées d'isolation.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

- La diffractométrie (plus communément appelée scatterométrie) où un faisceau de lumière polarisée linéairement est envoyé sur un réseau périodique avec un certain angle [42] [43] [44]. La surface réfléchit la lumière qui va être ensuite polarisée elliptiquement. L'analyse du champ électrique de la lumière diffusée, couplé à un modèle électromagnétique ainsi qu'un algorithme d'optimisation permet de remonter indirectement aux dimensions. Cette méthode est très utilisée en raison de sa rapidité, de sa sensibilité aux variations dimensionnelles (de l'ordre de l'angström) et de sa capacité à observer des couches sous-jacentes de façon non destructive. En général, le faisceau de lumière utilisé a des diamètres de l'ordre de la dizaine de micromètres, ce qui ne permet pas de voir la variabilité locale. Les dimensions extraites par cette méthode résultent de l'interprétation mathématique d'un signal lumineux, c'est-à-dire que la diffractométrie est dépendante de la capacité à modéliser le réseau de motifs et à interpréter le signal.
- Mesure par coupe TEM (Microscope électronique à transmission) où la plaque est découpée au niveau de la zone à analyser. Cette zone est ensuite observée latéralement au TEM afin d'avoir le profil. Cette méthode permet l'observation de plusieurs niveaux et de voir les espacements entre les différents éléments. L'exemple Figure 34 donne un exemple de mesures par coupe TEM sur une structure de fiabilité après remplissage de cuivre. Néanmoins cette méthode est destructive, non automatisable et ne peut donc pas être utilisée pour faire du suivi en ligne de procédés. Elle est en revanche très intéressante pour servir de référence.

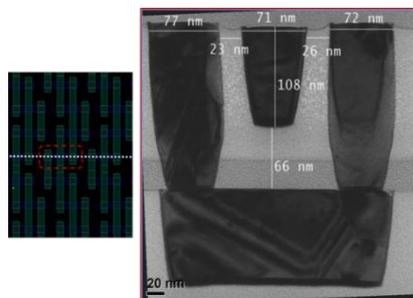


Figure 34 : Coupe TEM avec mesures réalisées sur une structure de fiabilité utilisée pour les niveaux d'interconnexions.

En haut se trouve le niveau Metal 2, en bas le niveau Metal 1 avec au milieu les contacts entre les deux niveaux.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

- CD-SEM (Critical Dimension Scanning Electron Microscope) qui est un microscope électronique à balayage en grande partie automatisé qui permet d'aller mesurer des structures définies à partir d'une référence et de coordonnées.

Cette thèse s'est focalisée sur la métrologie par CD-SEM qui sera expliquée par la suite avec les enjeux relatifs à son application pour contrôler des structures complexes.

I. Microscope électronique à balayage

La microscopie électronique à balayage (SEM) est une métrologie dimensionnelle qui s'est largement démocratisée grâce à sa résolution spatiale de l'ordre du nanomètre. Elle est encore aujourd'hui très utilisée dans les nœuds les plus avancés pour quantifier les dimensions et contrôler les différentes étapes du procédé de fabrication.

1. Principe

Le SEM est une technologie qui utilise un fin faisceau d'électrons pour balayer la surface à analyser et ainsi, observer indirectement les motifs par reconstruction d'une image en noir et blanc à l'aide d'un signal électronique. C'est une technologie qui s'est rapidement répandue dans les laboratoires de recherche que ce soit en biologie, science des matériaux ou nanosciences, car elle permet d'accéder à des informations comme la structure d'une surface à l'échelle nanométrique.

Comme pour la microscopie optique, le pouvoir de résolution d'un microscope électronique est déterminé par la relation de Rayleigh [1] :

$$R\acute{e}solution = 0.61 \times \lambda / n \sin u$$

Avec :

λ : Longueur d'onde

n : Indice de réfraction du milieu

u : Angle d'incidence du microscope

La longueur d'onde pour un électron, définie par De Broglie, est la suivante :

$$\lambda = \frac{1.23}{\sqrt{V}} \text{ nm}$$

Avec :

V : Tension d'accélération des électrons

Ainsi un électron de quelques centaines de volts a un pouvoir de résolution très inférieur à l'angström. En théorie avec une résolution inférieure à la taille d'un atome, le SEM s'adapte à tous les nœuds technologiques actuels et futurs. En pratique, la résolution va surtout dépendre de la finesse du faisceau d'électron et de la capacité de l'équipement à fonctionner et à analyser les signaux émis lorsque le faisceau balaie la surface. L'angle avec lequel ce faisceau va frapper la surface va également avoir une influence sur la qualité du signal collecté et donc la topographie de l'échantillon est à prendre en compte. Ainsi, la résolution d'un SEM est en pratique plutôt de l'ordre du nanomètre.

Le SEM fonctionne grâce à la combinaison de plusieurs éléments schématisés sur la Figure 35 :

- Illumination : le canon à électrons produit un faisceau d'électrons primaires grâce à un filament de tungstène chauffé à haute température (environ 2700 kelvins). Le filament est entouré d'un cylindre appelé diaphragme de Wehnelt dont le rôle est de focaliser les électrons. L'ensemble joue le rôle de cathode sous laquelle se place l'anode percée d'une ouverture à travers laquelle les électrons vont être accélérés par la différence de potentiel.
- Colonne électronique : elle est constituée d'un ensemble de lentilles électromagnétiques afin de focaliser le faisceau électronique le plus finement possible. La bobine de balayage permet de dévier le faisceau afin d'analyser la surface de l'échantillon.
- Détection : sous l'effet du faisceau d'électrons primaires, l'échantillon va générer plusieurs signaux issus de l'interaction entre les électrons et la matière : électrons rétrodiffusés, électrons secondaires, électrons Auger, rayons X. Le plus souvent, ce

sont les électrons secondaires et rétrodiffusés qui sont utilisés pour reconstruire l'image.

Les électrons secondaires sont émis lors de l'interaction entre un électron primaire et les électrons peu liés de la bande de conduction des atomes. Ils sont faiblement énergétiques (<100 eV) et sont émis essentiellement à la surface de l'échantillon. Ainsi ils renseignent essentiellement sur la topographie d'un échantillon.

Les électrons rétrodiffusés sont émis lors de l'interaction quasi élastique des électrons primaires avec le noyau des atomes de l'échantillon. Ils sont très énergétiques (plusieurs keV). Cette énergie dépend du numéro atomique du noyau de l'atome avec lequel l'électron a interagi, ce qui permet de réaliser des analyses de compositions des surfaces par contraste de phase (les zones à numéro atomique élevé apparaissent plus claires que celles à numéro atomique faible).

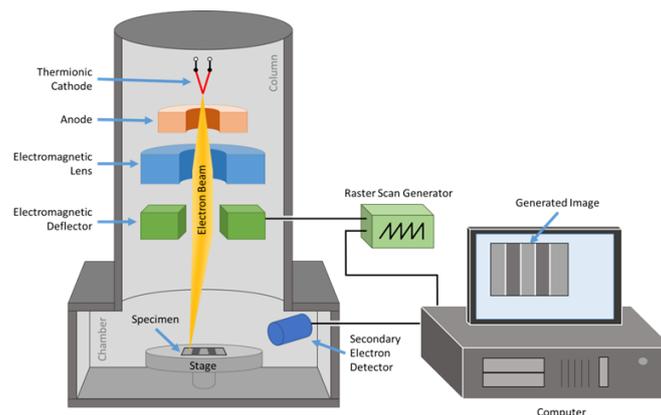


Figure 35 : Schéma de principe du fonctionnement d'un microscope électronique à balayage [45].

2. Utilisation en microélectronique

Depuis plusieurs années maintenant, les SEM ont évolué pour s'adapter à l'environnement de production de circuits intégrés qui nécessitent des analyses en grande quantité. Ils sont utilisés notamment dans les équipements d'inspection pour détecter les défauts de structuration de certains niveaux. La Figure 36 donne un exemple d'analyse de défauts sur un niveau gravé d'interconnexions. Les images b montrent un nombre important de lignes n'ayant pas été transférées.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

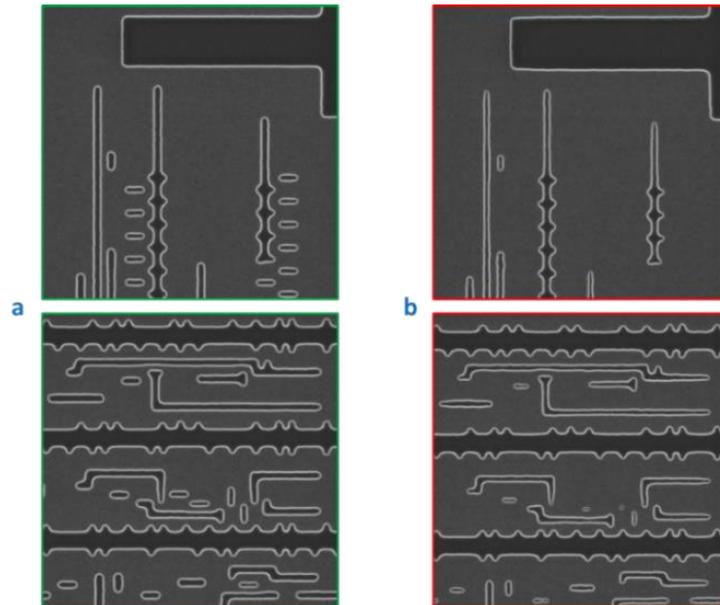


Figure 36 : Images SEM prises à l'aide d'un outil d'inspection « e-beam » (Hermes Microvision) sur un niveau d'interconnexions après gravure du masque dur (technologie 28 nm) sur deux puces d'une même plaque.
 a) motifs bien définis et transférés b) défaillance structurelle visible avec plusieurs éléments non imprimés

i. Métrologie pour le contrôle dimensionnel du procédé

Le SEM est aujourd'hui principalement utilisé pour réaliser des mesures de motifs à différentes étapes de fabrication pour contrôler le procédé. Des équipements à part entière sont développés dans cette optique, les CD-SEM. Leur utilisation est presque toujours associée aux étapes de lithographie et gravure. Ils permettent d'aller imager des structures en conservant une résolution nanométrique, comme dans l'exemple de la Figure 37.

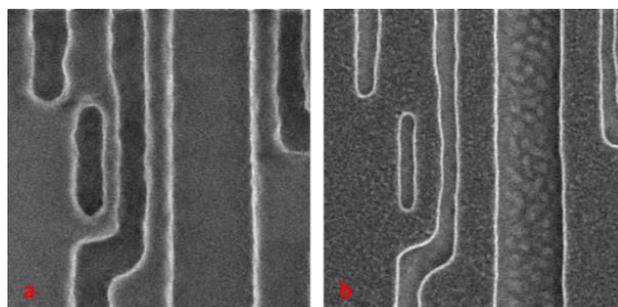


Figure 37 : Images SEM d'une structure complexe avec un champ de vision de 675 nm x 675 nm.
 a) après développement de la résine b) après gravure du masque dur

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Le CD-SEM est un SEM capable de mettre en œuvre de manière automatique des algorithmes de mesure à différentes coordonnées du substrat. Une recette de mesure est créée dans laquelle l'utilisateur donne un modèle de structure à mesurer (qui peut être une image SEM prise manuellement ou une référence design comme dans l'exemple Figure 38), les coordonnées à mesurer ainsi que les paramètres tels que le grandissement ou la tension d'accélération. L'utilisateur définit alors un type de mesure à réaliser (distance par exemple) en plaçant des curseurs sur le modèle.

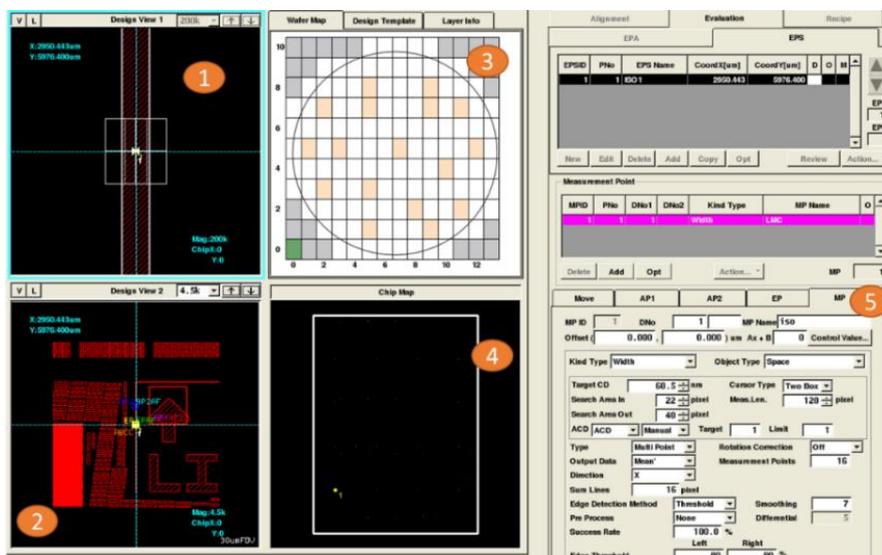


Figure 38 : Exemple d'interface de création de recette de mesure CD-SEM (cas de la largeur d'une ligne).

- 1) Indication du modèle à mesurer avec placement de boîte pour mesure de largeur
- 2) Environnement de la structure à mesurer pour aide à l'alignement
- 3) Sélection des champs à mesurer sur la plaque
- 4) Placement du point de mesure dans un champ
- 5) Paramétrage de la recette (type de mesure, voltage, etc)

Lorsque la recette est lancée, l'équipement va automatiquement charger la plaque et mesurer les positions indiquées dans la recette avec les conditions de faisceau requises. Pour chaque position, une image SEM est générée. A partir de cette image SEM, l'algorithme va extraire la mesure souhaitée en utilisant les niveaux de gris. En effet, les bords de résines (au niveau d'une tranchée par exemple) génèrent des variations d'intensités correspondant au changement de topographie. Ainsi, au niveau d'une tranchée, un pic sera visible pour

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

chacun des bords. En se plaçant sur chaque pic au niveau du seuil indiqué dans la recette, l'algorithme extrait une valeur en comptant le nombre de pixels entre les deux pics.

La Figure 39 montre l'exemple d'une image prise sur une tranchée après photolithographie avec le profil d'intensité des niveaux de gris correspondant. La distance entre les deux pics permet de remonter à la largeur.

Il est alors possible de réaliser du suivi dimensionnel en ligne à l'aide des algorithmes de mesures présents dans l'équipement. Cela permet par exemple de contrôler la stabilité d'une étape de photolithographie en s'assurant que les dimensions des motifs restent dans une plage de tolérance (voir Figure 40).

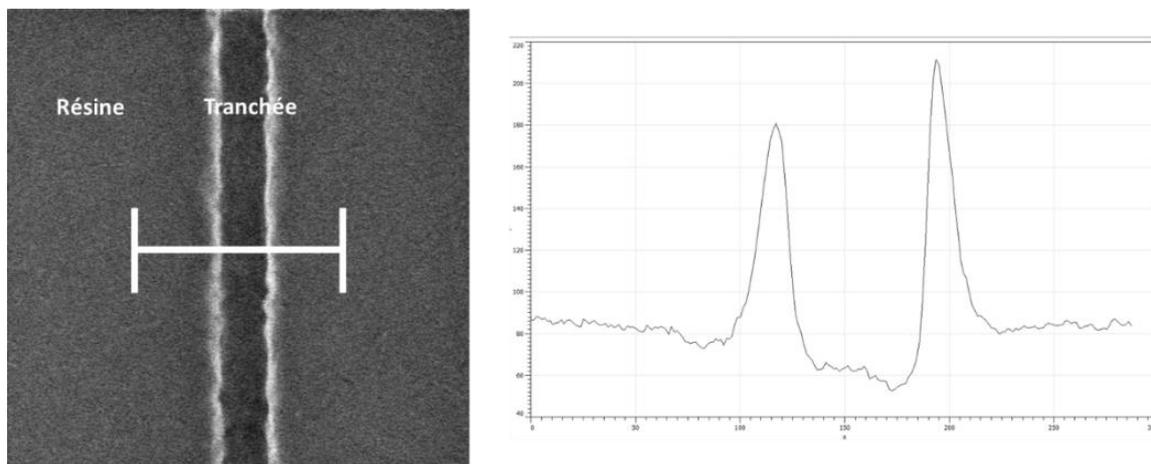


Figure 39 : Profil d'intensité d'une image SEM prise sur une tranchée après développement de la résine.

Dans les exemples de la Figure 40, différentes étapes de lithographie sont contrôlées par CD-SEM en mesurant des mires spécifiques présentes dans chaque champ d'exposition :

- Figure 40 a : La largeur des tranchées dans un réseau de lignes denses (période de 90 nm) est mesurée. Cette mire correspond au premier niveau BEOL d'un produit 28 nm. Il s'agit de la résolution la plus agressive pour ce niveau et cette technologie.
- Figure 40 b : Un réseau périodique de contact électrique est ici mesuré pour extraire une surface moyenne. Il s'agit ici des contacts entre les niveaux BEOL Metal 1 et 2.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

- Figure 40 c : Le diamètre d'un plot de résine est ici extrait. Ces plots sont constitués d'une résine transparente destinée à former un réseau de lentilles pour une technologie de capteurs d'images.

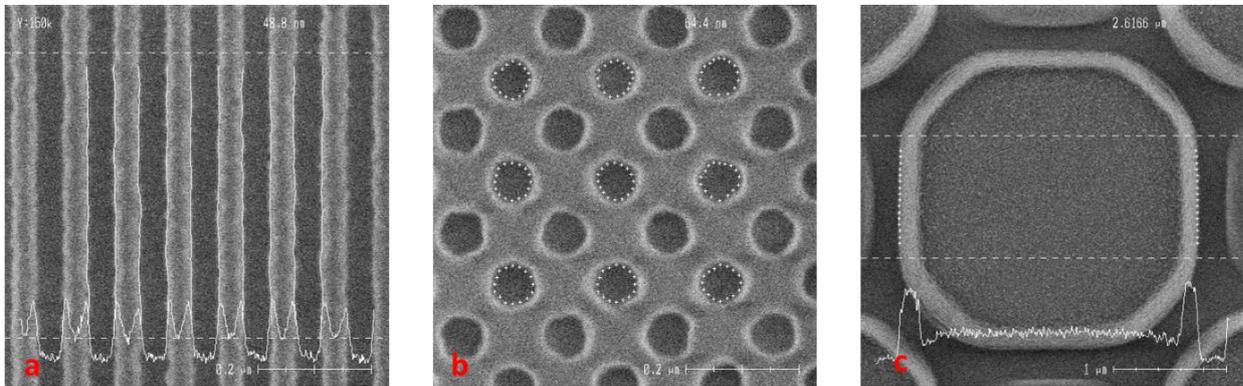


Figure 40 : Images SEM réalisées après étape de développement par un équipement automatisé de contrôle en ligne des dimensions.

- a) mesure de largeur moyenne de tranchées dans un réseau de lignes denses*
- b) mesure de surface moyenne de contacts électriques imprimés dans la résine*
- c) mesure de diamètre d'un plot de microlentille pour capteurs d'images avant recuit*

Les images SEM sont générées avec des champs de vue inférieurs au micromètre carré. Quand plusieurs motifs sont mesurés, par exemple plusieurs largeurs de lignes, c'est la valeur moyenne qui est rapportée dans le système.

Un lot qui subit une étape de photolithographie va passer immédiatement en mesure par CD-SEM. Si tous les points mesurés sont en accord avec les tolérances, le lot peut continuer sa route. Dans le cas contraire, il est bloqué jusqu'à prise de décision. Le plus souvent la résine est retirée et le lot subit une nouvelle photolithographie. Les valeurs mesurées vont également servir à alimenter les boucles de régulation de l'ensemble de l'unité de fabrication afin de détecter les dérives des procédés ou des équipements et de les corriger pour les lots suivants. Plus les nœuds sont avancés, plus les marges d'erreurs dimensionnelles sont resserrées. La mesure CD-SEM doit être rapide pour ne pas ralentir les lots. En général, 17 champs répartis sur la plaque sont mesurés et visent à alimenter des boucles de contrôle (voir Figure 41). Dans chaque champ, une mire spécifique est mesurée,

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

généralement placée en bord de champ. Les mires de métrologie CD-SEM sont spécifiquement conçues pour permettre une mesure robuste et stable afin d'éviter que des instabilités de la mesure n'induisent de fausses alertes qui bloqueraient le lot. Bien que le CD-SEM soit un équipement très avancé permettant d'obtenir des images de haute qualité, les algorithmes de mesures sont limités par la complexité des structures. En effet la mesure est très stable et reproductible lorsqu'il s'agit de mesurer des mires simples avec des structures régulières : réseau de lignes denses, matrice de contacts, etc (voir Figure 40). En conséquence, les mires de métrologie contiennent généralement ce type de structures afin de garantir une mesure robuste. Bien que les structures de type réseaux de lignes soient très présentes au sein des circuits, les dessins plus complexes ont aussi une présence importante. Ce sont ces motifs qui posent le plus de difficultés à imprimer en raison de leur fenêtre de procédé lithographique réduite et de leur sensibilité aux effets de diffraction. Ainsi leur influence sur le rendement peut être catastrophique en cas de variabilité trop forte.

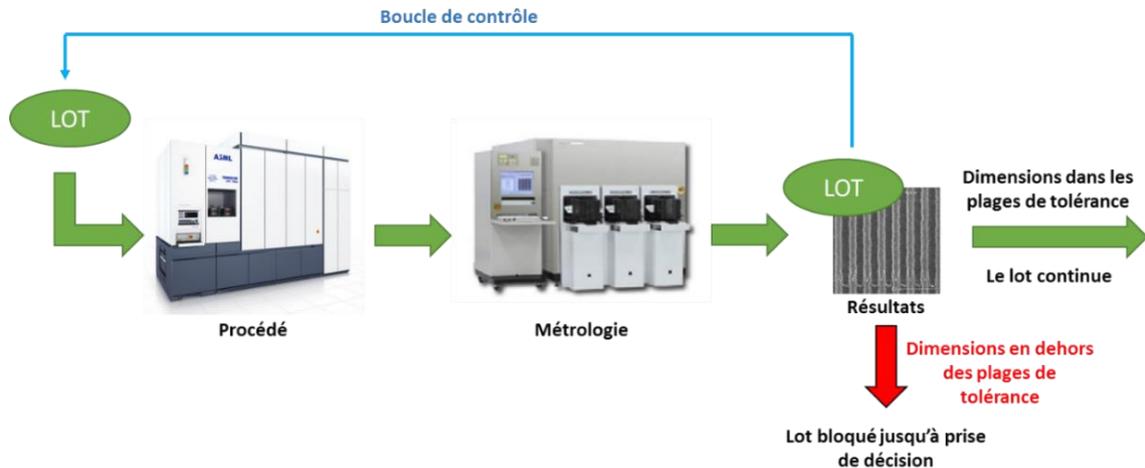


Figure 41 : Processus de contrôle d'un lot par CD-SEM en photolithographie.

Sur la Figure 42, deux images prises par CD-SEM dans un même champ d'exposition d'une plaque gravée sont données. L'image (a) correspond à la structure utilisée lors du suivi en ligne. La seule information qui en est extraite est la largeur des lignes indiquée par les flèches vertes. L'image (b) est une structure prise dans une mire utilisée pour les tests de fiabilité électrique pour ce niveau d'interconnexion. Cette structure est beaucoup plus

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

proche de la réalité des dessins du circuit. Sur cette image, plusieurs informations dimensionnelles sont importantes pour les ingénieurs, en plus de la largeur des lignes. La distance entre deux bouts de ligne par exemple (flèche rouge) permettrait de détecter un phénomène de défaillance de type rétrécissement de bout de ligne. Les bouts de ligne possèdent généralement des contacts électriques vers les niveaux inférieurs ou supérieurs et un rétrécissement risque de causer une perte de couverture de ce contact et donc une hausse de résistance électrique voire un court-circuit. Les espacements indiqués par les croix bleues sont intéressants car un écart trop faible augmente le risque de fuite de courant vers la ligne centrale au détriment du passage du courant vers les autres niveaux. Ce sont donc des métriques intéressantes à mesurer et à contrôler.

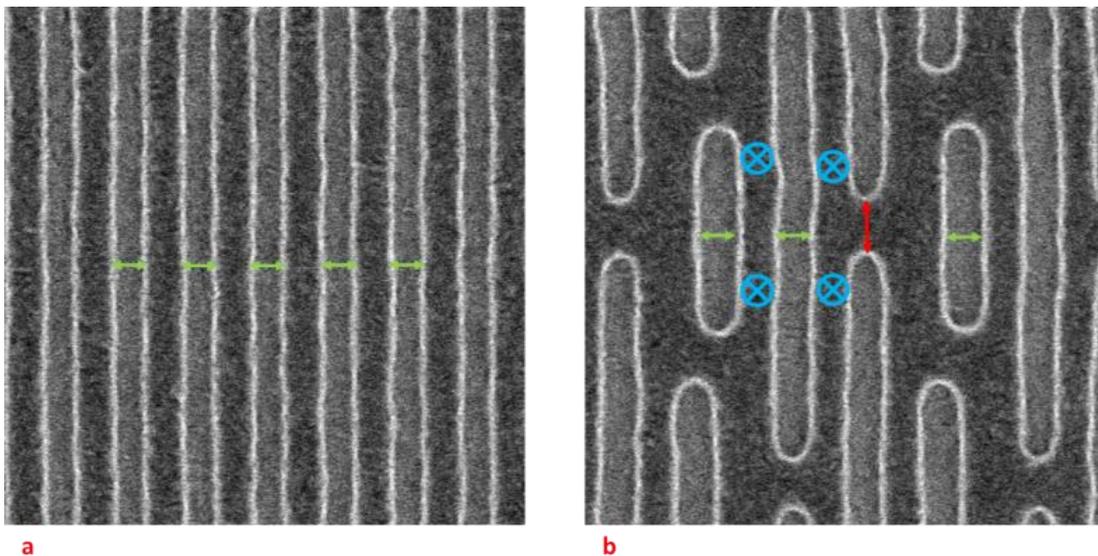


Figure 42 : Images SEM (675 nm x 675 nm) de deux structures types présentes en interconnexion 28 nm.

a) structure utilisée pour le contrôle du procédé après la gravure du masque dur

b) structure pour tests de fiabilité électrique avec design type d'un niveau Metal

ii. Représentativité des structures

La structure utilisée pour contrôler une étape est appelé Mesdim (Mesure dimensionnelle). Dans le cas du BEOL 28 nm, il s'agit d'un réseau de lignes denses, donc une structure avec

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

peu d'informations spatiales et une faible sensibilité aux variations de focus. Dans l'exemple de la Figure 43, trois images SEM ont été prises dans deux champs d'exposition différents d'une plaque gravée ayant suivi le procédé standard de production. Il s'agit du Mesdim et de deux hotspots. Dans les deux cas, le Mesdim renvoie la même valeur. Concernant les hotspots, ceux-ci sont définis au mieux dans le cas (a). Mais dans le cas (b), ceux-ci ont des problèmes de résolution avec notamment des 'pincements' ou des rétrécissements de bout de ligne. Plusieurs causes peuvent expliquer ce phénomène, par exemple une variation locale du focus due à la topographie. Les niveaux d'interconnexions peuvent voir plusieurs dizaines de nanomètres de topographie ce qui cause l'apparition de défauts en raison de leur fenêtre de procédé beaucoup plus réduite que celle du Mesdim. Ces phénomènes sont plus courants lors de l'étape de photolithographie (voir Figure 44) car bien que les équipements soient dotés de systèmes de mesure et de contrôle de la topographie, il reste toujours une part non corrigable. Mais les hotspots sont sensibles à tellement d'effets (effet réticules, dose, focus, etc) qu'il est difficile d'établir avec certitude celui qui a causé un défaut particulier.

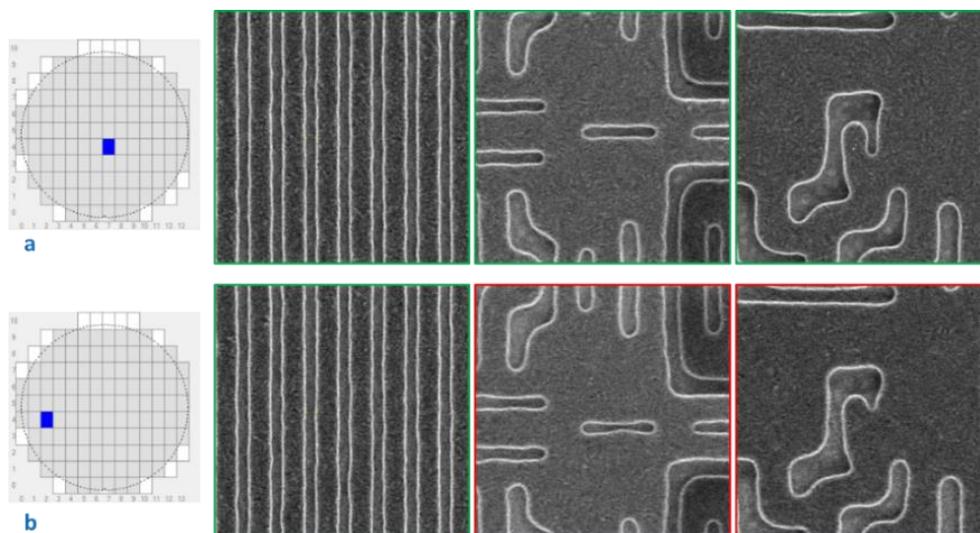


Figure 43 : Images SEM prises sur une plaque gravée aux conditions nominales (675 nm x 675 nm).

a) bonne résolution du Mesdim et des deux hotspots

b) bonne résolution du Mesdim (identique au cas a) mais défauts apparents sur les deux hotspots
pincement de ligne et rétrécissement

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

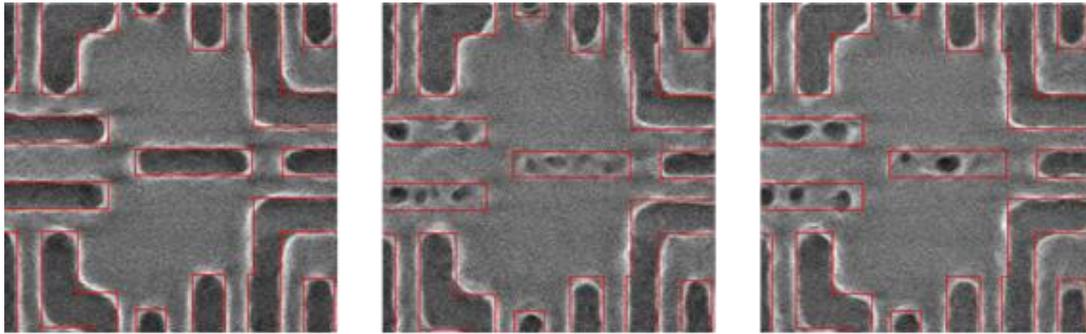


Figure 44 : Défauts observés à différents endroits d'une plaque exposée aux mêmes conditions nominales de production. Le premier motif est bien résolu mais les deux autres sont hors fenêtre de procédé.

3. Limitations

Une problématique à prendre en compte est celle de l'interaction entre les électrons et les matériaux, notamment les résines [46] [47]. L'interaction avec les électrons entraîne une contraction des résines, ce qui nécessite un certain recul vis-à-vis des résultats. L'observation d'une structure résine va affecter les dimensions des motifs imprimés. Pour cette raison une même position ne sera jamais mesurée deux fois car la première mesure aurait modifié la résine. Il est aussi impératif de garder les mêmes conditions de faisceau quand deux mesures après lithographie sont comparées afin d'être sûr que la résine a reçu la même dose d'électrons dans les deux cas. L'hypothèse est faite que la contraction de la résine n'affecte que la valeur absolue mesurée, et non l'évolution relative des dimensions. La tension d'accélération sera limitée à 300 volts lors de l'étude de plaques couvertes de résine. Après gravure ou CMP cuivre, la tension peut être montée à 800 volts pour avoir plus de contrastes car ces matériaux sont peu sensibles aux effets de contraction.

II. Centrage du procédé de fabrication

1. Centrage dose-focus

Lorsque les ingénieurs en lithographie mettent au point un procédé pour un niveau donné, la première étape est de centrer le procédé en termes de dose et focus. Pour cela une plaque FEM est réalisée comme sur la Figure 45. Chaque champ est exposé à une condition

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

de dose et de focus : la dose est modulée dans une direction et le focus dans l'autre. Elle va être utilisée afin de mesurer un motif et quantifier l'évolution de ses dimensions en fonction de la dose et du focus [33]. Cette mesure est réalisée à l'aide du CD-SEM. En général, le motif utilisé est un Mesdim ou un élément simple comme une ligne isolée (voir Figure 45) dont la largeur est mesurée.

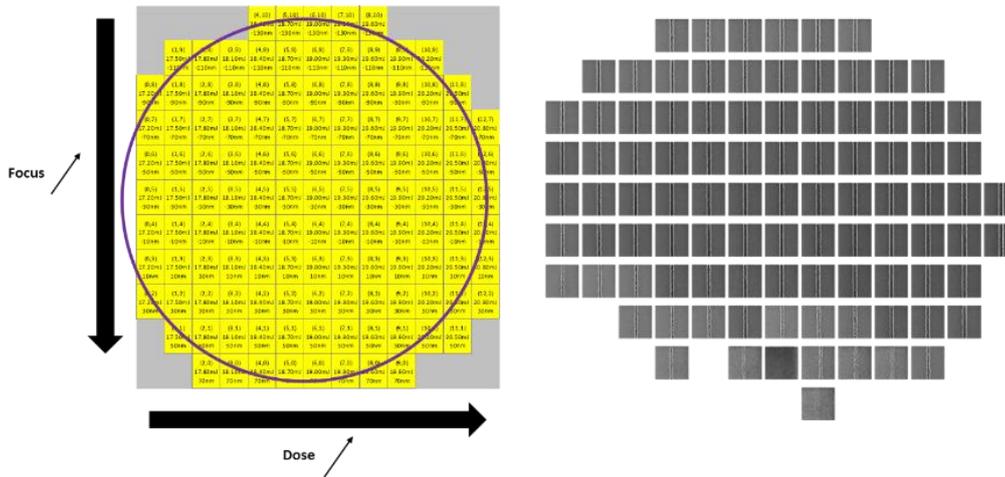


Figure 45 : Exemple de plaque FEM sur produit 28 nm (BEOL) et images SEM d'une ligne prise dans chaque champ. Pour certaines conditions dose-focus, l'image n'a pas pu être prise car l'élément n'a pas été trouvé (car non transféré).

Une fois la plaque mesurée, un ensemble de dimensionnels pour chaque condition dose-focus est obtenu. Pour chaque valeur de dose, l'évolution de la dimension mesurée est tracée en fonction du focus, ce qui permet d'obtenir les courbes appelées Bossung (voir exemple de la Figure 46).

Le centrage focus est défini comme le point pour lequel la dérivée de la courbe de Bossung est nulle, soit le point maximum sur les courbes de la Figure 46. Pour déterminer la dose optimale, il faut sélectionner la courbe qui permet d'atteindre la dimension souhaitée au focus optimal. Dans l'exemple de la Figure 46, les courbes passent par un maximum à un focus de -40 nm. La dimension souhaitée pour la largeur de tranchée est 60 nm. Cela correspond donc à une dose de 18,4 mJ/cm² à focus -40 nm. Le couple dose-focus ainsi obtenu servira de premier point de centrage pour la lithographie.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

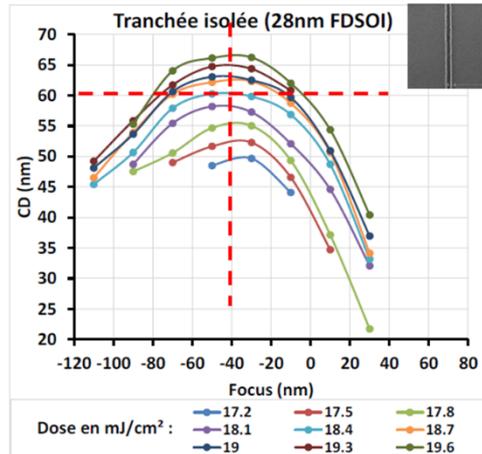


Figure 46 : Courbes de Bossung tracées à partir de la largeur d'une ligne.

Ensuite, les tolérances hautes et basses sur la largeur de la ligne permettent, à partir des Bossung, de remonter à une plage de dose et de focus autour du point de centrage. Comme le montre la Figure 47, en prenant une marge de tolérance de cinq nanomètres, un ensemble de couples dose/focus est obtenu pour lesquels la largeur est dans les spécifications. Le tracé de ces couples permet de définir la plage de dose et de focus autour du point de centrage (cercle vert Figure 47), c'est la fenêtre de procédé.

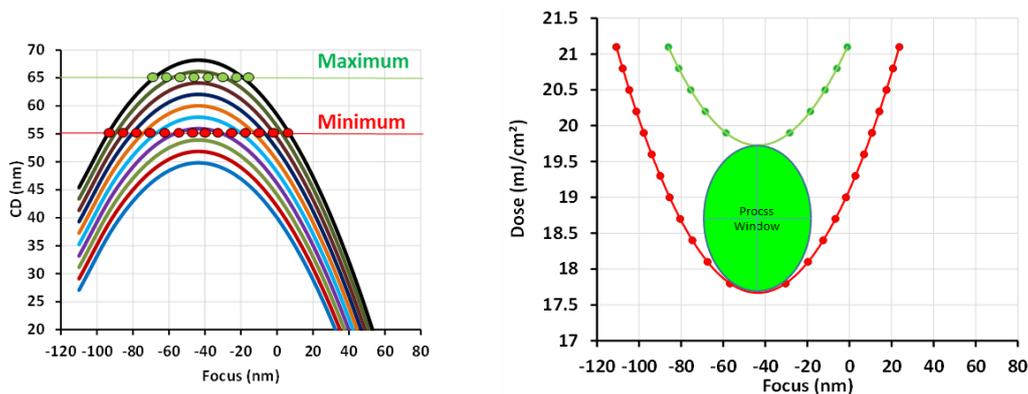


Figure 47 : Détermination de la fenêtre de procédé à partir des Bossung.

La méthode par FEM n'est pas suffisante pour centrer le procédé de manière optimale. Etant donné qu'une seule plaque est utilisée, cela signifie que les effets de variabilité dus par exemple à la topographie de la plaque, à l'uniformité de l'épaisseur de résine ou aux

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

recuits vont s'ajouter à l'influence de la dose et du focus. Ces effets, qui vont influencer le transfert des designs complexes, ne sont pas pris en compte dans le cas d'un centrage FEM. En raison des limitations du CD-SEM à mesurer des éléments complexes, ce sont des éléments simples comme des lignes qui sont mesurés. Vu l'importance de prendre en compte le plus de designs possibles, une méthode doit être utilisée en complément pour vérifier le centrage et la taille de la fenêtre de procédé.

Bien que l'approche par CD-SEM soit la plus utilisée pour mesurer une FEM, elle n'est pas la seule. Il faut également citer la FEM électrique. Une plaque FEM est paramétrée de la même façon que pour la méthode CD-SEM mais la plaque va aller au bout du procédé de fabrication. Le centrage et la fenêtre sont définis par tests qui consistent à venir stresser électriquement les circuits et vérifier leur fonctionnement. La FEM défectivité va analyser, à l'aide d'une machine d'inspection optique, un grand nombre de structures dans chaque champ, puis les comparer à une structure de référence issue du design. Lorsqu'une différence importante est détectée, la structure est classée en défaut. Cependant, cette méthode ne fournit pas de quantification dimensionnelle et a une résolution limitée. La Figure 48 donne un exemple de fenêtres de procédé déterminée par ces trois méthodes. La méthode par CD-SEM est la plus rapide à mettre en œuvre, c'est pourquoi elle est employée plus souvent.

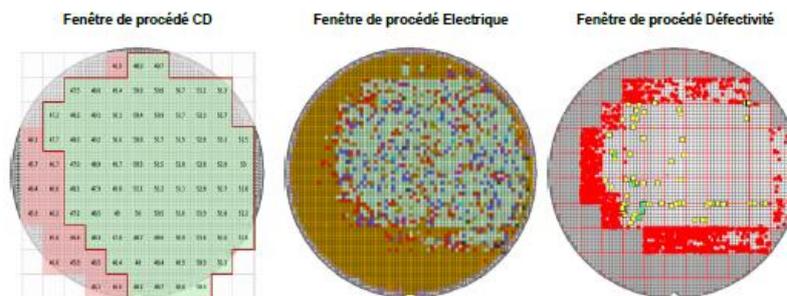


Figure 48 : Fenêtres de procédé par CD-SEM, test électrique et inspection défectivité.

2. Contrôle du centrage

La PWQ (Process Window Qualification) est une technique utilisée pour vérifier et optimiser le centrage de la fenêtre de procédé d'un niveau. Il s'agit d'une méthode d'analyse dite

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

puce à puce. Comme montré sur la Figure 49, une plaque est préparée avec plusieurs champs exposés aux conditions nominales déterminées par les lithographes. La dose et le focus sont ensuite modulés selon un principe similaire à une plaque FEM. La fenêtre de procédé étant différente selon le motif, la PWQ a l'avantage d'offrir une vue plus large que la FEM car elle effectue une vérification du centrage FEM à l'aide un grand nombre de structures complexes présentes dans le circuit. Il est ainsi possible de détecter des structures dont la fenêtre est trop réduite et qui pourraient influencer négativement le rendement et ainsi d'alimenter des modèles et corrections OPC pour les futurs réticules. La PWQ est une méthode de défektivité, c'est-à-dire qu'elle caractérise la fidélité d'une structure vis-à-vis d'une référence. La référence est prise parmi les motifs présents dans les champs en blanc (Figure 49) et comparée aux motifs présents dans le champ voisin dont la dose et le focus sont modulés. Un large échantillonnage permet d'analyser des millions de structures complexes. Ainsi, la PWQ permet d'optimiser la détermination et le centrage de la fenêtre de procédé pour un large éventail de structures (voir Figure 50) mais également de fournir des informations aux ingénieurs OPC concernant les structures les plus limitantes pour le procédé. Cette technique est systématique pour qualifier un nouveau réticule. Elle est très largement utilisée dans de nombreuses unités de fabrication en raison de la grande quantité d'informations qu'il est possible d'obtenir.

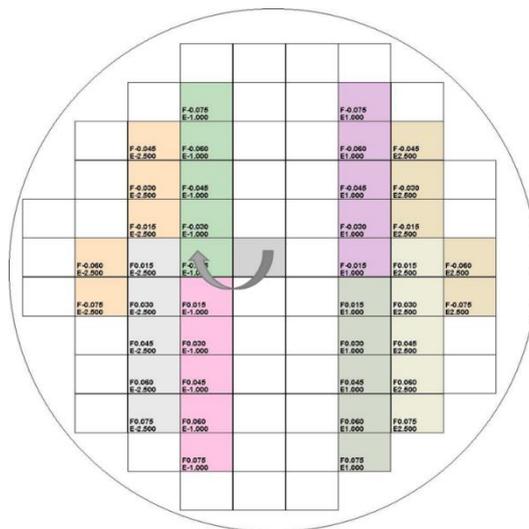


Figure 49 : Principe de paramétrage d'une plaque d'analyse PWQ. Les champs d'exposition en blanc correspondent aux conditions nominales dose-focus déterminées précédemment via FEM.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

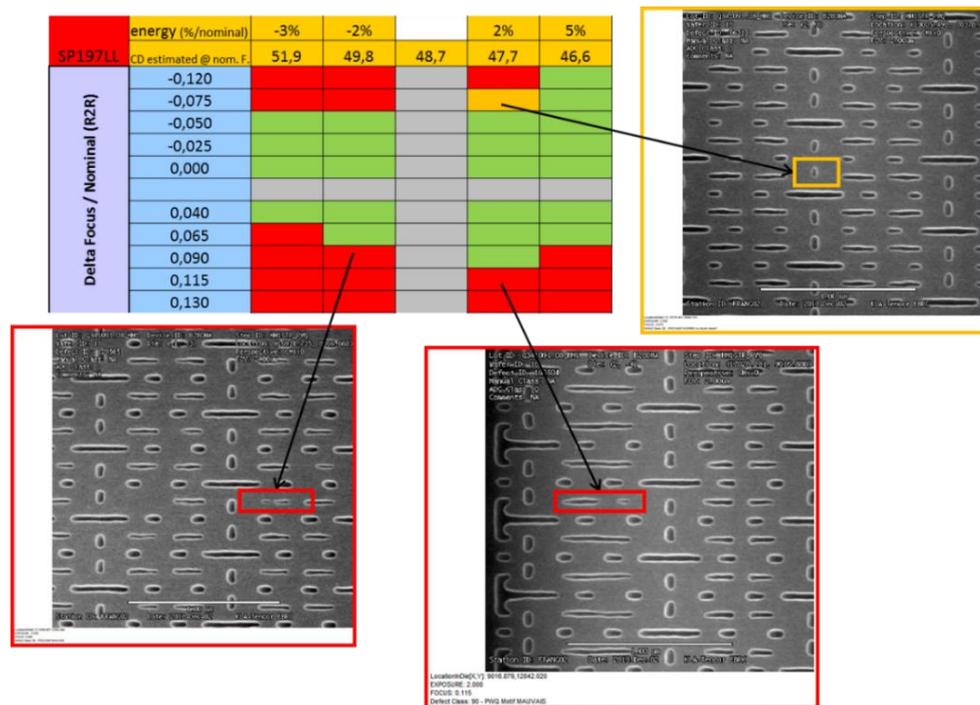


Figure 50 : Exemple d'analyse PWQ sur un réseau d'interconnexions après gravure pour une technologie 28 nm.

Les champs de couleur vert indiquent les conditions pour lesquelles le réseau n'est pas vu comme défaillant.

Les champs orange indiquent les limites de défaillance détectées (fort rétrécissement par exemple).

Les champs rouge indiquent que la structure est en défaut.

La taille d'un pixel issu de la machine d'inspection utilisée chez ST est de 650 nm (lumière visible). Lorsque deux images sont prises par la machine d'inspection (référence vs modulation), les intensités des pixels des deux images sont comparées. L'apparition d'un défaut tel qu'une ligne non imprimée va induire une nette variation d'intensité d'un ou plusieurs pixels qui sera détectée.

Trois exemples sont fournis sur la Figure 51. Sur la gauche les images prises par la machine d'inspection optique. A vu d'œil il n'est pas possible de déterminer ce qui a causé la détection. En prenant une image SEM, le défaut apparaît de manière plus claire. La PWQ permet certes de confirmer ou d'infirmer un centrage et une fenêtre de procédé, de déterminer un point de défaillance pour une structure, mais elle ne donne pas de quantification du comportement dimensionnel des structures au sein de la fenêtre de procédé. Il est important d'analyser le comportement d'un motif avant que celui-ci

n'atteigne son point de défaillance car la variabilité affecte également les propriétés des circuits.

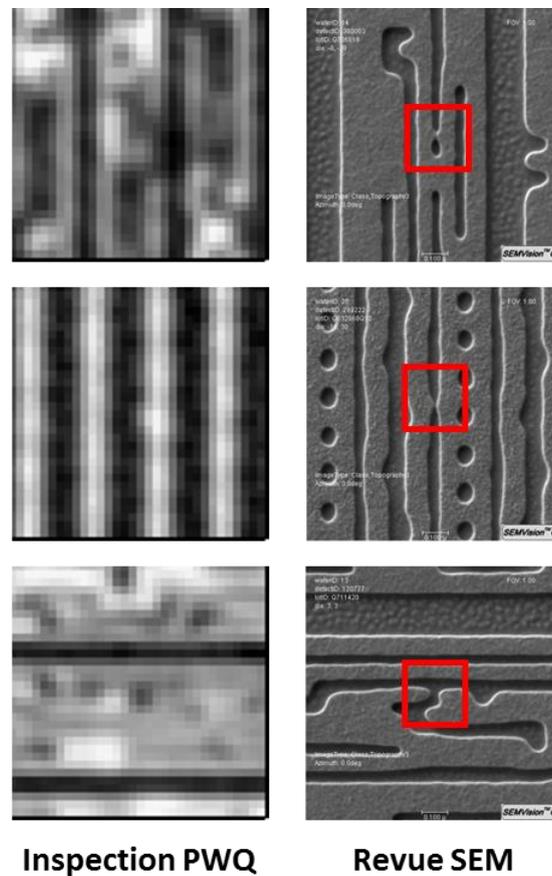


Figure 51 : Exemple d'images associées à une inspection PWQ pour trois structures différentes avec un pixel de 650 nm x 650 nm. Les images SEM des défauts détectés sont également fournies.

Par exemple, la Figure 52 donne quatre images SEM d'une même structure prises sur quatre champs différents d'une même plaque produite aux conditions standards. L'image (a) sert de référence. En appliquant un point de vue défectueux, les images (c) et (d) sont vues comme des défauts car la ligne centrale est quasi ou totalement manquante. L'image (b) par contre n'est pas vue comme un défaut car la ligne est bien présente. Cependant il est bien visible que sa largeur et sa longueur se sont fortement réduits à l'extrémité droite et donc cela risque d'être problématique pour le fonctionnement du circuit. Mais ce type de défauts est très en dessous de la résolution des machines d'inspection en lumière visible et donc un SEM est nécessaire pour les observer.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

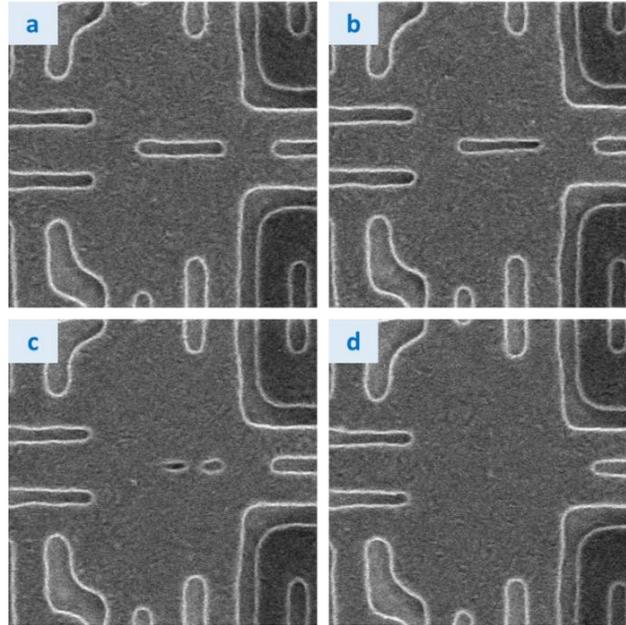


Figure 52 : Images SEM (675 nm x 675 nm) d'un hotspot prises à quatre endroits différents d'une plaque nominale gravée.

*a : image référence avec structure bien résolue b : rétrécissement des dimensions de la ligne en bout de ligne
c : structure non résolue (défaut) d : structure non résolue (défaut)*

3. Suivi en ligne

Une fois le procédé centré, il est nécessaire de mettre en place un suivi afin de détecter toute dérive d'un équipement ou du procédé et apporter une correction pour limiter ainsi les pertes de rendement et le ralentissement de l'outil de production [48]. Cela implique que l'étape de contrôle se fasse également rapidement.

Comme indiqué précédemment, une plaque d'un produit est caractérisée par une grille constituée de plusieurs champs d'exposition (une centaine en moyenne). Sur cette grille, des champs uniformément répartis sont considérés comme représentatifs de la plaque. Les champs partiels sont exclus, ce qui laisse 17 champs qui seront utilisés. En prenant l'exemple donné sur la Figure 53, chaque champ va être constitué de trente puces. Entre chacune de ces puces, un espace de 80 micromètres est laissé pour la découpe en fin de fabrication. Ces espaces sont utilisés pour placer des mires de métrologie. Ces mires, placées sur le réticule, vont subir le même procédé que les puces à chaque étape. Certaines mires sont placées au sein des puces, mais cela réduit l'espace disponible pour le produit donc les lignes de

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

découpe sont privilégiées. Une de ces mires va servir de Mesdim. Le plus souvent, celui-ci est situé en haut à gauche du champ.

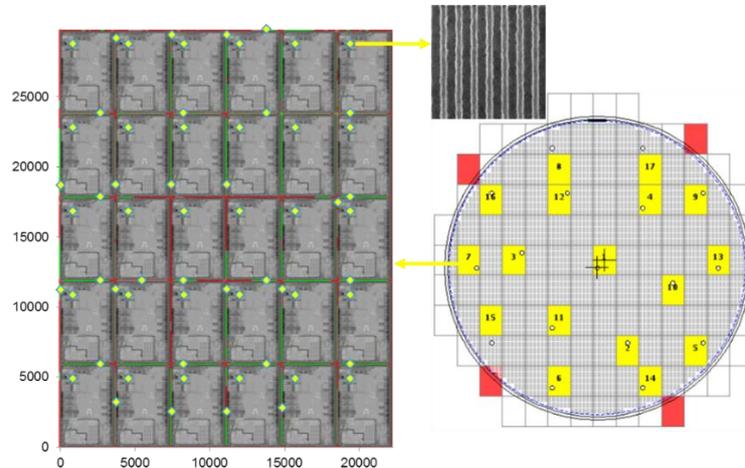


Figure 53 : Exemple de champs sélectionnés pour le contrôle du procédé (en jaune).

Après une étape de lithographie ou gravure, le lot va passer en mesure CD-SEM où le Mesdim est mesuré et une largeur de ligne moyenne est extraite pour chacun des 17 points de mesure. Les ingénieurs établissent des cartes de contrôles sur les valeurs brutes, sur la moyenne des 17 valeurs et sur l'écart type. Pour chacun de ces paramètres, il y a une valeur cible avec une spécification haute et une spécification basse.

Dans le cas des valeurs brutes, si un seul des 17 points renvoie une valeur supérieure à la spécification haute ou inférieure à la spécification basse, le lot est arrêté jusqu'à prise de décision des ingénieurs. Pour une plaque mesurée après lithographie, il est possible de retirer la résine et relancer le procédé par exemple.

Dans le cas où la moyenne ou l'écart type se trouvent hors de leur spécification respective, cela implique une variation forte due à une dérive de l'équipement. Le lot peut continuer si les valeurs brutes sont dans les spécifications. Mais l'équipement est arrêté afin de corriger la dérive et éviter qu'elle ne s'aggrave et affecte la production.

Le contrôle du procédé génère beaucoup de données car plusieurs centaines de plaques sont mesurées chaque semaine. Cependant, les métriques extraites restent assez simples

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

pour les critères de stabilité mentionnés précédemment. De plus, mesurer 17 sites ne permet pas de rendre compte de l'ensemble de la variabilité intra-plaque.

III. L'image SEM : une vaste source d'informations dimensionnelles

Dans une unité de fabrication comme celle de Crolles, deux plaques de chaque lot de production sont mesurées par CD-SEM. Sur chaque plaque, il y a 17 sites de mesures (Figure 53), soit 34 sites par lot. Chaque lot passe au moins une cinquantaine de fois par le CD-SEM au cours de son procédé de fabrication, soit en ordre de grandeur 2000 images. Plusieurs milliers de lots sortent chaque année de Crolles, ce qui représente donc plusieurs millions d'images très faiblement utilisées. Les moyens décrits dans la suite du travail permettent d'optimiser l'utilisation faite de chaque image.

1. Contours SEM

i. Principe

Le plus souvent, l'information extraite d'une image SEM se résume à la valeur mesurée. L'image est rarement utilisée à moins qu'une valeur aberrante ne soit rapportée. La difficulté à avoir une mesure robuste et stable sur des structures complexes limite l'utilisation du CD-SEM pour quantifier ces structures. Les structures complexes de type hotspot sont aussi très sensibles à la dose et au focus. Il est difficile de savoir comment ces deux paramètres réunis vont influencer les différents dimensionnels d'un hotspot ce qui rend complexe leur utilisation en métrologie en ligne pour contrôler le procédé. Néanmoins, le CD-SEM est capable de prendre une image aussi bien d'une structure simple que complexe sans que la qualité ne soit dégradée. Le fait que l'algorithme de mesure n'ait pas été capable de relever une valeur adéquate n'empêche pas d'exploiter l'image. En effet, toute l'information dimensionnelle est contenue intrinsèquement dans l'image qui peut donc être exploitée ultérieurement par l'utilisateur. Le grandissement d'une image étant

connu ainsi que la résolution, il est possible par exemple de remonter à une cartographie des intensités des pixels de l'image et ainsi d'obtenir les bords des motifs.

Les fournisseurs de CD-SEM développent depuis quelques années des technologies permettant d'exploiter plus en détails les informations contenues dans les images SEM, notamment en ce qui concerne le dimensionnel d'un motif contenu dans l'image [49] [50]. Il est possible d'extraire les contours d'une structure présente sur une image SEM et de stocker cette information dans une base de données sous la forme d'un ensemble de points dans les coordonnées de l'image (voir Figure 54). Dans le cadre de cette thèse, une solution commerciale de l'entreprise Hitachi, appelée Design gauge Analyzer, a été utilisée pour extraire les contours. Les images SEM ont été générées via le CD-SEM CG5000 d'Hitachi également avec l'aide d'un outil de création de recettes (Recipe Director) dans lequel les coordonnées et le design de la structure à mesurer sont insérées. Le processus global est donné sur la Figure 55.

Lorsque la recette est exportée sur le CG5000 et lancée, le CD-SEM va se placer aux coordonnées indiquées dans la recette et utiliser le design comme référence pour se centrer précisément et générer l'image. Une fois que toutes les images ont été générées, elles sont importées dans Design gauge analyzer où l'algorithme d'extraction des contours va extraire le contour de chaque image (format CSV ou GDS) qui sera ensuite stocké dans une base de données. Ainsi, dans un tel processus, le CD-SEM est utilisé uniquement afin de générer des images SEM de qualité et non plus en tant qu'outil de métrologie.

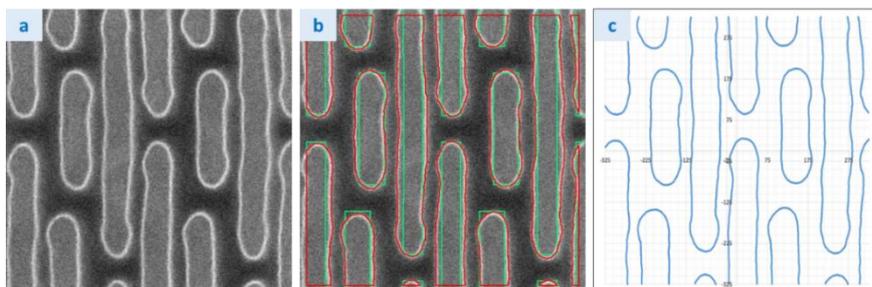


Figure 54 : Exemple d'extraction de contour sur une image SEM.

a : image SEM brute non compressée et sans curseur de mesure

b : image avec le contour extrait à seuil fixé en rouge et design superposé en vert

c : contour dans le système de coordonnées de l'image initiale (0,0) au centre de l'image)

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

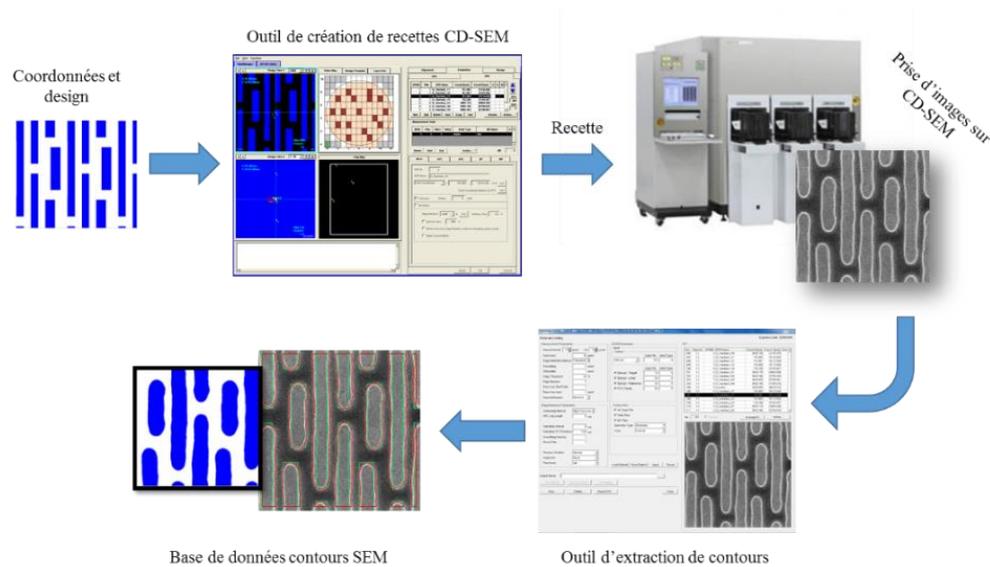


Figure 55 : Processus de génération de contours de la création de recette à la génération des données.

Le fait d'avoir inséré un design de référence rend l'extraction de contours robuste. Sans référence, l'algorithme d'extraction utiliserait les niveaux de gris de l'image pour définir des polygones. Or une image SEM est relativement bruitée et le risque est d'obtenir un contour également bruité avec des polygones mal définis et non fermés. Le fait de superposer le design permet à l'algorithme de prendre en compte à l'avance le nombre et la disposition des polygones dans l'image et ainsi de filtrer le bruit. Les polygones sont ainsi bien définis et fermés (Figure 54. B).

ii. Littérature

L'approche contour SEM est une technique qui s'est beaucoup développée depuis quelques années afin d'optimiser l'utilisation des CD-SEM. Tout d'abord, plusieurs entreprises proposent des solutions commerciales d'extraction de contours aux industriels de la microélectronique : Design Gauge Analyzer (Hitachi), Sentaurus Lithography (Synopsys), MyCD (Abeam). L'avantage pour les fabricants de puces est de disposer d'une solution et d'un support déjà existant. Plusieurs travaux font état de l'utilisation de ces contours dans le procédé de fabrication [51] [52] [53] [54] [55] [56] [57] [58] [59] [60] [61].

Par exemple, l'IMEC a réalisé des travaux avec ASML afin d'évaluer la performance de leur procédé lithographique sur un certain nombre de structures de références. Les contours

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

sont utilisés pour être superposés à la référence design et ainsi quantifier la variation de la structure imprimée par rapport à une structure idéale (voir Figure 56). Cette métrique est nommée Erreur de Placement de Bord (EPE).

Des études sont aussi réalisées avec Hitachi pour étudier les procédés LELE (Litho Etch Litho Etch) au cours desquels un niveau est gravé en deux étapes pour améliorer la résolution (voir Figure 57). D'abord une partie des motifs est imagée par lithographie puis gravée, puis la même procédure est réalisée pour les autres motifs. Ce procédé s'est généralisé sur les nœuds très avancés (sous le 28 nm) pour surmonter les problèmes de résolution mais génère de nouveaux défis pour la métrologie car il faut être capable de limiter l'erreur de placement des motifs imprimés lors de la seconde lithographie par rapport à ceux imprimés lors de la première.

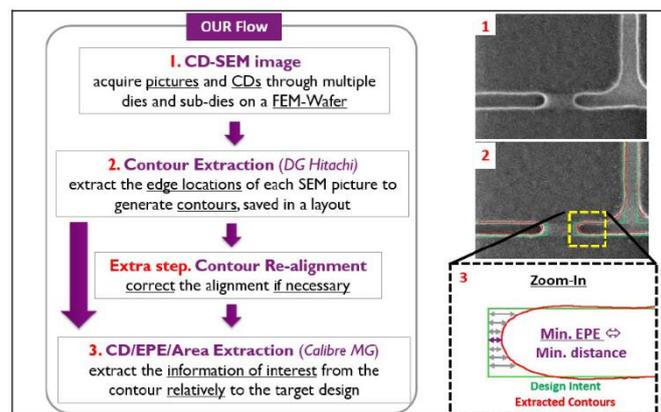


Figure 56 : Procédure mise en place pour évaluer l'EPE [58].

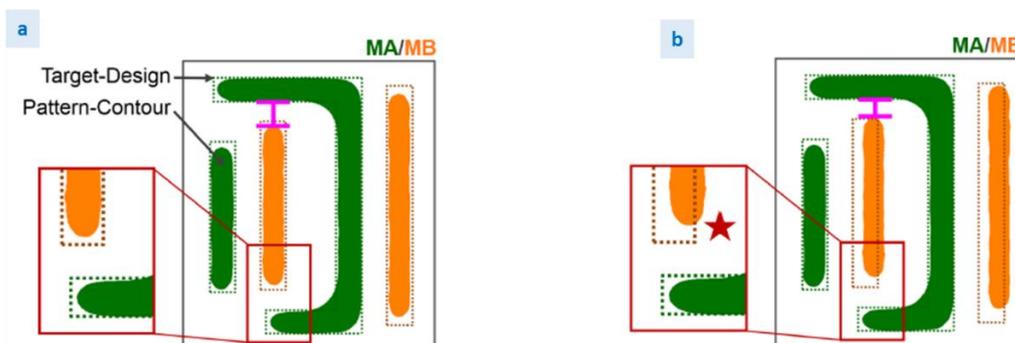


Figure 57 : Contours gravure issus d'un procédé LELE [57].

a) sans erreur de placement de motif b) avec erreur de placement de motif

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Globalfoundries utilise également des modèles alimentés par des contours SEM pour leur OPC. Cette entreprise développant des procédés pour des nœuds avancés, les modèles OPC deviennent assez complexes et nécessitent plus de métriques. Les besoins en métrologie se sont alors complexifiés également et les contours permettent de remonter à des informations plus avancées. Certains exemples sont donnés sur la Figure 58.

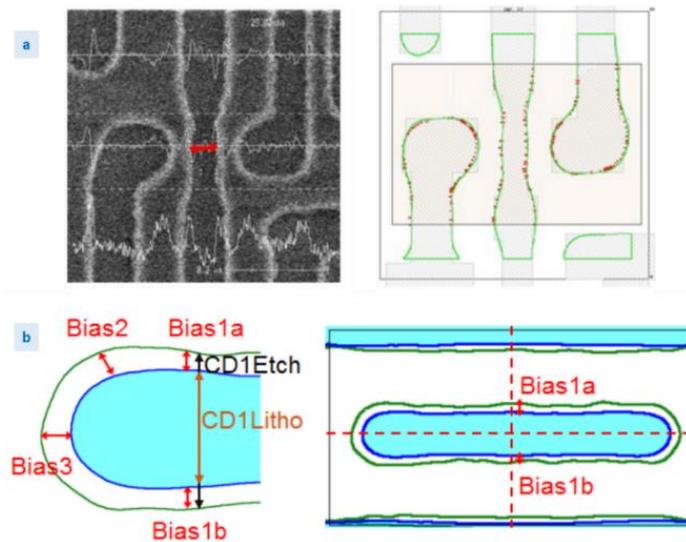


Figure 58 : Utilisation de contours SEM pour modèles OPC (Globalfoundries.) [53]

a) Extraction de métriques plus complexes via contours sur hotspots

b) Calibration de modèles de gravure sur contours avant/après gravure

2. Analyse des données : création d'un outil adapté

Une fois que le contour est stocké, il peut être manipulé par l'utilisateur et, par exemple, comparé à un autre contour pour visualiser la variation d'une forme. Cependant, ce genre de tâches est assez long et répétitif, peut devenir à la longue rébarbatif pour l'utilisateur et ne fournit pas réellement de métrique utilisable. De plus, au vu des quantités de données générées de plusieurs giga-octets par semaine, la méthode manuelle n'est clairement pas adaptée au monde de la fabrication des circuits intégrés où une méthodologie robuste et

dans l'idéal automatisable est nécessaire. Cependant, la solution commerciale utilisée ne fournit pas d'outil supplémentaire pour analyser les contours générés. Un outil a donc été développé pour cette thèse dans ce but. Les contours générés par l'outil d'extraction sont utilisés comme donnée d'entrée dans leur format CSV. L'analyse est réalisée via un ensemble de scripts destinés à traiter une grande quantité de contours de manière automatisée. Le langage de programmation utilisé dans la suite est Python 3, qui a l'avantage d'être un langage ouvert, multiplateformes et d'avoir une multitude de bibliothèques contenant des outils mathématiques et de traitement de fichiers. Dans la suite, les différents modules développés sont expliqués.

i. Alignement

Le centrage des contours comme première étape est un point important. Une des premières interrogations qui vient à l'esprit lorsque l'on veut superposer deux contours pour les comparer est de savoir comment les aligner l'un par rapport à l'autre. Chaque contour généré a son point de coordonnées nulles placé en se basant sur la référence de la recette CD-SEM. Le plus souvent, mais pas toujours, ce point correspond au centre de l'image d'origine. Le moyen rapide serait de laisser les coordonnées de chaque contour comme tel et de les superposer ainsi. Néanmoins, le centrage du contour dépend de la capacité de l'algorithme de reconnaissance du CD-SEM à centrer l'image sur la structure et à y superposer la référence issue de la recette. Bien que l'équipement soit performant pour aller chercher la structure sur la plaque et en ressortir une image, le centrage peut parfois être décalé à vue d'œil d'une image à l'autre. C'est le cas également de la référence de la recette lorsqu'elle est superposée à l'image. Un exemple de désalignement d'image est montré sur la Figure 59 et l'influence sur le centrage contour sur la Figure 60. Ce désalignement va constamment apporter un bruit qui va noyer la variabilité et donner l'impression qu'elle est très importante, surtout lorsque plusieurs centaines de contours sont superposés. Il est donc nécessaire de passer par un processus de recentrage des contours sur une référence connue et ainsi rendre la comparaison des contours plus précise.

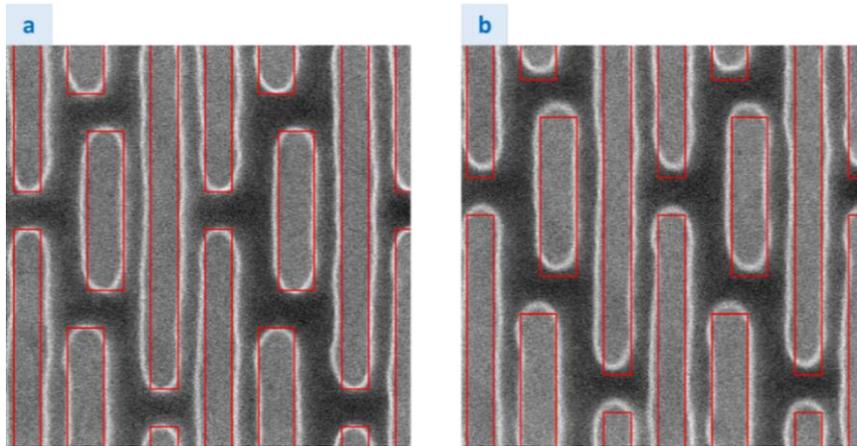


Figure 59 : Images SEM d'une structure de fiabilité prise à deux positions différentes.

a) bon centrage images vs référence b) référence design et image SEM décalées l'une par rapport à l'autre

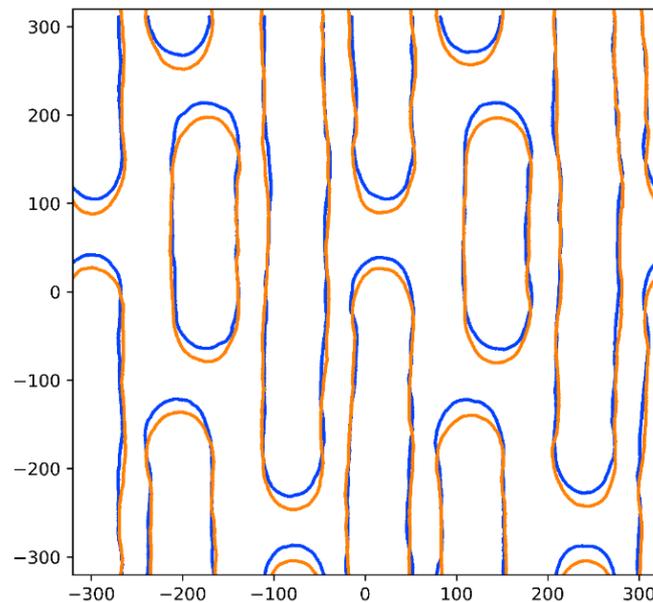


Figure 60 : Contours extraits à partir des deux images de la figure 17 et superposés dans le référentiel d'origine.

contour orange : contour issu de l'image Figure 17. A contour bleu : contour issu de l'image Figure 17. b

Il n'y a pas de point de centrage ou de méthode absolus pour réaliser le recentrage. Il revient à l'utilisateur de définir le type d'alignement souhaité. Dans les travaux décrits ici, la méthode utilisée est celle du centre de gravité. Sur chaque contour, le centre de gravité d'une ou plusieurs des structures présentes est extrait et est considéré comme le point de coordonnées nulles. Dans l'exemple donné Figure 59, Figure 60 et précisé Figure 61, le centre

de gravité de chacune des deux lignes encadrées est extrait, ce qui permet d'en déduire un centre de gravité moyen en accordant le même poids aux deux lignes.

La méthode du centre de gravité à l'avantage d'être rapide. Le script ouvre un fichier, lit les coordonnées, calcule le point de centrage et applique un décalage identique à l'ensemble des coordonnées pour ramener le point de centrage sur (0,0). Il faut compter une minute par centaine de fichiers avec un ordinateur de base. Il faut néanmoins bien garder à l'esprit qu'il n'y a pas d'alignement absolu et que la technique du centre de gravité peut avoir certaines limitations.

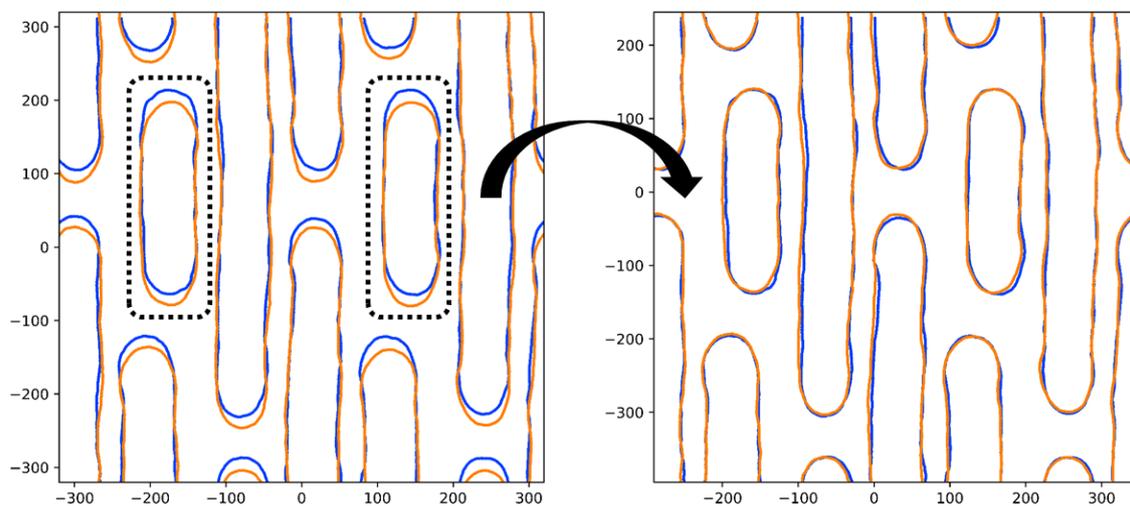


Figure 61 : Alignement centre de gravité basé sur la Figure 18.

Au moment de la lecture du contour, chacun des polygones possède un identifiant qui a été généré lors de l'extraction par le logiciel. Par exemple, d'un contour à l'autre, les deux polygones pris comme référence sur la Figure 61 auront le même identifiant, ce qui facilite la lecture des coordonnées et le calcul du centre de gravité. Cependant, dans certains cas, il se peut que le logiciel d'extraction n'ait pas réussi à attribuer correctement les identifiants et donc les polygones n'auront pas le même identifiant d'un contour à l'autre. Ces cas sont rares et n'ont pas posé de problème dans ce travail, mais il convient d'être vigilant. Il faut

aussi éviter d'utiliser des formes présentes au bord de l'image car d'une image à l'autre, celles-ci peuvent sortir du cadre (voir l'exemple Figure 62).

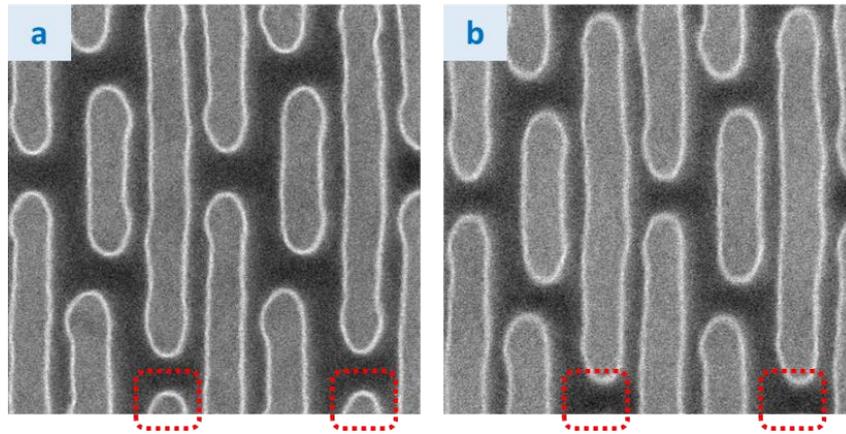


Figure 62 : Deux images avec un centrage différent. Les deux bouts de ligne encadrés en a) ne sont pas présents en b).

En général, l'alignement permet de réduire fortement le bruit du au placement de l'image, surtout lorsque le volume de données à traiter devient important. Sur la Figure 63, l'exemple de 400 contours superposés est donné. L'alignement sur les deux lignes, comme sur la Figure 61, contribue à une forte réduction du bruit. En faisant l'hypothèse que le bruit de placement d'image est cette fois compensé, la superposition des 400 contours de la Figure 63.b) donne une vue de la bande de variabilité de la structure. Ces 400 contours proviennent d'images prises à plusieurs endroits d'une même plaque où tous les champs ont été exposés aux mêmes conditions de dose et focus. Le cas idéal voudrait que toutes les structures se superposent parfaitement, les variations des bords donnent donc une idée de l'influence de la variabilité sur cette structure. L'hypothèse est faite que le centre de gravité est fixe d'un contour à l'autre. Il faut donc que la structure choisie ne subisse pas de déformation majeure car dans ce cas, le risque est de transférer sa variabilité à un autre endroit. Certaines structures ont des conformations structurales telles qu'elles deviennent très sensibles à la variabilité et peuvent subir des effets importants comme de forts retraites de bouts de ligne. Un exemple est donné sur la Figure 64 d'une structure assez sensible à la variabilité. Donc aux conditions nominales, le bout de ligne est amené à disparaître d'une puce à l'autre.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

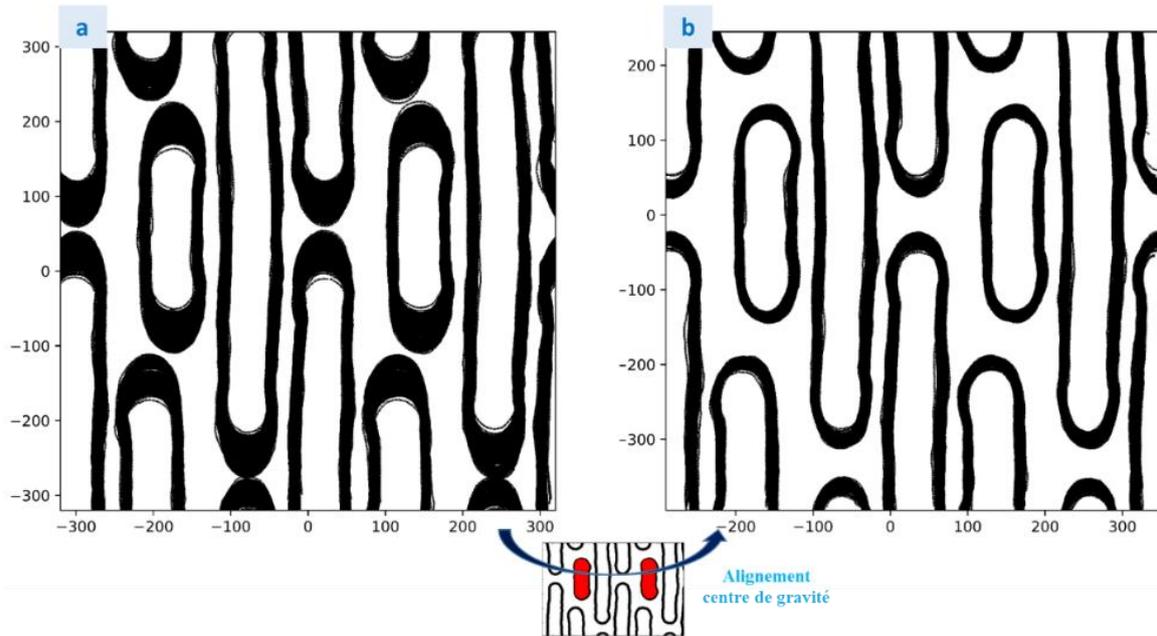


Figure 63 : Alignement centre de gravité appliqué à 400 contours

- a) superposition avant alignement, le bruit de placement d'image devient visible sur une grande quantité de données, les bouts de lignes se touchent quasiment ce qui rend la lecture difficile.
- b) superposition après l'alignement centre de gravité, le bruit a été très fortement réduit et la visualisation de la variabilité devient plus aisée.

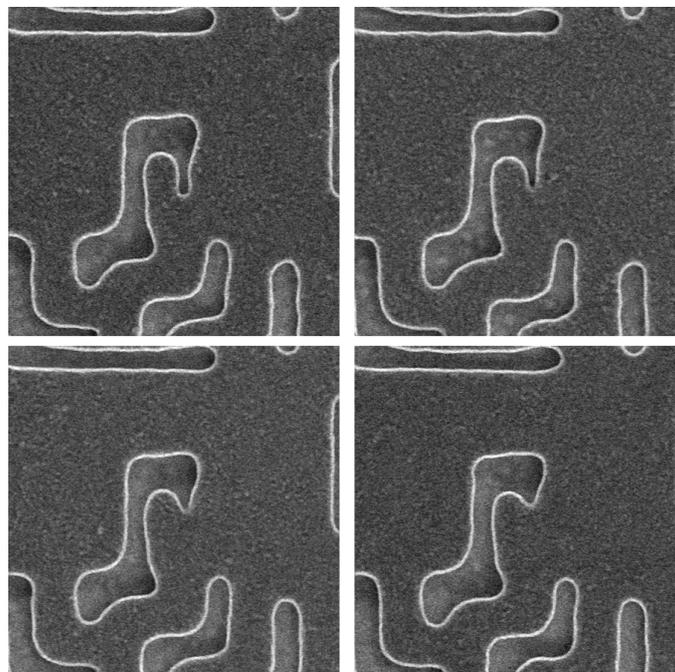


Figure 64 : Structure gravée de type hotspot prise aux conditions nominales dans différentes puces sur la plaque.

La variabilité cause en certains endroits un rétrécissement voire une perte de bouts de ligne.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Il faut donc être vigilant car sur les contours tels que ceux issus de la Figure 64, le centre de gravité de la forme centrale va fortement varier en fonction du rétrécissement du bout de ligne. En utilisant donc son centre de gravité comme point de centrage, la superposition des contours donne une situation comme celle de la Figure 65. 200 contours sont ici superposés par centre de gravité et un bruit supérieur au placement d'image est apporté.

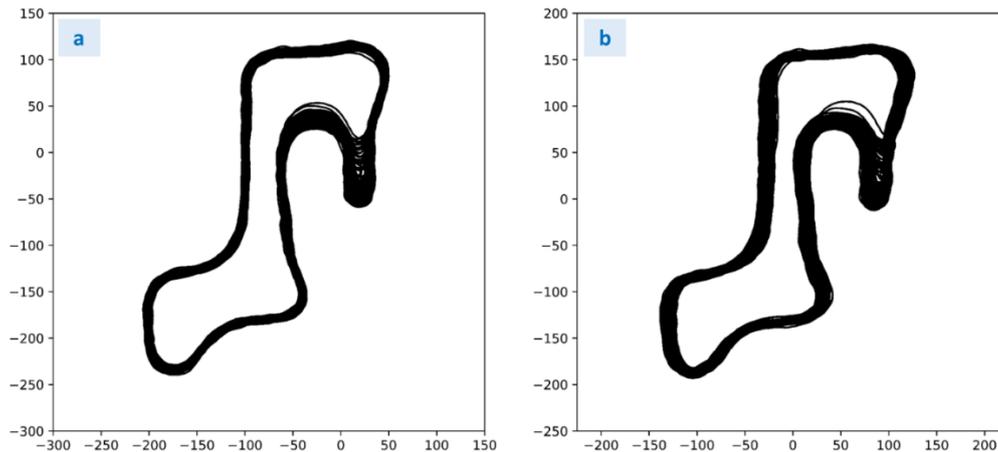


Figure 65 : Superposition de 200 contours.

a) sans alignement

b) alignement centre de gravité

Dans ce genre de cas, c'est à l'utilisateur de déterminer s'il souhaite un alignement ou non. Il est également possible d'utiliser les structures environnantes pour améliorer l'alignement.

ii. Visualisation de la variabilité

Superposer les contours donne une première visualisation concernant la variabilité mais cela ne donne pas réellement d'information concernant la distribution de la variabilité. L'idée est de visualiser la superposition avec une échelle de poids. Dans ce cas, le repère est divisé en quadrillage. Une taille fixe est attribuée à chacune des cases en fonction de la résolution souhaitée. Lorsqu'un contour se trouve dans une case, la valeur 1 est attribuée.

Les cases vides se voient attribuée la valeur 0. Ainsi, chaque fichier de contour est converti en un tableau binaire de taille fixe. Un exemple est donné sur la Figure 66 avec le contour d'un élément.

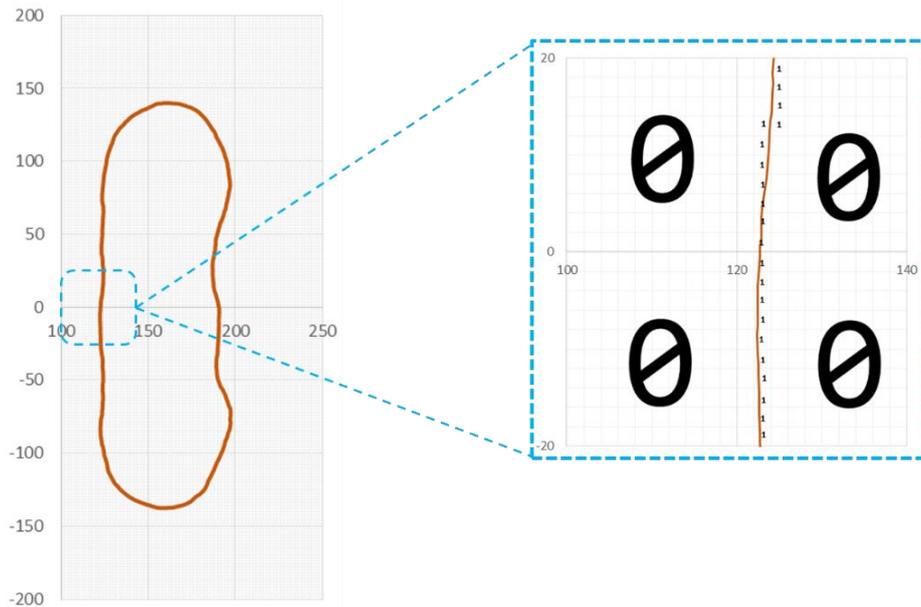


Figure 66 : Exemple de conversion de contour en tableau binaire.

Les cases sont assimilées à des pixels de taille 2 nm x 2 nm.

Sur le zoom de droite, il s'agit d'un tableau de taille 20 x 20 où chaque case traversée par la ligne se voit attribuer la valeur 1 tandis que les autres restent nulles.

Superposer les contours revient donc à faire la somme de tous les tableaux et à normaliser les valeurs des cases par le nombre de tableaux. Ainsi un tableau final est obtenu. Les zones où la variabilité est faible vont avoir beaucoup de contours qui se superposent de manière très proche l'un de l'autre. Les cases auront donc une forte intensité. Dans le cas contraire, lorsque la variabilité est forte, les contours sont plus dispersés et ne se superposent pas de manière proche. Les cases ont alors une faible intensité. En générant plusieurs centaines de contours de manière répartie uniformément sur toute une plaque exposée aux mêmes conditions, il est donc possible, de générer un tel tableau pour avoir une idée plus visuelle de la variabilité de la structure sur la plaque. Le tableau est alors inséré dans un outil de visualisation appelé Gwyddion (open source <http://gwyddion.net/>). Un exemple sur les 400

contours de la Figure 63 est donné sur la Figure 67. Les zones de faible variabilité apparaissent en vert (beaucoup de contours se superposent dans cette zone). Lorsque les contours sont plus dispersés, une bande rougeâtre apparaît plus ou moins épaisse en fonction de la variabilité. La plus forte variabilité se voit sur les bouts de lignes qui sont très sensibles aux variations de focus. Plusieurs événements stochastiques sont visibles avec quelques fois de forts rétrécissements, essentiellement caractéristiques du bord de plaque.

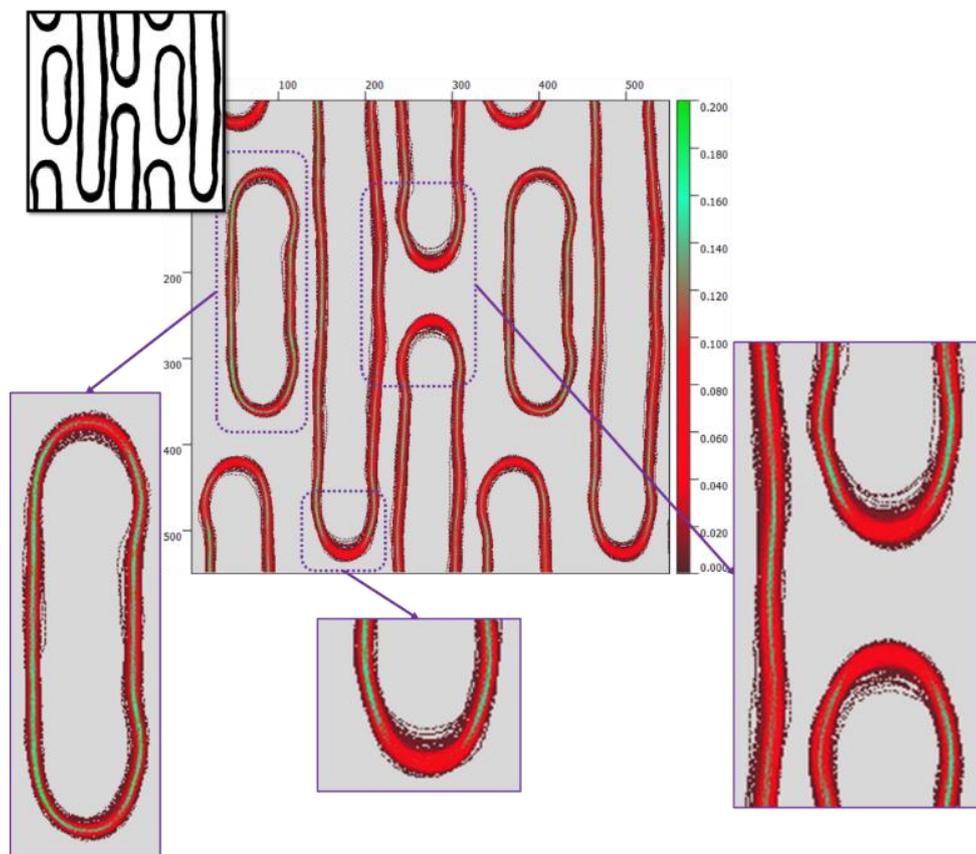


Figure 67 : Visualisation d'un tableau de variabilité établi à partir de 400 contours aux conditions nominales de procédé.

iii. Contour moyen et écart type

Il est parfois nécessaire d'avoir un seul contour, qui serait la moyenne de l'ensemble des contours afin d'alimenter par exemple des modèles de simulation pour la lithographie ou la gravure. Il faudrait pour cela un moyen de moyenniser les contours en tout point.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Une méthode spécifique a été utilisée dans les cas étudiés ici. Chaque contour correspond à un ensemble de points de coordonnées (X,Y). Après avoir aligné tous les contours, l'un d'entre eux est pris comme référence à partir de laquelle la moyenne va être calculée. Le contour choisi est automatiquement celui dont le nombre de points (X,Y) est le plus élevé. Pour chaque point de la référence, le point le plus proche de chacun des autres contours est associé. Ainsi, en un point de la référence, il y a plusieurs vecteurs à partir desquels un vecteur moyen peut être extrait. Le bout de ce vecteur correspond au premier point du contour moyen (voir schéma explicatif Figure 68). L'opération est réalisée pour tous les points du contour de référence.

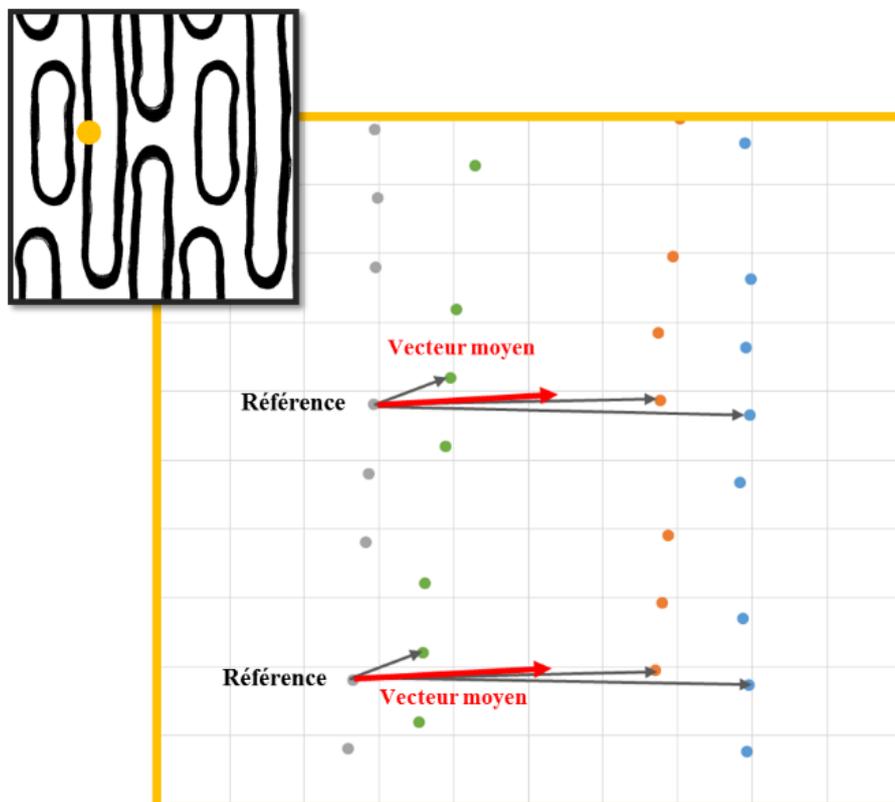


Figure 68 : Principe de calcul de contour moyen avec 4 contours pris sur une petite échelle (10 nm X 10 nm).

En appliquant cela sur les 400 vecteurs de la Figure 63, il y a donc plus de deux millions de vecteurs extraits pour réaliser la structure moyenne donnée sur la Figure 69. En plus de la moyenne, il est possible de calculer en tout point un écart type en X et Y, qui donnerait une

estimation de la variabilité de la structure moyennée. La dispersion autour de la moyenne est tracée selon la règle des trois sigmas, c'est-à-dire que 99.73% des points se situent à trois écarts types du point moyen (voir exemples Figure 70).

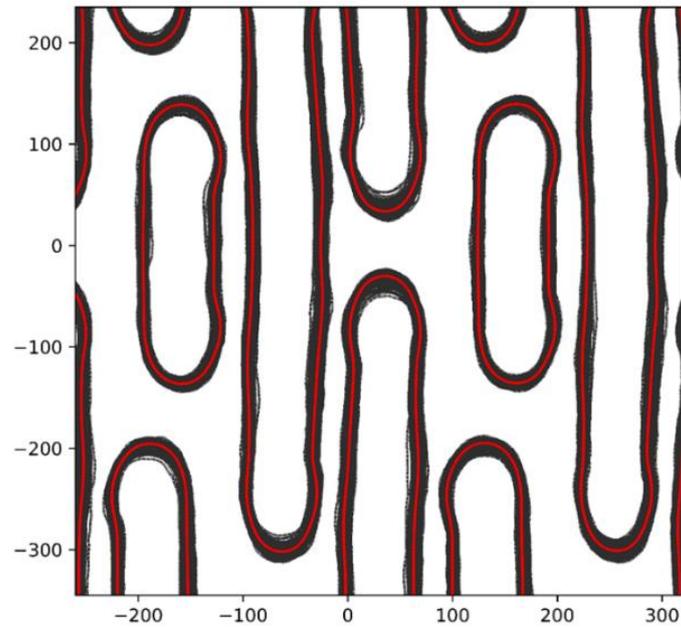


Figure 69 : Contour moyenné (rouge) basé sur les données superposées (noir).

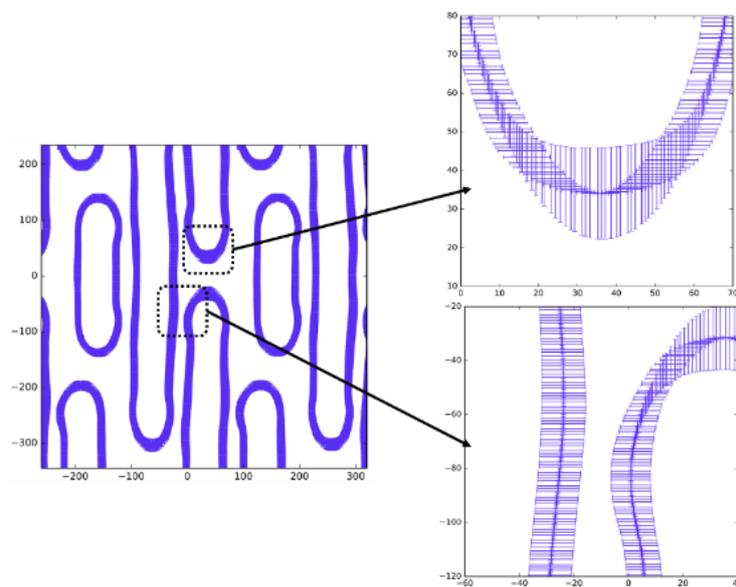


Figure 70 : Contour moyen donné avec l'écart type en termes de trois sigmas, l'écart type est plus élevé au niveau des bouts de ligne.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

iv. *Métrologie hors ligne*

Etant donné les différents problèmes rencontrés avec les algorithmes commerciaux de mesure en ligne sur les structures complexes, une solution plus flexible utilisant les contours a été mise en place. Une fois tous les contours obtenus, alignés et superposés, un programme de mesure peut être défini hors ligne. Par exemple, si un ingénieur souhaite connaître la variation d'une distance entre deux bouts de lignes, il peut définir dans le repère la zone dans laquelle la mesure doit être effectuée, c'est-à-dire une double boîte qui viendrait contenir les deux bouts de lignes (un bout de ligne dans chacune des boîtes). Ensuite, un script va automatiquement extraire les distances entre les deux bouts de lignes dans chacun des contours. Dans l'exemple de la Figure 71, environ 800 contours de lignes de cuivre sont à analyser.

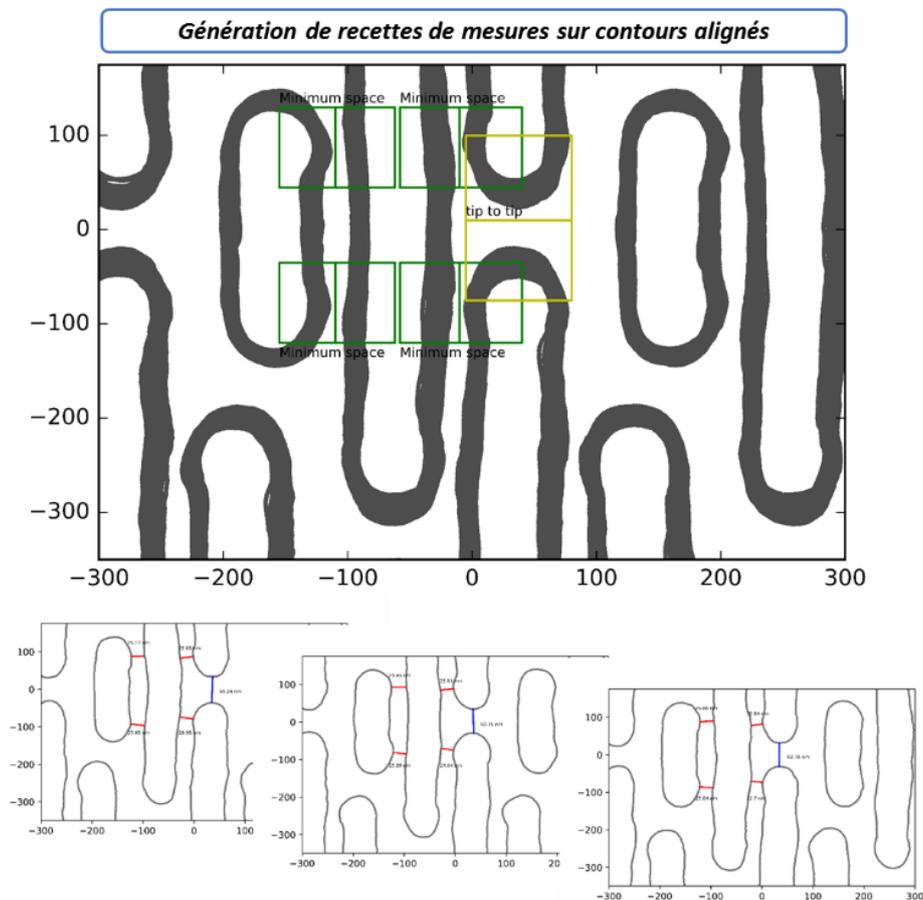


Figure 71 : Calibration d'un script de mesure sur contours avec mesures de distances minimales. [35]

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Dans l'exemple de la Figure 71 l'utilisateur souhaite mesurer les distances minimales entre les lignes au niveau ou celles-ci contiennent des contacts (vias) vers le niveau. Si les lignes sont trop proches les unes des autres à cet endroit, il y a un risque de fuite de courant. La mesure est paramétrée à l'aide des doubles boîtes indiquées en vert. Chaque partie de la double boîte vient se superposer à un des bords et extraire les coordonnées des points. L'ensemble des distances entre points est calculé et la distance minimale en est extraite. La boîte jaune correspond à la distance entre les deux bouts de ligne (tip to tip), il s'agit également d'un calcul de distance minimale. Trois exemples de mesures effectuées sont fournis mais il n'y a pas de limitation au nombre de mesures que l'utilisateur peut effectuer car la mesure est automatisée. Les données étant stockées, il est toujours possible d'analyser les données ultérieurement dans le temps. L'avantage du placement de boîtes dans le repère contenant tous les contours superposés permet un placement plus précis et la certitude d'avoir une valeur mesurée. L'alignement des contours facilite cette étape et évite d'avoir une image superposée bruitée. Ainsi un seul paramétrage est nécessaire pour analyser la totalité des 800 contours. Le script de mesure peut être conservé comme référence afin d'être utilisé ultérieurement sur la même structure. Cette méthode offre l'avantage de pouvoir calibrer des méthodes de mesures indépendamment du CD-SEM et de ses algorithmes. Plusieurs types de métriques peuvent être définies (largeur, rugosité, surface, bouts de ligne, etc) sur de multiples structures, simples ou complexes : quelques exemples sont donnés sur la Figure 72.

Travailler dans l'environnement des contours permet d'inclure des informations qui ne sont pas contenues dans l'image SEM d'origine. Par exemple, il est possible d'apporter des informations relatives au design ou à l'OPC pour pouvoir les comparer à ce qui est obtenu sur silicium après le procédé. Ainsi des effets comme les arrondis ou les rétrécissements des bouts de lignes peuvent être visualisés ou quantifiés par rapport à une référence design. Ces informations peuvent être utilisées pour vérifier des modèles ou générer des règles de dessin. Sur la Figure 73, les informations design et OPC d'une structure ont été importées dans l'outil et superposés aux contours résine et gravure hardmask de cette même structure.

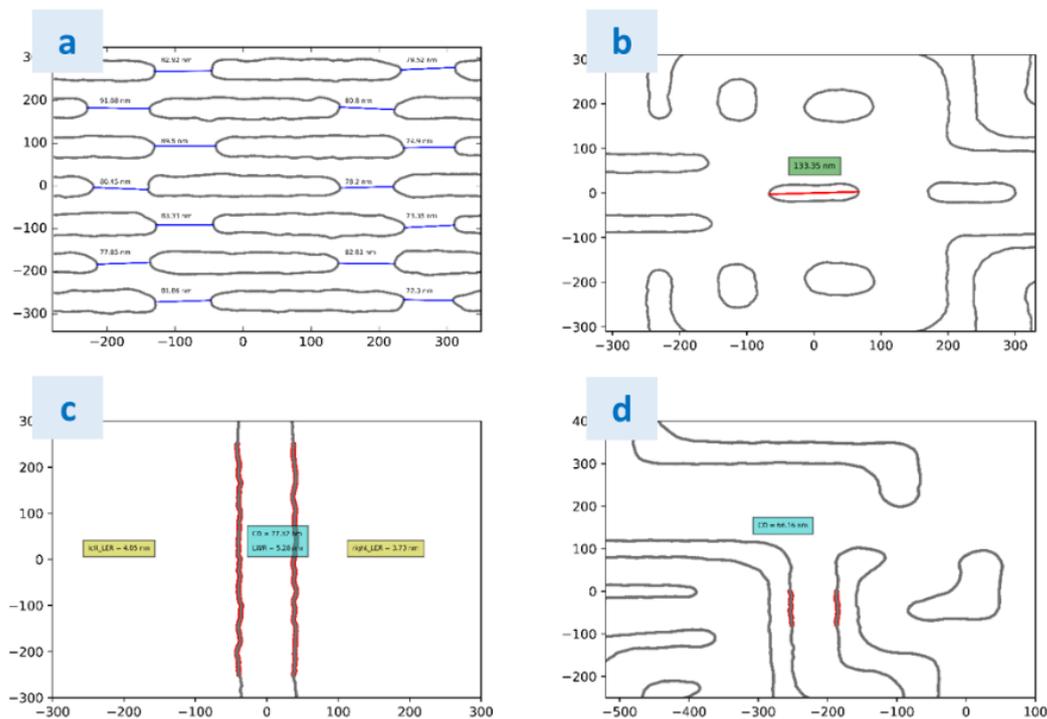


Figure 72 : Exemples de structures étudiées par métrologie contours.

- a) mesures tip to tip (14 valeurs) dans un bloc de chaînes b) longueur de chaînes dans un hotspot
c) mesure de largeur de ligne avec écart type et rugosité d) écart moyen entre deux lignes dans un hotspot

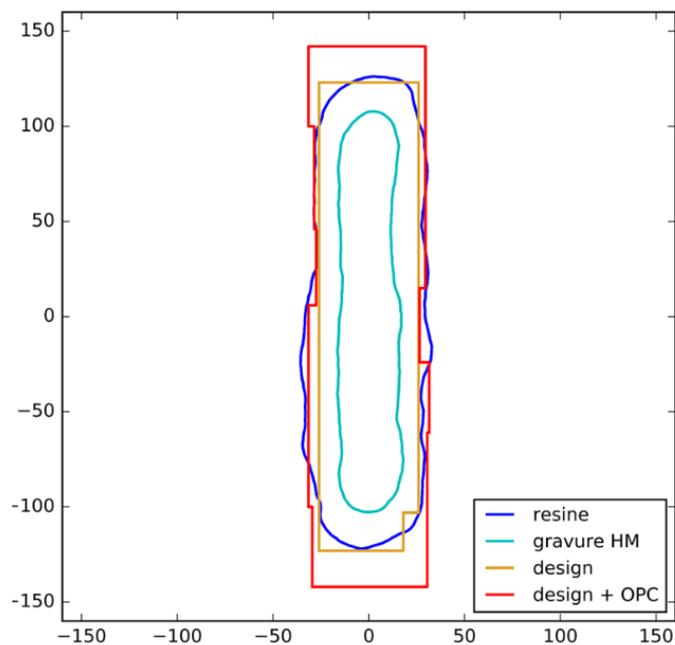


Figure 73 : Superposition de contours lithographie et gravure avec les données design et OPC.

Ces informations peuvent être utilisés pour vérifier des modèles et générer des règles de dessin.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Dans ce chapitre, l'utilisation de l'image SEM a été optimisée grâce à l'utilisation d'un ensemble d'algorithmes hors lignes. Une mesure en ligne génère une valeur par image. La métrologie hors ligne permet de générer des informations en quantité plus importantes afin de répondre aux besoins de différents groupes : procédé, OPC, design.

Le chapitre suivant va présenter les situations où plusieurs de ces modules ont été mis en application. Cela s'est fait dans le cadre de différentes collaborations internes et externes avec l'entreprise ASML. Dans un premier temps le travail s'est focalisé sur la technologie 28 nm. Par la suite, des synergies ont eu lieu avec les équipes en charges du développement de capteurs d'images ce qui a permis de lancer une activité de métrologie sur le sujet.

Chapitre 4 : Mise en application de la métrologie hors ligne

La partie précédente a fourni un descriptif des différents scripts mis en place pour analyser des contours SEM. Cette partie va fournir plus de détails avec des mises en application sur des cas pratiques. Des étapes de lithographie, gravure et CMP cuivre seront considérées pour une technologie 28 nm. Une étude a également été réalisée sur un niveau de microlentilles pour les capteurs d'images. Dans toutes ces études, un CD-SEM Hitachi CG5000 a été utilisé pour générer les images. Les recettes sont réalisées via Recipe Director Hitachi à partir d'un design des structures à mesurer et d'un fichier de coordonnées. Les contours sont eux générés à l'aide de l'outil hors ligne Hitachi Design gauge Analyzer. Toutes les images de cette étude auront une taille de 512 pixels X 512 pixels. A l'exception des images prises dans la partie capteur d'image, le grandissement utilisé sera de 200 000, ce qui correspond à des champs d'observations de 675 nm X 675 nm. Ainsi les mesures réalisées sont données avec une précision de plus ou moins 0.6 - 0.7 nm. Dans le cas des capteurs d'images, les structures à analyser sont plus grandes donc le grandissement est réduit à 35 000 ce qui correspond à un champ d'observation d'environ quatre microns sur quatre microns.

La Figure 74 donne un rappel du profil d'intensité d'une image SEM. La largeur de tranchée mesurée va varier en fonction du positionnement sur le pic d'intensité en raison de la pente du bord de motif. Le seuil choisi va influencer la détection du bord du motif. Plus le seuil de détection choisi est bas, plus le bord de motif sera proche du pic d'intensité, donc du haut de la pente. Un seuil élevé va rapprocher le bord détecté du fond de la tranchée. Un exemple de contours à différents seuils sur un hotspot est donné sur la Figure 75. Comme montré sur la Figure 76 il peut y avoir plusieurs nanomètres de différence entre un seuil à 20% du pic d'intensité et un seuil à 80%. Lors du cycle de production, un seuil est également défini lors de la mesure en ligne. Il est fixé à 80% pour la plupart des produits. C'est donc cette valeur qui sera retenue pour extraire les contours dans la suite. Une exception sera faite pour les structures analysées en capteurs d'images où les formes et contrastes sont très différents et un seuil à 50% a été pris. Il est toujours possible de faire des études à

différents seuil à posteriori étant donné que les images sont enregistrées dans une base de données et exploitables sans limite de temps.

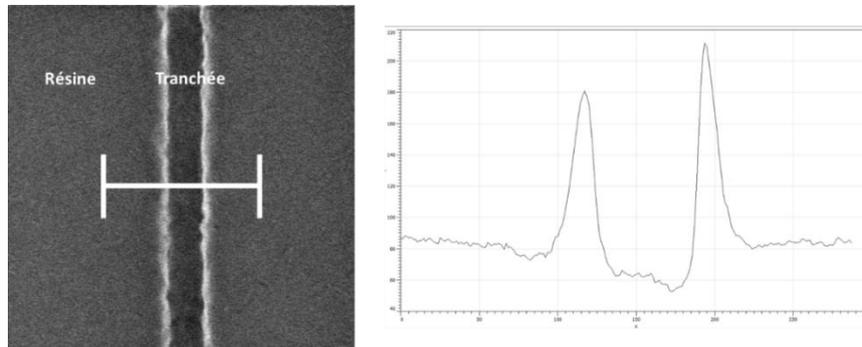


Figure 74 : Profil d'intensité d'une image SEM prise sur une tranchée après développement de la résine.

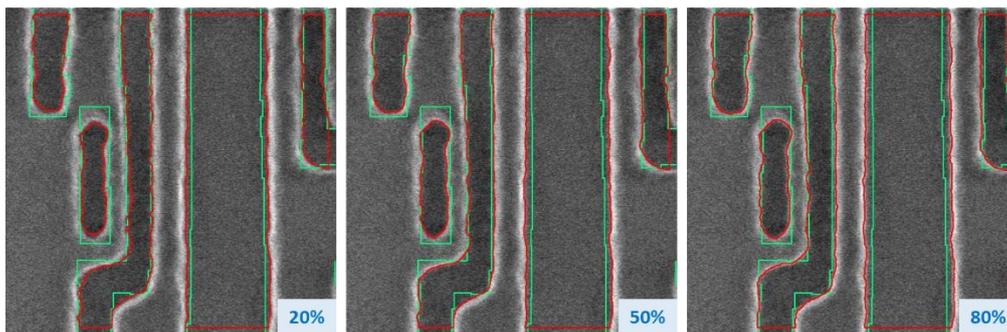


Figure 75 : Contours extraits sur un hotspot résine à différents seuils (20%, 50% et 80%).



Figure 76 : Superposition des contours à différents seuils à partir d'un des éléments des contours de la Figure 75.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

I. Suivi de hotspots

1. FEM

i. Introduction

Les travaux de cette thèse sur la métrologie par contours ont démarré par une étude en collaboration avec ASML visant à analyser de quelle manière la variabilité après lithographie se transfère après la gravure. Le travail a été réalisé avec plusieurs ingénieurs de l'entreprise néerlandaise et a abouti à un article et une présentation à la conférence EMLC à Dresde en 2016 [34]. L'idée d'utiliser les contours SEM pour extraire plus d'informations dimensionnelles est liée à cette collaboration.

La première partie est consacrée à une analyse sur FEM d'un hotspot. Le but est d'étudier l'influence de la dose et du focus sur les dimensions du hotspot après lithographie et après gravure hardmask. Le niveau étudié est le Metal 1 28 nm, c'est-à-dire le niveau d'interconnexion directement relié aux contacts des transistors. Il s'agit d'un des niveaux les plus critiques en raison de la multitude de hotspots combinée à une fenêtre de procédé assez réduite.

La FEM a été paramétrée de la manière suivante :

- Centrage dose à 19.00 mJ/cm² avec des pas de 0.3 mJ/cm²
- Centrage focus à -30 nm avec des pas de 20 nm

La valeur de focus correspond à un paramétrage par rapport à la référence du scanner à immersion. Etant donné que le focus optimal varie d'un produit à l'autre, la référence 0 est fixée dans le scanner et le focus est toujours donné par rapport à cette valeur. Tous les autres paramètres du procédé utilisé (résine, anti-reflet, recuits, temps de gravure) sont les standards de production pour ce produit. Le problème de la contraction de la résine va se poser si une structure doit être étudiée après développement de la résine et après gravure. Pour limiter ce problème, deux plaques FEM avec les mêmes paramètres ont été passées en lithographie au même moment. Ainsi l'hypothèse est faite qu'il n'y a pas eu de dérive du scanner et que les deux plaques sont équivalentes en termes de topographie. Suite à cette

étape de lithographie commune, seule une des deux plaques subit une gravure hardmask avec le procédé standard de production. Ensuite une recette est créée pour prendre sept images par champ d'un hotspot, sur les deux plaques comme indiqué sur la Figure 77.

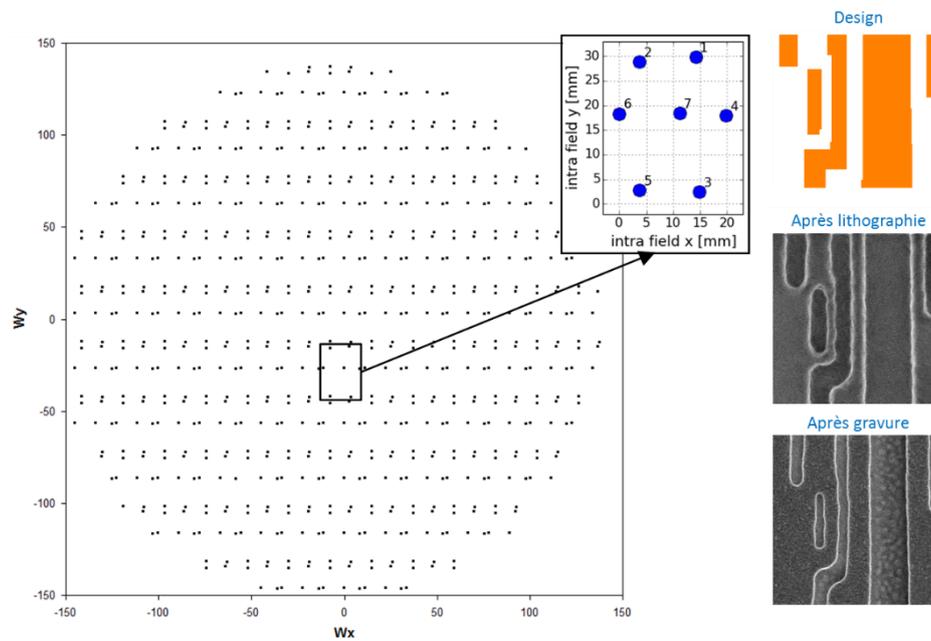


Figure 77 : Echantillonnage des points sur la plaque et dans un champ.
(effectué sur plaque après lithographie et après gravure hardmask)

Les principaux paramètres utilisés pour les images sont les suivants :

Tension d'accélération : 300V plaque résine, 800V plaque gravée.

Résolution : 512 pixels X 512 pixels

Grandissement : 200 000

Champ : 675 nm X 675 nm

Contours : seuil de 80%

Balayage : selon l'axe horizontal

Filtre : signal sur bruit (algorithme constructeur)

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

ii. Influence du focus

Le hotspot Figure 78, appelé « golden hotspot » a été choisi en raison de son design assez représentatif des interconnexions ainsi que pour sa sensibilité aux variations de dose et focus. Dans la suite, les labels indiqués sur la Figure 78 seront utilisés pour nommer les différents éléments de la structure.

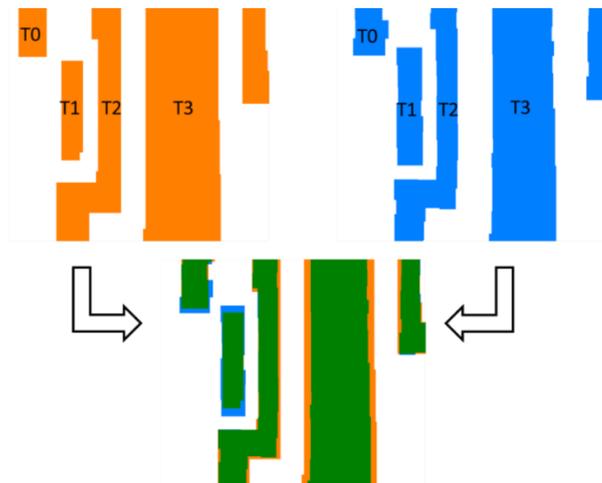


Figure 78 : Design golden hotspot (orange), golden hotspot après OPC (bleu) et superposition des deux (en vert les zones qui se superposent au même endroit).

Les changements de dose et focus causent des changements importants de la géométrie du hotspot qui, combinés au bruit de placement d'image entraîne un bruit de centrage important, ce qui rend un alignement nécessaire. La structure T1 est présente entièrement dans le champ de l'image SEM. L'hypothèse est faite que son centre de gravité est fixe. Ce point est donc choisi comme point d'alignement. L'alignement sur les contours lithographie FEM est donné sur la Figure 79. Les bords des contours résine sont relativement bruités, cela s'explique par la rugosité de la résine après développement. Dans la partie précédente, la méthode de centrage du focus par FEM et Bossung a été donnée. Comme indiqué, cette méthode utilise principalement des structures simples en raison des limitations du CD-SEM à faire des mesures en ligne. Manipuler les contours contourne ce problème car ceux-ci sont stockés dans une base de données et peuvent être analysés à posteriori, indépendamment

de la mesure CD-SEM. L'utilisateur a une plus grande flexibilité pour définir des algorithmes de mesure. Les possibilités d'analyses sont très nombreuses. Plusieurs exemples vont être donnés sans être forcément exhaustifs. En général ce sont les échanges entre les ingénieurs qui génèrent les différents cas d'utilisation.

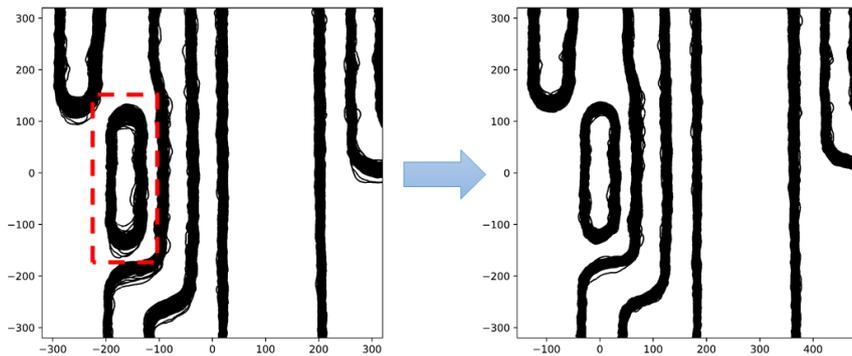


Figure 79 : Alignement centre de gravité sur contours lithographie.

Les courbes de Bossung ont été tracées pour chacune des sept positions dans le champ en utilisant la largeur de la tranchée T1 comme métrique. Les courbes ont été tracées à la fois après lithographie et après gravure. Celles-ci sont données sur la Figure 80. Un modèle de régression simple a été utilisé [34], de la forme :

$$CD = a_{00} + a_{10}.Focus + a_{20}.Focus^2 + a_{01}.Dose$$

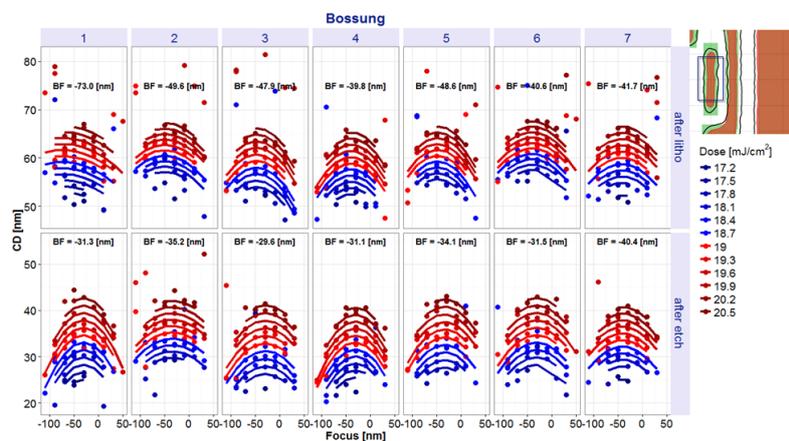


Figure 80 : Courbes de Bossung pour chacune des sept positions basées sur la largeur de T1 courbes tracées sur données lithographie et gravure. Chaque point correspond à une mesure et chaque ligne à une régression.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Les résultats sont très variables en fonction de la position dans le champ. La position 1 est très bruitée après la lithographie et ne permet pas une régression optimale. Ce point se trouve à l'extrême bord haut du champ. Il est possible que le procédé soit localement très variable au niveau de cette zone. Cela ne semble pas se transférer à la gravure. A l'exception du point 1, le focus optimal pour les données lithographie se trouve en moyenne à -45 nm. Cependant après gravure, l'analyse des Bossung indique un focus optimal plutôt à -33 nm. La différence de focus est due à la gravure dont l'influence ne peut pas être négligée. La donnée de la plaque gravée est plus intéressante car elle caractérise l'information réellement transférée dans la couche inférieure. Le procédé de production pour ce produit est paramétré à -30 nm, donc pour ce hotspot le centrage est cohérent en ce qui concerne la largeur de T1.

La question qui se pose est de savoir si d'autres métriques peuvent être utilisées pour le centrage. L'analyse hors ligne des données contours permet de générer des métriques assez spécifiques, comme la distance moyenne entre deux éléments. Par exemple, la distance entre T1 et T3 telle qu'indiquée sur la Figure 81, induit-elle une Bossung ? En analysant les données de la Figure 81, les données lithographie sont assez bruitées et dispersées, ce qui rend la régression et l'extraction d'un focus optimal peu cohérents. Après la gravure, la tendance Bossung est cette fois apparente.

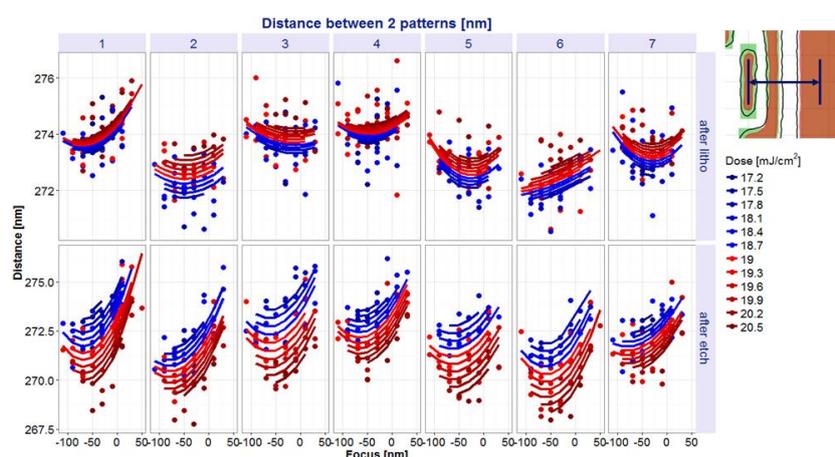


Figure 81 : Courbes de Bossung pour chacune des sept positions basées sur la distance T1 – T3
courbes tracées sur données lithographie et gravure.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Toutefois, sur les données gravure, l'observation est faite que la dose a une influence relativement limitée sur l'espacement entre T1 et T3 avec une amplitude maximum d'environ trois nanomètres à focus fixe alors que la largeur de T1 varie de plus de dix nanomètres. Donc la distance T1-T3 devrait varier sur une amplitude plus élevée. Cela laisse supposer l'apparition d'un décalage des éléments l'un par rapport à l'autre lors de la gravure. Cet effet pourrait être dépendant du focus car celui-ci influence la pente de la résine qui elle-même influence le transfert de l'élément lors de la gravure.

Les distances T1-T2, T1-T3 et T2-T3 ont été mesurées et chaque valeur a été normalisée par la moyenne des sept valeurs intra-champ. Le déplacement relatif en fonction du focus est donné sur la Figure 82. L'effet du focus après lithographie est assez faible et reste inférieur à un nanomètre. L'effet après gravure est bien plus important, surtout pour T1-T2 où 30 nm de variation focus peuvent induire un décalage de 2.5 nm. Le décalage s'accroît pour des focus supérieurs à -30 nm. Cet effet est relativement significatif au regard de la baisse continue des tolérances en overlay.

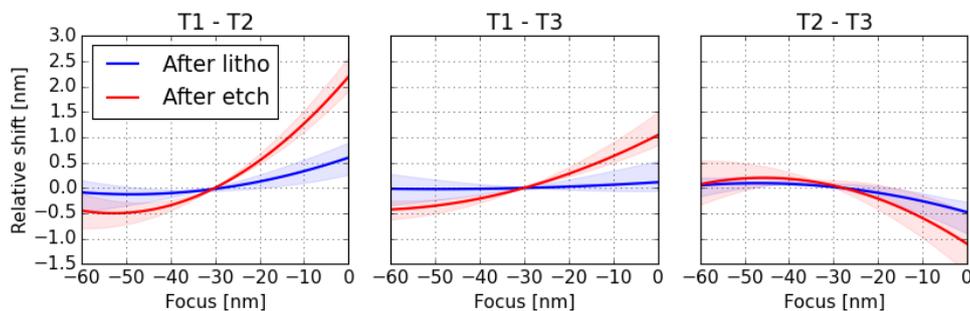


Figure 82 : Déplacement relatif en fonction du focus normalisé par la moyenne intra-champ.

Pour visualiser ce décalage, deux contours pris à deux focus différents mais à dose fixe sont superposés. Le déplacement T1-T2 devient alors observable sur la Figure 83. La hausse de l'écartement T1-T2 est principalement due au décalage de T2 vers la droite (voir Figure 84). T3, malgré ses dimensions plus importantes, subit un décalage de son bord droit lors de la variation de focus. Des études précédentes [62] [63] [64] ont montré que ces effets sont

accentués par des problématiques de topographie du réticule qui induisent des variations de profils de résine, phénomènes accentués par les variations de focus.

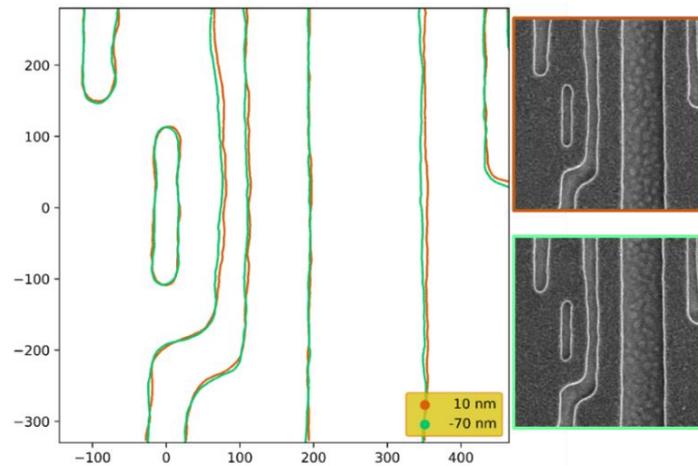


Figure 83 : Superposition de deux contours pris à deux focus différents et à dose fixe. Le décalage de T1 par rapport à T2 peut être observé.

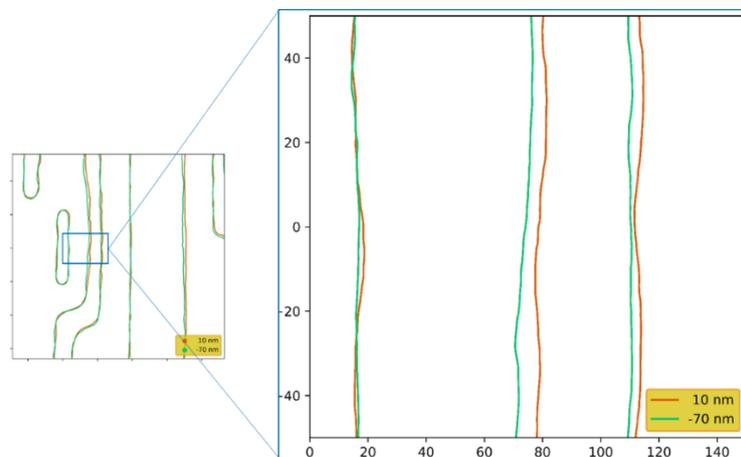


Figure 84 : Vue locale de la Figure 83.

En prenant T1 comme référence et en mesurant son aire, l'évolution linéaire de sa taille peut s'observer sur la superposition de la Figure 85. La courbe de l'aire en fonction de la dose pour différents focus est donnée sur la Figure 86. L'évolution se fait linéairement avec, par exemple, un gain d'environ 400 nm^2 pour chaque pas de dose lorsque le focus est fixé à -30 nm.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

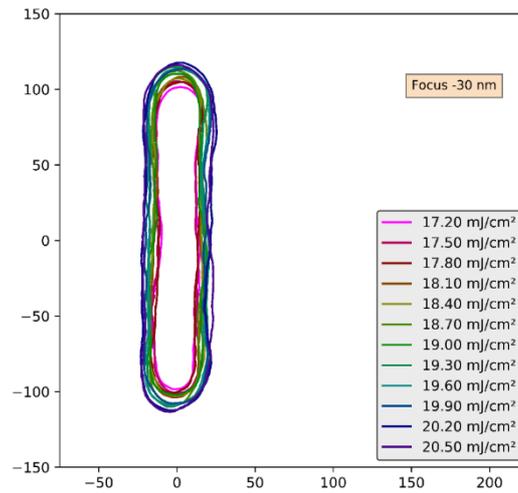


Figure 85 : Evolution du contour de T1 pour 12 conditions de dose (à focus fixe).

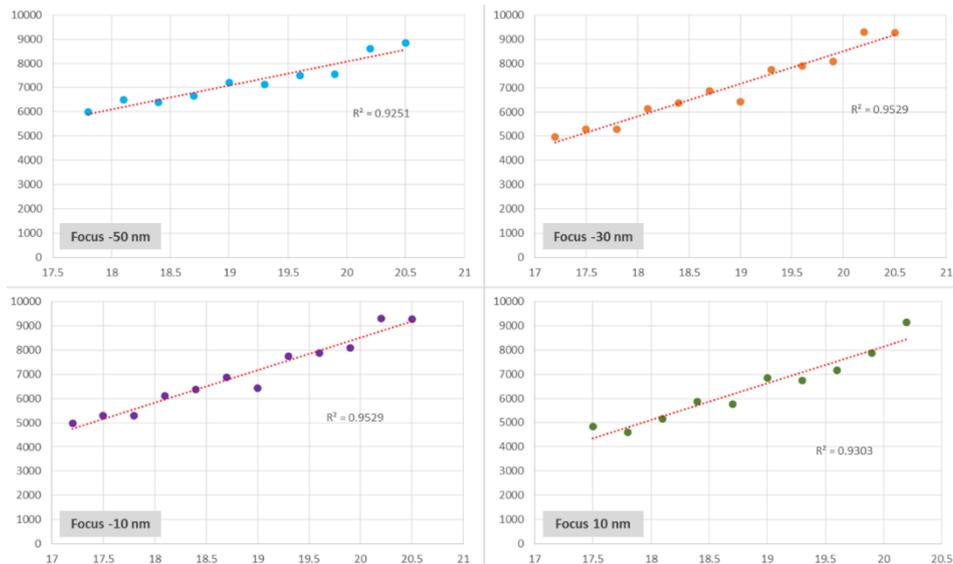


Figure 86 : Evolution de l'aire de T1 (nm²) en fonction de la dose (mJ/cm²) pour différents focus, la tendance est linéaire.

Dans le cas d'une variation de focus, l'aire va plutôt suivre une tendance quadratique. L'aire de T1 va passer par un maximum à son focus optimal et diminuer autour de ce point (voir Figure 87). La tendance quadratique, par exemple pour une dose de 19.30 mJ/cm², est donnée sur la Figure 88. Ainsi l'aire de T1 va passer par un maximum au niveau du focus optimal et diminuer en s'éloignant de ce point. Sur la Figure 87, le contour à focus -110 nm est dimensionnellement équivalent au contour à focus 30 nm.

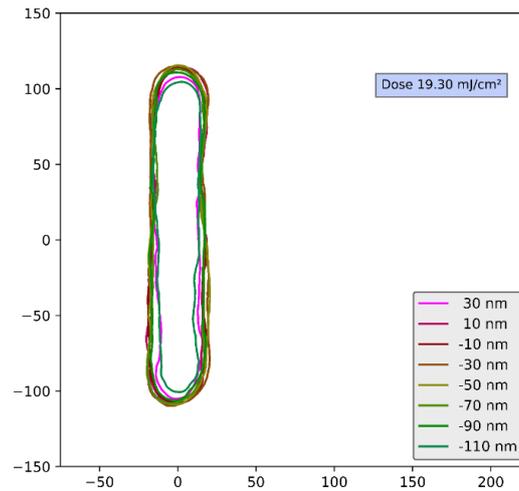


Figure 87 : Evolution du contour de T1 en fonction du focus pour une dose fixée.

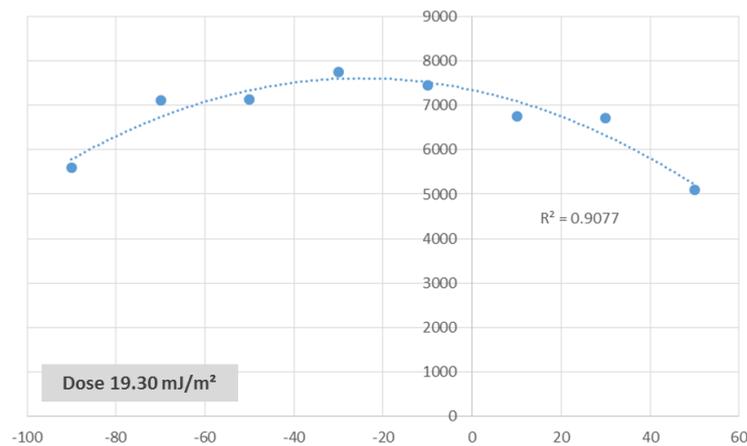


Figure 88 : Evolution de l'aire de T1 (nm²) en fonction du focus (dose de 19.30 mJ/m²). La tendance est quadratique.

2. Procédé aux conditions standards

Comme mentionné dans les parties précédentes, la variabilité des étapes de procédé est une problématique importante et manipuler des contours avec les outils adéquats permet aux ingénieurs d'étudier plus en détails les différents aspects de cette variabilité. Cette partie s'est faite dans la continuité de la précédente, afin d'étudier la variabilité du golden hotspot lorsque le paramétrage dose-focus est fixe sur la plaque. Deux plaques ont donc suivi le procédé standard de production en lithographie et une des deux a ensuite suivi la

gravure hardmask standard. La même recette de mesure CD-SEM a été appliquée pour générer des images dont les contours sont extraits au même seuil que précédemment.

La largeur des trois tranchées T1, T2 et T3 a été mesurée sur les contours extraits. Les valeurs sont données selon le diamètre de la plaque et normalisées par rapport à la moyenne mesurée en résine. Le tracé est donné sur la Figure 89. L'analyse hors ligne met en évidence une variabilité non négligeable. Après développement de la résine, T3 montre la meilleure uniformité. T3 est l'élément le moins critique pour la lithographie grâce à sa dimension plus élevée que T1 et T2. Mais suite à la gravure, c'est T3 qui montre une forte variabilité avec une variation centre bord de plaque alors que T1 et T2 se sont gravés de manière relativement uniforme. Au centre de la plaque, T3 va subir un bias plus important qu'en bord.

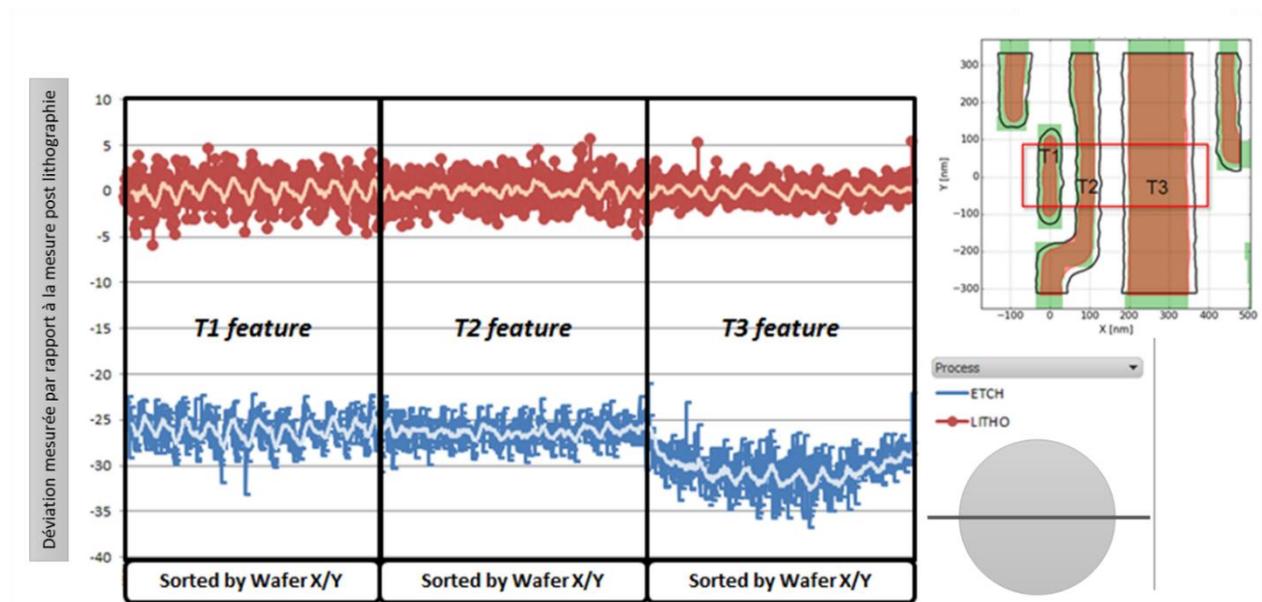


Figure 89 : Déviation de la largeur de T1, T2 et T3 par rapport aux mesures de leur largeur moyenne dans la résine.

Une autre analyse réalisée est l'étude de signatures intra-champ d'exposition à l'aide des sept points mesurés dans chaque champ. Une information intéressante serait de savoir si la variabilité moyenne intra-champ après lithographie se transfère après la gravure. Pour chacune des sept positions, le décalage en largeur par rapport à la largeur moyenne intra-champ est calculé. L'opération est réalisée sur tous les champs et sur les plaques résine et

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

gravure. Le décalage moyen après gravure est comparé au décalage moyen après lithographie pour chacune des sept positions et pour T1, T2 et T3. L'observation est faite que la signature intra-champ se transfère bien après la gravure avec une atténuation de 10% (Figure 90).

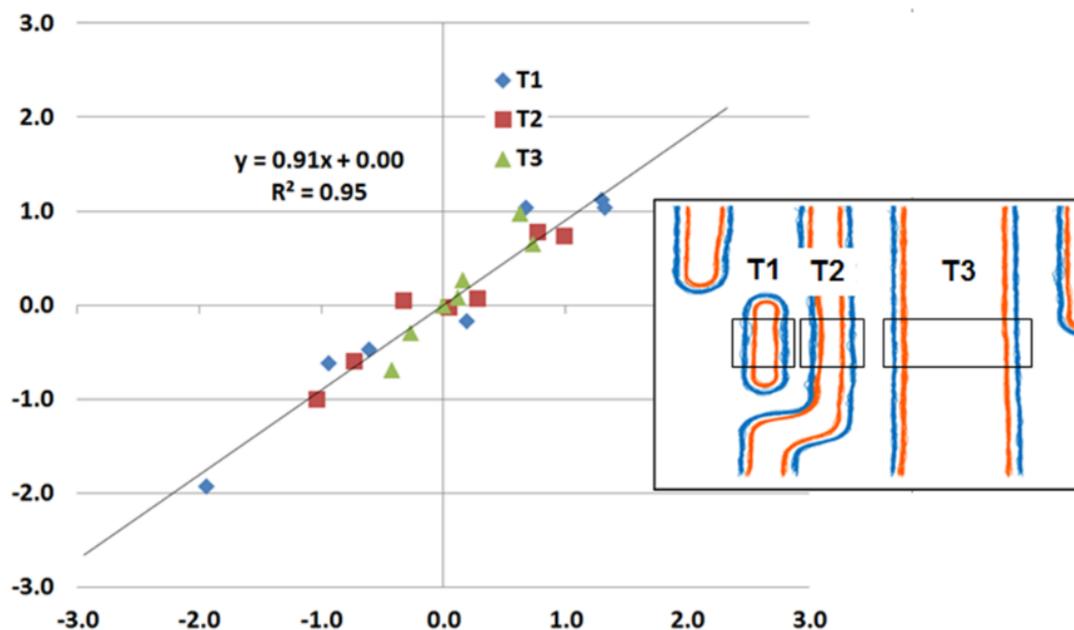


Figure 90 : Signature intra-champ des largeurs des trois éléments gravure vs lithographie (valeurs normalisées par rapport à la moyenne intra-champ pour chaque position).

3. Voies d'optimisation

i. Amélioration de l'outil de métrologie

Suite à cette collaboration avec ASML, l'intérêt d'exploiter massivement les informations d'une image SEM à l'aide des contours a été confirmé et le choix a été fait de poursuivre dans cette voie afin de fournir un outil robuste pour quantifier la variabilité du procédé.

Le cas de la représentativité du Mesdim a pu être analysé plus en détail en faisant une comparaison avec une métrique différente issue du golden hotspot. Le but de cette partie est de mesurer la largeur moyenne des tranchées du Mesdim et de vérifier si la tendance

est corrélée avec celle du golden hotspot. La mesure sera effectuée via les contours comme sur l'exemple de la Figure 91. Pour le golden hotspot, c'est la tranchée T1 qui sert de point de comparaison. Comme le montre l'exemple de la Figure 91, plusieurs métriques sont paramétrées : largeur, longueur et aire.

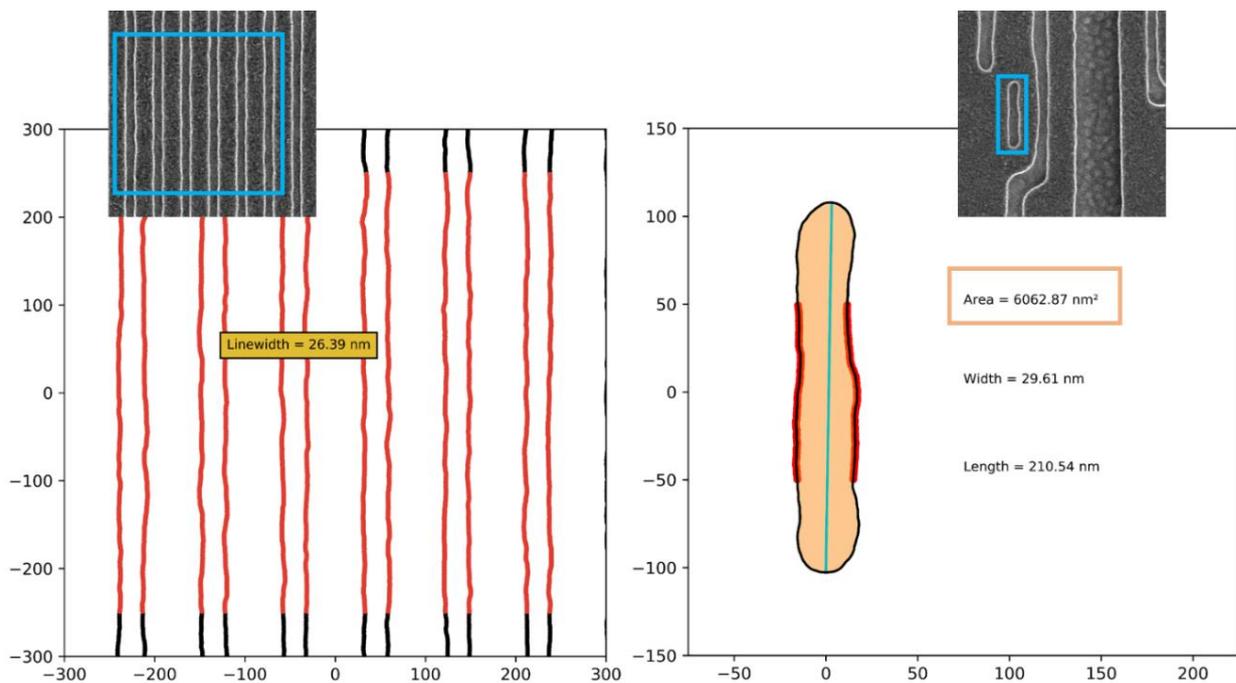


Figure 91 : Métrologie par contours effectuée sur une structure type Mesdim et sur le golden hotspot.

C'est l'aire de la tranchée T1 qui est utilisée dans la suite de cette partie. L'étude est réalisée sur la plaque gravée. Pour chaque champ de la plaque, une image est générée ce qui donne environ une centaine de contours à mesurer uniformément répartis sur la plaque. Les mesures sont normalisées par rapport à la valeur moyenne et tracées en fonction de la distance par rapport au centre de la plaque. Les données sont fournies sur la Figure 92. La largeur du Mesdim varie faiblement par rapport à la moyenne alors que la dispersion est relativement importante pour l'aire de T1. La mesure de surface va dépendre de plusieurs paramètres : la largeur, la longueur et l'arrondi du bout de ligne. Il s'agit donc d'un bon indicateur pour un élément 2D.

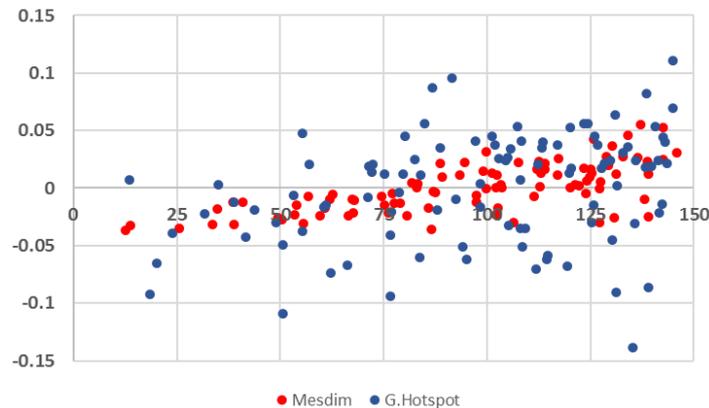


Figure 92 : Evolution de la largeur normalisée du Mesdim et de l'aire normalisée de T1 par rapport au centre de la plaque.

Il n'est pas évident de sortir une tendance qui permette de lier la variabilité du Mesdim à celle de T1. Cependant, c'est bien le comportement de structures comme le golden hotspot qui vont influencer les performances du circuit. Etant donné que la métrologie sur contours utilisée dans ce travail est stable et robuste, il serait intéressant à l'avenir de développer des mires de métrologies plus représentatives des designs de circuits intégrés sur lesquelles plusieurs métriques, telles qu'une mesure d'aire, seraient extraites par métrologie contours et utilisées dans de nouvelles cartes de contrôle. De plus, d'autres études avancées peuvent être réalisées comme la visualisation de la variabilité ou l'étude du bias gravure.

ii. Visualisation de la variabilité

Afin de visualiser plus en détail les différences de variabilité entre les deux structures, le script de visualisation présenté dans le chapitre 3 est utilisé. Pour chacune des structures, 600 contours uniformément répartis sur la plaque ont été utilisés et convertis en tableau. L'étude est réalisée à partir des données gravure hardmask. Pour le Mesdim, comme attendu, la variabilité est relativement faible. Comme le montre la Figure 93, les contours sont très peu dispersés et se superposent dans une zone assez restreinte. Des différences significatives sont observées sur le golden hotspot. La variabilité se concentre principalement au niveau des bouts de ligne, ce qui est cohérent. T1 a une variabilité des bords assez faible, ce qui laisse penser que la variation de l'aire Figure 92 est principalement

causée par les deux bouts de ligne. Au niveau de T2, la variabilité est assez forte au niveau de l'arrondi. En ce qui concerne T3, le bord droit varie peu, contrairement au bord gauche qui semble être influencé par la proximité de T2.

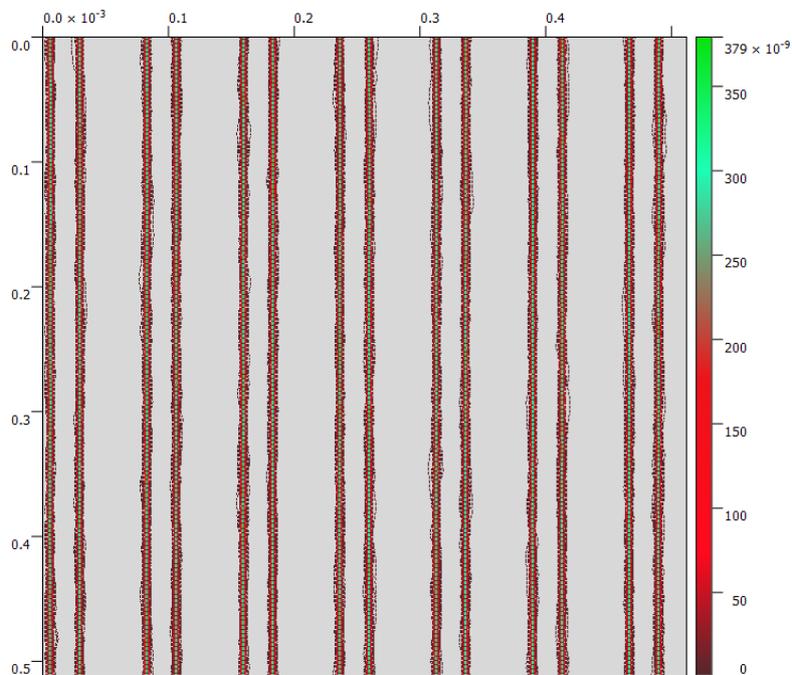


Figure 93 : Visualisation de la variabilité du Mesdim après gravure (échelle de poids).

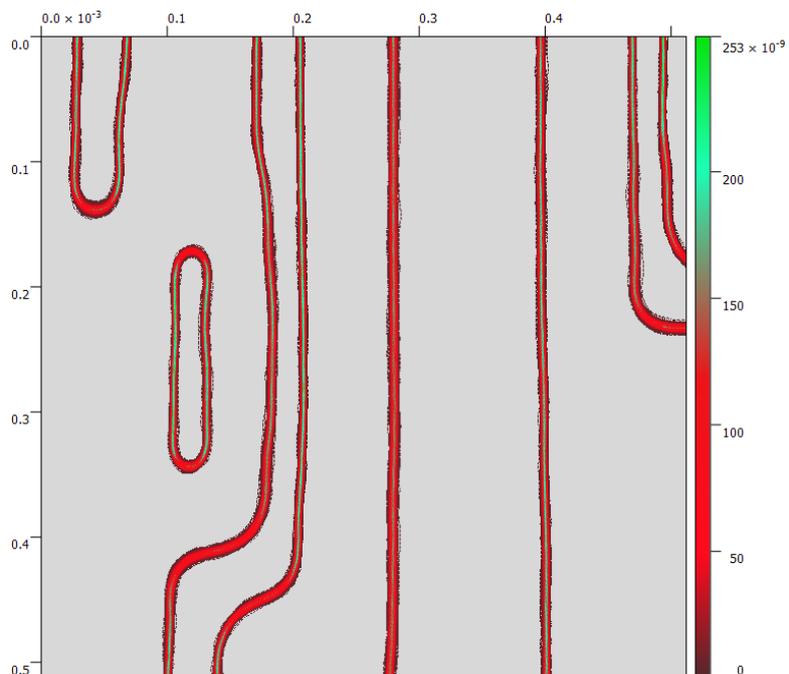


Figure 94 : Visualisation de la variabilité du golden hotspot après gravure (échelle de poids).

iii. Bias lithographie – gravure

Comme indiqué dans les exemples précédents, la lithographie n'est pas la seule cause de la variabilité. La gravure est également un défi pour les ingénieurs procédés. Il est donc important de fournir des outils permettant de quantifier et suivre le transfert d'un motif résine dans le nitrure. Ce type d'information permet non seulement aux ingénieurs d'optimiser leurs procédés mais fournit également des données permettant de générer des règles de dessin et des OPC basés sur des données prises sur silicium. En général le bias se mesure par CD-SEM, de la même manière qu'une mesure classique, sur des structures simples et régulières. Une mesure de largeur moyenne de tranchées est effectuée sur une structure résine et sur une structure gravée (voir Figure 95). L'écart entre les deux largeurs, divisé par deux, donne le bias moyen. La mesure peut être effectuée sur des réseaux à différentes densités pour générer des tables de bias pour les modèles de gravure.

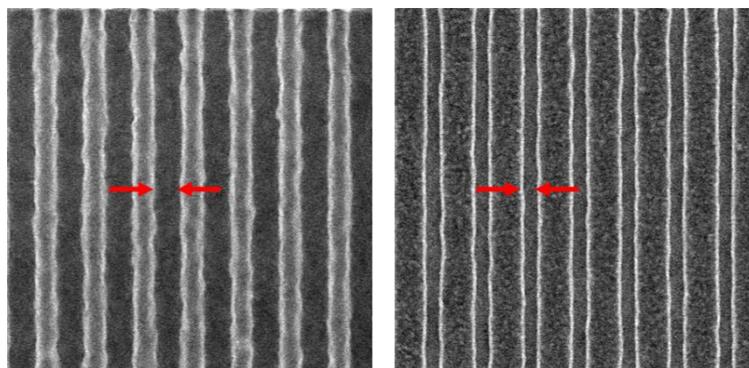


Figure 95 : Images SEM lithographie vs gravure hardmask (Mesdim), champ image 675 nm X 675 nm.

La Figure 95 donne l'exemple de réseaux périodiques, où les bias sont uniformes pour les bords gauche et droit. Mais le bias va également dépendre de la complexité de la structure de son environnement et de la densité. Un bout de ligne par exemple ne va pas se comporter de la même façon que les bords. Il est donc peu probable que le bias puisse être uniforme en tout point et cela doit être quantifié. La métrologie par contours peut être optimisée pour permettre une meilleure visualisation du bias. Les données golden hotspot

en conditions standards ont été utilisées dans cette partie. La Figure 96 donne une visualisation de la superposition de l'ensemble des contours résine et gravure après alignement pour le golden hotspot. Dans ce cas, il est possible pour l'ingénieur de sélectionner les bords d'où il souhaite extraire un bias. Maintenant que la mesure de bias se fait dans l'environnement hors ligne des contours, la quantification est devenue aussi robuste que la métrologie décrite précédemment, même pour les hotspots complexes. Dans le cas du golden hotspot, un script automatisé permet de superposer un contour résine à son équivalent gravure et d'extraire les valeurs de bias dans les zones préalablement définies par l'utilisateur (voir exemple Figure 97). L'opération est effectuée automatiquement pour toutes les zones mesurées sur les plaques. Les équivalences sont définies par les coordonnées sur la plaque. Cette méthodologie apporte énormément d'informations mais a quelques limitations dans certains cas. La résine étant rugueuse, cela va influencer la mesure du bias. La Figure 98 donne l'exemple de deux mesures de bias effectuées au niveau de l'arrondi du golden hotspot. Une des valeurs est reportée comme étant égale à environ neuf nanomètres alors que l'autre est nulle. En vérifiant la mesure, il s'agit bien de la rugosité qui cause des minimums locaux.

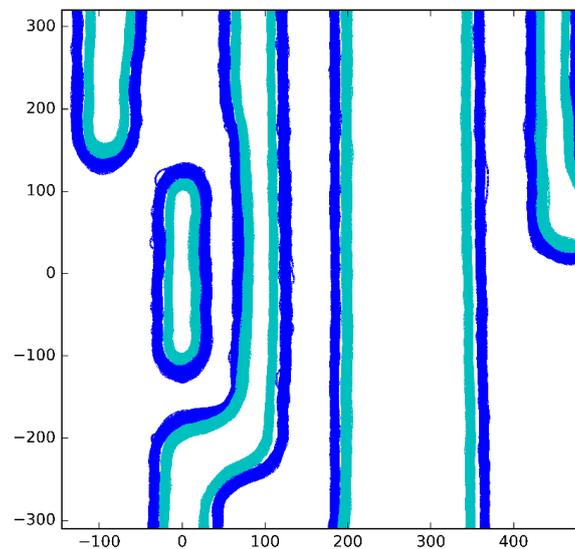


Figure 96 : Superposition de contours lithographie avec les contours gravure hardmask pour le golden hotspot.

bleu : résine cyan : gravure

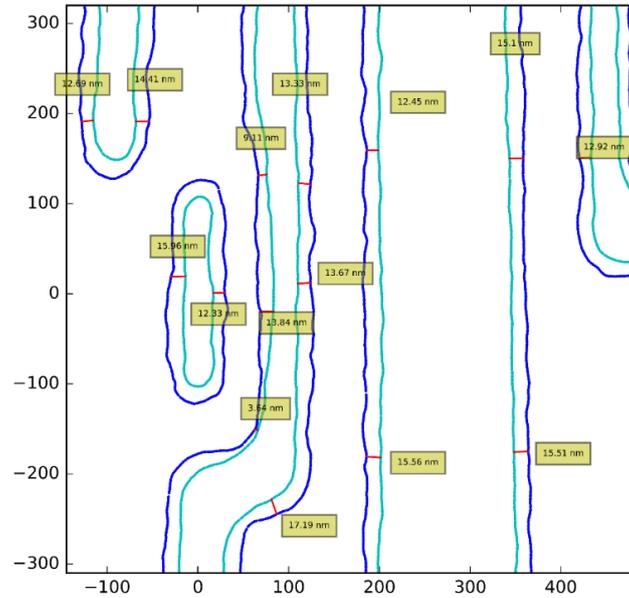


Figure 97 : Exemple de mesure de bias gravure en quinze zones du golden hotspot.

bleu : résine cyan : gravure

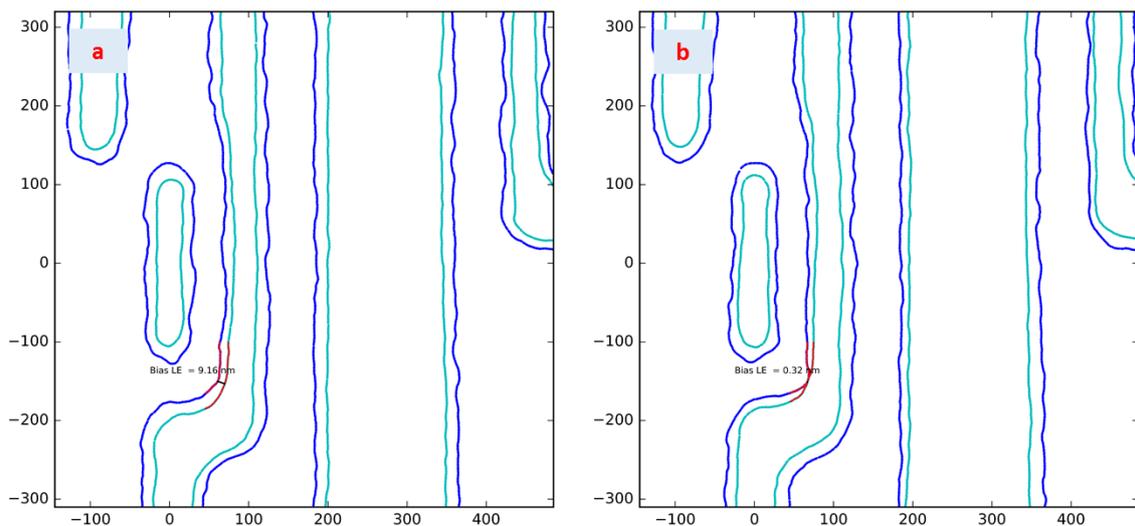


Figure 98 : Mesure de bias gravure hardmask au niveau de l'arrondi, la rugosité de la résine influence la mesure.

La méthode du contour moyen devient intéressante pour compenser la rugosité. Pour cela, un contour moyen résine et un contour moyen gravure sont extraits à partir de l'ensemble des contours et superposés. Le script décrit dans le chapitre trois est utilisé pour obtenir les moyennes. Comme montré dans la Figure 99, le contour moyen permet d'avoir un contour lissé, tout en étant représentatif des données sur silicium.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

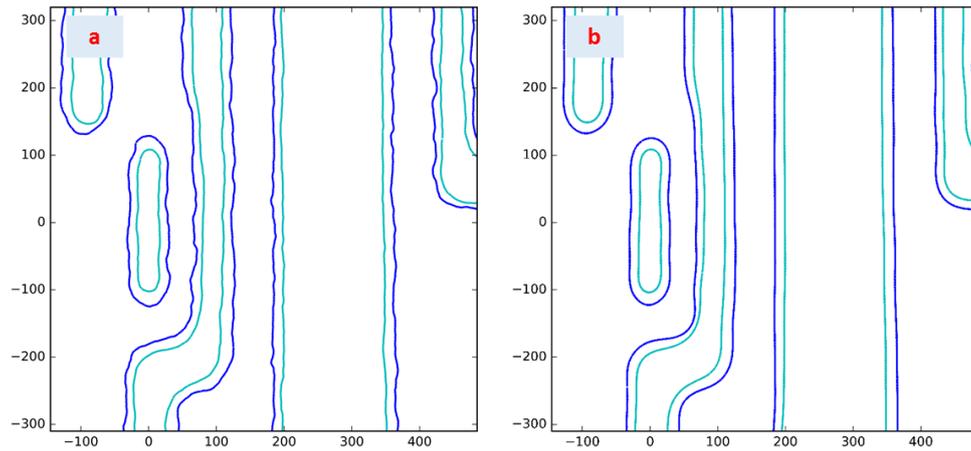


Figure 99 : Comparaison de contours non moyennés (a) vs contours moyennés (b).

En mesurant plusieurs bias, en différents points du golden hotspot moyen, la variabilité de la gravure est mise en évidence. Des valeurs comprises entre 6 et 18 nanomètres sont relevées (voir Figure 100). Au niveau de l'arrondi intérieur par exemple, le bias est beaucoup plus faible qu'aux autres endroits. De la variabilité se retrouve également bord gauche de T2 qui, après gravure, se distord vers l'intérieur, probablement un effet causé par la proximité de T1 qui influe sur la pente de la résine [34]. Les autres points ont principalement des bias compris entre 12 et 14 nanomètres.

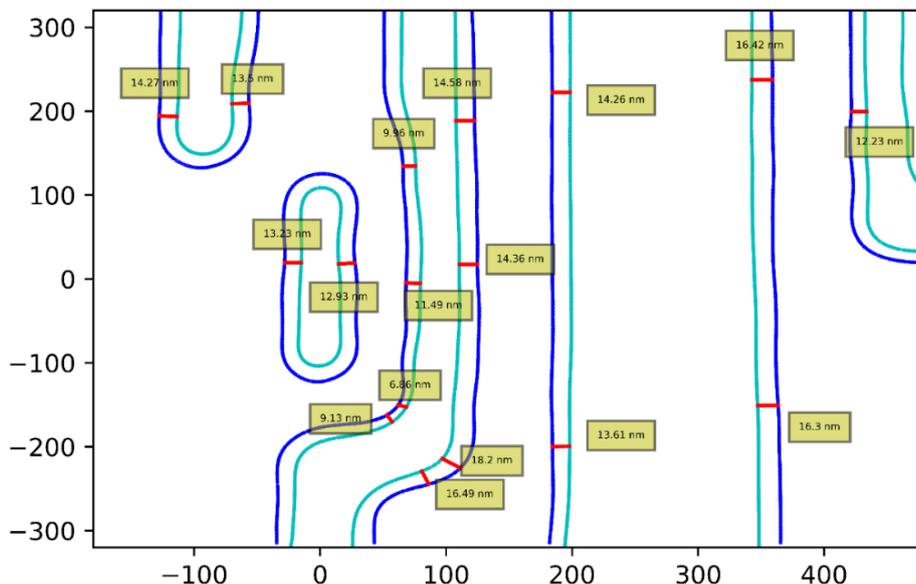


Figure 100 : Mesures de bias gravure hardmask sur golden hotspot moyen.

En réalisant la même procédure sur le Mesdim, les bias relevés sont beaucoup plus faibles et assez uniformes (compris entre 5 et 6 nanomètres sur la Figure 101). Ceux-ci sont compris entre 5 et 6 nanomètres, soit un facteur deux à trois d'écart avec le golden hotspot. Cela met en évidence l'intérêt d'étudier des structures complexes pour optimiser les procédés de gravure.

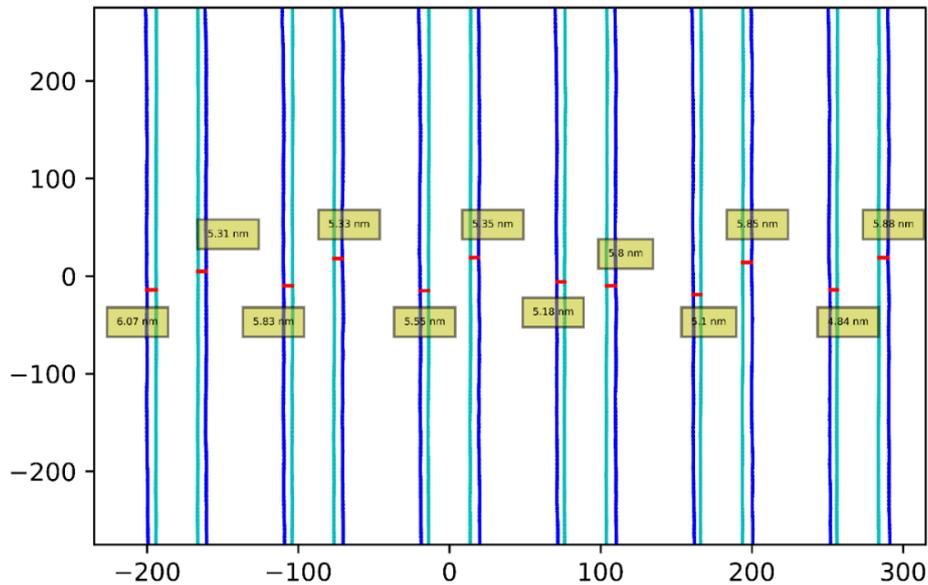


Figure 101 : Mesures de bias gravure hardmask sur Mesdim moyen.

Au final, la mesure de bias se fait également de manière robuste et stable et peut être utilisée soit pour du développement de modèles gravure, soit en complément du suivi sur structures complexes. Cette procédure peut être automatisée dans la mesure où des images après lithographie et après gravure ont été générées.

iv. Phénomènes de défaillance

Bien que le golden hotspot montre une variabilité plus élevée que celle du Mesdim, aucun défaut important n'a été observé sur cette structure, comme par exemple la non impression d'un élément. Le circuit contient un nombre non négligeable de structures bien plus

sensibles aux variations de procédé que le golden hotspot. Précédemment, l'idée de mettre en place des mires de métrologies avec des structures complexes a été avancée. Si l'aire de T1 est un premier indicateur complémentaire au Mesdim, il faudrait utiliser également des structures à risque, avec des cartes de contrôles spécifiques. Une mesure de métrologie classique serait donc de type : Mesdim, aire de T1, métrique Hotspot 2 et métrique Hotspot 3. Les hotspots 2 et 3 seraient des hotspots avec différents seuils de sensibilité au procédé.

Dans le chapitre 3, le hotspot de la Figure 102 a été mentionné. Des outils de simulations sur design ont montré qu'une telle structure était à risque [65] [66]. La question est de savoir si l'analyse de contours SEM permettrait de suivre de manière robuste ce hotspot et de détecter un transfert incomplet de la petite ligne centrale. La mesure a donc été configurée pour extraire l'aire de ce motif (Figure 102). Le hotspot sera dénommé HS_2.

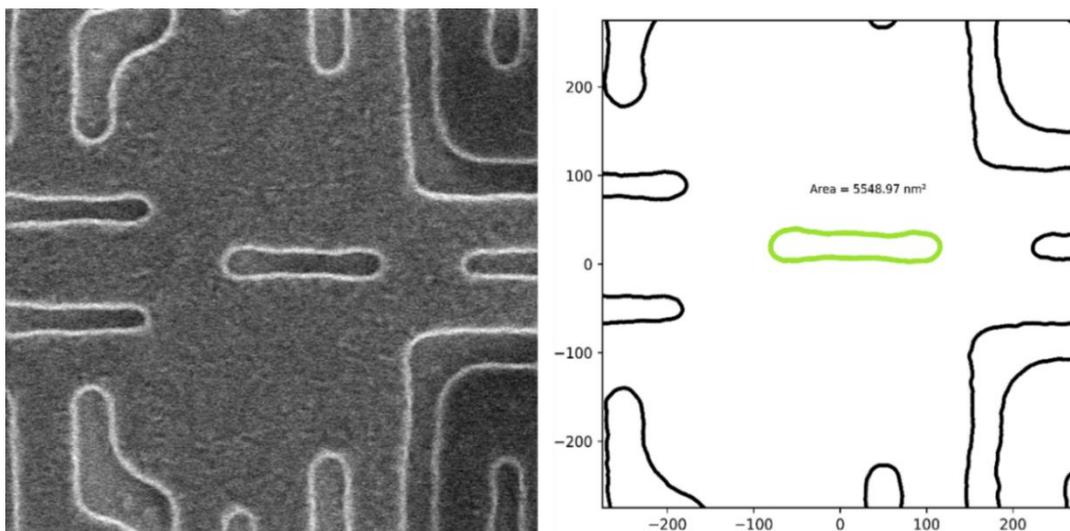


Figure 102 : Hotspot d'un niveau d'interconnexions en 28 nm avec mesure de surface sur contour.

De la même manière que la Mesdim et le golden hotspot, une image par champ a été récupérée sur la plaque gravée. A partir de celles-ci, les contours sont extraits et l'aire mesurée. Comme pour la Figure 92, l'aire a été normalisée par rapport à la moyenne de la plaque et tracée en fonction de la distance au centre de la plaque. Le tracé est donné sur la Figure 103. La variabilité est plus forte que pour l'aire de T1. Le point encadré en rouge attire l'attention, car celui-ci renvoie une valeur nulle (-1 en normalisée). Cela laisse penser à

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

une erreur de mesure. Cependant, en vérifiant l'image SEM correspondante, il s'avère que ce n'est pas le cas. La ligne n'a quasiment pas été transférée et donc l'algorithme d'extraction de contour n'a rien détecté à cet endroit-là. Le script de mesure a donc détecté l'absence d'élément et a renvoyé automatiquement une valeur nulle comme le montre la Figure 104. Il est donc possible, par la mesure contours, de détecter des phénomènes extrêmes qui affectent les hotspots les plus sensibles. L'étude du Mesdim et du golden hotspot les plus proches dans ce champ n'aurait pas permis de prédire une telle situation (voir Figure 105).

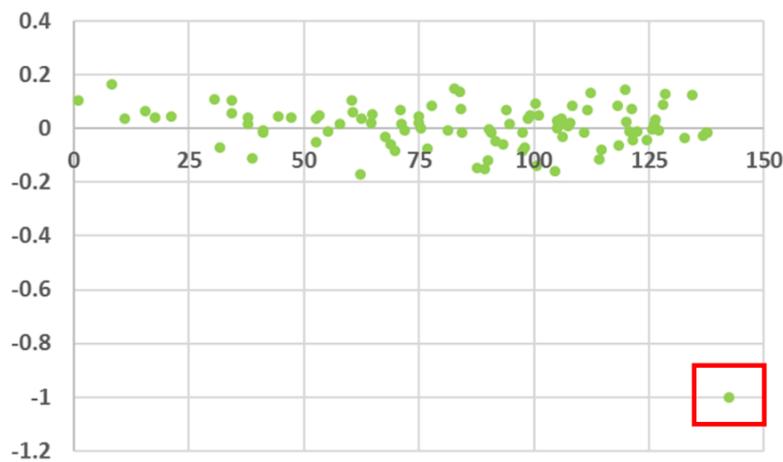


Figure 103 : Evolution de l'aire de la ligne centrale dans HS_2 en fonction de la distance au centre de la plaque.

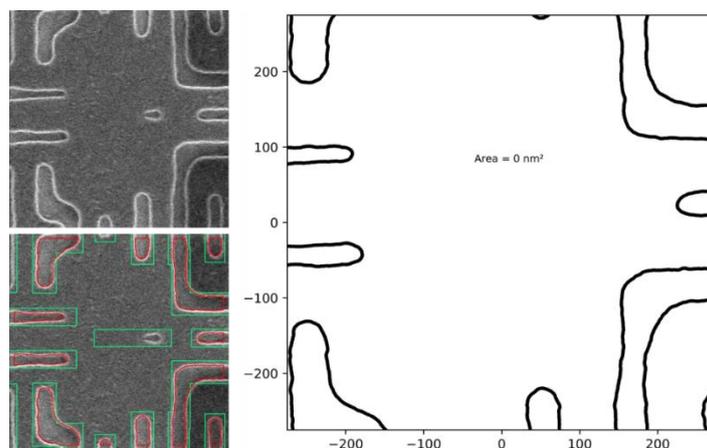


Figure 104 : Défaut observé avec la ligne centrale quasi inexistante, aucun contour n'est donc extrait, le script renvoie alors une valeur nulle.

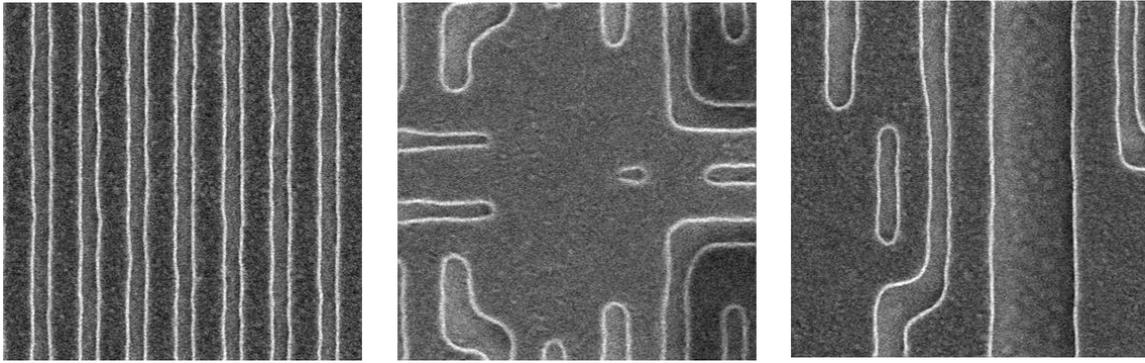


Figure 105 : Comparaison image SEM de HS_2 en défaut à celles du Mesdim et du golden hotspot les plus proches dans le champ.

En faisant ensuite abstraction du point extrême, certaines lignes perdent des surfaces assez importantes. Par exemple, en comparant la ligne à la surface la plus élevée, à celle à la surface la plus faible, l'écart est de 1500 nm^2 , ce qui est dû à un rétrécissement en largeur et en bout de ligne. La superposition des deux contours confirme la tendance (voir Figure 106). Il est donc possible d'établir un seuil au-dessous duquel la perte de surface serait trop importante et risque de causer des problèmes de rendement. Etant donné que ce genre de hotspots, avec une petite ligne légèrement isolée, se retrouve assez souvent. HS_2 pourrait donc servir d'indicateur complémentaire pour les cas les plus extrêmes.

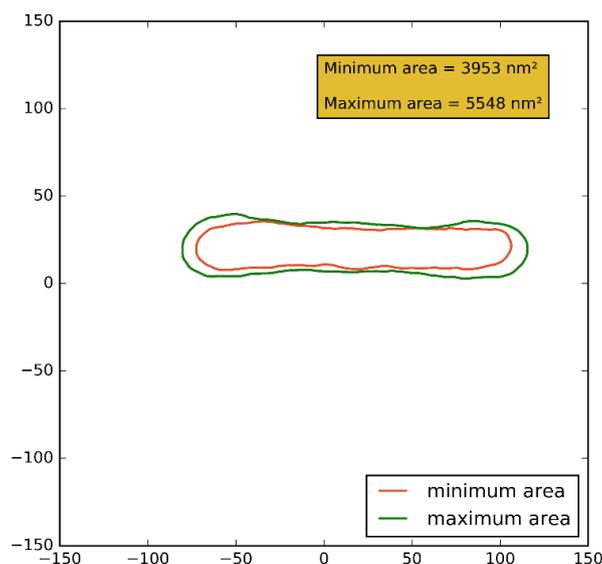


Figure 106 : Superposition des contours à surface minimale vs à surface maximale.

Il faut rester vigilant lorsqu'un très grand nombre de contours sont superposés. Si un des motifs venait à ne pas être transféré, comme l'exemple précédent, une simple superposition ne permettra pas de le détecter. Cela faussera également l'aspect visuel de la variabilité. Il est donc nécessaire de réaliser les mesures qui, comme dans l'exemple de la Figure 103, feront ressortir une ou plusieurs valeurs décalées.

Au final, cette partie a montré qu'il est possible d'utiliser la métrologie CD-SEM de manière plus poussée en combinant extraction de contours et scripts de mesure hors ligne. Il est ainsi possible d'étudier de manière robuste des structures plus complexes et représentatives du circuit à l'aide de nouvelles métriques. La Figure 107 résume les trois propositions de structures pour du contrôle en lithographie et gravure, HS_2 étant réservé à la détection des défauts importants.

La métrologie par contours peut s'utiliser dans des applications à première vue moins évidentes. Le cas développé dans la partie suivante sera celui de l'utilisation des contours sur des structures utilisées pour les tests électriques en fiabilité pour le BEOL 28 nm. Cela signifie qu'il s'agit cette fois de lignes remplies de cuivre.

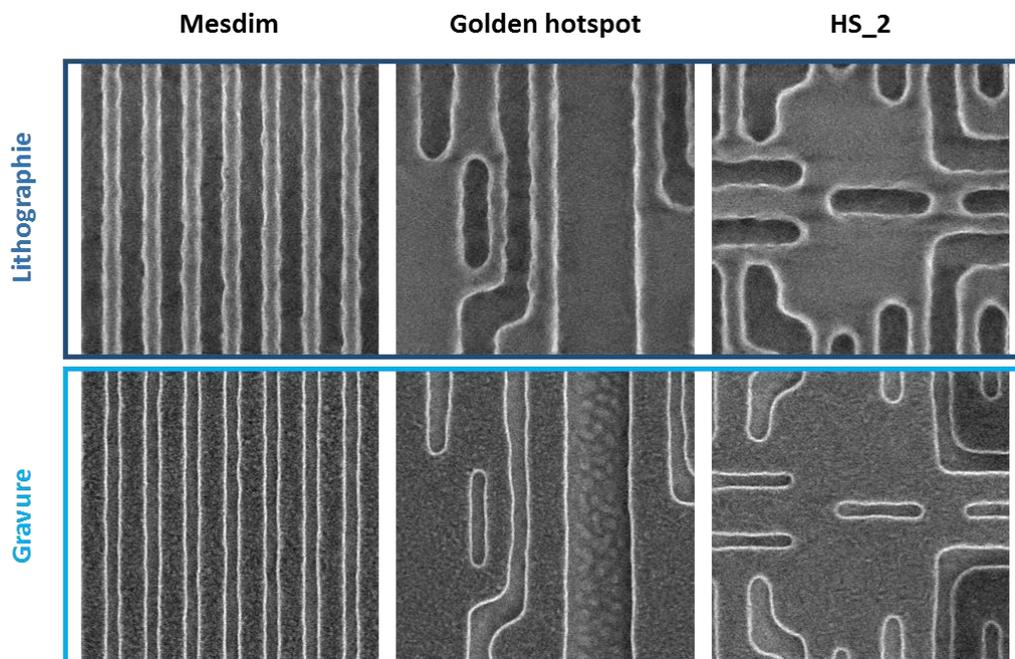


Figure 107 : Proposition de trois structures de métrologie pour effectuer du suivi dimensionnel par contours.

II. Suivi dimensionnel de structures de fiabilité

1. Problématique

Lors de la fabrication des niveaux d'interconnexion, après remplissage de cuivre et polissage, il est nécessaire de réaliser des premiers tests électriques, même si la fabrication du circuit n'est pas terminée. Cela permet de vérifier que le niveau répond aux spécifications électriques relatives à l'application. Le test est effectué jusqu'à la perte de fonctionnement et la durée est relevée. Par exemple, les produits à destination de l'industrie automobile nécessitent des durées très élevées car de nombreux composants sont destinés à faire fonctionner les systèmes de sécurité du véhicule. Des durées trop faibles lors du test sont le signe d'un problème de fiabilité.

Une structure de fiabilité type pour les niveaux les plus critiques du BEOL 28 nm est donnée sur la Figure 108, avec un exemple d'images SEM de la structure gravée et remplie de cuivre. Le test de fiabilité est effectué de la façon suivante. Un courant électrique est introduit (flèche bleue du haut) puis traverse le via pour aller au niveau inférieur et passer sous la ligne voisine (flèche verte). Le courant revient ensuite au niveau supérieur par le via puis se rend au via voisin (flèche bleue) pour passer de nouveau sous la ligne (flèche verte). Le courant revient de nouveau au niveau supérieur pour y être collecté (flèche bleue). Dans le cas idéal, ce cycle se déroule sans encombre. Dans les faits, la densité structurelle est très importante et les lignes sont très proches les unes des autres. Il y a donc un risque important de fuite à travers le diélectrique. Les zones au niveau des vias sont des points extrêmement sensibles. En effet, les vias ont un diamètre plus important que la largeur de la ligne. Donc au niveau des vias, la ligne est beaucoup plus proche de la ligne centrale, augmentant le risque de claquage électrique (voir exemples Figure 109). Il y a donc un réel intérêt pour les ingénieurs de mesurer ces structures de fiabilité afin de corréliser une ou plusieurs métriques aux résultats électriques et étudier l'influence de changements de procédé. Cette étude a démarré suite à une sollicitation d'ingénieurs travaillant sur ce genre de problématique.

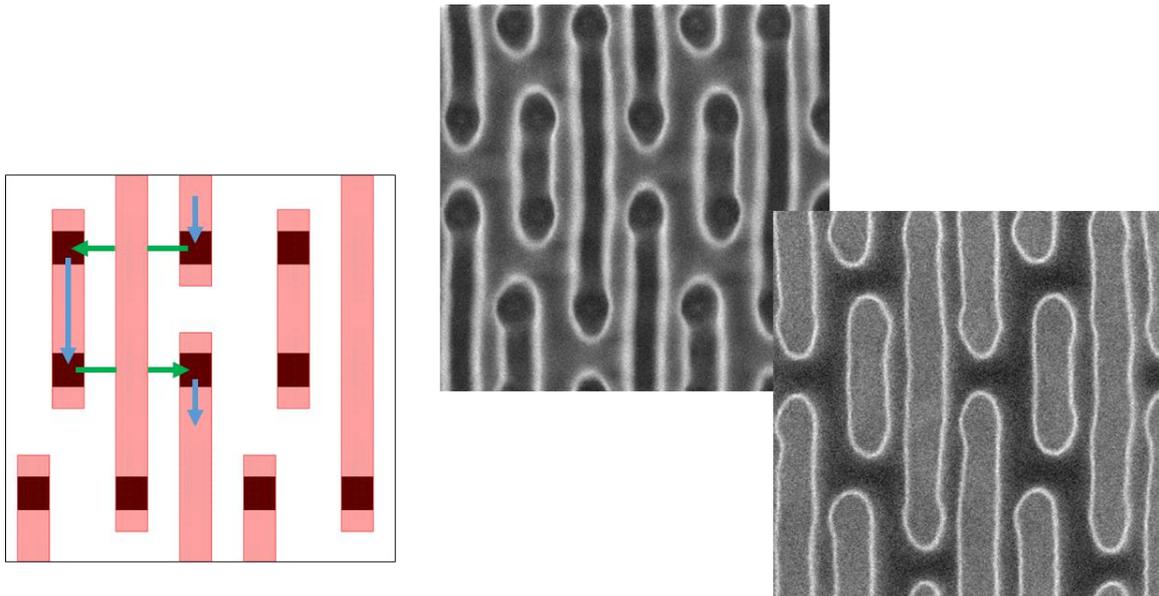


Figure 108 : Structure de fiabilité type utilisée en BEOL 28 nm (sont fournies les images SEM après gravure et polissage cuivre).

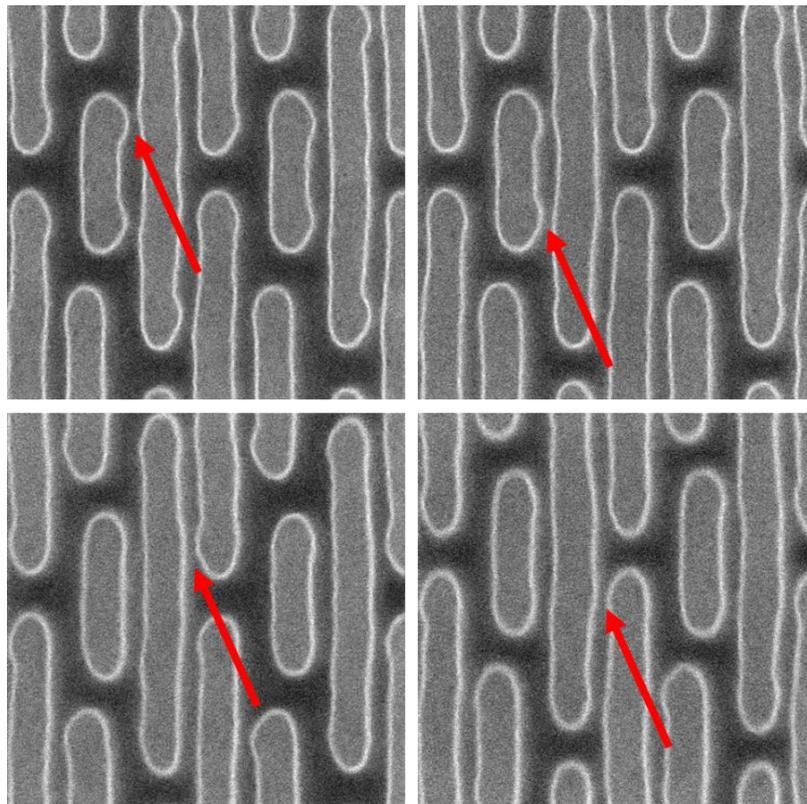


Figure 109 : Images SEM structure de fiabilité, les flèches rouges indiquent une zone où la proximité entre les lignes est très importante (risque de fuite électrique).

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Il n'y a, à l'heure actuelle, pas d'étape de mesure CD-SEM après l'étape de remplissage de cuivre. En général, les routes de production ont tendance à faire avancer le lot rapidement vers les étapes suivantes pour limiter les problèmes d'oxydation du cuivre. Cependant un lot a quand même une période de quelques heures au cours desquelles il est possible de réaliser un passage sur CD-SEM. La complexité et la densité de la structure de fiabilité rendent la mesure en ligne instable. Pour extraire des informations dimensionnelles de cette structure, une mesure dimensionnelle en coupe est utilisée (voir exemple Figure 110). Une image au microscope électronique à transmission est récupérée et des mesures sont faites manuellement par un ingénieur. Bien qu'elle fournisse des informations intéressantes, cette méthode ne peut pas être utilisée de manière systématique. Elle est destructive pour la plaque étudiée, nécessite un certain temps et ne permet pas de mesurer massivement une plaque.

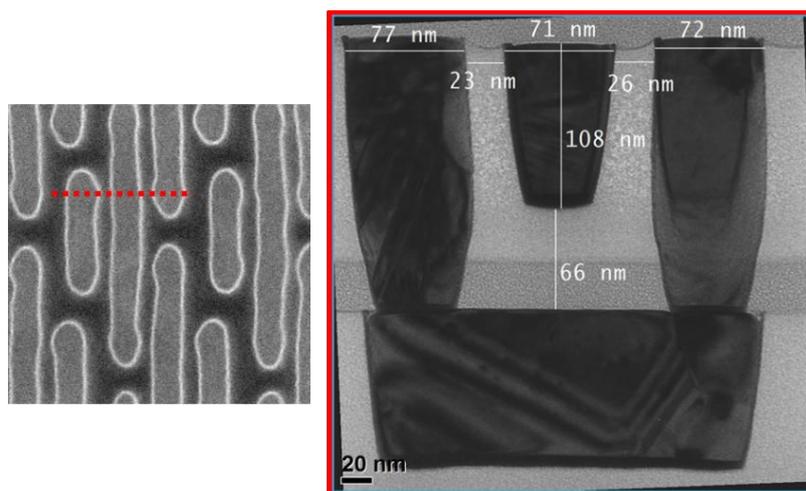


Figure 110 : Coupe TEM pour mesurer une structure de fiabilité.

Des images SEM, comme celles de la Figure 109, ont été générées avec les paramètres suivants :

Tension d'accélération : 800V.

Résolution : 512 pixels X 512 pixels

Grandissement : 200 000

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Champ : 675 nm X 675 nm

Contours : seuil de 80%

Balayage : selon l'axe horizontal

Filtre : signal sur bruit (algorithme constructeur)

Comme le montre la Figure 111, l'algorithme d'extraction d'Hitachi détecte les bords de lignes de cuivre ce qui permet de générer des contours de qualité qui peuvent ensuite être insérés dans des scripts de mesure hors ligne.

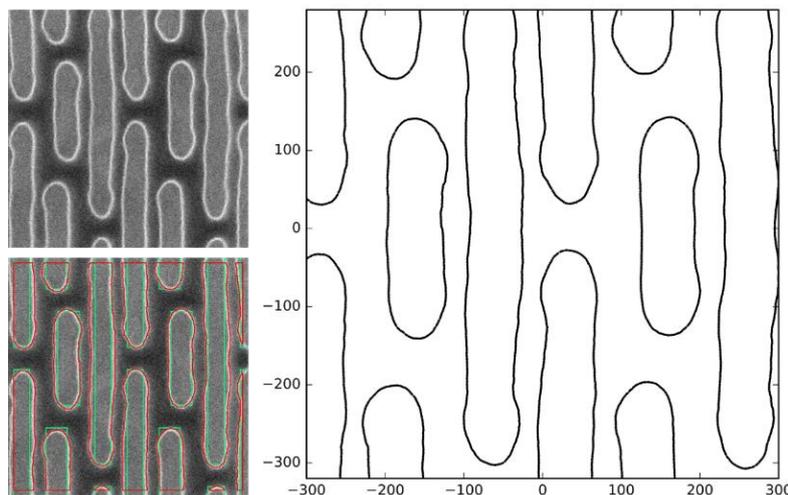


Figure 111 : Exemple d'extraction de contour sur une image SEM après remplissage de cuivre.

2. Métrologie hors ligne

Une plaque d'un produit 28 nm a suivi le procédé standard de production jusqu'au deuxième niveau d'interconnexions. Une fois que la plaque est passée au remplissage de cuivre, celle-ci a immédiatement suivi l'étape de génération d'images sur le CD-SEM puis d'extraction des contours. Huit images par champ d'exposition sont prises, ce qui conduit à un ensemble de 755 contours exploitables.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Six mesures sont paramétrées en se basant sur les contours alignés et superposés pour optimiser le placement (voir Figure 112). Quatre mesures vont extraire la distance minimale avec la ligne au niveau des vias (boîte bleue). Une mesure va donner la largeur de la ligne (boîte jaune). La dernière mesure va extraire la distance tip to tip sous forme de distance minimale également (boîte rouge). Le script extraie ensuite automatiquement les valeurs contour par contour [35]. Un exemple est donné sur la Figure 113.

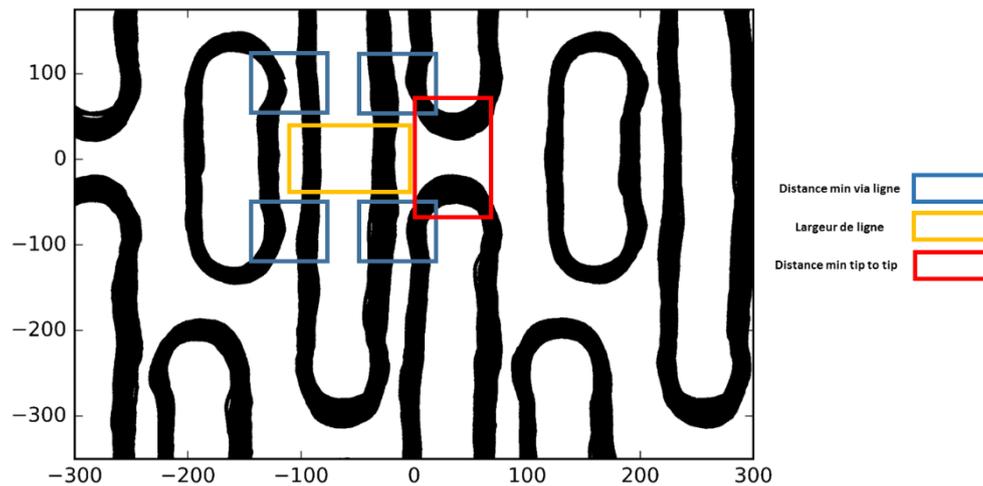


Figure 112 : Placement de boîtes de mesures sur contours alignés superposés.

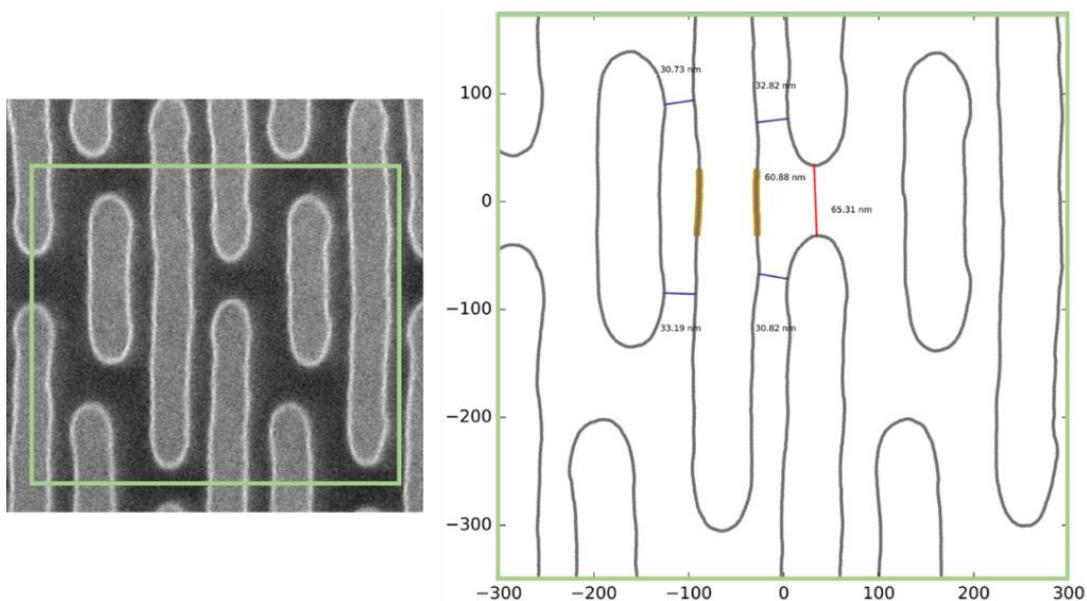


Figure 113 : Exemple de mesures sur six métriques sur contour.

Une fois les données extraites, celles-ci sont tracées en fonction de leur distance par rapport au centre de la plaque. Le tracé est fourni sur la Figure 114. La mesure se fait de manière robuste et aucune erreur de mesure n'a été constatée. Il est intéressant de constater que la distance entre deux bouts de lignes peut varier sur une amplitude de plusieurs dizaines de nanomètres. La variation observée est encore plus importante en bord de plaque et est confirmée par les vérifications des images SEM comme le montre l'exemple sur la Figure 115.

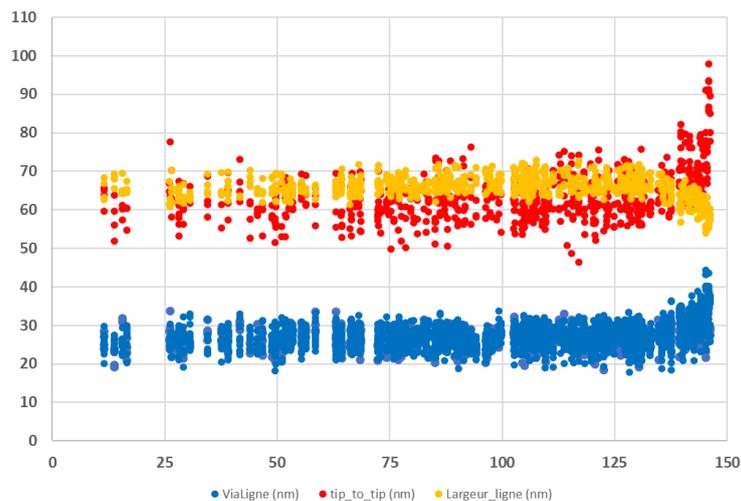


Figure 114 : Evolution des différentes métriques en fonction de la distance par rapport au centre de la plaque.

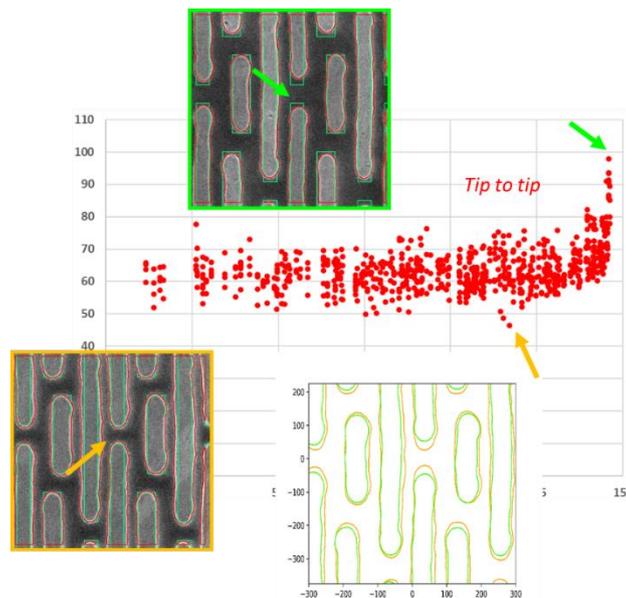


Figure 115 : Evolution du tip to tip et vérification sur les images SEM (comparaison valeur maximale vs valeur minimale).

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

La figure de visualisation de la variabilité avait été montrée dans le chapitre 3 pour illustrer la méthode. Celle-ci est donnée en rappel Figure 116. Elle laissait bien apparaître une variabilité importante au niveau des deux bouts lignes, d'où la dispersion de la mesure de tip to tip. La mesure de l'écart minimal Via Ligne est bien extraite quatre fois par contours. La mesure laisse apparaître de fortes dispersions avec très souvent des valeurs critiques inférieures à la vingtaine de nanomètres (Figure 117).

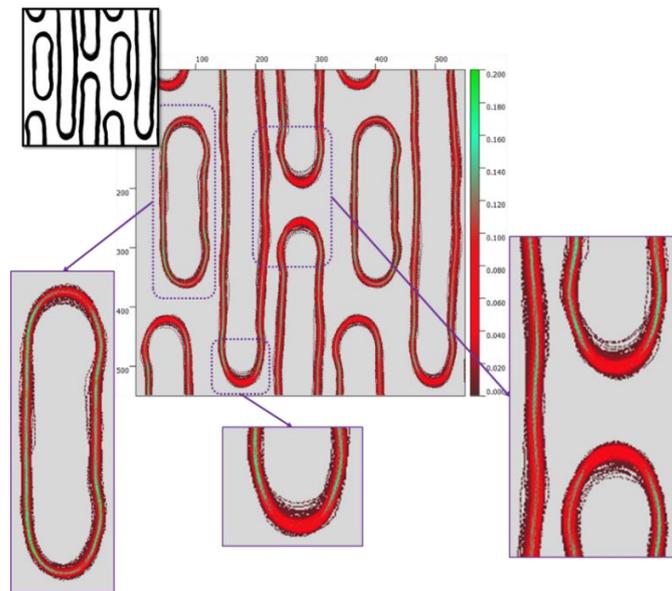


Figure 116 : Visualisation d'un tableau de variabilité établi à partir de 400 contours aux conditions nominales de procédé.

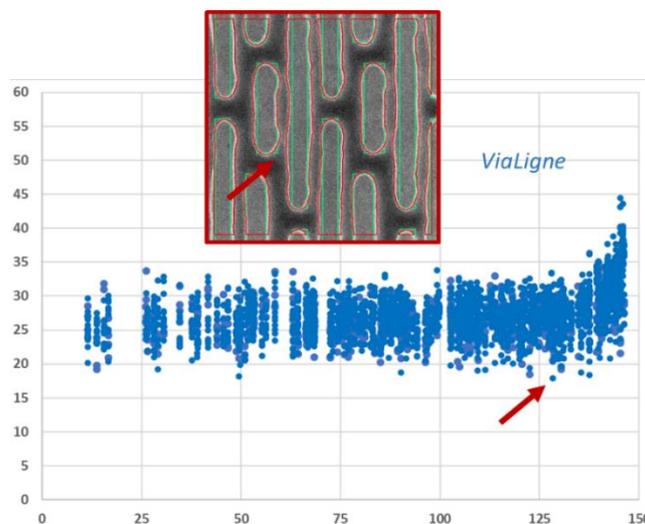


Figure 117 : Evolution de l'écart Via Ligne et image SEM d'un cas critique.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

3. Mise en application

i. Optimisation d'étape de procédé

Cette partie sur les structures de fiabilité est venue d'un cas concret proposé par des ingénieurs procédé et fiabilité. Deux produits 28 nm, avec des designs, OPC et procédés assez proches, réagissaient différemment aux tests de fiabilité. Le produit mesuré précédemment (qui sera dénommé produit A) avait des résultats bien plus faibles que l'autre qui servait de référence. Avoir des mesures massives de ces structures est donc important car cela permet aux ingénieurs d'avoir une comparaison entre les deux produits basée sur le dimensionnel, de les corrélérer aux résultats électriques et de quantifier l'influence d'une optimisation d'une étape de procédé. Des mesures basées sur l'extraction de contours ont donc été effectuées sur la référence et sur le produit A. Les valeurs moyennes sont fournies dans le Tableau 1.

Tableau 1 : Résultats des mesures effectuées sur la référence et le produit A.

		ViaLigne (nm)	Tip to tip (nm)	Largeur ligne (nm)
Référence	<i>Mesures</i>	27.4	62.1	65.0
	<i>3 Sigma</i>	6.4	11.6	6.4
Produit A	<i>Mesures</i>	26.4	62.1	66.6
	<i>3 Sigma</i>	7.8	14.3	6.7

Pour les deux produits, la moyenne du tip to tip est identique. Une plus forte variabilité en trois sigma est néanmoins constatée pour A. La différence se fait aux niveaux des deux autres métriques. Pour le produit A, l'écart Via Ligne est en moyenne un nanomètre plus faible avec une dispersion des valeurs plus importante. De plus, les lignes ont en moyenne une largeur plus importante de 1,6 nanomètre. Des écarts plus faibles entre les lignes de cuivre supposent un risque plus important de fuites, ce qui est cohérent avec les observations faites par les ingénieurs en fiabilité. Par la suite, le procédé pour ce niveau a été modifié. La méthode contours a été utilisée pour vérifier le gain apporté. Deux plaques

du produit A ont donc été réalisées, une avec le procédé d'origine et l'autre avec le procédé optimisé. Les résultats des mesures contours sont fournis sur le Tableau 2.

Tableau 2 : Résultats des mesures effectuées pour le procédé d'origine et le procédé optimisé.

		ViaLigne (nm)	Tip to tip (nm)	Largeur ligne (nm)
Procédé initial	<i>Mesures</i>	26.7	62.2	66.3
	<i>3 Sigma</i>	6.8	14.6	6.2
Nouveau procédé	<i>Mesures</i>	27.2	63.6	65.4
	<i>3 Sigma</i>	6.6	15.4	5.8

Un gain a été observé sur l'écart Via Ligne qui augmente d'un demi nanomètre en moyenne. La largeur des lignes est réduite de 0,9 nanomètre. La distance entre bouts de ligne augmente de 1,4 nanomètres, ce qui est assez limité et sûrement une conséquence de la réduction de largeur des lignes. Les tests de fiabilité ont confirmé une amélioration des performances pour la plaque réalisée avec le nouveau procédé ce qui est cohérent avec les mesures effectuées et valide la méthodologie.

ii. Vérification OPC

Suite à ces résultats sur les structures de fiabilité, un autre cas d'application a été proposé par les ingénieurs OPC. Une nouvelle résine et un nouveau modèle OPC étaient en cours de qualification pour le BEOL 28 nm. Ceux-ci devraient permettre d'augmenter l'espace Via Ligne et donc améliorer la fiabilité. L'intérêt de la méthode de mesure par contours est qu'elle permet de quantifier le gain apporté par la résine et l'OPC directement sur les structures de fiabilité.

Deux plaques d'un produit 28 nm ont donc été réalisées jusqu'au deuxième niveau d'interconnexions. L'une des plaques avec résine et OPC initiaux sera nommée ci-dessous modèle 1. L'autre plaque sera nommée modèle 2. Une image SEM par champ d'exposition est générée puis les contours extraits. Le même script que précédemment est utilisé pour mesurer l'écart Via Ligne. La Figure 118 montre les données brutes pour les deux modèles.

Les valeurs issues du modèle 2 ont un centrage dimensionnel plus élevé que pour le modèle 1 ce qui confirme que le nouveau modèle apporte un gain significatif.

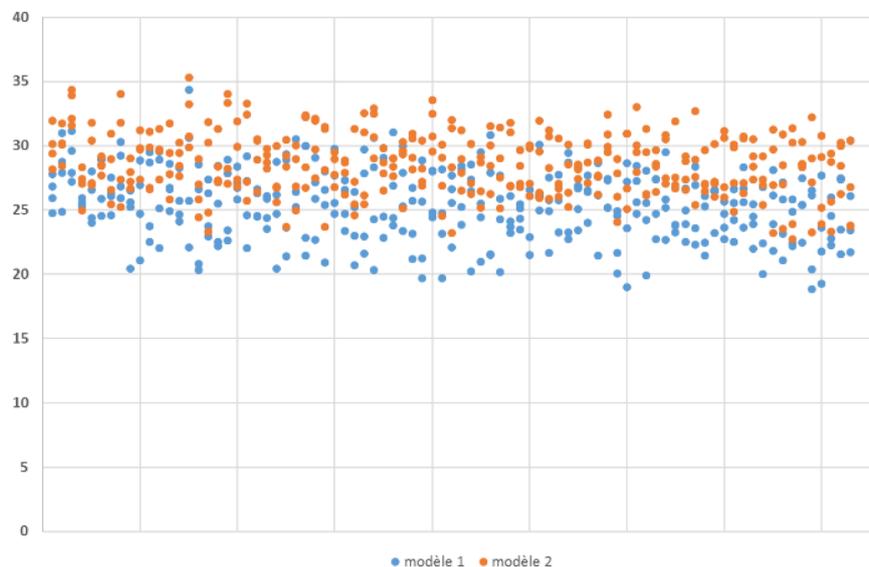


Figure 118 : Données brutes mesures Via Ligne pour les modèles 1 et 2.

D'un point de vue quantitatif, les données moyennes sont résumées dans le Tableau 3. Le gain s'élève à 3,2 nm en moyenne avec une dispersion des valeurs plus faible. Cela confirme l'intérêt du modèle 2 en termes de fiabilité.

Tableau 3 : Résultats des mesures effectuées pour les modèles 1 et 2.

	ViaLigne (nm) Modèle 1	ViaLigne (nm) Modèle 2
Mesures	25.4	28.6
3 Sigma	8.1	7.1

III. Application en procédé microlentilles pour capteurs d'images

1. Introduction

Entre les premières caméras apparues dans les années 70 et celles contenues dans les smartphones actuels, les capteurs d'images ont connu un développement technologique significatif, en particulier au cours de la dernière décennie. Au-delà des applications pour la photographie, les capteurs d'images occupent une place importante dans des secteurs clés comme l'industrie spatiale, l'automobile ou l'instrumentation médicale. Avec l'essor de secteurs comme la voiture autonome ou la réalité virtuelle, la demande en capteurs et les exigences en termes de performances vont continuer à augmenter.

La principale technologie utilisée a longtemps été celle des capteurs dits CCD (Charged Coupled Device). Mais l'apparition des capteurs CMOS dans les années 90 a été un des principaux contributeurs des progrès technologiques réalisés ces dernières années [67] [68]. Leur procédé de fabrication est en grande partie intégrable dans les procédés de fabrication des circuits intégrés classiques. Ils ont donc pu bénéficier de la plupart des progrès technologiques relatifs à la loi de Moore, ce qui leur permet aujourd'hui de viser de nombreuses applications. Ce n'est pas le cas des capteurs CCD dont le procédé de fabrication est spécifique, bien que dans les deux cas, la fabrication se fasse sur des plaques de silicium.

Le composant principal d'un capteur CMOS est le pixel. Celui-ci est constitué d'une diode photosensible en silicium dont le rôle est de capturer les photons. La diode est associée à des transistors afin de générer, collecter, transférer et mesurer les charges électriques. Seule la diode est sensible à la lumière, il est donc nécessaire que les circuits associés prennent le moins de place possible afin de collecter un maximum de lumière. Le pourcentage de surface du pixel sensible à la lumière est appelé facteur de remplissage (FF) [69] et est un critère important pour caractériser la qualité de fabrication du capteur. Ce facteur peut atteindre des valeurs inférieures à 30% ce qui résulte en une perte de performances du capteur.

Pour maximiser la lumière collectée par la diode, des microlentilles sont utilisées afin de focaliser la lumière incidente sur la diode (voir Figure 119). Une microlentille se situe donc au-dessus du pixel et des différents niveaux (interconnexions, couches de passivation, filtres colorés). Les microlentilles sont constituées de résine transparente. Des plots de résine sont réalisés par photolithographie puis recuits au-delà de la température de transition vitreuse afin que celles-ci atteignent une forme sphérique et se rigidifient [70] [68] [37]. La microlentille doit couvrir au maximum le pixel pour augmenter la collection de photons.

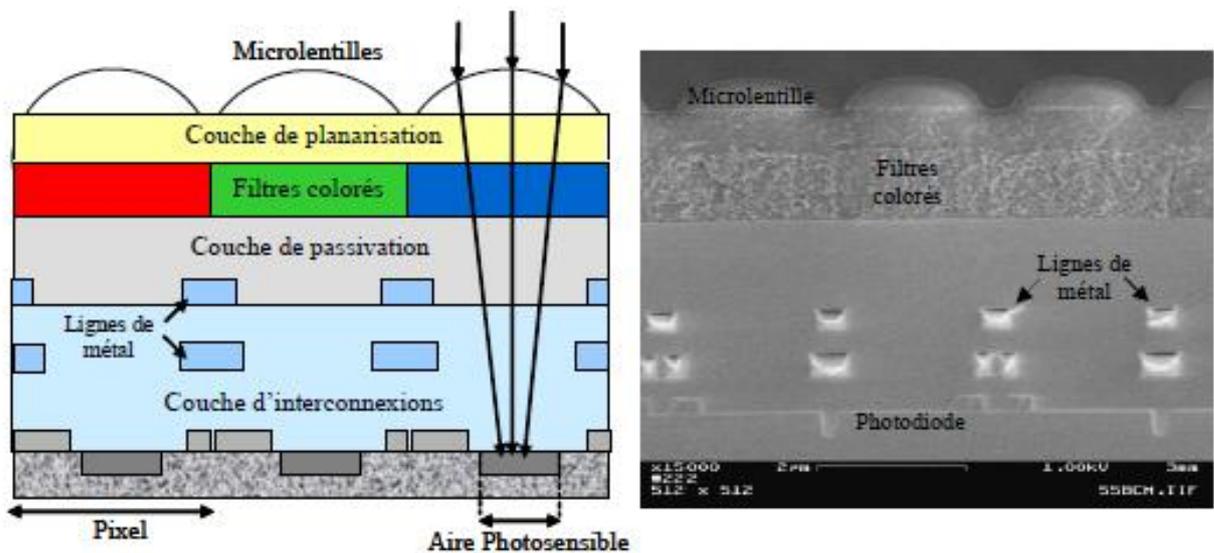


Figure 119 : Schéma représentatif et image SEM d'une vue en coupe de trois pixels. [68]

La dimension d'une microlentille est, comme le pixel, de l'ordre du micron. Les microlentilles étudiées dans cette partie sont réalisées par lithographie 365 nm. Il n'y a donc pas de problématique de diffraction. Néanmoins, en raison de l'importance de la microlentille pour le fonctionnement du capteur, il est important qu'une métrologie soit mise en place pour suivre son procédé. Bien qu'il n'y ait pas de diffraction, de nombreux effets peuvent causer de la variabilité et affecter les dimensions de la structure, par exemple l'uniformité de la résine ou le recuit. Suite aux travaux réalisés précédemment sur la technologie 28 nm, des échanges ont démarré avec les ingénieurs responsables du procédé microlentilles, le but étant d'appliquer la métrologie par contours au suivi de microlentilles.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

2. Métrologie du procédé microlentilles

i. Paramétrage

Le produit sur lequel le travail s'est centré est un capteur avec une architecture de pixels particulière. Chaque pixel est associé à un autre pixel de plus petite taille. Ainsi, chaque microlentille est associée à une microlentille de plus petite taille (voir Figure 120). Le suivi se fait principalement par CD-SEM après l'étape de lithographie, avec une image centrée sur la microlentille principale. Seul le diamètre est extrait comme le montre l'exemple de la Figure 121). Une unique mesure est difficilement représentative vu la configuration des microlentilles. La métrologie par contours vise donc à proposer de nouvelles métriques pour mesurer la structure [37].

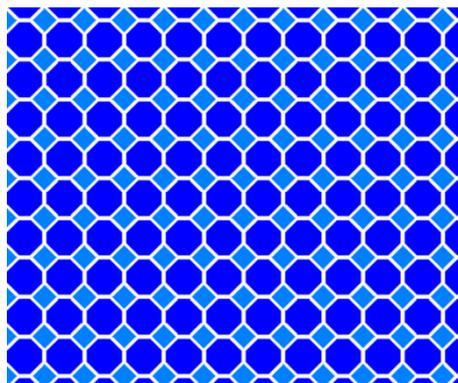


Figure 120 : Réseau de microlentilles (design).

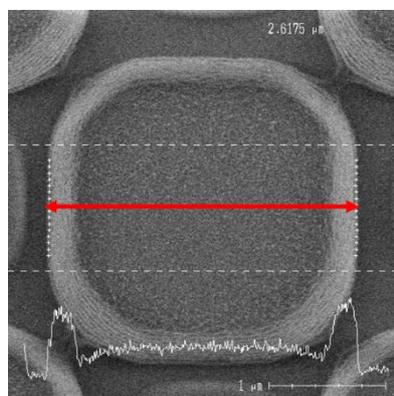


Figure 121 : Mesures par CD-SEM d'un diamètre de microlentille après lithographie.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Une recette de métrologie spécifique aux microlentilles a donc été créée selon les paramètres suivants :

Tension d'accélération : 800V.

Résolution : 512 pixels X 512 pixels

Grandissement : 35 000

Champ : 4 μm X 4 μm

Contours : seuil de 50%

Balayage : selon l'axe horizontal

Filtre : signal sur bruit (algorithme constructeur)

La prise d'images est centrée sur la microlentille principale (voir Figure 122). Celle-ci sera nommée BSU1 dans la suite. La petite microlentille sera nommée BSU2. L'extraction des contours n'a pas généré de difficulté sur ce cas et les contours sont bien exploitables (voir Figure 123). Sur la Figure 122, il faut noter que sur l'image 'lithographie', les quatre BSU2 sont déjà recuites. La réalisation de ces microlentilles se fait en deux fois, d'abord BSU2, ensuite BSU1, il est donc normal de ne pas observer de changement de forme de BSU2 sur les deux images SEM de la Figure 122.

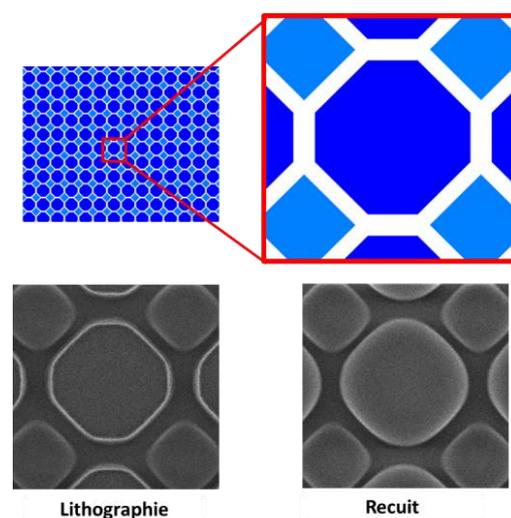


Figure 122 : Prise d'images SEM après lithographie et après recuit sur la matrice de microlentilles.

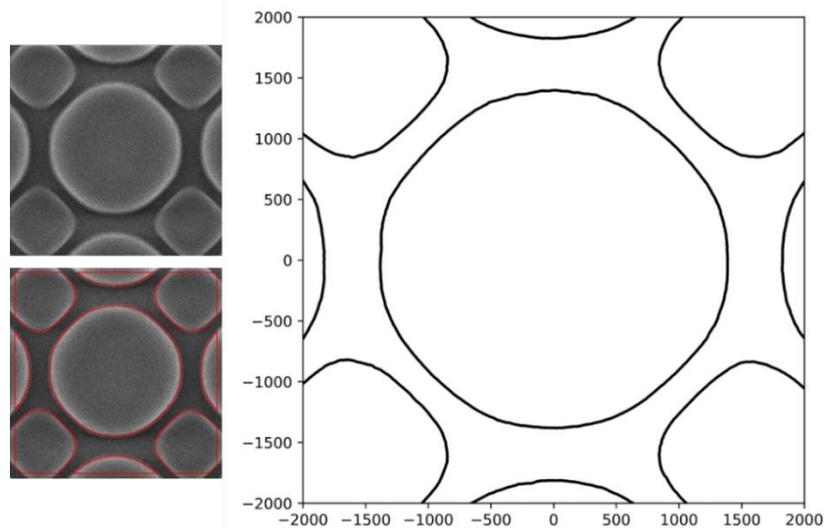


Figure 123 : Exemple d'extraction de contour sur une image SEM de microlentilles.

ii. Proposition de métrologie

Tous les contours générés seront alignés sur le centre de gravité de BSU1. Les outils développés dans les parties précédentes sont suffisamment flexibles pour s'adapter au cas des microlentilles. Par exemple, il est possible d'extraire des contours à différentes conditions de dose pour voir, par superposition, l'influence de ce paramètre sur la taille des microlentilles (voir Figure 124). Le recuit génère un changement de forme et de dimension de la microlentille. C'est une donnée importante pour le procédé. D'un point de vue analyse de contours, l'analogie peut être faite avec la mesure du bias gravure et donc, un script similaire peut être utilisé, comme dans l'exemple de la Figure 124.

Concernant la partie mesures, beaucoup plus de données dimensionnelles peuvent être extraites. La Figure 125 donne les onze mesures effectuées sur chaque contour. Le diamètre peut être mesuré (flèche bleue) comme sur une mesure CD-SEM classique. Les quatre écarts entre les BSU1 peuvent également être mesurés (flèches rouges), de même que les quatre écarts BSU1 – BSU2 (flèches vertes). Etant donné que BSU1 est entièrement présente dans le contour, son aire et sa circonférence peuvent être également mesurées. Le tout est combiné dans un seul script et automatisé.

dans ce produit. En réalité, chaque grand pixel est associé à un petit. L'ensemble des deux peut être traduit par un unique pixel carré de côté 3,2 microns, dont le centre se superpose au centre de BSU1. Comme le montre la Figure 126, le pixel a donc été superposé au centre de gravité de BSU1 et la surface de microlentille contenue dans l'intervalle est calculée. Le facteur de remplissage (FF) est ensuite extrait selon la formule suivante :

$$FF (\%) = S / 3,2^2 \times 100$$

Avec :

S : Surface de microlentille en microns carré

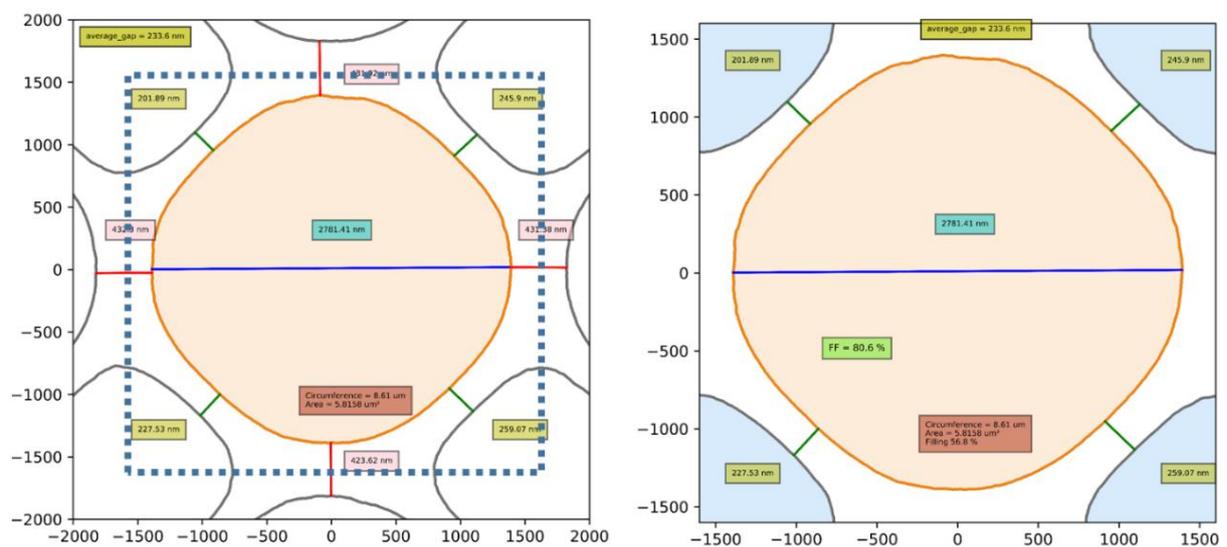


Figure 126 : Calcul du facteur de remplissage (le carré bleu en pointillés est une visualisation du pixel).

Une autre métrique à quantifier est l'overlay entre BSU1 et BSU2. Comme BSU1 est réalisée lors d'une deuxième étape de lithographie, il se peut que son centrage ne soit pas optimal. Cela influence les quatre écarts BSU1-BSU2. En utilisant les valeurs de ces écarts il est possible d'en extraire une estimation de l'overlay. Par exemple, en cas d'overlay vers la gauche, les deux écarts BSU1-BSU2 à gauche vont diminuer et ceux de droite augmenter. En calculant le décalage moyen gauche-droite et haut-bas, un overlay moyen est extrait.

Dans l'exemple de la Figure 127, un décalage important vers la gauche et vers le haut est constaté (overlay indiqué par la flèche noire).

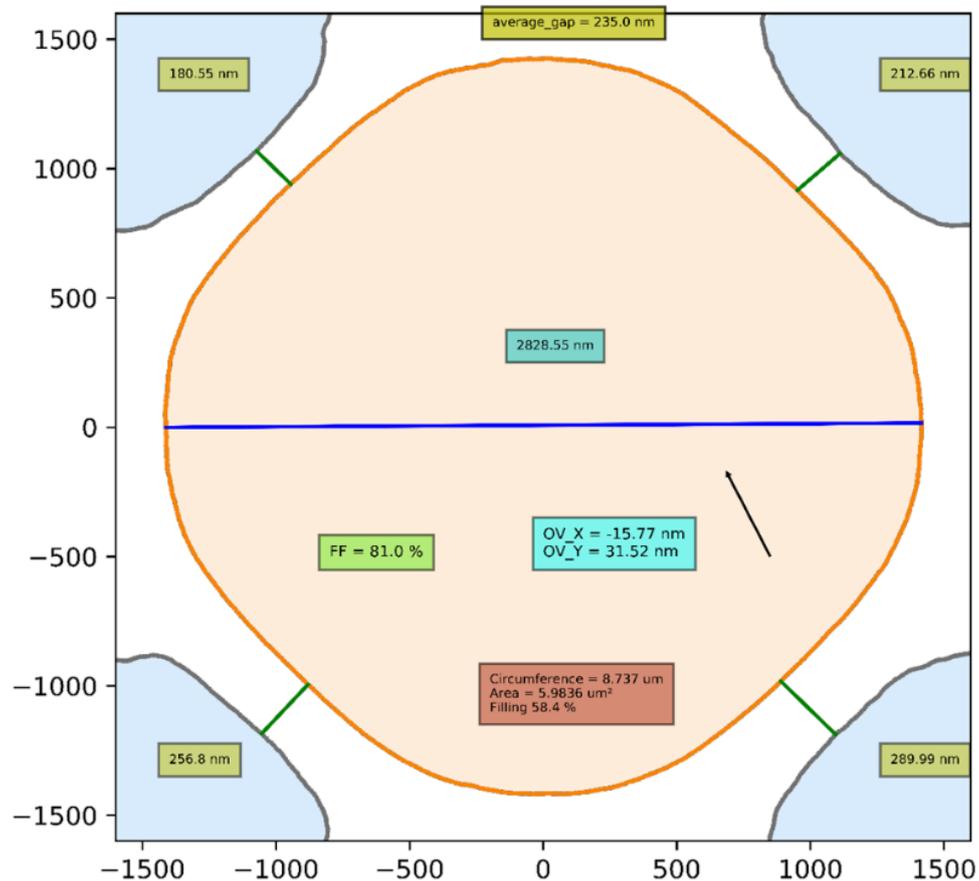


Figure 127 : Exemple de mesure d'overlay basée sur les écarts BSU1-BSU2, détection d'un décalage important de BSU1 vers la gauche et le haut.

3. Suivi en production

De toutes les métriques proposées, le facteur de remplissage est la plus utilisée car elle sert d'indicateur global. Les ingénieurs en charge du procédé ont proposé d'utiliser ce paramètre pour évaluer l'uniformité du procédé. La recette de génération d'images SEM et le script de mesure ont donc été inclus dans la feuille de route de plusieurs plaques de développement, après l'étape de recuit. Les plaques sont mesurées selon un diamètre avec

une image par champ, ce qui représente une dizaine de contours par plaque. Les données moyennes pour l'ensemble des plaques étudiées sont données sur la Figure 128.

Le facteur de remplissage est en moyenne à 81% mais la dispersion des valeurs intra plaque, plaque à plaque et lot à lot est significatif. Par exemple, la plaque 25 du lot B a un facteur de remplissage à 79% en moyenne alors que la plaque 25 du lot A est à 83,3%. Les variations s'observent également au sein d'un même lot avec l'exemple du lot F dans la plaque 10 est à 82,3% alors que la 25 est en moyenne à 79,7%.

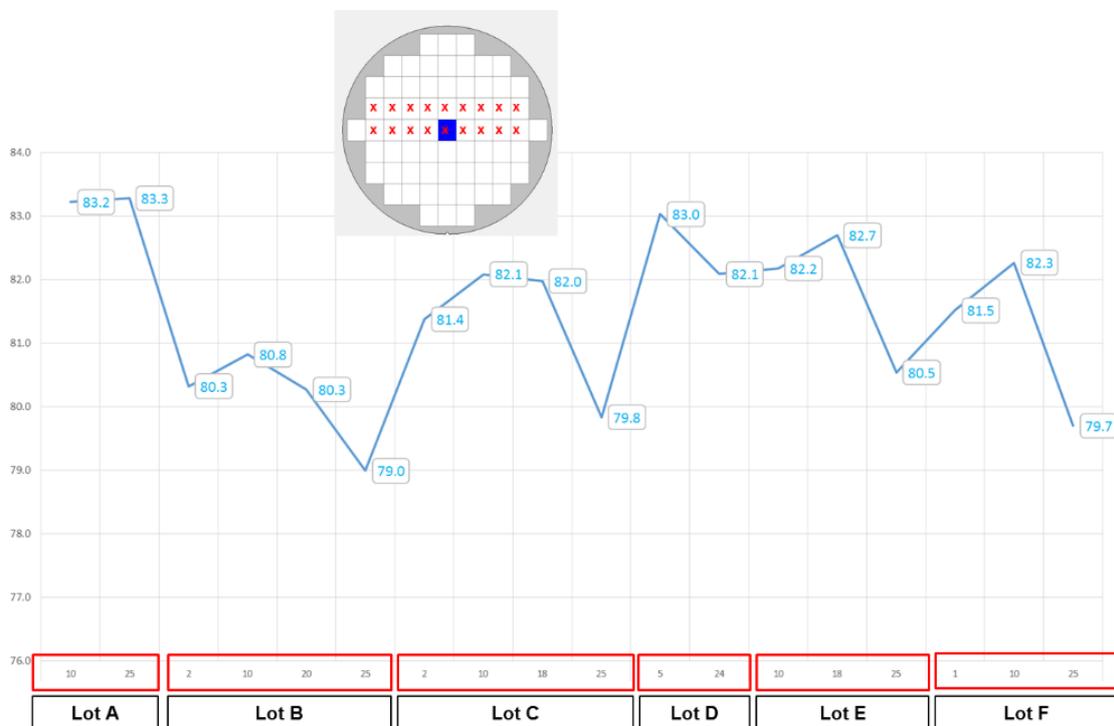


Figure 128 : Suivi du facteur de remplissage de plusieurs plaques de développement.

La maximisation du remplissage est un des critères prioritaires du procédé. Néanmoins, l'uniformité des mesures l'est également car de telles variations de remplissage vont induire des variations de performances optiques d'un capteur à un autre. La première étape du contrôle de cette variabilité est de fournir les outils et métriques adéquats. La mesure du facteur de remplissage est robuste et adaptée.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

4. Optimisation du design

Le facteur de remplissage peut être utilisé afin d'optimiser le design des microlentilles. C'est un paramètre plus représentatif que le diamètre. Le design montré précédemment correspond au standard actuel avec des facteurs de remplissages aux environs de 81% en moyenne. Chaque pourcent gagné est avantageux et la tendance actuelle est plutôt au changement de référence. Un design de test (voir Figure 129) a donc été étudié avec la même méthode de mesure du facteur de remplissage.

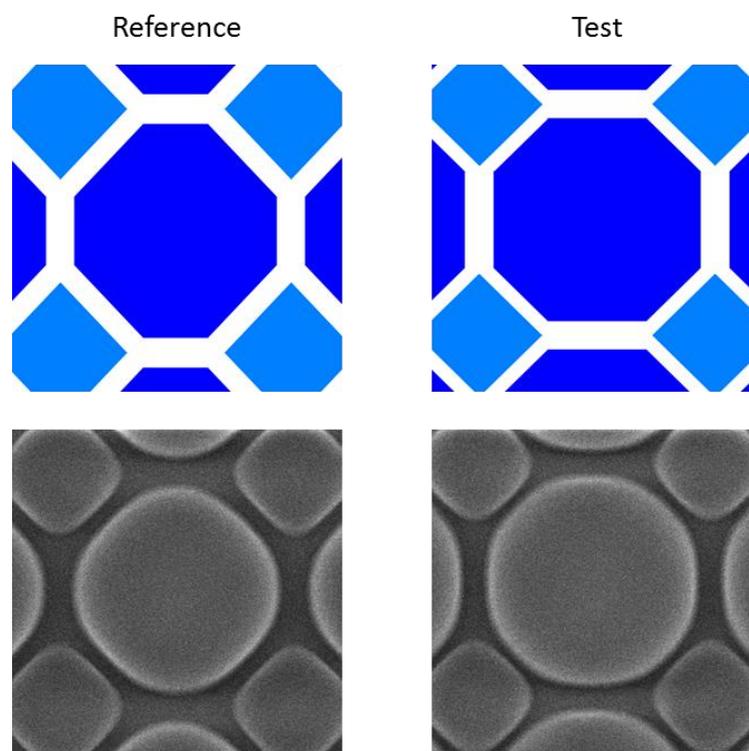


Figure 129 : Design de référence vs design test.

Un bloc contenant les deux designs a été mesuré. Un exemple est donné sur la Figure 130. Les microlentilles sont bien définies pour le design test et le facteur de remplissage est plus élevé de 6%. Comme le montre la superposition Figure 131, cette augmentation est principalement due à l'augmentation de surface de BSU1, BSU2 ayant été légèrement

diminuée. Il faut noter que dans les deux cas, les diamètres mesurés horizontalement et verticalement sont équivalents et donc ce paramètre n'aurait pas permis de quantifier le gain généré par le nouveau design.

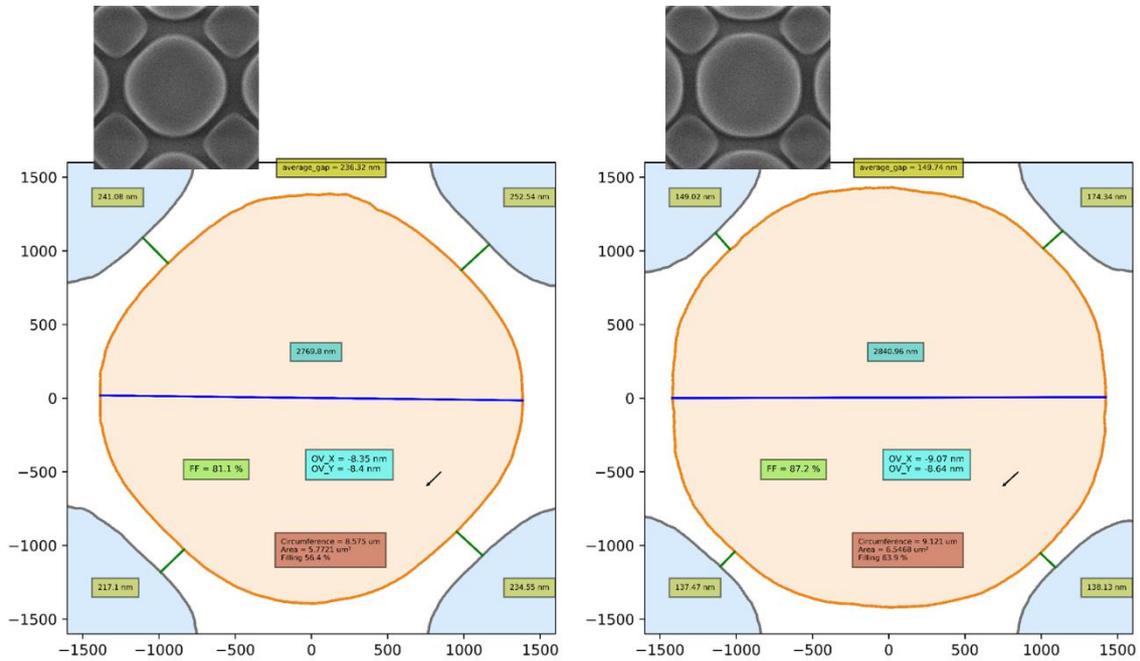


Figure 130 : Exemple de mesure contours pour la référence et le design test.

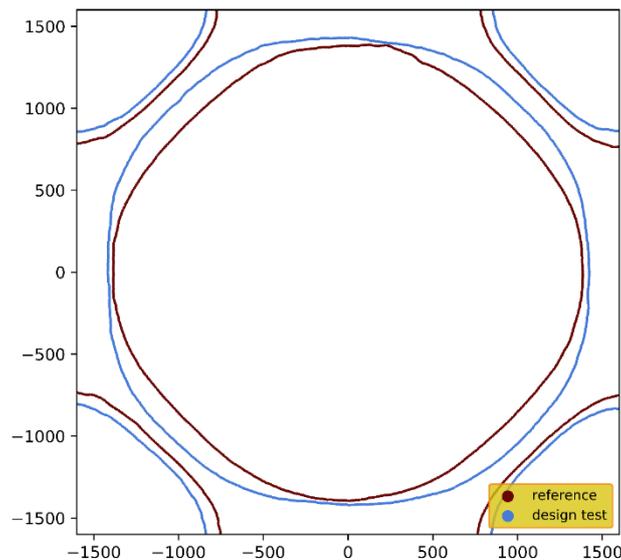


Figure 131 : Superposition contour SEM design de référence et design test.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

Dans ce chapitre, un certain nombre de possibilités d'applications ont été présentées. A partir de l'utilisation de l'image SEM, il est ainsi possible d'effectuer du contrôle dimensionnel de structures complexes sur différentes étapes de procédé, alors qu'une mesure à l'aide d'algorithmes commerciaux est utilisée principalement sur des structures simples pour garantir une mesure robuste et stable. Différentes collaborations avec plusieurs groupes ont abouti à la mise en place d'études sur d'autres cas. Tout d'abord l'application de la métrologie par contours sur des structures de fiabilité en cuivre permet d'apporter des informations dimensionnelles qu'il est possible de corrélérer ultérieurement aux tests électriques. Ensuite, bien que ce travail de thèse se soit, à l'origine, focalisé sur des nœuds comme le 28 nm, une synergie s'est mise en place avec les ingénieurs travaillant sur le procédé microlentilles pour les capteurs optiques CMOS. Cela a abouti à la mise en place de nouvelles métriques pour le suivi du procédé, comme le facteur de remplissage. Le travail collaboratif est essentiel à la compréhension des problématiques rencontrées régulièrement par les ingénieurs et ainsi, à la mise en place de solutions adaptées. Le chapitre suivant présente des travaux réalisés dans le cadre d'études parallèles au thème principal de cette thèse mais qui offrent des perspectives de métrologie intéressantes.

Chapitre 5 : Perspectives d'applications

I. Détection de défauts par analyse d'images

L'analyse des contours a fourni un moyen fiable et robuste de maximiser l'utilisation d'une image SEM. Mais celle-ci contient plus que des informations dimensionnelles. Lors des travaux ayant abouti à la mise en place de la métrologie par contours, une problématique a été soumise par les ingénieurs en procédé microlentilles. Il s'agissait d'un phénomène de défaillance qu'ils cherchaient à détecter le plus tôt possible dans le procédé de fabrication. Un recuit insuffisant des microlentilles va affecter leur intégrité, c'est-à-dire qu'elles n'auront pas la forme hémisphérique leur permettant de focaliser la lumière sur la photodiode, comme montré sur la Figure 132. Bien que le recuit soit très contrôlé, un problème d'équipement est rarement prévisible.

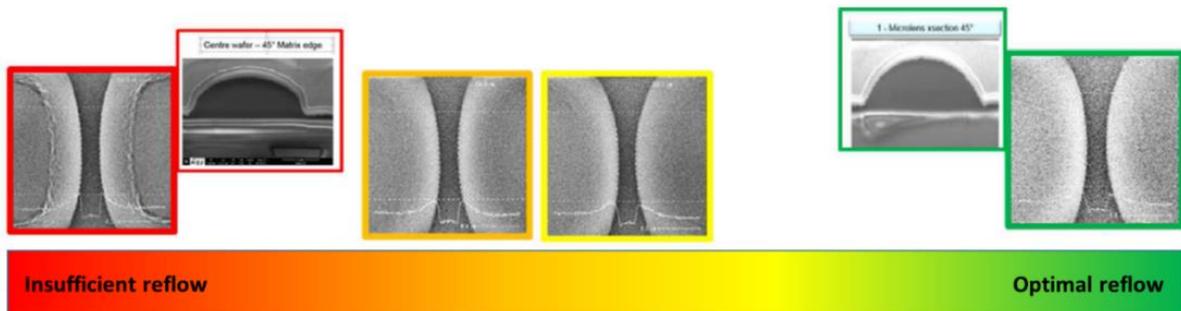


Figure 132 : Evolution de la forme de la microlentille sous différentes conditions de recuit.

Sur ces travaux de thèse, la question qui vient à l'esprit est de savoir si ce défaut peut être détecté par la mesure CD-SEM. La Figure 133 donne deux exemples de mesures CD-SEM en ligne : une pour une lentille bien formée (Figure 133 a.) et la seconde pour une lentille insuffisamment recuite (Figure 133 b.). La mesure en ligne n'a pas rapporté d'erreur et dans les deux cas la même valeur est mesurée. En effet, c'est l'espace entre les deux microlentilles qui est mesuré et celui-ci n'a pas de problème dimensionnel particulier. Cependant, un observateur remarquerait la présence d'un liséré inhabituel sur une des

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

images, ce qui est caractéristique d'une lentille mal formée. Il est néanmoins difficile d'avoir un opérateur derrière chaque équipement afin de vérifier chaque image. Le risque est donc qu'aucune alarme ne sera envoyée dans le système pour bloquer le lot incriminé qui pourra continuer son procédé.

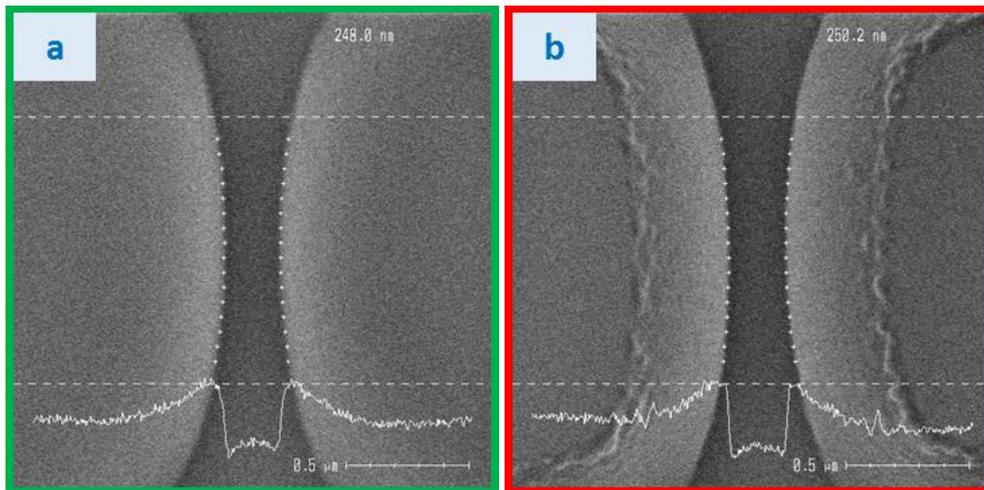


Figure 133 : Images SEM de (a) lentilles normalement formées vs (b) lentilles mal formées.

La détection du problème se fera à un certain moment. Etant donné que la focalisation de la lumière ne se fait plus de manière optimale, les tests optiques du capteur d'image révéleront une défaillance. Le capteur est alors mis au rebut s'il ne répond pas aux spécifications relatives au produit souhaité. Cela entraîne un coût non négligeable pour le fabricant. Cependant si la détection du problème s'effectue juste après l'étape de formation des microlentilles, il est possible de les retirer à l'aide d'un plasma afin de reprendre le procédé. Cela permet de limiter les coûts dus à la mise au rebut des capteurs mais aussi de réaliser rapidement une action corrective sur l'équipement à l'aide de la détection précoce du problème.

La classification automatique de défauts (ADC) est utilisée dans les unités de fabrication afin de classer automatiquement les grandes quantités d'images SEM générées chaque jour. Cette méthode est utilisée principalement en défektivité pour classer des défauts tels que des rayures, des particules ou des trous. En raison du nombre d'images générées, cette

tâche doit être automatisée informatiquement tout en gardant, au minimum, le même niveau de confiance que l'œil humain.

Les activités relatives au « machine learning » sont en croissance constante ces dernières années dans le milieu de la microélectronique car il s'agit d'un moyen efficace de maximiser l'utilisation des données issues d'un équipement, en l'occurrence ici il s'agit des images. STMicroelectronics a développé son propre outil ADC basé sur un réseau de neurones (travaux de Laurent Bidault, ST Rousset). Celui-ci a été entraîné avec plusieurs milliers d'images de chaque défaut afin de lui apprendre à les reconnaître. Par exemple, les images de la Figure 134 ont été classifiées par un réseau de neurones dans quatre classes définies en amont : rayures (bleu), trou (jaune), choc (vert), particules (rouge).

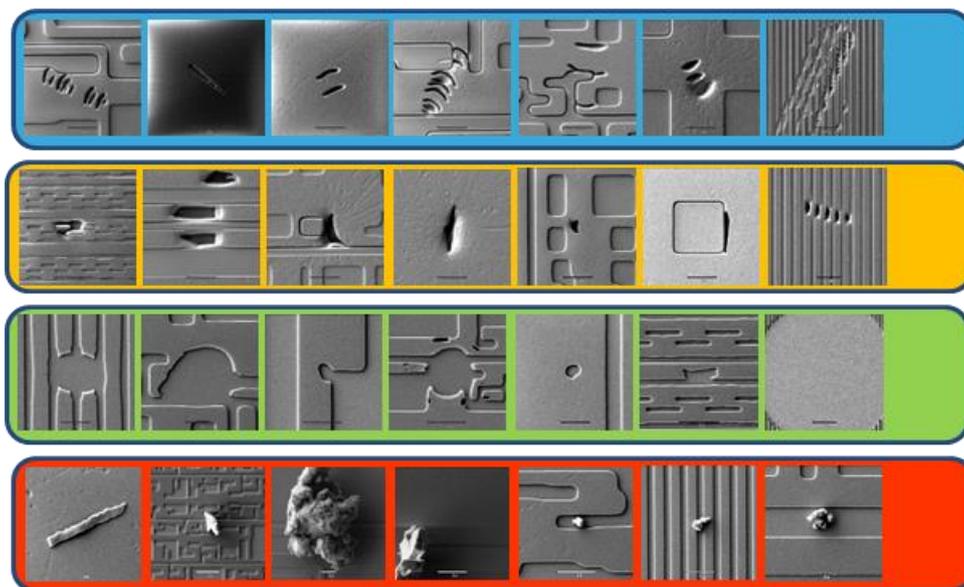


Figure 134 : ADC réalisée sur des images SEM de revue de défauts.

L'ADC est une solution intéressante pour détecter les problèmes de structuration des microlentilles. Comme le montre la Figure 133 b, un liseré est visible sur les images avec défaut. Ainsi deux classes peuvent être définies : une où les microlentilles sont normalement formées, une où elles sont défectives. Un millier d'images de chaque classe est fournie au réseau de neurones pour apprentissage. Actuellement la procédure est en cours de test en production chez STMicroelectronics. Pour un produit donné, lorsqu'une

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

plaque est mesurée par CD-SEM après l'étape de recuit, les images sont envoyées sur un serveur hors ligne où le réseau de neurone les analyse une par une. Pour chaque image, une prédiction est émise : microlentille normale ou défaut. Par la suite, cette méthode pourra être développée sur d'autres technologies et structures. Le but sera de l'appliquer avant d'extraire les contours pour détecter les défauts non dimensionnels.

II. Classification phylogénétique

La classification peut aussi s'effectuer sur les contours afin de les classer selon leur géométrie. La méthode de classification phylogénétique par contours a été développée dans le cadre d'une autre thèse au sein de STMicroelectronics [71] et peut s'appliquer dans les cas étudiés dans les travaux actuels. Pour chaque contour, le squelette est extrait comme montré sur la Figure 135. Les squelettes sont ensuite alignés les uns aux autres de manière à minimiser la distance moyenne entre eux. Le résiduel d'alignement restant quantifie la dissymétrie entre deux structures. Cette valeur est utilisée pour classer les contours en différentes classes et ainsi générer un arbre dit phylogénétique (car inspiré de la classification de différentes espèces en biologie).

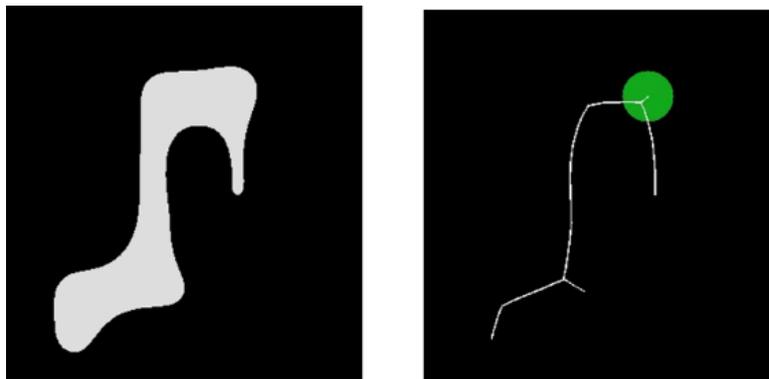


Figure 135 : Extraction du squelette d'un hotspot.

La méthode a été appliquée à environ 600 contours du golden hotspot gravé. L'arbre est donné sur la Figure 136. Trois branches principales ressortent. Ces trois branches peuvent être corrélées à une signature intra-plaque avec la branche rouge majoritaire répartie au centre de la plaque et les deux autres au bord.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

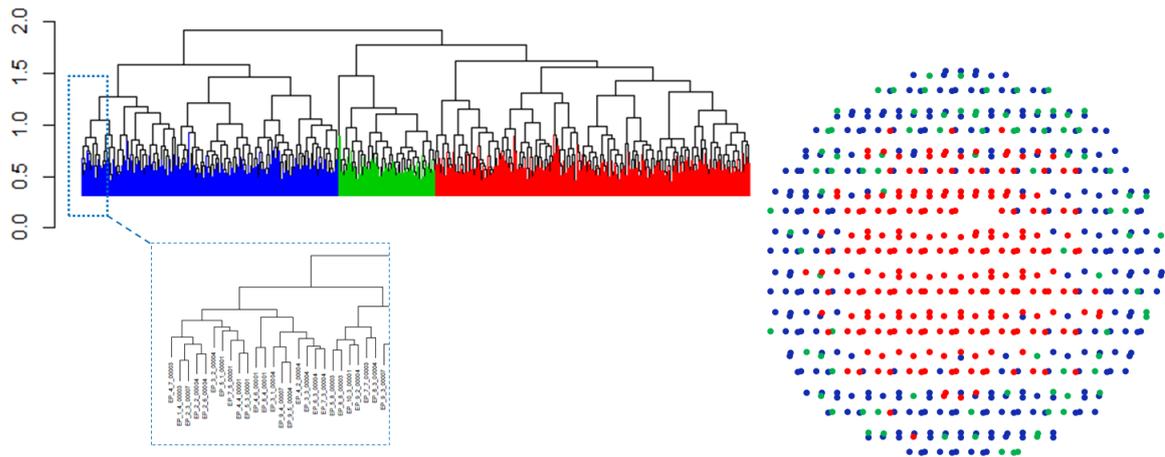


Figure 136 : Arbre de classification du golden hotspot.

En prenant des contours de chaque groupe et en les superposant comme sur la Figure 137, il est possible de visualiser le phénomène à l'origine de la différenciation des groupes.

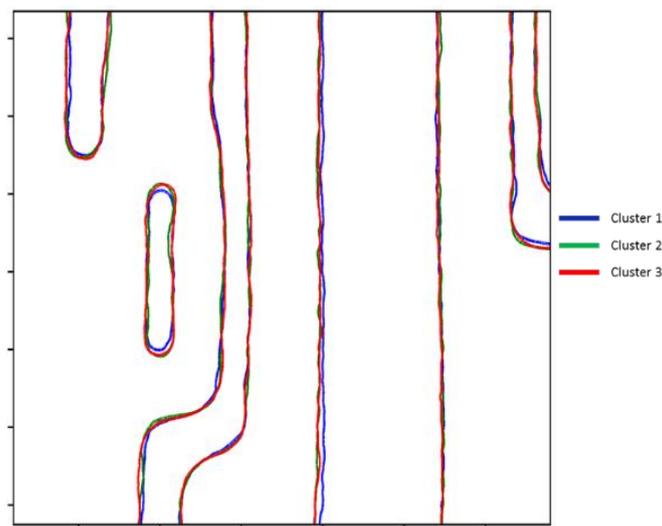


Figure 137 : Contours issus de chacune des trois classes principales de l'arbre.

Le groupe principal en rouge est celui où le hotspot est défini sans défaut particulier. Le deuxième groupe en vert se différencie par un phénomène de pincement de la tranchée T1 ce qui entraîne une distorsion du squelette. Enfin le dernier groupe (en bleu) voit T1 subir un rétrécissement de ses deux bouts de lignes. Par cette méthode, il est donc possible de

définir une nouvelle métrique qui détermine la distorsion de structures et permet de les classer ainsi.

III. Pattern Fidelity Metrology (PFM)

Comme expliqué précédemment cette thèse s'est faite dans le cadre d'une collaboration avancée avec ASML, notamment dans le projet PFM. Il s'agit d'un outil dont le but est de permettre aux ingénieurs de détecter, par simulation sur le design, les structures les plus limitantes pour la fenêtre de procédé. La liste de hotspots qui en découle est combinée avec les données du procédé (topographie, signature scanner, signature gravure) afin de générer une prédiction de défauts.

En 2016, ASML a acquis la société taiwanaise Hermes Microvision (HMI) spécialisée dans le développement de machines d'inspection à canon d'électron. Ainsi il est possible d'aller inspecter les zones issues de la prédiction avec des champs d'observation assez large permettant une détection massive de défauts. Les algorithmes de détection et de mesure sont ici robustes et permettent d'avoir des mesures sur des structures complexes avec une résolution de l'ordre de 2 nm. Leur résolution est cependant suffisante pour détecter des phénomènes de variabilité impossibles à détecter sur des machines d'inspection classique. Des défauts tels que des pincements ou des rétrécissements de lignes peuvent être détectés. Par exemples la Figure 138 et la Figure 139 donnent des exemples de mesures de variabilité de hotspots en BEOL 28 nm. Sur chacune des images, la ligne indiquée par la flèche jaune est mesurée. En certains points de la plaque, notamment au bord, la surface de cette ligne se réduit fortement voire disparaît. Une machine d'inspection classique pourrait détecter une partie de ces phénomènes, mais seulement les plus critiques, le plus souvent quand la structure est manquante. Les machines d'inspection électronique ont une résolution suffisante pour quantifier les phénomènes intermédiaires.

La résolution de ce genre de machines se rapproche de celle des CD-SEM dans les prochaines années en gardant des champs d'observation et une vitesse de prise d'image dix

fois plus importantes. Plusieurs hotspots étudiés dans les parties précédentes sont issues des simulations PFM.

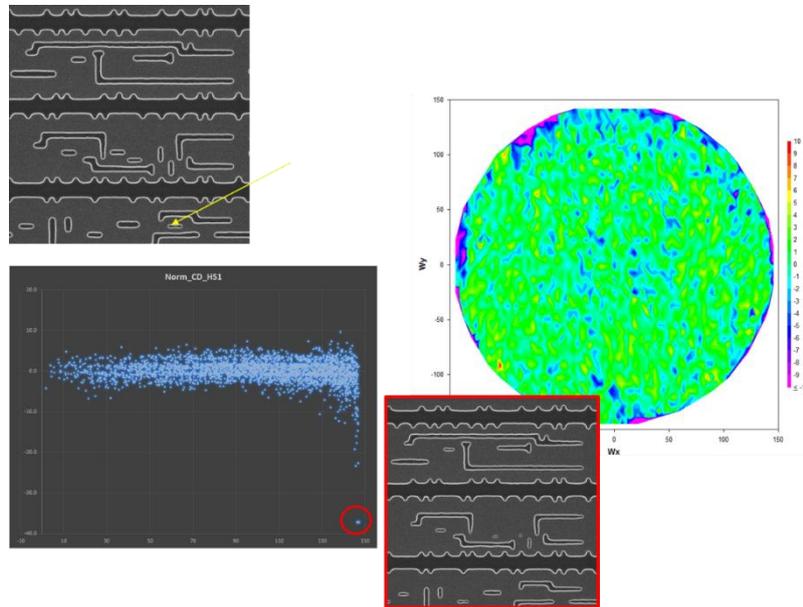


Figure 138 : Détection de défauts par machine d'inspection à canons d'électrons.

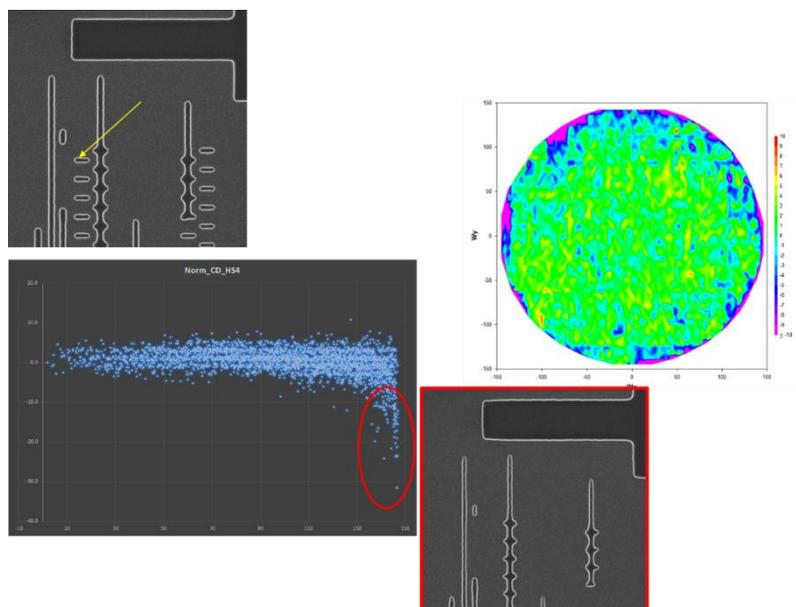


Figure 139 : Détection de défauts par machine d'inspection à canons d'électrons.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

CONCLUSION GENERALE

Les travaux de cette thèse se sont focalisés sur les problématiques d'optimisation des techniques de métrologie dimensionnelle actuelle afin de répondre aux contraintes liées à la réduction de la fenêtre de procédé dans les nœuds avancés. Les structures complexes des circuits limitent fortement le rendement des plaques et subissent les phénomènes de variabilité des procédés. Il est donc nécessaire d'avoir des méthodes permettant un suivi du procédé basé sur des structures représentatives. Le CD-SEM est une des techniques de métrologie dimensionnelle les plus utilisées au cours du cycle de fabrication. Une partie importante des étapes de lithographie et de gravure est suivie d'une mesure sur cet équipement. Néanmoins les limitations des algorithmes de mesures fournis avec l'équipement ne permettent pas un suivi robuste et stable de configurations complexes, c'est pourquoi cet outil est principalement utilisé sur des réseaux réguliers, peu représentatifs de la complexité réelle des circuits. Le CD-SEM doit donc évoluer pour s'adapter au défi de mesurer des structures représentatives.

L'optimisation de la métrologie par CD-SEM ne passe pas par une amélioration de l'équipement en lui-même mais par une meilleure utilisation des données qui en sont issues, principalement les images. Le constat a très vite été fait que les images sont une source d'informations très peu exploitée alors qu'elles contiennent toutes les informations dimensionnelles dont les ingénieurs ont besoin. En effet, une image SEM n'est pas inexploitable si une mesure n'a pu être effectuée. Les informations qu'elle contient sont accessibles grâce aux outils d'extraction de contours. Ceux-ci permettent la conversion d'une structure présente dans une image en un format de données utilisable en hors ligne. A l'aide d'algorithmes développés en Python, les contours de différentes structures ont été utilisés afin de générer de l'information pour la métrologie. Plusieurs options ont été développées :

- Mesures massives sur hotspots ou structures de fiabilité
- Visualisation de la variabilité
- Quantification du bias gravure

- Mesure du placement de bord

Plusieurs applications concrètes ont été réalisées grâce aux collaborations avec différents groupes techniques :

- Suivi dimensionnel de hotspots permettant d'effectuer du contrôle du procédé sur des structures représentatives des dessins du circuit
- Métrologie sur structures de fiabilité électrique afin de permettre aux ingénieurs de corréler les données issues de leurs tests électriques avec des informations dimensionnelles relatives aux structures de fiabilité utilisées
- Contrôle du procédé microlentilles dans le but d'avoir un contrôle complet du procédé basées sur différentes métriques

Une partie importante des développements se fait grâce aux différentes collaborations qui permettent de comprendre les besoins des ingénieurs et ainsi de leur proposer des solutions adaptées aux problématiques à résoudre.

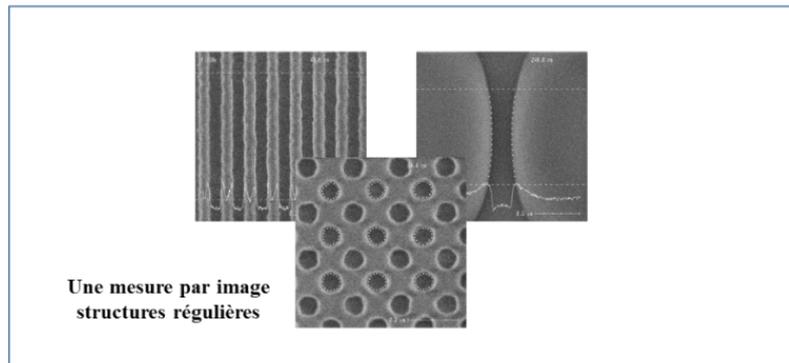
Des échanges avec un autre travail de thèse ont permis d'utiliser une technique de classification des contours basée sur l'analyse des distorsions structurelles.

Bien que le but initial de la thèse fût de travailler sur des nœuds avancés, des synergies ont été amorcées avec les ingénieurs travaillant sur les capteurs optiques afin de développer une métrologie pour le suivi du procédé microlentilles. En parallèle, des collaborations au sein du groupe big data analyse d'images de ST ont permis d'amorcer une activité afin de détecter des problèmes de structurations des microlentilles. Ce projet s'est basé sur l'utilisation de réseaux de neurones entraîné à reconnaître le défaut voulu sur les images SEM ce qui permet d'avoir une détection précoce du problème. Cela a abouti aujourd'hui à la mise en place, en production à Crolles, de cette méthode de détection par réseau de neurones sur l'étape microlentilles d'un produit. Cette méthodologie étant mature, elle pourra être étendue à différents types de défauts ou de produits et combinée avec des mesures avancées par contours afin d'avoir un contrôle avancé du procédé.

La Figure 140 résume les outils mis en place, comparés à ce qui était obtenu par mesure en ligne classique.

Nouvelles perspectives de métrologie dimensionnelle par imagerie de microscope électronique pour le contrôle de la variabilité des procédés de fabrication des circuits intégrés

CD-SEM en ligne



CD-SEM hors ligne

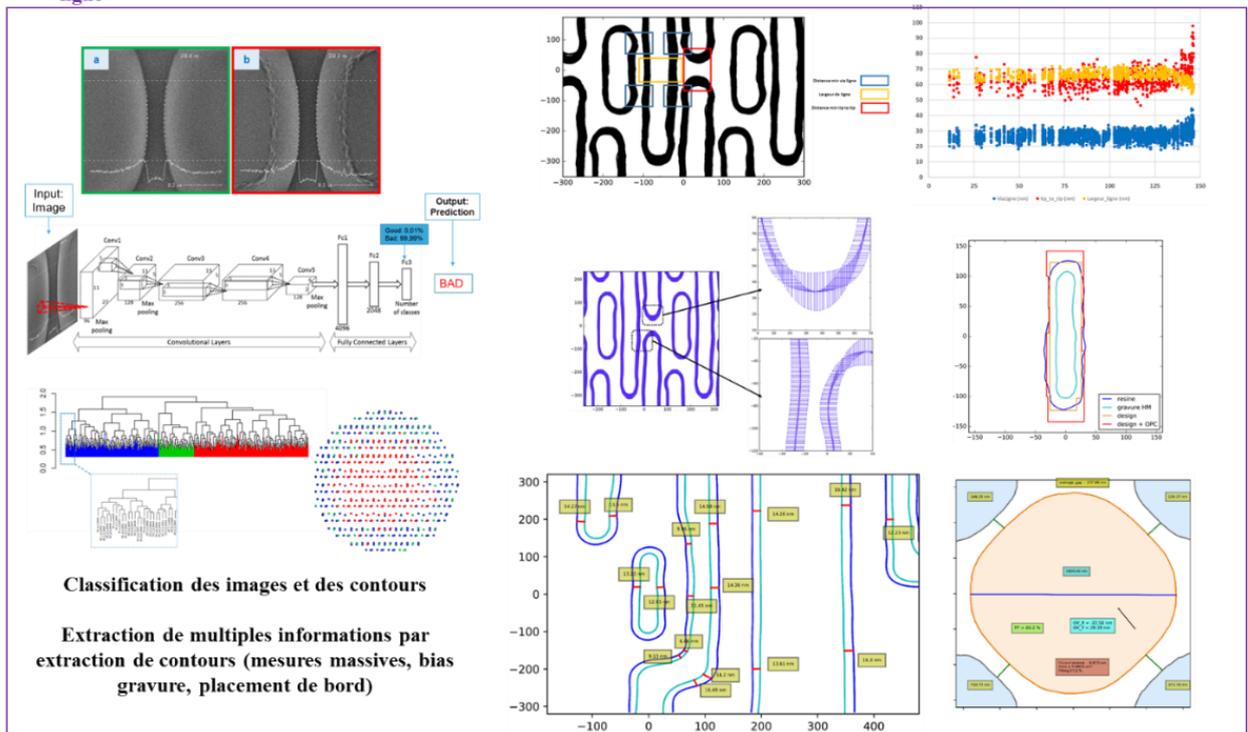


Figure 140 : CD-SEM en ligne vs utilisation d'algorithmes hors ligne sur images et contours.

Références

- [1] C.-H. Tung, G. T. T. Sheng et C.-Y. Lu, *ULSI Semiconductor Technology Atlas*, John Wiley & Sons, Inc, 2003.
- [2] J. S. Kilby, *IEEE Transactions on Electron Devices*, vol. 23, n° 17, pp. 648-654, 1976.
- [3] J. Bardeen et W. H. Brattain, «Physical Principles Involved in Transistor Action,» *Phys. Rev.*, vol. 75, n° 18, 1949.
- [4] G. E. Moore, «Cramming more components onto integrated circuits,» *Electronics*, vol. 38, pp. 114-117, 1965.
- [5] G. E. Moore, «Progress in digital integrated electronics,» *Electron Devices Meeting, International*, vol. 21, pp. 11-13, 1975.
- [6] C. Mack, «Fifty Years of Moore's Law,» *IEEE Transactions on Semiconductor Manufacturing*, vol. 24, n° 12, pp. 202-207, 2011.
- [7] G. E. Moore, «Lithography and the future of Moore's law,» chez *Proc. SPIE 2438, Advances in Resist Technology and Processing XII*, 1995.
- [8] «The IBM 610 Auto-Point Computer,» Columbia University, [En ligne]. Available: <http://www.columbia.edu/cu/computinghistory/610.html>.
- [9] V. Koifman, «Yole 2016 Market Report and Rankings,» 5 6 2016. [En ligne]. Available: <http://image-sensors-world.blogspot.fr/2016/06/yole-2016-market-report-and-market.html>.
- [10] «Enabling the Hyperconnected Age,» Global Semiconductor Alliance / Oxford Economics, 2016.
- [11] J. Yoshida, «NXP Goes All In on FD-SOI,» *eetimes*, 15 3 2017. [En ligne]. Available: https://www.eetimes.com/document.asp?doc_id=1331485.
- [12] R. Merritt, «NXP Shows First FD-SOI Chips,» *eetimes*, 13 4 2017. [En ligne]. Available: https://www.eetimes.com/document.asp?doc_id=1331600.
- [13] «Nonstop CMOS Image Sensor Sales Records Seen Through 2021,» *icinsights*, 27 6 2017. [En ligne]. Available: <http://www.icinsights.com/news/bulletins/Nonstop-CMOS-Image-Sensor-Sales-Records-Seen-Through-2021/>.
- [14] «Evolution of the silicon wafer,» The Facilities 450 Consortium.
- [15] N. Z. E. Abidine, «Evaluation de réticules avancée,» Université Grenoble Alpes, 2018.
- [16] P. Clarke, «Globalfoundries Preps 12nm FDSOI Process,» 8 9 2016. [En ligne]. Available: https://www.eetimes.com/document.asp?doc_id=1330423.

- [17] H. J. Levinson, *Principles of lithography*, SPIE, 2010.
- [18] C. Mack, «Semiconductor Lithography (Photolithography) - The Basic Process,» [En ligne]. Available: <http://www.lithoguru.com/scientist/lithobasics.html>.
- [19] N. Z. E. Abidine, F. Sundermann, E. Yesilada, E. H. O. Ndiaye, K. Mishra, S. Paninjath, I. Bork, P. Buck, O. Toublan et I. Schanen, «Accurate mask model for advanced nodes,» chez *Proc. SPIE 9256, Photomask and Next-Generation Lithography Mask Technology XXI, 925603*, Yokohama, Japan, 2014.
- [20] F. Foussadier, F. Sundermann, A. Vacca, J. Wiley, G. Chen, T. Takigawa, K. Hayano, S. Narukawa, S. Kawashima, H. Mohri, N. Hayashi, H. Miyashita, Y. Trouiller, F. Robert, F. Vautrin, G. Kerrien et J. Plancho, «Model-based mask verification,» chez *Proc. SPIE 6730, Photomask Technology 2007, 673051*, Monterey, California, United States, 2007.
- [21] K. B. e. al, «Hardmask technology for sub-100 nm lithographic imaging,» chez *Proc. SPIE 5039, Advances in Resist Technology and Processing XX, 152*, 2003.
- [22] «Etching characteristics of TiN used as hard mask in dielectric etch process,» *Journal of Vacuum Science & Technology B Microelectronics and Nanometer Structures*, vol. 24, n° %15, 2006.
- [23] Y. Ein-Eli et D. Starosvetsky, «Review on copper chemical–mechanical polishing (CMP) and post-CMP cleaning in ultra large system integrated (ULSI)—An electrochemical perspective,» *Electrochimica Acta*, vol. 52, n° %15, pp. 1825-1838, 2007.
- [24] P. Goonetilleke et D. Roy, «Electrochemical–mechanical planarization of copper: Effects of chemical additives on voltage controlled removal of surface layers in electrolytes,» *Materials Chemistry and Physics*, vol. 94, n° %12-3, pp. 388-400, 2005.
- [25] N. Shiraishi, S. Owa, Y. Ohmura, T. Aoki, Y. Matsumoto, M. Hatasawa, T. Mori et I. Tanaka, «Current status of Nikon's F2 exposure tool development,» chez *Proc. SPIE 4346, Optical Microlithography XIV*, 2001.
- [26] J. Mulkens, C. Wagner, K. D. Cummings et R. A. George, «Challenges and opportunities for 157-nm mask technology,» chez *Proc. SPIE 3873, 19th Annual Symposium on Photomask Technology*, 1999.
- [27] H. Nakano, H. Hata, H. Nogawa, N. Deguchi, M. Kohno et Y. Chiba, «Development status of a 157-nm full-field scanner,» chez *Proc. SPIE 5040, Optical Microlithography XVI, (26 June 2003)*, 2003.
- [28] G. T. Dao, A. Yen et W. J. Trybula, «157-nm lithography program at International SEMATECH,» chez *Proc. SPIE 4754, Photomask and Next-Generation Lithography Mask Technology IX*, 2002.
- [29] W. Trybula, «Status of 157-nm optical lithography,» *Journal of Micro/Nanolithography, MEMS, and MOEMS*, vol. 4, n° %11, 2005.

- [30] M. LaPedus, «Intel drops 157-nm tools from lithography roadmap,» EETimes, 23 5 2003. [En ligne]. Available: https://www.eetimes.com/document.asp?doc_id=1175202.
- [31] R. F. Pease et S. Y. Chou, «Lithography and Other Patterning Techniques for Future Electronics,» *Proceedings of the IEEE*, vol. 96, n° 12, pp. 248-270, 2008.
- [32] R. v. Es, M. v. d. Kerkhof, A. Minnaert, G. Fisser, J. d. Klerk, J. Smits, R. Moors, E. Verhoeven, L. Levasier, R. Peeters, M. Pieters et H. Meiling, «EUV for HVM: towards and industrialized scanner for HVM NXE3400B performance update,» chez *Proc. SPIE 10583, Extreme Ultraviolet (EUV) Lithography IX, 105830H*, San Jose, California, United States, 2018.
- [33] J.-G. Simiz, «Approche holistique du contrôle du focus en photolithographie 193nm immersion pour les niveaux critiques en 14nm et 28nm FDSOI,» Université de Lyon.
- [34] J. Finders, T. Kiers, B. Le-Gratiet et A. Lakcher, «Translation of lithography variability into after etch performance : monitoring of golden hotspot,» chez *Proc. SPIE 10032, 32nd European Mask and Lithography Conference, 100320H*, 2016.
- [35] A. Lakcher, B. Le-Gratiet, J. Ducoté, P. Fanton, T. Kiers, J.-W. Gemmink, S. Hunsche, C. Prentice et M. Besacier, «Robust 2D patterns process variability assessment using CD-SEM contour extraction offline metrology,» chez *Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 1014514*, San Jose, California, United States, 2017.
- [36] A. Lakcher, L. Schneider, B. Le-Gratiet, J. Ducoté, V. Farys et M. Besacier, «Advanced metrology by offline SEM data processing,» chez *Proc. SPIE 10446, 33rd European Mask and Lithography Conference, 104460L*, Dresden, Germany, 2017.
- [37] A. Lakcher, A. Ostrovsky, B. Le-Gratiet, L. Berthier, L. Bidault, J. Ducoté, C. Jamin-Mornet, E. Mortini et M. Besacier, «SEM contour based metrology for microlens process studies in CMOS image sensor technologies,» chez *Proc. SPIE 10587, Optical Microlithography XXXI, 105870T*, San Jose, California, United States, 2018.
- [38] H. J. Levinson, «Metrology requirements for lithography's next wave,» chez *Proc. SPIE 5375, Metrology, Inspection, and Process Control for Microlithography XVIII*, San Jose, California, United States, 2004.
- [39] B. Bunday, «HVM metrology challenges towards the 5nm node,» chez *Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97780E*, San Jose, California, United States, 2016.
- [40] B. Bunday, E. Solecky, A. Vaid, A. F. Bello et X. Dai, «Metrology capabilities and needs for 7nm and 5nm logic nodes,» chez *Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 101450G*, San Jose, California, United States, 2017.
- [41] M. D. Sardo, A. Berthoud, J.-C. Royer et C. Kusch, «In-line AFM characterization of STI profile at the 65 nm node with advanced carbon probes,» chez *Proc. SPIE 6518, Metrology, Inspection, and Process Control for Microlithography XXI, 65181B*, 2007.

- [42] R. Quintanilha, «Etude du problème inversé en diffractométrie spectroscopique : application à la métrologie dimensionnelle en microélectronique,» Grenoble INPG, 2005.
- [43] S. Soulan, «Développement de la scatterométrie dynamique pour le suivi en temps réel de procédés. Application à la microélectronique,» Université Joseph Fourier - Grenoble, 2008.
- [44] R. Bouyssou, B. L. Gratié, P. Gouraud, L. Desvoivres, G. Briand et B. Dumont, «28nm FD-SOI metal gate profile optimization, CD and undercut monitoring using scatterometry measurement,» chez *Proc. SPIE 8681, Metrology, Inspection, and Process Control for Microlithography XXVII, 86810R*, 2013.
- [45] «[https://commons.wikimedia.org/wiki/File:Schema_MEB_\(en\).svg](https://commons.wikimedia.org/wiki/File:Schema_MEB_(en).svg),» [En ligne].
- [46] T. Kudo, R. R. Dammel, J.-B. Bae, M. D. Rahman, W.-K. Kim, D. McKenzie, E. L. Alemy, W. Ng et M. Padmanaban, «Mechanistic Studies on the CD Degradation of 193 nm Resists during SEM Inspection,» *Journal of Photopolymer Science and Technology*, vol. 14, n° 13, pp. 407-418, 2001.
- [47] G. F. Lorusso, V. Rutigliani, F. V. Roey et C. Mack, «Unbiased roughness measurements: Subtracting out SEM effects,» *Microelectronic Engineering*, vol. 190, pp. 33-37, 2018.
- [48] B. L. G. e. al, «Improved CD control for 45-40 nm CMOS logic patterning: anticipation for 32-28 nm,» chez *Proc. SPIE 7638, Metrology, Inspection, and Process Control for Microlithography XXIV, 76380A*, San Jose, California, United States, 2010.
- [49] S. Koshihara, Y. Ota, H. Sakai et R. Matsuoka, «Challenge to New Metrology World by CDSEM,» *Hitachi Review 57*, pp. 123-126, 2008.
- [50] T. I. e. al, «Evolution and Future of Critical Dimension Measurement System for Semiconductor Processes,» *Hitachi Review*, 2011.
- [51] F. Weisbuch, A. A. Lutich et J. Schatz, «Introducing etch kernels for efficient pattern sampling and etch bias prediction,» *Journal of Micro/Nanolithography, MEMS, and MOEMS*, 2018.
- [52] F. Weisbuch et K. Jantzen, «Enabling scanning electron microscope contour-based optical proximity correction models,» *Journal of Micro/Nanolithography, MEMS, and MOEMS*, 2015.
- [53] F. Weisbuch, A. Omran et K. Jantzen, «Calibrating etch model with SEM contours,» chez *Proc. SPIE 9426, Optical Microlithography XXVIII, 94261T*, San Jose, California, United States, 2015.
- [54] F. Weisbuch et A. S. Naranaya, «Assessing SEM contour based OPC models quality using rigorous simulation,» chez *Proc. SPIE 9051, Advances in Patterning Materials and Processes XXXI, 90510A*, San Jose, California, United States, 2014.
- [55] F. Weisbuch, K. K. Koh et K. Jantzen, «Bringing SEM-contour based OPC to production,» chez *Proc. SPIE 9052, Optical Microlithography XXVII, 905224*, San Jose, California, United States, 2014.

- [56] F. Weisbuch, A. Lutich, J. Schatz, T. Hertzsch et H.-P. Moll, «Improving contact layer patterning using SEM contour based etch model,» chez *Proc. SPIE 10032, 32nd European Mask and Lithography Conference, 1003202*, Dresden, Germany, 2016.
- [57] D. Fuchimoto, T. Ishimoto, H. Shindo, H. Sugahara, Y. Toyoda, J. Mailfert et P. D. Bisschop, «Contour-based metrology for complex 2D shaped patterns printed by multiple-patterning process,» chez *Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90500V*, San Jose, California, United States, 2014.
- [58] S. Halder, J. Mailfert, P. Leray, D. Rio, Y.-H. Peng et B. Laenens, «Design-based metrology: Beyond CD/EPE metrics to evaluate,» chez *Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97780W*, San Jose, California, United States, 2016.
- [59] Y. Toyoda, H. Shindo, Y. Hojo et D. Fuchimoto, «SEM-Contour Shape Analysis Based on Circuit Structure for,» chez *Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502V*, San Jose, California, United States, 2014.
- [60] I. Santo, A. Higuchi, M. Anazawa et H. Bandoh, «Accurate contour extraction from mask SEM image,» chez *Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502M*, San Jose, California, United States, 2014.
- [61] C. M. Hu, F. Lo, E. Yang, T. H. Yang et K. C. Chen, «Design optimization of highly asymmetrical layouts by 2D contour metrology,» chez *Proc. SPIE 10585, Metrology, Inspection, and Process Control for Microlithography XXXII, 105852I*, San Jose, California, United States, 2018.
- [62] A. Szucs, Diminution of the lithographic process variability for advanced technology nodes, Université Grenoble Alpes, 2015.
- [63] J. Finders, «The impact of Mask 3D and Resist 3D effects in optical lithography,» chez *Proc. SPIE 9052, Optical Microlithography XXVII, 905205*, 2014.
- [64] A. Szucs, J. Planchot, V. Farys, E. Yesilada, L. Depre, S. Kapasi, C. Gourgon, M. Besacier, O. Mouraille et F. Driessen, «Advanced OPC Mask-3D and Resist-3D modeling,» chez *Proc. SPIE 9052, Optical Microlithography XXVII*, 2014.
- [65] P. Fanton, T. Hasan, A. Lakcher, B. Le-Gratiet, C. Prentice, J.-G. Simiz, R. L. Greca, L. Depre et S. Hunsche, «Advanced in-production hotspot prediction and monitoring with micro-topography,» chez *Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 101450X*, 2017.
- [66] P. Fanton, R. La Greca, V. Jain, C. Prentice, J.-G. Simiz, S. Hunsche, B. Le-Gratiet et L. Depre, «Process window optimizer for pattern based defect prediction on 28nm metal layer,» chez *Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97782O*, 2016.
- [67] M. Bigas, E. Cabruja, J. Forest et J. Salvi, «Review of CMOS image sensors,» *Microelectronics Journal*, vol. 37, n° 15, pp. 433-451, 2005.

- [68] S. Audran, Etude des propriétés et des mécanismes de mise en forme des résines photolithographiques pour une application capteurs d'images CMOS avancés, Université Louis Pasteur, 2007.
- [69] T. Chen, P. B. Catrysse, A. E. Gamal et B. A. Wandell, «How small should pixel size be?», chez *Proc. SPIE 3965, Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications*, San Jose, California, United States, 2000.
- [70] Z. D. Popovic, R. A. Sprague et G. A. N. Connell, «Technique for monolithic fabrication of microlens arrays,» *Applied Optics*, vol. 27, n° 17, pp. 1281-1284, 1988.
- [71] L. Schneider, «Etablissement de règles de dessin pour les niveaux VIA du noeud technologique 10 nm avec le procédé d'impression DSA,» Université Grenoble Alpes, 2018.
- [72] A. Lam, A. Ypma, M. Gatefait, D. Deckers, A. Koopman, R. v. Haren et J. Beltman, «Pattern recognition and data mining techniques to identify factors in wafer processing and control determining overlay error,» chez *Proc. SPIE 9424, Metrology, Inspection, and Process Control for Microlithography XXIX, 94241L*, San Jose, California, United States, 2015.
- [73] M. Giollo, A. Lam, D. Gkorou, X. L. Liu et R. v. Haren, «Machine learning for fab automated diagnostics,» chez *Proc. SPIE 10446, 33rd European Mask and Lithography Conference, 1044600*, Dresden, Germany, 2017.
- [74] C. Utzny, «Splendidly blended: a machine learning set up for CDU control,» chez *Proc. SPIE 10446, 33rd European Mask and Lithography Conference, 104460N*, Dresden, Germany, 2017.
- [75] A. Krizhevsky, I. Sutskever et G. E. Hinton, «ImageNet classification with deep convolutional neural networks,» chez *Proceedings of the 25th International Conference on Neural Information Processing Systems - Volume 1*, Lake Tahoe, Nevada, United States, 2012.
- [76] L. Perez et J. Wang, «The Effectiveness of Data Augmentation in Image Classification using Deep Learning,» arXiv:1712.04621, 2017.

Annexes

Translation of lithography variability into after etch performance: monitoring of a « golden hotspot », European Mask and Lithography Conference 2016, Dresden Germany

Robust 2D patterns process variability assessment using CD-SEM contour extraction offline metrology, SPIE Advanced Lithography 2017, San Jose, California, United States

Advanced in-production hotspot prediction and monitoring with micro-topography, SPIE Advanced Lithography 2017, San Jose, California, United States

Advanced metrology by offline SEM data processing, European Mask and Lithography Conference 2016, Dresden Germany

SEM contour based metrology for microlens process studies in CMOS image sensor technologies, SPIE Advanced Lithography 2018, San Jose, California, United States

Translation of lithography variability into after-etch performance: monitoring of “golden” hotspot.

Jo Finders^a, Ton Kiers^a, Bertrand Le Gratiet^b, Amine Lakcher^{b,c}

^a ASML, De Run 1110, 5503 LA Veldhoven, The Netherlands

^b STMicroelectronics, 850 rue Jean Monnet, 38926 Crolles Cedex, France

^c LTM CNRS, 17 avenue des Martyrs, 38054 Grenoble Cedex 9, France

INTRODUCTION

In the early phases of technology development, designers and process engineers have to converge toward efficient design rules. Their calculations are based on process assumptions and result in a design rule based on known process variability capabilities while taking into account enough margin to be safe not only for yield but especially for reliability. Unfortunately, even if designs tend to be regular, efficient design densities are still requiring aggressive configurations from which it is difficult to estimate dimension variabilities.

Indeed, for a process engineer it is rather straightforward to estimate or even measure simple one-dimensional features (arrays of Lines & Spaces at various CD and pitches), but it starts to be less obvious for complex multidimensional features. After a context description related to the process assumptions, we will outline the work flow which is under evaluation to enable robust metrology of 2 dimensional complex features.

Enabling new metrology possibilities reveals that process hotspots are showing complex behavior from lithography to etch pattern transfer.

In this work we studied the interaction of lithography variability and etching for a mature 28 nm CMOS process. To study this interaction we used a test feature that has been found very sensitive to lithography process variations. This so-called “golden” hotspot shows edge-to-edge geometries from 88nm to 150nm, thus comprising all the through pitch physics in the lithography pattern transfer [1, 2]. It consists of three trenches. From previous work it was known that through trench there is a systematic variation in best focus due to the Mask 3D effects. At a given chosen focus, there is a distinct difference in profiles for the three trenches that will lead to pattern displacement effects during the etch transfer.

PROCESS ASSUMPTION, NEED TO KNOW MORE ABOUT VARIABILITY

Process tools capabilities are really challenged by the need of aggressive design rules for competitiveness. Design rules used to be defined by “rules out”-rules, saying that everything which is not forbidden is by essence authorized. Since recent nodes and even more aggressively for the 28nm node, the need to run process assumptions is mandatory to accurately calculate design rules that are process capability aware. These calculations have to be made not only looking for yield failure criteria’s (say a short or open circuit situation) but mostly for reliability (dielectric breakdown,

electro migration, implantation shadowing ...), especially when the products are addressing markets like automotive where longevity of the product is required.

Process assumption is a contract between process, process integration and design. If we take a typical process assumption equation for a minimum distance between two layers A and B as an example [Eq.1] we'll find 3 main contributor families.

$$DR = Min_d + \frac{Bias_A}{2} + \frac{Bias_B}{2} + \frac{4}{3} \sqrt{\left(\frac{3\sigma_{CD_A}}{2}\right)^2 + \left(\frac{3\sigma_{CD_B}}{2}\right)^2 + (3\sigma_{OV_AB})^2} \quad \text{Eq.1}$$

The Design Rule (DR) is calculated as a function of:

1. A Criterion (Min_d) corresponding to a failure mechanism at the origin of the rule (e.g: a dielectric breakdown, a percentage of area coverage).
2. A process Bias ($Bias_A$, $Bias_B$) corresponding to the difference CAD versus Silicon, saying all effects leading to Silicon edge systematically not being placed where it is drawn. This comprises Bias CD, Bias table correction error, Stack effects, OPC edge placement error, Corner rounding and many others systematic process effects that will not be compensated.
3. A process variability estimation (3 sigma: $3\sigma_{CD}$, $3\sigma_{OV}$) corresponding to the CD uniformity performance, Line Edge Roughness, Overlay, CD slopes effects. From all process sources (Mask, lithography, etching, metrology, OPC)

In this kind of equation a 4/3 ratio is used to give enough margin thinking of ppm level of reliability criteria.

One of the many challenges in these discussions is the estimation of the real process variability of complex configurations like tip-to-tip, tip-to-line, area overlap and corner rounding. Most of the time it comes out of OPC metrology blocks fields that are characterized in terms of PV bands when varying dose and focus on a focus exposure matrix as an example. This is not really a proper estimation of process variability, this one being assessed out of in-line control charts from which a robust metrology is needed (and therefore most of the time 1D arrays). If we are able to give a global budget breakdown in term of lot to lot, wafer to wafer, intra wafer or intra field variations for 1D features, it is often pure extrapolations from OPC PV bands when looking at 2D features.

Enabling a new robust complex metrology of these curved shapes is a challenge and a breakthrough for process people who will have access to new information to assess and optimize their processes.

SEM CONTOUR EXTRACTION

CD-SEM images provide a wealth of information that is not easy to handle when it comes to in-line process control. In-line CD-SEM measurements have to be robust, repeatable because they will be linked to control loop systems. Too much noise on the measurement will lead to unstable loops. As a consequence, in-line metrology often relies on 1D array structures from which process capability

and set point can be monitored. There is a lot of valuable information that can be extracted from 2D features like tip to tip, tip to line, area, corner rounding and image placement. For some of these examples some measurements would be possible but the measurement boxes must be accurately placed and furthermore the measurement algorithms are somehow limited leading to non-robust and non-repeatable solutions. For others (like edge placement, line end) there is simply no reference visible on the image.

CDSEMs are providing high quality images from which contours can be extracted and pulled into GDS based tooling which are offering much more possibilities, one of which being the positioning of an image relative to its design GDS target [3]. Using CDSEM as a provider of high quality images and performing remote data treatment in another environment is a solution that is currently investigated by many actors in our industry [4, 5, 6, 7, 8] and this is also presented in this paper. The process flow is then as given in Figure 1.

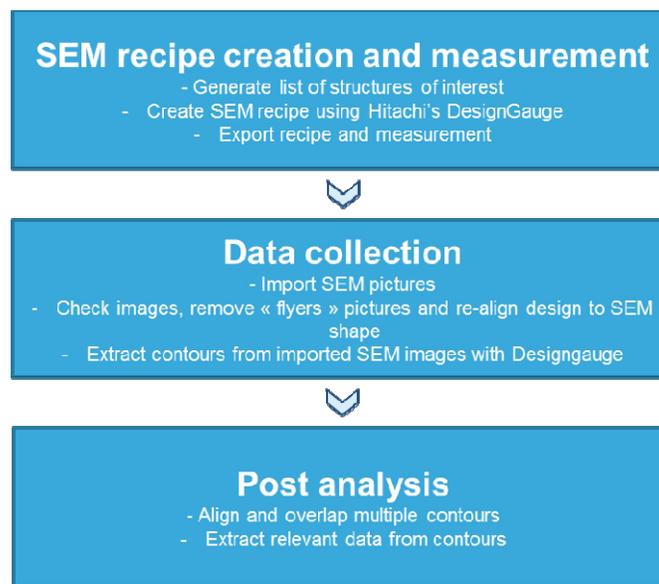


Figure1: Contour extraction flow

There are several key steps that need to be handled depending on the purpose of the measurements.

- When looking at process window estimation, with varying dose and focus, 2D patterns tend to quickly change shape due to their reduced process window. In this case contour extraction of a complex hotspot will lead to a broad spectrum of shapes that can be difficult to align together.
- When looking at process variability at process set point, one will want to analyze a high quantity of images in a short time frame. This is especially true, if the measurement results have to be fed back into the in-line production control environment.

- For both cases, when performing a measurement to a reference design there will be a need to align all the contours extracted from many images to a single reference, as well as performing some kind of contour averaging [4, 5, 7] which is not straightforward.

Extracting image contours using tools like in our case Designgauge gives access to a database of contours that will need further manipulation before undergoing metrology. The first one is the alignment of all the contours (of a same feature) to a reference. If not doing so, image alignment to the reference will generate some noise. Indeed, the way the SEM aligns a structure in an image has to be taken into account. The centering of the structure varies from an image to another. Even if the variation is small compared to the field of view, a few nanometer affects the precision needed for such metrology. The second one is the development of an offline measurement methodology to extract relevant information from the contour data that is generated. This can be done using the obtained contour GDS files.

This paper focuses on the study of a so-called golden hotspot at lithography and etch level. Post lithography and post etch contours are overlapped across process window and at best conditions. The strategy for contour alignment to a reference is shown in Figure 2.

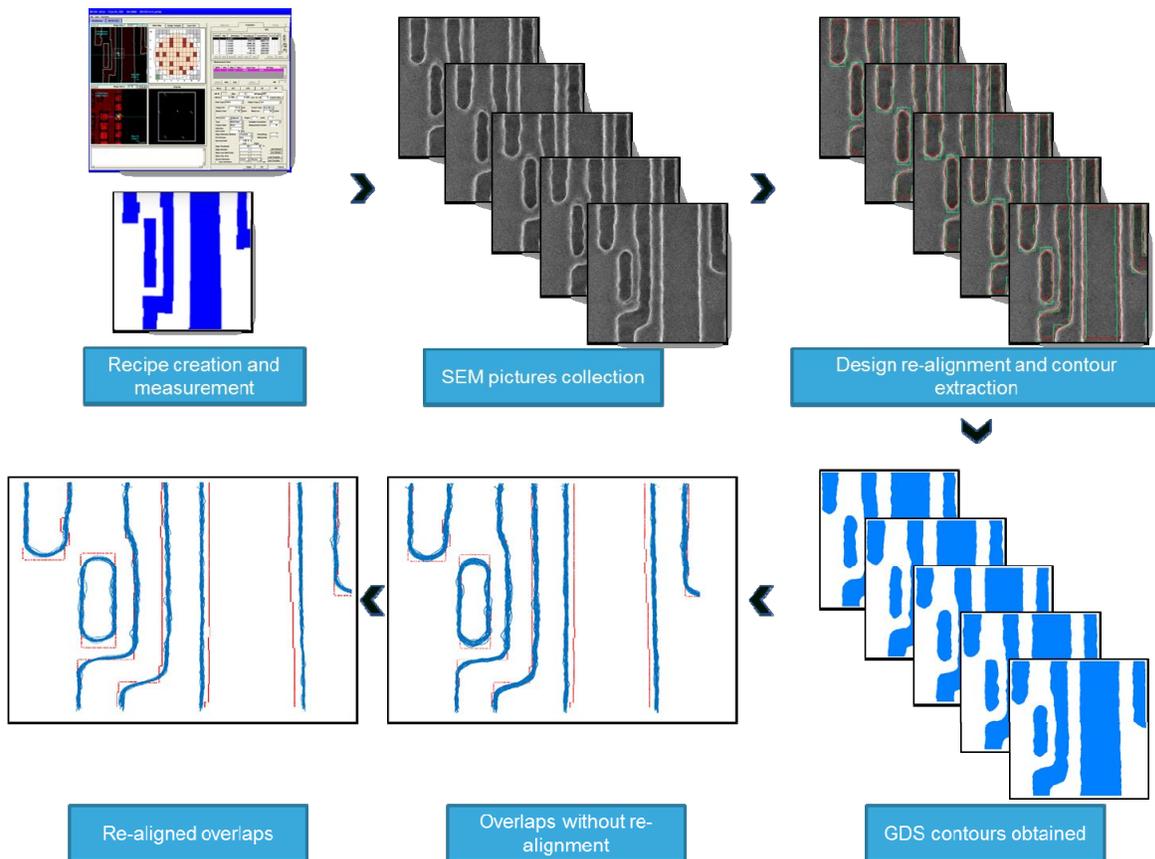


Figure 2: Contour alignment strategy. The overlaps are done with multiple contours extracted after wafer exposure at nominal conditions. The red shape corresponds to the mask structure. After re-alignment, the noise is reduced

The methodology shown in Figure 2 can be used to study litho to etch effects by comparing exposed wafers to etched wafers in order to measure etch bias.

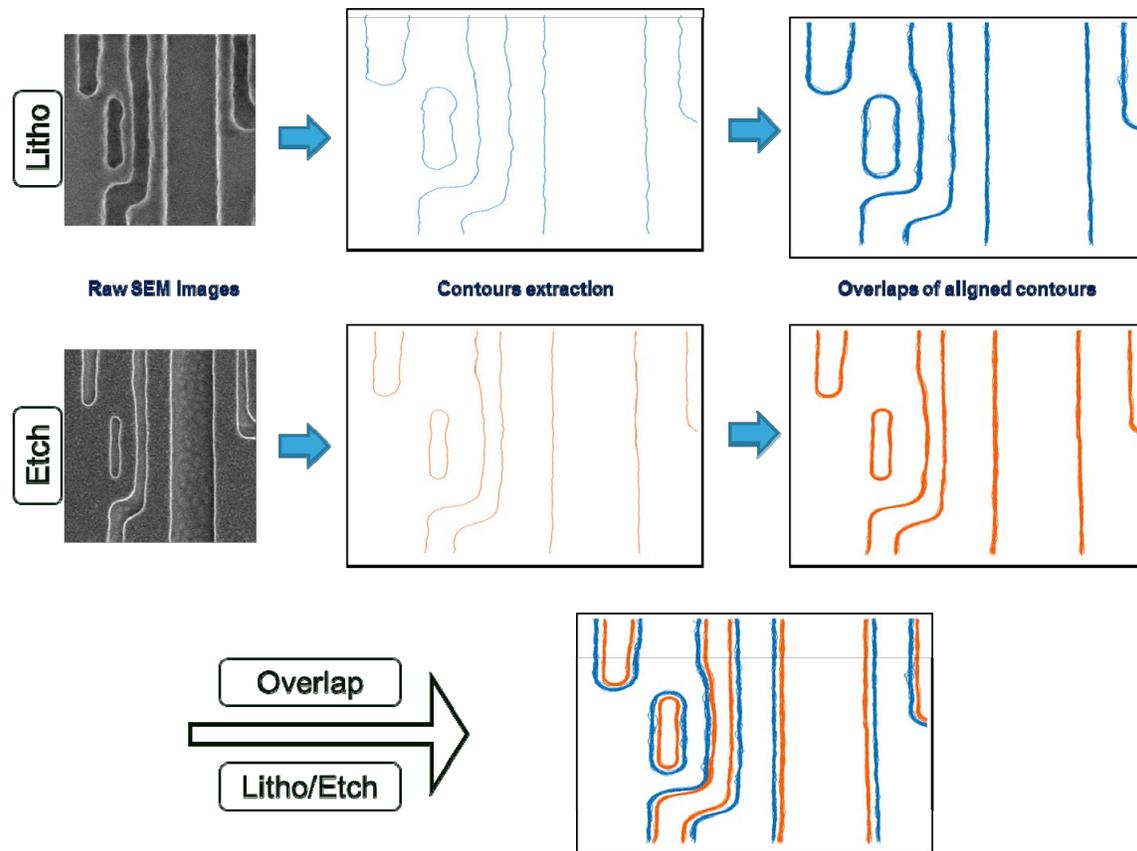


Figure 3: Litho to etch comparison methodology at nominal conditions

SEM CONTOUR METROLOGY

The experimental data set consists of 2 blocks:

- A 'Focus Exposure Matrix' (FEM) in which each field has been given a programmed focus and dose offset. This data is very handy to observe the response of the hot spot due to known focus and dose variations.
- A 'CDU' data set, in which all fields are exposed under the same nominal conditions. This data depicts the across wafer variation.

When comparing the ADI and AEI data, one needs to be aware of the fact that – in this case – not the very same wafer is used. Hence, subtle differences between the ADI and AEI data can be due to wafer to wafer differences.

After having the contours aligned it is a matter of choosing metrics and placing measurement boxes. In Figure 4 an example with possibilities is shown. Some measurements can be done by the CD SEM, but more complex ones are better done offline, since there it is easier to identify and treat possible outliers. In an exploratory phase the litho and etch engineer need to work together to determine the key performance indicators.

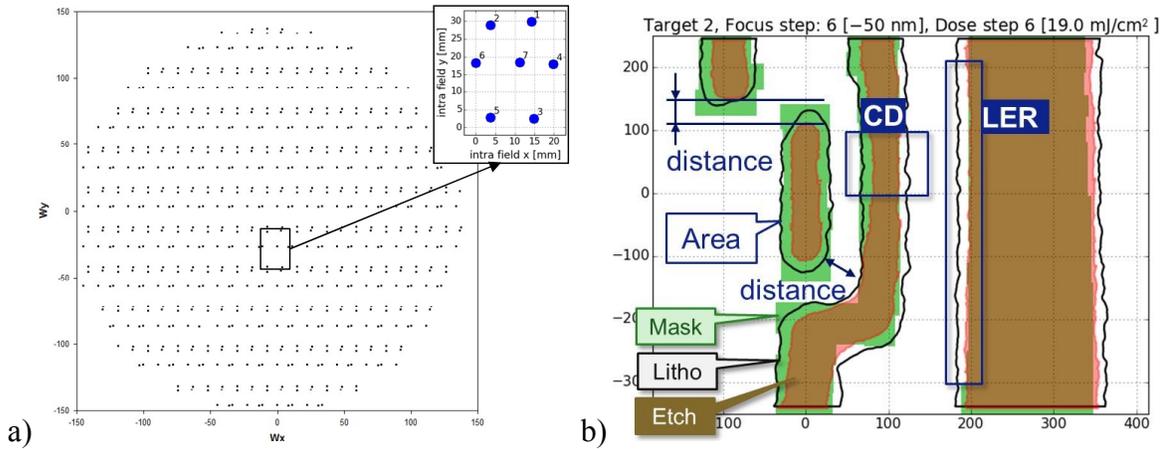


Figure 4: a) Wafer sampling, full map & 7 positions in Field b) Extracted profiles and examples of possible metrics and measurement boxes on aligned patterns (mask, after litho and after etch).

Example 1: a simple Bossung; CD as a function of focus and dose

Using the line width of the small vertical trench – as indicated in figure 5 – for each of the 7 locations in the field a Bossung is measured (cf. figure 6). The Bossung curves look as expected. The noise in the ‘after litho’ data is larger than in the ‘after etch’ data: largely due to the ‘line edge roughness’. The contrast in the SEM images on the resist patterns is rather low which leads to large changes in the edge position with small differences in grey scale.

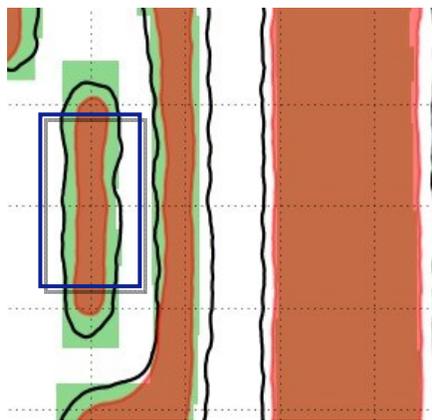


Figure 5: Vertical trench on which CD is measured

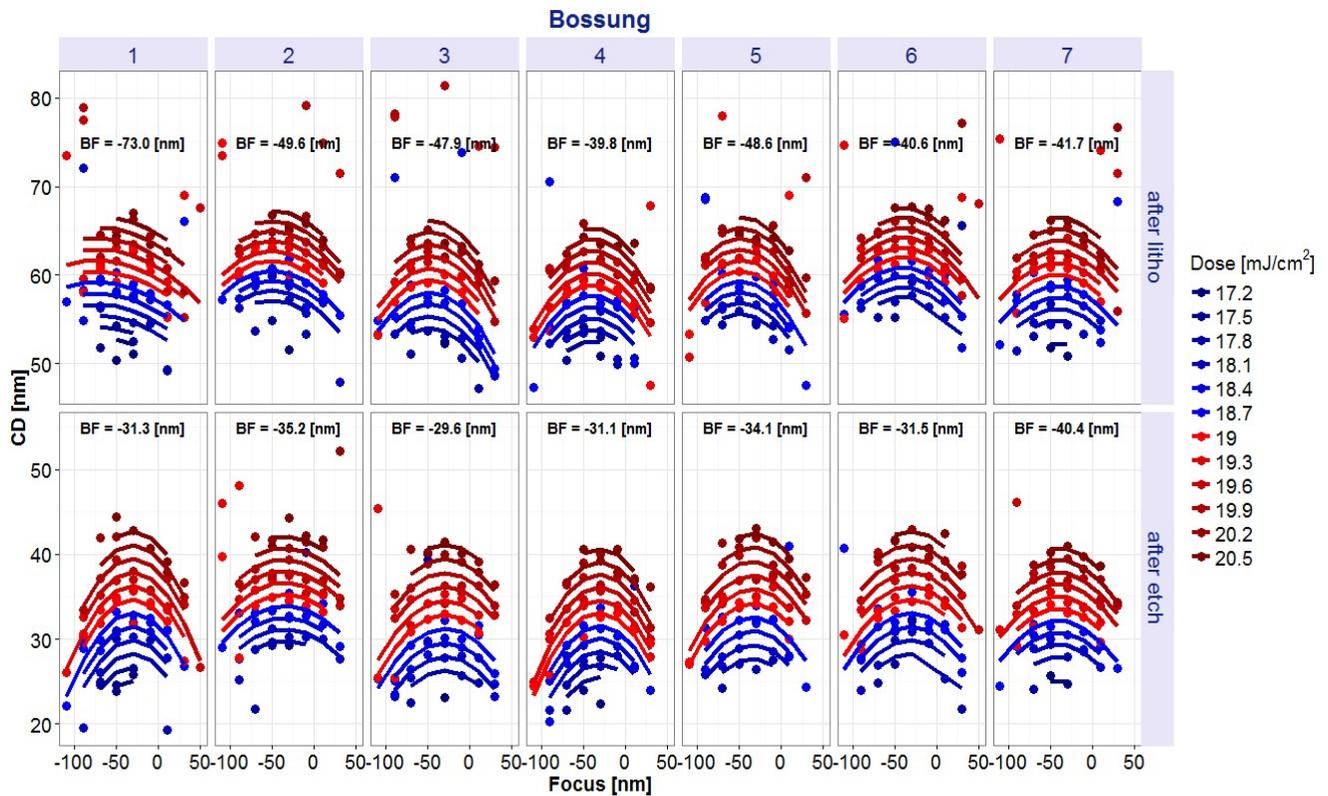


Figure 6: CD as a function of focus and dose for different intra field locations and processing steps: ADI and AEI

To counter the noise in the Bossung a simple model was applied in combination with a robust fitting algorithm (weighted least squares).

$$CD = a_{00} + a_{10} \cdot F + a_{20} \cdot F^2 + a_{01} \cdot D \quad \text{Eq.2}$$

The position of the Bossung top after etch is on average (over the 7 intra field locations) -33 nm which is close to the designed value of -30 nm. The positions of the Bossung tops after litho is -45 nm (even when ignoring the Bossung at intra field location 1, which suffers so much from missing points and noise, that the whole curve changed), indicating that the etching process has a different impact on the left side of the pattern and the right side of the pattern.

Example 2: Distance between two patterns as a function of focus and dose

Apart from measuring the line width of a pattern, it is also possible to measure the distance between two patterns. An example is given in Figure 7. A measurement box was placed over the lines and the edge locations of the two patterns under consideration were calculated. Going through focus and dose in a FEM causes the line to shrink: not only in width but also in length. Unlike a CD SEM with fixed measurement box height, using the contours it is possible to dynamically adjust the box height in such a way that line ends are never included.

The distances after litho show a “Bossung” type behavior, but the noise is relatively high. Extracting a ‘best focus’ out of these Bossungs won’t yield meaningful results. The results after etch show a lot less noise and a more clear Bossung behavior. The dependency of these distances of mainly focus implies the presence of a pattern placement error.

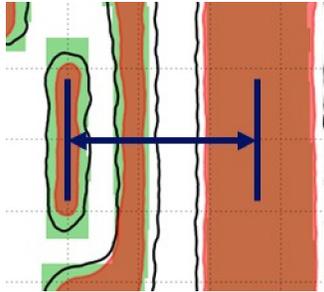


Figure 7: Distance between two patterns

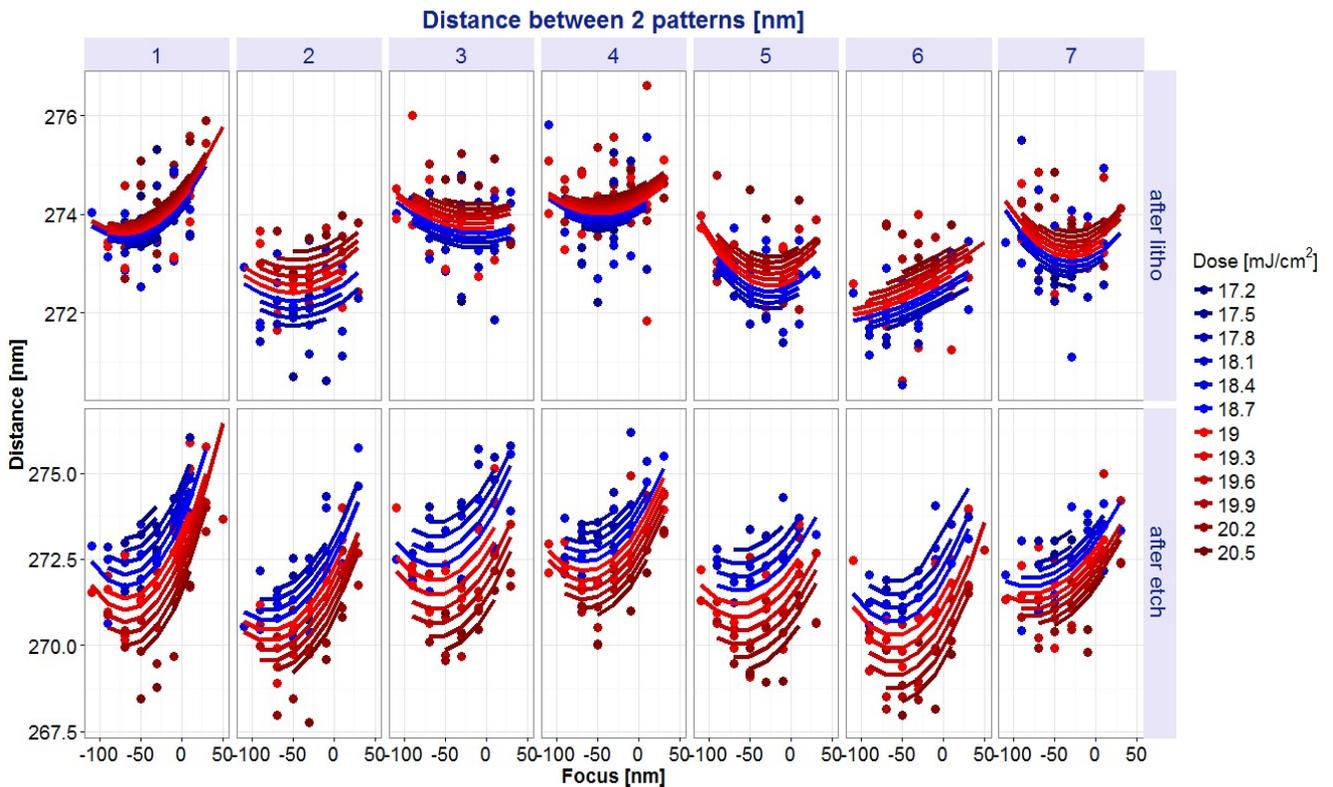


Figure 8: Distance between patterns as a function of focus and dose

Example 3: Pattern placement

Let T1, T2 and T3 be the three patterns as shown in Figure 9. As in the previous example, it is possible to measure the distance between T1 and T2, T2 and T3 and T1 and T3 as a function of focus (cf Figure 10). The after litho data was averaged over the 7 different intra field locations and shows little variation in distance between the patterns as a function of focus. On average, an effect of

less than 1 nm is observed when going 30 nm out of focus. The response after etch is much bigger: a pattern shift of 2 nm is observed for all the locations in the field (making this less likely to be a random event). Compared to ever tightening overlay budgets this is a rather big effect.

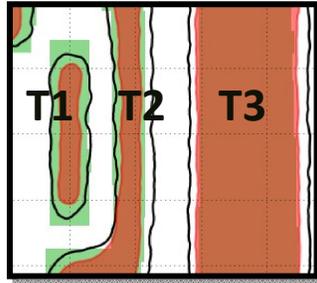


Figure 9: Pattern labeling

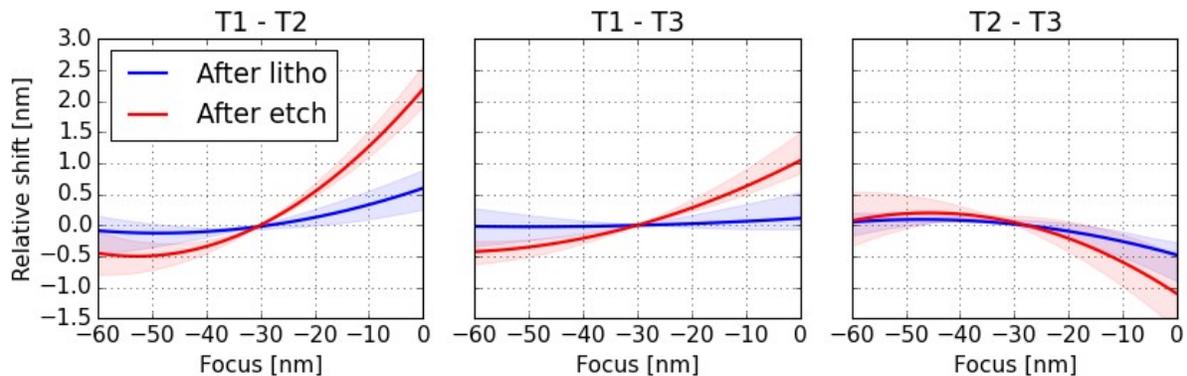


Figure 10: Relative pattern shift (averaged over all intra field locations) as a function of focus
The pale filled contours indicate the minimum and maximum values over the intra field locations.

The root cause of this effect is assumed to be related to side wall (SWA) angle differences through focus. The CD may be constant, but the response to etch may be SWA dependent causing an effective pattern shift.

PATTERN PLACEMENT SHIFTING: STUDYING THE TRANSFER FROM LITHOGRAPHY TO ETCH

The observed displacement of the three individual trenches (as shown in Figure 10) which is enhanced after etch gave rise to the questions: which mechanisms are driving this?

Previous work [9] has shown that the three trenches of the hotspot have different profiles. The mask topography leads to enhanced Mask 3D effects which lead to different profile per feature and even per edge.

Figure 11a shows simulated cross-sections of the resist profile for the three printed trenches at different focus setting during exposure. For the left trench straight resist profiles are expected at

focus setting of 45nm, for the right trench the best profile is observed at -75nm. To illustrate the differences per edge, resist cross-section contours for the 9 focus are overlaid in Figure 11b.

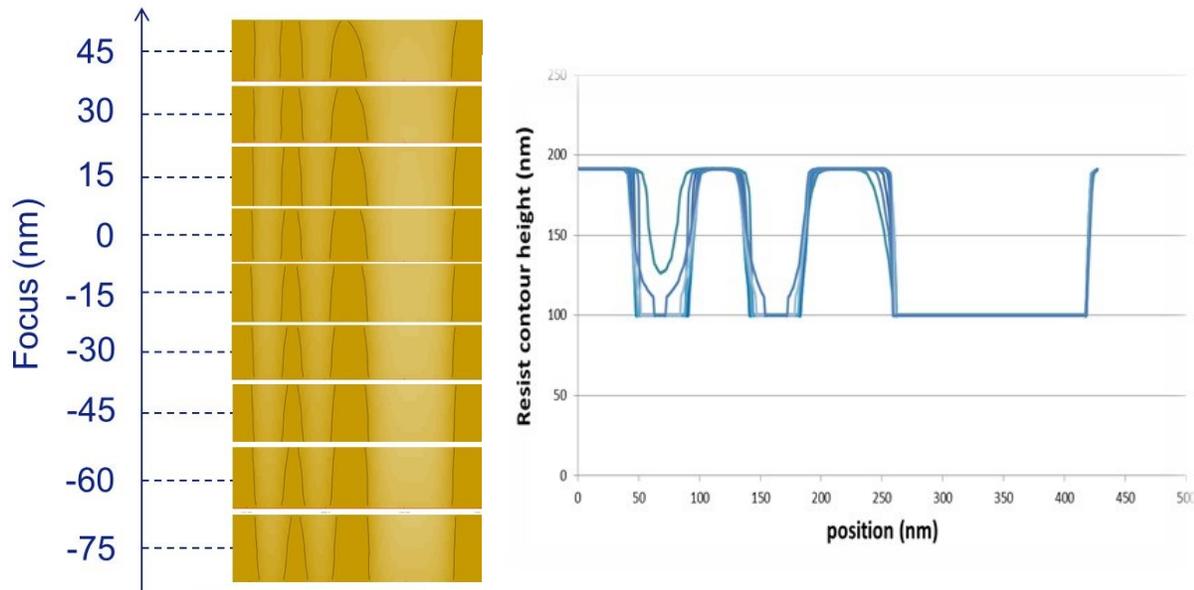


Figure 11: simulated resist cross-sections through focus

Strong differences are observed per edge. The right edge of trench 3 shows almost no variation through focus, whereas the left edge has the largest variation in SWA at all. For the two smaller trenches the sidewall changes through focus but in a similar way, for left and right edge.

To study the pattern transfer we use Coventor™ software to simulate the etch procedure. The following procedure was followed:

- For a given focus level the resist profile (as illustrated in Figure 11) is created by Hyperlith™ lithography simulation package.
- The developed resist profile is then imported into the Coventor™ software.
- The stack used for the pattern transfer consists of 90nm resist on top of a thin TiN layer.
- The etch process is mimicked in the simulation and different etch parameters are exploited. So far we probed both a “straight etch” and a “visibility etch”. In the “straight” etch all the charged particles propagate perpendicular to the stack surface. In the visibility etch there is an angular spread of the charged particles
- Metrology of placement is performed at the foot of the etched TiN layer and position of the individual edges and trench position and CD can be derived.

Figure 12 shows the simulated results for the relative trench displacement when applying a straight etch. The correlation with the experimentally obtained data (see Figure 10) is rather poor, both in magnitude and through focus behavior.

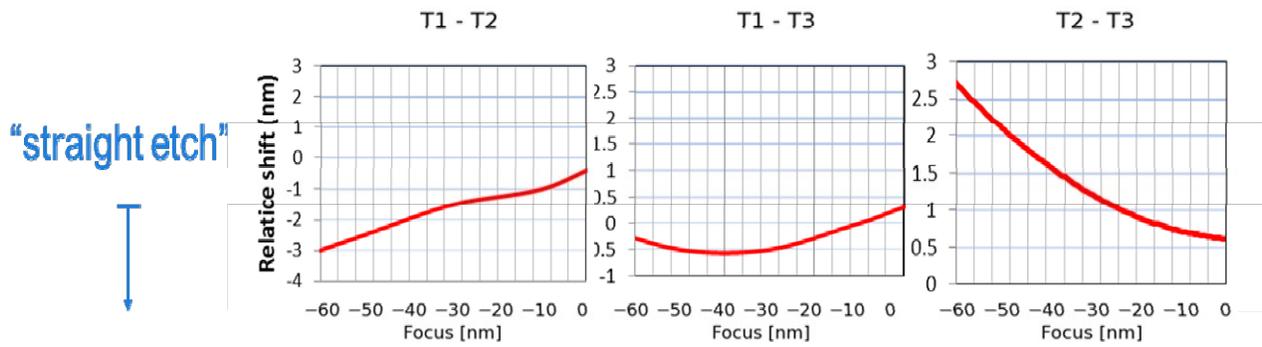


Figure 12: simulated relative displacement of the three edges after performing a straight etch into the TiN layer.

For comparison, the results of the displacement of the three trenches when applying a visibility etch is shown in Figure 13. When changing the etch properties the relative displacements changes significantly per feature. Table 1 summarizes this intermediate result of observed relative pattern shift. Further work is ongoing to optimize etch parameters to better describe the experimental curves.

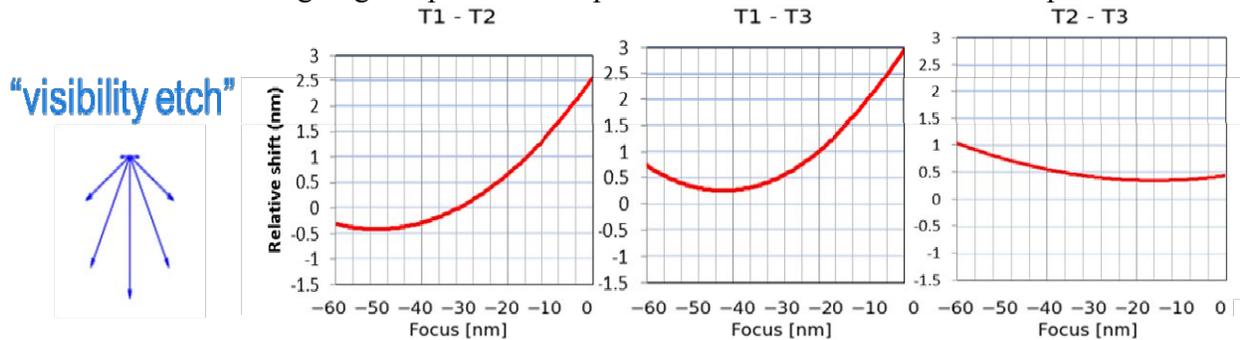


Figure 13: simulated relative displacement of the three trenches after performing a “visibility” etch into the TiN layer.

	After litho: experiment	After etch: experiment	After etch: straight	After etch visibility
T1-T2	0.7	2.8	2.5	3
T1-T3	0.2	1.4	0.8	2.6
T2-T3	0.6	1.3	2	0.7

Table 1: magnitude of relative shifts (nm range) after litho and after etch

GOLDEN HOTSPOT VARIABILITY ANALYSIS

As mentioned in the first chapter of this paper, performing off-line metrology on CDSEM contour allows process engineers to have access to some aspects of process variability that are not easy to collect. In this paper we have setup a set of metrology enabling the measurement on wafers at best conditions (post Lithography and Etch) of individual CD’s, relative positioning of the 3 main

components of the Hotspot as well as LER based on extracted contour of about 700 images per wafers.

Results obtains are promising in term of variability observation at the scale of a complex feature which has a very different shape compared to the in-line process control feature (1D).

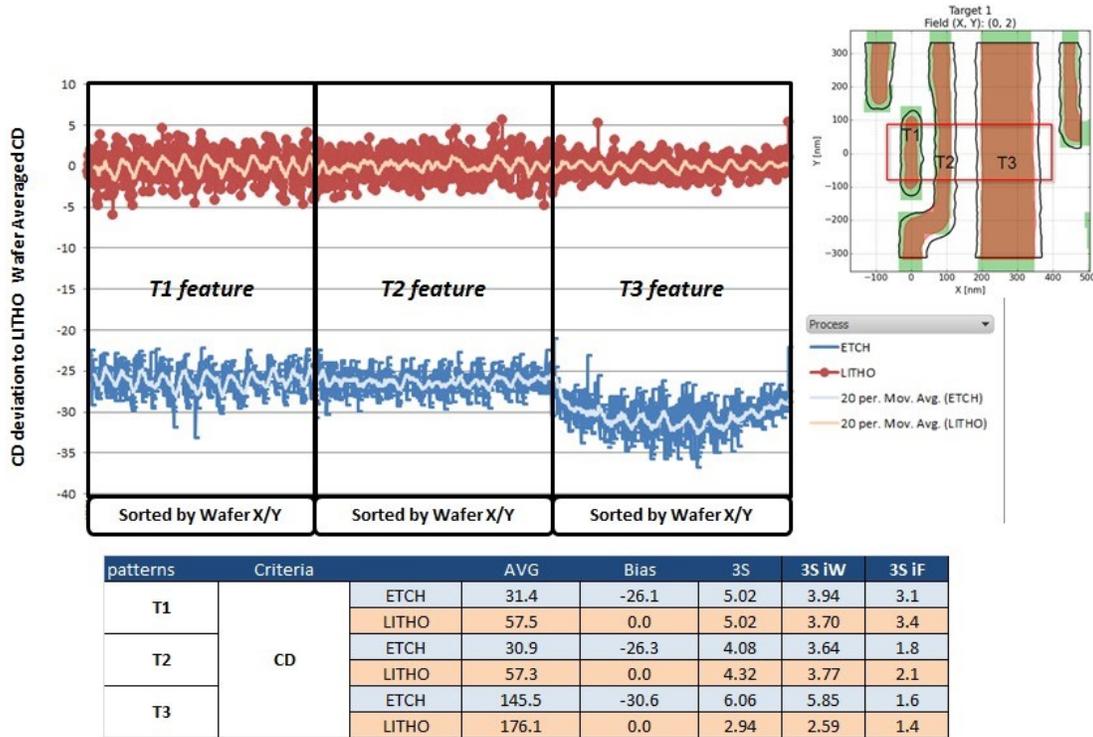


Figure 14: Relative CD distributions and Bias to LITHO (for Etch data) within the Hotspot and CD breakdown

Figure 14 shows a first rather simple observation. CD uniformities of the smallest features (T1 & T2) are smaller than T3 after lithography but post etching the trend is different with an observable intra wafer fingerprint for T3 etch bias (U shape in CD profile). Etch bias of T3 is clearly different. Second observable point is the tiny modulation that can be seen which is correlated to an intra field fingerprint which can be largely related to a known mask contribution. Indeed across a wafer several similar hotspots are measured within one field.

Considering the intra field fingerprint it is often asked whether the fingerprint remains constant between Lithography and Etch process. Figure 15 shows the observed correlation of the intra field fingerprint post lithography and etching (note that the bias difference has been removed from T3 to only highlight intra field fingerprint). From the correlation plot it can be concluded that the intra field signatures are purely Lithography driven for this test case.

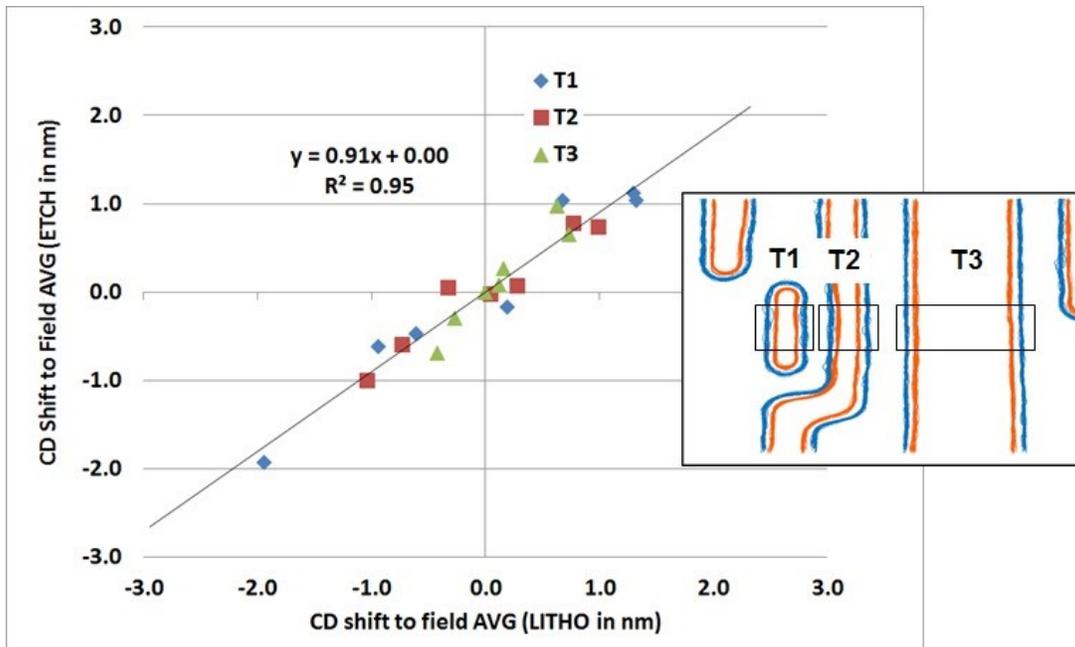


Figure 15: Intafield CD fingerprint correlation between lithography and etching process for trenches CD's within this hotspot

Line Edge roughness can also be monitored revealing in number what is observable on overlapped contours. LER observations are very interesting because they can also be linked to resist side wall angle changes where image quality gets degraded. As such we see much higher LER for T1 and T2 compared to T3. It is also very interesting to see that post etch process LER values are significantly reduced and get more uniform across features

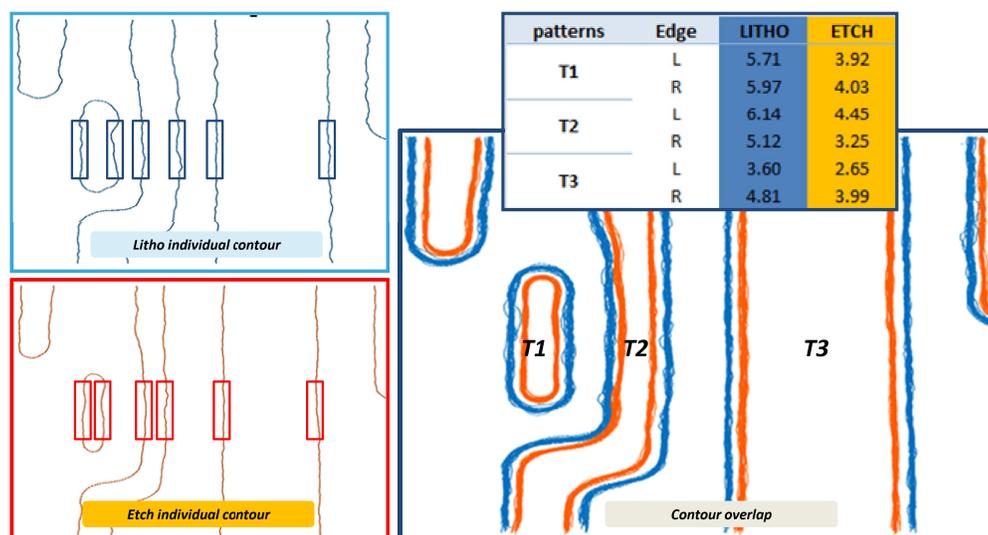


Figure 16: Within Hotspot Line Edge roughness extraction, compared between lithography and etch.

Finally, an observation more specific for this paper, a measurement of the relative shift distance between T1/T2/T3 can also be analyzed at best conditions.

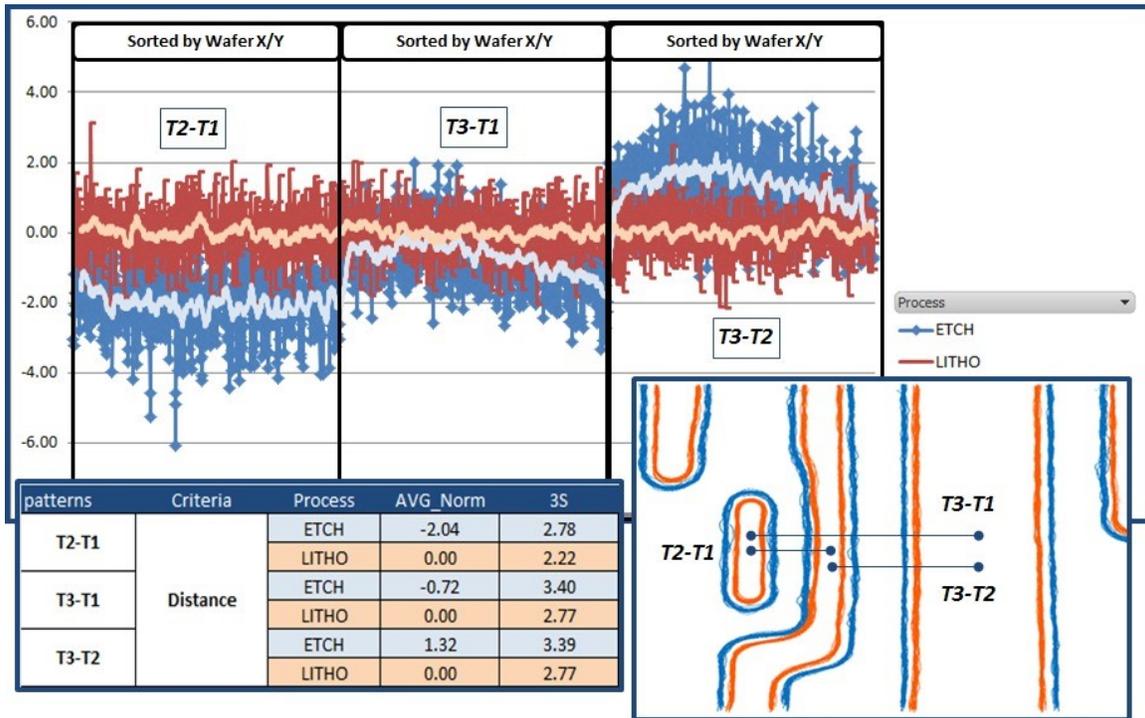


Figure 17: Within Hotspot trench relative position after lithography (reference set to 0) and after Etch.

From these measurements it can clearly be seen that the T2 trench moves toward the T1 trench and away from the T3 trench. T1 versus T3 is also changing. The amplitude of the phenomenon is about 2nm on average with some significant variability across wafer. This effect seems to be correlated with edge roughness. The shift seems to mainly occur between T2 and T1 where 2 edges are facing with a maximum LER. The hypothesis is that LER would be correlated to lower contrast images then higher resist sidewall angle and as a consequence different local edge position etch biases. An unbalancing of edges etch biases would lead to position shifting.

CONCLUSION

The methodology presented in this paper offers a lot of possibilities to engineers to better use CDSEM images. Once CDSEM image contours are stored in a database many kind of measurements can be performed retrospectively. In this work we focused essentially on:

- Basic variability observations (CD, LER) which can be done using CDSEM the usual way but requires more complex recipes to be set and measurement time and often a lot of measurements fail on complex shapes.

- New possibilities like the one presented regarding pattern placement / shifting between two process steps. Combining this with simulation tools also enables new ways to characterize these mechanisms that are very difficult to capture otherwise.
- The intra field fingerprint as found after development, is largely (for about 90%) transferred to etch, in spite of the SWA differences after litho.
- After etch, due to SWA differences, patterns can shift a few nm leading to edge placement errors that exceeds OV improvements

In any case contour “off-line” metrology is a key enabler for proper process characterization to feed process assumption calculations or assessments since it very often addresses design rules referring to features that are not the ones that are monitored quantitatively in line.

BIBLIOGRAPHY

- [1] A. Szucs et al., “Advanced OPC Mask-3D and Resist-3D modeling”, Proc. SPIE. 9052 Optical Microlithography XXVII, 905208. (March 31, 2014)
- [2] J. Finders et al., “Mask 3D induced Phase and the mitigation by absorber optimization”. Proc. SPIE. 9426, Optical Microlithography XXVIII, 942605. (March 18, 2015)
- [3] S. Koshihara et al., “Challenge to New Metrology World by CD-SEM and Design,” Hitachi Review 57, pp. 123–126 (Jun. 2008)
- [4] F. Weisbuch, A. S. Naranaya, “Assessing SEM contour based OPC models quality using rigorous simulation”, Proc. SPIE 9051, Advances in Patterning Materials and Processes XXXI, 90510A (March 27, 2014)
- [5] F. Weisbuch, K. K. Koh, K. Jantzen, “Bringing SEM contour based OPC to production”, Proc. SPIE 9052, Optical Microlithography XXVII, 905224 (March 31, 2014)
- [6] Y. Toyoda et al, “SEM-Contour shape analysis based on circuit structure for advanced systematic defect inspection”, Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502V (2 April 2014)
- [7] F. Weisbuch, A. Omran, K. Jantzen, “Calibrating etch model with SEM contours”, Proc. SPIE 9426, Optical Microlithography XXVIII, 94261T (March 18, 2015)
- [8] S. Halder et al, “Design-based metrology: Beyond CD/EPE metrics to evaluate printability performance”, Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97780W (March 25, 2016)
- [9] Jo Finders, “the impact of Mask 3D and Resist 3D effects in optical lithography”. Proc. SPIE. 9052, Optical Microlithography XXVII, 905205

Robust 2D patterns process variability assessment using CD-SEM contour extraction offline metrology

Amine Lakcher ^{a,e}, Bertrand Le-Gratiet ^a, Julien Ducoté ^a, Pierre Fanton ^a,
Ton Kiers ^b, Jan-Willem Gemmink ^b, Stefan Hunsche ^c,
Christopher Prentice ^d, Maxime Besacier ^e

^a STMicroelectronics, 850 rue Jean Monnet, 38926 Crolles Cedex, France

^b ASML, De Run 6501, 5504 DR Veldhoven, The Netherlands

^c ASML US, 399 W Trimble Rd, San Jose, CA 95131, United States

^d ASML SARL, 459 Chemin des Fontaines, 38190 Bernin, France

^e Université Grenoble Alpes, LTM-CNRS, 38042 Grenoble, France

ABSTRACT

Today's CD-SEM metrology is challenged when it comes to measuring complex features found in patterning hotspots (like tip to tip, tip to side, necking and bridging). Metrology analysis tools allow us to extract SEM contours of a feature and convert them into a GDS format from which dimensional data can be extracted. While the CD-SEM is being used to take images, the actual measurement and the choice of what needs to be measured is done offline. Most of the time this method is used for OPC model creation but barely for process variability analysis at nominal process conditions. We showed in a previous paper [1] that it is possible to study lithography to etch transfer behavior of a hotspot using SEM contours. The goal of the current paper is to go extend this methodology to quantify process variability of 2D features using a new tooling to measure contour data.

Keywords: CD-SEM contours extraction, metrology, process variability, hotspot, photolithography, etc.

1. INTRODUCTION

In advanced cores and derivative technology nodes more aggressive design rules are required leading to complex designed features. These features bring more challenges to chip manufacturing processes, in particular to lithography and etching steps and as a consequence design layouts are more and more constrained by process variability capabilities. To improve and optimize design rules, designers rely on process assumptions based on engineers' knowledge of their processes. These process assumptions must be fed with information from more complex structures: corner rounding, tip to tip, tip to line, line end shortening, pattern distortion, etc.

Metrology must be a link between designers and process engineers. A robust metrology for complex patterns would allow process engineers to evaluate the variability on more representative features and then supply designers with more accurate process assumptions. These process assumptions will then result in relevant design rules that will help designers to propose layouts based on actual process variability and thus improve the whole manufacturing process.

Currently, process variability is mostly addressed through the analysis of in-line monitoring features which are often designed to support robust measurements and as a consequence are not always very representative of critical design rules. In parallel, the process window of the whole design is assessed using Focus Exposure Matrix (FEM) wafers and/or Process Window Qualification (PWQ) that are measured on some features, characterized in defectivity and brought to yield measurements. FEM and PWQ do not provide variability information, but only confirmation of a dose and focus set point along with a dose and focus range. The dose and focus range is associated with a CD range of a reference feature that will be used to set in-line specifications to monitor and secure the process using standard Statistical Process Control (SPC) indicators.

The main metrology technique used in IC manufacturing for CD control is CD-SEM. It is typically used to measure regular and periodic features because these are highly robust (with respect to imaging / patterning and metrology) which is required for process control [2]. A lack of metrology robustness may trigger false out of specification flags leading to inappropriate tool or lot holding. Figure 1 shows an example of CD-SEM measurement types used for control loops at 28 nm resolution node. The CD value of the trenches is used for process control loops.

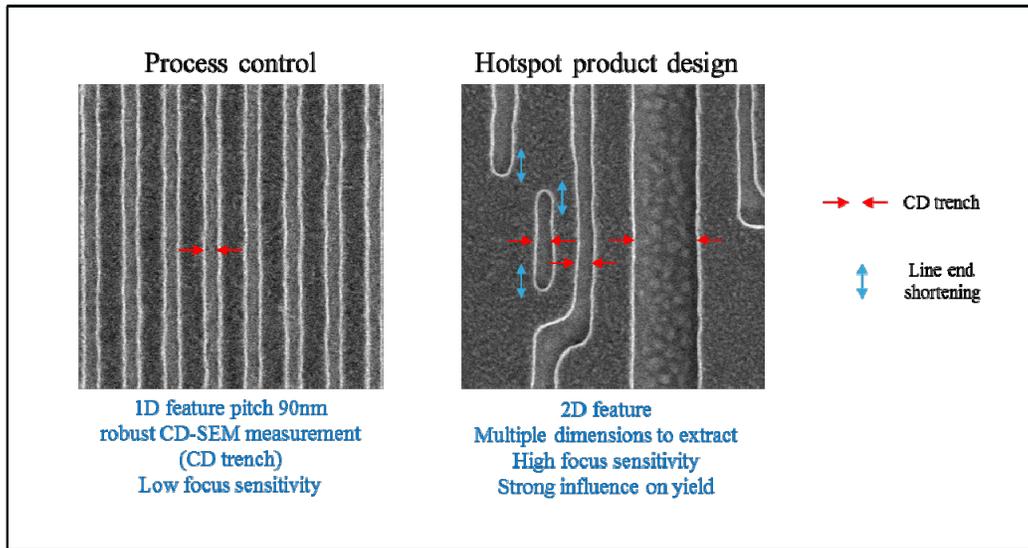


Figure 1: Process control shape vs hotspot from product design [1] (CMOS28, after etch hardmask)
CD complexity of the product increases due to higher dimension

CD-SEM metrology has demonstrated its usefulness with regular and periodic patterns for many years. To eventually replace process monitoring patterns with representative (i.e complex layout) features, we have to prove that CD-SEM can robustly and reliably measure these types of features. Currently, when setting a measurement of a complex and unique feature, multiple questions come to mind like what needs to be measured and where measurement boxes and templates need to be placed. As a consequence, recipe creation can be time consuming but this can be reduced using design based recipe creation. Nevertheless, if after a wafer has been measured another metric is needed or if failure rate was too high, the recipe must be updated and wafers run again. This is time consuming and sometimes not possible anymore since wafers might have progressed to the next process step.

For in-line control, CD-SEM pictures are stored and often kept for further analysis of measurement issues or SPC failures. In fact, a SEM pictures contains a lot of information which is barely used for wafer fab process control. This is why this work focuses on using image contours combined with off-line analysis for variability studies and monitoring.

2. CONTOUR EXTRACTION

Today's metrology analysis tools, like Hitachi's "DesignGauge" [3], allow us to extract SEM contours of a feature and convert them into a GDS file from which dimensional data can be extracted anytime without the need for new measurements on the wafer. Contours offer a global view of the shape and many opportunities in terms of CD analysis. The CD-SEM is used as a tool that provides SEM images with high quality. Contour extraction can be done by analysis tools like Hitachi's "DesignGauge" [3]. This program converts contours into a GDS file from which dimensional data can be extracted anytime without the need for new measurements on the wafer. The choice of what needs to be measured and the actual measurement is done offline. Using this methodology one can generate a relevant metrology database that can

be used by engineers of different organizations: design, process metrology and OPC. This methodology has already been investigated in previous literature [1, 4, 5, 6, 7, 8, 9, 10].

The CD-SEM recipe creation time itself can be minimized if the recipe is made using the corresponding reticle GDS. Also, the GDS template will be used afterwards by the SEM for pattern recognition.

This methodology can be applied at various process steps: from post lithography development to post CMP. See for example Figure 2 showing the results on a 2D feature at three different processing steps.

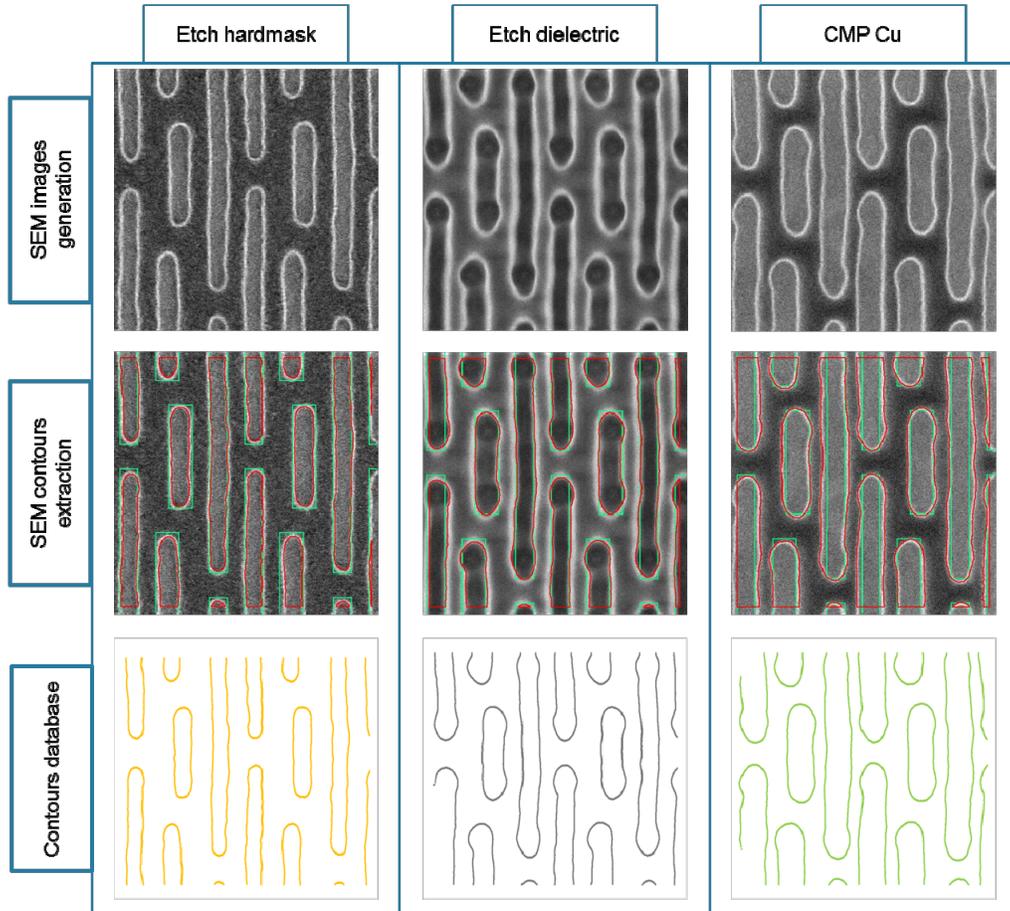


Figure 2: SEM contours extraction of a 2D feature after three different process steps: etch hardmask, etch dielectric and copper CMP, Metal two 28 nm FD-SOI, Contours extracted using “Design gauge” design based software. SEM images: 200k mag, 800V acceleration voltage

3. CONTOURS PROCESSING FLOW

As described previously, contour extraction gives access to a large database from which one can extract valuable information for patterning improvement. For this reason, one needs to be able to process contour data in order to get relevant metrics. Figure 3 gives the five main steps of the methodology used in this work.

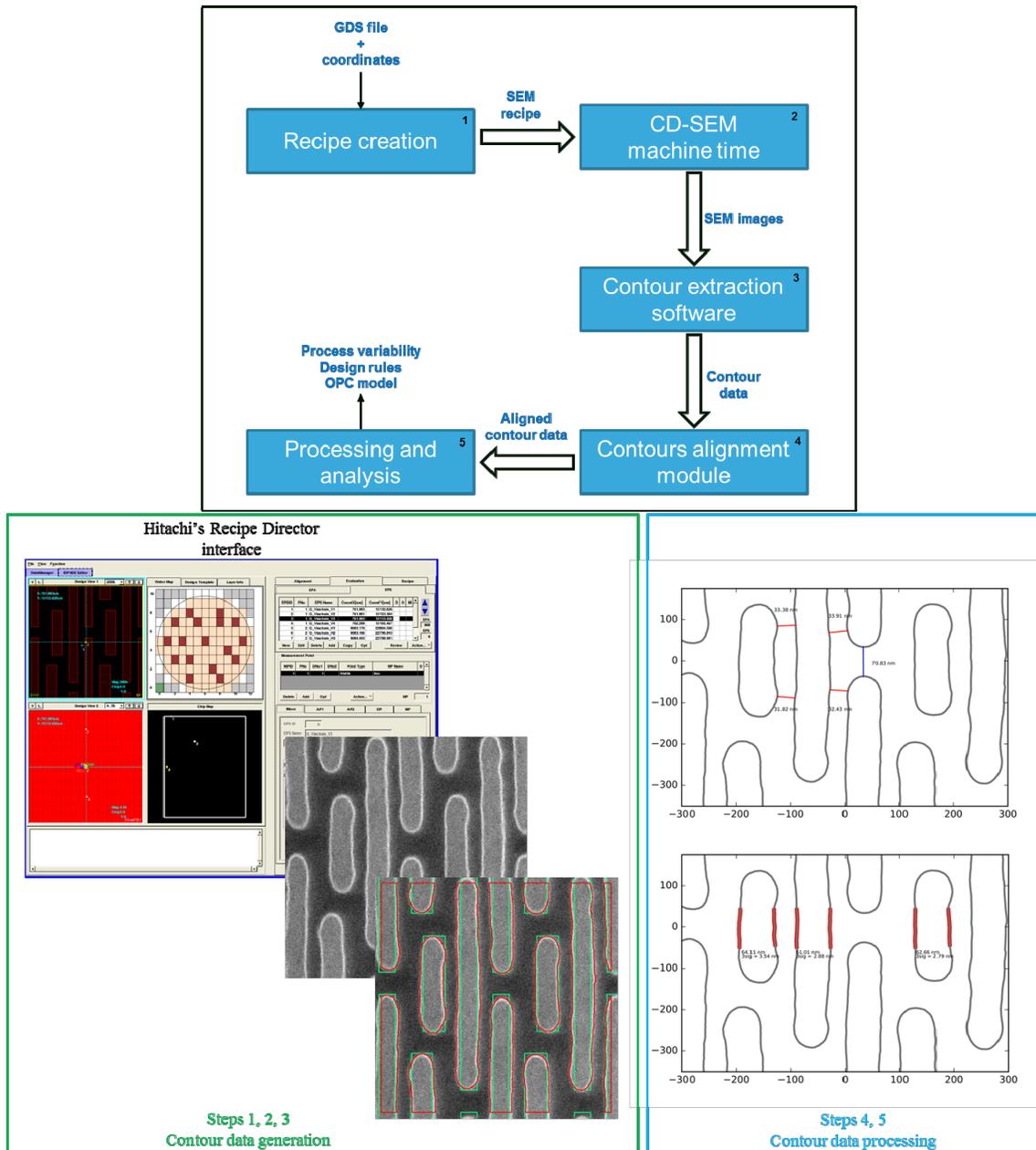


Figure 3: five main steps used for contours processing methodology

At step 1 a CD-SEM recipe is created with Recipe Director [3] based on a GDS file and coordinates of the shapes to analyze. This SEM recipe is then exported to the measurement tool where it can be run in order to take all required pictures (step 2). At step 3 these images are imported into “DesignGauge” where contour extraction can be performed [3]. At the end of step 3 a set of contour data is ready for processing. When capturing a set of CD-SEM images, patterns in the image will be at slightly different locations due to stage and pattern recognition variations, called image placement. This placement noise will influence the coordinate system of extracted contours and create a shift from one contour to another. Extracted contour data must be aligned before further analysis (step 4) to compensate image placement error and to make comparisons between contours relevant. Thus a robust alignment algorithm is needed to bring each contour to a new coordinate system that will be used for further analysis in step 5.

There are different alignment methodologies that can be used. The main one is the ‘Center of gravity alignment’ (C.o.G) which uses the C.o.G of one or more shapes as a reference to center the contours. This method gives fast and acceptable results on symmetrical 2D patterns but is less trivial on asymmetrical cases like some patterning hotspots. Indeed some phenomenon like line end shortening can cause a significant shift of C.o.G from one contour to another leading to undesired results in the aligned contours.

Contour alignment for symmetrical 2D patterns

To illustrate the methodology, the structure from Figure 2 is used as an example. The feature shown is used for reliability tests for back end 28FD-SOI. Hundreds of SEM pictures were taken at nominal conditions on a post copper CMP wafer. Figure 4 gives the strategy for contour alignment based on the C.o.G. of the two small via chains resulting in a substantial noise reduction when stacking the contours.

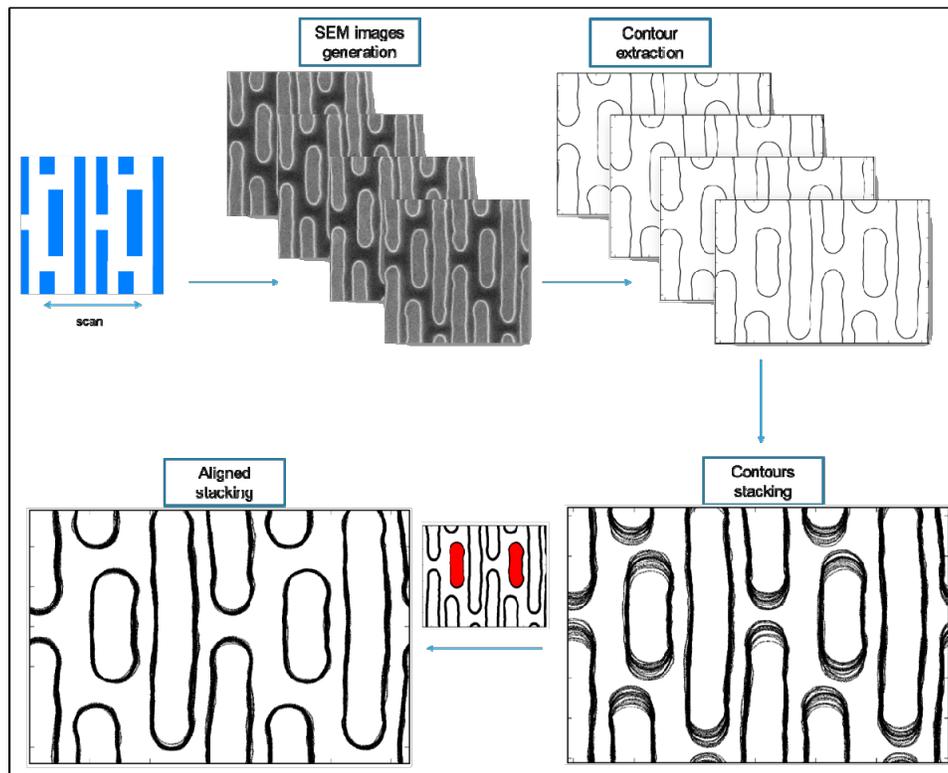


Figure 4: Alignment methodology using C.o.G of the two via chains in red. 20 contours stacked Post CMP Cu 28FD-SOI Nominal conditions. SEM images: 200k mag, 800V acceleration voltage

The feature can be present on the wafer with two different orientations. To make post processing easier one may bring them all to the same orientation (while keeping track of the original orientation). This is also a possibility when using the alignment module. As always, each contour is given an ID that will contain information like coordinates, process step and actual orientation on wafer. The result of the alignment can be seen in Figure 5 where two pattern orientations are monitored (Note that CD-SEM scan direction is being adapted for each orientation to optimize edge detection performance)

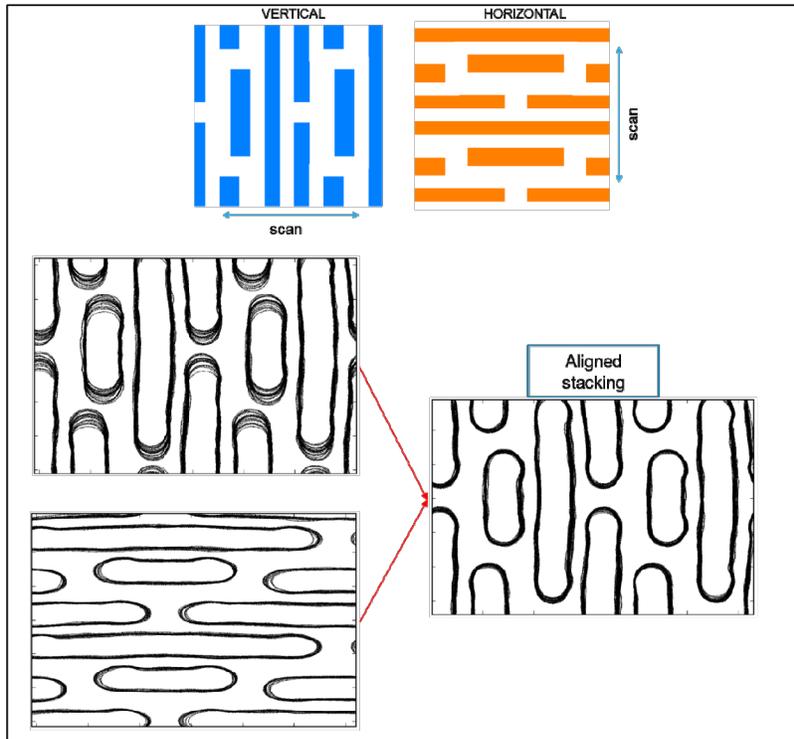


Figure 5: Alignment used on reliability feature with two different orientations 10 contours of each Post CMP Cu 28FD-SOI Nominal conditions. SEM images: 200k mag, 800V acceleration voltage

Contour alignment for asymmetrical 2D patterns

The advantage of using 'center of gravity' of completely visible objects is that it is very fast. Disadvantages of this method are:

- Finding the matching objects between SEM images is not trivial since the same object in different images may have different GDS IDs (see for example Figure 6a). If all images contain the same (and same number of) objects, a relabeling can be done.
- Objects close to the edge of the field of view cannot always be used. Stage accuracy and pattern recognition variability could render these objects completely visible in one image, but only partly visible in another and therefore change the center of gravity of that object (see for example Figure 6b, object 1)
- Process variability can result in "necking" (objects splitting into 2 or more parts; Figure 6c) or "bridging" (2 or more objects merging into one, Figure 6d) and therefore in- or decrease the total number of objects in an image. If this occurs it is likely to cause major shifts in the C.o.G. of the involved objects, and therefore it is advised to exclude this image from the data set.
- By choosing a few patterns for image alignment, it is implicitly assumed that these patterns don't move due to scanner focus and/or processing effects. This assumption is not always correct, and in these cases pattern variability of the 'anchor patterns' is transferred to other patterns.

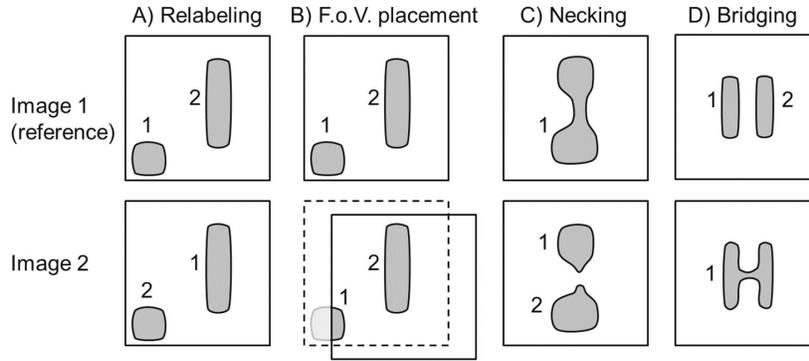


Figure 6: A) Occasionally labels may be swapped between images. B) Due to variations in F.o.V. placement (solid box = obtained vs. dashed box = expected) the C.o.G. of object 1 in image 1 w.r.t. object 2 is different in image 2. C) Necking: object splits from image 1 to image 2. D) Bridging: objects merge from image 1 to image 2

To overcome these problems, an alternative method was used to align images based on all available information (using a method based on subpixel image translation by cross-correlation). The price that is paid is in terms of calculation time: from a fraction of a second (using C.o.G.) to about 1.6 seconds (for the cross-correlation method; in a development version and dependent on the use case).

To reduce the effect of varying 'bounding box' locations (i.e. variation in what is present in the 'field of view' in the CD SEM images due to stage accuracy), the intersection of all bounding boxes in the data set is used as a mask on all images. This more or less ensures that the information in all images is very similar.

After the images have been aligned and stacked the following plots can be made cf. Figure 7 and Figure 8. In Figure 7 the stacked images are represented on a linear scale. While this gives a good representation of the average contour, contour outliers are difficult to observe. By applying a transformation on the color scale the variability becomes much more visible (Figure 8). Note that the variability in the center object is mainly present in one specific area (indicated by the big arrow) and also that other areas in the object are hardly affected by this (cf. the small distance between the small arrows).

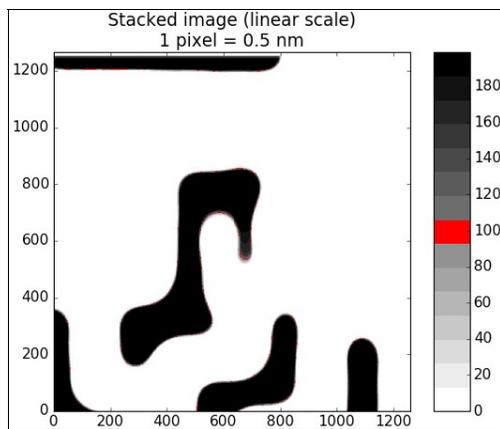


Figure 7: Stacked images, alignment based on all objects. In total 199 images were stacked, hence the color bar goes to 199.

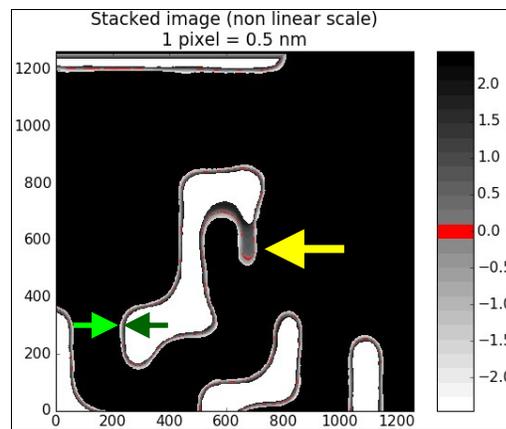


Figure 8: Stacked images with non linear scale, alignment based on all objects. After a transformation on the color bar, the unit is in terms of $n \times \sigma$. E.g.: +2 refers to median +2 σ . In other words the color range between [-2, +2] cover about 95% of the contours.

In this example it pays off to use all available information to align the images. To demonstrate what would have happened if only the center of gravity (C.o.G.) of the central object was used, see figures 9 and 10.

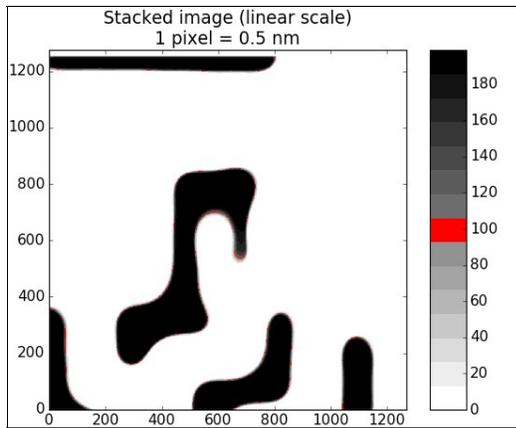


Figure 9: Stacked images, alignment based on C.o.G. of central object. In total 199 images were stacked, hence the color bar goes to 199.

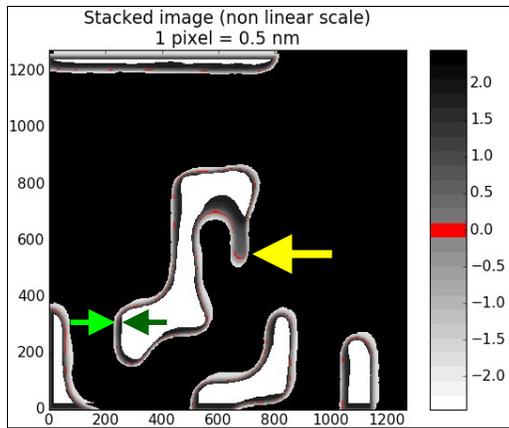


Figure 10: Stacked images with non linear scale, alignment based on C.o.G. of central object. After a transformation on the color bar, the unit is in terms of $n \times \sigma$. E.g.: +2 refers to median + 2 σ . In other words the color range between [-2, +2] cover about 95% of the contours.

The average image, as visible in Figure 9, does not seem to differ much from the average image as shown in Figure 7. However, the variability along the edges in Figure 10 is substantially larger than the variability that is observed in Figure 8 as can be deduced from the widths of the intervals (from black to white) along the pattern edges. Apparently there is a clear spill over from the region with the large amount of variability (as indicated by the arrow) to regions where the variability is expected to be much lower (as indicated by the distance between the small arrows).

Based on these results it is recommended to optimize the contour alignment depending on the circumstance:

- In symmetrical cases where isolated objects are present with a low risk of pattern split, the C.o.G. image alignment method gives a quick insight how much pattern variability is present.
- In other cases, using all images in the field of view is recommended, as it is a more robust method to show where pattern variability is, and it shows less spill over to other areas in the image.

To summarize, after alignment, a new set of contour data is generated out of Design gauge contours. This new set is used as input for post processing as seen in next part.

4. USE CASE

Metrology tool setup

A metrology module has been developed to measure different metrics on 2D patterns.

Once the alignment and stacking has been done, the measurement box placement is the same for all contours /images. See for example Figure 5 where a vertical tip to tip measurement box is shown based on the overlapping contours. When the box is placed and measurement template chosen, it iterates through each contour to extract the CD. Figure 11 shows the procedure with a 'minimum distance' template.

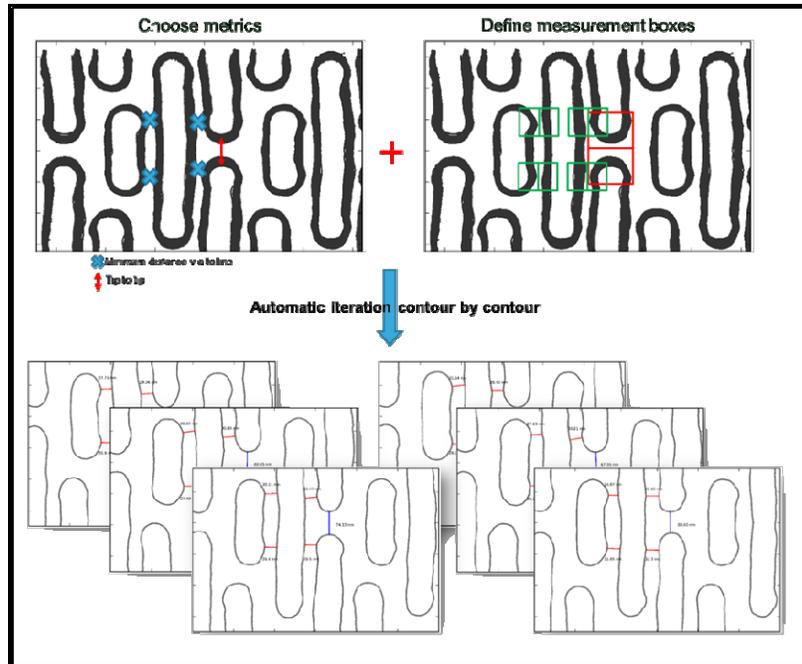


Figure 11: Metrology strategy allows complex CD extraction on 2D patterns. Example on 28FD-SOI metal 2 post CMP Cu in red: minimum distance via to line in blue: tip to tip minimum distance

Multiple types of measurements can be performed as many metrics can be calibrated: width, length, area, tip to tip, tip to line, and many others. Figure 12 gives a few templates that are currently used on different 28 nm products. The amount of measurements depends on the application. For prototype characterization, large sets can be performed if they help to improve patterning. However in the case of control loops only a few must be chosen as measurement time and throughput are key factors in manufacturing.

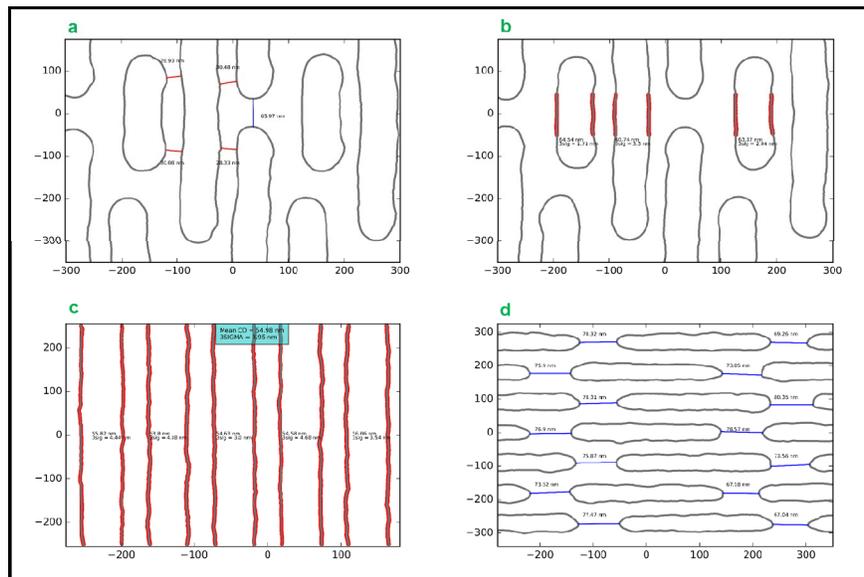


Figure 12: examples of contour metrology capabilities
 a) 2D pattern, minimum distances + tip to tip, metal 2 post CMP 28FD-SOI
 b) 2D pattern, CD copper lines, metal 2 post CMP 28FD-SOI
 c) CD copper lines from process control block (1D), metal 2 post CMP 28FD-SOI
 d) block of via chains, tip to tip measurement, metal 1 post etch hardmask, 28 nm CMOS

Variability output

The pattern that appears in previous figures (Figures 2, 3, 4, 5, 11) is taken as a use case to illustrate the methodology on 28FD-SOI metal level. The pattern is a part of a symmetrical block that is used for electrical testing and monitoring of a trench first hardmask via-line patterning as shown on figure 13.

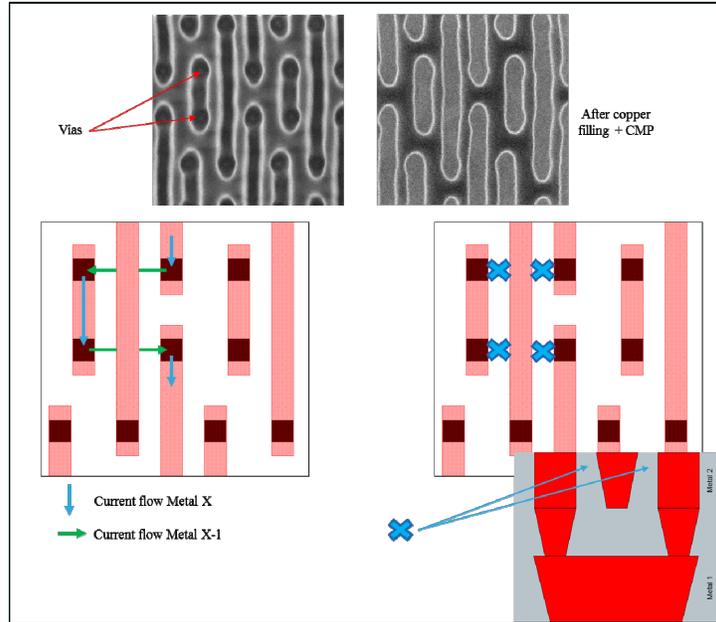


Figure 13: electrical test concept

The electrical current uses the via holes to move through metal x-1 under the line of metal x (green arrows). However due to required high densities, the spaces between copper lines are very tight. So the metal x area on top of the via holes is very close to the line which can cause current leakage and in some cases an electrical breakdown. In Figures 2 and 13 the via holes are visible in the SEM post dielectric etching images.

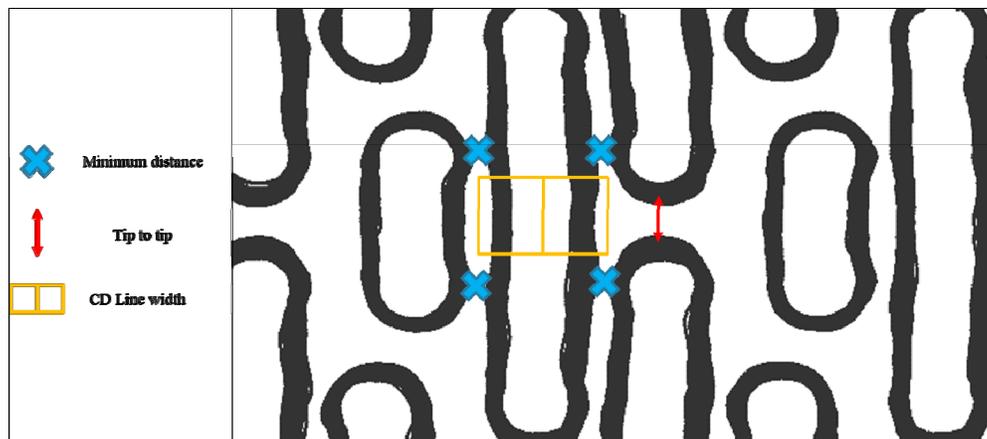


Figure 14: metrics selected for metrology run

It has become very important to monitor the different metrics of this structure and their variabilities in particular when prototyping a new product. These will help engineers to make a link between electrical issues and the different CDs. Three different metrics are given in Figure 14:

- The minimum of 4 via to line distance, as current is more likely to leak at these parts.
- CD of the line which can also influence electrical tests as high CDs of lines reduce the spaces between copper parts and low CDs reduce contact coverage
- Tip to tip distance which affects the area coverage of the contact holes in case of line end shortening

A wafer was exposed at nominal process conditions and run on a SEM to generate an image database. Recipes were run after two steps: etch dielectric and CMP Cu. Eight pictures were taken in each exposure field generating approximately 800 pictures for each step. Then contours were extracted from the generated pictures.

Extracted contour data was processed through the alignment module using C.o.G algorithm (Figure 4) and then through the metrology module to extract the selected metrics (Figure 14). A few results are presented here to show the different measurement possibilities.

After capturing hundreds of images at various process steps, contour based CD analysis allows process and device engineers to capture clean Via to Line, Tip to Tip and Line CD variations data after etch hardmask, etch dielectric and Copper CMP. Figure 15 shows an example of CD variability results after Copper CMP. For a total of 4500 thousands measurements, no measurement failure was reported which is a testament to the robustness of the methodology.

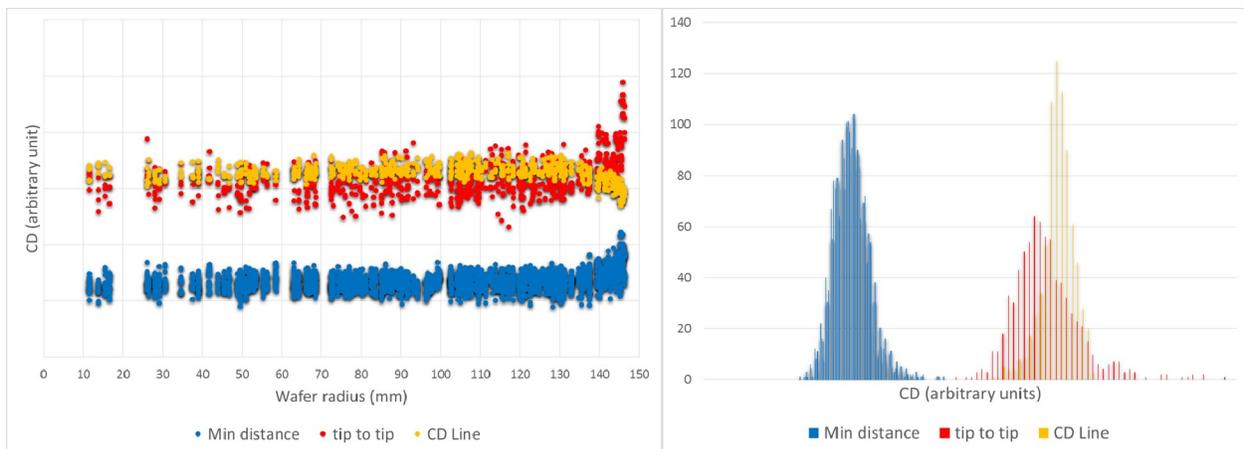


Figure 15: CD variability results after copper CMP Metal X BEOL 28FD-SOI. (blue: via to line / red: tip to tip / yellow: line CD)

5. OUTLOOK

Not only CD data can be extracted. To quantify variability it is important to determine the critical area of a complex pattern. To do this, stacking contours is not enough as it gives only an estimation of the variability but no complete quantification, for example the distribution of contours at each location. To do this each contour is converted into a binary file where a contour corresponds to the value 1 and no contour corresponds to zero. Stacking will return the sum of binary files. High values will appear where variability is low. Thus low or high variability area can be highlighted. This information is important for process engineers.

From a stack of contours other information is extracted: the average contour and its three sigma. This data brings more information to OPC engineers in order to fine tune their models or it can also help design engineers by providing process assumptions.

Figure 16 gives an example of a stack of contours with its weighted overlap, average contour and three sigma. On weighted overlap, high variability places give a large red area like line end. When the variability is low it becomes green.

Further away on the outlook area, such method could also be used to reduce information storage. An uncompressed image is memory demanding but a compressed image gives only qualitative information. Extracted contours can be regarded as a way to store the relevant quantitative information in compressed format. Thus in terms of database size contours instead of images is of high interest.

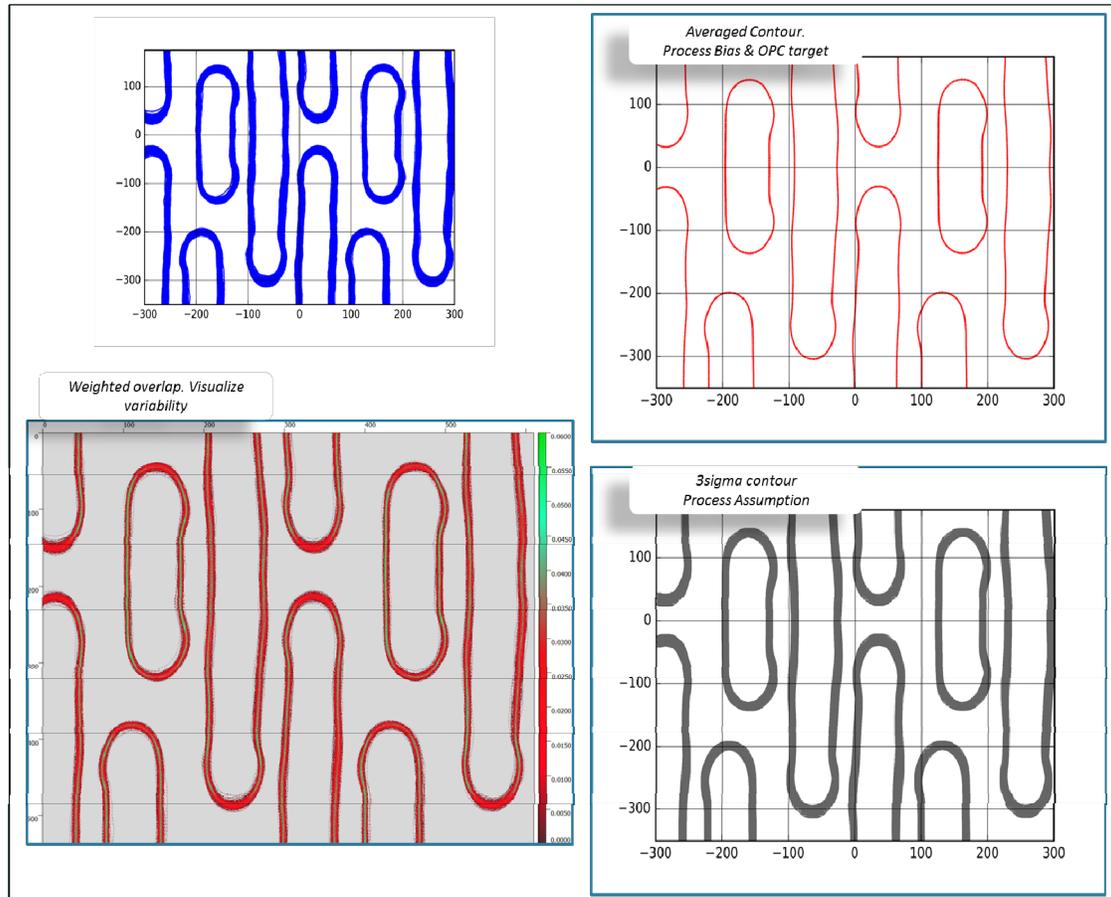


Figure 16: variability analysis on stacked contours

CONCLUSION

The core element of this work is the image contour which hinges on high quality edge detection which remains key topic of study [11]. We have shown that using contours add value to robust metrology especially for 2D patterns.

Through this work, a metrology methodology has been developed allowing robust and stable CD calculation of complex features based on CD-SEM contours. The tooling has been tested on BEOL 28FD-SOI wafers processed at nominal conditions. It shows the capability to extract thousands of values from a complex pattern without failure.

We have shown also that the contour alignment process is key to enable variability visualization maps, accurate metrology box definition and stable data extraction.

Contour based metrology is seen as a way to bridge the data exchange gap between process / OPC / Integration and Design Rule engineers. It is possible to measure process variability of more complex and representative features.

- Process Engineers have a tool to perform deeper and more crisps variability investigations.
- Process Engineers can provide OPC engineers real process PV (process variability) bands to be compared to simulated ones.
- Process Engineers can compute averaged contours out of hundreds to provide OPC engineers a better target.
- Stacking contours and process variability visualization is a complement to FEM's and PWQ's which will help process and integration engineers to better define process set-points as well as identifying critical failure mechanism.
- Process and OPC engineers can provide Design Rule engineers with a better estimation of some critical rules variability like tip to tip or via to line in this example.

We see also a paradigm change regarding CDSEM metrology. CDSEM becomes a tool to capture images and extract contours (which remains an essential part of the data extraction).

Metrology information can then be extracted remotely and on demand (even customized) any time. Further work is needed to ensure that this approach can also be embedded for in-line waferfab data collection.

Finally, GDS-files with contours are a smaller way to store data than the raw SEM images: this allows more time for trouble shooting outliers in the data set (as data is retained longer), more flexibility in measurement box placement and enables comparison of contours from different processing steps to help design & process engineers.

Further developments are possible, especially looking at contour overlap between various process steps (bias effects) and even various process layers (overlap windows, via to line, contact to gate, contact to active etc...). Indeed, if average contours and variability maps are stored in a GDS environment, process engineers can perform overlap analysis within the GDS environment even though it is not possible to see it on the image (like OPC engineers do by simulation).

ACKNOWLEDGEMENTS

We would like to thank Christelle Gardiola, David Ney and Alice Pelletier from STMicroelectronics for providing us interesting test cases in back end 28FD-SOI to improve and optimize our methodology. Also, we would like to thank Scott Middlebrooks from ASML for constructive discussions.

REFERENCES

- [1] Jo Finders, Ton Kiers, Bertrand Le-Gratiet, Amine Lakher, “*Translation of lithography variability into after-etch performance: monitoring of golden hotspot*”, Proceedings of SPIE Vol. 10032, 100320H (2016)
- [2] Bertrand Le-Gratiet et al, “*Integration and automation of DoseMapper in a logic Fab APC system: application for 45/40/28nm node*”, Proc. SPIE 8324, Metrology, Inspection and Process Control for Microlithography XXVI, 83241Y (March 29, 2012)
- [3] Shunzuke Koshihara, Yoshihiro Ota, Hideo Sakai, Ryoichi Matsuoka, “*Challenge to New Metrology World by CD-SEM and Design*” Hitachi Review 57, pp. 123–126 (Jun. 2008)
- [4] F. Weisbuch, A. S. Naranaya, “*Assessing SEM contour based OPC models quality using rigorous simulation*”, Proc. SPIE 9051, Advances in Patterning Materials and Processes XXXI, 90510A (March 27, 2014)
- [5] F. Weisbuch, K. K. Koh, K. Jantzen, “*Bringing SEM contour based OPC to production*”, Proc. SPIE 9052, Optical Microlithography XXVII, 905224 (March 31, 2014)
- [6] F. Weisbuch, A. Omran, K. Jantzen, “*Calibrating etch model with SEM contours*”, Proc. SPIE 9426, Optical Microlithography XXVIII, 94261T (March 18, 2015)
- [7] Y. Toyoda et al, “*SEM-Contour shape analysis based on circuit structure for advanced systematic defect inspection*”, Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502V (2 April 2014)
- [8] S. Halder et al, “*Design-based metrology: Beyond CD/EPE metrics to evaluate printability performance*”, Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97780W (March 25, 2016)
- [9] Izumi Santo, Akira Higuchi, Mirai Anazawa, Hideaki Bando, “*Accurate Contour Extraction from Mask SEM Image*”, Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502M (April 2, 2014)

[10] P. Fanton et al, “*Process Window Optimizer for pattern based defect prediction on 28nm Metal Layer*”, *Proc. SPIE 9778*, Metrology, Inspection, and Process Control for Microlithography XXX, 97782O (March 8, 2016)

[11] L. Schneider et al, “*Framework for SEM contour analysis*”, *Proc. SPIE 10145*, Metrology, Inspection, and Process Control for Microlithography XXXI, 10145 (March 1, 2017)

Advanced in-production hotspot prediction and monitoring with micro-topography

P. Fanton¹, T. Hasan^{*2}, A. Lakcher^{1,4}, B. Le-Gratiet¹, C. Prentice³, J-G. Simiz¹, R. La Greca³,
L. Depre³, S. Hunsche²

¹STMicroelectronics, 850 rue Jean Monnet, F-38926 Crolles Cedex, France

²ASML US, 399 W Trimble Rd, San Jose, CA 95131, United States

³ASML SARL, 459 chemin des Fontaines, F-38190 Bernin, France

⁴LTM CNRS, 17 avenue des Martyrs, 38054 Grenoble Cedex 9, France

ABSTRACT

At 28nm technology node and below, hot spot prediction and process window control across production wafers have become increasingly critical to prevent hotspots from becoming yield-limiting defects. We previously established proof of concept for a systematic approach to identify the most critical pattern locations, i.e. hotspots, in a reticle layout by computational lithography and combining process window characteristics of these patterns with across-wafer process variation data to predict where hotspots may become yield impacting defects [1,2]. The current paper establishes the impact of micro-topography on a 28nm metal layer, and its correlation with hotspot best focus variations across a production chip layout. Detailed topography measurements are obtained from an offline tool, and pattern-dependent best focus (BF) shifts are determined from litho simulations that include mask-3D effects. We also establish hotspot metrology and defect verification by SEM image contour extraction and contour analysis. This enables detection of catastrophic defects as well as quantitative characterization of pattern variability, i.e. local and global CD uniformity, across a wafer to establish hotspot defect and variability maps. Finally, we combine defect prediction and verification capabilities for process monitoring by on-product, guided hotspot metrology, i.e. with sampling locations being determined from the defect prediction model and achieved prediction accuracy (capture rate) around 75%.

Keywords: Micro-topography, computational hotspots detection, defect prediction, patterning fidelity monitoring and control, holistic lithography

1. INTRODUCTION

Advancement of the next generation technology nodes demands tighter requirements in all aspects of the patterning fidelity metrology and control. Continuous shrinkage of patterning geometries has made the process and device yield more susceptible to sub-10nm systematic patterning defects and variations of process conditions, such as focus, overlay, focus blur, etch and other process signatures. Although reticle enhancement technologies through litho-model based computational lithography allow the best possible process window entitlement for device patterns; patterning defects, often systematic, still appear in production due to the tighter process window at 2x/1x nodes, and process condition excursions on product wafers. Hence, a method for identifying and inspecting these defects locations has become increasingly important for both technology development and High Volume Manufacturing (HVM).

However, detecting such defects by optical inspection tools has become more challenging due to smaller defect sizes following the shrinkage of the design rule. On the other hand, throughput in HVM environment remains critical for the high-resolution inspection tools e.g. e-beam. Furthermore, monitoring of the patterning variability and process control for preventing hotspots from becoming yield limiting defects are particularly important to the chip maker.

To meet these challenges, ASML has already [1,2,3] extended its holistic lithography framework for patterning fidelity monitoring and control. Holistic lithography enables systematic patterning defect prediction on 100% of wafers in production. It also enables high resolution and high throughput monitoring/metrology of those patterning defects through guided inspection with ebeam tools [4]. Figure 1 gives an overview of the ASML holistic lithography framework for the patterning fidelity and control through a close integration of the computational lithography, scanners, and metrology tools. It combines their respective strength and advanced capabilities to maximize the patterning process as a whole.

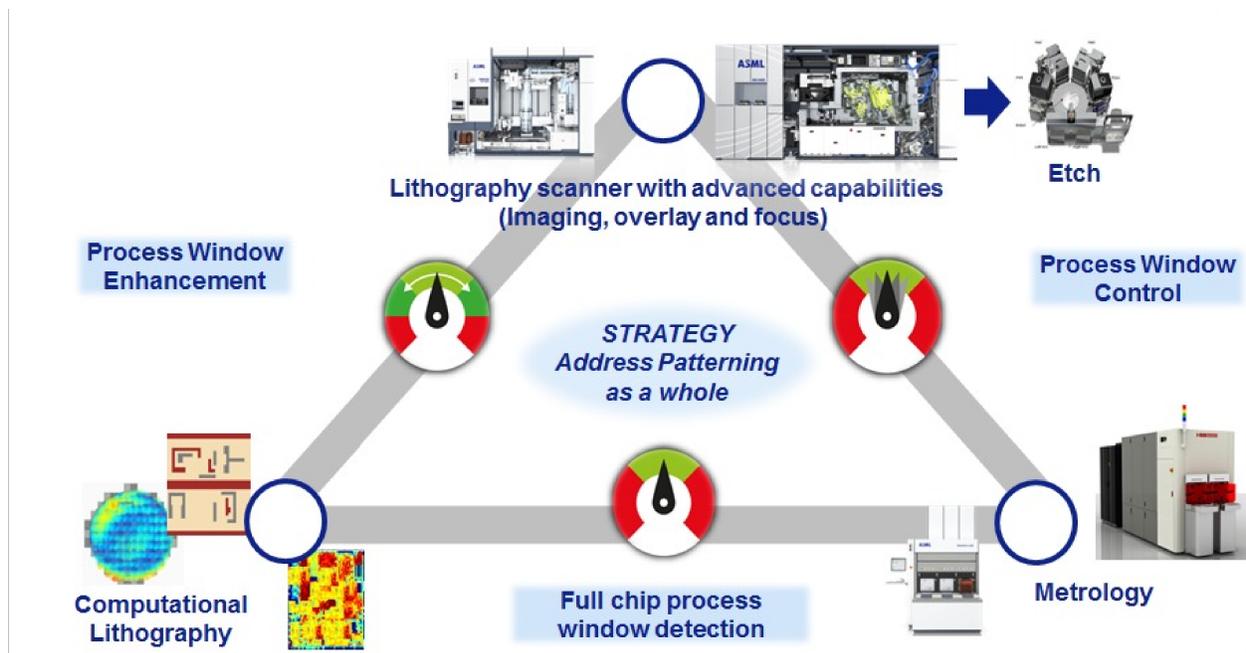


Figure 1: Overview of ASML holistic lithography framework for patterning fidelity metrology and control

In previous works, S. Hunsche, et al.[1] discussed this novel holistic approach for in-line defect prediction and control, and provided a proof of concept demonstration for defect prediction for after develop inspection (ADI) on a back-end layer of 10nm process at IMEC. P. Fanton, *et al.* [2] later exercised that concept on a 28nm metal layer. They utilized Hybrid Dense Focus Maps (HDFM) to predict locations on-wafer where the depth of focus limiting hotspots become yield-limiting defects. M. Jochemsen, *et al.* [3] extended the concept also to address defects after etch (after etch inspection, AEI), by including additional process variations beyond focus. B-H. Ham, *et al.* [5] further extended the concept to address multiple patterning intra-layer defects including overlay. Following from the works of J-G. Simiz, *et al.* [6-8], there has been a keen interest to assess the impact of product induced micro-topography on patterning defect prediction/monitoring in production. In this paper, we extended the patterning fidelity monitoring concept by including the product induced micro-topography.

A back-end 28nm-process metal layer running on an ASML NXT1950i scanner at ST Microelectronics, Crolles, France was selected for this study. We ran full-chip simulations with the computational hotspot detection module of the PFM software using a three-dimensional mask (M3D) and resist profile aware (R3D) models. Through these simulations, we identified process window limiting hotspots and pattern-dependent best focus shifts due to imaging (e.g. M3D). Detailed topography measurements were then obtained from an offline tool (Veeco WYKO NT9300). We established, additional to imaging effects, micro-topography at wafer level results in the best focus (BF) shift for the hotspot features on the wafer. We enhanced the regular product flow to capture both imaging and micro-topography induced BF shift for each hotspot by characterizing their respective focus-exposure matrix (FEM) on a product wafer that included topography and used that for defect prediction based on measured FEM sensitivities. We also discussed alternative ways to include micro-topography for prediction at much finer level by incorporating externally measured micro-topography data into the hybrid dense focus map (HDFM).

Additionally, we established hotspot metrology and defect verification by SEM image contour extraction and analysis. This enabled detection of catastrophic defects as well as quantitative characterization of pattern variability, i.e. local and global CD uniformity, across a wafer to establish hotspot defect and variability maps. Finally, we combined defect prediction and verification capabilities for process monitoring by on-product, guided hotspot metrology, i.e. with sampling locations being determined from the defect prediction model and achieved prediction accuracy (capture rate) around 75%.

2. COMPUTATIONAL HOTSPOT DETECTION

As a first step, we identified the process window limiting hotspots across the full-chip (3.721x 5.980 mm) layout of ST Microelectronics' 28nm metal layer mask (280MA LIN1). This was done through the computational hotspot detection module of the PFM software which is built upon ASML's well-established *Tachyon* suite of computational lithography (comp. litho) tools. Employing a run-time efficient, highly scalable methodology [2], it generated a list of process window limiting hotspots. Once hotspot patterns are identified, pattern search and match across the full-chip were performed to find all of their occurrences, and to group them per pattern type. Hotspot locations are then arrayed according to die placement in the reticle (6, 5 in x,y) to create a list of patterns of interest across the full reticle layout (22.32x29.9mm). CDs through FEM for each hotspot were initially determined through simulation.

In these simulations, we used three-dimensional mask (M3D) model, and resist profile aware (R3D) lithography model at different resist heights. We also added the user provided known hotspots. These user hotspots came from standard lithography manufacturability (LMC) checks. However, user hotspots can also be found through other inspection measurements e.g. during process window qualification with a bright field inspection tool or historical process knowledge. The user can provide the FEM measurement of each of the hotspots, or they can let the computational engine to determine the bossungs by simulation. In this exercise, the latter option was chosen. We then combined the hotspot lists created through each approach to create a more comprehensive list of hotspots. Figure 2 (left) shows the focus left (negative) and right (positive) boundaries of some these hotspots. Hotspots are then ranked based on their process window boundaries at a given CD threshold (user input), and some key performance indicators around the boundaries. Figure 2 (right) shows a simplified illustration of the ranking methodology. In this illustration, hotspot C (HS C) is the most critical in focus left compared to other two, whereas hotspots B (HS B) is more critical in the right boundaries.

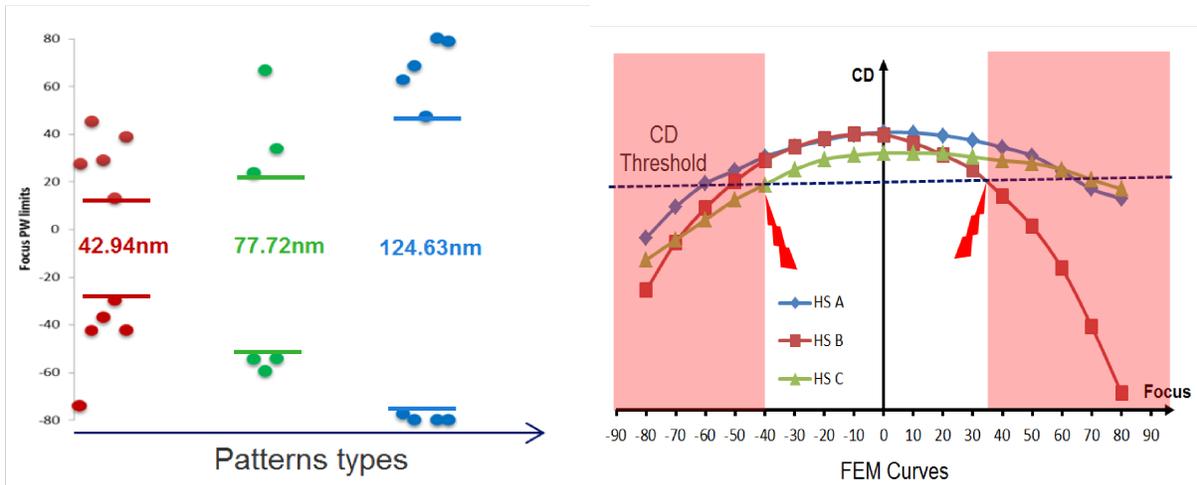


Figure 2: Negative and positive focus boundaries of the computationally detected process window limiting hotspots (Left). An illustration showing how the different hotspots are ranked based on the criticality. For example, hotspot C is critical on the negative boundary where hotspot B critical on the positive side (Right).

We then made a short list of three top critical hotspots, labeled M3DR4, LMC19, AI60L1R3 for patterning fidelity monitoring, given the metrology budget constraint. Figure 3 shows the SEM images of the selected hotspots at nominal focus and dose conditions. The green lines in the SEM images highlight the post-OPC pattern, whereas the red lines outline the printed image contour, which is extracted from the images. The exact hotspot failure locations are highlighted with the yellow line close to the center of the images.

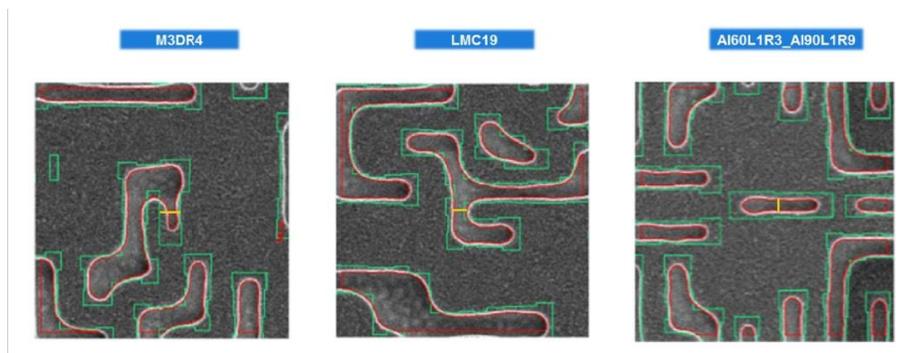


Figure 3: SEM images of the selected process window limiting critical (top ranked) hotspots

The computational hotspot detection module also outputs local overlapping process windows which can be used to make the depth of focus (DoF) and best focus (BF) maps per reticle with a 500x500 micrometer size pixel, that is, roughly over 2500 samples per full field. We can determine per pixel the available process window margin against focus excursion by combining the depth of focus and best focus. A smaller process window margin indicates a higher likelihood of patterning defect at that location. Figure 4 shows full chip overlapping best of focus (left), and depth of focus (right) maps for this layer. The blue regions in the depth of focus map had tighter depth (~45nm) of focus, hence smaller margin for focus excursions. Although not exercised in this work, these maps can be used for local process window aware scanner focus correction to improve the available process window margin for the critical pattern.

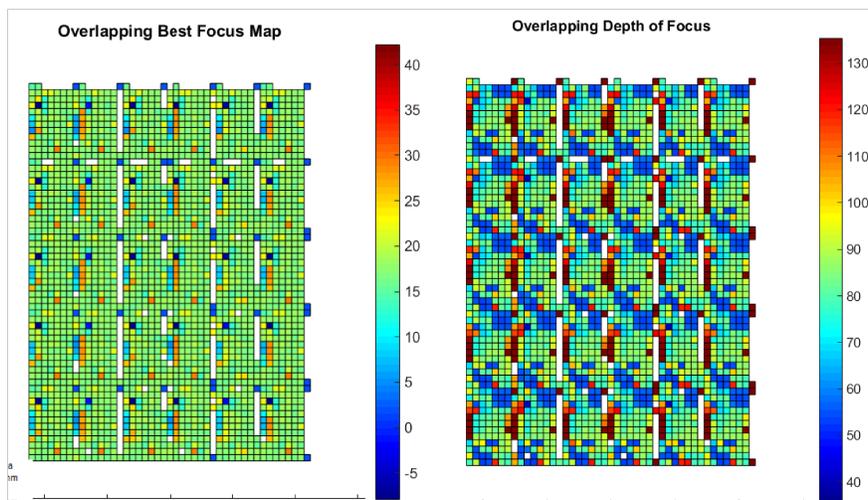


Figure 4 (Left) Full chip overlapping best of focus, (right) depth of focus on a 500x500 micrometer resolution

3. MICRO-TOPOGRAPHY IMPACT ON PATTERNING

Product wafer usually contains pattern density, and process (e.g. CMP) induced localized topography variation with a spatial resolution of the order of microns [5-8]. In this work, we obtained intra-field microtopography measurements of a product wafer with a Veeco WYKO NT9300 tool. Figure 5 (left) shows an intra-field microtopography measurement of a full field of 30 dies. Topography measurements were done at ~7 micrometer resolution which totaled over 12 million samples for a full field, and the magnitude of this topography can be as high as 30nm in 3s. The right map in figure 5 shows intra-die (average of 30 dies) topography of 28.6nm in 3σ . The locations of the selected hotspots from CHD (in section 2) and few additional hotspots are indicated by black crosses. We extracted the local micro-topography at those hotspots locations for analysis. Additionally, we also looked at the die to die variation of the topography map. Figure 6 shows a bar plot of the microtopography (in nm) at the process window limiting hotspot locations. The error bar for each

hotspot gives an indication of die to die variation. For these set of hotspots, we observed a microtopography variation from -15nm to +10nm.

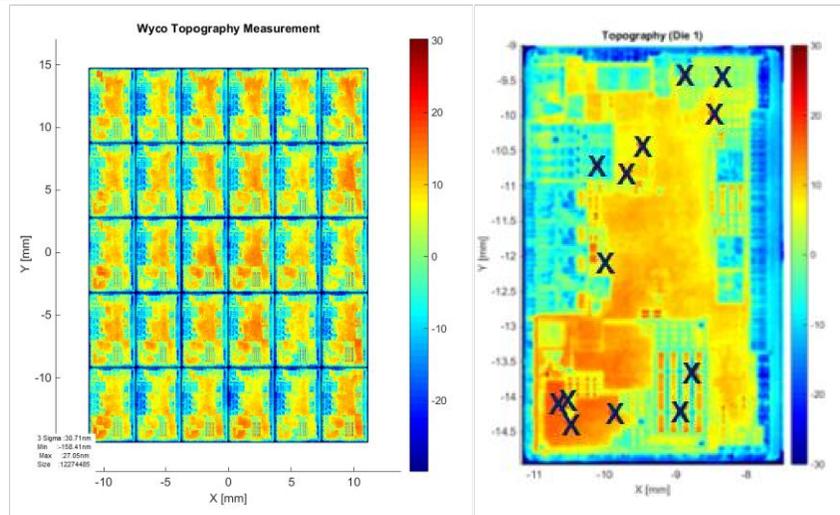


Figure 5: Intra-field microtopography measurement of a full field with 30 (6x5) dies (Left). Microtopography of an average die. Cross markings indicate the location of the process window limiting hotspot (Right)

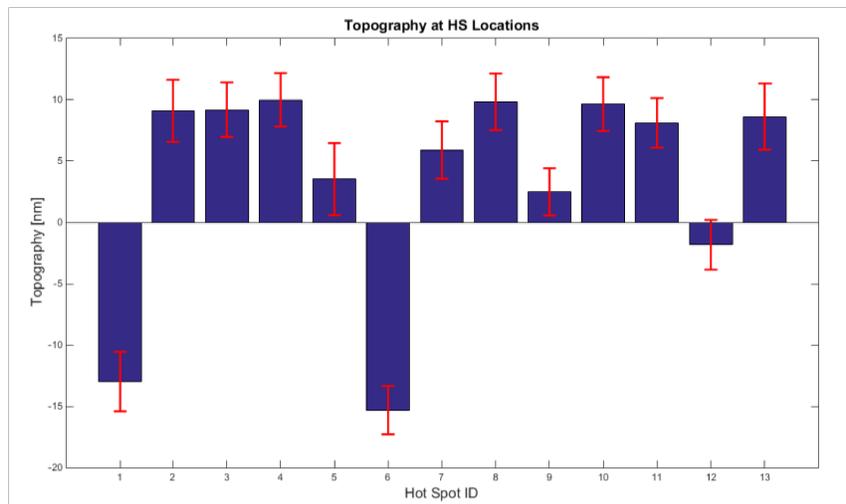


Figure 6: Bar plot showing the microtopography (in nm) at the process window limiting hotspot locations, and the errorbar gives an indication of die to die variation.

To understand the impact of the micro-topography on pattern fidelity, we need to consider the following: first, the inline level sensor of the scanner does not resolve micro-topography at such high spatial resolution. However, it provides at a lower resolution, non-correctable errors i.e. wafer topography that cannot be compensated for by the scanner leveling and focus control systems. Consequently, micro-topography directly contributes to the on-product intra-field focus error. Secondly, micro-topography in combination with the imaging effect impacts the process window centering of each hotspot, depending on its intra-die location. The latter can further be explained with figure 7 from our earlier works [8]. The local best focus of the patterning features is influenced by the imaging effects, the spatial effects, and scanner intrafield focus fingerprint. We can safely estimate that the scanner's intrafield focus effect, e.g. image plane deviation measured by FOCAL, to be much smaller than the other two contributors. From imaging, the best focus shift is caused by wavefront deformations induced in large part by the light passing through the three-dimensional mask (M3D) shape so that the image focal plane of each pattern shift apart from each other [8]. We can call this pattern shape dependent best focus shift. Spatial

effects are, for example, local micro-topography variation at the locations of the hotspot. Putting it differently, for a given pattern type, if there are multiple occurrences across the different local topographical area, individual pattern instances may not print the same for each of its occurrences.

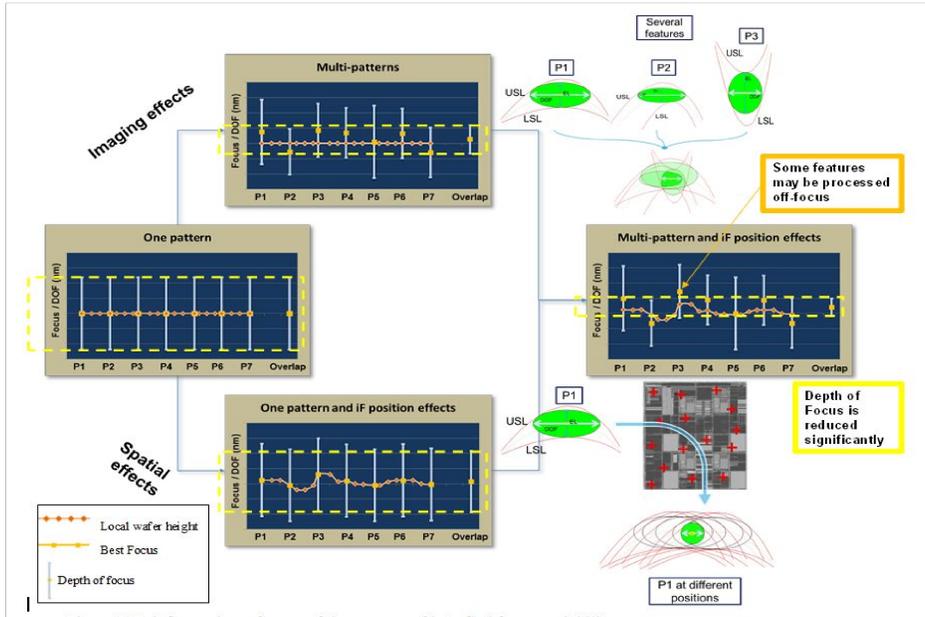


Figure 7: [Ref 8] imaging and spatial effects affecting the local best focus (process window center)

Following these arguments, we can reasonably approximate the measured best focus of the process window limiting hotspots on product wafers to be a combination imaging and spatial effects.

$$\text{Measured Best focus} = \text{Feature dependent BF (imaging effects)} + \text{microtopography (spatial effects)}$$

In this work, we provide evidence to this assertion. As discussed earlier in this section, we measured micro-topography at the hotspots locations. And through computational lithography simulation discussed in section 2, we captured feature/pattern dependent best focus shifts due to imaging (e.g. M3D). As shown in figure 8, M3D corrected measured best focus variations strongly correlate (with $R^2=0.9$) with the topography measurement.

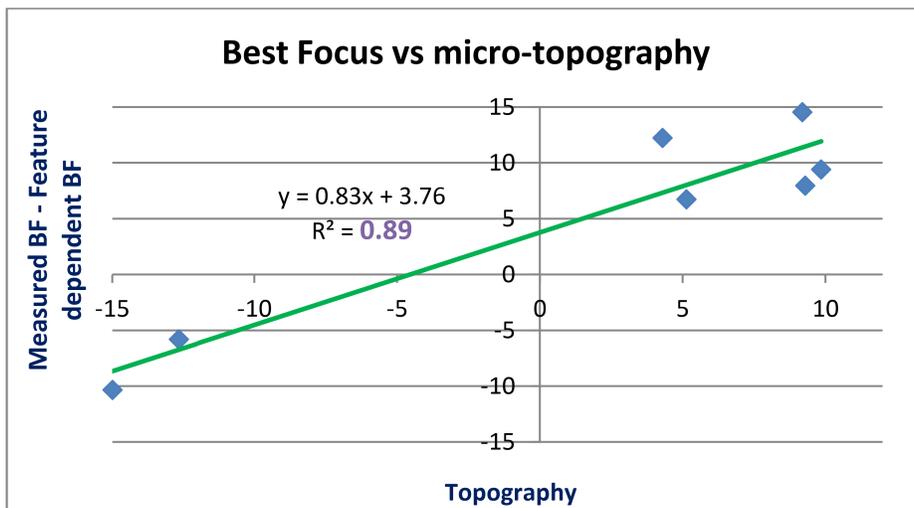


Figure 8: Correlation of the M3D corrected measured best focus with the on-product microtopography

3.1 Micro-topography measurements techniques

In this work, we used white light interferometry based Veeco WYCO tool for microtopography measurement. It required 30nm Ta coating on the wafer.

4. HYBRID DENSE FOCUS MAP

Scanner non-correctable errors are combined with the on-product focus fingerprint to generate a hybrid dense picture of the focus conditions across the wafer. We used multi-wafer FEM based focus measurement technique [6] to measure on-product focus with about 2,500 samples across the wafer. Scanner non-correctable errors, including leveling, servo, and lens contributions are available at a resolution of approximately 50,000 samples per wafer. They are combined to generate a hybrid dense focus maps (HDFM) with millimeter spatial resolution, that's over 300,000 samples across the wafer. These maps can be generated for 100% of the wafers exposed on the scanner.

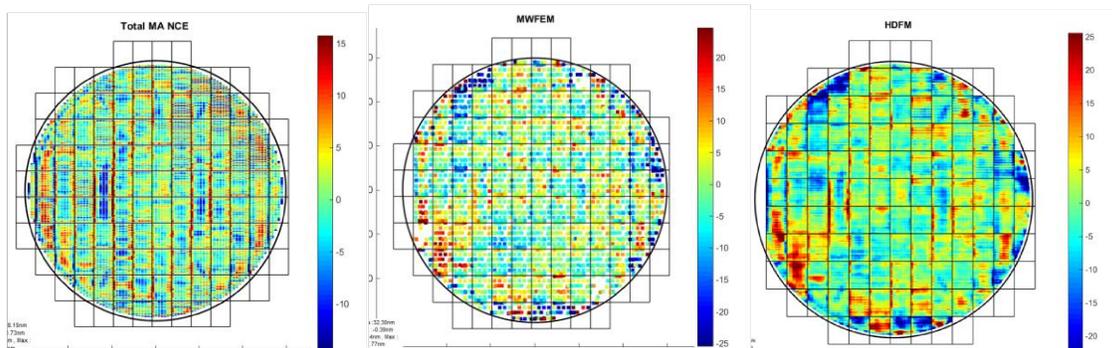


Figure 9: (Left) Scanner MA non-correctable errors, (Center) Measured on-product focus, local NCE corrected, (right)

However, for patterning fidelity monitoring for the next generation technology nodes, an HDFM at even further finer resolutions can be helpful. For example, figure 11 shows HDFM combined with intra-field topography, thus boosting the resolution to the of order micrometer which means over 120 million samples across the wafer. One interesting observation was made while comparing the normalized distribution of the HDFM with (red) and without topography (blue). There was mean focus shift which can be attributed to the topography at the focus anchor locations.

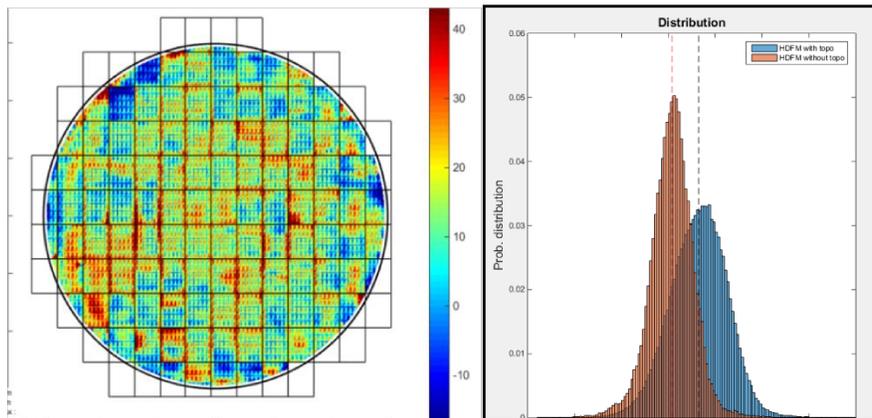


Figure 10: (Left) Hybrid dense focus map including microtopography. (Right) Normalized topography distribution of the HDFM with topography(red) and without (blue). The shift in the distribution can be attributed to topography offsets at anchor target feature(s)

5. RESULTS AND ANALYSIS

The next steps of the flow, namely prediction, and verification, are discussed this section. We also report some performance numbers to quantify the prediction accuracy.

5.1 Prediction

The predicted defect locations across the wafer for the selected process window limited hotspots were determined by combining the CD through FEM information, and focus values at hotspots locations in the hybrid dense focus map (HDFM). Wherever the predicted CD for the corresponding wafer location for a given hotspots falls below a user specified threshold (14nm), the locations were flagged as a defect. A defect prediction map, figure 11 (right) was the determined for the list of selected hotspots for a wafer exposed at nominal focus and dose conditions.

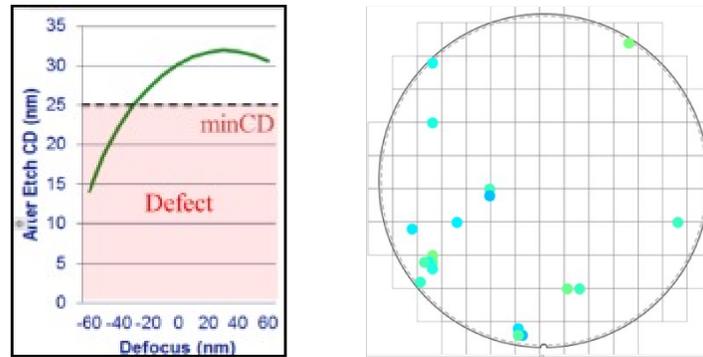


Figure 11: (Left) Illustration showing defect prediction principle. (Right) Predicted defect locations

5.2 Incorporating Micro-topography in patterning defect prediction

We enhanced the regular patterning fidelity defect prediction flow by two alternative approaches;

(a) Measuring CD through FEM for each hotspot on a wafer with product topography wafer and using that for defect prediction updating the bossung curves with measured data. In section 3, we established, additional to imaging effects, microtopography at wafer level results in the best focus shift for the patterning features. Through this on-product FEM characterization of each hotspot both imaging and micro-topography induced BF shifts are thus captured. In this approach, incorporation of microtopography into HDFM is not needed due to redundancy. In this work, we report the results using this approach.

(b) Alternatively, we can include externally measured micro-topography into HDFM, and use that for prediction at much finer level.

5.3 Contour based defect verification

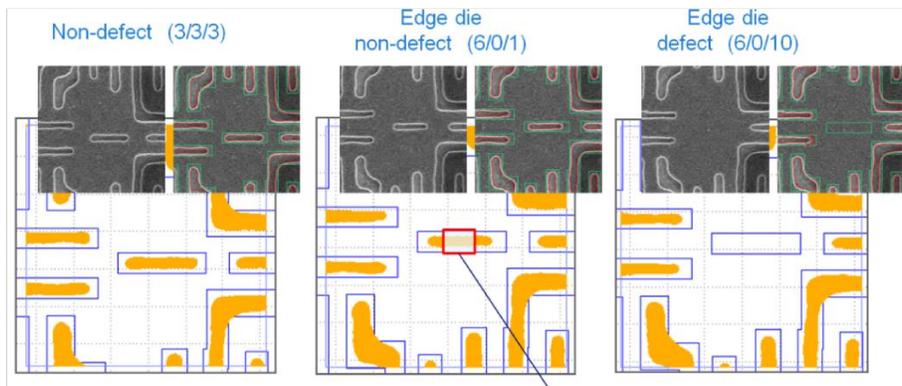


Figure 12: CD Contour based metrology, and defect validation

We derived a verification sampling scheme following the predicted defect locations, and other non-predicted locations to have sufficiently distributed sampling across the wafer. All the dots (yellow or highlighted) in the map shown in figure 13 (right) indicate verification sampling locations. Then all locations measured with Hitachi CDSEM tool were reviewed, and image contours were extracted. Contour based CD analysis was used to determine the defect CD, and to flag catastrophic defects such as missing patterns. A contour-based local averaging over ~100nm along a line segment was used to improve the signal to noise ratio of the CD measurements.

5.4 Prediction performances

Figure 13 indicates a strong visual correlation among the focus excursion values on the HDFM, predicted patterning defect locations and verified defect maps.

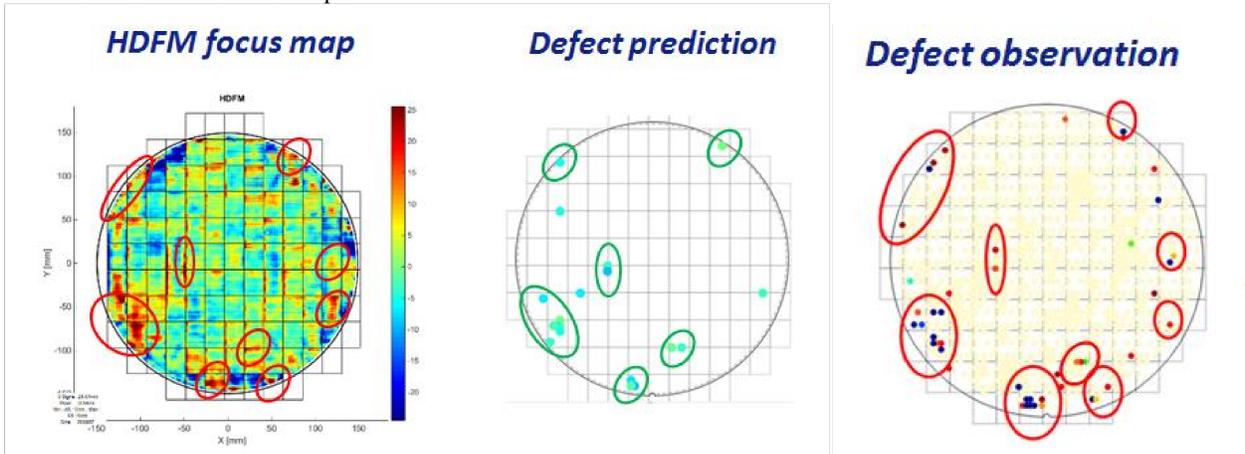


Figure 13: Figures from left to right; HDFM focus map, predicted defect locations (blue dots), measured, review and verified defect map.

We also quantified the prediction capture rate which can be defined as the percentage of successfully (verified) predicted defect locations. We report ~70-75% prediction capture rate for the selected process window limiting hotspots.

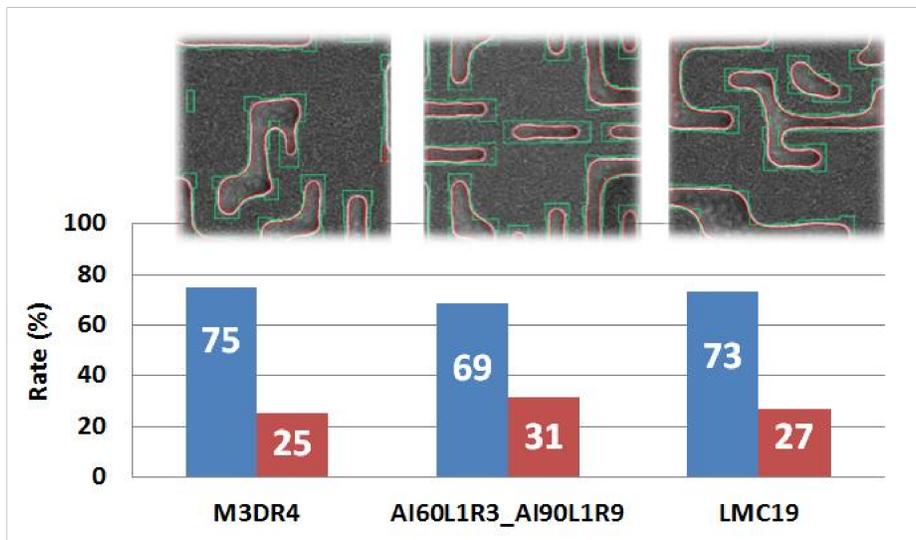


Figure 14: Prediction capture rate of the selected process window limiting hotspots

6. CONCLUSION AND OUTLOOK

In this paper, we demonstrated ASML's advanced in-product patterning defect prediction and monitoring flow including product induced microtopography. We established that imaging effect (e.g. M3D) corrected on-product measured the best focus of the process window limiting hotspots strongly correlate the micro-topography. We enhanced the regular product flow to capture both imaging and micro-topography induced BF shift for each hotspot by characterizing their respective focus-exposure matrix (FEM) on a product wafer that included topography and used that for defect prediction through FEM update. We also discussed an alternative way to include micro-topography for prediction at much finer level by incorporating externally measured micro-topography data into the hybrid dense focus map (HDFM). Additionally, we also established hotspot metrology and defect verification by SEM image contour extraction and analysis. This enabled detection of catastrophic defects as well as quantitative characterization of pattern variability. Finally, we combined defect prediction and verification capabilities for process monitoring by on-product, guided hotspot metrology, i.e. with sampling locations being determined from the defect prediction model and achieved a prediction accuracy (capture rate) around 75%.

In future, we intend to further extend this work by utilizing high-throughput SEM tools from Hermes Microvision (HMI) to improve spatial coverage, enable thorough statistical data analysis, and to take full advantage of the microtopography HDFM. Additionally, we can further leverage the capabilities of computational / emulated metrology [9]. We would also like to extend the defect criteria's by using image contour metrology to match HS CD variability with the prediction of defect occurrences [10-11].

Acknowledgements

The authors would like to thank Vivek Jain, Wenjin Huang, Alex Wan, Marc Kea, Christopher Jones, Wim Tel, Frank Staals, Bruno La Fontaine, Neal Callan their technical support, and discussions. We also thank CEA-LETI for the topography measurement.

REFERENCES

- [1] Hunsche, S., Jochemsen, M., Jain, V., Zhou, X., Chen, F., et al., "A new paradigm for in-line detection and control of patterning defects," Proc. of SPIE 9424, 94241B (2016)
- [2] Fanton, P., La Greca, R., Jain, V., Prentice, C., Simiz, J-G., et al., "Process window optimizer for pattern based defect prediction on 28nm metal layer", Proc. of SPIE 9778, 97782O (2016)
- [3] Jochemsen, M., Anunciado, R., Timoshkov, V., Hunsche, S., et al., "Process window limiting hot spot monitoring for high-volume manufacturing," Proc. of SPIE 9778, 97781R-1(2016)
- [4] Wang, F., Zhang, P., Fang, W., Liu, K., Jau, J., Wang, L., et al., "Process window and defect monitoring using high-throughput e-beam inspection guided by computational hot spot detection," Proc. of SPIE 9778, 97783F-1(2016)
- [5] Ham, B-H., Kim, I-H., Park, S-S., Yeo, S-Y., Kim, S-J., et al., "The use of computational inspection to identify process window limiting hotspots and predict sub-15 nm defects with high capture rate", Paper 10145-61, SPIE Advanced Lithography, San Jose, CA, USA, 2017
- [6] Simiz, J-G., Hasan, T., Staals, F., Le-Gratiet, B., Gilgenkrantz, P., et al., "Predictability and impact of product layout induced topology on across-field focus control," Proc. of SPIE 9424, 94241C-1(2015)
- [7] Simiz, J-G., Hasan, T., Staals, F., Le-Gratiet, B., Tel, W., et al., "Product layout induced topography effects on intrafield leveling," Proc. of SPIE 9661, 96610R-1(2015)
- [8] Simiz, J-G., Hasan, T., Staals, F., Le-Gratiet, B., Tel, W., et al., "Verification and application of multi-source focus quantification," Proc. of SPIE 9781, 97810S-1(2016)
- [9] Tel, W., Segers, B., Anunciado, R., Zhang, Y., Wong, P., Hasan, T., Prentice, C., "Efficient hybrid metrology for focus, CD, and overlay," Paper 10145-87, SPIE Advanced Lithography, San Jose, CA, USA, 2017
- [10] Schneider, L., Farys, V., Serret, E., Fenouillet-Beranger, C., "Framework for SEM contour analysis," Paper 10145-39, SPIE Advanced Lithography, San Jose, CA, USA, 2017
- [11] Lakcher, A., Le-Gratiet, B., Ducoté, J., Kiers, T., Gemmink, J., Hunsche, S., et al., "Robust 2D versus 1D patterns process variability assessment using CD-SEM contours extraction offline metrology", Paper 10145-40, SPIE Advanced Lithography, San Jose, CA, USA, 2017

Advanced metrology by offline SEM data processing

Amine Lakcher ^{a,b}, Loïc Schneider ^{a,c}, Bertrand Le-Gratiet ^a,
Julien Ducoté ^a, Vincent Farys ^a, Maxime Besacier ^b

^a STMicroelectronics, 850 rue Jean Monnet, 38926 Crolles Cedex, France

^b Université de Grenoble Alpes, LTM-CNRS, 38042 Grenoble, France

^c CEA LETI, 17 avenue des Martyrs, 38054 Grenoble Cedex 9, France

ABSTRACT

Today's technology nodes contain more and more complex designs bringing increasing challenges to chip manufacturing process steps. It is necessary to have an efficient metrology to assess process variability of these complex patterns and thus extract relevant data to generate process aware design rules and to improve OPC models. Today process variability is mostly addressed through the analysis of in-line monitoring features which are often designed to support robust measurements and as a consequence are not always very representative of critical design rules. CD-SEM is the main CD metrology technique used in chip manufacturing process but it is challenged when it comes to measure metrics like tip to tip, tip to line, areas or necking in high quantity and with robustness. CD-SEM images contain a lot of information that is not always used in metrology. Suppliers have provided tools that allow engineers to extract the SEM contours of their features and to convert them into a GDS [1]. Contours can be seen as the signature of the shape as it contains all the dimensional data. Thus the methodology is to use the CD-SEM to take high quality images then generate SEM contours and create a data base out of them. Contours are used to feed an offline metrology tool that will process them to extract different metrics. It was shown in two previous papers [2, 3] that it is possible to perform complex measurements on hotspots at different process steps (lithography, etch, copper CMP) by using SEM contours with an in-house offline metrology tool. In the current paper, the methodology presented previously will be expanded to improve its robustness and combined with the use of phylogeny [4] to classify the SEM images according to their geometrical proximities.

Keywords: CD-SEM, contour, metrology, process variability, hotspot, photolithography, etch.

INTRODUCTION

The different stakeholders of IC manufacturing have a strong need for CD metrology. Process engineers require robust metrology to monitor and control different process steps [5], like lithography and etching. Thus current monitoring features are selected to support a robust metrology and this robustness is not compatible with complex features. For this reason metrology blocks for process monitoring are mainly made of regular patterns like line-space, contact holes arrays or isolated lines. However in today's advanced nodes, even if designs tend to be more and more regular, complex shapes did not disappear. These patterns can have a high focus sensitivity during lithography steps due to a limited process window. The optimal focus set point from one shape to another can also be different by dozens of nanometers. Thousands of patterning hotspots are present in a chip so the overall process window for the entire chip is in general very tight (see Figure 1) affecting the defect rate and thus the yield [6].

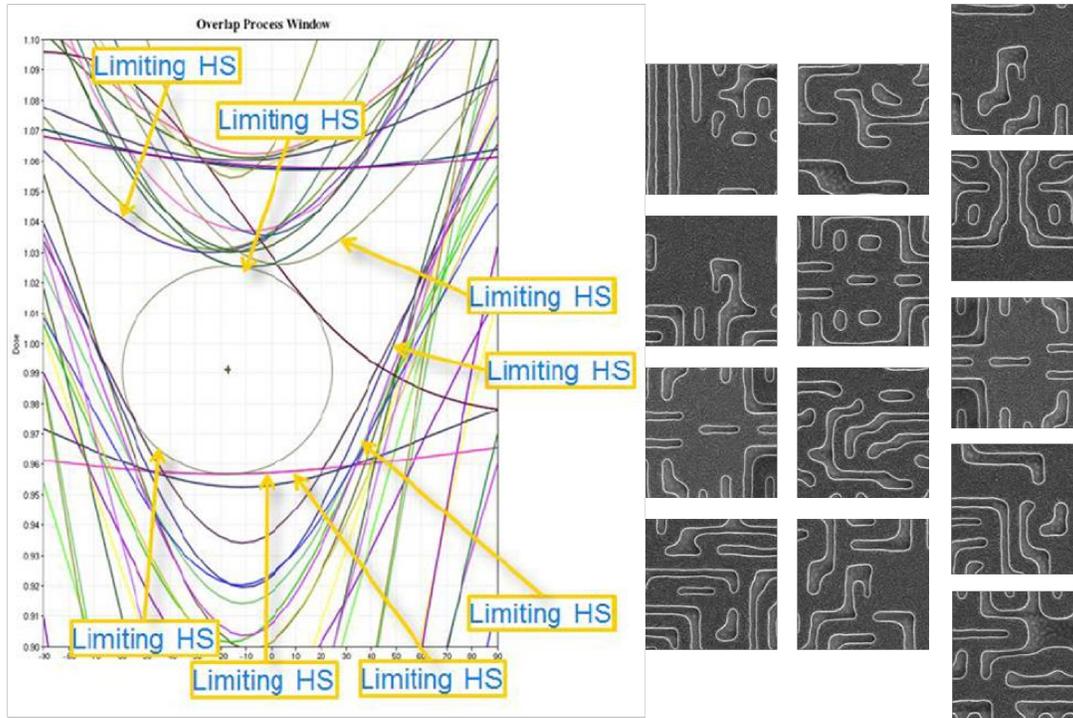


Figure 1 : Overlap of process windows for different hotspots of a CMOS 28 nm metal layer
Data based on ST/ASML pattern fidelity metrology project [6, 7]

Even if a relevant dose-focus set point within a tight process window can be found, another factor will influence the pattern fidelity: process variability [3]. Indeed multiple variations can change the actual centering point, mainly concerning the focus. For example, the topography of a wafer at BEOL levels can reach 25 nm within a chip [7, 8]. The wafer itself has a certain bow with a more significant curvature in the edge [9]. Lithography tool suppliers have solutions to minimize these effects but there is always a remaining non correctable error. Lithography is a critical step and even with a strong focus control a feature can turn into a defect at some locations across the wafer (See Figure 2) [7, 8] because of all these parameters.

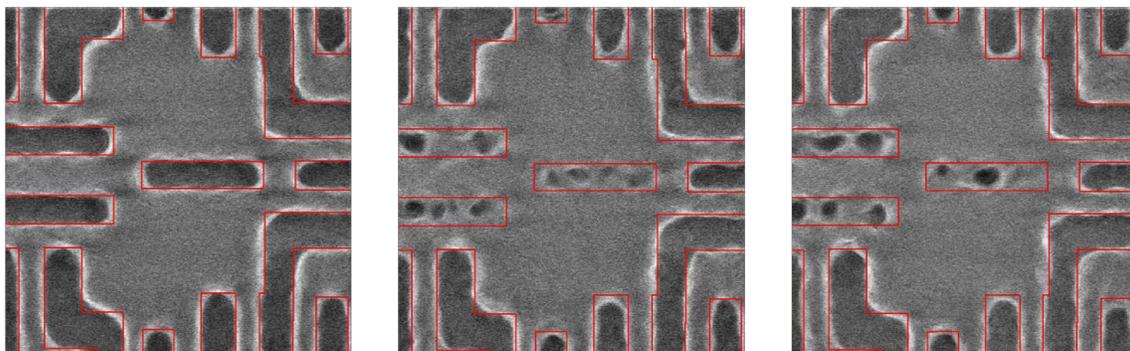


Figure 2 : examples of focus driven patterning defects after lithography at nominal process conditions (the first image shows a correct exposure). Hotspot selected using R3D simulation

Focus also impacts the resist slope after development. Focus variations induce a resist slope variation that will affect the pattern transfer after etching [2]. But in the end there are many factors that contribute to variability at each process step: stack uniformity, bake, rework, optical proximity correction, etch plasma, tool chamber, CMP slurry and many others. Thus a strong metrology to control the process is necessary. The data obtained is an important source of information to write process aware design rules but also to make more predictive OPC models.

OFFLINE SEM CONTOUR METROLOGY

CD-SEMs are widely used in advanced fabs to perform in-line CD measurements for process control. These tools achieve a high resolution and output high quality SEM images at nanometer scale. They have shown a high robustness in measuring regular patterns: line-space, contact holes arrays or isolated lines. However measuring complex patterns becomes more challenging. Recipe creation can be time consuming and the same robustness as for regular shapes is not guaranteed. But performing an in-line measurement is not the only way to have access to the dimensional data. The main task of a Scanning Electron Microscope is to acquire an image under a certain magnification and with a certain quality. The dimension is given by the field of view. At this point, all the dimensions that are or could be needed are already contained in the generated images. Since a few years, CD-SEM manufacturers propose solutions to extract a contour from a SEM image [1, 10, 11]. Using this technique engineers can extract the dimensional data of their patterns of interest. As shown in Figure 3, contour extraction stability is reached with complex shapes and at multiple process steps (lithography, etching, copper CMP).

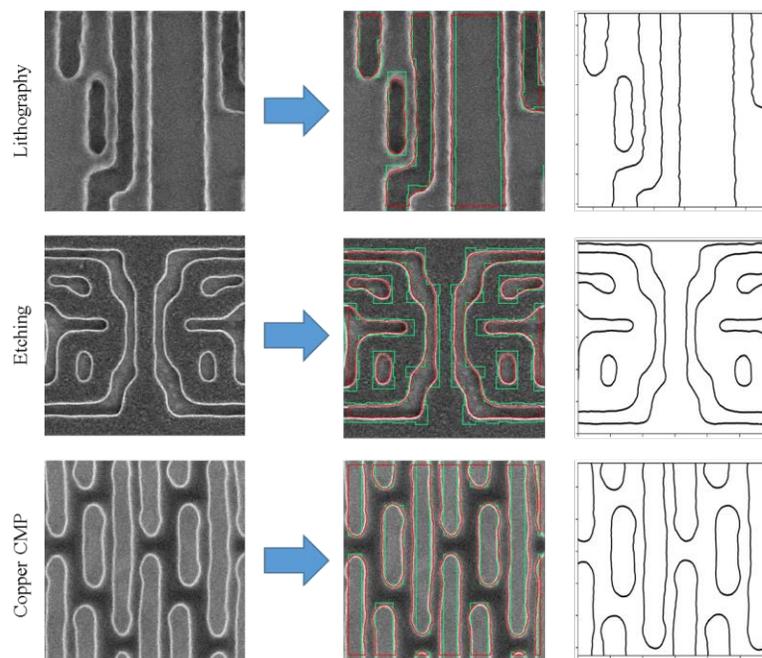


Figure 3 : Contour extraction on 2D patterns at different process steps (lithography, hardmask etching and Cu CMP)
Contours extracted using Hitachi's Design gauge

Only one contour contains a huge quantity of information. Moreover for process variability assessment, dense measurement sampling may be needed. So for one structure, hundreds of contours can be generated and this for multiple layers, process steps, lots. This means that a data base will be created and it will contain a huge amount of data. With this comes the problematic of processing such a quantity of data. Specific tools must be developed for that purpose [2, 3, 12, 13, 14, 15, 16].

It was shown previously that offline contour processing tools were developed at ST and ASML enabling process variability assessment on different metrics [2, 3]. The example given in figure 4 is a pattern used for reliability tests at BEOL 28 FD-SOI after copper CMP. It was possible to measure a tip to tip based on 800 SEM contours with no flyer.

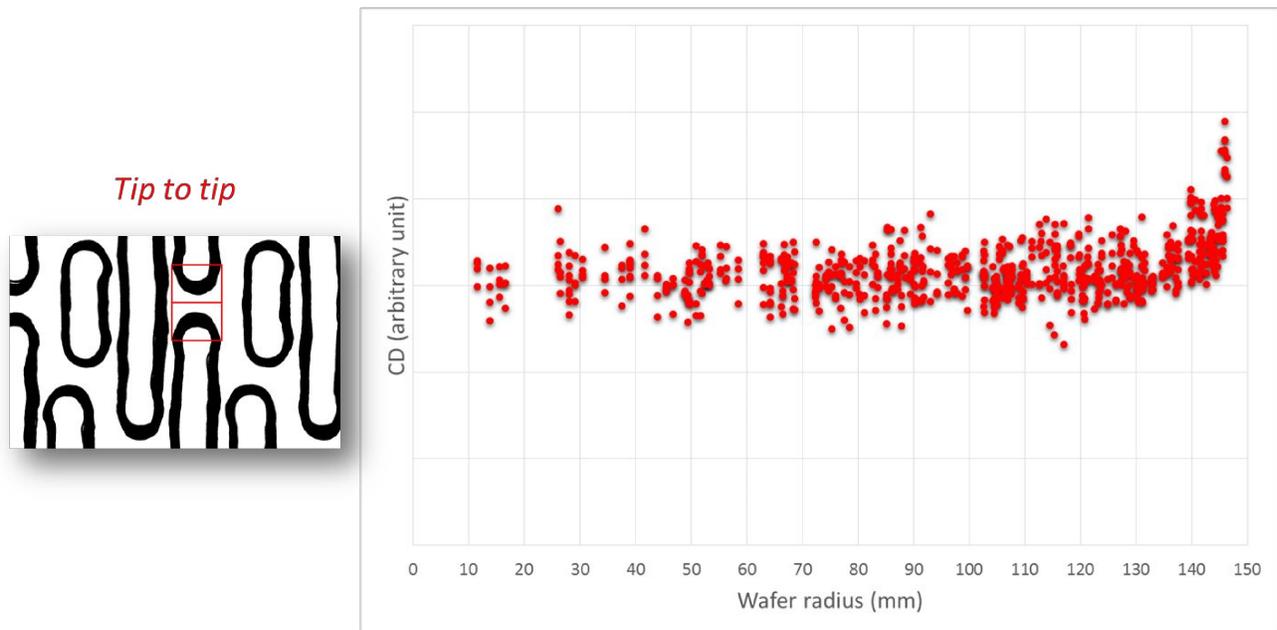


Figure 4 : evolution of tip to tip vs wafer radius 28 FD-SOI post CMP Metal X

Additionally multiple metrics can be extracted: classical CD measurements, areas, LER, LWR, etc. This allows engineers to perform multiple analysis: process variability, design rule verification, model improvement. A few examples are given in the following chapters.

HOTSPOT APPLICATION: LITHO-ETCH BIAS

Although lithography is the dominant contribution to CD variation, etching remains very important as it is required to preserve the fidelity of the pattern after transfer. For metal layers it is not possible to etch directly the stack using the resist as a mask. Indeed the resist will be degraded during etch process. This degradation occurs too fast to be able to etch at the desired thickness [17]. Thus a hardmask layer is added between the resist and the stack to etch. A first etch step is used to transfer the resist pattern into the hardmask film. Then

the resist is stripped and the hardmask is used to transfer the pattern into the stack (See Figure 5). So the hardmask etching step requires a tight CD control.

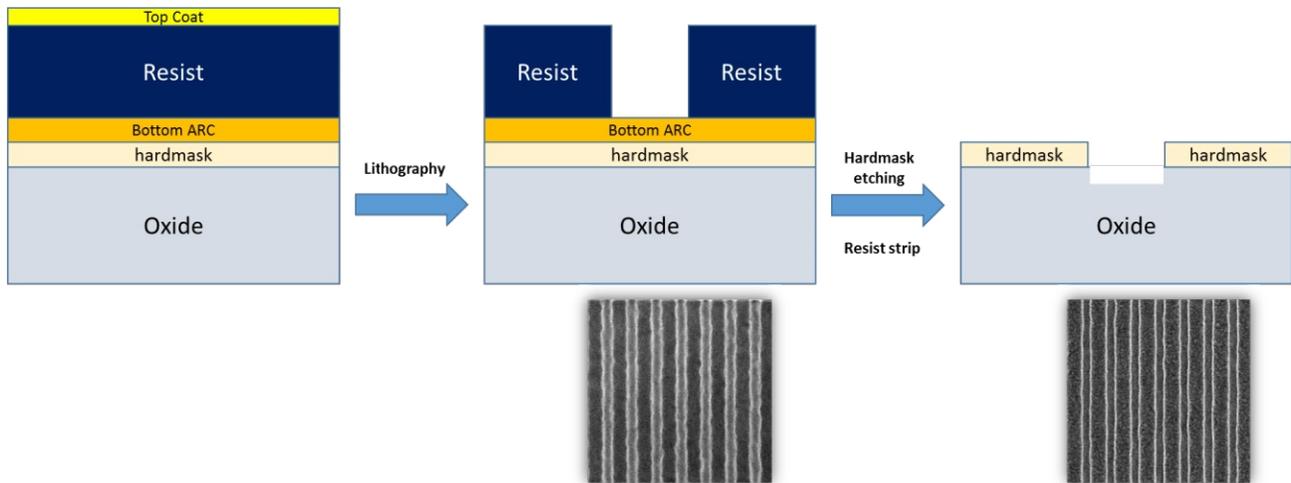


Figure 5 : illustration view of pattern transfers
 First the pattern is transferred into the resist using lithography, then an etching step and a resist strip are used to transfer it into the hardmask

At EMLC 2016 a paper was presented [2] in which the influence of lithography variability on after etch performance was studied using a mature CMOS 28 nm process.

This paper will go forward and show some improvements of the methodology. The data set consists of two wafers exposed at nominal process conditions at the same time. One of the wafer also has a hardmask etch. So comparing ADI to AEI is not done using the same wafers. However both wafers have been exposed at the same time. This will allow to have an equivalent sampling without having to consider the resist shrinkage issue.

The hotspot, so-called “golden” hotspot that will be studied is given in Figure 6. As detailed in paper [2] it is a test feature that is very sensitive to lithography process variations. Depending on the trench that is considered there is a significant difference in best focus due to Mask 3D effects. At a given focus, there is a distinct difference in profiles for the three trenches that will lead to pattern displacement effects during the etch transfer. It is thus a relevant test case for offline metrology.

For each wafer ~700 SEM images are taken at the same locations using a Hitachi’s CG5000. For the contour extraction, Design gauge is used [1]. The offline metrology tool presented in [3] is used for this part. As explained in paper [3], the contour data must be aligned prior to further analysis to reduce image placement noise. It allows more accurate contour to contour comparison and to calibrate measurement boxes. The aligned ADI and AEI contours are then used for metrology purposes. The contours have been overlaid and are given in Figure 7.

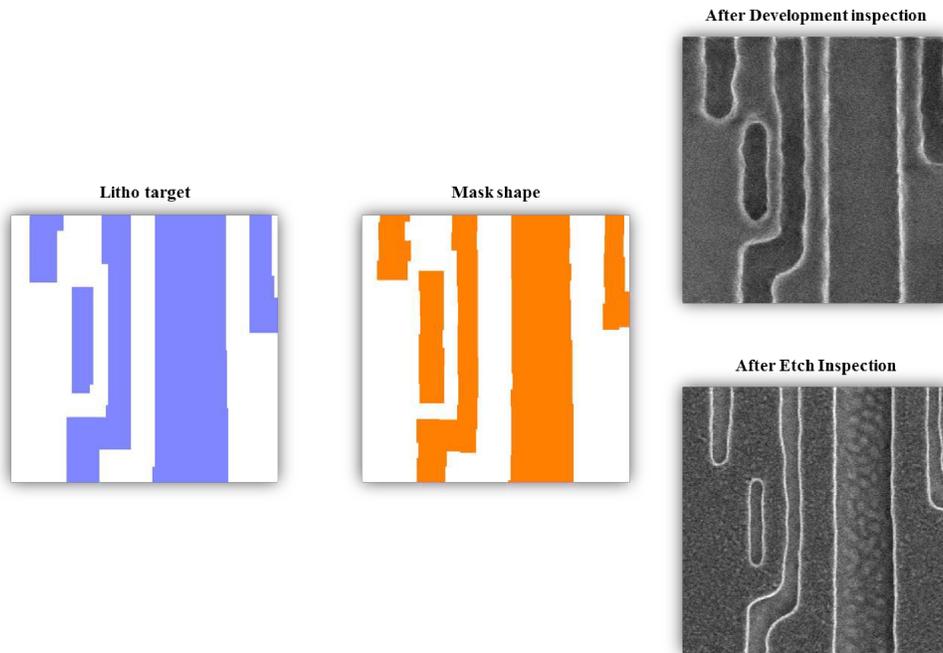


Figure 6 : « Golden » hotspot from lithography target to post hardmask etching

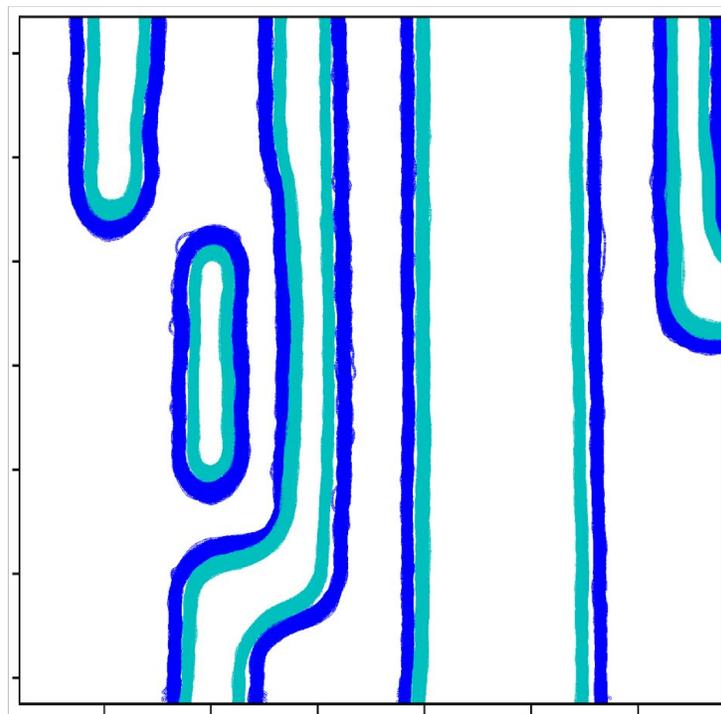


Figure 7 : set of contours stacked
 dark blue: ADI set
 cyan: AEI set

The contours are loaded into the offline metrology tool. A box (or multiple) is created to define the location where the bias must be measured. A litho contour is then stacked with the etch contour of the same wafer location and the bias between the two contours at the defined box location is extracted. This allows direct edge to edge measurements with some flexibility concerning the measurement box set up. Biases at complex edges can be measured, for example at rounded corners.

However a parameter must be taken into account: the resist roughness. When measuring a bias along a line it is possible to quantify the roughness or to obtain an averaged value that will balance the roughness influence. However a limitation remains at the corners as the bias is measured very locally. A small shift of the resist due to roughness causes too much noise to extract an accurate value.

In Figure 8, two examples of measurements are given. They are based on the same litho and etch wafers but just the position on the wafer changes. The bias measured is the minimum value at the corner (red edges). On Figure 8.a) there is a zero value reported which is mainly due to local roughness of the resist. On Figure 8.b) the value extracted is eleven nanometers higher.

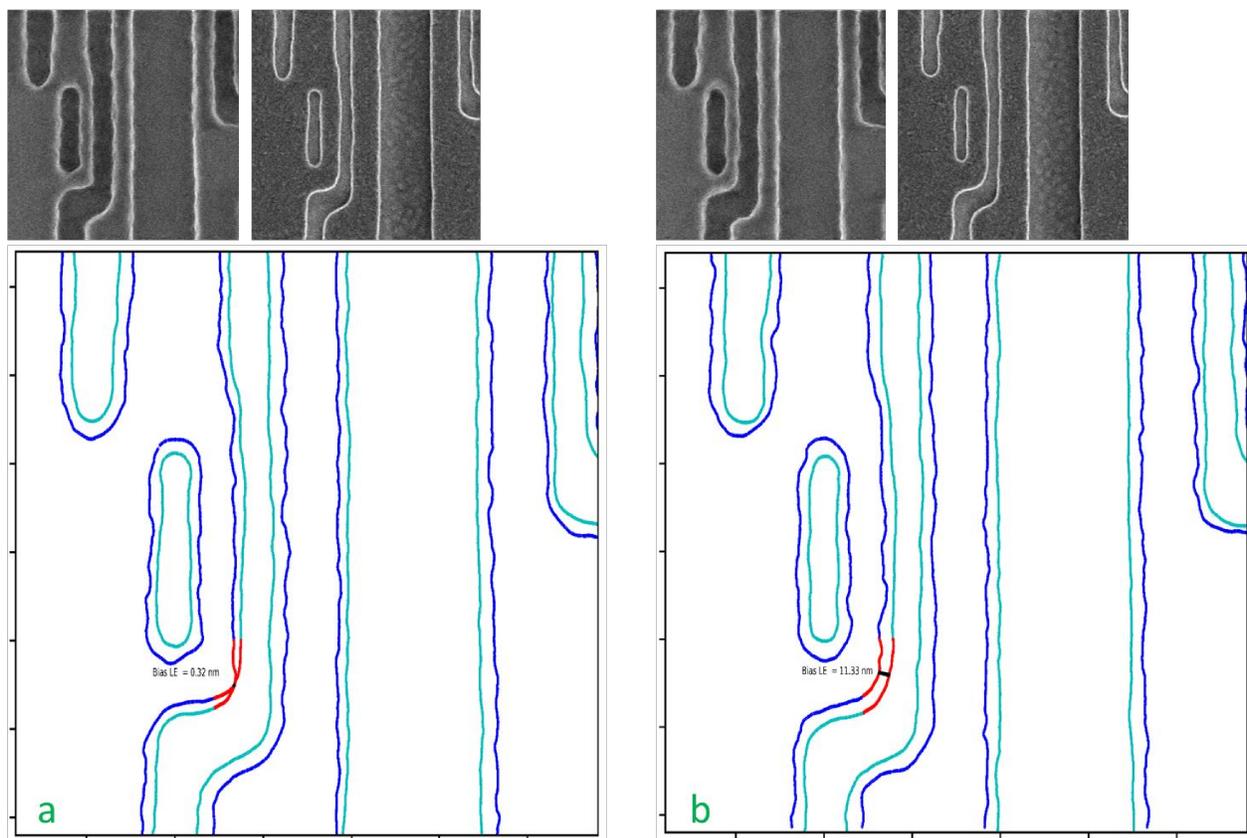


Figure 8 : examples of biases measured at a corner rounding of two different locations

- a) bias litho-etch = 0.32 nm at wafer location 1
- b) bias litho-etch = 11.33 nm at wafer location 2

When an important set of contours is available, contour averaging is possible. Averaging generates a contour target based on actual wafer data. As averaging smooths the profiles, the roughness is no longer an issue and biases can be measured locally. Figure 9 shows the averaging of Figure 7 stacked contours, see [3] for more details.

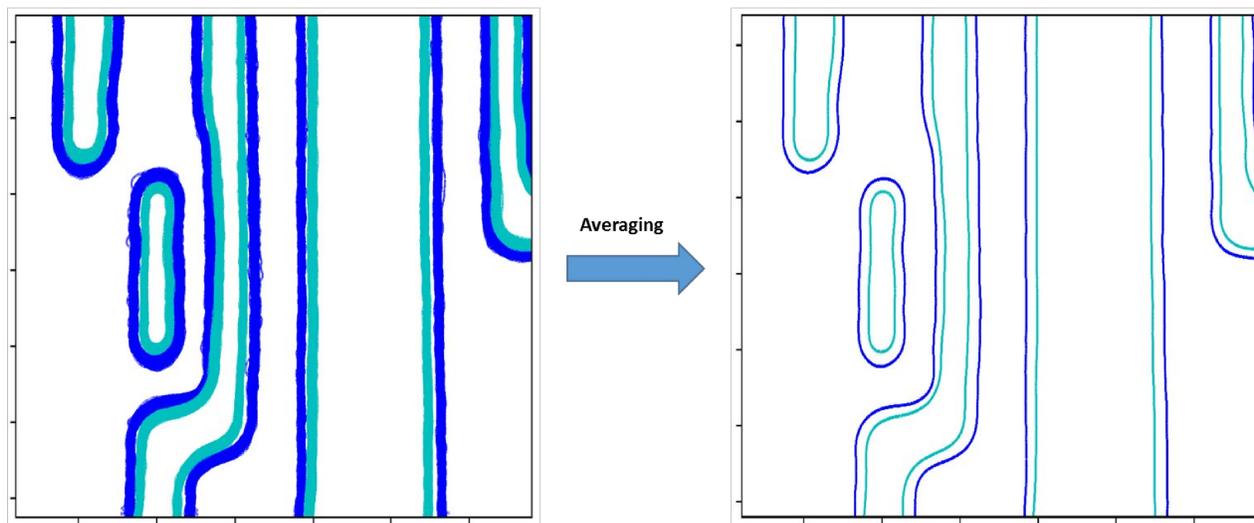


Figure 9 : average contour extraction (overlap litho-etch)

The same method can be applied on the reference process control pattern (line-space called Mesdim). Here the biases from the average Mesdim are compared to the ones measured on the average hotspot. Figure 10 shows the biases at different edges within the two structures.

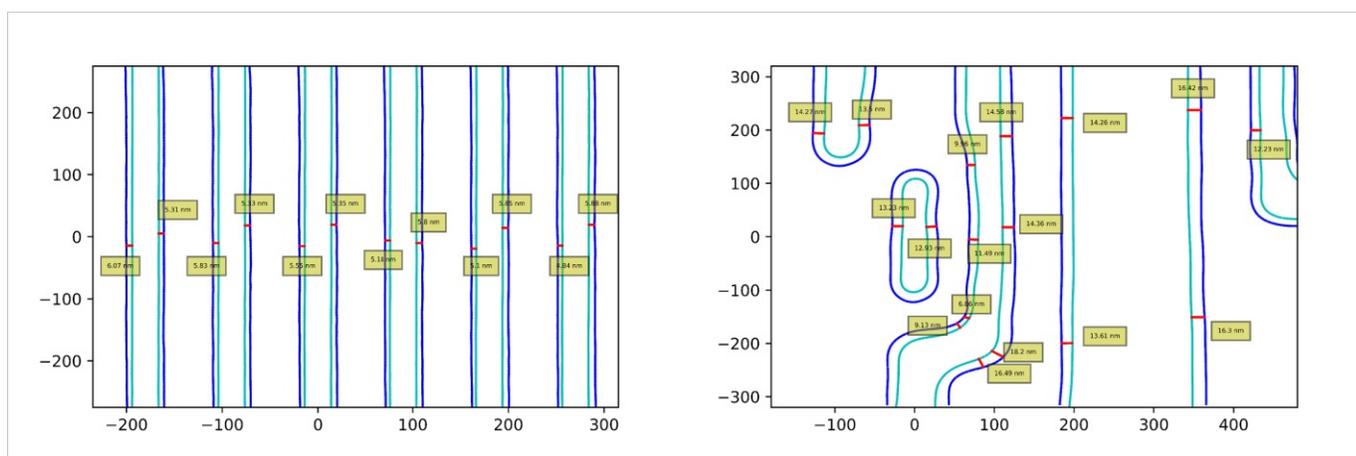


Figure 10 : Litho-Etch biases measured on mesdim and hotspots at different edges

When measuring the bias on a simple 1D feature, the value remains uniform (between 5 and 6 nanometers), no matter the edge that is measured. However when it comes to the hotspot with more complex edges and different pitches, the values are much higher. The inner corner rounding has a value close to the mesdim but in general the bias is three times higher at the other edges. This process can be performed on multiple 2D structures to create a bias data base for different hotspot configurations.

OUTLOOK: PHYLOGENY, SEM IMAGES CLASSIFICATION

When handling a significant amount of data, it can be time consuming and error prone to sort or to classify the images. In this chapter, SEM images are automatically classified according to their geometrical proximities.

After retrieving the contour of each image, the top and bottom profiles are detected. Then the “skeletons” of all objects in the image are computed. After this processing, images are aligned using a translation (or rotation) in order to minimize a cost function (in this case the average distance skeleton to skeleton for each pair of images). In the end there a residual alignment error remains. It can be seen as a quantification of the dissimilarity between images. This value is used to sort the SEM images and thus create a phylogenetic tree. More details about the overall process are given in paper [4].

A set of approximately 600 hotspot SEM images taken on an AEI wafer at nominal conditions is used for classification.

In Figure 11, the generated phylogenetic tree is given. Three main groups can be extracted from this analysis. These clusters can be related to their positions on the wafer. Indeed there is a visible center to edge distribution. The patterns can face several distortions due to focus effects at wafer edge and thus their skeletons will change when compared to the ones at the center of the wafer.

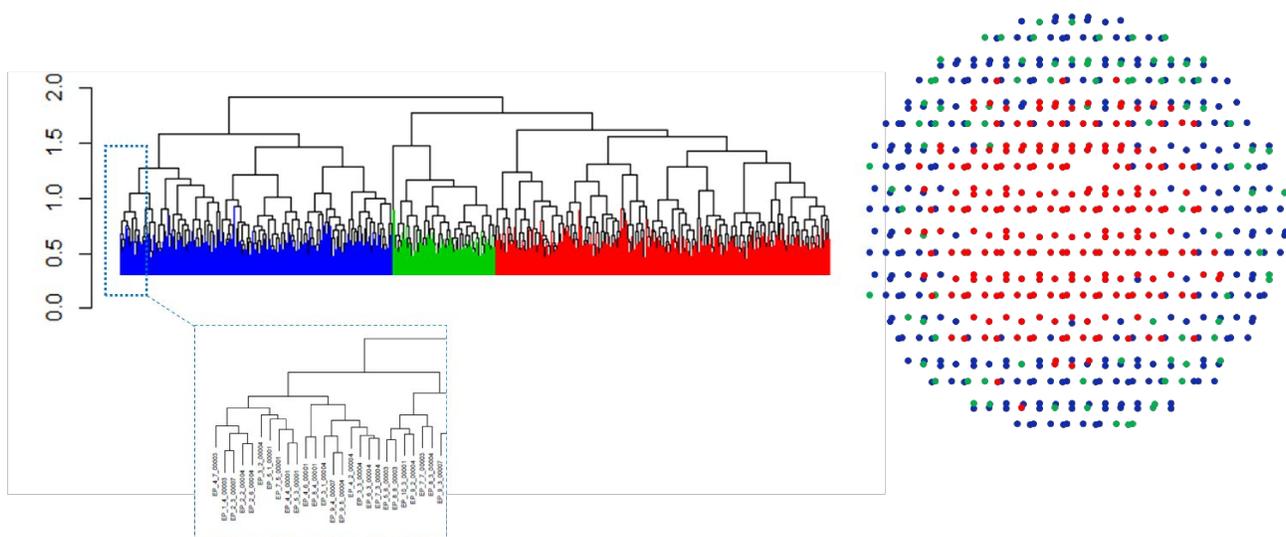


Figure 11 : generated hotspot classification and intra wafer distribution of the three main clusters

When looking at the images of the three clusters there are indeed some distortions that can be observed in one group but not in another. One image is taken in each group and the corresponding contours are stacked (Figure 12).

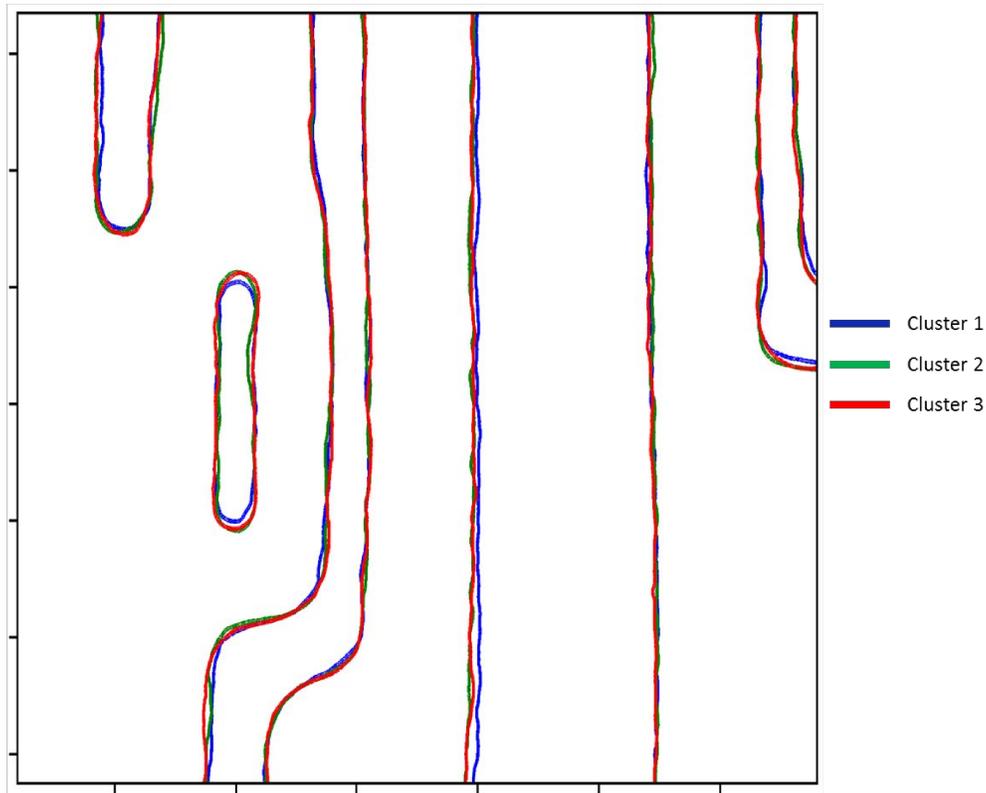


Figure 12 : overlap of three contours from the three main classification groups

Cluster 3 is the main group which corresponds to center of the wafer. Cluster 2 has less images in it and is close to cluster 3 in terms of CD except that a necking can be seen on the small trench, that is why it has been classified in another group. Cluster 1 is present at wafer edge and looking at the stack it was put in a different group because there is a visible CD reduction, for example the minarea length is smaller. Thus, phylogeny is a way to put a metric on pattern distortions and helps users to classify SEM images according to their geometries.

CONCLUSION

In this work it has been shown that it is possible to use CD-SEM to perform CD metrology on complex shapes and at different process steps. A patterning hotspot from a 28 nm metal layer has been selected as an example. CD-SEM is used to take the images from which a contour is generated. The contour becomes an input for an offline CD metrology.

Through this work a methodology to quantify lithography to hardmask etching bias has been explained. It makes it possible to generate a CD-SEM based bias data base for different complex shapes using contour averaging. The core of this work is to propose a methodology that could assess the needs for CD metrology from different groups:

- Process: robust metrology to assess process variability of representative patterns
- OPC: robust and predictive models
- Design: process aware design rules

The use of phylogeny to classify SEM images is an interesting opportunity to be able to detect pattern distortions from a reference target. This classification can be used in the future on Focus Exposure Matrix (FEM) wafers to analyze distortion across process window.

Many further developments are possible. For example it would be interesting to perform this methodology on different levels of a product (contact to Metal 1, Metal 1 to Metal 2, etc). Thus it is possible to perform overlap analysis to quantify coverage.

REFERENCES

- [1] Shunzuke Koshihara et al, “*Challenge to New Metrology World by CD-SEM and Design*” Hitachi Review 57, pp. 123–126 (Jun. 2008)
- [2] Jo Finders et al, “*Translation of lithography variability into after-etch performance: monitoring of golden hotspot*”, Proceedings of SPIE Vol. 10032, 100320H (2016)
- [3] Amine Lakcher et al, “*Robust 2D patterns process variability assessment using CD-SEM contour extraction offline metrology*”, Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 1014514 (March 28, 2017)
- [4] Loïc Schneider et al, “*Framework for SEM contour analysis*”, Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 1014513 (March 28, 2017)
- [5] Bertrand Le-Gratiet et al, “*Integration and automation of DoseMapper in a logic Fab APC system: application for 45/40/28nm node*”, Proc. SPIE 8324, Metrology, Inspection and Process Control for Microlithography XXVI, 83241Y (March 29, 2012)
- [6] Pierre Fanton et al, “*Process Window Optimizer for pattern based defect prediction on 28nm Metal Layer*”, Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97782O (March 8, 2016)
- [7] Pierre Fanton et al, “*Advanced in-production hotspot prediction and monitoring with micro-topography*”, Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 101450X (28 March 2017)
- [8] J.-G Simiz et al, “*Verification and application of multi-source focus quantification*”, Proc. SPIE 9781, Design-Process-Technology Co-optimization for Manufacturability X, 97810S (16 March 2016)
- [9] Maxime Gatefait et al, “*An evaluation of edge roll off on 28nm FDSOI (fully depleted silicon on insulator) product*”, Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97782Y (24 March 2016)

- [10] T. Shibahara et al, “*A CD-gap-free contour extraction technique for OPC model calibration*”, Proc. SPIE 7971, Metrology, Inspection, and Process Control for Microlithography XXV, 79710O (April 20, 2011)
- [11] Izumi Santo et al, “*Accurate Contour Extraction from Mask SEM Image*”, Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502M (April 2, 2014)
- [12] F. Weisbuch, A. S. Naranaya, “*Assessing SEM contour based OPC models quality using rigorous simulation*”, Proc. SPIE 9051, Advances in Patterning Materials and Processes XXXI, 90510A (March 27, 2014)
- [13] F. Weisbuch et al, “*Bringing SEM contour based OPC to production*”, Proc. SPIE 9052, Optical Microlithography XXVII, 905224 (March 31, 2014)
- [14] F. Weisbuch et al, “*Calibrating etch model with SEM contours*”, Proc. SPIE 9426, Optical Microlithography XXVIII, 94261T (March 18, 2015)
- [15] Y. Toyoda et al, “*SEM-Contour shape analysis based on circuit structure for advanced systematic defect inspection*”, Proc. SPIE 9050, Metrology, Inspection, and Process Control for Microlithography XXVIII, 90502V (2 April 2014)
- [16] S. Halder et al, “*Design-based metrology: Beyond CD/EPE metrics to evaluate printability performance*”, Proc. SPIE 9778, Metrology, Inspection, and Process Control for Microlithography XXX, 97780W (March 25, 2016)
- [17] Katherina Babich et al, “*Hardmask technology for sub-100 nm lithographic imaging*”, Proc. SPIE 5039, Advances in Resist Technology and Processing XX, 152 (June 11, 2003)

SEM contour based metrology for microlens process studies in CMOS image sensor technologies

Amine Lakcher ^{a,c}, Alain Ostrovsky ^a, Bertrand Le-Gratiet ^a, Ludovic Berthier ^a, Laurent Bidault ^b,
Julien Ducoté ^a, Clémence Jamin-Mornet ^a, Etienne Mortini ^a, Maxime Besacier ^c

^a STMicroelectronics, 850 rue Jean Monnet, 38926 Crolles Cedex, France

^b STMicroelectronics, 190 avenue Célestin Coq, 13106 Rousset Cedex, France

^c Université Grenoble Alpes, LTM-CNRS, 38042 Grenoble, France

ABSTRACT

From the first digital cameras which appeared during the 70s to cameras of current smartphones, image sensors have undergone significant technological development in the last decades. The development of CMOS image sensor technologies in the 90s has been the main driver of the recent progresses. The main component of an image sensor is the pixel. A pixel contains a photodiode connected to transistors but only the photodiode area is light sensitive. This results in a significant loss of efficiency. To solve this issue, microlenses are used to focus the incident light on the photodiode. A microlens array is made out of a transparent material and has a spherical cap shape. To obtain this spherical shape, a lithography process is performed to generate resist blocks which are then annealed above their glass transition temperature (reflow).

Even if the dimensions to consider are higher than in advanced IC nodes, microlenses are sensitive to process variability during lithography and reflow. A good control of the microlens dimensions is key to optimize the process and thus the performance of the final product.

The purpose of this paper is to apply SEM contour metrology [1, 2, 3, 4] to microlenses in order to develop a relevant monitoring methodology and to propose new metrics to engineers to evaluate their process or optimize the design of the microlens arrays.

Keywords: image sensor, CMOS, CD-SEM, contour, metrology, microlens, lithography, reflow.

INTRODUCTION

CMOS image sensors have the advantage of being cost effective and are process compatible with integrated circuit manufacturing so they could benefit from the silicon process developments driven by Moore's law to become more efficient and address larger application fields. In addition to numerical video and photography, they are present in numerous applications like spatial technologies, automotive sensors or medical instrumentation. The reduction of the pixel size at each generation is the main contributor to increased sensor performance. It is thus possible to improve the resolution or to reduce the size of the sensor [5].

A pixel contains a silicon photodiode which captures the photons. The photodiode is connected to transistors in order to generate, collect, transfer and measure these charges. Only the photodiode area is light sensitive, so not all the pixel surface can collect photons. The ratio of light sensitive area versus pixel area is called fill factor. In many cases the fill factor can be smaller than 30%. Should the final product operate this way, this would result in a significant loss of

efficiency. To solve this issue, microlenses are used to focus the incident light on the photodiode [5, 6, 7]. Figure 1 shows a classical stack of a CMOS image sensor. To be efficient a microlens must have an hemispherical shape, be transparent to light and have a high coverage of the pixel. The microlenses that will be studied in this paper are made of a transparent polymer photoresist. Contrary to traditional lithography where the resist is used to protect an area during etching or ion implantation, the resist used here is a component of the microlenses and will remain on the final product.

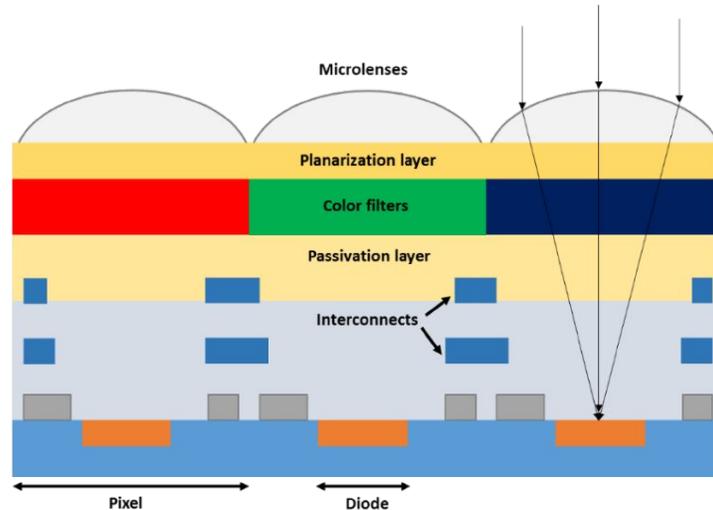


Figure 1 : CMOS image sensor stack illustration

Many methods exist [8, 9, 10] to fabricate microlenses. The main one is the reflow technique [11] which uses the combination of photolithography and annealing. It is a cost effective process as it requires an exposure tool and a hot plate which are common tools in a fab.

The different steps are given in Figure 2. The lithography is used to form resist blocks on the substrate. The resist is exposed at a wavelength of 365 nm. Then an annealing step is performed during which the resist blocks are heated above their glass transition temperature in order to crosslink the polymer and give the blocks a hemispherical shape thanks to surface tensions. After cooling the microlenses have stronger adhesion and mechanical stability.

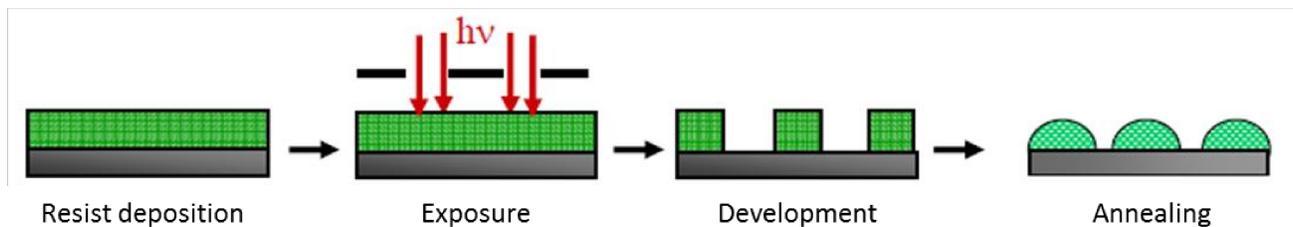
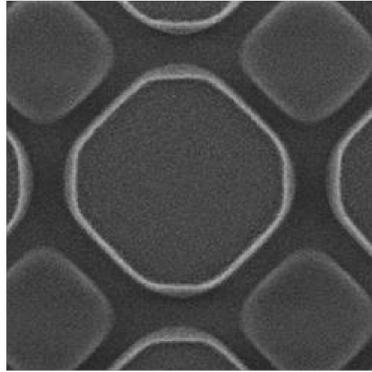
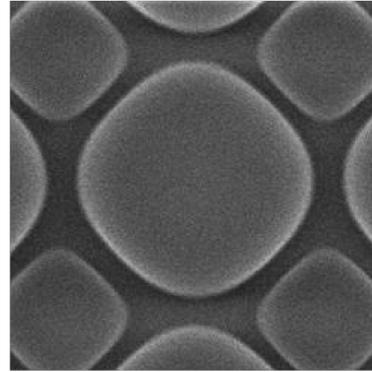


Figure 2 : microlens fabrication steps using a reflow process [5]

Two comparisons using SEM images after exposure and after reflow given in Figure 3. Looking at the central microlens after exposure, it has an octagonal shape due to the mask shape. After reflow it moved towards a more circular shape.



Development



Annealing

Figure 3 : comparison SEM images after development and after annealing (35k)

CD METROLOGY

As microlenses are important for the reliability of the sensor, it is important to operate a strict process control. The main metrology steps performed are AFM and CD-SEM. AFM is used to measure the height of the microlenses. This paper will focus mainly on the top view aspect of the microlenses for which CD-SEM is well adapted. In-line CD control is done on an image sensor as for a standard IC. After exposure and/or reflow, a lot will be measured by CD-SEM. As robust and stable measurements are needed for in-line monitoring, CD-SEM recipes will measure mainly simple metrics, generally in one direction, to avoid missed measurements that occur often when measurement set up is complex.

Figure 4 gives two examples of in-line process control measurements on microlenses. In those cases measurements are limited to one diameter or one gap per image, on a few fields per wafer. But there is much more information that should be taken into account. For example diameter could be measured at the same time as the gaps to the neighboring microlenses. The next sections will show that much more relevant information can be extracted. Also if the values reported are within specification SEM images are rarely analyzed. Considering the thousands of images generated each day in the fab, it is a lot of information that is discarded.

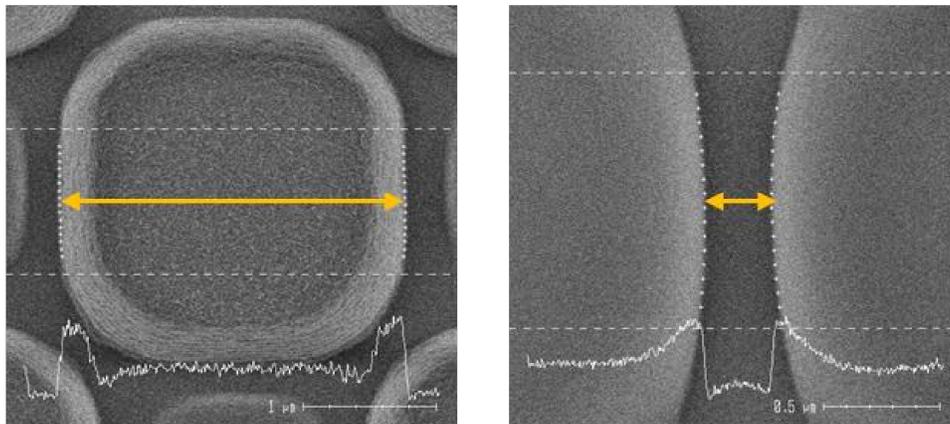


Figure 4 : In-line CD-SEM measurements performed on production lots

In previous papers [1, 2, 3, 4] a SEM contour based metrology tool has been introduced. It uses CD-SEM contour extraction as an input for offline metrology on yield limiting features found in 28 nm interconnects. The main uses today are:

- CD monitoring of patterning hotspots within the product. An example is given in Figure 5
- Post copper CMP CD metrology on reliability features. Figure 6 shows an example of a robust tip to tip measurement based on contours
- Analysis like visualizing variability, averaging contours or measure lithography to etch bias on complex features (as the hotspot in Figure 7).

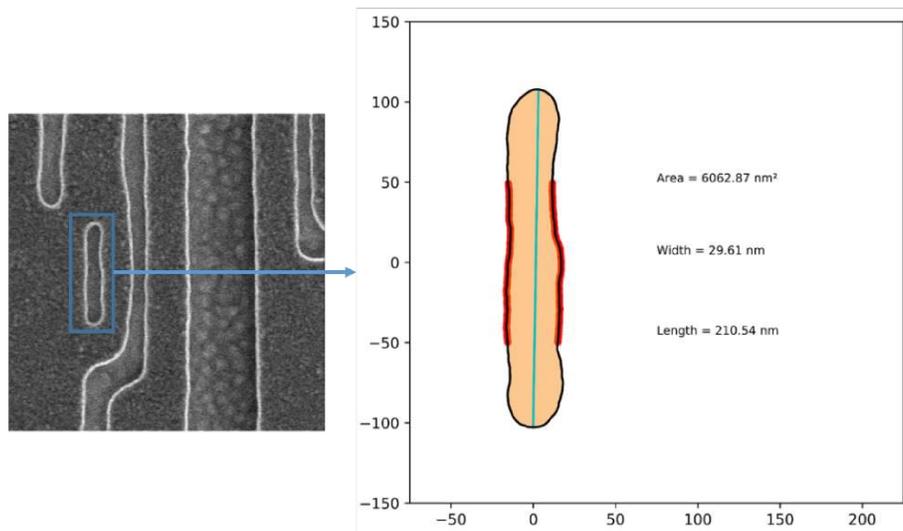


Figure 5 : contour based hotspot monitoring with area, width and length measurement

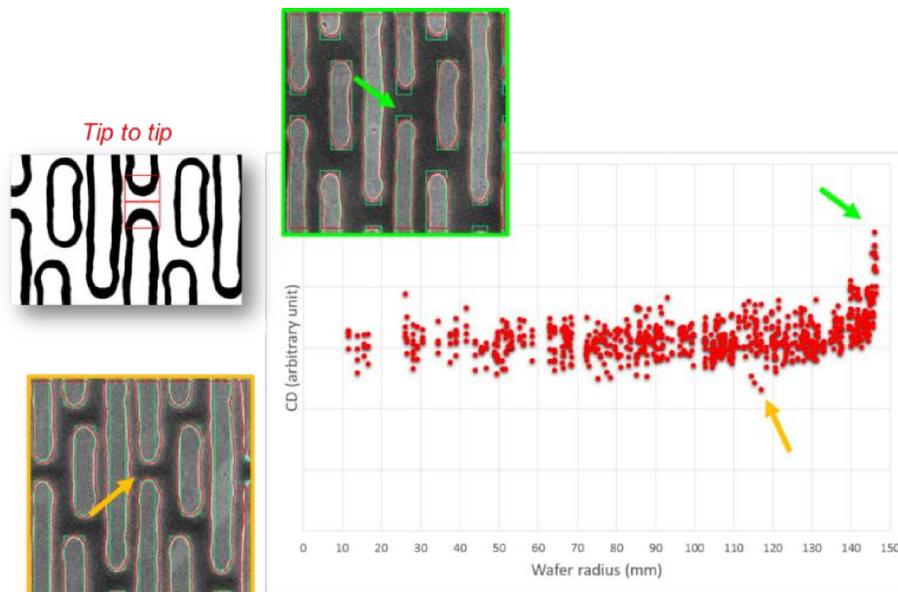


Figure 6 : tip to tip measurement on post copper CMP features using CD-SEM contours [2]

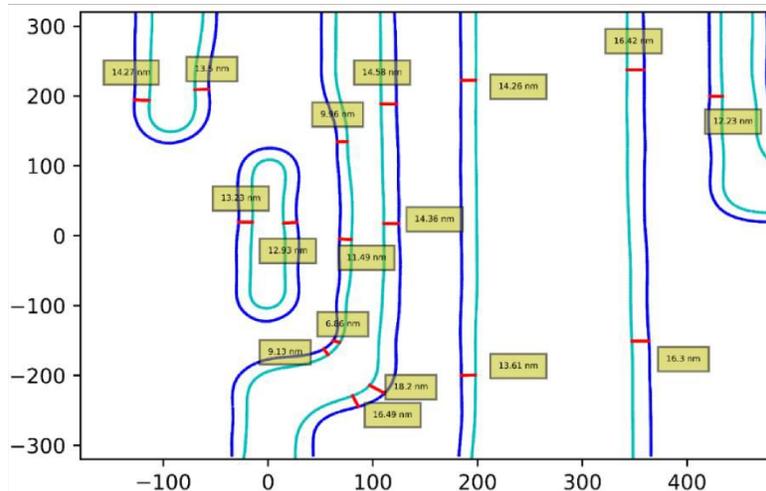


Figure 7 : lithography (dark blue) to hardmask etching (clear blue) bias measurement using CD-SEM contours [4]

Contour metrology has shown its robustness and stability and there is currently a lot of interest in applying this to the microlens process to optimize product development. The scripts have been optimized to propose options to process engineers. The goal of this paper is to introduce some of those options and give a few perspectives for future improvements.

TEST CASE

This work has started on a specific product with two different sizes of microlenses. Figure 8 shows the design layout of an array with a large microlens in dark blue (labeled BSU1) and a complimentary small microlens (labeled BSU2). Each BSU1 operates with a neighboring BSU2. SEM images are generated with the same layout as the one in Figure 8. A Hitachi's CG5000 CD-SEM is used to generate the images and contours are extracted using Design gauge Analyzer. As the microlenses have different sizes and thus different heights, it is not possible to process both at the same time, so two different masks are used as shown in Figure 9. BSU2 process is done first by lithography and annealing and then the process is repeated on BSU1.

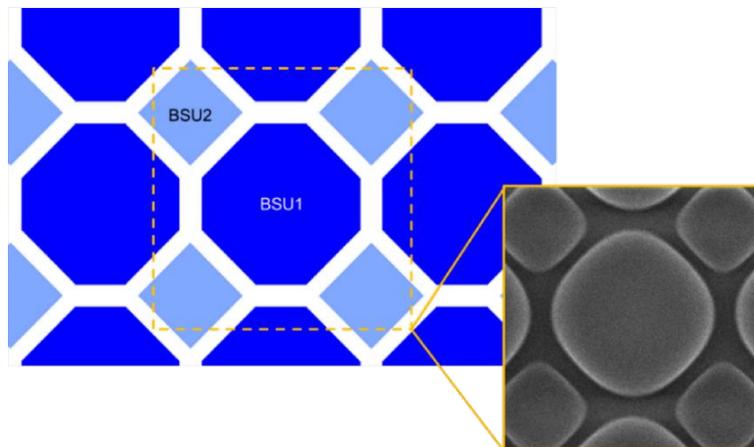


Figure 8 : layout of the array and example of SEM image generated

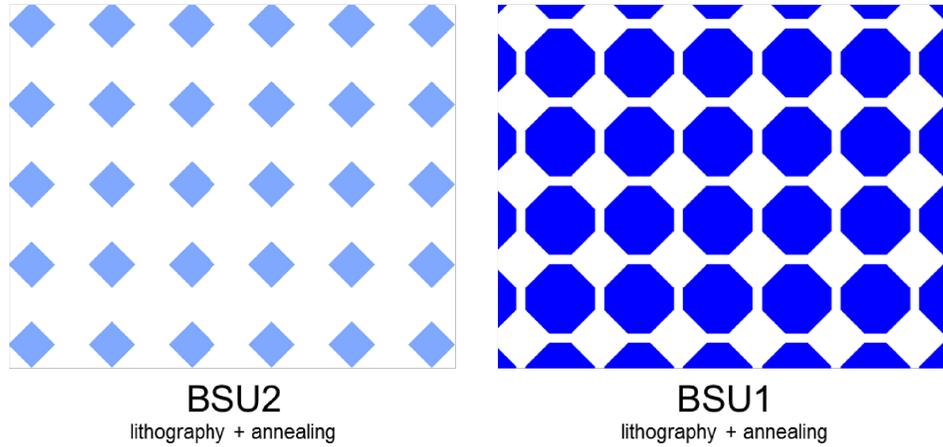


Figure 9 : microlens process is split into two reflow steps due do the use of different designs

Contour extraction applied on microlens is stable and thus it facilitates automatization of this process. An example based on a post reflow SEM image is given in Figure 10.

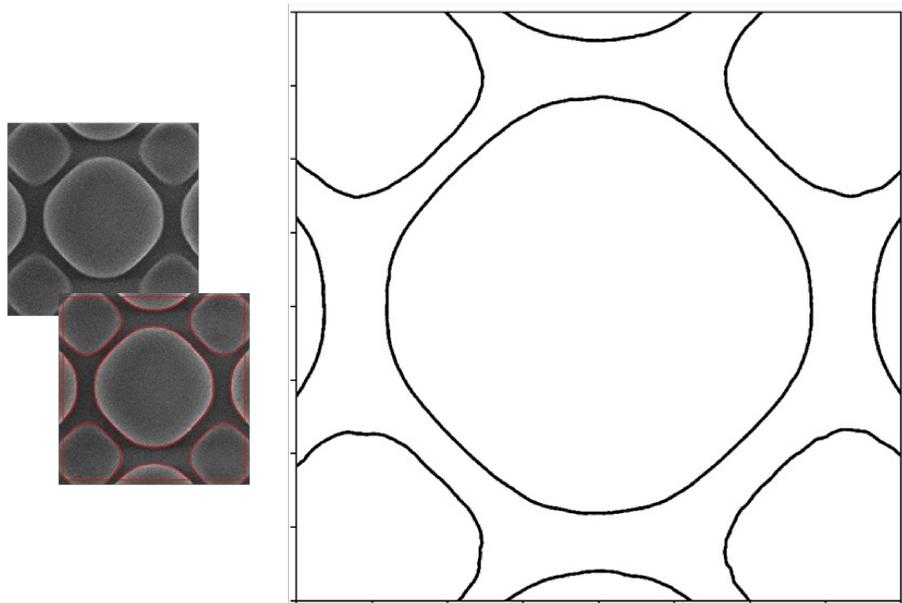


Figure 10: SEM contour extraction on microlens image after reflow. Extraction done using Hitachi's Design gauge analyzer [12]

METROLOGY SET UP

As indicated in Figure 4 in-line CD-SEM metrology is performed only on diameter for this layer. Offline contour processing allows engineer to parameterize multiple measurements without having to run the CD-SEM again. On each contour 12 metrics have been configured and they are shown in Figure 11.

The 12 measurements are the following:

- Diameter BSU1 (standard process control measurement).
- Four gaps BSU1 – BSU1 (red arrows in Figure 11). Reported values are minimum distances.
- Four gaps BSU1 – BSU2 (green arrows in Figure 11). Reported values are minimum distances.
- Area and circumference of BSU1 in the center.
- Overlay BSU1 - BSU2. As BSU1 and BSU2 are patterned separately, the four gaps BSU1 – BSU2 will be influenced by the overlay. The contour can thus be used as an in-product overlay target.

Figure 12 shows an output based on the previous metrology script. The 12 values were robustly extracted.

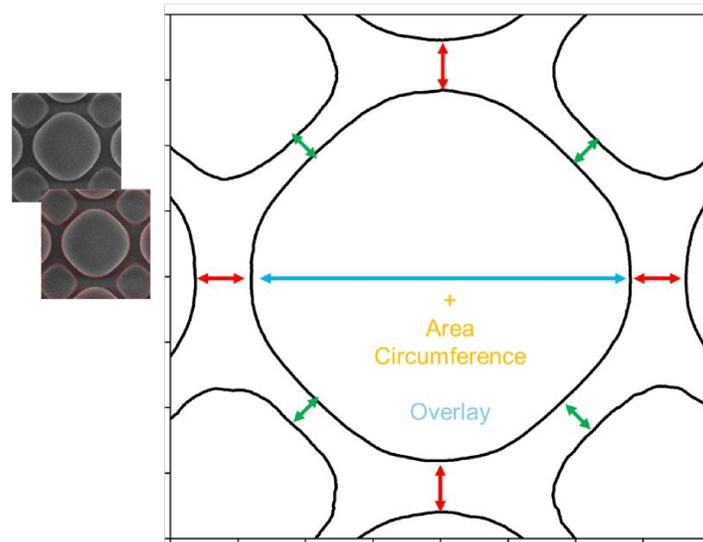


Figure 11 : metrology set up on microlens contour

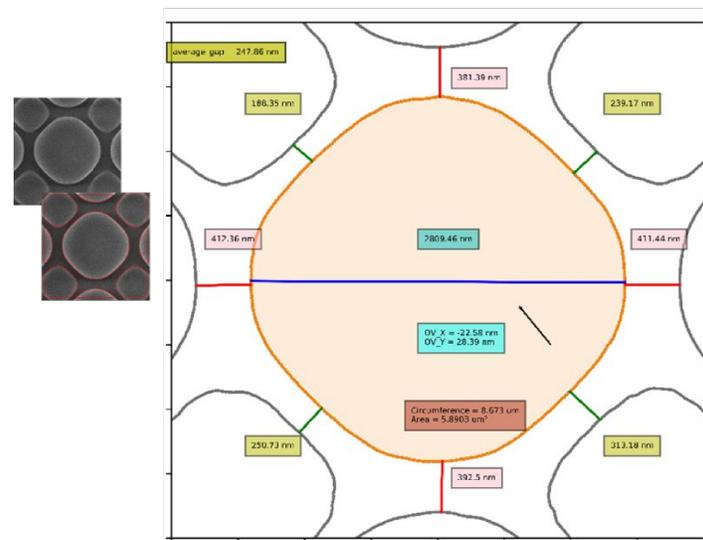


Figure 12 : output based on a metrology set up with 12 metrics

Actually it is never performed on one contour at a time but it can be automated to analyze large data sets. It means that the previous set up can be saved as a measurement template and used multiple times. It contains also an alignment step which will reduce image placement error by aligning each contour on the center of gravity of BSU1 at the center of the contour.

Most measurements in this paper are performed after reflow but it is also possible after exposure. An example of litho to etch bias measurement is given in Figure 7. The same procedure can be used on microlenses to quantify the spread of a microlens after reflow. A post exposure contour and a post reflow contour are overlaid and the user can define locations of interest to measure the shift as in Figure 13.

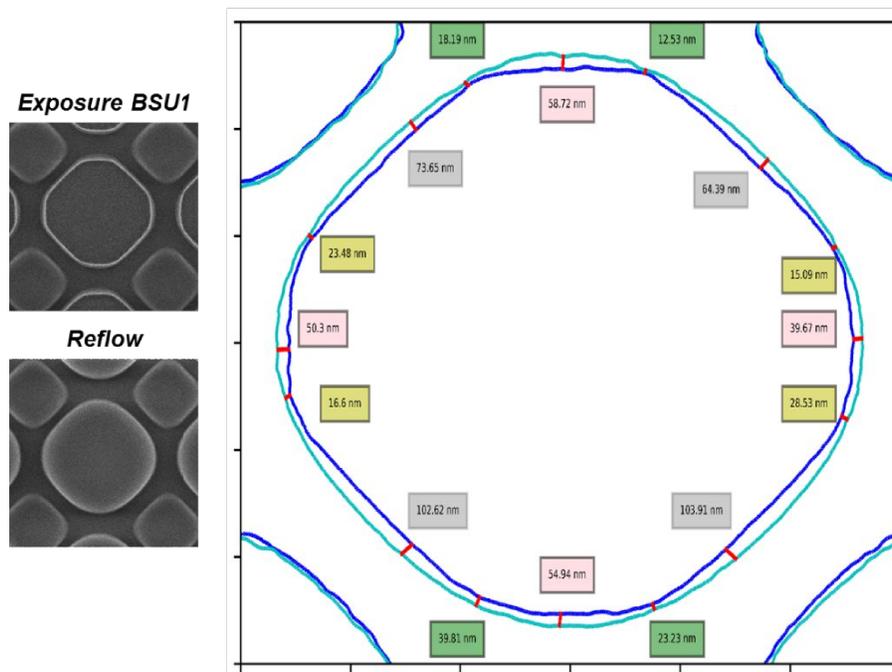


Figure 13 : exposure (dark blue) reflow (clear blue) shift measurement based on contour processing

MICROLENS FILL FACTOR

The efficiency of a microlens is based on the amount of photons it can focus on the photodiode. To maximize this the microlens must have a high coverage of the pixel. A fill factor (FF) can thus be defined for microlenses too. It corresponds to the ratio of microlens versus the total pixel area:

$$FF = \frac{\text{Area covered by microlenses}}{\text{Total pixel area}}$$

Process and test engineers need a method to measure this ratio as it is a global indicator for the process and can be used as a parameter to compare optical tests to process. However when the microlenses are processed the pixel is no longer

visible as it is covered by multiple layers. Thus when a SEM image is taken it is complicated to have a meaningful measurement of the coverage. Contour processing allows overlapping offline the pixel to the microlens contour as illustrated in Figure 14. A fixed size square which corresponds to a pixel is defined and centered on the center of gravity of BSU1. Then the areas of BSU1 and of the four BSU2 parts are measured and divided by the total pixel area to obtain the fill factor of the microlens. Figure 15 shows an example of output (based on Figure 14), with BSU1 in orange and the BSU2 parts in blue. The fill factor measured by this method is based on actual silicon data. It is as robust as the previous metrology part and thus can be added to the metrology set up to automate the measurement.

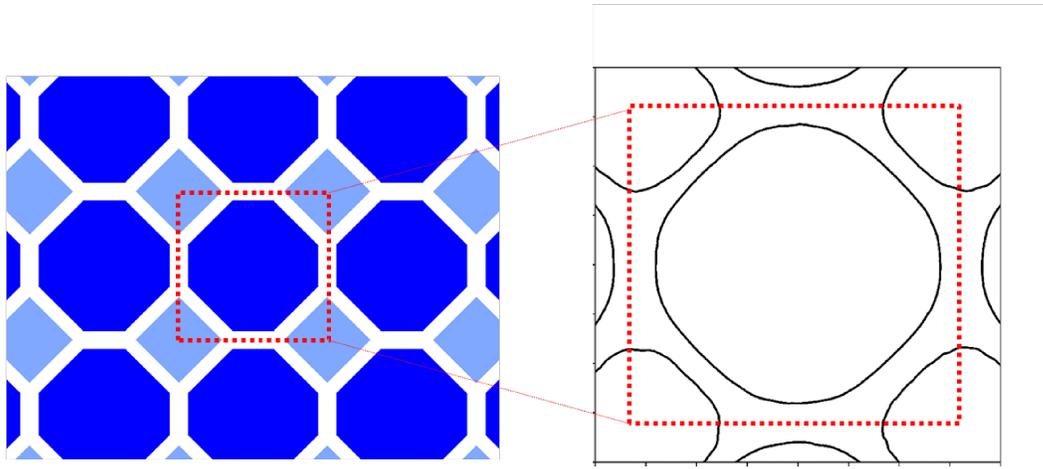


Figure 14 : pixel area (red box) in design and projection on contour

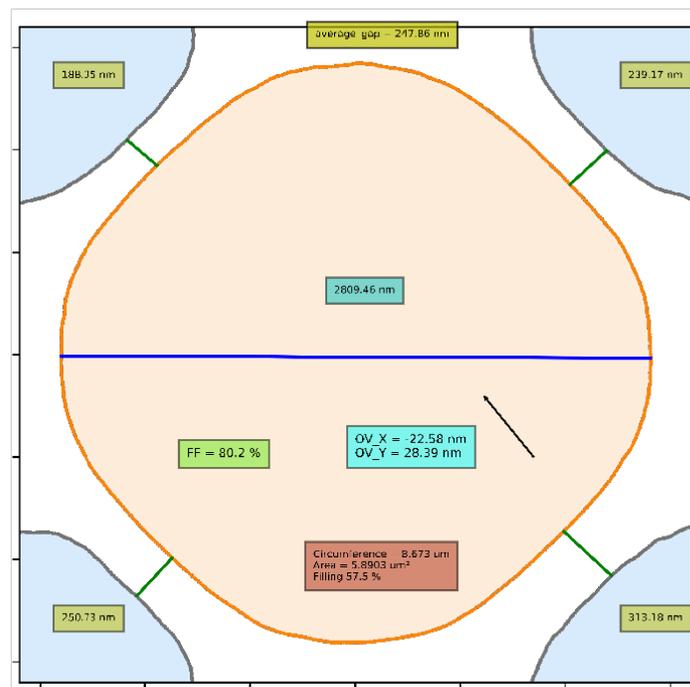


Figure 15 : microlens fill factor output

DESIGN OPTIMIZATION

Design and process engineers are looking for the best pixel coverage. The previous design can be improved to increase this parameter. The contour-based fill factor can be used as a metric to quantify the improvement and compare different designs. The standard design shown previously is taken as a reference and has a fill factor around 80-81%. Four other designs are proposed and placed in a bloc with the reference design. So they will be on the same wafer and follow the same process. Changes concern mainly the diameters of BSU1 and BSU2 or the different gaps. Dense designs can be problematic as reflow will expand the microlenses with potentially a merge. SEM images post reflow for each design are given in Figure 16. Trial 4 is the densest one. It is too dense to have defined microlenses as all BSU1 merge with the neighbors. The three other trials are defined so they can be processed using contour fill factor as given in Figure 17.

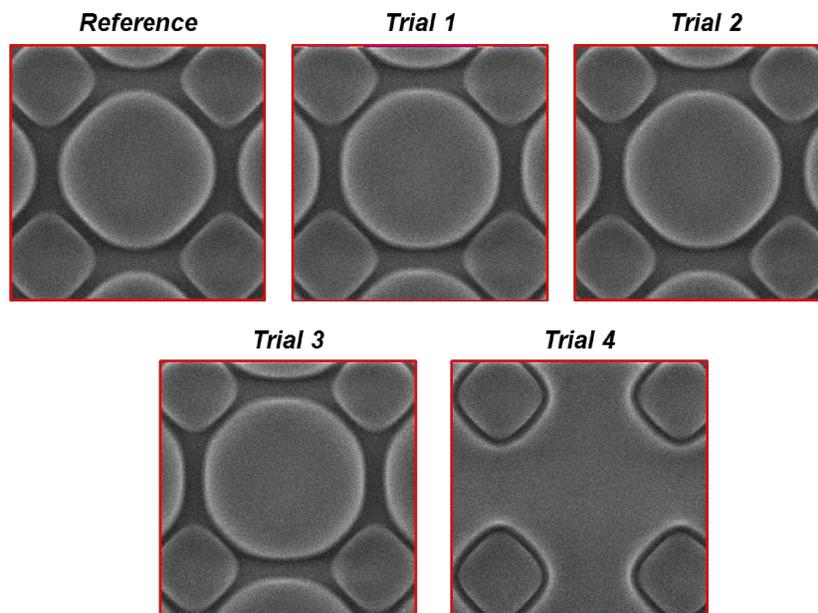


Figure 16 : SEM images post reflow of all designs transferred with the process of reference

The measurement was performed multiple times on each design after reflow. It was observed that Trial 1 and Trial 3 improved the fill factor when compared to the reference, with respectively 86.3% and 87.5% in average. Trial 2 was similar to the reference with a fill factor of 81.3% compared to 81.0% for the reference. Trial 3 is the most efficient design in terms of fill factor with a gain of 6.5% in average. In Figure 18 a reference contour and a trial 3 contour are overlaid. The gain comes mainly from BSU1. The size of BSU2 was slightly reduced to prioritize BSU1.

The advantage of Trial 3 design has been confirmed by quantum efficiency (QE) tests. QE is a measurement of the ratio of photons that are converted into electrons in the photosensitive area. Improving the design of the microlens to focus more photons should increase the QE. It is confirmed by the tests done on the reference and Trial 3 as shown in Figure 19. The large photodiode, below BSU1, has an increase of QE of the same order of magnitude as the increase of fill factor. The increase is visible at the three peaks which correspond to the red, green and blue colors. However the QE of the small photodiode is a bit lower than for the reference as BSU2 is smaller in Trial 3 than in the reference. Further improvements will be made to improve the designs and the QE of the sensor. As the large photodiode has a more significant influence those first results are positive.

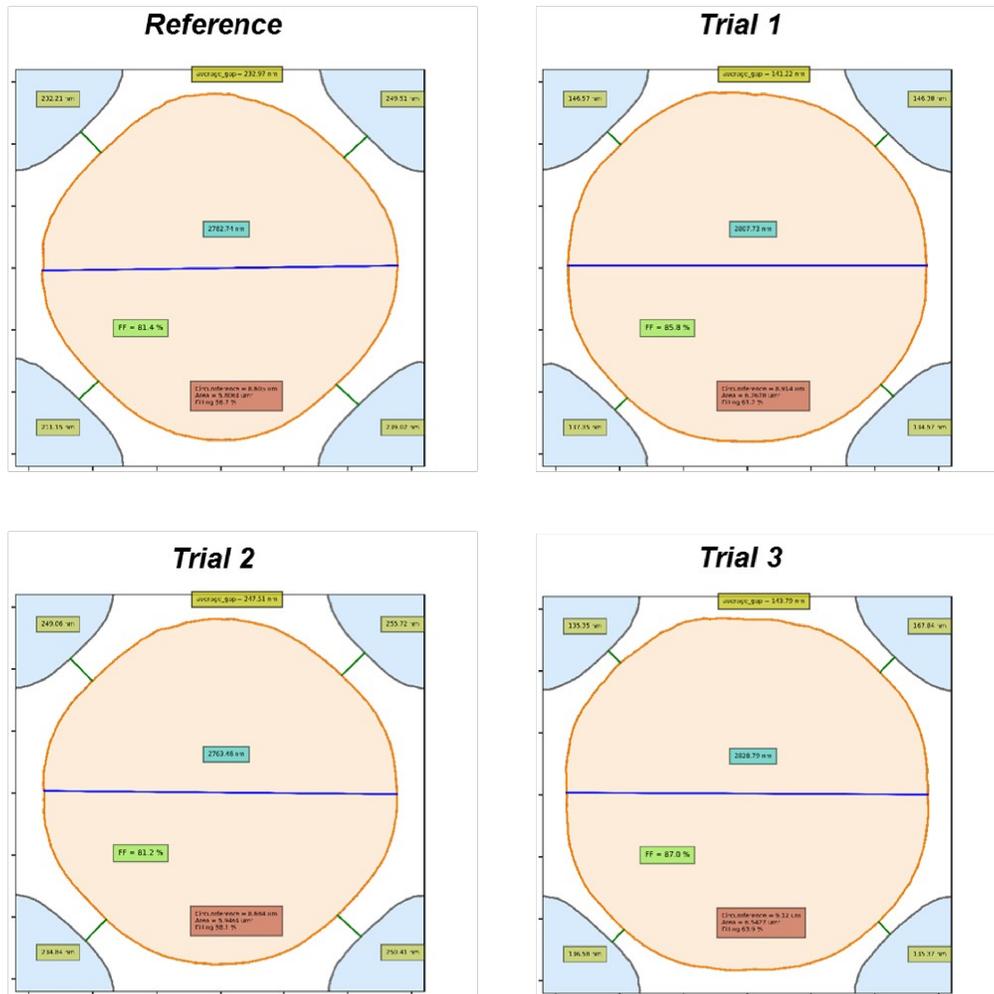


Figure 17 : output of metrology process on the three trials + reference

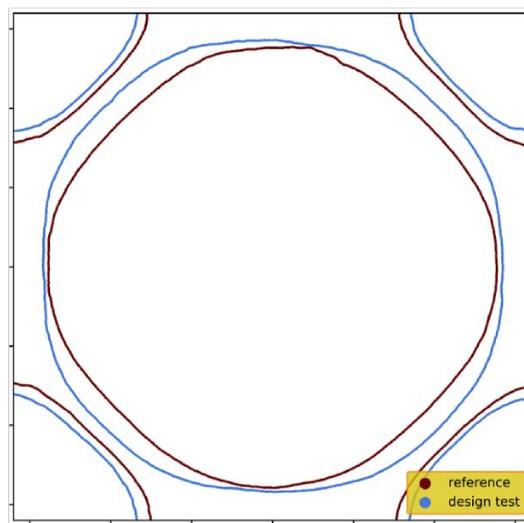


Figure 18 : overlap reference vs trial 3

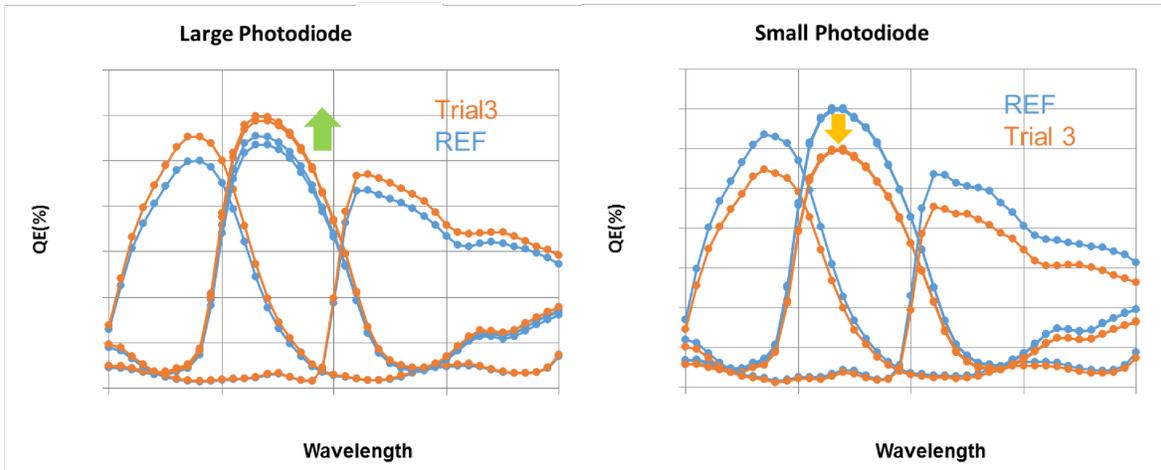


Figure 19 : QE measurement on large photodiode (below BSU1) and small photodiode (below BSU2)

IN-LINE APPLICATION

As stated previously the metrology set up containing the 12 metrics and the fill factor is automated in a specific script. In this part the fill factor is used as a process monitoring parameter. A few wafers from development lots are randomly selected and after reflow a specific CD-SEM step is added to generated images for contour extraction. 18 contours are generated per wafer. Six lots have been analyzed for a total of 18 wafers in this part. The average fill factor of the reference design for each wafer is given in Figure 20. Significant wafer to wafer and lot to lot variations are observed. For example lot B has a relatively smaller fill factor than lot A or lot D. Within lot F, wafer 10 is at 82.3% and wafer 25 at 79.7%, even if those two wafers have been processed at the same time. For CMOS image sensors the control of the variability is as critical as maximizing the fill factor. Variability induces sensors with different performances, that is why a robust process control with multiple metrics (fill factor, gaps, overlay, diameter) is necessary.

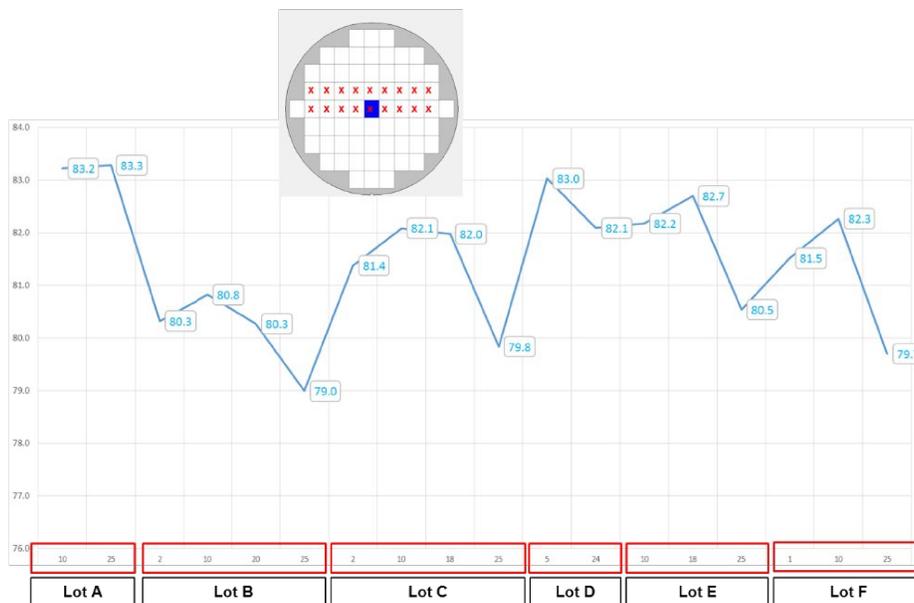


Figure 20 : average fill factor (reference design) monitoring for different wafers and different lots

Trial 3 has been also measured on the same wafers and its fill factor has the same behavior as the reference design. The advantage of this new design is confirmed by in-line measurements as its fill factor is higher by approximately 6%.

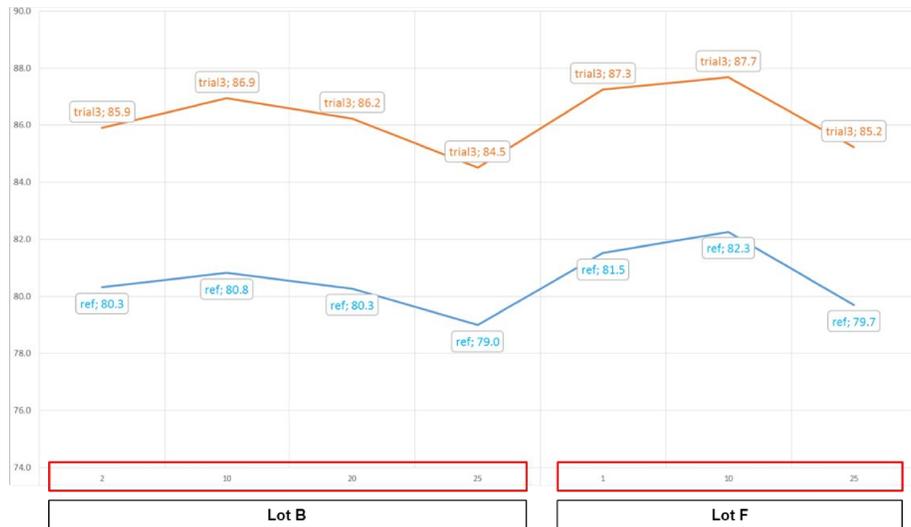


Figure 21 : comparison fill factor reference versus trial 3 for lots B and F from Figure 20

The contour based overlay has also been monitored and the average for each wafer is given in Figure 22. Some differences are seen from one wafer to another. They are mainly due to a shift of BSU1 to the top left. The difference is visible when comparing lot B wafer 2 to lot F wafer 10. Monitoring the overlay of BSU1 versus BSU2 is important because the fill factor measurement centers the pixel on BSU1 so it assumes there is no overlay. Both measurements are thus complimentary.



Figure 22 : average overlay (reference design) monitoring for different wafers and different lots

Trend lines can also be made for gaps and diameter but the goal of this part is to show that contour based metrology is robust and can bring large information for process engineers. It can be automated in-line as the metrology set up is defined once. A data base has been created so that engineers can perform new measurements afterwards, for example if they want to create a new metric.

OUTLOOK: SEM IMAGE BASED DEFECT DETECTION

Contour processing gives a relevant way to maximize the use of dimensions from a SEM images. A SEM image contains much more information than only a set of critical dimensions. During the collaborative development of the contour metrology a specific test case was proposed by process engineers. It was based on an actual failure mechanism that they observed in-line and that they needed to detect as early as possible. During the annealing step, if any issue occurs, it will affect the integrity of the microlens which may have a non-spherical shape due to undermelting as shown in Figure 24.

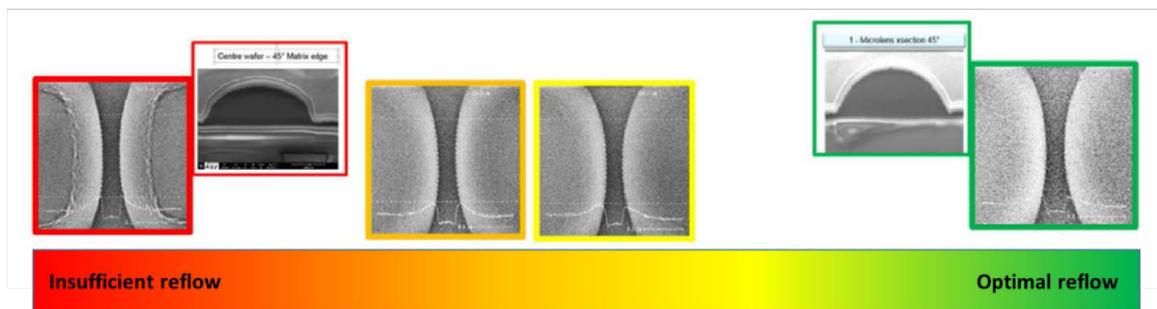


Figure 23 : evolution of the shape of the microlens under different reflow conditions, undermelted microlenses are non-spherical

The question that comes to mind is: can we detect this using CD-SEM measurements? Figure 24 gives two examples of in-line gap measurements performed on a normally formed microlens (Figure 24 (a)) and on an undermelted microlens (Figure 24 (b)). In both cases there is no issue with the in-line gap measurements. The same values are reported and they are within specifications. However observation would reveal that the microlenses of the second SEM image have an unusually rough edging which is a characteristic of an insufficient annealing. It is difficult to have an operator to check each image of each wafer running on the CD-SEM. The main risk is that no warning will be sent to the fab automation system so the lot will continue its path to the next steps.

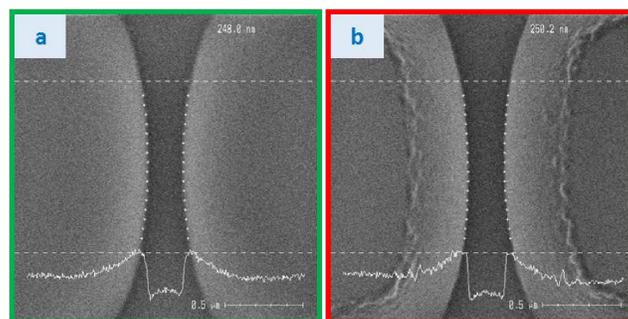


Figure 24 : SEM images of (a) normally formed microlenses vs (b) undermelted microlenses

But it will be detected at some point as undermelted microlenses cannot focus efficiently the light onto the photodiode. They lead in general to a poor quantum efficiency. A sensor with such issues would not be reliable. When a quantum efficiency test gives low results the sensors are scrapped as it is too late for a rework. However when a wafer is still right after the reflow process, it is possible to perform a rework and remove the microlenses. So detecting non spherical microlenses right after this step has an advantage for wafer cost and it allows process engineers to perform a control and a corrective action on the tool earlier and prevent the issue to affect the next coming lots.

Automatic Defect Classification (ADC) is used in chip manufacturing to automatically classify large sets of SEM images of defects. It is used mainly in defectivity after a SEM review has been performed on locations flagged by the inspection tool. Each day thousands of SEM images are generated for review purposes and they must be sorted into different classes depending on the type of defect they show (scratch, bump, hole, etc). Due to the amount of data generated, this task must be automated by computer, with at least the same level of confidence as the human eye.

STMicroelectronics 200 mm fab in Rousset has developed its own ADC system based on convolutional neural network. In recent years, machine learning and data mining are used more and more in chip manufacturing [13, 14, 15] as it is a relevant way to maximize the use of the data generated by different tools in the fab. A neural network has been trained to recognize different kinds of defects in SEM images. Different classes of known defects are defined by the engineers, each class containing a large data set of SEM images of the defect. In general thousands of images per class can be necessary. Examples of classes in defectivity can be: scratches or particles for example. Then the neural network learns based on these classes. If the learning part has been performed with an accurate data set, the neural network should be able to classify other SEM images in these classes. The images from Figure 25 have been automatically classified by the algorithm in the classes.

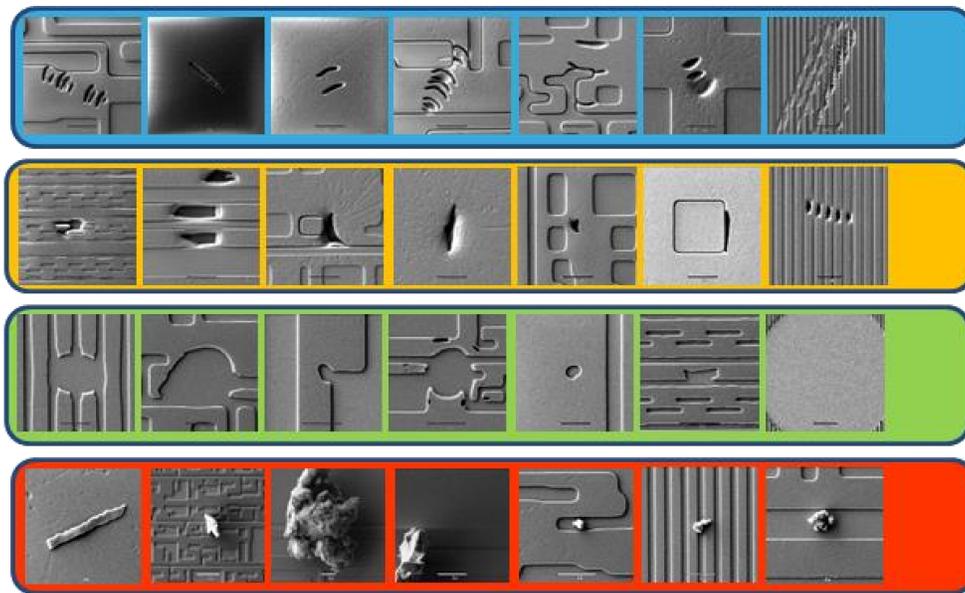


Figure 25 : Automatic Defect Classification (ADC) performed on SEM review images at STMicroelectronics

The ADC is a relevant solution to microlens defect detection. All the SEM images generated are similar but when microlenses do not reach the correct shape, a significant edging line appears as in the example of Figure 24 (b). A

specific neural network can be trained and only two classes are needed. A set of SEM images considered “Good” (Figure 24 (a)) and a set considered “Bad” (Figure 24 (b)) are generated. The “Good” set is taken from production data and the “Bad” one can be generated by undermelting a wafer. This data set has been used to train a specific model. In-line tests are ongoing within the fab on an image sensor product. After reflow each lot of this products runs into the CD-SEM which will perform a standard measurement and send the images to an offline computer where the neural network will process each image and return a prediction based on its training (Figure 26). It does not increase measurement time as it uses SEM images from the standard CD-SEM step. The image processing is performed within a minute and, in a future step, could give a feedback to the automation immediately.

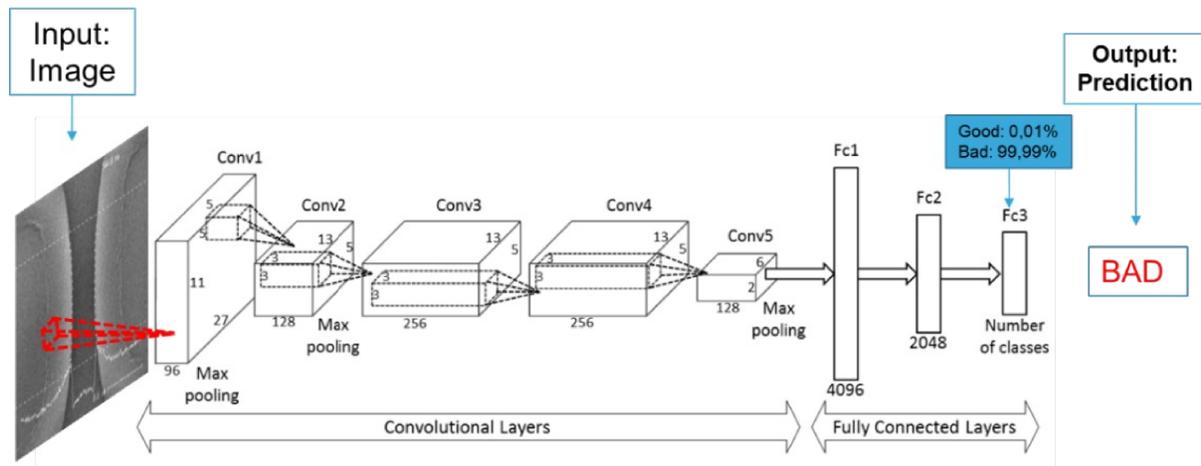


Figure 26 : Neural network based defect detection applied on microlens SEM images

This paper gives a first overview of the application of machine learning in defectivity and metrology. This approach will be explored more in details in further papers. More information on neural networks for image processing can be found in the literature [16, 17].

CONCLUSION

In this paper a contour based tool has been introduced and applied for advanced process monitoring of microlens process in CMOS image sensor fabrication. Using SEM image contours is a relevant way to maximize the use of the dimensional information contained within the image. It can be combined with a neural network to detect morphological defects of the microlenses before extracting contours.

The microlens fill factor is an interesting metric for process improvement as it summarizes multiple data concerning the microlens. It has been used for in-line process monitoring and the next step will be to link this information to quantum efficiency tests. However it is important to note that not only the fill factor will be correlated to the quantum efficiency as the optical properties of the sensors will depend on multiple parameters: 3D shape of the microlenses, stack uniformity, optical properties of the color pigments, etc. It is thus interesting to build a whole monitoring procedure that would link all the metrology steps to determine the critical process steps.

Neural network defect detection has also shown some promising results as it helps process engineers to detect an insufficient reflow at an early stage using SEM images. It is a good confirmation that there is much more information to extract out of a SEM image than just a CD. This procedure is currently under test on production lots.

ACKNOWLEDGEMENTS

The authors would like to thank all persons who contributed to the feasibility of this study: process integration team, process development engineers, IT group in Crolles for their support on defect detection application and the big data group of ST.

REFERENCES

- [1] Finders, Jo; Kiers, Ton; Le-Gratiet, Bertrand; Lakcher, Amine, "Translation of lithography variability into after-etch performance: monitoring of golden hotspot," in *Proc. SPIE 10032, 32nd European Mask and Lithography Conference, 100320H*, Dresden, Germany, 2016.
- [2] A. Lakcher, B. Le-Gratiet, J. Ducoté, P. Fanton, T. Kiers, J.-W. Gemmink, S. Hunsche, C. Prentice and M. Besacier, "Robust 2D patterns process variability assessment using CD-SEM contour extraction offline metrology," in *Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 1014514*, San Jose, California, United States, 2017.
- [3] P. Fanton, T. Hasan, A. Lakcher, B. Le-Gratiet, C. Prentice, J.-G. Simiz, R. L. Greca, L. Depre and S. Hunsche, "Advanced in-production hotspot prediction and monitoring with micro-topography," in *Proc. SPIE 10145, Metrology, Inspection, and Process Control for Microlithography XXXI, 101450X*, San Jose, California, United States, 2017.
- [4] A. Lakcher, L. Schneider, B. Le-Gratiet, J. Ducoté, V. Farys and M. Besacier, "Advanced metrology by offline SEM data processing," in *Proc. SPIE 10446, 33rd European Mask and Lithography Conference, 104460L*, Dresden, Germany, 2017.
- [5] S. Audran, Etude des propriétés et des mécanismes de mise en forme des résines photolithographiques pour une application capteurs d'images CMOS avancés, Université Louis Pasteur, 2007.
- [6] S. Audran, B. Faure, B. Mortini, C. Aumont, R. Tiron, C. Zinck, Y. Sanchez, C. Fellous, J. Regolini, J. P. Reynard, G. Schlatter and G. Hadziioannou, "Study of dynamical formation and shape of microlenses formed by the reflow method," in *Proc. SPIE 6153, Advances in Resist Technology and Processing XXIII, 61534D*, San Jose, California, United States, 2006.
- [7] S. Audran, J. Vaillant, V. Farys, F. Hirigoyen, E. Huss, B. Mortini, C. Cowache, L. Berthier, E. Mortini, J. Fantuz, O. Arnaud, L. Depoyan, F. Sundermann, C. Baron and J.-P. Reynard, "Grayscale lithography process study applied to zero-gap microlenses for sub-2 μ m CMOS image sensors," in *Proc. SPIE 7639, Advances in Resist Materials and Processing Technology XXVII, 763910*, San Jose, California, United States, 2010.
- [8] D. MacFarlane, V. Narayan, J. Tatum, W. Cox, T. Chen and D. Hayes, "Microjet fabrication of microlens arrays," *IEEE Photonics Technology Letters*, vol. 6, no. 9, pp. 1112-1114, 1994.
- [9] S.-K. Lee, K.-C. Lee and S. S. Lee, "A simple method for microlens fabrication by the modified LIGA process," *Journal of Micromechanics and Microengineering*, vol. 12, no. 3, 2002.
- [10] H. Ottevaere, V. Gomez, B. Volckaerts, M. Vervaeke, P. Vynck, A. Hermanne and H. Thienpont, "The fabrication and characterization of plastic microlens arrays by deep lithography with protons," in *Proc. SPIE 5453, Micro-Optics, VCSELS, and Photonic Interconnects*, Strasbourg, 2004.
- [11] Z. D. Popovic, R. A. Sprague and G. A. N. Connel, "Technique for monolithic fabrication of microlens arrays," *Applied Optics*, vol. 27, no. 7, pp. 1281-1284, 1988.
- [12] S. Koshihara, Y. Ota, H. Sakai and R. Matsuoka, "Challenge to New Metrology World by CDSEM," *Hitachi Review* 57, pp. 123-126, 6 2008.
- [13] A. Lam, A. Ypma, M. Gatefait, D. Deckers, A. Koopman, R. v. Haren and J. Beltman, "Pattern recognition and data mining techniques to identify factors in wafer processing and control determining overlay error," in *Proc. SPIE 9424, Metrology, Inspection, and Process Control for Microlithography XXIX, 94241L*, San Jose, California, United States, 2015.
- [14] M. Giollo, A. Lam, D. Gkorou, X. L. Liu and R. v. Haren, "Machine learning for fab automated diagnostics," in

Proc. SPIE 10446, 33rd European Mask and Lithography Conference, 104460O, Dresden, Germany, 2017.

- [15] C. Utzny, "Splendidly blended: a machine learning set up for CDU control," in *Proc. SPIE 10446, 33rd European Mask and Lithography Conference, 104460N*, Dresden, Germany, 2017.
- [16] A. Krizhevsky, I. Sutskever and G. E. Hinton, "ImageNet classification with deep convolutional neural networks," in *Proceedings of the 25th International Conference on Neural Information Processing Systems - Volume 1*, Lake Tahoe, Nevada, United States, 2012.
- [17] L. Perez and J. Wang, "The Effectiveness of Data Augmentation in Image Classification using Deep Learning," arXiv:1712.04621, 2017.