



**HAL**  
open science

# Efficacité énergétique des architectures de communication sans fil IR-UWB pour les réseaux de capteurs sans fil

Bilal Benamrouche

► **To cite this version:**

Bilal Benamrouche. Efficacité énergétique des architectures de communication sans fil IR-UWB pour les réseaux de capteurs sans fil. Electronique. INSA de Toulouse, 2018. Français. NNT : 2018ISAT0023 . tel-01963484v1

**HAL Id: tel-01963484**

**<https://theses.hal.science/tel-01963484v1>**

Submitted on 21 Dec 2018 (v1), last revised 3 Oct 2018 (v2)

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université Fédérale



Toulouse Midi-Pyrénées

# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National des Sciences Appliquées de Toulouse (INSA de Toulouse)

---

**Présentée et soutenue par :**

**Bilal BENAMROUCHE**

**le** vendredi 6 juillet 2018

**Titre :**

Efficacité énergétique des architectures de communication sans fil IR-UWB  
pour les réseaux de capteurs sans fil

---

**École doctorale et discipline ou spécialité :**

ED GEET : Génie Electrique

**Unité de recherche :**

LAAS-CNRS

**Directeur/trice(s) de Thèse :**

Daniela DRAGOMIRESCU, Professeur, INSA Toulouse, Toulouse

**Jury :**

Lidia DOBRESCU, Professeur, Université Polytechnique de Bucarest, Roumanie	Rapporteur
Laurent FESQUET, Maître de conférence HDR, INP Grenoble	Rapporteur
Patrick PONS, Directeur de recherche, LAAS-CNRS, Toulouse	Examineur
Nicolae VARACHIU, Directeur de Recherche, IMT Bucharest, Roumanie	Examineur
Anthony GHIOTTO, Maître de Conférences HDR, Laboratoire IMS, Talence	Examineur

# SOMMAIRE

SOMMAIRE.....	II
LISTE DES FIGURES .....	VI
LISTE DES TABLEAUX.....	VIII
GLOSSAIRE .....	IX
INTRODUCTION GENERALE.....	1
<b>I. CHAPITRE I : LES RESEAUX DE CAPTEURS SANS FIL POUR DES APPLICATIONS DE SURVEILLANCE DE STRUCTURES .....</b>	<b>3</b>
I.1. INTRODUCTION AUX RESEAUX DE CAPTEURS SANS FIL.....	2
I.2. CONTEXTE-ARCHITECTURE SYSTEME DE PROJET SMARTER .....	3
I.3. RESEAUX DE CAPTEURS SANS FIL POUR LA SURVEILLANCE DES STRUCTURES (SMH) .	4
I.3.1. Techniques de communication pour réseaux de capteurs sans fil .....	4
I.3.1.1. SIGFOX .....	5
I.3.1.2. LoRa.....	6
I.3.1.3. WiFi IEEE 802.11.....	7
I.3.1.4. IEEE 802.15.4 ZigBee .....	8
I.3.1.5. IEEE 802.15.4a communication Ultra Large Bande (UWB) .....	9
I.3.2. Régulations des technologies UWB.....	14
I.3.2.1. Technologies UWB entre 3,1 GHz et 10,6 GHz.....	14
I.3.2.2. Technologies UWB à 60 GHz .....	15
I.4. APPLICATIONS DES RESEAUX DE CAPTEURS SANS FIL.....	16
I.4.1. Détection de catastrophes naturelles .....	17
I.4.2. Détection d'intrusions .....	17
I.4.3. Applications métier .....	17
I.4.4. Contrôle de la pollution .....	18
I.4.5. Agriculture .....	18
I.4.6. Surveillance médicale .....	18
I.4.7. Contrôle d'édifices.....	18
I.4.8. Surveillance de structures .....	18
I.5. SURVEILLANCE DE STRUCTURE ( <i>STRUCTURAL HEALTH MONITORING SHM</i> ).....	19

I.5.1.	Surveillance de structure de transport.....	20
I.5.2.	Surveillance de structure pour les constructions.....	20
I.5.3.	Surveillance de structure pour aéronautique et satellites.....	21
I.6.	CONCLUSION.....	23
<b>II.</b>	<b>CHAPITRE II : COMMUNICATIONS UWB PAR IMPULSION (IR-UWB) -</b>	
	<b>ETAT DE L'ART.....</b>	<b>24</b>
II.1.	INTRODUCTION .....	25
II.2.	COMMUNICATION SANS FIL ULTRA-WIDE BANDE (UWB).....	25
II.3.	CANAL DE PROPAGATION .....	26
II.3.1.	Propagation en espace libre .....	27
II.3.2.	Propagation par trajets multiples .....	28
II.3.2.1.	Transmission .....	29
II.3.2.2.	Réflexion.....	30
II.3.2.3.	Diffraction.....	30
II.3.2.4.	Diffusion .....	30
II.3.2.5.	Guidage d'ondes .....	30
II.3.3.	Capacité d'un canal IR-UWB .....	31
II.4.	IMPULSE RADIO ULTRA-WIDE BAND (IR-UWB) .....	32
II.4.1.	Techniques de modulation des signaux Ultra-Wide band par impulsion .....	34
II.4.1.1.	BPSK, Modulation de phase .....	34
II.4.1.2.	PPM, Modulation de position .....	35
II.4.1.3.	PSM, Modulation de forme.....	36
II.4.1.4.	PAM et OOK, Modulations d'amplitude.....	37
II.4.2.	Les avantages et les défis d'IR-UWB .....	40
II.5.	PERFORMANCES SYSTEMES IR-UWB EMETTEUR-RECEPTEUR EXISTANTS .....	41
II.6.	SOLUTIONS POUR BASSE CONSOMMATION DE L'EMETTEUR-RECEPTEUR IR-UWB....	43
II.6.1.	La solution <i>Clock-gating</i> .....	43
II.6.2.	Réalisation système sur puce ASIC .....	44
II.7.	CONCLUSION.....	46
<b>III.</b>	<b>CHAPITRE III : CONCEPTION DE L'ARCHITECTURE D'EMETTEUR-</b>	
	<b>RECEPTEUR IR-UWB.....</b>	<b>47</b>
III.1.	INTRODUCTION .....	48

III.2.	L'ARCHITECTURE PROPOSEE POUR LE SYSTEME EMETTEUR-RECEPTEUR.....	48
III.3.	EMETTEUR IR-UWB.....	50
III.3.1.	Circuit numérique de traitement du signal.....	51
III.3.1.1.	Générateur de trames .....	52
III.3.1.2.	Etalement de spectre .....	53
III.3.1.3.	Modulation par impulsion OOK .....	53
III.3.2.	Convertisseurs Numérique/Analogique ADC.....	53
III.3.3.	Interface ADC-Circuit de traitement numérique .....	55
III.4.	RECEPTEUR IR-UWB .....	55
III.4.1.	Interface DAC-circuit numérique .....	57
III.4.2.	Corrélateurs.....	57
III.4.3.	Bloc validation-décision .....	58
III.5.	IMPLEMENTATION DE LA SOLUTION <i>CLOCK-GATING</i> .....	58
III.5.1.	Choix de la solution <i>clock-gating</i> .....	58
III.5.2.	Principe .....	59
III.5.3.	Implémentation et test.....	60
III.6.	IMPLEMENTATION MATERIELLE SUR FPGA ET RESULTATS .....	62
III.6.1.	Plateforme d'implémentation FPGA .....	62
III.6.2.	Intégration partie <i>frontend RF</i> .....	63
III.6.3.	Mesure du fonctionnement en bande de base numérique .....	65
III.7.	CONCLUSION.....	67
<b>IV.</b>	<b>CHAPITRE IV : CONCEPTION ASIC DU SYSTEME EMETTEUR-RECEPTEUR IR-UWB.....</b>	<b>68</b>
IV.1.	INTRODUCTION .....	69
IV.2.	DEFINITION ET POINT DE VUE GENERALE .....	69
IV.3.	FLOT DE CONCEPTION SYSTEME ASIC .....	72
IV.3.1.	L'implémentation VHDL et validation.....	72
IV.3.2.	Données nécessaire à la conception ASIC.....	72
IV.3.2.1.	La technologie ST CMOS 65 nm -Design Kit.....	73
IV.3.2.2.	L'implémentation VHDL de l'émetteur-récepteur IR-UWB .....	74
IV.3.2.3.	Fichiers de contraintes de design .....	74
IV.3.2.4.	L'IP analogique ADC-DAC .....	74
IV.3.3.	Synthèse et <i>netlist</i> du circuit .....	75

IV.3.4.	<i>Floorplan</i> de design .....	78
IV.3.5.	Placement et routage .....	81
IV.3.6.	Finalisation du <i>layout</i> .....	82
IV.4.	COMPOSITION DE L'ARCHITECTURE ASIC CONÇUE .....	83
IV.4.1.	Conception en bande de base numérique.....	84
IV.4.2.	IP analogique pour les DAC-ADC .....	84
IV.4.3.	<i>Layout</i> de la puce complète.....	85
IV.5.	RESULTATS DE SIMULATION.....	86
IV.6.	SETUPS DE MESURE ET RESULTATS.....	87
IV.6.1.	Caractérisation avec <i>wire bonding</i> .....	87
IV.6.2.	Caractérisation avec Flip-chip .....	88
IV.6.2.1.	Teste de fonctionnement .....	89
IV.6.2.2.	Teste de consommation.....	90
IV.7.	CONCLUSION.....	95
	<b>CONCLUSION GENERALE .....</b>	<b>96</b>
	<b>REFERENCES.....</b>	<b>98</b>
	<b>PUBLICATIONS .....</b>	<b>104</b>

# LISTE DES FIGURES

Figure I-1: Illustration d'architecture de réseau de capteurs sans fil.....	3
Figure I-2 : L'architecture système de nœud de capteurs sans fil .....	4
Figure I-3: Principe d'un système de communication SIGFOX .....	6
Figure I-4: Principe d'un système de communication LoRa .....	7
Figure I-5: Différents standard en termes de consommation d'énergie .....	10
Figure I-6: Représentation temporelle et en fréquence des signaux UWB continues et discontinues.....	11
Figure I-7: Débit et Portée maximale pour les standards de communication sans fil [18]....	14
Figure I-8: Régulation UWB entre 3,1 GHz et 10,6 GHz suivant les territoires [3] .....	15
Figure I-9: Régulation technologie UWB autour de 60 GHz .....	16
Figure I-10: Illustrations des domaines d'applications de réseaux de capteurs sans fil.....	19
Figure I-11: Surveillance de structure pour les voitures.....	20
Figure I-12: Surveillance de structure pour les constructions .....	21
Figure I-13: (a) principe d'un réseau de capteur sans fil, (b) Illustration cas réel d'un réseau de capteur sans fil sur Airbus A400M.....	22
Figure II-1: Modèle du canal de transmission et canal de propagation sans fil .....	27
Figure II-2: Canal de propagation par trajet multiple [6].....	29
Figure II-3: capacité du canal IR-UWB en fonction de la bande du signal [7].....	32
Figure II-4: Représentation temporelle et fréquentielle pour différents types d'impulsions ..	33
Figure II-5: Principe de la Modulation de phase BPSK .....	35
Figure II-6: Principe de la Modulation de position PPM .....	36
Figure II-7: Principe Modulation de forme PSM .....	37
Figure II-8: Principe des Modulations d'amplitude PAM et OOK .....	39
Figure II-9: Représentation des différents types de modulation [5] .....	39
Figure II-10: Principe de systèmes ASIC .....	45
Figure III-1: Architecture mostly digital .....	49
Figure III-2: Spécifications du Projet et le Mécanisme de communication .....	50
Figure III-3: Architecture de l'émetteur IR-UWB .....	52
Figure III-4: Format de tame .....	52
Figure III-5: Simulation de l'émetteur avec modulation OOK .....	53
Figure III-6: Principe des deux types d'ADC, classique et à entrelacement sur $v$ voies [7]...54	
Figure III-7: Evaluation par corrélateur de l'ensemble des cellules de l'espace de recherche-	

<i>approche multi doigts</i> .....	56
<i>Figure III-8: Architecture de récepteur</i> .....	57
<i>Figure III-9: (a) Consommation au niveau bit de l'IR-UWB (b) signal avec clock-gating</i> ....	60
<i>Figure III-10: (a) AND gate clock-gating (b) Latch based clock gating</i> .....	61
<i>Figure III-11: Réduction de la consommation par 50%</i> .....	62
<i>Figure III-12: Plateforme d'implémentation FPGA RedRapids</i> .....	63
<i>Figure III-13: (a) Frontend RF de l'émetteur, (b) Frontend RF du récepteur</i> .....	64
<i>Figure III-14 Plateforme de mesure intégrant la partie Frontend RF</i> .....	65
<i>Figure III-15 Résultat de mesure en fonctionnement (a) sortie signal de sortie modulé en bande de base numérique, (b) signal de sortie de frontend RF</i> .....	66
<i>Figure IV-1: Implémentation d'un système ASIC</i> .....	69
<i>Figure IV-2: Flot de conception d'un système ASIC [34]</i> .....	71
<i>Figure IV-3: Chargement du design</i> .....	73
<i>Figure IV-4: Netlist RTL après synthèse</i> .....	76
<i>Figure IV-5: Circuit d'émetteur-récepteur IR-UWB après synthèse</i> .....	78
<i>Figure IV-6: Floorplan de design ASIC</i> .....	79
<i>Figure IV-7: création des nœuds de connexion d'alimentation</i> .....	81
<i>Figure IV-8: Contraintes de placement et de routage</i> .....	82
<i>Figure IV-9 Schéma bloc de l'émetteur-récepteur IR-UWB</i> .....	84
<i>Figure IV-10: Schéma de l'IP analogique ADC-DAC</i> .....	85
<i>Figure IV-11: Layout final de l'ASIC de l'émetteur-récepteur IR-UWB</i> .....	86
<i>Figure IV-12: Consommation d'énergie en fonction du débit</i> .....	87
<i>Figure IV-13 Puce ASIC sous wire bonding</i> .....	88
<i>Figure IV-14: Puce ASIC en Flip-Chip</i> .....	88
<i>Figure IV-15: Banc de test de l'ASIC</i> .....	89
<i>Figure IV-16: Banc de test fonctionnel du circuit</i> .....	90
<i>Figure IV-17: Données envoyées avec une modulation OOK</i> .....	90
<i>Figure IV-18: Banc de test de la consommation de circuit</i> .....	91
<i>Figure IV-19: Consommation de l'ASIC en fonction du débit</i> .....	92



# ***LISTE DES TABLEAUX***

<i>Tableau I-1: Comparaison entre les techniques de communication SIGFOX, ZigBee et LoRa</i> .....	11
<i>Tableau II-1: Allocations spectral utilisées</i> .....	26
Tableau II-2: caractéristiques des couches PHY définies par IEEE 802.15.4 .....	40
<i>Tableau II-3: comparaison des travaux déjà réalisés</i> .....	43
Tableau IV-1: Comparaison avec les travaux existants .....	93

# *Glossaire*

<b>AM</b>	Amplitude Modulation
<b>API</b>	Applications Programmable interface
<b>ASIC</b>	Application Specific Integrated Circuit
<b>BER</b>	Bit Error Rate
<b>BPSK</b>	Binary Phase Shift Keying
<b>CAN</b>	Convertisseur Analogique Numérique
<b>CDMA</b>	Code Division Multiple Access
<b>CE</b>	Commission Européenne
<b>CMOS</b>	Complementary Metal Oxyde Semiconductor
<b>CNA</b>	Convertisseur Numérique Analogique
<b>COTS</b>	Commercial Off-The-Shelf
<b>DBPSK</b>	Differential Binary Phase Shift Keying
<b>DDS</b>	Digital Direct Synthesis
<b>DSSS</b>	Direct Sequence Spread Spectrum
<b>DS-UWB</b>	Direct Spread Spectrum Ultra-WideBand
<b>E/S</b>	Entrées Sorties
<b>Eb/N0</b>	Energy per Bit to Noise power spectral density ratio
<b>FCC</b>	Federal Communication Commission
<b>FDTD</b>	Finite-Difference Time-Domain
<b>FEC</b>	Forward Error Correction
<b>FFT</b>	Fast Fourier Transform
<b>FIR</b>	Finite Impulse Response
<b>FM</b>	Frequency Modulation
<b>FPGA</b>	Field Programmable Gate Array
<b>FSK</b>	Frequency Shift Keying
<b>Gbps</b>	Giga Bit Per Second
<b>GPS</b>	Global Positioning System
<b>GSM</b>	Global System for Mobile
<b>GSPS</b>	Giga Samples Per Second
<b>IEEE</b>	Institute of Electrical and Electronics Engineers
<b>IF</b>	Intermediate Frequency

<b>IR-UWB</b>	Impulse Radio Ultra-Wideband
<b>ISI</b>	Intersymbol Interference
<b>ISM</b>	industrial, scientific and medical
<b>LAN</b>	Local Area Network
<b>LFSR</b>	Linear Feedback Shift Register
<b>LNA</b>	Low Noise Amplifier
<b>LOS</b>	Line Of Sight
<b>LVDS</b>	Low Voltage Differential Signaling
<b>MAC</b>	Media Access Control
<b>MAX</b>	MAXimum criterion
<b>MB-IR-UWB</b>	Multi Band Impulse Radio Ultra-WideBand
<b>MB-OFDM</b>	Multi Band Orthogonal Frequency Division Multiplexing
<b>MBPS</b>	Mega Bit Per Second
<b>MPW</b>	Multi Project Wafer
<b>NLOS</b>	Non Line Of Sight
<b>OFDM</b>	Orthogonal Frequency Division Multiplexing
<b>OOK</b>	On/Off Keying
<b>PAM</b>	Pulse Amplitude Modulation
<b>PAPR</b>	Peak to Average Power Ratio
<b>PCB</b>	Printed Circuit Board
<b>PE</b>	Power Estimation
<b>PHY</b>	PHYSical
<b>PIRE</b>	Puissance Isotrope Rayonnée Equivalente
<b>PLL</b>	Phase Locked Loop
<b>PLO</b>	Pulse Locked Oscillator
<b>PPM</b>	Pulse Position Modulation
<b>PRF</b>	Pulse Repetition Frequency
<b>PSM</b>	Pulse Shape Modulation
<b>QAM</b>	Quadrature Amplitude Modulation
<b>QPSK</b>	Quadrature Phase Shift Keying
<b>RADAR</b>	RAdio Detection And Ranging
<b>RF</b>	Radio Frequency
<b>SDR</b>	Software Defined Radio
<b>SER/DES</b>	SERialiseur-DESérialiseur

<b>SFD</b>	Start of Frame Delimiter
<b>SHF</b>	supra-haute fréquence
<b>SHM</b>	Structural Health Monitoring
<b>SIR</b>	Signal to Interference Ratio
<b>SK</b>	Spectral Keying
<b>SMA</b>	SubMiniature version A
<b>SMARTER</b>	Smart Multifunctional Architecture and Technology for Energy aware wireless sensoRs
<b>SNR</b>	Signal to Noise Ratio
<b>SR</b>	Software Radio
<b>UHF</b>	Ultra-Haute Fréquence
<b>UNB</b>	ultra-narrowband
<b>UWB</b>	Ultra-WideBand
<b>VCO</b>	Voltage Controlled Oscillator
<b>VHDL</b>	Very-high-speed integrated circuit Hardware Description Language
<b>VNA</b>	Vector Network Analyzer
<b>WECA</b>	Wireless Ethernet Compatibility Alliance
<b>WiFi</b>	Wireless Fidelity
<b>WM</b>	Waveform Modulated
<b>WPAN</b>	Wireless Personal Area Network
<b>WSN</b>	Wireless Sensors Network

---

# *Introduction générale*

Les avancées technologiques des vingt dernières années ont induit une explosion d'applications dans les domaines du renseignement, des sciences des Communications, et plus généralement dans les nouvelles technologies.

Bien que généralement acceptée, l'utilisation généralisée des systèmes électroniques pour des usages divers -médicaux, humains,...- amène à une nouvelle problématique de coût énergétique. C'est dans ce contexte que ces travaux de thèse tentent d'apporter des contributions en termes de progrès sur la conception, la construction et les performances énergétiques d'un système ayant une très grande autonomie, ou destiné à s'auto-alimenter aux travers de systèmes de récupération d'énergie.

Une application envisagée, qui est devenue une demande de plus en plus pressante, concerne le suivi de l'état des structures ou *Structural Health Monitoring* (SHM) dans divers domaines (industriel comme l'automobile, aéronautique, génie civil comme les bâtiments et les ouvrages d'art, réseau routier ...). Cependant, jusqu'à présent, il n'y a eu aucun véritable déploiement efficace de tels systèmes.

Les travaux de thèse présentés dans ce manuscrit rentrent dans le cadre du projet SMARTER dont le principal objectif est de démontrer la faisabilité d'un système de nœud de capteur sans fil (WSN) autonome pour des applications de SHM. Les nœuds de capteurs sans fil peuvent être placés loin du phénomène à observer pour réduire l'impact de ces capteurs sur la mesure. Cette méthode induit un lourd traitement de signal afin d'extraire les données réelles du bruit provoqué par la mise à distance du système de mesure. Une autre façon de mesurer un événement physique réel est de placer des capteurs dans la région d'intérêt et de décentraliser l'exécution du traitement des données. Le désavantage de cette solution réside en ce que les capteurs doivent être raccordés individuellement à l'unité de traitement par de longs câbles ce qui exige des tâches de déploiement long et coûteux. A cet effet l'utilisation d'un système de communication sans fil réduit énormément cette problématique en termes de coûts et de taille. Les réseaux de capteurs sans fil se composent d'un grand nombre de nœuds de capteur déployés dans la région désirée. Ces nœuds collaborent pour détecter des événements physiques, en traitant et en transmettant des données à une unité centrale du réseau. La technologie Ultra Wide Band (UWB) est utilisée dans de tels systèmes de communication sans fil suite aux avantages qu'elle offre en termes de faible consommation d'énergie et de largeur de bande. Cette technologie est par exemple déjà utilisée dans le domaine militaire, mais d'autres applications, telles que le *Structural Health Monitoring* (SHM) pour de grandes

---

structures et notamment dans les domaines aéronautique et spatiale, sont en développement.

D'autres applications des réseaux de capteurs sans fil apparaissent comme dans les maisons intelligentes, le domaine biomédical, la détection des catastrophes naturelles, la détection d'intrusions, la détection de polluants, l'agriculture et bien d'autres domaines en offrant une grande facilité d'utilisation, et en réduisant le coût et le temps de déploiement.

La consommation énergétique d'un système de communication sans fil est la contrainte majeure pour le déploiement d'un réseau de capteurs sans fil autonome. Les travaux de recherche présentés dans ce manuscrit de thèse ont menés au développement d'un émetteur-récepteur à très faible consommation d'énergie pour les réseaux de capteurs sans fil autonome pour des applications de *structural health monitoring* dans des domaines aéronautiques. Le premier chapitre de ce manuscrit décrit les différents types de technologie de communication sans fil pour la surveillance des structures (SHM), la technologie Ultra Large Band (UWB) et les régulations en bande autorisée dans le monde, ainsi que les différentes applications ciblées par de telles technologies en se concentrant sur les systèmes de surveillance des structures pour le domaine aéronautique. Le deuxième chapitre détaille la communication sans fil ultra large bande (UWB) en présentant la technique de communication sans fil UWB par impulsion (IR-UWB) avec les avantages qu'elle offre pour notre application. Les travaux existant actuellement sont également présentés. Le chapitre trois présente l'architecture de l'émetteur-récepteur IR-UWB conçu en détaillant le *design* complet -avec l'intégration de la solution proposée de *clock-gating*- pour un système à une grande efficacité énergétique avec une implémentation et la validation d'un prototype sur une plateforme FPGA. Le quatrième et dernier chapitre illustre le processus de conception et de fabrication d'un système sur puce ASIC de notre *design* d'émetteur-récepteur IR-UWB avec la technologie CMOS 65nm de STMicroelectronics et les avantages qu'il offre que ça soit en termes d'efficacité énergétique, que de taille de système.

---

***I. Chapitre I : Les réseaux de capteurs sans fil pour des applications de surveillance de structures***

---

## **I.1. Introduction aux réseaux de capteurs sans fil**

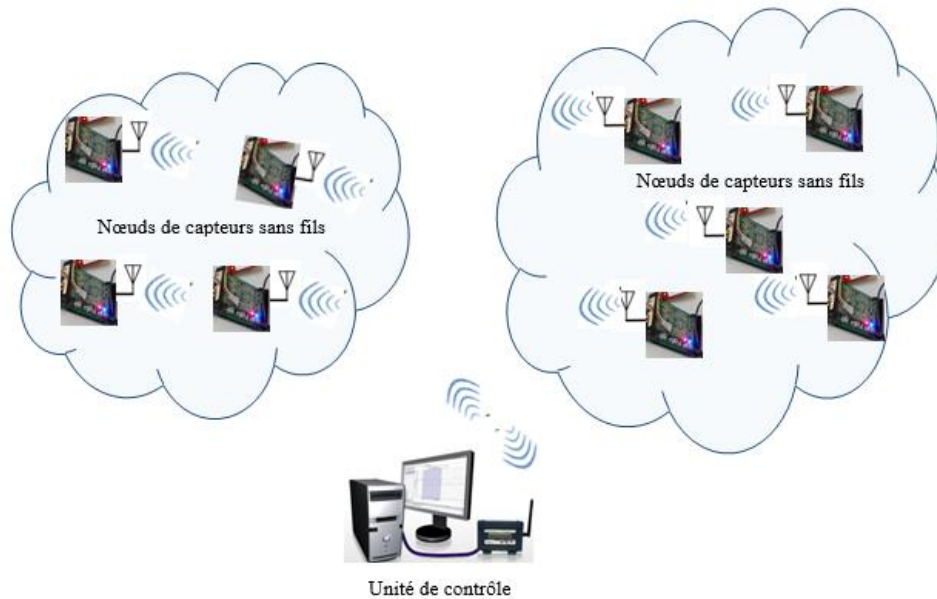
La communication sans fil est un domaine qui existe depuis plus de cent ans, commençant autour de 1897 avec les démonstrations réussies de télégraphie sans fil par Marconi. [1], la portée de ses transmissions passe de 2 à 54 kilomètres de 1897 à 1898 ; puis les transmissions traversent la Manche en 1899 et l'Atlantique en 1901

Les technologies des réseaux de communication sans fil ont subi de grandes mutations depuis leurs inventions aussi bien du fait des scientifiques, que d'industriels. Grâce à ces différents avantages en termes de coût et la facilité de déploiement, ces technologies ont pu être des éléments incontournables dans les architectures des réseaux actuelles. Au cours de son évolution, le paradigme du sans-fil a vu naître diverses applications, telles que : les réseaux cellulaires, les réseaux locaux sans fils et autres [2]. Durant cette dernière décennie, un nouveau concept a vu le jour : les réseaux de capteurs sans fil.

Les réseaux de capteur sans fil ou wireless sensors network (WSN) décrit des systèmes composés de nœuds de capteurs avec une capacité de communication sans fil. On trouve plusieurs fonctionnalités intégrés dans ces réseaux de capteur comme la transmission de données par les nœuds de capteur dans le réseau, l'acquisition de ces données par les nœuds *gateway* avec un type de communication sans fil bien défini. [3]

Dans ce chapitre, nous nous intéressons tout d'abord à la définition de système de réseaux de capteur sans fil, puis à différentes techniques de communication sans fil utilisées dans les WSN en citant leurs caractéristiques et avantages. Des applications nouvelles ou ayant évoluées grâce aux réseaux de capteurs sans-fil sont également explicitées. Enfin, nous détaillons l'application la plus visée par ces travaux de thèse : le SHM dans le cadre de l'aéronautique ; et nous justifierons le choix de la technologie de réseaux de capteurs sans fil qui nous semble la plus adaptée pour cette application.





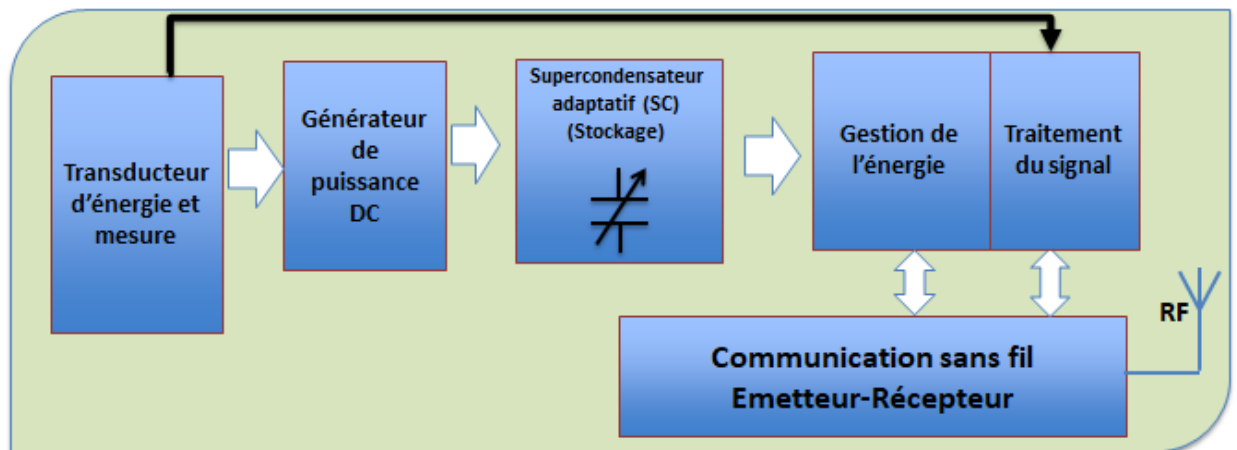
*Figure I-1: Illustration d'architecture de réseau de capteurs sans fil*

## **I.2. Contexte-Architecture système de projet SMARTER**

L'objectif final de projet SMARTER est de développer un démonstrateur de nœud de capteur sans fil communicant pour la surveillance des structures ciblant les deux principaux domaines, l'aéronautique et le spatiale. Ce nœud de capteur sans fil doit respecter certaines contraintes afin de faciliter son utilisation et son fonctionnement. La principale contrainte de notre démonstrateur finale, qui est l'axe principale sur lequel reposent les travaux de recherche illustrés dans cette thèse, est la consommation énergétique. En effet le dispositif final doit avoir une grande efficacité énergétique (très faible consommation d'énergie de quelques milliwatts) afin de pouvoir fonctionner sur de longues durée en utilisant des batteries classiques ou de pouvoir fonctionner en utilisant des système de récupération d'énergie et donc avoir un nœud de capteur sans fil autonome. Le système doit aussi fonctionner à faible débit, à l'ordre de 10Kbps, afin d'assurer une communication en continue des nœuds de capteur sans fil.

Les différents sous-systèmes de démonstrateur sont partagés sur les différents partenaires de projet SAMRTER qui sont : l'université de Barcelone, Espagne, l'université Exeter, Royaume Unis et le LAAS-CNRS, France. La figure I-2 montre les différents travaux sur l'architecture système de nœud de capteur sans fil. La partie transducteur et mesures est

effectué par l'université Exeter, les modules de gestion d'énergie et de traitement de signal analogique sont réalisés par l'université de Barcelone, la partie stockage d'énergie est la tâche effectuée par l'équipe Énergie Système Embarqué (ESE), LAAS-CNRS et la partie communication sans fil (émetteur-récepteur) qui est la partie sur laquelle s'effectue le cadre de ces travaux de thèse (LAAS-CNRS).



**Figure I-2 : L'architecture système de nœud de capteurs sans fil**

### **I.3. Réseaux de capteurs sans fil pour la surveillance des structures (SMH)**

Un réseau de capteurs sans fil, ou "*Wireless Sensors Network*" (WSN) permet de déployer des capteurs hétérogènes et de les faire communiquer entre eux, sans fil et de façon autonome [2]. Cette capacité nouvelle à surveiller ou instrumenter le monde qui nous entoure ouvre la voie à de nouvelles applications innovantes ou à une évolution majeure d'applications déjà existantes. Cependant, les possibilités de tels réseaux de capteur s'ouvrent bien plus sur d'autres fonctions, on peut utiliser un WSN pour détecter des intrusions dans une zone spécifique, activer un système d'alarme adapté ou même commander d'autres mesures de sécurité. D'un autre côté, la même technologie peut être utilisée pour contrôler les états de santé de patients et alerter le corps médical quand des anomalies sont détectées comme un rythme cardiaque fortement irrégulier, ou une crise épileptique. Les WSN sont alors de nouvelles solutions innovantes pour des produits et services émergents [3].

#### **I.3.1. Techniques de communication pour réseaux de capteurs sans fil**

Les techniques de communication des systèmes WSN doivent respecter des conditions pour pouvoir être dédiées aux systèmes de surveillance des structures. Par exemple un

---

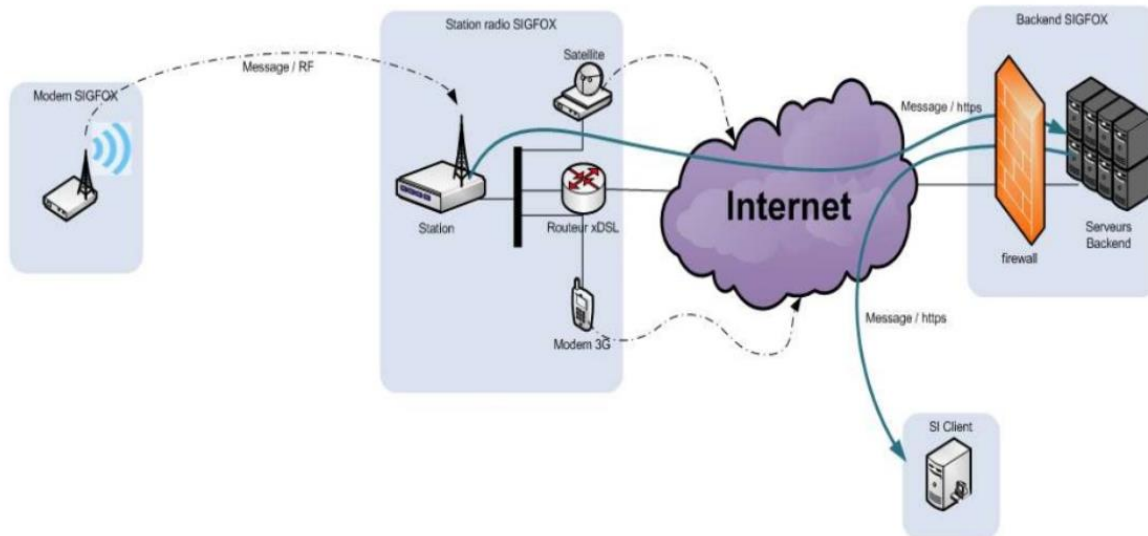
système de WSN pour la surveillance des structures doit être installé durant de longues périodes sur la structure contrôlée. Ces systèmes visent à vérifier régulièrement les propriétés physiques de cette structure pendant de longues périodes et détecter des changements inhabituels des paramètres mécaniques. Une longue période d'utilisation signifie que le système doit être autonome en termes d'énergie ; d'où la contrainte d'efficacité énergétique du système de communication sans fil, qui est le cœur des études menées durant ces travaux de thèse.

Dans cette partie nous nous intéressons à quelques techniques de communication sans fil dédiés aux réseaux de capteurs sans fil.

### **I.3.1.1. SIGFOX**

La société SIGFOX, première à proposer une technologie LPWAN dédiée au marché de l'Internet des objets (*Internet Of Things ou IoT*), a été fondée en 2009 et a eu une forte croissance depuis lors. La couche physique de la technologie SIGFOX emploie une modulation (UNB) *ultra-narrowband*, tandis que les protocoles de couche réseau sont des secrets industriels et, de fait, il n'y a pas de documentation officielle publiquement disponible. Le modèle économique de SIGFOX est celui d'un opérateur et gestionnaire d'un réseau pour des services IoT, ce qui ne l'incite pas à ouvrir les spécifications de sa technologie [4].

Les premières sorties de la technologie SIGFOX ont seulement supporté la communication unidirectionnelle : du dispositif vers la passerelle Internet ; cependant, la communication bidirectionnelle est maintenant supportée. SIGFOX annonce que chaque passerelle peut traiter jusqu'à un million d'objets connectés, avec une zone de couverture de 30 à 50 kilomètres dans des zones rurales et de 3 à 10 kilomètres dans des zones urbaines.



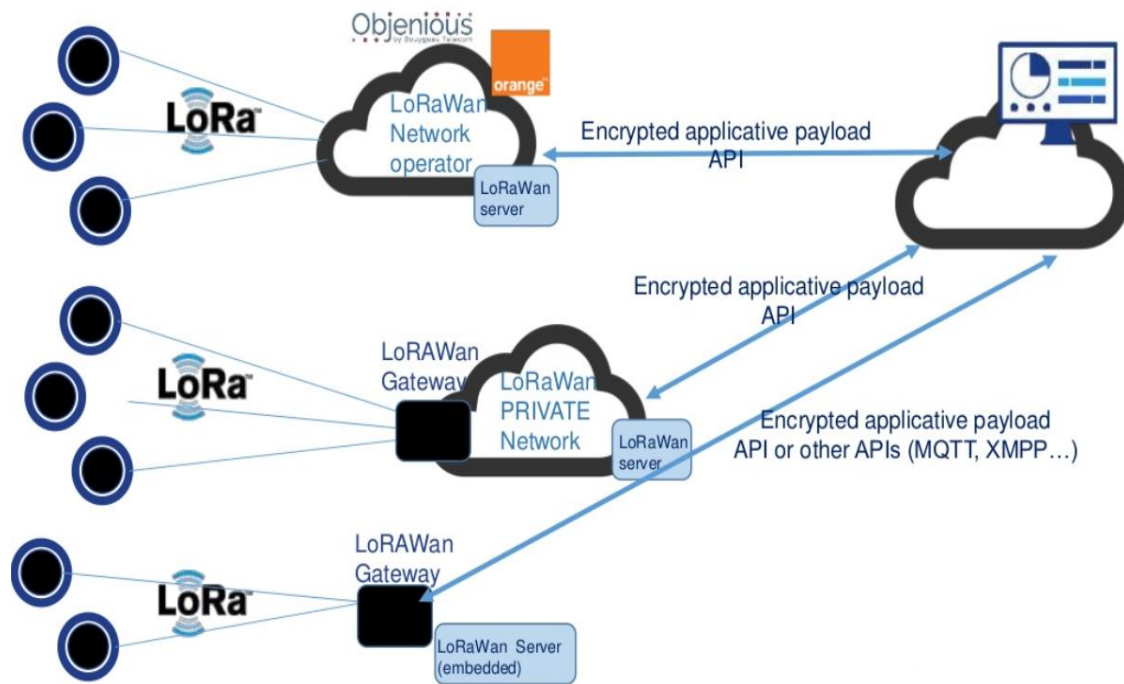
**Figure I-3: Principe d'un système de communication SIGFOX**

Dans le réseau SIGFOX, les messages sont reçus par une station de base, cette dernière transmet ces messages au serveur *backend* via une connexion Internet IP (Internet Protocol), le serveur *backend* stocke et traite les messages avant de les transmettre au poste client.

Quant aux aspects de sécurité du réseau SIGFOX, très peu de commentaires peuvent être faits vu que les protocoles SIGFOX sont propriétaires et donc fermés. Cependant, d'une manière générale, SIGFOX se concentre sur la sécurité de réseau lui-même, laissant les mécanismes de sécurité de la charge utile aux utilisateurs finaux que ça soit au niveau de la transmission, (le nœud SIGFOX), qu'au niveau de la réception (les applications liées avec le cloud SIGFOX via les interfaces d'applications programmable, API).

### **I.3.1.2. LoRa**

La technologie LoRa est une autre solution pour la couche physique des LPWAN, elle est conçue et brevetée par la société Semtech, unique fabricant des *chipsets* [4].



**Figure I-4: Principe d'un système de communication LoRa**

- **LoRaWAN**

Tandis que la couche PHY de LoRa est propriétaire, le reste de la pile protocolaire, connue sous le nom LoRaWAN, est gardée ouverte et son développement est effectué par LoRa Alliance, mené par IBM, Actility, Semtech et la Micropuce [4].

- **LoRaPHY**

La couche physique LoRa est un dérivé de la technique *chirp spread spectrum* (CSS), qui a été adaptée pour assurer la continuité de phase entre des symboles de chirp différents dans la partie de préambule du paquet, permettant ainsi un temps et une synchronisation de fréquence plus précis, sans exiger des composants très chers pour générer une horloge local dans le nœud LoRa.

### I.3.1.3. WiFi IEEE 802.11

Cette norme de réseau sans fil est la plus utilisée pour des communications entre les ordinateurs, mais aussi les dispositifs mobiles comme les téléphones portables, et Internet. [5] Apparues de façon inédite au cours de l'année 1997, les normes IEEE 802.11 (ISO/CEI

---

8802-11), qui sont exploitées à l'échelon international, décrivent les particularités d'un réseau local sans fil (WLAN). L'enseigne déposée Wi-Fi (Wireless Fidelity) correspond au début au nom fourni à la certification délivrée par la Wi-Fi Alliance (Wireless Ethernet Compatibility Alliance, WECA), organisme ayant pour objectif d'indiquer l'interopérabilité entre les données conformes au standard 802.11 et de vendre le label « Wi-Fi » aux matériels répondant à ses spécifications. Pour des raisons de facilité d'usage (et de marketing) le nom de la norme se confond aujourd'hui avec le nom de la certification (c'est le cas en France, en Espagne, au Canada, en Suisse, en Tunisie...). Ainsi, un réseau Wi-Fi est en réalité un réseau répondant à une des normes IEEE 802.11. Dans d'autres pays (en Allemagne, aux États-Unis par exemple) de tels réseaux sont aussi nommés par le terme générique WLAN : Wireless LAN (réseau local sans fil – Local Area Network).

La communication *WiFi* a connu une grande évolution entre la première version de standard autorisant un débit de 11Mbps sur la version 802.11b, jusqu'à un débit de 6.93 Gbps avec la version 802.11ac de ce standard. [6]

#### **I.3.1.4. IEEE 802.15.4 ZigBee**

La norme IEEE 802.15.4 est spécifiquement dédiée aux réseaux sans fil personnels à bas débit et faible consommation : les WPAN. À la fin des années 1990, plusieurs technologies de communication sans fil existent, notamment le Wi-Fi (IEEE 802.11) et le Bluetooth (IEEE 802.15.1) mais celles-ci comportent des faiblesses, principalement au niveau de l'autonomie énergétique. C'est là que naît la ZigBee Alliance qui souhaite développer une technologie à faible coût énergétique : le ZigBee. En 2001, l'IEEE entame des travaux pour proposer un ensemble, « couche physique PHY et couche liaison de données », et plus particulièrement la sous-couche MAC, adapté à des communications « faible distance / faible débit / faible consommation énergétique ». La première version de la norme IEEE 802.15.4 est ratifiée deux ans plus tard, en mai 2003.

IEEE 802.15.4-2006 est le standard le plus connu comme système de communication pour les applications utilisant les réseaux de capteurs sans fil [7]. Ce standard fournit plusieurs spécifications au niveau de la couche physique (PHY) et de la couche MAC pour la transmission des données avec une faible consommation d'énergie.

IEEE 802.15-2006 est donc une norme radio sans fil à bas débit et à courte portée de

---

type LP-WPAN. Elle se caractérise par une portée comprise entre quelques mètres et quelques centaines de mètres et un débit inférieur à 250 Kbps. Elle est optimisée pour une très faible utilisation du médium, par exemple 0,1 % du temps [8]. Le reste du temps, le module de communication ZigBee se met en veille pour économiser son énergie. Pendant cette veille, il ne peut ni émettre, ni recevoir de données. Conçu pour interconnecter des petits équipements autonomes tels que des capteurs qui se réveillent périodiquement ou sur événement local, un émetteur-récepteur ZigBee alimenté par des piles classiques peut avoir une autonomie de quelques semaines à quelques mois voire quelques années, en fonction du profil de trafic généré sur l'onde radio. Deux différents types d'équipements sont définis par IEEE 802.15.4 : les entités complètes FFD (explique les acronymes à leur première rencontre), c'est-à-dire possédant toutes les fonctions, et les équipements avec fonctions limitées RFD, un RFD peut parler à un autre FFD ou RFD mais un FFD ne peut communiquer que vers un FFD.

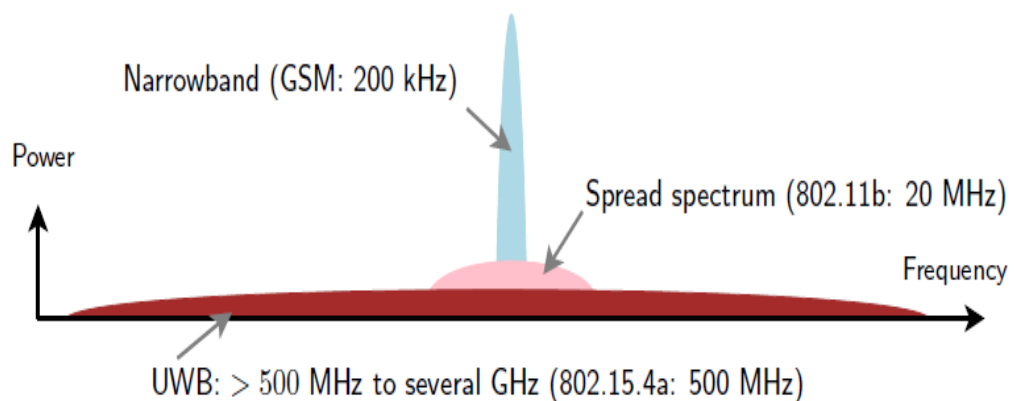
IEEE 802.15.4 a donc donné naissance à plusieurs standards pour les couches supérieures adaptées à différents usages, le plus répandu d'entre eux est le ZigBee. ZigBee définit une couche réseau et une couche applicative [9]. La couche réseau permet d'organiser le réseau sous forme d'étoile, d'arbre ou de réseau maillé. La couche applicative offre des services de transfert de données, de découverte du réseau et de service. Deux variantes différentes sont maintenant proposées le ZigBee pour les réseaux maillés et ZigBee RF4CE [8] (*Radio Frequency For Consumer Electronics*) pour les applications type télécommande radiofréquence (TV, éclairage, etc. . .).

### **I.3.1.5. IEEE 802.15.4a communication Ultra Large Bande (UWB)**

La technique de communication sans fil Ultra Wide Band (UWB) englobe au sens large toute technologie radio utilisant une large bande de fréquence indépendamment de la technique de transmission utilisée (OFDM, impulsionnel, sur porteuse classique) [10]. Les progrès scientifiques dans la microélectronique et la sortie d'un système de réglementation d'une bande de fréquences d'une multitude de Gigahertz aux Etats-Unis en 1998, a rendu possible d'imaginer la conception de circuits radio UWB à petit coût permettant d'avoir un très haut débit avec une puissance émise faible, et une consommation réduite [10]. La technologie UWB utilise la bande ultra large des signaux pour transmettre l'information. L'utilisation de cette bande ultra large lui confère également une excellente capacité de localisation. UWB est en mesure de répondre aux exigences intrinsèques des réseaux de

microsystèmes communicants.

Plusieurs possibilités ont été explorées afin de générer des signaux compatibles avec les définitions précédentes. On peut citer par exemple les approches de type multi bande avec modulation de type OFDM [11], avec un standard haut débit (ECMA-368, [11]). D'autres approches sont aussi proposées, telles que les modulations de fréquence UWB (UWBFM - [10]) ou fondées sur des signaux chaotiques, ressemblant à un bruit blanc filtré en émission dans la bande considérée. Les technologies de fonderie ont amélioré la fréquence maximale accessible pour des Circuits Intégrés Spécifiques à Application numériques (ASIC), ouvrant ainsi la voie aux plus larges modulations de bande. En effet, les modulations UWB sont souvent vues comme une façon simple d'améliorer le débit de données, grâce à leur largeur de bande élevée. Cependant, cette amélioration entraîne en parallèle une augmentation de la consommation du système et la fréquence de fonctionnement. Dans notre cas une mise en œuvre moins complexe à basse consommation pour la technologie UWB a été proposée pour une utilisation dans des WSN.



**Figure I-5: Différents standard en termes de consommation d'énergie**

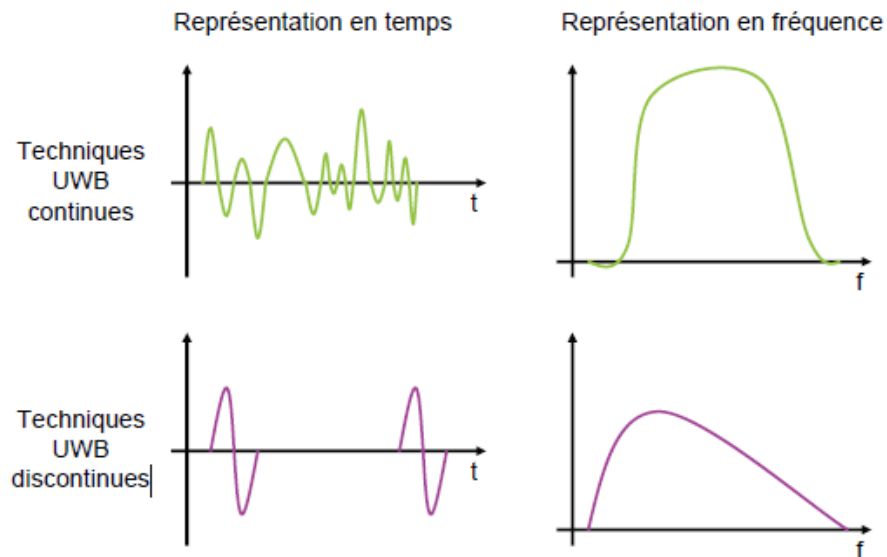
Dans le tableau I-1, on trouve une comparaison entre les trois techniques de communication sans fil présentées jusqu'ici, au niveau de la distance de couverture, de la bande de fréquence utilisée, du débit... etc.



**Tableau I-1: Comparaison entre les techniques de communication SIGFOX, ZigBee et LoRa**

	SIGFOX	ZigBee	LoRa	UWB
Distance de couverture (km)	Rurale= 30-50 Urbaine=3-10	0,010	Rurale= 10-15 Urbaine=3-5	0,010
Bande de fréquence (MHz)	868-902	868-2400	Varie-sous-gigahertz (868)	>500
Bande ISM	oui	NA	oui	oui
Liaison bidirectionnelle	oui	NA	oui	oui
Débits (kb/s)	0,1	20-250	0,3-375	500
Nœuds par gateway	= $10^6$	+65000	= $10^4$	NA

On trouve deux principales techniques dans la technologie UWB : la technique discontinue et la technique continue. Pour la première, on trouve principalement la technique ultralarge bande par impulsion (IR-UWB). La seconde comprend les techniques classiques comme l'OFDM (Orthogonal Frequency Division Multiplex) et la modulation de fréquence large bande. La figure I-6 montre le principe de ces deux techniques.



**Figure I-6: Représentation temporelle et en fréquence des signaux UWB continus et discontinus**

---

### **a- Les techniques discontinues : l'UWB par impulsion (IR-UWB)**

L'impulse Radio UWB (IR-UWB) propose d'utiliser des impulsions de très courte durée, occupant un spectre fréquentiel très large. Dans le cadre de l'IR-UWB sans porteuse, la forme de l'impulsion doit s'adapter aux différentes réglementations en vigueur. Dans ce cas le flux des impulsions transmises doit respecter les masques d'émission. Des impulsions sous formes sinusoïdales, de Gaussienne ou leurs dérivées sont souvent les plus utilisées. Des impulsions orthogonales à base de fonction d'Hermite ou de polynôme de Gegenbauer ou de Legendre [13] peuvent permettre d'optimiser l'utilisation du masque d'émission tout en favorisant les modulations M-aires ou les communications multi utilisateurs [13].

Pour les techniques IR-UWB, l'implémentation et l'architecture choisie ne change pas les propriétés ainsi que les avantages et inconvénients dus à la discontinuité des transmissions [10]. L'architecture mostly-digital sera décrite et étudiée dans le chapitre 3 du manuscrit ainsi que ses contraintes d'implémentation. De façon générale, les techniques IR-UWB peuvent s'affranchir des porteuses, et donc elles permettent de réduire la complexité et la consommation du système d'émission-réception.

La technologie IR-UWB est une approche d'interface radio simple, peu coûteuse, peu encombrante et à faible consommation d'énergie avec l'émission d'impulsions de façon discontinue avec un faible rapport cyclique. Les contraintes imposées par la législation confèrent aux techniques IR-UWB une faible consommation. Les dernières technologies CMOS peuvent être utilisées à bas coût tout en minimisant la taille des circuits et leur consommation énergétique. En dépit d'implémentations simples, les systèmes IR-UWB peuvent offrir des capacités d'adaptation [16]. En reconfigurant des paramètres comme le nombre d'impulsions par bit ou la période de répétitions des impulsions, le système peut offrir dynamiquement un compromis entre débit, portée et consommation énergétique.

### **b- L'UWB sur porteuse continue**

Dans les techniques continues, on distingue l'ensemble des techniques classiques sur porteuses continues comme les techniques par étalement de spectre (DSSS, CDMA), l'OFDM, et la modulation de fréquence large bande. Dans cette seconde catégorie de technologie UWB, le principe est de transmettre en continu les signaux sur la bande autorisée par la législation. Les deux principales modulations qui font partie de cette catégorie de

---

transmission UWB continue sont les modulations de fréquence FM-UWB et l'OFDM sur une très large bande. Par contre le signal est émis uniquement pendant une très faible portion du temps, sur la durée d'un bit, comme pour l'UWB impulsionnel.

- **Frequency Modulation UWB : FM-UWB**

La technique FM-UWB est une implémentation analogique pour le système d'étalement de spectre qui vise des distances courtes de l'ordre de un à dix mètres, et des applications avec un débit maximum de 100 kbps en utilisant une implémentation de modulation simple et robuste [14]. Cette technique réutilise la méthode de modulation en fréquence utilisée depuis le début des communications sans fil, en se basant sur une technologie peu complexe sur une très large bande.

La technique FM-UWB est basée sur une modulation *Frequency Shift Keying-FSK* suivie par une modulation FM pour offrir un support aux communications multi utilisateurs [10]. FM-UWB possède également un spectre plat ainsi qu'une excellente capacité de coexistence avec les autres techniques de communication.

- **Orthogonal Frequency Division Multiplex OFDM**

L'OFDM est un découpage du canal en porteuses orthogonales. Une modulation QPSK (*Quadrature Phase Shift Keying*) est employée généralement sur les N porteuses du symbole OFDM. Le principe de l'OFDM consiste à répartir sur un grand nombre de sous-porteuses le signal numérique que l'on veut transmettre. Pour que les fréquences des sous-porteuses soient les plus proches possibles et ainsi transmettre le maximum d'information sur une portion de fréquences donnée, l'OFDM utilise des sous-porteuses orthogonales entre elles. Les signaux des différentes sous-porteuses se chevauchent mais grâce à l'orthogonalité n'interfèrent pas entre elles.

La figure I-7 présente le positionnement de l'UWB par rapport aux principaux standards de WLAN / WPAN en termes de débit et de portée maximale. On remarque que contrairement aux normes *WiFi*, l'UWB se place dans le créneau des réseaux courte portée WPAN. Son débit potentiel dépasse cependant les performances de toutes les normes WLAN et WPAN actuelles.

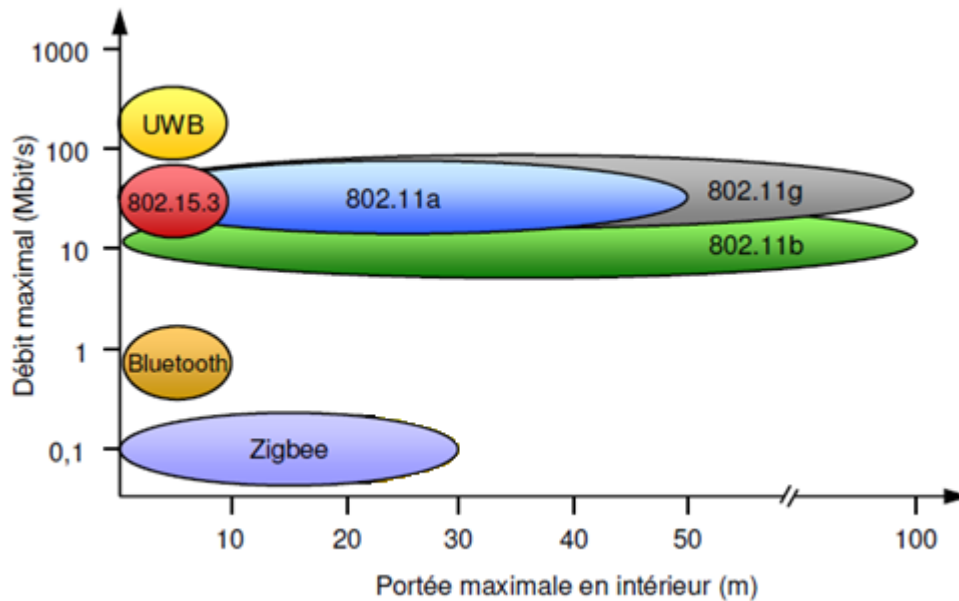


Figure I-7: Débit et Portée maximale pour les standards de communication sans fil [18]

### I.3.2. Régulations des technologies UWB

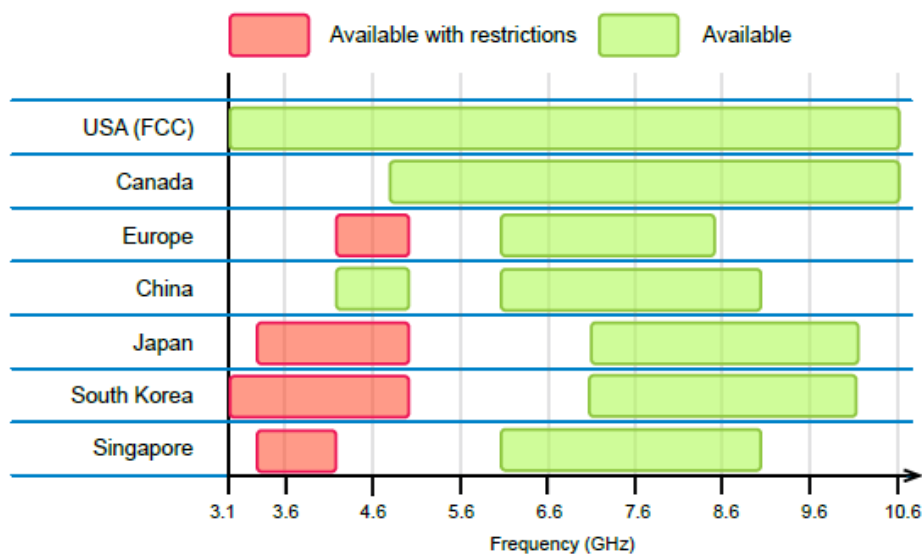
Le strict respect de la réglementation concernant le spectre d'émission est nécessaire pour définir la largeur de bande des signaux UWB. En effet, de nombreux systèmes licenciés ou non sont présents dans les bandes UHF et SHF propices au déploiement de systèmes radio. Pour permettre l'utilisation de signaux UWB sur plusieurs gigahertz, les autorités de régulation doivent imposer une limitation sur la puissance d'émission.

#### I.3.2.1. Technologies UWB entre 3,1 GHz et 10,6 GHz

En mai 2000, une première proposition de régulation est publiée (*Notice of Proposed Rule Making*), qui aboutit au texte de régulation *Report & Order* actuel, daté de février 2002 où la FCC a introduit des régulations à la technologie UWB pour les bandes de fréquence de 3,1 - 10,6 GHz. Les règles de régulation du spectre UWB par la FCC permettent d'émettre des signaux principalement sur la bande 3,1 GHz - 10,6 GHz, en respectant une densité spectrale de puissance inférieure aux règles déjà en place pour les émissions radio non intentionnelles.

Une Puissance Isotrope Rayonnée Equivalente (PIRE) de -43,3 dBm/MHz et une bande passante minimale de 500 MHz sont autorisées sur cette technologie de communication [3].

Autrement dit, dans toute bande de 1 MHz comprise entre 3,1 et 10,6 GHz, la puissance moyennée sur une durée inférieure à une milliseconde ne doit pas excéder  $-41,3$  dBm/MHz. On trouve que dans les territoires Européen et Asiatique la bande autorisée est réduite jusqu'à 3 GHz de bande alors que Canada par exemple est plus souple au niveau de ces régulation en comparant avec les Etats-Unis. Au Japon, le ministère de l'intérieur et de la communication (MIC) en charge de la réglementation des télécommunications a autorisé en 2006 l'émission de signaux UWB sans licence [19]. Afin d'assurer la cohabitation avec les services sans fil existants et avec les systèmes de communications futurs, les systèmes UWB doivent se doter de techniques de détection, d'évitement ou de gestion des signaux présents dans les mêmes bandes de fréquences. Donc, suivant les régions, on peut transmettre en UWB dans toutes les bandes de fréquence avec une puissance inférieure à 41dBm/MHz, tandis que dans d'autres, les systèmes UWB doivent intégrer des techniques de détection et d'évitement de collision afin d'éviter d'engendrer des perturbations sur cette bande (Figure I-8)



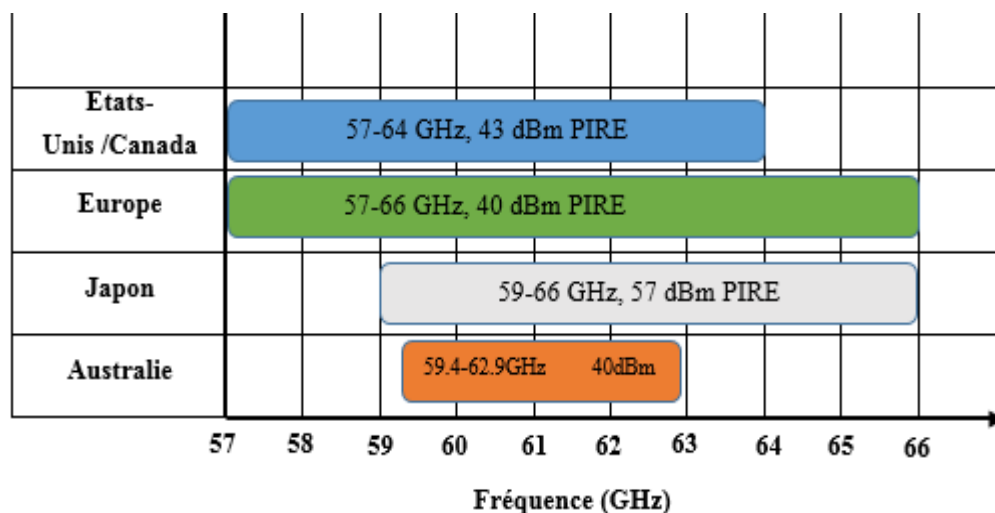
**Figure I-8: Régulation UWB entre 3,1 GHz et 10,6 GHz suivant les territoires [3]**

### I.3.2.2. Technologies UWB à 60 GHz

L'évolution des technologies de la micro-électronique comme les technologies CMOS a permis de réaliser des circuits intégrés pour la communication à bas coût et à une grande fréquence ce qui a permis d'utiliser une bande passante plus large et donc l'introduction de l'utilisation de la bande à 60 GHz. Suite à cela la FCC a ouvert une bande de 57 GHz à 64

GHz non licenciée pour les systèmes ISM en 2001 [20]. Des signaux UWB peuvent y être utilisés grâce à largeur de bande passante. De plus les problèmes d'interférence sur les bandes à 60 GHz sont quasiment nuls car celle-ci se situe très loin des bandes ISM actuellement surchargées par les différents services radio. Les communications portent sur une faible zone permettant ainsi une faible distance de réutilisation des fréquences et donc une forte densité de déploiement des systèmes de communications UWB à 60 GHz [10].

Aux Etats-Unis le spectre autorisé est une bande sans licence de 7GHz se situant entre 57 et 64 GHz avec une puissance PIRE maximale autorisée de 43 dBm. Les spécificités du canal radio a permis une limite en puissance beaucoup moins contraignante à 60 GHz. Pour l'Europe le spectre autorisé est bien plus grand avec 9 GHz disponible entre 57 GHz et 66 GHz avec une puissance PIRE maximale de 40 dBm. Dans le reste du monde comme le Japon et l'Australie possède un spectre entre 59 GHz et 66 GHz et 59,4 et 62,9 GHz respectivement avec une PIRE limite de 57dBm et 40 dBm.



*Figure I-9: Régulation technologie UWB autour de 60 GHz*

#### **I.4. Applications des réseaux de capteurs sans fil**

Les réseaux de capteurs sont définis comme des systèmes composés de nœuds de mesure ayant une capacité de communication, et dont le but est d'exécuter un fonctionnement bien défini. Les applications liées à de tels systèmes sont alors possibles dans presque chaque domaine de la vie quotidienne. Cette section donne une vue d'ensemble des applications possibles et indique la raison pour laquelle les technologies WSN peuvent améliorer la façon de travailler dans chaque application.

---

Il existe plusieurs applications utilisant des systèmes réseaux de capteurs sans fil. Ces systèmes de réseaux sans fil ont différents domaines d'applications [9] que nous allons présenter dans la suite.

#### **I.4.1. Détection de catastrophes naturelles**

Pour pouvoir détecter des incendies dans les forêts, les tempêtes ou inondations, on peut placer un réseau de capteurs autonomes en dispersant les nœuds de capteurs dans la nature. Ces capteurs, en évaluant un changement caractéristique d'un paramètre mesuré, peuvent ainsi signaler un évènement exceptionnel. Ceci permet une intervention beaucoup plus rapide et efficace des secours.

#### **I.4.2. Détection d'intrusions**

Les réseaux de capteurs peuvent être déployés dans une zone pour détecter n'importe quel mouvement d'une cible non authentifiée. La position exacte de cette cible peut aussi être évaluée grâce aux positions des nœuds. De tels systèmes sont en expérimentation et permettraient le remplacement des systèmes existants dans plusieurs domaines notamment pour détecter une présence ennemie dans une zone démilitarisée. Un tel système peut être utilisé pour détecter une intrusion en vérifiant l'état des nœuds sur cette zone [3].

Ces applications peuvent signaler des voleurs ou des cambriolages et pour cela il faut placer, à différents points stratégiques, des capteurs. On peut ainsi prévenir des passages de gibier sur une voie de chemin de fer sans avoir à recourir à de coûteux dispositifs de surveillance vidéo.

#### **I.4.3. Applications métier**

Dans ce type d'applications (ton début de paragraphe ne va pas) on peut alerter en temps réel le dépassement de seuils critique d'un paramètre à observer en plaçant des capteurs. Par exemple dans le cas où l'on souhaiterait stocker des denrées alimentaires nécessitant un certain taux d'humidité et une certaine température de conservation (minimale ou maximale). Dans ces applications, le réseau doit pouvoir collecter ces différentes informations et alerter si les seuils critiques sont dépassés. Contrairement aux techniques conventionnelles l'utilisation des réseaux de capteurs sans fil permet d'optimiser le coût et la quantité filaire pour un très grand nombre de nœuds de capteur.

---

#### **I.4.4. Contrôle de la pollution**

Afin de minimiser les catastrophes industrielles par exemple une fuite de gaz ou de produits chimiques on pourrait disperser des capteurs autour d'un emplacement industriel pour détecter et contrôler les fuites. Ces applications permettraient de donner l'alerte en un temps record et de pouvoir suivre l'évolution de la catastrophe.

#### **I.4.5. Agriculture**

Dans le domaine de l'agriculture il existe des réseaux de capteurs qui servent à questionner l'état des champs (par exemple si le secteur est sec ou frais afin de pouvoir l'arroser en priorité) en utilisant des capteurs qui sont incorporés dans la terre. On peut aussi imaginer équiper des troupeaux de bétail de capteurs pour connaître en tout temps leur position, ce qui éviterait aux éleveurs d'avoir recours à des chiens de berger.

#### **I.4.6. Surveillance médicale**

A l'aide des capteurs on peut recevoir des images en temps réel d'une partie du corps sans aucune chirurgie pendant environ vingt-quatre heures, et on peut ainsi surveiller la progression d'une maladie ou la reconstruction d'un muscle en implantant des mini capteurs vidéo sous la peau.

#### **I.4.7. Contrôle d'édifices**

On peut inclure sur les parois des barrages des capteurs qui permettent de calculer en temps réel la pression exercée par la réserve d'eau. Il est donc possible de réguler le niveau d'eau si des seuils sont atteints. On peut aussi imaginer inclure des capteurs entre les sacs de sables formant une digue de fortune. La détection rapide d'infiltration d'eau peut servir à renforcer le barrage en conséquence. Cette technique peut aussi être utilisée pour d'autres constructions tels que ponts, voies de chemins de fer, routes de montagnes, bâtiments et autres ouvrages d'art.

#### **I.4.8. Surveillance de structures**

C'est le domaine d'application auquel nous nous intéressons le plus pour ces travaux de thèse. La surveillance des structures ou *Structural Health Monitoring* (SHM) vise à



récupérer les informations fournies par les nœuds de capteurs sans fil afin de les traiter et détecter les pannes et les défaillances des structures



*Figure I-10: Illustrations des domaines d'applications de réseaux de capteurs sans fil*

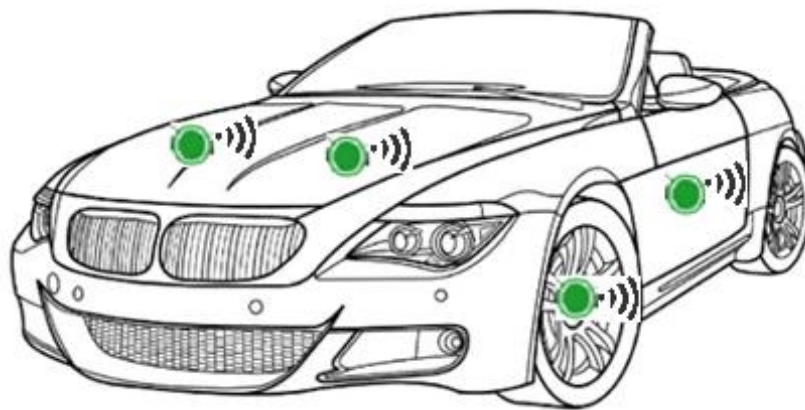
### **I.5. Surveillance de structure (*Structural health monitoring SHM*)**

Un système de surveillance de structure (*Structural health monitoring SHM*) consiste à mettre en place une stratégie de détection et de caractérisation des dégâts présents sur les structures. Ces défaillances sont définies comme des changements des propriétés matérielles et/ou géométriques d'un système structurel, y compris les changements de connectivité, qui affecte défavorablement sa performance. Le processus de SHM implique l'observation du système pendant une longue durée de temps en utilisant des mesures temps réel périodiques grâce à un réseau de capteurs sans fil. L'extraction et la caractérisation des données de mesures et l'analyse statistique de ces caractéristiques permet de déterminer l'état de santé actuel du système. A long terme, une mise à jour périodique des données de sortie de ce processus est faite, elle apporte des informations concernant la capacité de la structure à être fonctionnelle et l'état de son vieillissement. Après des événements intenses, tels que les tremblements de terre ou les explosions, le SHM est utilisé pour le dépistage rapide de l'état de santé et vise à fournir, en temps quasi-réel, des informations fiables concernant l'intégrité de la structure.

---

### **I.5.1. Surveillance de structure de transport**

Des véhicules récents comme des voitures et des camions proposent des fonctions de diagnostics automatiques, qui deviennent plus intelligentes avec le temps. Des systèmes de surveillance de structures (SHM) basés sur des réseaux de capteurs sans fil ouvrent la voie pour un diagnostic meilleur basé sur la quantification d'usure des parties critiques d'un moteur ou même des pneus endommagés pour éviter les accidents. On voit aussi le SHM comme une solution prometteuse permettant d'améliorer la fiabilité des trains et des autres transports publics.

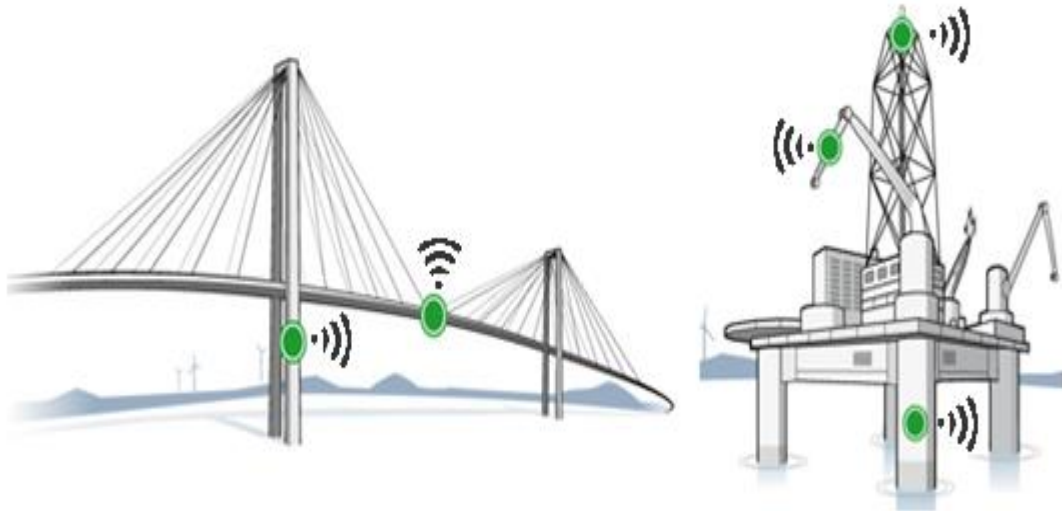


*Figure I-11: Surveillance de structure pour les voitures*

### **I.5.2. Surveillance de structure pour les constructions**

La complexité des constructions a augmentée durant les dernières décennies, avec des tours toujours plus hautes, des ponts plus longs et plus fins, et bien d'autres constructions innovantes. De telles améliorations sont souvent le résultat de grandes études et traitements de données. Le calcul de contraintes mécaniques s'est amélioré et permet maintenant aux structures plus légères d'être utilisées [3]. Cependant, ayant moins de marges de compensation sur les structures, le suivi des éléments critiques est devenu un point essentiel au maintien de l'état desdites structures. Les réseaux de capteurs sont plus souvent déployés dans des constructions récentes et aussi dans les constructions qui présentent des risques de par leur structure. Ces capteurs aident dans la détection de craquements de fatigue et des déformations.

Ces nouvelles techniques pour contrôler l'état d'une construction sont souvent utilisées pour contrôler des nouvelles structures de construction, particulièrement quand ces structures représentent une innovation technologique, comme des gratte-ciel ou des constructions non conventionnelles. Cependant, les systèmes de surveillance des structures pour les constructions basés sur la fibre optique, a aussi été utilisé dans le contexte de constructions archéologiques comme Torre Aquila en Italie [3]



*Figure I-12: Surveillance de structure pour les constructions*

### **I.5.3. Surveillance de structure pour aéronautique et satellites**

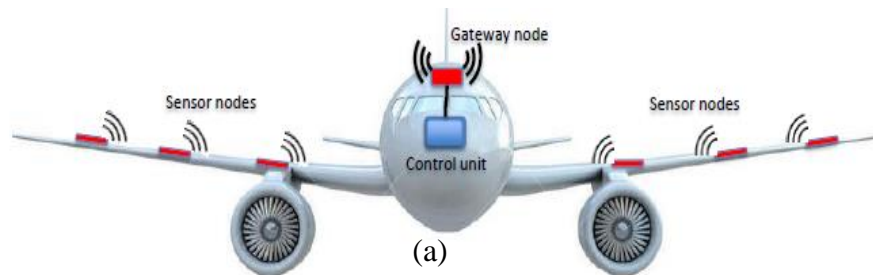
L'industrie aéronautique est soumise aux exigences critiques par rapport à la sécurité des avions, des satellites et à leurs performances. Cela veut dire mettre en place des tests minutieux pendant les étapes de développement et le contrôle régulièrement pendant la durée de vie opérationnelle des structures de l'avion ou de satellite. Les systèmes de surveillance des structures (SHM) doivent être déployés sur la structure d'avion ou des satellites pour aider le processus de maintenance et aussi afin de mettre en œuvre un système de maintenance préventif.

Pour développer un système SHM, des nœuds de capteur communicants sont nécessairement déployés partout sur la structure. Les nœuds câblés seront très difficiles à déployer à cause du haut nombre de fils devant être placé dans l'avion et le coût d'un tel système (les kilomètres de fils sont chers). De plus l'avion deviendra plus lourd, ce qui

signifie une consommation plus haute de carburant, donc un coût d'exploitation plus important pour l'entreprise et donc des tarifs plus élevés pour les clients.

La possibilité de déployer un système SHM réel basé sur des réseaux de capteurs sans fil, se concentre sur des nouvelles méthodes figurantes et des idées innovatrices dans le domaine des réseaux de capteur sans fil autonomes, utilisant des systèmes de récupération d'énergie visant le grand domaine de contrôle et de surveillance des structures (SHM).

Pour toutes ses raisons nous allons nous intéresser à un système de surveillance de structure utilisant un réseau de capteurs sans fil moins coûteux et à faible consommation d'énergie toute en gardant une bonne performance en termes de portée débit. La surveillance des structures demande des systèmes de communication sans fil à faible consommation et ayant une grande autonomie. La technique de communication que nous avons jugé la plus adapter à ce système de surveillance de structure est la technique de communication sans fil Ultra-Wide Band par impulsion (IR-UWB) que nous allons détailler dans le chapitre II.



**Figure I-13: (a) principe d'un réseau de capteur sans fil, (b) Illustration cas réel d'un réseau de capteur sans fil sur Airbus A400M**

---

## **I.6. Conclusion**

Dans ce premier chapitre nous avons pu présenter les différentes techniques de communication pour les réseaux de capteurs sans fil. En étudiant les différentes techniques de communication sans fil pour les systèmes WSN, on peut conclure que l'UWB possède une grande flexibilité de performances sur les critères suivants : consommation, coût, complexité, encombrement, débit, portée radio. De plus la technique L'IR-UWB possède également une excellente résolution temporelle lui permettant de prétendre à une capacité de localisation efficace et précise

Les réseaux de capteurs sans fil sont des solutions envisageables dans plusieurs domaines comme la sécurité, le contrôle médical de la santé des patients, l'agriculture, ou plus particulièrement les systèmes de surveillance des structures (SHM).

Dans le cadre de nos travaux de thèse, nous ciblons plus principalement les systèmes de réseaux de capteurs sans fil pour les applications de surveillance des structures (SHM). Dans le cas de ces applications, l'aspect de basse consommation est la contrainte la plus prioritaire pour que notre système de communication qui aura une autonomie de fonctionnement sur la plus longue période possible afin de surveiller l'état des structures à long terme et d'aider au processus de maintenance. A cet effet la technologie IR-UWB nous semble la technologie la plus prometteuse pour ce genre d'application grâce à la possibilité de basse consommation qu'elle offre.

---

## ***II. Chapitre II : Communications UWB par Impulsion (IR-UWB) - Etat de l'art***

---

## II.1.Introduction

De très nombreuses couches physiques pour réseaux sans-fil comme IEEE 802.11 ont été imaginées pour répondre à des besoins et à des contraintes variées (efficacité énergétique, débits élevés ...). Historiquement, les premières modulations numériques utilisées ont été les modulations à bande étroite, puisqu'elles sont dérivées des modulations analogiques. C'est à celles-ci que nous nous intéresserons dans un premier temps. Ensuite, nous verrons les autres modulations numériques, l'étalement de spectre et l'OFDM ; et pour finir les modulations impulsionnelles.

## II.2.Communication sans fil Ultra-Wide Bande (UWB)

La technique de communication sans fil Ultra-Wide Band (UWB) peut être généralement utilisée sur toute technologie radio utilisant une large bande de fréquence indépendamment de la technique de transmission utilisée (OFDM, impulsionnel, sur porteuse classique) [5]. La largeur de bande limite pour déterminer la nature de la technologie radio (UWB ou bande étroite) est définie précisément et mathématiquement dans chaque réglementation locale.

La contrainte la plus importante qu'on peut utiliser pour définir les techniques de communication UWB est la contrainte sur la largeur de bande occupée. Aucune autre contrainte n'est imposée, que ça soit sur la forme du signal, ou sur le type de modulation. Il existe donc une grande variété de système de transmissions UWB comme les techniques les plus classiques comme le *Direct Sequence Spread Spectrum* (DSSS), l'*Orthogonal Frequency Division Multiplexing* (OFDM), la modulation FM, et des techniques plus spécifiques comme l'UWB à impulsion. Toutes les techniques radios classiques sont possibles, tant que la largeur de bande utilisée est suffisamment importante.

Comme présenté dans le chapitre I, on classifie les techniques UWB généralement en deux catégories : les techniques continues et les techniques discontinues. Dans les techniques continues, on distingue l'ensemble des techniques classiques sur porteuses continues comme les techniques par étalement de spectre (DSSS, CDMA), l'OFDM, ou la modulation de fréquence large bande. Les techniques discontinues intègrent principalement les techniques radios impulsionnelles dites IR-UWB (*Impulse Radio Ultra WideBand*) [5].

Une comparaison avec les autres bandes non autorisées et actuellement disponibles et utilisées aux États-Unis est montrée dans le tableau suivant. Cette allocation ouvre de nouvelles possibilités de développer différentes technologies UWB basées sur des approches impulsion radio. Étant donné l'allocation spectrale récente et la nouvelle définition d'UWB adoptée par la FCC, n'importe quel signal de transmission qui respecte les exigences FCC pour le spectre UWB peut être utilisé. Ceci, bien sûr, n'est pas juste limité aux techniques impulsion radios ou au spectre de diffusion haut débit, déjà proposées par des entreprises ; cela s'applique aussi à n'importe quelle technologie qui utilise plus de 500 MHz de largeur de bande dans le masque spectral autorisé et avec les restrictions sur la limite d'émission actuelle [6]. La puissance de la densité spectrale (PSD), mesurée dans la bande passante de 1 MHz, ne doit pas excéder la limite de FCC indiquée.

*Tableau II-1: Allocations spectral utilisées*

Bandes non licenciées	Fréquence de fonctionnement	Largeur bande passante
ISM à 2.4 GHz	2.4000-2.4835	83.5 MHz
U-NII à 5 GHz	5.15-5.35 GHz 5.75-5.85 GHz	300 MHz
UWB	3.1-10.6 GHz	500 MHz

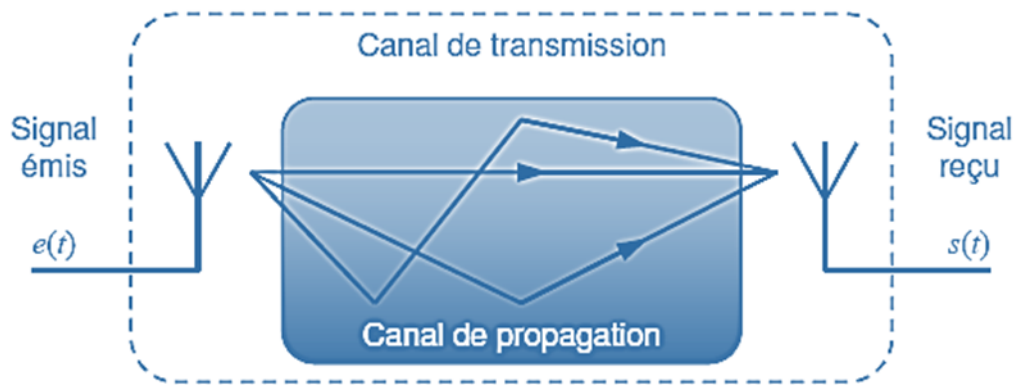
Le PSD est proportionnel à l'amplitude de signal UWB, la largeur de bande et le cycle de devoir, le dernier défini comme le ratio du taux de répétition de signal et la largeur de bande. Cela signifie que, pour PSD fixe, plus étroite la largeur de bande, plus petit la répétition permise note pour l'amplitude fixe [6]. La répétition non modulée périodique de ces signaux produirait un spectre avec des lignes spectrales séparées au taux de répétition, plutôt que l'enveloppe de spectre uniforme.

### **II.3. Canal de propagation**

On peut définir un système de transmission radioélectrique comme un système qui permet de transformer par l'intermédiaire d'ondes électromagnétiques, un signal analogique transmis en un signal analogique reçu. Le canal de propagation correspond au système qui fait transiter le signal et tient donc compte des interactions entre les ondes électromagnétiques et leur environnement. À ce niveau, il est suggéré de faire la distinction



entre les transformations des ondes électromagnétiques lors de leur propagation qui sont représentés par le canal de propagation, et le canal de transmission, qui contient notamment le champ de rayonnement des antennes utilisées (figure II-1). Le canal de propagation, selon les travaux existant, peut parfois intégrer le canal de transmission, mais lors de l'analyse de canaux à entrées et sorties multiples, ou Multiple Input Multiple Output (MIMO), la distinction entre ces deux canaux prend toute son importance [1].



*Figure II-1: Modèle du canal de transmission et canal de propagation sans fil*

### II.3.1. Propagation en espace libre

Considérons un cas idéal où le système de transmission est situé en espace libre, i.e. dans un environnement exempt de toute obstruction. En notant  $G_E$  le gain de l'antenne d'émission et  $P_E$  la puissance du signal émis, la densité de puissance  $W$  présente à une distance  $d$  est donnée par [2] :

$$W = \frac{P_E G_E}{4\pi d^2} \quad (1)$$

La puissance  $P_R$  du signal disponible aux bornes d'une antenne de réception de gain  $G_T$  est reliée à la densité de puissance  $W$  par la relation :

$$P_R = W A_R = W \frac{\lambda^2 G_R}{4\pi} \quad (2)$$

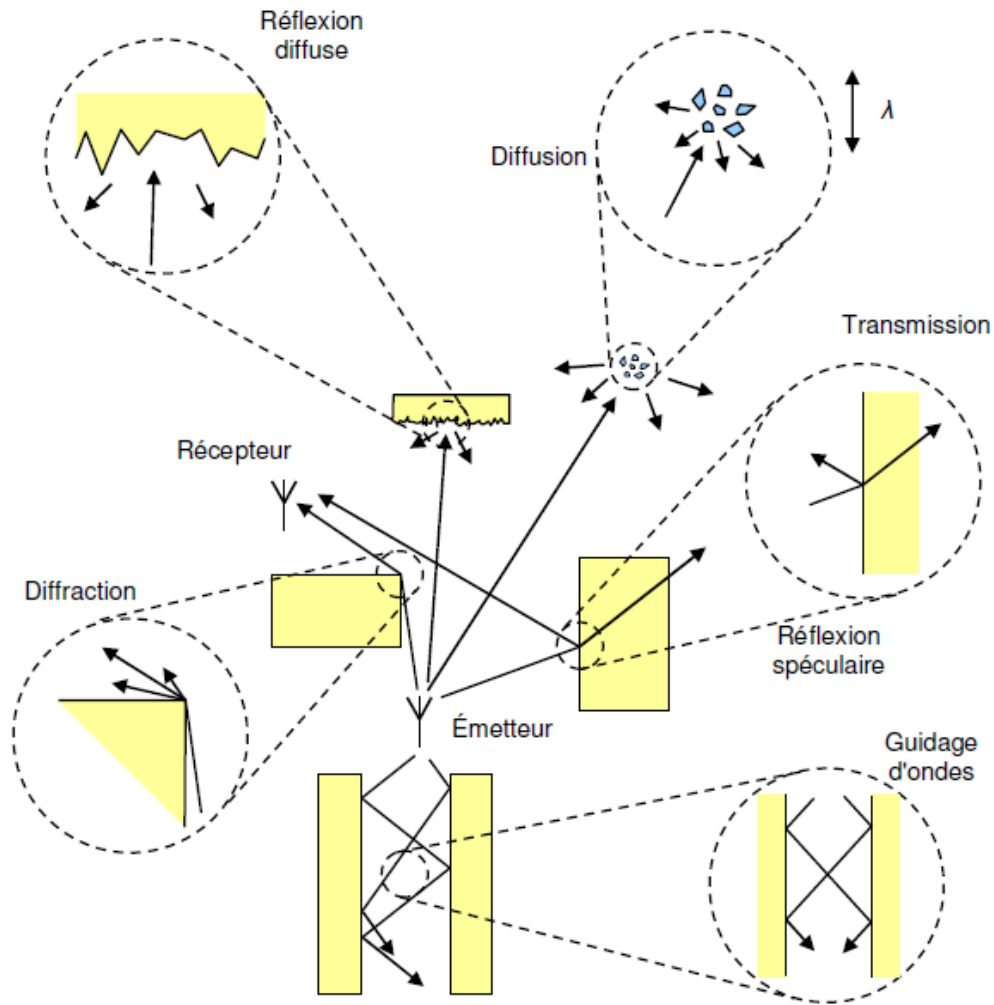
Où  $A_R$  représente l'aire effective de l'antenne de réception, et  $\lambda$  représente la longueur d'onde à la fréquence de travail.

Les équations (1) et (2) conduisent à la formule de Friis, qui permet de calculer l'atténuation du signal en espace libre :

$$\frac{P_R}{P_T} = G_T G_R \left( \frac{c}{4\pi f d} \right)^2 \quad (3)$$

### II.3.2. Propagation par trajets multiples

Dans un environnement réel, la transmission d'un signal se fait généralement en empruntant, en plus d'un possible trajet direct, d'autres chemins de propagation. Il existe donc une multitude de trajets pour le signal émis entre l'émetteur et le récepteur. Les trajets ont une longueur différente et sont affectés tout au long de leurs parcours par les éléments qu'ils rencontrent. Ces trajets sont en nombre variable et subissent différents effets suivant la nature de l'interaction entre l'onde et un élément de l'environnement. Le signal obtenu au niveau de l'antenne réceptrice correspond à une recombinaison de ces ondes, qui ont subi un affaiblissement et une rotation de phase différents, et qui arrivent au récepteur avec un retard lié à la longueur du trajet de propagation. La présence de trajets multiples de propagation peut conduire à une distorsion importante du signal reçu. D'un autre côté, et plus particulièrement à l'intérieur des bâtiments, un trajet en visibilité directe, ou *Line Of Sight* (LOS), n'est pas toujours disponible. Dans ce cas, ce sont les trajets en non-visibilité, ou *Non Line Of Sight* (NLOS), qui permettent la communication radio. La figure suivante illustre le concept de propagation par trajets multiples, ainsi que les principaux phénomènes de propagation.



*Figure II-2: Canal de propagation par trajet multiple [6]*

Cinq types de propagations sont recensés : la transmission, la réflexion, la diffraction, la diffusion et le guidage d'onde. La transmission de l'onde à travers un obstacle suit une loi proche de la loi optique de Descartes.

### **II.3.2.1. Transmission**

Si le milieu où intervient la réflexion n'est pas totalement radio-opaque, une partie de l'onde incidente traverse le matériau selon un mécanisme de transmission. Pour la plupart des matériaux de construction présents dans les environnements d'intérieur, l'onde transmise subit alors un affaiblissement assez important. On peut noter que pour un matériau donné, l'affaiblissement et la direction du signal transmis dépendent de la longueur d'onde, en raison de la variation de l'indice de réfraction du matériau. Enfin, pour un matériau de type cloison, des réflexions multiples peuvent se produire à l'intérieur même du matériau.

---

### **II.3.2.2. Réflexion**

La réflexion intervient sur des obstacles de grandes dimensions par rapport à la longueur d'onde. Lorsque deux milieux différents sont séparés par une surface non rugueuse (i.e. dont les irrégularités sont de petite taille par rapport à la longueur d'onde), on parle de réflexion spéculaire. Dans ce cas, la direction et l'amplitude du rayon réfléchi sont régies par les lois de Snell-Descartes et de Fresnel. Lorsque la surface séparant les deux milieux présente des irrégularités aléatoires non négligeables, la réflexion est dite diffuse. Le maximum d'énergie est dirigé selon le rayon réfléchi, mais une partie de l'énergie est diffusée dans des directions voisines.

### **II.3.2.3. Diffraction**

La diffraction a lieu sur les arêtes d'obstacles de grandes dimensions par rapport à la longueur d'onde. Elle explique la continuité du champ électromagnétique situé de part et d'autre de la ligne de visibilité optique. Le champ diffracté se calcule selon le principe de Huygens, qui considère chaque point du front d'onde éclairant un obstacle comme une source secondaire sphérique. Ainsi, les ondes diffractées se répartissent de façon radiale par rapport à l'arête diffractante, selon un cône dont l'angle correspond à l'angle d'incidence.

### **II.3.2.4. Diffusion**

Lorsqu'une onde électromagnétique rencontre un groupe dense d'obstacles dont les dimensions sont petites par rapport à la longueur d'onde, le phénomène observé correspond à la superposition d'un grand nombre de diffractions aléatoires. Dans ce cas, on traite le comportement de l'onde incidente de façon statistique et on parle de diffusion. Nous considérons généralement que l'onde est redirigée dans toutes les directions avec une atténuation variable. Ce phénomène, le plus souvent observé en extérieur au contact de feuillages par exemple, peut se produire en intérieur sur un ensemble d'objets domestiques de petite taille.

### **II.3.2.5. Guidage d'ondes**

En environnement intérieur, le phénomène de guidage d'ondes peut se produire entre deux cloisons, dans un couloir par exemple. Les réflexions successives sur deux obstacles parallèles provoquent un déplacement global des ondes électromagnétiques selon la direction

de guidage. Ce phénomène se produit également en environnement urbain, en raison des immeubles bordant les rues étroites.

### II.3.3. Capacité d'un canal IR-UWB

En utilisant l'équation qui détermine la capacité de canal IR-UWB (montrée par l'équation (4)) on peut déduire que la capacité du canal augmente avec le rapport signal sur bruit, ce qui est le cas aussi pour un canal Gaussien. Elle croît également avec une augmentation du rapport cyclique ce qui est attendu car il exprime une augmentation du rythme d'émission. Plus la bande est grande, plus le débit maximal est élevé. Une réduction de la durée de l'impulsion et de l'étalement des échos du canal entraîne une augmentation de la capacité du canal.

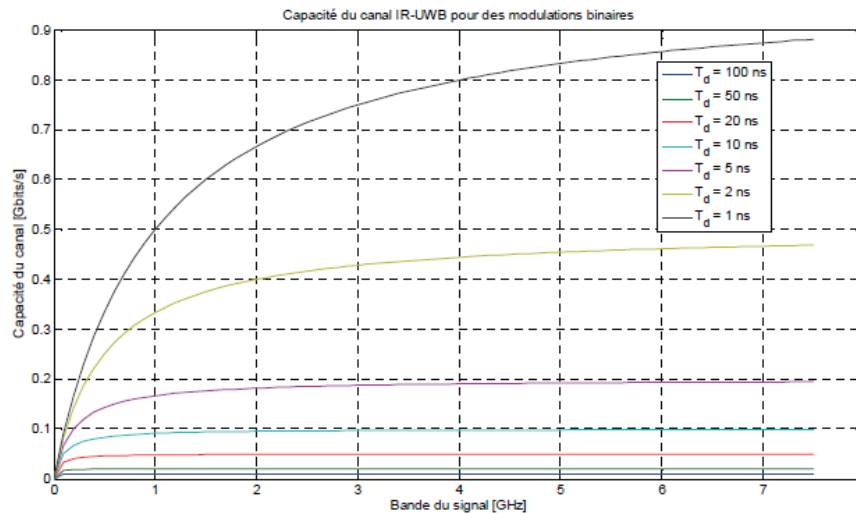
$$C_{IR-UWB} = \frac{\alpha}{T_p} \times \frac{1}{2} \log_2 \left( 1 + \frac{P}{N_0 B} \right) = \alpha B \times \frac{1}{2} \log_2 \left( 1 + \frac{P}{N_0 B} \right) = \frac{1}{T_p + T_d} \times \frac{1}{2} \log_2 \left( 1 + \frac{P}{N_0 B} \right) \quad (4)$$

Cette expression de la capacité de canal s'accorde bien avec le contexte des réseaux de microsystemes communicants. Elle ne considère que les récepteurs simples sans mécanisme d'égalisation. La complexité des mécanismes d'égalisation [3] [4] est proscrite par notre contexte d'étude : les réseaux de microsystemes communicants en prenant compte du coût en termes de traitement et donc de consommation énergétique importante néanmoins, il faut savoir que l'égalisation permet un fonctionnement avec des interférences inter symboles et donc autorise un débit plus élevé [3] [5]. La contrainte de simplicité de notre approche permet une faible consommation, un faible coût et un encombrement réduit. On aura tendance à considérer principalement des modulations binaires pour la résolution en amplitude car elles simplifient le récepteur et permettent un fonctionnement avec un rapport signal sur bruit plus faible et donc une portée plus grande. Dans ce cas, la résolution en amplitude ne considère que deux états et la capacité du canal est uniquement fonction du débit des moments maximal :

$$C_{IR-UWB_{binaire}} = \dot{M}_{IR-UWB_{max}} = \frac{1}{1/B + T_d} \quad (5)$$

Dans la suite de notre étude nous nous concentrons donc principalement sur la

résolution en temps du canal. Les bilans de liaison détermineront le rapport signal sur bruit disponible et le choix de la valence de modulation. La figure II-3 illustre la capacité du canal IR-UWB en fonction de la bande du signal pour une modulation binaire pour différents canaux (étalement des échos) [7].



**Figure II-3: capacité du canal IR-UWB en fonction de la bande du signal [7]**

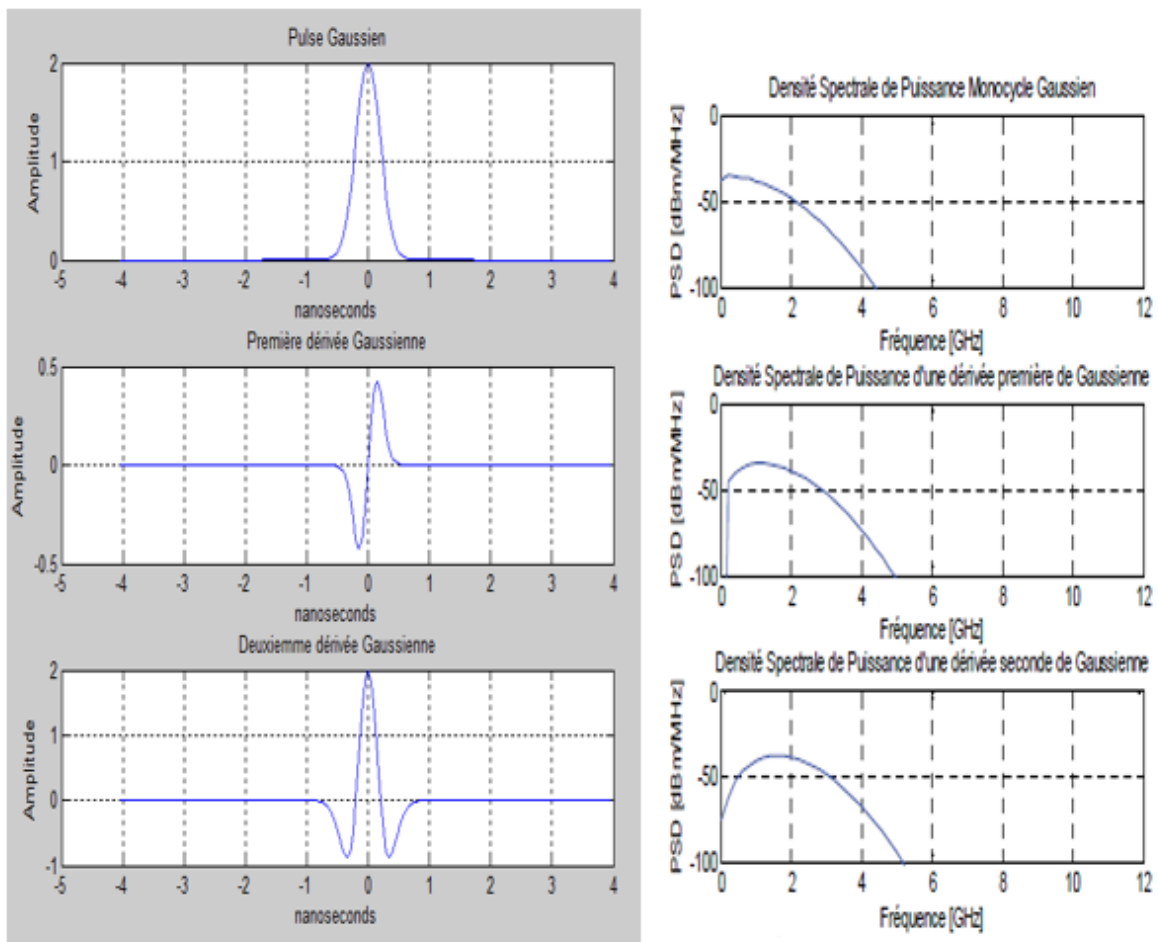
#### II.4. Impulse Radio Ultra-Wide band (IR-UWB)

L'impulse Radio UWB (IR-UWB) propose d'utiliser la très large bande disponible par l'intermédiaire d'impulsions de très courte durée [5]. Dans le cadre de l'IR-UWB sans porteuse, la forme de l'impulsion doit s'adapter aux différentes réglementations en vigueur. Ainsi le spectre des impulsions transmises doit respecter les masques d'émission. Les formes d'impulsions les plus souvent utilisées sont des fonctions sinusoïdales, de Gauss ou leurs dérivées. Des impulsions orthogonales à base de fonction d'Hermite ou de polynôme de Gegenbauer ou de Legendre [7] peuvent permettre d'optimiser l'utilisation du masque d'émission tout en favorisant les modulations M-aires ou les communications multi utilisateurs [5]. Le concept de radio impulsionnelle, développé à partir des études sur le radar, repose sur l'émission d'impulsions de durée très brève (de l'ordre de 100 picosecondes à une nanoseconde). Typiquement, ce type d'impulsion occupe un spectre très large (de l'ordre de un à quelques gigahertz). Il s'agit donc d'une approche mono-bande. Les formes d'impulsions généralement adoptées pour les communications UWB incluent l'impulsion gaussienne, sa dérivée première (monocycle gaussien), et sa dérivée seconde. Le défaut de

l'impulsion gaussienne réside dans sa valeur moyenne non nulle, qui correspond dans le domaine fréquentiel à une composante continue importante. L'impulsion gaussienne ne peut donc pas se propager sans déformation, et on lui préfère généralement le monocycle gaussien [8]. Des exemples de formes d'impulsions et leur spectre sont donnés dans la figure II-4. Il est très important d'utiliser une porteuse sinusoïdale pour transposer l'impulsion autour de la fréquence de la porteuse et ainsi l'adapter plus facilement aux masques d'émission. En considérant la première dérivée de la fonction Gaussienne, et une porteuse travaillant à la fréquence  $F_c$  on obtient le signal  $y(t)$  [5] qui correspond à une impulsion transposée dans la bande 3,1 – 10,6 GHz

$$y(t) = A. \sin(2\pi.F_c.t) \times \left(\frac{1}{T_p}\right)^2 \times t. e^{-\left(\frac{t}{T_p}\right)^2} \quad (6)$$

Où A est l'amplitude de la sinusoïde et  $T_p$  est la durée de l'impulsion.



**Figure II-4: Représentation temporelle et fréquentielle pour différents types d'impulsions**

---

Les impulsions peuvent être modulées en forme, phase, position, amplitude pour assurer le transfert d'information.

#### II.4.1. Techniques de modulation des signaux Ultra-Wide band par impulsion

La modélisation mathématique des signaux impulsionnels UWB est nécessaire pour appréhender l'ensemble de la transmission. Le comportement d'un canal UWB est modélisé par sa réponse impulsionnelle. Avec cette dernière il est possible via le produit de convolution d'exprimer le signal reçu. La technique de réception peut être dès lors choisie de façon objective en utilisant le critère de comparaison suivant : le taux d'erreur bit en fonction du rapport signal sur bruit (BER versus  $E_b/N_0$ ).

Cette partie est dédiée à la présentation des techniques d'émission IR-UWB. La modélisation des formes d'impulsions et leurs modulations sont également présentées. Les grandeurs caractéristiques d'un émetteur IRUWB, comme le rapport cyclique et le gain de traitement, sont introduites. Pour résister aux interférences à bande étroite et supporter les communications multi utilisateurs, les techniques d'étalement de spectre sont décrites mathématiquement.

##### II.4.1.1. BPSK, Modulation de phase

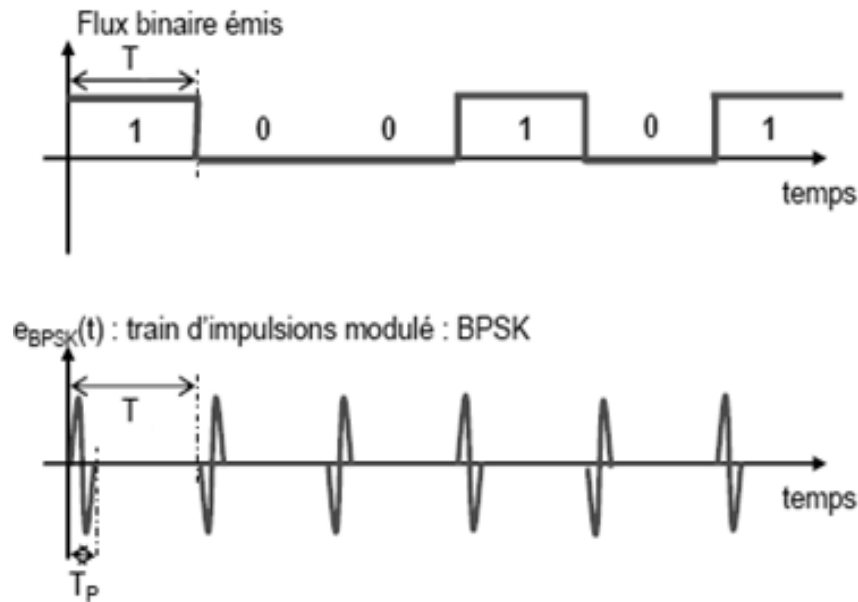
La modulation BPSK est une modulation de phase, la phase d'une porteuse analogique sinusoïdale de fréquence  $f$  peut prendre deux valeurs. La modulation BPSK est la forme la plus simple du PSK. Elle utilise deux phases qui sont séparées de  $180^\circ$  ; on l'appelle également 2-PSK. Cette modulation est la plus robuste de toutes les PSK car il faut une grande déformation du signal pour que le démodulateur se trompe sur le symbole reçu. Cependant on ne peut moduler qu'un seul bit par symbole, ce qui est un inconvénient pour les applications qui nécessitent un débit binaire élevé.

$$e_{BPSK}(t) = \sum_{k=-\infty}^{\infty} A_{Dk} p(t - kT_S). \quad (7)$$

L'information à transmettre est modulée dans la phase de l'impulsion. Pour une impulsion, généralement, on se limite à deux phases distinctes :  $0^\circ$  et  $180^\circ$ , pour des raisons d'implémentation. Une modulation de phase binaire (*Binary Phase Shift Keying*) correspond



alors à une modulation d'amplitude où  $A_{DK}$  peut prendre la valeur +1 et -1 avec  $T_s$  est la période de répétition des impulsions.



*Figure II-5: Principe de la Modulation de phase BPSK*

#### II.4.1.2. PPM, Modulation de position

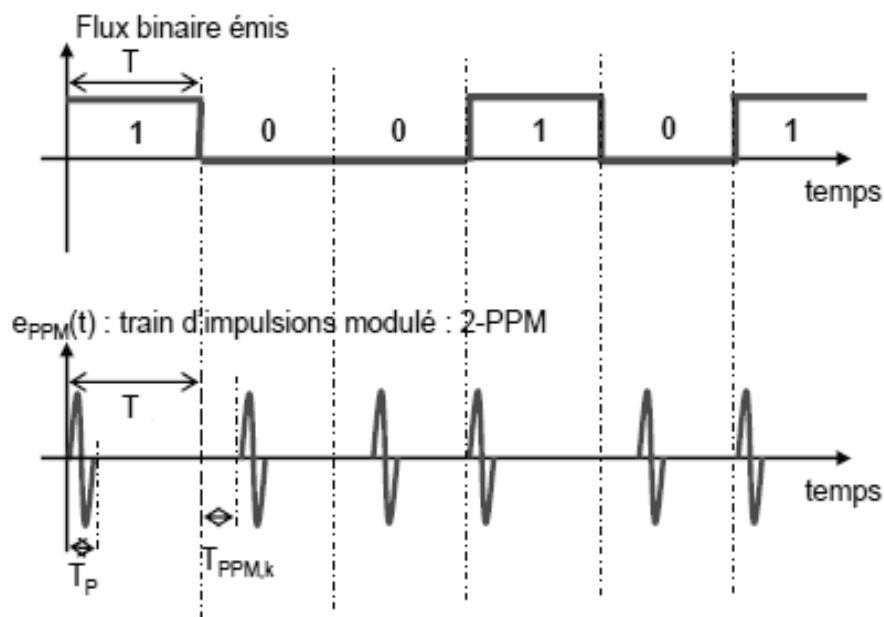
La modulation en position d'impulsions (PPM ; en anglais : pulse-position modulation), est une technique de modulation utilisée pour transmettre sur une liaison « point-à-point » un symbole de  $M$  bits en une seule impulsion codée parmi un alphabet de  $2^M$  transitions possibles dans le temps. Ceci est répété chaque  $T$  secondes, ce qui permet d'atteindre un débit binaire égal à  $M/T$ . Elle est utilisée dans les communications optiques qui sont caractérisées par peu ou pas d'interférences dues au phénomène de trajets multiples.

La modulation de position consiste à émettre une impulsion dans une position différente en fonction du symbole à émettre. Pour une modulation binaire de position (2-PPM – Pulse Position Modulation), il y a deux positions possibles sur la durée d'un symbole pour émettre un zéro ou un un binaire. Pour une modulation  $M$ -aire le temps symbole sera découpé en  $M$  positions distinctes. Un train d'impulsions modulé en 2-PPM est défini comme suit :

$$e_{PPM}(t) = \sum_{k=-\infty}^{\infty} p(t - kT_S - T_{PPM,Dk}), \quad (8)$$

Où  $T_{PPM,Dk}$  représente le décalage temporel de la PPM pour le symbole  $k$ . Par exemple, si le  $k$ -ième symbole est un un binaire alors  $T_{PPM,Dk} = 0$ , si le  $k$ -ième symbole est un zéro binaire alors  $T_{PPM,Dk} = T_S/4$  par exemple. La figure II-6 illustre une modulation 2-PPM avec un décalage de  $T_S/4$ .

L'une des difficultés d'implémentation de cette technique de modulation est due au fait que le récepteur doit être parfaitement synchronisée pour ajuster son horloge au début de chaque symbole. De ce fait, elle est souvent implémentée de façon différentielle, ce qui signifie que le codage de chaque symbole est fait relativement au précédent, contrairement au codage ordinaire d'un symbole en tant que valeur intrinsèque.



**Figure II-6: Principe de la Modulation de position PPM**

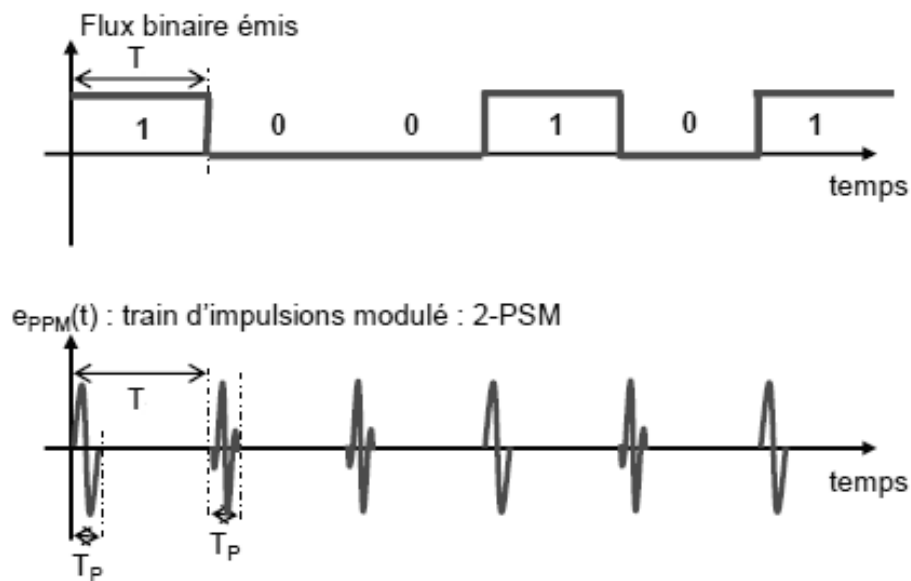
#### II.4.1.3. PSM, Modulation de forme

La modulation de forme (PSM) est une modulation où l'information à transmettre est codée par l'utilisation de plusieurs impulsions de formes différentes pour une M-PSM (Pulse Shape Modulation). Pour une 2-PSM, on utilise deux formes d'impulsion différentes. Par

exemple, un un binaire ( $D_k = 1$ ) est transmis via une impulsion de forme Gaussienne, alors qu'un zéro binaire ( $D_k = 0$ ) est transmis grâce à la première dérivée d'une Gaussienne. La figure suivante illustre cet exemple. La modulation PSM est définie comme suit :

$$e_{PSM}(t) = \sum_{k=-\infty}^{\infty} p_{D_k}(t - k T_S), \quad (9)$$

Où  $p_{D_k}(t)$  représente les différentes formes d'impulsion possibles associées aux données à émettre  $D_k$ . Pour le symbole  $k$ .



**Figure II-7: Principe Modulation de forme PSM**

#### II.4.1.4. PAM et OOK, Modulations d'amplitude

La modulation par amplitude d'impulsion, ou Pulse Amplitude Modulation (PAM), est une technique consiste à faire varier l'amplitude des impulsions émises pour coder les différents états. Elle est considérée comme solution parallèle à la modulation par position d'impulsion. Théoriquement, un nombre illimité de valeurs différentes peut être utilisé pour l'amplitude du signal. Dans la pratique, la modulation PAM se réduit souvent à deux états,  $A_1$  et  $A_2$ .

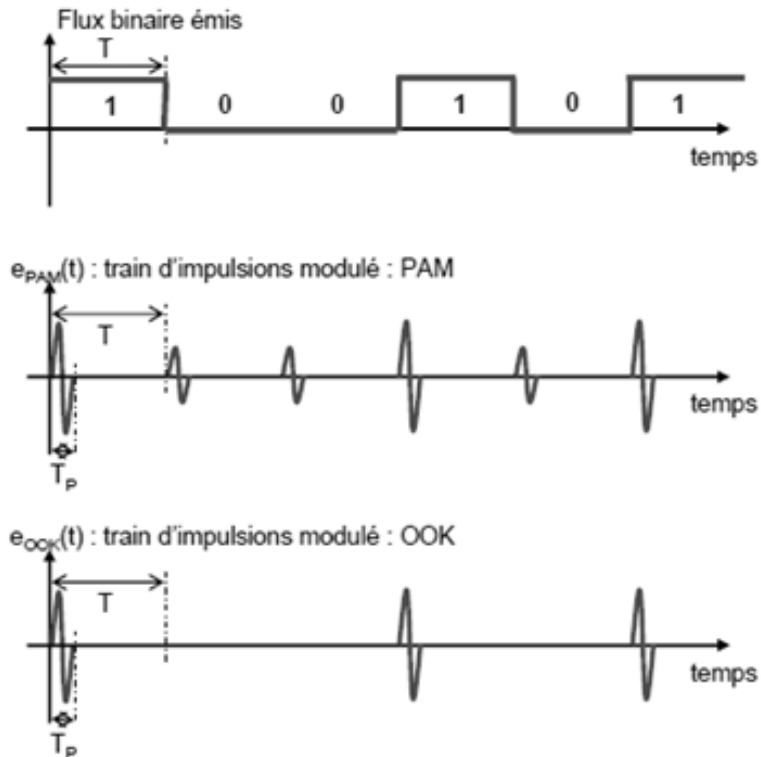
Une autre variante de la modulation PAM consiste à transmettre deux états : 1 et 0. Il s'agit dans ce cas d'une modulation de type « tout ou rien », ou *On Off Keying* (OOK). À

l'instant de transmission défini, une impulsion est émise pour coder un 1, et rien n'est émis pour coder un 0. *On-off keying* (OOK) est la forme la plus simple de la modulation d'amplitude (*Amplitude shift keying-ASK*) une modulation qui représente des données numériques comme la présence avec un '1' binaire ou l'absence du signal avec un '0' binaire. Dans un plan un peu plus sophistiqués, on peut varier ces durées pour transmettre des informations supplémentaires. C'est analogue au code de ligne du codage unipolaire.

Les modulations d'amplitude sont simples. Pour la PAM (Pulse Amplitude Modulation) et la technique OOK (On-Off Keying) l'information est codée dans l'amplitude de l'impulsion émise :

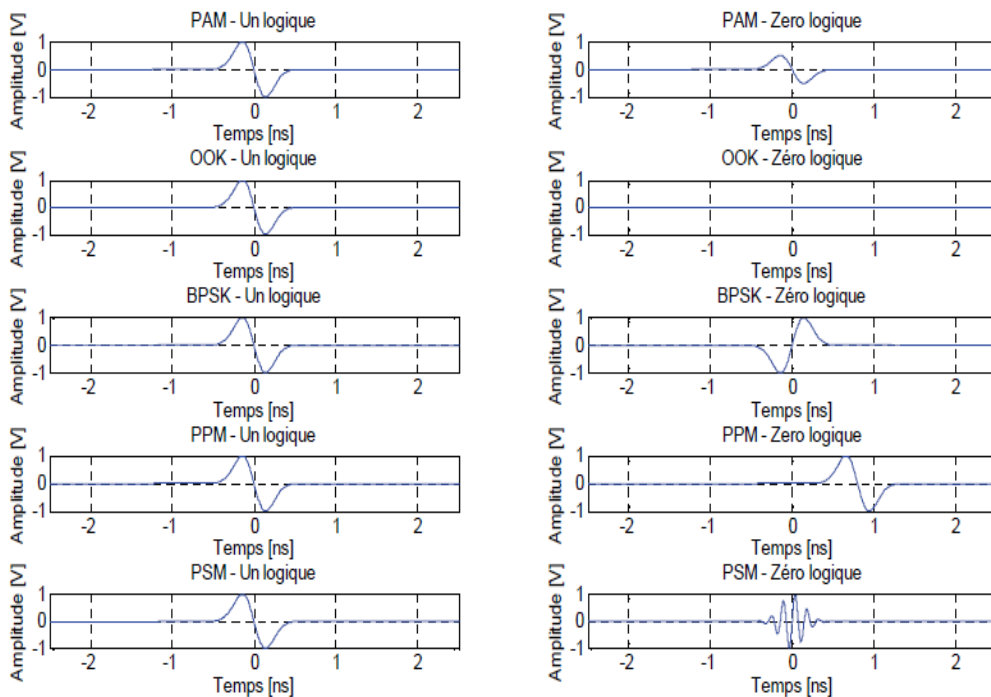
$$e_{PAM-OOK}(t) = \sum_{k=-\infty}^{\infty} A_{D_k} p(t - kT_S) \quad (10)$$

Où  $A_{D_k}$  est l'amplitude de l'impulsion modulée par la donnée  $D_k$  du symbole  $k$ . Pour la PAM,  $A_{D_k}$  va prendre deux valeurs distinctes  $AD_1$  et  $AD_0$ .  $AD_1$  représente l'envoi d'un un binaire ( $D_k = 1$ ) et  $AD_0$  d'un zéro binaire ( $D_k = 0$ ). La modulation OOK est un cas particulier de la modulation PAM, où  $AD_0$  vaut zéro. La modulation OOK envoie une impulsion pour un un binaire et n'envoie pas d'impulsion pour un zéro binaire. La figure suivante illustre deux trains d'impulsions modulées en OOK et PAM.



**Figure II-8: Principe des Modulations d'amplitude PAM et OOK**

La figure II-9 montre les différentes représentations graphiques pour les différents types de modulation cités précédemment



**Figure II-9: Représentation des différents types de modulation [5]**

Les différentes caractéristiques concernant les modèles de couches physiques (PHY) définie par le standard IEEE 802.15 pour les différentes modulations en termes de débit et la bande de fréquence occupée sont représentées dans le tableau II-2 :

**Tableau II-2: caractéristiques des couches PHY définies par IEEE 802.15.4**

Modulation	Bande (MHz)	Débits (bit/s)	Norme
BPSK	868/915	20 K à 40 K	IEEE 802.15.4 -2003
OQPSK	2400	250 K	
BPSK	868/915	20 K à 40 K	IEEE 802.15.4 -2006
OQPSK	868/915	100 K à 250 K	
BPSK / ASK	868/915	250 K	
OQPK	2400		
DQPSK	2400	1 M	IEEE802.15.4a-2007
OQPSK	780	250 K	IEEE802.15.4c-2009
MPSK	780		
GFSK	950	100 K	IEEE802.15.4d-2009
BPSK	950	20 K	

#### II.4.2. Les avantages et les défis d'IR-UWB

L'implémentation et l'architecture du système IR-UWB ne changent pas les propriétés ainsi que les avantages et inconvénients dus à la discontinuité des transmissions [5]. Dans la suite nous allons nous intéresser à une architecture spécifique dite architecture « *mostly digital* » où ses contraintes d'implémentation seront discutées. De façon générale, les techniques IR-UWB peuvent s'affranchir des porteuses, et donc elles permettent de réduire la complexité et la consommation du système d'émission réception. L'IR-UWB est une solution d'interface radio simple, peu coûteuse, peu gourmande en énergie et peu encombrante. Les contraintes imposées par la législation confèrent aux techniques IR-UWB une faible consommation. L'émission d'impulsions de façon discontinue, avec un faible

---

rapport cyclique permet la diminution de cette consommation d'énergie. Les dernières technologies CMOS peuvent être utilisées à bas coût tout en minimisant la taille des circuits et leur consommation énergétique. La taille des circuits IR-UWB se réduira selon la Loi de Moore. En dépit d'implémentations simples, les systèmes IR-UWB peuvent offrir des capacités d'adaptation [6]. En jouant sur des paramètres comme le nombre d'impulsions par bit ou la période de répétitions des impulsions, le système peut offrir dynamiquement un compromis entre débit, portée et consommation énergétique. La large bande de fréquence utilisée permet une grande diversité fréquentielle. Les systèmes IR-UWB possèdent également, via la forte résolution temporelle, une bonne capacité de localisation. La très large bande d'UWB lui offre une excellente diversité fréquentielle et une fine résolution des multi trajets. En contrepartie, cette large bande rend les opérations d'estimation du canal, de synchronisation et de combinaison des multi trajets plus complexes et donc plus coûteuses, que pour des systèmes à bande étroite [8].

L'IR-UWB possède une certaine immunité aux évanouissements causés par les multi trajets. L'utilisation d'impulsions de courte durée réduit la probabilité d'occurrence de recombinaisons destructives entre les multi trajets [5]. Les récepteurs IR-UWB peuvent donc réduire la marge des trous de fading, permettant ainsi des conceptions plus simples pour le circuit de réception. La synchronisation s'avère difficile car les impulsions utilisées sont très courtes [9]. Même un léger désalignement en synchronisation peut causer une forte dégradation du rapport signal sur bruit et des performances du récepteur [9]. Une synchronisation rapide, précise, et peu coûteuse pour les systèmes IR-UWB est encore un défi pour plusieurs raisons : l'intervalle de recherche est grand, l'impulsion recherchée est très courte et les puissances en jeu sont faibles [5].

## **II.5. Performances systèmes IR-UWB émetteur-récepteur existants**

IR-UWB est adopté dans le standard IEEE802.15.4A et propose maintenant comme un de 3 PHY'S dans le standard de l'IEEE802.15.6 WBAN

Le tableau ci-dessous illustre l'état de l'art d'émetteurs-récepteurs IR-UWB en termes de consommation électrique, l'efficacité de puissance et le débit. IR-UWB des avantages sont la taille basse, la faible complexité et le bas prix, aussi bien que la possibilité de mise en œuvre de basse puissance. Les travaux illustrées dans la Table 1 ont une grande bande passante (largeur de bande) et un débit binaire entre 200 Ko/s et 1.3 Mbps, mais en terme de

---

consommation électrique, quelle la spécification la plus importante de projet SMARTER, il ne réalise pas de performance très élevée qui peut être utilisée dans le cas de réseaux de capteur sans fil autonomes.

Certains de ces travaux précédents, sur l'émetteur-récepteur IR-UWB [23], réalisent une haute performance en termes de largeur de bande et de taux de données mais ont un haut coût énergétique en termes de consommation électrique. Donc, nous pouvons noter que, selon les applications où la conception sera utilisée, le défi est de développer une implémentation ayant une grande largeur de bande et un débit élevé tout en limitant la consommation de puissance.

La performance est comparée en termes d'énergie par bit transmis au débit standard du système. D'autres technologies ont été considérées comme références, notamment IEEE 802.15.4 [16] et IEEE 802.11 dans les modes de révision [17] et [44]. D'autres implémentations de type IR-UWB comme celle issue de [25] sont présentées pour une comparaison immédiate. Par ailleurs une simulation de la puissance consommée pour un faible débit de données a été ajoutée pour nos travaux.



**Tableau II-3: comparaison des travaux déjà réalisés**

Performance	Band width	Data rate (kbps)	TX power (dbm)	TX power efficiency (nJ/b)	RX power (dbm)	RX power efficiency (nJ/b)
[11]	402-405Mhz	200	0	24,5	-75	54
[12]	900Mhz	1000	-2.2	9.1	-65	2,6
[13]	3-5 Ghz	850	0.72Vpp	3.3	-79	3.3
[14]	3-5 Ghz	1000	NA	NA	-66	2,18
[15]	0-960 Mhz	630-1300	NA	NA	-52	2,4-4.9
IEEE 802.15.4 [16]	NA	250	NA	64	NA	44
IEEE 802.11 [17]	NA	11000	NA	135	NA	128
[24]	NA	100	NA	NA	NA	2,5
[25]	NA	50000	NA	NA	NA	0,15

## **II.6.Solutions pour basse consommation de l'émetteur-récepteur IR-UWB**

L'émetteur-récepteur IR-UWB doit fonctionner dans des réseaux de capteurs sans fil autonomes. Pour cela, la contrainte majeure étudiée dans le cadre de cette thèse est centrée sur l'aspect basse consommation. Pour atteindre cet objectif, nous allons, dans la suite, proposer deux solutions qui permettent de réduire la consommation et donc d'avoir un système avec une grande efficacité énergétique.

### **II.6.1. La solution *Clock-gating***

Aujourd'hui et dans les conceptions d'architecture à base de semi-conducteur, la faible consommation électrique est une des plus fortes contraintes notamment pour des applications

---

aéronautiques et spatiales, et ce afin d'avoir une grande autonomie sur batterie et une bonne gestion des dispositifs de stockage d'énergie. La puissance d'horloge du système représente entre 60 et 70 pourcents de la consommation totale de la puce et on s'attend à ce qu'elle augmente significativement dans la génération suivante de designs de puces, d'où l'importance de la réduction de la puissance de commutation d'horloge. La solution *clock-gating* est une technique clef de réduction de puissance utilisée par beaucoup de concepteurs et est typiquement mis en œuvre par des outils de synthèse puissants au niveau de porte logique.

### **II.6.2. Réalisation système sur puce ASIC**

Parmi les solutions qui offrent de grands avantages en termes d'efficacité énergétique on retrouve la réalisation des circuits sur puces, notamment les ASIC, à base de technologies nanométrique comme les technologies CMOS [15]. Dans notre cas et comme nous voulons atteindre des performances très élevées particulièrement en termes de consommation électrique, mais aussi en termes de taille, pour le prototype final qui va être inclus sur le nœud de capteur communicant, nous avons mis en œuvre dans la suite des parties du manuscrit une étude de la conception et de la réalisation d'un système sur puce (ASIC). Le design ASIC de l'émetteur-récepteur IR-UWB est conçu en utilisant les outils de conception Cadence et la technologie CMOS 65nm de ST Microelectronics (chapitre 4). Le design développé peut intégrer plusieurs parties : une partie analogique, une partie numérique, des convertisseurs analogique-numérique, etc. La figure II-10 montre l'intérêt de la conception des systèmes sur puce en termes de taille et de coût.

MATERIEL STANDARD ou SPECIFIQUE ?

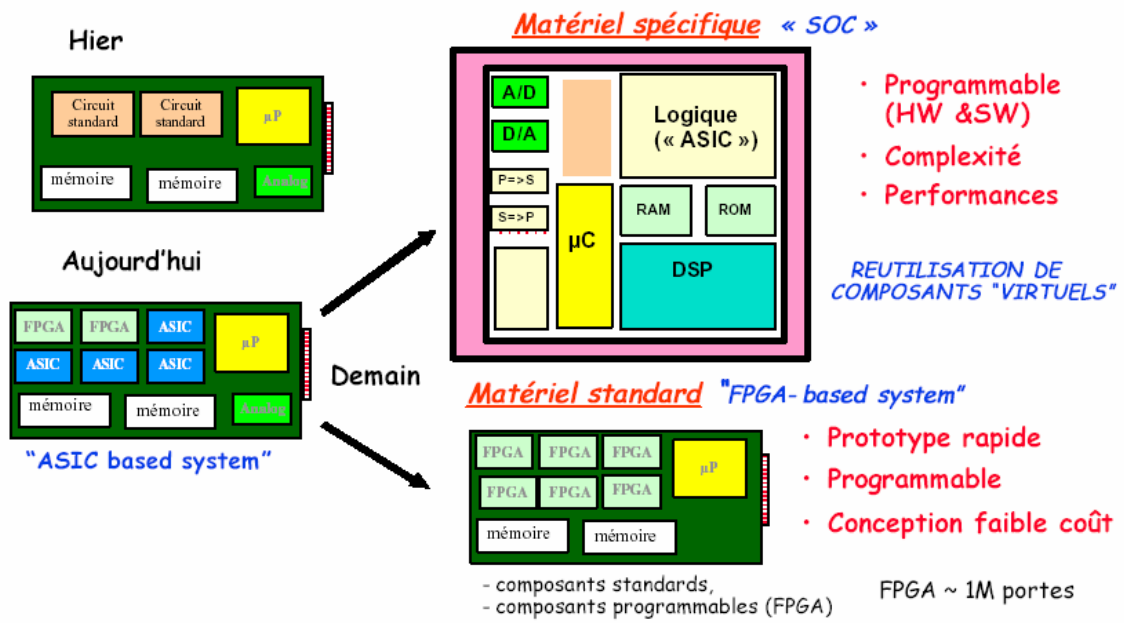


Figure II-10: Principe de systèmes ASIC

---

## **II.7.Conclusion**

Dans ce deuxième chapitre nous avons présenté la technique de communication ultra large bande par impulsion (IR-UWB). Le canal de propagation ainsi que les différents types de propagation (Propagation en espace libre et propagation par trajet multiple) sont également illustrés.

Afin d'offrir un cadre d'étude efficace pour l'objectif visé sur ces travaux de thèse, différents types de modulation ont été étudiés et comparés afin d'obtenir le résultat le plus adapté à notre système de communication en termes de consommation et de taille pour les réseaux de capteurs sans fil.

Dans la suite, nous allons présenter l'architecture système de notre émetteur-récepteur IR-UWB (Figure III-1) et les différentes solutions proposées dans le but d'atteindre les objectifs visés par ces travaux de thèse.

---

***III. Chapitre III : Conception de l'architecture  
d'émetteur-récepteur IR-UWB.  
Implémentation sur FPGA.  
Résultats***

---

### **III.1. Introduction**

Les recherches récentes sur les systèmes émetteur-récepteur le moins complexe pour les réseaux de capteurs de sans-fil (WSN) ont montré la nécessité d'une conception ultra-basse-consommation pour une grande autonomie de batterie et la volonté d'obtenir le plus bas coût de conception/fabrication. L'architecture la plus classique est l'utilisation d'un système mono bande entre 3 et 10 GHz avec des antennes omni directionnelles. Elle permet de conserver un comportement UWB où un faible rapport cyclique permet la faible consommation, et la simplicité d'implémentation. La capacité du canal est, par contre, limitée par l'étalement des échos [7]. Malgré l'augmentation de la bande, le débit ne peut dépasser l'asymptote égale à l'inverse de l'étalement des échos, qui est de quelques dizaines de Mbits/s (même remarque sur le choix d'une convention) au mieux. L'augmentation de la bande n'est donc pas efficace pour améliorer le débit. Plus la bande augmente, plus l'efficacité spectrale diminue.

L'émetteur-récepteur IR-UWB a une mise en œuvre quelque peu différente des autres émetteurs-récepteurs habituels en bande étroite. Par exemple, l'utilisation des circuits de PLL (*Phase Locked Loops*) ne sont plus fiables lorsqu'il s'agit de synchroniser des émetteurs-récepteurs travaillant à des fréquences très élevées. D'autre part, une synchronisation précise du temps est nécessaire pour décoder correctement le signal IR-UWB, aussi bien que pour recevoir des données d'un émetteur seul dans une architecture multiposte où d'autres émetteurs peuvent transmettre des impulsions en même temps.

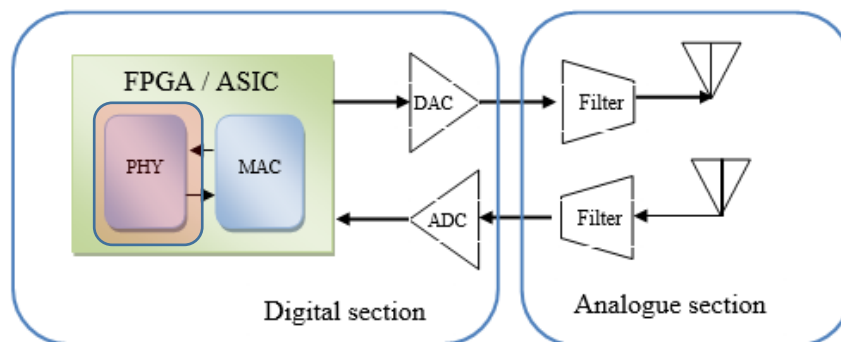
Dans ce chapitre nous allons détailler les spécificités de la mise en œuvre d'émetteurs-récepteurs IR-UWB. Dans le même temps, il sera également question de la mise en œuvre de l'architecture d'émetteur-récepteur IR-UWB choisie, notamment en mettant en exergue les exigences spécifiquement ciblées par les travaux de la présente thèse, ainsi que les points majeurs de cette implémentation.

### **III.2. L'architecture proposée pour le système émetteur-récepteur**

Suivant les contraintes définis par le projet SMARTER, l'émetteur-récepteur IR-UWB doit fournir une bonne efficacité énergétique en restant sur un faible débit qui de l'ordre de 10Kbps et une certaine reconfigurabilité pour faciliter la connexion avec les autres réalisations de partenaires de projet. L'architecture présentée dans ces travaux de thèse se

base sur l'implémentation de la couche physique IR-UWB présentée dans la thèse de A. Lecointre [7], par rapport à laquelle des modifications de design ont été faites afin d'améliorer la consommation énergétique dans le cadre des applications de surveillance des structures. L'architecture visée dans la suite est basée sur une conception essentiellement numérique "mostly-digital" de l'émetteur-récepteur IR-UWB (Présentée dans le chapitre 2). Celle-ci offre une faible consommation d'énergie par rapport aux autres techniques classiques de communication sans-fil : Wifi, ZigBee etc., De plus, elle offre d'avoir une certaine reconfigurabilité en accord avec le besoin de l'utilisateur qui peut modifier des paramètres comme les débits, la fréquence etc. Un autre avantage de cette architecture est qu'elle offre la possibilité d'intégrer une tête radio fréquence composée de VCO, mixeur et d'autres composants.

L'architecture *mostly digital* permet de connecter la couche physique et la couche MAC sur un même composant. L'avantage d'avoir les deux couches PHY et MAC est de contrôler l'accès aux données partagées entre plusieurs nœuds dans le réseau de capteur sans fil.



**Figure III-1: Architecture mostly digital**

Dans notre étude nous avons respecté les spécifications de mécanisme de communication définies par le cahier de charge du projet. La figure ci-dessous III-2 représente le diagramme de connexion entre le module ASIC1 (Université de Barcelone) et notre module ASIC2. Dans ce protocole de communication on trouve 6 bits de données en parallèle (B0 à B5), le signal SB (Start Bit), un signal de validation de la présence des 6 bits de données valide, le signal TD (*Transmission Done*) qui permet l'envoi d'un signal à la fin de la transmission des données, ainsi que les connexions d'alimentation classiques VDD et

GND.

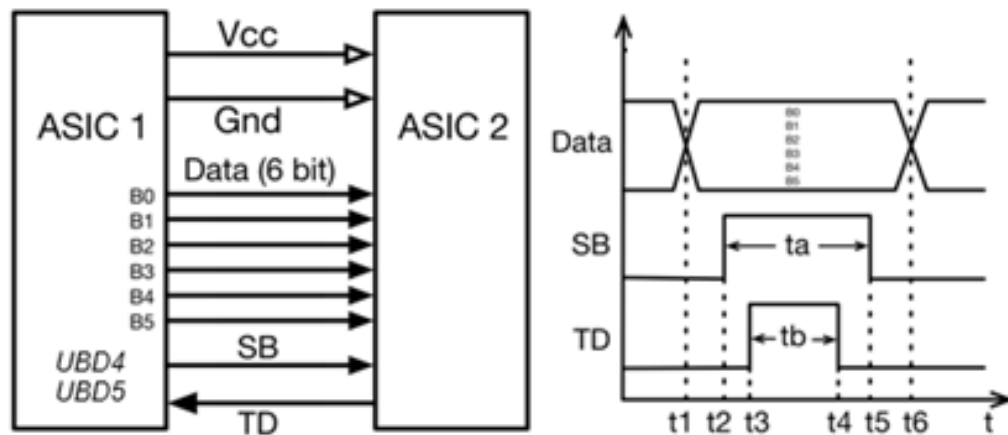


Figure III-2: Spécifications du Projet et le Mécanisme de communication

### III.3. Emetteur IR-UWB

Dans cette partie, nous présentons l'implémentation sur FPGA de l'architecture numérique de l'émetteur IR-UWB. Dans les systèmes basés sur la discontinuité d'un signal IR-UWB, [26] [27] [28] [29] on peut très bien avoir une architecture numérique en se basant sur le traitement de signal dans le domaine temporel. Un signal IR-UWB est basé sur l'émission d'une courte impulsion sur une très large bande modulée en fonction de la donnée binaire à transmettre, du gain de traitement et du débit.

Notre implémentation de bande de base numérique de l'émetteur IR-UWB est composée des principales parties suivantes : le circuit de traitement de signal numérique utilisant un FPGA ou un ASIC, un convertisseur numérique-analogique (CNA), ainsi que l'interface entre ces deux éléments.

Comme l'IR-UWB ne nécessite qu'un traitement du signal dans le domaine temporel, toutes les valeurs caractéristiques de l'émetteur (durée de l'impulsion, d'un bit, débit binaire, bande occupée, rapport cyclique) peuvent s'exprimer comme suit :

- Durée d'un bit :  $T_b = N \times CLK$ ,
- Débit :  $D = 1/T_b$ ,
- Rapport cyclique :  $\alpha = T_p/T_b$ ,
- Bande occupée :  $B = 1/T_p$ ,



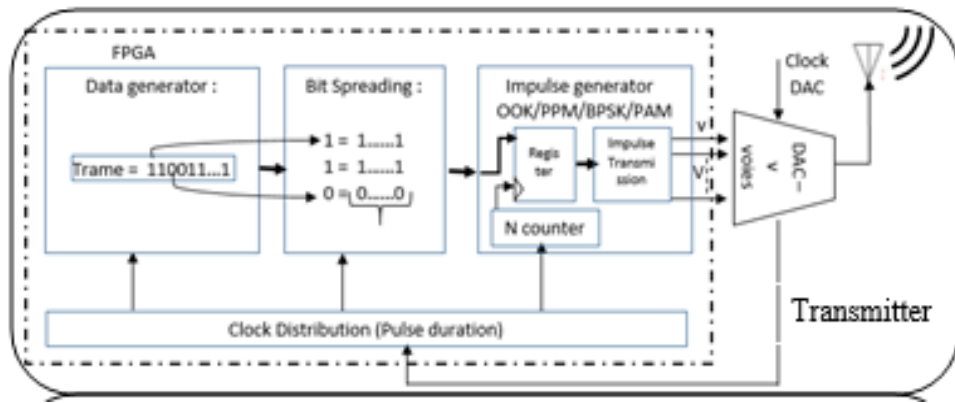
---

### III.3.1. Circuit numérique de traitement du signal

L'architecture de transmetteur proposée est conçue pour piloter un convertisseur numérique-analogique afin de fournir un signal analogique pour attaquer la partie *frontend* du design. Notre architecture d'émetteur permet une modulation OOK qui consiste à envoyer des pulse pour les 1 logique, et rien pour les 0 logiques. Nous avons proposé d'utiliser ce type de modulation afin de pouvoir utiliser la solution de *clock-gating* présentée dans la partie 2. Cette modulation, associée *clock-gating*, offre le plus d'attrait en termes de consommation d'énergie. Ce transmetteur contient un bloc "*data generator*" qui s'occupe de générer la donnée à transmettre sur le réseau sous forme de trame de donnée valide (*Start + payload*). Ensuite chaque bit de donnée va subir un étalement avec la séquence d'étalement de spectre défini en utilisant le bloc *bit spreading*. Un bloc de génération de pulse est aussi implémenté pour faire les différents type de modulation (OOK, PPM, PAM) et aussi piloter le convertisseur numérique-analogique avec le signal modulé (Fig.3).

Le fonctionnement du circuit numérique consiste à présenter dans le temps l'évolution d'un signal IR-UWB modulé OOK en fonction des données à émettre, du gain de traitement (nombre d'impulsions par bit) et aussi de la durée et de l'amplitude de l'impulsion. Le circuit numérique doit donc pouvoir piloter les  $n$  bus de sortie contenant chacun  $m$  bits à destination du CNA à un rythme égale à  $F_e / n$ . Pour assurer une bonne synchronisation entre la bande de base et le CNA, nous allons utiliser la même l'horloge de référence à une fréquence de  $F_e / n$  [7].

La figure III-3 représente la structure de l'émetteur IR-UWB proposé contenant les fonctions principales nécessaires à l'émission de trames. On constate le besoin en parallélisation de la bande de base, au niveau du générateur IR-UWB, pour s'adapter aux entrées du CNA.

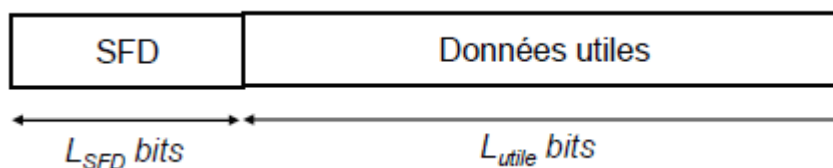


**Figure III-3: Architecture de l'émetteur IR-UWB**

La bande de base numérique de l'émetteur contient plusieurs fonctions de base. La première est responsable de la construction de la trame de données à envoyer. La trame est divisée en deux parties : des données utiles et un SFD (*Start of Frame Delimiter*) qui permettra au récepteur la synchronisation en temps. La seconde fonctionnalité applique l'étalement de spectre. Chaque bit émis est étalé par une séquence de  $N$  éléments pour améliorer le BER et renforcer la résistance aux interférences à bande étroite [7]. La troisième fonction est responsable de la génération de l'impulsion ainsi que de la modulation. Une partie de l'implémentation de l'architecture de l'émetteur consiste en une solution permettant de diminuer la consommation et donc d'avoir un design avec une grande efficacité énergétique, adapté aux réseaux de capteurs sans fil autonomes. Cette amélioration : *clock gating sera* détaillée par la suite.

### III.3.1.1. Générateur de trames

Cette partie du design a pour but de générer la trame à transmettre sur le réseau. La trame possède une longueur totale égale à  $L$  bits composée de  $L_{\text{sfd}}$  bits pour les bits de *Start Frame Delimiter* et  $L_{\text{utile}}$  bits pour les données utiles à transmettre.



**Figure III-4: Format de trame**

### III.3.1.2. Étalement de spectre

L'étalement de spectre consiste en la transmission de l'information sur une plus grande largeur de bande que celle qui est strictement nécessaire. Nous avons considéré l'étalement de spectre par séquence directe c'est-à-dire un '1' logique est remplacé par une suite de N chips à un, et un '0' logique par une suite de N chips à zéro.

### III.3.1.3. Modulation par impulsion OOK

Dans cette partie, nous avons choisis d'utiliser la modulation de type OOK, vu qu'elle offre une architecture simple qui permet d'obtenir un design présentant une miniaturisation maximale de la taille, ainsi qu'une faible consommation. Pour générer une impulsion, il suffit d'appliquer aux vecteurs d'entrée de l'ADC, en tenant compte de l'entrelacement temporel, la valeur crête de l'impulsion permettant de respecter la réglementation et de s'adapter au mieux à l'étage suivant. Pour l'envoi d'un '1', on applique une amplitude A, pour un '0' une amplitude nulle. Cette amplitude est représentée en binaire sur les k bits utilisés par l'ADC. La représentation signée utilisée déterminera la valeur binaire associée aux amplitudes représentant la modulation d'un '1' et d'un '0' logique en OOK.

La figure III-5 montre les résultats de simulation pour notre transmetteur avec la modulation OOK, on peut voir que les pulses générées suivent bien les données à envoyer avec une pulse quand on envoie un '1' logique et pas de pulse dans le cas du '0' logique.

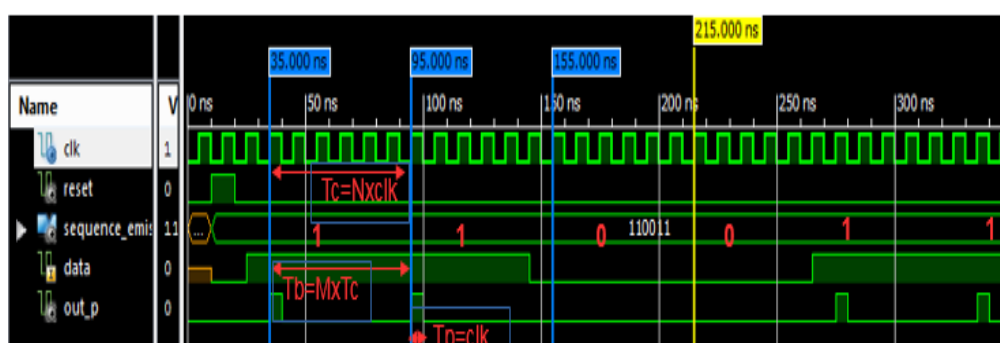


Figure III-5: Simulation de l'émetteur avec modulation OOK

### III.3.2. Convertisseurs Numérique/Analogique ADC

On peut avoir plusieurs solutions possibles de convertisseurs pour une implémentation numérique en IR-UWB [7] : soit des convertisseurs numériques analogiques *current steering*

à entrelacement temporel [30] soit des ADCs *current steering* avec des multiplexeurs en entrée [31]. Ces deux types de convertisseurs ont à peu près le même principe qui est l'augmentation du nombre d'entrées pour réduire leur vitesse. Ils peuvent être décrits par la même formalisation mathématique.

Pour la configuration de ce type d'ADC, on distingue plusieurs paramètres qui sont nécessaires : la fréquence d'échantillonnage  $F_e$ , la résolution de l'ADC en nombre de bits  $k$  et le nombre de voies entrelacées temporellement. La vitesse des données à transmettre à l'ADC peut être réduite par l'entrelacement temporel. En effet, un ADC classique travaillant à  $F_e$  doit avoir une entrée de donnée numérique travaillant également à  $F_e$ . Le signal analogique de sortie maintient pendant  $T_e = 1 / F_e$ , la valeur spécifiée par le vecteur numérique sur  $k$  bits d'entrée. La figure III-6 illustre le fonctionnement d'un ADC classique et d'un ADC à entrelacement temporel. Un convertisseur à entrelacement temporel conserve une sortie analogique mise à jour au rythme  $F_e$ , mais le nombre de vecteurs d'entrée numérique est  $v$  fois plus grand. Les  $v$  vecteurs d'entrée de  $k$  bits sont lus tour à tour au rythme  $F_e / k$ . Le nombre d'entrées est plus important mais celles-ci sont moins rapides.

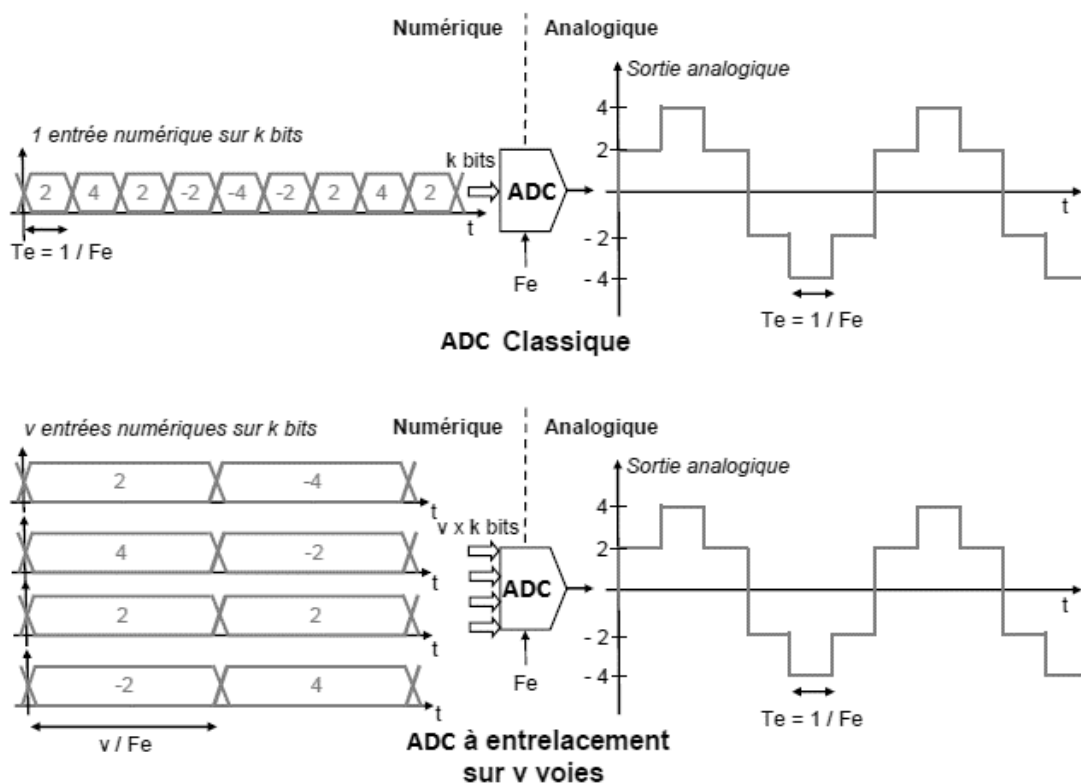


Figure III-6: Principe des deux types d'ADC, classique et à entrelacement sur  $v$  voies [7]

---

### III.3.3. Interface ADC-Circuit de traitement numérique

Les FPGAs ont des vitesses de fonctionnement pour le cœur de l'ordre de quelques centaines de MHz. Cette fréquence varie en fonction de la famille du FPGA. Si la vitesse de fonctionnement du cœur est inférieure à la vitesse maximale des E/S, alors pour ne pas être limité par le cœur, il existe des mécanismes comme les E/S travaillant sur front montant et descendant, ainsi que les sérialiseur-désérialiseurs (SER/DES) [32] permettant d'augmenter le débit général des E/S [7].

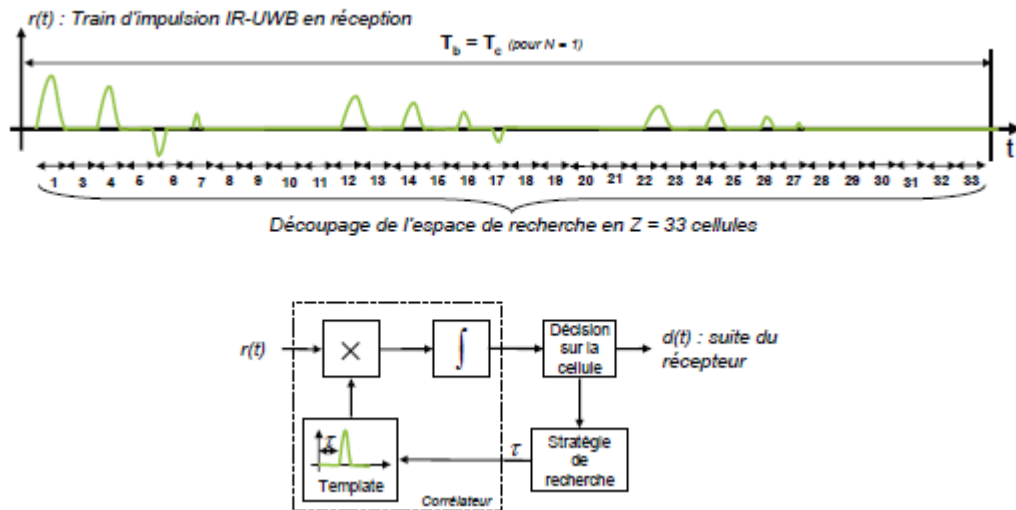
Il est possible de réaliser des interfaces à haute vitesse en sacrifiant la contrainte de taille et en optant pour une implémentation parallèle du code VHDL dans le FPGA ainsi que l'utilisation de CNA à entrelacement temporel. C'est la seule solution pour générer numériquement des signaux IR-UWB à très large bande sur FPGA. Ainsi, en fonction de la fréquence de fonctionnement du cœur du circuit numérique et de la vitesse requise par les entrées du CNA, une parallélisation du cœur sur  $v$  voies, grâce aux SER/DES, doit être implémentée. Plus la vitesse du cœur est lente et plus la vitesse des entrées du CNA requise est élevée, plus  $v$  le nombre de voies parallélisées doit être important. Un SER/DES Xilinx permet une parallélisation entre 2 et 10 voies.

Pour assurer l'interface avec le CNA, le FPGA peut adapter la signalisation de ses sorties avec différents protocoles différentiels ou non différentiels (asymétriques), différentes amplitudes et différentes impédances [32].

### III.4. Récepteur IR-UWB

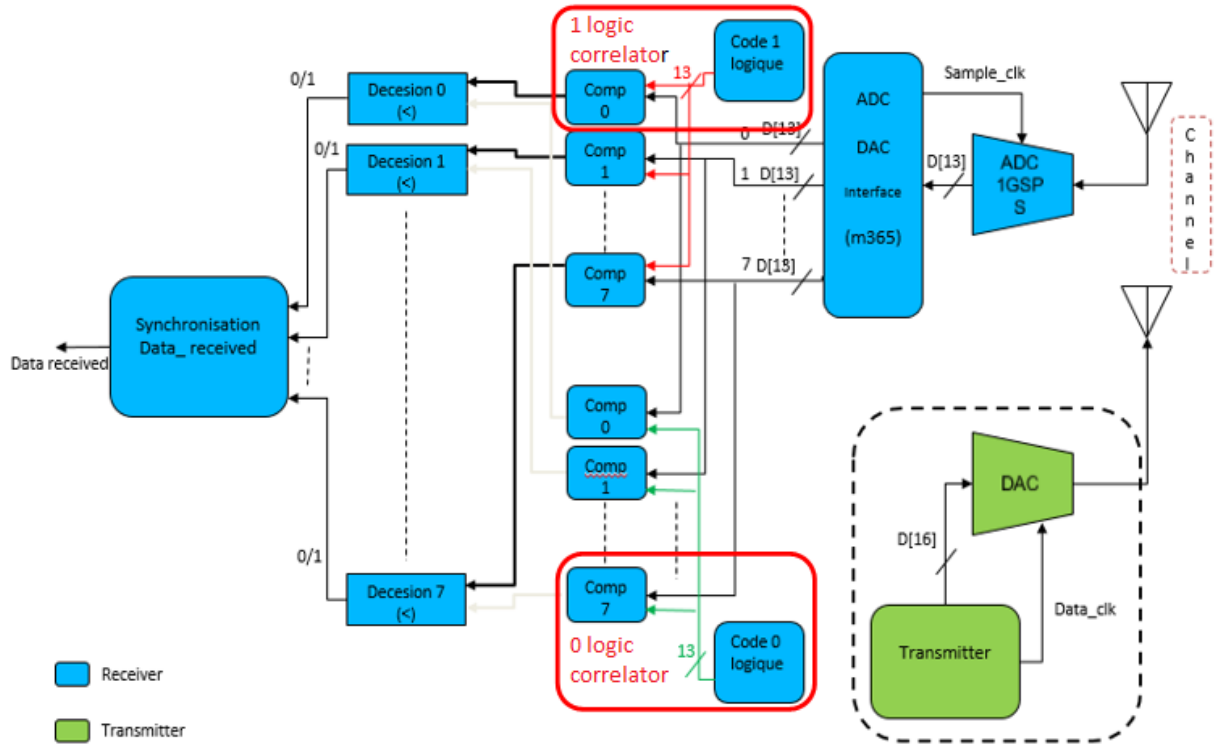
Le récepteur proposé est un récepteur *Rake* constitué de plusieurs sous-récepteurs appelés "doigts". Chaque doigt est un corrélateur associé à une composante de '1' ou '0' logique. Afin de suivre le même type de modulation qu'implémentée sur l'émetteur, l'architecture du récepteur intègre la démodulation OOK. Le récepteur OOK IR-UWB numérique est illustré sur la Fig. 8. Il utilise une architecture entièrement parallélisée reposant sur un découpage du signal reçu en cellules ou doigts. Chacune de ces portions de temps subit le même traitement qui consiste à évaluer l'énergie présente via des corrélateurs (Fig.7), puis la comparer pour effectuer la décision binaire très tôt dans le récepteur, puis effectuer le désétalement de spectre sur les flux de bits reçus, puis chercher la synchronisation niveau trame (SFD) et enfin combiner, comme dans un *S-Rake*, les portions

de signal synchronisées et offrant un niveau de performance suffisant.



**Figure III-7: Evaluation par corrélateur de l'ensemble des cellules de l'espace de recherche - approche multi doigts**

Le récepteur proposé (Figure III-8) est capable de se synchroniser au niveau bit, impulsion et trame, uniquement à l'aide du SFD. Il contient un bloc d'interface entre le convertisseur analogique-numérique et l'implémentation numérique qui permet d'obtenir 8 vecteurs de 13 bits pour un traitement parallèle, un bloc corrélateur pour la détection de '1' ou '0' logique, chaque corrélateur est associé à une composante pour détecter un '1' ou un '0'. Le bloc de décision utilise une méthode de votes sur le flux binaire reçu pour décider si la sortie est '1' ou un '0' logique [7].



**Figure III-8: Architecture de récepteur**

### III.4.1. Interface DAC-circuit numérique

Ce bloc est le premier après le convertisseur analogique-numérique. Il a pour fonction l'interfaçage entre le DAC et la suite du circuit de traitement du signal numérique. Il est dédié à l'interface entre le DAC à 2 Gbps et le FPGA. A partir des 4 bus de 8 bits à 500 MHz, l'utilisation d'entrées IDDR de Xilinx permet d'obtenir 8 bus de 8 bits à 250 MHz. De façon à réduire encore la fréquence de fonctionnement requise, une parallélisation supplémentaire est implémentée. La taille occupée augmente alors, puisque 8 bus de 12 bits à 125 MHz sont alors disponibles pour le traitement du signal dans le FPGA.

### III.4.2. Corrélateurs

Il s'agit du premier bloc dédié au traitement du signal. C'est l'élément le plus important du récepteur. Deux banques de L corrélateurs reconfigurables sont utilisées pour implémenter un *Rake* à plusieurs doigts à décision double voies par comparateur. Les paramètres L et  $L_r$  sont reconfigurables, le récepteur peut les faire évoluer au cours du temps pour modifier ses performances en démodulation (BER) et synchronisation. Les corrélateurs

---

sont utilisés à la fois pour le processus d'acquisition, et de démodulation *Rake*. Une banque de corrélateur est associée à un *Template* d'impulsion émise correspondant à un '1' logique modulé OOK, la seconde est associée à un '0' logique [7].

### **III.4.3. Bloc validation-décision**

Ce bloc permet de comparer les résultats de sortie des corrélateurs de '1' logique et de '0' logique respectivement. Ensuite il permet de faire une procédure de vote entre les bits reçus. La procédure de vote permet de combiner les flux de données. Le bit combiné en sortie prend la valeur de la majorité des flux de données présents en entrée.

## **III.5. Implémentation de la solution *clock-gating***

Afin de pouvoir fonctionner en basse consommation pour les réseaux de capteurs sans fil autonomes, notre circuit doit satisfaire une grande performance en termes de consommation d'énergie. Pour atteindre cette spécification de basse consommation d'énergie nous avons implémentés une solution appelée *clock-gating* sur notre système IR-UWB afin de réduire sa consommation.

### **III.5.1. Choix de la solution *clock-gating***

La majorité des circuits d'émetteurs-récepteurs existants actuellement sont basés sur des conceptions analogique où la quasi-totalité des fonctions sont implémentées en analogique. Dans une conception analogique, pour l'émetteur, la synthèse du signal impulsif (génération de l'impulsion et adaptation à la bande de l'antenne) est faite en analogique par le plus souvent un générateur d'impulsion 3 – 10 GHz [33] [34] [35] ou à 60 GHz [36]. Un étage de transposition RF peut être également implémenté [37] [38] [39] [40] [41] si la bande occupée par les impulsions du générateur diffère de la bande de l'antenne. Les blocs d'amplification de puissance et de filtrage sont implémentés en analogique et permettent de renforcer et d'adapter le signal avant la transmission via l'antenne. En réception, après les blocs de filtrage et d'amplification faible bruit (LNA – Low Noise Amplifier), on trouve les blocs nécessaires à la démodulation et éventuellement à la transposition. Ils sont implémentés par des éléments analogiques. Plusieurs solutions sont possibles : démodulation cohérente, non cohérente.

Contrairement à une conception analogique, dans l'implémentation numérique



---

présentée dans ces travaux de thèse l'étage RF contenant le mélangeur, l'oscillateur local et la PLL ne sont plus nécessaires. La bande de base numérique est responsable de la génération d'impulsion adaptée aux exigences de l'antenne, ainsi que de l'acquisition et la réception du train d'impulsions.

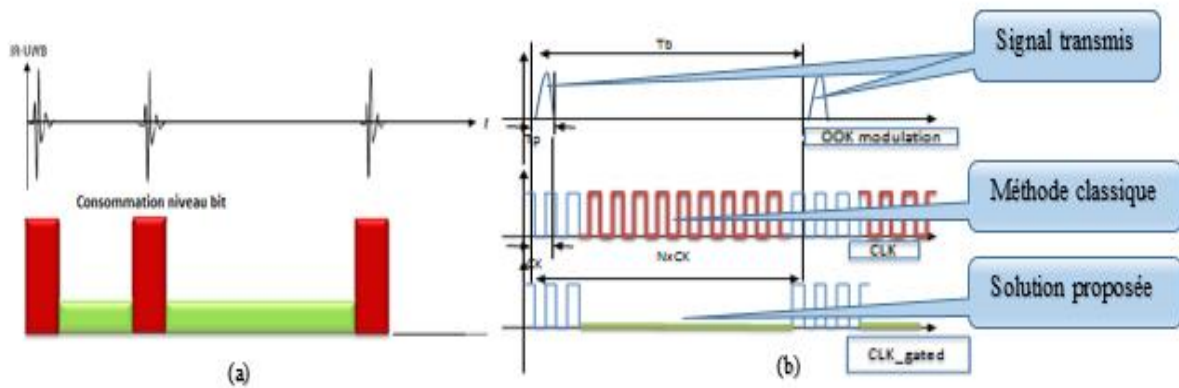
Le paramètre le plus important dans une conception numérique est l'horloge de fonctionnement de système complet qui va piloter tous éléments séquentiels de circuit. Le basculement d'état de ce grand nombre de bloc séquentiels dans notre circuit numérique en fonction de l'horloge à une fréquence élevée est le point le plus gourmand en termes de consommation dynamique d'énergie dans de telle implémentation. L'idée de couper l'horloge de circuit en dehors des périodes de transitions nous permettra d'obtenir un gain significatif en termes de consommation d'énergie par rapport aux circuits existant actuellement.

### **III.5.2.Principe**

La solution de *clock-gating* est une fonction utilisée dans le domaine de la microélectronique des semi-conducteurs qui permet d'économiser la consommation d'énergie en mettant en veille le circuit pendant les états de non fonctionnement. Elle consiste donc à couper le signal d'horloge d'une partie du circuit lorsque cette dernière est inactive. Beaucoup de dispositifs électroniques utilisent le *clock-gating* pour éteindre un certain nombre de composants dans le circuit comme les contrôleurs, les compteurs, et des parties des processeurs, afin de réduire la consommation électrique dynamique globale. Le *clock-gating* s'applique plus principalement sur les blocs séquentiels du circuit dont l'horloge est coupé pendant les phases de repos et permettant ainsi de réduire la consommation dynamique du circuit. Ces états de commutation des circuits séquentiels consomment énormément d'énergie. Lorsque ces blocs ne sont plus attaqués par le signal d'horloge, la consommation électrique tend à s'annuler et seulement les courants de fuite sont encore présents.

La solution *clock-gating* s'applique bien avec notre type d'architecture numérique, l'idée était de réaliser et d'intégrer un système qui permet de couper l'horloge de l'émetteur-récepteur pendant des périodes hors transitions. En effet notre émetteur-récepteur IR-UWB envois de courtes impulsions dans un intervalle de temps qui varie en fonction de débit de données, dans notre cas de figure nous travaillons avec un débit faible et donc cet intervalle

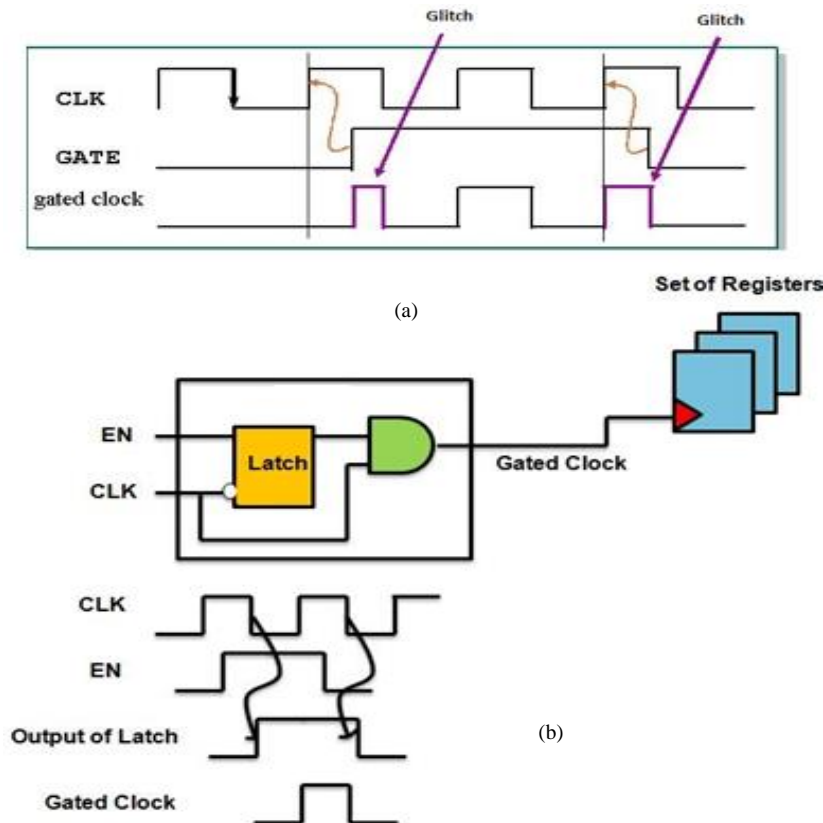
de temps est assez grand. Notre système de solution clock-gating réalisé et implémenté sur l'ensemble de circuit, basé sur la technique "latch based AND gate clock" (figure III-10), permet de couper l'horloge et mettre en veille tous les blocs séquentiels entre l'émission de deux impulsions et donc économiser une grande partie de consommation dynamique de système.



**Figure III-9:** (a) Consommation au niveau bit de l'IR-UWB (b) signal avec clock-gating

### III.5.3. Implémentation et test

Dans notre cas, nous avons utilisé la solution de *clock-gating* pour mettre en veille le circuit pendant toute la durée entre l'émission de deux pulses, l'idée est de couper l'horloge qui pilote les différents blocs séquentiels de l'implémentation afin de réduire la consommation dynamique [33] (Figure III.9b). La technique "latch based AND gate clock" illustrée dans la Figure III.10b a été implémenté. La solution utilise un signal "enable" qui permet de couper l'horloge de circuit entre deux pulses et une *latch* pour rendre ce signal "enable" plus stable à l'entrée de la porte AND. En n'utilisant qu'une porte AND pour le *clock-gating*, celle-ci devient vulnérable aux états transitoires défectueux (*Glitch*). Dans ce cas nous avons utilisé une *latch* pour pallier à ce problème.



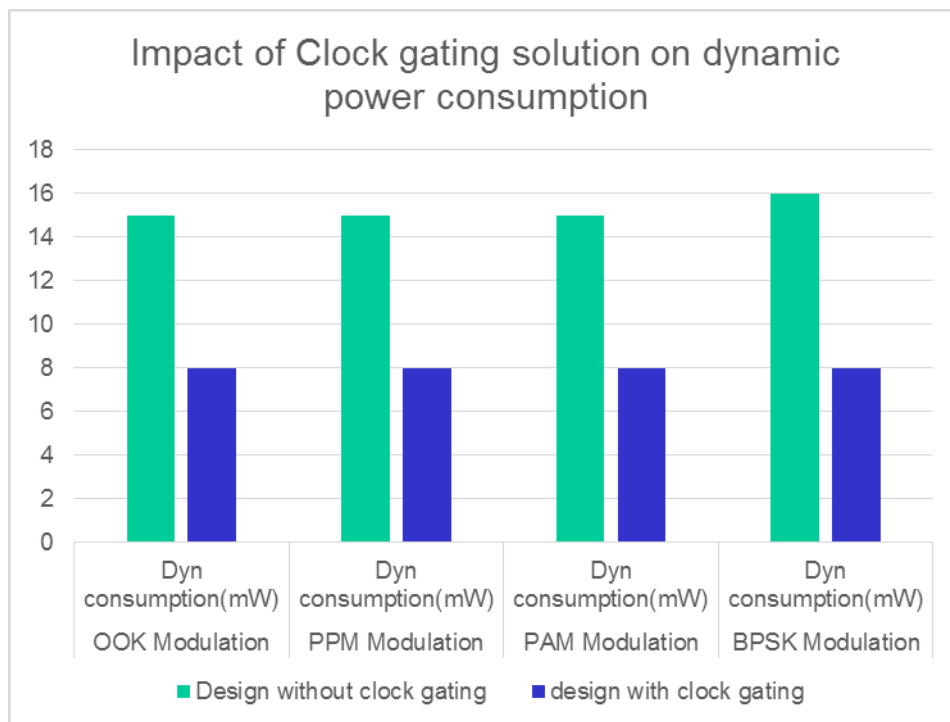
**Figure III-10: (a) AND gate clock-gating (b) Latch based clock gating**

- **Le gain en consommation**

Nous avons implémenté la solution clock-gating sur plusieurs types de modulations, OOK, PPM, PAM, BPSK. D'après les mesures de consommation de prototypes FPGA, nous remarquons que le changement de type de modulation n'a pas de grande variations sur la consommation énergétique de circuit, cela est le cas car la différence entre les architectures de modulation d'émetteur-récepteur est très faible qui se présente au niveau de modulateur en changeant le flux binaire envoyé et de démodulateur en changeant la *templat* associée à chaque corrélateur. Cette différence d'architecture affecte très peu aussi la fréquence de fonctionnement et le taux d'activité de système et donc nous avons une très faible variation de consommation. Par contre, nous avons constaté que la solution implémentée a un grand impact sur la consommation de circuit quel que soit le type de modulation choisis. En effet cette dernière améliore énormément la consommation dynamique de système en coupant l'horloge de système entre l'émission de deux impulsions.

Le prototype réalisé sur FPGA a permis d'obtenir les résultats présentés dans la figure III-11. D'après ces résultats, l'implémentation de la solution proposée s'avère prometteuse en

termes de réduction de la consommation d'énergie, les mesures effectuées ont permis de conclure qu'un gain de 50 % a été obtenu en termes de consommation d'énergie en intégrant la solution clock-gating par rapport à un système sans. Ces résultats ont été obtenus pour une fréquence et un débit fixe d'environ 10 Kbps pour l'application visée par le cahier de charge. Par contre nous pouvons gagner encore plus pour des applications qui nécessitent moins de fréquence et de débit comme la surveillance des structures (SHM) pour les constructions qui requièrent des relevés de mesures moins fréquents et à des débits plus faibles.



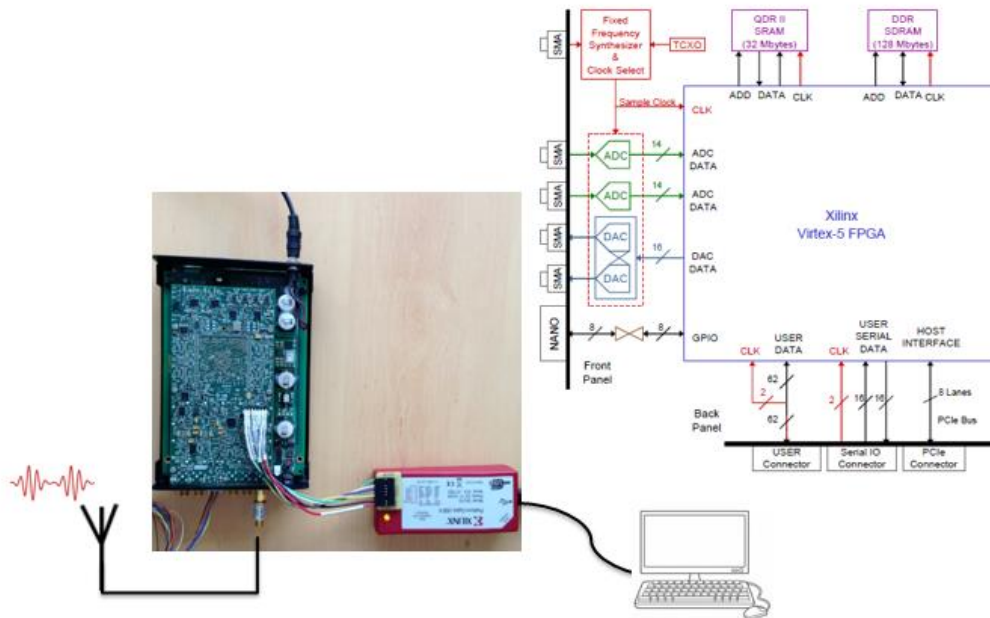
**Figure III-11: Réduction de la consommation par 50%**

### III.6. Implémentation matérielle sur FPGA et résultats

#### III.6.1. Plateforme d'implémentation FPGA

Dans cette partie nous allons détailler la procédure suivie pour le test de notre circuit. La mise en œuvre de ce démonstrateur a été exécutée sur un système incluant une carte FPGA, un ADC et un DAC. La carte *RedRapids* 365 inclut un FPGA Virtex 5 SX50T avec un ADC de 14 bits et un DAC DAC5682 ADS5474 (vérifier la référence) de 16 bits fabriqué par Texas Instruments. Une version spécifique de cette carte fonctionnant à 500MHz est utilisée pour cette démonstration. La carte *RedRapids* est connectée au *frontend Rf* a-

analogique composé de plusieurs circuits. Une alimentation électrique externe indépendante est utilisée pour faire fonctionner les modules de *frontend Rf*. Cette section présente donc la partie de test de fonctionnement de l'émetteur-récepteur IR-UWB.



**Figure III-12: Plateforme d'implémentation FPGA RedRapids**

### III.6.2. Intégration partie *frontend RF*

Les objectifs liés à la conception du *frontend RF* dans ce contexte sont la simplicité et la taille. En effet, nous avons prévu d'utiliser des composants RF pour construire un *frontend RF*. Le nombre d'éléments inclus dans notre *frontend* doit être le plus petit possible par souci de prototypage. Pour ces raisons, nous avons choisi d'appliquer une conversion directe sur l'architecture émettrice et réceptrice utilisant un nombre réduit de composants tout en garantissant de bonnes performances et une flexibilité nécessaire au processus de conception des autres parties du système. L'architecture choisie est décrite par la figure III-13. Le transmetteur de la figure III-13a reçoit le signal depuis la DAC sur la gauche et le mixe avec un signal d'un oscillateur local (LO) généré par le *voltage controlled oscillator* (VCO) en haut pour la conversion montante. Le PA booste ce signal avant de l'envoyer sur une antenne. Dans cette architecture de conversion directe, le signal LO faiblit dans la bande du signal et donc ne peut le filtrer par la suite. C'est pour cela qu'on a choisi un mixeur qui nous fournit une grande isolation LO-RF. De plus, la modulation UWB-OFDM utilisée au niveau

physique possède un *Peak-to-Average* Power Ratio (PAPR) élevé dû au nombre élevé de sous-porteuse utilisée. Dès lors, nous avons choisi un mixeur passif pour sa grande linéarité dont le gain de conversion est de -7dB.

Sur le receveur illustré par la figure III-13b, le signal reçu par l'antenne sur la gauche est amplifié par un amplificateur faible bruit (LNA) et mixé avec un autre LO pour la conversion basse fréquence. Ce signal est alors dirigé vers un filtre passe bas passif suivi en cascade par des amplificateurs de bande de base qui boostent le signal jusqu'à ce qu'il atteigne l'échelle entière de l'ADC. Un filtre numérique est aussi implémenté dans le FPGA dans le but de rétrécir le signal digitalisé de 250Mhz à un signal de 125 Mhz de bande passante. Les exigences pour l'antenne étaient d'avoir une bande passante très large (5 à 10 GHz) et un gain modéré ou élevé (entre 5dBi et 15dBi) tout en ayant une petite taille.

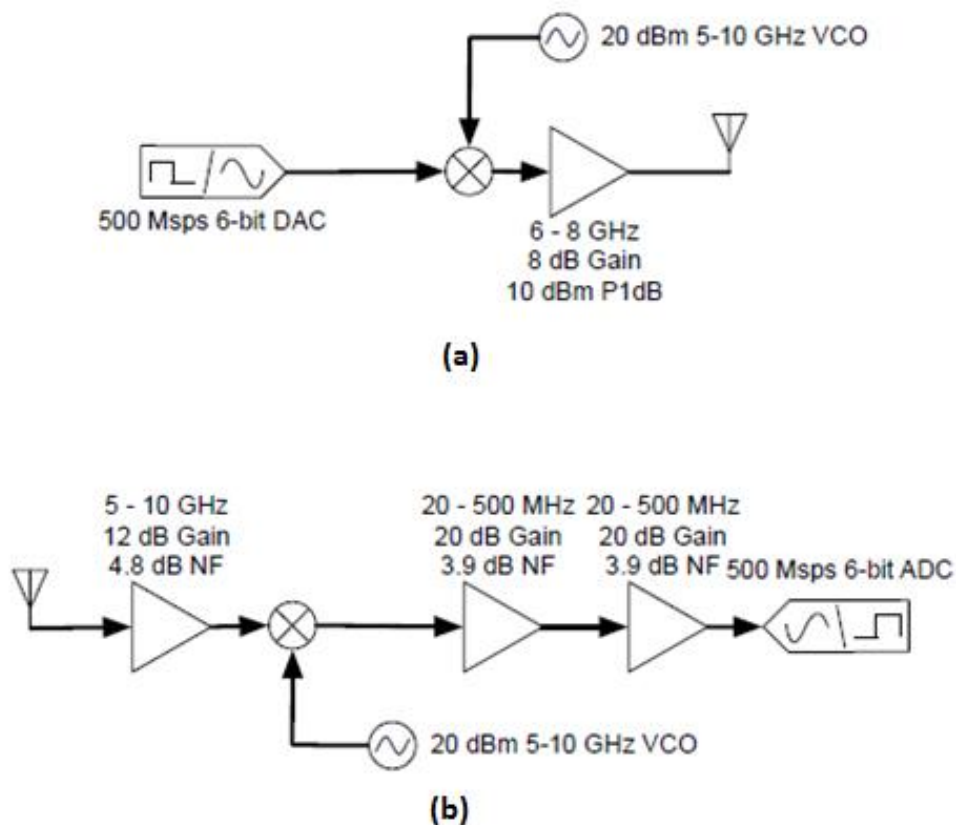
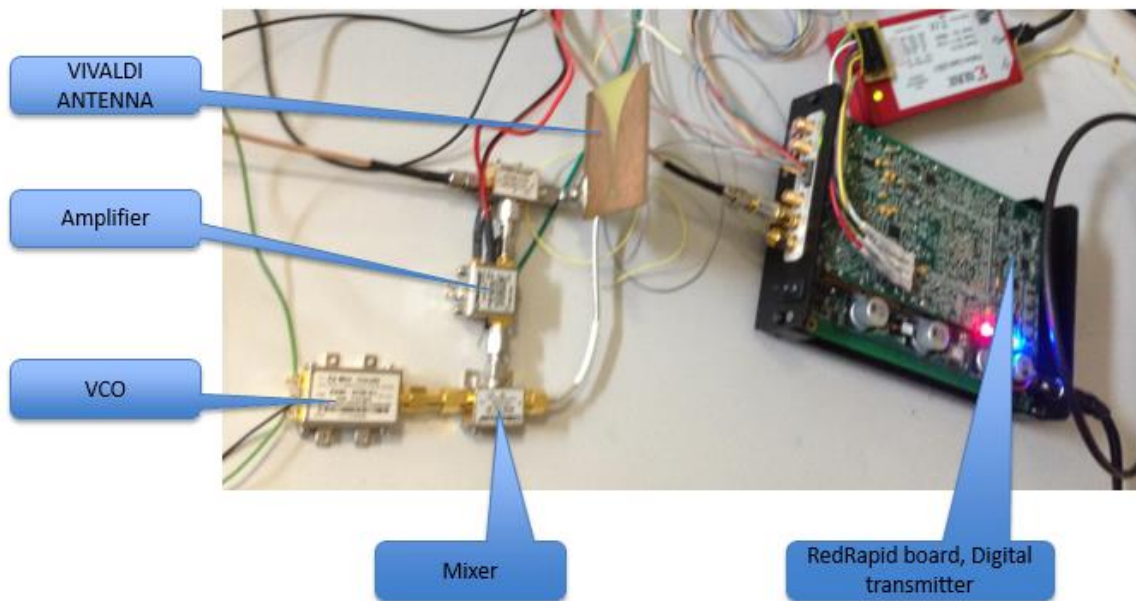


Figure III-13: (a) Frontend RF de l'émetteur, (b) Frontend RF du récepteur

### III.6.3. Mesure du fonctionnement en bande de base numérique

Pour dimensionner, mesurer et valider le système de l'émetteur-récepteur IR-UWB nous avons utilisé une plateforme FPGA Virtex5SX50T de *RedRapids* aux vues de ses propriétés de reconfigurabilité, comme illustré sur la figure III-14.

Pour cette caractérisation nous avons utilisé deux cartes FPGA *RedRapids*, une pour implémenter le transmetteur et l'autre pour le récepteur.



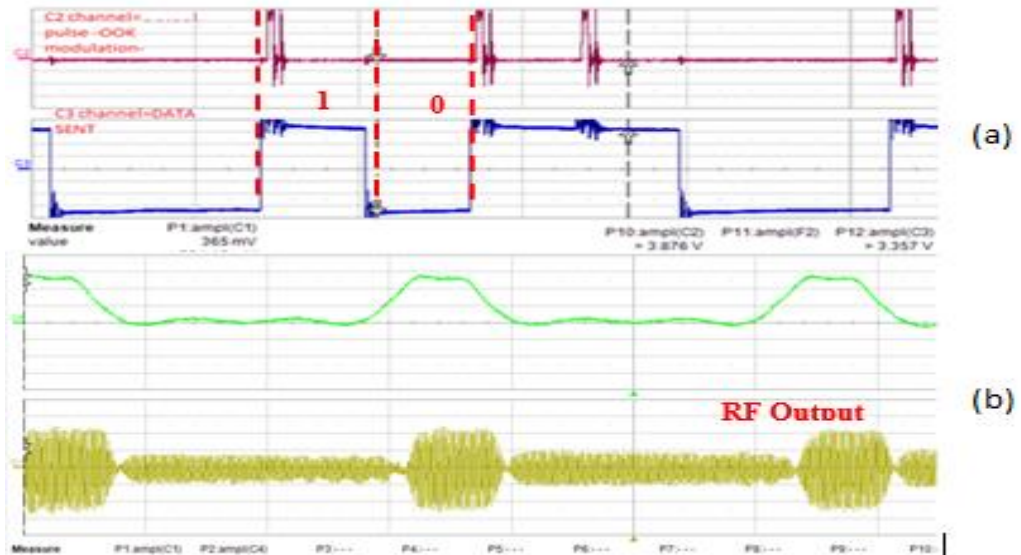
**Figure III-14** Plateforme de mesure intégrant la partie Frontend RF

La figure III-15a montre le signal IR-UWB OOK émis en sortie du circuit de traitement du signal numérique en rouge, et on voit bien qu'il suit la donnée à transmettre avec une modulation OOK, l'envoi d'une impulsion dans le cas d'un '1' logique et l'absence de l'impulsion pour le '0' logique.

Au niveau de la figure III.15b, on observe le signal à la sortie du *frontend RF* (avant l'antenne d'émission). On constate le changement de forme de l'impulsion apportée par la transposition en fréquence via le mélangeur. La porteuse est bien visible dans la durée de l'impulsion. On constate également que la partie *frontend RF* n'a pas une réjection de la porteuse parfaite. En effet, entre deux impulsions, on retrouve l'oscillateur local et sa première harmonique.

Le prototype implémenté sur FPGA peut fournir les caractéristiques suivantes :

- Durée d'impulsion : 1 ns,
- Bande occupé : 1 Ghz,
- Débit binaire maximum : 5 Mbps



*Figure III-15 Résultat de mesure en fonctionnement (a) sortie signal de sortie modulé en bande de base numérique, (b) signal de sortie de frontend RF*



---

### III.7. Conclusion

Dans ce chapitre nous avons présenté l'architecture de l'émetteur-récepteur IR-UWB utilisée pour développer une implémentation faible consommation dédiée aux réseaux de capteurs sans fil autonomes.

Nous avons pu illustrer une implémentation d'émetteur-récepteur IR-UWB à basse consommation incluant une solution basée sur la technique de *clock gating* permettant de réduire encore plus la consommation d'énergie. Nous avons développé un émetteur-récepteur IR-UWB basé sur une modulation OOK utilisant une approche *mostly digital* qui offre l'avantage d'une architecture prête à être intégrée avec la couche MAC.

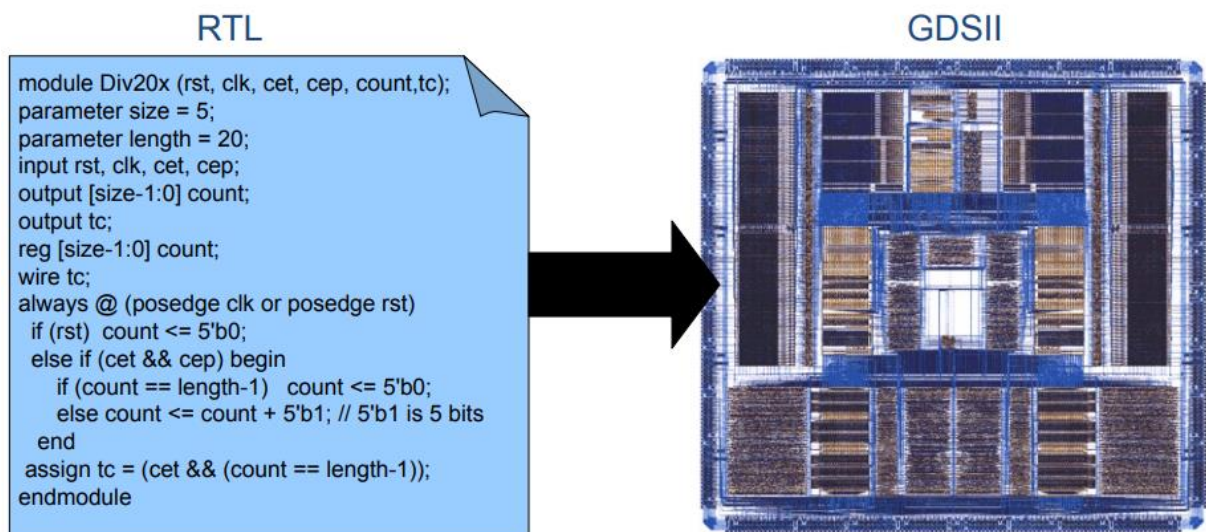
Pour diminuer et atteindre une faible consommation électrique, ce qui est la contrainte la plus forte pour un émetteur-récepteur en réseaux de capteurs sans fil autonomes, nous avons proposé une nouvelle solution usant de la technique de *clock gating*. Nous atteignons un haut gain en termes de consommation électrique qui est environ 50 % inférieure à celle obtenue en mettant en œuvre le prototype d'émetteur-récepteur IR-UWB sur FPGA sans la technique de *clock gating*.

---

***IV. Chapitre IV : Conception ASIC du système émetteur-récepteur IR-UWB***

## IV.1. Introduction

L'évolution constante des techniques de fabrication permet d'envisager la conception de systèmes matériels (*hardware systems*) de plus en plus complexes. Un système qui occupait il y a peu une ou plusieurs cartes (circuits imprimés, *printed circuit board* (PCB)) peut désormais tenir sur une seule puce de silicium (circuit intégré, *integrated circuit* (IC)). Le processus de conception doit donc faire face à une quantité croissante d'informations devenant elles-mêmes plus complexes. D'un autre côté, le marché impose un temps de conception (et de fabrication) le plus court possible de manière à réagir rapidement à la demande. La réalisation des Systèmes On Chip à partir d'une conception numérique à base de code de description matérielle, comme présentée en figure IV-1, est devenue une réalité grâce aux technologies et aux outils de conception microélectronique. Celle-ci offre de nombreux avantages en comparaison avec les systèmes électroniques actuels, que ce soit en termes de réduction de taille, que de gain en consommation énergétique.



*Figure IV-1: Implémentation d'un système ASIC*

## IV.2. Définition et point de vue générale

L'utilisation d'une implémentation numérique, via la description VHDL du circuit numérique de traitement du signal en IR-UWB, permet une certaine abstraction du support d'implémentation choisi : ASIC ou FPGA. En effet, la conception haut-niveau induite par l'utilisation du VHDL, permet facilement, en réutilisant la conception proposée pour notre

---

système numérique IR-UWB numérique en bande de base, d'obtenir des émetteurs-récepteurs implémentés sur ASIC. Dans cette partie, nous allons détailler la conception d'un prototype d'émetteur-récepteur IR-UWB sur ASIC, présenter les différents bancs de tests mis en place pour la caractérisation et les différents résultats obtenus.

La procédure de conception d'un système ASIC présenté dans cette section vise à implémenter un système sur puce (*System On Chip- SoCs*) mixte contenant une bande de base numérique avec ses pads d'E/S et une IP analogique personnalisés et conçus par le LAAS. Le flot de conception présenté dans la figure IV-2 a été construit pendant ce travail de thèse et est basé pour certaines étapes sur des scripts d'automatisation développés lors de ces travaux de thèse.

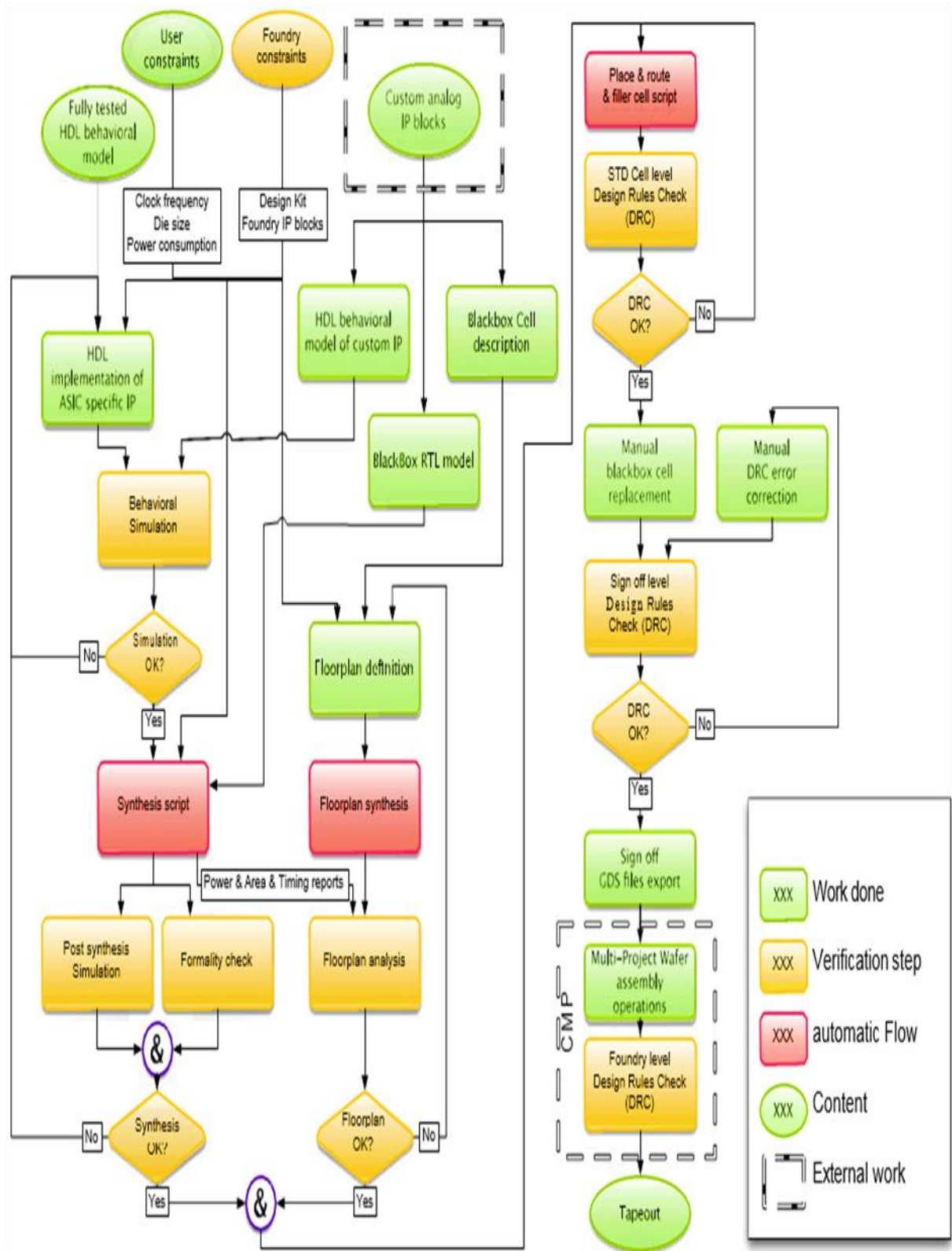


Figure IV-2: Flot de conception d'un système ASIC [34]

---

### **IV.3. Flot de conception système ASIC**

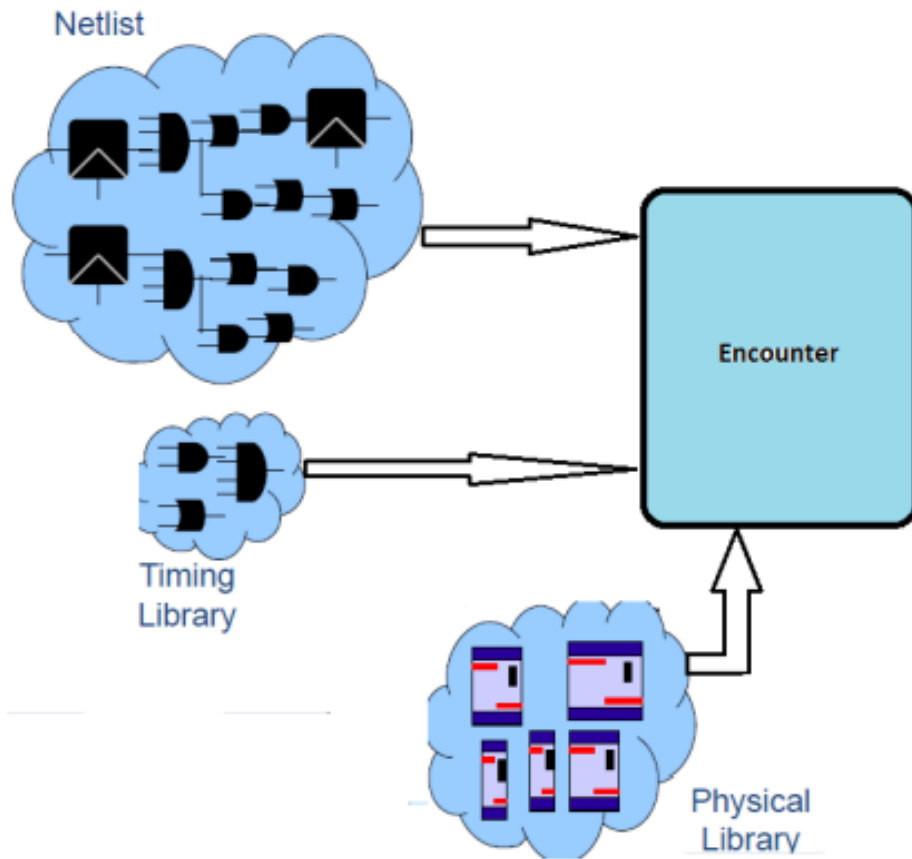
Dans cette partie, nous allons montrer les différentes étapes nécessaires à la conception du système ASIC en se basant sur sa description VHDL présentée dans le chapitre III. Cette description de l'émetteur-récepteur IR-UWB à basse consommation intègre la solution de *clock-gating* destiné à réduire la consommation d'énergie.

#### **IV.3.1. L'implémentation VHDL et validation**

Il existe une différence majeure entre la partie VHDL pour la simulation, pour l'implémentation FPGA et pour la partie de mise en place d'un système ASIC. En effet, le code pour la mise en œuvre sur FPGA doit implémenter des blocs IP standards spécifiques à la synthèse d'une telle implémentation numérique. Des fonctions très courantes de traitement du signal numérique sont souvent remplacées par des IPs déjà conçues pour une implémentation sur FPGA. Dans le monde ASIC, tout doit être spécifiquement conçu et mis en place pour une synthèse visant la technologie de fabrication souhaitée. Chaque pad, IP analogique, ou même *black box* IP, comme une unité centrale de traitement par exemple, doit être implémentée dans le code VHDL avant la synthèse. Cette opération fournit des informations au logiciel de synthèse sur les délais, les charges et les tailles des blocs implémentés et améliore les performances de synthèse tout en offrant une vue d'ensemble rapide des performances réalisables. Dans le cas présenté dans ce travail, des adresses IP analogiques personnalisées ont également été implémentées. Cependant, les descriptions d'IP sont requises à cette étape pour que le synthétiseur fonctionne correctement et n'utilise pas de *black box* inutiles.

#### **IV.3.2. Données nécessaire à la conception ASIC**

Afin de concevoir l'ASIC, différents éléments et fichiers sont nécessaires, et ce, tout au long du flot de conception basé sur l'utilisation des outils de la plateforme cadence (*RTL Compiler, SOC Encounter, Virtuoso*). Dans ce qui suit nous présentons ces différents éléments.



*Figure IV-3: Chargement du design*

#### IV.3.2.1. La technologie ST CMOS 65 nm -Design Kit

L'appellation 65 nm désigne le procédé de fabrication des semi-conducteurs qui succède au procédé 90 nm de fabrication des CMOS, 65 nm correspond à la largeur de la grille des transistors CMOS utilisés. Les premiers processeurs possédant cette technologie sont apparus sur le marché en 2006. Pour la fabrication d'un ASIC, les fondeurs fournissent des Design Kits contenant différentes documentations, des modèles, des bibliothèques et des IPs analogique. Dans notre processus de conception, nous avons utilisé la technologie CMOS 65 nm de ST MicroElectronics. Le contenu et les informations utilisés par ce Design Kit sont strictement confidentiels et ne peuvent pas être divulgués.

Après le chargement de la *netlist*, on charge aussi les bibliothèques de la technologie 65nm ainsi que le fichier de contrainte de timing,

- 
- Bibliothèque (.lib) : c'est un fichier qui contient toutes les informations nécessaires pour la synthèse et l'analyse statique, (la fonctionnalité et le timing de chaque cellule standard).
  - Bibliothèque physique (.lef) Layer Exchange Format : c'est un fichier qui contient les informations physiques nécessaire pour le placement et le routage (description et la dimension des cellules, règles de dessin, définition des VIAs, capacités des métaux, Macros etc.)

#### **IV.3.2.2. L'implémentation VHDL de l'émetteur-récepteur IR-UWB**

Cette implémentation VHDL devait être évaluée et testée sur une plateforme FPGA (Chapitre III) avant de passer par ce flot de conception pour améliorer nos chances d'obtenir un ASIC fonctionnel. Dans notre travail, l'implémentation VHDL a été faite et testée en utilisant l'outil ISE *Xilinx* et des cartes FPGA virtex 5 sur plateforme *RedRapids*.

Sur le modèle VHDL de l'émetteur-récepteur IR-UWB, la librairie de PADS d'entrées-sortie ont été ajoutés.

#### **IV.3.2.3. Fichiers de contraintes de design**

On doit fournir des fichiers décrivant les contraintes d'utilisation durant les différentes étapes du flot de conception. Ces fichiers contiennent des informations comme la fréquence d'horloge attendue, la consommation électrique attendue et les délais de propagation des différentes cellules de la technologie CMOS 65nm. Bien que les informations sur la fréquence d'horloge soient obligatoires pour un processus de synthèse efficace, la consommation électrique attendue peut être obtenue par le processus de synthèse.

#### **IV.3.2.4. L'IP analogique ADC-DAC**

Une propriété intellectuelle (IP) analogique ou numérique est, dans la plupart des cas, délivrée en trois parties différentes.

Un modèle de simulation qui est fourni pour implémenter l'IP dans les fichiers VHDL. Ce modèle de simulation permet également à simuler le fonctionnement correct du système, notamment en proposant toutes les IP implémentées dans celui-ci.

Un fichier de description de type *blackbox* contenant des informations sur la taille du bloc IP, ainsi que la liste des ports d'E/S et leur comportement respectif. Ce comportement



---

sera modélisé au travers des principaux aspects tels que la charge capacitive connectée au port, une puissance maximale pouvant être délivrée et des aspects dynamiques tels que la vitesse de commutation.

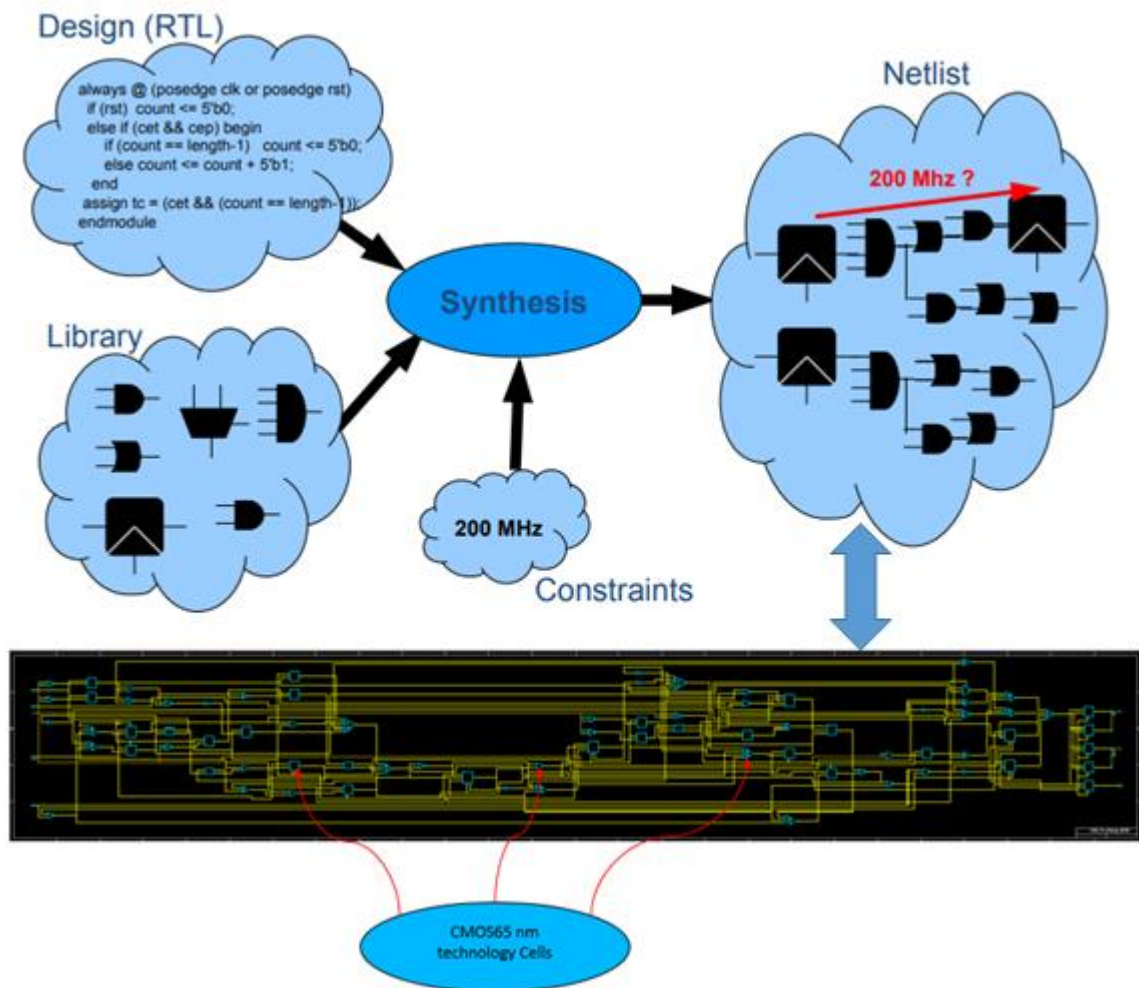
La dernière partie fournie par le fournisseur d'IP est soit un *layout* de la cellule pour l'implémentation pendant l'étape de réalisation du dessin du masque, soit dans certains cas une cellule comme une boîte noire à intégrer dans le *layout* final.

L'acquisition d'une telle IP en dehors des bases de données du fondeur (ST Microelectronics) est pratiquement impossible aux vues des termes de confidentialité imposées par le fabricant. Pour ces raisons, l'IP analogique ADC-DAC intégré dans la puce de démonstration fabriquée dans le cadre de notre thèse a dû être développée au LAAS.

### **IV.3.3. Synthèse et *netlist* du circuit**

La description de l'architecture implémentée sur FPGA nous génère une *netlist* VHDL à base de cellules logiques. Avant le placement/routage, nous devons synthétiser cette *netlist* en utilisant le compilateur RTL de Cadence afin de remplacer ces cellules logiques par l'implémentation des cellules physiques standards de la technologie 65nm de ST Microelectronics. Les différentes bibliothèques correspondantes sont ajoutées à notre script. Après la synthèse nous avons une *netlist verilog* qui sert de point d'entrée à l'outil *Soc-Encounter* de Cadence.

L'étape de synthèse, comme présentée dans ce flot de conception, est en réalité une tâche comportant un grand nombre d'actions nécessaires à l'obtention d'une *netlist* RTL de l'implémentation VHDL validée précédemment. La synthèse de design est faite par l'outil RTL compiler (rc) de CADENCE en utilisant les bibliothèques du design kit CMOS 65 nm de ST Microelectronics. L'outil rc vise à fournir un environnement pour la synthèse du design et se sert d'une grande bibliothèque de mises en œuvre optimisées et d'IPs de la technologie.



*Figure IV-4: Netlist RTL après synthèse*

La configuration de synthèse exige la fourniture des informations suivantes dans son fichier de config [43] :

- Les fichiers de design VHDL comprenant tous les fichiers de conception, ainsi que des blocs IP souples optionnels délivrés en tant que bibliothèques HDL. Les modèles de simulation pour les bibliothèques également fournis sous forme de boîtes noires sont interdits, car leur forme compilée est en conflit avec la cellule boîte noire.
- Des fichiers de bibliothèque, avec l'extension .lib, sont des fichiers répertoriant des cellules standards pour des sous-ensembles de la technologie. Ces bibliothèques contiennent toutes les cellules standards autorisées pour remplacer l'instruction HDL par des cellules logiques. Un grand nombre de cellules standard sont disponibles, offrant diverses performances en termes de délais d'installation et de consommation d'énergie. Dans ce travail, nous avons ciblé la bibliothèque

---

de cellules standard la moins gourmande en énergie avec des marqueurs de basse tension et de haute tension. Cependant, pour que certaines parties de la conception satisfassent aux exigences de haute fréquence, nous avons ajouté une bibliothèque de tension de seuil standard plus rapide pour permettre au synthétiseur de sélectionner les verrous lorsque cela est absolument nécessaire.

- Les liens supplémentaires des fichiers de bibliothèque, avec la même extension .lib, contiennent les descriptions des IP implémentées. Ces bibliothèques ne sont pas destinées à être utilisées pour remplacer les instructions HDL pendant la synthèse.
- Les vues logiques RTL de la conception contenant uniquement des cellules standards et des implémentations de boîtes noires, ainsi que le câblage entre toutes ces cellules.

Après la synthèse de l'architecture, nous avons généré une *netlist* qui contient les cellules de la technologie 65nm de ST Microelectronics et qui va être utilisée par la suite sous *Soc-Encounter* pour le placement et le routage. La figure IV-5 montre la schématique du circuit de l'émetteur-récepteur IR-UWB après synthèse et à base des cellules de la technologie CMOS 65nm.

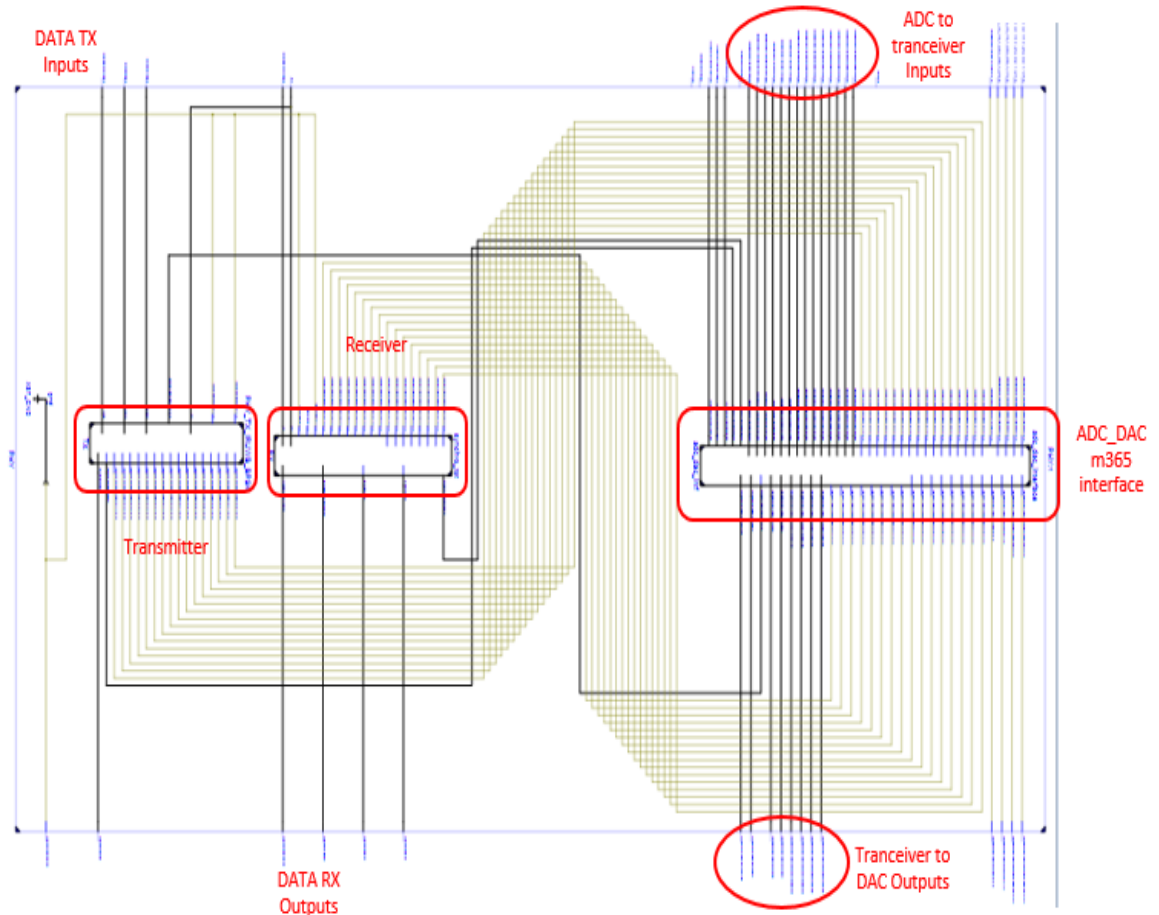
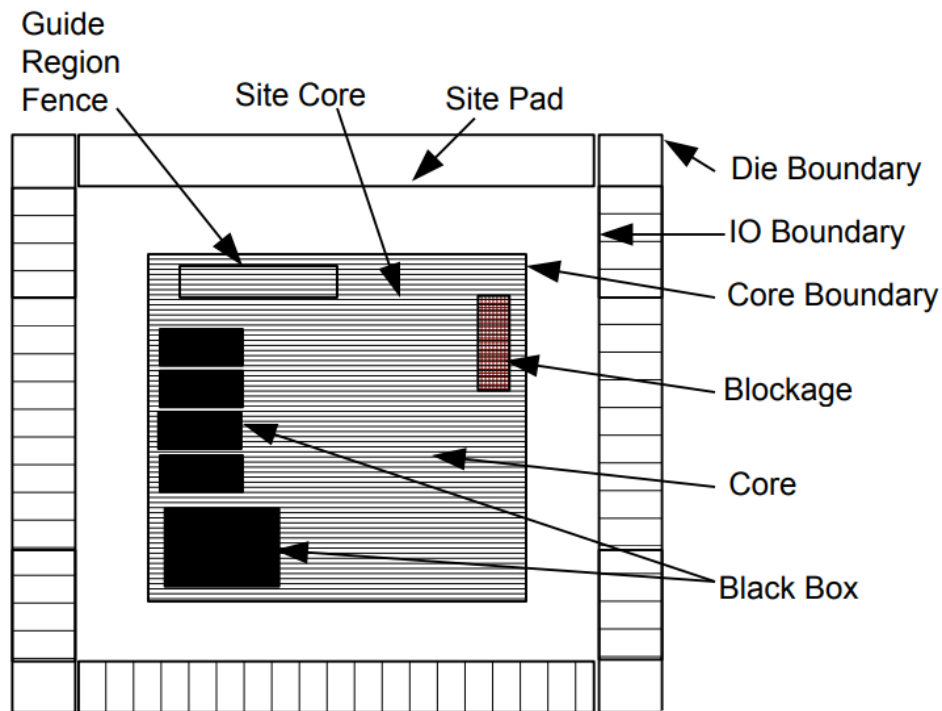


Figure IV-5: Circuit d'émetteur-récepteur IR-UWB après synthèse

#### IV.3.4. Floorplan de design

Dans le but de réaliser un *layout* générique, le *floorplan* doit être modifiable pour s'adapter aux différentes architectures. On peut donc faire une estimation du *floorplan* en fonction de la taille et du nombre de blocs utilisés. Pendant le *floorplanning* de notre design, les positions des divers modules sont déterminées. Ainsi, le *floorplanning* consiste à déterminer les caractéristiques externes comme les dimensions et l'emplacement des E/S de chaque module. Ces caractéristiques sont nécessaires pour le placement et le routage. L'étape de *floorplanning* pour le design d'un ASIC est une étape très importante dans le flot de conception. Effectivement, un *floorplan* qui est prêt pour le placement-routage est construit par des étapes multiples exigeant une connaissance avancée tant du design lui-même, que de la technologie de fonderie elle-même, ainsi que du design kit fourni. Cette tâche a été exécutée dans le logiciel Cadence *Soc Encounter*, qui un outil de placement-routage et de conception de *layout* de designs numériques. Les parties de cette tâche peuvent être exécutées par des scripts personnalisés. Cependant, des interventions manuelles doivent être

ajoutées pour réparer des opérations automatiques incorrectes. La première étape vers un plan correct est l'initialisation de plan. Cette étape construit une grille pour le placement de cellules standards logiques numériques. Elle indique aussi l'orientation des cellules, ainsi que la distance et le facteur de forme pour la puce finale. Un dossier de cellules unitaires est exigé pour que la grille soit produite correctement. Ce dossier, fourni dans le DK contient des renseignements sur la taille standard de toutes les cellules numériques disponibles.



**Figure IV-6: Floorplan de design ASIC**

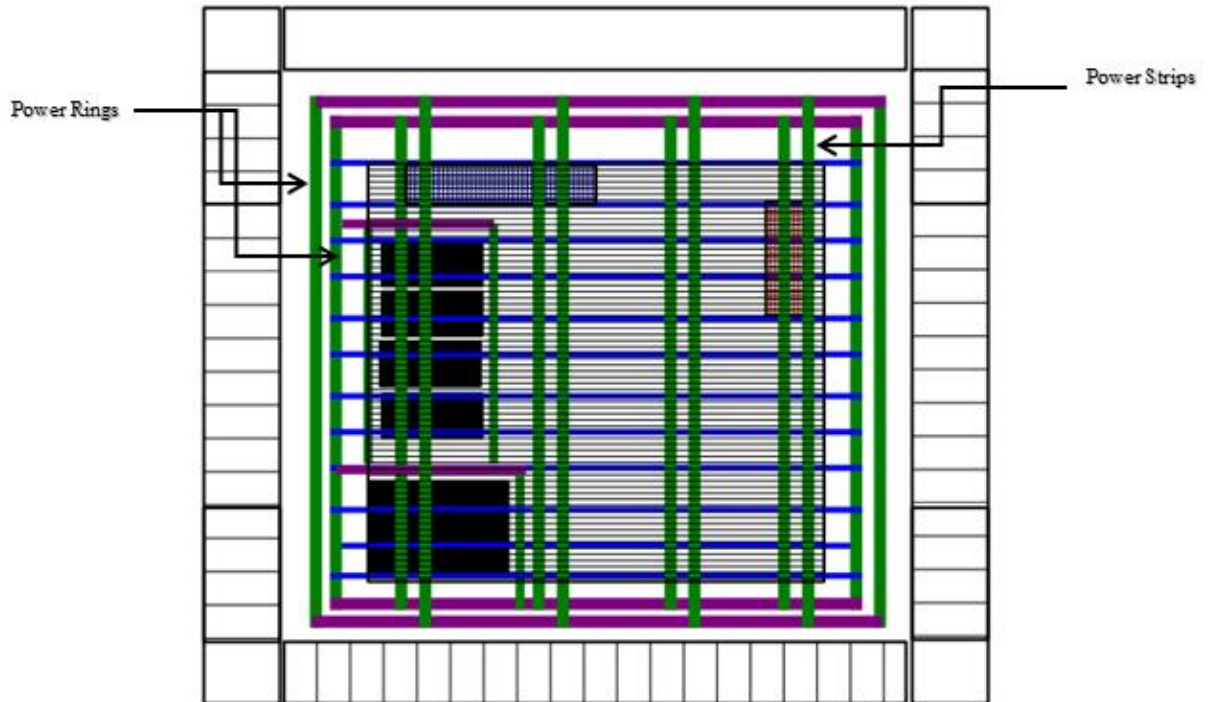
Dès que le *floorplan* est initialisé, les connexions d'alimentation et de masse sont déclarées, en incluant des lignes pour l'alimentation électrique des pads (VDDE). Le design, synthétisé est importé auparavant pour placer les blocs qu'il exécute, aussi bien que pour initier une opération de pré-placement. Après cette importation, les blocs apparentés seulement numériques sont importés. L'étape suivante, basée sur un script, s'occupe de la mise en œuvre des blocs pour l'alimentation électrique, ainsi que des cellules de coin pour propager un anneau d'alimentation à l'intérieur de l'anneau de bloc lui-même. D'autres signaux tels que les cellules de compensation de niveau de bloc numériques peuvent être exigés selon la performance de bloc désirée du point de vue de la stabilité en tension. Il faut garder en tête les règles rattachées aux blocs pour la technologie de fonderie prévue. Un bloc de VDDE sera souvent assez pour fournir la puissance à un nombre limité de blocs d'E/S.

---

Cette règle signifie que chaque alimentation électrique, associée à un potentiel de référence (la terre), n'est pas destinée à l'exécution d'un unique bloc, mais plutôt un certain nombre d'entre eux.

Dès que les pads ont été intégrés dans le design, nous avons écrit un script pour placer les pads sur les différents côtés. Chaque pad est associé à un côté bien défini : soit à droite, soit à gauche, soit en haut, soit en bas du chip ; aussi bien qu'à un numéro d'ordre, qui définira son placement final sur le côté spécifié. Sur ce design dit mixte, nous avons décidé de placer manuellement l'IP ADC-DAC sur un côté bien défini de la puce finale et ensuite d'exécuter un script pour définir une première mise en forme du *layout* en définissant la taille du chip, la taille du cœur et l'espacement entre les pads et entre les pads et le cœur. Les pads d'alimentation électrique pour le bloc d'IP analogique, cependant, ont été implémentées durant cette passe et devaient être raccordées manuellement à l'IP dans l'étape finale. La dernière tâche concernant la configuration du *floorplan* est la réalisation et la configuration des anneaux et des grilles d'alimentation (Vdd et Gnd). Ces étapes exigent que le design soit chargé dans l'environnement de Cadence pour faire une évaluation de consommation d'énergie correcte. En se basant sur les spécifications fournies avec la technologie de fabrication, ainsi que sur les règles de dessin de masque et les spécifications des pins d'alimentation des cellules standards, la conception de grille suivant les dimensions adaptées au design est faite.

Après toutes ces configurations nous obtenons une première partie conçus prête pour le placement et le routage de la partie numérique.



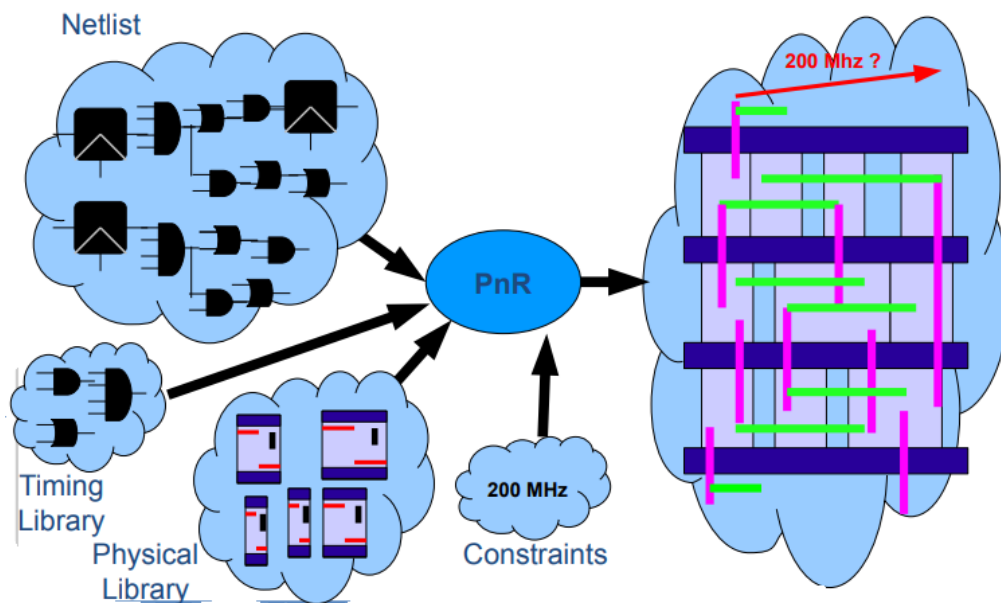
*Figure IV-7: création des nœuds de connexion d'alimentation*

#### **IV.3.5.Placement et routage**

Les opérations de placement et routage sont effectuées séquentiellement à l'aide de la plateforme Cadence *Soc Encounter* et de différents scripts développés. Les bibliothèques du design kit CMOS 65 nm à l'entrée de cette tâche sont également liées aux vues physiques (.lef) pour chaque cellule implémentée dans la conception. Cela conduit à un processus principalement automatique fournissant un design routé et placé à la sortie. Des rapports sur les violations de DRC dans le placement des cellules ou dans le routage des pistes sont retournés. Les contrôles de synchronisation sont effectués en fonction de la technologie, des longueurs de piste et des couches de métal utilisées pour acheminer les pistes. Les cellules de remplissage, ainsi que le métal de remplissage sont également placés au cours de cette étape. [33] Cela évite les contraintes de compatibilité mécanique et électromagnétique (EMC) dans la puce par rapport aux règles de conception. Les résultats de ce processus sont :

- Un design, prêt pour placé et routé, converti dans un format layout à base des cellules standards de la technologie CMOS 65 nm.
- Des rapports permettant de vérifier les délais, la consommation d'énergie et les violations de DRC potentielles.

- Un modèle HDL commenté/annoté, généralement exporté en format Verilog et incluant toutes les informations de retard de transmission sur le design. Ces informations de retard comprennent des retards liés aux cellules, ainsi que des retards liés au câblage dus à des parasites capacitifs et résistifs présents dans de tels routages métalliques denses. La validation de cette étape est effectuée par le biais de la vérification des résultats DRC.



*Figure IV-8: Contraintes de placement et de routage*

#### **IV.3.6. Finalisation du layout**

Dans cette partie nous allons passer sur un autre outil de la plateforme cadence qui est *Virtuoso*. Pour importer notre design sur cette nouvelle plateforme, nous devons importer toutes les cellules de la bibliothèque CMOS 65 nm contenant dans le design. C'est pourquoi il ne faut pas remplacer les liens vers la cellule standard par la "vue physique" fournie. Le remplacement de chaque cellule prévue dans le kit de conception ou ailleurs par le fondateur doit être conservé. Considérant que la vue physique de ce modèle de cellule analogique a correctement spécifié les emplacements des ports, chaque signal entrant et sortant de cette boîte noire correspond à la conception analogique réelle. L'alimentation analogique fournie par les plots implémentés spécifiquement a été connectée manuellement au bloc analogique.



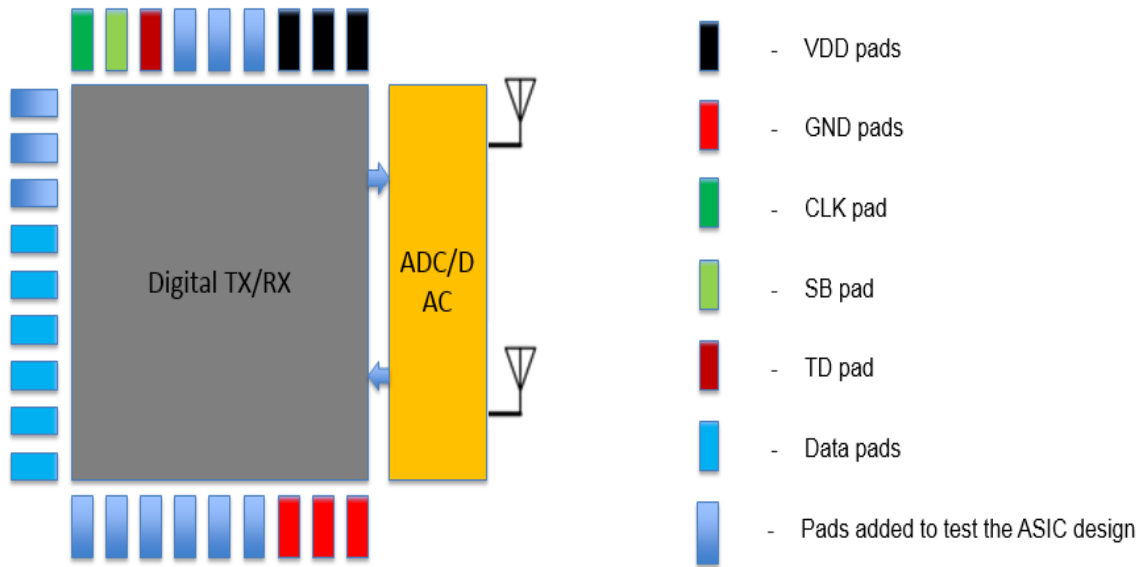
---

Une vérification finale de DRC est effectuée. Après avoir extrait le *layout.gds* en utilisant *Soc Encounter*, nous l'avons importé dans *Virtuoso* pour faire les vérifications DRC. Une vérification DRC est une étape importante pour vérifier si le *layout* créé ne contient pas des violations des règles de dessins de la technologie 65nm de ST Microelectronics. On peut alors conclure qu'il n'y a pas de problèmes.

Les fichiers GDS sont émis et envoyés à la société de fonderie ou à un opérateur MPW (Multi Project Wafer). Ces entités effectuent le remplacement des cellules et ajoutent d'autres post-traitements spécifiques aux fonderies. La conception finale est renvoyée au concepteur pour vérification, et est incluse dans un jeu de masques pour la production.

#### **IV.4. Composition de l'architecture ASIC conçue**

Une implémentation ASIC permet d'obtenir les meilleures performances par rapport à une implémentation FPGA ou à des systèmes COTS. De plus, l'ASIC conçu a une grande efficacité énergétique parce qu'il intègre la solution proposée de *clock-gating*. En plus il exécute seulement les parties nécessaires de la chaîne de traitement. L'architecture mixte proposée pour le démonstrateur est un ASIC de 1x1 mm conçu avec la technologie CMOS 65nm de ST Microélectonics. Il contient un ADC et un DAC, ainsi qu'une logique numérique contenant un transmetteur IR-UWB et un récepteur IR-UWB. Les modules de débogage et I/Os (glossaire ?) ont été conçus et exécutés dans la partie numérique pour réduire le nombre de blocs exigés. La taille réduite de 1x1 mm n'autorise vraiment qu'un nombre limité de pads. Dans ce cas-là, la partie analogique de la puce exige vraiment son propre design de bloc de RF pour atteindre ses meilleures performances. La puce ASIC est exposée en détail dans la figure IV-9 et composée de deux parties importantes : le circuit analogique et la partie logique numérique.



**Figure IV-9 Schéma bloc de l'émetteur-récepteur IR-UWB**

#### IV.4.1. Conception en bande de base numérique

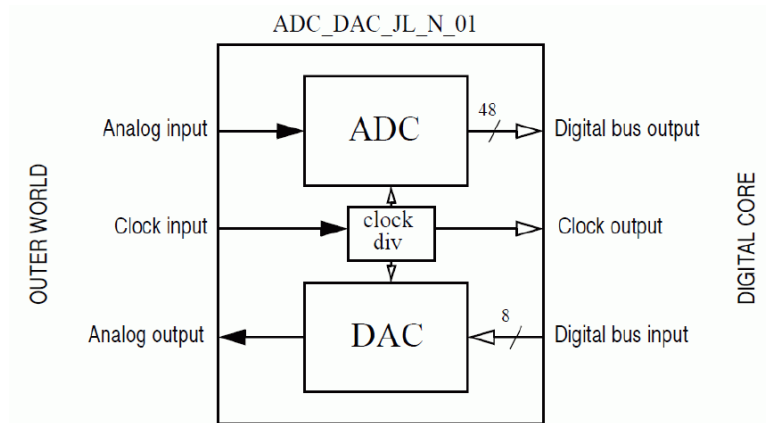
La logique numérique implémente l'émetteur IR-UWB et un récepteur IR-UWB. Cette partie est développée en langage VHDL. La configuration implémentée dans la puce est une couche physique IR-UWB incluant la solution de *clock-gating* pour augmenter l'efficacité énergétique. La partie analogique occupant un tiers entier de la surface de la puce, est prise en compte pendant tout le processus de synthèse et de placement et routage. En raison des limitations du nombre de pads, des modules ont été implémentés autour du système pour fournir des capacités de mesure tout en conservant un nombre raisonnable de pads. Du côté du récepteur, les données reçues par le nœud esclave sont comparées aux données attendues et une sortie à un seul bit indique l'état des dernières données reçues. L'ensemble du système codé en VHDL a été synthétisé pour une basse fréquence d'horloge. Le RTL résultant, après placement et routage, a une consommation d'énergie inférieure 1,86mW pour une fréquence de 100 KHz. L'occupation du cœur est inférieure à 20% et la puce est clairement limitée, c'est-à-dire que la puce pourrait être plus petite si le nombre de pads était réduit.

#### IV.4.2. IP analogique pour les DAC-ADC

Cette section décrit les blocs d'IP personnalisés qui ont été développés avec la technologie CMOS 65nm, pour être intégrés dans notre puce d'émetteur-récepteur IR-UWB

pour les communications sans fil large bande. Ces blocs se composent de :

- ADC à grande vitesse (6 bits, 4 Gsps)
- DAC à grande vitesse (2 bits, 2 Gsps)
- Autres cellules comme un diviseur d'horloge, slow bus interfaces.



**Figure IV-10: Schéma de l'IP analogique ADC-DAC**

Dans cette puce, ces blocs sont contenus dans une cellule principale appelée DC\_DAC\_JL\_N\_01, qui contient des pads d'E/S analogiques et de nombreuses connexions intérieures avec le cœur numérique de la puce.

#### **IV.4.3. Layout de la puce complète**

La figure IV-11 présente le *layout* finale de l'émetteur-récepteur IR-UWB. Il contient les deux parties citées précédemment : la partie bande de base numérique qui s'occupe de la partie traitement de signal numérique et modulation, et la partie analogique qui contient l'IP de convertisseur Analogique-Numérique nommée DC\_DAC\_JL\_N\_01.

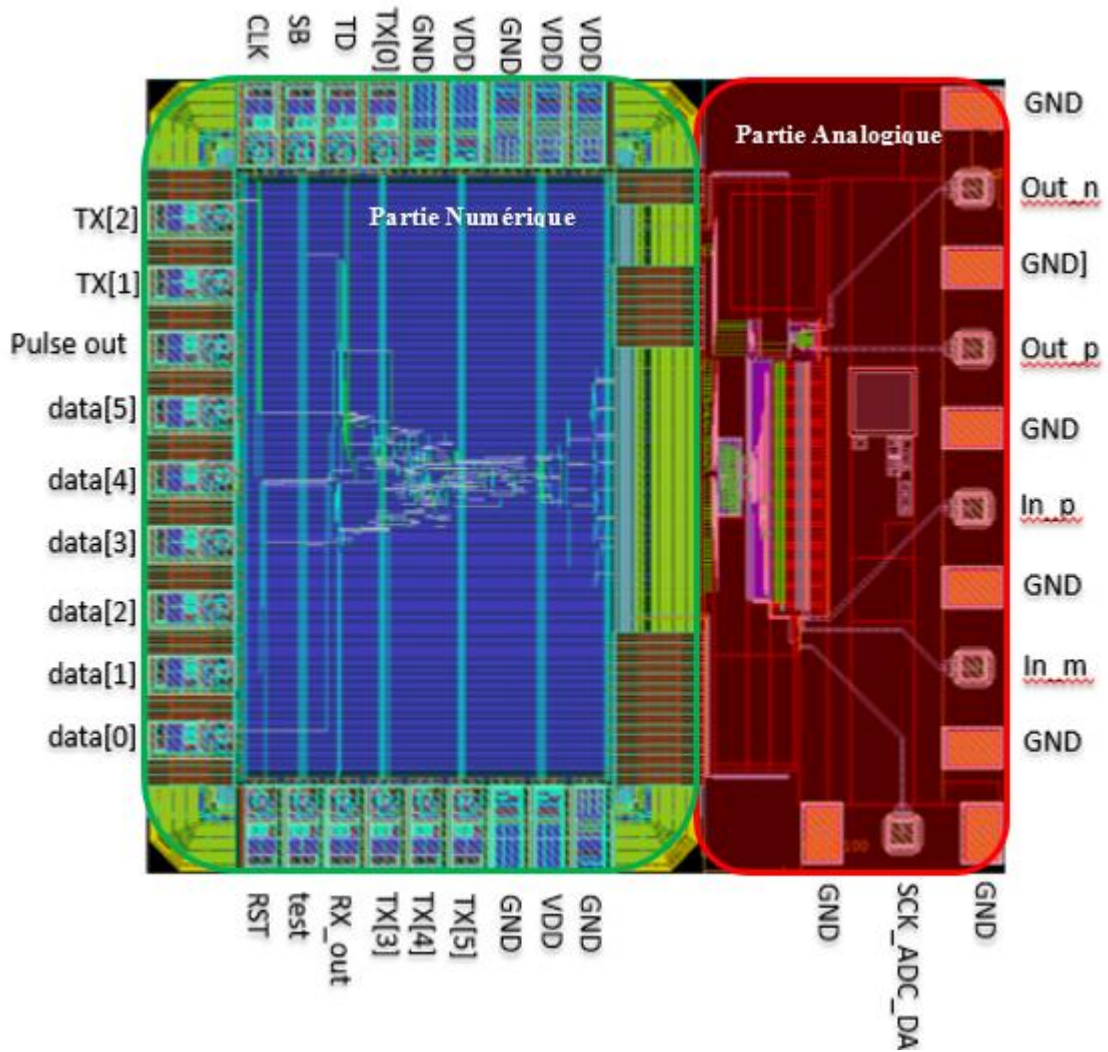
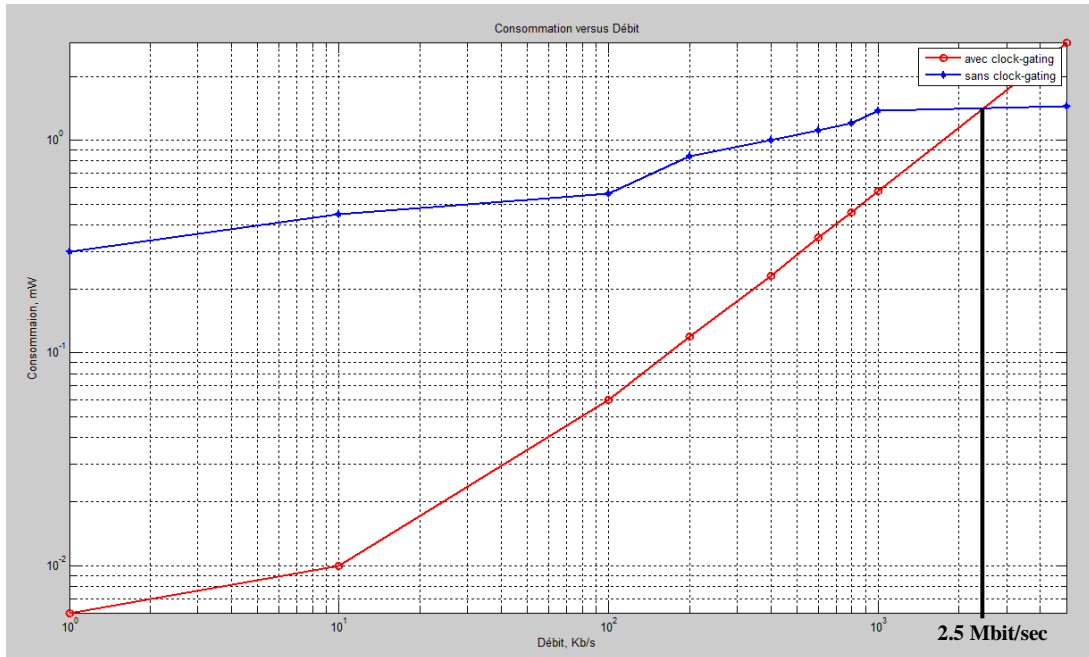


Figure IV-11: Layout final de l'ASIC de l'émetteur-récepteur IR-UWB

#### IV.5. Résultats de simulation

En utilisant l'outil de réalisation de dessin de masque proposé par la plateforme CADENCE, nous avons pu obtenir les résultats de simulation pour la consommation en fonction du débit. Ces résultats sont représentés sur la figure IV.12 pour les deux systèmes. En bleu est représentée la consommation en fonction du débit pour le design sans la solution de *clock-gating* et en rouge celle du système conçu en intégrant cette amélioration. Comme on peut le constater, l'implémentation de la solution de *clock-gating* a permis d'obtenir une grande amélioration en termes de consommation d'énergie, et ce, beaucoup plus dans le cas de débits faibles que pour les débits élevés. Comme on peut le voir cette solution permet d'obtenir une grande performance jusqu'à un débit de 2,5Mb/s et au-delà de cette valeur la solution implémentée devient moins avantageuse.



**Figure IV-12: Consommation d'énergie en fonction du débit**

#### IV.6. Setups de mesure et résultats

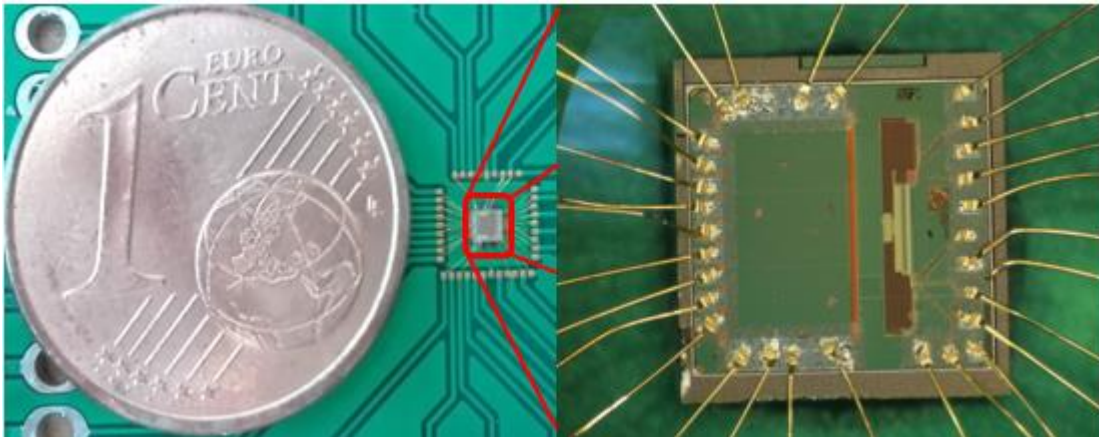
Cette section décrit le banc de mesure pour tester et caractériser la puce ASIC conçue. En considérant l'architecture de système proposée, de différentes épreuves multiples sont nécessaires pour caractériser le système correctement. Effectivement, la bande de base est composée de :

- un ADC et un DAC pour connecter la partir *frontend RF* analogique avec la bande de base logique numérique.
- un transmetteur IR-UWB et un récepteur IR-UWB incluant la solution de *clock-gating* pour une meilleur efficacité énergétique.

##### IV.6.1. Caractérisation avec *wire bonding*

Dans un premier temps, nous avons essayé de tester la puce ASIC en créant une plateforme de test sur PCB sur laquelle nous avons intégré la puce ASIC en faisant des connexions en *wire bonding* afin de rendre les Pads d'E/S plus accessibles et faciliter la tâche de mesure. Étant donnée une conception miniaturisée au maximum, notre design est limité par la taille des pads car il y a un espacement très faible entre ceux-ci, de l'ordre de 10  $\mu\text{m}$ , ce qui a rendu le *wire bonding* très difficile à mettre en place voire impossible sans avoir des

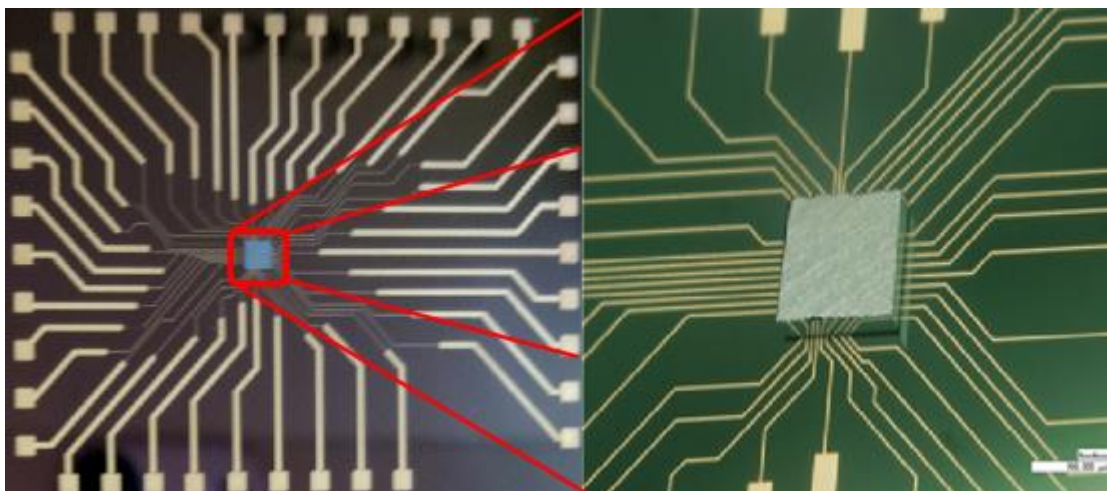
court-circuits entre les pads de l'ASIC.



*Figure IV-13 Puce ASIC sous wire bonding*

#### **IV.6.2. Caractérisation avec Flip-chip**

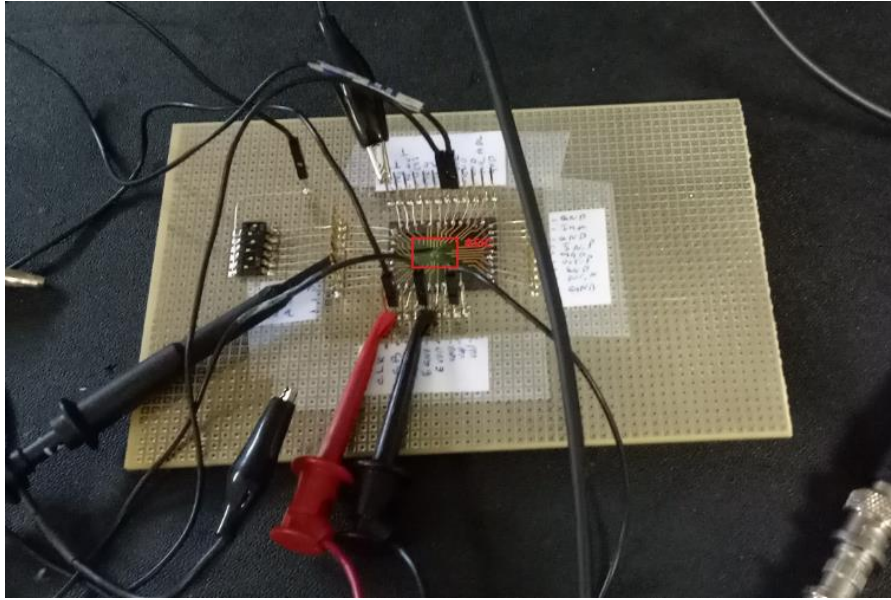
Etant la solution de *wire bonding* très difficile à mettre en place avec les outils de la plateforme caractérisation du LAAS-CNRS, nous avons opté pour une autre solution qui est le flip-chip qui consiste à intégrer notre puce sur un circuit fabriqué sur silicium en salle blanche de LAAS-CNRS. Ce processus permet d'avoir une grande précision sur les connexions des pads d'E/S de l'ASIC et donc une meilleure connexion pour la caractérisation de l'ASIC (Figure IV-14)



*Figure IV-14: Puce ASIC en Flip-Chip*

Si les mesures confirment les performances attendues et obtenues en simulation, alors

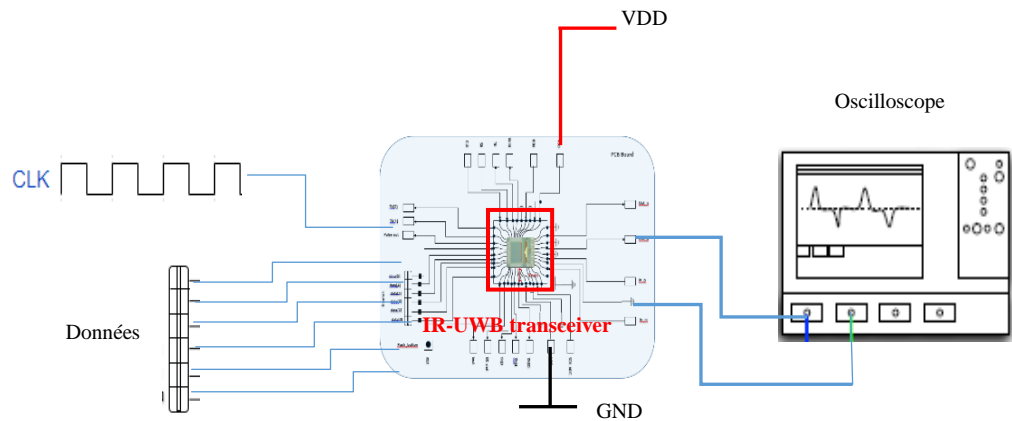
la bande de base numérique proposée dépassera l'état de l'art des émetteurs IR-UWB reconfigurables, en termes de taille et de consommation énergétique [44] [45] [46] [47] [48] [49] [50] [51] [52] [53]. La référence [41] est celle qui atteint le plus haut débit (100 Mbits/s) de l'état de l'art des émetteurs IR-UWB reconfigurables.



*Figure IV-15: Banc de test de l'ASIC*

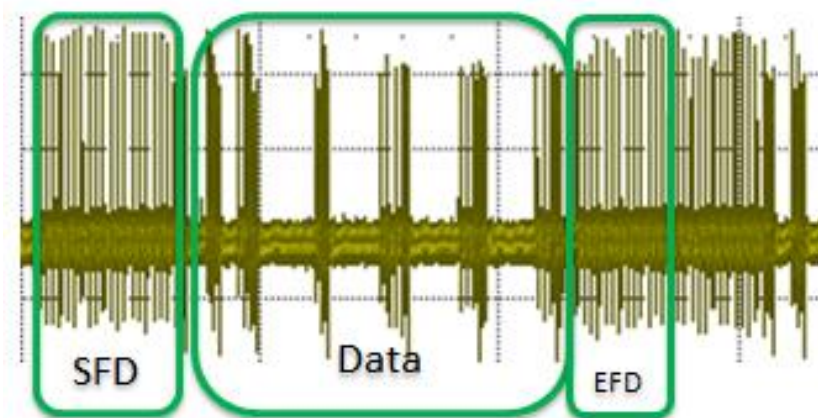
#### **IV.6.2.1. Teste de fonctionnement**

Afin de tester le fonctionnement de notre circuit, on monte le banc de test illustré sur la figure IV-16, Le générateur de tension fournit les alimentations pour les deux parties numérique et analogique (*A/D converters*) avec une tension  $V_{DD}=1,2$  V, un générateur de fréquence fournit le signal d'horloge pour notre circuit, ensuite, on peut observer le signal émis à la sortie de DAC sur l'oscilloscope (*LeCroy SDA 813Z*).



**Figure IV-16: Banc de test fonctionnel du circuit**

La figure IV-17 montre la trame de données envoyées en sortie de la puce ASIC, il s'agit d'une modulation OOK avec un temps de pulse égale à 1 ns ce qui offre une bande passante de  $1/T_p = 1\text{GHz}$ .



**Figure IV-17: Données envoyées avec une modulation OOK**

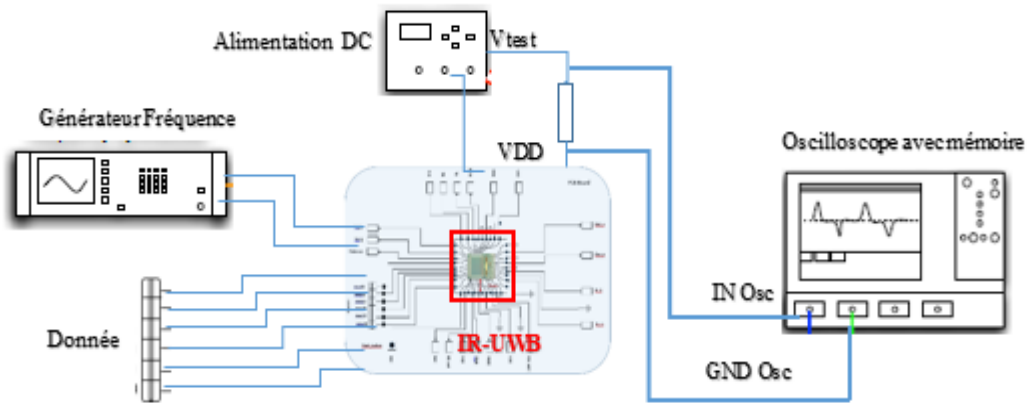
#### IV.6.2.2. Teste de consommation

Dans cette partie, on va présenter le banc de test que nous avons mis en place pour la mesure de consommation de notre émetteur-récepteur IR-UWB, pour cela nous avons utilisé l'oscilloscope (LeCroy SDA 813Zi) (Mise en forme problématique) pour faire une mesure différentielle de tension aux bornes d'une résistance de 10hm mise en série à l'entrée de notre circuit et ainsi pouvoir visualiser cette tension qui est l'image du courant consommé par le circuit (d'après la loi d'Ohm :  $V=R*i$ ).

La mesure de consommation se fait en utilisant une résistance shunt de 1 Ohm en

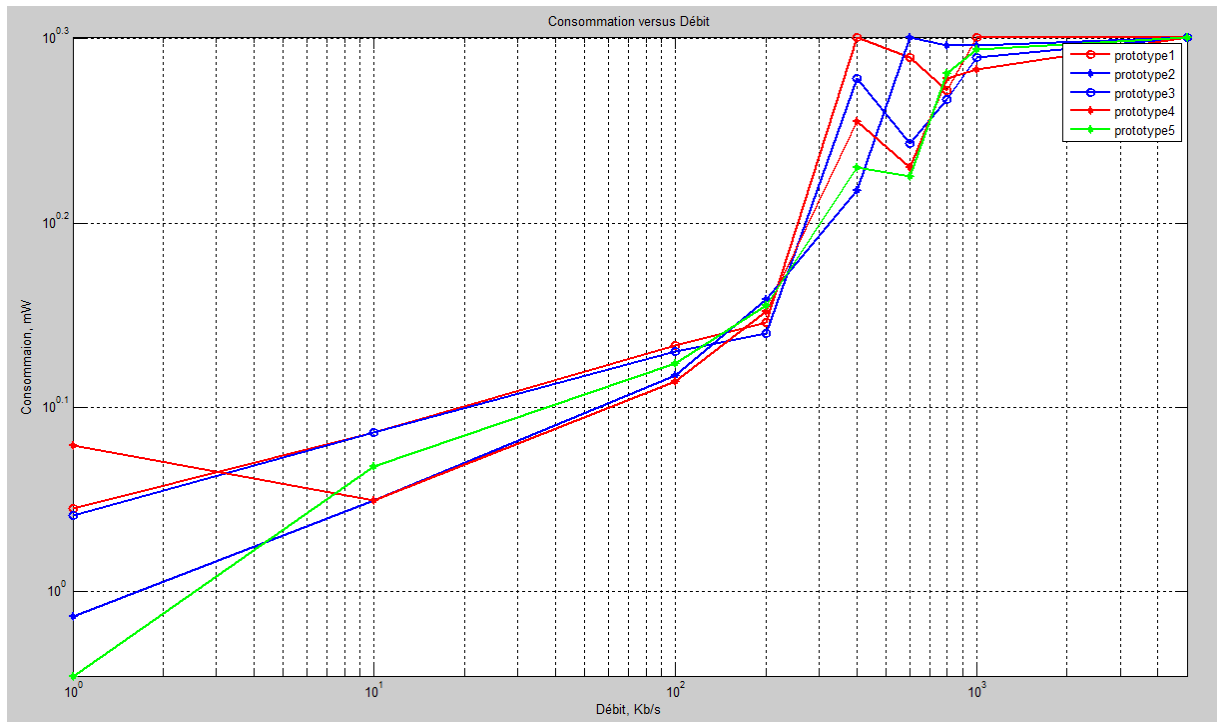


entrée du VDD du circuit. Le courant consommé étant de l'ordre de 1mA la chute de tension entre l'alimentation et le pin VDD sera de l'ordre de 1 mV. Cette chute de tension n'affectera pas l'alimentation du circuit qui est de 1,2V. A l'aide de l'oscilloscope (LeCroy SDA 813Zi) nous observons la variation de courant consommé aux bornes de la résistance shunt et nous calculons ensuite la puissance consommée. La mesure de consommation est faite pour 5 prototypes d'émetteur-récepteur IR-UWB.



*Figure IV-18: Banc de test de la consommation de circuit*

Les résultats obtenus pour le test de 5 prototypes sont représentés dans la figure IV-19, on constate que nous avons pratiquement les mêmes valeurs de consommation qui augmentent en fonction de débit défini. Donc suivant les contraintes imposées par l'utilisateur, on peut choisir le débit adapté en prenant en considération la consommation souhaitée et ainsi s'assurer que l'application ciblée répond aux exigences.



**Figure IV-19: Consommation de l'ASIC en fonction du débit**

**Tableau IV-1: Comparaison avec les travaux existants**

Performance	Bande de fréquence	Débit de donnée (kbps)	Puissance TX+RX (mW)	TX+RX efficacité en puissance (nJ/b)	Taille du circuit	Technologie de fabrication
[11]	402-405Mhz	200	NA	24,5+54	NA	NA
[12]	900Mhz	1000	NA	9,1+2,6	NA	NA
[13]	3-5 Ghz	850	NA	3,3+3,3	1,44mm <sup>2</sup>	065nm CMOS
[14]	3-5 Ghz	1000	NA	NA+2,18	NA	90nm CMOS
[15]	0-960 Mhz	630-1300	NA	2,4-4,9	4,52mm <sup>2</sup>	0,13 μm CMOS
IEEE 802.15.4 [16]	NA	250	16+11	64+44	NA	NA
IEEE 802.11 [17]	NA	11000	1410+1490	135+128	NA	NA
[24]	NA	100	12,92	2.5	NA	90nm CMOS
[25]	3-5	50000	1,2+13,2	0,15* (* :nJ/Pulse)	4mm <sup>2</sup>	0,13 μm CMOS
<b>Ce Travail</b>	<b>1Ghz</b>	<b>100 à 5000</b>	<b>3,4 à 4,14</b>	<b>0,82 à 3,86</b>	<b>1mm<sup>2</sup></b>	<b>065nm CMOS</b>

Le tableau VI.1 illustre où se situe notre travail par rapport à l'état de l'art. On peut voir que pour un faible débit, qui est une contrainte imposé par le cahier de charge du projet, ce travail présente une bonne efficacité énergétique par rapport aux l'émetteurs-récepteurs déjà existants. De plus, ce travail offre une grande miniaturisation du circuit en réalisant un système ASIC avec une technologie assez avancée, la CMOS 65nm de ST Microelectronics.

D'après les travaux réalisé dans le cadre de cette de thèse, si nous voulons respecter les contraintes du projet SMARTER et rester sur un faible débit, nous avons conçu le système avec le moins de puissance consommée, soit 3,4 mW, et donc le meilleur en se référant aux

---

circuits existants. Par contre, en termes d'efficacité énergétique, notre circuit est peut-être moins bon que [25] qui possède une efficacité énergétique de 0,15 nJ/Pulse. Toutefois, nous avons un débit plus bas et notre quantification de l'efficacité énergétique se base sur une mesure au niveau bit, et non au niveau d'un pulse (beaucoup plus court, et ne prenant pas en compte les puissances perdues par le système). En débit maximum de 5 Mbps nous améliorons significativement l'efficacité énergétique avec une augmentation allant jusqu'à 4,14 mW mais toujours en restant meilleurs comparativement à l'existant.

En termes de taille de circuit, on constate bien que nous sommes largement plus compactes que les systèmes définis par l'état de l'art, et ce en offrant un circuit émetteur-récepteur de  $1\text{mm}^2$  qui respecte bien le cahier de charge du projet et qui permet une implémentation simplifiée de nœud de capteur sans fil sur des substrats souples facile à déployé sur des surfaces courbées.

---

#### **IV.7. Conclusion**

Le prototype ASIC CMOS 65 nm présenté dans ce chapitre procure de grandes performances en termes de consommation. Sur ce critère, il améliore l'état de l'art des émetteurs-récepteurs IR-UWB. Comme montré dans ce chapitre, l'émetteur-récepteur ASIC IR-UWB a une consommation totale moyenne inférieure à 1mW pour les basses fréquences, et il peut atteindre 4.14 mW de consommation pour une fréquence et un débit élevés, avec un temps d'impulsion  $T_p = 1\text{ns}$  et un débit des données configurable entre 10kbps et 5Mbps. L'efficacité énergétique de l'émetteur-récepteur IR-UWB est de 0.8nJ/b pour un débit de 5 Mbps et elle est d'environ 3,86 nJ/b pour un faible débit. La consommation d'énergie est plus importante sur la partie récepteur que sur la partie de transmetteur en raison de la complexité du design du récepteur par rapport au design du transmetteur.

---

## *Conclusion générale*

Le travail présenté dans cette thèse s'est concentré à améliorer les performances d'un émetteur-récepteur IR-UWB destiné aux réseaux de capteurs sans fil autonomes pour des applications de surveillance des structures (SHM) en termes d'efficacité énergétique et de taille. Une telle amélioration est très bénéfique pour de telles applications. Le système de communication proposé est basé sur la technique de modulation Impulse Radio Ultra Wide Band, qui a déjà été utilisé auparavant au sein de notre équipe de recherche. Le cahier de charge du projet SMARTER nous a fixé quelque contrainte comme le débit, l'efficacité énergétique et la taille de système.

Le système d'émetteur-récepteur IR-UWB est destiné à des applications qui ne nécessitent pas un grand débit de communication, suite à cela nous avons décidé de travailler dans un débit de quelque Kbps. Dans les travaux de recherche présentés dans ce manuscrit, nous nous sommes beaucoup plus concentré sur la contrainte d'efficacité énergétique qui vise à concevoir un système à très faible consommation destiné aux réseaux de capteurs sans fil autonomes qui peuvent fonctionner sur une durée de temps très grande ou être alimenté par un système de récupération d'énergie, et dans ce cas nous pouvons nous passer de l'utilisation d'une batterie.

Dans ces travaux de recherche nous avons présenté l'architecture de l'émetteur-récepteur IR-UWB utilisée pour développer un design faible consommation dédié aux réseaux de capteurs sans fil autonomes. Nous avons développé un émetteur-récepteur IR-UWB basé sur une modulation OOK utilisant une approche *mostly digital* qui offre l'avantage d'une architecture prête à être intégrée avec la couche MAC. Nous avons pu illustrer un design d'émetteur-récepteur IR-UWB à basse consommation incluant une solution permettant de réduire la consommation d'énergie basée sur la technique de *clock-gating*.

Une nouvelle amélioration a été proposée, elle se nomme *clock-gating*, et permet de diminuer et d'atteindre une faible consommation électrique, ce qui est la contrainte la plus forte pour un émetteur-récepteur destinés aux réseaux de capteurs sans fil autonomes. Nous atteignons un grand gain en termes de consommation électrique qui est d'environ 50 %, obtenu en mettant en œuvre la technique de *clock-gating* sur le prototype d'émetteur-récepteur IR-UWB sur FPGA.

---

La conception d'un système ASIC à base de la technologie CMOS 65 nm présenté dans ce manuscrit offre de grandes performances en termes de consommation et de taille. Sur ces critères, ils améliorent l'état de l'art des émetteurs-récepteurs IR-UWB. Comme montré, l'émetteur-récepteur IR-UWB sur ASIC a une consommation totale moyenne inférieure à 3mW pour les basses fréquences, et il peut atteindre 4.14 mW pour une fréquence et débit plus élevée, un temps d'impulsion  $T_p = 1\text{ns}$  et un débit des données configurable entre 10kbps et 5Mbps. L'efficacité énergétique de l'émetteur-récepteur IR-UWB est d'environ 3,86 nJ/b pour un débit faible et on atteint une efficacité de 0.8 nJ/b pour un débit maximum de 5Mbps. La consommation d'énergie est plus importante sur la partie récepteur que sur la partie de transmetteur en raison de la complexité du design de récepteur par rapport à celui du transmetteur. Notre prototype ASIC fait 1x1mm, une taille qui facilite énormément l'intégration sur n'importe quels types de surface, qu'elle soit plate ou courbée, ainsi que l'intégration sur d'autres types de substrat autre que le PCB ou le silicium comme par exemple les substrats souples qui offrent l'avantage de pouvoir intégrer tous les composants du circuit et de placer l'ensemble sur des surfaces courbées.

---

## Références

- [1] D. N. C. Tse and P. Viswanath, *Fundamentals of Wireless communications*. Cambridge, U.K.: Cambridge Univ. Press, 2005.
- [2] J. D. PARSONS, *The Mobile Radio Propagation Channel*, Chichester :Wiley, 2000.
- [3] M.E. Sahin et H. Arslan, “Inter-symbol interference in high data rate UWB communications using energy detectors receivers”, *IEEE International Conference on Ultra-Wideband*, pp. 176 – 179, Septembre 2005.
- [4] Z. Liu et al., “FSLC equalization receiver for IR-UWB system in indoor environment”, *International Conference on Wireless Communications and Signal Processing*, pp. 1 – 4, Novembre 2009.
- [5] H. Sato et T. Ohtsuki, “Frequency domain channel estimation and equalisation for direct sequence – ultra wideband (DS-UWB) system”, *IEE Proceedings Communications*, vol. 153, n° 1, pp. 93 – 98, Février 2006.
- [6] Pascal Pagani. *Caractérisation et modélisation du canal de propagation radio en contexte Ultra Large Bande*. Autre. INSA de Rennes, 2005. Français.
- [7] Aubin Lecointre. *Interface Radio IR-UWB Reconfigurable pour les Réseaux de Microsystèmes Communicants*. PhD thesis, Université de Toulouse / INSA/ LAAS-CNRS, 2010.
- [8] D. BATEMAN, « RF aspects of ultra-wideband », in *International Workshop on Ultra Wideband Systems*, Oulu, Finland, juin 2003.
- [9] Centenaro, M.; Vangelista, L.; Zanella, A.; Zorzi, M. Long-range communications in unlicensed bands: The rising stars in the IoT and smart city scenarios. (Accessed on 16 May 2016).
- [10] Florian Perget. *D\_eveloppement de r\_eseaux de capteurs de nouvelle generation pour la surveillance de structures aeronautiques*. PhD thesis, Université de Toulouse / INSA/ LAAS-CNRS, 2010.
- [11] Centenaro, M.; Vangelista, L.; Zanella, A.; Zorzi, M. Long-range communications in unlicensed bands: The rising stars in the IoT and smart city scenarios. (Accessed on 16 May 2016).
- [12] Yacine CHALLAL. “Réseaux de capteurs sans fil “.



- 
- [13] Aubin Lecointre. Interface Radio IR-UWB Reconfigurable pour les Réseaux de Microsystèmes Communicants. PhD thesis, Université de Toulouse / INSA/ LAAS-CNRS, 2010.
- [14] Crepaldi, M.; Chen Li; Dronson, K.; Fernandes, J.; Kinget, P., "An Ultra-Low-Power interference-robust IR-UWB transceiver chipset using self-synchronizing OOK modulation," in Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International , vol., no., pp.226-227, 7-11 Feb. 2010.
- [15] Verhelst, M.; Van Helleputte, N.; Gielen, G.; Dehaene, W., "A reconfigurable, 0.13 $\mu$ m CMOS 110pJ/pulse, fully integrated IR-UWB receiver for communication and sub-cm ranging," in Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International , vol., no., pp.250-251,251a, 8-12 Feb. 2009.
- [16] V. S. Somayazulu et al., "Design challenges for very high data rate UWB systems", Conference Record of the Thirty-Sixth Asilomar Conference on Signals, Systems and Computers, pp. 717-721, Novembre 2002.
- [17] S. R. Aedudodla, et al., "Timing acquisition in ultra-wideband communications systems", IEEE Transactions on Vehicular Technology, vol. 54, no. 5, September 2005.
- [18] A. Lecointre et al., "Design and hardware implementation of a reconfigurable mostly digital IR-UWB radio", Romanian Journal of Information Science and Technology (ROMJIST), vol. 11, n° 4, 2008.
- [19] Namjun Cho; Joonsung Bae,; Hoi-Jun Yoo, "A 10.8 mW Body Channel Communication/MICS Dual-Band Transceiver for a Unified Body Sensor Network Controller," in Solid-State Circuits, IEEE Journal of , vol.44, no.12, pp.3459-3468, Dec. 2009.
- [20] Daly, D.C.; Chandrakasan, A.P., "An Energy-Efficient OOK Transceiver for Wireless Sensor Networks," in Solid-State Circuits, IEEE Journal of , vol.42, no.5, pp.1003-1011, May 2007.
- [21] Sanghoon Joo; Wu-Hsin Chen; Tae-Young Choi; Mi-Kyung Oh; Joo-Ho Park; Jae-Young Kim; Byunghoo Jung, "A fully integrated 802.15.4a IR-UWB Transceiver in 0.13 $\mu$ m CMOS with digital RRC synthesis," in Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International , vol., no., pp.228-229, 7-11 Feb. 2010.

- 
- [22] Crepaldi, M.; Chen Li; Dronson, K.; Fernandes, J.; Kinget, P., "An Ultra-Low-Power interference-robust IR-UWB transceiver chipset using self-synchronizing OOK modulation," in Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International , vol., no., pp.226-227, 7-11 Feb. 2010.
- [23] Verhelst, M.; Van Helleputte, N.; Gielen, G.; Dehaene, W., "A reconfigurable, 0.13 $\mu$ m CMOS 108pJ/pulse, fully integrated IR-UWB receiver for communication and sub-cm ranging," in Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International , vol., no., pp.250-251,251a, 8-12 Feb. 2009
- [24] A.P. Chandrakasan, F.S. Lee, D.D.Wentzloff, V. Sze, B.P. Ginsburg, P.P. Mercier, D.C. Daly, and R. Blazquez. "Low-Power Impulse UWB Architectures and Circuits." In: Proceedings of the IEEE 97.2 (Feb. 2009), pp. 332–352. issn: 0018-9219. doi: 10.1109/JPROC.2008.2008787 (cit. on pp. 96, 97).
- [25] Lingli Xia, Ke Shao, Hu Chen, Yumei Huang, Zhiliang Hong, and P.Y. Chiang. "0.15-nJ/b 3-5-GHz IR-UWB System With Spectrum Tunable Transmitter and Merged-Correlator Noncoherent Receiver." In: IEEE Transactions on Microwave Theory and Techniques 59.4 (Apr. 2011), pp. 1147–1156. issn: 0018-9480. doi: 10.1109/TMTT.2011.2114193 (cit. on pp. 96, 97).
- [26] R. Blazquez et al. "Direct conversion pulsed UWB transceiver architecture", Proceedings of Design Automation and Test in Europe, vol. 3, pp. 94-95, Mars 2005.
- [27] I. O'Donnell, et al., "An Integrated, Low-Power, Ultra-Wideband Transceiver Architecture for Low-Rate Indoor Wireless Systems", IEEE Circuit and System Workshop on Wireless Communications and Networking, Pasadena, 2002.
- [28] R. Blazquez et al., "A baseband processor for impulse ultra-wideband communications", IEEE Journal of Solid-State Circuits, vol. 40, n°9, Septembre 2005.
- [29] R. Blazquez, et al., "Digital architecture for an ultra-wideband radio receiver", 58ème IEEE Vehicular Technology Conference, vol. 2, pp. 1303 – 1307, Octobre 2003.
- [30] C. Krall, et al., "Time-interleaved digital-to-analog converters for UWB signal generation", IEEE International Conference on Ultra-Wideband, IEEE ICUWB, pp. 366 -371, Septembre 2007.

- 
- [31] D. Baranauskas et D. Zelenin, “A 0.36W 6b up to 20GS/s DAC for UWB wave formation”, International Solid-State Circuits Conference, pp. 2380 – 2389, Février 2006.
- [32] Xilinx, “Virtex-5 FPGA user guide”, Xilinx, version 5.2, Novembre 2009.
- [33] M. Anis et al., “A 400uW 10 Mbits/s CMOS UWB impulse radio transmitter for wireless sensor networks”, IEEE International Conference on Ultra-Wideband, ICUWB 2008, vol. 2, Septembre 2008.
- [34] S. Sim, et al., “A CMOS UWB pulse generator for 6-10 GHz applications”, IEEE Microwave and Wireless Components Letters, vol. 19, n°2, Février 2009.
- [35] B. Qin, et al. “A programmable 1.8pJ/pulse Gaussian pulse generator for impulse UWB transceiver in 90 nm CMOS”, Proceedings of the 4th international conference on Radio and wireless symposium, pp. 471- 474, 2009.
- [36] Y. Bachelet et al., “Fully integrated CMOS UWB pulse generator”, Electronics Letters, vol. 42, n° 22, Octobre 2006.
- [37] R. Blazquez et al. “Direct conversion pulsed UWB transceiver architecture”, Proceedings of Design Automation and Test in Europe, vol. 3, pp. 94-95, Mars 2005.
- [38] R. Xu et al. “Power efficient switching-based CMOS UWB transmitters for UWB communications and radar systems”, IEEE Transactions on microwave theory and techniques, vol. 54, n°8, Août 2006.
- [39] S. Diao et al., “A CMOS ultra low-power and highly efficient UWB-IR transmitter for WPAN applications”, IEEE Transactions on Circuits and Systems II Express Briefs, vol. 56 n° 3, Mars 2009.
- [40] T.A. Phan et al., “A 18-pJ/pulse OOK CMOS transmitter for multiband UWB impulse radio”, IEEE Microwave and Wireless Components Letters, vol. 17, n° 9, Septembre 2007.
- [41] A. T. Phan et al., “Energy-efficient low-complexity CMOS pulse generator for multiband UWB impulse radio”, IEEE Transactions on Circuits and Systems I Regular Papers, vol. 55, n° 11, Décembre 2008.

- 
- [42] B. Benamrouche, A. Rumeau and D. Dragomirescu, "Ultra-low power IR-UWB transceiver for wireless sensors network," 2017 International Semiconductor Conference (CAS), Sinaia, 2017, pp. 285-288.
- [43] Thomas Beluch. "HIGH PRECISION SYNCHRONIZED MAC-PHY CROSSLAYER DESIGNED WIRELESS SENSOR NETWORKS." PhD thesis. INSA de Toulouse, Apr. 2013. url: <https://tel.archives-ouvertes.fr/tel-00849287> (visited on 11/06/2014) (cit. on pp. 62, 64, 68).
- [44] I. O'Donnell, et al., "An Integrated, Low-Power, Ultra-Wideband Transceiver Architecture for Low-Rate Indoor Wireless Systems", IEEE Circuit and System Workshop on Wireless Communications and Networking, Pasadena, 2002.
- [45] A. Tanaka et al., "A 2.88Gb/s digital hopping UWB transceiver", IEEE International Solid-State Circuits Conference, IEEE ISSCC, pp. 318 - 320, Février 2009.
- [46] J. Zhang, et al., "A fully integrated CMOS UWB transmitter", 7th International Conference on ASIC, ASICON, pp. 372 - 374, Octobre 2007.
- [47] D. Wentzloff et A. Chandrakasan, "A 47pJ/pulse 3.1-to-5GHz all-digital UWB transmitter in 90nm CMOS", IEEE International Solid State Circuits Conference, IEEE ISSCC, pp. 118-119, Février 2007.
- [48] Y. Vanderperren et al., "A reconfigurable pulsed UWB receiver sampling below nyquist rate", IEEE International Conference on Ultra-Wideband, IEEE ICUWB, vol. 2, pp. 145-148, Septembre 2008.
- [49] R. Naik, J. Singh, H. P. Le and J. Devlin, "Real time reconfigurability for UWB receiver", IEEE International Conference on Ultra-Wideband, IEEE ICUWB, vol. 1, pp. 137-140, Septembre 2008.
- [50] C. Anderson et J. Reed, "A software defined ultra wideband communication system testbed", Virginia Space Grant Consortium Student Research Conference, 2006.
- [51] I. D. O'Donnell, et R. W. Brodersen, "An ultra-wideband transceiver architecture for low power, low rate, wireless systems", IEEE Transactions on Vehicular Technology, vol. 54, no. 5, Septembre 2005.
- [52] I. D. O'Donnell and R. Brodersen, "A flexible, low power, DC-1GHz impulse-UWB transceiver frontend", IEEE International Conference on Ultra-Wideband, IEEE ICUWB, pp. 275-279, Septembre 2006.

- 
- [53] M. Verhelst, J. Ryckaert, Y. Vanderperren, and W. Dehaene, "A low power, reconfigurable IR-UWB system", IEEE International Conference on Communications, IEEE ICC, pp. 3770-3774, Mai 2008.

---

# *Publications*

## **Conférence internationale**

- B. Benamrouche, D. Dragomirescu, “Energy efficient IR-UWB transceiver for autonomous wireless sensor network”, Proceedings of the Second International conference on Internet of things, Data and Cloud Computing (ICC’17), Cambridge, United Kingdom, Article 129, P 1-4, 2017.
- B. Benamrouche, A. Rumeau and D. Dragomirescu, "Ultra-low power IR-UWB transceiver for wireless sensors network," 2017 International Semiconductor Conference (CAS), Sinaia, 2017, pp. 285-288.

## **Poster international**

- B. Benamrouche, D. Dragomirescu, “Energy Efficient IR-UWB Wireless Communication Architecture for Wireless Sensor Networks”, Summer School on Cyber Physical Systems, INSA Toulouse, France, Juin 2015.

## **Journée école doctorale GEET**

- B. Benamrouche, D. Dragomirescu, “Emetteur-Récepteur IR-UWB à basse consommation pour les réseaux de capteurs sans fil autonome”, Journée CONGRES école doctorale GEET, Mars 2017.

## **Livrables Projet Européen SMARTER**

- JM. Dilhac, M. Bafleur, D. Dragomirescu, B. Benamrouche et al : Livrable projet européen SMARTER, Mars 2016.