HAL
open science

Conception d'un circuit electonique pour la récupération d'énergie électromagnétique en technologie FDSOI 28 nm

Mohamad Awad

To cite this version:

Mohamad Awad. Conception d'un circuit electonique pour la récupération d'énergie électromagnétique en technologie FDSOI 28 nm. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2018. Français. NNT : 2018GREAT060 . tel-01979987

HAL Id: tel-01979987

https://theses.hal.science/tel-01979987v1

Submitted on 14 Jan 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Communauté UNIVERSITÉ Grenoble Alpes

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nanoélectronique et Nanotechnologies**

Arrêté ministériel : 25 mai 2016

Présentée par

Mohamad AWAD

Thèse dirigée par **Philippe BENECH** et
codirigée par **Jean-Marc DUCHAMP**

préparée au sein du **l'Institut de la Microélectronique Electromagnétisme et Photonique - Laboratoire d'Hyperfréquences et de Caractérisation (IMEP-LaHC)**
dans **l'École Doctorale Électronique, Électrotechnique, Automatique et Traitement du Signal.**

Conception d'un circuit électronique pour la récupération d'énergie électromagnétique en technologie FDSOI 28 nm

Thèse soutenue publiquement le **20 Septembre 2018**,
devant le jury composé de :

Mme. Valérie VIGNERAS
Professeur des universités, Bordeaux, Présidente
M. Bruno ALLARD
Professeur des universités, Lyon, Rapporteur
M. Hervé BARTHÉLEMY
Professeur des universités, Toulon, Rapporteur
Mme. Estelle LAUGA-LARROZE
Maître de conférences, Grenoble, Examinatrice
M. Patrick BLOUET
Ingénieur et chef de projet, STMicroelectronics, Membre invité
M. Philippe BENECH
Professeur des universités, Grenoble, Directeur de thèse
M. Jean-Marc DUCHAMP
Maître de conférences, Grenoble, Co-encadrant de thèse

Remerciements

Je tiens à exprimer ma profonde gratitude et mes sincères remerciements à mon directeur de thèse, Professeur Philippe Benech, et à mon codirecteur de thèse, Jean-Marc Duchamp, qui m'ont encadré tout au long de cette thèse et qui m'ont fait parts de leurs brillantes intuitions. Qu'ils soient aussi remerciés pour leur gentillesse, leur disponibilité permanente, leur suivi, leur bonne humeur, leur soutien surtout aux moments les plus difficiles et pour les nombreux encouragements qu'ils m'ont prodigués. Jean-Marc, merci pour ton support autant au niveau scientifique qu'au niveau personnel et pour ton sourire et tes blagues durant les réunions.

Je remercie les membres de jury, notamment Madame Valérie Vignéras, Professeur à l'université de Bordeaux, d'avoir être le président de jury, Monsieur Bruno Allard, Professeur à l'université de Lyon et Monsieur Hervé Barthélemy, Professeur à l'université de Toulon, pour avoir accepté d'être rapporteurs de cette thèse. Je vous remercie pour vos remarques et conseils précieux. Merci à Estelle Lauga-Larroze, Maître de conférences à l'université Grenoble Alpes, d'avoir été examinateur de ma thèse. Je te remercie aussi pour ton encouragement durant ma thèse.

Je tiens à remercier tous les membres permanents de l'IMEP-LaHC, notamment, Estelle et Sylvain pour l'opportunité que vous m'avez offerte pour la réalisation des circuits en technologie BiCMOS et pour vos supports durant ma thèse. Nicolas Corrao, le monstre de la plateforme HOC, grand merci pour ton aide durant mes manipulations. Jean-Michel Fournier, merci pour ton aide et tes conseils surtout au début de ma thèse. Et bien sûr un grand merci au secrétariat pour leur sympathie et leur gentillesse. Je remercie aussi le projet Things2do qui a financé la thèse et le responsable de ce projet dans le laboratoire Professeur Emil Novakov.

Ali Azim, c'était un grand plaisir que tu sois mon compagnon de bureau durant ces trois années. Je te remercie pour ton soutien et ton aide surtout au niveau de l'anglais et l'amélioration des articles. Hamza, Nisrine, Robert, Thibauld, Victoria, vous étiez les visiteurs permanents de mon bureau. Issac, Anh Tu, Médéric, Guisseppe (le pire des Italiens), merci pour les matchs de basket dans le bureau où le Libanais été toujours le champion. Habib, Ali, Licinius, Dimitris, Aggeliki, Matthieu, Romain, Furat je vous remercie pour la bonne ambiance de travail mais également pour les nombreux bons moments passés ensembles.

Pendant mes trois années Rhone-Alpines, j'ai eu la chance de trouver une nouvelle famille, Firas, Rida et Fatima et leurs enfants, Mohamad et Zeinab et leurs fils Youssef, Amanie, Mohamad, Abbas, Kassem, Habib, Ali, Nisrine, Victoria, Hassan, Abed, Hussein.

Mon père, ma mère, sans vous je n'aurais pas pu venir en France pour continuer mes études supérieures et arriver à ce stade. Je n'oublierai jamais vos larmes, vos sourires, vos conseils, vos motivations et vos prières. Vous étiez le soldat inconnu durant ce combat. Oui me voilà finalement docteur ingénieur comme vous l'avez toujours souhaité.

De plus, je remercie ma famille, Ali, Hanane, Andro, Julia, Hassan, Houssein, Youssef, Hafiza, Zaher, Manale, Dani, Reina, Marwan, Enas, Perla, Majd, Carla. Ainsi que Narimane, Amale, Najwa et leurs familles.

Finalement, et bien sûr, un grand grand merci à mon amour Zeinab, « ma source de joie, de succès et d'espoirs ! »...

Résumé

La récupération d'énergie est un thème de recherche prometteur qui explore un large éventail de sources. Parmi ces sources, on trouve l'énergie mécanique, thermique, électromagnétique, etc. Cette thèse se propose d'explorer des solutions techniques de récupération de l'énergie électromagnétique ambiante. Ce type d'énergie offre une belle opportunité pour participer à l'alimentation, partielle ou complète, d'un système de communication sans fil à basse consommation. Beaucoup d'applications intéressantes telles que les réseaux de capteurs sans fil (WSN), assurant ainsi l'IoT (internet-of-things), dans le domaine médical et dans la sécurité, sont dotés d'une antenne. Or cette antenne qui est un composant passif volumineux n'est utilisée qu'une faible fraction du temps pour les seules communications. Dans le cadre de la récupération d'énergie RF, l'idée est de mettre à profit ce composant pour glaner l'énergie électromagnétique ambiante, malgré la faible puissance récupérée. Associée à l'antenne, la récupération d'énergie RF est basée sur la mise en œuvre de diodes en redresseurs. Dans ce manuscrit, des diodes intégrées issues d'une technologie moderne : FDSOI 28 nm sont utilisées.

A l'issue de ces travaux, trois « runs » dont deux en technologie FDSOI ont pu être réalisés. Des convertisseurs d'énergie RF, du type Dickson, d'un et deux étages, ont été conçus et réalisés à l'aide de cette technologie, mesurés et même comparés à des convertisseurs RF-DC réalisés avec une autre technologie BiCMOS 55 nm. Les convertisseurs réalisés sont à l'état de l'art au niveau du rendement de conversion énergétique pour une puissance donnée de l'ordre de -20 dBm. La technologie FD-SOI offre un nouveau degré de liberté à l'aide de la polarisation de la grille arrière (BG : Back Gate). Cette polarisation du BG permet de modifier les paramètres de l'élément non-linéaire à la base de la conversion. Par ailleurs, une étude sur la réalisation d'une diode Schottky intégrée dans le processus de la FDSOI 28 nm a même été envisagée. A l'issue de ces premières expériences, une méthode d'optimisation de la conception de ces convertisseurs Dickson à partir d'un cahier des charges simplifiée, a été proposée.

Table des matières

Introduction générale 1
1 État de l'art sur la récupération d'énergie 4
1.1 Introduction 5
1.2 Architecture générale d'un système de récupération d'énergie 6
1.3 Différentes sources d'énergie 7
1.3.1 Énergie vibratoire mécanique 8
1.3.2 Énergie solaire 10
1.3.3 Énergie thermique 10
1.3.4 Énergie radiofréquence 11
1.4 Quel type d'énergie utiliser ? 12
1.5 Récupération d'énergie RF 15
1.5.1 Historique 16
1.5.2 Topologie des redresseurs 19
1.5.3 Principe de fonctionnement d'un multiplieur Dickson 23
1.5.4 Etat de l'art avec des diodes commerciales 24
1.5.5 État de l'art avec des technologies intégrées 26
1.6 Conclusion 32
Références 33
2 Technologies microélectroniques utilisables pour les convertisseurs d'énergie électromagnétique 40
2.1 Introduction 41
2.2 Diodes et technologies utilisées pour la récupération d'énergie RF 42
2.2.1 Diode Schottky 43
2.2.1.1 Introduction sur la diode Schottky 43
2.2.1.2 Contact Ohmique et contact Schottky 44
2.2.1.2.1 Contact Schottky 45
2.2.1.2.2 Contact Ohmique 46
2.2.2 Substrat sur silicium massif 47
2.2.3 Silicium sur isolant 50
2.3 FDSOI 28 nm 51
2.3.1 Plaques SOI 52
2.3.2 Processus de fabrication 53
2.3.3 Types des transistors 54

2.3.4 Effet de la grille arrière 56
2.4 Réalisation de SBD 57
2.4.1 SBD en utilisant la technologie 28 nm FDSOI 57
2.4.2 Simulation et optimisation du SBD 60
Références 68
3 Méthodologie d'optimisation d'un redresseur Dickson 72
3.1 Introduction 73
3.2 Paramètres de conception 74
3.2.1 Influence de la résistance de charge 77
3.2.2 Influence des nombres d'étage 80
3.2.3 Influence de la puissance d'entrée 82
3.3 Méthode de conception 84
3.3.1 Détermination du nombre d'étages *N* 85
3.3.2 Dimensionnement des transistors 86
3.3.3 Effet de l'impédance du générateur 87
3.4 Exemples de conception 90
3.4.1 Efficacité et tension de sortie en fonction de *N* et P_{in} 90
3.4.2 Comportement d'un redresseur optimisé à -20 dBm en fonction de P_{in} 92
3.5 Comparaison entre la FDSOI et la BiCMOS 95
3.6 Conclusions 96
Références 99
4 Conception, test et comparaison de redresseurs Dickson en technologies FDSOI 28 nm et BiCMOS 55 nm 101
4.1 Introduction 102
4.2 Choix et dimensionnement du transistor en FDSOI 104
4.2.1 Choix du type de transistor 104
4.2.2 Dimensionnement des transistors 105
4.3 Effet de polarisation de la grille arrière 107
4.4 Test sous pointe 109
4.4.1 Impédance d'entrée 109
4.4.2 Tension de sortie en fonction de la puissance d'entrée 111
4.4.3 Mesures et estimation du rendement de conversion en puissance pour un redresseur non adapté 114
4.5 FDSOI Vs. BiCMOS 117
4.5.1 Caractéristiques statiques 117
4.5.2 Conception du redresseur en BiCMOS 118

4.5.3 Performances des redresseurs 118
4.6 Conclusion 120
Conclusion générale : 122
Perspectives : 125
Annexe A 126
1.1 Travail de sortie 126
1.2 Affinité électronique 126
1.3 Contact Métal-Semi-Conducteur 127
1.4 Etat de l'art de la SBD en intégré 130
Références 132
Publications 134

Liste des abréviations

Abréviations	Sens technique
ALU	Arithmetic Logic Unit
BEOL	Back End Of Line : Empilement des couches en tehnologie intégrée
BG	Back Gate
BGP	BG Polarization
BiCMOS	Combinaison entre technologie bipolaire et technologie CMOS
BOX	Buried Oxide
CC	Cross-Coupled
CMS	Composant Monté en Surface
DBG	Dynamic BG
DC	Direct Current
DK	Design Kit
DUT	Design Under Test
EH	Energy Harvesting
ETSOI	Extremely Thick Silicon On Insulator
FDSOI	Fully Depleted Silicon On Insulator
GIDL	Gate Induced Drain Leakage
GP	Ground Plane
HB	Harmonic Balance
IoT	Internet of Things
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
LVT	Low Voltage Transistor
MIM	Metal Insulator Metal
MOM	Metal Oxyde Metal
MOS	Métal-Oxyde-Semi-conducteur
MPT	Microwave Power Transfer
N/P LVT	LVT de type N ou P
N/P RVT	RVT de type N-P
NLDD	LDD de type N
NMOS	Transistor MOS de type N

PCE	Power Conversion Efficiency
PDSOI	Partially Depleted Silicon On Insulator
PMOS	Transistor MOS de type P
PV	Photovoltaïques
RF	Radiofréquence
RVT	Regular Voltage Transistor (VT)
SBD	Schottky Barrier Diode
SBH	Schottky Barrier Height
Si	Silicon
SOI	Silicon On Insulator
SRAM	Static Random Acces Memory
STI	Short Trench Isulation
UTBB	Ultra Thin Body and BOX
Vdd	Tension d’alimentaion
Via	Interconnexion métallique entre deux couches
VNA	Vector Network Analyser : Analyseur de résaux vectoriels
WEH	Wireless Energy Harvesting
WET	Wireless Energy Transfer
WiFi	Wireless Fidelity
WSN	Wireless Sensor Network
ZCE	Zone de Charge d’Espace

Introduction générale

Grâce aux progrès conjoints, de la diminution de consommation énergétique, l'augmentation des performances des circuits intégrés, plus de 20 milliards de dispositifs de faible puissance interconnectés seront employés d'ici en 2020. Notre vie sera parsemée de capteurs connectés (WSN : Wireless Sensor Network) qui nécessitent une faible puissance pour communiquer des informations utiles, que ce soit pour le confort apportés aux personnes, pour la sécurité des biens et des personnes ou encore pour divers usages qui contribueront au confort des usagers. Le diagnostic et le contrôle, de la pollution, de l'éclairage public, des réseaux de transport, surveillance de la santé, etc… sont tous des applications potentielles où l'usage de réseaux de capteurs sans fil est requis. Par exemple, chaque année, des milliers d'incendies se produisent dans le monde, créant des dommages couteux et importants. Il est possible de réduire ce nombre si nous dispersons des capteurs sur les sites potentiels qui détectent assez tôt le démarrage d'un incendie en extérieur ou à l'intérieur d'un bâtiment.

L'énergie nécessaire à un capteur pour assurer ces fonctionnalités, est estimée à 3000 fois moins importante que celle d'un téléphone portable. Cependant, tous ces systèmes sont autonomes et ont besoin d'un élément de stockage de l'énergie comme une batterie. Le remplacement d'une batterie induit un surcout qui représente des milliards d'euros chaque année. En outre, c'est encore plus difficile sur les appareils médicaux, car il ne s'agit pas seulement de coûts, mais aussi des conséquences à cause de l'intervention chirurgicale. Dans le cas d'un pacemaker, chaque patient doit en moyenne subir au moins 3 interventions chirurgicales durant sa vie pour remplacer la batterie.

Grâce à la faible consommation des systèmes, et à la demande croissante d'autonomie de ces systèmes, la récupération d'énergie est devenue une voie d'exploration qui conduit à son utilisation croissante. Il est alors possible de créer un réseau entre un capteur et une entité maitresse grâce aux communications radio, ce qui conduit à la notion de réseaux de capteurs sans fil, afin d'extraire des données de leur environnement et de les traités créant ainsi l'internet des objets (IoT : Internet Of Things).

Le fonctionnement d'un réseau de capteurs sans fils (WSN) nécessite l'exploitation de toutes les sources d'énergie ambiante pour assurer l'autonomie de chaque capteur. Les sources énergétiques ambiantes, disponibles dans l'environnement, sont généralement renouvelables, et peuvent offrir suffisamment d'énergie pour différentes applications. Une conversion de

l'énergie mécanique, thermique, photovoltaïque, chimique, biologique ou radiofréquence, en énergie électrique utile, est possible en utilisant des convertisseurs spécifiques pour chaque type d'énergie. En effet, chaque source présente des caractéristiques temporelle ou fréquentielles différentes et devront être traitées en conséquence pour obtenir une tension continu après redressement ou mise en forme.

En l'absence de lumière, lorsque l'objet ne bouge pas ou lorsqu'il n'y a pas de gradient de température, le champ électromagnétique ambiant, même avec une amplitude extrêmement faible, est alors une alternative crédible pour alimenter un objet à faible taux d'activité.

Généralement, chaque objet appartenant à un WSN contient une antenne. Cette antenne occupe une surface non négligeable, fonction principalement de la fréquence des ondes électromagnétiques, par rapport à la surface totale du capteur. Alors il est intéressant de réutiliser cette antenne pour récupérer la puissance électromagnétique tout en ajoutant un redresseur. Ce dernier n'est pas pénalisant au niveau de la surface. L'association de l'antenne avec le redresseur s'appelle « rectenna ». La collecte d'énergie sous forme d'onde et le transfert par couplage d'énergie électromagnétique sont les deux possibilités pour recharger une batterie. Par exemple, pour un pacemaker, il est possible de recharger la batterie en utilisant un couplage électromagnétique, sans recours à une chirurgie. Dans ce cas, on parle d'un transfert d'énergie. D'autre part, pour les systèmes ayant une très faible consommation, une récupération d'énergie ambiante peut être suffisante pour assurer l'autonomie d'un système.

Dans ce document, une étude sur la récupération d'énergie radiofréquence ambiante (faible puissance), et plus particulièrement sur les circuits de redressement en technologies intégrées est réalisée. Cette thèse est divisée en quatre chapitres :

Le premier chapitre présente l'état de l'art de la récupération d'énergie. Dans un premier temps, L'architecture générale d'un système de récupération d'énergie est exposée. La deuxième partie est consacrée aux différentes sources d'énergie ambiantes les plus utilisées. Ensuite, l'historique de la transmission (champ proche) et la récupération (champs lointain) d'énergie électromagnétique est réalisée. Dans ce contexte, les différentes topologies, ainsi que les différentes technologies utilisées pour la réalisation des redresseurs dédiés à la récupération d'énergie RF sont présentées.

Dans le deuxième chapitre, une présentation des technologies utilisées pour la récupération d'énergie RF. Pour les diodes Schottky qui constituent le composant de référence, le fonctionnement du contact ohmique et celle du contact Schottky est présentée. Pour les

technologies intégrées, une présentation des technologies silicium sur substrat massif, les problèmes rencontrés, les améliorations réalisées sont exposées. Afin de dépasser la majorité des problèmes des technologies sur silicium massif, une technologie silicium sur isolant peut être utilisée. Finalement, une étude détaillée sur la réalisation de la diode Schottky en technologie FDSOI 28 nm en conservant les étapes de fabrication est présentée.

Dans le troisième chapitre, une méthode d'optimisation des redresseurs est détaillée. En outre, l'effet de résistance de charge et de la puissance d'entrée pour un circuit optimisé est réalisé en utilisant le logiciel Cādence®. Finalement, des redresseurs optimisés en technologie FDSOI et BiCMOS sont comparés.

Dans le quatrième chapitre, la méthode de dimensionnement des transistors est présentée. L'effet de la polarisation de la grille arrière et les méthodes de polarisation sont analysées. Une comparaison entre l'efficacité obtenue avec les circuits testés sous pointe en utilisant la technologie FDSOI et la BiCMOS est réalisée.

1 État de l'art sur la récupération d'énergie

1.1 Introduction

Depuis quelques années, une prise de conscience collective nécessite de prendre en compte l'impact environnemental des nouveaux systèmes électroniques tout au long de leur vie. Ce nouveau contexte impose aux ingénieurs et concepteurs de trouver un nouveau compromis entre l'amélioration des fonctionnalités ou des performances de ces systèmes tout en tenant compte de leur empreinte énergétique.

La diminution de la consommation assure donc une plus longue durée de vie des batteries utilisées dans les appareils électroniques nomades. Du point de vue du consommateur, cet appareil électronique avec des fonctionnalités supplémentaires, plus petit, et finalement avec une batterie qui n'a plus besoin d'être changée ou rechargée fréquemment est plus attractif. Le remplacement d'une batterie, induit un coût d'entretien non négligeable par rapport au prix du système voire parfois très difficile à réaliser (par exemple dans le cas d'un capteur à l'intérieur d'un mur d'une maison ou d'un pacemaker à l'intérieur du thorax d'un patient). Parmi les solutions possibles pour augmenter la durée de vie de la batterie des dispositifs électroniques, la première qui vienne à l'esprit est la réduction de la consommation d'énergie. L'énergie consommée par les systèmes autonomes dépend de l'état d'activité du système. On distingue plusieurs états d'activité, au minimum un état actif et un état de veille. La réduction de la consommation ne doit pas seulement porter sur l'état actif, mais aussi prendre en compte l'énergie consommée en état de veille qui est rarement négligeable. Par exemple des études ont montré que la consommation en état de veille des appareils équipant un foyer « typique », représente environ 14 % de la consommation totale d'électricité d'un foyer européen [1], et peut atteindre jusqu'à 25 % d'un foyer Californien [2].

L'énergie totale consommée est représentée par l'équation (1-1) :

$$Enérgie_{Totale} = Enérgie_{activité} + Enérgie_{mode\ de\ veille} \qquad (1\text{-}1)$$

Une deuxième piste pour augmenter la durée de vie des batteries des systèmes autonomes est de tenter de récupérer l'énergie ambiante, en particulier pour les applications de faibles puissances. Dans l'environnement, plusieurs sources d'énergie sont disponibles : la chaleur, les mouvements mécaniques, le vent, etc… . Déjà depuis plusieurs décennies les chercheurs tentent d'améliorer les techniques de récupération d'énergie ambiante. C'est aussi la solution la plus adaptée pour alimenter un capteur en milieu sévère [3].

Ce chapitre est divisé en six parties dont la première est cette brève introduction. Dans la deuxième partie, l'architecture générale d'un système de récupération d'énergie est décrite. Dans la troisième partie, une présentation de différents types d'énergies ambiantes utilisées dans le domaine de la récupération d'énergie est réalisée. Puis dans la quatrième, le type d'énergie à récupérer est replacé dans le contexte. La cinquième partie présente un bref historique de récupération d'énergie radiofréquence (RF). Enfin, l'état de l'art de la récupération d'énergie en utilisant des technologies intégrées et discrètes est présenté ainsi que les différentes topologies de redresseurs utilisés. Et dernière partie est consacrée à la conclusion permet de dégager les voies qui ont guidé cette thèse.

1.2 Architecture générale d'un système de récupération d'énergie

La Figure 1-1 représente le synoptique général d'un système de récupération d'énergie.

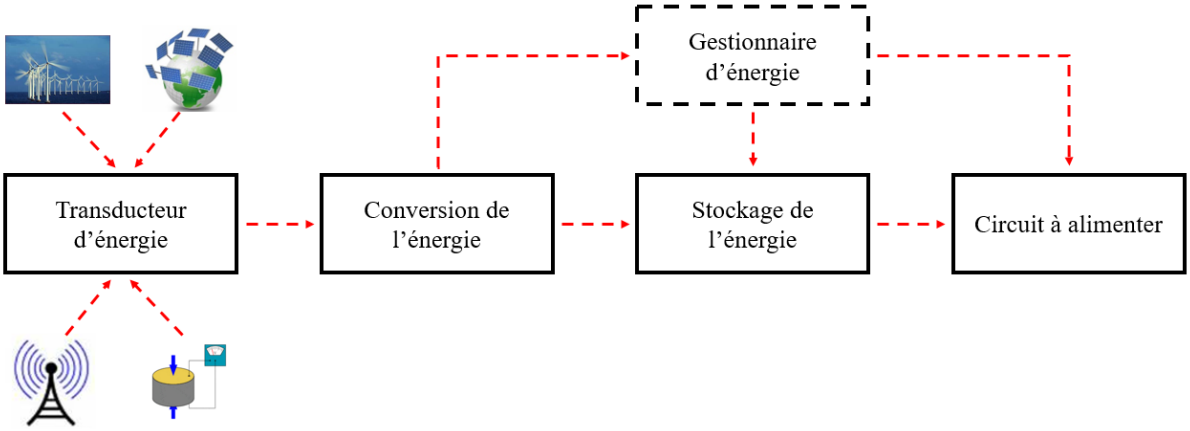

Figure 1-1 : Représentation générale d'un système de récupération d'énergie

La première partie d'un système de récupération d'énergie est représentée par le transducteur d'énergie. A sa sortie, une puissance électrique qui résulte de la conversion d'une source d'énergie (thermiques, mécaniques, chimiques, etc…) en source électrique est disponible [4].

La deuxième partie du système assure la conversion d'énergie électrique pour qu'elle soit adaptée et utile, souvent une tension continue. Cette partie est généralement constituée de convertisseurs, de redresseurs voire de pompes de charges. Le choix d'utilisation entre ces circuits dépend du type d'énergie à récupérer, et aussi de la forme de la grandeur physique obtenue à la sortie du transducteur d'énergie. Pour des sources d'énergie vibratoires (mécaniques ou ondes électromagnétiques), le transducteur génère généralement une tension alternative. Le convertisseur utilisé est alors un redresseur. En outre, pour les sources thermiques et photovoltaïques par exemple, les convertisseurs utilisés sont des convertisseurs

DC-DC. Le but final de ce convertisseur est d'assurer une efficacité de conversion la plus grande possible afin d'alimenter un circuit donné (capteur par exemple) [5].
La troisième partie du circuit est un élément de stockage : une super-capacité, une batterie rechargeable ou un condensateur afin de restituer l'énergie aux moments opportuns [6].

Pour les circuits les plus évolués, un gestionnaire de consommation peut être utilisé. Il est composé d'un microcontrôleur contenant un algorithme qui distribue l'énergie récupérée soit vers la cellule de stockage, soit vers le circuit à alimenter [7]. De plus, un convertisseur d'énergie électrique, à l'aide d'élévateur ou abaisseurs de tension, permet de réguler la tension d'alimentation [8].

1.3 Différentes sources d'énergie

La récupération d'énergie consiste à capter l'énergie ambiante à partir des différentes sources. L'énergie solaire, l'énergie mécanique (hydroélectrique voire éolienne) (Figure 1-2) sont les sources d'énergie qui ont été largement exploitées. Ces sources offrent l'avantage d'être très énergétique et ainsi de pouvoir être utilisées pour des applications urbaines et industrielles.

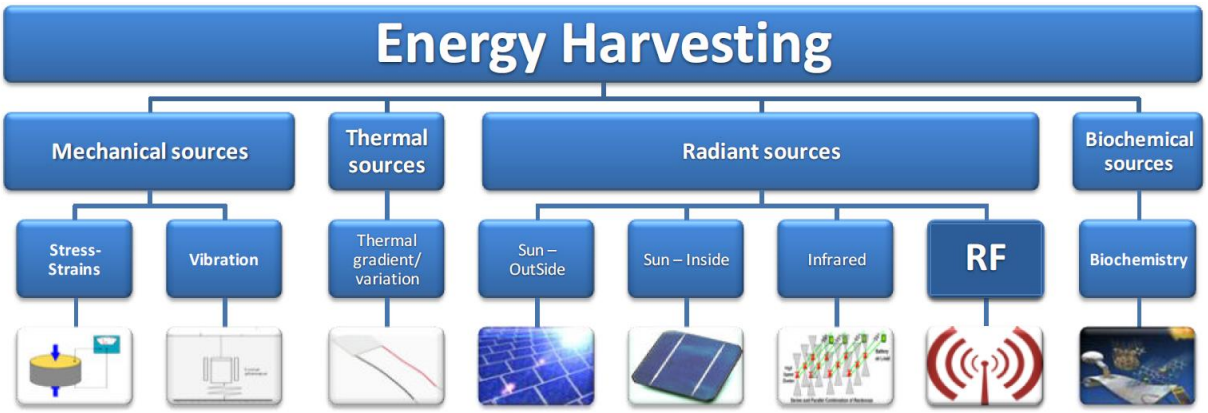

Figure 1-2 : Les différentes sources d'énergie présentes dans l'environnement [3]

De nos jours, l'internet des objets (IoT : Internet of Things) et des réseaux de capteurs sans fil (WSN : Wireless Sensor Network) sont en plein développement et entrent dans nos usages quotidiens. Ces derniers sont constitués d'un grand nombre des micros capteurs capables de récolter et de transmettre des données d'une manière autonome. Ces micros capteurs sont pour la plupart des capteurs à faible consommation.

Dans cette partie, un bref aperçu sur les différentes sources d'énergie environnementales les plus utilisées dans le domaine de la récupération d'énergie pour des systèmes à faible consommation est représenté.

1.3.1 Énergie vibratoire mécanique

Les sources de vibrations mécaniques sont considérées comme l'une des plus disponibles dans notre environnement. Le bruit d'un camion, d'un moteur, d'un chemin de fer, les autoroutes, les ponts, ou même les mouvements d'un corps humain (mouvement ou battement du cœur par exemple) sont tous des sources vibratoires importantes dans notre environnement quotidien. La quantité d'énergie récupérée à partir de ce type de sources dépend de la fréquence et du niveau de vibrations ainsi que de l'efficacité du transducteur d'énergie.

Le graphique suivant représente une comparaison entre les différentes sources d'énergie vibratoires mécaniques en fonction de la fréquence de vibration et de la puissance récupérable de ces vibrations [9]. Les vibrations d'un moteur de voiture permettent de récupérer une puissance de l'ordre de 100 µW autour d'une fréquence de 10 Hz [8]. Avec d'autres types de vibration mécaniques, il est possible de récupérer des puissances de 10 µW et jusqu'à 100 mW comme le montre la Figure 1-3.

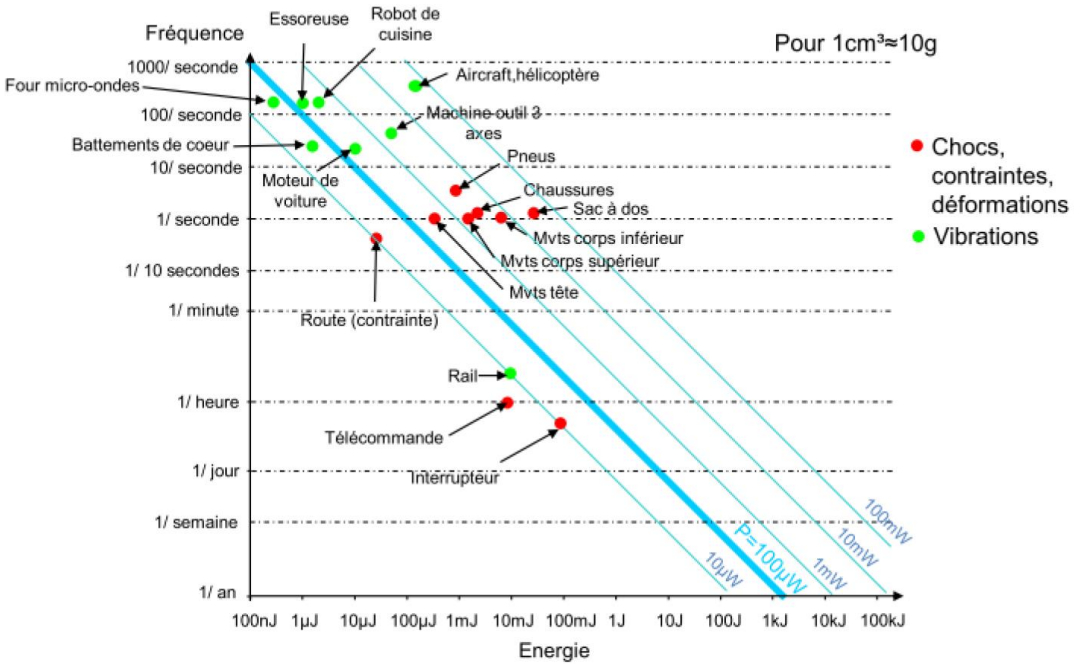

Figure 1-3 : Energie mécanique disponible pour différentes sources [9]

Le transducteur d'énergie vibratoire mécanique est basé sur l'un des trois types de transduction suivants :

- Electromagnétique : cette méthode est basée sur le principe d'induction où un conducteur est placé à l'intérieur d'un champ magnétique. Ce conducteur soumis aux mouvements mécaniques bouge et génère une force électromotrice sous l'effet de la loi de Lenz [10]-[14].
- Electrostatique : cette méthode est aussi appelée capacitive. Elle est présentée dans [15]-[19] . Elle est basée sur deux plaques chargées de signes opposés et isolées, l'une fixe et l'autre mobile, formant un condensateur à géométrie variable. L'électrode mobile peut faire des mouvements horizontaux et verticaux. Le mouvement de l'une des deux électrodes induit un changement de géométrie (écartement entre les deux plaques ou changement de surface des armatures en regard). Ce changement de géométrie induit un changement de la tension aux bornes de la capacité.
- Piézoélectrique : Un transducteur piézoélectrique est basé sur des matériaux non conducteurs qui se polarisent électriquement sous l'effet d'une contrainte mécanique. La puissance générée par un piézoélectrique est de l'ordre du µW jusqu'à des centaines de mW. Plusieurs prototypes basés sur des matériaux piézoélectriques pour alimenter des capteurs en utilisant les vibrations ambiantes sont étudiés et réalisés [20]-[22]. En outre, un autre exemple de récupération d'énergie vibratoire en utilisant un piézoélectrique est représenté sur la Figure 1-4. Un générateur piézoélectrique est placé dans le talon d'une chaussure permettant de générer de l'énergie électrique lorsque l'utilisateur marche [23]. De plus, la société française ARVENI en partenariat avec PHILIPS a développé une télécommande piézoélectrique sans pile [24].

Figure 1-4 : Chaussure contenant un circuit électronique alimenté par un piézo-électronique

1.3.2 Énergie solaire

L'énergie solaire est l'une des énergies largement utilisées dans le domaine de la récupération du fait de sa densité de puissance élevée, bien que l'efficacité de conversion reste faible. L'énergie reçue se situe entre 10 W/cm^2 et 100 W/cm^2. La récupération d'énergie solaire consiste à convertir l'énergie lumineuse en une énergie électrique à l'aide des cellules photovoltaïques (PV). Un convertisseur DC-DC est utilisé afin d'adapter selon l'usage, la tension récupérée.

L'efficacité de conversion de ce type d'énergie dépend des matériaux utilisés dans la fabrication des cellules photovoltaïques. Le rendement de conversion se situe entre 5 % et 20 % selon [25]. Les dernières évolutions ont permis d'obtenir une efficacité de 35 % [26] [27].

Cependant, l'énergie récupérée dépend fortement : des conditions météorologiques, de l'angle d'incidence de la lumière, du contenu spectral de la lumière arrivant à la surface de la cellule solaire, de la taille, de la sensibilité de la cellule solaire d'où une efficacité qui peut être faible. Pour atteindre des efficacités maximales indépendamment des variations de luminosité, un système de gestion de l'alimentation est nécessaire afin d'ajuster le fonctionnement des panneaux photovoltaïques aux fluctuations lumineuses, de manière que la puissance maximale soit toujours assurée [3].

1.3.3 Énergie thermique

L'énergie thermique est l'une des énergies les plus disponibles qui se retrouve dans plusieurs applications et environnements (échauffement des machines, échappement des voitures, corps humain, etc …) [28]. La conversion de ce type d'énergie vers une énergie électrique peut conduire à des capteurs complètement autonomes.

Les transducteurs thermiques sont basés sur l'effet Seebeck découvert par Thomas Seebeck en 1822 (Figure 1-5). La récupération d'énergie thermique est basée sur un thermocouple placé entre une jonction froide et une autre chaude. Lorsqu'une différence de température est obtenue entre cette jonction, les électrons chauffés se déplacent vers le côté froid créant ainsi un courant électrique [25].

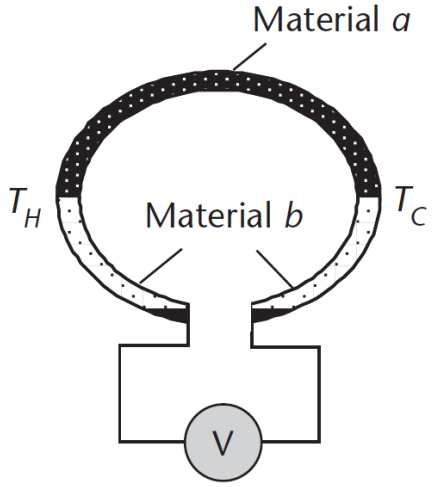

Figure 1-5 : Effet thermoélectrique par effet Seebeck [25]

Un transducteur d'énergie thermique commercial, fabriqué par Marlow Industries Inc, peut fournir une puissance en sortie de 4,05 W si une différence de température de 230°C est appliquée. D'autre part, dans la publication [29] un récupérateur d'énergie thermique placé sur le corps humain peut produire une puissance de 13,6 mW/cm^2. De plus, Volkswagen a présenté un projet de récupération d'énergie thermique dissipée dans ses voitures à grande échelle. Cela a permis de récupérer une puissance de 600 W ce qui équivaut à 30 % de la consommation électrique totale assurant une économie de 5 % de carburant [30]. Pour un gradient de température de 10°C, l'efficacité de conversion thermique-électrique est de 3 % seulement. Cette efficacité augmente jusqu'à atteindre une valeur de 20 % avec un gradient de 100°C [3] [8] [31].

1.3.4 Énergie radiofréquence

De nos jours, des millions d'appareils électroniques, utilisant les technologies sans fil comme les téléphones mobiles, les points d'accès WiFi, etc., sont devenus indispensables à notre quotidien. La communication de ces appareils est basée sur les ondes radio. Vu l'augmentation exponentielle du nombre d'appareils utilisant les signaux RF, une récupération de ces ondes peut être suffisante pour alimenter des capteurs à faible consommation. Avec ce type d'énergie, le transducteur est une antenne. Cette antenne transforme l'onde électromagnétique en espace libre en une électromagnétique guidée, donc un signal électrique variable. Ensuite, le convertisseur d'énergie utilisé s'apparente à un redresseur (RF-DC). Dans [32], il a été démontré qu'à partir d'une station de télévision située à une distance de 4 km, un capteur de température peut être alimenté. L'antenne utilisée présente une taille de 30 x 20 cm^2 et récolte une puissance de 60 µW.

1.4 Quel type d'énergie utiliser ?

La Figure 1-6 présente les densités de puissance ambiantes récupérables en fonction des types de sources d'énergie disponibles. Chaque source d'énergie possède des avantages et des inconvénients. Par exemple pour une source thermique, la tension de sortie obtenue et le rendement de conversion sont faibles. En outre, pour des sources de radiations (photovoltaïques), des puissances captées sont nettement plus importantes (deux à trois ordres de grandeurs) mais elles dépendent de conditions d'ensoleillement, etc… .

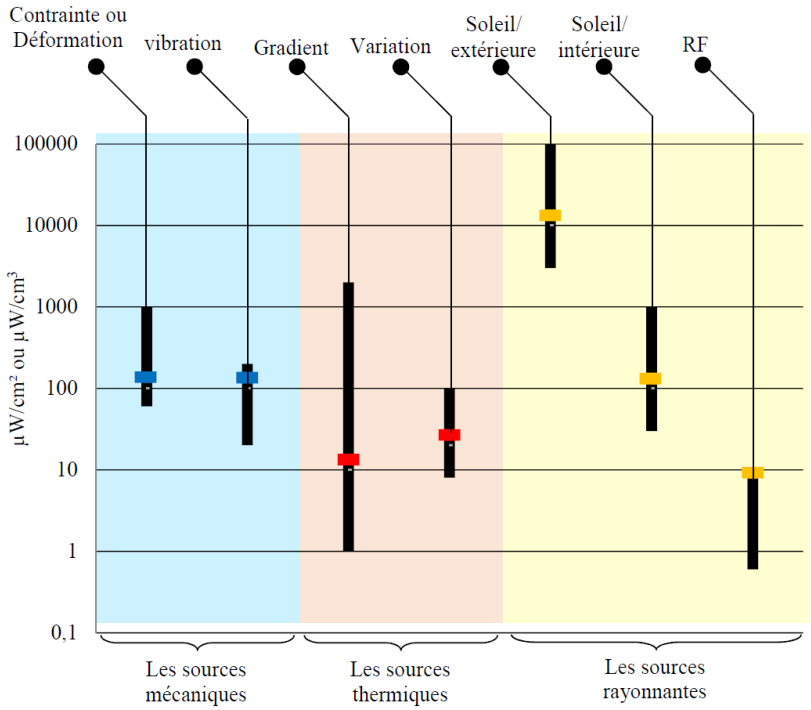

Figure 1-6 : Densité de puissances disponibles des différentes sources d'énergie [33]

L'augmentation de la densité de puissance moyenne dans le spectre RF, liée à l'accroissement du nombre d'équipements nomades a attiré l'attention des chercheurs, surtout dans le cadre des applications de réseaux de capteurs sans fil et des systèmes électroniques à faibles puissance dotés d'une antenne. Dans les systèmes de IoT et WSN, l'élément indispensable est l'antenne qui est un composant passif qui occupe un volume relativement important (dont les dimensions sont liées à la longueur d'onde, voire une fraction, sont inversement proportionnelles à la fréquence de fonctionnement) par rapport à l'ensemble des autres fonctions électroniques intégrées. Le but est donc d'utiliser la même antenne pour assurer la communication et pour faire de la récupération d'énergie RF. La récupération d'énergie RF est indépendante de l'heure et des conditions météorologiques. Elle peut alimenter un système distant 24h/24h. C'est une technologie qui peut être facilement utilisée dans les équipements nomades, et surtout dans les

capteurs, augmentant ainsi la durée de fonctionnement des batteries. La récupération d'énergie RF convient dans de nombreuses applications, dès qu'une antenne est présente, où les autres sources d'énergies ambiantes (solaire, vibratoire etc…) ne sont pas ou peu disponibles, par exemple à l'intérieur d'une pièce ou dans des zones faiblement éclairées. Par ailleurs, de nombreux dispositifs biomédicaux implantés fonctionnent avec une batterie et utilisent la technique de « rechargement » ou transfert d'énergie RF afin d'allonger la durée de fonctionnement des batteries. La récupération d'énergie peut dans tous ces cas être un complément d'apport en énergie électrique sans nécessiter une grande complexification du système doté d'une antenne.

D'autre part, les technologies de micro-électronique sont de plus en plus sobres en énergie électrique. L'un des principaux buts de l'évolution des nœuds technologiques est de pouvoir augmenter la densité d'intégration du nombre de transistors au mm^2 pour réduire le prix des circuits intégrés. Aujourd'hui, Intel à démontrer qu'il était possible d'atteindre une densité d'intégration supérieure à 100 millions de transistor au mm^2 en utilisant des transistors de plus en plus petits, dans ce cas il s'agit du nœud technologique 10 nm (Figure 1-7).

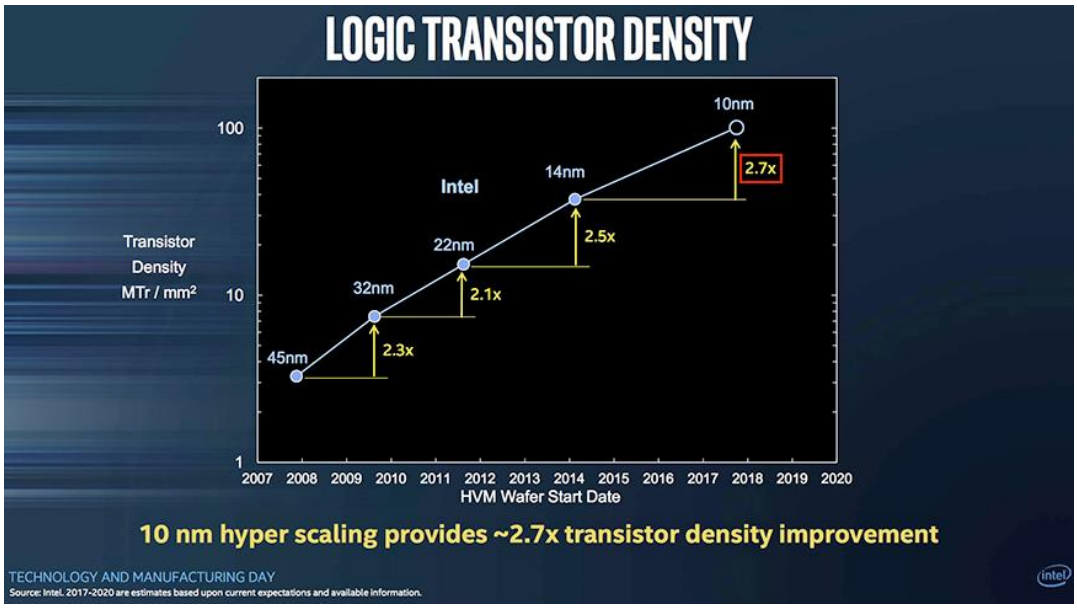

Figure 1-7 : Densité d'intégration du nombre de transistors par mm^2 en fonction du temps et des nœuds technologiques [34]

Cette réduction des dimensions des transistors (nœuds technologiques) permet de réduire la tension d'alimentation des circuits numériques et ainsi de diminuer la consommation des composants électroniques, pour tendre vers des systèmes à très faible consommation électrique comme le décrit la Figure 1-8.

Sur la Figure 1-9 (a), l'énergie nécessaire (exprimée en pJ) à chaque cycle de traitement pour un système type « microcontrôleur » en fonction de la tension d'alimentation (V_{DD}) est représentée. Ce microcontrôleur, réalisée en technologie 65 nm, est constitué d'une unité arithmétique et logique (ALU), cœur des opérations dans un processeur qui interagit avec la mémoire (SRAM). Nous pouvons remarquer que l'énergie totale passe par un minimum autour de V_{DD} = 0,4 V pour cette technologie. Cette énergie totale (E_{TOT}) résulte de la somme de l'énergie de fuite (E_{LEAK}) et de l'énergie de commutation (E_{ACT}). Pour les faibles tensions d'alimentation c'est l'énergie E_{LEAK} (liée aux courants de fuite) qui devient prépondérante en revanche, pour des alimentations supérieures à 0,4 V, c'est l'énergie E_{ACT}, qui dépend de V_{DD}^2 qui devient majoritaire.

La plupart des microcontrôleurs, voire des systèmes autonomes, intègrent une fonction de veille pour laquelle seule la puissance de fuite est consommée. La Figure 1-9 (b) décrit l'évolution de la puissance de fuite en fonction de la tension d'alimentation V_{DD}. On note alors que cette puissance est cohérente avec les niveaux de puissance récupérable dans un environnement RF standard pour une antenne de surface équivalente à quelques cm^2.

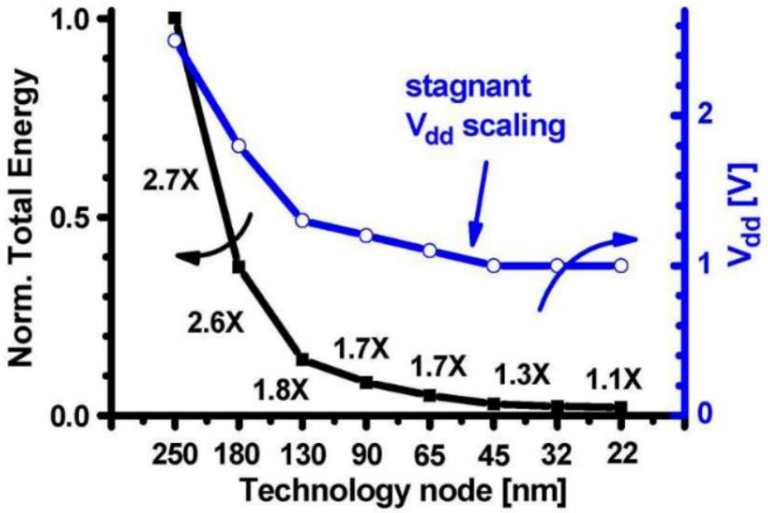

Figure 1-8 : Evolution de l'énergie consommée normalisée et la tension d'alimentation en fonction des nœuds technologiques [35]

Malgré sa faible densité de puissance, la récupération d'énergie RF ambiante devient, grâce à la sobriété énergétique des nouveaux circuits numériques (en état de veille), une solution pertinente de soutien à l'alimentation par piles (ou batteries). Cet intérêt peut se voir sur la Figure 1-10, qui présente l'évolution des publications relative à la récupération d'énergie en général et à la récupération d'énergie RF, sur le site IEEE, au fil des deux dernières décennies.

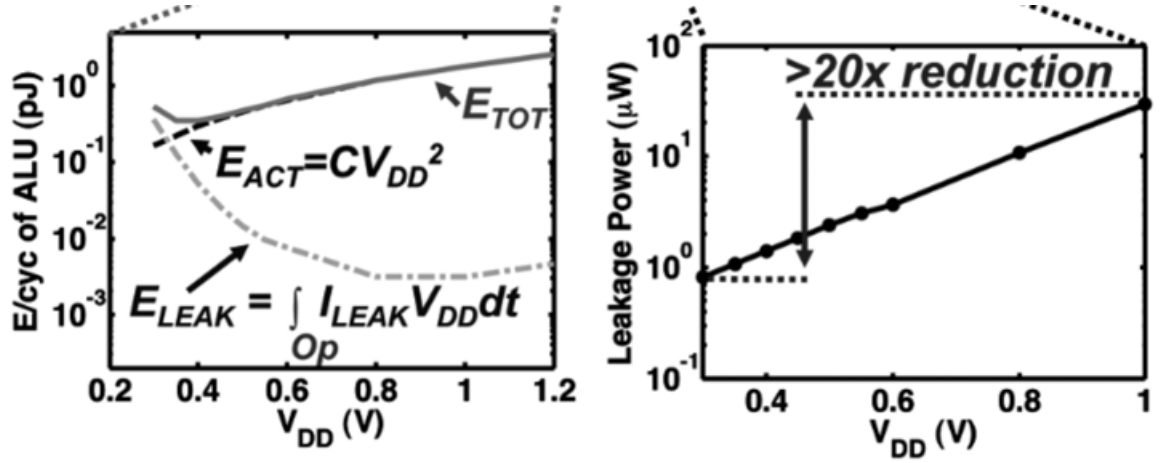

Figure 1-9 : Réduction de l'énergie par cycle de fonctionnement et de la puissance de fuite pour un système type microcontrôleur constitué d'un processeur et d'une mémoire SRAM

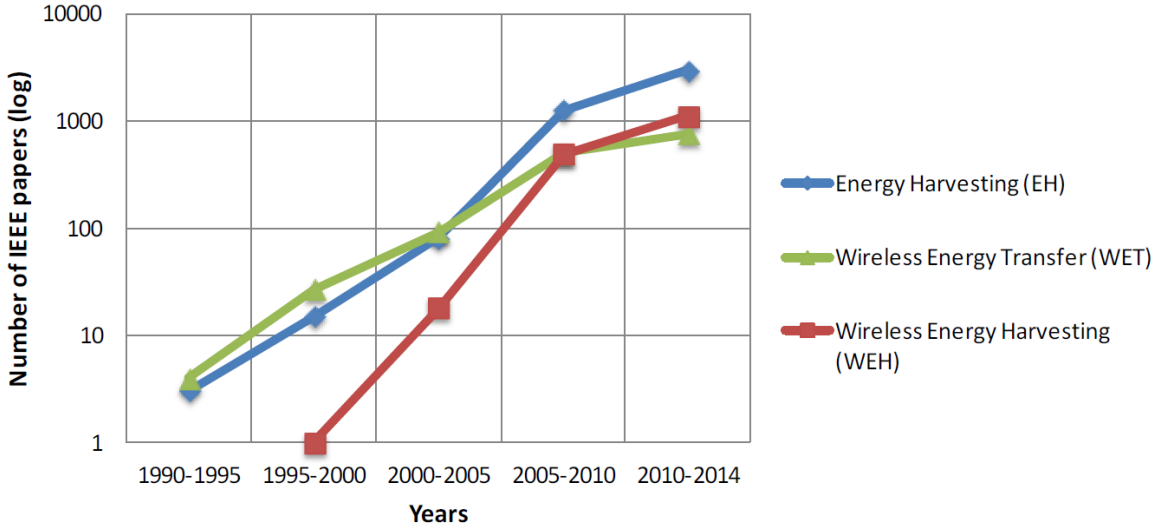

Figure 1-10 : Nombres d'articles recensés dans la base IEEE dans le domaine de la récupération d'énergie (EH), transfert d'énergie(WET) et récupération d'énergie sans fil (WEH) [3]

Dans la partie suivante, la récupération d'énergie RF sera présentée ainsi que l'état de l'art des différents travaux de recherche réalisés dans ce domaine.

1.5 Récupération d'énergie RF

Ce domaine de recherche a débuté par l'étude du transfert d'énergie électromagnétique entre deux points A et B sans l'utilisation d'un support physique. Ce transfert est réalisé en deux étapes : (i) convertir l'énergie électrique en énergie RF. Cette dernière est transmise par une antenne émettrice ou antenne d'émission. (ii) du côté réception, un système souvent dénommé « rectenna » est mis en œuvre [36]. Le rectenna est l'association de deux fonctions d'où la

contraction de deux mots « antenna » (antenne) et « rectifier » (redresseur). L'antenne de réception convertit l'onde électromagnétique ambiante en un signal RF. Le circuit de redressement est chargé de la conversion du signal sinusoïdal en une tension continue, soit une conversion RF-DC à l'aide de composants non linéaires tels que des diodes.
La Figure 1-11 représente le synoptique d'un système de récupération d'énergie RF.

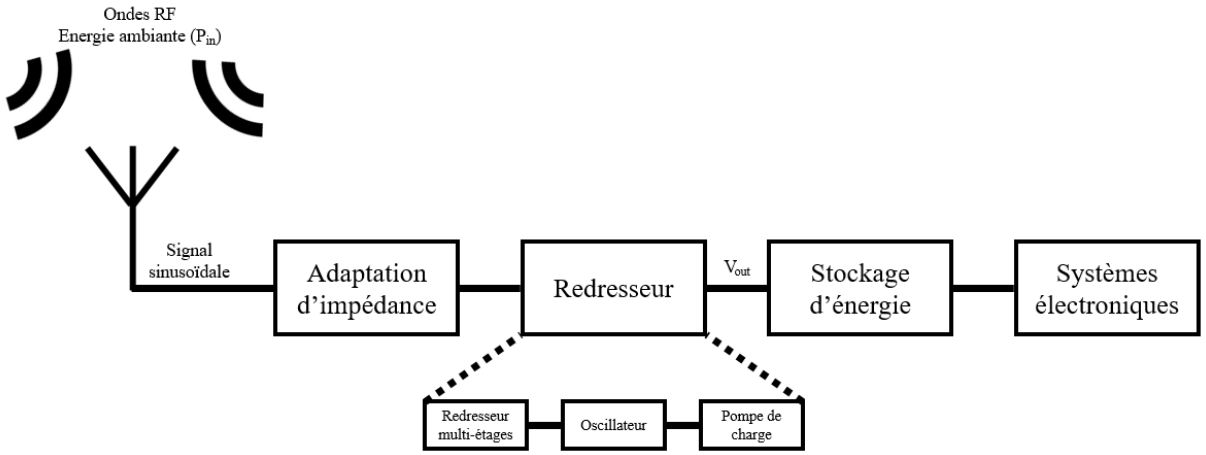

Figure 1-11 : Synoptique général d'un système de récupération d'énergie RF

Généralement, un système d'adaptation d'impédance est placé entre l'antenne et le circuit de redressement. Il est conçu pour assurer un transfert maximal de puissance entre l'antenne et le redresseur. Plusieurs topologies de redresseurs peuvent être mises en œuvre dans l'architecture. Dans les structures les plus complexes, il est possible de trouver une cascade de trois blocs fonctionnels : un premier convertisseur RF-DC qui assure l'alimentation d'un oscillateur à faible puissance, lequel oscillateur permet de mettre en fonctionnement un système de pompe de charge qui augmente la sortie du premier convertisseur RF-DC. A la sortie de la pompe de charge ou du convertisseur RF-DC (pour les structures basiques) un dispositif de stockage (capacité, batterie, …) emmagasine l'énergie RF récupérée sous forme DC et à la tension souhaitée pour la restituer à la charge en fonction des besoins et des états de fonctionnement. La charge peut être représentée par une simple résistance dont la valeur dépend de l'impédance d'entrée d'un circuit à alimenter (capteur ou microcontrôleur par exemple).

1.5.1 Historique

Avec la découverte de l'induction électromagnétique et la génération d'ondes électromagnétiques, la transmission de puissance sans fil (Wireless Power Transmission : WPT ou TESF pour transmission d'énergie électromagnétique sans fil) était un nouveau sujet de recherche. En 1862, les premières approches théoriques à la base du WPT ont été formulées par

James Clerk Maxwell, qu'il a formalisées par des équations qui portent aujourd'hui son nom [37] [38].

Afin de valider ces équations, un système de transmissions sans fil a été réalisé par Heinrich Hertz où il a démontré expérimentalement la possibilité de transférer de l'énergie entre deux points [39]. Puis, dans les années 1894 et 1899, Marconi a démontré la possibilité de la transmission radio sur une distance relativement longue de 2,75 km [40]. Dans le même temps, Tesla a réussi à réaliser une transmission sans fil sur une distance d'environ 48 km [41].

En 1901, Tesla même conçu une tour dite Wardenclyffe à 130 km à l'est de New York sur Long Island (Figure 1-12), destinée à la récupération de l'énergie magnétique terrestre mais qui ne fut jamais testée. Cette tour a été démolie au cours de la première guerre mondiale [36] [42].

Figure 1-12 : La Tour Wardenclyffe

Après les travaux réalisés par Tesla et jusqu'en 1961, les recherches dans le domaine de la radiofréquence ont changé d'objectif pour se focaliser sur la transmission d'informations sans fil et la WPT a été délaissée.

En 1950, des évolutions technologiques ont permis de reprendre les études sur WPT et ont conduit, sous l'impulsion de William Brown, à la transmission de l'énergie micro-onde (Microwave Power Transfer ou MPT) dans les années 1960. Les sources micro-ondes de haute efficacité mises au point ont été des magnétrons et klystrons analogues à ceux qui équipent nos fours micro-ondes. Pour récupérer cette énergie RF, il a mis au point une antenne associée à un redresseur : le premier rectenna. Ce rectenna présentait des efficacités de conversion en puissance de 40 % à 50 % pour des puissances DC en sortie de 4 W et 7 W respectivement [43]. L'efficacité de conversion (*PCE* : Power conversion efficiency) est exprimée par (1-2) :

$$PCE = \frac{Puissance\ en\ sortie}{Puissance\ en\ entrée} \quad (1\text{-}2)$$

Ce rectenna a même été utilisé dans une version plus étendue (basé sur une antenne dipôle et 4480 diodes) pour faire voler un hélicoptère électrique alimenté par un faisceau d'ondes électromagnétiques en 1964 [42] [44].

En 1975, une nouvelle évolution dans le domaine de la MPT a été réalisée au Jet Propulsion Lab (JPL) avec une efficacité de conversion d'énergie de 82,5 % pour une puissance micro-onde de 30 kW [45].

En 1987, un prototype d'avion radiocommandé a été réalisé au Canada. Il a volé à une altitude de 150 m pendant 20 minutes en utilisant l'énergie RF à 2,45 GHz d'une source placée au sol. La densité de puissance rayonnée était de 400 W/m^2 ce qui a permis de fournir une puissance de 150 W au moteur électrique [46] [47] (Figure 1-13).

Figure 1-13 : Pilotage d'avion par énergie RF sans fil (f = 2,411 GHz) [47]

Par ailleurs, en 2000, un réseau de rectennas a été conçu et présenté par des chercheurs de l'université du Texas A&M fonctionnant à une fréquence de 2,8 GHz avec une densité de puissance captée de 2 mW/cm^2 et a permis d'atteindre un maximum d'efficacité de conversion RF-DC de 82 % en utilisant des diodes Schottky [48].

Plusieurs systèmes de récupération d'énergie RF ont été réalisés durant ces dernières années. L'évolution des nœuds technologiques dans le domaine de la microélectronique surtout au niveau de la miniaturisation et de la réduction de la consommation des composants, permet de

concevoir et d'utiliser des systèmes de récupération d'énergie RF performants et intégrables. Dans la partie suivante, l'état de l'art des circuits de récupération d'énergie RF sera représenté.

1.5.2 Topologie des redresseurs

Différentes topologies de circuits de redressement peuvent être utilisées pour la récupération d'énergie RF. La puissance en entrée et la tension de sortie demandée sont les critères les plus importants pour choisir la topologie adéquate. Par la suite, on présente quelques topologies les plus utilisées :

- **Topologie série :**

C'est la topologie la plus simple. Elle consiste à placer une diode en série avec l'antenne pour redresser le signal sinusoïdal (Figure 1-14). Ce redresseur permet un redressement mono alternance où la partie positive ou négative du signal, en fonction de la position de la diode, est redressée. Pour maximiser les rendements, un circuit d'adaptation d'impédance est placé entre l'antenne et la diode. Il peut être réalisé soit à l'aide des composants distribués (stub par exemple), soit par des composants localisés comme des inductances, des condensateurs … . La capacité de sortie permet de stocker l'énergie DC. Vu qu'une seule partie du signal est redressée (positive ou négative), l'inconvénient de cette architecture est la faible tension de sortie obtenue par comparaison avec les autres topologies de redresseurs [49]-[53].

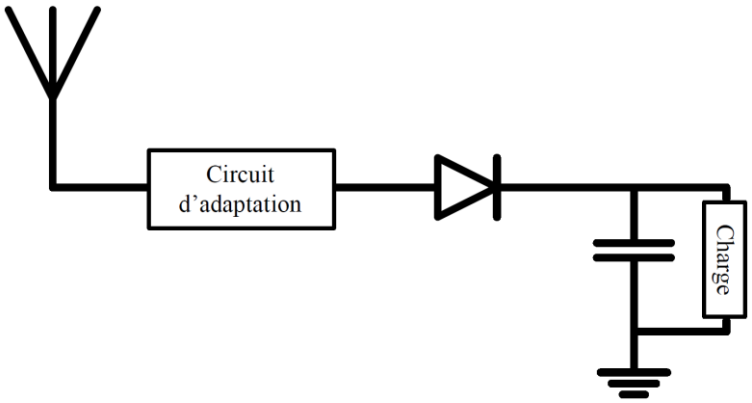

Figure 1-14 : Topologie d'un redresseur monoalternance série

- **Topologie parallèle (shunt)**

C'est aussi une topologie de redressement mono alternance, mais la diode est dans ce cas montée en parallèle. Le signal est injecté sur la cathode de la diode alors que l'anode est reliée à la masse (Figure 1-15). Cette topologie permet de redresser la partie négative du signal d'entrée [54].

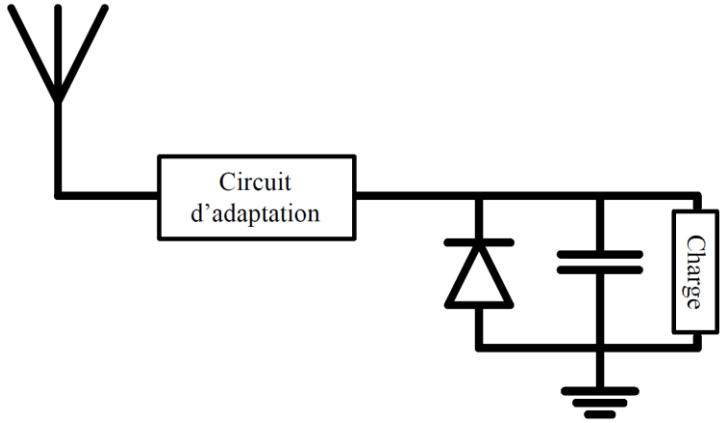

Figure 1-15 : Topologie d'un redresseur monoalternance parallèle

- **Doubleur de tension :**

L'association des deux redresseurs mono alternance, l'un pour la partie positive et l'autre pour la partie négative, permet d'obtenir une topologie de doubleur de tension représentée sur la Figure 1-16. De même, cette topologie contient une capacité de stockage pour chaque diode : la première en entrée qui est la capacité de la diode shunt (redressement de la partie négative), et la deuxième est à la sortie pour stocker les charges résultantes des deux alternances négative et positive. Il s'agit alors d'un redressement double alternance. Ce qui permet d'avoir presque le double de la tension de sortie d'une structure mono alternance [55] [56] [57]. En effet, lorsque la tension est négative, la capacité C_1 est chargée au travers de la diode D_1 et la diode D_2 est bloquée. Puis lorsque la tension d'entrée devient positive, c'est la capacité C_2 qui stocke les charges issues de la somme de la tension d'entrée et de la tension aux bornes de C_1 via D_2 (D_1 étant polarisée en inverse).

La tension de sortie théorique à vide obtenue aux bornes de la capacité C_2 avec ce doubleur est donnée par la relation suivante :

$$VC_2 = 2 \times V_{in,max} - 2 \times V_{th} \qquad (1\text{-}3)$$

Où $V_{in,max}$ représente l'amplitude maximale de la tension à l'entrée du redresseur et V_{th} représente la tension de seuil de la diode. La tension de seuil est considérée comme étant identique pour les deux diodes. La résistance série et les courants de fuite de chaque diode sont considérés comme nuls.

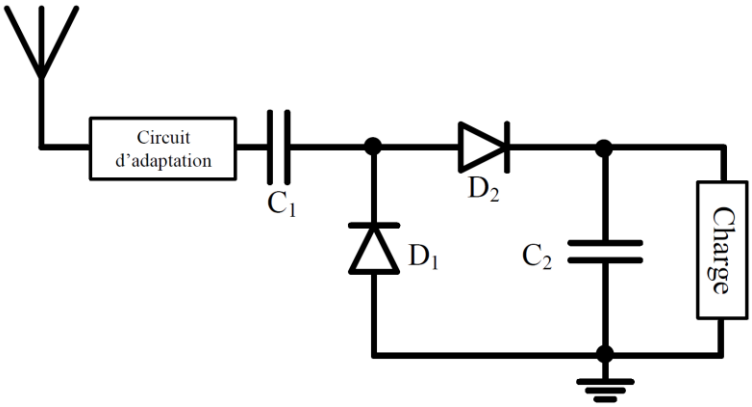

Figure 1-16 : Topologie d'un doubleur de tension

- **Multiplieur de tension**

Un multiplieur de tension consiste à cascader plusieurs étages d'un doubleur de tension. Cette topologie assure à la sortie une tension plus élevée. La tension de sortie augmente d'une manière proportionnelle avec l'augmentation du nombre d'étages jusqu'à atteindre une valeur maximale où les charges gagnées seront compensées par les fuites et les pertes aux niveaux des diodes (tension de seuil et résistance série). Plusieurs topologies de multiplieurs ont été développées dont les plus utilisées sont celles de Cockcroft-Walton (Villard) et de Dickson [58]- [62].

Le redresseur de Dickson est une modification d'une pompe de charge de Dickson. La pompe de charge est représentée sur la Figure 1-17. Généralement, l'entrée de cette pompe de charge est une tension continue (V_{in}). Ce type de pompe de charge nécessite deux impulsions d'horloge en opposition de phase (φ_1 et φ_2).

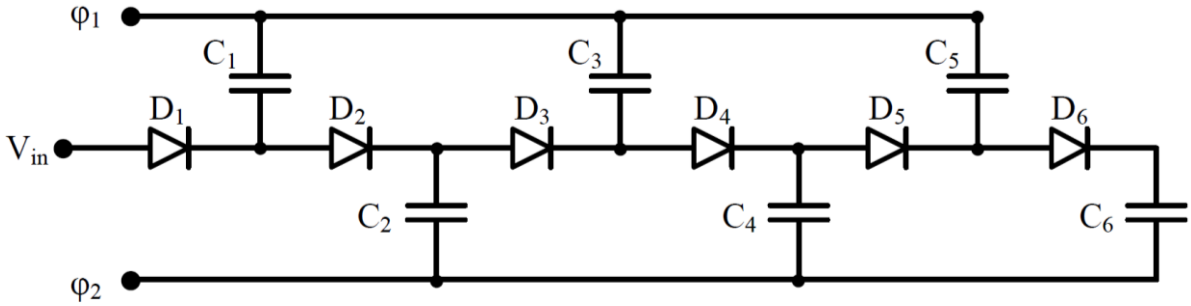

Figure 1-17 : Pompe de charge de Dickson

En modifiant les connexions d'horloges et celle de l'entrée, la pompe de charge est convertie en un redresseur. V_{in} et φ_2 sont reliés à la masse et φ_1 est relié au signal d'entrée sinusoïdale. Ce dernier signal devient l'entrée du redresseur et sert en même temps au contrôle des états des diodes. La Figure 1-18 représente un multiplieur Dickson à trois étages.

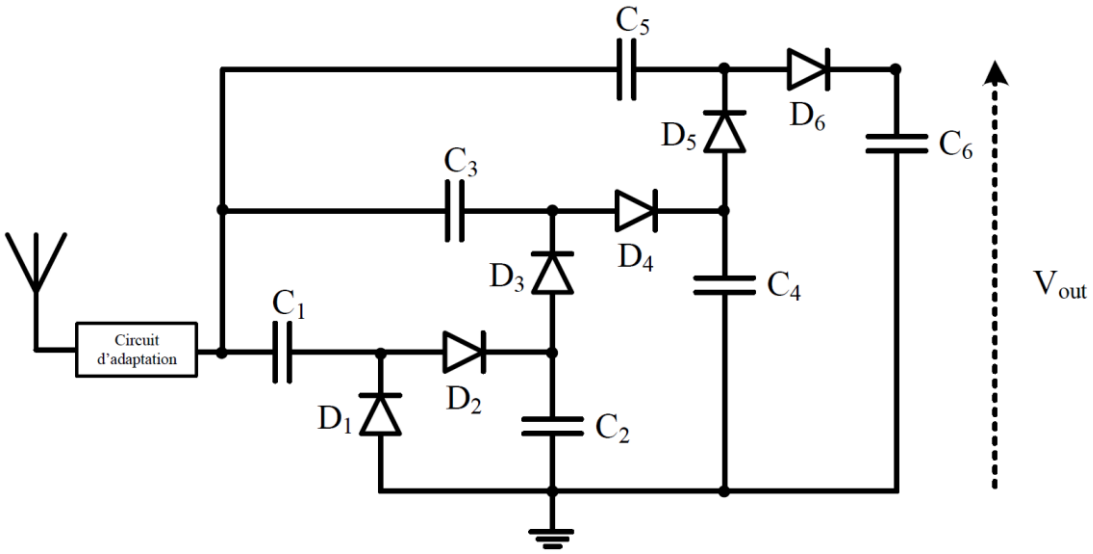

Figure 1-18 : Multiplieur de tension de Dickson à trois étages

Les multiplieurs Croft-Walton et Dickson ont à peu près la même structure. Mais la différence principale de situe au niveau de l'entrée RF et des connexions de sortie des condensateurs de chaque étage (Figure 1-19). Dans le multiplieur Dickson, l'entrée RF est connectée à chaque étage via le condensateur d'entrée de chaque étage (C_1, C_3 et C_5 dans la figure précédente), alors que dans le multiplieur Croft-Walton, l'entrée RF est connectée uniquement au premier étage via le condensateur d'entrée C_1. En outre, dans le multiplieur de Dickson, une des électrodes du condensateur de sortie et de stockage de chaque étage est connectée à la masse (C_2, C_4 et C_6 dans la Figure 1-18). Dans celui de Croft-Walton, les condensateurs de chacun des étages sont connectés en série [64] [65].

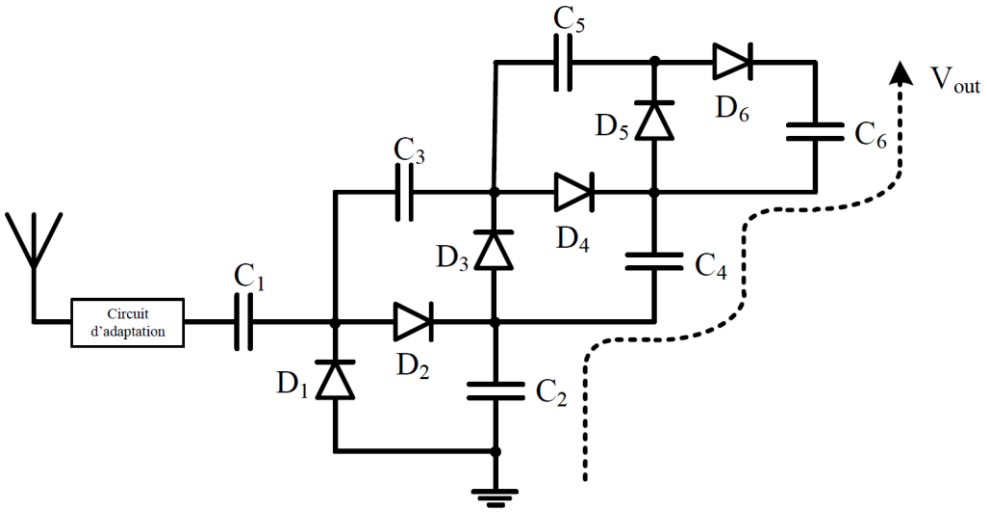

Figure 1-19 : Multiplieur de tension Croft-Walton

Dans [33], les auteurs ont comparé les performances de deux multiplieurs de tension Dickson et Croft-Walton à deux étages chacun. Les tensions de sortie DC obtenues sont comparables,

toutefois celle de la topologie Dickson est supérieure. Dans la suite, le fonctionnement d'un étage d'un multiplieur de Dickson à *N* étages sera présenté.

1.5.3 Principe de fonctionnement d'un multiplieur Dickson

Chaque étage du multiplieur de tension Dickson est divisé en deux parties, et chaque partie est représentée par une diode et un condensateur (Figure 1-20) : partie d'élévation (clamping part) (D_c et C_c) et partie de rectification (D_r et C_r). V_{RF}, V_{dc}, V_i et V_o représentent respectivement la tension d'entrée sinusoïdale, la tension d'entrée DC obtenue de l'étage précédent, la tension de sortie de l'étage d'élévation (tension intermédiaire entre la partie d'élévation et la partie redresseuse) et finalement la tension de sortie du $N^{ème}$ étage. La tension V_{dc} est obtenue à partir de la tension de sortie V_o de l'étage précédent, comme indiqué sur la Figure 1-20.

Pour simplifier l'analyse, la résistance dynamique de la diode sera négligée, ainsi que l'hypothèse que la chute de tension et la tension de seuil soit les mêmes. De plus, le temps de charge du condensateur C_c sera nul et le régime permanent sera directement atteint. Ces conditions optimales ne seront plus considérées lors de la conception des circuits.

Lorsque la tension d'entrée est négative, la diode D_c devient passante si la tension à ses bornes est supérieure à la tension de seuil et par conséquent une chute de tension est observée. Le condensateur *Cc* est chargé jusqu'à ce que la tension aux bornes de la diode ne soit plus supérieure à la tension de seuil et que la diode se bloque. La tension accumulée, dans ce cas, est donnée par la relation (1-4):

$$VC_c = -V_{RF.min} + V_{dc} - V_{th} \quad (1\text{-}4)$$

Lorsque la tension d'entrée devient positive, la tension aux bornes du condensateur *Cc* est ajoutée à la tension d'entrée. La tension de sortie intermédiaire Vi est donnée par la relation (1-5):

$$V_i = VC_c + V_{RF.max} \quad (1\text{-}5)$$

$$V_i = 2.V_{RF.max} + V_{dc} - V_{th} \quad (1\text{-}6)$$

Dans ce cas, la tension d'entrée a augmenté de : $V_{dc} + V_{RF.max} - V_{th}$.
La tension d'entrée de la partie redresseuse est V_i (sinusoïdale avec une composante de tension constante). Le condensateur C_r stocke la charge et filtre les ondulations. De même, une chute

de tension aux bornes de la diode de redressement D_r est obtenue. La tension de sortie V_o est une tension continue (en négligeant les ondulations) et elle est donnée par la relation (1-7):

$$V_o = 2.V_{RF.max} + V_{dc} - 2.V_{th} \quad (1\text{-}7)$$

Pour le premier étage d'une structure comportant plusieurs étages, la tension V_{dc} est connectée à la masse et la tension d'entrée DC est nulle. La tension de sortie du redresseur Dickson à N étages est donnée par la relation (1-8) :

$$V_o = 2.N.(V_{RF.max} - V_{th}) \quad (1\text{-}8)$$

En réalité, la tension V_{dc} est inférieure à la valeur idéale (i) en raison du courant de fuite dans les diodes lorsqu'elles sont bloquées et (ii) à cause du courant qui passe aux étages suivants.

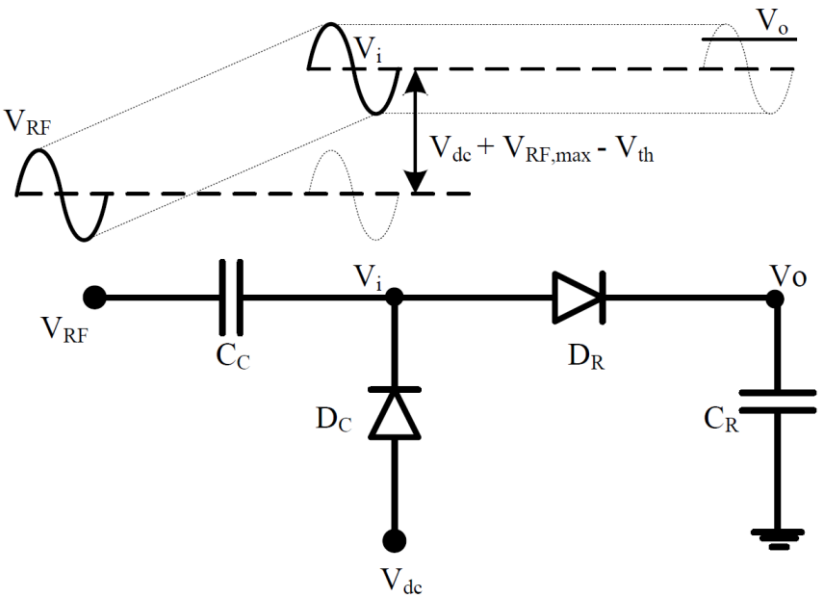

Figure 1-20 : Fonctionnement d'un étage d'un multiplicateur de tension Dickson

1.5.4 Etat de l'art avec des diodes commerciales

Le fonctionnement de ces redresseurs, présenté ci-dessus est basé sur des capacités et des éléments non linéaires très majoritairement des diodes. De plus comme le montre l'expression (1-8), il convient de choisir des diodes avec une faible tension de seuil et des courants de fuite négligeables. C'est la raison pour laquelle, les diodes Schottky sont les plus couramment utilisées pour ces applications de récupération d'énergie RF. Le Tableau 1 reprend l'état de l'art des différentes architectures présentées en utilisant des diodes Schottky.

La Figure 1-21 représente l'état de l'art présenté dans [66]. Elle représente l'efficacité de conversion de puissance (PCE), pour différentes structure de redresseur et pour différents éléments non linéaires, en fonction de la puissance d'entrée. Les étoiles bleues ajoutées

représentent les efficacités des redresseurs utilisant des diodes montées en inverse. Les diodes utilisées sont des diodes à effet tunnel [67]. Cette publication montre qu'une amélioration de la sensibilité peut être grâce à l'utilisation de diodes à effet tunnel.

Tableau 1 : Synthèse des redreseurs avec des diodes discrètes

Ref.	Architecture	Diode utilisé	Puissance d'entrée	Fréquence	Résistance de charge	*PCE*
[49]	Série	HSMS2820	-20 dBm	2,45 GHz	NA	20 %
[50]	Série	HSMS2560	15 dBm	2,45 GHz	200 Ω	75 %
[51]	Série	HSMS2852	0 dBm	2,45 GHz	470 Ω	40 %
[52]	Série	HSMS2820	20 dBm	2,44 GHz	2 kΩ	76 %
[53]	Série	HSMS2820	-15 dBm	2,4 GHz	1,7 k Ω	26,5 %
[54]	Shunt	MA4E1317	100 mW	5,8 GHz	250 Ω	80 %
[55]	Doubleur	HSMS-282c	16,5 mW/cm^2	2,45 GHz	1 k Ω	78 %
[56]	Doubleur	SMS7630-005LF	0 dBm	870 MHz	2 k Ω	30 %
[57]	Doubleur (//)	SMS7630-79	-10 dBm	2,49 GHz	4,8 kΩ	41 %
[59]	Multiplieur Dickson (2étages)	HSMS2850	-10 dBm	868 MHz	50 kΩ	19,49 %
[59]	Multiplieur Dickson (2étages)	HSMS2850	-6 dBm	868 MHz	50 kΩ	26,2 %
[62]	Multiplieur Croft-Walton (4étages)	HSMS2850	0 dBm	957,98 MHz	100 kΩ	2,14 V 4,57 %
[63]	Série (//)	HSMS2860/ 2820	10 dBm	2,45GHz	1,05 kΩ	59,6 %

Par ailleurs sur la Figure 1-21, on note qu'il est possible d'obtenir des efficacités supérieures aux diodes Schottky discrètes grâce aux redresseurs conçus en technologie intégrée. Toutefois ces maxima d'efficacité présentent des plages de puissance d'entrée plus étroite.

Dans le cadre d'applications de récupération d'énergie RF, pour lesquelles la distance émetteur-récepteur est variable et inconnue, une plage d'efficacité maximale plus large serait mieux adaptée.

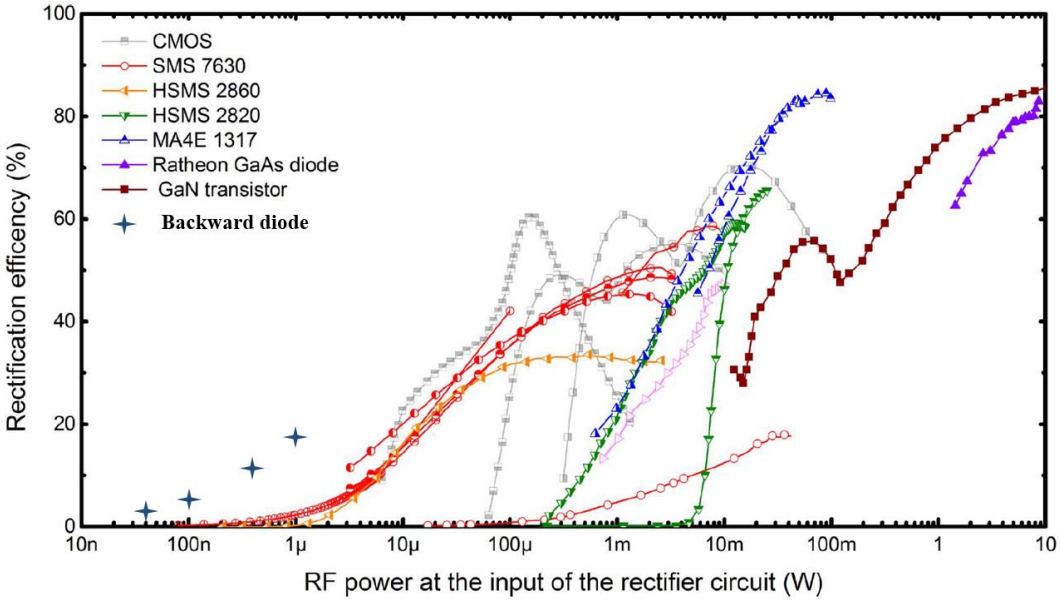

Figure 1-21 : Etat de l'art de l'efficacité de conversion RF-DC (PCE) pour quelques circuits et composants non-linéaires en fonction de la puissance d'entrée [66]

Par ailleurs, l'utilisation des diodes Schottky discrètes induit des capacités parasites dues aux boitiers, les courants de fuites, les résistances de contact, et les dimensions fixes sont les inconvénients majeurs aux fréquences RF. Ces derniers éléments réduisent leur efficacité. Comme le montre le tableau précédent, les diodes Schottky sont efficaces pour de fortes puissances d'entrée par rapport à la puissance ambiante disponible. Une forte puissance en entrée signifie un transfert et pas une récupération d'énergie. Or dans le cadre de l'application visée, des puissances plus faibles de l'ordre de -30 dBm à -15 dBm seront considérées. Dans la partie suivante, l'état de l'art des redresseurs réalisés dans des technologies intégrées est présenté.

1.5.5 État de l'art avec des technologies intégrées

Pour résoudre les différents problèmes rencontrés avec les diodes Schottky discrètes, une intégration de ces diodes apporterait des améliorations. La réalisation des diodes Schottky en technologie intégrée nécessite dans certains cas une modification du processus de fabrication

et par conséquent des coûts supplémentaires de fabrication. En outre, le contrôle du contact métal–semi-conducteur qui assure le contact Schottky peut être un problème supplémentaire. Cette étude sera présentée au cours du chapitre 2.

En moyenne, la tension de seuil des diodes Schottky est de l'ordre de 200 mV, et celle des transistors MOS intégrée est environ deux fois plus grande, bien qu'elle dépende de la technologie, et celle des jonctions P-N vaut plus du triple, environ 700 mV. La tension de seuil et les courants de fuite sont les paramètres les plus critiques au niveau de la réalisation des redresseurs pour la récupération d'énergie RF.

Plusieurs études faisant appel à différentes technologies intégrées pour la réalisation des redresseurs-multiplieurs de tension pour la récupération d'énergie RF sont analysées. L'avantage de la réalisation de redresseurs dans une technologie intégrée est de surmonter les limitations dues aux diodes intrinsèques et de pouvoir optimiser les dimensions des diodes selon le besoin et l'application.

Dans [68], six étages d'un multiplieur de Dickson sont réalisés en utilisant la technologie CMOS 300 nm. Une technique de compensation de la tension de seuil est utilisée. Cette dernière consiste à placer une capacité entre la grille et le drain des transistors. Les capacités sont contrôlées à travers une unité de contrôle afin de les polariser. En outre, cette unité de contrôle nécessite un générateur d'impulsion supplémentaire. Dans ces conditions, ils ont montré qu'une batterie de 1,2 V pouvait être chargée à partir d'une puissance d'entrée de -20 dBm. Avec cette architecture, une efficacité de conversion de puissance de 1,2 % a été obtenue. Ce système présente une certaine complexité avec un faible rendement de conversion.

D'autre part, les auteurs de l'article [69] ont proposé l'utilisation d'un redresseur Dickson à 36 étages avec une grille flottante en utilisant la technologie CMOS 250 nm. L'utilisation d'une grille flottante permet de diminuer la tension de seuil. Une capacité MOS est placée entre la grille et le drain du transistor afin de créer une grille haute impédance comme le montre la Figure 1-22. Cette grille haute impédance piège les charges injectées dans la grille ce qui entraîne une polarisation fixe. Pour une résistance de 330 kΩ, une efficacité de 60 % est obtenue pour une puissance d'entrée de -8 dBm.

En outre, dans l'article [70], une proposition d'une auto-compensation, de niveau *n*, de la tension de seuil est réalisée. Cette technique consiste à assurer une tension de polarisation de la grille d'un transistor à travers la tension de sortie du $n^{\text{ème}}$ transistor suivant, sans recours à

d'autres sources de polarisation. Par exemple, les grilles des transistors d'un étage sont connectées à la tension de sortie du transistor suivant pour une compensation de niveau 1 (Figure 1-23).

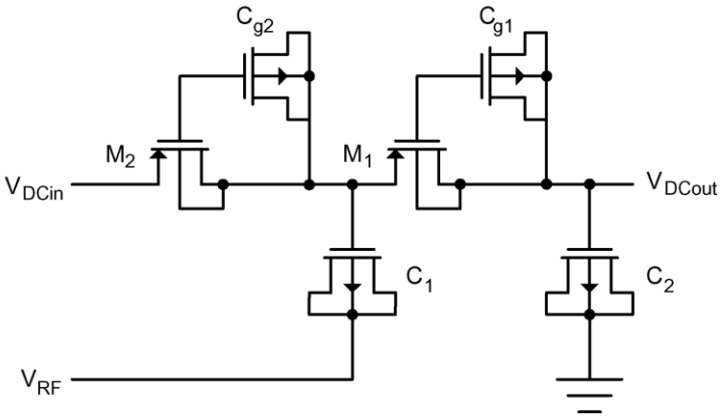

Figure 1-22 : Redresseur Dickson basé sur une grille flottante pour la diminution de la tension de seuil [69]

D'après leur étude, ils ont remarqué qu'une augmentation du niveau de compensation conduit à une augmentation des courants inverses, ajoutant ainsi une dégradation des performances. En outre, ils ont trouvé qu'avec une compensation d'un niveau 1 (*n*=1), une efficacité maximale est obtenue. Avec une résistance de charge de 1 MΩ et une puissance d'entrée de -16,8 dBm, l'efficacité d'un multiplieur Dickson à huit étages avec une compensation de niveau 1 est de 22,6 %.

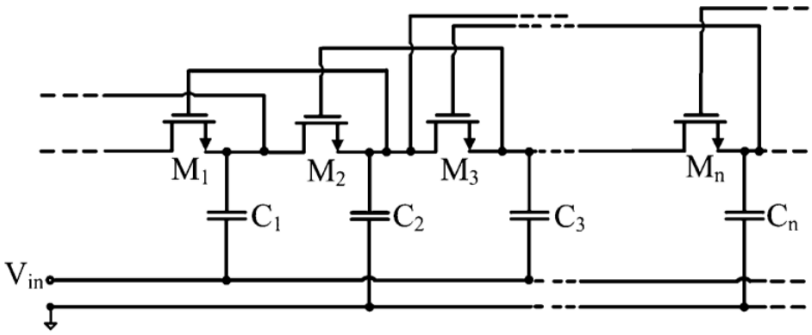

Figure 1-23 : Redresseur Dickson utilisant la methode de compensastion de la tension de seuil [70]

D'autre part, les auteurs de l'article [71] ont utilisés la méthode de compensation. Un multiplieur Dickson à 17 étages est réalisé avec une compensation de niveaux *n*=6. Pour les *n*-1 transistors d'un multiplieur à *N* étages, les grilles des transistors ne peuvent pas être compensées. Pour résoudre ce problème, ils ont cascadé une chaîne "fictive" (dummy) supplémentaire dans le seul but de générer des tensions continues plus élevées à utiliser pour la

compensation des tensions de seuil des *n*-1 derniers transistors. Une efficacité de 16,1 % est obtenue pour une puissance d'entrée de -15,8 dBm avec une résistance de charge de 500 kΩ à 915 MHz.

Dans certaines applications, il est nécessaire de disposer de plusieurs tensions de sortie, par exemple pour un micro capteur, ou dans un circuit RFID, la partie analogique a besoin d'une tension de 1 V ou plus, tandis que la partie numérique a besoin d'une tension de 0,5 V. Généralement, afin d'assurer plusieurs tensions en sortie, une pompe de charge peut être utilisée. La référence [72], fait état d'une méthode d'optimisation de redresseurs avec plusieurs tensions de sortie.

Par exemple, deux tensions de sortie, Vo_1 et Vo_2, ($Vo_2 > Vo_1$), sont demandées pour générer deux puissance de sortie : Po_1 et Po_2 respectivement. Une optimisation séparée pour chaque cas est réalisée. Les dimensions des transistors, $(W/L)_1$ et $(W/L)_2$, ainsi que le nombre d'étages $N1$ et $N2$ sont déterminés pour Vo_1 et Vo_2 respectivement.

Une superposition de ces deux multiplieurs Dickson est réalisée afin d'obtenir les deux grandeurs en même temps. Cependant, les transistors optimisés pour générer Vo_1, seront redimensionnés de manière à remplacer les $(W/L)_1$ par $(W/L)_1+(W/L)_2$ comme le montre la Figure 1-24.

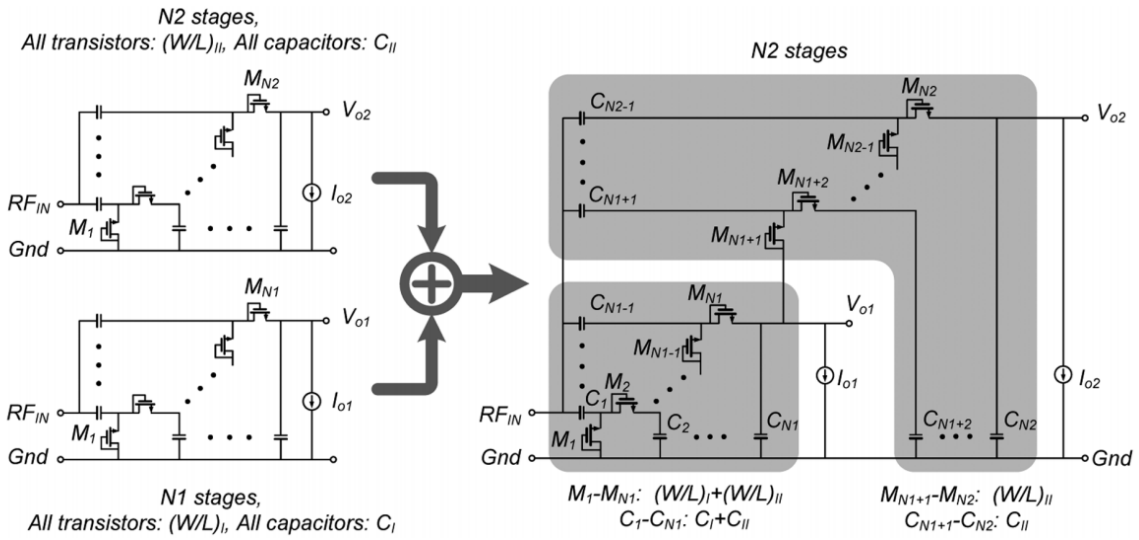

Figure 1-24 : Redresseur Dickson utilisant la méthode de superposition des deux redresseurs optimisés séparément [72]

Un redresseur à trois sorties est réalisé dans [72]. Il est formé de 24 étages. Les trois sorties sont situées à la sortie du 8^{éme}, du 14^{éme} et du 24^{éme} étage respectivement. Les tensions de sortie

obtenues sont de 0,537 V avec une résistance de charge de 35,2 kΩ, de 1,049 V avec 200 kΩ et de 1,792 V avec 470 kΩ respectivement. L'efficacité de conversion est de 10,6 %, 7,12 % et 8,78 % respectivement et une efficacité globale de 26,5 % pour une puissance d'entrée de -11,1 dBm.

Les auteurs de [73] ont utilisé les redresseurs de type Cross-Coupled (Figure 1-25). Trois étages d'un multiplieur Cross-Coupled différentiel sont réalisés en utilisant la technologie CMOS 130 nm. Une efficacité de conversion de puissance de 69,5 % est obtenue avec une puissance d'entrée de 5,26 dBm et une résistance de charge de 2 kΩ. Un redresseur Cross-Coupled (CC) (différentiel) est formé de quatre diodes : deux de type N et deux de type P. De plus, ce type de redresseur est toujours différentiel.

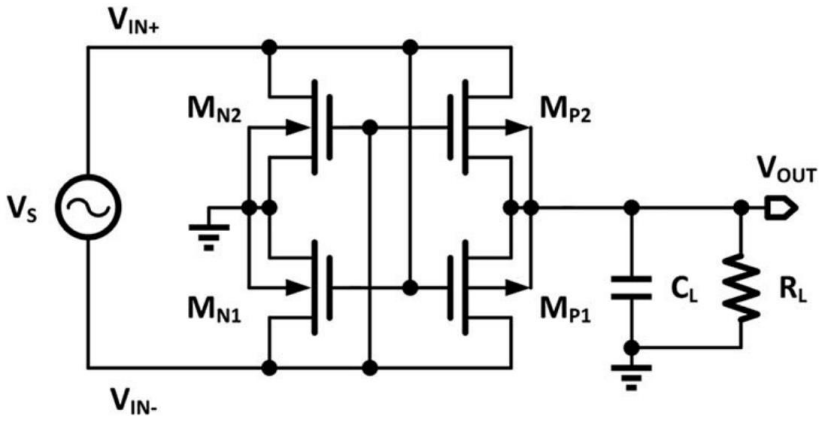

Figure 1-25 : Un doubleur de tension Cross-Coupled [74]

Un multiplieur reconfigurable est proposé dans [75]. Il consiste à avoir deux multiplieurs Cross-Coupled différentiels à deux étages chacun. Une unité de contrôle formé de trois transistors est utilisée pour choisir si la sortie doit être la sortie de deux étages ou celle de quatre étages comme le montre la Figure 1-26. Une efficacité maximale de 50 % est obtenue avec une puissance d'entrée de -7 dBm pour deux étages et de 60 % pour le multiplieur à quatre étages avec une puissance d'entrée de -3 dBm. La modification du nombre d'étages sans changement du système d'adaptation d'impédance dégrade les performances.

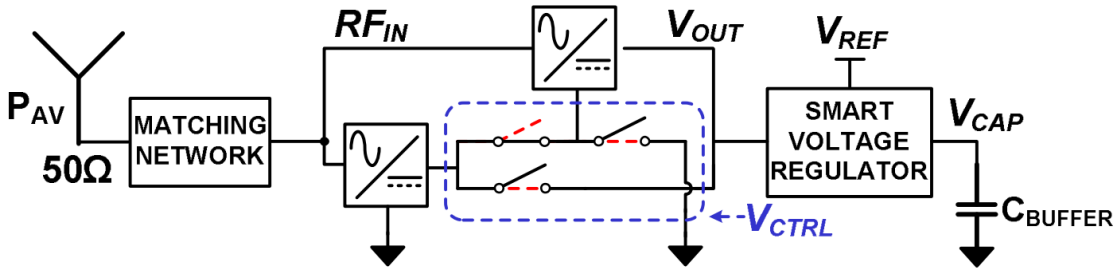

Figure 1-26 : Multiplieur de tension configurable [75][74]

Le tableau suivant présente une synthèse de l'état de l'art des redresseurs en technologies intégrées.

Tableau 2 : Synthèse des redresseurs avec des diodes intégrées

Ref.	Architecture	Technologie (CMOS)	Puissance d'entrée (dBm)	Fréquence (MHz)	Résistance de charge (kΩ)	*PCE* (%)
[68]	Dickson 6 étages	0,3 µm	-14	950	Batterie 1,2 V	1,2
[69]	Dickson 36 étages Grille flottante	0,25 µm	-8	906	330	60
[70]	Dickson 8 étages Auto compensation du Vth	0,13 µm	-16,8	915	1000	22,6
[71]	Dickson 17 étages Auto compensation du Vth	90 nm	-15,83	915	500	16,1
[72]	Dickson 24 étages (3 sorties)	0,18 µm Zero Vt	-11,12	900	8étages 35,2 10étages 20 12 étages 470	10,6 7,1 8,8
[73]	CC 3 étages	0,13 µm	5,2	953	2	69,5
[74]	CC 5 étages	65 nm	-10	900	147	36,5
[75]	CC configurable 2-4 étages	STM 0,13 µm	-7 -3	868	NA	50 60
[76]	Dickson 8 étages	TSMC 0,18 µm	-21,2	925	176	43,2
[77]	Dickson 24 étages	0,13 µm Zero Vt	-19,6	900	1	9,1
[78]	CC 5 étages	90 nm	-17	686	330	40
[79]	CC 1 étage	0,18 µm	-12,5	953	10	67,5
[80]	CC 10 étages	130 nm	-16	915	500	42,8

1.6 Conclusion

Dans ce chapitre, une présentation des différents types d'énergie ambiante est réalisée. En outre, les avantages et inconvénients de chaque type sont analysés. La source d'énergie solaire possède la densité de puissance la plus importante mais n'est pas disponible en toutes circonstances. A l'inverse, les ondes RF sont omniprésentes dans notre environnement et l'efficacité de conversion énergétique de ces ondes pour les transformer en puissance DC peut être supérieure à celle obtenue avec les cellules photovoltaïques. Malgré la faible densité de puissance des ondes RF, la présence d'une antenne dans les WSN et les IoT, qui occupent une surface importante du système, rend la récupération de ce type d'énergie utile pour des systèmes à ultra faible consommation.

Après avoir présenté le principe de la récupération d'énergie RF, les différentes topologies de redresseurs-multiplieurs de tensions utilisées sont analysées. L'état de l'art montre que l'efficacité obtenue avec des diodes réalisées dans des technologies intégrées (transistor monté en diode) est plus importante que celle obtenue avec des circuits réalisés en utilisant des diodes Schottky commerciales. Les redresseurs réalisés avec des diodes Schottky souffrent d'une limitation à cause des différents types de parasites ainsi que leur taille fixe ne permettant pas une bonne optimisation.

Dans le chapitre suivant, les diodes Schottky sont présentées. Les technologies microélectroniques utilisées pour la réalisation des diodes (transistors montés en diodes) sont exposées. Une comparaison entre deux types de technologie intégrée l'une substrat sur silicium massif et l'autre silicium sur isolant est réalisée. Finalement, une étude approfondie de faisabilité des diodes Schottky en technologie silicium sur isolant est proposée.

Références

[1] K. Clement, I. Pardon and J. Driesen, "Standby Power Consumption in Belgium", 2007 9th International Conference on Electrical Power Quality and Utilisation, Barcelona, 2007, pp. 1-4.

[2] A. Meier. "A worldwide review of standby power use in homes", Rapport technique, Lawrence Berkeley National Laboratory, 2001.

[3] Bruno Franciscatto. "Design and implementation of a new low-power consumption DSRC transponder Electronics". Université de Grenoble, 2014

[4] A. Harb, "Energy harvesting: State-of-the-art", Renew. Energy, vol. 36, no 10, p. 2641–2654, 2011.

[5] T. T. Le, J. Han, A. von Jouanne, K. Mayaram, et T. S. Fiez, "Piezoelectric micro-power generation interface circuits", IEEE J. Solid-State Circuits, vol. 41, no 6, p. 1411 - 1420, juin 2006.

[6] W. Wang, N. Wang, A. Vinco, R. Siddique, M. Hayes, B. O'Flynn, et C. O'Mathuna, "Super-capacitor and Thin Film Battery Hybrid Energy Storage for Energy Harvesting Applications", J. Phys. Conf. Ser., vol. 476, no 1, p. 012105, déc. 2013.

[7] V. Raghunathan et P. H. Chou, "Design and Power Management of Energy Harvesting Embedded Systems", in Proceedings of the 2006 International Symposium on Low Power Electronics and Design, 2006. ISLPED'06, 2006, p. 369-374.

[8] Véronique Kuhn. "Capture opportuniste d'énergie micro-onde pour l'autonomie des objets communicants". Electromagnétisme. Télécom Bretagne; Université de Bretagne Occidentale, 2015.

[9] S. Roundy, P. K. Wright, et J. Rabaey, "A study of low level vibrations as a power source for wireless sensor nodes", Comput. Commun., vol. 26, no 11, p. 1131-1144, juill. 2003.

[10] R. N. Torah, S. P. Beeby, M. J Tudor, T. O'Donnell, and S. Roy, "Development of a cantilever beam generator employing vibration energy harvesting", in 6th international workshop on micro and nanotechnology for power generation and energy conversion applications (PowerMEMS 2006), Dec.2006.

[11] M. Mizuno, and D. Chetwynd, "Investigation of a resonance microgenerator", J. Micromech. Microeng., pp. 209-216, 2003.

[12] C.Shearwood, and R. Yates, "Development of an electromagnetic microgenerator", Electron. Lett., pp. 1883-1884, 1997.

[13] H. Kulah, and K. Najafi, "An electromagnetic micro power generator for lowfrequency environmental vibrations", 17th IEEE international conference on micro electro mechanical systems (MEMS '04), pp. 237-240, Jan. 2004

[14] R. Amirtharajah, and A. Chandrakasan, "Self-powered signal processing using vibration based power generation", IEEE J. Solid-State Circuit, pp. 687-695, 1998.

[15] P. D. Mitcheson, T. C. Green, E. M. Yeatman, and A. S. Holmes, "Architectures for vibration-driven micropower generators", J. of Microelec- tromechanical Systems, vol. 13, no. 3, Jun. 2004

[16] S. Meninger, J. Mur-Miranda, R. Amirtharajah, A. P. Chandrasakan, and J. H. Lang, "Vibration to electric energy conversion", IEEE Trans. on VLSI, vol. 9, no. 1, Feb. 2001.

[17] S. Roundy, P. Wright, and J. Rabaey, "A study of low level vibrations as a power source for wireless sensor nodes", Computer Communications, vol. 26, no. 11, pp. 1131-1144, 2003

[18] S. Roundy, B. P. Otis, Y.-H. Chee, J. M. Rabaey, and P. Wright, "A 1.9 GHz rf tansmit beacon using environmentally scavenged energy", in Proceedings of the ISPLED, 2003.

[19] S. Roundy, P. Wright, and K. Pister, "Micro-electrostatic vibration-to-electricity converters", in Proceedings of International Mechanical Engineering Congress and Exposition IMECE, vol. 220, pp. 17-22, Nov. 2002.

[20] M. Marzencki, Y. Ammar, and S. Basrour, "Integrated power harvesting system including a MEMS generator and a power management circuit", in International Solid-State Sensors, Actuators and Microsystems Conference, pp. 887–890, 2007.

[21] R. Elfrink, T. M. Kamel, M. Goedbloed, S. Matova, D. Hohlfeld, Y. van Andel, and R. van Schaijk, "Vibration energy harvesting with aluminum nitridebased piezoelectric devices", Journal of Micromechanics and Microengineering, vol. 19, no. 9, 2009.

[22] A. Almusallam, R. Torah, D. Zhu, M. Tudor, and S. Beeby, "Screenprinted piezoelectric shoe-insole energy harvester using an improved flexible pzt-polymer composites", in Journal of Physics: Conference Series, vol. 476, p. 012108, I, 2013.

[23] N. Shenck and J. Paradiso, "Energy scavenging with shoe-mounted piezoelectrics", Micro, IEEE, vol. 21, pp. 30–42, May 2001.

[24] http://www.piezoelectrique.com/

[25] Stephen Beeby, "Energy Harvesting for Autonomous Systems", Neil White Editors

[26] J. P. Thomas, M. A. Qidwai, and J. C. Kellogg, "Energy scavenging for small-scale unmanned systems", Journal of Power Sources, vol. 159, pp. 1494-1509, 2006.

[27] A. Reinders, "Options for Photovoltaic Solar Energy Systems in Portable Products", TMCE, 2002.

[28] Y. Qi and M. C. McAlpine, "Nanotechnology-enabled flexible and biocompatible energy harvesting", Energy Environ. Sci., vol. 3, pp. 1275–1285, 2010.

[29] T. Torfs, V. Leonov, K. FLEURY-FRENETTE, et R. J. M. Vullers, "Pulse Oximeter Fully Powered by Human Body Heat", Sens. Transducers J., vol. 80, no 6, p. 1230-1238, 2008.

[30] International thermoelectric society. Thermoelectric power for automobiles arrives in Europe. [Online] Available: http://www.its.org/node/5670

[31] C. Knight, J. Davidson, and S. Behrens, "Energy Options for Wireless Sensor Nodes", Sensors, vol. 8, pp. 8037-8066, 2008.

[32] A. Sample and J. R. Smith, "Experimental results with two wireless power transfer systems", in Radio and Wireless Symposium, pp. 16–18, 2009.

[33] Zied SADDI. "Conception d'un dispositif de récupération d'énergie mixte vibratoire-électromagnétique pour l'alimentation de dispositifs à faible consommation", Université Paris Est, 2016.

[34] https://techreport.com/review/31660/intel-defends-its-process-technology-leadership-at-14nm-and-10nm

[35] http://aerospace.wpengine.netdna-cdn.com/wp content/uploads/conferences/MRQW2017/K_Fleetwood.pdf

[36] Walid Haboubi. "Développements de circuits Rectennae bi-polarisation, bi-bande pour la récupération et conversion d'énergie électromagnétique à faible niveau", Université Paris Est, 2014.

[37] J. C. Maxwell, "A Dynamical Theory of the Electromagnetic Field", Philosophical Transactions of the Royal Society of London 155, 459–512, in 1865.

[38] Dean Karolak. "Système de radiocommunication télé-alimenté par voie radiofréquence à 2.45 GHz", Electronique. Université de Bordeaux, 2015. Français.

[39] H. H.Hertz, "Dictionnary of Scientific Biography" .

[40] Marconi Wireless Tel. Co. v. United States, 320 U.S.1, US Supreme Court Center, 1943

[41] Anderson, L. I., (2002). N. Tesla, "Nikola Tesla on his work with alternating currents and their application to wireless telegraphy, telephony, and transmission of power: An extended interview: 21st Century Books".

[42] Abderrahim Okba. "Conception et réalisation de rectennas utilisées pour la récupération d'énergie électromagnétique pour l'alimentation de réseaux de capteurs sans fils", Micro et nanotechnologies/ Microélectronique. Université Toulouse 3 – Paul Sabatier, 2017.

[43] W. C. Brown, "The history of power transmission by radio waves", IEEE Transactions Microwave Theory Tech., vol. MTT-32, pp. 1230–1242, 1984.

[44] W. C. Brown, "Experimental Airborne Microwave Supported Platform", Dec. 1965.

[45] R. M. Dickinson, "Performance of a High-Power, 2.388-GHz Receiving Array in Wireless Power Transmission Over 1.54 km", in IEEE-MTT-S International Microwave Symposium, 1976, pp. 139–141

[46] B. Strassner and K. Chang, "Microwave Power Transmission: Historical Milestones and System Components", Proc. IEEE, vol. 101, no. 6, pp. 1379–1396, Jun. 2013.

[47] Y. Fujino, T. Ito, N. Kaya, H. Matsumoto, K. Kawabata, H. Sawada, and T. Onodera, "A rectenna for MILAX", in Proc. Wireless Power Transm. Conf., Feb. 1993, pp. 273–277.

[48] B. Strassner and K. Chang, "5.8 GHz circularly polarized dual rhombic loop traveling wave rectifying antenna for low power density wireless power transmission applications", IEEE Trans. Microw. Theory Tech., vol. 51, no. 5, pp. 1548–1553, May 2003.

[49] J. Zbitou, M. Latrach et S. Toutain, "Hybrid rectenna and monolithic integrated zero-bias microwave rectifier". Microwave Theory and Techniques, IEEE Transactions on, vol. 54, no 1, p. 147-152, 2006.

[50] A. Douyere, J.-D. Lan Sun Luk et F. Alicalapa, "High efficiency microwave rectenna circuit: modelling and design". Electronics Letters, 2008, vol. 44, no 24, p. 1409-1410.

[51] J.A.G. Akkermans, M.C. van Beurden, G.J.N. Doodeman et H.J. Visser, "Analytical models for low-power rectenna design". Antennas and Wireless Propagation Letters, IEEE, vol. 4, p. 187- 190, 2005.

[52] F. Y. Zulkifli, M. L. Yorashaki et T. R. Eko, "Design of rectifier for rectenna application", Asia-Pacific Microwave Conference (APMC), IEEE, Vol. 2, 2015.

[53] V. Palazzi, C. Kalialakis, F. Alimenti, P. Mezzanotte, L. Roselli, A. Collado et A. Georgiadis, "Design of a ultra-compact low-power rectenna in paper substrate for energy

harvesting in the Wi-Fi band", In 2016 IEEE Wireless Power Transfer Conference (WPTC), pp. 1-4, 2016

[54] S. Berndie et C. Kai. "5.8-GHz circularly polarized rectifying antenna for wireless microwave power transmission". Microwave Theory and Techniques, IEEE Transactions on, vol. 50, no 8, p. 1870-1876, 2002.

[55] T. –C. Yo, C. -M. Lee, C.-M. Hsu et C. –H. Luo, "Compact circularly polarized rectenna with unbalanced circular slots". Antennas and Propagation, IEEE Transactions on, vol. 56, no 3, p. 882-886, 2008.

[56] M. M. Mansour and H. Kanaya, "Compact and Broadband RF Rectifier With 1.5 Octave Bandwidth Based on a Simple Pair of L-Section Matching Network," in IEEE Microwave and Wireless Components Letters, vol. 28, no. 4, pp. 335-337, April 2018.

[57] F. Meddour and Z. Dibi, "An efficient small size electromagnetic energy harvesting sensor for low-DC-power applications", in IET Microwaves, Antennas & Propagation, vol. 11, no. 4, pp. 483-489, 3 18 2017.

[58] F. Yuan, CMOS circuits for passive wireless microsystems. 2011.

[59] I. Chaour, S. Bdiri, A. Fakhfakh et O. Kanoun, "Modified rectifier circuit for high efficiency and low power RF energy harvester". in International Multi-Conference on Systems, Signals & Devices (SSD), (IEEE), pp. 619-623, 2016

[60] D. Michelon, E. Bergeret, A. Di Giacomo, et P. Pannier, "Optimization of integrated dickson voltage-multipliers for RF energy harvesting", New Circuits and Systems Conference (NEWCAS), 2014 IEEE 12th International, pp. 448-451, 2014.

[61] M. Pasca, S. D'Amico, V. Chironi, L. Catarinucci, D. de Donno, R. Colella et L. Tarricone, "A−19dBm sensitivity integrated RF-DC converter with regulated output voltage for powering UHF wireless sensors", Advances in Sensors and Interfaces (IWASI), 2015 6th IEEE International Workshop on, pp. 168-171, 2015.

[62] K.K.A. Devi, M.D. Norashidah, C.K. Chakrabarty et S. Sadasivam, "Design of an RF-DC conversion circuit for energy harvesting". In: Electronics Design, Systems and Applications (ICEDSA), IEEE International Conference on. IEEE, p. 156-161, 2012.

[63] H. Takhedmit et al., "A 2.45-GHz dual-diode RF-to-dc rectifier for rectenna applications", in Eur. Microw. Conf., 2010, pp. 37–40.

[64] J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique", in IEEE Journal of Solid-State Circuits, vol. 11, no. 3, pp. 374-378, Jun 1976.

[65] M. A. Abouzied and E. Sánchez-Sinencio, "Low-Input Power-Level CMOS RF Energy-Harvesting Front End", in IEEE Transactions on Microwave Theory and Techniques, vol. 63, no. 11, pp. 3794-3805, Nov. 2015.

[66] S. Hemour et al., "Towards Low-Power High-Efficiency RF and Microwave Energy Harvesting", in IEEE Transactions on Microwave Theory and Techniques, vol. 62, no. 4, pp. 965-976, April 2014.

[67] C. H. P. Lorenz et al., "Breaking the Efficiency Barrier for Ambient Microwave Power Harvesting With Heterojunction Backward Tunnel Diodes", in IEEE Transactions on Microwave Theory and Techniques, vol. 63, no. 12, pp. 4544-4555, Dec. 2015.

[68] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki and S. Otaka, "A 950-MHz rectifier circuit for sensor network tags with 10-m distance", in IEEE Journal of Solid-State Circuits, vol. 41, no. 1, pp. 35-41, Jan. 2006.

[69] T. Le, K. Mayaram and T. Fiez, "Efficient Far-Field Radio Frequency Energy Harvesting for Passively Powered Sensor Networks", in IEEE Journal of Solid-State Circuits, vol. 43, no. 5, pp. 1287-1302, May 2008.

[70] Z. Hameed and K. Moez, "Hybrid Forward and Backward Threshold-Compensated RF-DC Power Converter for RF Energy Harvesting", in IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 4, no. 3, pp. 335-343, Sept. 2014.

[71] G. Papotto, F. Carrara, and G. Palmisano, "A 90-nm CMOS thresholdcompensated RF energy harvester", IEEE J. Solid-State Circuits, vol. 46, no. 9, pp. 1985–1997, Sep. 2011.

[72] J. Yi, W. H. Ki and C. Y. Tsui, "Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications", in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 54, no. 1, pp. 153-166, Jan. 2007.

[73] A. K. Moghaddam, J. H. Chuah, H. Ramiah, J. Ahmadian, P. I. Mak and R. P. Martins, "A 73.9%-Efficiency CMOS Rectifier Using a Lower DC Feeding (LDCF) Self-Body-Biasing Technique for Far-Field RF Energy-Harvesting Systems", in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 64, no. 4, pp. 992-1002, April 2017.

[74] Y. Lu et al., "A Wide Input Range Dual-Path CMOS Rectifier for RF Energy Harvesting", in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 64, no. 2, pp. 166-170, Feb. 2017.

[75] S. Scorcioni, A. Bertacchini and L. Larcher, "A 868MHz CMOS RF-DC power converter with −17dBm input power sensitivity and efficiency higher than 40% over 14dB input power range," in Proceedings of the ESSCIRC (ESSCIRC), Bordeaux, 2012, pp. 109-112.

[76] C. Y. Yao and W. C. Hsia, "A –21.2 -dBm Dual-Channel UHF Passive CMOS RFID Tag Design", in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 4, pp. 1269-1279, April 2014.

[77] L. G. de Carli, Y. Juppa, A. J. Cardoso, C. Galup-Montoro, and M. C. Schneider, "Maximizing the power conversion efficiency of ultralow-voltage CMOS multi-stage rectifiers", IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 62, no. 4, pp. 967–975, Apr. 2015.

[78] M. Stoopman, S. Keyrouz, H. J. Visser, K. Philips and W. A. Serdijn, "Co-Design of a CMOS Rectifier and Small Loop Antenna for Highly Sensitive RF Energy Harvesters", in IEEE Journal of Solid-State Circuits, vol. 49, no. 3, pp. 622-634, March 2014.

[79] K. Kotani, A. Sasaki, and T. Ito, "High-efficiency differential-drive CMOS rectifier for UHF RFIDs", IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3011–3018, Nov. 2009

[80] S. M. Noghabaei, R. L. Radin, Y. Savaria and M. Sawan, "A High-Efficiency Ultra-Low-Power CMOS Rectifier for RF Energy Harvesting Applications", 2018 IEEE International Symposium on Circuits and Systems (ISCAS), Florence, Italy, 2018, pp. 1-4.

2 Technologies microélectroniques utilisables pour les convertisseurs d'énergie électromagnétique

2.1 Introduction

Dans ce chapitre, une présentation des différentes technologies microélectroniques intégrées et discrètes utilisables dans le domaine de la récupération d'énergie est décrite. Pour la récupération d'énergie RF, dans les grandes majorités des cas, les éléments non linéaires mis en œuvre sont des diodes Schottky, afin de réaliser le redressement du signal RF, comme l'atteste par exemple les travaux suivants [1]-[7]. L'utilisation de diodes Schottky est essentiellement motivée par l'intérêt d'avoir une faible tension de seuil de conduction pour ces jonctions métal/semi-conducteur. Par ailleurs, des composants commerciaux performants et à faibles coûts sont disponibles pour la réalisation de prototypes intéressants. Toutefois leur implantation et leur association, même en version composant monté en surface (CMS), sont pénalisées par différents effets de parasites (résistance de contact, capacité de couplage entre plots, etc…) qui limitent leur utilisation surtout en haute fréquence.

La Figure 2-1 représente l'état de l'art présenté dans [8]. Elle décrit l'efficacité de conversion (RF-DC) des redresseurs, utilisés pour la récupération d'énergie RF, en fonction de la puissance d'entrée des redresseurs, et pour différents types de non-linéarité ou diodes. L'efficacité de conversion RF-DC est le rapport entre la puissance DC obtenue en sortie, et la puissance RF en entrée. Pour les faibles puissances en entrée, l'efficacité obtenue avec des transistors montés en diode (dont le drain est connecté à la grille), en utilisant une technologie CMOS peut s'avérer être plus importante que celle obtenue avec des diodes Schottky commerciales. Toutefois la plage de puissance d'entrée pour laquelle cette efficacité est plus grande est elle bien plus étroite.

La raison doit être que l'utilisation des technologies intégrées doit permettre de réduire les paramètres parasites inhérents aux diodes discrètes. Toutefois dans les systèmes de récupération d'énergie RF, la puissane reçue dépend de la distance à l'émetteur et a de fortes chances de ne pas être constante. Si les technologies CMOS intégrées standards offrent des plages de conversion d'énergie assez réduite, la technologie FD-SOI offre une nouvelle fonctionnalité au niveau du BOX où une polarisation de la grille arrière permet d'influencer la tension de seuil de la jonction équivalente. De plus, cette technologie a été définie pour les applications faibles puissances et permet de réduire certains effets parasites par rapport à une technologie MOS sur silicium massif.

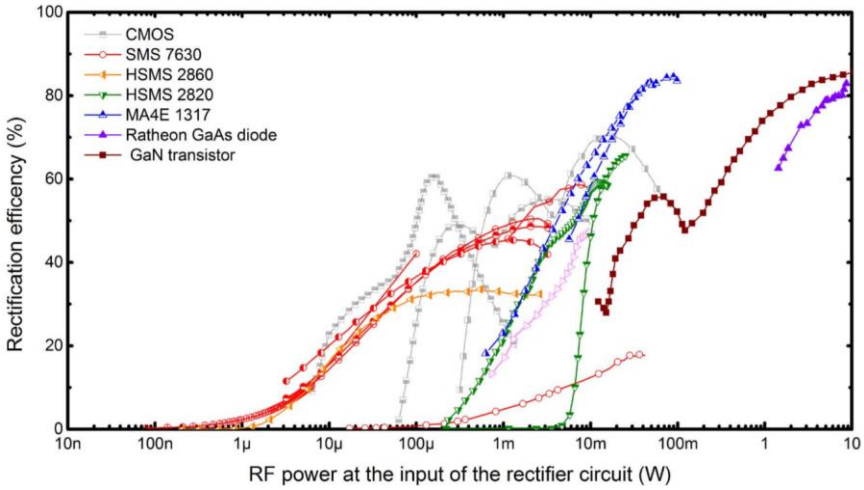

Figure 2-1 : Efficacité de conversion en fonction de la puissance d'entrée [8]

Ce chapitre est organisé en quatre parties. Tout d'abord, cette brève introduction. La deuxième partie, qui concerne la présentation des technologies utilisées pour la réalisation des redresseurs pour la récupération d'énergie RF (diode Schottky, substrat sur silicium massif (Bulk) et silicium sur isolant (SOI)) ainsi que les limitations qui leur sont inhérentes. Dans la troisième partie, la technologie FDSOI 28 nm est présentée puis détaillée (plaque SOI, processus de fabrication etc…). Enfin, une étude approfondie de faisabilité des diodes Schottky en technologie SOI est proposée. L'objectif de cette étude est de concevoir un élément non linéaire avec une faible tension de seuil tout en limitant les éléments parasites pour assurer la meilleure efficacité possible de conversion RF-DC des dispositifs.

2.2 Diodes et technologies utilisées pour la récupération d'énergie RF

Comme décrit dans le chapitre précédent, les redresseurs sont basés sur des éléments non linéaires (diodes) associés à des capacités de stockage de charges. Ces composants peuvent être des diodes Schottky commerciales sous la forme de composants discrets (HSMS 2820, HSMS 2850, SMS 7630, etc…) [1]-[7], ou bien des diodes réalisées en technologie intégrée (à l'aide des transistors montés en diode). L'utilisation d'un transistor à la place d'une diode N-P intégrée induit une tension de seuil plus petite que celle d'une diode N-P. Cette dernière est de plusieurs centaines de millivolt (environ 0,7 V). Par ailleurs, comme le montre quelques études, il existe aussi des diodes Schottky réalisées en technologie intégrée (Annexe 1).

Plusieurs technologies microélectroniques, conduisant à des solutions de redresseurs intégrés à base de transistors, sont utilisables. Dans cette partie, les diodes Schottky discrètes sont présentées. De plus, nous avons souhaité faire une comparaison entre deux types de

technologies intégrées, la première plus classique basée sur un substrat silicium massif (Bulk), et une seconde sur du silicium sur isolant (SOI). Afin de voir les différences, une présentation de ces deux technologies est tout d'abord faite dans la partie suivante.

2.2.1 Diode Schottky

2.2.1.1 Introduction sur la diode Schottky

Les composants électroniques non linéaires exploitent les propriétés d'hétérostructures qui sont réalisées par l'association de différents matériaux : métal–semi-conducteur, semi-conducteur 1–semi-conducteur 2, métal–isolant–semi-conducteur, etc… . Le contact métal–semi-conducteur représente l'un des premiers composants électroniques qui a été utilisé dès 1904. Une interprétation des effets de redressement d'un tel contact a été étudiée en 1938 par Walter H. Schottky. Aujourd'hui, ce type de contact présente l'un des dispositifs de base de l'électronique moderne.

Les diodes standard sont basées sur la jonction de deux semi-conducteurs, l'un dopé P, l'autre dopé N et parfois avec un semi-conducteur intrinsèque comme dans le cas de la diode PIN. Une diode Schottky (Figure 2-2) est représentée par un contact Schottky (Anode) et un contact ohmique (Cathode). Ce type de diode réunit un semi-conducteur du type N ou P et un métal. Les métaux utilisés incluent le chrome et le tungstène, mais aussi des métaux précieux comme le platine et le palladium. Généralement, pour les diodes Schottky, la forme la plus commune est obtenue par la jonction métal et semi-conducteur du type N, d'autres constituées par une jonction métal et semi-conducteur du type P sont également employées [9].

Le comportement de ce type de jonction est basé sur les caractéristiques I-V (statique) et C-V (dynamiques). La hauteur de la barrière Schottky (SBH : Schottky Barrier Height) est l'un des paramètres essentiels qui influence ses caractéristiques [10].

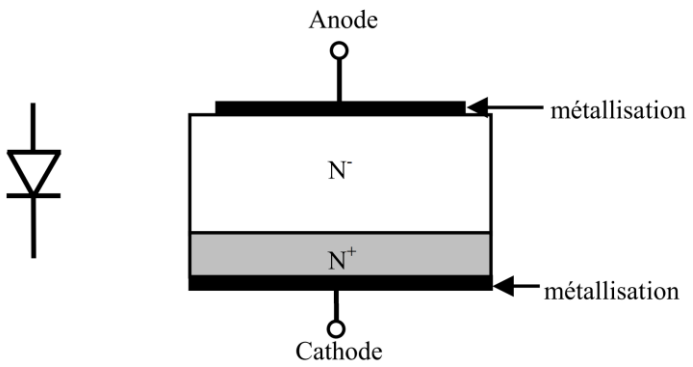

Figure 2-2 : Représentation d'une diode Schottky [9]

La diode à barrière Schottky (SBD : Schottky Barrier Diode) est caractérisée par :

- **Faible chute de tension** : La diode Schottky est utile dans beaucoup d'applications grâce à sa chute de tension et sa tension de seuil réduite (tension de seuil est de 0,2-0,4 V pour une diode Schottky).
- **Vitesse de commutation** : Une diode P-N nécessite plus de temps pour changer d'état qu'une diode Schottky à cause des charges stockées dans la jonction. Dans une diode Schottky, vu qu'un des matériaux semi-conducteurs est remplacé par un métal, la capacité de jonction est plus faible par rapport à celle d'une diode P-N, et le temps de commutation est beaucoup aussi plus faible. Cet avantage améliore considérablement l'efficacité du circuit et permet l'utilisation de ce type des diodes en hautes fréquences.

La Figure 2-3 représente le modèle électrique d'une diode Schottky. L_b et C_b représentent les deux éléments parasites associés au boitier. R_S, R_j et C_j représentent respectivement la résistance série, la résistance de jonction et la capacité de jonction. Il est important que la résistance série soit faible pour avoir le minimum de puissance dissipée dans la diode. R_j, décrit le comportement non linéaire et dépend des conditions de fonctionnement de la diode et C_j dépend de la tension appliquée à la diode [11] [12].

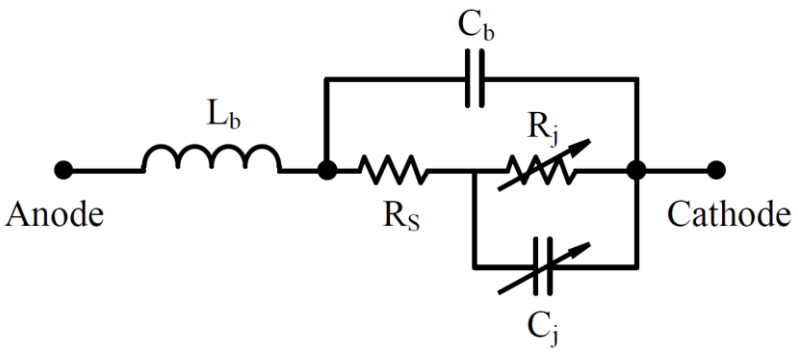

Figure 2-3 : Modèle équivalent d'une diode Schottky

Dans la partie suivante, une présentation et une explication des phénomènes physiques pour les contacts Schottky et ohmique sont proposées.

2.2.1.2 Contact ohmique et contact Schottky

Pour chaque dispositif à semi-conducteur, il y a au moins deux contacts semi-conducteurs–métaux pour former les connexions. Dans la SBD, le contact ohmique (cathode) représente une des deux connexions et l'autre sur l'anode est un contact Schottky.

2.2.1.2.1 Contact Schottky

Comme presenté précedemment, le contact Schottky a des caractéristiques qui permettent son utilisation dans des applications et des systèmes haute fréquence (jusqu'à plusieurs dizaines de GHz) et qui peuvent fonctionner avec de faibles niveaux de tension (quelques dizaines de mV). La Figure 2-4 montre le diagramme de bande d'énergie pour ce type de contact ($\emptyset_m > \emptyset_s$) à l'équilibre thermique. $\emptyset m$ et $\emptyset s$ representent le travail de sortie pour le métal et le semiconducteur resepctivement (Annexe 1).

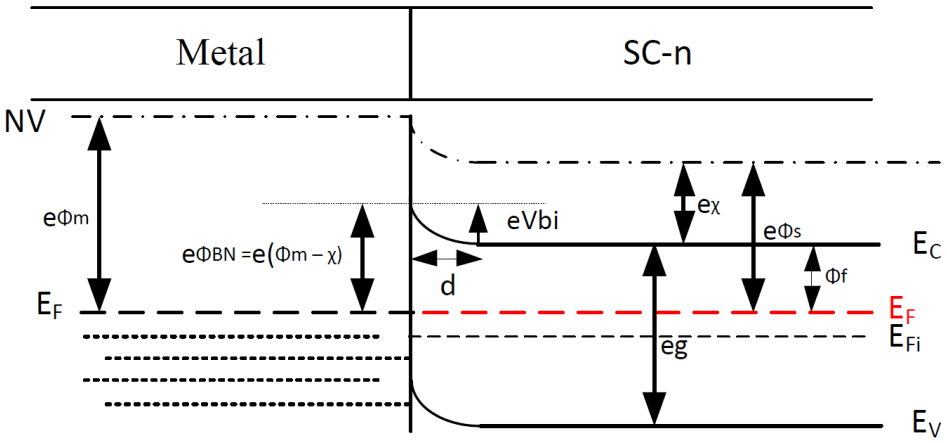

Figure 2-4 : diagramme d'énergie d'un contact Schottky

Le potentiel V_{bi} (build in potential) représente la tension de seuil. Cette tension est exprimée par (1-1) :

$$V_{bi} = \Phi BN - \frac{K_B.T}{q}.ln\left(\frac{Nc}{Nd}\right) \qquad (2\text{-}1)$$

Où N_C est la densité d'états qui correspond à la place disponible pour les électrons dans la bande de conduction (2-2), N_d est le niveau du dopage et ΦBN est la barrière de potentiel [13]. Le paramètre $\frac{K_B.T}{q}$ qui représente la tension thermique est égale à 26 mV pour une température ambiante soit T = 300° K.

$$Nc = 2.\left(\frac{2.\pi.m_e^*.K_B.T}{h^2}\right)^{3/2} \qquad (2\text{-}2)$$

Où *me** correspond à la masse effective et qui vaut 1,08/m0 pour le silicium, où m0 est la masse d'un electron libre (9,1 10^{-31} kg), et h est la constante de Planck (6,62 10^{-34} m^2.kg/s). Il est possible d'estimer *Nc*, sa valeur est égale à 2,81 10^{19} cm^{-3} à température ambiante (soit T = 300° K).

Lorsque la jonction entre le métal et le semi-conducteur se comporte comme un contact Schottky, la zone de depletion en absence de polarisation est de largeur d telle que:

$$d^2 = \frac{2.\varepsilon_{SC}.\varepsilon_0}{q.N_d} V_d \tag{2-3}$$

Où N_d est la densité du dopant, ε_{SC} est la permittivité relative du semi-conducteur et $V_d = \emptyset m - \emptyset s$. D'autre part, lorsque la structure est polarisée avec une tension V, la zone de depletion est représentée par :

$$d^2 = \frac{2.\varepsilon_{SC}.\varepsilon_0}{q.N_d} (V_d - V) \tag{2-4}$$

Une variation de polarisation va donc produire une variation de d et par suite une variation de la capacité de jonction. Cette capacité est représentée par :

$$C = \frac{A.\varepsilon_{SC}.\varepsilon_0}{d} \tag{2-5}$$

où A représente la surface de contact. On retrouve l'expression d'une capacité plan pour laquelle la capacité de jonction est proportionnelle à la surface de contact. De même , la résistance de la SBD (représentée ultérieurement) dépend aussi de la géométrie du contact.

2.2.1.2.2 Contact ohmique

Un contact ohmique est défini par un contact métal–semi-conducteur qui présente une résistance de jonction négligeable par rapport à la résistance totale du dispositif à semi-conducteur. Pour que ce type de contact soit satisfaisant, il ne doit pas perturber les performances et induire une chute de tension qui est suffisamment petite par rapport à la chute au niveau de la région active du dispositif [14]. Un contact ohmique peut être réalisé par deux méthodes :

- En réalisant un contact entre un métal et un semi-conducteur tel que $\emptyset m < \emptyset s$. Cette méthode est peu utilisée.
- La méthode la plus utilisée est basée sur un contact entre un métal et un semi-conducteur fortement dopé de telle sorte que l'effet tunnel soit dominant comme nous le montre la Figure 2-5 [15].

Dans le cas où les matériaux sont surdopés au niveau des contacts, les zones de charges d'espace (ZCE) deviennent très faibles (typiquement inférieures à 10 nm). La barrière de potentiel est alors très fine (bien que haute) et une majorité de porteurs peuvent passer par effet tunnel. Ce

fort courant tunnel permet d'avoir une faible résistance et donc un bon contact. Ce type de contact est très utilisé parce qu'il est facile à réaliser et efficace.

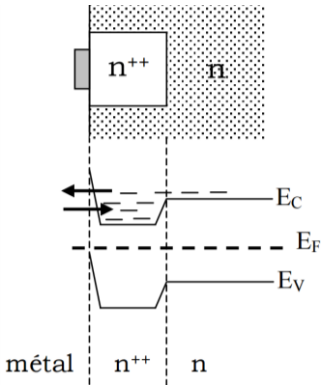

Figure 2-5 : Structures de bandes d'un contact ohmique

Dans la suite, une présentation du processus de fabrication de la technologie 28 nm FDSOI et ainsi que les modifications à réaliser pour la fabrication de la SBD dans cette technologie sont proposées.

2.2.2 Substrat sur silicium massif

Les transistors MOS sur silicium massif sont utilisés depuis plus de quarante ans. Ils représentent les briques de base pour la réalisation des circuits intégrés. Les technologies intégrées conduisent à la miniaturisation des dispositifs. En passant d'un nœud technologique au suivant, la longueur de la grille des transistors MOS diminue, et la densité des transistors MOS intégrés devient de plus en plus importante. Ainsi les circuits intégrés assurent plus de performances (Figure 2-6).

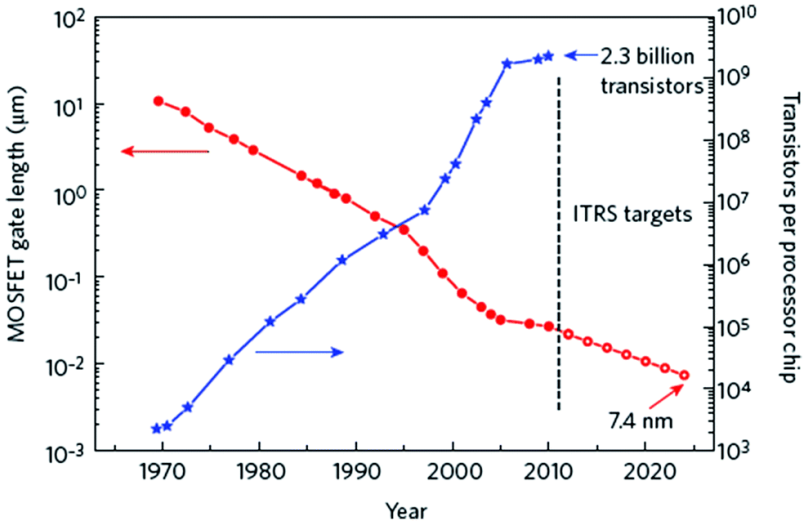

Figure 2-6 : Evolution dans le temps de la taille de la grille des transistors MOS et la densité du nombre de transistors [16]

En effet, les nouveaux nœuds technologiques permettent de réduire les tensions de seuil et donc la tension d'alimentation des circuits et par conséquent, une réduction de leurs consommations [17]. Toutefois, la diminution de la tension de seuil induit une augmentation des courants des fuite dans les transistors, d'où, une augmentation des pertes associées qui aujourd'hui ne sont plus négligeables. Ces courants de fuite conduisent à une consommation électrique supplémentaire des circuits de dernière génération.

Afin de conserver le bénéfice de faibles tensions de seuil (pour les applications faibles puissances) et limiter les fuites et les autres parasites causés par l'effet des canaux courts, de nombreuses améliorations ([18] [19]) ont été apportées au niveau des transistors surtout à partir du nœud technologique 90 nm (Figure 2-7). Ces améliorations ont été réalisées pour remédier à la faible augmentation des performances.

Par ailleurs, pour augmenter le courant de fonctionnement I_{on}, une augmentation de la mobilité des porteurs de charges en réalisant une contrainte mécanique sur le canal a été décrite [20] [21]. De plus, afin de limiter les courants de fuite de la grille, une amélioration du contrôle électrostatique du canal a été proposée grâce à un nouvel isolant à haute permittivité ou « hight-k » introduit dans la grille. En outre, le polysilicium utilisé au niveau de la grille a été remplacé par du métal permettant de supprimer l'effet de polydepletion comme décrit dans [22] [23].

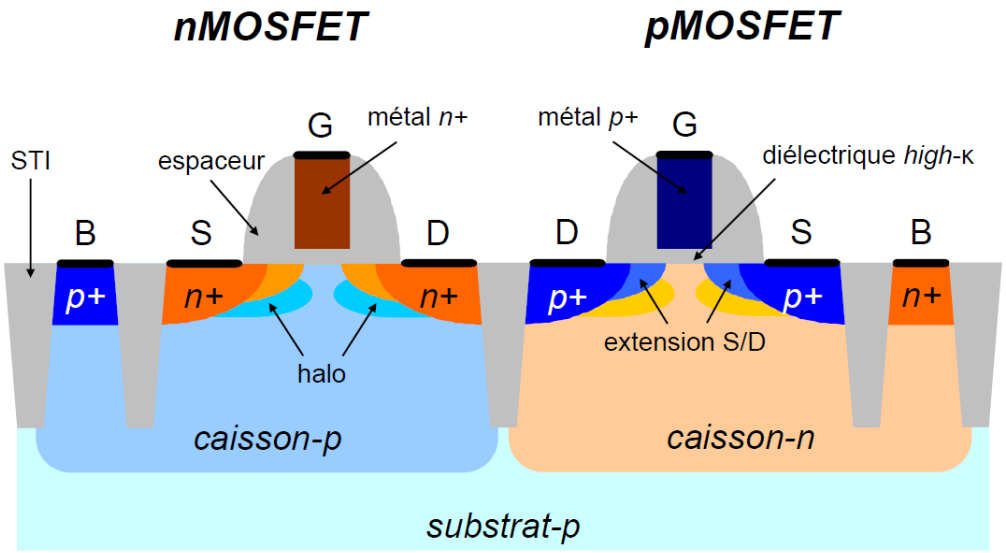

Figure 2-7 : Coupe schématique de transistors N et P MOS fabriqué dans les dernières technologies Bulk [17].

Une autre solution pour réduire les effets de canaux courts a été réalisée par l'insertion de zones moins dopées, appelée LDD (Lightly Doped Drain). Ces zones LDD sont placées du côté source

et du coté drain (S/D) à proximité du canal. Elles ont pour effet de limiter les extensions des zones de charges d'espace (ZCE) au niveau des S/D du transistor, ce qui va induire par la suite une amélioration du contrôle électrostatique du canal par la grille.
Une autre innovation est une implantation supplémentaire réalisée aussi au niveau du S/D, communément appelée « halo », de même type de dopage que le caisson. Ces halos ont pour rôle d'empêcher les ZCE des S/D de se rejoindre en créant un canal parasite. Toutefois, ces halos ont un effet secondaire sur l'augmentation du courant GIDL (Gate-Induced Drain Leakage) au niveau des jonctions S/D-caisson [24].

Malgré toutes ces innovations autour de la topologie des transistors, pour chaque nouveau nœud technologique, une dégradation supplémentaire du contrôle électrostatique du canal par la grille est observée. Cette dégradation due aux effets de canaux courts, a comme conséquence l'augmentation des courants de fuite du transistor [17]. De plus, l'augmentation de la complexité a un impact non négligeable sur les coûts de fabrication.

La technologie BiCMOS 55 nm est une technologie sur silicium massif de dernière génération (prix CMP Mars 2018 pour BiCMOS 55 nm : 7500 €/mm^2). Elle est formée d'un empilement de couche de 8 métaux. La Figure 2-8 montre les niveaux d'interconnexions ou BEOL (Back End Of Line) de la technologie BiCMOS 55 nm. Dans la suite, cette technologie sera comparée avec une autre technologie plus sophistiquée la FDSOI 28 nm (prix CMP Mars 2018 FDSOI 28 nm : 12000 €/mm^2).

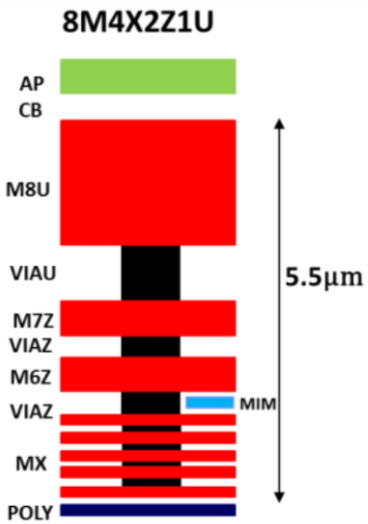

Figure 2-8 : Constitution du BEOL de la technologie BiCMOS 55 nm [25]

Des transistors montés en diodes, de type N et P, avec un rapport largeur/longueur *W*/*L*en = 280 µm/60 nm, ont été conçus et réalisés en technologie BiCMOS 55 nm. Ces dimensions sont

choisies pour avoir la plus petite résistance série lorsque le transistor est en polarisation directe (dizaine d'Ohm). Les caractéristiques I-V mesurées des transistors sont présentées sur la Figure 2-9. En polarisation directe, le courant obtenu avec les transistors de type N sont plus grands que ceux du type P. En revanche, lorsque la jonction est polarisée en inverse, l'ordre de grandeur des courants de fuite mesurés devient important par rapport à une polarisation en direct de +1 V.

Pour comparer les courants de fuite d'une technologie MOS sur silicium massif avec ceux obtenus pour une technologie silicium sur isolant (SOI), la conception de transistors va être décrite dans le paragraphe suivant.

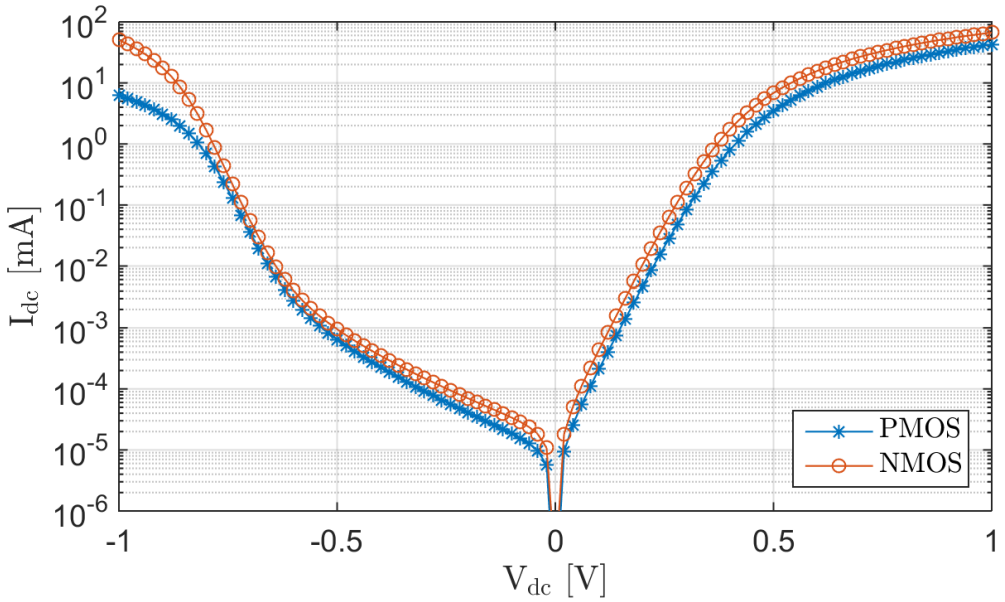

Figure 2-9 : Caractéristiques I-V mesurées des deux transistors N et P en technologie BiCMOS 55 nm

2.2.3 Silicium sur isolant

Malgré de nombreuses évolutions technologiques, la réduction des dimensions avec des composants de taille inférieure à 32 nm atteint aujourd'hui ses limites. Pour surmonter les problèmes associés aux différents nœuds technologiques, le transistor MOS sur silicium massif doit s'affranchir de plusieurs problèmes [17]. D'une manière générale, les courants de fuite qui augmentent la consommation, réduisent les performances et doivent être diminués. Une tension de seuil élevée a pour conséquence de limiter la diminution des tensions d'alimentation des circuits et elle doit aussi être réduite. En outre, le problème de l'augmentation des complexités de fabrication aboutit à une augmentation du coût, mais avec un faible gain des performances. Une innovation supplémentaire est indispensable afin de suivre les spécifications de l'ITRS (International Technology Roadmap for Semiconductors) [26].

Le passage d'un substrat de silicium massif à un substrat silicium sur isolant nommé SOI (Silicon On Insulator) a été proposé pour résoudre certains problèmes rencontrés en technologie Bulk. Plusieurs types des transistors sont disponibles dans les technologies silicium sur isolant : PDSOI, ETSOI, et FDSOI. La différence entre ces différents types se situe au niveau de l'épaisseur du silicium active (T_{Si}) et de celle de l'oxyde enterré (BOX : Buried Oxide) comme le montre la Figure 2-10. Cet oxyde enterré permet d'isoler électriquement le transistor du substrat et ainsi de limiter les courants de fuite. Le PDSOI est un transistor MOS partiellement déserté. Le BOX de ce transistor est épais. Le BOX utilisé en ETSOI (Extremely Thick Silicon On Insulator) est plus épais que celui du PDSOI. Finalement, la FDSOI (Fully Depleted Silicon On Insulator) propose un transistor complétement déserté sur silicium sur isolant qui présente les meilleures performances au niveau de la consommation, en réduisant les fuites dans le substrat, et offrant une diminution de la tension de seuil par rapport aux autres technologies SOI. Il est caractérisé par un BOX qui est très fin, un canal complètement déserté et ultra fin, présentant la région active du transistor. C'est pour cela qu'il est appelé UTBB (Ultra Thin Body and BOX).

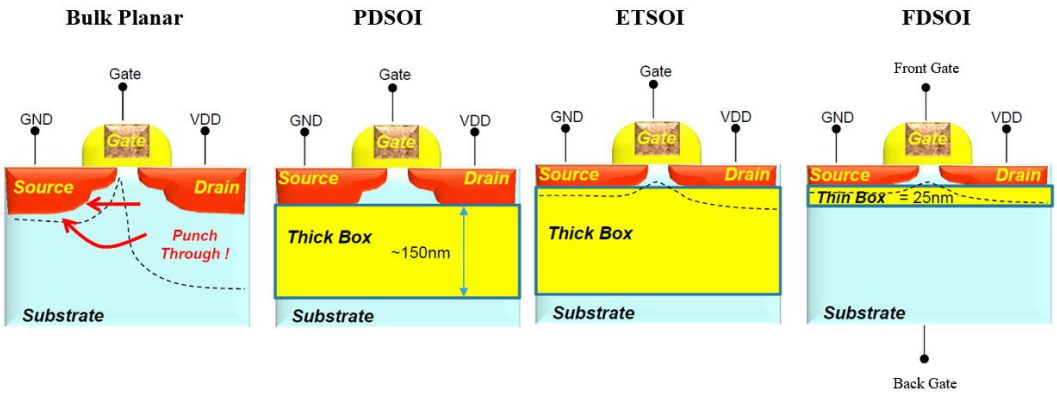

Figure 2-10 : Représentation des différentes technologies : sur silicium massif et trois technologies silicium sur isolant

2.3 FDSOI 28 nm

Comme cela a été présenté précédemment, le problème des effets parasites, induit par la miniaturisation des transistors, peut être partiellement résolu grâce à la technologie FDSOI. La limitation des jonctions en profondeur, due à la faible épaisseur de silicium, offre un meilleur contrôle électrostatique du canal du transistor. Le canal est constitué de silicium intrinsèque (sans dopage 10^{15} atome.cm^{-3}). Toutefois, l'introduction d'un film mince implique une modification importante des paramètres du transistor MOS [27].

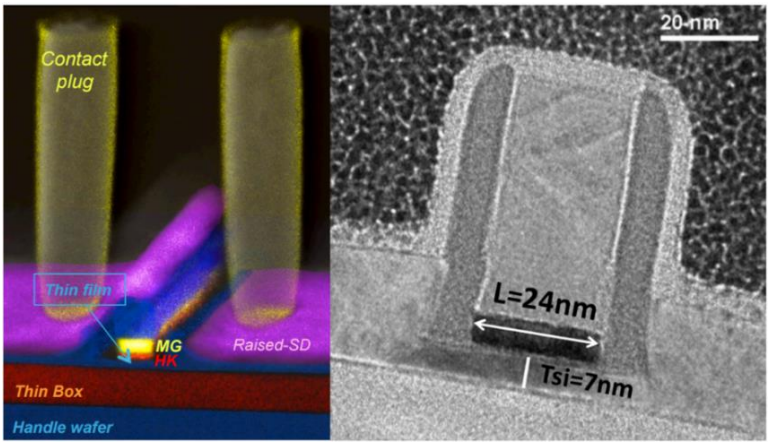

Figure 2-11 : Coupe transversale en technologie FDSOI 28 nm [28]

En effet, avec une épaisseur de BOX suffisamment fine, il est possible de moduler la tension de seuil, et par conséquent les courants de fuite, en faisant varier la tension de polarisation de la grille arrière du transistor. Dans la partie suivante, une représentation détaillée de la FDSOI est proposée ainsi que l'effet de la polarisation de la grille arrière.

2.3.1 Plaques SOI

Le premier fournisseur mondial de plaques SOI est la société SOITEC. Le principe de fabrication d'un substrat SOI consiste à utiliser un substrat de silicium, appelé A, représenté sur la Figure 2-12. Ce substrat va subir une oxydation. L'épaisseur du silicium oxydé va représenter l'épaisseur de l'oxyde enterré. Une implantation ionique est effectuée à la profondeur désirée. De plus, un collage moléculaire est réalisé entre le substrat et une autre plaque de silicium B. Ce collage est suivi d'un recuit à haute température. Finalement, un polissage de la surface de silicium est réalisé [29].

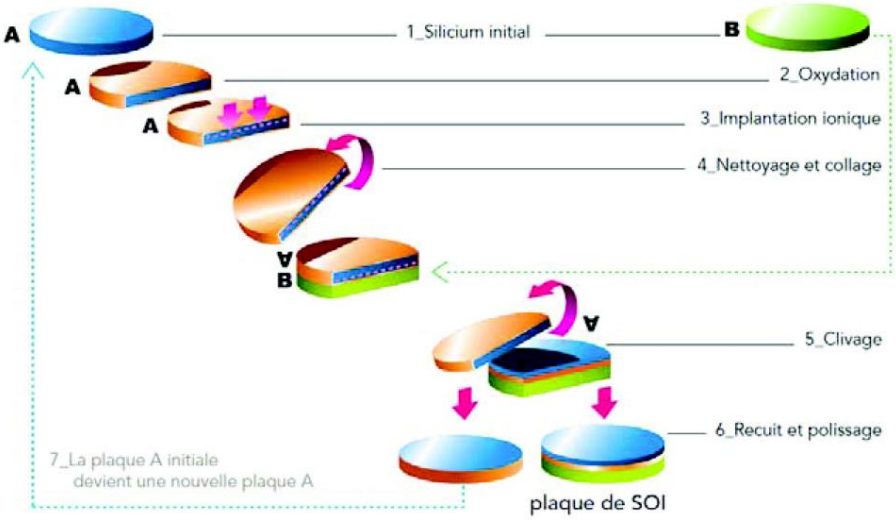

Figure 2-12 : Schéma de procédure de fabrication des plaques SOI [30]

2.3.2 Processus de fabrication

La Figure 2-13-a représente les différentes étapes du processus de fabrication d'un transistor MOS en technologie FDSOI 28 nm [28]-[32].
Pour un transistor MOS, le canal est réalisé par un film de silicium d'épaisseur T_{Si}= 7 nm posés sur un oxyde enterré BOX (Buried Oxide) d'épaisseur T_{BOX}= 25 nm (figure 12.b).

Le plan de masse (Ground Plane) est implanté, il s'agit d'une région fortement dopée avec une concentration plus grande que 10^{18} atomes/cm^3. Cette région dopée, avec le BOX, assure le rôle de grille arrière (Back Gate) du transistor. Pour contacter le Ground Plane, le BOX et le film de silicium sont localement gravés en utilisant le masque NOSOI, permettant de réaliser un accès pour contrôler le potentiel de la grille arrière sous le BOX (Figure 2-13-b).

Au-dessus du canal, afin de réaliser la grille avant du MOS, un empilement de matériaux est réalisé. Une couche mince d'oxyde d'interface (SiO_2) est déposée afin d'assurer une bonne qualité d'interface entre le canal et l'oxyde. Une deuxième couche d'oxyde est de forte permittivité diélectrique (HfO_2) est déposée ensuite pour assurer un gain en contrôle électrostatique. Au-dessus de cette couche, un métal ayant un travail de sortie dit « mid-gap » est deposé. Le travail de sortie de ce métal est proche du milieu de la bande interdite (eg de la Figure 2-4) du silicium. Le métal utilisé est le nitrure de titane (TiN) ou l'aluminium titanium nitride (AlTiN). Ces étapes sont représentées par HK/MG (Hight-K/Metal Gate). Avant de surélever la source et le drain, des espaceurs (offset spacer) sont utilisés afin de limiter la région de placement de l'épitaxie dont l'épaisseur est de 15 nm. Le dopage au niveau des sources et des drains est réalisé en deux étapes : LDD (Lightly Doped Drain) qui est une zone faiblement dopée 10^{17} atomes/cm^3 et qui est généralement plus étalée que la zone fortement dopée à 10^{21} atomes/cm^3 (S/D implant) représentée (en rouge clair sur la Figure 2-13-b). Finalement une couche de saliciuration est placée avant le placement des contacts (Tungestène). Cette couche permet d'assurer un bon contact ohmique entre le métal et le semi-conducteur [31]-[33].

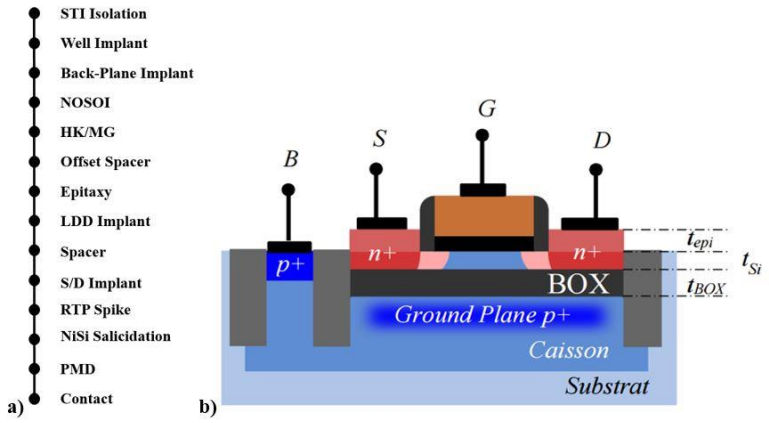

Figure 2-13 : a) Processus de fabrication des transistors en technologie FDSOI 28 nm b) et représentation d'un transistor en FDSOI 28 nm.

2.3.3 Types des transistors

Dans la technologie FD-SOI 28 nm, quatre types de transistors sont disponibles: NLVT, PLVT, NRVT et PRVT, où LVT signifie «Low Voltage Transistor» et RVT pour «Regular Voltage Transistor». La différence entre ces deux types de transistors LVT et RVT réside dans la nature du dopage du plan de masse ou Ground Plane (GP). Le plan de masse situé juste en dessous du BOX est réalisé dans un caisson de même nature d'implant. Un transistor de type RVT possède des caissons standard, où l'implantation du GP et du caisson associé est de type opposé à celui de la source et du drain comme le montre la Figure 2-14.

En revanche, pour LVT, l'implantation du caisson et du plan de masse associé sont inversée, ce qui signifie que l'implantation du plan de masse et celui du caisson associé est la même que celle de la source et du drain du transistor.

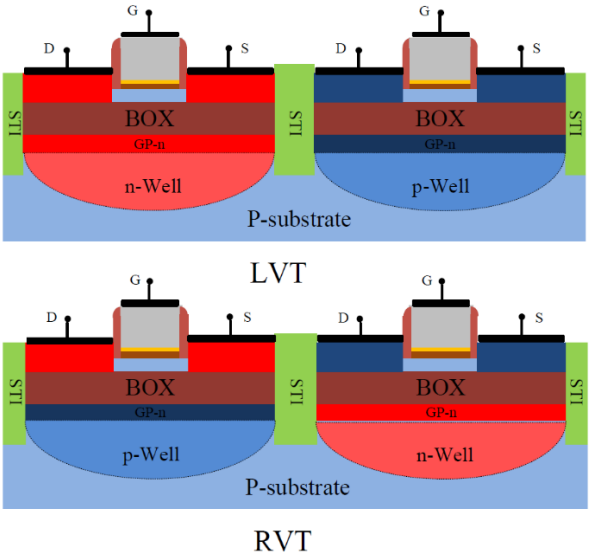

Figure 2-14 : Types des transistors en FDSOI 28 nm

Dans cette technologie, il y a une possibilité de choisir entre un BEOL de 8 ou de 10 niveaux de métaux. Dans un premier temps, 10 niveaux métaux sont utilisés. La Figure 2-15 représente le BEOL de la technologie FDSOI 28 nm.

La Figure 2-16 représente les mesures des caractéristiques I-V des 4 types de transistors en FDSOI, pour lesquelles la grille arrière (BG) est reliée à la masse. Les transistors sont dimensionnés de manière à avoir une petite résistance série (*W*/*Len* = 140 µm/30 nm). Le transistor NLVT offre la plus faible tension de seuil, mais, il présente un courant de fuite plus important. Dans la partie suivante, l'effet de la polarisation de la grille arrière sera présenté.

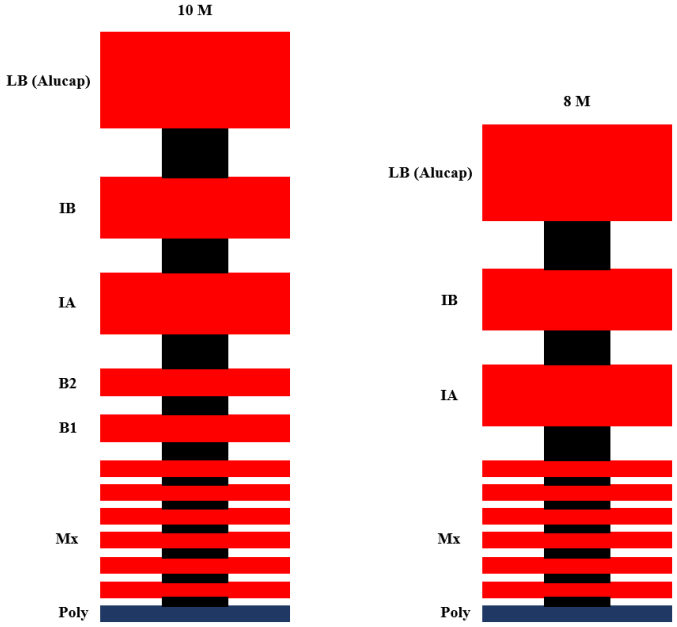

Figure 2-15 : Construction de BEOL de la technologie FDSOI 28 nm (6U1x_2U2_2T8_LB et 6U1x_2T8_LB)

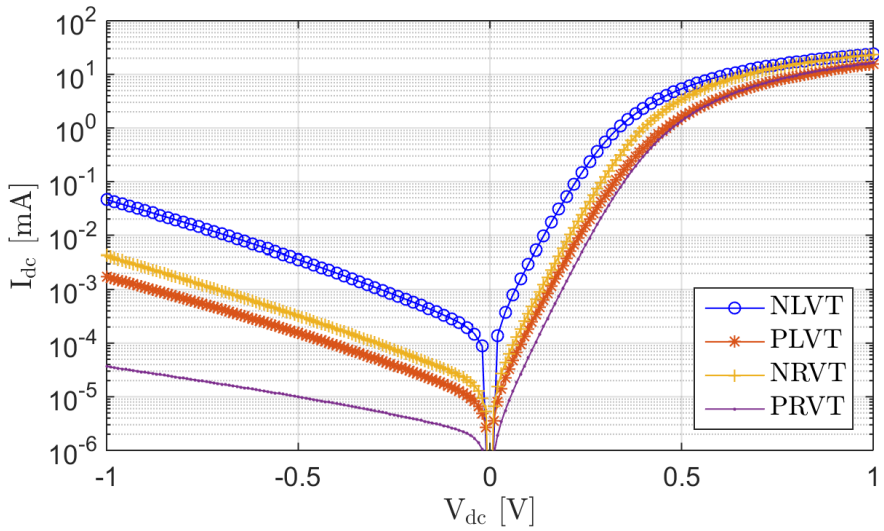

Figure 2-16 : Caractéristiques I-V mesurées des 4 types des transistors en FDSOI 28 nm

2.3.4 Effet de la grille arrière

Comme nous l'avons mentionné dans les parties précédentes, l'un des avantages importants de cette technologie est la possibilité de contrôler la tension de seuil et les courants de fuite à travers la grille arrière. Afin de voir l'effet de cette polarisation, le banc de mesure représenté sur la Figure 2-17 a été utilisé. La sonde dorée, basse fréquence, permet de polariser la grille arrière des transistors montés en diodes. Le transistor testé est de type NLVT.

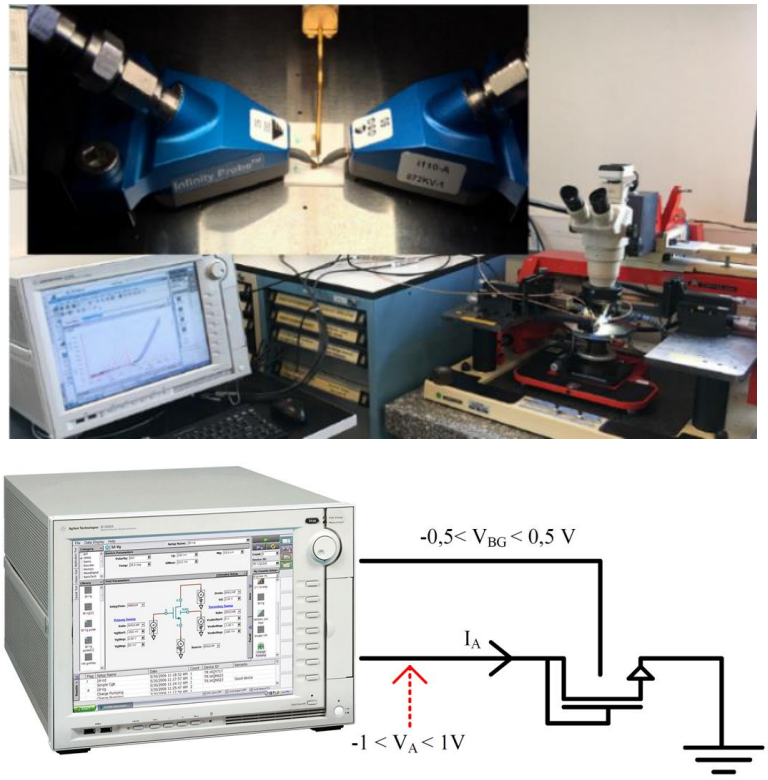

Figure 2-17 : Banc de mesure de la caractéristique I-V en fonction de la polarisation de la grille arrière

Les mesures statiques I-V en fonction de la tension de grille arrière sont présentées sur la Figure 2-18. On peut constater que lorsque la grille arrière est polarisée négativement, la tension de seuil augmente et les courants de fuite diminuent. En revanche, si une polarisation positive est appliquée, la tension de seuil diminue et par conséquence les courants de fuite augmentent. Cette polarisation de grille arrière peut jouer un rôle important sur les performances des redresseurs grâce au contrôle de ces paramètres.

Dans la partie suivante, une étude détaillée de la réalisation des diodes Schottky en technologie FDSOI 28 nm est établie.

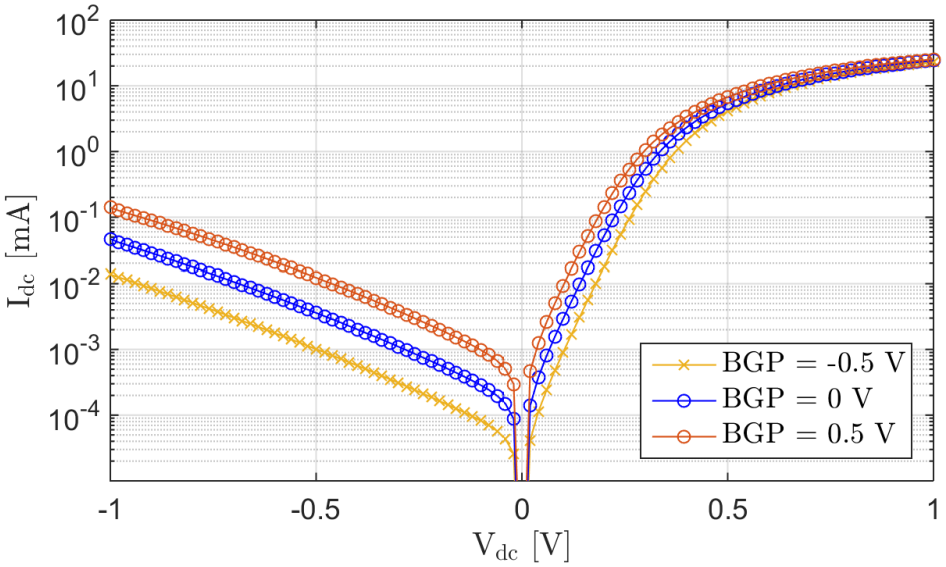

Figure 2-18 : Caractéristiques I-V mesurées pour un transistor NLVT monté en diode en fonction de la polarisation de la grille arrière

2.4 Réalisation de SBD

Le but de cette étude est la réalisation de contacts Schottky intégrés pour les utiliser dans des circuits de récupération d'énergie RF avec des faibles puissances en entrée typiquement de -30 dBm à -10 dBm (redresseur Dickson par exemple). La diode Schottky dans la technologie Bulk souffre de plusieurs types de parasites dont le plus important est causé par la jonction P-N entre le N-well et le substrat P (pour une diode de type N) [34]. Le but est de fabriquer une jonction Schottky avec une tension de seuil la plus faible possible en technologie 28 nm FDSOI en réalisant quelques modifications sur le processus de fabrication (seulement en supprimant des étapes). Dans la partie suivante, une présentation des étapes de fabrication à envisager et des résultats de simulations sont représentées.

2.4.1 SBD en utilisant la technologie 28 nm FDSOI

La Figure 2-19 représente la SBD en utilisant la technologie FDSOI. L'idée proposée est de modifier l'empilement de la grille d'un transistor MOS pour réaliser une jonction Schottky au-dessus du BOX. Pour cela on se propose de conserver toutes les étapes conduisant aux contacts ohmiques au niveau du drain et de la source du transistor, qui vont représenter dans la suite la cathode de la diode. D'autre part, l'anode de la diode va être réalisée à la place de la grille. La Figure 2-19 représente le principe de la réalisation de la diode au-dessus du BOX ainsi que la capacité et la résistance associées à ce type de contact. La résistance série de la diode est la somme de 3 types de résistances.

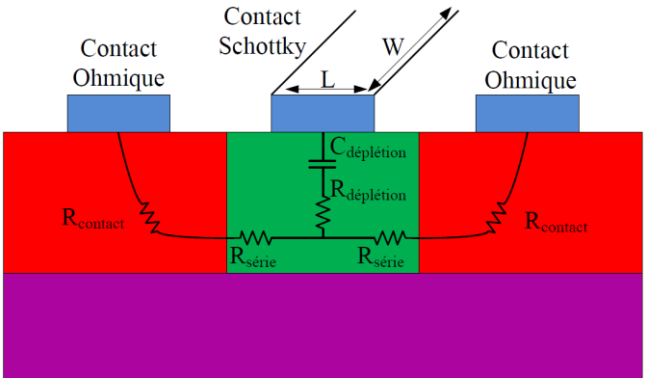

Figure 2-19 : SBD en utilisant la technologie FDSOI

$R_{déplétion}$: représente la résistance de la zone de déplétion, elle est représentée par :

$$R_{déplétion} = \frac{\rho . d}{W . L} \tag{2-6}$$

Où ρ est la résistivité de la zone de depletion, d est la largeur de la zone de depletion, W et L sont la longueur et la largeur respectivement.

$R_{série}$: représente la résistance dans la région faiblement dopée hors de la zone de depletion, elle est obtenue à l'aide de l'expression suivante :

$$R_{série} = \frac{\rho . h}{W . T_{Si}} \tag{2-7}$$

Où h représente la longueur de la région faiblement dopée et hors de la zone de depletion , T_{Si} est l'épaisseur du silicium qui correspond à 25 nm.

$R_{contact}$: représente la somme de la résistance dans la région fortement dopée et la résistance du contact métallique. Cette résistance est très faible.

La faible épaisseur de silicium T_{Si} qui remplace le N-well dans le CMOS, entraîne une résistance plus grande ce qui va limiter la fréquence de coupure. D'autre part, cette résistance peut être diminuée en modifiant la géométrie du contact Schottky. D'après les équations (2-6) et (2-7), la $R_{déplétion}$ et la $R_{série}$ sont inversement proportionnelles à W, alors ces deux résistances peuvent être diminuées en réalisant des contacts avec des longueurs plus grandes. Une autre méthode est utilisée pour diminuer la résistance série en utilisant la configuration d'interdigitation de doigts [34]-[37]. Cette configuration génère des $R_{série} + R_{déplétion}$ qui sont placés en parallèle ce qui implique que la résistance diminue avec l'augmentation du nombres de doigts, mais la capacité parasite va augmenter ce qui va diminuer la fréquence de coupure.Comme déjà représenté, l'idée est de réaliser la SBD au-dessus du BOX sans

changer le processus de fabrication (seulement supprimer des étapes) comme le montre la Figure 2-20.

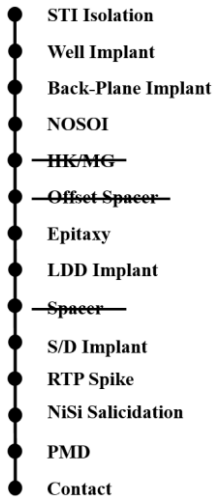

Figure 2-20 : Process de réalisation du SBD

L'épaisseur du film mince de silicium est de 7 nm et celle de l'épitaxie est de 15 nm, alors au total, l'épaisseur de silicium est de 22 nm. C'est pour cela, que l'étape d'épitaxie est étendue aussi au niveau du canal et les étapes de réalisation des diélectriques de la grille et la grille elle-même sont supprimées. La Figure 2-21 montre les étapes de fabrication de la diode. Deux niveaux de dopage sont utilisés dans cette technologie : dopage moyen de l'ordre de 10^{17} atomes/cm^3 (NLDD) et 10^{21} atomes/cm^3 (NPLUS) qui est utilisé au niveau des contacts ohmiques.

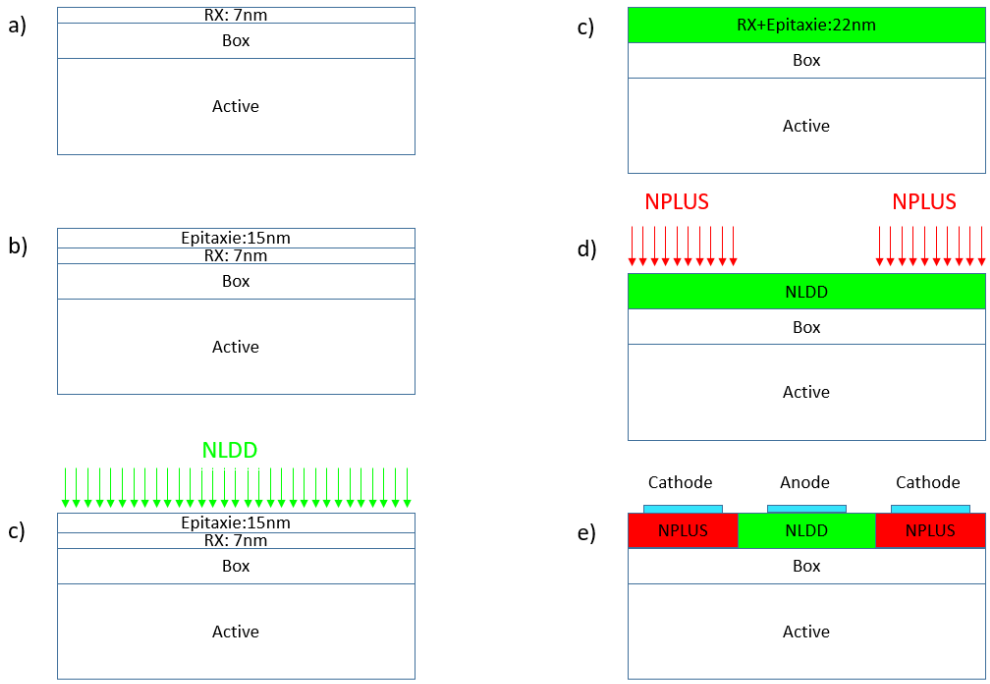

Figure 2-21 : Les étapes de réalisation du SBD

2.4.2 Simulation et optimisation du SBD

Dans la technologie 28 nm FDSOI, le métal utilisé pour réaliser les contacts est du Tungstène. D'autre part ce métal peut être remplacé par l'Aluminium ou le TiN. Le Tableau 3 présente le travail de sortie de chaque métal et la barrière de potentiel avec le silicium (ΦBN).

Tableau 3 : Travail de sortie pour différents métaux

	Tungstène (W)	Aluminium (Al)	TiN
Travail de sortie (Φm en eV)	4,55	4,2	4,33
ΦBN= Φm-χ (χ =4,05eV)	0,5	0,15	0 ,28

Comme le montre la Figure 2-4, la différence entre la bande de conduction et le niveau de Fermi est représenté par Φf :

$$\Phi f = E_C - E_F \tag{2-8}$$

$$\Phi f = \frac{E_g}{2} - (E_F - E_{Fi}) \tag{2-9}$$

E_F et E_{Fi} représentent le niveau de Fermi du semi-conducteur dopé et intrinsèque respectivement. La relation entre ces deux niveaux est représentée par :

$$E_F = E_{Fi} + \frac{KT}{q}\, ln\left(\frac{Nd}{Ni}\right) \tag{2-10}$$

Ni représente la concentration des électrons et des trous dans le semi-conducteur intrinsèque (1,45 10^{10} atomes/cm^3 pour le Silicium).

(2-10) dans (2-9)*:*

$$\Phi f = \frac{E_g}{2} - (E_{Fi} + \frac{KT}{q}\, ln\left(\frac{Nd}{Ni}\right) - E_{Fi}) \tag{2-11}$$

$$\Phi f = \frac{E_g}{2} - \frac{KT}{q}\, ln\left(\frac{Nd}{Ni}\right) \tag{2-12}$$

Pour le silicium, la largeur de la bande interdite $E_g = 1{,}12\ eV$. Alors $\Phi f = 0{,}166\ eV$ pour un dopage de 10^{17} atome/cm^3. D'où le travail de sortie pour le Silicium dopé est :

$$\Phi s = \chi + \Phi f = 4{,}05 + 0{,}166 = 4{,}216 \text{ eV} \tag{2-13}$$

Dans le cas où le contact est réalisé avec du Tungstène ($\emptyset m = 4{,}55eV$) et du TiN ($\emptyset m = 4{,}33eV$), le travail de sortie du métal est plus grand que celui du semi-conducteur ($\emptyset m > \emptyset s$), donc ce contact est considéré comme étant un contact Schottky. D'autre part si le métal utilisé est l'Aluminium ($\emptyset m = 4{,}2\ eV$), le contact métal–semi-conducteur n'est plus considéré comme un contact Schottky vu que $\emptyset m < \emptyset s$. La Figure 2-22 représente la caractéristique I-V obtenue par le simulateur Silvaco pour un contact Schottky réalisé avec 3 types de métaux : tungstène, Al et TiN . Les models utilisés sont : Concentration Dependent (conmob), Parallel Electric Field Dependence (fldmob), Shockley-Read-Hall (srh), auger et band gap narrowing (bgn). Pour l'Aluminium, le comportement est presque ohmique ce qui est compatible avec la théorie. Pour le tungstène et le TiN il y a un redressement ce qui représente un contact Schottky. La tension de seuil obtenue lorsque le TiN est utilisé, est plus petite que celle lorsque le tungstène est utilisé, cela est dû à la hauteur de la barrière au niveau de l'interface entre le métal et le semi-conducteur. Par application numérique, en se basant sur les équations (2-1) et (2-2), le V_{bi} obtenu entre du Silicium dopé à 10^{17} cm^{-3} et du Tungsténe est de 353 mV. D'autre part, pour le même dopage mais avec du TiN, le V_{bi} obtenu est de 133 mV.

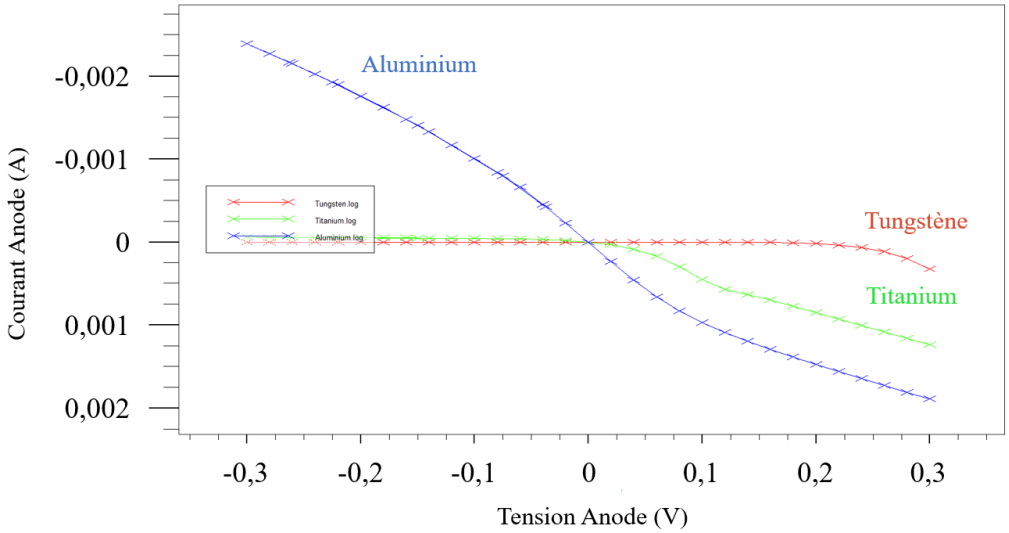

Figure 2-22 : Caractéristiques I-V simulées pour un contact métal — semi-conducteur réalisé avec trois types des métaux

Dans la suite, le tungstène est choisi vu qu'il est utilisé par défaut dans cette technologie.

La jonction Schottky étudiée avec la technologie FDSOI 28 nm va être réalisée au dessus du BOX (en violet dans la Figure 2-23). Deux zones dopées N+ (10^{17} atomes/cm^3) représentée par la couleur verte et N++ (10^{21} atomes/cm^3) représentée par la couleur rouge seront implantées au niveau de la région active. Au-dessus de ces deux zones deux couches métalliques seront

déposées comme représenté ci-dessous (en couleur cyan). Grâce à des simulations nous allons chercher les paramètres géométriques de cette structure de jonction qui conduisent au plus petit seuil avec le plus grand courant possible. Pour simplifier les simulations et en tenant compte de la propriété de symétrie seulement une demi structure sera simulée (Figure 2-23-b).

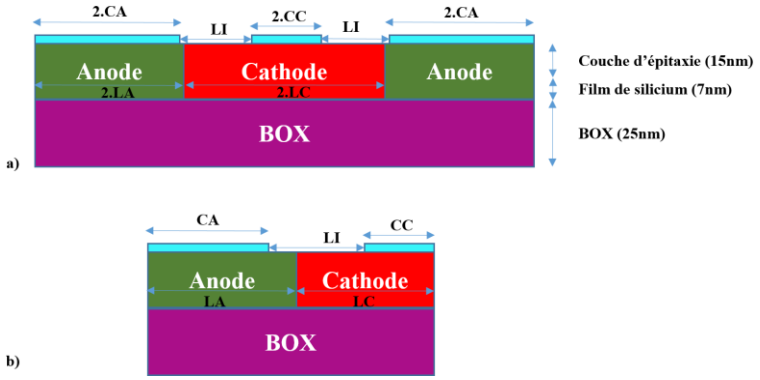

Figure 2-23 : représentations du SBD (a) et d'une semi architecture de cette barrière (b)

Les paramètres sont : les dimensions des contacts métalliques (CA et CC) qui correspondent au contact anode et au contact cathode, la largeur minimale d'une région dopée (LA et LC) (dopé N par exemple), la distance minimale (LI) entre deux vias. Notons que le via est représenté par « CA » dans le Design Kit (DK). Ce « CA » assure le contact entre le métal 1 (premier niveau de métal ou M1) et une région active ou une région polysilicium (au niveau de la grille par exemple).

- **Largeurs des deux électrodes**

Dans un premier temps nous avons étudié l'impact de la largeur de la zone faiblement dopée N+ (anode) et celle de la zone fortement dopée N++ (cathode). Deux simulations sont réalisées en conservant la même largeur de contact métallique (CA = CC = 0,025 µm) representé par la couleur cyan :

- ✓ Largeur anode (LA) : 0,04 µm, largeur cathode (LC) : 0,06 µm (Figure 2-24-a)
- ✓ Largeur anode (LA) : 0,06 µm, largeur cathode (LC) : 0,04 µm (Figure 2-24-b)

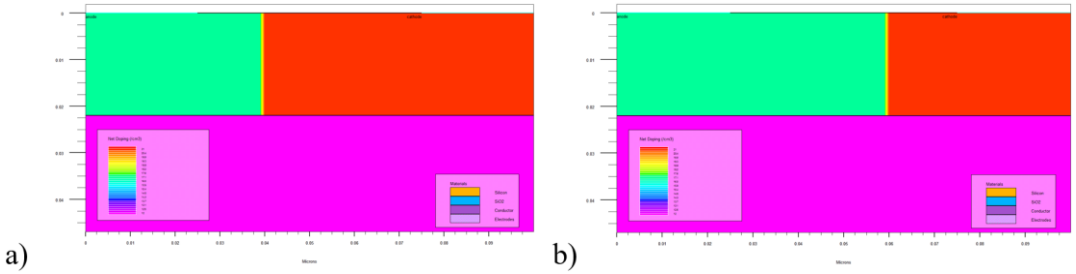

Figure 2-24 : représentations du SBD en fonction des dimensions des régions et du dopage

La Figure 2-25 représente la caractéristique I-V. Nous remarquons que plus la longueur de la zone N+ est petite, plus le courant est important. Ceci est dû à la diminution de la résistance série équivalente à la zone N+ connectée à l'anode.

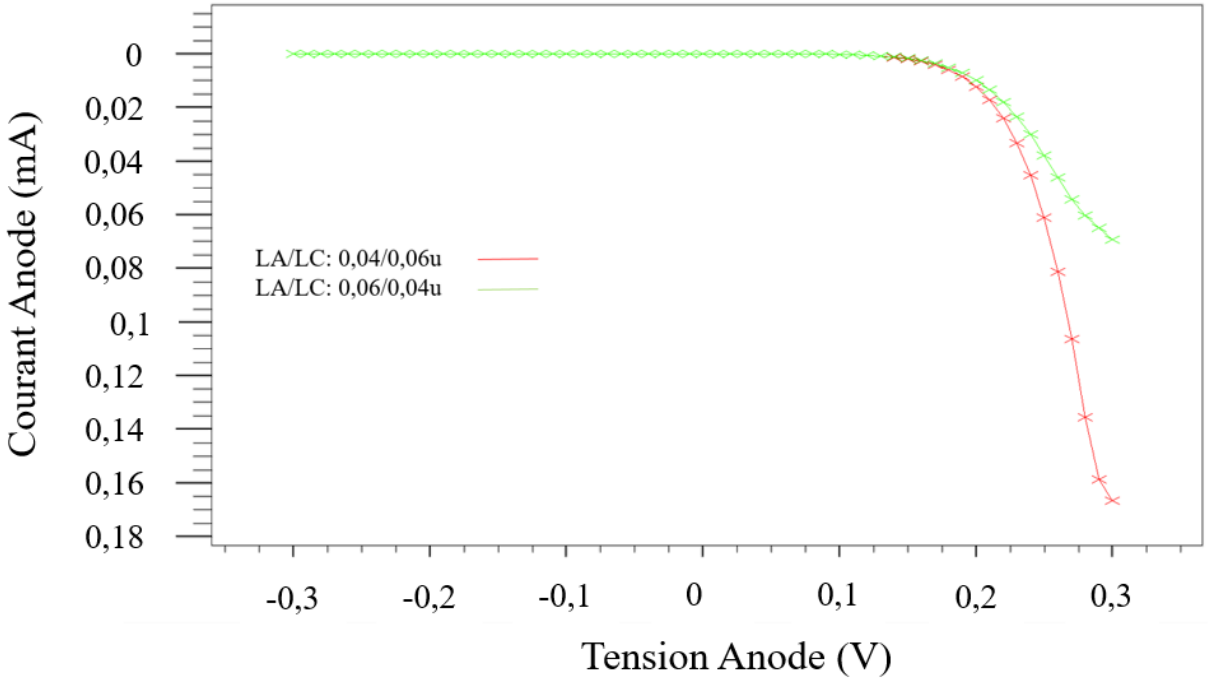

Figure 2-25 : caractéristiques I-V simulées en fonction des dimensions des régions de dopage

Dans la suite, la largeur de l'anode et de la cathode sont fixées à 0,05 µm et la largeur des électrodes change.

- **Largeurs Des Deux Electrodes**

Dans la simulation suivante, la largeur des électrodes CA et CC changent.

- ✓ CA = CC = 0,025 µm (Figure 2-26-a)
- ✓ CA = CC = 0,015 µm (Figure 2-26-b)

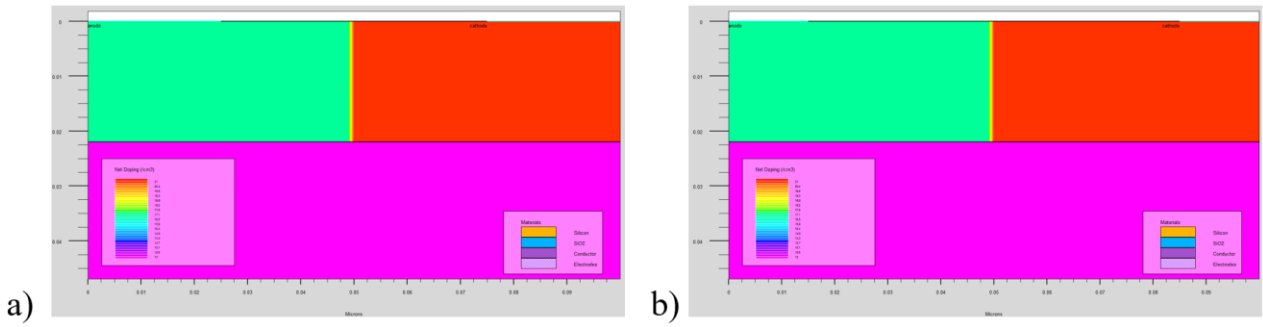

Figure 2-26 : représentations du SBD en fonction des largeurs des électrodes

La Figure 2-27 présente les différents résultats de la caratéristique statique I-V pour différentes largeurs d'éléctrodes. Nous pouvons constater que les électrodes les plus grandes conduisent à un courant plus important car pour une même densité de courant, la section de la diode a augmenté.

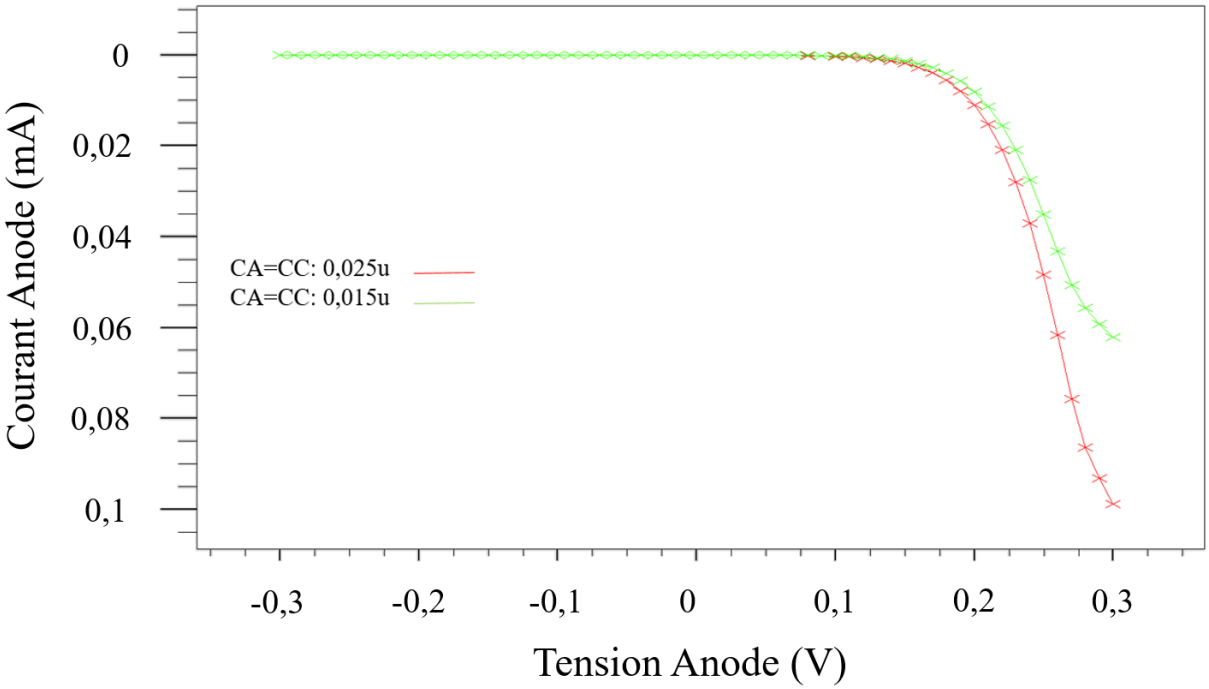

Figure 2-27 : caractéristiques I-V simulées en fonction des largeurs des électrodes

De même pour identifier quel contact est responsable de cette variation de courant, une autre simulation est réalisée (la largeur de l'anode et de la cathode sont fixées à 0,05 µm) :

- ✓ CA = 0,015 µm, CC = 0,025 µm (Figure 2-28-a)
- ✓ CA = 0,025 µm, CC = 0,015 µm (Figure 2-28-b)

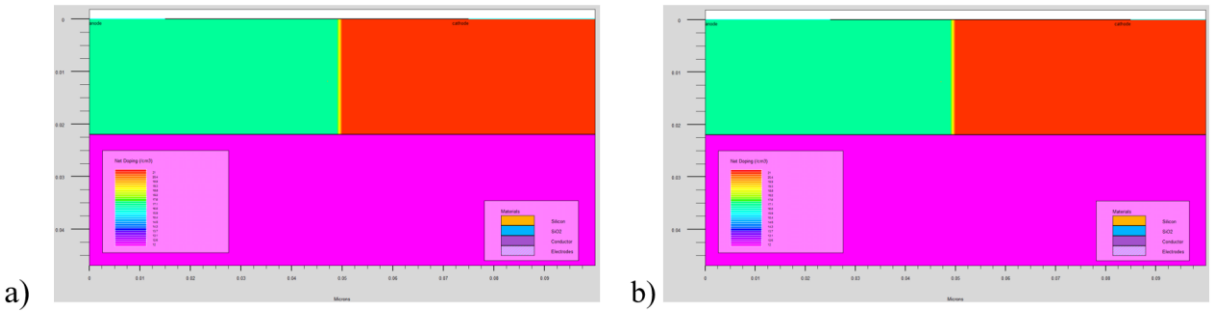

Figure 2-28 : représentations du SBD en fonction des largeurs des électrodes

La Figure 2-29 montre que le courant est plus important lorsque la largeur de l'électrode de l'anode est plus grande (augmentation de la section de la résistance série équivalente à la zone N+).

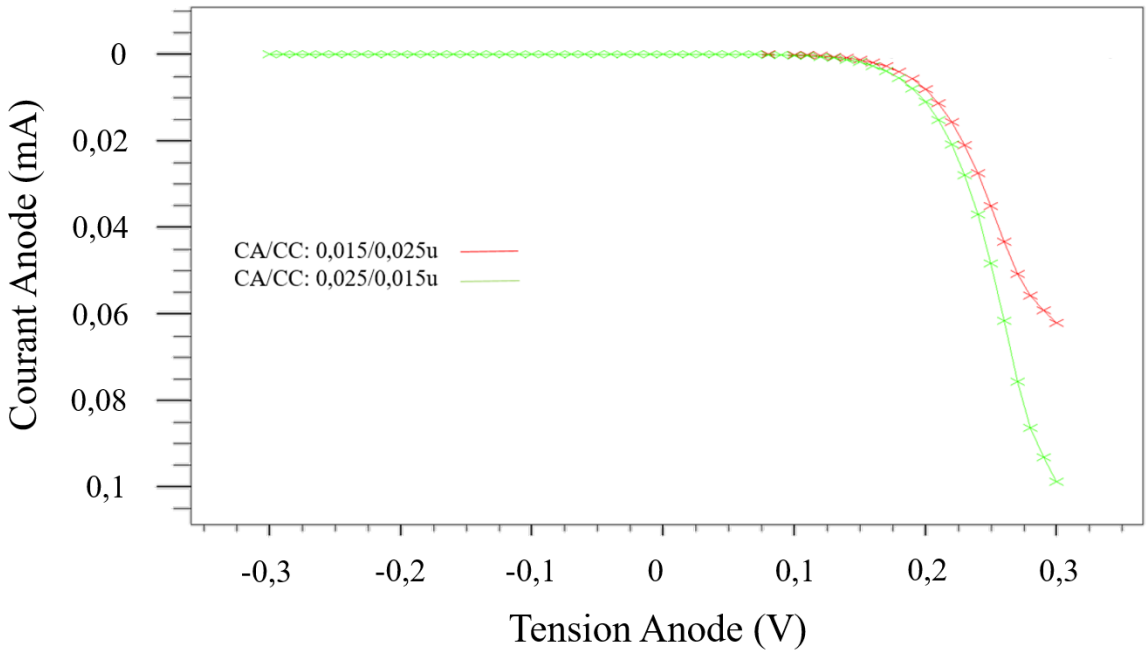

Figure 2-29 : caractéristiques I-V simulées en fonction des largeurs des électrodes

Finalement, afin de voir l'effet de la largeur de l'électrode de la cathode, la largeur de l'électrode de l'anode est fixée à 0,025 µm et celle de la cathode est de 0,025 µm (Figure 2-30-a) et 0,015 µm (Figure 2-30-b).

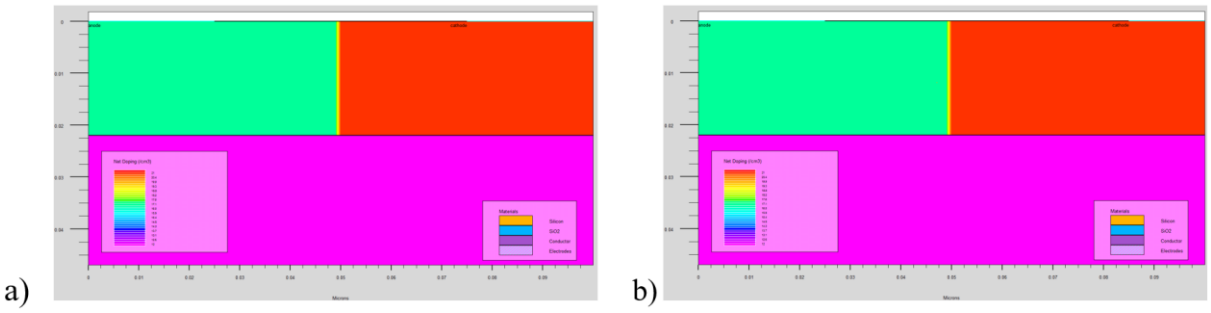

Figure 2-30 : représentations de la diode en fonction de la largeur du contact cathodique

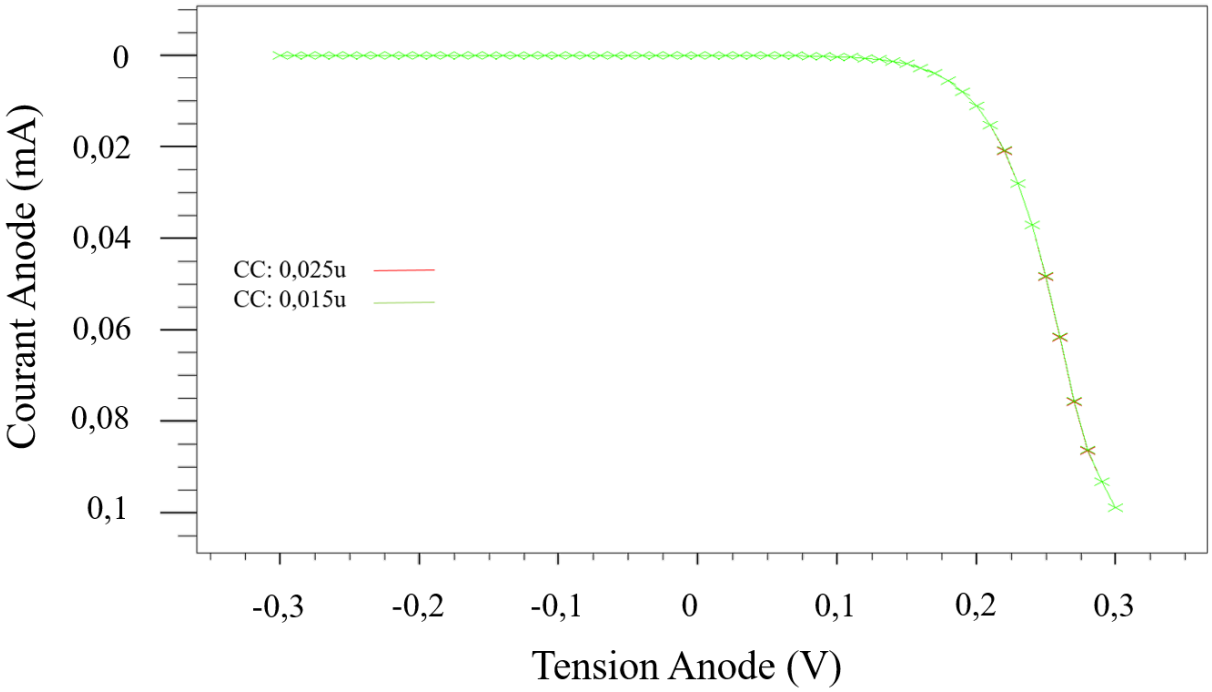

Figure 2-31 : caractéristiques I-V simulées en fonction de la largeur du contact cathodique

On remarque que la largeur de l'électrode de la cathode n'a quasiment pas d'impact sur la caractéristique I-V de la jonction.

Les simulations précédentes ont montré que la zone N+ sous l'anode doit être la plus petite possible, et que l'électrode de l'anode posée sur cette zone N+ doit être la plus grande possible.

Conclusion

Les transistors MOS fabriqués en technologie silicium massif sont confrontés à des problèmes des courants de fuite depuis le nœud 65 nm, malgré toutes les améliorations réalisées au niveau transistor, il devient difficile avec ce type de transistor MOS de ce projeter les nœuds technologiques sub-32 nm.

La FDSOI 28 nm est une technologie qui permet la réalisation des transistors MOS avec une faible tension de seuil, un bon contrôle électrostatique du canal par la grille, et un procédé de fabrication simplifié. Ces caractéristiques permettent de remplacer avantageusement la technologie Bulk. De plus, un avantage offert par cette technologie est la possibilité du contrôle des courants de fuite et de la tension de seuil en fonction de la polarisation de la grille arrière.

Grâce à des simulations réalisées à l'aide du logiciel Silvaco, nous avons déterminé les paramètres géométriques d'une diode réalisée sur un substrat FD-SOI dans l'épaisseur du film de silicium et qui est de 22 nm au dessus des 25 nm de dioxyde de silicium. Les deux niveaux

du dopage utilisés : dopage fort (10^{21} atomes/cm^3) au niveau des cathodes (contact ohmique) où le phénomène dominant est l'effet tunnel et un dopage faible au niveau des anodes (10^{17} atomes/cm^3) (contact Schottky). Le tungstène ne peut pas être remplacé par de l'aluminium vu que le travail de sortie du métal devient plus petit que celui du semi-conducteur, alors le contact n'est plus un contact Schottky. Il peut être remplacé par du TiN qui conduit à une faible tension de seuil grâce à la faible barrière qui se produit entre le métal et le semi-conducteur.

Les simulations ont montré que la zone N+ sous l'anode doit être la plus petite possible (par rapport au DK) et que l'electrode de l'anode posée sur cette zone N+ doit être la plus grande possible. D'autre part, la résistance associée à la SBD est inversement proportionnelle à la largeur *W*, alors il devient intéressant de réaliser des contacts avec de larges *W*. En ce qui concerne la zone N++ sous la cathode, elle n'a que peu d'impact sur les pertes car elle est fortement dopée et la résistance équivalente à cette zone est faible. De plus, vu que l'épaisseur du silicium est faible, la resistance qui en découle sera plus grande, cette resistance peut être compensée par l'interdigitation mais c'est au prix de l'augmentation de la capacité parasite. Cette capacité n'est pas trop critique vu qu'elle n'influe que sur la fréquence de coupure et notre application est à 2,4 GHz.

Finalement, au niveau de la réalisation de la SBD, plusieurs contraintes au niveau du Design Kit (DK) doivent être respectées en tenant compte des règles de dessin. Sauf que, faute de maitrise de la fabrication d'un contact Schottky en intégré, cette étude a été arrétée pour l'instant à cause du risque de pollution des autres circuits du Run dans le cas où le contact Schottky serait mal controlé.

Dans la suite, des redresseurs Dickson sont réalisés en une technologie Bulk BiCMOS 55 nm, et en FDSOI 28 nm afin de comparer leurs performances. Des mesures sous pointes en fonction de la puissance d'entrée et des résistances de charges sont réalisées pour des redresseurs réalisés en FDSOI 28 nm et en BiCMOS 55 nm.

Références

[1] Y.-H. Suh and K. Chang, “A high-efficiency dual-frequency rectenna for 2.45- and 5.8-GHz wireless power transmission”, IEEE Trans. Microw. Theory Techn., vol. 50, no. 7, pp. 1784–1789, Jul. 2002.

[2] K. V. S. Rao, P. V. Nikitin, and S. F. Lam, “Antenna design for UHF RFID tags: A review and a practical application,” IEEE Trans. Antennas Propag., vol. 53, no. 12, pp. 3870–3876, Dec. 2005.

[3] B. Merabet et al., “Low-cost converter for harvesting of microwave electromagnetic energy”, in IEEE Energy Conversion Congr. & Exp., 2009, pp. 2592–2599.

[4] F. A. S. Riviere, A. Douyere, and J.-D. Lan Sun Luk, “A compact rectenna device at low power level”, Progr. Electromagn. Res. C, vol. 16, pp. 137–146, 2010.

[5] G. Andia Vera, A. Georgiadis, A. Collado, and S. Via, “Design of a 2.45 GHz rectenna for electromagnetic (EM) energy scavenging”, in IEEE Radio Wireless Symp., 2010, pp. 61–64.

[6] C. M. Ghiglino, “Ultra-wideband (UWB) rectenna design for electromagnetic energy harvesting”, Masters theses, Dept. Teoria del Senyal i Comun., Escola Técnica Superior d’Enginyeria de Telecomun. De Barcelona, Catalunya, Spain, 2010.

[7] E. Falkenstein, M. Roberg, and Z. Popović, “Low-power wireless power delivery”, IEEE Trans. Microw. Theory Techn., vol. 60, no. 7, pp. 2277–2286, Jul. 2012.

[8] HEMOUR et al.: “Towards Low-Power High-Efficiency Rf And Microwave Energy Harvesting”, MTT 2014

[9] Damien RISALETTO, “Caractérisation électrique en commutation de diodes haute tension en carbure de silicium”, L’institut National Des Sciences Appliquees De Lyon, 2017

[10] BENAZIEZ NEDJEDIA, “Etude des propriétés électriques en régime statique d’une structure Schottky”, L’Université de Batna, Faculté des Sciences, Département de Physique, 2010

[11] https://datasheet.octopart.com/HSMS-2820-TR1G-Avago-datasheet-10429945.pdf

[12] Zied SADDI, “Conception d’un dispositif de récupération d’énergie mixte vibratoire-électromagnétique pour l’alimentation de dispositifs à faible consommation”, Université Paris-Est, 2016

[13] Streetman, B., (1980), Solid State Eletronic Devices, Vol.2, pp. 185-190 (1980).

[14] S. M. Sze,Physics of Semiconductor Devices,Third Edition, Department of Electronics Engineering

[15] Bruno THUILLIER, "Caracterisation Structurale des Contacts Ohmiques Réalisés a Partir d'Encres Metalliques sur Cellules Photovoltaiques en Silicium Multicristallin", L'institut National Des Sciences Appliquees De Lyon, 2001

[16] ITRS, "International Technology Roadmap for Semiconductors 2007 Edition – Assembly and Packaging", 2007.

[17] Jean-Philippe Noel. "Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse : application aux mémoires et fonctions logiques", Université de Grenoble, 2011. Français.

[18] Robert H. Dennard, Fritz H. Gaensslen, Hwa-Nien Yu, V. Leo Rideout, Ernest Bassous, Andre R. LeBlanc, "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", IEEE Journal of Solid-State Circuits, vol. 9, no. 5, October 1974, pp. 256-268

[19] Giorgio Baccarani, Matthew R. Wordeman, Robert H. Dennard, "Generalized Scaling Theory and Its Application to a ¼ Micrometer MOSFET Design", IEEE Transactions on Electron Devices, vol. 31, no. 4, April 1984, pp. 452-462

[20] S. Thompson et al., "A 90nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 layers of Cu Interconnects, Low k ILD and 1um² SRAM Cell", IEDM, 2002, pp. 61-64

[21] P. Bai et al., "A 65nm Logic Technology Featuring 35nm Gate Lengths, Enhanced Channel Strain, 8 Cu Interconnect Layers, Low-k ILD and 0.57µm² SRAM Cell", IEDM, 2004, pp. 657-660

[22] K. Mistry et al., "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging", IEDM, 2007, pp. 247-250

[23] S. Natarajan et al., "A 32nm Logic Technology Featuring 2nd-Generation High-k + Metal-Gate Transistors, Enhanced Channel Strain and 0.171µm² SRAM Cell Size in a 291Mb Array", IEDM, 2008

[24] Xiaobin Yuan et al., "Gate-Induced-Drain-Leakage Current in 45-nm CMOS Technology", IEEE Transactions on Device and Materials Reliability, vol. 8, no. 3, September 2008, pp. 501-508

[25] Ayssar Serhan. "Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm. Micro et nanotechnologies/Microélectronique", Université Grenoble Alpes, 2015. Français

[26] "International Technology Roadmap For Semiconductors", Edition 2011, available at: http://www.itrs.net/Links/2011ITRS/Home2011.htm

[27] Thomas Benoist, " Conception de protections contre les décharges électrostatiques sur technologies avancées silicium sur isolant ". Université de Grenoble, 2006. Français

[28] N. Planes, O. Weber, V. Barral, et al., "28nm FDSOI technology platform for high-speed low-voltage digital applications", in Digest of Technical Papers - Symposium on VLSI Technology, 2012, vol. 33, no. 4, pp.133–134.

[29] Jérôme MAZURIER, "Etude de la variabilité en technologie FDSOI : du transistor aux cellules mémoires SRAM", Université Grenoble Alpes, 2012. Français

[30] W. Schwarzenbach, X. Cauchy, F. Boedt et al., "Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling Vt variation of FDSOI", International Conference on IC Design & Technology (ICICDT), 2011.

[31] Antoine Litty. "Conception, fabrication, caracterisation et modelisation de transistors MOS- FET haute tension en technologie avancee SOI (Silicon-On-Insulator) ", Micro et nanotechnologies/Micro_electronique. Universite Grenoble Alpes, 2016. Francais.

[32] O. Weber et al., "14nm FDSOI technology for high speed and energy efficient applications", 2014 Symposium on VLSI Technology (VLSI-Technology): Digest of Technical Papers, Honolulu, HI, 2014, pp. 1-2.

[33] Yohann Solaro. "Conception, fabrication et caractérisation de dispositifs innovants de protection contre les décharges électrostatiques en technologie FDSOI", Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2014. Français.

[34] Wei-Ling Chang, Chinchun Meng, Tzu-Chien Fu and Guo-Wei Huang, "E-band RF-to-DC converter using Schottky diode in 0.18-µm CMOS technology", 2016 IEEE MTT-S International Microwave Symposium (IMS), San Francisco, CA, 2016, pp. 1-3.

[35] D. Sebastiao, "Implementation of Schottky Barrier Diodes (SBD) in Standard CMOS Process for Biomedical applications", Universidade Federal de Itajuba, Brasil, 2012

[36] Behnam Jamali, "Hight-performance RFID systems", University of Adelaide, 2001

[37] S. Sankaran and K. K. O, "Schottky barrier diodes for millimeter wave detection in a foundry CMOS process", in IEEE Electron Device Letters, vol. 26, no. 7, pp. 492-494, July 2005.

3 Méthodologie d'optimisation d'un redresseur Dickson

3.1 Introduction

Le redresseur utilisé pour cette étude est du type Dickson. Chaque étage de ce redresseur est formé de deux diodes et deux capacités comme le montre la Figure 3-1 (le premier étage est formé des éléments D_1, D_2, C_1, et C_2). Un redresseur à un étage permet de stocker des charges dans les capacités pendant les deux alternances du signal d'entrée. En effet, lorsque la tension est négative, la capacité C_1 est chargée au travers de la diode D_1. Puis lorsque la tension d'entrée devient positive, c'est la capacité C_2 qui stocke les charges issues de la somme de la tension d'entrée, et de la tension aux bornes de C_1 via D_2. Pour un redresseur à deux étages, la tension de sortie du premier étage, représentée par VC_2 est la tension continue d'entrée du deuxième étage, formé par les éléments D_3, D_4, C_3, et C_4.

En augmentant le nombre d'étages N, la tension en sortie V_{out} augmente jusqu'à une valeur maximale limite. Ce phénomène est dû à la compensation de l'ensemble des pertes présentes sur un cycle (tension de seuil, courants des fuites, etc…) par les charges stockées dans les différents condensateurs des différents étages du redresseur.

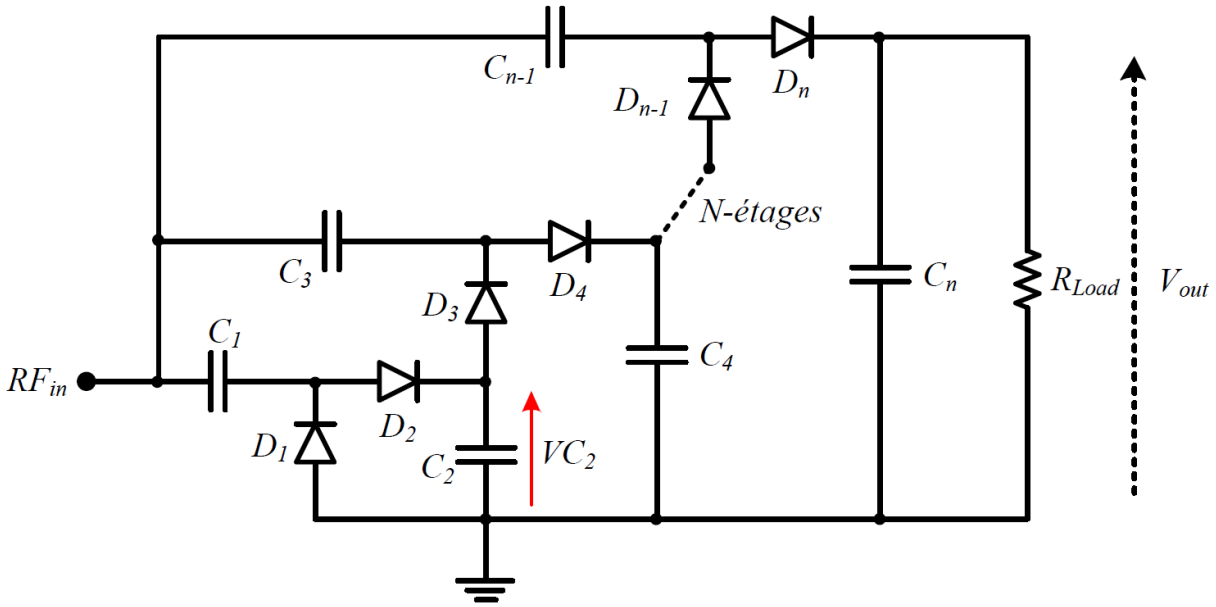

Figure 3-1 : Redresseur Dickson à N-étages avec une résistance de charge (R_{Load}) à sa sortie

En technologie intégrée, les diodes sont remplacées par des transistors montés en diode où la grille du transistor est connectée au drain. Contrairement à l'utilisation des diodes commerciales (diodes Schottky par exemple), les paramètres géométriques des transistors peuvent être choisis pour augmenter l'efficacité globale de ce circuit. Le but de cette partie est de montrer qu'il est possible de définir une méthode d'optimisation efficace pour obtenir les meilleures

performances au niveau de l'efficacité de conversion de puissance. La meilleure efficacité de conversion assure la puissance maximale en sortie (présentée sur une résistance de charge) pour une puissance d'entrée donnée.

Dans les articles [1]-[13], les auteurs ont optimisés et fabriqués des redresseurs pour la récupération d'énergie RF, sauf que personne n'a décrit la méthode d'optimisation utilisée, le choix du nombre d'étage, l'influence de la résistance de charge et la limitation de chaque étage, etc… .

Dans ce chapitre, les paramètres de conception et l'effet de ces paramètres sur l'efficacité du redresseur sont présentés. De plus, une méthode d'optimisation est proposée pour maximiser l'efficacité de conversion en fonction des différents paramètres.

3.2 Paramètres de conception

Pour l'optimisation d'un redresseur de type Dickson (comme décrit sur la Figure 3-1), il est nécessaire de définir les paramètres clés qui décrivent les conditions de fonctionnement de ce redresseur :

- La puissance d'entrée qui correspond à la puissance RF à récupérer par l'antenne (P_{in})
- La tension de sortie souhaitée (V_{out})
- La résistance de charge (R_{Load}) à la sortie du redresseur (Figure 3-2).

En effet, le redresseur n'est utile que s'il fournit l'énergie à une charge. Pour cela, une charge doit être placée à sa sortie. Dans cette étude, la charge que nous avons choisie est une résistance afin de prendre en compte une consommation d'énergie en mode DC. Elle représente l'impédance d'entrée du circuit suivant à alimenter (un microcontrôleur ou autre fonction par exemple).

Le critère que nous allons chercher à maximiser, est l'efficacité de conversion de puissance (*PCE*), qui peut être défini à l'aide des trois paramètres clés précédents (P_{in}, V_{out} et R_{Load}), grâce aux équations suivantes (3-1)(1-1) et (3-2).

$$P_{out} = \frac{{V_{Out}}^2}{R_{Load}} \tag{3-1}$$

$$PCE = \frac{P_{out}}{P_{in}} \tag{3-2}$$

Comme nous l'avons présenté dans l'introduction, il est possible d'augmenter la tension de sortie (V_{out}) en cascadant plusieurs étages N d'un redresseur élémentaire Dickson.

Par ailleurs, il est évident que les conditions optimales de transfert de puissance seront obtenues lorsque le redresseur présentera une impédance équivalente $Z_r = R_r + j.X_r$ adaptée à celle de l'antenne génératrice (R_r et X_r représentent la partie réelle et la partie imaginaire de l'impédance d'entrée respectivement). Or le caractère capacitif du redresseur impose d'ajouter une inductance L_r en série avec le redresseur. Nous avons supposé dans cette étude que l'antenne fonctionnera sur sa fréquence de résonance et que son impédance électrique est réelle et représenté par R_g.

L'inductance L_r placée à l'entrée du redresseur a pour rôle de compenser la partie imaginaire de l'impédance d'entrée du redresseur (X_r), ce qui va induire un phénomène de résonance et une élévation de la tension à l'entrée du redresseur. Il est alors possible de définir un facteur de qualité (Q) à la résonance. Ce facteur de qualité dépend de la capacité et de la résistance série pour une géométrie (W, Len : pour largeur et longueur du canal respectivement) spécifiée du transistor monté en diode. Ce facteur de qualité Q est représenté comme suit (3-3):

$$Q = \frac{|X_r|}{R_r} \tag{3-3}$$

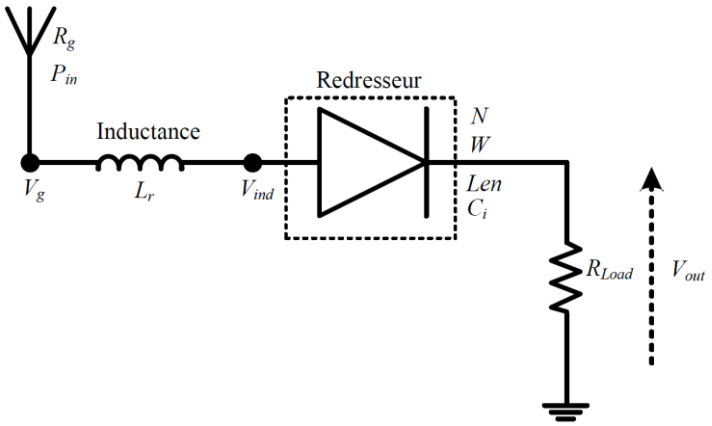

Figure 3-2 : representation d'un systeme de récupération d'énergie et des paramètres principaux

Dans un premier temps, les hypothèses supposées sont l'impédance de générateur (R_g), égale à 50 Ω. La longueur du canal des transistors (Len) est fixée à la valeur minimale autorisée par la technologie pour assurer la résistance série la plus petite. De plus, la capacité de stockage est fixée à C_i = 5 pF pour (i) pouvoir stocker une quantité de charge importante et (ii) pour ne pas avoir une phase transitoire de longue durée (temps d'accumulation de charges dans C_i) et (iii) finalement, vu que dans le Design Kit (DK) (formé de 8 niveaux de métal) il n'y a que des

capacités MOM (métal-oxyde-métal), alors une capacité de forte valeur est pénalisante au niveau de la surface du silicium.

Prenons un exemple qui consiste à optimiser un redresseur Dickson à un étage, pour une résistance de charge de 600 kΩ. Cette valeur de résistance est choisie car elle représente l'impédance d'entrée d'un microcontrôleur à alimenter (V_{dd}/I_{dd}) [14] [15]. Une simulation paramétrique est réalisée avec deux paramètres en même temps : W et L_r. La combinaison de ces deux paramètres nous permet de compenser la partie imaginaire de l'impédance d'entrée (due à W et Len) et de trouver la largeur W optimale et l'inductance L_r appropriée pour assurer le meilleur rendement de conversion.

Le résultat du balayage de W et L_r est représenté sur la Figure 3-3. On obtient un maximum de puissance en sortie pour la courbe qui correspond à $W3$ avec une PCE de 72,8 % (ce qui correspond à 2,08 V aux bornes de la charge). Pour les différentes valeurs de W, la partie imaginaire est compensée pour une valeur de L_r, toutefois on remarque une différence au niveau du PCE et des valeurs des maximums.

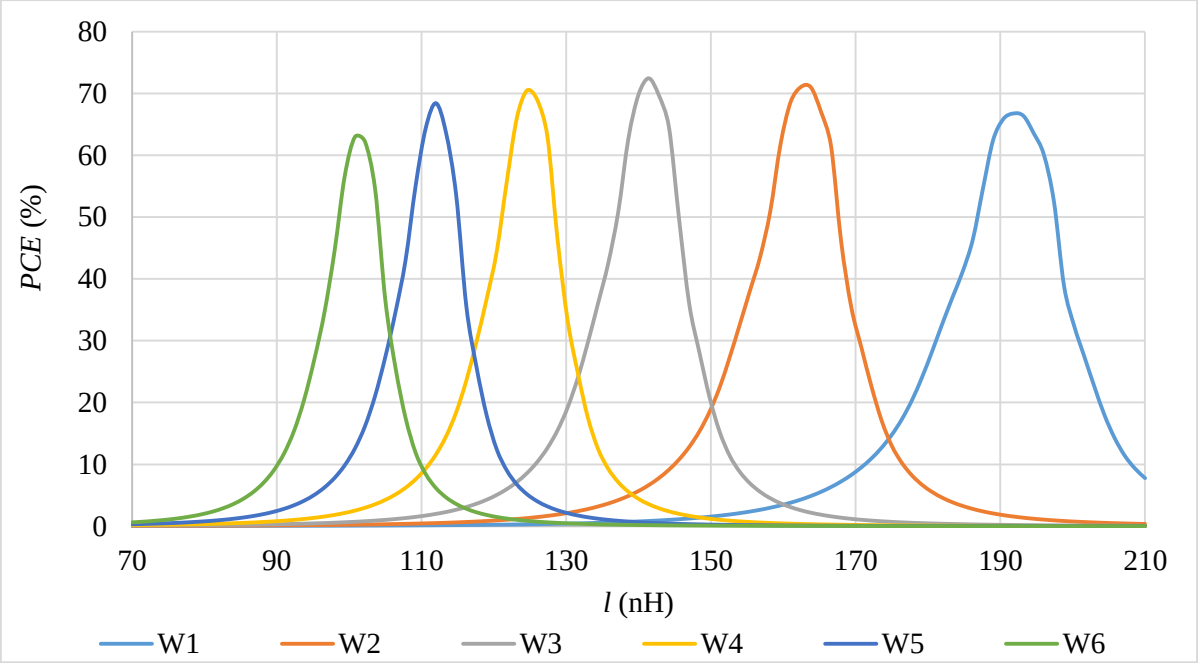

Figure 3-3 : Simulation de l'impact du W et L_r pour une puissance d'entrée P_{in} = -20 dBm et une résistande de charge R_{Load} = 600 kΩ

Le tableau suivant représente le produit de la tension générée (V_g) par le facteur de qualité (Q). Le produit ($V_g \times Q$) qui correspond au plus grand est celui qui correspond à la largeur $W3$. Cette valeur permet d'obtenir les valeurs optimales pour les conditions spécifiées.

Tableau 4 : Variation du $V_g \times Q$ pour différente *W* ; *l*

W	Tension générée (V_g)	Partie réelle	Facteur de qualité (Q)	$V_g \times Q$
*W*1= 17,6 µm	41,4 mV	95	30,6	1,26
*W*3 = 24 µm	32,7 mV	53,4	40	1,3
*W*6 = 33,6 µm	22,9 mV	28,4	53.9	1,23

Dans le paragraphe suivant, l'effet de la résistance de charge, du nombre d'étage et de la puissance d'entrée seront présentés.

3.2.1 Influence de la résistance de charge

Normalement, la consommation d'un système électronique dépend de son état d'activité (état de veille, traitement des données, etc…). Alors l'impédance d'entrée de ce système, qui représente la résistance de charge du redresseur, n'est pas constante. C'est pour cela, qu'il est intéressant de voir l'effet de la résistance de charge sur le redresseur. La Figure 3-4 représente l'effet de la résistance de charge sur un redresseur à un étage, optimisé pour une résistance de charge de R_{Load} = 600 kΩ, avec une puissance d'entrée de -20 dBm.

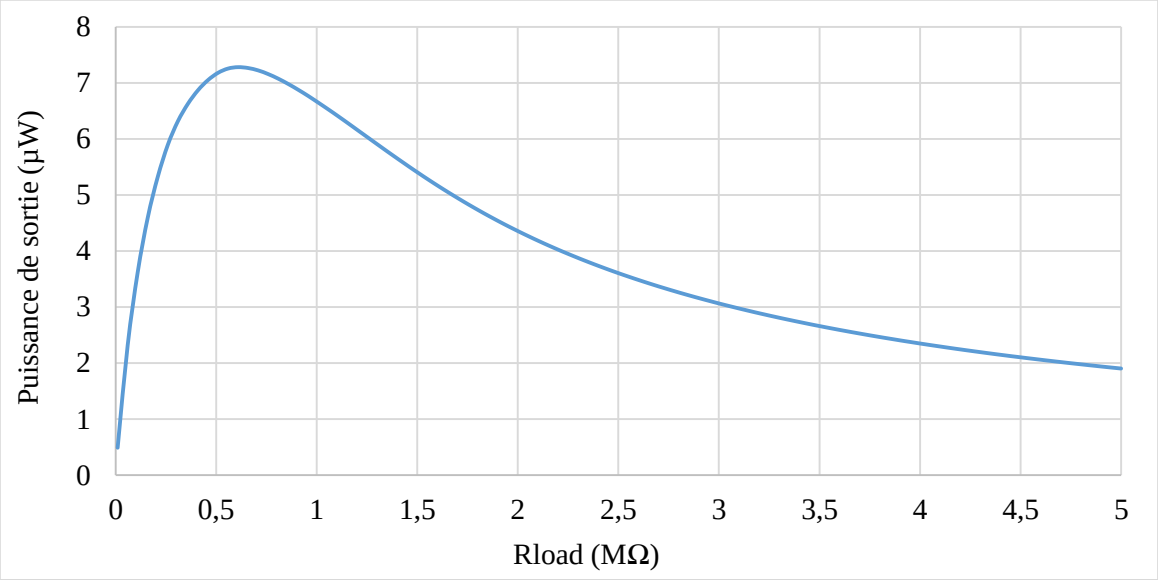

Figure 3-4 : Simulation de la puissance de sortie en fonction de la résistance de charge pour un redresseur un étage optimisé à R_{Load} = 600 kΩ à -20 dBm

La puissance de sortie atteint une valeur maximale de 7,28 µW à 600 kΩ (*PCE* = 72,8 %). Cette puissance diminue en s'éloignant de cette valeur de résistance.

Afin de comprendre les causes de cette variation du *PCE*, la Figure 3-5 représente la puissance en sortie, la tension de sortie (aux bornes de R_{Load}) et la tension obtenue avec un redresseur à un étage à vide (sans résistance de charge). L'hypothèse en entrée est que le redresseur est adapté à 50 Ω.

En prenant la première série de résistances (S1, Figure 3-5), qui correspond aux valeurs de résistances plus faible que la charge nominale choisie pour l'optimisation du redresseur. Les puissances de sortie associées à ces valeurs de résistances de charge (S1) sont trop faibles. La tension de sortie est dans sa zone de croissance mais encore loin de la limitation en tension de cet étage (tension à vide), il fallait obtenir un *PCE* proche du *PCE* maximale obtenue avec la résistance de 600 kΩ. C'est pour cela, qu'il faut regarder l'effet de la résistance de charge sur l'impédance d'entrée. La Figure 3-6 représente la partie réelle et la partie imaginaire de l'impédance d'entrée en fonction de la résistance de charge.

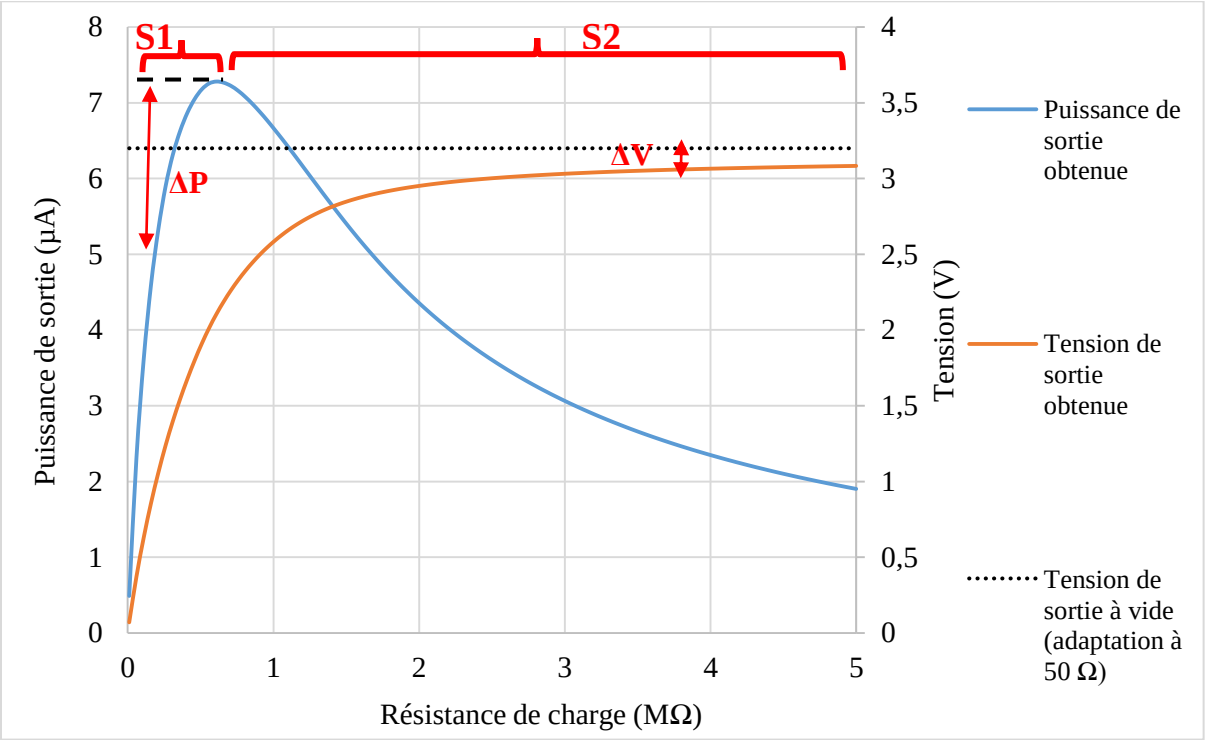

Figure 3-5 : Simulation de la puissance et tension de sortie en fonction de la résistance de charge R_{Load}.

Les parties réelles et imaginaires de l'impédance d'entrée obtenues pour les valeurs de résistances de charge (< 600 kΩ) montrent une forte désadaptation. Une dégradation des performances est observée et une grande différence (*ΔP*) par rapport à celle de la puissance de sortie maximale est obtenue. Cette forte désadaptation induit une forte réflexion de la puissance reçue vers la source, et par suite une petite partie de la puissance est absorbée par le redresseur.

De plus, en augmentant la résistance de charge, les parties réelle et imaginaire s'approchent des valeurs d'adaptation (ce qui induit une augmentation de la puissance de sortie) jusqu'à ce que la partie imaginaire s'annule à 600 kΩ avec une partie réelle de 55 Ω. Au-delà de cette valeur, pour la deuxième zones de résistances (S2 Figure 3-5), les parties réelles et imaginaires continuent à diminuer légèrement sans s'éloigner trop de l'adaptation jusqu'à atteindre une partie réelle de 26 Ω et une partie imaginaire de -16 Ω pour une résistance de charge de 5 MΩ (comme le montre la Figure 3-6).

Dans ce cas, les tensions obtenues aux bornes de ces valeurs de résistances sont proches de celle de la tension obtenue à vide. Une augmentation de la résistance de charge avec une tension de sortie qui n'augmente que légèrement induit une diminution de la puissance de sortie et par suite du *PCE*. D'autre part, on trouve aussi une petite différence entre la tension maximale d'un étage à vide et celle avec la résistance de charge (ΔV). Cela est dû à la faible désadaptation avec la source (la partie réelle devient plus inférieure à 50 Ω et la partie imaginaire est non nulle).

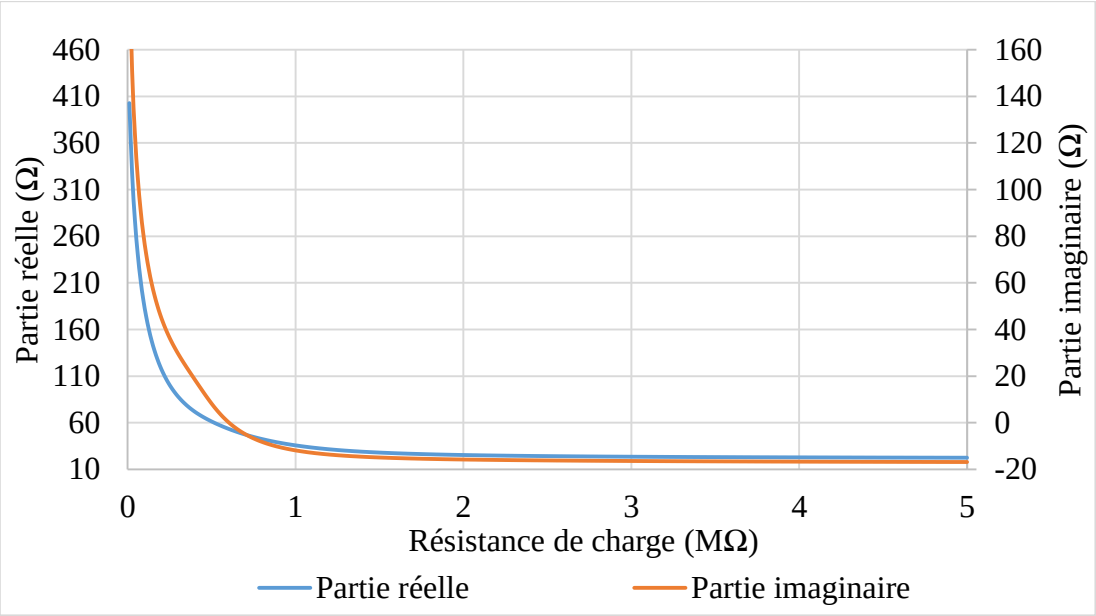

Figure 3-6 : Simulation de la parties réelle et imaginaire de l'impédance d'entrée en fonction de la résistance de charge R_{Load}.

Bien que, la résistance de charge soit placée en parallèle avec une capacité (capacité de sortie du dernier étage) qui présente une impédance très faible à 2,4 GHz (de 13 Ω pour 5 pF), cette résistance impose un changement sur l'impédance d'entrée du redresseur (Figure 3-6). Pour comprendre l'impact de cette résistance et pour simplifier l'analyse, nous débuterons par le cas d'un redresseur à une seule diode dit « mono alternance ». Ce redresseur mono alternance est optimisée pour une résistance de charge donnée. En augmentant la résistance de charge, la tension de sortie augmente. L'augmentation de la tension de sortie va modifier la tension aux

bornes de la diode, modifiant ainsi l'impédance d'entrée de la diode. De plus, la conversion d'énergie RF en DC conduit à la consommation de puissance globale dans le redresseur donc à un modèle basé sur une résistance.

3.2.2 Influence des nombres d'étage

En réalisant le double balayage de deux paramètres, W et L_r, une optimisation est réalisée pour différentes résistances de charge et différents nombres d'étages à -20 dBm de puissance d'entrée. Ces résultats montrent que lorsqu'on relie les maxima des résultats de simulation obtenus pour le *PCE*, on obtient la courbe du lieu des maxima (en noir pointillé sur la Figure 3-7). Ainsi avec un redresseur mono alternance (N = ½), il est possible d'atteindre un maximum de *PCE* d'environ 70 % et c'est la meilleur solution pour les valeurs de résistances (R_{Load} < 200 kΩ). Dans le cas d'un redresseur à un étage (N = 1), le *PCE* croit de quelques pourcents et la plage des résistances varie entre 200 kΩ et 1,2 MΩ, etc… . En passant à deux étages (N = 2), on obtient des *PCE* légèrement plus petit (que pour un étage) mais la plage de résistance s'est encore décalée de 1,2 MΩ à 5 MΩ. Cette diminution des *PCE* est due à l'augmentation du nombre de transistors et par suite des pertes au niveau de chaque transistor (courant de fuite et tension de seuil). Ainsi de suite, en augmentant le nombre d'étages, la tension maximale augmente, toutefois il existe une valeur de tension maximale qui est limitée par l'accumulation de pertes dans les étages successifs et la présence de courants de fuite qui deviennent comparables au courant de charge des capacités. L'augmentation de la résistance (R_{Load}) pour laquelle le circuit doit être optimisé induit une diminution de la largeur W du transistor. Cette diminution s'explique par la diminution du courant consommé par la charge, et par suite une diminution du rapport *W/Len* du transistor. La diminution de la largeur W du transistor augmente l'impédance d'entrée, et dans un dernier temps, nécessite la modification de l'impédance du générateur. Cette étude sera présentée ultérieurement.

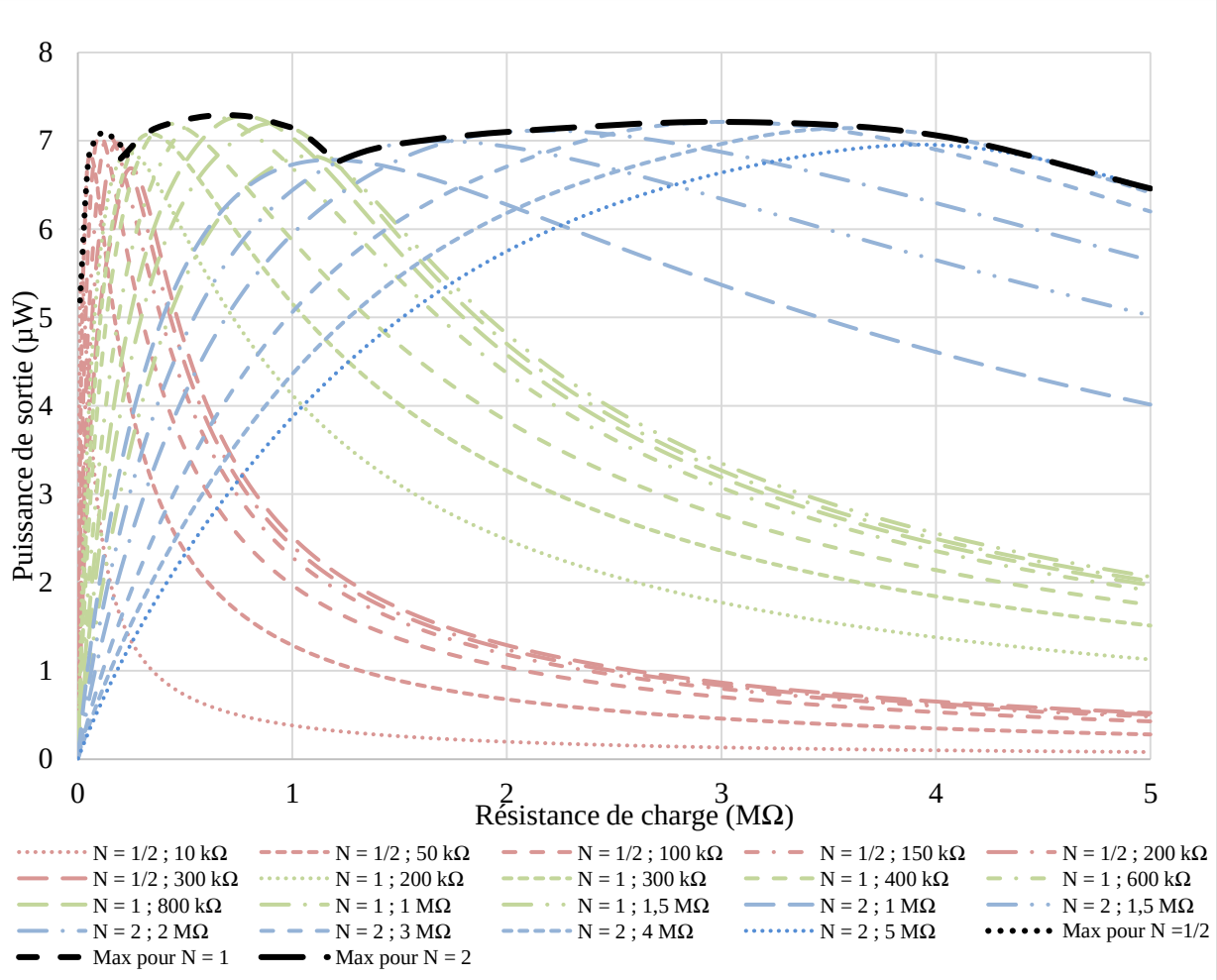

Figure 3-7 : Résultat de simulation de la première méthode d'optimisation en fonction de la résistance de charge R_{Load} à P_{in} = -20 dBm

La Figure 3-8 représente la tension de sortie obtenue en fonction de la résistance de charge pour différents nombres d'étages et pour une puissance d'entrée P_{in} de -20 dBm. L'optimisation est réalisée pour chaque résistance de charge. En augmentant le nombre d'étages, le redresseur est capable de délivrer une tension de sortie de plus en plus grande lorsque la résistance de charge augmente. Ce résultat montre qu'un redresseur avec un nombre d'étages donné possède une limite en tension, malgré l'augmentation de la résistance de charge. Cette limite correspond parfaitement à celle obtenue à vide (avec une adaptation à 50 Ω avec le générateur) (présenté dans le paragraphe 3.3.1).

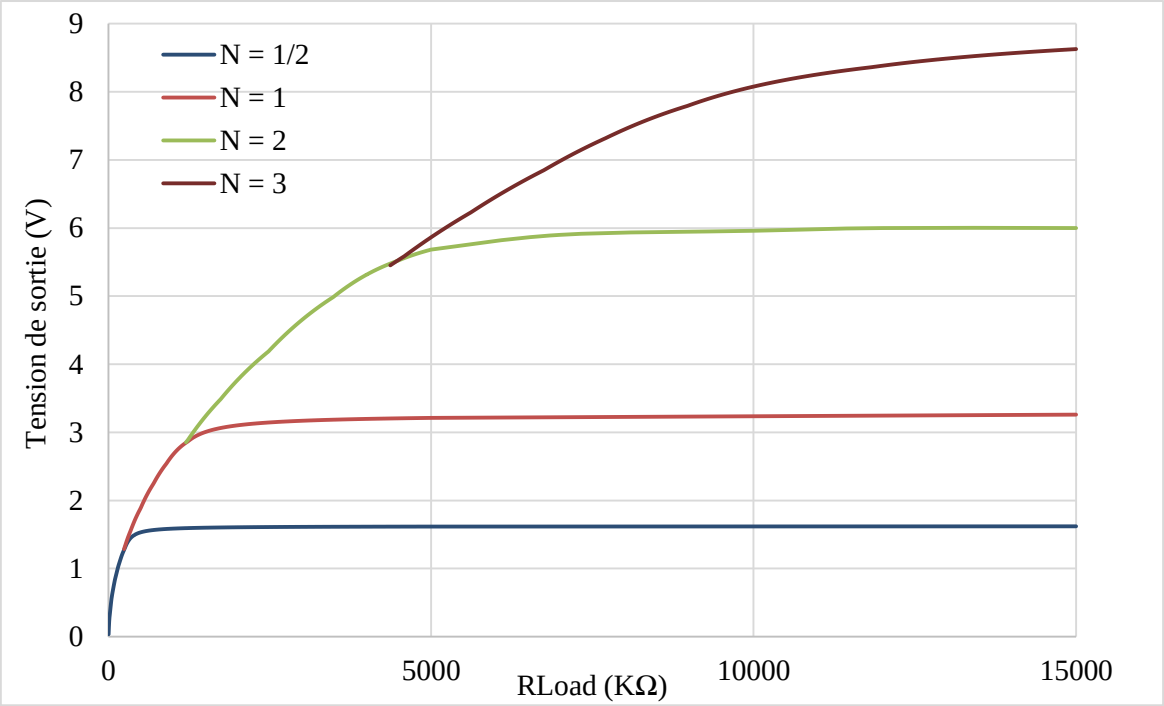

Figure 3-8 : Tension de sortie simulée pour différents étages en fonction de la résistance de charge R_{Load} pour une puissance d'entrée P_{in} = -20 dBm

3.2.3 Influence de la puissance d'entrée

Pour un redresseur Dickson à un étage (doubleur), les performances obtenues avec les faibles puissances d'entrée sont inférieures à celles obtenues avec les puissances plus importantes. De plus, en augmentant la puissance d'entrée, les maximums des *PCE* sont obtenus pour des résistances de charge qui sont plus faibles (Figure 3-9).

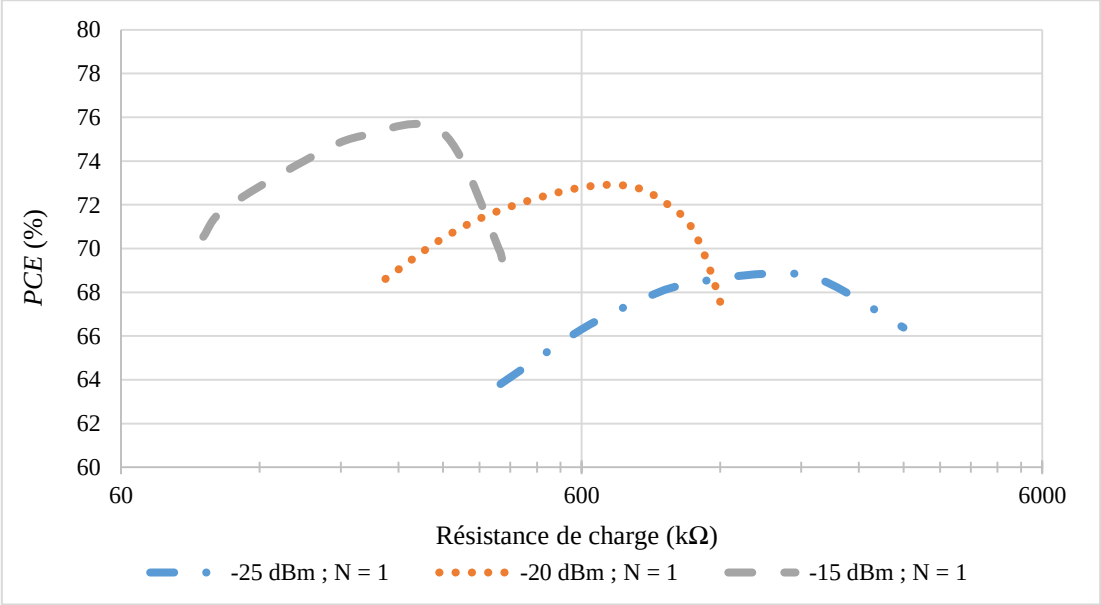

Figure 3-9 : Variation du PCE en fonction de la résistance de charge R_{Load} pour différentes puissances d'entrées P_{in}

Néanmoins, la variation de la puissance d'entrée, pour un redresseur optimisé à une puissance donnée, influe peu sur la valeur maximale du *PCE* (moins de 10 % de variation pour un ordre de grandeur de la puissance d'entrée). Considérons par exemple un redresseur à un étage, optimisé pour une résistance de charge de 600 kΩ pour une puissance d'entrée de -20 dBm. La Figure 3-10 représente les évolutions des parties réelle et imaginaire, de l'impédance d'entrée du convertisseur Dickson à un étage chargé par une résistance de 600 kΩ, en fonction de la puissance d'entrée (P_{in}).

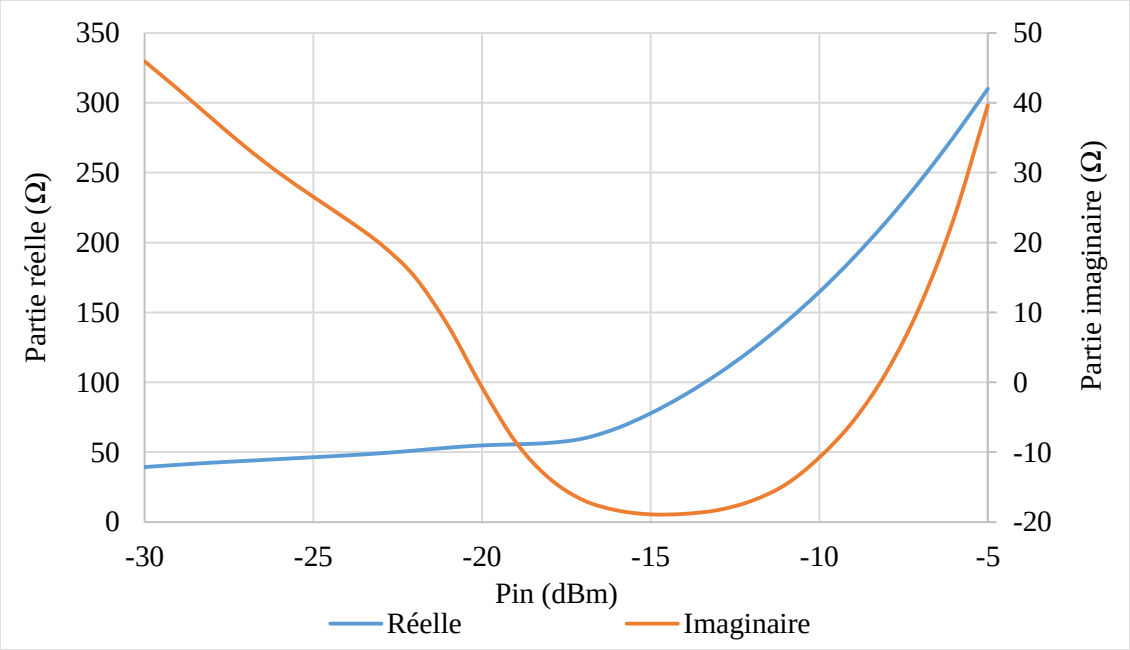

Figure 3-10 : Partie réelle et partie imaginaire pour un redresseur Dickson à un étage optimisé pour une R_{Load} de 600k à -20 dBm en fonction de la puissance d'entrée P_{in}

On observe qu'il est possible de faire fonctionner le convertisseur à la résonance, avec la même valeur d'inductance, (partie imaginaire de l'impédance d'entrée du redresseur en série avec l'inductance L_r est nulle) lorsque la puissance d'entrée est égale à -20 dBm et à -8 dBm. Pour ces deux valeurs, la partie réelle de l'impédance d'entrée sont respectivement égales à 55 Ω à -20 dBm et à 215 Ω à -8 dBm. Au-delà de -17 dBm, la partie réelle augmente rapidement, quasiment de manière exponentielle. Cette augmentation de la partie réelle peut être assimilée à l'augmentation de la résistance série au niveau des diodes, et par suite, une augmentation de la différence de potentielle aux bornes de la diode.

La Figure 3-11 représente la tension générée par le générateur V_g, la tension à l'entrée du redresseur (après l'inductance L_r) V_{ind}, la tension de sortie V_{out}, et finalement le *PCE*.

On constate que la tension V_g augmente continument avec P_{in}, alors que l'efficacité de conversion *PCE* passe par un maximum à -18 dBm. À -20 dBm et à -8 dBm, le phénomène de résonance est observé. Cependant le facteur de qualité obtenue à -20 dBm est de 39,5 et celui à -8 dBm n'est plus que de 10, malgré l'augmentation de la puissance d'entrée. On observe que la pente d'augmentation de V_{ind} et V_{out} est très petite. Cette légère augmentation plus faible que l'augmentation de la puissance d'entrée entraine une diminution du *PCE*.

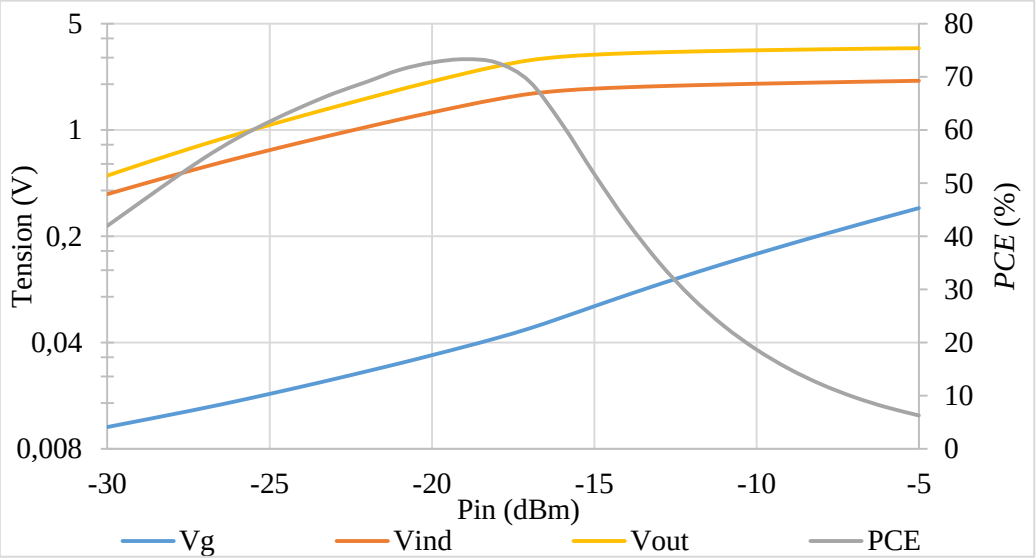

Figure 3-11 : Vg, Vind, V_{out}, et PCE pour un redresseur Dickson optimisé pour un R_{Load} de 600 kΩ à -20 dBm en fonction de la puissance d'entrée P_{in}

Nous avons montré que les parties réelles et imaginaires de l'impédance d'entrée du redresseur dépend de nombreux paramètres surtout de la puissance d'entrée P_{in}. De plus nous avons conclu qu'il est important d'avoir une partie imaginaire nulle pour augmenter la tension à l'entrée du redresseur grâce au phénomène de la résonance. Il convient donc de rechercher le facteur de qualité le plus grand possible sans toutefois oublier qu'il est influencé par la valeur de la partie réelle. Une tension maximale à l'entrée du redresseur avec la plus faible chute de tension possible aux bornes de la diode (liée à la tension de seuil et à la résistance série) et de faibles fuites dans le transistor assurent donc les meilleures performances.

Dans la partie suivante, la méthode de conception est détaillée pour une impédance du générateur de 50 Ω. De plus, l'effet de l'impédance de générateur va être présenté.

3.3 Méthode de conception

La recherche du jeu de paramètres optimaux est réalisée en deux phases. La première consiste à déterminer le nombre d'étages *N* à cascader pour atteindre la tension de sortie désirée. La

seconde étape consiste à optimiser les étages du redresseur (les N étages étant supposés identiques) avec une résistance de charge spécifiée. Cela revient à dimensionner de manière adéquate les transistors montés en diode à la base de la non-linéarité.

Dans cette partie, nous proposons une méthode qui à partir des paramètres cités dans le cahier des charges, permet de choisir les paramètres optimaux des transistors et du convertisseur RF-DC.

3.3.1 Détermination du nombre d'étages *N*

Afin de déterminer le nombre d'étages requis, des simulations sans R_{Load} (à vide) doivent être réalisées pour obtenir la tension maximale délivrée à la sortie de chaque étage.

Chaque technologie microélectronique va conduire à des valeurs d'impédance d'entrée Z_r différentes même si les dimensions des transistors choisis sont les mêmes. Il est possible de décrire ces différences à l'aide du facteur de qualité à la résonance. Par ailleurs, comme nous l'avons vu dans le paragraphe précédent, ce paramètre a aussi un impact sur la tension de sortie. Toutefois la tension de sortie dépend aussi d'autres paramètres intrinsèque à la technologie choisie et propres à la caractéristique non linéaire des transistors montés en diodes (la tension de seuil et des fuites).

Le *PCE* d'un redresseur ne peut pas atteindre 100 %. Les effets des fuites et de la tension de seuil diminuent l'efficacité de conversion. Dans l'état de l'art présenté dans le chapitre 1, la valeur maximale de *PCE* obtenue, pour des faibles puissances, ne dépasse pas 60 %. En outre, d'après notre propre étude (présentée dans les pages précédentes de ce chapitre), la valeur maximale de *PCE* obtenue se situe autour de 70 % à -20 dBm en utilisant la technologie FDSOI. Cette valeur de *PCE* est obtenue avec une polarisation dynamique de la grille arrière (cette technique sera présentée dans le chapitre suivant). Cette différence entre les *PCE* obtenues dans l'état de l'art et celles obtenues avec la FDSOI est due au fait que la technologie FDSOI est caractérisée par des fuites et tension de seuil plus faibles en comparaison avec les autres technologies. De plus, l'effet de polarisation de la grille arrière permet d'augmenter de quelques pour cents cette efficacité de conversion RF-DC.

Pour une structure à une seule diode, soit une mono-alternance (N = ½), la tension maximale à vide, obtenue pour une puissance d'entrée de -20 dBm (avec une adaptation entre le générateur et le redresseur R_g = 50 Ω) est de 1,62 V. Cette tension passe à 3,26 V pour un redresseur à un étage (N = 1), et de 6,31 V pour deux étages (N = 2). Si la puissance d'entrée est de P_{in} = -20

dBm et la tension en sortie demandée est de 2 V par exemple, un seul étage doit être utilisé. Notons que la puissance espérée en sortie ne pourra pas dépasser la valeur *PCE*max (%) × P_{in} (W).

Une fois le nombre d'étages *N* choisi, une optimisation des dimensions des transistors (*W* et *Len*) et de l'inductance appropriée (L_r), pour une résistance de charge donnée (R_{Load}), doit être réalisée.

3.3.2 Dimensionnement des transistors

Dans le cadre de notre étude, les dimensions des diodes et des capacités des différents étages sont considérées comme étant identiques. Une vérification de l'ordre de grandeur de la puissance de sortie doit être réalisée avant le début de l'optimisation (puissance de sortie ne dépassant pas les limites). Pour le nombre d'étages choisi, une optimisation des dimensions avec la résistance de charge doit être réalisée. La Figure 3-12 représente l'organigramme de la méthode d'optimisation des paramètres du circuit redresseur RF-DC. Des simulations non-linéaires de type Harmonic Balance (HB) ont été réalisées.

De plus, une simulation paramétrique est réalisée avec deux paramètres en même temps : *W* et L_r. Elle permet de trouver la largeur *W* optimale et l'inductance L_r appropriée. On obtient un graphe similaire à celui présenté sur la Figure 3-3.

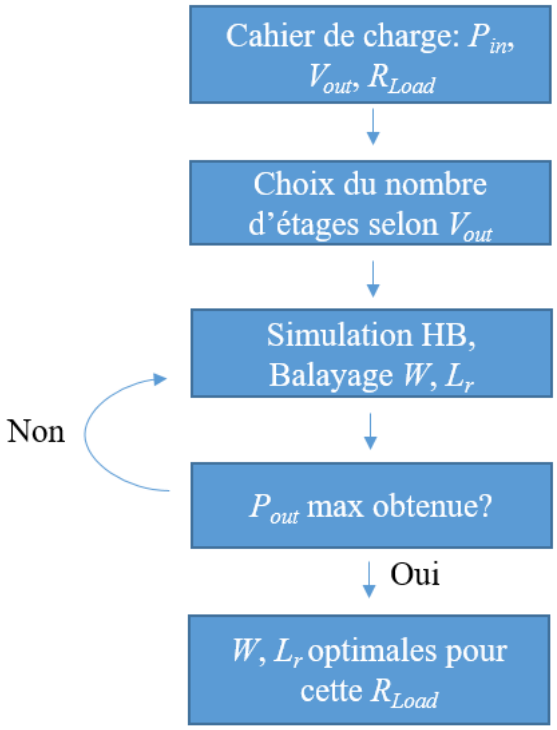

Figure 3-12 : Organigramme de la première méthode d'optimisation (opt.1)

3.3.3 Effet de l'impédance du générateur

La méthode présentée suppose que le redresseur est attaqué avec des conditions d'adaptation d'impédance soit que partie imaginaire de l'impédance d'entrée résultante est nulle. Toutefois, la partie réelle obtenue lors de cette optimisation est très probablement différente de celle du générateur. Dans cette partie, une deuxième étape de la méthodologie d'optimisation est proposée. Dans cette étape, nous nous proposons d'étudier l'impact de la partie réelle sur les performances du redresseur.

Nous considérons un redresseur optimisé pour une résistance de charge de 600 kΩ. Le Tableau 5 rassemble les paramètres clés issus de simulation de l'impédance du générateur, la tension du générateur V_g, la partie réelle et la partie imaginaire de l'impédance d'entrée, la puissance en sortie, et le facteur de qualité calculé à la résonance. La valeur maximale que nous nous sommes imposées pour l'impédance du générateur est en cohérence avec l'impédance maximale synthétisable à la sortie d'une antenne soit environ 200 Ω.

La première ligne représente l'optimisation initiale. La partie imaginaire vue par le générateur est nulle et la partie réelle est légèrement plus grande que celle du générateur. Dans la deuxième ligne, les mêmes valeurs de W ; L_r que celles obtenues à la première ligne sont utilisées, sauf que l'impédance du générateur est remplacée par la valeur de la partie réelle de l'impédance d'entrée obtenue au début. La puissance de sortie est presque identique (0,1 % plus grande).

Tableau 5 : Effet de l'impédance du générateur

Impédance générateur	W (µm)	Tension générée	Partie réelle	Partie imaginaire	Puissance de sortie	Facteur de qualité
50	$W1$ = 24	32,7 mV	53,4	2138	7,28	40
53,4	$W1$ = 24	32,7 mV	53,4	2138	7,28	40
100	$W2$ = 16,8	45,8 mV	104,8	3043	7,46	29
150	$W3$ = 13,6	56 mV	156,6	3748	7,54	23,9
200	$W4$ = 11,76	64,7 mV	209	4349	7,58	20,8

En augmentant l'impédance du générateur (100 Ω), V_g va être aussi plus grande comme le montre le tableau. Une optimisation est réalisée pour cette impédance du générateur pour obtenir de nouvelles valeurs $W2$ et L_r2. La puissance de sortie est plus grande, même si le facteur de qualité Q a diminué, mais au final le produit de V_g par le facteur de qualité a augmenté. Le même phénomène apparait pour les autres impédances du générateur. Lorsque

l'impédance du générateur est maximale, soit 200 Ω, la puissance de sortie augmente de 3 % par rapport à celle obtenue lorsque l'impédance du générateur est de 50 Ω.

L'organigramme représenté sur la Figure 3-13 donne la méthodologie complète d'optimisation. En modifiant l'impédance du générateur et avec un redimensionnement du W et du L_r, une augmentation de la valeur du PCE de quelques pourcents est obtenue. En augmentant l'impédance du générateur, si le produit $V_g \times Q$ augmente légèrement avec une forte augmentation de la résistance série, une diminution des performances peut être obtenue du fait que la tension aux bornes de la diode va augmenter d'une manière plus significative que l'augmentation de la tension à l'entrée du redresseur.

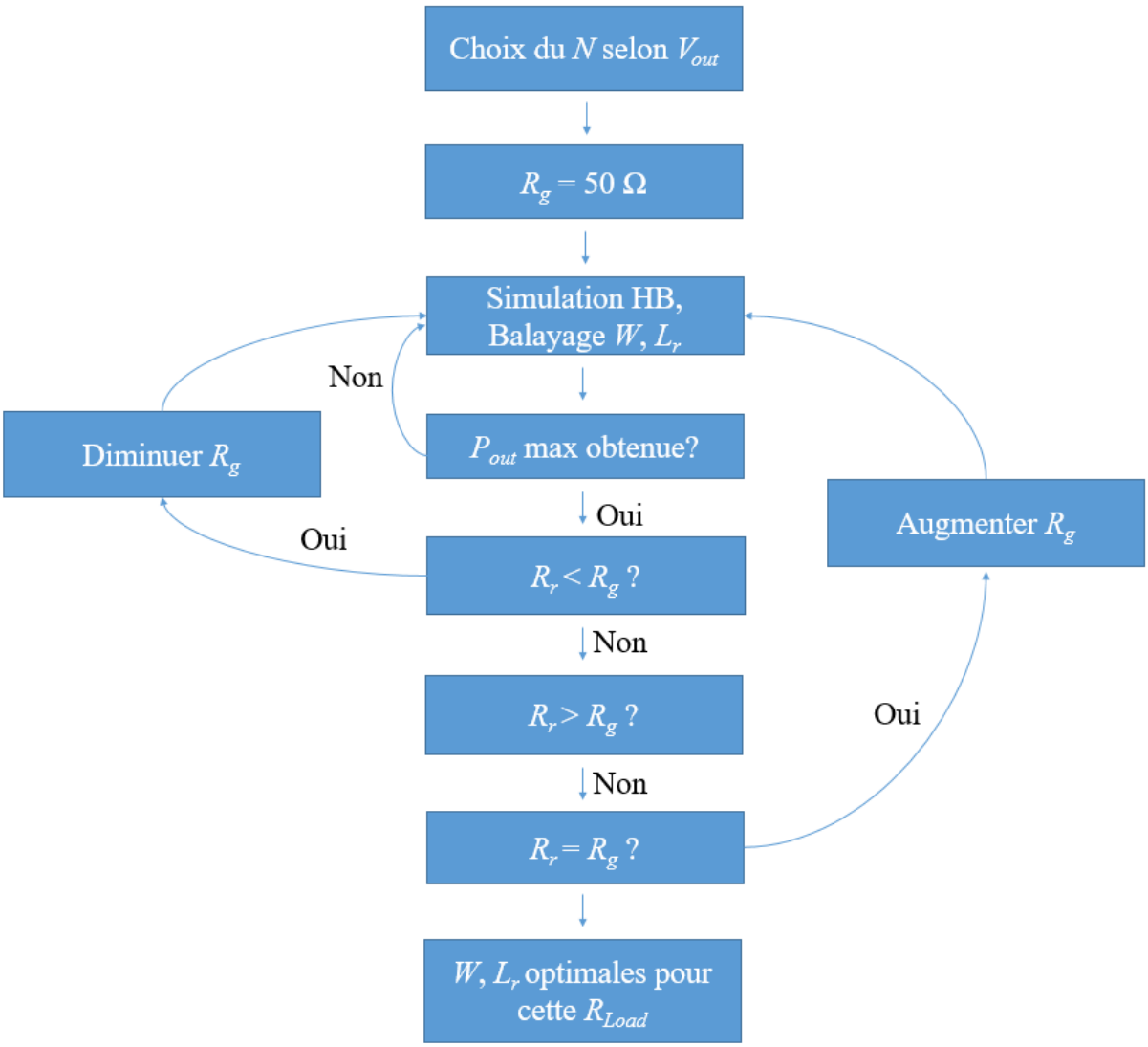

Figure 3-13 : Organigramme d'optimisation avec une impédance du générateur adéquate (opt.2)

Pour illustrer les résultats découlant de cette deuxième étape de la méthode d'optimisation, la Figure 3-14 rassemble les résultats obtenus dans le cas d'une résistance de charge R_{Load} = 600

kΩ. La puissance de sortie obtenue avec l'impédance du générateur de 200 Ω représente une puissance de sortie plus grande que celle obtenue lorsque l'impédance du générateur est de 50 Ω. Une augmentation de la valeur du *PCE* de 3% est obtenue.

Finalement, cette étape de méthodologie est appliquée sur une plage de résistances de charge de 10 kΩ à 5 MΩ en utilisant un redresseur mono alternance (N = ½), un redresseur à un étage (N = 1) et un redresseur à deux étages (N = 2). La Figure 3-15 représente les résultats de simulation obtenus. Nous pouvons constater que la valeur du *PCE* augmente de quelques pourcents avec l'augmentation de l'impédance R_g, mais cette augmentation devient quasi négligeable dès qu'il y a au moins deux étages. L'augmentation du *PCE* induit à une augmentation de la tension en sortie.

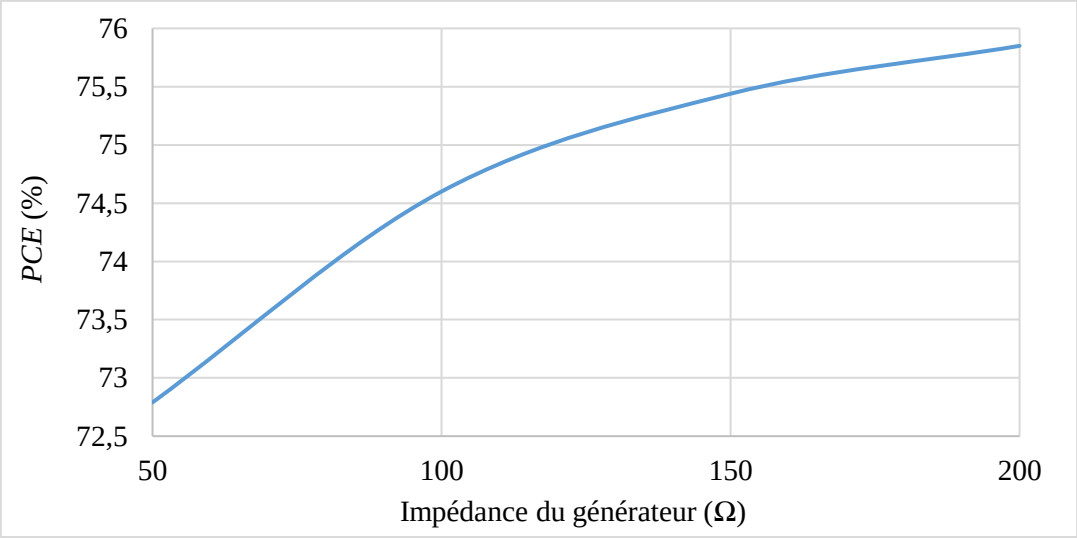

Figure 3-14 : PCE pour un redresseur à un étage avec une R_{Load} de 600 kΩ en fonction de l'impédance du générateur -20 dBm

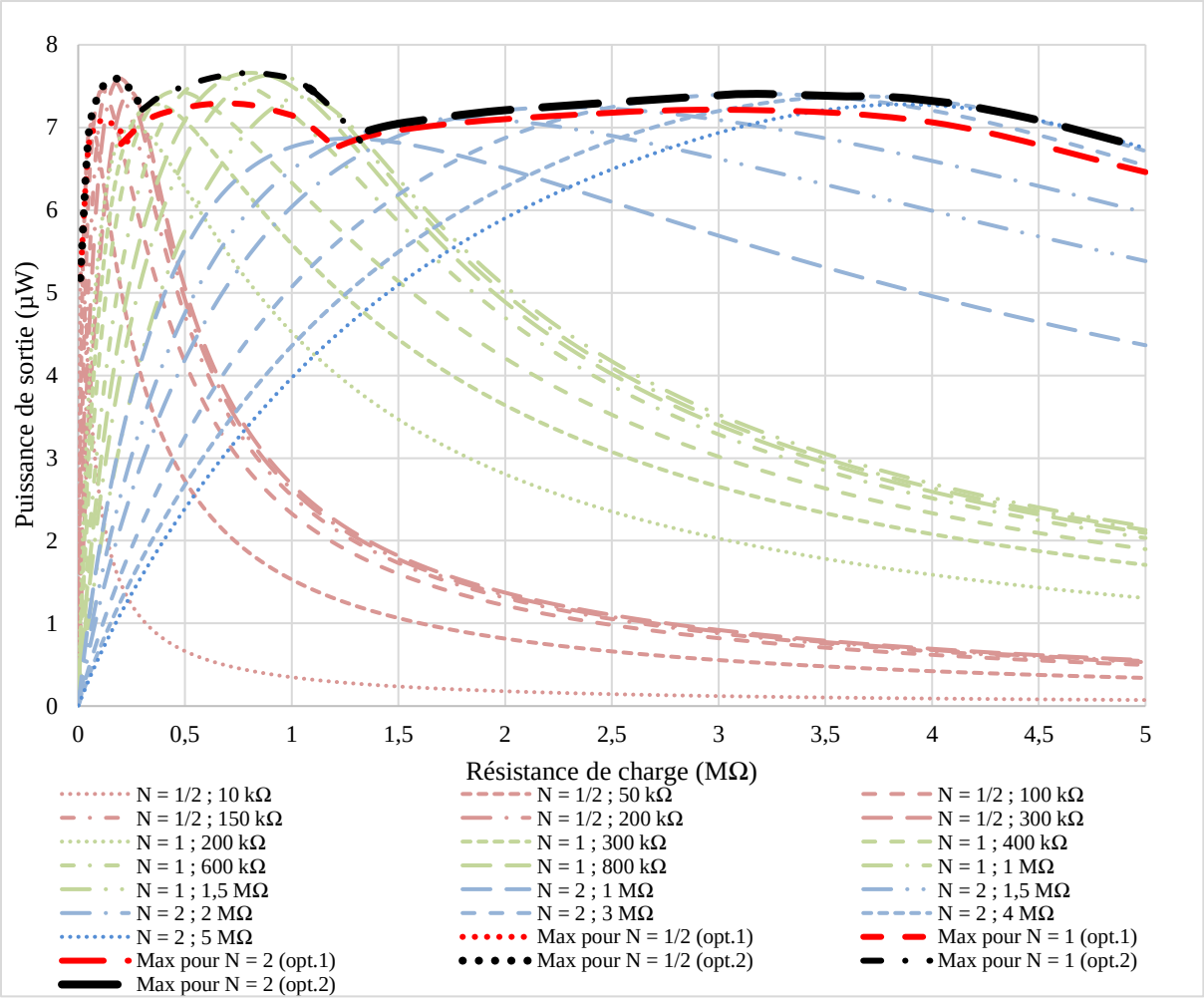

Figure 3-15 : Comparaison entre opt.1 (R_g = 50 Ω)et opt.2 (R_g adaptée limitée à 200 Ω) en fonction de la résistance de charge à -20 dBm

3.4 Exemples de conception

Dans cette partie, une étude comparative des performances obtenues pour différents redresseurs : un redresseur mono-alternance (N = 1/2), un redresseur Dickson à un étage (N = 1), un redresseur Dickson à deux étages (N = 2) et trois étages (N = 3) pour différentes puissances d'entrée (P_{in}) et en fonction de différente résistances de charge (R_{Load}).

3.4.1 Efficacité et tension de sortie en fonction de N et P_{in}

La Figure 3-16 représente les valeurs de *PCE* pour différentes puissances (P_{in}) et différents nombres d'étages (N). En augmentant la puissance d'entrée, la tension de sortie obtenue avec un redresseur Dickson à N étages atteint des limitations en tension (ce qui explique la diminution de la valeur du *PCE*) avec des résistances de charge plus petites, par rapport à celles obtenues avec des puissances plus faibles. Par exemple, pour un redresseur à un étage, avec une

puissance de -20 dBm, la plage de résistance couverte (pour un maximum de valeur de *PCE*) est de 200 kΩ à 1,2 MΩ. D'autre part, à -15 dBm, la plage de résistance couverte est de 90 kΩ à 400 kΩ.

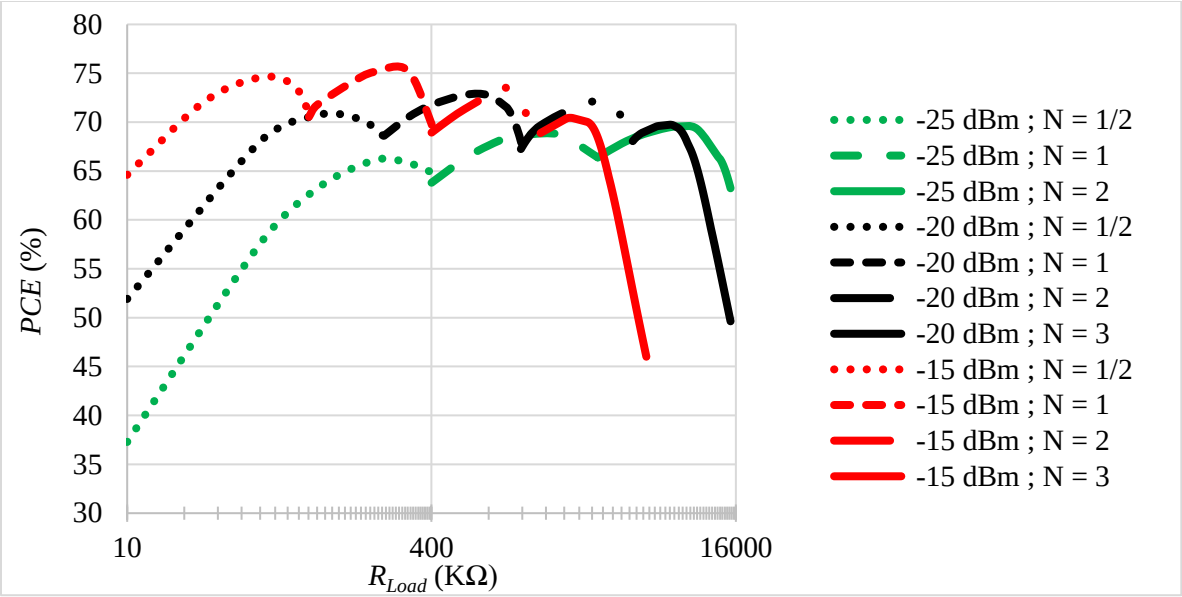

Figure 3-16 : PCE en fonction de la résistance de charge pour différents nombres d'étages et différentes puissances d'entrée

En outre, pour faciliter la présentation des résultats, une représentation de la tension en fonction de la résistance de charge pour différents nombres d'étages (*N*) est plus utile pour un concepteur. Ce résultat est représenté sur la Figure 3-17 pour un redresseur Dickson à un étage et sur la Figure 3-18 pour redresseur Dickson à deux étages.

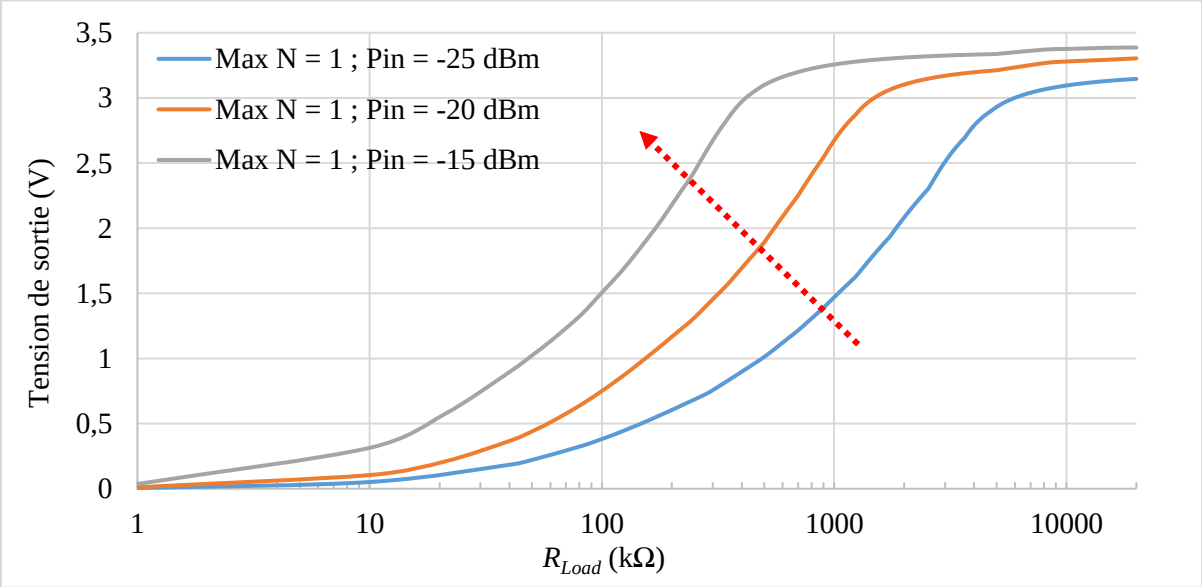

Figure 3-17 : Tension de sortie simulée en fonction de la résistance de charge pour différentes puissances d'entrée pour un redresseur Dickson à un étage (N = 1)

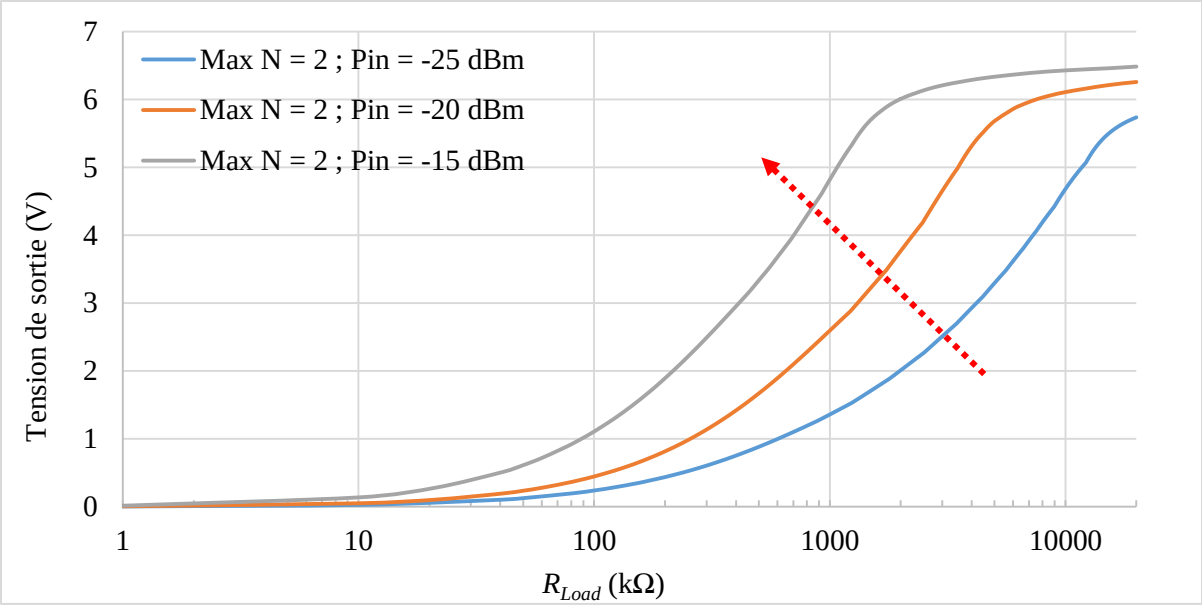

Figure 3-18 : Tension de sortie simulée en fonction de la résistance de charge pour différentes puissances d'entrée pour un redresseur Dickson à deux étages (N = 2)

3.4.2 Comportement d'un redresseur optimisé à -20 dBm en fonction de P_{in}

Un redresseur est optimisé pour une résistance donnée et une puissance donnée. Un changement de l'un de ces deux paramètres change l'efficacité du redresseur. Le changement est dû au changement du comportement résistif et capacitif de l'impédance d'entrée. Un système de récupération d'énergie ne sera pas à une distance fixe et connue de la source. Par conséquent, la puissance reçue par l'antenne du dispositif de récupération RF est susceptible de varier. D'après la théorie, l'expression de Friis (émission en espace libre) prévoit qu'elle varie inversement proportionnelle au carré de la distance entre les deux antennes soit décrite par la relation (3-4).

$$P_r = P_t G_t G_r \left(\frac{\lambda}{4\pi R}\right)^2 \tag{3-4}$$

Où P_r, P_t, G_t, G_r, λ et R représentent respectivement la puissance collectée par l'antenne de réception, la puissance délivrée par l'antenne d'émission, le gain de l'antenne d'émission, le gain de l'antenne de réception, la longueur d'onde, et la distance séparant les deux antennes.

Il faut donc étudier l'impact de la variation de la puissance d'entrée (P_{in}) sur la valeur du *PCE*. Notons qu'il est important de choisir entre avoir une puissance de sortie maximale sur une petite plage de puissance en entrée, et avoir une puissance en sortie qui est plus petite sur une plage de puissance d'entrée qui est plus importante (Figure 3-19). Il sera possible que le cas 2 ou le cas 3 offrent une énergie en sortie qui est plus importante surtout que leur fonctionnement est

sur plage de puissance d'entrée plus importante. Dans notre travail on s'intéresse à avoir une puissance maximale en sortie sur une large plage de puissance d'entrée afin d'assurer l'énergie maximale en sortie.

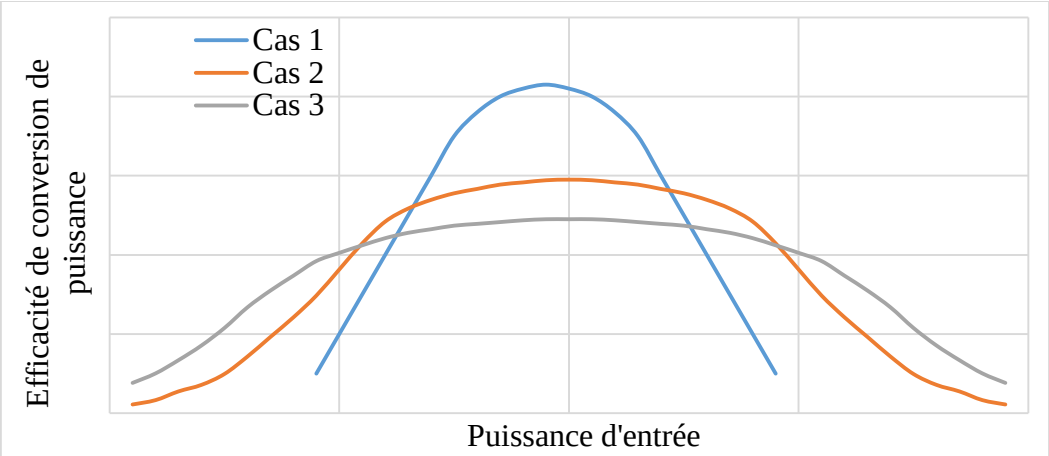

Figure 3-19 : Representation des differents cas de fonctionnement d'un redresseur pour la récupération d'énergie RF

La Figure 3-20 représente les *PCE* d'un système à un étage ($N = 1$) optimisé pour une puissance de -20 dBm et pour différentes résistances de charge. Pour les différentes résistances de charge, la valeur du *PCE* est plus grand de 40 % pour la plage de puissance allant de -30 dBm à -5 dBm. Au-delà de -15 dBm, la variation de l'impédance d'entrée devient très significative ce qui dégrade les performances.

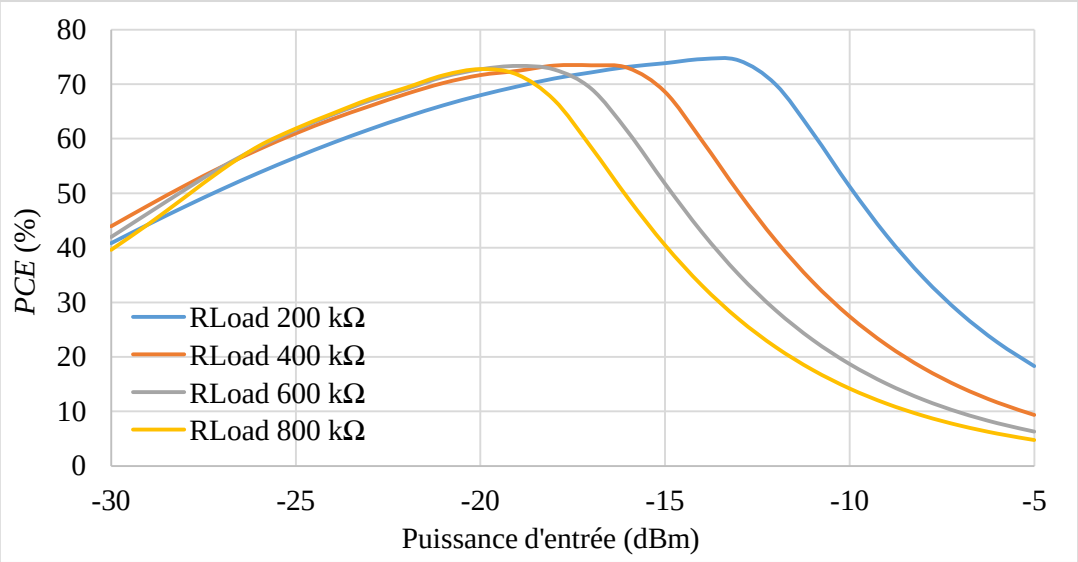

Figure 3-20 : Simulation du comportement des redresseurs optimisés pour une puissance de -20 dBm sur une plage de puissance de -30 dBm à -5 dBm

Afin de valider cette méthodologie, 14 dispositifs ont été conçus et envoyés en fabrication (Figure 3-21). Ces dispositifs contiennent des redresseuses mono alternances ($N = 1/2$), à un

étage (N = 1), et deux étages (N = 2), pour différentes résistances de charge (R_{Load}) et avec la technique de polarisation dynamique de la grille arrières (cette technique nécessite une connexion intégrée). De plus, des circuits avec des polarisations des grilles arrières accessibles sont réalisés afin de mettre en évidence l'avantage de la polarisation dynamique. L'intégralité de ces dispositifs occupe une surface de silicium totale de 930 × 570 µm^2 soit 0,53 mm^2.

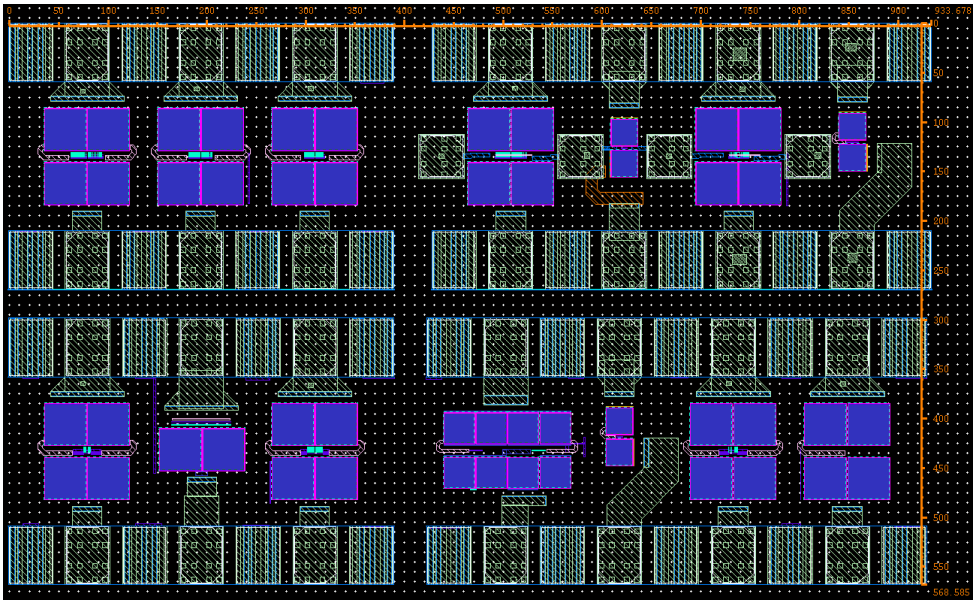

Figure 3-21 : Copie d'écran des dispositifs réalisés en suivant la méthodologie d'optimisation

Le Tableau 6 décrit les caractéristiques de différents redresseurs. Trois redresseurs optimisés pour différents R_{Load} possèdent des BG accessibles. Ces redresseurs seront comparés avec d'autres, ayant par une polarisation dynamique de la BG, optimisé pour les mêmes résistances de charge. De plus, le DK utilisé lors de ce « run » est différents du premier DK utilisé pour réaliser les premier dispositifs (résultats présentés dans le chapitre 4), C'est pour cela, d'autres dispositifs basés sur le PLS (Post Layout Simulation) ont été conçus. En outre, afin de mettre en évidence l'effet de l'impédance du générateur, un des circuit est optimisé pour une R_{Load} = 600 kΩ et P_{in} = -20 dBm avec une impédance de générateur R_g = 200 Ω. Finalement, un redresseur est conçu pour une puissance d'entrée P_{in} = -30 dBm.

Dans la partie suivante, les mêmes simulations ont été réalisées sur la seconde technologie, la BiCMOS 55 nm.

Tableau 6 :Caractéristiques des redresseurs optimisés

R_{Load}	W (µm)	Polarisation	Nb d'étages (N)	Remarque
200 kΩ	39	Dynamique	1	P_{in} = -20 dBm
200 kΩ	39	Statique	1	P_{in} = -20 dBm
400 kΩ	28,8	Dynamique	1	P_{in} = -20 dBm
600 kΩ	24	Dynamique	1	P_{in} = -20 dBm
600 kΩ	24	Statique	1	P_{in} = -20 dBm
600 kΩ	12	Dynamique	1	R_g = 200 Ω P_{in} = -20 dBm
1 MΩ	18,8	Dynamique	1	P_{in} = -20 dBm
4 MΩ	9,4	Dynamique	1	P_{in} = -30 dBm
5 MΩ	8,3	Dynamique	2	P_{in} = -20 dBm
50 kΩ	75,6	Dynamique	1/2	Basé PLS P_{in} = -20 dBm
200 kΩ	8	Dynamique	1	Basé PLS P_{in} = -20 dBm
460 kΩ	4	Dynamique	1	Basé PLS P_{in} = -20 dBm
460 kΩ	4	Statique	1	Basé PLS P_{in} = -20 dBm
-	0,08	Dynamique	1	Plus petit transistor

3.5 Comparaison entre la FDSOI et la BiCMOS

Comme présenté dans le chapitre 2, les technologies intégrées sur silicium massif souffrent de plusieurs problèmes surtout aux niveaux des courants de fuite et de la tension de seuil qui sont des paramètres non négligeables. La technologie FDSOI est une technologie silicium sur isolant qui propose un début de solution à ces problèmes. Pour vérifier la bonne adéquation de la technologie FDSOI aux applications faible puissance et plus particulièrement pour nos redresseurs RF-DC une comparaison a été menée entre deux technologie intégrées, la BiCMOS 55 nm et la FDSOI 28 nm. La méthodologie d'optimisation utilisée pour la conception des circuits redresseurs est celle décrit précédemment et est la même pour les deux technologies.

Le graphe de la Figure 3-22 représente la valeur du *PCE* obtenue pour les deux technologies FDSOI et BiCMOS. L'effet de la polarisation de la Back Gate (BG) disponible en FDSOI a été rendu inopérant en reliant la BG à la masse (soit un potentiel BG nul). De même pour les substrats des transistors de la BiCMOS. Les résultats font ressortir que la technologie FDSOI permet d'obtenir une puissance en sortie plus grande que celle obtenue avec la BiCMOS. Cette différence est due surtout à la réduction des effets parasites de la FDSOI par rapport à la BiCMOS c'est à dire une tension de seuil et des courants de fuites plus faibles.

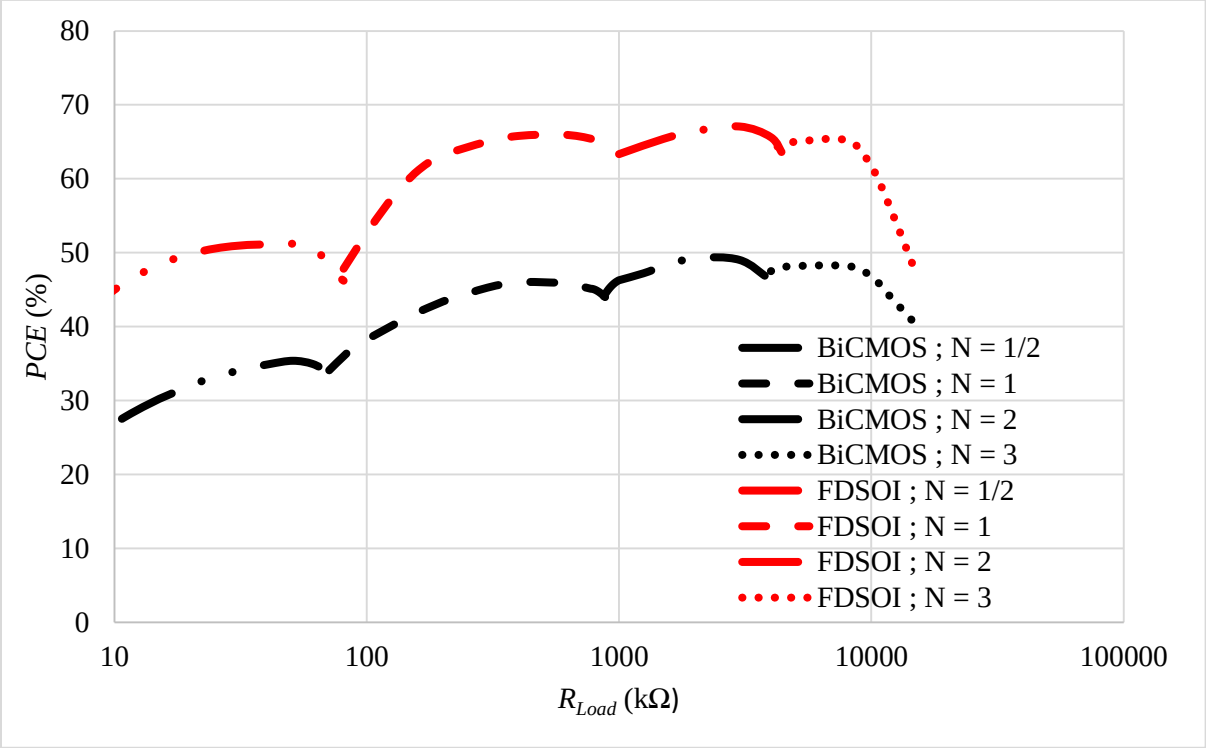

Figure 3-22 : Comparaison entre les performances des redresseurs optimisés à -20 dBm en utilisant les deux technologies FDSOI et BiCMOS

3.6 Conclusions

Dans ce chapitre, une méthodologie d'optimisation a été présentée à partir de paramètres clés issu du cahier des charges. Ces différents paramètres de fonctionnement sont : la fréquence de l'onde électromagnétique, la puissance d'entrée (P_{in}), la tension de sortie (V_{out}) nécessaire pour alimenter un circuit, et l'impédance d'entrée du circuit à alimenter soit une résistance de charge (R_{Load}).

Cette optimisation est divisée en deux parties : la première qui consiste à déterminer le nombre d'étages (*N*) nécessaire, et la seconde qui consiste à optimiser les différents paramètres du redresseur (*W*, *Len*) pour le nombre d'étages choisi. Un élément important pour l'adaptation

d'impédance entre le générateur (dans notre application une antenne) et le redresseur est l'inductance (L_r). Son rôle est de compenser la partie capacitive de l'impédance d'entrée du redresseur (X_r) afin d'assurer le phénomène de résonance. En outre, plus l'impédance d'antenne sera grande et plus l'efficacité de conversion d'énergie (*PCE*) sera grande.

L'étude portant sur le nombre d'étages à montrer qu'en augmentant *N*, la tension de sortie augmente mais la valeur maximale du *PCE* se déplace vers des valeurs de résistance de charge plus grande et ses variations autour de ce maximum se font plus douces (soit une plus grande tolérance sur les incertitudes de la valeur de R_{Load} optimale).

Un exemple d'optimisation a été entièrement décrit pour une seule résistance de charge, et une seule puissance d'entrée. Des variations de l'un de ces deux paramètres, ont permis de démontrer une diminution des performances lorsque l'impédance d'entrée varie, du fait d'une désadaptation d'impédance entre le générateur et la source.

Si l'on souhaite concevoir un convertisseur pour une résistance de charge de valeur élevée (plusieurs centaines de kΩ), il convient de choisir un nombre *N* en accord car chaque étage présente une tension en sortie maximale atteignable.

En augmentant la puissance d'entrée, la tension obtenue à la sortie d'un redresseur Dickson à *N* étages atteint une valeur limite maximale. Ces limitations de la tension de sortie en fonction de la puissance d'entrée ont pour effet de reduire la valeur du *PCE*.

D'après cette étude, en réalisant une bonne optimisation du redresseur, il n'y a aucun intérêt à augmenter le nombre d'étages (au-delà de trois à -20 dBm).

La conception, la réalisation de plusieurs convertisseurs RF-DC à partir de cette méthode ont été faite. Ces convertisseurs conçus avec la même méthode ont été réalisés en deux technologies. Ainsi une comparaison des performances optimales obtenues pour ces différents convertisseurs en FDSOI 28 nm et BiCMOS 55 nm a pu être réalisée et décrite. Les résultats confirment que la technologie FDSOI présente moins d'effets parasites liés aux substrats silicium. Cette technologie est donc plus adaptée pour les applications faible puissance. Par ailleurs la possibilité offerte par la FDSOI d'une connexion supplémentaire BG (une pseudo seconde grille) permet encore d'améliorer les performances de certains dispositifs, dont les convertisseurs RF-DC, en modifiant les paramètres parasites au moment opportun grâce à une polarisation dynamique.

Dans le cas de l'étude comparative avec la BiCMOS pour éviter le biais sur les résultats cette polarisation de BG des transistors de la FDSOI a été rendue inopérante et placée à un potentiel nul.

Un redresseur optimisé basé sur la technologie FDSOI donne une efficacité de conversion de puissance qui est plus grande que celle obtenue avec un redresseur réalisé en technologie BiCMOS (20 % pour un redresseur à un étage avec une puissance de -20 dBm et une résistance de charge de 600 kΩ).

Finalement, 14 nouveaux dispositifs optimisés à l'aide de la méthode présentée, ont été réalisés mais nécessitent encore d'être mesurés. Parmi ces dispositifs des redresseurs mono alternance (N = 1/2), un étage (N = 1), et deux étages (N = 2), pour différentes résistances de charge avec la technique de polarisation dynamique de la grille arrière qui nécessite une connexion intégrée.

Dans le chapitre suivant, les résultats de mesures des circuits fabriqués en utilisant les deux technologies FDSOI et BiCMOS sont représentées.

Références

[1] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki and S. Otaka, “A 950-MHz rectifier circuit for sensor network tags with 10-m distance”, in IEEE Journal of Solid-State Circuits, vol. 41, no. 1, pp. 35-41, Jan. 2006.

[2] T. Le, K. Mayaram and T. Fiez, “Efficient Far-Field Radio Frequency Energy Harvesting for Passively Powered Sensor Networks”, in IEEE Journal of Solid-State Circuits, vol. 43, no. 5, pp. 1287-1302, May 2008.

[3] Z. Hameed and K. Moez, “Hybrid Forward and Backward Threshold-Compensated RF-DC Power Converter for RF Energy Harvesting”, in IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 4, no. 3, pp. 335-343, Sept. 2014.

[4] G. Papotto, F. Carrara, and G. Palmisano, “A 90-nm CMOS thresholdcompensated RF energy harvester”, IEEE J. Solid-State Circuits, vol. 46, no. 9, pp. 1985–1997, Sep. 2011.

[5] J. Yi, W. H. Ki and C. Y. Tsui, “Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications”, in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 54, no. 1, pp. 153-166, Jan. 2007.

[6] A. K. Moghaddam, J. H. Chuah, H. Ramiah, J. Ahmadian, P. I. Mak and R. P. Martins, “A 73.9%-Efficiency CMOS Rectifier Using a Lower DC Feeding (LDCF) Self-Body-Biasing Technique for Far-Field RF Energy-Harvesting Systems”, in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 64, no. 4, pp. 992-1002, April 2017.

[7] Y. Lu et al., “A Wide Input Range Dual-Path CMOS Rectifier for RF Energy Harvesting”, in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 64, no. 2, pp. 166-170, Feb. 2017.

[8] S. Scorcioni, A. Bertacchini and L. Larcher, “A 868MHz CMOS RF-DC power converter with −17dBm input power sensitivity and efficiency higher than 40% over 14dB input power range,” in Proceedings of the ESSCIRC (ESSCIRC), Bordeaux, 2012, pp. 109-112.

[9] C. Y. Yao and W. C. Hsia, “A –21.2 -dBm Dual-Channel UHF Passive CMOS RFID Tag Design”, in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 4, pp. 1269-1279, April 2014.

[10] L. G. de Carli, Y. Juppa, A. J. Cardoso, C. Galup-Montoro, and M. C. Schneider, “Maximizing the power conversion efficiency of ultralow-voltage CMOS multi-stage

rectifiers", IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 62, no. 4, pp. 967–975, Apr. 2015.

[11] M. Stoopman, S. Keyrouz, H. J. Visser, K. Philips and W. A. Serdijn, "Co-Design of a CMOS Rectifier and Small Loop Antenna for Highly Sensitive RF Energy Harvesters", in IEEE Journal of Solid-State Circuits, vol. 49, no. 3, pp. 622-634, March 2014.

[12] K. Kotani, A. Sasaki, and T. Ito, "High-efficiency differential-drive CMOS rectifier for UHF RFIDs", IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3011–3018, Nov. 2009

[13] S. M. Noghabaei, R. L. Radin, Y. Savaria and M. Sawan, "A High-Efficiency Ultra-Low-Power CMOS Rectifier for RF Energy Harvesting Applications", 2018 IEEE International Symposium on Circuits and Systems (ISCAS), Florence, Italy, 2018, pp. 1-4.

[14] http://ww1.microchip.com/downloads/en/DeviceDoc/30009996g.pdf

[15] http://www.st.com/content/ccc/resource/technical/document/datasheet/9a/75/bd/16/0f/fd/49/19/DM00108219.pdf/files/DM00108219.pdf/jcr:content/translations/en.DM00108219.pdf

4 Conception, test et comparaison de redresseurs Dickson en technologies FDSOI 28 nm et BiCMOS 55 nm

4.1 Introduction

Ce chapitre décrit les performances des convertisseurs Dickson (RF-DC), à un et deux étages (Figure 4-1). Ces convertisseurs que nous avons conçus ont été réalisés en utilisant deux technologies intégrées différentes : la technologie FDSOI 28 nm et la technologie BiCMOS 55 nm (la méthode de conception a été détaillée dans le chapitre précédent : chapitre 3). La technologie FDSOI est une technologie caractérisée par un canal ultra mince et complètement déserté. Ce canal est séparé du substrat par une couche d'isolant appelé BOX. En revanche, la BiCMOS est une technologie classique, dite substrat en silicium massif ou Bulk technologie en anglais. Ces deux technologies ont elles aussi été présentées en détail dans le chapitre 2.

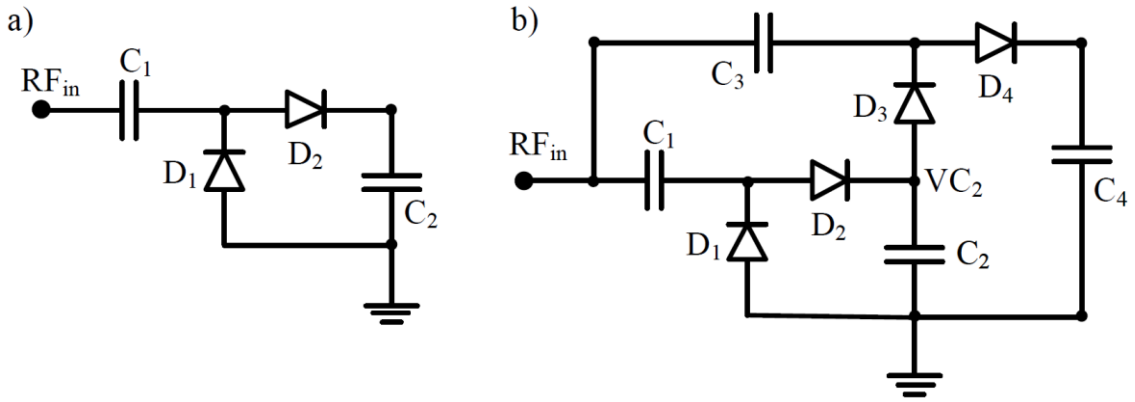

Figure 4-1 : Schéma d'un doubleur de tension (a) et d'un multiplieur Dickson à deux étages (b).

L'un des buts de ce chapitre est de vérifier l'intérêt apporté par cette spécificité offerte par la technologie FDSOI 28 nm avec une polarisation de la grille arrière (BG pour Back Gate) sur l'efficacité de fonctionnement de convertisseurs conçus. D'après les simulations, une solution de polarisation dynamique a été proposée et dans ce chapitre les résultats de mesures confirmeront cette utilisation pertinente. Il s'agit d'une solution originale qui permet d'améliorer les performances des redresseurs en modifiant le comportement des transistors (montés en diode) au moment opportun. C'est à dire lorsque la diode est en directe, une polarisation positive de la BG permet de réduire la tension de seuil. La conséquence induite par une telle polarisation de BG, si elle était maintenue serait une augmentation des courants de fuites lorsque la diode est en inverse. Grâce à la BG dynamique lorsque l'état de la diode change la polarisation de BG évolue et permet de réduire le paramètre critique (tension de seuil en direct et courants de fuite en inverse) soit un meilleur compromis entre les courants de fuite des diodes et la tension de seuil que dans le cas d'une polarisation fixe (décrit dans le chapitre 2).

Ce chapitre est organisé en six parties, la première étant cette introduction. La deuxième porte sur la conception du redresseur Dickson en FDSOI. La troisième partie est consacrée à l'étude de la polarisation de la grille arrière disponible en technologie FDSOI. Des mesures sous pointes, sans adaptation d'impédance à 2,4 GHz ont été réalisées sur les redresseurs conçus. Elles sont détaillées dans la quatrième partie. La cinquième est dédiée à la comparaison des performances obtenues pour les deux technologies FDSOI et BiCMOS. Enfin la dernière partie est consacrée à la conclusion.

Un bref rappel du principe de fonctionnement du convertisseur RF-DC Dickson à un étage, représenté sur la Figure 4-1-a, est décrit ci-après.

Les diodes D_1 et D_2 fonctionnent en inverse. Lorsque la tension d'entrée est négative, la diode D_1 est passante et la diode D_2 est bloquée. Lorsque la tension d'entrée devient positive, la diode D_2 devient passante et D_1 devient bloquée. Pour avoir des meilleures performances pour le redresseur, la diode passante doit avoir la plus petite tension de seuil afin d'avoir la plus petite différence de potentiel à ses bornes. De plus, lorsque la diode est bloquée elle doit avoir les plus petits courants de fuite.

Les deux diodes D_1 et D_2 seront réalisées à partir de deux transistors MOS (FDSOI ou BiCMOS) pour lesquels la grille sera reliée au drain. La partie suivante propose des critères de choix sur le type de transistor ainsi que les paramètres pour réaliser une diode pour un redresseur Dickson.

Pour les premiers redresseurs RF-DC fabriqués, la méthodologie représentée dans le chapitre 3 (qui est plus efficace) n'était pas encore mature et n'a pas été utilisée. Un autre critère d'optimisation a été utilisé pour la conception de ces circuits. En effet lorsque nous avons démarré cette étude, les modèles des transistors pour la RF, n'étaient pas complètement stabilisés. Nous avons donc découvert les transistors disponibles dans cette nouvelle technologie FDSOI. Nos premiers travaux ont donc consisté à comprendre le fonctionnement des transistors et les paramètres principaux qui permettent le les dimensionner tout en examinant les résultats. De ce fait, nous n'avons pas cherché à réaliser une optimisation poussée. A partir des résultats obtenus avec les premiers circuits, nous avons pu développer la méthodologie de conception présentée dans le chapitre 3 et qui a donné lieu à des circuits qui au moment de la rédaction de ce mémoire ne sont pas encore revenus de fabrication.

4.2 Choix et dimensionnement du transistor en FDSOI

Dans cette partie, le choix du type du transistor sera justifié ainsi que le critère déterminant pour dimensionner le transistor.

4.2.1 Choix du type de transistor

Comme présenté dans le chapitre 2, quatre types de transistors sont disponibles dans la technologie FDSOI : pour les deux dopages N et P, et deux types de transistors LVT et RVT. Le choix du transistor résulte d'un compromis entre la plus petite tension de seuil (obtenue avec le transistor NLVT) et le transistor ayant le plus petit courant de fuite (obtenu avec le transistor NRVT). Rapidement notre choix s'est plutôt porté sur les transistors du type N qui présentent une tension de seuil et une résistance série nettement plus faibles que ceux de type P comme le montre la Figure 4-2. L'intérêt d'une faible tension de seuil est que la non-linéarité de la diode (équivalente au transistor) devient opérationnelle pour des faibles tensions d'entrée et donc le mélange du signal RF permet d'obtenir une tension DC pour des puissances d'entrée plus faibles. D'autre part, les courants de fuite, résultant d'une polarisation inverse de cette diode réduisent les quantités de charge stockées dans les capacités et dégradent les performances globales des convertisseurs RF-DC.

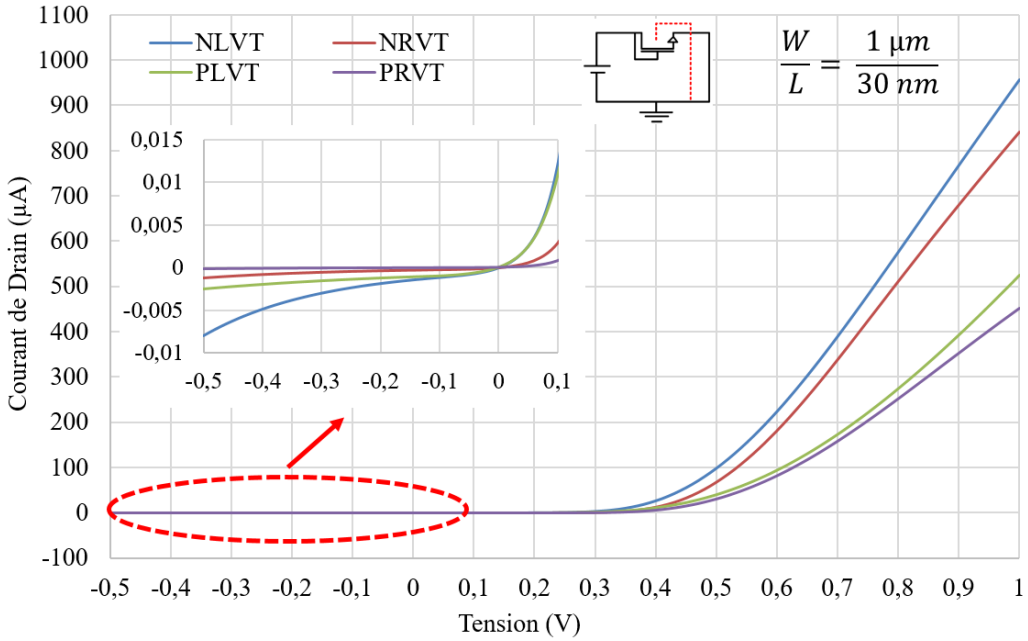

Figure 4-2 : Caractéristiques statique I-V simulées des 4 types de transistors de la technologie FDSOI 28 nm

Si nous considérons maintenant les deux type de transistors NLVT (pour N Low Voltage Transistor) et NRVT (pour N Regular Voltage Transistor). Dans l'acronyme NLVT transparait l'avantage de ce transistor qui est sa petite tension de seuil. En revanche, le NRVT présente de plus faibles courants de fuite. Parmi ces deux paramètres, lequel sera prépondérant ?

Pour répondre à cette question, une comparaison a été réalisée entre ces deux transistors afin de savoir lequel permettait d'avoir les meilleures performances. La simulation transitoire, représentée sur la Figure 4-3, d'un redresseur Dickson à un étage, avec une résistance de charge en sortie, montre que la tension de sortie obtenue avec le NLVT est plus grande que celle qui est obtenue avec le NRVT pour les mêmes dimensions des transistors. De plus, avec le transistor NRVT, la capacité de sortie a besoin de plus de temps pour se charger complètement par comparaison avec le NLVT, ce qui va allonger aussi le temps de simulation dans le domaine temporel (analyse régimes transitoire). Pour la suite, nous avons retenu le transistor du type NLVT pour sa tension de seuil la plus faible et pour le temps de charge le plus court (c'est-à-dire la résistance série la plus faible).

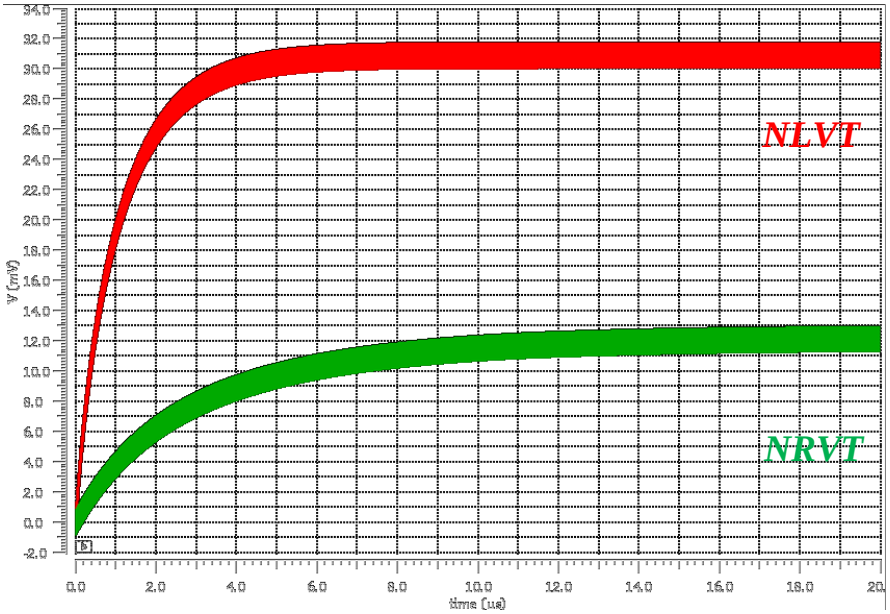

Figure 4-3: Simulation transitoire d'un redresseur à un étage en utilisant deux types de transistors différent : NLVT et NRVT à -20 dBm

4.2.2 Dimensionnement des transistors

Considérons un transistor NLVT monté en diode, où la grille est connectée au drain. L'impédance d'entrée du convertisseur Dickson (Figure 4-1-a) dépend directement de celle du transistor. Les deux capacités de stockage pouvant être quasiment considérées comme des

courts-circuits à la fréquence RF du signal d'entrée. Seules les deux diodes montées en parallèle restent présentes d'un point de vue RF. L'impédance d'entrée du redresseur dépend donc des dimensions des transistors.

A titre d'exemple, les variations de la partie réelle et de la partie imaginaire de l'impédance d'entrée en fonction de la longueur *W* du canal à 2,4 GHz, pour un transistor NLVT monté en diode sont représentées sur la Figure 4-4. On peut observer qu'en augmentant *W*, la partie réelle et le module de la partie imaginaire diminuent.

La partie imaginaire de nature « capacitive » de l'impédance d'entrée est la plus significative. Avec cette partie imaginaire, l'adaptation d'impédance n'est donc pas respectée entre le générateur et le convertisseur, et par suite, la majorité de la puissance va être réfléchie vers le générateur. Toutefois, cette partie peut être compensée en utilisant une inductance additionnelle à l'entrée du redresseur.

Dans la suite, le transistor utilisé est choisi de manière à avoir la résistance série (partie réelle) la plus petite. Cette résistance série devrait permettre d'obtenir la plus faible différence de potentiel aux bornes de la diode afin d'avoir la tension de sortie la plus grande (explication dans le chapitre 2). La longueur *W* est fixée à 140 µm et la largeur est fixée à la valeur minimale autorisée par la technologie soit 30 nm.

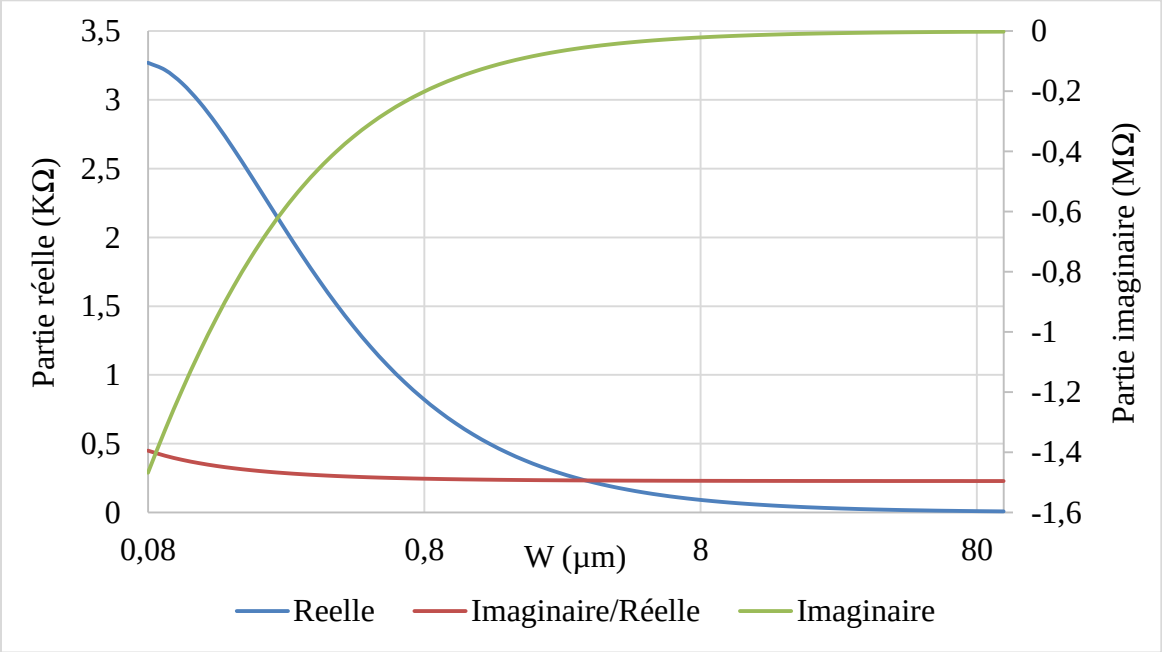

Figure 4-4 : Partie réelle et imaginaire simulées d'un transistor NLVT monté en diode en fonction de la largeur du canal W

4.3 Effet de polarisation de la grille arrière

L'avantage de cette technologie est la possibilité de polariser le substrat (substrat séparé du canal par le BOX *:* Buried Oxide). Cette polarisation du substrat représente une grille arrière (BG) pour le transistor. Elle permet d'influencer le champ électrique dans le canal et donc la tension de seuil et les courants de fuite pour les transistors comme présenté précédemment dans le chapitre 2. Alors, comment polariser les grilles arrière des diodes, si les diodes fonctionnent d'une manière opposée comme cela est décrit dans le rappel du principe de fonctionnement ? (Figure 4-5)

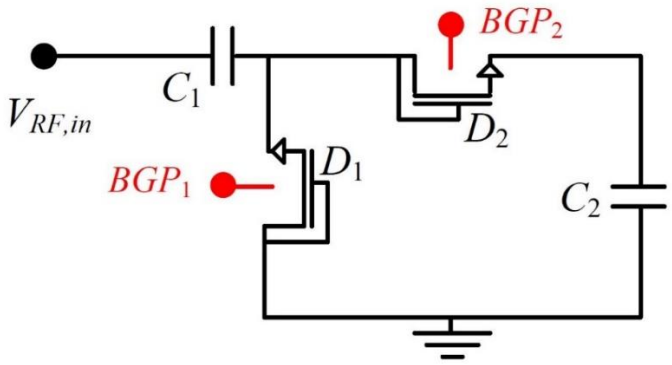

Figure 4-5 : Redresseur Dickson à un étage avec des transistors montés en diodes

La Figure 4-6 représente la tension de sortie obtenue pour différentes polarisations de la grille arrière. Dans un premier temps, BGP_1 et BGP_2 sont portés au même potentiel. Si une polarisation négative est appliquée, on obtient la tension de sortie la plus faible vu que cette polarisation augmente la tension de seuil des deux diodes (mais réduit les courants de fuite). A l'inverse, si une polarisation positive est appliquée, on obtient une tension de sortie qui est plus grande que celle obtenu pour une polarisation négative. Dans ce cas la réduction de la tension de seuil apporte plus de bénéfices que les pertes induites par les courants de fuite. Toutefois, lorsque les polarisations de BGP_1 et de BGP_2 sont reliées à la masse (soit deux tensions nulles), la tension obtenue à la sortie du convertisseur est plus grande que la tension de sortie obtenue avec les autres types de polarisation (Figure 4-6). Cette polarisation nulle assure le meilleur compromis entre la tension de seuil et les courants de fuite.

Pour conclure, une polarisation statique de la grille arrière (c'est à dire maintenue constante pendant toutes les phases de fonctionnement du redresseur Dickson) conduit à limiter l'un des deux paramètres : tension de seuil ($BGP > 0$) ou courant de fuite ($BGP < 0$). Il est à noter que la tension de seuil semble avoir un impact plus important sur la tension moyenne à la sortie du

convertisseur. Une polarisation constante de la grille arrière ne permet pas de minimiser simultanément la tension de seuil et les courants de fuite. Le meilleur compromis entre ces deux paramètres est une polarisation nulle (*BGP* = 0).

Une méthode de polarisation de la BG innovante est proposée dans la suite de ce chapitre. Cette méthode consiste à modifier la tension de seuil et les courants de fuites en fonction de l'état de fonctionnement de la diode. Afin de pouvoir réaliser cette polarisation, une polarisation dynamique de la grille arrière en fonction du mode de fonctionnement doit être réalisée. Lorsque la diode est passante, une polarisation positive va être appliquée ce qui va diminuer la tension de seuil. D'autre part, lorsque la diode est bloquée, une polarisation négative sera appliquée pour limiter les courants de fuite.

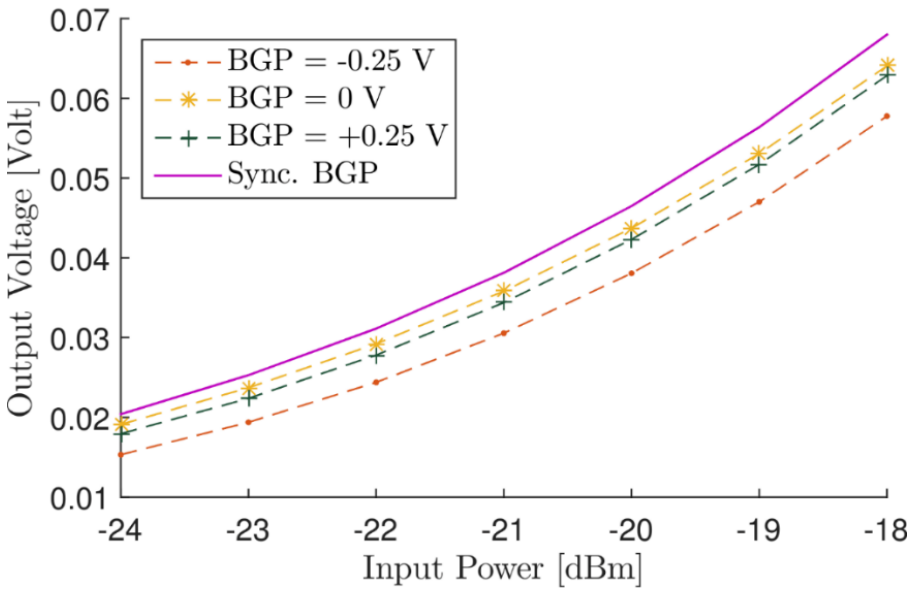

Figure 4-6 : Tension de sortie simulée d'un redresseur à un étage en fonction de la puissance d'entrée pour différente BGP

Afin de réaliser cette polarisation dynamique (Figure 4-7), la grille arrière de la diode D_2 doit être polarisée d'une manière synchrone avec la tension d'entrée, en connectant directement cette grille arrière BGP_2 à la tension d'entrée (Sync. *BGP*). En revanche, pour polariser la grille arrière de la diode D_1, il faut une tension en opposition de phase avec la tension d'entrée. Pour simplifier, BGP_1 va être connectée à la masse (meilleur compromis).

Les performances de cette méthode de polarisation dynamique, représentés sur la Figure 4-6, conduisent à une augmentation de la tension en sortie de 7 % par rapport à celle obtenue dans le cas d'une polarisation nulle.

Nous avons également étudié l'impact de cette polarisation dynamique sur l'impédance d'entrée du convertisseur RF-DC. Dans le cas de référence du redresseur Dickson à un étage optimisé pour une charge de 600 kΩ et une puissance d'entrée de -20 dBm (présenté comme le fil rouge du chapitre 2), la polarisation dynamique réduit la partie imaginaire de l'impédance d'entrée d'environ 3 % et celle de la partie réelle de 4 %. Pour finaliser l'optimisation d'un convertisseur utilisant une BG dynamique il faut tenir compte de ces réductions.

Cependant, pour une polarisation statique de la grille arrière, une source de tension (batterie ou capacité chargée) doit être utilisée. Ce composant de stockage doit être rechargé. Le système de rechargement de ce composant ne représente pas seulement une complexité supplémentaire du système, mais aussi une perte d'une partie de la puissance récupérée. A l'inverse, avec une polarisation dynamique, tout ce qu'il faut est une connexion supplémentaire au niveau du circuit intégré, qui aboutit à des performances plus importantes avec plus de simplicité qu'une polarisation statique.

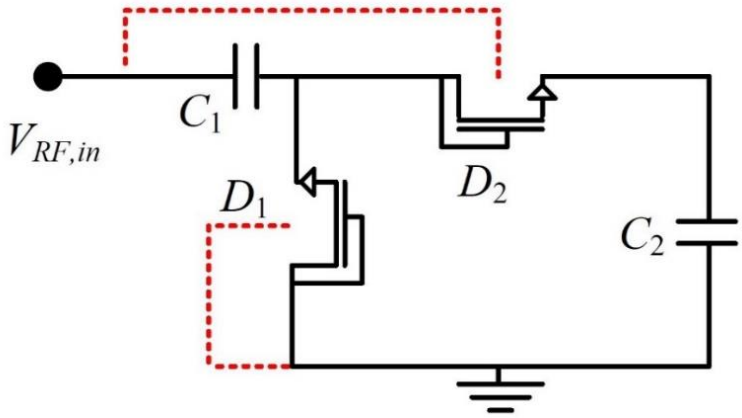

Figure 4-7 : Redresseur Dickson avec une polarisation dynamique de la grille arrière assurant de meilleures performances

4.4 Test sous pointe

Dans cette partie, les mesures sous pointes de l'impédance d'entrée sont détaillées et les deux méthodes qui ont permis d'estimer le bilan de puissance et donc le *PCE* y sont également présentées.

4.4.1 Impédance d'entrée

Nous avons montré au chapitre 3 que l'impédance d'entrée du convertisseur était un paramètre important. C'est la raison pour laquelle dans un premier temps les résultats de mesures de

l'impédance d'entrée du redresseur et des diodes utilisés sont présentés. Ces mesures sont réalisées en utilisant la station manuelle SUSS MICROTEC PSM6RF avec des sondes PicoProbes de 50 µm de pas (pitch).

Après l'analyse du principe de fonctionnement du redresseur, et en considérant une valeur de capacité C_i importante (par exemple, 10 pF), l'impédance d'entrée du convertisseur ($Z_r = R_r + j.X_r$) est égale à la moitié de l'impédance du transistor monté en diode (Z_{trans}). Les capacités et les résistances équivalentes à chaque transistor monté en diode sont en parallèle avec celles de l'autre transistor. De plus, cette analyse montre également que l'effet des condensateurs de stockage C_i est négligeable vu qu'ils représentent une très faible impédance en RF. L'expression de l'impédance d'entrée (partie réelle et imaginaire) du redresseur à N étages peut être approximée par l'équation (4-1) :

$$Z_r \approx \frac{Z_{trans}}{2N} \tag{4-1}$$

Le setup de mesures du paramètre de réflexion S_{11} (mesure à un port) réalisées à l'aide d'un VNA (Vector Network Analyser) et de deux pointes RF GSG (50 µm de pas) est décrit sur la Figure 4-8.

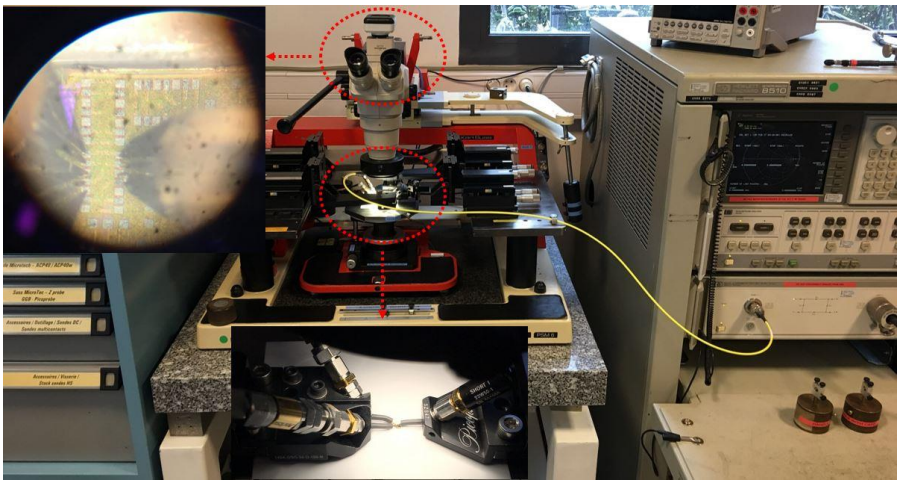

Figure 4-8 : Mesure sous pointe du paramètre S11 des dispositifs en FDSOI

Les résultats de mesures obtenus sur la bande de fréquence 500 MHz – 2,6 GHz sont présentés sur la Figure 4-9. L'impédance d'entrée à la fréquence 2,4 GHz est de $Z_{trans} = 27 - j.515\ \Omega$ pour un transistor NLVT monté en diode et de $Z_r = 18 - j.277\ \Omega$ pour un redresseur à un étage. Les mesures de l'impédance d'entrée du redresseur font ressortir une forte désadaptation

avec le générateur (dans notre cas 50 Ω). Par conséquent, la quasi-totalité de la puissance incidente est réfléchie.

Les valeurs obtenues sont proches de ce qui est prévu théoriquement. Les différences viennent (*i*) de la précision de mesure vu que la partie réelle est très petite par rapport à la partie imaginaire (un rapport 15 à 20), (*ii*) de la grille arrière du redresseur proposé dont la polarisation dynamique influence légèrement l'impédance du transistor (environ 7 %) et (*iii*) en dernier lieu des problèmes de contact avec les sondes RF, rencontrés lors des mesures en passant d'un dispositif à un autre.

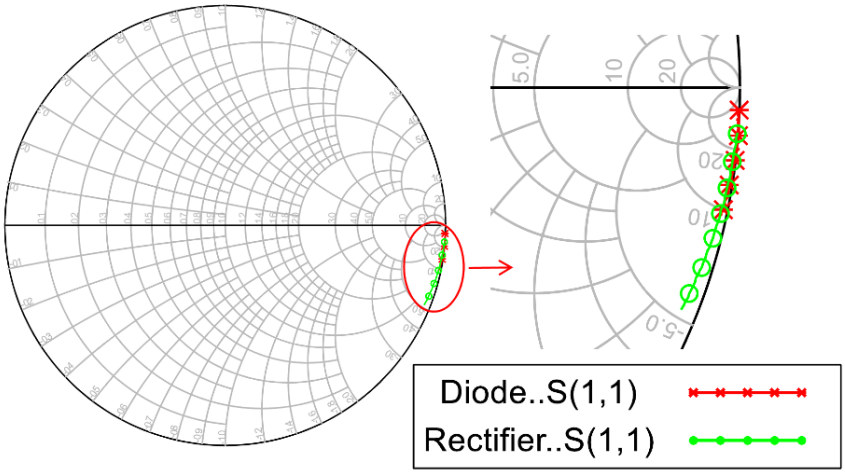

Figure 4-9 : Résultat de mesure sous pointe d'un redresseur à un étage et d'un transistor NLVT monté en diode

4.4.2 Tension de sortie en fonction de la puissance d'entrée

Dans cette partie, la comparaison entre les simulations et les mesures de la tension de sortie d'un redresseur Dickson à un étage avec une polarisation dynamique de la grille arrière est réalisé et détaillé. Dans ce « run », l'empilement des lignes d'interconnexion (BEOL : Back End Of Line) était de 10 niveaux de métal. Les capacités utilisées sont de type MIM, de 10 pF chacune, car elles occupent moins de surface par comparaison avec les capacités de type MOM. Cette comparaison permettra de valider dans un premier temps la maturité de toute la chaine de conception de cette nouvelle technologie FDSOI.

Les résultats de simulation et de mesure de la tension de sortie aux bornes de la capacité C_2 (nommée VC_2) en fonction de la puissance d'entrée (en dBm) sont présentés sur la Figure 4-10. Cette figure montre que les résultats des simulations et des mesures pour un redresseur de tension à un étage sont en bon accord. En effet, l'écart maximal avec une simulation PLS (Post

Layout Simulation) prenant en compte les lignes d'interconnexions, est de 13,8% pour une puissance d'entrée de 0 dBm.

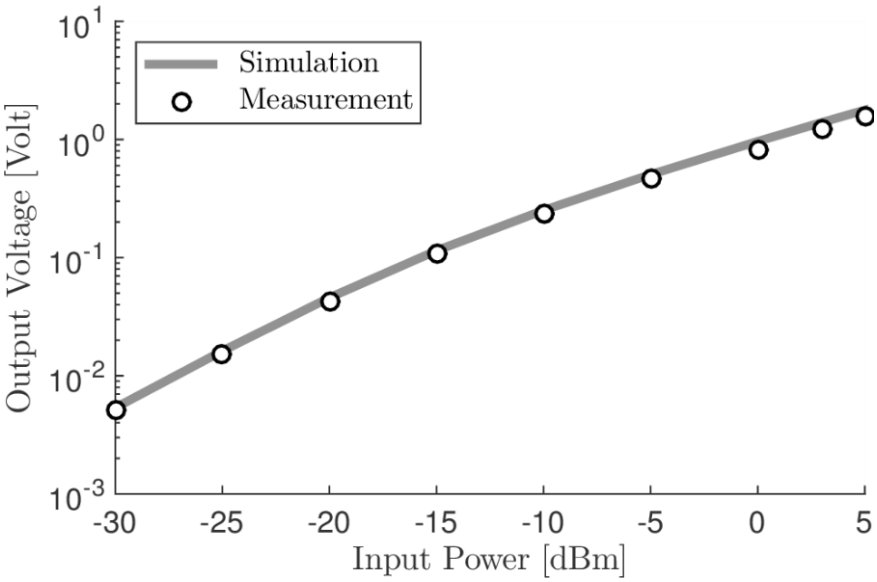

Figure 4-10 : Comparaison entre les résultats de simulations et de mesures sous pointes pour un redresseur à un étage

Une deuxième série de mesures, à l'aide d'un autre montage expérimental de mesure a permis d'estimer les performances du redresseur. Ce montage est représenté sur la Figure 4-11. Il met en œuvre un générateur de puissance RF qui génère la puissance incidente (P_{inc}) à l'entrée du redresseur. Du fait de la forte désadaptation entre le générateur et le dispositif sous test (DUT : Design Under Test), une partie non négligeable de cette puissance est réfléchie (P_{ref}). Un coupleur directionnel a donc été placé entre le générateur et le DUT pour mesurer la puissance réfléchie. Ce coupleur a un coefficient de couplage K_{dB} = -16 dB. A la sortie du coupleur, la puissance RF mesurée par un puissance-mètre (AGILENT - E4418B).

Pour chaque puissance d'entrée, deux mesures sont réalisées. Une première avec les sondes en l'air, c'est-à-dire non connectées au circuit. Dans ce cas, l'intégralité de la puissance est réfléchie et la puissance mesurée représente la puissance d'entrée réduite par les pertes du système complet avec un coefficient de couplage (P_{ref_KCO}). Pour la seconde mesure, les sondes sont posées sur le DUT et une nouvelle puissance réfléchie mesurée par le puissance-mètre (P_{ref_KDUT}) est obtenue. La différence entre les deux puissances mesurées (avec et sans connexion du DUT) permet de déterminer la puissance absorbée (P_{abs} en W) par le DUT (4-2).

$$P_{abs} = K.(P_{ref_KCO} - P_{ref_KDUT}) \quad (4\text{-}2)$$

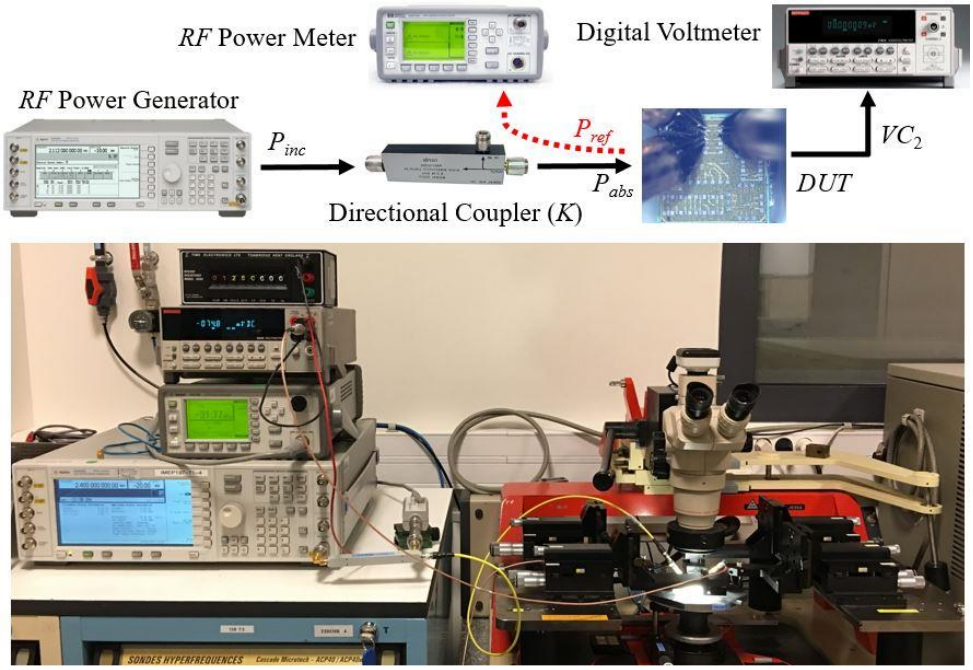

Figure 4-11 : Diagramme et montage expérimental pour la réalisation du bilan de puissance en utilisant un coupleur directionnel

En sortie, un multimètre KEITHLEY 2000E a été utilisé pour mesurer la tension continue VC_2. La Figure 4-12 représente la tension de sortie à vide pour un redresseur à un étage en fonction de la puissance absorbée.

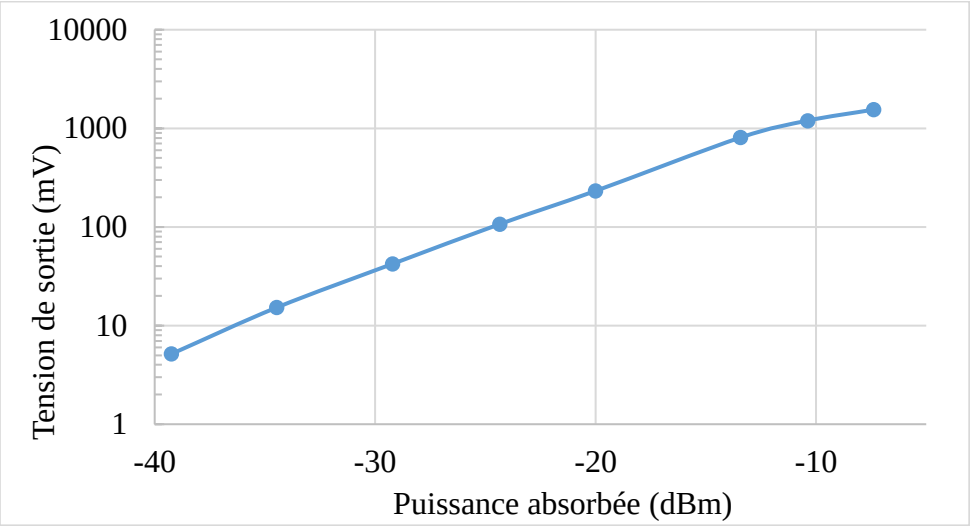

Figure 4-12 : Mesure de la tension de sortie VC_2 en fonction de la puissance absorbée P_{abs}

Des séries de mesures avec une résistance de charge R_{load} (placée en parallèles avec la capacité C_2) ont également été réalisées en utilisant ce montage.

Toutefois ce montage présente un défaut expérimental : l'image de la puissance réfléchie mesurée par le puissance-mètre, au travers du coupleur est faible et conduit à une réduction de la sensibilité de mesure et donc une augmentation de l'incertitude. Par exemple, un changement de R_{load} d'une dizaine de kΩ au-delà de 10 kΩ n'était plus détectable par le puissance-mètre or elle devrait induire un changement de la puissance absorbée,

L'utilisation d'un autre montage expérimental s'est donc avéré indispensable afin d'avoir une information précise sur la variation de la puissance absorbée en fonction de R_{load} et de la puissance d'entrée. Ce nouveau montage, ainsi que la méthode d'estimation du rendement de conversion sont décrits dans la partie suivante.

4.4.3 Mesures et estimation du rendement de conversion en puissance pour un redresseur non adapté

Le calcul du rendement de conversion en puissance (*PCE*) est le rapport entre la puissance de sortie obtenue pour une résistance de charge donnée, et la puissance d'entrée. Vu que le DUT est non adapté, une petite partie de la puissance d'entrée va être absorbée par le circuit. C'est pour cela, qu'un calcul de rendement est réalisé en fonction de la puissance absorbée au lieu de la puissance d'entrée ou de la puissance de sortie du générateur.

Pour avoir des mesures plus précises de la puissance absorbée, un second montage basé sur un VNA et non plus sur un puissance-mètre a été réalisé (Figure 4-13). La méthode consiste à mesurer les paramètres S_{11} pour différentes puissances d'entrée à l'aide un VNA. De plus, pour chaque valeur de puissance incidente, une variation de la résistance de charge a été faite.

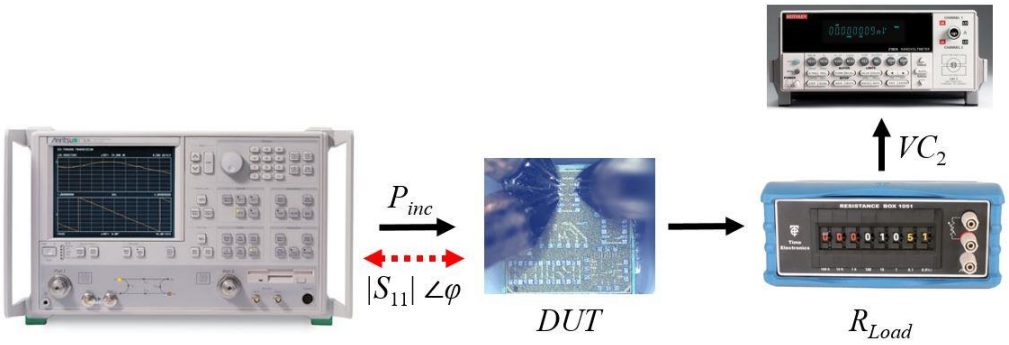

Figure 4-13 : Diagramme du montage expérimental pour le calcul du PCE

Afin de connaitre la puissance absorbée par le redresseur, le module du paramètre S_{11} noté $|S_{11}|$ et sa phase représentée par φ ($|S_{11}|\ \angle\ \varphi$) sont récupérés pour chaque puissance et chaque résistance de charge.

Pour une puissance de consigne dans la charge (ou dans le DUT) (P_g), et en respectant l'hypothèse de l'adaptation d'impédance à 50 Ω, le VNA fourni donc une puissance double pour compenser les pertes dans sa résistance interne (R_g). Prenons un DUT d'impédance égale à R_g, si la puissance demandée est de 0 dBm, le VNA impose une tension à sa sortie de manière à assurer que le DUT reçoit 0 dBm. Pour garantir cette puissance de 0 dBm, il faut prendre en considération la puissance consommée par R_g, et donc une puissance double, soit + 3 dBm doit être fourni par le générateur interne du VNA.

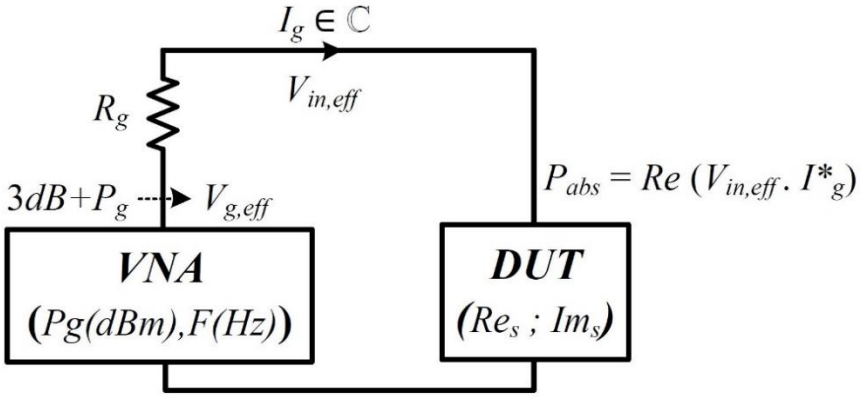

Figure 4-14 : Illustration de la puissance générée par le VNA et de la puissance absorbé par un DUT désadapté en impédance

La tension générée par le VNA est calculée comme suit (4-3):

$$V_{g,eff} = \sqrt{2.R_g.10^{-3}.10^{\frac{(P_g(dBm)+3dB)}{10}}} \tag{4-3}$$

En calculant$V_{g,eff}$, le courant du générateur I_g est calculé par l'équation (4-4). Ce courant est complexe vu du fait que le DUT présente une impédance complexe avec une partie résistive (réelle Re_s) et une autre partie capacitive (imaginaire Im_s) en série avec l'impédance interne du générateur R_g.

$$I_g = \frac{V_{g,eff}}{R_g + Re_s + j.Im_s} \tag{4-4}$$

Les parties réelles et imaginaires de l'impédance d'entrée du redresseur (Z_r) sont calculées à partir du paramètre S_{11} comme suit :

$$Z_r = \frac{1+\rho}{1-\rho} \tag{4-5}$$

$$\rho = |S_{11}|\angle\ \varphi \tag{4-6}$$

$$Re_s = \frac{1 - {R_\rho}^2 - {X_\rho}^2}{\left(1 - {R_\rho}^2\right) + {X_\rho}^2} \quad (4\text{-}7)$$

$$\mathrm{Im_s} = \frac{2.X_\rho}{\left(1 - {R_\rho}^2\right) + {X_\rho}^2} \quad (4\text{-}8)$$

$$R_\rho = |\mathrm{S}_{11}|.\cos(\varphi) \quad (4\text{-}9)$$

$$X_\rho = |\mathrm{S}_{11}|.\sin(\varphi) \quad (4\text{-}10)$$

Finalement, la puissance absorbée par le DUT est la partie réelle du produit de la tension obtenue à l'entrée du DUT ($V_{in,eff}$) par le conjugué du courant (${I^*}_g$) (4-11) (4-12).

$$P_{abs} = Re\,(V_{in,eff}\,.{I^*}_g) \quad (4\text{-}11)$$

$$V_{in,eff} = V_{g,eff} - R_g.I_g \quad (4\text{-}12)$$

La Figure 4-15 représente la valeur du *PCE* d'un redresseur Dickson à un étage avec une polarisation dynamique de la grille arrière. A -6 dBm de puissance absorbée, la valeur du *PCE* maximale obtenue est de 31 % avec une résistance de charge de 4 kΩ.

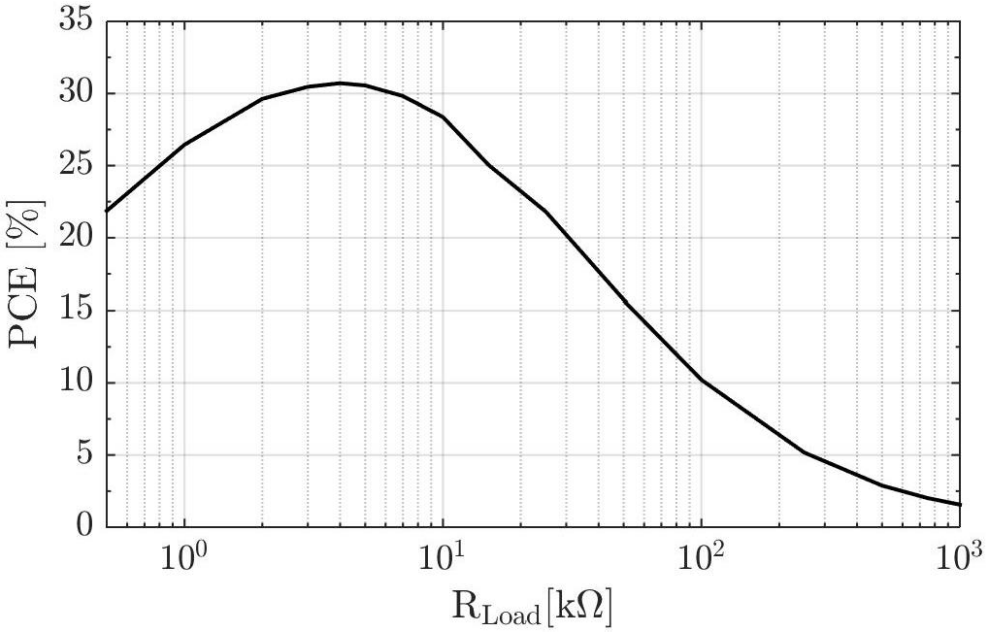

Figure 4-15 : PCE mesuré en fonction de R_{Load} pour un redresseur à un étage

Le lieu des maximas des *PCE* en fonction de la puissance d'entrée (pour différentes valeurs de la résistance de charge) sont représentés sur la Figure 4-16. Une valeur de *PCE* maximale de 45 % est obtenue avec une puissance absorbée de 1 dBm. Lorsque la puissance absorbée augmente, la tension présente à l'entrée du redresseur est aussi plus grande. L'augmentation de

la tension à l'entrée du redresseur conduit à des rendements plus grands vu que l'influence de la tension de seuil devient de plus en plus faible en relatif.

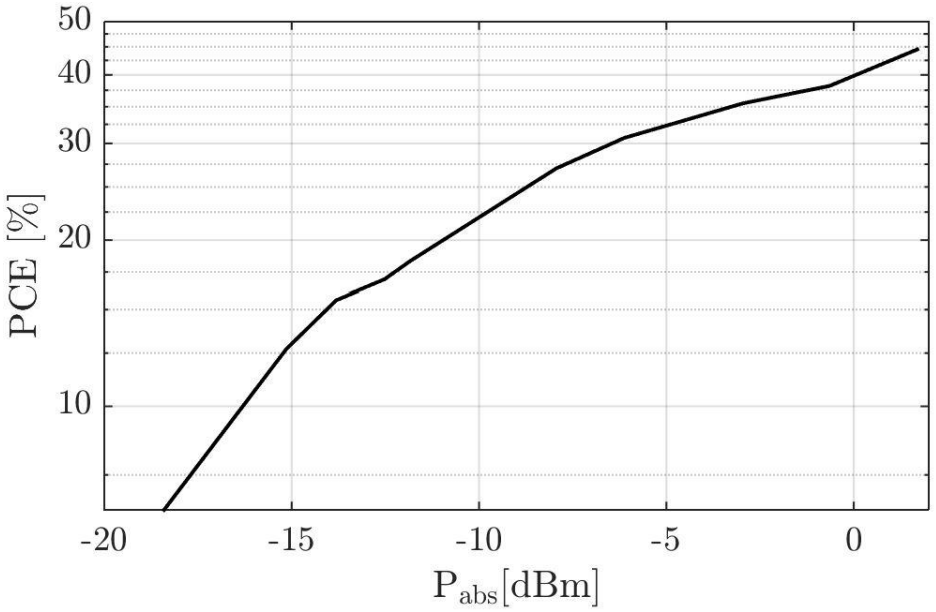

Figure 4-16 : Maximums des PCE mesurés en fonction de P_{abs} pour un redresseur à un étage

4.5 FDSOI Vs. BiCMOS

Dans cette partie, une comparaison entre les caractéristiques statiques des transistors montés en diode et réalisés en technologie FDSOI 28 nm et en technologie BiCMOS 55 nm est présentée. Les dimensions des transistors sont choisies dans un premier temps pour avoir une faible résistance série, dans un second temps une méthode de conception optimisée à pu être mise au point et a été décrite dans le chapitre précédent. Une seconde vague de circuits a été conçu et leur retour de réalsation est encore en attente. Toutefois ces premiers circuits redresseur à un et deux étages sont pu etre réalisés dans les deux technologies. Ce qui nous permet de présenter les résultats de mesures de la comparaison de leurs performances.

4.5.1 Caractéristiques statiques

La Figure 4-17 représente la caractéristique statique des deux transistors dans les deux technologies. Le transistor FDSOI possède une tension de seuil qui est plus petite que celle du transistor BiCMOS. D'autre part, pour les polarisations en inverse qui sont plus petites que 0,6 V, la FDSOI présente des courants de fuite qui sont un peu plus grands que celles de la BiCMOS. Néanmoins, au-delà de cette tension de polarisation inverse, les courants de fuite de la BiCMOS deviennent beaucoup plus importante que ceux de la FDSOI.

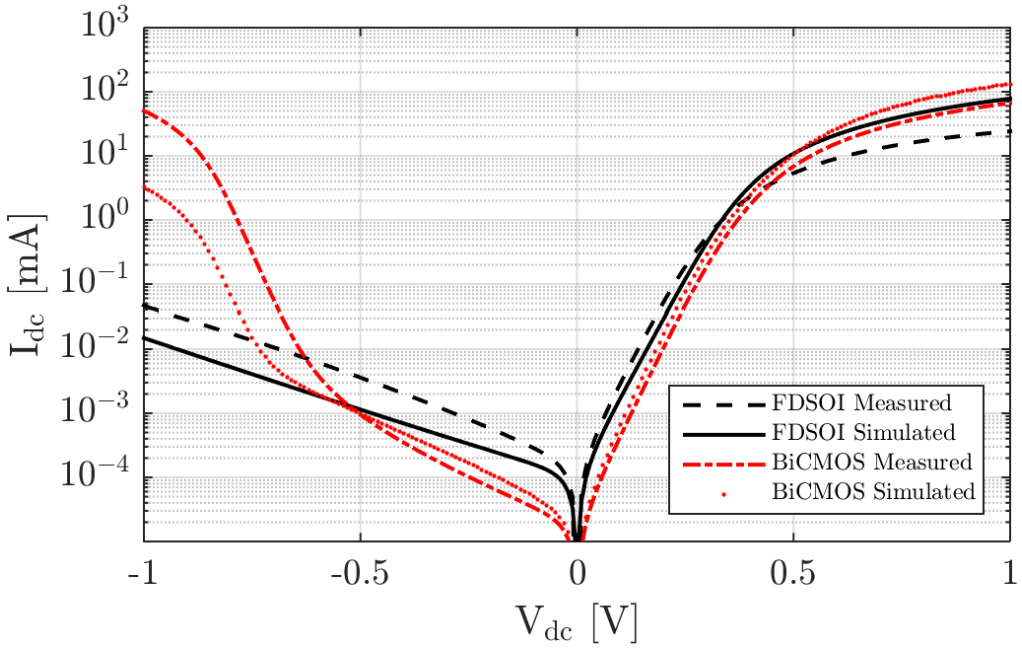

Figure 4-17 : Caractéristiques statiques (I-V) mesurées pour des transistors réalisés en FDSOI et BiCMOS

4.5.2 Conception du redresseur en BiCMOS

Afin de réaliser une comparaison entre l'efficacité obtenue avec les redresseurs pour chaque technologie, le critère choisi pour le choix d'optimisation doit être le même. Les transistors sont dimensionnés d'une manière à avoir une faible résistance série. Comme cela a été présenté au début de ce chapitre pour la technologie FDSOI, en augmentant *W*, la résistance série du transistor diminue. Les dimensions choisies sont donc : une longueur *W* = 280 µm et une largeur *Len* = 60 nm.

Un second jeu de paramètres pour les transistors BiCMOS a également été testé celui qui conduit au même *W*/*Len* que celui mis en œuvre dans les transistors FD-SOI

4.5.3 Performances des redresseurs

Une comparaison des performances des redresseurs est réalisée avec le même dispositif que celui utilisé dans la partie précédente (Figure 4-13). Une comparaison des tensions de sortie obtenues à vide pour des redresseurs Dickson à deux étages conçus dans les deux technologies est réalisée. Les résultats sont présentés sur la Figure 4-18. La tension de sortie obtenue avec le redresseur en FDSOI est plus grande que celle obtenue en technologie BiCMOS pour différentes puissances absorbées.

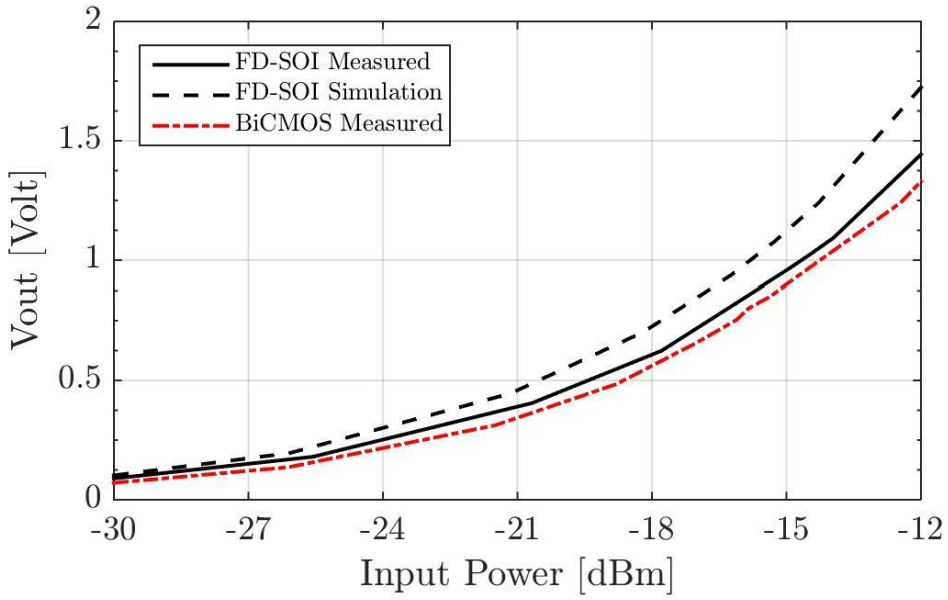

Figure 4-18 : Comparaison des tensions de sortie mesurées à vide pour deux étages d'un redresseur Dickson en technologie FDSOI et BiCMOS

La Figure 4-19 représente la *PCE* en fonction de la résistance de charge d'un redresseur à deux étages. À -6 dBm, le maximum de la valeur du *PCE* obtenue en technologie FDSOI est de 23 % avec une R_{Load} de 10 kΩ. De plus, la valeur du *PCE* obtenu en technologie BiCMOS est de 18,1 % pour le même R_{Load} et la même puissance. En outre, la valeur du *PCE* obtenue avec la technologie FDSOI est plus grande que celle obtenue avec la technologie BiCMOS pour les différentes résistances de charge.

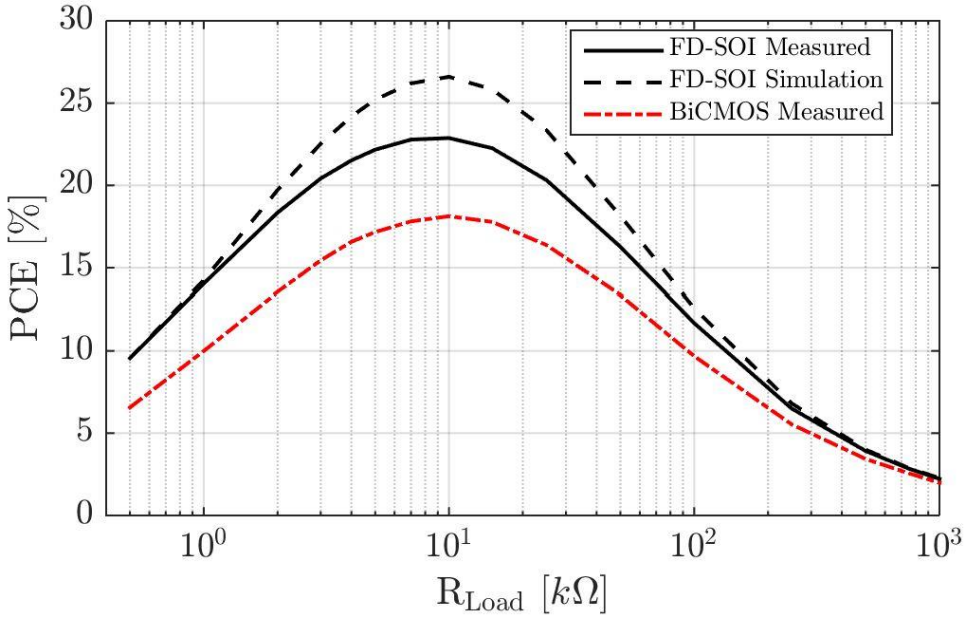

Figure 4-19 : Comparaison des PCE mesurés obtenues en FDSOI et BiCMOS en fonction de R_{Load}

La Figure 4-20 représente le maximum des *PCE* obtenues en fonction de la puissance d'entrée pour les deux technologies. Les *PCE* maximales mesurées pour la technologie FDSOI sont plus grandes que celles obtenues pour la technologie BiCMOS pour la totalité de la plage de variation de la puissance d'entrée. La valeur *PCE* maximale obtenue est de 44 % pour une puissance de 3 dBm contre une valeur *PCE* de 37 % à 2 dBm en BiCMOS.

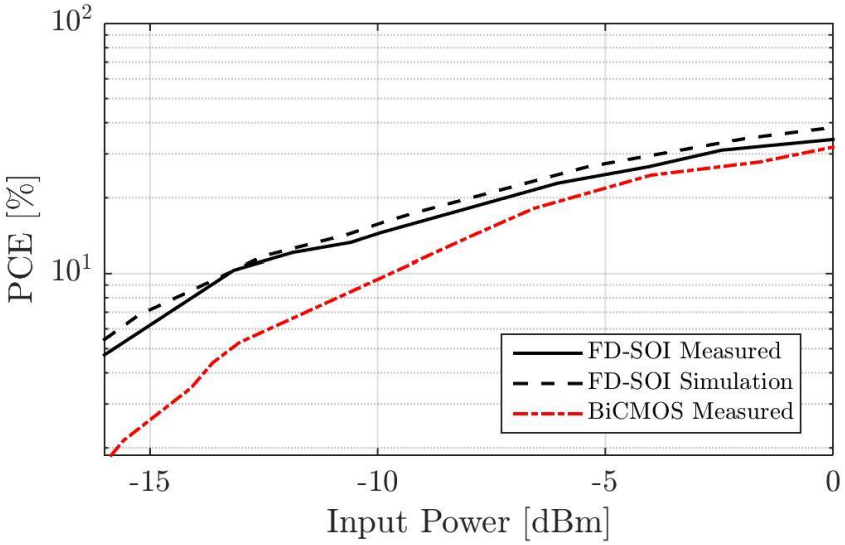

Figure 4-20 : Maximums des PCE mesurésen fonction de P_{abs} des redresseurs en FDSOI et BiCMOS

4.6 Conclusion

Dans ce chapitre, nous avons dans un premier temps justifié le choix d'un transistor parmi les quatre proposée par la technologie FDSOI. Une comparaison entre les deux types des transistors NLVT et NRVT a été réalisée. Cette comparaison a aboutie à démontrer que parmi les paramètres qui réduisent les performances, la tension de seuil est le paramètre le plus critique et c'est pour cette raison que le transistor NLVT a été privilégié et choisi pour les designs ultérieurs.

D'autre part, une polarisation dynamique de la grille arrière pour les redresseurs réalisés en technologie FDSOI a été étudiée et réalisée. Cette polarisation dynamique permet d'augmenter des tensions de sortie d'environ 7% par rapport aux autres types de polarisation. En outre, elle représente une simplicité de réalisation par comparaison à une polarisation statique autre que nulle.

Par ailleurs, une comparaison entre une technologie classique (BiCMOS) et une technologie plus innovante (FDSOI) est présentée. Encore une fois, les caractéristiques statiques démontrent

que le transistor NLVT de la technologie FDSOI présente une tension de seuil plus petite que celle du transistor de la BiCMOS. Cela laisse augurer de meilleures performances sur les convertisseurs RF-DC qui seront conçu à l'aide de cette technologie FDSOI.

Dans un second temps, à l'aide de mesures sous pointes sur une première vague de redresseurs réalisés, l'efficacité de conversion nommé *PCE* a pu être déterminée pour différentes charges R_{load} et différentes puissances d'entrée.

Comme les caractéristiques statiques l'avaient laissé présager, dans toutes les conditions de fonctionnement la valeur du *PCE* obtenue avec les redresseurs en technologie FDSOI surpasse celle des redresseurs en technologie BiCMOS.

La Figure 4-21 permet de situer ce travail est par rapport à l'état de l'art. Les étoiles en rouges représentent les mesures des redresseurs réalisés en FDSOI, optimisés d'une manière à avoir une faible résistance série. Ces résultats sont obtenus en réalisant un bilan de puissance afin d'estimer la puissance absorbée par les redresseurs à une fréquence de 2,4 GHz. Un circuit d'adaptation d'impédance permet d'assurer plus de sensibilité. Ce qui signifie que des *PCE* plus grandes seront obtenues avec des puissances d'entrée plus faibles. De plus, les étoiles en vert représentent les résultats de simulation à partir de la méthodologie de conception présentée dans le chapitre 3. La méthode de conception et les résultats obtenus, démontrent que les circuits conçus et testés sont à l'état de l'art.

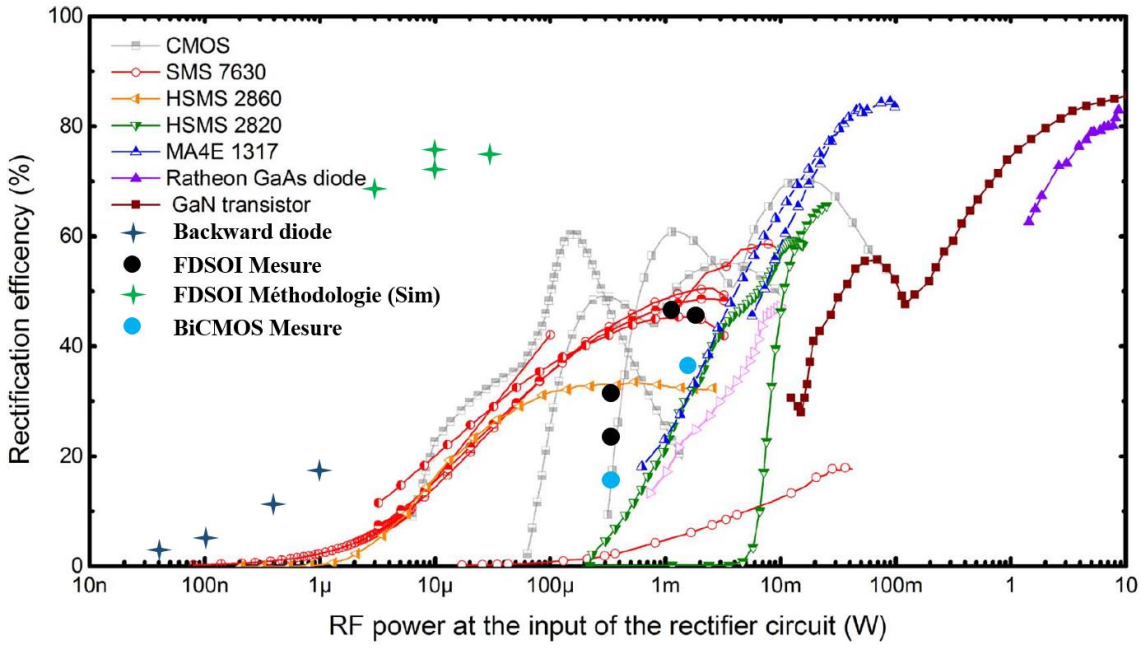

Figure 4-21 : Résultats obtenus par rapport à l'état de l'art à 2,4 GHz.

Conclusion générale :

Au cours de la dernière décennie, l'apparition de réseaux de capteurs sans fil (WSN) a considérablement modifiée la façon de surveiller et de contrôler de nombreux paramètres environnementaux et physiques. Ils ont déjà démontré leur efficacité dans de nombreux domaines, comme la surveillance de la santé, de l'environnement, etc… . Ces capteurs sont caractérisés par leur faible consommation énergétique. De plus, une antenne est utilisée par ces systèmes afin de transmettre les données mesurées. Grâce à la présence d'une antenne conjuguée à l'avantage de la réduction de la consommation énergétique des systèmes électroniques, une récupération d'énergie RF peut être envisagée. Cette méthode permet d'obtenir un système avec une durée de vie allongée, un système qui peut tendre vers une autonomie énergétique.

Le travail présenté dans ce mémoire porte sur la conception des circuits intégrés en technologie SOI et Bulk pour la récupération d'énergie électromagnétique. La récupération d'énergie électromagnétique consiste à convertir les ondes radiofréquences captées par une antenne en une tension continue afin de supporter l'alimentation ou d'alimenter un système à basse consommation.

Nous avons tout d'abord présenté les différents types d'énergies ambiantes ainsi que leurs avantages et inconvénients de chaque type. Le choix de la récupération d'énergie RF est argumenté par son omniprésence dans notre environnement et par la forte efficacité de conversion RF-DC malgré la faible densité de puissance. Les différentes topologies des redresseurs-multiplieurs de tensions utilisées sont présentées et analysées et notre choix s'est porté sur l'utilisation d'un multiplieur du type Dickson. D'après l'état de l'art, l'efficacité de conversion obtenue avec des diodes en technologie intégrée est plus importante que celle obtenue avec des diodes Schottky discrète.

Les technologies microélectroniques utilisées pour la réalisation des diodes (transistors montés en diodes) sont exposées. Les problèmes rencontrés avec les transistors réalisés en technologie silicium sur substrat massif sont présentés. Plusieurs améliorations sont réalisées au niveau du transistor afin d'améliorer les performances mais cela entraine une complexité accrue du processus de fabrication conduisant à une augmentation du cout des circuits. Les technologies SOI sont utilisées pour résoudre la majorité des problèmes rencontrés avec la technologie Bulk.

Plusieurs générations des transistors en technologie SOI ont été réalisées dont la plus importante est la FDSOI.

Des mesures sous pointe des transistors montés en « diodes » fabriqués en BiCMOS 55 nm et FDSOI 28 nm sont réalisées. De plus, l'effet de la polarisation de la grille arrière, sur la non-linéarité et les fuites des diodes en FDSOI est présenté.

En outre, une étude approfondie sur la réalisation d'une diode Schottky intégrée en technologie FDSOI 28 nm a été proposée sans ajouter d'étapes sur le processus de fabrication. Toutefois cette diode n'est pas pu être fabriquée car réalisation d'un contact métal avec une région faiblement dopée, assurant un contact Schottky, n'est pas bien maitrisée, et risquait entrainer une pollution des autres circuits disponibles sur le même wafer.

Une méthode d'optimisation selon un cahier des charges est ensuite présentée. Ce cahier des charges représente les différents paramètres de fonctionnement : la fréquence de l'onde électromagnétique, la puissance d'entrée, la tension de sortie nécessaire pour alimenter un circuit, et l'impédance d'entrée du circuit à alimenter. Cette optimisation est divisée en deux parties : la première qui consiste à déterminer le nombre d'étages à utiliser en fonction de la tension de sortie désiré ; la seconde partie qui consiste à optimiser les paramètres géométriques du redresseur principalement les dimensions des transistors. De plus, une optimisation de l'impédance de l'antenne augmente l'efficacité du circuit. Finalement, une comparaison entre deux technologies la FDSOI 28 nm et BiCMOS 55 nm est réalisée. La même méthode d'optimisation est utilisée pour les deux technologies. La polarisation de la grille arrière des transistors de la FDSOI est placée à un potentiel nul (reliée à la masse). De même pour les substrats des transistors de la BiCMOS. Le redresseur optimisé en utilisant la technologie FDSOI présente une efficacité de conversion de puissance de 72,8 %, valeur qui est 20 % plus importante que celle obtenue avec un redresseur réalisé en technologie BiCMOS (pour un redresseur à un étage avec une puissance de -20 dBm et une résistance de charge de 600 kΩ). Afin de valider la méthode d'optimisation, 14 dispositifs ont été conçus, optimisés et envoyés en fabrication.

Pour les circuits réalisés et testés en technologie FDSOI, les transistors du type NLVT sont ceux qui présentent le meilleur compromis (tension de seuil-courants de fuite). De plus, une polarisation dynamique de la grille arrière pour les redresseurs en FDSOI a été mise en œuvre. Cette polarisation dynamique permet d'augmenter des tensions de sortie d'environ 7 % par

rapport aux autres types de polarisation. D'autre part, une comparaison entre la BiCMOS 55 nm et la FDSOI 28 nm est présentée. Les caractéristiques statiques montrent que le transistor NLVT de la technologie FDSOI présente une tension de seuil qui est la plus petite par apport à celle du transistor de la BiCMOS. Des comparaisons entre des redresseurs conçus dans ces deux technologies sont explorées. Le critère d'optimisation est de dimensionner les transistors d'une manière à avoir une faible résistance série pour assurer la différence de potentiel la plus faibles possible aux bornes des diodes. Dans l'intégralité des cas, le *PCE* obtenue avec la technologie FDSOI est plus grande que celle obtenue dans les mêmes conditions avec la BiCMOS.

Perspectives :

Ces travaux ouvrent sur plusieurs perspectives que ce soit au niveau des améliorations à apporter à la conception des redresseurs, ou bien des études qui pourraient faire suite.

Dans un premier temps, une fabrication des circuits d'adaptation d'impédance pour les premiers redresseurs (optimisés sur le critère d'une faible résistance série) permettra d'augmenter la sensibilité. De plus, l'association d'une antenne à ces redresseurs en co-design avec le choix d'une impédance idoine est importante.

Un redresseur, parmi les 14 circuits conçu, nécessite une antenne de 200 Ω. Les dispositifs d'adaptation d'impédance doivent donc présenter des pertes les plus faibles possibles afin de transmettre la puissance maximale aux redresseurs. Ils peuvent être réalisés soit avec des lignes associées à des stubs, soit avec des composants discrets, ou mixtes. Après avoir réalisé l'antenne avec le circuit d'adaptation d'impédance, un système complet peut être réalisé, par exemple pour alimenter un microcontrôleur.

En ce qui concerne les améliorations à apporter à la conception, une étude sur la polarisation dynamique de la deuxième diode (active sur redressement de la partie négative) permettrait aussi d'augmenter le *PCE*. Cette polarisation doit être faite en opposition de phase par rapport au signal RF. Une antenne différentielle peut être utilisée dans ce cas afin d'obtenir le signal opposé. En outre, dans notre étude, les transistors et les capacités des *N* étages sont restés identiques d'un étage à l'autre. Il sera intéressant de faire une étude sur le redimensionnement des transistors et des capacités de chaque étage afin de voir l'impact sur l'efficacité de conversion de l'optimisation des transistors étage par étage qui conduira à avoir des transistors et des condensateurs de dimensions différentes d'un étage à l'autre, en augmentant par exemple la largeur *W* en passant d'un étage à un autre supérieur.

Finalement, concernant la fabrication de la diode Schottky en FDSOI 28 nm, une étude de faisabilité technologique en lien avec le fondeur pourrait aussi être une voie d'amélioration.

Pour conclure, la technologie FDSOI 28 nm offre de bonnes opportunités comme l'ont montré les résultats de mesures pour les applications faibles puissance. Par ailleurs, le degré de liberté supplémentaire offert par la polarisation « Back Gate » permet d'explorer de nouvelle piste sur l'ajustement des paramètres des composants non-linéaires en statique voire en dynamique.

Annexe A

1.1 Travail de sortie

Le travail de sortie du métal est l'énergie qu'il faut fournir à un électron situé au niveau de Fermi (E_F) pour qu'il quitte l'influence de ce métal et se retrouve dans le vide sans énergie cinétique [1] (Figure 0-1). Le travail de sortie d'un métal est représenté par :

$$e_{\emptyset m} = NV - E_F \qquad (0\text{-}1)$$

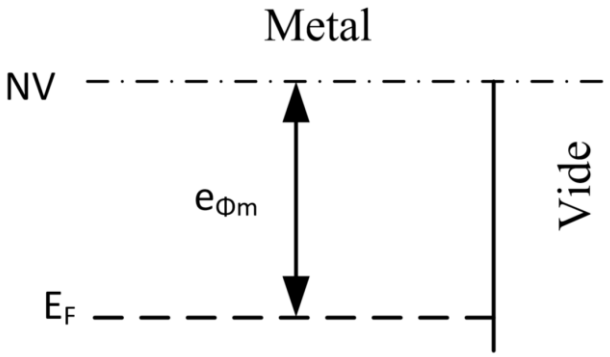

Figure 0-1 : Diagramme de bande d'énergie pour un métal seul

De même pour les semi-conducteurs, le travail de sortie $e_{\emptyset s}$ est défini par l'énergie à fournir à un électron du semi-conducteur pour qu'il passe du niveau de Fermi au niveau du vide (*NV*) sans énergie cinétique. Cependant, la position du niveau de Fermi d'un semi-conducteur dépend du dopage donc $e_{\emptyset s}$ n'est pas constant.

1.2 Affinité électronique

L'affinité électronique dans un semi-conducteur est définie par l'énergie qu'il faut fournir à un électron situé dans le bas de la bande de conduction (E_C) pour l'amener au niveau du vide :

$$e\chi = NV - E_C \qquad (0\text{-}2)$$

La largeur de bande interdite (e_g) est définie par la différence d'énergie entre la bande de valence (E_V) et la bande de conduction d'un semi-conducteur. Pour un semi-conducteur non dopé (intrinsèque), le niveau de Fermi initiale (E_{Fi}) est situé au milieu de la bande d'énergie interdite e_g. Si le semi-conducteur est dopé N par exemple, son comportement se rapproche de celui d'un conducteur, et le niveau de Fermi (E_F) s'approche de la bande de conduction E_C comme le montre la Figure 0-2. D'autre part, la largeur de la bande reste inchangée.

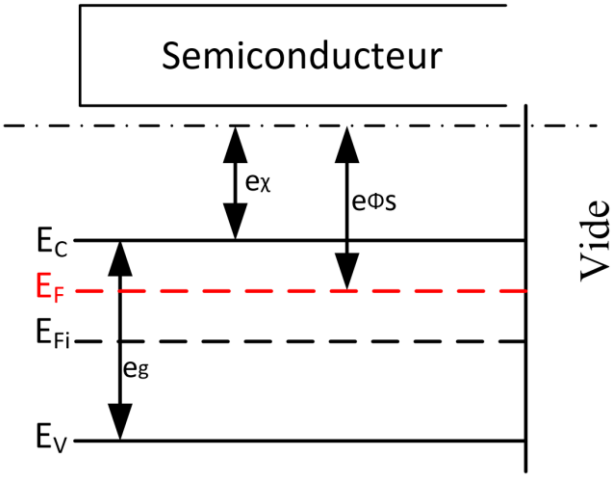

Figure 0-2 : Diagramme d'énergie pour un semi-conducteur

1.3 Contact Métal-Semi-Conducteur

Avant l'association du métal et du semi-conducteur, le niveau du vide *NV* est constant sur toute la largeur de la zone de transition (horizontale). De même, les niveaux de Fermi E_F sont aussi horizontaux dans chaque matériau mais ils se distribuent suivant les travaux de sortie de chacun de ces matériaux [2].

Une fois que les deux matériaux sont en contact, le niveau de Fermi E_F devient horizontal et constant dans toute la structure. Tant que le système n'est pas soumis à un champ électrique extérieur, les niveaux du vide *NV* se distribuent en fonction des travaux de sortie.

Lorsqu'un métal et un semi-conducteur sont mis en contact, une barrière de potentielle est formée à l'interface. Cette barrière est donnée par la relation suivante :

$$e_{\emptyset BN} = e_{\emptyset m} - e_{\chi} \qquad (0\text{-}3)$$

Où $e_{\emptyset m}$ représente le travail de sortie du métal et e_{χ} représente l'affinité électronique du semi-conducteur. La structure des diagrammes de bande à l'interface est conditionnée par la différence entre le travail de sortie du métal et celle du semi-conducteur. Dans la suite, le semi-conducteur est dopé N.

- **Cas1 :** $\boldsymbol{\emptyset m = \emptyset s}$

Le niveau de l'électron dans le vide *NV* est considéré comme niveau de référence. Après contact entre le métal et le semi-conducteur, une barrière d'énergie s'établit à l'interface métal–semi-conducteur et aucun échange d'électrons ne se fait entre les matériaux puisque le niveau de Fermi n'a pas été modifié. Ce système est donc en régime de bandes plates (Figure 0-3).

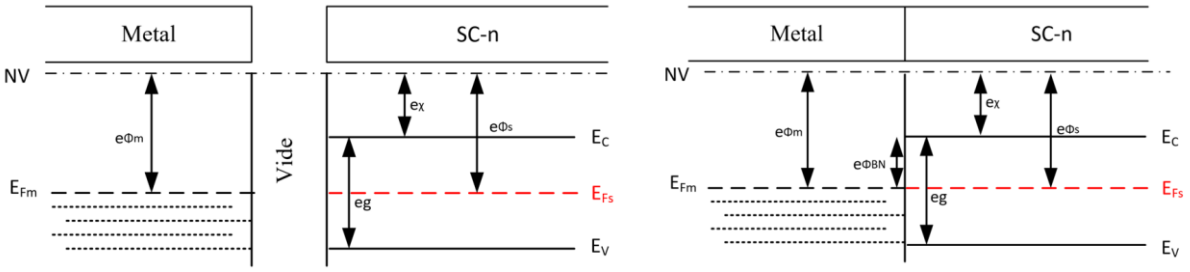

Figure 0-3 : Diagramme d'énergie avant (à gauche) et après (à droite) le contact métal–semi-conducteur

- **Cas2 :** $\emptyset m > \emptyset s$

Une fois les deux matériaux mis en contact, les deux niveaux de Fermi vont s'aligner. Comme le travail de sortie du métal est supérieur à celui du semi-conducteur, le niveau de Fermi du semi-conducteur va diminuer pour être aligné sur celui du métal et des électrons migrent du semi-conducteur vers le métal. Dans le cas où le semi-conducteur est dopé N, une zone dépourvue de porteur libre dite « zone de charge d'espace » (ZCE) se crée dans le semi-conducteur. La valeur de la bande de conduction augmente (s'éloigne du niveau de Fermi) plus on se rapproche de l'interface puisqu'il y a moins de porteurs, d'où la courbure des bandes qui est orientée vers le haut du côté du semi-conducteur(Figure 0-4).

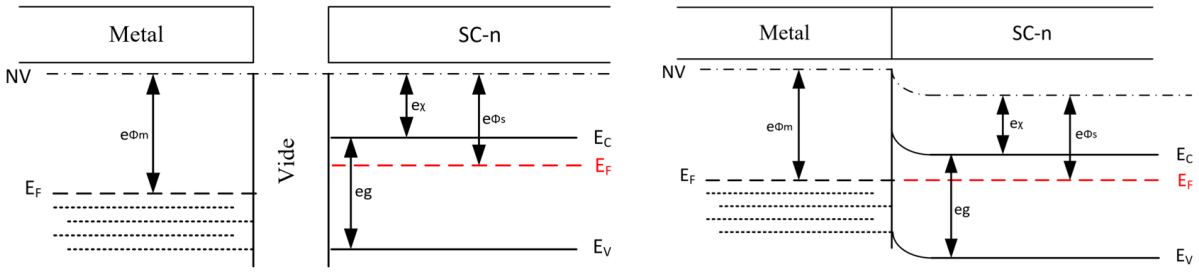

Figure 0-4 : diagramme d'énergie avant (à gauche) et après (à droite) le contact métal–semi-conducteur

Si le métal est polarisé positivement par rapport au semi-conducteur (Figure 0-5), les niveaux des bandes d'énergie du semi-conducteur s'élève et la courbure dans le semi-conducteur au niveau de la jonction va diminuer. Alors la barrière semi-conducteur → métal diminue alors que la barrière métal → semi-conducteur reste inchangée. Les électrons passent du semi-conducteur vers le métal et créent un courant dans le sens inverse [2].

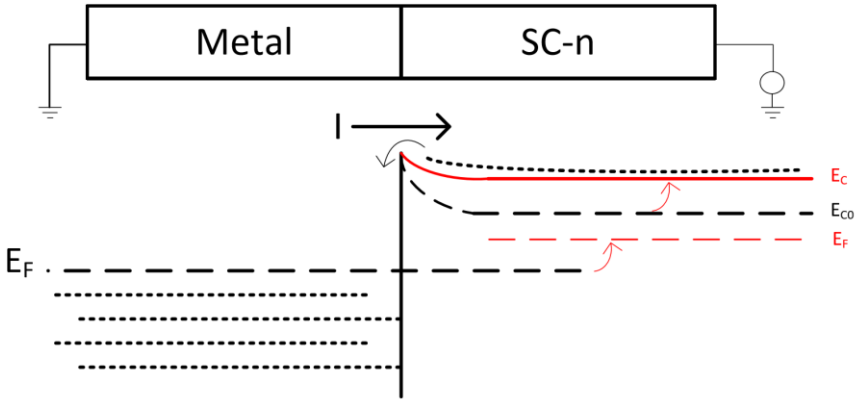

Figure 0-5 : Diagramme d'énergie après polarisation positive

Si le métal est polarisé negativement par rapport au semi-conducteur (Figure 0-6), le niveau des bandes d'énergie du semi-conducteur est abaissé ce qui augmente la hauteur de la barrière qui va s'opposer au passage des électrons. Cette structure est donc polarisée en inverse.

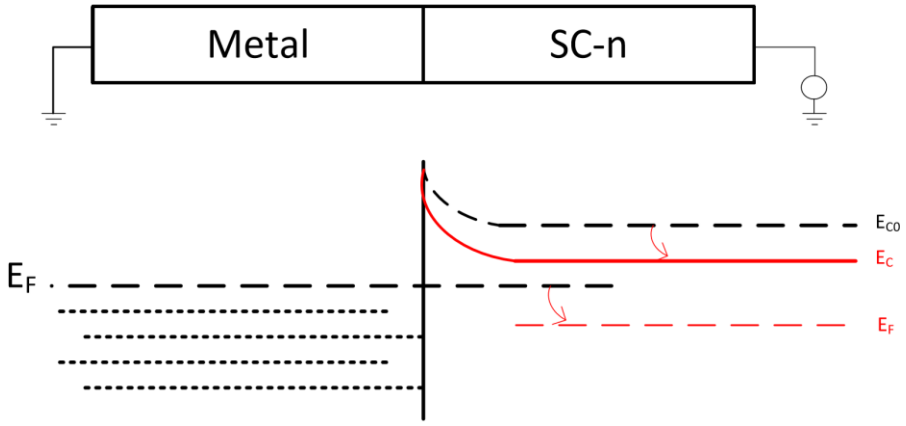

Figure 0-6 : Diagramme d'énergie après polarisation négative

La structure métal–semi-conducteur dopée N avec $\emptyset m > \emptyset s$ représente un contact redresseur, c'est donc un contact Schottky.

- **Cas3 : $\emptyset m < \emptyset s$:**

Vu que le travail de sortie du métal est inférieur au travail de sortie du semi-conducteur, les niveaux de Fermi doivent s'aligner lorsque les deux matériaux sont mis en contact. Dans le cas où le semi-conducteur est dopé N, une courbure vers le bas des bandes de conduction et de valence est obtenue (Figure 0-7).

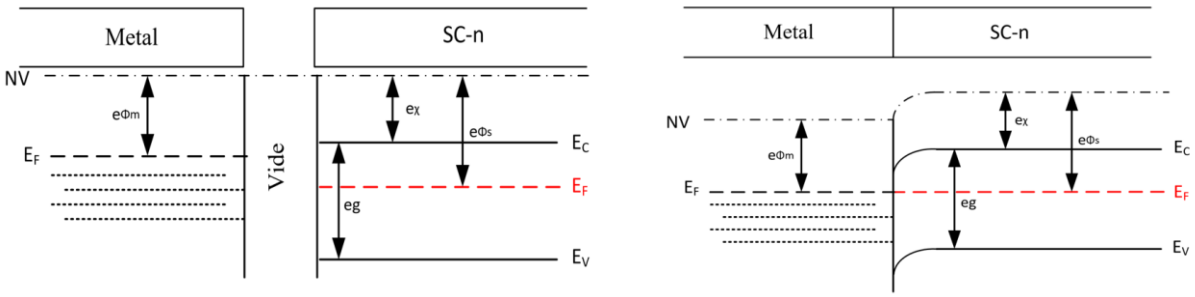

Figure 0-7 : Diagramme d'énergie avant (à gauche) et après (à droite) le contact métal–semi-conducteur

Lorsqu'une tension positive est appliquée au niveau du métal, les électrons peuvent se déplacer facilement à partir du semi-conducteur vers le métal car il n'y a pas de barrière formée. Mais si une tension positive est appliquée au semi-conducteur, il y a une très faible barrière et les électrons peuvent facilement passer du métal vers le semi-conducteur. Ainsi tout électron qui arrive à l'interface passe librement dans le métal et vice-versa. C'est un contact ohmique [3].

Dans la suite, une explication detaillée des deux types de contacts (ohmique et Schottky) est pésentée.

1.4 Etat de l'art de la SBD en intégré

Des diodes à barrière Schottky ont été étudiées et réalisées [1] [2] [4] - [17], dont la majorité en technologies CMOS et plus marginalement en technologies SOI. Elle peut être réalisée en type N ou P. Les diodes de type P sont aussi utilisables pour des applications nécessitant des petites tensions de seuil sauf que ce type possède une résistance série plus élevée, une tension de claquage plus petite [5], et une densité de courant de fuite beaucoup plus importante que celle de type N [6].

La fabrication des diodes à barrière Schottky, peut-être réalisée par deux méthodes. Il peut s'agir d'une structure classique réalisée uniquement par le placement du contact métallique directement sur le semi-conducteur [4] [5] [8] [10] [12], ou par l'utilisation d'une couche de « salicidation » (Ce procédé consiste à déposer une mince couche de métal de transition sur des dispositifs semi-conducteurs) entre le métal et le semi-conducteur [6][7] [11][12]. Notons que lors de l'utilisation de la couche de « salicidation », le contact Schottky ne dépend plus du métal, il dépend des caractéristiques physiques de la couche de « salicidation » (ex salicidation $CoSi_2$ avec du silicium 0.52 ev) [6]. Bien que les contacts salicidés puissent également former des jonctions Schottky, leur tension de seuil est légèrement plus élevée que celle des diodes Schottky sans le procédé salicide [10].

La salicidation au niveau de l'anode et de la cathode doit été séparée pour ne pas avoir un court-circuit. Elle peut être séparée soit par (i) la réalisation d'isolateurs (STI : Shallow Trench Isolator). Dans ce cas, les diodes Schottky sont équipées d'un anneau de garde *p*+ juste à côté du STI afin de limiter l'effet des STI sur le courant de fuite inverse à proximité de la jonction Silicide-Si [13]. Une élimination de l'anneau de garde *p*+ est possible. Cette modification se traduit par l'augmentation de la densité de courant mais d'autre part par la diminution de la tension de claquage et par une légère augmentation du courant de fuite [6][8] ; (ii) ou par la réalisation du contact Schottky entre deux grilles flottantes [11] [16]. Cette technique permet d'augmenter la fréquence de coupure jusqu'à 2 THz tandis que celle de la première méthode avec les STI est de 600 GHz ; (iii) ou encore en utilisant le masque de blocage de salicidation. Ce masque permet soit de réaliser des contacts salicidés et d'utiliser le blocage de salicidation entre l'anode et la cathode soit en réalisant un contact métallique direct au-dessus du silicium faiblement dopé (anode) en utilisant le masque de blocage de salicidation à ce niveau.

Références

[1] Guilhem Larrieu, “Elaboration et caracterisation de transistors MOS Schottky en regime nanometrique”, Université des sciences et technologies de Lille, 2004

[2] Damien RISALETTO, “Caractérisation électrique en commutation de diodes haute tension en carbure de silicium”, L’institut National Des Sciences Appliquees De Lyon, 2017

[3] D. Neamen, “Semiconductor Physics and Devices: Basic Principles–3rd Edition”, McGraw Hill, (2003).

[4] D. Sebastiao, “Implementation of Schottky Barrier Diodes (SBD) in Standard CMOS Process for Biomedical applications”, Universidade Federal de Itajuba, Brasil, 2012

[5] Behnam Jamali, “Hight-performance RFID systems”, University of Adelaide, 2001

[6] S. Sankaran and K. K. O, “Schottky barrier diodes for millimeter wave detection in a foundry CMOS process”, in IEEE Electron Device Letters, vol. 26, no. 7, pp. 492-494, July 2005.

[7] Wei-Ling Chang, Chinchun Meng, Tzu-Chien Fu and Guo-Wei Huang, “E-band RF-to-DC converter using Schottky diode in 0.18-µm CMOS technolog*y”,* 2016 IEEE MTT-S International Microwave Symposium (IMS), San Francisco, CA, 2016, pp. 1-3.

[8] D. Michelon, E. Bergeret, A. Di Giacomo and P. Pannier, “Optimization of integrated dickson voltage-multipliers for RF energy harvesting”, 2014 IEEE 12th International New Circuits and Systems Conference (NEWCAS), Trois-Rivieres, QC, 2014, pp. 448-451.

[9] M. K. Matters-Kammerer, L. Tripodi, R. van Langevelde, J. Cumana and R. H. Jansen, “RF Characterization of Schottky Diodes in 65-nm CMOS”, in IEEE Transactions on Electron Devices, vol. 57, no. 5, pp. 1063-1068, May 2010.

[10] X. Sun, C. Zhang, L. Gao, Y. Li and Z. Wang, “Modeling of a Schottky diode in CMOS process with a flexible open-through On-Chip De-embedding Method”, in Tsinghua Science and Technology, vol. 16, no. 2, pp. 175-180, April 2011.

[11] C. Yu *et al*., “Compact, High Impedance and Wide Bandwidth Detectors for Characterization of Millimeter Wave Performance”, in IEEE Journal of Solid-State Circuits, vol. 47, no. 10, pp. 2335-2343, Oct. 2012.

[12] V. P. Trivedi, J. P. John, K. H. To and W. M. Huang, “A Novel Integration of Si Schottky Diode for mmWave CMOS, Low-Power SoCs, and More”, in IEEE Electron Device Letters, vol. 32, no. 3, pp. 258-260, March 2011.

[13] S. Wane, R. van Heijster and S. Bardy, “Integration of Antenna-on-Chip and signal detectors for applications from RF to THz frequency range in SiGe technology”, 2011 IEEE Radio Frequency Integrated Circuits Symposium, Baltimore, MD, 2011, pp. 1-4.

[14] W. Lerdsitsomboon and K. K. O, “Technique for Integration of a Wireless Switch in a 2.4 GHz Single Chip Radio”, in IEEE Journal of Solid-State Circuits, vol. 46, no. 2, pp. 368-377, Feb. 2011.

[15] D. Bhatia, L. Xue, P. Li, Q. Wu and R. Bashirullah, “High-Voltage Tolerant Digitally Aided DCM/PWM Multiphase DC-DC Boost Converter With Integrated Schottky Diodes in 0.13 µm 1.2 V Digital CMOS Process”, in IEEE Journal of Solid-State Circuits, vol. 48, no. 3, pp. 774-789, March 2013.

[16] R. Han, Y. Zhang, Y. Kim, D. Y. Kim, H. Shichijo and K. O. Kenneth, “Terahertz image sensors using CMOS Schottky barrier diodes”, 2012 International SoC Design Conference (ISOCC), Jeju Island, 2012, pp. 254-257.

[17] Y. Zhang et al., “Schottky diodes in CMOS for terahertz circuits and systems”, 2013 IEEE Radio and Wireless Symposium, Austin, TX, 2013, pp. 43-45.

Publications

Article revue internationale :

- Awad M, Benech P, Duchamp JM. Electronic circuit design for RF energy harvesting using 28 nm FD-SOI technology. Microw Opt Technol Lett. 2018;60:1349–1353.

Contributions orales internationales :

- M. Awad, P. Benech and J.-M. Duchamp, “Performance Comparison of Two Stage of Dickson Voltage Rectifier Realized in FD-SOI 28 nm and BiCMOS 55 nm For RF Energy Harvesting”, IEEE MTT Symposium, 10-15 june 2018, Philadelphia, USA
- M. Awad, P. Benech and J. M. Duchamp, "Design of Dickson rectifier for RF energy harvesting in 28 nm FD-SOI technology," 2018 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), Granada, 2018, pp. 1-4
- M. Awad, P. Benech and J.-M. Duchamp, “Electronic Circuit Design for RF energy Harvesting Using 28nm-FDSOI”, 5th International Conference SENSO Workshop, 15-17 novembre 2017, Gardanne, France.

Contributions orales nationales :

- M. Awad, P. Benech, J.-M. Duchamp “ Design of a voltage multiplier in FD-SOI technology for RF energy harvesting applications”, Journées Nationales sur la Récupération et le Stockage d’Energie, 9-10 mai 2017, Lyon, France
- M. Awad, P. Benech and J.-M. Duchamp, “Conception d’un doubleur de tension en technologie FD-SOI pour des applications de récupération d’énergie RF”, 20ème Journées Nationales Micro-Ondes, 16 et 19 Mai 2017, St Malo, France