



**HAL**  
open science

# Développement d'une solution Core-chip MMIC avec convertisseur série-parallèle intégré en technologie BiCMOS pour la formation des faisceaux pour antennes agiles

Matthieu Gastaldi

## ► To cite this version:

Matthieu Gastaldi. Développement d'une solution Core-chip MMIC avec convertisseur série-parallèle intégré en technologie BiCMOS pour la formation des faisceaux pour antennes agiles. Electronique. INSA de Toulouse, 2016. Français. NNT : 2016ISAT0046 . tel-02003461

**HAL Id: tel-02003461**

**<https://theses.hal.science/tel-02003461>**

Submitted on 1 Feb 2019

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National des Sciences Appliquées de Toulouse (INSA de Toulouse)

---

**Présentée et soutenue par :**

**Matthieu GASTALDI**

**le** 20 Décembre 2016

**Titre :**

Développement d'une solution Core-chip MMIC en technologie BiCMOS pour la formation des faisceaux pour antennes agiles

---

**École doctorale et discipline ou spécialité :**

ED GEET : Micro et Nanosystèmes

**Unité de recherche :**

LAAS - Laboratoire d'Analyse et d'Architecture des Systèmes

**Directeur/trice(s) de Thèse :**

Mme Daniela DRAGOMIRESCU

M. Alexandru TAKACS

**Jury :**

M. Yann DEVAL - Rapporteur

Mme Nathalie ROLLAND - Rapporteur

M. Christian PERSON - Examineur

George PAPAIOANNOU - Examineur

M. Vincent ARMENGAUD - Examineur

M. Stéphane ROCHETTE - Examineur

M. Jean-Louis CAZAUX - Invité

M. Luc LAPIERRE



---

## SOMMAIRE

---

Sommaire .....	3
Table des tableaux et des figures.....	7
Liste des acronymes .....	13
Introduction Générale.....	14
1 Chapitre I – Introduction aux circuits de déphasage et d’atténuation.....	17
1.1 Introduction .....	17
1.1.1 Objectif.....	17
1.1.2 Contexte .....	17
1.2 Généralités et rappel des notions importantes .....	18
1.2.1 Paramètres S .....	18
1.2.2 Linéarité .....	19
1.2.3 Erreur de phase et d’amplitude.....	21
1.3 Cellules de déphasage.....	23
1.3.1 Paramètres caractéristiques d’un déphaseur.....	23
1.3.2 Les types de déphaseurs .....	23
1.3.3 Les déphaseurs numériques.....	25
1.3.4 Les déphaseurs analogiques .....	26
1.3.5 Cellules à déphasage intermédiaire .....	27
1.3.6 Cellules à fort déphasage.....	34
1.3.7 Cellules à faible déphasage .....	35
1.4 Cellules d’atténuation .....	36
1.4.1 Cellules à atténuation moyenne.....	36
1.4.2 Cellules à faible atténuation .....	37
1.5 Assemblage et Corechip .....	37
2 Chapitre II - Evaluation du DK SGB25V et conception des éléments passifs .....	40
2.1 Introduction .....	40
2.2 Description de la technologie SGB25V.....	41
2.2.1 Description de la technologie .....	41

2.2.2	Présentation des transistors MOS.....	42
2.2.3	Capacités .....	47
2.2.4	Résistances .....	48
2.3	Etude sur les éléments passifs .....	49
2.3.1	Outils de conception et de simulation .....	49
2.3.2	Etude des éléments capacitifs.....	50
2.3.3	Etude des éléments inductifs.....	53
2.3.4	Lignes de transmission .....	63
3	Chapitre III - Lignes de transmission à ondes lentes .....	64
3.1	Introduction .....	64
3.2	Présentation des lignes de transmission à ondes lentes .....	64
3.2.1	Paramètres caractéristiques .....	65
3.2.2	Lignes de transmission ‘classiques’ .....	66
3.2.3	Lignes de transmission à ondes lentes.....	69
3.2.4	Etat de l’art .....	70
3.3	Règles de conception pour les lignes à ondes lentes .....	74
3.3.1	Modèles développés .....	74
3.3.2	Influence des paramètres géométriques .....	76
3.3.3	Modèles de simulation .....	79
3.4	Résultats expérimentaux.....	84
3.4.1	Résultats de mesure.....	84
3.4.2	Comparaison avec les simulations .....	87
3.5	Lignes de transmission à ondes lentes à méandres .....	88
3.5.1	Principe des lignes à ondes lentes à méandres .....	89
3.5.2	Simulations et résultats de mesure .....	92
3.5.3	Applications .....	94
4	Chapitre IV - Déphaseurs et Atténuateurs MMIC .....	97
4.1	Introduction .....	97
4.2	Cellules élémentaires .....	97
4.2.1	Cellule de déphasage 45° .....	98
4.2.2	Cellules d’atténuation.....	104

---

4.3	Optimisation et implémentation .....	108
4.3.1	Modèles de rétro-simulations .....	108
4.3.2	Seconde version du déphaseur classique 45° .....	110
4.3.3	Amélioration des commutateurs NMOS .....	112
4.3.4	Technique du substrat flottant .....	113
4.3.5	Technique de la polarisation DC .....	116
4.3.6	Implémentation sur un atténuateur 6 dB .....	116
4.4	Circuits multi-bits .....	121
4.4.1	Déphaseur 4 bits .....	122
4.4.2	Atténuateur 4 bits .....	128
5	Chapitre V – Déphaseurs basés sur les lignes de transmission à ondes lentes .....	135
5.1	Éléments de référence .....	135
5.2	Déphaseur sur les lignes à ondes lentes classiques .....	137
5.2.1	Première version de déphaseur 11° .....	138
5.2.2	Seconde version de déphaseur 11° .....	140
5.3	Déphaseur sur les lignes à ondes lentes à méandres .....	142
5.3.1	Déphaseur à ondes lentes 11° .....	143
5.3.2	Déphaseur à ondes lentes 22° .....	145
5.3.3	Déphaseur à ondes lentes 45° .....	147
5.4	Perspectives .....	149
	Conclusions générales .....	151
	Liste des publications et communications orales .....	152
	Bibliographie .....	153
	Annexes .....	161
	Contraintes du masque .....	161
	Pads 161	
	Dummies .....	162
	Méthodologie de mesure .....	163
	Mesure de paramètres S et station sous pointes .....	164
	Calibration SOLT .....	165
	Calibration TRL et de-embedding .....	165

---

Mesure en température.....	166
Mesure de linéarité.....	167

---

## TABLE DES TABLEAUX ET DES FIGURES

---

1	Chapitre I – Introduction aux circuits de déphasage et d’atténuation .....	17
	Figure 1.1. Architecture d'un système de contrôle d'antenne à balayage électronique .....	18
	Figure 1.2. Ondes incidentes et ondes réfléchies appliquées à un quadripôle .....	18
	Figure 1.3. Illustration du point de compression à 1dB (P1dB).....	20
	Figure 1.4. Illustration de l'IP3.....	21
	Figure 1.5. Réponse du déphaseur pour les 16 états et calcul de la première erreur.....	22
	Figure 1.6. Nouvelles valeurs de phase en changeant la référence de phase et calcul des nouvelles erreurs .....	22
	Figure 1.7. Diagramme bloc des différents types de déphaseurs .....	25
	Figure 1.8. Illustration d'un déphaseur numérique 5 bits .....	26
	Figure 1.9. (a) Cellule type passe-bas en $\Pi$ (b) Cellule type passe-haut en $\Pi$ .....	27
	Figure 1.10. (a) Cellule type passe-bas en T (b) Cellule type passe-haut en T .....	28
	Figure 1.11. Vue en coupe d'un transistor CMOS.....	29
	Figure 1.12. (a) Modèle équivalent d'un commutateur série (b) Modèle équivalent d'un commutateur parallèle .....	29
	Figure 1.13. Cellule de déphasage $\phi < 90^\circ$ .....	30
	Figure 1.14. Circuits simplifiés des états de référence (a) et de déphasage (b) .....	31
	Figure 1.15. Cellule de déphasage passe-bas/passe-tout (a) Topologie de la cellule (b) modèle simplifié de l'état 'OFF' (référence) (c) modèle simplifié de l'état 'ON' (déphasage) .....	32
	Figure 1.16. Exemple de déphaseur type RTPS (Reflective Type Phase Shifter) .....	33
	Figure 1.17. Exemple de topologie de cellule $180^\circ$ passe-haut/passe-bas .....	34
	Figure 1.18. Topologies de cellules à faible déphasage .....	35
	Figure 1.19. (a) Atténuateur en T (b) Atténuateur en $\Pi$ .....	36
	Figure 1.20. (a) Cellule d'atténuation faible sans capacité (b) Cellule d'atténuation faible avec capacité.....	37
	Figure 1.21. Photographie de deux core-chips 5 bits [38] (à gauche) et 6 bits [18] (à droite). 38	
	TABLEAU 1 . TABLE RECAPITULATIVE DE L'ETAT DE L'ART.....	39
2	Chapitre II - Evaluation du DK SGB25V et conception des éléments passifs.....	40
	Figure 2.1. Empilement de la technologie $0.25\mu\text{m}$ de IHP .....	42
	Figure 2.2. Représentation schématique des transistors MOS : NMOS (a), PMOS (b) .....	43

TABLE des tableaux et des figures

---

TABLEAU 2. CARACTERISTIQUES DES TRANSISTORS DU DK SGB25V .....	43
Figure 2.3. Représentation d'un transistor NMOS et vue masque .....	44
Figure 2.4. Schématisation d'un transistor NMOS en fonctionnement commutateur contrôlé par la grille .....	45
Figure 2.5. Simulations des paramètres S d'un commutateur NMOS en série.....	45
Figure 2.6. Comparaison simu/mesure de la réponse en transmission du transistor.....	46
Figure 2.7. Modélisation d'un transistor nMOS (a) vue en coupe du transistor (b) modèle équivalent de l'état 'ON' (c) modèle équivalent de l'état 'OFF' .....	47
Figure 2.8. (a) Vue de dessus d'une capacité MIM et (b) vue en coupe .....	48
Figure 2.9. Structure d'une résistance CMOS .....	49
TABLEAU 3. CARACTERISTIQUES DES RESISTANCES DU DK SGB25V.....	49
Figure 2.10 Modèle de capacité MIM.....	51
Figure 2.11. Modèle de capacité MIM sous HFSS .....	52
Figure 2.12. Capacité en fonction de la fréquence.....	52
TABLEAU 4. CARACTERISTIQUES DES CAPACITES MIM SIMULEES SOUS HFSS.....	52
Figure 2.13. Modèles d'inductances utilisés dans les circuits HF .....	53
Figure 2.14. Inductance mutuelle pour une bobine spirale en fonction du sens du courant ....	55
Figure 2.15. Allure du facteur de qualité d'une inductance en fonction de la fréquence .....	55
Figure 2.16. Illustration des paramètres géométriques pour une inductance à 2 spires. ....	56
Figure 2.17. Courant de surface sur une inductance spirale sous HFSS .....	57
Figure 2.18. Illustration du maillage aux bords du conducteur sous MOMENTUM .....	58
Figure 2.19. Illustration des courants de retour pour inductance avec ouverture dans le plan de masse[58] .....	59
Figure 2.20. Comparaison des valeurs d'inductances simulées selon différents cas.....	59
Figure 2.21. Comparaison des facteurs de qualités simulés selon différents cas.....	60
Figure 2.22. Modèle équivalent simple- $\pi$ pour une inductance spirale [59].....	61
Figure 2.23. Inductance présente sur la puce .....	62
Figure 2.24. Mesure des valeurs d'inductances .....	62
Figure 2.25. Ligne micro-ruban .....	63
3 Chapitre III - Lignes de transmission à ondes lentes.....	64
Figure 3.1. Modèle RLGC d'une ligne de transmission .....	65
Figure 3.2. Schéma d'une ligne micro-ruban.....	67

Figure 3.3. Représentation des lignes de champ pour une ligne micro-ruban .....	67
Figure 3.4. Schéma d'une ligne coplanaire.....	68
Figure 3.5. Schéma de topologies à ondes lentes pour lignes (a) coplanaires (b) micro-rubans.....	70
Figure 3.6. Structure de la ligne MS de Hasegawa .....	71
Figure 3.7. Structure CWP à ondes lentes en technologie GaAs[75].....	72
Figure 3.8. Process utilisés pour les lignes à ondes et photographies des réalisations (ligne 500 $\mu$ m).....	73
Figure 3.9. Schéma de la structure micro-ruban présentée .....	75
Figure 3.10. Vue en coupe de la seconde structure de ligne à ondes lentes micro-ruban .....	75
Figure 3.11. Illustration des courants de retour dans une ligne à ondes lentes micro-ruban ...	76
Figure 3.12. Champ électrique dans la structure pour le design 1 (a) et le design 2 (b) .....	76
Figure 3.13. Illustration des lignes de champ E lorsque les rubans sont espacés (a) et resserrés (b) .....	77
TABLEAU 5. INFLUENCE DES PARAMETRES GEOMETRIQUES SUR LES PERFORMANCES DES LIGNES A ONDES LENTES.....	78
Figure 3.14. Modélisation HFSS d'une ligne à ondes lentes micro-ruban .....	80
Figure 3.15. Comparaison entre ligne micro-ruban classique et lignes à ondes lentes. (a) constante d'atténuation (b) constante de phase (c) permittivité effective relative.....	81
Figure 3.16. Influence de la longueur des rubans sur les paramètres $\alpha$ , $\beta$ et $\epsilon_{\text{reff}}$ .....	83
Figure 3.17. Photo des lignes de transmission sur la puce lors du premier run .....	85
Figure 3.18. Comparaison des mesures pour les lignes à ondes lentes et la ligne classique (a) constante d'atténuation (dB/mm) (b) constante de phase (rad/mm) .....	86
Figure 3.19. Mesures de l'impédance caractéristique, de la permittivité relative effective et du facteur de qualité .....	87
Figure 3.20. Prototype de déphaseur basé sur les lignes à ondes lentes.....	88
Figure 3.21. Photo d'un switch T/R basé sur les lignes à ondes lentes [64].....	89
Figure 3.22. Modèle HFSS de la ligne à méandres proposée .....	90
Figure 3.23. Illustration des nouveaux paramètres géométriques .....	90
Figure 3.24. Illustration de l'orientation des lignes de courants dans la ligne de transmission	91
Figure 3.25. Modèle HFSS d'une ligne à plusieurs méandres.....	92
* Mesures; ** Simulations .....	93
TABLEAU 6. TABLEAU COMPARATIF DES LIGNES A ONDES LENTES.....	93

Figure 3.26. Photographie des puces fabriquées .....	93
Figure 3.27. Résultats de mesures des lignes à méandres pour les pertes et le retard de phase	94
TABLEAU 7. COMPARAISON DES LIGNES DE TRANSMISSION A ONDES LENTES APRES MESURES.	94
Figure 3.28. Topologie proposée versus topologie classique.....	95
4 Chapitre IV - Déphaseurs et Atténuateurs MMIC .....	97
Figure 4.1. Exemple de constellation polaire .....	97
Figure 4.2. Topologie e cellule passe bas en $\Pi$ (a) et passe bas /passe-tout (b).....	99
Figure 4.3. Circuits simplifiés des états de référence (a) et de déphasage (b) .....	100
Figure 4.4. Simulation du déphasage du déphaseur $45^\circ$ .....	100
Figure 4.5. Simulation des pertes d'insertion et de la réflexion .....	101
Figure 4.6. Photo du déphaseur $45^\circ$ réalisé lors du 1er run ( $0.7 \times 1 \text{ mm}^2$ avec les pads) .....	102
Figure 4.7. Comparaison simulations/mesures pour le déphasage.....	102
Figure 4.8. Résultats de mesures pour les pertes d'insertion et la réflexion.....	103
Figure 4.9. Linéarité du déphaseur $45^\circ$ .....	104
Figure 4.10. Topologie des cellules d'atténuation 1.5dB .....	105
Figure 4.11. Photos des cellules d'atténuation 1.5dB.....	106
Figure 4.12. Mesure de l'atténuation des atténuateurs 1.5 dB.....	107
Figure 4.13. Mesure des pertes d'insertion et de la réflexion des atténuateurs 1.5 dB.....	107
Figure 4.14. Mesures vs Simulations vs Rétro-simulations pour le déphasage. ....	109
Figure 4.15. Mesures vs Simulations vs Rétro-simulations pour les pertes d'insertion (à gauche) et la réflexion (à droite).....	109
Figure 4.25. Résultats de mesures vs simulations pour le déphasage .....	110
Figure 4.26. Résultats de mesures vs simulations pour la réflexion .....	111
Figure 4.27. Comparaison du déphasage Simu/Mesures après mesure des transistors.....	112
Figure 4.28. Comparaison des paramètres-S Simu/Mesures après mesure des transistors ....	112
Figure 4.16. (a) Vue en coupe d'un transistor NMOS Triple Well (b) Modèle équivalent de l'état 'ON' (c) Modèle équivalent de l'état 'OFF' .....	114
Figure 4.17. Vue masque d'un transistor NMOS utilisant la technique du substrat flottant ..	115
Figure 4.18 Comparaison des mesures entre transistors avec et sans substrat flottant résistif	116
Figure 4.19. Topologie des cellules d'atténuation 6dB .....	117
Figure 4.20. Photo de l'atténuateur 6dB avec substrat flottant résistif.....	118

Figure 4.21. Mesure de l'atténuation pour les atténuateurs 6dB .....	119
Figure 4.22. Mesures des paramètres S des atténuateurs pour le S21 et le S11 .....	119
TABLEAU 8. COMPARAISON DES P1dB EN FONCTION DES DIFFERENTS CAS.....	120
Figure 4.23. Mesures de linéarité des atténuateurs en état 'ON' .....	120
Figure 4.24. Mesures de linéarité des atténuateurs en état 'OFF' .....	121
Figure 4.29. Topologies utilisées pour le déphaseur 4 bits (a) 180° (b) 90°,45°, 22° .....	123
Figure 4.30. Simulation des 16 états de fonctionnement .....	123
Figure 4.31. Photo comparative du déphaseur 4 bits (en rouge) et de l'atténuateur 4 bits (violet) .....	124
Figure 4.32. Photo du déphaseur 4 bits .....	125
Figure 4.33. Mesure des déphasages du déphaseur 4 bits .....	125
Figure 4.34 Comparaison Simu/Mesure des pertes pour l'état de référence .....	126
Figure 4.35. Mesure du P1dB pour le déphaseur 45° .....	127
Figure 4.36. Résultats de mesures de l'étude de stabilité en température .....	128
Figure 4.37. Topologies des cellules de l'atténuateur 4 bits (a) 6dB, 3dB (b) 1.5dB, 0.75dB	129
Figure 4.38. Simulations des 16 états de fonctionnement de l'atténuateur 4bits.....	130
Figure 4.39. Photo de l'atténuateur 4 bits .....	130
Figure 4.40. Mesure de l'atténuation pour les 16 états de l'atténuateur 4 bits.....	131
Figure 4.41. Mesure du P1dB de l'atténuateur 4bits pour l'état '0000' .....	132
5 Chapitre V – Déphaseurs basés sur les lignes de transmission à ondes lentes.....	135
Figure 5.1. Topologie utilisée pour la cellule 11° et photo de la puce .....	136
Figure 5.2. Pertes d'insertion et réflexion de la cellule de déphasage 11° (mesures).....	137
Figure 5.3. Déphasage de la cellule 11° (mesures) .....	137
Figure 5.4. Topologie du déphaseur à ondes lentes vs topologie classique .....	138
Figure 5.5. Photo de la cellule fabriquée (dimensions 250x400µm <sup>2</sup> sans les pads).....	139
Figure 5.6 Résultats de mesure du déphaseur à ondes lentes 11° (version 1).....	140
Figure 5.7 Mesure des paramètres-S pour les deux versions du déphaseur à ondes lentes 11° (versions 1 et 2) et pour la structure de référence (en topologie classique) .....	141
Figure 5.8. Topologie du nouveau déphaseur à ondes lentes .....	142
Figure 5.9. Comparaison des vues masques des topologies pour une cellule 11° .....	143
Figure 5.10. Photo du déphaseur à ondes lentes 11° .....	144

TABLE des tableaux et des figures

---

Figure 5.11. Comparaison des déphasages des deux cellules de déphasage à ondes lentes 11° .....	144
Figure 5.12. Mesure de la réflexion et des pertes d'insertion .....	145
Figure 5.13. Mesure du P1dB et comparaison avec les autres designs .....	145
Figure 5.14. Photo du déphaseur 22° .....	146
Figure 5.15. Mesure des performances du déphaseur à ondes lentes 22° .....	147
Figure 5.16. Photo de la puce 45° .....	148
Figure 5.17. Mesure des performances du déphaseur à ondes lentes 22° .....	149
Figure 5.18. Mesure du P1dB pour les cellules de déphasage à ondes lentes.....	149
Figure 5.19. Nouvelles topologies de déphaseurs utilisant moins de transistors .....	150

---

## LISTE DES ACRONYMES

---

ADS	Advanced Design Systems (de Agilent)
BF	Body Floating
BFN	Beamforming Network
Bi/CMOS	Bipolar/Complementary Metal Oxyde Semiconductor
CNES	Centre National d'Etudes Spatiales
CPW	Coplanar Waveguide/ Guide d'onde coplanaire
FET	Field Effect Transistor/ Transistor à effet de champ
GaAs	Arséniure de Gallium
GSG	Ground Signal-Ground
MEMS	Micro Electro-Mechanical Systems
MIM	Metal Insulator Metal
MMIC	Monolithic Microwave Integrated Circuits
MOS	Metal Oxyde Semiconductor
MSL	Micro-strip Line
PS	Phase Shifter
RF	Radio Frequency
Si	Silicium
SiGe	Silicium Germanium
S-MSL	Shielded Micro-Strip Line
SOLT	Short Open Load Thru
TRL	Thru Reflect Line
WSN	Wireless Sensor Network
SWL	Slow Wave Line

## INTRODUCTION GENERALE

---

Le sujet de la thèse concerne le design et la réalisation d'une solution Core-chip MMIC en technologie BiCMOS. Ce système sera dédié à la formation de faisceaux pour antennes agiles. Les nouvelles solutions développées pour les charges satellites en télécommunication ont besoin d'une meilleure flexibilité sur tous les plans. De manière plus précise, les antennes actives doivent être capables de se recalibrer en temps réel afin de toujours offrir la meilleure couverture et le meilleur bilan de liaison possible. Afin de réaliser cela, il faut un très grand nombre de points de contrôle amplitude/phase sur l'équipement qui réalise la formation des faisceaux. Il faut donc des nouvelles solutions afin d'optimiser ces fonctions. Les principaux critères sont la diminution des pertes, la taille des systèmes et la puissance DC consommée. Le sujet proposé par le Centre National d'Etudes Spatiales (CNES) et Thales Alenia Space est donc la réalisation des circuits de contrôle Amplitude/Phase des antennes à formation de faisceaux (plus précisément dans la bande [10.7GHz, 14.5GHz]).

Afin de réaliser correctement le circuit, nous cherchons à avoir une couverture homogène et une résolution maximale au sein du cercle unité représentant la constellation d'amplitude/phase. Pour cela deux types d'architectures vont être comparés : les commandes analogiques et les commandes numériques. Les technologies envisagées sont quant à elles les solutions Si/CMOS et SiGe/BiCMOS. Pour réaliser un état de l'art correct et une vraie comparaison entre les différentes solutions qui seront présentées, certains critères d'évaluation vont être déterminants. On relèvera donc :

- Les performances électriques RF : pertes, figure de bruit, linéarité, résolution et précision en amplitude et en phase et la consommation.
- Intégration : capacité de miniaturisation.
- Sensibilité de la technologie aux dispersions de fabrication
- Sensibilité de la technologie aux contraintes d'environnement : température...



En matière de collecte d'information, l'étude s'est articulée principalement autour de l'analyse de l'évolution des différentes solutions au cours de la dernière décennie. La recherche bibliographique a constitué une des tâches principales au début de notre thèse. Au

cours de ce rapport, nous allons énumérer les différentes solutions technologiques envisageables et établir un état de l'art complet. Toutes les architectures et publications qui vont être présentées vont permettre de mieux appréhender l'évolution des méthodes et des technologies que ce soit par le développement d'un nouveau type de circuit, l'utilisation d'une nouvelle technologie (MEMS, Si CMOS, SiGe BiCMOS) ou par l'intégration de nouvelles méthodes (Slow Wave Lines, ...).

Le travail se décompose en cinq parties :

### ***Chapitre I - Introduction aux circuits de déphasage et d'atténuation***

Le premier chapitre présente un état de l'art des circuits déphaseurs et atténuateurs. Ce chapitre commence par un rappel des généralités sur les MMIC et les notions importantes pour caractériser les performances des circuits. Nous présenterons ensuite plus en détail les cellules de déphasage et d'atténuation tout en dressant un état de l'art. Les différents types de cellules seront présentés afin de déterminer les solutions les plus adaptées pour répondre à nos attentes. Enfin nous présenterons les solutions core-chip comprenant des circuits d'amplitude/phase multi-bits.

### ***Chapitre II - Evaluation du DK SGB25V et conception des éléments passifs***

Le second chapitre présente la technologie 0.25 $\mu$ m SiGe de IHP et les différents composants fournis par le DK SGB25V. Les modèles de transistors sont présentés ainsi que les modèles de résistances et de capacités. Les composants passifs non présents dans le DK ont été développés pendant la thèse avec d'autres outils. Leur étude et leur conception sont présentées à la fin du chapitre.

### ***Chapitre III – Lignes de transmission à ondes lentes***

Ce chapitre commence par présenter les caractéristiques des lignes de transmission à ondes lentes et dresse ensuite un état de l'art. Ensuite les résultats de mesure des lignes fabriquées sont présentés. Ces résultats très encourageants ont conduit au développement d'un nouveau type de lignes à méandres. Les applications pratiques de ces lignes seront brièvement évoquées avant d'être étudiées plus en détail dans le dernier chapitre.

### ***Chapitre IV – Déphaseurs et atténuateurs MMIC***

Ce chapitre est entièrement consacré à la réalisation et la mesure des circuits de déphasage et d'atténuation. Les résultats des différentes mesures sont présentés avec les solutions choisies pour améliorer les performances des circuits entre les différents runs. Ce chapitre se conclut sur la conception de circuits multi-bits.

*Chapitre V – Déphaseurs basés sur les lignes de transmission à ondes*

Le dernier chapitre est consacré à l'étude et au développement d'un nouveau type de structures déphaseuses basées sur l'utilisation des lignes de transmission à ondes lentes. Plusieurs topologies sont présentées avec les différents résultats de mesures. Ces structures ultra compactes constituent une alternative très intéressante pour les cellules de déphasages en bande Ku.

# 1 CHAPITRE I – INTRODUCTION AUX CIRCUITS DE DEPHASAGE ET D’ATTENUATION

---

## 1.1 INTRODUCTION

### *1.1.1 Objectif*

Ce chapitre a plusieurs objectifs. Dans un premier temps présenter les différentes notions importantes pour comprendre le fonctionnement des cellules ainsi que donner les outils pour pouvoir comparer les différentes solutions présentées par la suite. Dans un deuxième temps l’objectif est d’établir un rapport sur l’état de l’art des solutions MMIC intégrées en technologies SiGe. La technologie retenue pour la réalisation et la fabrication des circuits au cours de ces travaux de thèse est une technologie 250 nm SiGe BiCMOS. Il est donc important d’établir l’avancement des différentes réalisations dans ce domaine mais pas seulement. Beaucoup de travaux, réalisés en technologie CMOS et en technologie GaAs, seront également présentés car les solutions développées dans ces technologies sont compatibles avec le BiCMOS et serviront de point de comparaison.

### *1.1.2 Contexte*

Les antennes actives à formation de faisceaux utilisent des centaines de nœuds où la phase et l’amplitude doivent être contrôlées de manière précise pour chacun de ces nœuds. Les contraintes fortes imposées par certaines applications et plus particulièrement dans le milieu du spatial nous poussent à étudier les différentes techniques de déphasage et d’atténuation qui peuvent être utilisées dans le design de puces MMIC (Monolithic Microwave Integrated Circuits). C’est ce que nous allons présenter dans ce premier chapitre.

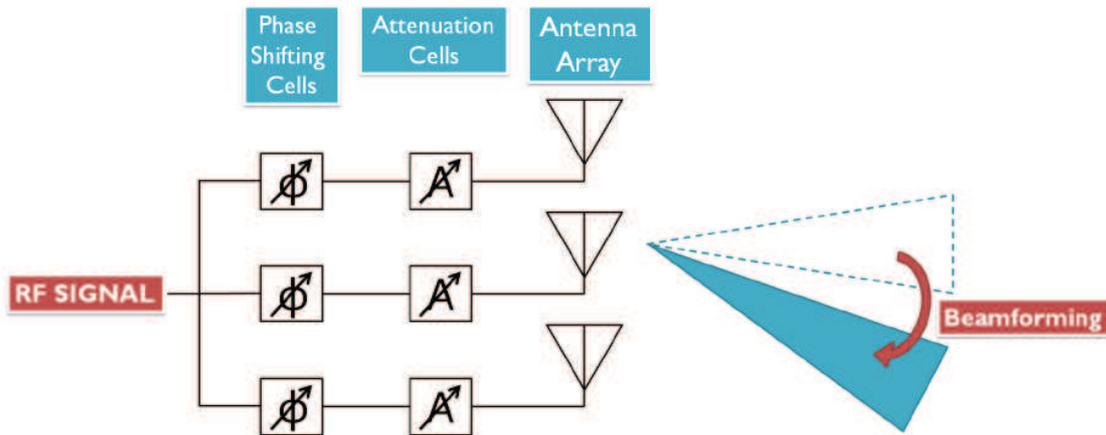


Figure 1.1. Architecture d'un système de contrôle d'antenne à balayage électronique

## 1.2 GENERALITES ET RAPPEL DES NOTIONS IMPORATANTES

### 1.2.1 Paramètres S

La matrice [S], aussi appelée matrice de répartition est un moyen permettant de représenter le comportement linéaire d'un quadripôle dans le domaine des micro-ondes. La connaissance des paramètres S permet de calculer la puissance, le gain et les pertes, le coefficient de réflexion... La totalité des circuits que nous allons voir par la suite sont des quadripôles donc nous présenterons ce cas uniquement.



Figure 1.2. Ondes incidentes et ondes réfléchies appliquées à un quadripôle

Dans le quadripôle présenté en figure 1.2,  $a_1$  et  $a_2$  représentent les ondes incidentes et  $b_1$  et  $b_2$  représentent les ondes réfléchies. On définit les différents  $a_i$  et  $b_i$  comme le rapport de la tension de l'onde divisée par la racine carrée de l'impédance caractéristique. On caractérise dans un système en liant le rapport des ondes incidentes et réfléchies au travers des différents paramètres d'une matrice S.

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

Notre système est donc caractérisé par les 2 équations suivantes :

$$b_1 = a_1 * S_{11} + a_2 * S_{12} \quad (1)$$

$$b_2 = a_1 * S_{21} + a_2 * S_{22} \quad (2)$$

Dans le cas où le quadripôle est adapté en sortie (cas  $a_2 = 0$ ),  $S_{11}$  devient  $S_{11} = b_1/a_1$  et représente la réflexion en entrée et  $S_{21} = b_2/a_1$ , devient le coefficient de transmission de l'entrée vers la sortie. Dans le cas où le système est adapté en entrée ( $a_1 = 0$ ), on retrouve  $S_{22} = b_2/a_2$  qui représente la réflexion en sortie et  $S_{12} = b_1/a_2$  qui représente le coefficient de transmission en inverse (sortie vers l'entrée).

Les paramètres S sont généralement exprimés en décibels (dB). Le rapport entre grandeur naturelle et dB est rappelé dans l'équation suivante. Le rapport de multiplication est 20 car les paramètres S expriment des rapports de tension.

$$S_{ij_{dB}} = 20 \times \log_{10}(|S_{ij}|) \quad (3)$$

### 1.2.2 Linéarité

La linéarité est un facteur très important dans le développement d'un core-chip MMIC et plus spécialement pour les applications spatiales. En effet, afin d'assurer un bon bilan de liaison, les antennes satellites et celles des stations sol émettent des signaux à très forte puissance, la tenue en puissance est donc un facteur crucial lors de la conception des circuits. La linéarité peut s'illustrer notamment par la mesure du point de compression à 1dB (P1dB).

Les circuits étudiés présentent des pertes fixes pour une fréquence donnée, il existe donc une relation linéaire entre la puissance injectée dans le système et la puissance en sortie. Cependant au-delà d'un certain niveau de puissance en entrée, on observe un phénomène de compression du gain, c'est-à-dire que le gain ne suit plus une loi linéaire et s'effondre (cf Figure 1.3 [1]).

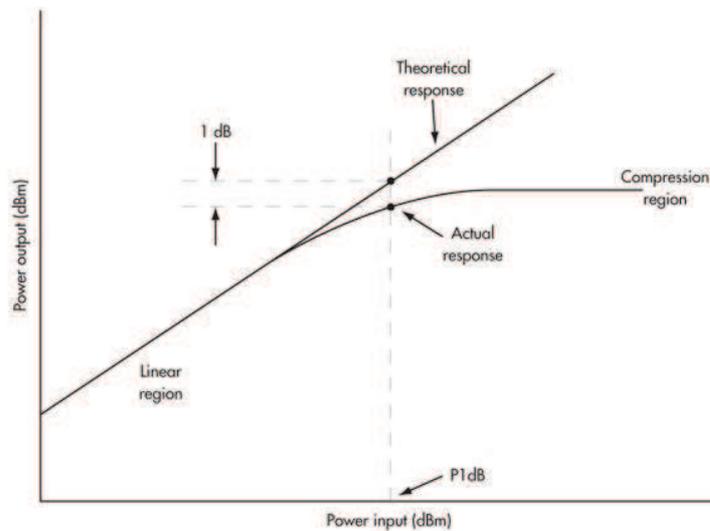


Figure 1.3. Illustration du point de compression à 1dB (P1dB)

Sur la figure ci-dessus, nous pouvons voir que le point de compression à 1 dB se lit sur l'abscisse au moment où l'écart entre la réponse théorique et la réponse réelle est de 1 dB. Lorsque l'on augmente la puissance en entrée après avoir atteint le régime de compression, la réponse en sortie est non-linéaire et induit une distorsion du signal RF et des harmoniques.

Il est important de noter pour éviter la confusion, que nous relevons et comparons dans les circuits étudiés, le P1dB en entrée ( $P1dB_{in}$ ). On étudie le P1dB en sortie (lecture du P1dB sur l'ordonnée) lorsque l'on travaille sur des circuits actifs d'amplification.

Un autre moyen de dimensionner la linéarité est l'étude du point d'interception au troisième ordre (IP3). Lorsque le signal devient non-linéaire, ce dernier crée des harmoniques. Ces harmoniques sont généralement situés à l'extérieur de la bande utile et peuvent donc être éliminés par l'utilisation d'un filtre. Mais il peut arriver que les signaux générés soient quand même dans la bande passante (appelés produits d'intermodulation) et qu'il n'y ait pas de moyen de les éliminer. Il est donc crucial d'apporter un soin particulier à la linéarité lors de la conception des circuits MMIC. Pour l'étude l'IP3, on considère la courbe  $P_{out} = f(P_{in})$  pour le signal RF et le troisième harmonique (cf Figure 1.4).

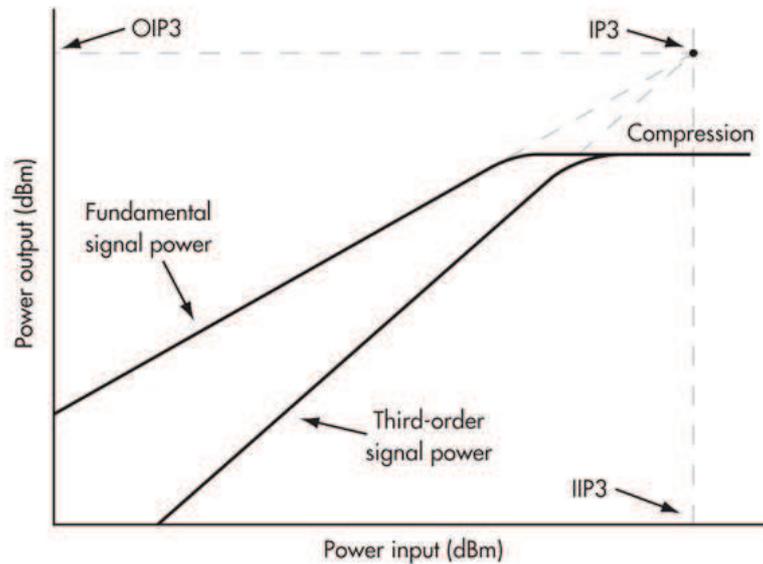


Figure 1.4. Illustration de l'IP3.

L'IP3 représente donc le point d'intersection théorique où l'amplitude du signal de distorsion (au troisième ordre) est égale à celle du signal d'entrée (en omettant la compression).

Bien qu'il existe encore d'autres outils pour caractériser la linéarité (IM3...), le P1dB et l'IP3 suffiront pour établir l'état de l'art des circuits MMIC étudiés et pour caractériser la linéarité des circuits fabriqués durant les travaux de thèse.

### 1.2.3 Erreur de phase et d'amplitude

Afin de pouvoir vérifier la précision d'un circuit en termes de phase ou d'amplitude, deux outils nous permettent d'évaluer cette précision : l'erreur de phase appelée RMS Phase Error (pour Root Mean Square phase error) et l'erreur d'amplitude appelée RMS Amplitude Error (pour Root Mean Square Amplitude Error).

L'étude de ces facteurs se divise en 3 cas distincts : l'erreur de phase d'un déphaseur N-bits, l'erreur d'amplitude d'un déphaseur N-bits et l'erreur d'amplitude d'un atténuateur N-bits.

L'erreur de phase pour un déphaseur sert à évaluer la variation entre les valeurs de phase théoriques attendues pour chaque état ( $2^N$  états différents) et la valeur réelle mesurée. Cette erreur est calculée en suivant un protocole bien défini. Le niveau de phase de l'état de référence est soustrait du niveau de phase de chaque autre état (l'état de référence affiche

donc une avance de phase nulle sur toute la bande de fréquence. Une première erreur est calculée en faisant la somme des carrés de chaque erreur et en divisant par le nombre d’états. Cette erreur ne correspond pas à la véritable erreur de phase RMS car ce qui doit servir de référence n’est pas l’état de référence du déphaseur. Ci-dessous les illustrations de ces explications dans le cas d’un déphaseur 4 bits.

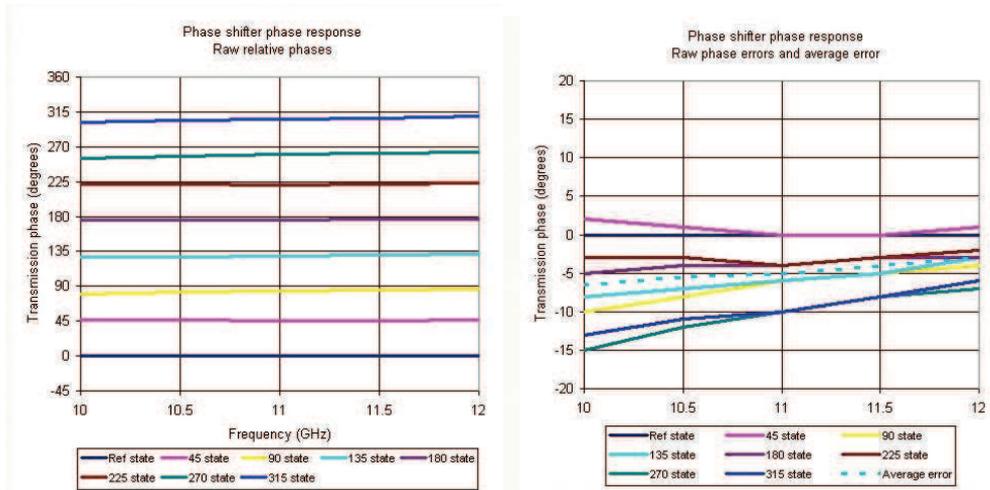


Figure 1.5. Réponse du déphaseur pour les 16 états et calcul de la première erreur

On vient donc ajouter cette première erreur à la phase de chacun des états afin de mieux les répartir pour couvrir  $360^\circ$  de variation de phase en tout.

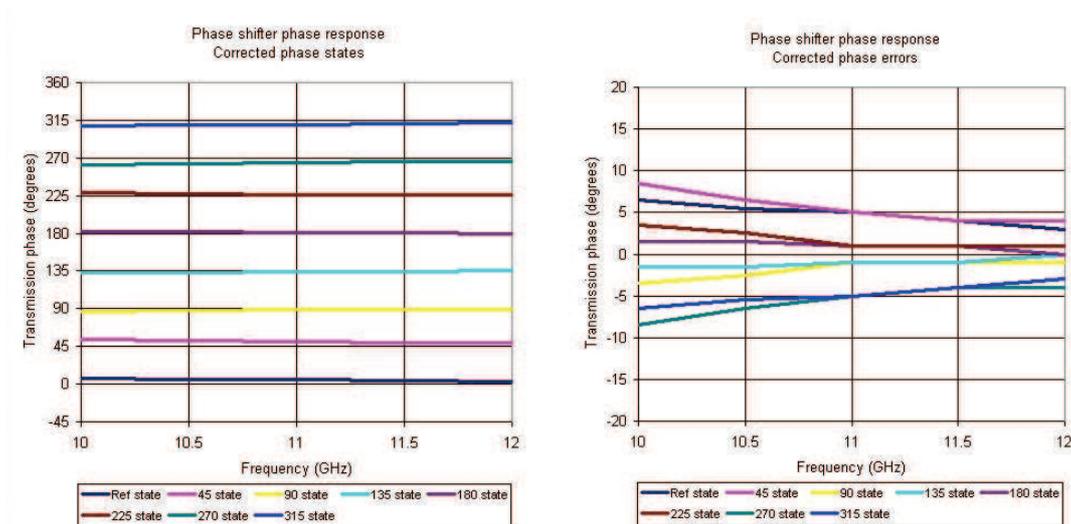


Figure 1.6. Nouvelles valeurs de phase en changeant la référence de phase et calcul des nouvelles erreurs

Ces nouvelles erreurs calculées sont ensuite sommées et divisées par le nombre d’états pour obtenir la véritable erreur de phase.

Pour le calcul de l'erreur d'amplitude d'un déphaseur, la procédure est plus simple. On calcule la valeur moyenne du  $S_{12}$  que l'on soustrait au  $S_{12}$  de chaque état du déphaseur. Les valeurs sont donc centrées autour de 0. L'erreur correspond à la somme de ces valeurs divisée par le nombre d'états.

Le calcul de l'erreur d'amplitude dans le cas d'un atténuateur est légèrement différent puisque seuls les états d'atténuation sont pris en compte ( $2^N-1$  états dans le cas d'un atténuateur  $N$  bits). La procédure suit les mêmes étapes que précédemment à cette différence près.

### 1.3 CELLULES DE DEPHASAGE

#### 1.3.1 Paramètres caractéristiques d'un déphaseur

Un déphaseur est un système à deux ports dont le rôle est de modifier la phase d'un signal RF (phase du  $S_{21}$ ) sans l'atténuer (idéalement). Ils possèdent différentes caractéristiques principales. Tout d'abord les pertes d'insertion (ou le gain dans certains cas). Dans le cas idéal, un déphaseur doit présenter de faibles pertes d'insertion quel que soit l'état de phase dans lequel il se trouve. Même s'il est possible de compenser ces pertes par l'ajout en amont d'un étage d'amplification, les déphaseurs à faibles pertes (systèmes passifs) arrivent à obtenir de bonnes performances tout en ayant une consommation de puissance nulle ou quasi-nulle. Une autre caractéristique importante est la capacité à assurer une amplitude égale pour tous les états de fonctionnement du déphaseur. Certains systèmes utilisant des déphaseurs comme les antennes agiles à formations de faisceaux, ne doivent pas voir l'amplitude du signal RF être modifiée lorsque la phase change. Un autre aspect intéressant et important de ces systèmes est qu'ils sont réciproques. La platitude de la phase sur la bande de fréquence utile constitue également un des facteurs les plus importants pour juger de la performance d'un design.

Moins spécifiques aux déphaseurs que d'autres circuits, la largeur de la bande passante ainsi que la linéarité sont aussi des paramètres très importants selon les applications visées.

#### 1.3.2 Les types de déphaseurs

Si les déphaseurs étaient mécaniques, les déphaseurs électroniques sont maintenant utilisés. Les diodes PIN et les ferrites utilisées pour les premiers déphaseurs ont maintenant été remplacées par des diodes Schottky, des commutateurs MEMS et des transistors froids. Ces transistors sont le plus souvent des MESFETs ou des HEMTs bien que l'on puisse également trouver des HBTs ou des nano-MOSFETs.

Les applications en hyperfréquences pour les déphaseurs sont très nombreuses, et l'une des utilisations les plus importantes est au sein des systèmes de formations de faisceaux pour antennes agiles. La phase d'un grand nombre d'antennes doit être contrôlée afin d'orienter le faisceau électronique correctement. Une variation de phase totale de  $360^\circ$  est suffisante pour assurer le bon fonctionnement des antennes actives à formation de faisceau.

Les circuits déphaseurs MMIC sont typiquement réalisés en technologie III-V type Arsenure de Gallium (GaAs) [2][3] mais on trouve de plus en plus de circuits développés en Silicium (Si) par exemple, qui viennent concurrencer les technologies GaAs. En effet depuis la moitié du siècle dernier, on retrouve de systèmes permettant de contrôler les faisceaux électroniques mais les technologies et les besoins ont beaucoup évolués depuis. Les différents circuits intégrés nécessaires pour remplir toutes les fonctions RF (amplificateur Faible Bruit, déphaseur, amplificateur à gain variable..) étaient implémentés traditionnellement en technologie GaAs ou InP ce qui entraînait des circuits consommant beaucoup de surface et relativement chers. L'émergence des technologies "low cost" en silicium permet de réaliser toutes les fonctions sur la même puce [4], [5] et de réduire la quantité de composants réalisés en technologie GaAs.

Les déphaseurs MMIC utilisés sont de deux natures, soit numériques soit analogiques, en fonction de l'élément de contrôle de phase : commutateur ou réactance variable. Les types de cellules de déphasage passives les plus récurrentes sont [6], [7]:

- Type lignes commutées [2], [8],
- Type réflexion [9], [10],
- Type lignes chargées [11], [12],
- Type cellules type filtre passe-haut, passe-bas [13],[14]

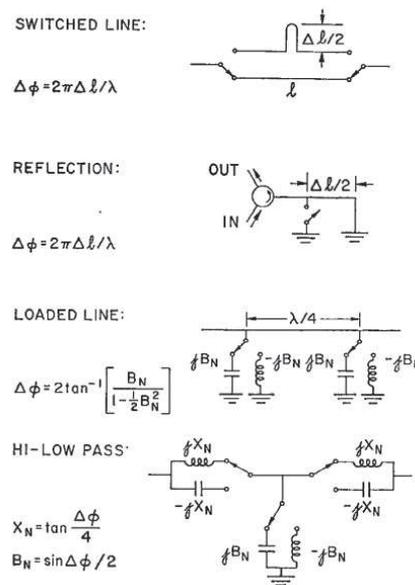


Figure 1.7. Diagramme bloc des différents types de déphaseurs

Ils peuvent également être classifiés en déphaseurs actifs et déphaseurs passifs. L'intérêt de réaliser un déphaseur actif est de venir compenser les pertes RF du circuit mais le système n'est alors plus réciproque. Or cette réciprocité permet de simplifier le système T/R complet en diminuant le nombre de commutateurs pour guider le signal vers les déphaseurs.

### 1.3.3 Les déphaseurs numériques

Même si l'on parle de déphaseurs numériques, il s'agit toujours de designs analogiques. Ces systèmes sont qualifiés de numériques car ils fonctionnent sur 2 états : OFF (pas de déphasage) et ON (déphasage).

Les déphaseurs numériques permettent à la phase d'être contrôlée par pas discrets pour réaliser des déphasages allant de 0° à 360°. Ils sont généralement constitués de plusieurs cellules élémentaires correspondantes à un déphasage fixé, mises en cascade. Le déphaseur comprend alors plusieurs bits permettant d'obtenir le déphasage souhaité.

Exemple pour un déphaseur 5 bits :

$$\varphi = b_0 * 180^\circ + b_1 * 90^\circ + b_2 * 45^\circ + b_3 * 22.5^\circ + b_4 * 11.25^\circ \quad (4)$$

$$V_{out} = V_{in} * e^{-j\varphi} \quad (5)$$



**Figure 1.8. Illustration d'un déphaseur numérique 5 bits**

avec  $b_0, b_1, b_2, b_3, b_4 = \{0,1\}$

Un déphaseur 3 bits aurait un bit de poids faible (LSB) de  $45^\circ$ , et un de 6 bits aurait un LSB de  $5.625^\circ$ .

Les déphaseurs numériques présentent différents avantages par rapport aux déphaseurs analogiques. Ils ont généralement une meilleure immunité au bruit RF et peuvent présenter une phase plate sur une bande de fréquence plus large. Enfin, ils conviennent mieux aux applications nécessitant une forte linéarité.

Les systèmes à formation de phase utilisent beaucoup de déphaseurs pour la réception et la transmission du signal RF. Il devient donc évident de développer des systèmes low-cost les plus compacts possibles tout en conservant un niveau de performances en terme de gain (ou de pertes), de linéarité et de consommation équivalent aux solutions déjà existantes.

Dans les déphaseurs passifs numériques, la phase du signal est modifiée en modifiant le chemin RF suivi par le signal. Dans cette méthode, la différence de la valeur de la phase entre les deux états correspond au déphasage. Les deux états de fonctionnement correspondent chacun à deux circuits différents, on peut donc réaliser le design de manière à avoir des pertes équivalentes entre l'état de fonctionnement et l'état de référence [15].

#### 1.3.4 Les déphaseurs analogiques

Dans les déphaseurs passifs analogiques, la phase du signal est modifiée en modifiant les caractéristiques RF des composants du design. Dans cette méthode, on modifie généralement la longueur électrique des lignes de transmission (et donc la phase) en changeant leur capacitance, leur inductance ou les deux [11][16]. Ce type de déphaseur produit les différents états de phase de manière continue en jouant sur les valeurs de ces composants. Ce fonctionnement est très intéressant mais impose souvent des contraintes importantes en termes de consommation DC et de précision au niveau des alimentations des composants notamment [17].

### 1.3.5 Cellules à déphasage intermédiaire

Les cellules de déphasage prévues des déphasages allant de  $22.5^\circ$  à  $90^\circ$  sont les plus complexes à réaliser car le retard de phase n'est ni trop important ni trop faible. Il faut donc analyser chaque solution et réussir à dégager les plus intéressantes en fonction du besoin. Aux fréquences considérées ( $> 1\text{GHz}$ ), le design de déphaseur utilisant uniquement des lignes de transmission commutées aurait une surface sur puce trop importante, on utilise donc dans la plupart des cas, des éléments localisés (capacités, bobines, résistances). Le recours à ces composants permet de réaliser des blocs de déphasage compacts. Cependant les topologies doivent être choisies minutieusement afin de conserver des circuits compacts, avec un S11 et des pertes d'insertion correctes [18].

Lors du design d'un déphaseur à plusieurs bits, comme la précision diminue quand le nombre de bits augmente, il est important de développer des cellules de déphasage élémentaires ayant l'imprécision au niveau de la phase la plus petite possible. Les cellules de déphasage ont donc des topologies différentes chacune adaptée pour un déphasage précis.

Pour des déphasages moyens allant jusqu'à  $\varphi = 90^\circ$ , l'utilisation d'une cellule de type passe haut ou passe bas convient parfaitement seule et permet une bonne adaptation dans la bande de fréquence qui nous intéresse [2], [12]. Ces cellules de déphasage élémentaires en T ou en  $\Pi$ , constituent le point de départ de beaucoup de travaux sur les déphaseurs auxquels chaque contributeur a apporté sa modification.

$$\varphi = |\angle S_{21}| = |\angle S_{12}| \quad (6)$$

On calcule la valeur des éléments localisés de manière à avoir le déphasage voulu à notre fréquence de travail. On retrouve Figure 1.9 les cellules passe-haut et passe-bas en topologie  $\Pi$  et Figure 1.10 les mêmes cellules mais cette fois en configuration T.

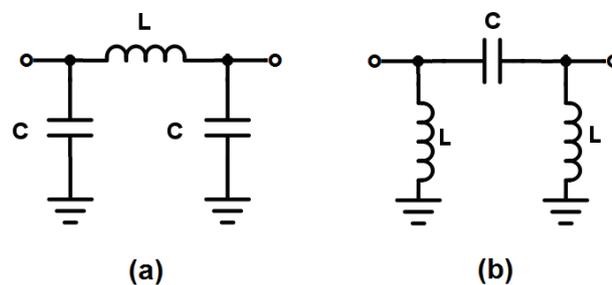


Figure 1.9. (a) Cellule type passe-bas en  $\Pi$   
(b) Cellule type passe-haut en  $\Pi$

La valeur des éléments localisés est déterminée par les relations suivantes pour les cellules en  $\Pi$  [19] :

Passe-bas : 
$$L = \frac{Z_0 * \sin |\varphi|}{\omega_0} ; C = \frac{\tan |\frac{\varphi}{2}|}{\omega_0 * Z_0} \quad (7)$$

Passe-haut : 
$$L = \frac{Z_0}{\omega_0 * \tan |\frac{\varphi}{2}|} ; C = \frac{1}{\omega_0 * Z_0 * \sin |\varphi|} \quad (8)$$

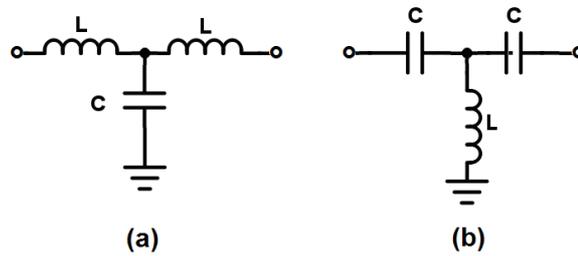


Figure 1.10. (a) Cellule type passe-bas en T  
 (b) Cellule type passe-haut en T

De même pour les cellules en T, on obtient par le calcul :

Passe-bas : 
$$L = \frac{Z_0 * \tan |\frac{\varphi}{2}|}{\omega_0} ; C = \frac{\sin |\varphi|}{\omega_0 * Z_0} \quad (9)$$

Passe-haut : 
$$L = \frac{Z_0}{\omega_0 * \sin |\varphi|} ; C = \frac{1}{\omega_0 * Z_0 * \tan |\frac{\varphi}{2}|} \quad (10)$$

Un des avantages de l'utilisation d'éléments localisés est la possibilité d'introduire une avance de phase. Les cellules de type passe-bas sont donc des structures à retard de phase, tandis que les cellules de type passe-haut sont des cellules à avance de phase [20].

Afin de pouvoir comprendre le fonctionnement des cellules de déphasage et les circuits simplifiés pour chaque état de fonctionnement, nous devons nous pencher sur les commutateurs. Ils seront dans la plupart des cas étudiés et réalisés en technologie CMOS (ou BiCMOS).

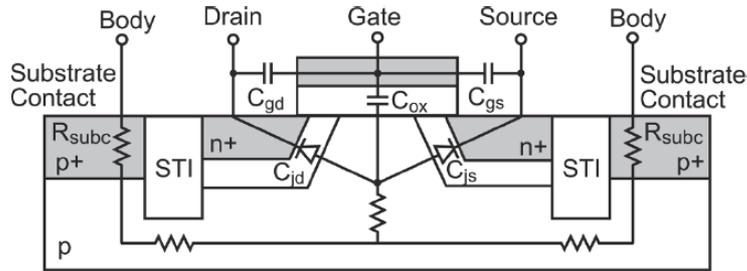


Figure 1.11. Vue en coupe d'un transistor CMOS

La Figure 1.12 présente les deux configurations les plus utilisées pour les commutateurs CMOS ainsi que les modèles de circuits équivalents correspondants (transistor NMOS) [19]. Une partie du chapitre suivant sera consacrée à leur étude et à leur amélioration pour détailler tous les aspects de leur fonctionnement.

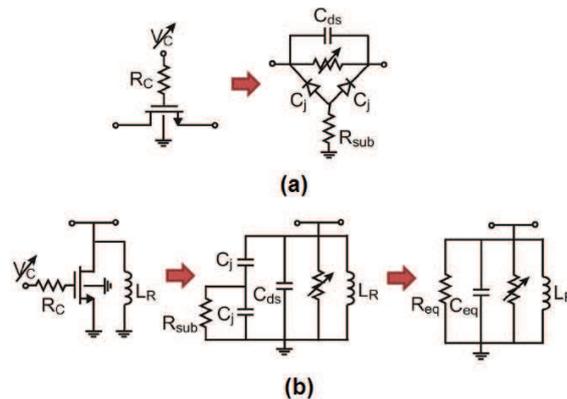


Figure 1.12. (a) Modèle équivalent d'un commutateur série  
(b) Modèle équivalent d'un commutateur parallèle

Les transistors CMOS sont utilisés comme commutateurs entre le drain et la source du transistor. Le bulk est connecté au substrat (et à la masse) et la grille sert en polariser le transistor en fonctionnement saturé/bloqué. Le commutateur peut être placé soit en série, auquel cas il doit être le plus gros possible pour limiter les pertes d'insertion (en diminuant le  $R_{ON}$ ), soit en parallèle, auquel cas il sera plus petit. Pour la Figure 1.12 (b), une inductance  $L_R$  a été rajoutée en parallèle afin de contrebalancer l'effet de la capacité  $C_{eq}$  et de permettre si besoin d'augmenter la taille du transistor. Les valeurs analytiques de ces différents éléments sont :

$$C_{eq} = \frac{C_j + 2\omega^2 * R_{sub}^2 * C_j^3}{4 * \omega^2 * R_{sub}^2 * C_j^2 + 1} \quad (11)$$

$$R_{eq} = \frac{4 * \omega^2 * R_{sub}^2 * C_j^2 + 1}{\omega^2 * R_{sub}^2 * C_j^2} > \frac{4}{\omega * C * j} \quad (12)$$

$$L_R = \frac{1}{\omega^2 * C_{eq}} \quad (13)$$

Les inductances en technologies MMIC sont des composants qui consomment énormément de surface. Le filtre passe bas en  $\Pi$  est donc l'une des solutions les plus intéressantes du point de vue de la compacité. La cellule de déphasage complète intégrant les éléments de commutation est présentée Figure 1.13.

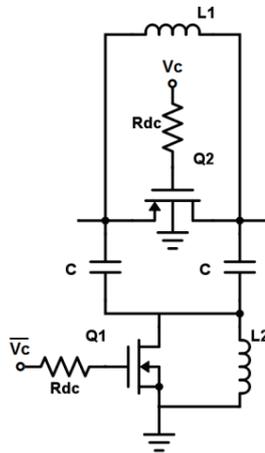


Figure 1.13. Cellule de déphasage  $\phi < 90^\circ$

Lorsque le transistor Q2 est passant et le transistor Q1 est bloqué, la cellule est dans l'état de référence et le circuit devient une mise en parallèle de  $L_1$ , de  $C/2$  et de la résistance  $R_{ON}$  du transistor (Figure 1.14 (a)). Dans l'autre état de fonctionnement (transistor Q2 bloqué et transistor Q1 est passant), la cellule devient une cellule passe bas en  $\Pi$  (Figure 1.14 (b)).

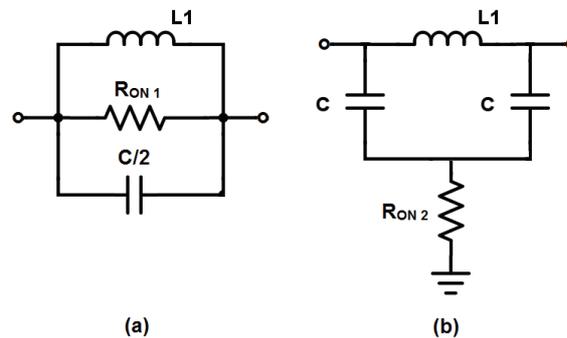


Figure 1.14. Circuits simplifiés des états de référence (a) et de déphasage (b)

Les éléments localisés sont déterminés par les formules données en (7). Cette solution constitue une excellente alternative pour des cellules de déphasage moyen en utilisant seulement deux inductances (bonne compacité) et en utilisant des transistors froids comme éléments de commutation (consommation DC nulle).

D'autres topologies sont également utilisées pour réaliser ces circuits élémentaires mais du fait des contraintes de notre cahier des charges concernant la capacité d'intégration, la faible consommation DC et la forte linéarité (et compatible avec notre technologie), nous allons nous pencher essentiellement sur les solutions de type passe-haut/passe-bas. Nous verrons par la suite que d'autres techniques peuvent venir améliorer ces topologies.

Nous trouvons ainsi, toujours basé sur le même type de déphaseur une solution basée sur des circuits passe-bas et passe-tout[18][21]. La figure suivante présente la topologie de la cellule utilisée pour de bits de  $45^\circ$ ,  $22^\circ$  et  $11^\circ$ .

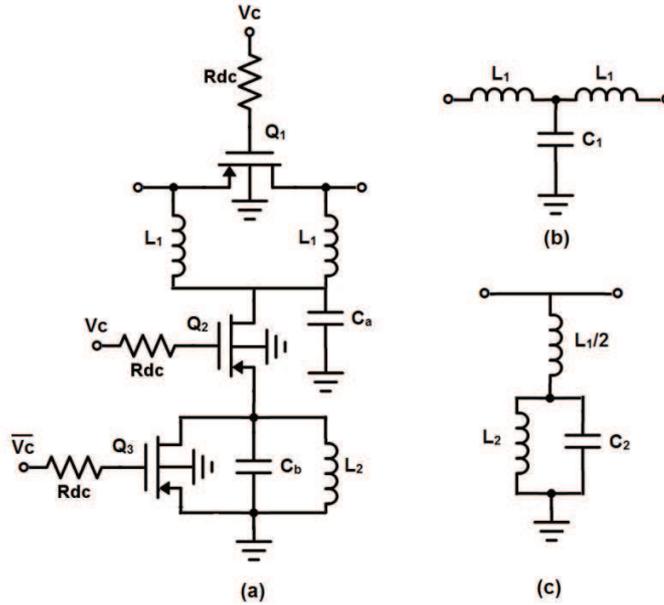


Figure 1.15. Cellule de déphasage passe-bas/passe-tout  
 (a) Topologie de la cellule  
 (b) modèle simplifié de l'état 'OFF' (référence)  
 (c) modèle simplifié de l'état 'ON' (déphasage)

Cette cellule présente un fonctionnement similaire à la topologie précédente, à la différence que cette fois-ci trois commutateurs sont utilisés ainsi que trois inductances. Dans l'état 'OFF', les transistors Q<sub>1</sub> et Q<sub>2</sub> sont bloqués et Q<sub>3</sub> est passant. On se retrouve alors dans le cas présenté Figure 1.15 (b), avec C<sub>1</sub> étant la somme de la capacité C<sub>a</sub> et la capacité C<sub>off</sub> du transistor Q<sub>2</sub>. Dans l'état 'ON', l'état des transistors est inversé et l'on se retrouve avec le circuit présenté en Figure 1.15 (c) où C<sub>2</sub> est la somme des capacités C<sub>a</sub>, C<sub>b</sub> et de la capacité C<sub>off</sub> du transistor Q<sub>3</sub>. Les éléments localisés sont calculés à partir des formules suivantes [22]:

$$L_1 = \frac{Z_0 * \tan \left| \frac{\varphi}{2} \right|}{\omega_0} ; C_1 = \frac{\sin |\varphi|}{\omega_0 * Z_0} \quad (14)$$

$$C_2 = \frac{2 * \tan \left| \frac{\varphi}{2} \right|}{\omega_0 * Z_0} ; L_2 = \frac{1}{C_2 * \omega_0^2} \quad (15)$$

Dans le design original de ce type de cellule, on trouvait seulement deux transistors (Q<sub>1</sub> et Q<sub>3</sub>), et la cellule présentait des problèmes de fonctionnement pour des déphasages proches de φ=90°. Les inductances L<sub>1</sub> et L<sub>2</sub> entraient en résonance avec la capacité C<sub>a</sub> et perturbaient la phase. Une correction de ce problème a donc été réalisée par [21] et consiste

en l'ajout d'un autre transistor. Les résultats publiés montrent la validité de ce type de design pour des déphasages  $\leq 90^\circ$ .

De nombreuses autres solutions pour des cellules de déphasage ont été étudiées : des exemples de déphaseurs analogiques réalisés à l'aide de lignes chargées [23], ou de commutateurs différentiels [19] par exemple ont été réalisés. Des solutions originales basées sur des transistors bipolaires ont également été développées [24], [25]. L'intérêt des transistors bipolaires est la grande linéarité qu'ils donnent aux déphaseurs conçus. La première structure [24] est un système d'émission/réception en bande X classique. La consommation de ce déphaseur 5 bits est de 248 mW ; il présente aussi des pertes d'insertion trop importantes de l'ordre de 16 dB. Malheureusement toutes ces différentes solutions malgré leurs performances ne correspondent pas aux contraintes imposées par notre projet (compacité, consommation...)

Les autres solutions du type déphaseur variable en réflexion [26], restent une alternative viable aux déphaseurs numériques. Cependant le fait que les transistors fonctionnent comme varactors nécessite que le contrôle en tension soit très bien maîtrisé. Un de leur plus grand atout est qu'une seule cellule de déphasage peut être suffisante alors qu'il faut plusieurs bits pour un numérique. Cependant un inconvénient se présente pour ces structures et vient de leur imprécision pour des petits déphasages.

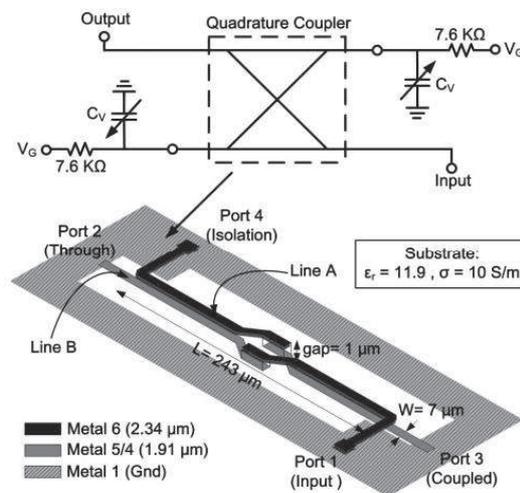


Figure 1.16. Exemple de déphaseur type RTPS (Reflective Type Phase Shifter)

Finalement, il convient de mentionner les solutions MEMS. Les avancées de ces dernières années ont permis de les rendre vraiment fiables et de les intégrer dans toutes les structures HF. Ces derniers apportent de nombreux avantages aussi bien sur le plan de la consommation que sur le plan des performances[27].

Leurs meilleurs atouts sont de pouvoir commuter facilement, leur taille, leur faible consommation de puissance, leur faible coût ainsi que leur linéarité. Cependant ils présentent un défaut de robustesse par rapport aux standards du spatial qui pourrait les rendre impossibles à intégrer dans des circuits destinés à être embarqués sur satellite. Des travaux sur les déphaseurs MEMS dressent un bilan de l'intégration des MEMS dans ces systèmes [28]. Beaucoup de structures utilisant des MEMS présentent des résultats très intéressants en matière de pertes d'insertion.

Cependant, les MEMS disponibles dans la technologie que nous avons utilisée durant la réalisation des travaux de thèse, ne sont pas désignés pour être utilisés à nos fréquences d'intérêt mais pour des fréquences beaucoup plus hautes.

### 1.3.6 Cellules à fort déphasage

Les cellules à fort déphasage sont les cellules dont le déphasage est supérieur à  $90^\circ$ . Pour les déphaseurs numériques cela correspond souvent aux cellules  $180^\circ$  (parfois  $90^\circ$  également) [22]. La topologie la plus classique pour réaliser ces circuits est l'utilisation de circuits passe-haut et passe-bas [6]. Chacun des deux filtres a la même réponse en phase (même pente de  $\angle S_{21}$ ) mais déphasée de  $\pi$ . En commutant d'un filtre à l'autre, il est donc possible d'obtenir  $180^\circ$  de déphasage sur une bande de fréquence très large. Il s'agit de circuits d'ordre 3 dans beaucoup de cas mais les pertes engendrées par ces designs sont très importantes. Des filtres d'ordre 5 peuvent donc être utilisés pour diminuer ces pertes d'insertion et assurer une platitude de phase sur une bande de fréquences plus large [18][29]. La capacité d'intégration est diminuée pour atteindre ces performances (utilisation de nombreuses inductances).

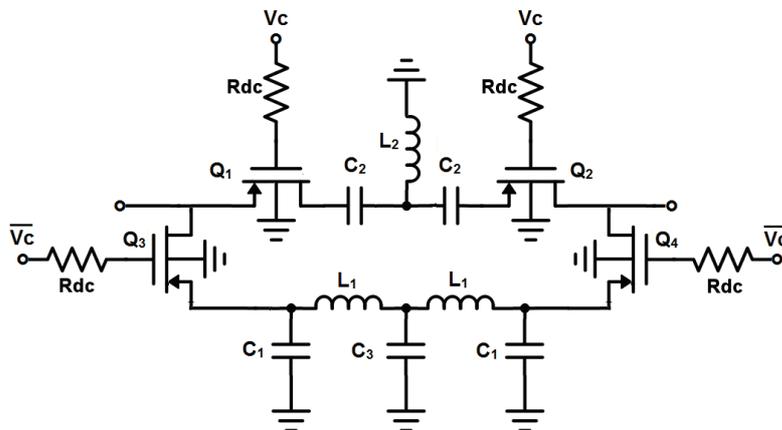


Figure 1.17. Exemple de topologie de cellule  $180^\circ$  passe-haut/passe-bas

Une autre solution toute simple consiste à mettre en série deux déphaseurs plus faibles afin de réaliser la déphasage voulu [19]. Les autres solutions basées sur des cellules de déphasages analogiques permettent de réaliser les fonctions voulues mais ne peuvent pas toujours respecter toutes les contraintes du cahier des charges.

### 1.3.7 Cellules à faible déphasage

Comme mentionné précédemment, les déphaseurs servent notamment dans les circuits de contrôle des antennes à balayage électronique. Dans la plupart des cas, des déphaseurs 4 bits (déphasage par pas de  $22^\circ$ ) ou des déphaseurs 5 bits (déphasage par pas de  $11^\circ$ ) suffisent à réaliser la fonction RF voulue. La précision des circuits n'étant pas toujours parfaite au niveau de la phase, il devient inintéressant de développer des circuits possédant plus de bits lorsque l'erreur de phase RMS est supérieure au déphasage que doit induire un bit supplémentaire. Cependant dans certains cas cette précision du niveau de déphasage est réellement nécessaire : des cellules à très faible déphasage sont donc ajoutées au système. Les topologies classiques utilisant des éléments localisés ne conviennent pas pour des faibles déphasages car la valeur des capacités diminue trop pour qu'elles soient implémentées et la valeur des inductances augmente énormément (et donc requiert plus de surface sur la puce).

Les solutions sont en principe relativement simples pour des petits déphasages. Il peut s'agir des simples capacités ou bobines [30] [31], de déphaseurs à lignes commutées ou à lignes chargées [32].

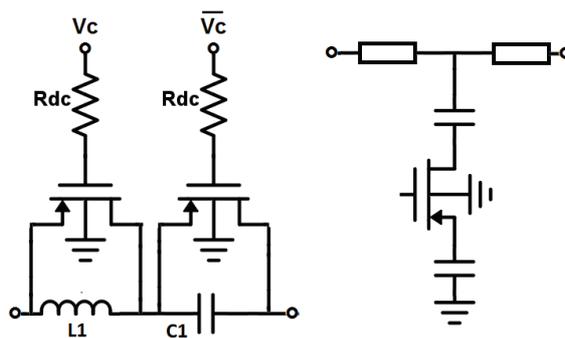


Figure 1.18. Topologies de cellules à faible déphasage

## 1.4 CELLULES D'ATTENUATION

### 1.4.1 Cellules à atténuation moyenne

Un atténuateur est un système permettant de modifier l'amplitude du signal sans affecter la phase. Un atténuateur numérique, tout comme le déphaseur, consiste à la mise en cascade de plusieurs bits de poids différents. Chaque bit est donc (ou non) activé pour ajouter (ou non) l'atténuation voulue à l'amplitude du signal. L'atténuation minimale (état de référence) est atteinte lorsque tous les bits sont désactivés. Le bit de poids détermine la dynamique globale de l'atténuateur (2x l'atténuation du MSB). Pour les bits d'atténuation jusqu'à 8dB des atténuateurs en  $\Pi$  ou en T conviennent parfaitement [31] [33][34].

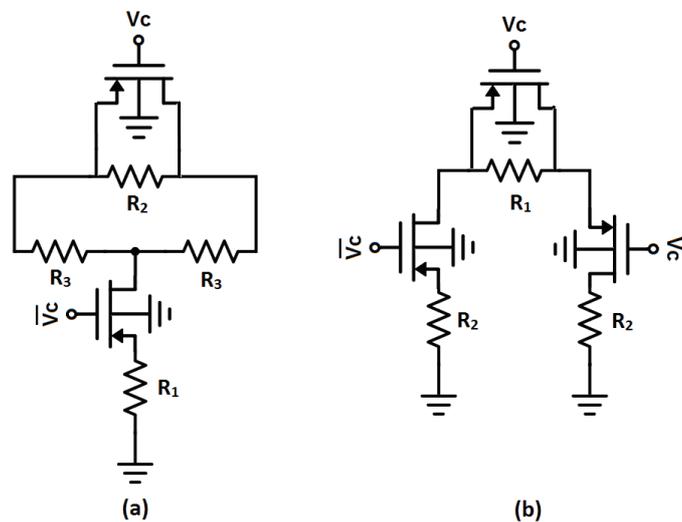


Figure 1.19. (a) Atténuateur en T  
(b) Atténuateur en  $\Pi$

Il s'agit de ponts de résistances déterminés par les formules suivantes :

$$\text{Pont en T} \quad R_1 = Z_0; R_2 = \frac{R_1}{10^{\frac{A}{20}} - 1}; R_3 = R_1 * [10^{\frac{A}{20}} - 1] \quad (16)$$

$$\text{Pont en } \Pi \quad R_1 = Z_0 * \left[ \frac{10^{\frac{A}{20}} + 1}{10^{\frac{A}{20}} - 1} \right]; R_2 = \frac{Z_0}{2} * \left[ \frac{10^{\frac{A}{20}} - 1}{10^{\frac{A}{20}}} \right] \quad (17)$$

L'atténuateur en  $\Pi$  constitue ici une solution plus intéressante car les FETs utilisés sont plus petits et procurent des pertes d'insertion moins importantes [33].

Les atténuateurs variables sont aussi une piste très intéressante, ils permettent d'obtenir une dynamique importante tout en ayant un contrôle précis de l'amplitude du signal. Cependant, il s'agit généralement de systèmes actifs consommant de l'énergie, or nous cherchons à développer des solutions ne consommant pas d'énergie DC afin de tester la technologie sur laquelle nous travaillons en termes de pertes RF.

#### 1.4.2 Cellules à faible atténuation

Tout comme les cellules d'atténuation précédentes, lorsque nous devons induire une faible atténuation, la solution la plus simple est d'induire des pertes en utilisant une résistance. L'exemple le plus récurrent et le plus efficace pour réaliser de faibles variations de l'amplitude (<2dB) consiste à mettre en parallèle une résistance et un commutateur que l'on active pour atténuer [33]. Il est possible (nous le verrons dans les chapitres suivants) de venir ajouter une petite capacité en parallèle afin de redresser l'atténuation et de conserver une valeur quasi-constante sur une bande de fréquence plus large.

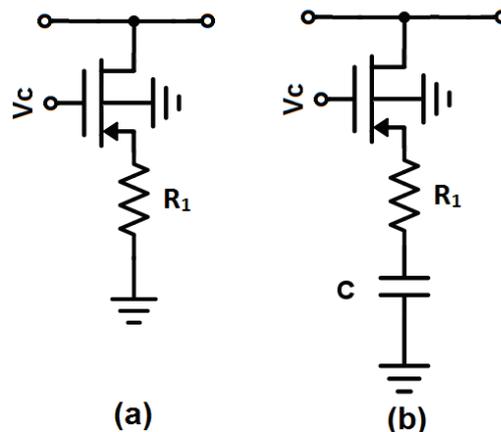


Figure 1.20. (a) Cellule d'atténuation faible sans capacité  
(b) Cellule d'atténuation faible avec capacité

## 1.5 ASSEMBLAGE ET CORECHIP

Une fois ces cellules élémentaires réalisées, les circuits sont assemblés afin de réaliser un système plus complet et de réaliser la fonction RF visée. On se retrouve donc avec des déphaseurs et des atténuateurs à plusieurs bits au sein du même core-chip. Ces core-chips auront, dans la majorité des cas, le rôle d'alimenter un réseau d'antenne à balayage électronique. Afin d'obtenir des performances globales compétitives, il est nécessaire d'avoir

de très bonnes performances sur les circuits élémentaires. Encore une fois, dans un souci de sélection vis-à-vis des objectifs de ces travaux de thèse, nous allons nous concentrer sur les core-chips entièrement passifs (FETs utilisés en transistors froids seulement et pas d'amplification [35]). En effet, l'ajout en cascade de circuits passifs comme ceux présentés dans les parties précédentes induit souvent des pertes d'insertion très importantes. Il arrive donc qu'un LNA ou qu'un VGA soit ajouté pour venir compenser ces pertes mais cet ajout fait exploser la consommation DC qui pouvait être nulle jusque là [36], [37].

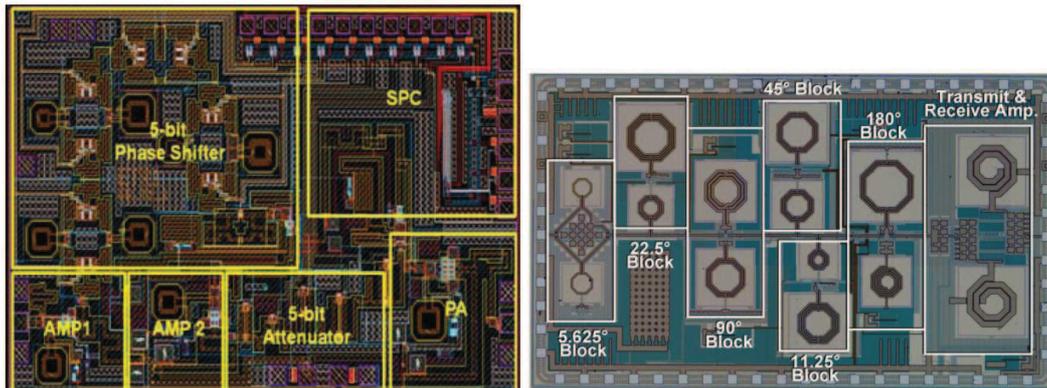


Figure 1.21. Photographie de deux core-chips 5 bits [38] (à gauche) et 6 bits [18] (à droite)

Nous avons pu le voir, les déphaseurs constituent un élément crucial dans l'architecture des systèmes à formation de faisceau. Ils consomment également la plus grande surface sur la puce à cause des inductances utilisées. Notre attention est donc centrée sur les performances des déphaseurs multi-bits dont les caractéristiques définissent les performances globales du core-chip. Ci-dessous un tableau récapitulatif de l'état de l'art des déphaseurs passifs.

Référence	Déphaseurs multi-bits				Core-chip	
	[39]	[18]	[22]	[29]	[38]	[40]
Technologie	0.4 $\mu\text{m}$ GaAs	0.18 $\mu\text{m}$ CMOS	0.18 $\mu\text{m}$ CMOS	0.25 $\mu\text{m}$ SiGe BiCMOS	0.25 $\mu\text{m}$ SiGe BiCMOS	0.25 $\mu\text{m}$ SiGe BiCMOS
Fréquence (GHz)	2-4	2.5 -3	9-15	8-12	13-15	8-12
Résolution (bits)	4	4	5	4	5	5
S21 (dB)	-4 $\pm$ 0.8	-2 $\pm$ 1.5	-15	-12	+15	+15
S11 (dB)	<-10	<-8	<-8	<-10	-8	
P1dB (dBm)	NC	+12	NC	NC	+20	+12
Erreur de phase ( $^{\circ}$ )	3	2	12	2	2-3	6
Conso DC (mW)	0	60	0	0	NC	135
Surface (mm <sup>2</sup> )	2.4x1.1	2.6x1.6	3.1x1.4	NC	2.4x1.6	3.9x4.1

TABLEAU 1 . TABLE RECAPITULATIVE DE L'ETAT DE L'ART

La dernière publication du tableau [29] est particulièrement intéressante car les circuits présentés sont réalisés dans la même technologie que celle que nous avons retenue pour les travaux que nous allons présenter. Cela permettra de pouvoir bien comparer l'avancement de nos travaux par rapport à l'état de l'art. Nous remarquons que lorsque la fréquence de fonctionnement des déphaseurs augmente, les pertes d'insertion explosent et passent de 5-6 dB à 12-15 dB en bande Ku.

## 2 CHAPITRE II - EVALUATION DU DK SGB25V ET CONCEPTION DES ELEMENTS PASSIFS

---

### 2.1 INTRODUCTION

Comme cela a été spécifié auparavant, la technologie retenue pour réaliser les circuits est la technologie SiGe BiCMOS en 250  $\mu\text{m}$  de la fonderie IHP microelectronics. Tout le développement des circuits de la réalisation des modèles et des simulations aux masques sera fait à partir de la description de la technologie et des Design Kits (DK) fournis. Nos travaux étant exclusivement réalisés pour des applications spatiales le DK IHP choisi pour la conception des puces est le DK SGB25V car il s'agit du DK en passe d'être autorisé pour le milieu spatial. Comme nous l'avons présenté dans l'introduction et au cours du chapitre I, les systèmes développés pour ce milieu doivent répondre à un très grand nombre de critères et de contraintes imposés par l'industrie. Toute opération de maintenance étant impossible dans l'espace, les technologies doivent donc répondre à des critères de robustesse très importants et prouver leur capacité à rester opérationnelles pendant des périodes allant de 5 à 15 ans (durée de vie d'une mission satellite).

L'intérêt de cette technologie BiCMOS est sa capacité à intégrer des fonctions analogiques mais également des fonctions numériques au sein d'une même puce. Par rapport aux autres technologies concurrentes utilisées de manière classique pour les mêmes applications (GaAs ou Indium-Phosphide InP), les technologies (Bi)CMOS présentent potentiellement une consommation DC beaucoup plus faible, une forte capacité d'intégration et une grande capacité à être produites en masse et à faible coût pour des performances RF quasi-identiques.

Le choix entre BiCMOS et CMOS repose ici sur la possibilité de recourir aux transistors bipolaires (pour des circuits d'amplification principalement) si besoin. Les travaux publiés dans la littérature montrent qu'il est possible d'atteindre des niveaux de performances satisfaisants avec les deux technologies et comparables à ce que l'on peut trouver dans d'autres technologies plus classiques [40][41].

La bande d'application visée pour nos systèmes est la bande [10.7 GHz-14.5 GHz]. La fréquence de coupure des transistors présents dans le DK utilisé est autour des 100 GHz, ce qui est largement au-dessus de notre bande d'intérêt [42]. Le design de circuits en bande Ku ne pose donc pas de problème. La même technologie en 130 nm est également, depuis peu, étudiée par l'ESA mais n'est pas nécessaire. Elle viendrait rajouter encore des contraintes de design (cf. contraintes des masques).

Ce chapitre va donc tout d'abord présenter et étudier la technologie choisie pour la réalisation des travaux. La description de la technologie et des composants fournis par le Design Kit sera détaillée dans la première partie. Les composants développés et créés au cours de la thèse seront présentés ensuite (lignes de transmission, inductances, capacités).

## **2.2 DESCRIPTION DE LA TECHNOLOGIE SGB25V**

Afin de respecter la confidentialité imposée par le NDA (Non Disclosure Agreement) conclue avec IHP Microelectronics, toutes les informations détaillées ne seront pas données. Le design kit ainsi que toutes les informations complémentaires peuvent être obtenus auprès de IHP Microélectronics.

### *2.2.1 Description de la technologie*

Le process BiCMOS développé par la fonderie est présenté dans une version simplifiée sur la figure ci-dessous. Cette technologie n'est pas la plus récente de la fonderie mais est en cours de qualification pour des applications spatiales et permet de réaliser des puces à faible coût. La technologie compte 5 niveaux de métallisation en aluminium dont deux plus épais pour réaliser notamment les lignes de transmission (cf Figure 2.1). On retrouve donc les deux niveaux supérieurs appelés Top Métal 2 (TM2) et Top Métal 1 (TM1) d'épaisseurs respectives de  $3\mu\text{m}$  et  $2\mu\text{m}$ . Les niveaux directement en dessous sont les couches Métal 3 (M3), Métal 2 (M2) et Métal 1 (M1), toutes d'une épaisseur d'environ  $1\mu\text{m}$ . Entre chaque couche métallique se trouve du dioxyde de silicium ( $\text{SiO}_2$ ) d'une permittivité de 4,1. La hauteur totale de cet empilement est légèrement supérieure à  $15\mu\text{m}$ , ce qui peut rendre difficile le design de composants passifs (cf. section 2.3).

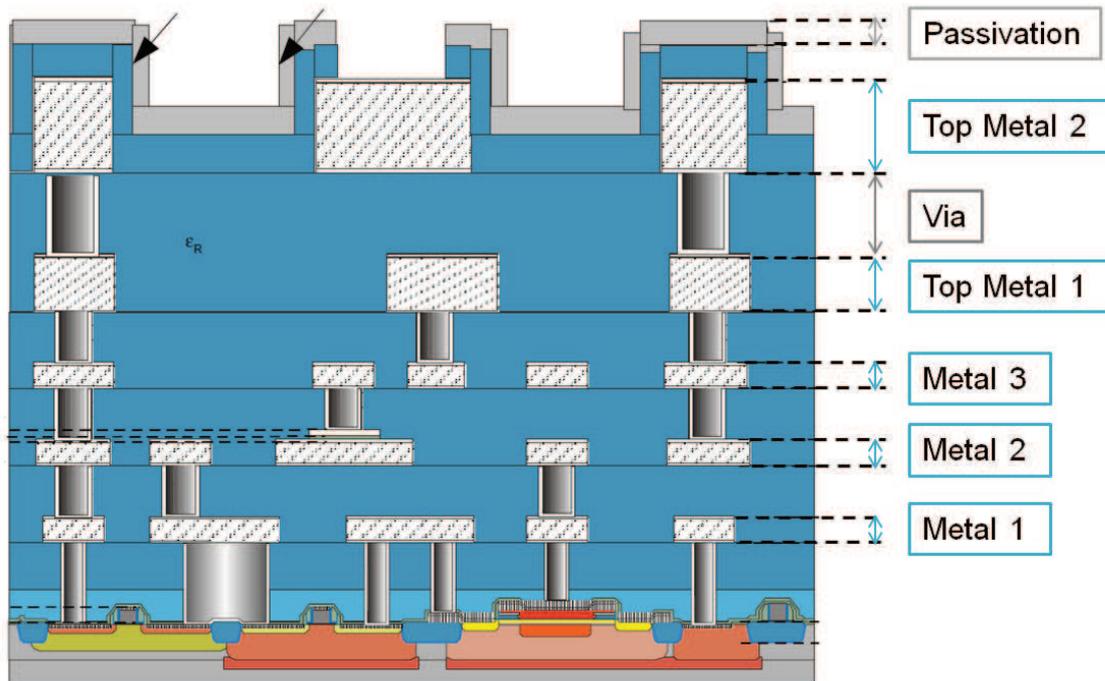


Figure 2.1. Empilement de la technologie 0.25µm de IHP

Des vias en Tungstène assurent la continuité électrique entre les différents niveaux de métallisation. Les pads de contact sont réalisés en aluminium également et l'empilement est recouvert par une couche de passivation pour protéger les puces de l'oxydation. Le substrat en silicium (SI Bulk) situé sous cet empilement, présente une permittivité  $\epsilon_r = 11.9$ , une conductivité  $\sigma = 50 \Omega.cm$  pour une hauteur totale de 750µm (réduite < 300µm après amincissement).

## 2.2.2 Présentation des transistors MOS

### 2.2.2.1 Principe

Le design kit utilisé pour réaliser ces travaux de thèse propose deux modèles des transistors MOSFETs (Metal Oxyde Semiconductor Field Effect Transistor): un NMOS et un PMOS. Ces deux transistors seront donc la base de tous les circuits réalisés par la suite. Ces transistors sont basés sur l'effet de champ. Lorsque la tension de grille est supérieure à la tension de seuil ( $V_G > V_{TH}$ ), on observe une accumulation de charge à l'interface SiO<sub>2</sub> et l'apparition d'un canal. La grille contrôle la densité des porteurs dans le canal du transistor et donc le courant électrique. Le canal relie deux zones à fort dopage entre lesquelles on applique une tension qui permet ou non de faire passer le courant. La représentation schématique de ces composants est donnée en Figure 2.2 [43].

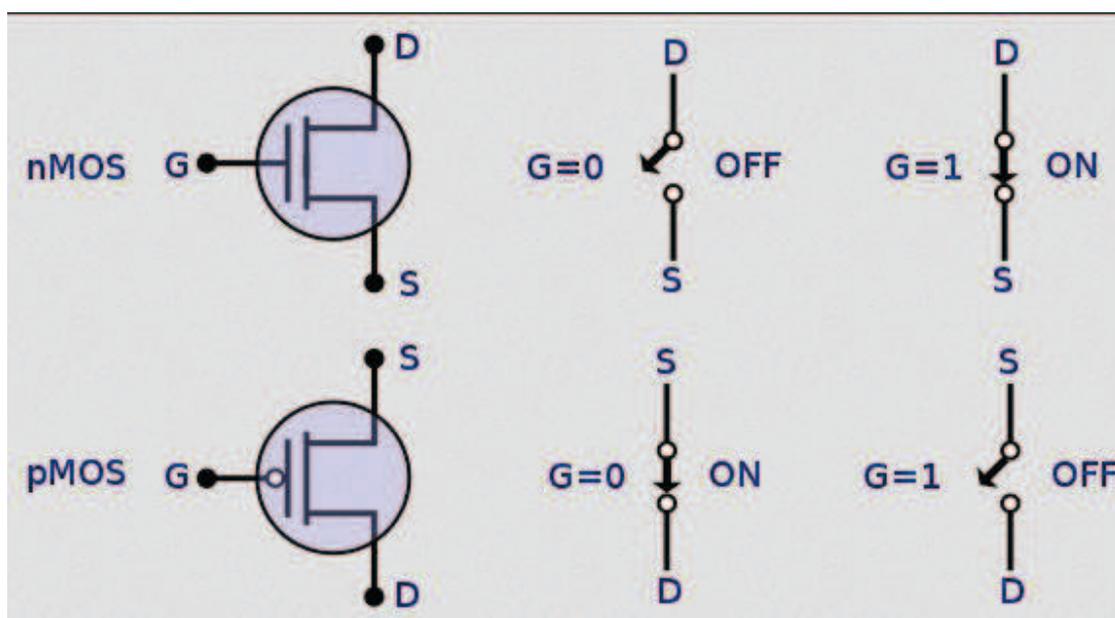


Figure 2.2. Représentation schématique des transistors MOS : NMOS, PMOS

Les ports G, S, D et B représentent respectivement la grille du transistor, la source, le drain et le bulk (ou body). Par la suite nous considérerons uniquement les transistors NMOS puisque les PMOS ne seront pas utilisés dans les designs. Pour les transistors de type n, le potentiel appliqué sur la grille doit être positif pour réaliser un canal de conduction d'électrons.

Les paramètres principaux concernant nos deux types de transistors sont résumés dans le tableau suivant [42] :

SGB 25V		
Tension d'alimentation		2.5 V
nMOS	$V_{TH}$ (tension de seuil)	0.6 V
	$I_{OUT} @ V_G=2.5V$	540 $\mu A/\mu m$
	$I_{OFF}$	3 pA/ $\mu m$
pMOS	$V_{TH}$ (tension de seuil)	-0.6 V
	$I_{OUT}$	-230 $\mu A/\mu m$
	$I_{OFF}$	-10 pA/ $\mu m$

TABLEAU 2. CARACTERISTIQUES DES TRANSISTORS DU DK SGB25V

### 2.2.2.2 Structure

La figure suivante permet d'illustrer la structure d'un transistor NMOS en technologie CMOS [44]. On peut visualiser sur ce schéma les différents paramètres permettant le fonctionnement du composant. On remarque ainsi à gauche de la grille la source et à droite, le drain. Les électrons sont drainés lorsque la tension  $V_{DS}$  est positive. Le courant circule donc dans la direction drain/source. Le schéma est accompagné d'une vue masque issue du design kit qui montre la correspondance avec le masque.

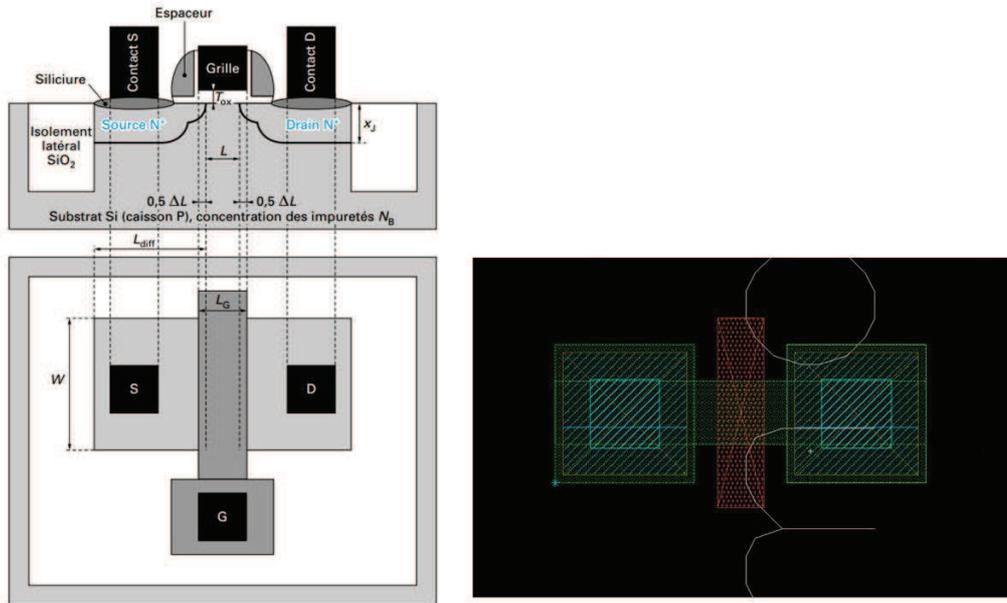


Figure 2.3. Représentation d'un transistor NMOS et vue masque

### 2.2.2.3 Simulations des modèles du Design Kit

Bien que la technologie soit décrite sous l'appellation BiCMOS 250 nm, la longueur des doigts de grille des transistors est au minimum de 240 nm. Une augmentation de cette largeur à 280 nm permet la conception de designs plus robustes. Comme cela a été présenté dans le chapitre précédent, les transistors seront utilisés dans nos designs comme des éléments froids uniquement comme des interrupteurs. La Figure 2.5 présente le comportement (paramètres S) d'un transistor NMOS, utilisé comme commutateur en régime de fonctionnement saturé/bloqué. Le transistor se comporte comme un interrupteur entre la source et le drain tandis que le bulk est directement relié à la masse (cf Figure 2.4). Les autres paramètres sont fixés à  $ng$  (nb de doigts de grille) = 10;  $W = 100 \mu m$ ;  $L = 280nm @12.5GHz$ .

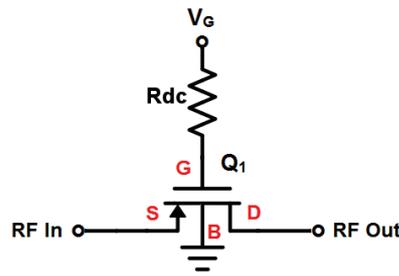


Figure 2.4. Schématique d'un transistor NMOS en fonctionnement commutateur contrôlé par la grille

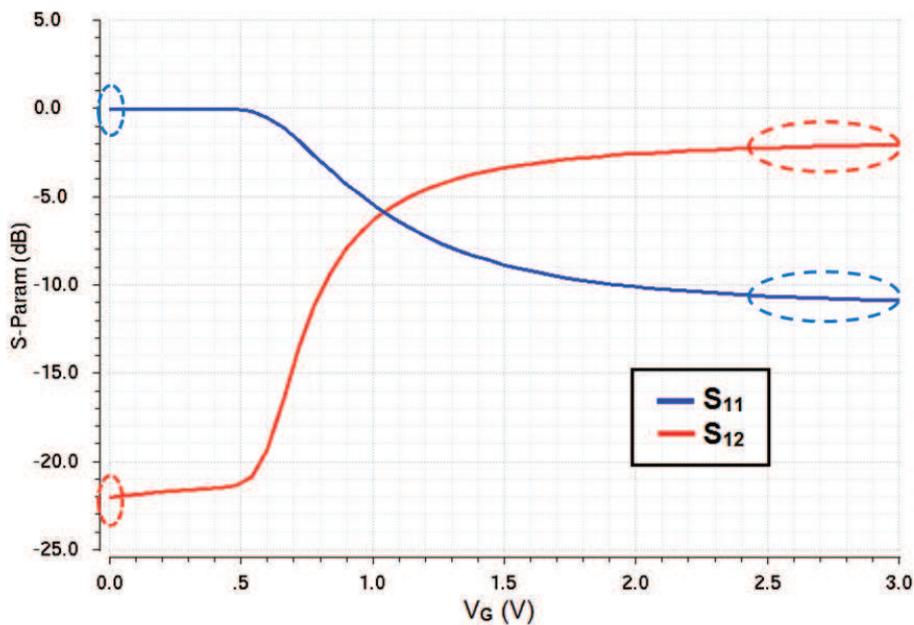


Figure 2.5. Simulations des paramètres S d'un commutateur NMOS en série

Cette figure met en évidence les différents régimes de fonctionnement de notre transistor lorsque la commande de grille varie. La tension de seuil apparaît clairement et est de 0.6V comme mentionné dans le TABLEAU 5. La partie gauche du graphe ( $V_G=0$ ) correspond à l'état bloqué du transistor.  $V_{GS}$  est inférieur à la tension de seuil, il n'y donc pas d'apparition du canal et le transistor ne conduit pas de courant. La partie centrale ( $V_{TH} < V_G < 2.5V$ ) correspond au régime linéaire. Finalement la partie droite du graphe ( $V_G \leq 2.5V$ ) correspond au régime saturé.  $V_{GS} > V_{TH}$  et  $V_{DS} > V_{DSsat}$ , on observe un pincement du canal côté drain et le courant ne varie plus avec  $V_{DS}$ .

Ce modèle de transistor est celui qui va être utilisé pour chaque run. Il est donc très important de s'assurer de la bonne modélisation du comportement du transistor. Des transistors seuls ont été implémentés sur les puces au cours des différents runs. Ils nous serviront à établir des modèles de rétro-simulation lorsqu'il y aura des écarts entre simulations et résultats de mesure. Le même transistor en configuration série (cf Figure 2.4) a été simulé

sous CADENCE et ADS et mesuré en salle de caractérisation après fabrication pour comparaison.

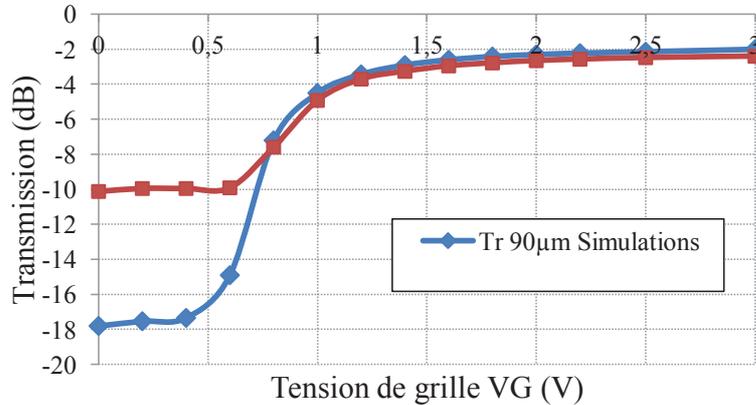
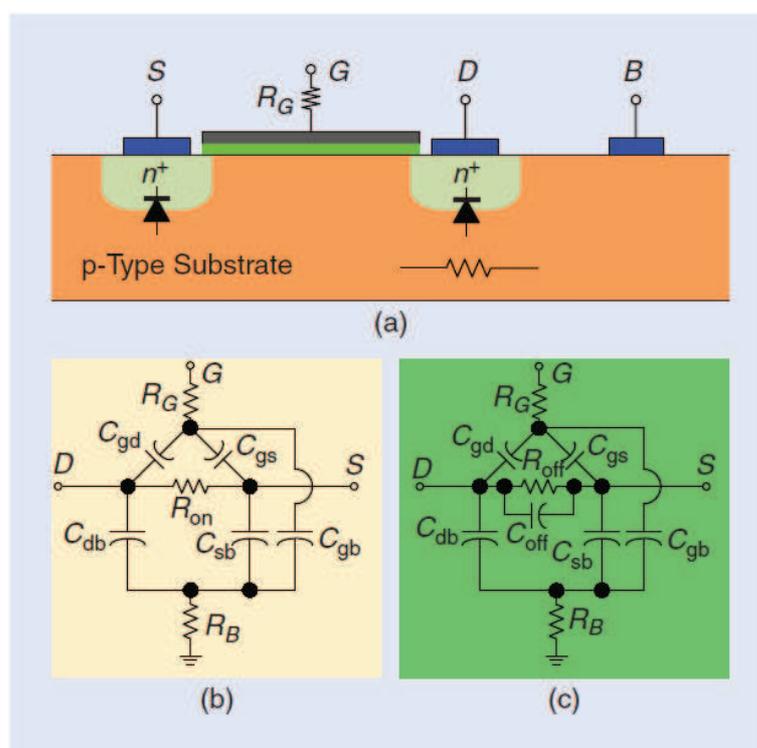


Figure 2.6. Comparaison simu/mesure de la réponse en transmission du transistor

Cette comparaison entre les simulations et les mesures montre un écart entre le modèle et la réalité. La réponse du transistor a été mesurée sur une puce avec le transistor seul. Une calibration TRL a permis de venir mesurer les paramètres S directement à l'entrée et à la sortie du transistor. On note une différence de 0.5dB lorsque le transistor est saturé ( $V_G > 2V$ ). On relève également une différence importante lorsque le transistor est bloqué. Une transmission à seulement -10dB n'est pas suffisamment bloquante et pourra expliquer des écarts simulations/mesures sur des circuits plus complexes.

En considérant l'utilisation faite des transistors dans les designs qui nous intéressent, il n'est pas pertinent de rappeler le modèle équivalent petit signal d'un transistor MOS. En revanche, la modélisation d'un transistor en configuration commutateur est intéressante (cf Figure 2.7) [45]. Ce modèle correspond à la configuration présentée Figure 2.4 avec le bulk connecté au substrat et au plan de masse, et le contrôle assuré par la grille. On remarque la modélisation de la diode entre la source et le drain, et le substrat (Figure 2.7 (a)). La Figure 2.7 (b) présente un modèle petit signal de l'état 'ON' du transistor [46][47]. Aux fréquences basses, le transistor peut être modélisé uniquement par la résistance  $R_{ON}$  qui va déterminer les pertes d'insertion. Lorsque la fréquence de travail augmente, les petites capacités parasites vont induire un couplage capacitif qui va augmenter encore les pertes d'insertion. La valeur de la résistance  $R_{ON}$  est directement liée à la taille du transistor. La Figure 2.7 (c) correspond au modèle équivalent de l'état 'OFF' [46][47]. Dans ce cas-là et pour les fréquences assez hautes, le transistor peut se modéliser uniquement par la capacité  $C_{OFF}$ . L'isolation du transistor est directement liée à cette grandeur.



**Figure 2.7. Modélisation d'un transistor nMOS**

(a) vue en coupe du transistor

(b) modèle équivalent de l'état 'ON'

(c) modèle équivalent de l'état 'OFF'

Nous verrons dans le chapitre suivant les pistes pour améliorer les performances du transistor en utilisant différentes techniques telles que le substrat flottant.

### 2.2.3 Capacités

Pour la conception de circuits MMIC RF en bande Ku, l'utilisation de capacités est indispensable. Ces composants RF peuvent avoir un gros impact sur le fonctionnement d'un circuit en particulier. Il faut donc veiller à ce que ces derniers présentent un facteur de qualité important et une excellente linéarité. Les capacités MIM (Metal-Insulator-Metal) ou MOM (Metal-Oxyde-Metal) sont donc les solutions les plus couramment utilisées pour des applications MMIC en bande Ku. Les capacités MIM sont constituées de deux plaques métalliques séparées par une couche de diélectrique. Les capacités MOM par contre sont simples de fabrication et n'ont pas besoin de ce diélectrique particulier. Cependant les premières présentent une capacité par unité de surface plus importante et sont généralement plus fiables. Leur fonctionnement est celui d'un condensateur à plaques classique où la

capacitance est directement liée à la surface des plaques et à la distance qui les sépare. Cette relation est donnée par l'équation suivante :

$$C = \epsilon_r \epsilon_0 \frac{A}{d} \quad (18)$$

avec  $\epsilon_r$  la permittivité du diélectrique,  $A$  la surface des plaques et  $d$  la distance les séparant (le champ de fuite n'est pas pris en compte par cette relation).

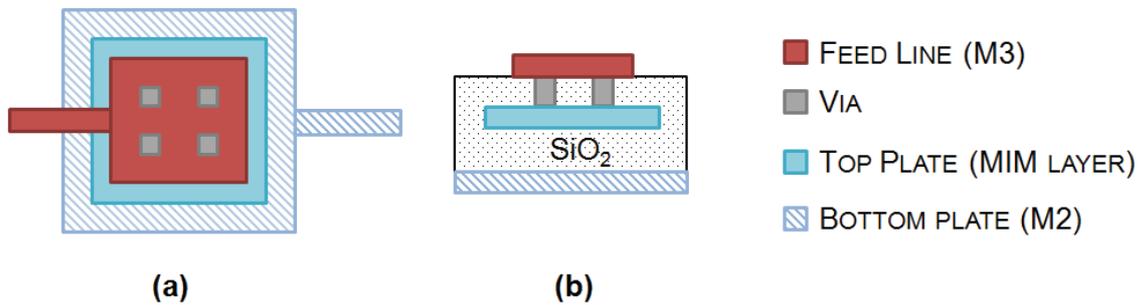


Figure 2.8. (a) Vue de dessus d'une capacité MIM et (b) vue en coupe

Le DK met à notre disposition un modèle de capacité MIM similaire à celui présenté en Figure 2.8. On remarque que les niveaux de métallisation utilisés sont les niveaux Metal3 et Metal2 ainsi qu'une couche intermédiaire supplémentaire. En effet pour des applications RF, les condensateurs doivent pouvoir aller de quelques femtoFarad (fF) pour des éléments de designs à plusieurs nanoFarad (nF) pour des capacités de découplage. Il faut donc avoir des composants présentant une grande capacitance par unité de surface. La distance entre deux couches métalliques successives dans la technologie 0.25 $\mu$ m de IHP est trop importante pour permettre de type de performance. La solution est donc de recourir à une couche intermédiaire située entre les niveaux métalliques. Le modèle donné par le design kit permet donc d'obtenir une capacitance de 1.0 fF/ $\mu$ m<sup>2</sup>.

#### 2.2.4 Résistances

Les résistances utilisées dans les technologies silicium ont plusieurs fonctions. Elles peuvent être implémentées comme des éléments de design d'un circuit (atténuateur type II) ou pour réaliser un découplage RF/DC. Les résistances sont donc fabriquées via des bandes de Polysilicium. Des contacts situés sur le dernier niveau de métallisation permettent de rejoindre des zones dopées particulières réservées à la conception de résistances.

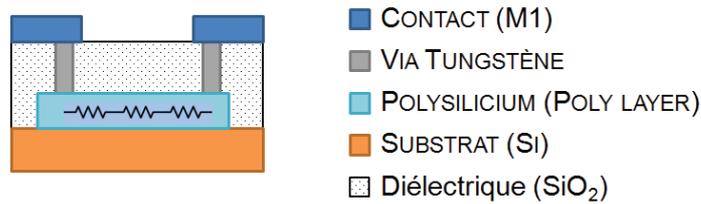


Figure 2.9. Structure d'une résistance CMOS

Différents modèles de résistances sont proposés par le design kit en fonction du besoin. Des résistances dopées  $N^+$  sont utilisées pour les résistances de faible valeur. Pour des résistances de valeur légèrement supérieure, il sera possible de recourir à des résistances dopées  $P^+$ . Finalement les résistances qui serviront pour l'alimentation DC des transistors (typiquement plusieurs  $k\Omega$ ), un dernier modèle a été implémenté. Les performances de ces différents composants sont résumées dans la Table 2.

SGB 25V	
$N^+$ Polysresistor	210 $\Omega/\square$
$P^+$ Polysresistor	310 $\Omega/\square$
High Polysresistor	2000 $\Omega/\square$

TABLEAU 3. CARACTERISTIQUES DES RESISTANCES DU DK SGB25V

## 2.3 ETUDE SUR LES ELEMENTS PASSIFS

Les modèles de composants disponibles dans le design kit permettent d'avoir accès à la quasi-intégralité des composants nécessaires au développement des fonctions RF que nous souhaitons réaliser. Cependant certains éléments ont été étudiés et redéveloppés pour différentes raisons. Un nouveau modèle de capacité a été simulé afin de compléter la gamme des valeurs à notre disposition. Les inductances ont également fait l'objet d'une étude complète qui a été conclue par des mesures sous pointes des puces fabriquées. Des bobines spirales seules ont été implémentées sur le masque pour vérifier la validité du modèle (tout comme les lignes de transmission).

### 2.3.1 Outils de conception et de simulation

Les composants développés au cours de ces travaux de thèse ont été conçus et simulés à l'aide de divers outils de modélisation et de simulation.

### ASITIC

ASITIC (Analysis and Simulation of spiral Inductors and Transformers for ICs) est un moyen de simulation et de dimensionnement des inductances [48]. Cet outil permet de calculer la taille, le facteur de qualité ainsi que la fréquence de résonance propre d'une inductance spirale. Le métal est modélisé par une approche PEEC (Partial Element Equivalent Circuits) où il est discrétisé dans toutes les dimensions. Même si la résolution est très rapide, certains paramètres sont cependant mal pris en compte tels que l'inductance et la résistance du plan de masse. Les courants de Foucault sont également mal pris en compte et on obtient donc des valeurs pour L et Q légèrement surestimées.

### ADS/MOMENTUM

MOMENTUM est l'outil de simulation électromagnétique d'ADS qui utilise la méthode des moments pour calculer tous les paramètres demandés. Plusieurs études ont été effectuées avec ce logiciel. Il est important de réaliser un maillage correct afin de bien mesurer la variation du champ électromagnétique aux endroits critiques. Il est très important de prendre en compte les courants de bord afin d'évaluer au mieux les inductances ou les capacités. Le logiciel n'est cependant pas un réel outil de simulations 3D. Les éléments sont modélisés en 2D puis la hauteur est restituée par calcul analytique. Il s'agit d'un logiciel plutôt 2.5D.

### HFSS

HFSS est un outil de simulation utilisant la méthode des éléments finis. Il utilise un maillage tétraédrique permettant de mailler à l'intérieur même des matériaux. La modélisation est une vraie modélisation 3D permettant de prendre en compte tous les aspects physiques des systèmes simulés. Chaque passe redéfinit et affine le maillage aux endroits où le champ électromagnétique subit les plus grandes variations. Le maillage pouvant être très lourd (plusieurs dizaines de milliers de mailles), le temps de calcul est démultiplié lorsque les critères de simulations sont trop critiques. Il reste le meilleur outil de simulation pour les systèmes HF étudiés ici.

## *2.3.2 Etude des éléments capacitifs*

### *2.3.2.1 Modèle de la capacité MIM*

Les capacités MIM (Metal-Insulator-Metal) sont des composants extrêmement fréquents dans les designs de circuits HF que l'on retrouve dans les filtres, les amplificateurs de puissance, les amplificateurs faible bruit, les déphaseurs...[49][50]. Bien qu'un modèle de

capacité MIM nous soit déjà proposé, un nouveau modèle de condensateur MIM a besoin d'être étudié. Certaines valeurs de capacités nécessaires dans le design de déphaseur LSB ne peuvent être réalisées (pour des valeurs <30fF par exemple). Le développement de ce composant a été réalisé via le logiciel de simulation électromagnétique 3D HFSS. Le modèle de capacité est ici plus simple que celui du DK et correspond au schéma présenté en Figure 2.10 [51].

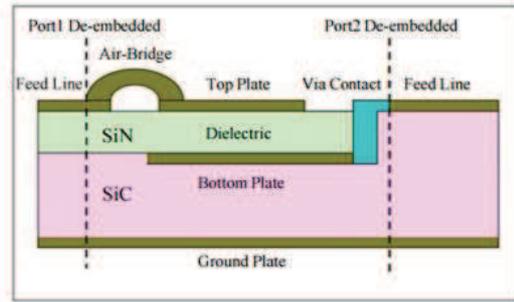


Figure 2.10 Modèle de capacité MIM

Les paramètres de la capacité sont directement extraits des paramètres S obtenus par la simulation HFSS via les matrices de paramètres Y et Z [51],[52].

$$C = \frac{1}{-Im\left(\frac{1}{Y_{11}}\right)\omega} \quad (19)$$

$$Q = \frac{Im(Y_{11})}{Re(Y_{11})} \quad (20)$$

$$Y_{11} = \frac{Y_0(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (21)$$

avec  $\omega$  la fréquence angulaire en rad/s et  $Y_{11}$  l'admittance en entrée calculée après extraction des paramètres S.

La plaque supérieure se situe sur le niveau de métallisation supérieur (TM2) tandis que l'autre plaque va se situer successivement sur les autres niveaux de métallisation (TM1, M3, M2). L'augmentation de la distance entre les plaques permet de diminuer la capacitance par unité de surface. Cela va permettre la création de composants à très faible valeur pour des designs où des valeurs très faibles seront nécessaires. Les paramètres sont extraits après deembedding afin de ne conserver que les performances du composant seul (cf. Figure 2.11.).

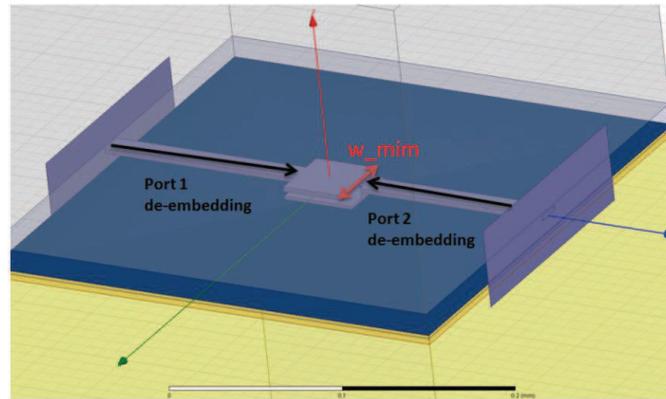


Figure 2.11. Modèle de capacité MIM sous HFSS

2.3.2.2 Résultats de simulations et conclusion

Dans le premier cas, les deux plaques sont situées sur les niveaux TM2 et TM1.

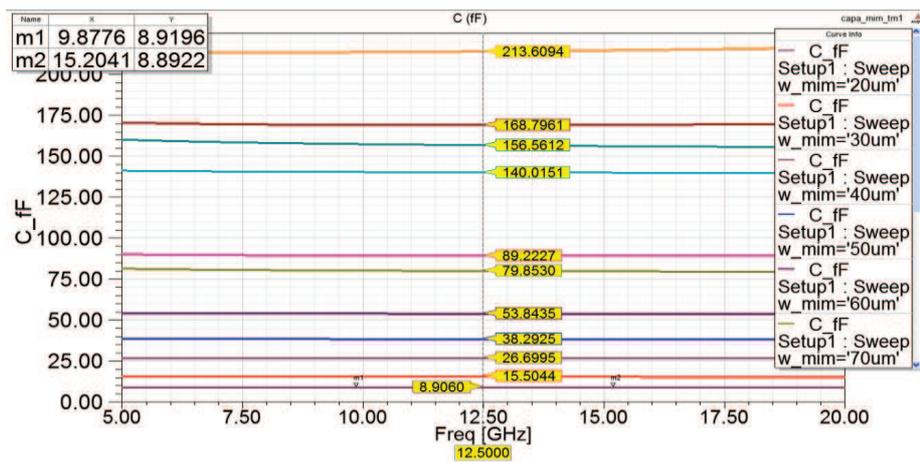


Figure 2.12. Capacité en fonction de la fréquence

La figure précédente présente les résultats de simulations de la capacité pour différentes surfaces de plaques (variation du paramètre  $W\_MIM$ ).

Largeur de la plaque	Plaque inférieure sur TM1	Plaque inférieure sur M3
20 x 20 $\mu\text{m}^2$	$C_{MIM} = 9 \text{ fF}$	$C_{MIM} = 7.8 \text{ fF}$
60 x 60 $\mu\text{m}^2$	$C_{MIM} = 54 \text{ fF}$	$C_{MIM} = 31 \text{ fF}$
100 x 100 $\mu\text{m}^2$	$C_{MIM} = 157 \text{ fF}$	$C_{MIM} = 77 \text{ fF}$

TABLEAU 4. CARACTERISTIQUES DES CAPACITES MIM SIMULEES SOUS HFSS

La valeur des capacités est également proportionnelle à la surface utilisée. On remarque que plus les plaques sont proches et plus le ratio  $\text{fF}/\mu\text{m}^2$  est important. On obtient donc les résultats les plus intéressants lorsque les niveaux de métallisation concernés sont les niveaux TM2 et TM1. La capacitance est de l'ordre de  $0.2\text{fF}/\mu\text{m}^2$  lorsque l'on considère le cas avec les plaques situées respectivement sur les niveaux de métallisation TM2 et TM1. Cela permettra, avec le modèle du design kit, de réaliser toutes les valeurs de capacité nécessaires à la conception de circuits déphaseurs et atténuateurs.

### 2.3.3 Etude des éléments inductifs

#### 2.3.3.1 Principe

Les inductances constituent les éléments passifs les plus critiques et les plus sensibles dans la conception de systèmes HF. Ces composants peuvent être réalisés de diverses manières mais les contraintes imposées par le développement de circuits RFIC (Radio Frequency Integrated Circuits) font que les circuits sont de taille inférieure à la longueur d'onde et que les éléments passifs sont réalisés via des éléments localisés. Historiquement, les inductances (et les transformateurs) sont les derniers éléments à avoir été intégrés en technologie silicium [53]. La technologie sur laquelle ces composants sont implémentés doit présenter des métaux avec une excellente conductivité ainsi qu'une couche épaisse de diélectrique.

Bien que les designs kits mettent des modèles d'inductances à notre disposition, ces derniers ne sont prévus pour des utilisations à notre bande de fréquence. Une étude complète sur la réalisation d'inductance HF a donc été conduite. Les modèles d'inductances les plus classiques sont les suivants :

- Spirale rectangulaire (Figure 2.13 (a)),
- Spirale symétrique (Figure 2.13 (b)),
- Spirale multicouche shuntée (Figure 2.13 (c))

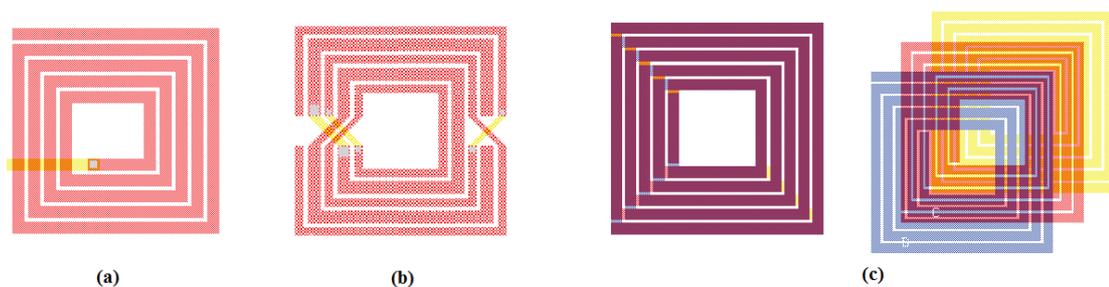


Figure 2.13. Modèles d'inductances utilisés dans les circuits HF

Le modèle retenu pour la conception des circuits présenté dans ces travaux de thèse est celui d'une inductance spirale (le plus commun dans les designs HF). Tout ayant été réalisé depuis la conception, jusqu'à la validation du modèle de simulation par la mesure, chaque étape sera présentée en détail pour décrire le processus de réalisation du composant.

Les principaux paramètres qui vont caractériser une inductance sont :

- la valeur de l'inductance elle-même  $L$ ,
- le facteur de qualité  $Q$ ,
- la fréquence de résonance propre SRF (Self Resonance Frequency)

Les modèles équivalents permettant de représenter le comportement d'une inductance en fonction de la fréquence intègrent également des éléments parasites. Ces éléments parasites (résistances et capacitances) viennent détériorer les performances du composant lorsque la fréquence augmente. Ils seront étudiés plus en détail dans la partie consacrée aux modèles équivalents.

L'inductance  $L$  correspond à sa capacité à induire ou stocker le champ magnétique. Elle représente le ratio entre le champ magnétique et le courant électrique circulant dans la bobine. Les inductances spirale classiques peuvent être décomposées comme une succession de brins métalliques interagissant tous entre eux. L'équation de Greenhouse permet de modéliser ces interactions et de calculer de manière effective l'impact de chaque segment de l'inductance.

$$L = \sum_j^n L_j + \sum_{i,j}^n M_{ij} \quad (22)$$

$L_j$  et  $M_{ij}$  représentent respectivement l'inductance d'un segment de la spirale rectangulaire et l'inductance mutuelle entre deux segments. L'inductance résultante de deux segments perpendiculaires est nulle. Lorsque le courant va dans la même direction l'inductance mutuelle est positive et lorsque le courant va dans des directions opposées cette inductance est négative. L'intérêt de réaliser des composants où le courant circule dans le même sens est évident. Cela permet de maximiser l'inductance par surface et de minimiser le volume et le prix. La Figure **2.14** illustre comment l'inductance mutuelle est prise en compte en fonction du sens de propagation du courant.

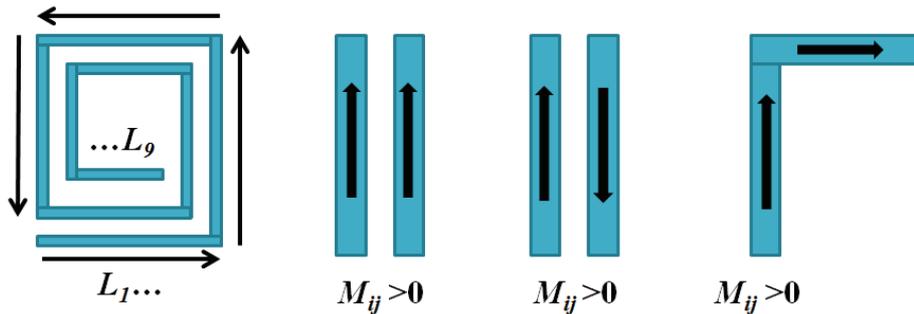


Figure 2.14. Inductance mutuelle pour une bobine spirale en fonction du sens du courant

Le facteur de qualité correspond à l'efficacité d'une inductance à stocker l'énergie. Un faible facteur de qualité décrit un composant à fortes pertes tandis qu'un facteur de qualité infini correspond à un composant idéal. Les origines de ces pertes sont diverses. On peut recenser tout d'abord les pertes conductrices qui sont directement liées à la conductivité du métal qui constitue les spires mais aussi les pertes par courant de Foucault et les pertes diélectriques. Ces différentes pertes varient en fonction de la fréquence et conduisent à des courbes de facteur de qualité ayant l'allure suivante :

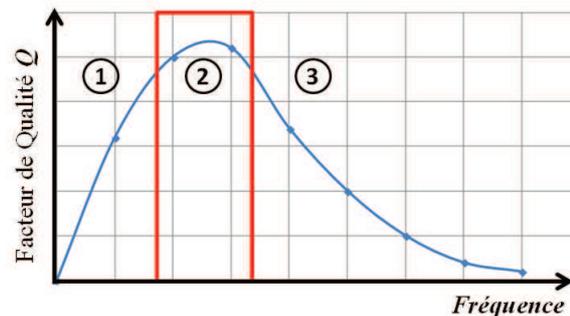


Figure 2.15. Allure du facteur de qualité d'une inductance en fonction de la fréquence

Dans la figure précédente nous retrouvons trois zones distinctes de l'évolution du facteur de qualité en fonction de la fréquence. Lorsque la fréquence est faible les seules pertes qui contribuent à la détérioration des performances du composant sont les pertes métalliques (zone 1 à gauche). Ces pertes diminuent lorsque la fréquence augmente jusqu'à ce que le facteur de qualité atteigne un maximum (zone 2 dans le rectangle rouge). Viennent ensuite s'ajouter les pertes dues au substrat qui augmentent avec la fréquence (zone 3 à droite de la courbe). Le design doit être réalisé de manière à ce que le facteur de qualité soit maximal dans la bande de fréquence de travail.

La valeur de ce facteur de qualité est obtenue de manière analytique après extraction des paramètres S. Les équations suivantes permettent l'évaluation du facteur de qualité et de l'inductance effective du composant [53].

$$L_{eff} = \frac{Im [(Y_{11})^{-1}]}{\omega} \quad (23)$$

$$Q = \frac{Im(-Y_{11})}{Re(Y_{11})} \quad (24)$$

### 2.3.3.2 Modèle et simulation

Le design d'inductance spirale a été largement étudié pour les systèmes HF [54] [55]. Des règles de conception ont pu être développées [56][57]. Les différents travaux cités précédemment ainsi que l'expérience acquise lors de travaux antérieurs au sein du laboratoire [58] ont permis de développer des modèles de simulations fiables pour les inductances spirales.

Le modèle d'inductance consiste en une spirale située sur les niveaux de métallisation supérieurs (TM1 et TM2). Ces niveaux présentent deux avantages majeurs : ce sont les plus éloignés du substrat silicium donc idéaux pour diminuer les pertes liées au substrat et ils ont une bonne conductivité tout en étant épais (réduction des pertes conductrices).

Différents paramètres géométriques sont pris en compte lors de la réalisation du modèle. La largeur de la piste est modélisée par le paramètre  $W$ , l'espacement entre les différentes spires par  $s$ , le nombre de spires  $N$  et finalement la taille de l'inductance par  $L$  (Figure 2.16). Dans cet exemple, la bobine est constituée de 2 spires, le chemin d'accès est sur le niveau de métallisation supérieur TM2. Le niveau TM1 est accessible avec des vias et permet de passer sous l'inductance.

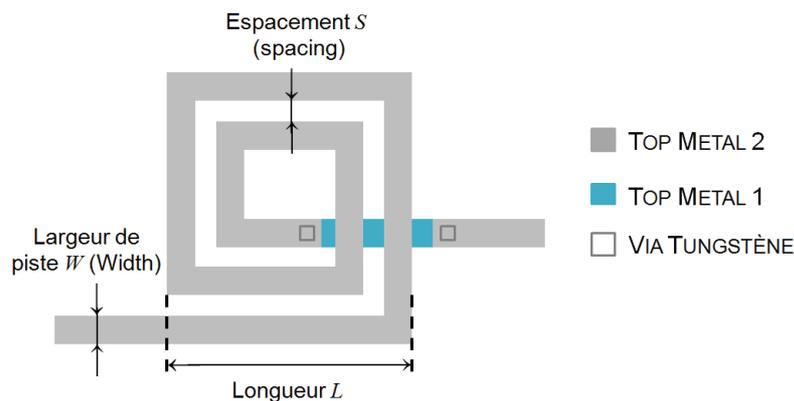


Figure 2.16. Illustration des paramètres géométriques pour une inductance à 2 spires.

Les différents modèles ont été simulés par le biais de plusieurs outils numériques. Chacun présente ces avantages mais le but final est d'avoir la meilleure représentation

possible du comportement du composant en fonction de la fréquence. Les origines des pertes ont été énumérées précédemment mais d'autres phénomènes doivent être pris en compte comme l'effet de peau. L'effet de peau ou effet pelliculaire est un phénomène électromagnétique qui fait que le courant a tendance à ne circuler qu'en surface des conducteurs lorsque la fréquence augmente. Ce phénomène d'origine électromagnétique existe pour tous les conducteurs parcourus par des courants alternatifs. Il provoque la décroissance de la densité de courant à mesure que l'on s'éloigne de la périphérie du conducteur. Le champ électromagnétique varie donc énormément aux bords du conducteur et aux endroits où il fait des détours. Le fait de travailler en bande Ku permet quand même de relâcher un peu les contraintes de maillage des modèles de simulation par rapport à des designs à plus haute fréquence [54][58].

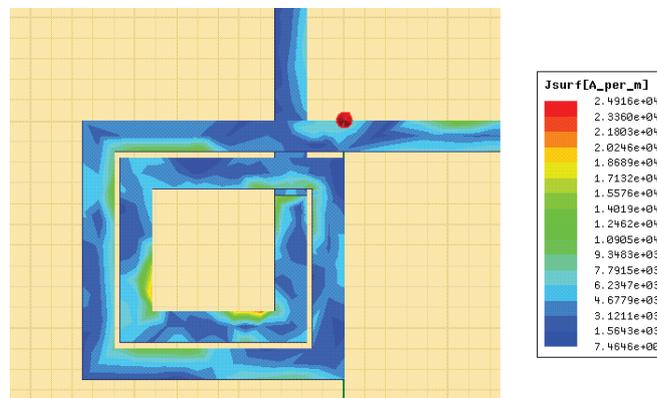


Figure 2.17. Courant de surface sur une inductance spirale sous HFSS

L'épaisseur de peau est calculée grâce à l'équation :

$$\delta = \sqrt{\frac{2}{\mu\sigma\omega}} \quad (1)$$

Avec  $\omega$  la fréquence angulaire en  $\text{rad}\cdot\text{s}^{-1}$ ,  $\sigma$  la conductivité du métal et  $\mu$  qui représente la perméabilité du vide ( $4\pi\cdot 10^{-7} \text{ kg}\cdot\text{m}\cdot\text{A}^{-2}\cdot\text{s}^{-2}$ ). Pour des fréquences de travail en bande Ku (entre 10.7GHz et 14.5GHz), l'épaisseur de peau obtenue est de  $\delta_{12.5\text{GHz}} = 0.8\mu\text{m}$ . Cette valeur est à mettre en comparaison avec l'épaisseur du métal conducteur ( $3\mu\text{m}$  pour TM2,  $2\mu\text{m}$  pour TM1). La proximité des différentes spires créant des inductances mutuelles contraint encore les modèles de simulation en vue d'obtenir des résultats proches de la réalité.

Les modèles de simulations doivent permettre de représenter tous ces phénomènes. ASITIC repose sur la méthode PEEC (Partial Element Equivalent Circuits). La plupart des phénomènes précédents sont pris en compte dans les simulations. La rapidité d'exécution de ce logiciel en fait un outil excellent pour pré-dimensionner les inductances. Pour les

simulations via MOMENTUM, le maillage doit être spécifié et rajouter pour bien mesurer les variations de champ aux endroits critiques.

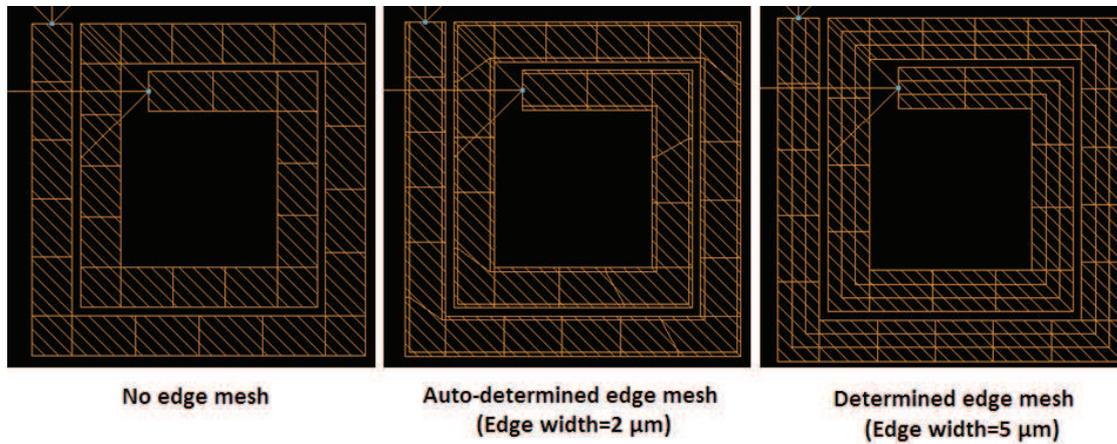


Figure 2.18. Illustration du maillage aux bords du conducteur sous MOMENTUM

Comme mentionné dans la section 2.3.1, HFSS permet l'intégration de maille à l'intérieur du métal et chaque passe surmaille les endroits où le champ électromagnétique varie beaucoup.

### 2.3.3.3 Résultats de simulations et ajout d'un anneau

Trois types de design ont été étudiés dans cette partie. Un modèle avec l'inductance située directement au-dessus du substrat, un avec l'inductance placée au-dessus d'un plan de masse plein et un dernier avec une ouverture dans le plan de masse pratiquée sous l'inductance spirale.

L'ajout d'un plan de masse avec ouverture présente plusieurs avantages par rapport aux autres designs. Le premier concerne le découplage avec les autres composants de la puce. L'ouverture dans le plan de masse permet également aux lignes de champ de passer et de ne pas être affectées par la proximité du métal qui viendrait diminuer la valeur de l'inductance. Les courants de retour passent ainsi plus loin de l'inductance (impact direct sur l'inductance et le facteur de qualité).

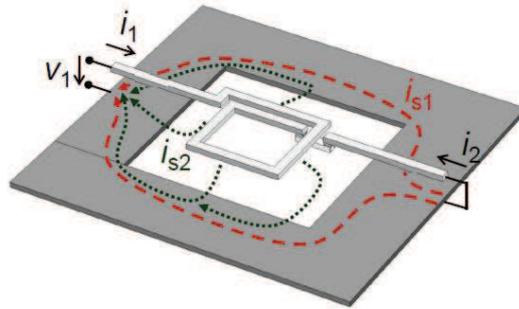


Figure 2.19. Illustration des courants de retour pour l'inductance avec ouverture dans le plan de masse[58]

L'ajout d'un plan de masse dans les modèles des simulations conduit à la prise en compte pour la bobine, d'une inductance  $L_{pdm}$  du plan de masse et d'une partie résistive  $R$  supplémentaires. Cet anneau est bien représenté sous HFSS où son influence rentre en compte dans le calcul de la valeur d'inductance et du facteur de qualité. ASITIC par contre ne pourra pas complètement intégrer l'effet d'un plan de masse dans ces calculs ce qui conduit à des valeurs de  $L$  et  $Q$  surestimées. Il faut noter que plus l'ouverture est grande, moins le champ est perturbé par le plan de masse et on obtient une valeur d'inductance et un facteur de qualité meilleurs. Le design présentant une ouverture dans le plan de masse est très intéressant au niveau de la surface qu'il occupe par rapport à une inductance ayant un plan de masse plein.

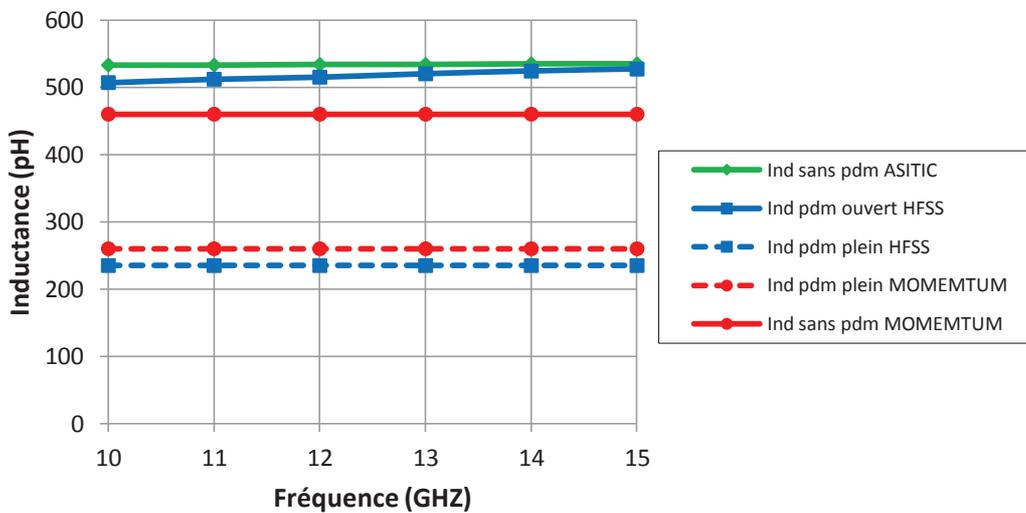


Figure 2.20. Comparaison des valeurs d'inductances simulées selon différents cas

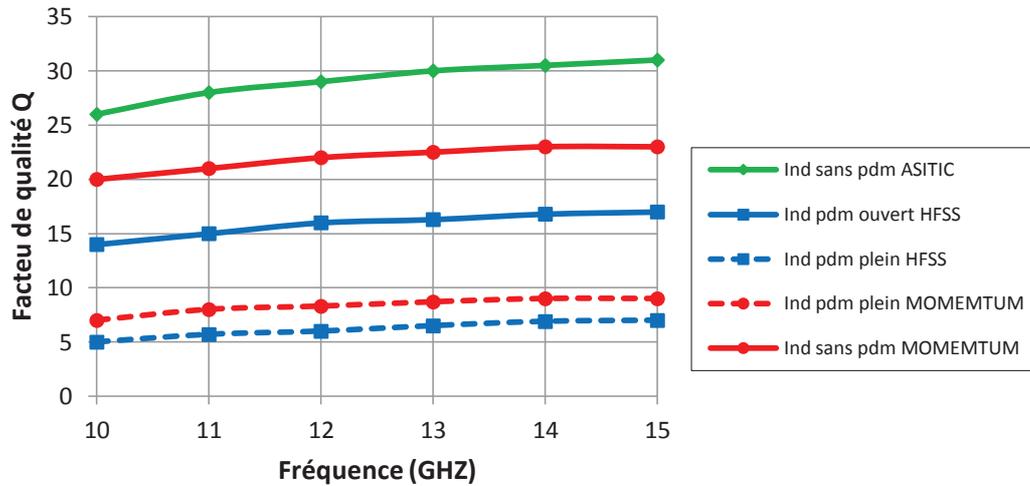


Figure 2.21. Comparaison des facteurs de qualités simulés selon différents cas

Les figures précédentes présentent les résultats de simulations d'une inductance ayant les caractéristiques suivantes :  $L = 125\mu\text{m}$ ,  $W=15\mu\text{m}$ ,  $S = 5\mu\text{m}$  et  $N=2$ . Conformément à ce qui est attendu on remarque l'influence négative d'un plan de masse plein sur l'inductance et le facteur de qualité. Les résultats de simulation HFSS et MOMENTUM sont comparables pour les valeurs d'inductances. ASITIC présente des performances surestimées par rapport aux autres outils de simulations.

On se retrouve donc avec trois types de designs : sans plan de masse, plan de masse plein et plan de masse avec ouverture. Le premier design est la solution la plus compacte. Le second présente une inductance réduite et le champ H est modifié par la présence de la masse. Un autre effet néfaste est la baisse de la fréquence de résonance (due à la capacité induite par la masse). Le dernier design est intéressant d'un point de vue de l'intégration. S'il est nécessaire d'avoir un plan de masse sous l'inductance cette dernière solution est le meilleur compromis entre pertes et intégration.

#### 2.3.3.4 Modèle de circuit équivalent

Les simulations des circuits étudiées par la suite se situent dans deux domaines distincts : le domaine temporel et le domaine fréquentiel. Pour les simulations dans le domaine fréquentiel, les inductances peuvent être modélisées par des 'boîtes noires' de paramètres S (issus des simulations HFSS par exemple). Ces boîtes noires permettront d'obtenir un comportement des inductances dans les circuits le plus fidèle possible. Pour le domaine temporel, cette solution peut induire des problèmes de convergence et faire échouer les simulations si l'étude se fait sur une bande de fréquence légèrement différente de celle des simulations de l'inductance.

Pour résoudre ce problème, un modèle équivalent petit signal de l'inductance est ajouté à la place de la boîte noire et permet la bonne conduite des simulations. Deux modèles de circuits équivalents se dégagent : le modèle en simple- $\pi$  et le modèle en double- $\pi$ . Ces modèles correspondent à des circuits à éléments localisés. Le premier est celui comportant le moins d'éléments. Pour des inductances spirales simples, tous les éléments peuvent être calculés directement à partir des informations technologiques fournies par la fonderie [59][53].

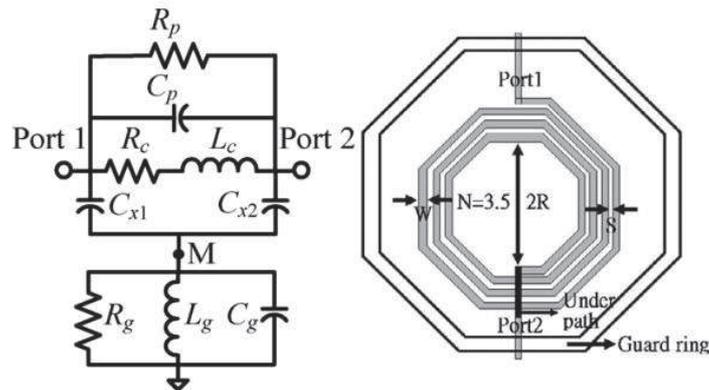


Figure 2.22. Modèle équivalent simple- $\pi$  pour une inductance spirale [59]

Le modèle simple  $\pi$  présente cependant certaines limitations. Dans le cas où l'un des ports de l'inductance est relié à la masse ou à une alimentation, la modélisation de la capacitance n'est pas correcte. Il devient également moins fiable lorsque la fréquence augmente. Le modèle double  $\pi$  est donc préférable. Ces paramètres peuvent être calculés directement à partir du modèle simple  $\pi$  [60].

### 2.3.3.5 Résultats de mesures

Un modèle d'inductance seule a été implémenté sur le premier run réalisé en fonderie. Cette structure a pour but de valider le modèle de simulation et d'apporter des certitudes pour la suite des travaux. Les inductances constituent un élément clé des circuits déphaseurs MMIC. Il est donc vital de confirmer le travail de modélisation par des résultats expérimentaux. Les mesures ont été effectuées avec une station sous pointes après une calibration SOLT (Short/Open/Load/Trough) sur plusieurs échantillons.

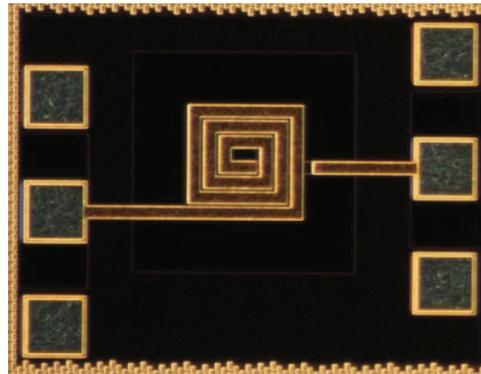


Figure 2.23. Inductance présente sur la puce

Les mesures ont été effectuées sur plusieurs puces pour vérifier qu'il n'y a pas de dispersion technologique lors de la fabrication. La valeur attendue pour l'inductance mesurée ci-dessous est 1.030 nH sur la bande de fréquence [5 GHz ; 20GHz]. On obtient donc un écart de 6% entre les simulations et les mesures.

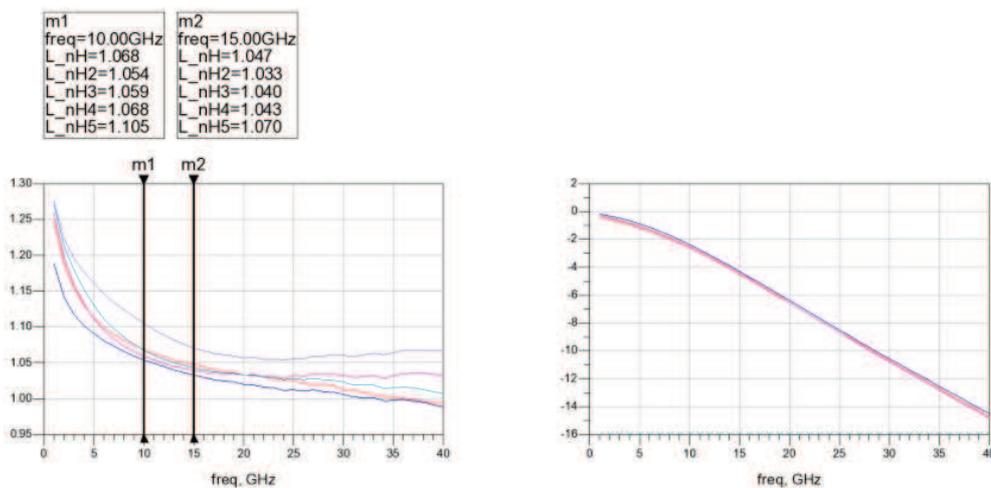


Figure 2.24. Mesure des valeurs d'inductances

La valeur montante de L lorsque la fréquence diminue peut s'expliquer par l'impact des fréquences mutuelles en basse fréquence. On remarque tout de même que les valeurs de chaque échantillon sont très proches à l'exception d'un seul échantillon (erreur peut-être due à la pose des pointes).

### 2.3.4 Lignes de transmission

Les lignes de transmission auront deux rôles principaux dans ces travaux de thèse. Le premier est d'assurer la connexion entre les composants lorsque ces derniers ne sont pas proches géométriquement. Le second est de servir pour des cellules de déphasage à lignes commutées.

Le design de ces lignes s'est porté sur des lignes micro-rubans. Elles permettent d'avoir des structures plus compactes que celles utilisant des lignes coplanaires. La ligne est un ruban métallique conduisant le signal situé au-dessus d'un plan de masse plein. Trois paramètres permettent de dimensionner la ligne : la largeur du ruban  $W$  (Width), l'épaisseur du ruban  $T$  (Thickness). La structure est décrite dans la figure suivante.

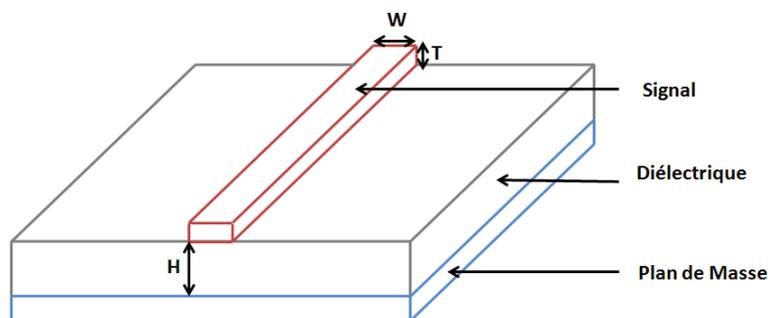


Figure 2.25. Ligne micro-ruban

Les différents niveaux de métallisation sont utilisés pour réaliser la ligne. La ligne porteuse du signal est située sur le niveau TM2. Il s'agit du niveau supérieur qui est aussi le plus épais. Il est designé pour cette application précisément. Le niveau M1 (le plus bas) est utilisé pour faire le plan de masse. Le plan de masse n'est pas infini à cause des contraintes imposées par la technologie en termes de taux de remplissage des niveaux de métallisation. Les lignes ont été dimensionnées à  $50\Omega$  à l'aide de l'outil ADS. Le chapitre suivant étant consacré entièrement aux lignes de transmission, ce sujet sera abordé plus en détail.

## **3 CHAPITRE III - LIGNES DE TRANSMISSION A ONDES LENTES**

---

### **3.1 INTRODUCTION**

L'objectif de ce chapitre est de présenter l'étude de lignes de transmission à faibles pertes basées sur la technique des lignes à ondes lentes (Slow Wave Lines **SWL**). Ces lignes de transmission ont pour but d'optimiser les performances des circuits CMOS et permettent de rendre les structures plus compactes (elles permettent de diminuer la longueur physique des lignes de transmission) [61][62]. Les technologies CMOS et BICMOS étant de plus en plus utilisées pour la réalisation de circuits HF, elles deviennent des candidates très intéressantes pour les systèmes de contrôle des antennes à formation de faisceaux développés pour le milieu spatial (Beamforming Antenna Control Systems **BACS**). Les lignes de transmission dans les BACS sont principalement utilisées pour la réalisation des déphaseurs (où elles consomment énormément de surface (avec les inductances). Ce type de topologie pourrait donc permettre de diminuer la taille des circuits MMIC et remplacer les lignes qui assurent l'interconnexion des composants ou qui agissent comme des lignes à retard [63][64].

Leur principe de fonctionnement sera donc présenté en premier suivi de la recherche d'un modèle électrique équivalent et de l'établissement d'un modèle de simulation pouvant retranscrire le comportement des lignes. Les dernières parties exposeront les résultats de simulations et de mesures ainsi que le développement d'un nouveau type de lignes à méandres.

### **3.2 PRESENTATION DES LIGNES DE TRANSMISSION A ONDES LENTES**

A hautes fréquences (>GHz), les lignes de transmission même si elles ne possèdent pas de rôle crucial dans une fonction HF ont un impact non négligeable sur les performances du circuit. Le fait d'avoir une technologie avec un substrat silicium implique des pertes d'insertion importantes lorsque la fréquence augmente. Cela est dû au faible facteur de qualité des lignes de transmission. De plus les circuits composant les systèmes de contrôle des antennes à formation de faisceaux sont majoritairement réalisés à l'aide d'éléments localisés qui présentent également de mauvais facteurs de qualité lorsqu'ils sont intégrés en technologie CMOS. Deux choses motivent donc le développement des lignes de propagation performantes : l'amélioration des pertes d'insertion et de la capacité d'intégration des circuits.

### 3.2.1 Paramètres caractéristiques

Afin de pouvoir définir l'état de l'art par la suite et de pouvoir comparer les différentes topologies certaines notions doivent d'abord être définies. Les lignes à ondes lentes sont avant tout des lignes de transmission et peuvent donc être caractérisées par les mêmes paramètres que ces dernières.

Un tronçon de ligne élémentaire peut être modélisé par quatre paramètres. Deux concernent le conducteur : la résistance linéique  $R$  définie en  $\Omega.m^{-1}$  (correspond aux pertes résistives) et l'inductance linéique  $L$  en  $H.m^{-1}$ . Les deux autres correspondent à l'influence du diélectrique : la capacité linéique  $C$  en  $F.m^{-1}$  (correspond au couplage entre les conducteurs) et finalement la conductance linéique  $G$  en  $S.m^{-1}$  (pertes diélectriques). La figure suivante présente la modélisation d'un tronçon de ligne de transmission avec les paramètres RLCG qui viennent d'être décrits.

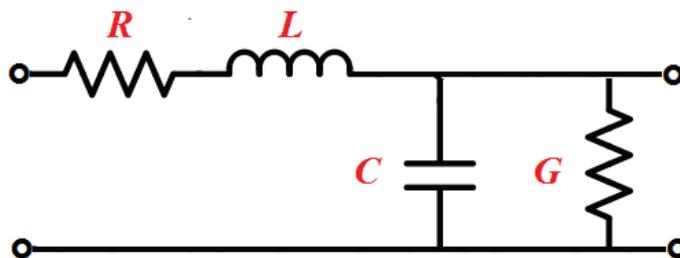


Figure 3.1. Modèle RLCG d'une ligne de transmission

Une ligne de transmission est également caractérisée par son impédance caractéristique  $Z_c$  et par la constante de propagation  $\gamma$ . L'impédance est exprimée par la relation :

$$Z_c = \sqrt{\frac{R + jL\omega}{G + jC\omega}} \quad (25)$$

La constante de propagation est une grandeur complexe définie par

$$\gamma = \alpha + j\beta = \sqrt{(R + jL\omega)(G + jC\omega)} \quad (26)$$

Avec  $R$ ,  $L$ ,  $C$  et  $G$  comme définis ci-dessus.  $\alpha$  et  $\beta$  constituent respectivement la constante d'atténuation exprimée en  $\text{Np.m}^{-1}$  (1 Neper = 8.688 dB) et la constante de phase en  $\text{rad.m}^{-1}$ .

Dans le cas de lignes à faibles pertes  $R$  et  $G$  sont négligées et l'expression de l'impédance caractéristique peut être réduite à

$$Z_c = \sqrt{\frac{L}{C}} \quad (27)$$

Le facteur de qualité  $Q$  correspond aux pertes de la ligne en fonction de la longueur électrique de la ligne [65]. En effet la constante d'atténuation  $\alpha$  permet d'exprimer les pertes d'une ligne de transmission en fonction de sa longueur physique. Cependant comme cela va être présenté, des techniques permettent d'augmenter le retard de phase induit par une ligne de propagation sans modifier sa longueur physique. Pour la plupart des utilisations des lignes de transmission, la seule référence importante est la longueur de ligne électrique (lignes quart d'ondes, demi-ondes, filtres, déphaseurs ...). Il n'est donc pas pertinent de considérer les pertes par une unité de longueur pour comparer deux modèles de lignes ayant une topologie différente. On se réfère plutôt au facteur de qualité défini comme suit :

$$Q = \frac{\beta}{2\alpha} = \frac{f * \pi * \sqrt{\epsilon_{reff}}}{\alpha * c_0} \quad (28)$$

### 3.2.2 Lignes de transmission 'classiques'

Nous allons dans cette partie considérer seulement deux types de lignes de transmission : les lignes coplanaires et les lignes micro-rubans. La ligne la plus simple est la ligne micro-ruban. Il s'agit d'un ruban métallique de largeur  $W$  (Width) situé au-dessus d'un plan de masse plein. Les deux éléments sont séparés par une couche de substrat de hauteur  $H$ .

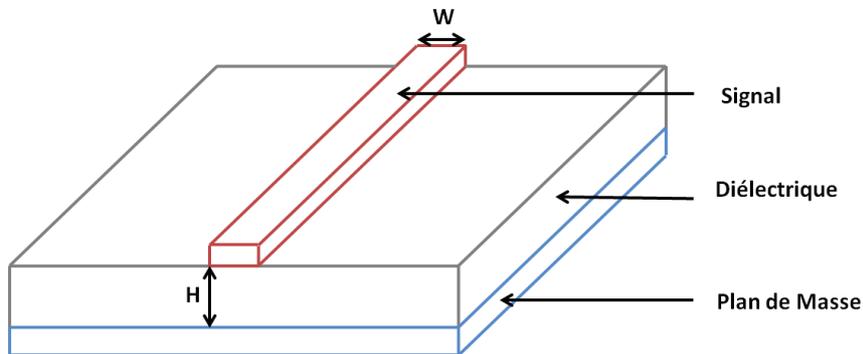


Figure 3.2. Schéma d'une ligne micro-ruban

A l'intérieur d'une ligne micro-ruban, les lignes de champ électromagnétique sont essentiellement concentrées dans le substrat situé entre la ligne conductrice et le plan de masse. Une partie des ondes se retrouve aussi dans l'air libre au-dessus de la ligne. Le mode fondamental n'est donc pas mode TEM pur mais un mode hybride. La vitesse de phase des composantes du champ électromagnétique est différente dans le diélectrique et dans l'air. Il s'agit d'un mode quasi-TEM. Cette structure a l'avantage d'être très compacte et le plan de masse réalise un blindage naturel qui empêche le champ électromagnétique de pénétrer dans le substrat silicium situé en dessous (pour les technologies Bi/CMOS)

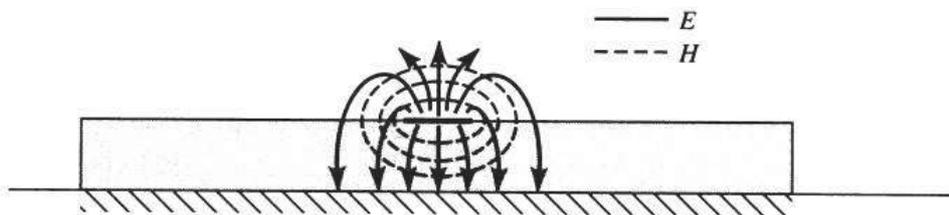


Figure 3.3. Représentation des lignes de champ pour une ligne micro-ruban

La ligne coplanaire est une topologie de ligne de transmission qui est devenue incontournable dans beaucoup de designs de circuits intégrés. Wen a développé cette ligne en 1969 [66] afin de proposer une alternative aux lignes micro-rubans (présentée par Grieg en 1952 [67]). Elle est composée de trois rubans métalliques placés à la même hauteur. Le signal est conduit par la ligne centrale de largeur  $W$  et le plan de masse est constitué par les deux autres rubans placés à égale distance de chaque côté de la ligne conductrice. La distance séparant le plan de masse de signal s'appelle la largeur de fente coplanaire (Gap). Ce paramètre permet de réaliser des designs très variés en venant modifier directement l'impédance de la ligne.

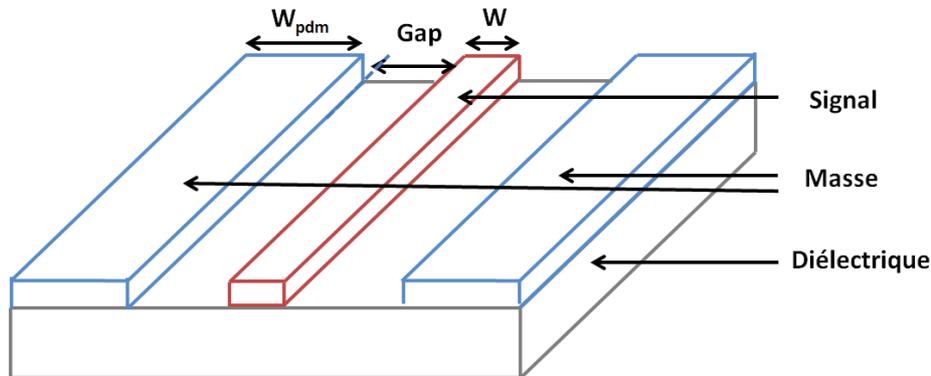


Figure 3.4. Schéma d'une ligne coplanaire

Le process de fabrication est simplifié car les lignes sont situées sur le même plan. La possibilité de jouer sur plusieurs paramètres lors de la conception de la ligne permet d'avoir plus de souplesse qu'une ligne micro-ruban. La proximité de rubans situés à la même hauteur assure aussi un blindage par rapport aux structures proches. La topologie présente tout de même un défaut, son encombrement.

De par leur simplicité les lignes micro-rubans sont les plus utilisées dans les technologies HF. Toutefois le développement de technologies de plus en plus petites (CMOS 65 nm, CMOS 22nm...) a pour conséquence de réduire la taille du BEOL (Back End Of Line). Cette réduction a un impact négatif pour la conception de lignes de transmission micro-rubans à hautes performances. En effet, le plan de masse situé sous la ligne assure un blindage et limite les pertes liées au substrat. Cependant afin de conserver une impédance caractéristique élevée il convient de diminuer la largeur du ruban conducteur et donc d'augmenter les pertes conductrices. Même si les lignes coplanaires (aussi appelées Coplanar Waveguide **CPW**) permettent d'éviter ce problème, nous restons intéressés par les lignes Micro-Strip (**MS**) et leur forte capacité d'intégration, cruciale pour des applications spatiales.

Afin de compacter les structures et de réduire les pertes d'insertion induites par les lignes de transmission, de nombreux travaux ont été effectués sur l'utilisation du phénomène d'ondes lentes. Cette technique consiste à modifier la vitesse de phase  $v_\phi$  de la ligne (et donc la longueur d'onde aussi) en modifiant sa géométrie. La relation entre les deux grandeurs est rappelée par la relation suivante :

$$v_\phi = \frac{c_0}{\sqrt{\epsilon_{reff}}} = \lambda_g * f \quad (29)$$

La modification (augmentation) de la permittivité effective de la ligne de transmission permet de réduire la valeur de la vitesse de phase et d'augmenter la longueur électrique de la

ligne. L'ajout d'éléments distribués ou localisés permet cette modification de  $\epsilon_{\text{reff}}$ . Cette technique permet de réduire potentiellement la longueur physique des lignes de propagation. Nous utiliserons le facteur d'ondes lentes ou facteur de miniaturisation **SWF** (**S**low **W**ave **F**actor) pour quantifier ce potentiel. Il s'agit du rapport des longueurs électriques d'une ligne à ondes lentes et d'une ligne classique (pour une longueur physique donnée).

### 3.2.3 Lignes de transmission à ondes lentes

Dans le cas de l'utilisation et de la mise en place du phénomène d'ondes lentes, deux philosophies sont possibles. Soit la technologie est modifiée et des matériaux à très forte permittivité sont utilisés afin de réduire directement la vitesse de phase [68]. Soit des éléments distribués (ou localisés) sont implémentés tout au long de la ligne pour modifier artificiellement la vitesse de phase.

La première technique très intéressante permet une réduction des pertes très importante mais elle n'est malheureusement pas compatible avec notre process technologique. Notre attention sera donc essentiellement portée sur la seconde méthode. Dès la fin des années 70, des lignes coplanaires sont chargées avec des capacités intégrées qui permettent de réduire la taille de la structure [69]. Des ouvertures dans le plan de masse des lignes micro-rubans sont aussi effectuées (lignes DGS Defected Ground Structure) et permettent d'obtenir des résultats similaires. Ces ouvertures sont aussi possibles pour les lignes coplanaires [70]. Ces fentes viennent ainsi modifier l'inductance linéique et la capacité linéique de la ligne et induisent un effet d'ondes lentes. Les topologies fonctionnent de manière duale, pour les lignes micro-rubans, l'inductance linéique varie énormément alors que la capacitance reste quasi-inchangée. L'inverse se produit pour les lignes coplanaires, c'est la capacité linéique qui sera fortement impactée.

Ces premiers travaux sur la modification de l'inductance et de la capacité linéique ont conduit au développement de nouvelles techniques pour diminuer la vitesse de l'onde. La plus intéressante est celle des lignes à ondes lentes distribuées. Les lignes sont donc chargées par des éléments distribués le long de la ligne. Ces éléments sont des barreaux flottants appelés 'barreaux' situés sous la ligne de signal et orientés de façon orthogonale par rapport au sens de propagation. Dans le cas d'une ligne micro-ruban des ouvertures sont pratiquées à intervalles réguliers dans le plan de masse situé sous la ligne [63]. L'espacement entre les fentes est très faible en comparaison de la longueur d'onde et la charge peut donc bien être considérée comme distribuée. Pour les lignes coplanaires des rubans sont situés de la même manière sous la ligne de propagation et les rubans de masse [71]. Ces topologies sont référencées sous l'appellation S-CPW (Slow-wave Coplanar Waveguide) pour les lignes

coplanaires et S-MSL (Shielded Micro-Strip Lines) pour les lignes micro-rubans. La Figure 3.5 permet d'illustrer les topologies dans les deux cas.

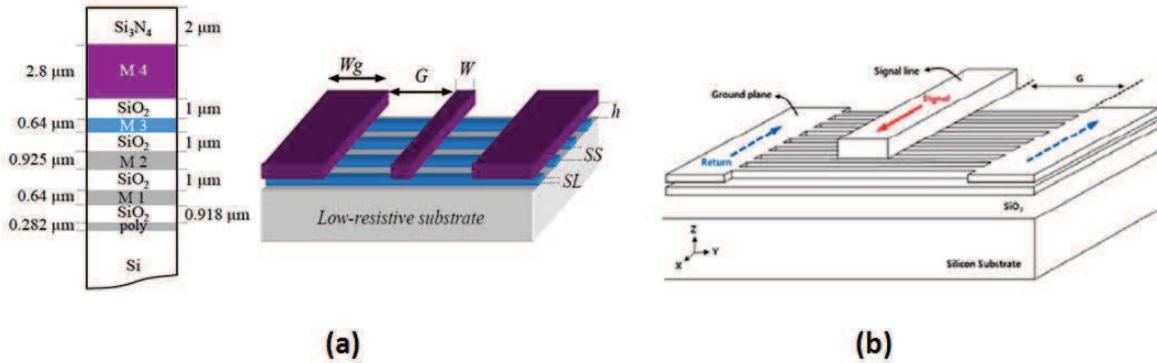


Figure 3.5. Schéma de topologies à ondes lentes pour lignes  
(a) coplanaires  
(b) micro-rubans

Ces barreaux flottants agissent comme un filtre au niveau du champ électromagnétique. Espacés correctement, les rubans bloquent le champ électrique tout en laissant passer les lignes de champ magnétique. Dans le cas des lignes à ondes lentes coplanaires, le champ électrique étant capté par les barreaux, le chemin des lignes de champ électrique est raccourci et la capacité linéique  $C$  augmente. Le champ magnétique, lui, n'est modifié que dans le cas où l'épaisseur de peau est plus faible que l'épaisseur des barreaux. Même dans ces conditions le champ magnétique reste quasi-constant et ne modifie donc pas l'inductance  $L$ . Le phénomène inverse se produit pour l'inductance et la capacité linéique pour le cas des lignes à ondes lentes micro-rubans. Ces deux paramètres affectent directement la vitesse de phase :

$$v_{\phi} = \frac{c_0}{\sqrt{\mu_r \epsilon_r}} = \frac{1}{\sqrt{LC}} \quad (30)$$

### 3.2.4 Etat de l'art

Les phénomènes de lignes à ondes lentes sont d'abord mis en évidence pour des lignes de propagation micro-rubans [72]. L'expérience présentait plusieurs lignes micro-rubans de largeur différentes sur un empilement Si/SiO<sub>2</sub> où la conductivité variait d'un échantillon à un autre (Figure 3.6). Ces travaux ont permis de révéler un mode de propagation à ondes lentes. Lorsque les conditions étaient réunies le silicium se comportait comme un semi-conducteur et

le mode se propageant dans la structure présentait de faibles pertes et une faible vitesse de phase. Le même phénomène est relevé plus tard toujours par Hasegawa pour des lignes coplanaires [73].

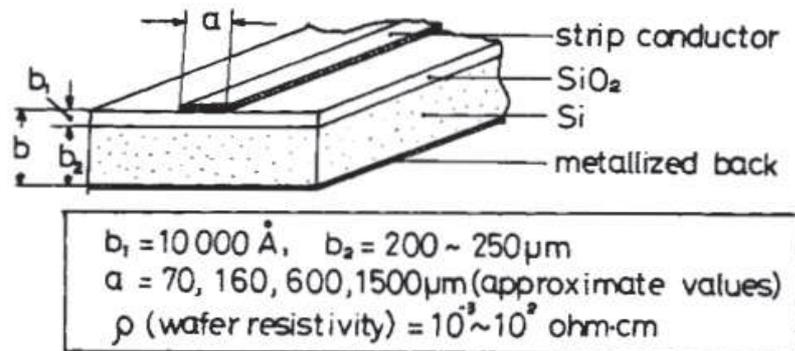


Figure 3.6. Structure de la ligne MS de Hasegawa

Comme mentionné dans la section précédente le champ magnétique n'est pas affecté alors que le champ électrique est bloqué. Pour les lignes à ondes lentes coplanaires, ce phénomène fait augmenter la capacité linéique mais n'affecte pas l'inductance. L'expression de la vitesse de phase dans l'équation précédente traduit bien la diminution de  $v_\phi$  et le ralentissement de l'onde lorsque ce phénomène apparaît. Des pertes très importantes et une faible impédance caractéristique viennent toutefois compenser la capacité de miniaturisation de la ligne.

Des tests d'implémentation de la technique ont été réalisés sur substrat GaAs. Les lignes coplanaires sont alors chargées par des conducteurs de manière périodique. Le facteur de miniaturisation est de l'ordre de 6 mais comme pour les lignes micro-rubans les pertes sont trop importantes dès que la fréquence dépasse quelques GHz [74].

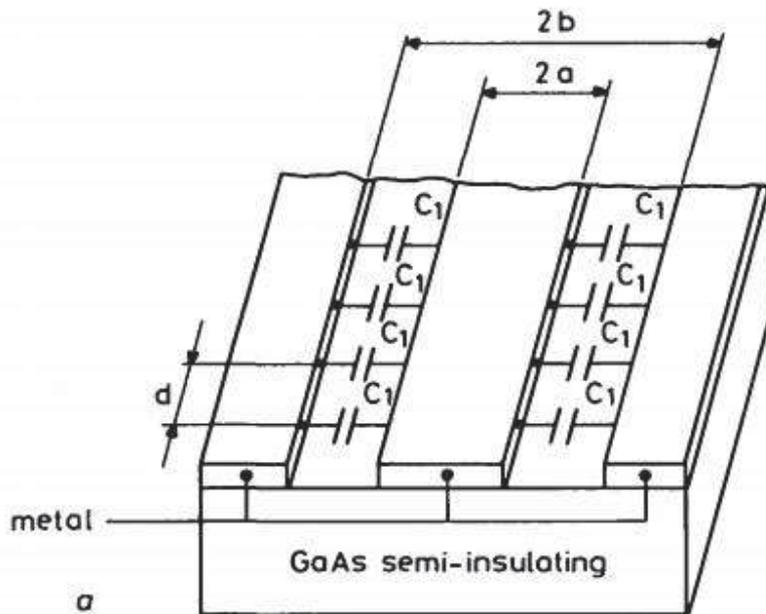
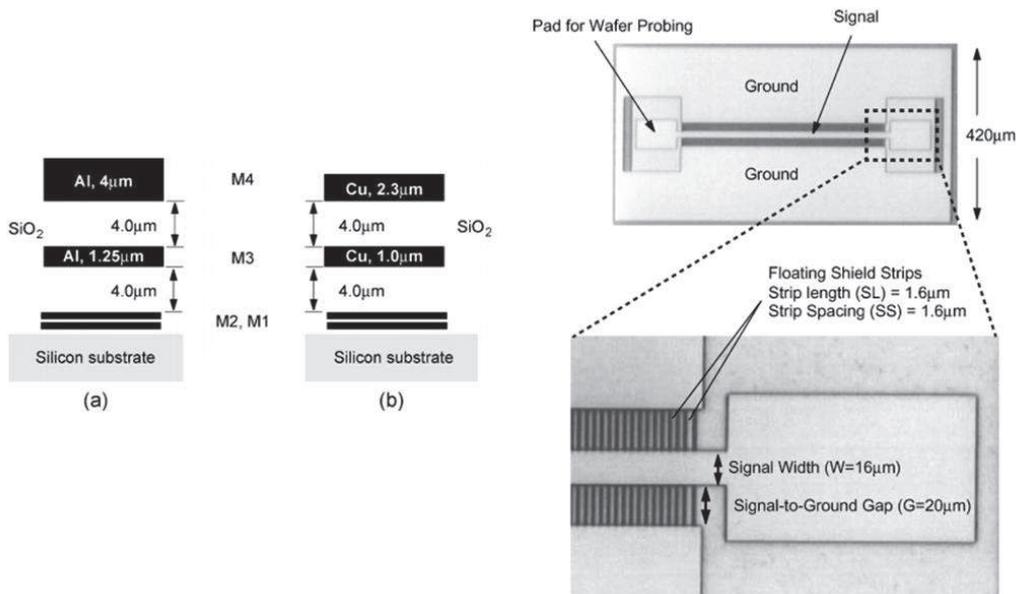


Figure 3.7. Structure CWP à ondes lentes en technologie GaAs[75]

Ces fortes pertes sont essentiellement dues aux courants de Foucault induits par des rubans trop larges. Les technologies contemporaines étaient plus limitées et ne permettaient pas de jouer sur toutes les dimensions des composants. Le potentiel de miniaturisation pour les technologies GaAs n'étant pas suffisamment intéressant lorsque l'on considère le niveau de perte, les lignes à ondes lentes n'ont jamais eu de réelles applications.

Les premières implémentations de lignes à ondes lentes en technologie CMOS remontent à la fin du XX<sup>e</sup> siècle. L'arrivée de technologies plus précises a permis de développer de nouvelles structures et de mieux cerner les phénomènes physiques. Ces travaux ont permis la mise en évidence de l'impact des barreaux flottants sur la capacité et l'inductance des lignes de transmission et sur leur longueur électrique. Les rubans étaient réalisés avec du silicium fortement dopé. Les boucliers permettaient de réduire les pertes d'insertion par un facteur 5 par rapport à la ligne classique (@10GHz) [76]. Cependant les pertes par courant de Foucault augmentent fortement avec la fréquence et les pertes des deux structures deviennent équivalentes.

Au cours de la dernière décennie, les travaux dans ce domaine ont connu une grosse avancée (grâce à Cheung & al.)[77]. Le principe des lignes reste le même mais les barreaux flottants ne sont plus implémentés avec du silicium dopé mais en utilisant les niveaux de métallisation disponibles dans la technologie (cuivre ou aluminium)[78]. Les barreaux sont dimensionnés pour être les plus petits possibles et limiter les pertes par courant de Foucault.



**Figure 3.8. Process utilisés pour les lignes à ondes et photographies des réalisations (ligne 500µm)**

La permittivité effective de certaines topologies de lignes est très élevée (6 fois supérieure par rapport à une ligne micro-ruban 'classique'), les pertes sont très faibles et le facteur de qualité est important lorsqu'il est comparé à des lignes classiques. Ces résultats correspondent à des circuits implémentés dans un process BiCMOS 0.18µm. Suite à ces travaux des lignes performantes ont pu être réalisées. Des facteurs de miniaturisation d'ordre 2-3 peuvent être obtenus sans dégrader la constante d'atténuation de la ligne. Cela se traduit par un facteur de qualité supérieur à celui des lignes classiques [71][63]. Les lignes à ondes lentes micro-ruban (Figure 3.5) présentent elles aussi quelques variations d'une topologie à une autre pour améliorer le facteur de qualité et diminuer les pertes. La connexion des rubans à un plan de masse plein sur les extrémités est efficace pour les basses fréquences mais induit des pertes importantes au-dessus de 60 GHz.

Les lignes à ondes lentes ont été quelque peu utilisées pour des applications HF : LNA [79], filtre [80], T/R switch [64]... Ces applications sont intéressantes mais laissent entrevoir que les Slow Wave Lines ont encore énormément de potentiel.

Les lignes à ondes lentes sont plutôt 'appropriées' pour des applications à très hautes fréquences (>60GHz) car les facteurs de qualités des lignes classiques sont très mauvais à ces fréquences. Cependant, même pour des fréquences en bande Ku, les lignes de transmission à ondes lentes sont très intéressantes. Ces topologies nous permettraient de réduire la surface occupée par les circuits. Comme cela a été présenté, les lignes à ondes lentes coplanaires sont les plus utilisés. Néanmoins les lignes à ondes lentes micro-ruban même en étant moins

performantes permettent d'obtenir des structures très compactes. Il n'y a pas besoin d'un espace important entre le ruban de signal et les rubans de masse. Cet aspect est primordial pour des applications spatiales où la forte capacité d'intégration est une des contraintes principales. Notre étude sera donc portée sur le développement de lignes micro-rubans à ondes lentes plutôt que sur des lignes coplanaires.

### 3.3 REGLES DE CONCEPTION POUR LES LIGNES A ONDES LENTES

Cette section va traiter des modèles de lignes de transmission à ondes lentes développées pendant les travaux de thèse, de la mise en place d'un modèle de simulation. L'influence de chaque paramètre géométrique sera également présentée.

#### 3.3.1 Modèles développés

Deux modèles de lignes à ondes lentes MS ont été étudiés durant ces travaux de thèse. Pour rappel la technologie est constituée de 5 niveaux de métallisation allant de Metal 1 à Top Metal 2. Les deux couches supérieures sont plus épaisses et sont utiles pour la réalisation des inductances et des lignes de transmission. La hauteur totale de diélectrique est d'environ 15 $\mu\text{m}$ . La couche supérieure TM2 est située 3  $\mu\text{m}$  au-dessus de la couche TM1, elle-même 1  $\mu\text{m}$  au dessus de la couche M3. La technologie SiGe 250nm de IHP n'est pas la plus intéressante pour la réalisation de lignes à ondes lentes. En effet la conductivité des métaux par rapport à d'autres technologies CMOS est très mauvaise et la distance importante entre les niveaux de métallisation est un facteur négatif pour l'implémentation de lignes à ondes lentes efficaces[81].

Les lignes se rapprochent du design classique des lignes à ondes lentes micro-ruban mais une des deux présente une particularité : les boucliers flottants sont présents sur deux niveaux de métallisation au lieu d'un seul. Cette manœuvre a pour but d'empêcher le champ électrique de pénétrer à l'intérieur du substrat de manière encore plus effective (Figure 3.12). Cela devrait permettre de réduire les pertes de la ligne[63]. Dans les deux cas, la ligne conductrice est placée sur le niveau de métallisation supérieur TM2. Le plan de masse et les barreaux flottants sont situés sur le niveau de métallisation le plus proche (TM1) afin de maximiser le phénomène d'ondes lentes (design 1).

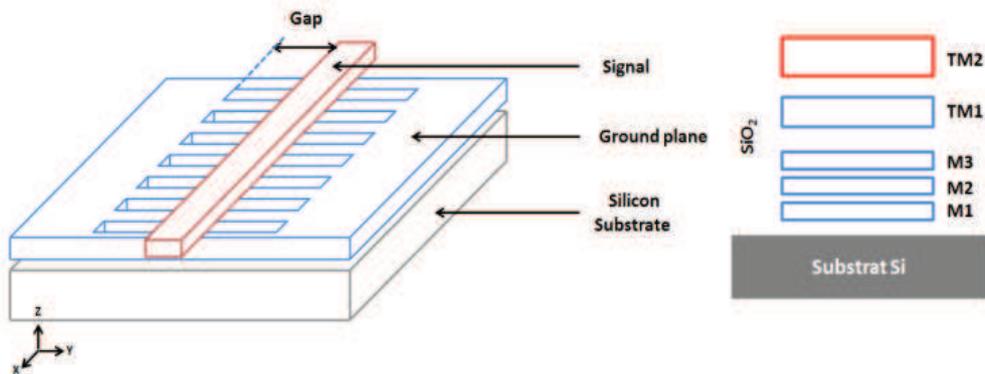


Figure 3.9. Schéma de la structure micro-ruban présentée

Pour la seconde structure les boucliers sont disposés en quinconce sur deux niveaux de métallisation TM1 et M3 (design 2). Les deux niveaux sont connectés au même potentiel par des vias situés aux extrémités des barreaux. Les fentes sont distribuées à intervalle régulier long de la ligne. La capacitance par unité de longueur  $C$  est maximisée en utilisant les niveaux les plus proches de la ligne conductrice. Cependant, même dans cette configuration, la capacité  $C$  est toujours faible et conduit à un facteur de qualité faible. La disposition des boucliers comme présentée en Figure 3.10 a pour but d'empêcher les lignes du champ  $E$  de pénétrer à l'intérieur du silicium et d'améliorer le facteur de qualité  $Q$ .

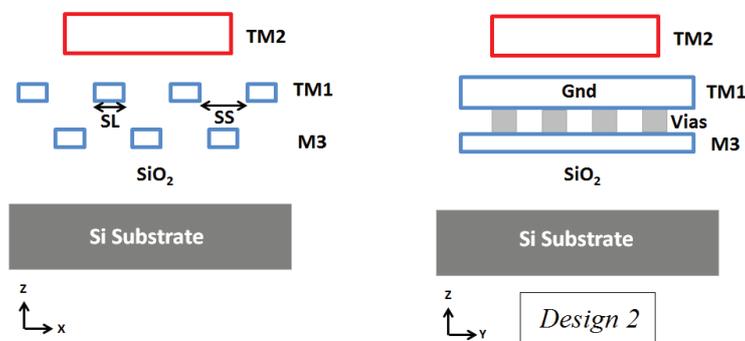


Figure 3.10. Vue en coupe de la seconde structure de ligne à ondes lentes micro-ruban

Les barreaux sont disposés orthogonalement par rapport au sens de propagation du signal de manière à ce que les courants de retour soient repoussés loin de la ligne conductrice contrairement à une ligne micro-ruban classique. La Figure 3.11 illustre ce phénomène.

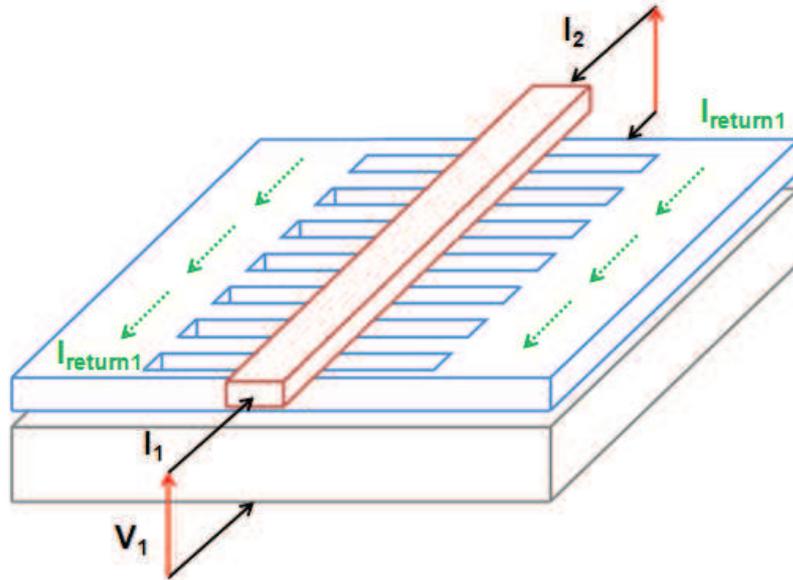


Figure 3.11. Illustration des courants de retour dans une ligne à ondes lentes micro-ruban

En faisant passer ces courants loin de la ligne porteuse et en jouant sur la distance séparant la ligne de signal et le plan de masse plein, il est possible de modifier artificiellement la valeur de l'inductance par unité de longueur  $L$ . La vitesse de phase  $v_\phi$  est donc contrôlée au travers de ces paramètres. Nous nous retrouvons donc avec deux structures potentiellement très compactes (en comparaison des topologies coplanaires) et faciles à implémenter en technologie BiCMOS.

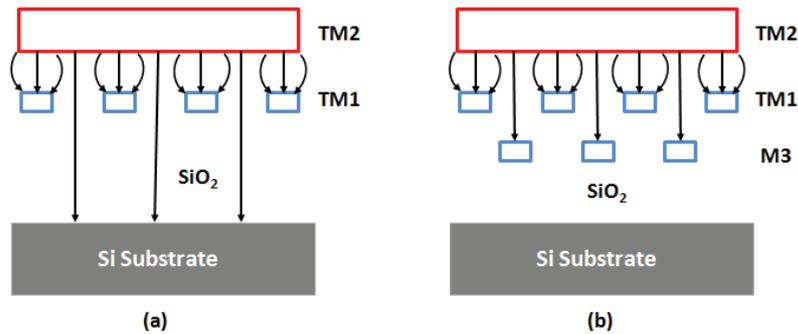


Figure 3.12. Champ électrique dans la structure pour le design 1 (a) et le design 2 (b)

### 3.3.2 Influence des paramètres géométriques

Avant de présenter l'influence des différents paramètres sur les performances des lignes de transmission, une présentation de la géométrie de la ligne doit être faite. La ligne

porteuse du signal est un ruban de largeur  $W$  (Width). Les rubans situés sous la ligne sont de largeur  $SL$  (Strip Length) et espacés les uns des autres d'une longueur  $SS$  (Strip Spacing). Le plan de masse est séparé de la ligne conductrice par un espacement (appelé Gap). La Figure 3.9 et la Figure 3.10 illustrent les différents paramètres géométriques. La géométrie des lignes à ondes lentes micro-ruban présentent des similarités avec les lignes coplanaires. Le principe de fonctionnement est en dualité car dans notre cas c'est l'inductance linéique  $L$  qui varie au lieu de la capacitance  $C$  mais les paramètres peuvent s'étudier de la même manière.

### 3.3.2.1 Largeur et espacement des barreaux métalliques

Les rubans qui constituent les boucliers flottants situés sous le signal affectent le champ électrique. Leur dimensionnement permet de capter ou de laisser passer les lignes de champ électrique. Comme présenté dans la section précédente l'efficacité du phénomène d'ondes lentes repose principalement sur trois paramètres : l'épaisseur de diélectrique entre les niveaux de métallisation utilisés, la distance entre le ruban signal et le plan de masse et la taille des boucliers flottants.

Le dimensionnement des rubans flottants doit être réalisé de manière à ce qu'ils soient perçus comme un plan de masse plein pour le champ électrique. De manière générale, plus les barreaux sont près du signal, plus ils doivent être resserrés pour éviter que les lignes du champ  $E$  ne fuient dans le substrat silicium et ne créent des pertes (illustration Figure 3.13). Cette configuration permet également d'augmenter la valeur de la capacité  $C$ [63].

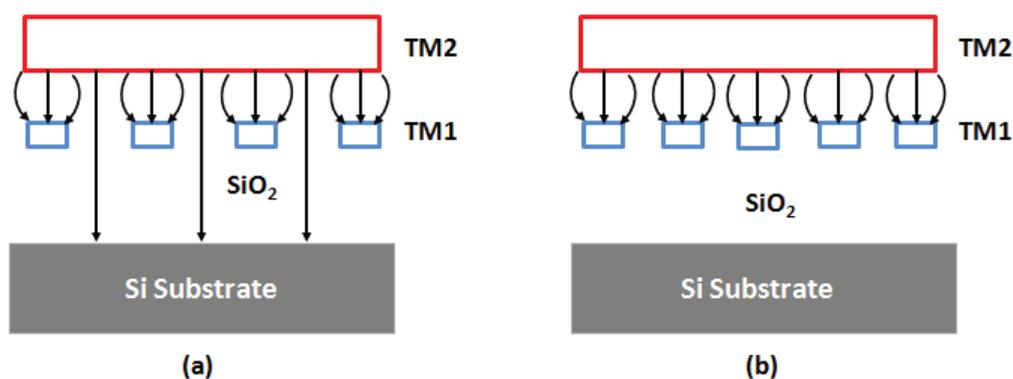


Figure 3.13. Illustration des lignes de champ  $E$  lorsque les rubans sont espacés (a) et resserrés (b)

Lors de la conception du modèle, il a été décidé de placer les boucliers sur le niveau de métallisation TM1,  $2\mu\text{m}$  sous le niveau TM2, pour optimiser l'effet d'onde lente. Les barreaux ont été dimensionnés avec cette contrainte de hauteur fixe entre les niveaux de métallisation. Des règles de conception ont été établies sur la taille des barreaux[71] et préconisent un rapport maximal de trois entre la distance séparant deux rubans et la hauteur TM2/TM1. Il devient donc intéressant d'augmenter la densité des rubans sous la ligne de

transmission. On définit la densité comme le nombre de rubans par unité de longueur (cf relation suivante) :

$$N = \frac{L_{SWL}}{SS + SL} \quad (31)$$

La littérature et les simulations feront ressortir que lorsque le rapport  $\frac{SL}{SS}$  est conservé, les pertes de la structure varient peu en fonction de la densité des rubans. Cette faible variation des pertes se ressent sur le facteur de qualité qui reste aussi presque constant. Il est seulement amélioré si la densité N est suffisamment importante, ce qui traduit l'efficacité du blindage électrique. Au contraire, lorsque la densité des boucliers flottants est fixe, la variation du rapport  $\frac{SL}{SS}$  impacte presque tous les paramètres. Quand ce rapport diminue, on observe une diminution des pertes linéiques et donc une augmentation du facteur de qualité. Ces règles de conception et les effets de chaque paramètre géométriques sont résumés dans le tableau suivant :

		Pertes	Q	$\epsilon_r$	$\angle S21$
<b>Densité N @ <math>\frac{SL}{SS}</math> fixe</b>	↗	≈	≈	↗	≈
	↘	≈	≈	↘	≈
<b><math>\frac{SL}{SS}</math> @ N fixe</b>	↗	↗	↘	↗	≈
	↘	↘	↗	↘	≈

TABLEAU 5. INFLUENCE DES PARAMETRES GEOMETRIQUES SUR LES PERFORMANCES DES LIGNES A ONDES LENTES

Les lignes à ondes lentes doivent donc être conçues avec une forte densité de barreaux N et un rapport  $\frac{SL}{SS}$  assez faible pour obtenir un facteur de qualité intéressant. Les simulations feront apparaître que la taille des rubans flottants (lorsque la densité N est assez importante) impacte peu le retard de phase de la ligne lorsque tous les autres paramètres géométriques sont fixés.

### 3.3.2.2 *Distance ruban signal-plan de masse*

Le champ magnétique est induit et recentré autour de la ligne de propagation. L'ajout de rubans disposés orthogonalement au sens de propagation a pour effet de repousser loin les courants de retour et d'augmenter l'inductance linéique de la ligne. Cette augmentation de l'inductance accroît l'effet d'onde lente en diminuant la valeur de la vitesse de phase (cf équations précédentes). Le dimensionnement de l'espace séparant la ligne porteuse du signal et le plan de masse a donc un effet direct sur la phase induite par la ligne à ondes lentes. Cependant ce paramètre doit être dimensionné en prenant en compte la largeur du ruban central. L'impédance caractéristique de la ligne est déterminée par la relation :

$$Z_c = \sqrt{\frac{L}{C}} \quad (1)$$

La modification de cette distance ruban signal-plan de masse agit sur la valeur de L, il faut réduire la largeur W du ruban central en même temps que la longueur des barreaux pour conserver le ratio L/C constant et assurer une impédance caractéristique  $Z_c$  proche de  $50\Omega$ .

### 3.3.2.3 *Autres*

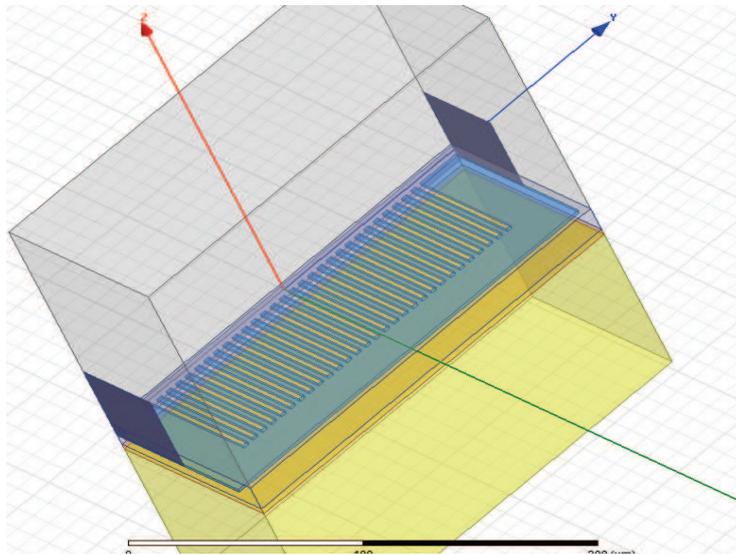
D'autres paramètres sont très importants lors de la conception de lignes à ondes lentes. L'épaisseur des métaux, la conductivité, l'espacement entre deux niveaux de métallisation sont des paramètres pouvant énormément affecter les performances des lignes. Par exemple, lorsque l'épaisseur de diélectrique entre deux niveaux de métallisation (niveaux de métal de la ligne et des boucliers flottants) varie, l'impédance caractéristique et la constante d'atténuation (due aux pertes conductrices) varient. Cependant ces paramètres sont dépendants de la technologie choisie et ne peuvent pas être modifiés artificiellement. Notre étude ne prendra donc en compte que les paramètres géométriques sur lesquels nous pouvons intervenir, la technologie utilisée pour réaliser les travaux de thèse ayant déjà été fixée au début du projet.

### 3.3.3 *Modèles de simulation*

Les lignes ont été simulées à l'aide de l'outil de simulation électromagnétique 3D HFSS. Plusieurs solutions ont été envisagées et testées pour représenter au mieux possible le comportement des lignes. Il est très important que le modèle des lignes à ondes lentes soit

également maillé à l'intérieur du métal. Deux solutions ont été testées pour assurer des résultats précis. La première consiste à réaliser un simple 'solve inside' pour les lignes de transmission. La seconde consiste à utiliser des 'dummy boxes'. Chaque ligne de transmission est constituée de plusieurs couches superposées qui permettent de réaliser un maillage multicouches encore plus précis, notamment pour le calcul du facteur de qualité.

Pour permettre l'établissement correct du champ électromagnétique, une longueur de ligne de quelques  $\mu\text{m}$  est ajoutée juste après les ports d'entrée/sortie. Cette longueur est ensuite déduite après de-embedding. Les paramètres S extraits après simulations(ou mesures) ne rendent compte que de la longueur de ligne intéressante.



**Figure 3.14. Modélisation HFSS d'une ligne à ondes lentes micro-ruban**

Les paramètres S et les paramètres  $\alpha$ ,  $\beta$ , et  $\epsilon_{\text{reff}}$  ont été extraits après de-embedding. La figure suivante présente les résultats de simulations pour le facteur de qualité Q pour trois structures : les deux lignes à ondes lentes et une ligne micro-ruban classique pour servir de référence.

La Figure 3.15 montre les résultats de simulations des lignes de transmission et permet la comparaison des différentes structures. Les résultats sont obtenus après optimisation des paramètres géométriques : SL, SS et du Gap. Les rubans sont dimensionnés pour minimiser les pertes par courants de Foucault tout en conservant un retard de phase important. Les paramètres sont fixés aux valeurs suivantes : SL =  $2\mu\text{m}$ , SS =  $6\mu\text{m}$  et le Gap =  $50\mu\text{m}$ .

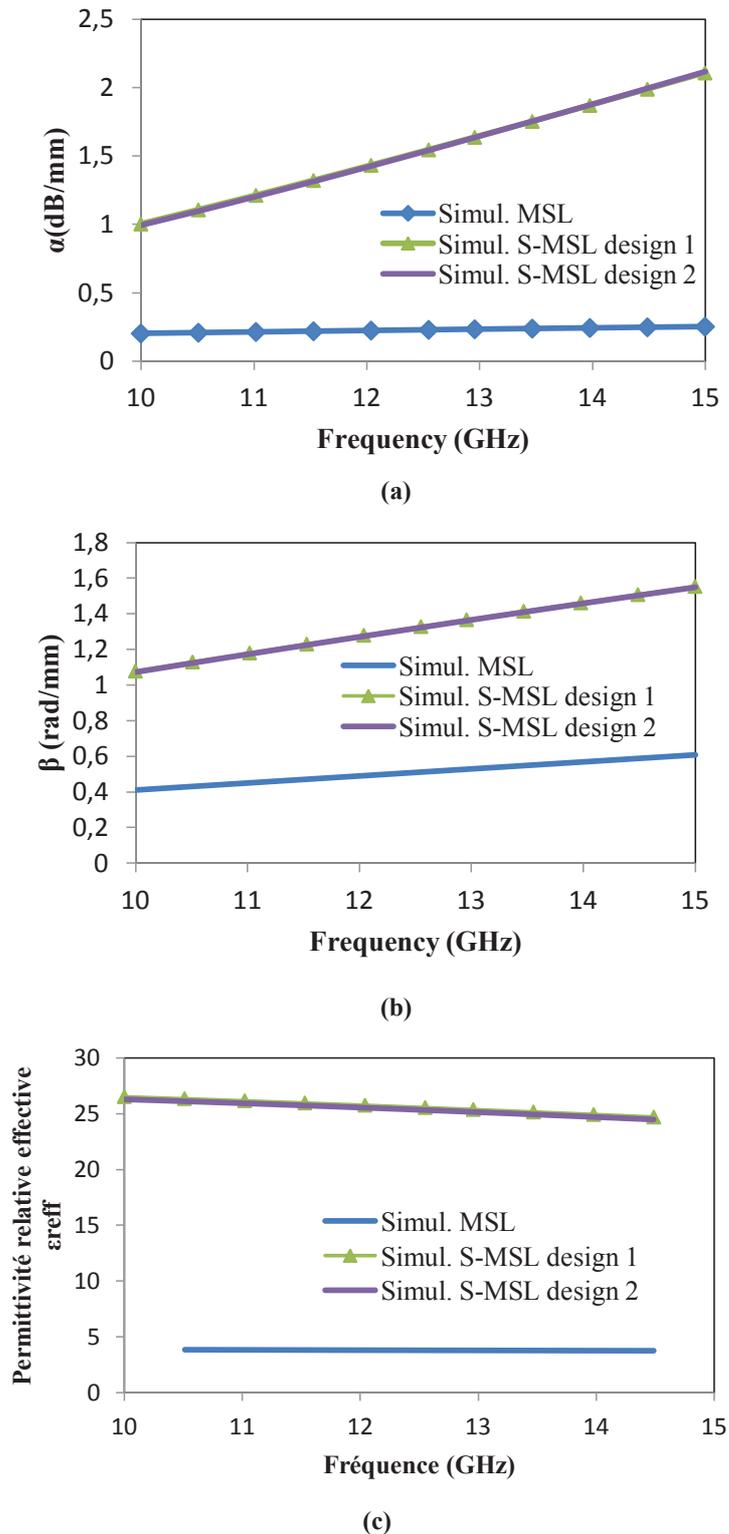
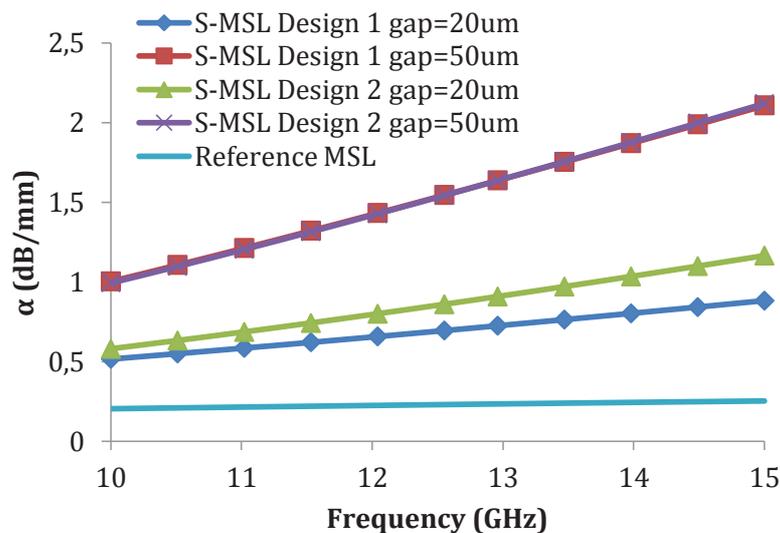


Figure 3.15. Comparaison entre ligne micro-ruban classique et lignes à ondes lentes.  
 (a) constante d'atténuation  
 (b) constante de phase  
 (c) permittivité effective relative

Les résultats de la constante de phase  $\beta$  montrent que les structures à ondes lentes sont possibles pour la bande Ku. On remarque un retard de phase 2.5 fois supérieur à celui d'une ligne classique. Cependant la constante d'atténuation est elle aussi très importante. On relève une atténuation  $\alpha$  de 1.5dB/mm @ 12.5GHz contre seulement 0.3dB/mm pour la ligne micro-ruban simple. La permittivité relative effective est également grandement augmentée grâce à la topologie utilisée. On passe d'une valeur de permittivité relative effective de 3.8 (4.1 pour le SiO<sub>2</sub>) à une valeur de 25.

Les simulations mettent aussi en évidence l'impact de l'espacement signal-plan de masse sur les performances de la ligne. La Figure 3.16 montre que lorsque l'espacement entre la ligne et le plan de masse diminue, le champ électromagnétique est plus concentré autour de la ligne porteuse du signal. Le facteur de qualité Q et les autres constantes  $\alpha$  et  $\beta$  diminuent aussi lorsque la longueur des rubans diminue. Ces variations peuvent s'expliquer par une variation de l'impédance caractéristique  $Z_c$  de la structure. Les paramètres SS, SL et l'espacement ligne/plan de masse doivent être dimensionnés de manière à assurer une impédance caractéristique proche de 50 $\Omega$ .



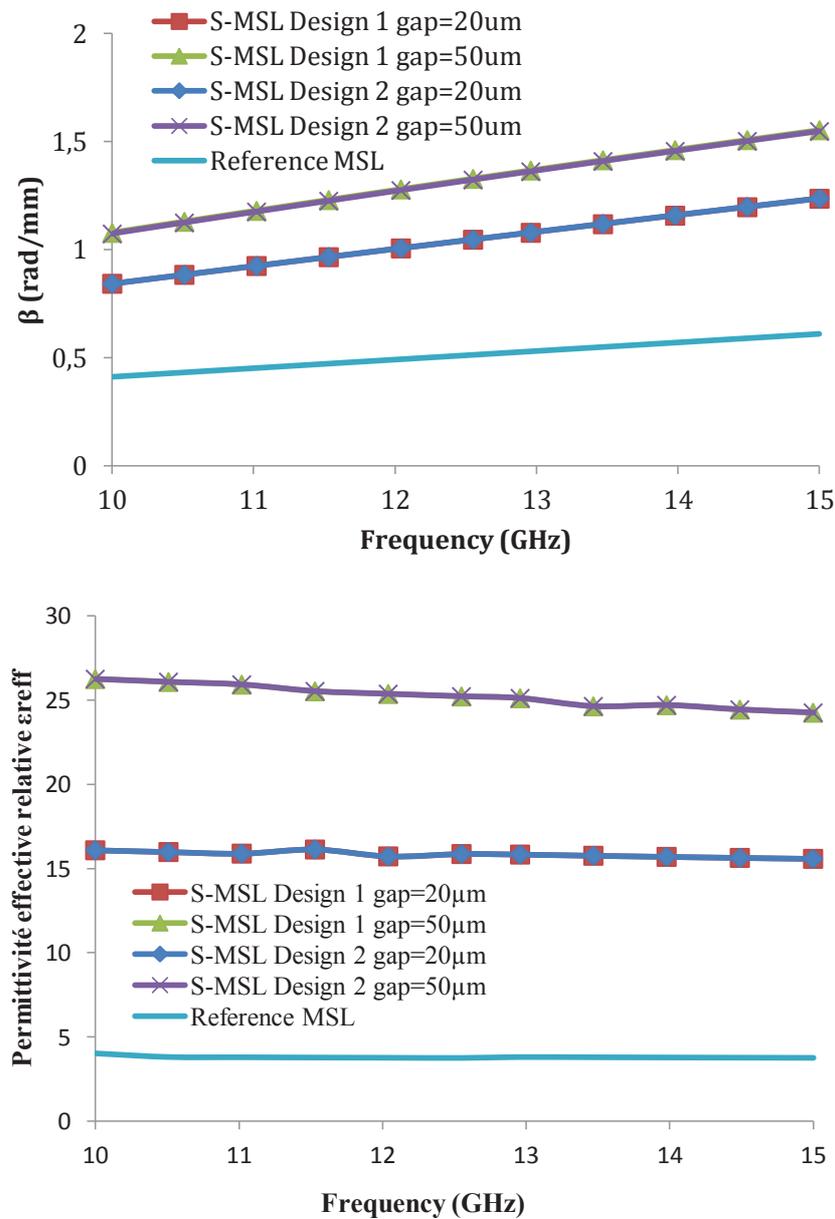


Figure 3.16. Influence de la longueur des rubans sur les paramètres  $\alpha$ ,  $\beta$  et  $\epsilon_{eff}$

Ces simulations mettent en évidence que plus le plan de masse est proche de la ligne plus  $\alpha$  et  $\beta$  diminuent. La longueur des barreaux doit être dimensionnée en fonction des spécifications du cahier des charges en termes de pertes et de compacité. D'après ces résultats une réduction 60 % de la longueur physique d'une ligne peut être atteinte en utilisant une ligne à ondes lentes plutôt qu'une ligne micro-ruban pour un déphasage donné. Une ligne de longueur 1.54 mm est nécessaire pour obtenir un déphasage de  $45^\circ$  avec une ligne classique (pour des pertes d'insertion de 0.3-0.4dB). Pour la même longueur électrique, une ligne de transmission à ondes lentes de 590 $\mu$ m suffit (pour des pertes d'insertion estimées de 0.59-1.25 dB). La longueur des barreaux ici fixée à 50  $\mu$ m pour répondre aux exigences du cahier des

charges, permet d'obtenir une structure relativement compacte par rapport aux autres structures à ondes lentes (S-CPW dans la plupart des cas) à 12.5 GHz.

### 3.4 RESULTATS EXPERIMENTAUX

Les structures présentées précédemment ont été implémentées sur une puce lors d'un run. La technologie utilisée pour la fabrication des échantillons est la technologie 0.25 $\mu\text{m}$  SiGe BiCMOS de IHP. Deux lignes à ondes lentes (design 1 et design 2) d'une longueur de 500 $\mu\text{m}$  ont été fabriquées ainsi qu'une ligne micro-ruban classique de même longueur qui servira d'élément de comparaison. Ces mesures ont fait l'objet d'une publication et ont été présentées dans [82]. Afin d'éviter un problème de couplage entre les pointes lors de la mesure une longueur de ligne supérieure à 300  $\mu\text{m}$  était absolument nécessaire.

#### 3.4.1 Résultats de mesure

Les puces ont été mesurées en salle de caractérisation en utilisant un VNA (Anritsu ME7808A VNA) et une station sous pointes. Les paramètres  $\alpha$ ,  $\beta$  et les paramètres-S ont été extraits après de-embedding. Un kit de calibration TRL (Thru, Reflect, Line) spécial a été implémenté sur les puces pour enlever l'impact des lignes d'amenées. De chaque côté des lignes de transmission, les lignes d'amenées font 150  $\mu\text{m}$ .

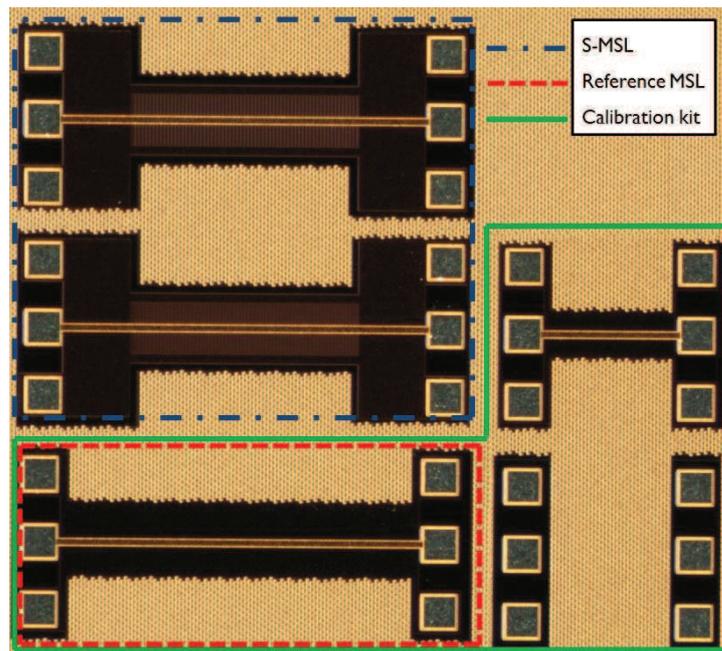
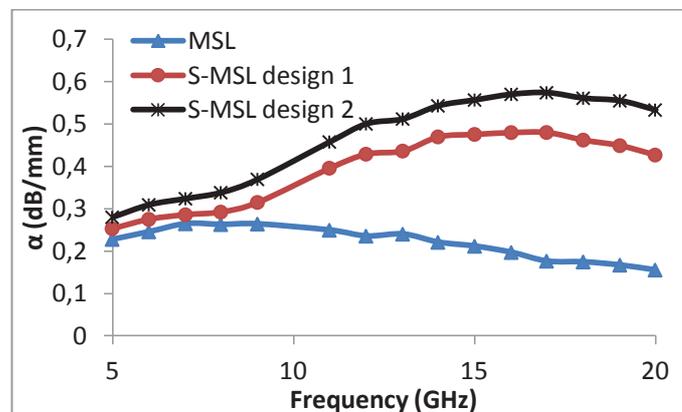


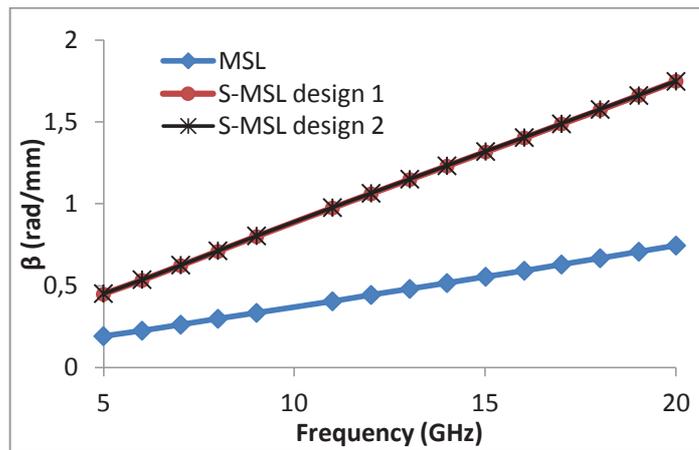
Figure 3.17. Photo des lignes de transmission sur la puce lors du premier run

La ligne micro-ruban de référence est également utilisée comme élément 'Line' pour la calibration TRL.

La Figure 3.18 montre les résultats de mesure obtenus après de-embedding pour toutes les lignes de transmission. La largeur de la ligne micro-ruban classique est de  $15\mu\text{m}$ . Le plan de masse est placé sur le niveau de métallisation M1 pour la ligne micro-ruban classique. Les lignes sont présentées après optimisation des paramètres géométriques en accord avec les contraintes du cahier des charges (privilégier l'avance de phase tout en minimisant les pertes par courant Foucault). La géométrie est fixée par  $SS=2\mu\text{m}$ ,  $SL=2\mu\text{m}$  et  $\text{Gap}=50\mu\text{m}$ .



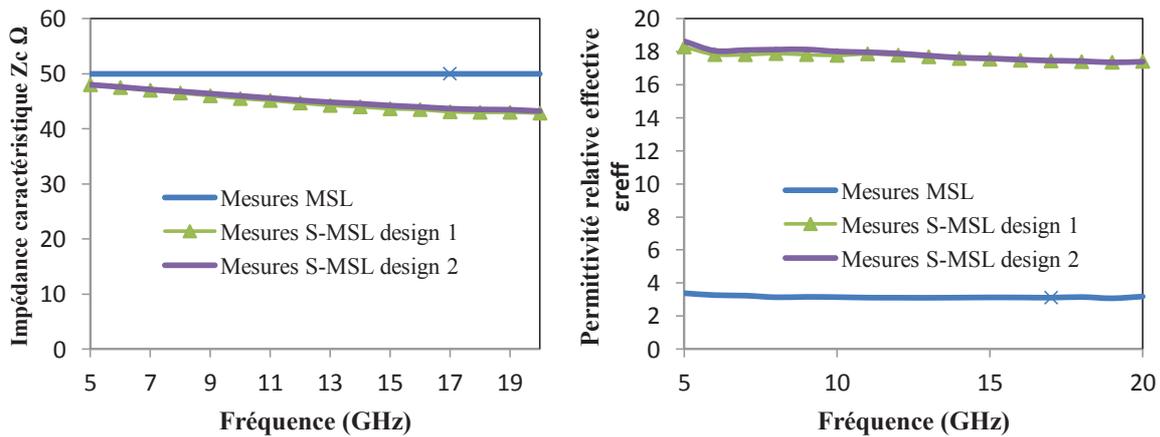
(a)

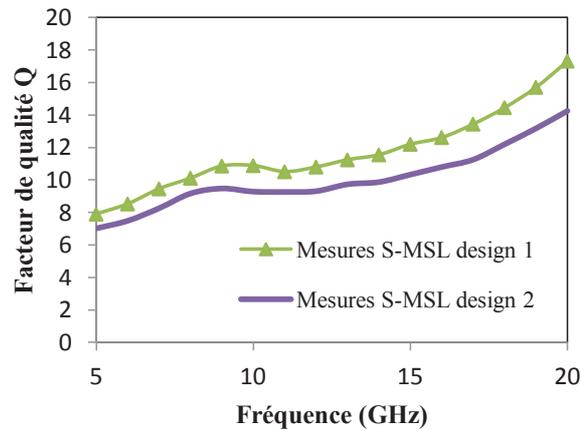


(b)

Figure 3.18. Comparaison des mesures pour les lignes à ondes lentes et la ligne classique  
 (a) constante d'atténuation (dB/mm)  
 (b) constante de phase (rad/mm)

Les résultats de mesures montrent que les structures sont efficaces dans la bande [10.5 GHz-14.7 GHz]. Par contre les lignes présentent toujours une atténuation plus importante que la ligne classique conformément aux simulations. Une atténuation linéique de 0.42dB/mm est relevée pour le design 1 (0.5 dB/mm pour le design 2) contre seulement 0.24 dB/mm pour la ligne micro-ruban. Les lignes à ondes lentes présentent un facteur de qualité supérieur à celui de la ligne classique.





**Figure 3.19. Mesures de l'impédance caractéristique, de la permittivité relative effective et du facteur de qualité**

Pour la ligne micro-ruban classique les pertes d'insertion sont très faibles et la mesure se retrouve dans le domaine d'incertitude du VNA. Cela permet d'expliquer pourquoi les pertes d'insertion diminuent quand la fréquence augmente contrairement à la théorie. Ce phénomène affecte la valeur du facteur de qualité et empêche une comparaison avec les lignes à ondes lentes. Toutefois nous pouvons comparer les deux lignes à ondes lentes. Le design le plus simple présente un facteur Q légèrement supérieur au second design dû à des pertes d'insertion moins importantes. Les pertes induites par les vias étaient donc sous-estimées en simulation et contribuent à détériorer le facteur de qualité. Le fait de placer des boucliers flottants sur deux niveaux n'a pas eu l'impact voulu à cause des pertes dues aux vias. La permittivité relative effective est largement augmentée par les topologies à ondes lentes en comparaison de la ligne classique. On retrouve un rapport 6 entre les deux conformément aux simulations. L'impédance caractéristique a également été conservée très proche de  $50\Omega$  pour les deux lignes à ondes lentes.

Ces résultats de mesure confirment une réduction possible de 58% de la longueur des lignes de transmission pour atteindre un déphasage donné.

### 3.4.2 Comparaison avec les simulations

Les mesures révèlent plusieurs différences avec les simulations. La plus grosse différence est au niveau des pertes d'insertion. Un pire cas était attendu avec des pertes deux fois plus importantes. Une modélisation plus précise avec un plus grand nombre de mailles est donc peut-être nécessaire. Cependant la capacité de réduction de 60% attendue par les simulations a été confirmée en mesure. Les simulations présentaient également des performances très comparables pour les deux designs des lignes à ondes lentes qui se sont révélées être justes avec les mesures.

Un autre angle de comparaison concerne les pertes légèrement plus importantes pour le design 2 et un facteur de qualité équivalent à celui du design 1. Ces différences entre les simulations et les mesures peuvent s'expliquer par la modélisation des pertes et des vias. En effet la description du design kit préconise un  $\tan \delta$  (modélisation des pertes pour les logiciels de simulations) égal à 0. Ce cas idéal n'est pas représentatif de la réalité. Les vias également modélisés dans HFSS pour connecter les boucliers présents sur plusieurs niveaux de métallisation (design2) ont été considérés comme idéaux. Il faut donc considérer les performances équivalentes des deux lignes de transmission à ondes lentes comme une compensation des pertes. La diminution des pertes par courant de Foucault dans un cas est compensée par l'augmentation des pertes conductrices. Les vias connectant le niveau TM1 au niveau M3 présentant des pertes importantes.

Cependant les lignes restent néanmoins performantes (la constante  $\beta$  est multipliée par un facteur 2.4) et constituent un candidat intéressant pour des cellules de déphasage ultra compactes. Un exemple de cellule de déphasage basée sur les lignes à ondes lentes est présenté ci-dessous et sera approfondi dans le chapitre suivant.

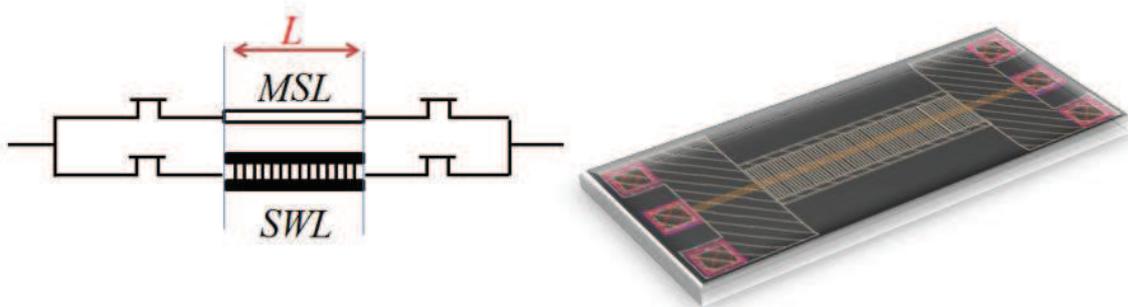


Figure 3.20. Prototype de déphaseur basé sur les lignes à ondes lentes

### 3.5 LIGNES DE TRANSMISSION A ONDES LENTES A MEANDRES

Les lignes micro-rubans à ondes lentes se sont révélées très intéressantes et présentent de bonnes performances. Cependant, dans un but d'applications pour des cellules de déphasage, l'utilisation de ces lignes n'est pas optimal. En effet les designs de circuits analogiques HF impliquent souvent des contraintes de compacité qui ne sont pas forcément compatibles avec la géométrie actuelle des lignes que nous avons étudiées. Dans cette optique, des lignes à méandres ont été développées pour pouvoir être implémentées dans des circuits basés sur les lignes à ondes lentes. Des exemples de topologies basés sur ces lignes seront présentés pour appuyer l'intérêt de ces lignes.

### 3.5.1 Principe des lignes à ondes lentes à méandres

La topologie de la ligne à méandre étudiée dans cette section reprend la géométrie des lignes à ondes lentes classiques. On retrouve un ruban principal conduisant le signal placé au-dessus de boucliers flottants qui constituent le plan de masse. Dans un souci de simplification et parce que le fait de placer des boucliers sur deux niveaux de métallisation n'implique par forcément de meilleures performances, les boucliers sont placés uniquement sur le niveau TM1. De manière générale le plan de masse suit la ligne de transmission lorsque cette dernière tourne[64]. La Figure 3.21 illustre la façon dont le plan de masse suit la ligne de transmission.

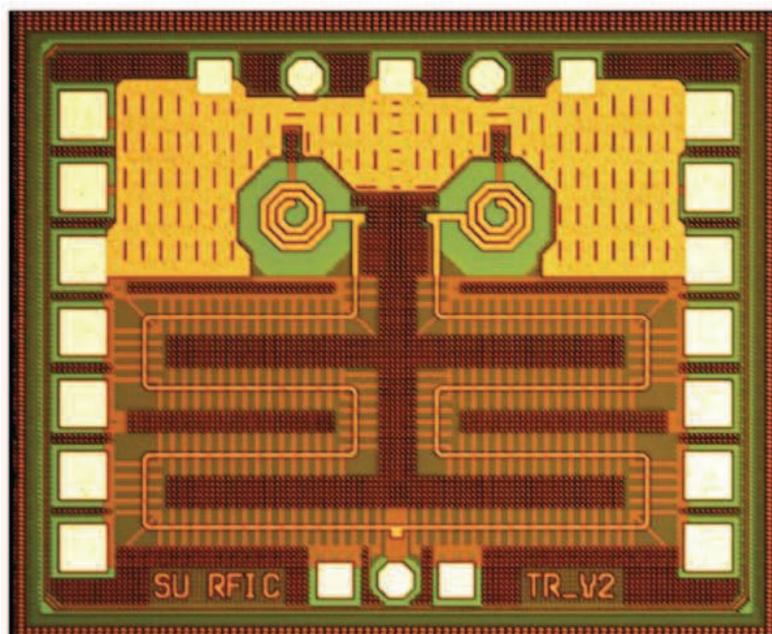


Figure 3.21. Photo d'un switch T/R basé sur les lignes à ondes lentes [64]

Le principe de la ligne à méandres présentée dans ces travaux repose sur l'utilisation des mêmes rubans flottants pour réaliser un unique plan de masse lorsque la ligne tourne. La topologie de ce design est présentée en Figure 3.22.

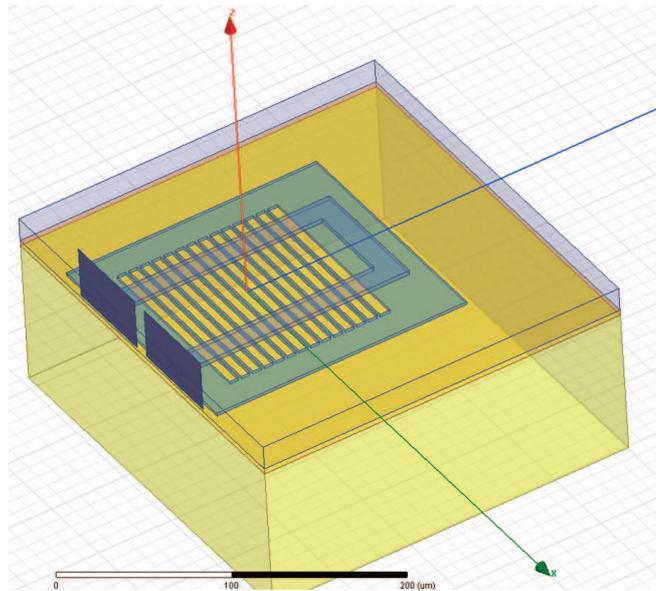


Figure 3.22. Modèle HFSS de la ligne à méandres proposée

Le process de fabrication étant le même que précédemment et la topologie de base très proche, les paramètres géométriques SL (largeur des rubans métalliques) et SS (espacement des barreaux flottants) ont déjà été optimisés et conservent leur valeur ( $SL = 2\mu\text{m}$  ;  $SS = 6\mu\text{m}$ ). Les barreaux sont donc disposés sous la ligne sauf si elle tourne. La Figure 3.23 présente deux nouveaux paramètres déterminants pour les performances de la ligne : le TG Gap (distance entre les deux plans de masse pleins) et le T Gap (distance séparant les deux lignes de transmission).

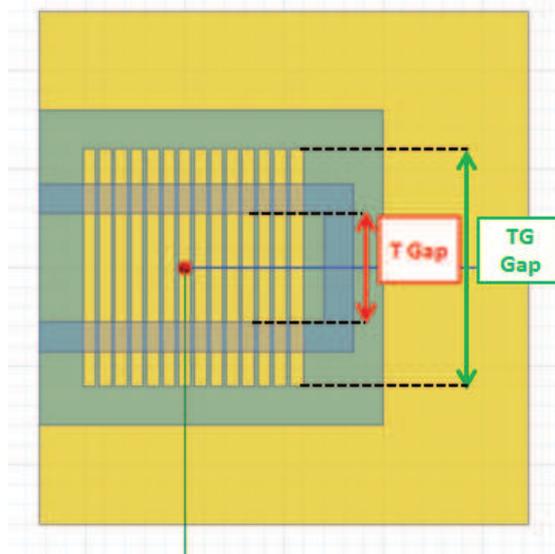
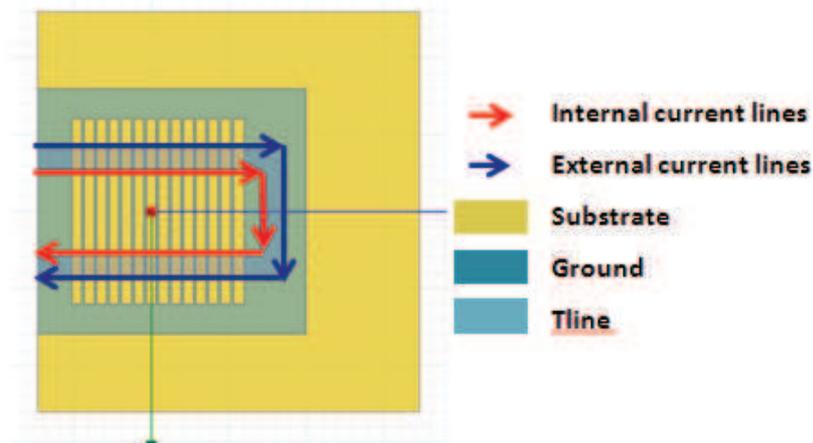


Figure 3.23. Illustration des nouveaux paramètres géométriques

Le fonctionnement de ces lignes et la nouveauté repose sur le couplage induit entre les deux lignes. Le fait d'utiliser les mêmes boucliers flottants alors que le sens de propagation du signal change lorsque la ligne effectue un demi-tour, permet de diminuer les pertes tout en conservant la phase acquise par l'effet d'onde lente. En effet l'effet d'onde lente est maintenu par la présence des barreaux situés sous le signal et assure un retard de phase comparable à celui d'une ligne à ondes lentes micro-ruban de même longueur (si l'on considère la longueur déployée de la ligne à méandres). L'autre phénomène crucial est le fait que les lignes de courants sur les bords de la ligne conductrice suivent le sens de propagation du signal tout le long (cf Figure 3.24). Lorsque la ligne effectue un demi-tour, les deux portions ont des lignes de courants de sens opposés. Ces lignes entraînent l'annulation du courant rentrant dans les boucliers flottants et conduisent à une réduction des pertes métalliques.



**Figure 3.24. Illustration de l'orientation des lignes de courants dans la ligne de transmission**

La distance séparant les lignes de transmission peut être réduite jusqu'à la largeur  $W$  de la ligne de signal pour maximiser l'effet sur les pertes métalliques. Ce phénomène est plus efficace à l'endroit où la ligne fait demi-tour car les courants se retrouvent opposés alors que la valeur de la phase de la ligne de transmission est quasi-constante. Il devient donc intéressant de développer une ligne à plusieurs méandres dans le but de vérifier l'efficacité d'une telle ligne. Une ligne pliée 3 fois a été également développée et va présenter des résultats prometteurs.

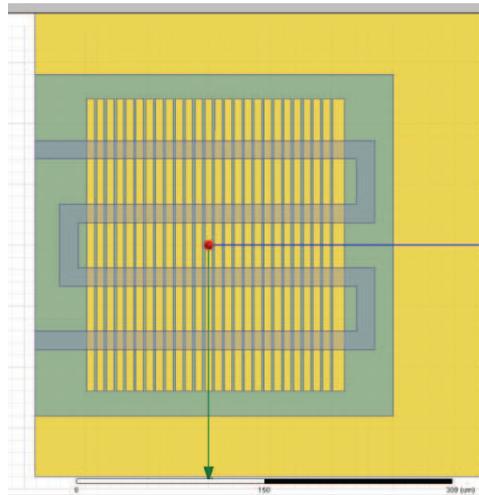


Figure 3.25. Modèle HFSS d'une ligne à plusieurs méandres

### 3.5.2 Simulations et résultats de mesure

Afin de déterminer le comportement électromagnétique des structures présentées précédemment, des simulations ont été effectuées avec l'outil HFSS. Ces résultats de simulations vont dans le sens de la théorie. Lorsque la distance séparant les lignes augmente, les pertes et la phase augmentent. Si cette distance est inférieure à la largeur  $W$  la ligne de signal, toutes les performances sont dégradées. La distance entre les deux plans de masse (longueur des boucliers flottants) impacte également les performances globales de la ligne et doit être dimensionnée selon les critères prioritaires du cahier des charges. Un espacement plus faible conduit une structure plus compacte mais l'effet d'onde lente est diminué. Ces observations sont similaires au comportement des lignes à ondes lentes micro-ruban classiques.

Le tableau suivant regroupe les résultats de simulations et compare les performances des lignes à méandres aux performances des lignes à ondes lentes fabriquées et mesurées dans la section «Résultats Expérimentaux» de ce chapitre.

[10.7 ; 14.5 GHz]	<i>Ligne à ondes lentes micro-ruban classique</i> [82]*	<i>Ligne à méandre 1x**</i>	<i>Ligne à méandres 3**x</i>
Réflexion	< -20 dB	-16 dB	-14dB
Pertes d'insertion	< -0.2 dB	-0.35 dB	-0.4dB
Surface	0.075 mm <sup>2</sup>	0.049 mm <sup>2</sup>	0.050 mm <sup>2</sup>
Longueur de la ligne	500 μm	310 μm	170 μm
Longueur déployée	500 μm	610 μm	750 μm
$\Delta\varphi$	<b>31.5°</b>	<b>36°</b>	<b>37°</b>

\* Mesures; \*\* Simulations

TABLEAU 6. TABLEAU COMPARATIF DES LIGNES A ONDES LENTES

La longueur des lignes a été choisie de manière à avoir la même longueur électrique et pouvoir comparer les performances. Les nouveaux designs ont une meilleure constante de phase et sont plus compacts mais présentent des pertes d'insertion légèrement supérieures.

Ces structures ont été implémentées sur puce lors du quatrième run réalisé lors de ces travaux de thèse et présentent de bons résultats.

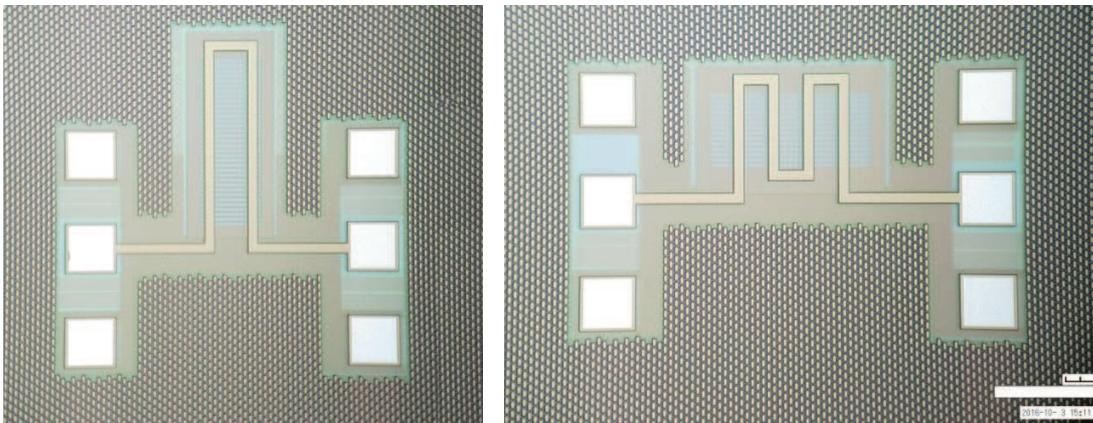


Figure 3.26. Photographie des puces fabriquées

Les lignes ont été mesurées avec un VNA après une calibration TRL afin de sortir l'impact des pads et des lignes d'amenée. Les lignes présentent des pertes supérieures aux autres lignes micro-rubans. Cela s'explique par la longueur déployée des lignes qui est aussi supérieure à celle des lignes à ondes lentes micro-ruban classiques. La valeur du retard de phase est par contre très intéressante, puisqu'on obtient une amélioration de la constante de phase pour la ligne repliée x1. On relève @12.5GHz, des constantes de phase  $\beta = 1.13$  rad/mm pour la ligne repliée x1 et  $\beta = 1.03$  rad/mm pour la ligne repliée x3 (contre  $\beta = 1.08$  pour les lignes à ondes lentes micro-ruban droites). Le facteur  $\beta$  est donc conservé grâce à ces

topologies de lignes à méandres tout en ayant compacité les structures. La surface utilisée est diminuée de 35%.

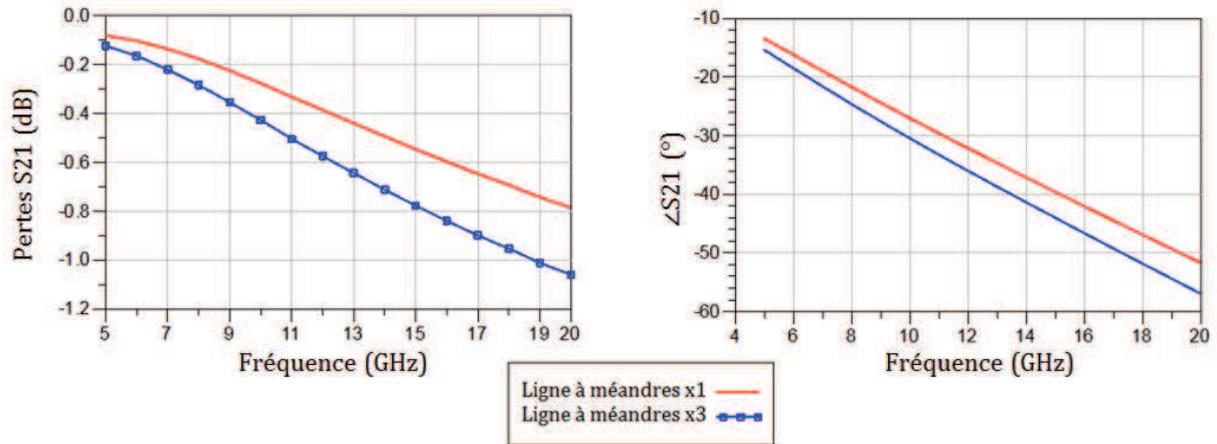


Figure 3.27. Résultats de mesures des lignes à méandres pour les pertes et le retard de phase

[10.7 ; 14.5 GHz]	<i>Ligne à ondes lentes micro-ruban classique [82]</i>	<i>Ligne à méandre 1x</i>	<i>Ligne à méandres 3x</i>
Réflexion	< -20 dB	<-12.3 dB	<-10dB
Pertes d'insertion	< -0.2 dB	<-0.54 dB	<-0.7dB
Surface	0.075 mm <sup>2</sup>	0.049 mm <sup>2</sup>	0.050 mm <sup>2</sup>
Longueur de la ligne	500 μm	310 μm	170 μm
Longueur déployée	500 μm	610 μm	750 μm
Δφ	<b>31.5°</b>	<b>39°</b>	<b>44°</b>

TABLEAU 7. COMPARAISON DES LIGNES DE TRANSMISSION A ONDES LENTES APRES MESURES

### 3.5.3 Applications

Enormément de topologies peuvent être utilisées pour réaliser un déphaseur pour des applications en bande Ku. Les plus courantes sont les topologies hybrides basées sur l'utilisation d'éléments localisés LC comme filtres RF. Nous proposons donc une nouvelle topologie basée sur les lignes à ondes lentes et plus particulièrement les lignes à ondes lentes

à méandres. Un premier exemple a été mentionné dans la Figure 3.20. Une autre topologie (toujours avec le principe de lignes commutées) est illustré en Figure 3.28

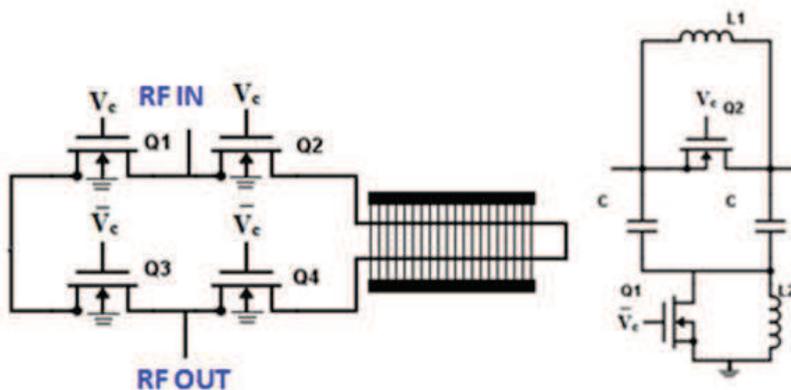


Figure 3.28. Topologie proposée versus topologie classique

Les résultats très intéressants des lignes à ondes lentes à méandres et ses applications potentielles pour des cellules de déphasage font l'objet d'un dépôt de brevet. D'autres publications sur le même sujet sont en attente de validation de ce brevet pour être soumises.



## 4 CHAPITRE IV - DEPHASEURS ET ATTENUATEURS MMIC

### 4.1 INTRODUCTION

Ce chapitre a pour but de mettre en avant la conception et la réalisation de circuits MMIC constituant les blocs fonctionnels d'une chaîne de commande pour antennes à formation de faisceaux. Les différents éléments la constituant ont été présentés dans le chapitre I. Les designs des circuits déphaseurs et atténuateurs seront donc détaillés. Ils seront réalisés avec les éléments passifs introduits et développés dans le second chapitre.

Les circuits ont été simulés avec les outils CADENCE Virtuoso et ADS à l'aide du Design Kit SGB25V. Les puces ont été fabriquées en fonderie chez IHP Microelectronics au cours de 4 différents runs.

Des cellules élémentaires de déphasage et d'atténuation ont d'abord été développées et mesurées seules avant d'être assemblées comme un core-chip. Le chapitre détaillera leur conception, les résultats de mesures ainsi que les techniques utilisées pour améliorer les performances intrinsèques des circuits.

Le but est de pouvoir générer une constellation de type polaire par exemple pour assurer correctement la formation de faisceau.

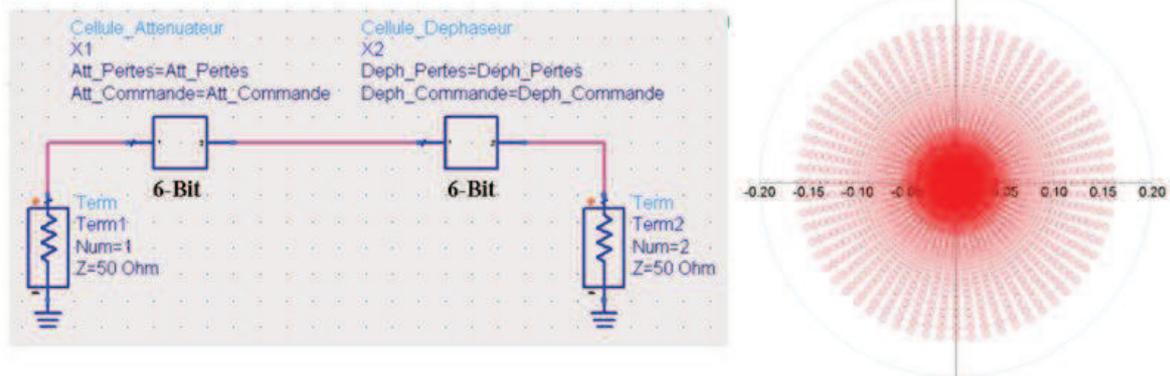


Figure 4.1. Exemple de constellation polaire

### 4.2 CELLULES ELEMENTAIRES

Cette partie concerne le développement des cellules élémentaires qui constitueront le core-chip. Afin de contrôler une antenne à balayage électronique, il est crucial de maîtriser la phase et l'amplitude du signal. Une loi de phase et une loi d'amplitude sont donc mises en place par le biais de cellules de déphasage et d'atténuation. Ce sont ces éléments qui seront abordés dans cette section. L'architecture de ces cellules et leur fonctionnement a déjà été détaillé dans un précédent chapitre mais seront rappelés brièvement.

### 4.2.1 Cellule de déphasage 45°

Le premier élément et le plus important dans la chaîne de commande d'une antenne à formation de faisceaux est le déphaseur. Ce circuit a un impact direct sur les performances du système. Actuellement les solutions core-chip dans le milieu spatial utilisent une approche 'hybride'. Les circuits numériques (convertisseur série/parallèle...) utilisés pour les fonctions de contrôle et de commande sont réalisés en technologie CMOS alors que les fonctions analogiques (déphasage et atténuation) sont plutôt implémentées en technologie GaAs. Cette approche augmente la complexité, la taille et les contraintes des systèmes à formation de faisceau. Le développement de ces fonctions en technologie CMOS (ou BiCMOS) est donc intéressant. La capacité d'intégration sur puce silicium et la faible consommation DC aident à la conception de ces systèmes.

Les déphaseurs intégrés dans ces systèmes sont de deux natures, soit 'numérique' soit 'analogique'. Les contraintes du cahier des charges qui nous sont imposées en terme de consommation DC nous incite à privilégier une solution 'numérique'. Le déphaseur doit atteindre 360° de dynamique de déphasage sur la bande de fréquence [10.7GHz – 14.5 GHz]. Il sera constitué de plusieurs cellules mises en cascade pour atteindre la dynamique voulue. Chaque cellule représente un bit de déphasage. La cellule de poids le plus fort réalise 180° de déphasage (MSB Most Significant Bit) tandis que la cellule de poids faible (LSB Least Significant Bit) est déterminée par la résolution du déphaseur. Un système 3 bits aura une résolution de 45° et 8 états de fonctionnement (0°, 45°, 90°, 135°, 180°, 225°, 270° et 315°).

Les cellules sont classées en fonction du déphasage ciblé : les cellules à déphasage fort (180°, 90°), les cellules à déphasage intermédiaire (90°, 45°, 22°) et les déphasages faibles (11°, 5°). Les déphasages théoriques des cellules faibles sont : 22.5°, 11.25°, 5.625° que nous présenterons comme des cellules 22°, 11° et 5° par souci de simplification.

## 4.2.1.1 Conception de la cellule de déphasage 45°

Les cellules avec une valeur de déphasage intermédiaire (90°, 45°) sont les plus contraignantes pour la conception car le déphasage ciblé n'est ni trop important ni trop faible. Un premier déphaseur 45° a donc été conçu pour évaluer le potentiel de la technologie.

La topologie retenue est celle présentée dans[29]. Le circuit est un filtre passe bas en  $\Pi$ . Cette structure n'utilise qu'une seule inductance contrairement à une cellule en T ou une cellule passebas/passe-tout[18].

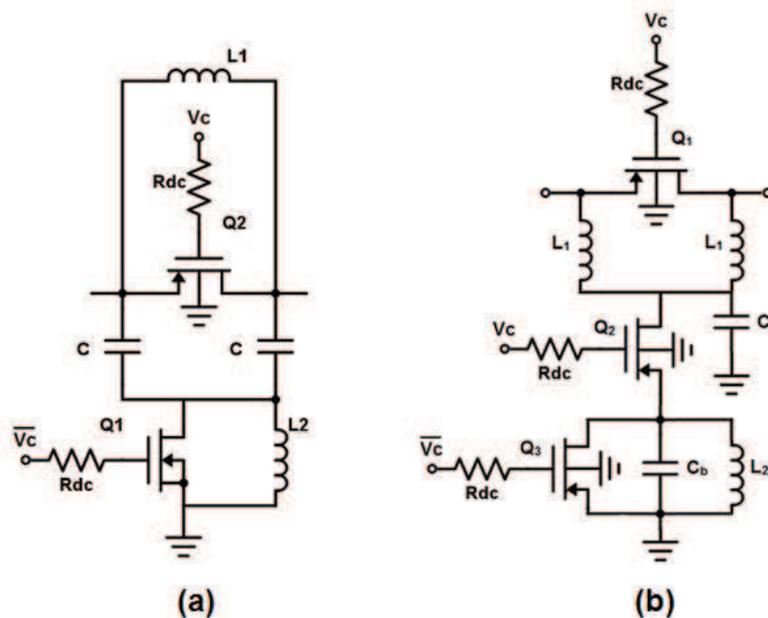


Figure 4.2. Topologie e cellule passe bas en  $\Pi$  (a) et passe bas /passe-tout (b)

Le déphaseur a deux états de fonctionnement : un état 'OFF' (état de référence) et un état 'ON'. Lorsque le transistor série devient passant et que le transistor parallèle est bloqué, le circuit devient une mise en parallèle de L1, des deux capacités C et la résistance  $R_{ON}$  du transistor (Figure 1.14 (a)). Dans l'autre cas, le circuit est un filtre passe-bas en  $\Pi$  (Figure 1.14 (b)). Les éléments localisés sont déterminés par les formules suivantes :

$$L1 = \frac{Z_0 * \sin |\varphi|}{\omega_0} ; C = \frac{\tan |\frac{\varphi}{2}|}{\omega_0 * Z_0} \quad (32)$$

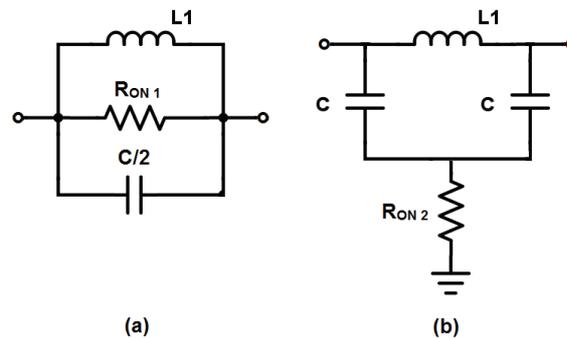


Figure 4.3. Circuits simplifiés des états de référence (a) et de déphasage (b)

Les éléments de commutation sont des transistors NMOS issus du Design Kit utilisés en régime saturé/bloqué. La consommation DC est donc nulle. Dans cette première version de déphaseur, le bulk des transistors est directement connecté à la masse. L'alimentation des transistors se fait par la grille et une forte résistance est connectée entre la source et la grille pour servir d'élément RF/DC. Cette résistance a une valeur typique de 10kΩ.

Les simulations circuits ont été faites à l'aide de l'outil CADENCE Virtuoso sous environnement LINUX. L'approche prise pour cette première réalisation a été de négliger les éléments distribués (lignes de transmission) et de ne considérer que les éléments localisés. Les tailles des transistors ont été optimisées pour s'adapter au fonctionnement du circuit. La largeur standard des doigts de grille est fixée à 240 nm. Ils ont été élargi à 280 nm afin d'être plus robustes. Les capacités et les résistances sont des modèles issus du DK tandis que les inductances ont été réalisées sous HFSS. Les premières simulations ont été faites et optimisées avec des modèles d'inductances idéales avant d'inclure à leur place des boîtes noires de paramètres-S contenant les simulations HFSS des bobines 'réelles' de même valeur.

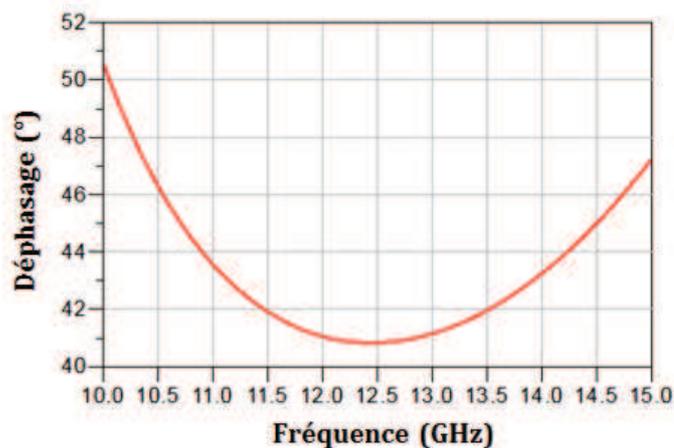


Figure 4.4. Simulation du déphasage du déphaseur 45°

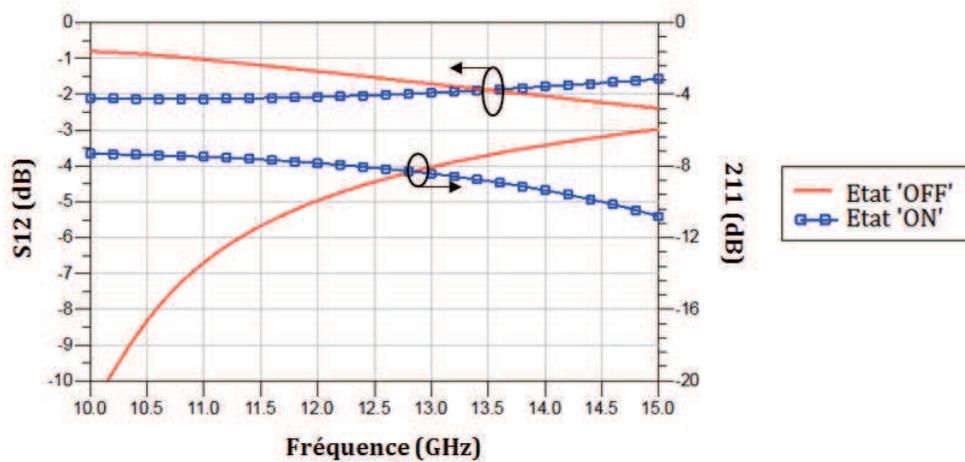


Figure 4.5. Simulation des pertes d'insertion et de la réflexion

Aucun élément d'adaptation n'a été rajouté en entrée ou en sortie du déphaseur. Le déphasage est centré autour de 12.5GHz. Le déphaseur a été envoyé en fabrication après optimisation sous CADENCE avec les valeurs de composant suivantes : Q1 W/L = 45/0.28 $\mu$ m, Q2 W/L = 100/0.28 $\mu$ m, L1 = 480pH (2 spires), L2 = 940pH (3 spires), C= 125fF.

#### 4.2.1.2 Réalisation de la cellule de déphasage 45°

Le masque a été réalisé sous CADENCE. L'alimentation des transistors est réalisée par l'ajout de pads RF (inclus dans le DK) et de lignes d'amenées. Les résistances RF/DC sont placées au plus près des transistors pour maximiser leur efficacité. Le bulk des transistors est connecté au substrat et à la masse par l'ajout d'un contact permettant de remonter jusqu'au niveau de métallisation M1. Les transistors sont protégés des dummies par l'ajout d'anneaux de garde. Le circuit a été fabriqué en process SGB25V.

La Figure 4.6 montre la photo du déphaseur 45° fabriqué lors du premier run. La mesure des paramètres-S se fait grâce aux pads GSG (Ground-Signal-Ground) situés de chaque côté du déphaseur. La taille du déphaseur avec les pads est de 0.7x1 mm<sup>2</sup>. On remarque bien l'ouverture effectuée dans le plan de masse autour des inductances pour laisser librement passer les lignes de champ.

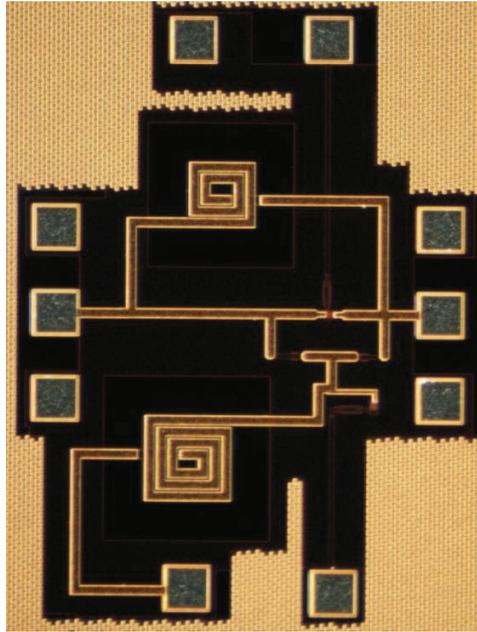


Figure 4.6. Photo du déphaseur 45° réalisé lors du 1er run (0.7x1 mm<sup>2</sup> avec les pads)

#### 4.2.1.3 Résultats de mesure

Les mesures ont été réalisées sur 15 échantillons différents qui ont présenté des résultats de mesures égaux à chaque fois. Ces mesures montrent donc la stabilité du process. Les polarisations des transistors correspondant aux deux états sont :  $V_c = 0V$  et  $V_c = 2.5V$ . Les mesures de paramètres S sont réalisées avec un VNA (Anritsu ME7808A VNA) et une station sous points.

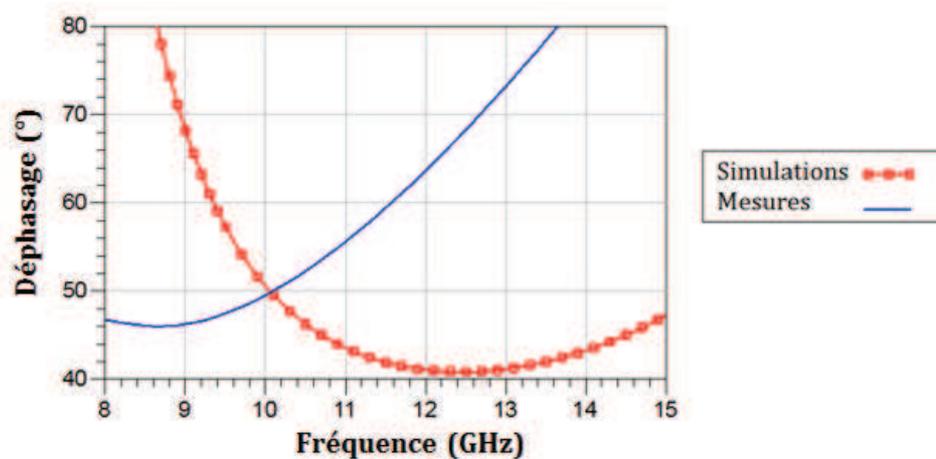


Figure 4.7. Comparaison simulations/mesures pour le déphasage

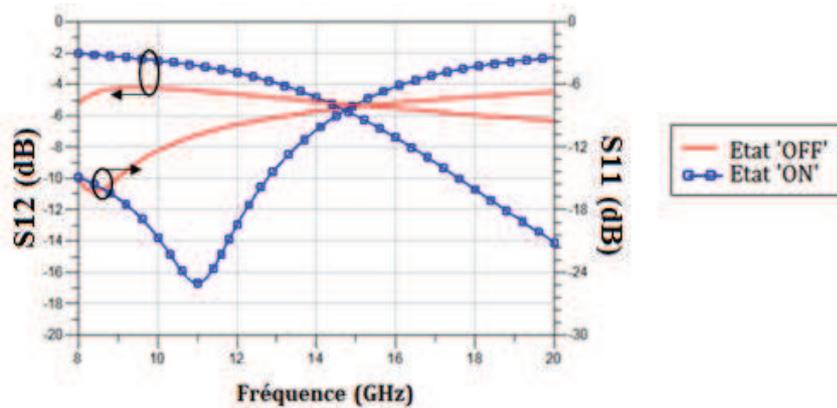


Figure 4.8. Résultats de mesures pour les pertes d'insertion et la réflexion

Les résultats de mesure mettent en avant un décalage en fréquence du déphaseur. La valeur de la phase est fortement décalée (presque 4GHz). Plusieurs phénomènes peuvent expliquer ce décalage. L'absence dans les modèles de simulations des lignes de transmission qui ont été négligées et le fait que les inductances étaient remplacées par des modèles idéaux à affecter le comportement du circuit. Ces pistes seront explorées par rétro-simulations dans ce chapitre. Le S11 est intéressant mais les pertes d'insertion sont supérieures à ce qui est attendu en simulation. Les pads RF contribuent à ces pertes à hauteur de 1.15dB (impact des pads mesuré sur des structures test).

Pour mesurer la linéarité du circuit, il faut relever la puissance en sortie  $P_{out}$  en fonction de la puissance injectée en entrée  $P_{in}$ . Cette manipulation est effectuée à l'aide d'un synthétiseur forte puissance (30dBm) et d'un Wattmètre. Les pertes dues aux câbles et aux pointes RF ont été dimensionnées et valent respectivement 1.3dB et 0.3dB. Ces pertes ont été déduites des mesures pour avoir la valeur réelle du point de compression à 1 dB. La linéarité est illustrée en Figure 4.9. On relève un point de compression à 1dB  $P_{1dB_{in}}$  de 10.85dB pour l'état 'OFF' et de 18.5dB pour l'état 'ON'.

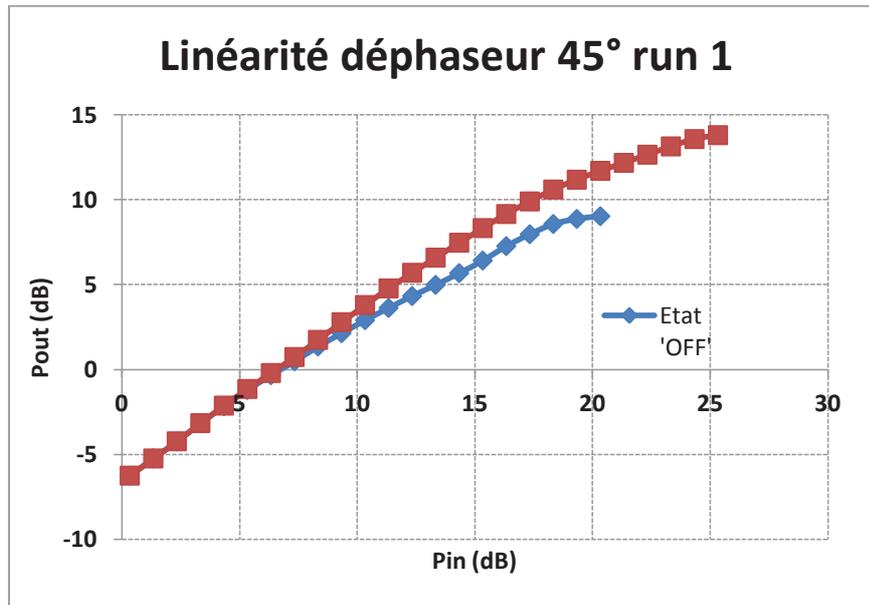


Figure 4.9. Linéarité du déphaseur 45°

#### 4.2.2 Cellules d'atténuation

Les atténuateurs sont des dispositifs permettant de diminuer volontairement la puissance d'un signal afin de créer une loi d'amplitude. Le fait de coupler atténuateur et déphaseur permet de réaliser une loi d'amplitude/phase afin de configurer des réseaux d'antenne ou des antennes à formation de faisceaux. Idéalement, une cellule d'atténuation doit introduire une variation de l'amplitude du signal sans effet sur la phase. Tout comme pour les déphaseurs, on retrouve des atténuateurs fixes et des atténuateurs variables. La même solution de mise en cascade de cellules élémentaires a été choisie pour limiter au maximum la consommation DC des circuits. Afin de pousser au maximum le potentiel de la technologie, la loi d'amplitude sera créée exclusivement avec des atténuateurs passifs. Aucun amplificateur ne sera utilisé pour venir compenser les pertes des systèmes.

Afin de réaliser un atténuateur 12dB à 4 bits, les valeurs des différentes cellules d'atténuation vont être les suivantes : 6 dB, 3 dB, 1.5 dB, 0.75 dB.

Plusieurs designs sont envisagés pour réaliser chacune des cellules, ceux pour les petites valeurs de déphasage et ceux pour les valeurs plus importantes (>3dB). Le premier run contient 2 cellules d'atténuations de 1.5 dB. Les topologies pourront donc être comparées par la suite. Les topologies ainsi que les résultats de simulations vont être présentés.

## 4.2.2.1 Conception des cellules d'atténuation 1.5dB

Deux modèles de cellules d'atténuation faible ont été développés au cours du premier run. Ces modèles simples permettent de tester la technologie avec des topologies élémentaires et de vérifier la validité des modèles de simulations fournis par le Design Kit. Les deux topologies utilisées sont simples et suffisantes pour des atténuations  $\leq 1.5\text{dB}$ .

Il s'agit d'un transistor et d'une résistance mis en parallèle du chemin RF. Lorsque le transistor est bloqué, le signal passe normalement et n'est pas affecté (état de référence). Lorsque le transistor est saturé, la résistance est visible et induit des pertes qui créent l'atténuation. Une faible capacité a été ajoutée pour aider à conserver une valeur d'atténuation quasi-constante sur toute la largeur de bande. La différence entre les deux modèles tient au positionnement de la résistance par rapport au transistor.

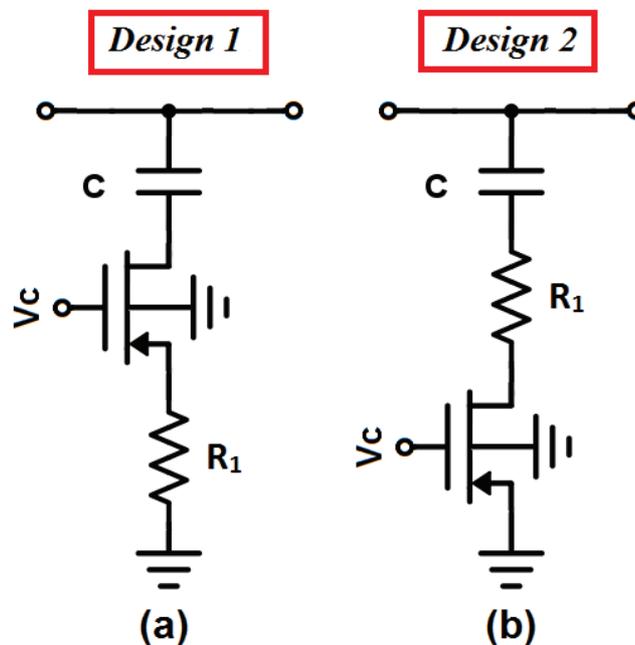


Figure 4.10. Topologie des cellules d'atténuation 1.5dB

Les transistors sont utilisés comme éléments de commutation entre la source et le drain. La polarisation se fait par la grille et le bulk et cette fois aussi directement connecté au substrat et à la masse. Cette connexion du substrat à la masse permet d'éviter d'avoir un substrat avec un potentiel flottant.

Pour ces designs il faut vérifier à ne pas trop sacrifier l'adaptation par rapport à l'atténuation. En effet, plus le niveau d'atténuation va être important et plus la cellule va être désadaptée. Les deux designs permettent d'atteindre l'atténuation voulue mais le second semble plus prometteur pour la platitude de l'atténuation sur toute la largeur de bande.

Les valeurs finales des composants sont  $Q W/L = 80/0.28\mu\text{m}$ ,  $R = 60\Omega$  et  $C = 500\text{pF}$  pour le premier design et  $Q W/L = 90/0.28\mu\text{m}$ ,  $R = 50\Omega$  et  $C = 300\text{pF}$  pour le second. Les tailles des transistors ont été optimisées pour réduire les pertes d'insertion.

#### 4.2.2.2 Réalisation des cellules d'atténuation 1.5dB

Le masque a été réalisé sous CADENCE et envoyé en fonderie après avoir satisfait le DRC (Design Rules Check). Un pad RF a été ajouté pour alimenter le transistor et des Pads GSG sont placés à l'entrée et à la sortie du circuit pour réaliser les mesures de paramètres S et de linéarité. La taille des circuits avec les pads est de  $400 \times 440 \mu\text{m}^2$ .

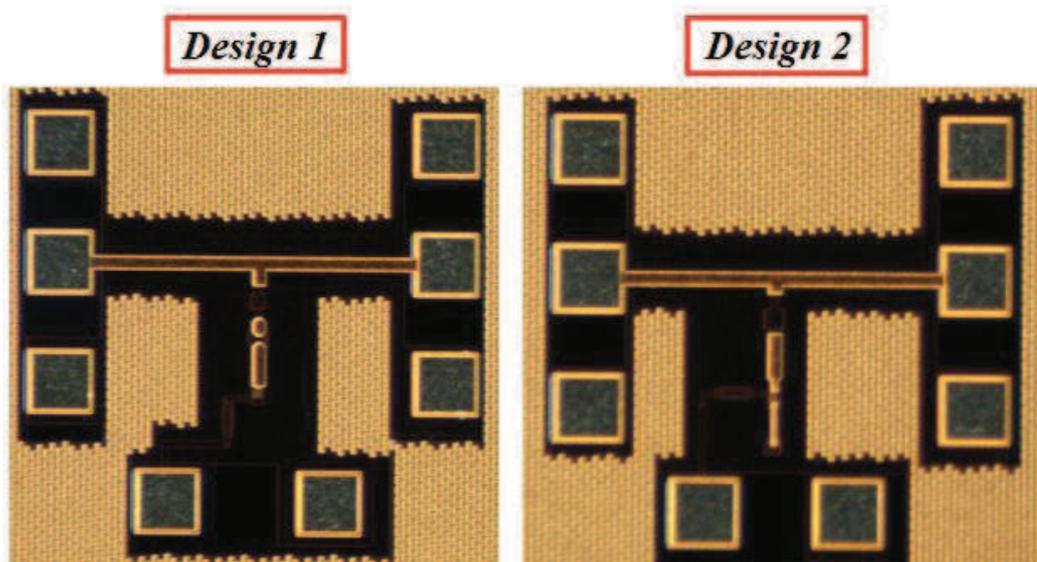


Figure 4.11. Photos des cellules d'atténuation 1.5dB

#### 4.2.2.3 Résultats de mesure

Les mesures ont été réalisées sur plusieurs puces qui ont présenté des résultats de mesures égaux. Les polarisations des transistors correspondant aux deux états sont :  $V_c = 0\text{V}$  et  $V_c = 2.5\text{V}$ . Les résultats de simulations ne prenaient pas en compte l'impact des pads et des lignes de transmission. Les pads contribuent aux pertes d'insertion à hauteur de 1.15dB. Pour ces deux designs les longueurs des lignes de transmission entre les composants sont suffisamment faibles pour être négligées. Elles ne contribuent donc pas à la différence de pertes entre simulations et mesures. Cette différence est sans doute due à la modélisation des

transistors dans le DK. Cette piste sera explorée dans la section suivante sur les modèles de rétro-simulation.

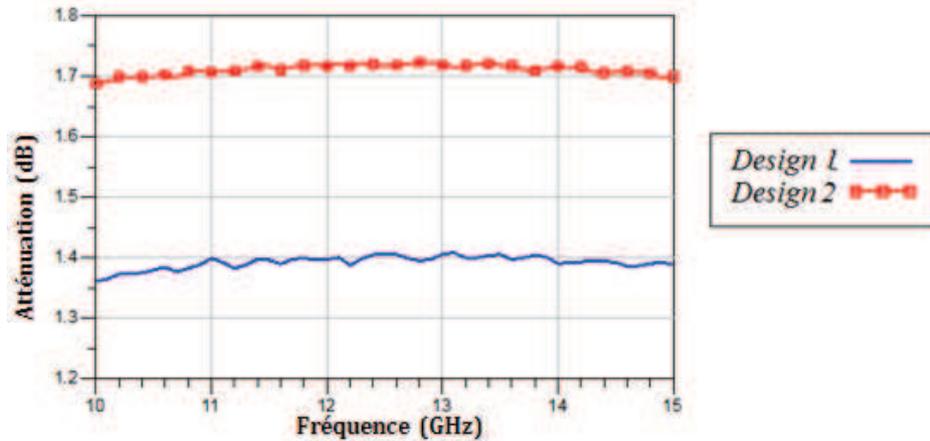


Figure 4.12. Mesure de l'atténuation des atténuateurs 1.5 dB

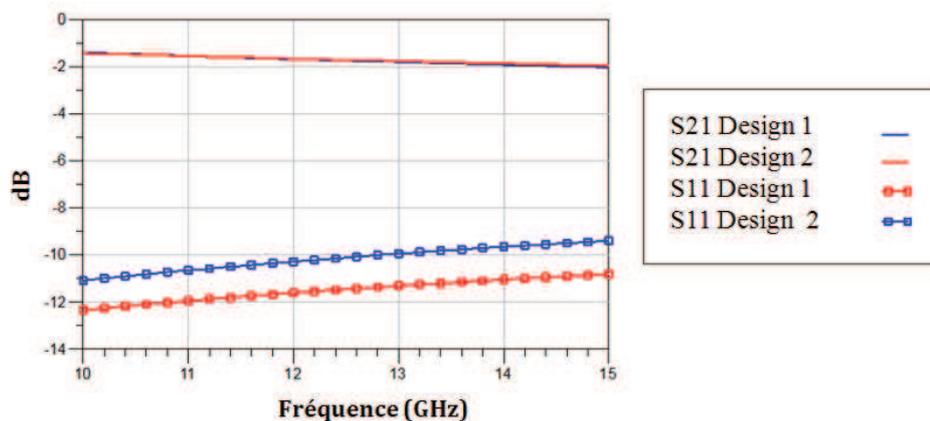


Figure 4.13. Mesure des pertes d'insertion et de la réflexion des atténuateurs 1.5 dB

Les résultats de mesures présentés en Figure 4.12 et Figure 4.13 montrent le bon fonctionnement des cellules d'atténuations faibles. La valeur de l'atténuation pour les deux designs est proche des 1.5 dB visés malgré un léger écart (0.2dB sur la bande). Les pertes d'insertion sont supérieures aux simulations (0.3-0.4dB) mais cette différence s'explique par l'impact des pads. Les pertes dues aux pads sont de 1.15dB ce qui permet de retrouver le niveau de pertes réel des cellules égal aux simulations. La réflexion est  $< -9.5$ dB sur toute la bande. Ce qui montre la limite de ce type de cellule. Une plus grosse atténuation créerait une désadaptation d'impédance entre les deux états de fonctionnement encore plus forte et rendrait l'implémentation du circuit difficile dans un système plus complexe.

La mesure du P1dB pour ces deux cellules d'atténuation a montré que dans les deux états de fonctionnement la compression n'est pas atteinte lorsque la puissance en entrée

n'excède pas +30dBm. Le matériel disponible dans le laboratoire ne permet pas d'effectuer des relevés pour des puissances plus importantes. La linéarité de ces cellules simples est donc très bonne.

## 4.3 OPTIMISATION ET IMPLEMENTATION

### 4.3.1 Modèles de rétro-simulations

Les résultats de mesures de ces premiers circuits ont mis en avant certaines différences entre les simulations et la réalité. La première différence concerne le décalage en fréquence qui a lieu pour le déphaseur. Des modèles de rétro-simulations ont été développés pour permettre une meilleure représentation des systèmes.

L'origine de ces différences entre mesures et simulations peut provenir de deux choses : du fait que les éléments distribués ne soient pas pris en compte dans les modèles de simulations et que la modélisation des transistors dans le DK ne représente pas la réalité.

Les lignes de transmission permettant l'interconnexion entre les composants n'ont pas été ajoutées dans les premiers modèles de simulations sous CADENCE. Pour le design des atténuateurs, ces lignes ont une longueur très faible et donc un impact très limité sur les performances du circuit mais ce n'est pas le cas du déphaseur. La présence d'inductance impose l'utilisation de lignes plus longues impactant la phase du circuit. Un modèle de rétro-simulation corrigeant cette erreur a ensuite été réalisé afin de recoller les courbes mesures/rétro-simulations et de pouvoir anticiper sur les structures du prochain run. Le modèle élaboré a permis de mieux caler les courbes en fréquence. Les résultats de ce nouveau modèle sont présentés en Figure 4.14 et Figure 4.15. Les inductances dans les modèles de simulations sont des modèles idéaux car il n'y avait pas encore la possibilité avec l'outil de simulation CADENCE d'intégrer des boîtes noires de paramètres-S pour les inductances HFSS. Cette contrainte explique le léger décalage en fréquence restant.

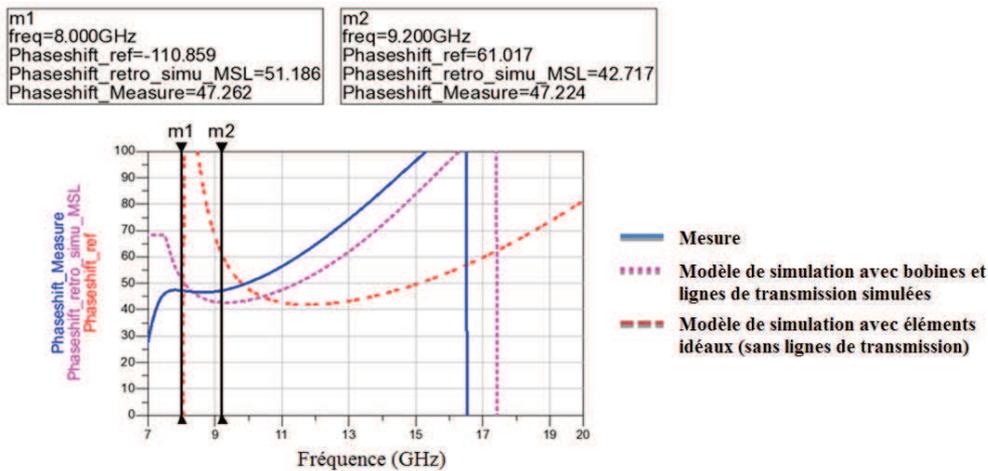


Figure 4.14. Mesures vs Simulations vs Rétro-simulations pour le déphasage.

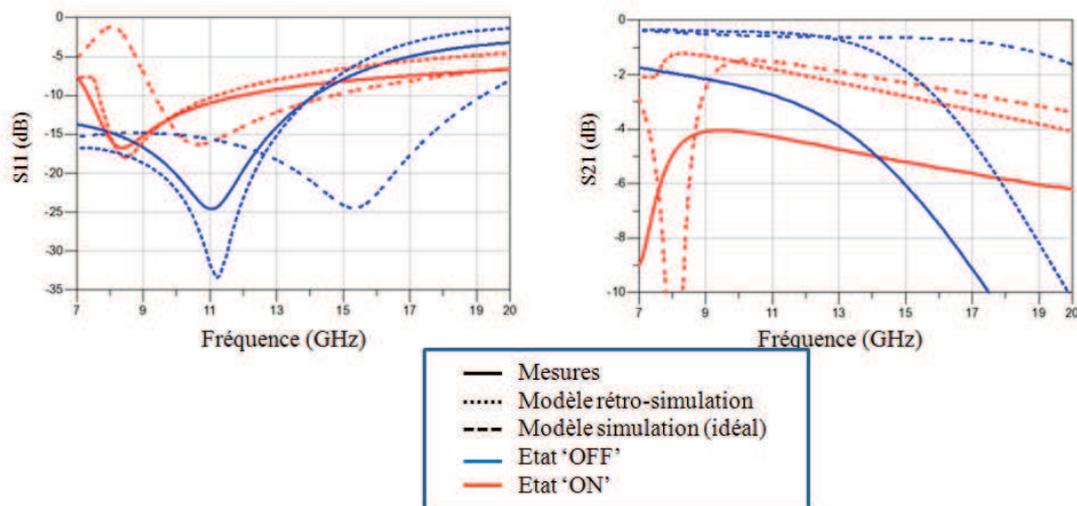


Figure 4.15. Mesures vs Simulations vs Rétro-simulations pour les pertes d'insertion (à gauche) et la réflexion (à droite)

L'ajout des éléments distribués permet un premier recalage en fréquence des simulations qui est particulièrement visible sur les courbes des pertes et de la réflexion. Cependant on observe toujours un écart au niveau des pertes. Une partie de cette différence est due aux pads RF qui ne sont pas ajoutés dans les modèles de simulations. Les pertes induites par les pads ont été dimensionnées plusieurs fois et valent 1.15 dB sur la bande de fréquence [10 GHz, 15GHz].

L'autre partie de ces pertes peut être expliquée par la différence simulations/mesure du comportement des transistors. Cette différence est une première fois évoquée dans [29]. Cette publication qui date de 2013 et à laquelle ont participé des chercheurs de IHP Microelectronics explique que la différence de 1.5-2 dB entre leurs simulations et leurs mesures vient probablement de la modélisation des MOS dans les DK de la technologie

(circuits réalisés en technologie  $0.25\mu\text{m}$  SiGe de IHP). Des transistors seuls de taille égale à ceux utilisés dans les designs des circuits ont été fabriqués séparément et mesurés. Des simulations où les modèles de transistors ont été remplacés par les résultats de mesures ont été faites. Ces résultats sont présentés dans la section 4.3.2 sur le design des circuits du second run (les transistors mesurés correspondent à ceux utilisés lors du second run).

#### 4.3.2 Seconde version du déphaseur classique $45^\circ$

Afin de valider les modèles de rétro-simulation, un second déphaseur  $45^\circ$  a été réalisé et fabriqué. Ce modèle n'utilise pas le substrat flottant pour les transistors mais les éléments distribués sont pris en compte cette fois. La taille des inductances et des capacités a été recalculée pour mieux caler le déphaseur en fréquence. Les résultats de simulations sont identiques à ceux de la version sans les lignes de transmission. Les valeurs finales des composants sont Q1 W/L =  $30/0.28\mu\text{m}$ , Q2 W/L =  $90/0.28\mu\text{m}$ , L1 =  $290\text{pH}$  (2 spires), L2 =  $1050\text{pH}$  (3 spires), C =  $90\text{fF}$ . La dimension du circuit fabriqué est  $0.7 \times 1 \text{ mm}^2$  (avec les pads).

Les résultats de mesures sont présentés ci-dessous en Figure 4.16 et Figure 4.17. Les résultats de mesures sont comparés aux simulations CADENCE ainsi qu'à des rétro-simulations effectuées après la réception des puces. Au moment de la réception des puces une version alpha du DK compatible avec Agilent ADS est sortie. Cette version du design kit a permis de développer des modèles plus fiables, de mieux optimiser les simulations et d'inclure des boîtes noires de paramètres-S pour remplacer les inductances idéales par les simulations HFSS. Cela permet d'obtenir une représentation du comportement du circuit plus proche de la puce réelle.

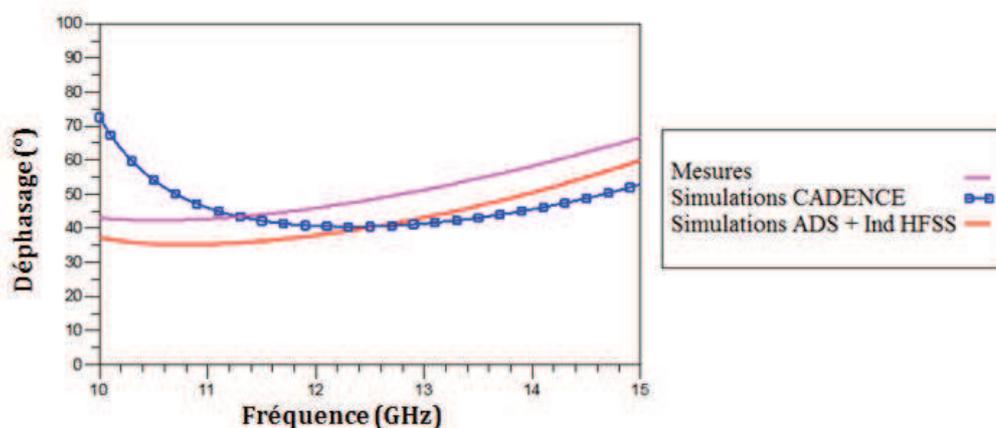


Figure 4.16. Résultats de mesures vs simulations pour le déphasage

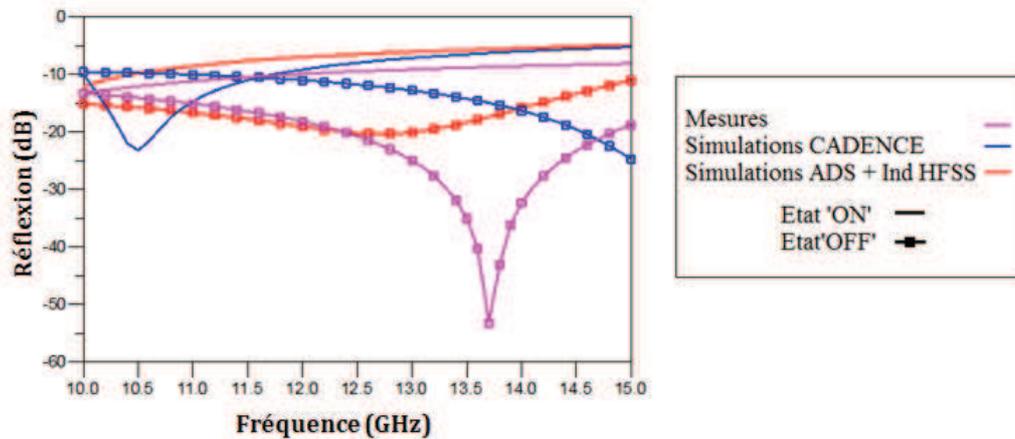


Figure 4.17. Résultats de mesures vs simulations pour la réflexion

La puce présente toujours un décalage en fréquence mais beaucoup moins important que la première version du déphaseur. La prise en compte de la longueur des lignes de transmission a permis de corriger une grande partie de ce décalage. Le nouveau modèle de rétro-simulations sous ADS, incluant les simulations des inductances donne des résultats encourageants. Les réponses entre simulations et comportements réels sont beaucoup plus proches. Les pertes sont toujours importantes mais l'ajout de la technique du substrat flottant pour la version suivante devrait permettre de les réduire (tout en améliorant la linéarité).

Les transistors utilisés pour le design de ce second déphaseur ont été implémentés sur une puce et mesurés après une calibration TRL. Les paramètres-S relevés des transistors sont mesurés au plus près des transistors grâce au de-embedding. Des simulations du circuit avec des mesures réelles des transistors, au lieu des modèles du Design Kit, ont été faites. Les résultats (présentés ci-dessous) comparent les simulations avec transistors du design kit, les rétro-simulations avec les transistors mesurés et les résultats de mesure du circuit. Ces courbes mettent en avant la différence entre le modèle de simulation des transistors et le comportement réel. Les niveaux de pertes entre rétro-simulations et mesures sont comparables (différence <2dB dont 1.15dB due aux pertes des pads). La valeur du déphasage est également plus proche avec ce modèle de rétro-simulation plus complet. On relève un léger offset de  $2^\circ$  (contre  $5^\circ$  avec l'ancien modèle de simulation).

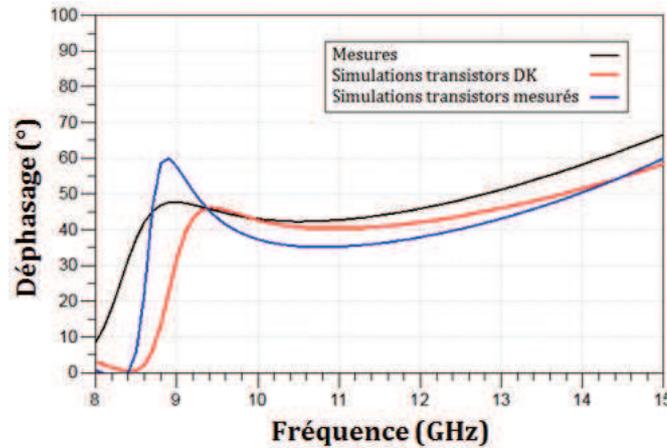


Figure 4.18. Comparaison du déphasage Simu/Mesures après mesure des transistors

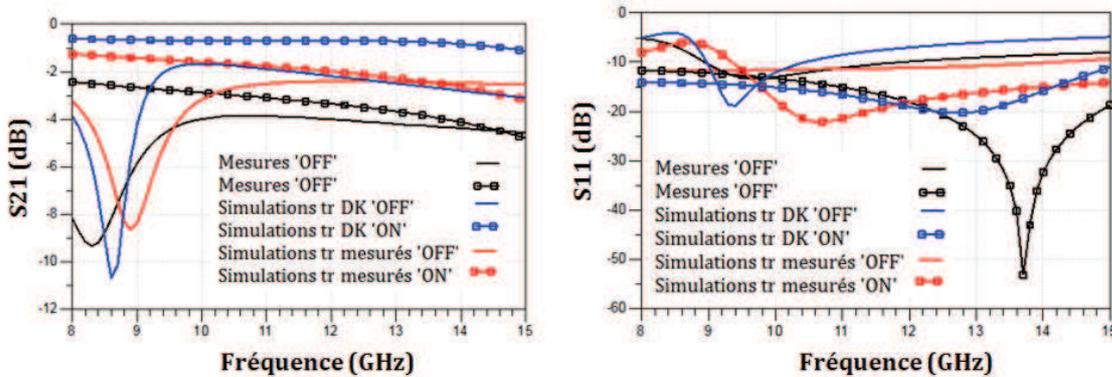


Figure 4.19. Comparaison des paramètres-S Simu/Mesures après mesure des transistors

Ce deuxième design de déphaseur a donc permis d'affiner les modèles de simulations. Cette étape est cruciale avant le développement d'un système à plusieurs bits. Cette cellule de déphasage assez délicate présente des résultats améliorés par rapport à la première version. Le problème de modélisation des transistors dans le design kit déjà évoqué dans les publications d'IHP est confirmé.

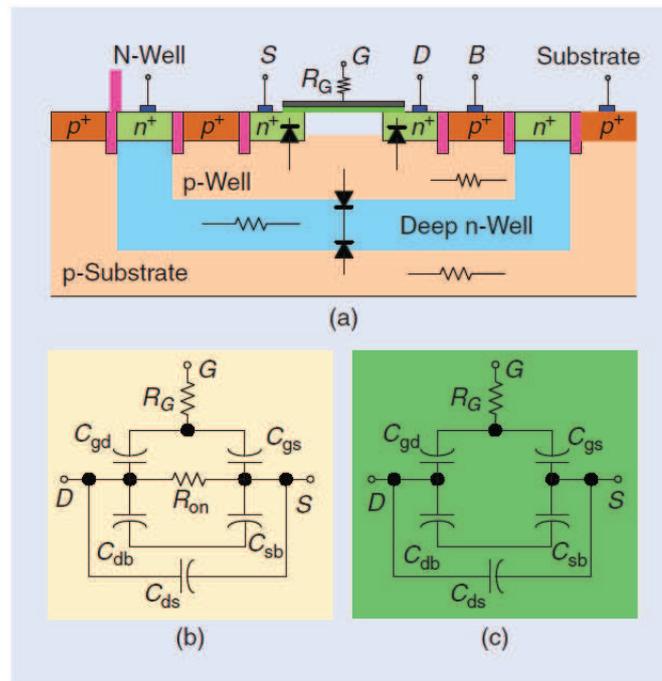
#### 4.3.3 Amélioration des commutateurs NMOS

Comme cela a été présenté dans les sections précédentes, les pertes d'insertion de la cellule de déphasage sont assez importantes et la linéarité n'est pas optimisée. Les rétro-simulations ont montré que les transistors sont l'origine principale des pertes et de la mauvaise linéarité. La linéarité constitue toujours un paramètre très important pour évaluer les performances d'un circuit. Le milieu du spatial implique que les circuits soient capables de recevoir une très forte puissance RF. Deux techniques permettraient d'améliorer les résultats

[83][45] : le Substrat flottant et le Polarisation DC. Ces deux techniques ont pour but d'améliorer la linéarité des circuits mais le substrat flottant permet également de diminuer les pertes d'insertion en améliorant la réflexion. Une autre solution pourrait être de connecter directement le bulk à la source des différents transistors.

#### 4.3.4 *Technique du substrat flottant*

Les performances d'un transistor commutateur sont déterminées par les pertes d'insertion et l'isolation. Ces deux paramètres sont directement liés à résistance  $R_{ON}$  et à la capacité  $C_{OFF}$ . Le signal RF passant par le transistor, la linéarité et les pertes d'insertion sont impactées par les performances du transistor. Un des avantages d'utiliser les MOSFET et la consommation DC nulle (contrairement aux diodes PIN par exemple). Cependant le substrat à faible permittivité des technologies CMOS/BiCMOS implique de fortes pertes dues au substrat silicium. Le substrat flottant résistif (***body floating - BF***) constitue donc une technique très intéressante pour améliorer les performances du commutateur. Cette technique est utilisée pour améliorer la linéarité des commutateurs. Tout d'abord le bulk du transistor doit être isolé du substrat commun (type P). Un puits P est encaissé dans un puits N plus profond pour isoler le bulk du transistor du reste du substrat (topologie de transistor Triple Well NMOS, cf Figure 4.20 [45]). Ensuite une grosse résistance (typiquement plusieurs k $\Omega$ ) est connectée entre la masse et le body du transistor (substrat flottant). Des simulations et des résultats de mesures illustrant l'efficacité de cette technique seront présentés dans les sections suivantes.



**Figure 4.20. (a) Vue en coupe d'un transistor NMOS Triple Well  
 (b) Modèle équivalent de l'état 'ON'  
 (c) Modèle équivalent de l'état 'OFF'**

Cette technique implique cependant une complexification des masques. En effet le bulk des transistors n'est pas directement accessible. Il est connecté au substrat commun. La documentation du DK explique que tous les bulks situés à moins de 1.5mm les uns des autres auront le même potentiel : celui de substrat. Il faut donc recourir à la topologie Triple Well des transistors NMOS pour pouvoir connecter la résistance. Cela se fait en isolant une partie du substrat situé autour du transistor et en ajoutant un point de contact entre le substrat isolé et le premier niveau de métallisation.

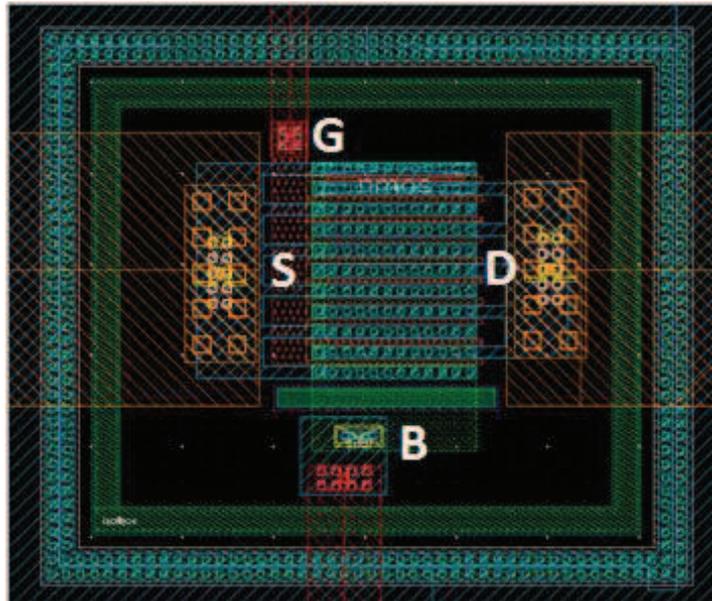


Figure 4.21. Vue masque d'un transistor NMOS utilisant la technique du substrat flottant

Sur la Figure 4.21, nous pouvons observer le masque du transistor NMOS. Le transistor est au centre et a 10 doigts de grille. L'alimentation se fait par la grille(en haut sur l'illustration). La source (à gauche) et le drain (à droite) sont connectés aux niveaux de métallisation supérieurs par des vias. Le bulk est en bas sur l'image. L'anneau vert entourant le transistor représente un puits de type N qui isole une partie du substrat (de type P) du reste du substrat (de type P). Ce bout de substrat isolé peut donc être polarisé différemment du reste. Le contact situé sous le transistor (à gauche de la lettre B sur l'illustration) permet de polariser le bulk. Finalement un anneau de garde est disposé autour de tout ce système pour le protéger (en bleu sur la figure).

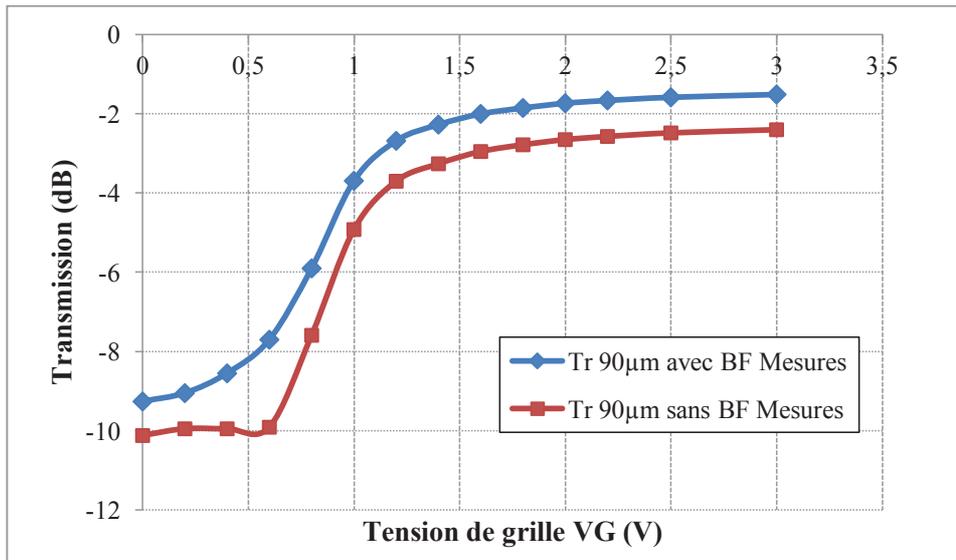


Figure 4.22 Comparaison des mesures entre transistors avec et sans substrat flottant résistif

Les mesures présentées dans la figure ci-dessus montrent l'amélioration des pertes d'insertion lorsque la technique de polarisation du substrat est utilisée (pour un même transistor). Les mesures sont réalisées après de-embedding pour ne montrer que les performances du transistor.

#### 4.3.5 Technique de la polarisation DC

La polarisation DC est une autre technique pour améliorer la linéarité des transistors MOS utilisés en commutateurs séries. Elle consiste tout simplement à ajouter une polarisation DC à la source et au drain des transistors. Cette méthode s'est révélée efficace pour améliorer le point de compression à 1dB de circuits en bande X [83]. Des circuits pouvant utiliser cette méthode ont été développés au cours d'un second run pour tester cette technique. Cependant la mise en place de la polarisation DC implique le rajout de nombreux pads d'alimentation (si plusieurs transistors) augmentant la taille du circuit et compliquant le respect des contraintes du DRC et de la densité de métallisation.

#### 4.3.6 Implémentation sur un atténuateur 6 dB

L'intérêt pour les techniques du substrat flottant et de la polarisation DC et l'élaboration de nouveaux modèles de simulation circuit ont conduits au développement de nouveaux circuits fabriqués lors d'un second run. Ces circuits ont été simulés sous CADENCE Virtuoso

en utilisant les composants fournis par le DK sauf pour les inductances qui sont développées sous HFSS.

#### 4.3.6.1 Topologies et fabrication des circuits

Deux nouveaux modèles d'atténuateurs ont été réalisés. Ces cellules ciblent une atténuation de 6dB. La topologie choisie pour ces cellules est un atténuateur en  $\Pi$ . La topologie utilise trois transistors (Figure 4.23). La différence entre les deux versions vient des transistors. Dans la première version, le bulk des transistors est connecté directement à la masse comme les circuits du premier run. Le substrat flottant résistif a été implémenté dans la seconde pour vérifier l'efficacité de la technique. La résistance placée entre le bulk et la masse a une valeur de 10 k $\Omega$ . Deux petites capacités sont placées en série des résistances R2 pour assurer une atténuation quasi-constante sur toute la largeur de bande. Afin de vraiment constater l'impact du substrat flottant sur la réflexion et la linéarité, les valeurs des composants des deux modèles sont strictement identiques.

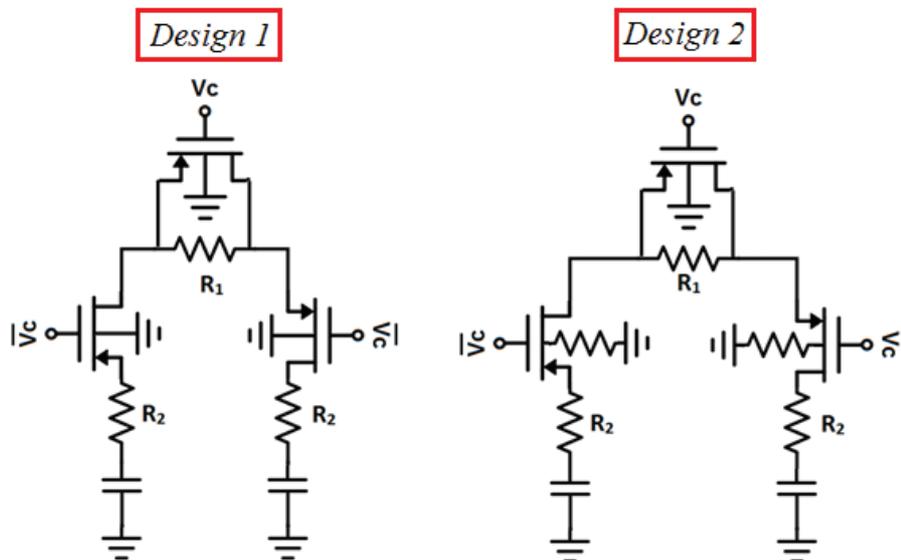


Figure 4.23. Topologie des cellules d'atténuation 6dB

Les valeurs des composants ont été fixées à  $R1 = 66\Omega$ ,  $R2 = 105\Omega$ ,  $C = 80\text{fF}$ ,  $Q1$  W/L =  $90/0.28\mu\text{m}$  (transistor série) et  $Q2$  W/L =  $30/0.28\mu\text{m}$  (transistors parallèles). Des inductances ont été ajoutées en entrée et en sortie pour réaliser une adaptation d'impédance. Ces inductances permettent d'améliorer la réflexion et de diminuer les pertes de 3.5dB (en simulation). On obtient donc en simulations  $S_{12} = -1.5\text{dB}$  @12.5GHz et une réflexion de -15dB sur la bande [10.7-14.5 GHz]

Des accès spéciaux sont rajoutés sur le masque pour injecter une polarisation DC au niveau de la source et du drain des transistors. Cela permettra de quantifier l'impact du DC biasing sur la linéarité. Les pads pour la mesure des paramètres S sont toujours des pads GSG espacés de 150 $\mu$ m.

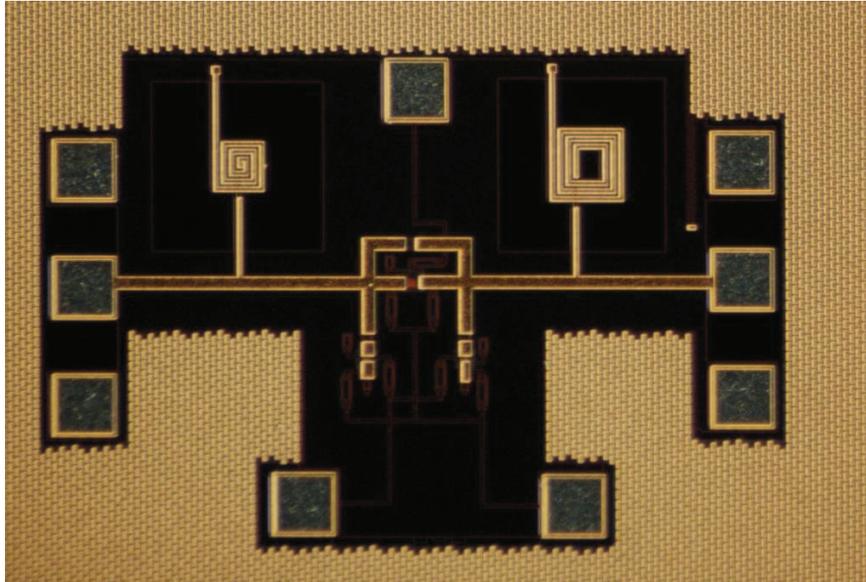


Figure 4.24. Photo de l'atténuateur 6dB avec substrat flottant résistif

#### 4.3.6.2 Résultats de mesure

Les mesures ont été effectuées avec un VNA et une station sous pointes. Les relevés de mesures des atténuateurs présentent des résultats intéressants (cf Figure 4.25 et Figure 4.26). La valeur d'atténuation n'est pas tout à fait atteinte mais est assez proche pour assurer un fonctionnement de la cellule correct. On note que le design sans substrat flottant présente une atténuation légèrement plus proche de la valeur visée que le nouveau design avec substrat flottant. Les pertes d'insertion de l'état de référence sont de [-4dB, -4.3dB] pour le design avec substrat flottant et de [-4.8dB, -4.9dB] pour le second design sur la bande [10.7GHz, 14.5GHz]. Les pertes d'insertion sont donc meilleures dans le cas du nouveau design. Ce constat est aussi visible sur la mesure de la réflexion. La différence entre les deux designs pour les deux états de fonctionnement est avérée. Le circuit est moins désadapté lorsque le substrat flottant est utilisé dans le design. On assure une réflexion <-10dB sur toute la bande d'intérêt.

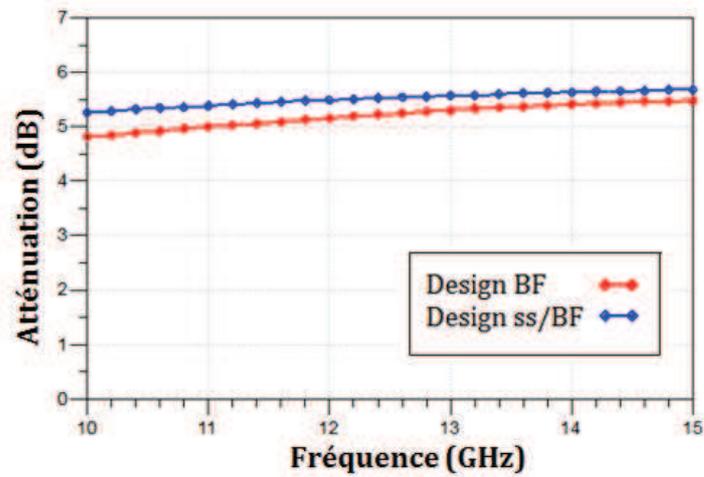


Figure 4.25. Mesure de l'atténuation pour les atténuateurs 6dB

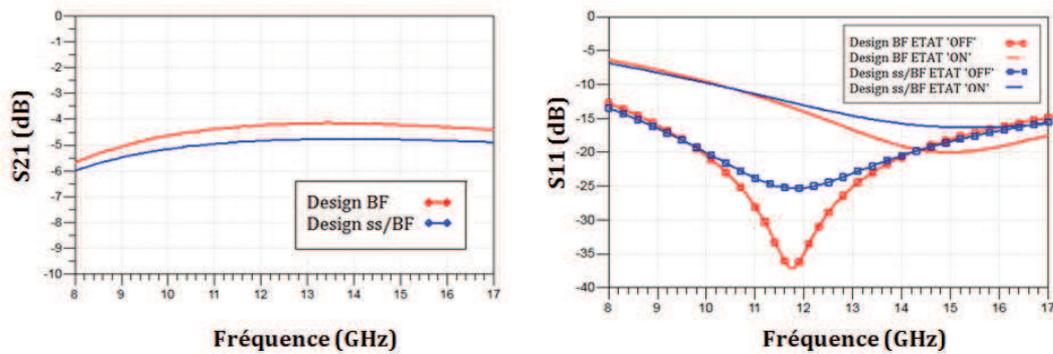


Figure 4.26. Mesures des paramètres S des atténuateurs pour le S21 et le S11

Les atténuateurs sont des systèmes purement passifs et ne présentent pas de gain. Nous nous intéressons donc au  $P_{1dB_{IN}}$ . Les mesures ont été faites avec un synthétiseur forte puissance (+30dBm) et un wattmètre. Pour chaque état de fonctionnement nous retrouvons 4 configurations :

- Cas sans substrat flottant et sans polarisation source/drain,
- Cas avec substrat flottant et sans polarisation source/drain,
- Cas sans substrat flottant et avec polarisation source/drain,
- Cas avec body floating et avec polarisation source/drain

Les résultats de ces mesures sont résumés dans le tableau suivant :

<b>P1dB<sub>IN</sub> (dBm) @12.5GHz</b>		<b>Etat 'OFF'</b>	<b>Etat 'ON'</b>
Sans substrat flottant	Sans Polar DC	11.3 dBm	23.2 dBm
	Avec Polar DC	13.85 dBm	>27 dBm
Avec substrat flottant	Sans Polar DC	12.3 dBm	>27 dBm
	Avec Polar DC	12.3 dBm	>27 dBm

TABLEAU 8. COMPARAISON DES P1dB EN FONCTION DES DIFFERENTS CAS

Lorsque l'atténuateur est dans l'état 'ON', le point de compression n'a pas été atteint pour trois configurations. Le débit de puissance à 12.5GHz et les limites du Wattmètre ont rendu impossible d'injecter plus de +27 dBm en entrée au niveau des pointes RF. Cela permet néanmoins de voir l'efficacité des techniques de polarisation DC et du substrat flottant. Cela est visible également pour l'état 'OFF'. La linéarité est légèrement augmentée par l'utilisation de chaque technique. Les courbes de mesure de la linéarité sont montrées en Figure 4.27 et Figure 4.28.

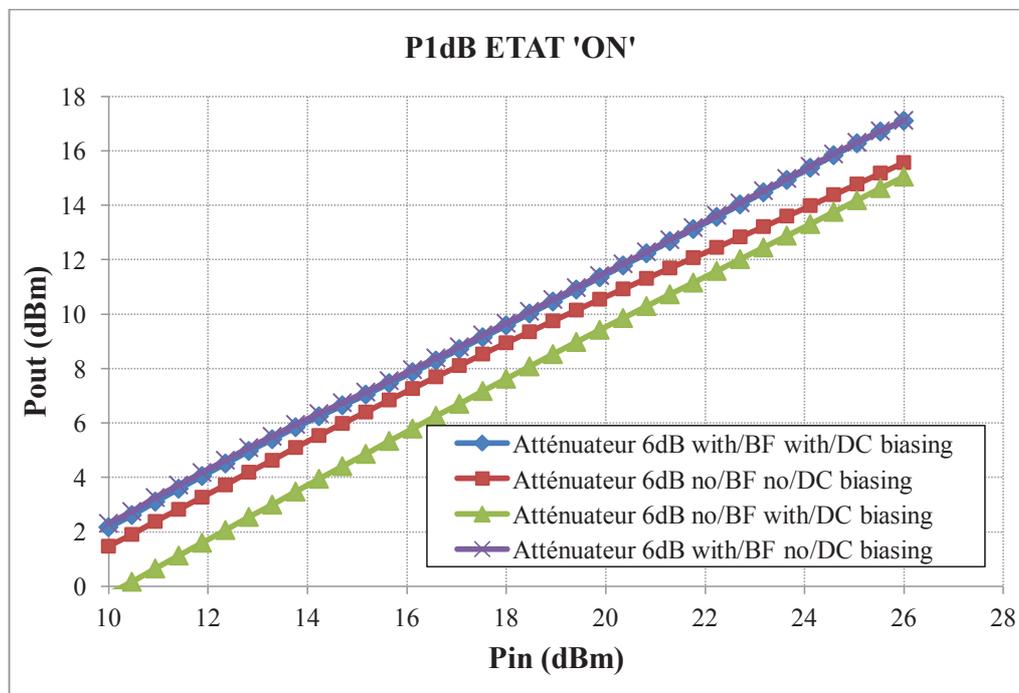


Figure 4.27. Mesures de linéarité des atténuateurs en état 'ON'

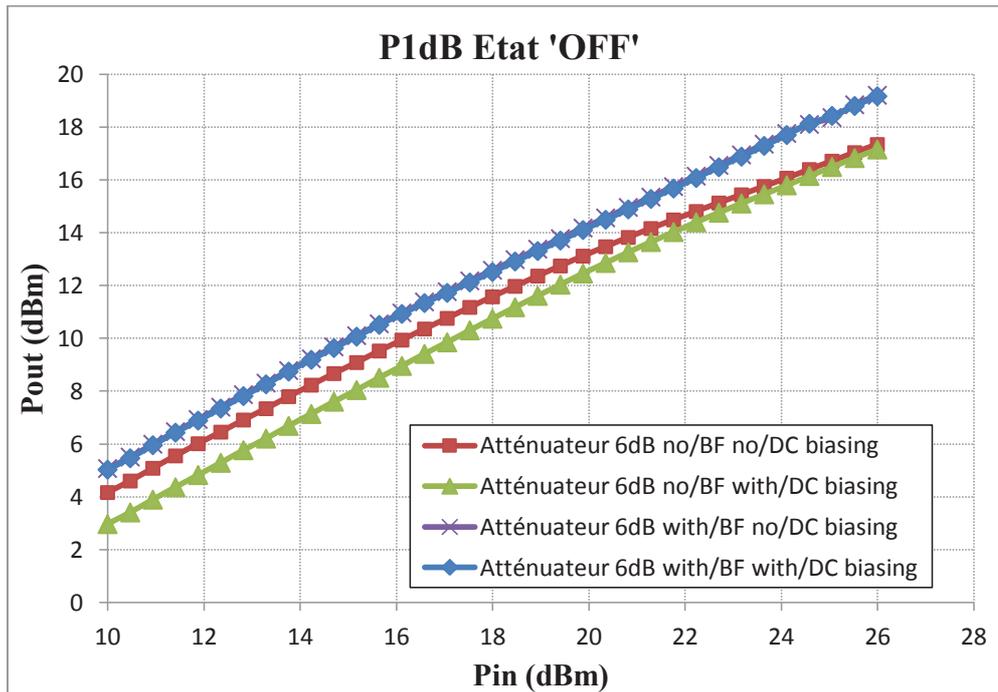


Figure 4.28. Mesures de linéarité des atténuateurs en état 'OFF'

#### 4.4 CIRCUITS MULTI-BITS

Les systèmes Core-chip sont les systèmes consacrés à la formation de faisceaux pour antennes actives. Ils sont typiquement constitués d'un déphaseur et d'un atténuateur à plusieurs bits ainsi que d'un convertisseur série/parallèle. L'étude de la partie analogique concernant le design des fonctions de déphasage et d'atténuation a déjà été largement abordé. Il faut donc mettre en place des systèmes à plusieurs bits afin de répondre aux attentes du système concernant l'agilité de l'antenne active. Deux circuits 4 bits (1 atténuateur et 1 déphaseur) ont été conçus dans cette optique.

Le passage de cellules élémentaires à 1 bit à des systèmes 4 bits est une marche énorme. Les systèmes sont mis en cascade et les contraintes globales (réflexion et pertes sont beaucoup plus difficiles à respecter. Les objectifs de chaque sous-partie du circuit étant différente, des topologies différentes sont nécessaires. Le développement des premiers circuits et leur mesure avait pour but d'évaluer la fiabilité des simulations pour réaliser un système complet.

Cette partie traitera de la conception des circuits 4 bits, de la réalisation des masques et des résultats de mesure des puces.

#### 4.4.1 Déphaseur 4 bits

##### 4.4.1.1 Conception du déphaseur

Le déphaseur est constitué de 4 bits. La cellule de poids fort est donc une cellule  $180^\circ$  et celle de poids faible une cellule  $22^\circ$ . Le circuit aura 16 états de fonctionnement pour au total couvrir  $360^\circ$  entre l'état de référence (tous les déphaseurs sont 'OFF') et le dernier état (tous les déphaseurs sont 'ON').

Deux topologies sont utilisées pour réaliser les 4 cellules élémentaires. La cellule  $180^\circ$  est une cellule de type passe-haut/passe-bas (Figure 4.29 (a)). La conception de cette cellule a été relativement facile, les valeurs des composants sont très proches des valeurs théoriques. Le déphasage est extrêmement stable sur toute la bande de fréquence. La valeur des composants de cette cellule sont :  $L1 = 355\text{pH}$ ,  $L2 = 450\text{pH}$ ,  $C1 = 490\text{fF}$ ,  $C2 = 490\text{fF}$  et  $C3 = 380\text{fF}$ . Les transistors sont identiques aux transistors série utilisés lors du second run. La technique du substrat flottant s'étant révélée efficace, tous les transistors ont été implémentés de cette manière. Cette topologie requiert 4 transistors qui contribuent à augmenter les pertes d'insertion et 3 inductances (ces inductances consomment énormément de surface sur la puce).

Les trois autres cellules utilisent la même topologie filtre passe-bas type  $\Pi$  que les cellules de déphasage  $45^\circ$  déjà fabriquées (Figure 4.29 (b)). Le design de la cellule de déphasage  $90^\circ$  s'est fait avec cette topologie afin de minimiser le nombre d'inductances du circuit et de réduire la taille totale sur la puce. Les trois cellules ont été réalisées avec les modèles de simulations déjà développés. Une seconde phase d'optimisation est nécessaire après la mise en cascade des cellules élémentaires. Comme pour les cellules de déphasage  $45^\circ$ , la réflexion n'est pas optimale. Des petites capacités en parallèles sont donc ajoutées entre les cellules pour améliorer l'adaptation. Ces capacités sont de l'ordre de quelques dizaines de fF.

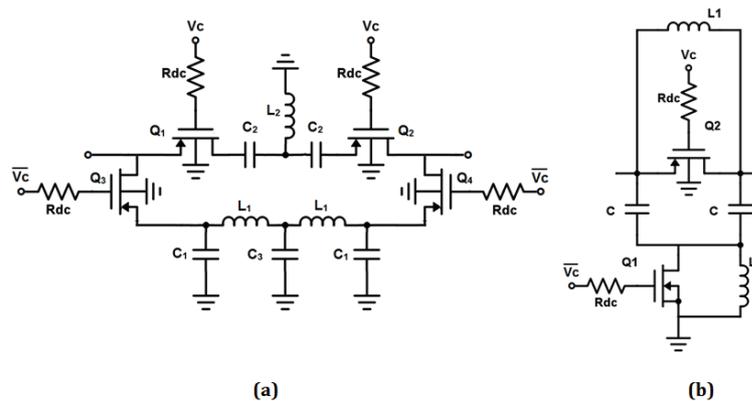


Figure 4.29. Topologies utilisées pour le déphaseur 4 bits (a) 180° (b) 90°,45°, 22°

Les simulations nous permettent de visualiser les 16 états de fonctionnement du déphaseur. La phase s'affaïsse légèrement pour les derniers états du déphaseur mais assure un bon fonctionnement du système. Un S11 de -10 dB est attendu pour tous les états de fonctionnement sur la bande [10.7GHz, 14.5GHz]. Les pertes d'insertion de l'état de référence sont de 4-6dB sur la largeur de la bande.

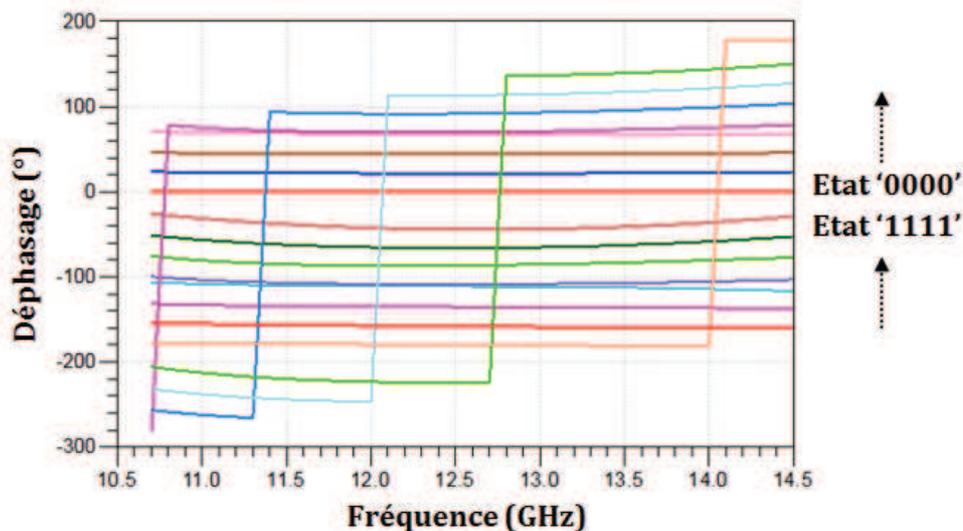


Figure 4.30. Simulation des 16 états de fonctionnement

#### 4.4.1.2 Fabrication du déphaseur

Le circuit a été fabriqué dans un process  $250\mu\text{m}$  SiGe de IHP. La taille du circuit demeure imposante par rapport à l'atténuateur 4 bits à cause de la présence d'inductances dans les topologies des cellules de déphasage.

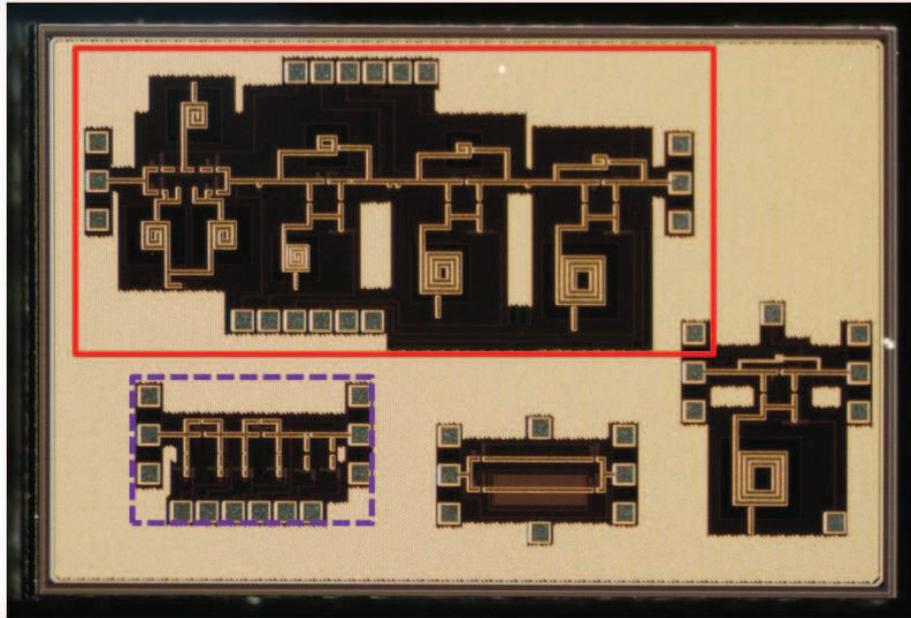


Figure 4.31. Photo comparative du déphaseur 4 bits (en rouge) et de l'atténuateur 4 bits (violet)

Les cellules sont mises en cascade dans l'ordre suivant,  $180^\circ$ ,  $90^\circ$ ,  $45^\circ$ ,  $22^\circ$ . Les accès pour la mesure des paramètres-S sont les pads en configuration GSG situés en entrée et en sortie de la puce. L'alimentation des différents transistors se fait par les pads situées en haut et en bas. Ces pads sont positionnés pour accueillir un eye-path 6 pointes. Le nombre de pads est supérieur au nombre de transistors à contrôler (12 pads pour seulement 8 tensions de contrôle nécessaires) car le matériel utilisé pour les mesures implique des contraintes pour le masque à fabriquer.

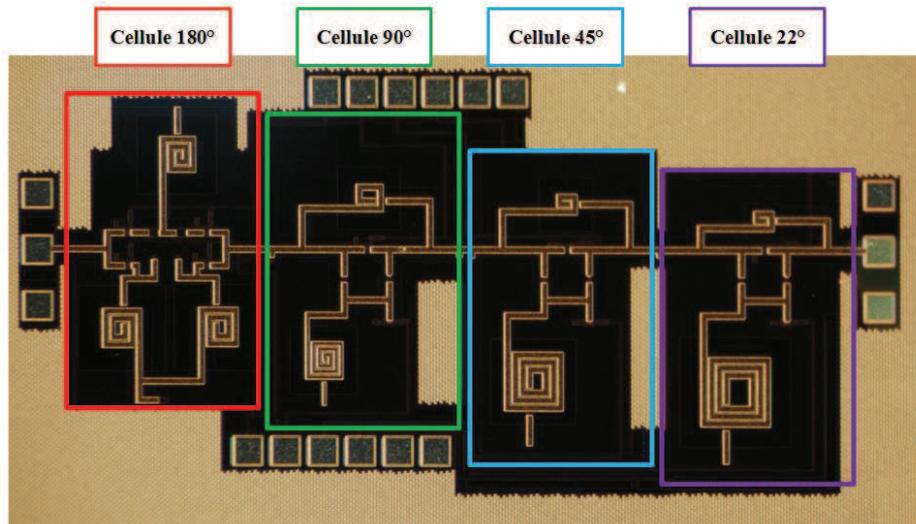


Figure 4.32. Photo du déphaseur 4 bits

#### 4.4.1.3 Résultats de mesure

Les mesures de puces ont été effectuées en salle de caractérisation au LAAS-CNRS. Un VNA et une station sous pointes permettent le relevé des paramètres-S. La polarisation des transistors est faite via des alimentations externes et au moyen d'eye-paths.

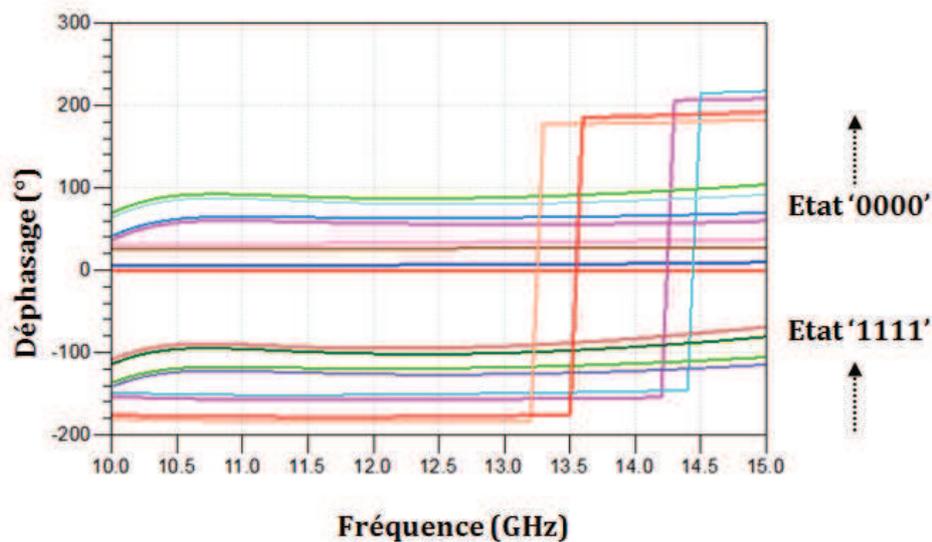


Figure 4.33. Mesure des déphasages du déphaseur 4 bits

La mesure du déphasage dans tous les états de fonctionnement est présentée en Figure 4.33. On constate que les cellules ne remplissent pas correctement leur fonction. La cellule

180° apporte bien le déphasage attendu. Pour l'état '1000' (tous les cellules 'OFF' sauf la 180°), le déphasage mesuré sur toute la bande est de 183°. Le déphaseur 22° ne contribue que pour 11°. Le déphaseur 45° amène un déphasage de 30° et celui de 90° seulement 60°. Les paliers de déphasage sont visibles mais le résultat ne correspond pas aux simulations. La réflexion sur toute la bande est <-10dB mais les pertes d'insertion sont beaucoup plus importantes (Figure 4.34). Ces niveaux de pertes sont cependant comparables à ceux des circuits présentés dans l'état de l'art.

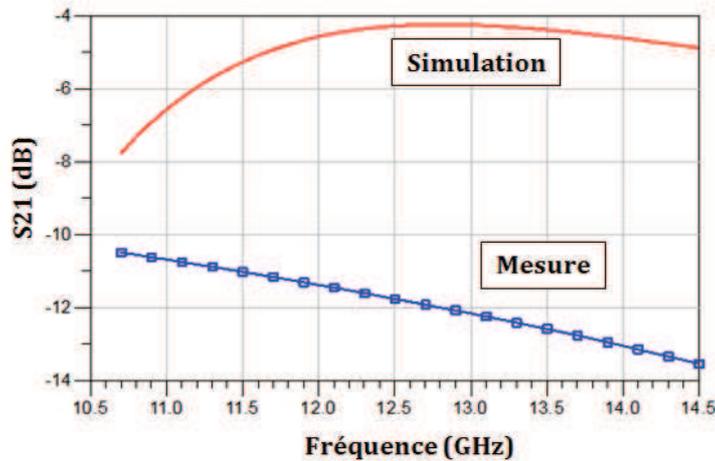


Figure 4.34 Comparaison Simu/Mesure des pertes pour l'état de référence

Cette différence entre mesure et simulation peut s'expliquer par les pertes des transistors. Les pads contribuent toujours aux pertes d'insertion mais ne sont pas la source principale de cet écart. Nous avons montré la différence qui existe entre le modèle de simulation du transistor issu du DK et le composant mesuré. Le design contient 11 transistors disposés sur le chemin du signal RF, chacun contribuant à la modification du comportement du déphaseur.

La linéarité a été quantifiée par la mesure du P1dB. Les mesures montrent pour l'état de référence '0000' un P1dB<sub>IN</sub> de 17.35dBm.

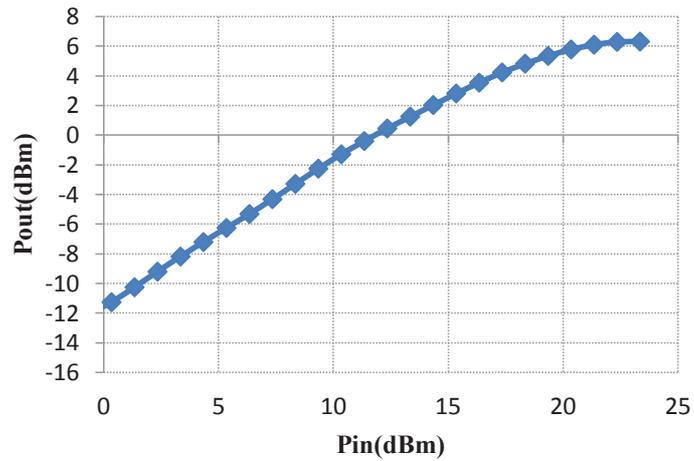
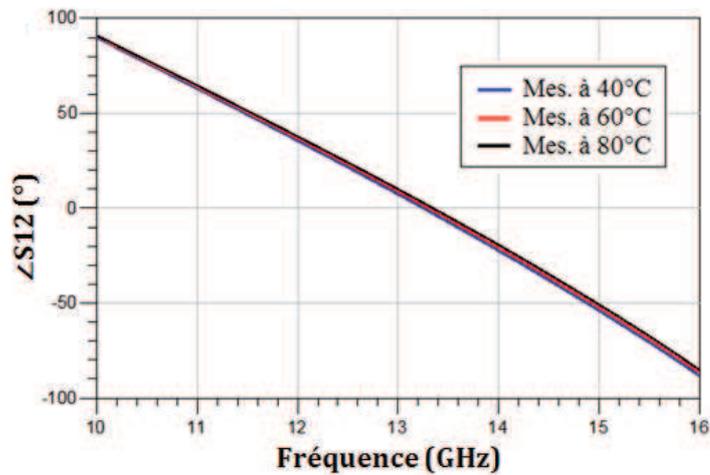


Figure 4.35. Mesure du P1dB pour le déphaseur 45°

Les mesures en température effectuées aux paliers : 25°C, 40°C, 60°C et 80°C montrent une réponse très stable du circuit. Les pertes d'insertion sont modifiées de 0.7dB et la réflexion est modifiée de 0.2dB sur toute la bande de fréquence et la phase de 1°.



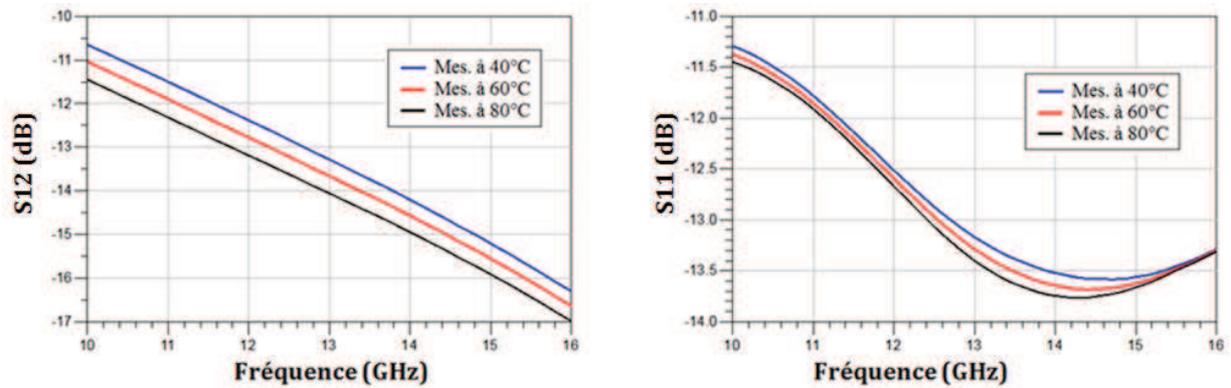


Figure 4.36. Résultats de mesures de l'étude de stabilité en température

#### 4.4.1.4 Conclusion

Une première version de déphaseur 4 bits a été conçue et fabriquée. Même s'il ne fonctionne pas de manière optimale et n'atteint pas les performances de l'état de l'art en matière de stabilité du déphasage, la structure est prometteuse. Il s'agit d'une première version et la mise en cascade des cellules élémentaires fonctionne. La cellule de déphasage 180° fonctionne très bien et assure un déphasage quasi-constant ( $\pm 2^\circ$ ) sur toute la bande de fréquence. La structure reste compacte et présente une linéarité et une stabilité en température très intéressantes.

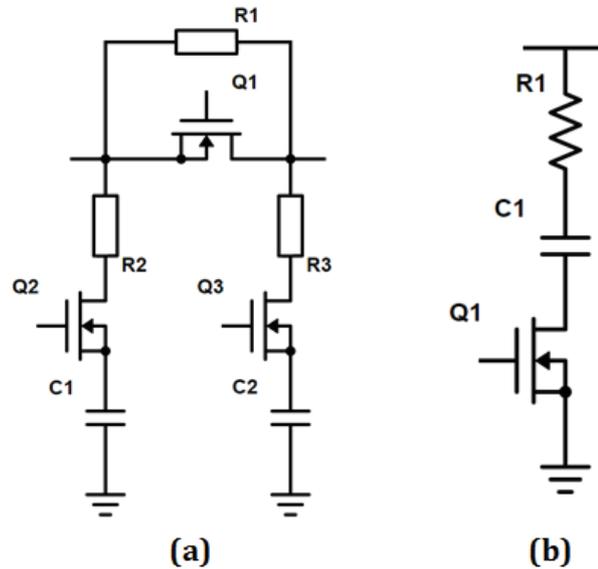
#### 4.4.2 Atténuateur 4 bits

##### 4.4.2.1 Conception de l'atténuateur

L'atténuateur est un circuit à bit. La cellule de poids fort est une cellule d'atténuation 6dB (les autres étant respectivement 3dB, 1.5dB et 0.75dB). La dynamique totale visée est de 12dB. Le circuit a 16 états de fonctionnement, de '0000' (pas d'atténuation) à '1111' (toutes les cellules actives).

Deux topologies sont utilisées pour réaliser les 4 cellules élémentaires. La cellule 6dB a été légèrement modifiée après le second run. La topology est un atténuateur en  $\Pi$  avec trois résistances et trois transistors. Le transistor série et les deux transistors parallèles sont en fonctionnement dual. La possibilité d'utiliser de nouveaux outils de simulations (ADS) a amélioré les performances de la cellule et a permis de retirer les inductances d'adaptation qui consommaient de la surface. Le design est donc plus compact. La même topology est utilisée pour la cellule 3dB. L'autre topology (Figure 4.37) est celle des cellules simples du premier

run. Ces topologies conviennent à des atténuations faibles ( $\leq 1.5\text{dB}$ ). Au-delà le circuit devient impossible à adapter sans ajout de circuits d'adaptation.



**Figure 4.37. Topologies des cellules de l'atténuateur 4 bits (a) 6dB, 3dB (b) 1.5dB, 0.75dB**

Les simulations nous permettent de visualiser les différentes valeurs d'atténuation en fonction de l'état de fonctionnement de chaque cellule élémentaire. La dynamique totale en simulation est de 11dB. Des petites résistances ont été rajoutées pour améliorer l'adaptation entre deux cellules mises en cascade. La valeur des composants est  $R1_{6\text{dB}} = 52\Omega$ ,  $R2_{6\text{dB}} = 88\Omega$ ,  $C_{6\text{dB}} = 230\text{fF}$ ,  $R1_{3\text{dB}} = 29\Omega$ ,  $R2_{3\text{dB}} = 190\Omega$  et  $C_{3\text{dB}} = 120\text{fF}$ . Les autres cellules ont été détaillées dans les parties suivantes. Les transistors utilisent tous le body floating pour améliorer l'adaptation globale du circuit et la linéarité.

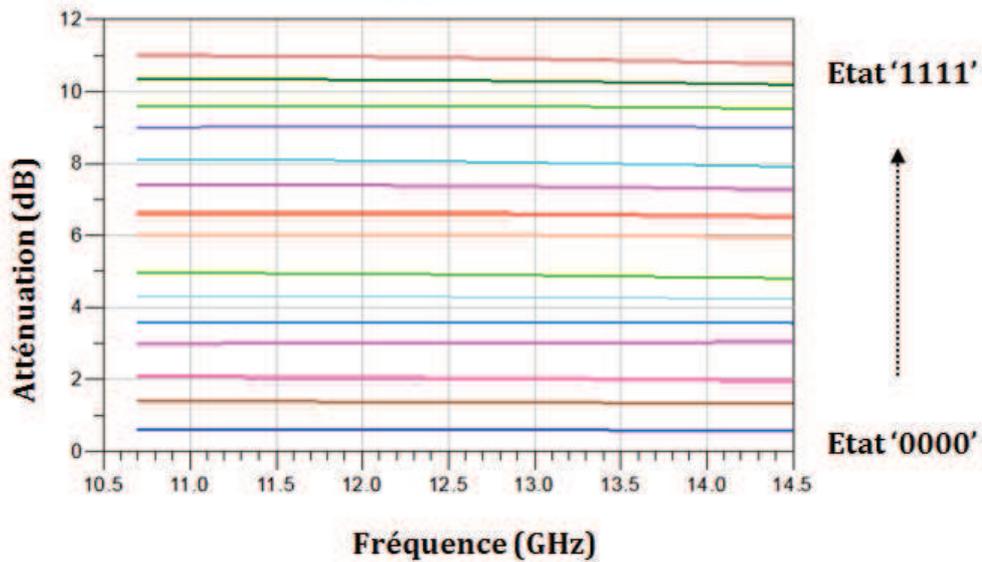


Figure 4.38. Simulations des 16 états de fonctionnement de l'atténuateur 4bits

#### 4.4.2.2 Fabrication de l'atténuateur

Le circuit a été fabriqué dans un process 250 nm SiGe de IHP. Les cellules sont mises en cascade dans l'ordre suivant, 6dB, 3dB, 1.5dB et 0.75 dB. Les accès pour la mesure des paramètres-S sont les pads en configuration GSG situés en entrée et en sortie de la puce. L'alimentation des différents transistors se fait par les pads situés en bas de la puce. Ces pads sont positionnés pour accueillir un eye-path 6 pointes d'un pitch de 100 $\mu$ m.

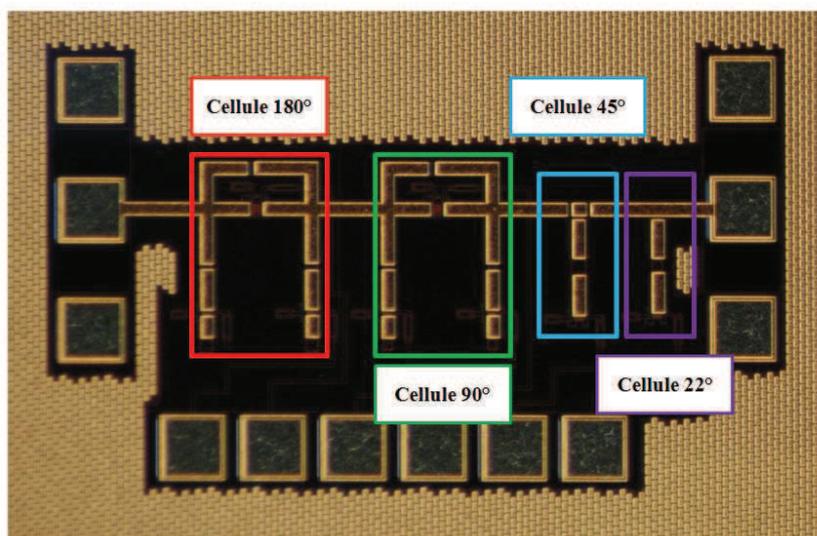


Figure 4.39. Photo de l'atténuateur 4 bits

#### 4.4.2.3 Résultats de mesure

Les mesures de puces ont été effectuées en salle de caractérisation au LAAS-CNRS. Un VNA et une station sous pointes permettent le relevé des paramètres-S. La polarisation des transistors est faite via des alimentations externes et au moyen d'eye-paths.

Comme pour le déphaseur 4 bits, les mesures ne correspondent pas exactement aux simulations. La cellule de poids atténué de 6 dB mais les cellules plus faibles n'ont pas la valeur attendue. L'autre cellule avec la topologie en  $\Pi$  présente une atténuation légèrement inférieure aux simulations (2.5dB pour 3dB attendus). Ce sont les cellules de poids faibles qui fonctionnent le moins bien. Ces cellules présentaient déjà une adaptation moins bonne que les deux cellules de poids forts. Cette désadaptation peut affecter les performances de l'atténuateur global. Les pertes d'insertion de l'atténuateur sont de -8/-10dB sur la bande de fréquence [10GHz, 15GHz] (contre -4/-4.8 dB en simulation). Cette différence est probablement due à la modélisation des transistors et à l'impact des pads de mesure. Ces pertes sont aussi la contrepartie d'une mauvaise adaptation. Lorsque la cellule 6dB n'est pas active, l'adaptation est de -10dB. Par contre l'adaptation passe à -7dB quand la cellule est active.

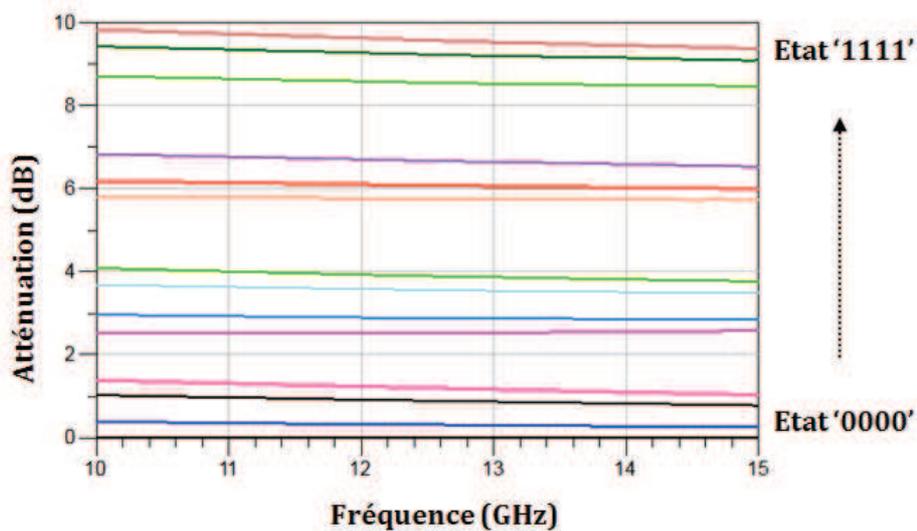


Figure 4.40. Mesure de l'atténuation pour les 16 états de l'atténuateur 4 bits

La variation de la phase a également été relevée pour tous les états de fonctionnement de l'atténuateur 4 bits. Ces données sont très importantes puisque cette variation de la phase en fonction des états de fonctionnement doit être prise en compte pour la réalisation de la constellation. Ces courbes permettent de nous assurer que la phase varie très peu quel que soit le

niveau d'atténuation. On relève une variation maximale de seulement 4° pour l'ensemble des 16 états.

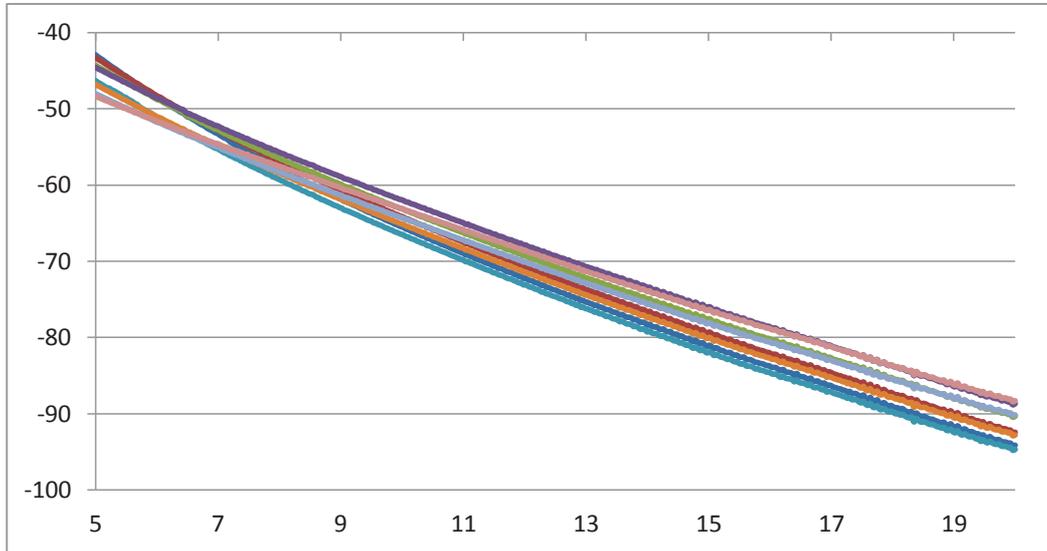


Figure 4.41. Mesure de la phase pour les 16 états de l'atténuateur 4 bits

La linéarité a été quantifiée par la mesure du P1dB. Les mesures montrent pour l'état de référence '0000' un P1dB<sub>IN</sub> de 17.35dBm.

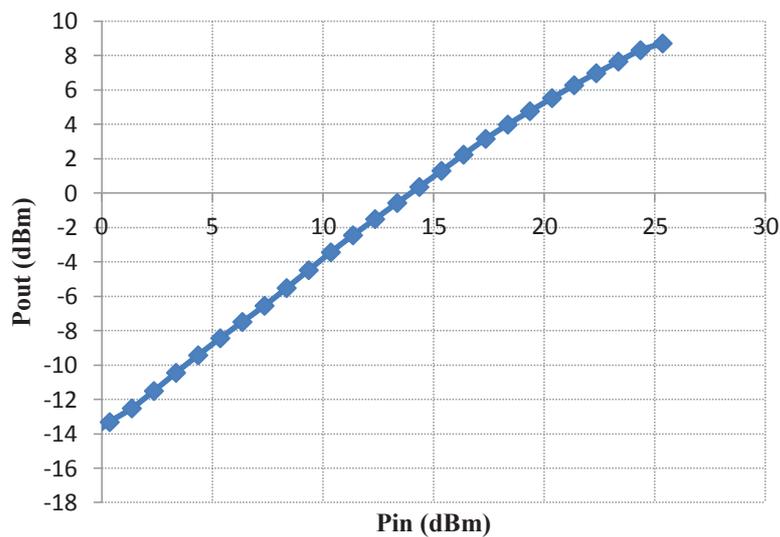


Figure 4.42. Mesure du P1dB de l'atténuateur 4bits pour l'état '0000'

Les mesures en température effectuées aux paliers : 25°C, 40°C, 60°C et 80°C montrent une réponse très stable du circuit. Les pertes d'insertion et la réflexion sont modifiées de 0.3dB°.

#### 4.4.2.4 Conclusion

L'atténuateur 4 bits dont les résultats sont présentés dans cette section est une structure prometteuse. Cette première version montre des résultats intéressants. Les 16 états de fonctionnement sont visibles et la dynamique visée est quasiment atteinte. La structure reste compacte et présente une bonne linéarité.



## **5 CHAPITRE V – DEPHASEURS BASES SUR LES LIGNES DE TRANSMISSION A ONDES LENTES**

---

Le chapitre III portant sur les lignes à ondes lentes a permis de mettre en avant des résultats très prometteurs sur les lignes à ondes lentes. Ces dernières présentent des facteurs de miniaturisation supérieurs à 2.5. Les lignes elles-mêmes sont intéressantes mais leur utilisation dans des applications concrètes renforcent l'intérêt pour cette technologie.

Ce chapitre sera consacré à l'étude et au développement de circuits déphaseurs basés sur les lignes à ondes lentes. Plusieurs designs ont été élaborés au fil des runs pour améliorer les prototypes. Ces déphaseurs ciblent essentiellement des déphasages faibles. Ils sont basés sur le principe des lignes commutées. Le déphasage est donc réalisé par une différence de phase entre deux lignes de transmission. Ces déphaseurs sont capables de réaliser de forts déphasages mais dans notre cas la largeur de bande est une contrainte limitante. Pour une bande de fréquence trop large, il devient difficile d'assurer la platitude de la phase.

Les résultats de simulations ainsi que les résultats de mesures des circuits réalisés seront présentés. Les designs seront comparés à un élément de référence. Un déphaseur 11° classique a été développé pour pouvoir comparer les performances des différents designs et voir les améliorations possibles.

### **5.1 ELEMENTS DE REFERENCE**

En tout 5 déphaseurs à ondes lentes (que nous appellerons 'déphaseurs à ondes lentes) ont été réalisés durant ces travaux de thèse :

- 3 déphaseurs 11°
- 1 déphaseur 22°
- 1 déphaseur 45°

Afin de pouvoir comparer les performances des différents circuits des déphaseurs ont été spécialement fabriqués pour servir de référence. Ces éléments de références sont des déphaseurs classiques basés sur des topologies passe-haut ou passe-bas utilisant des éléments localisés.

Des déphaseurs de ce type ont déjà été présentés dans le chapitre précédent. Cependant la plupart des déphaseurs à ondes lentes qui ont été envoyés en fonderie sont des déphaseurs 11°. Même si des déphaseurs 45° ont été mesurés et pourront servir pour le déphaseur à ondes

lentes  $45^\circ$ , un circuit de déphasage  $11^\circ$  a été implémenté au cours des runs. Il permettra la comparaison de plusieurs paramètres : pertes d'insertion, pertes en réflexion, platitude de la phase, encombrement...

Ce déphaseur repose sur la même topologie que celle décrite depuis le début du manuscrit. La Figure 5.1 montre une photo du circuit fabriqué.

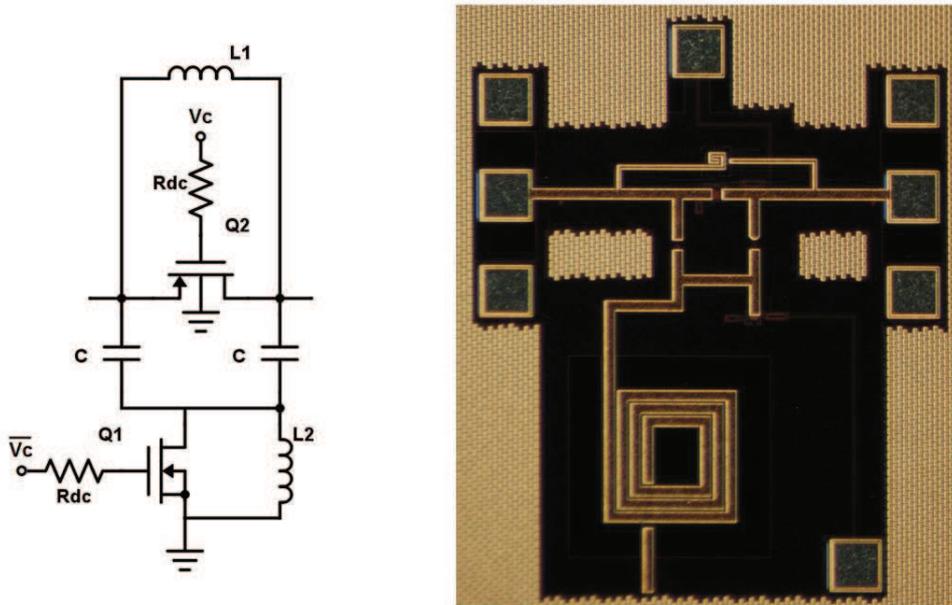


Figure 5.1. Topologie utilisée pour la cellule  $11^\circ$  et photo de la puce

Les mesures présentées ci-dessous ont été faite après une calibration standard de type SOLT. Les mesures incluent les pads ainsi que les lignes d'amenées. L'impact des pads a été dimensionné durant les calibrations TRL et contribuent aux pertes d'insertion à un niveau de  $\approx 1.15\text{dB}$  à  $12.5\text{ GHz}$ .

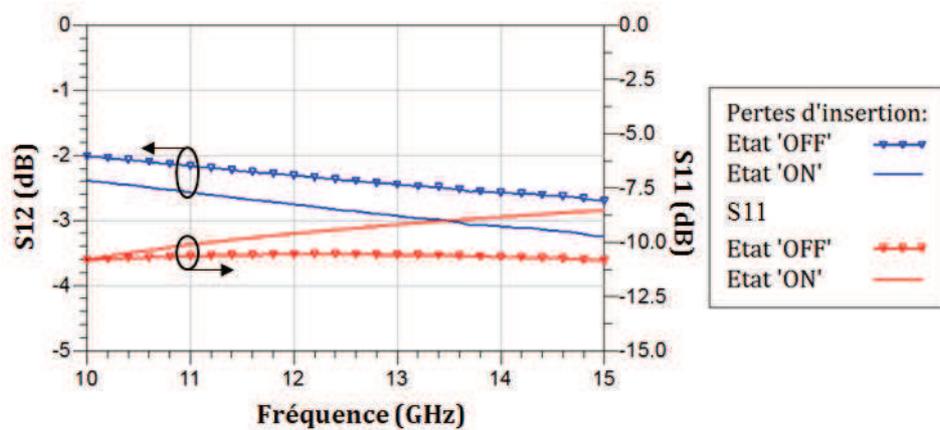


Figure 5.2. Pertes d'insertion et réflexion de la cellule de déphasage 11° (mesures)

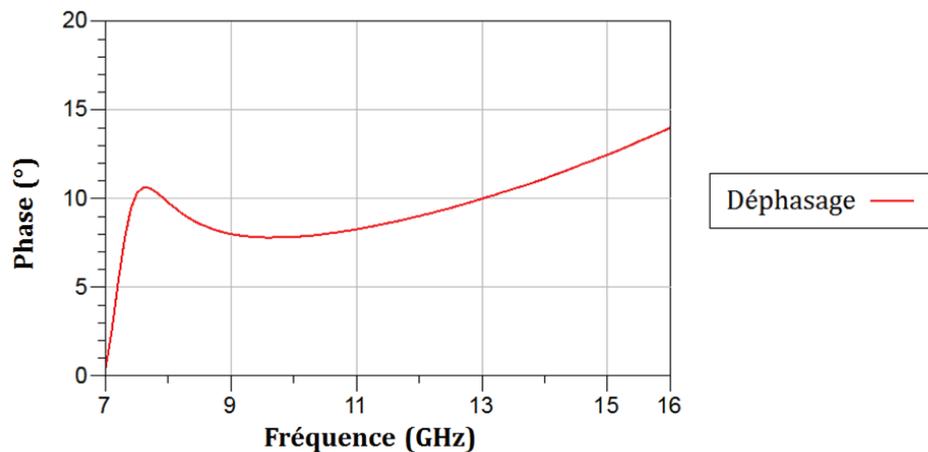


Figure 5.3. Déphasage de la cellule 11° (mesures)

Les pertes d'insertion dans les 2 états sont inférieures à 3dB à 12.5GHz (avec la contribution des pads). On relève -2.3dB de pertes pour l'état 'OFF' et -2.8dB pour l'état 'ON'. Ces pertes légèrement plus élevées pour l'état 'ON' se traduisent par une réflexion moins bonne de -9.4dB au centre de la bande contre -10.5dB dans l'autre cas. La phase est légèrement décentrée. Le minimum de déphasage relevé à 10 GHz étant attendu pour 11 GHz. La valeur du déphasage atteint est également légèrement inférieure aux simulations dans la bande de fréquence considérée. Cependant ces résultats, présentant des similarités avec les résultats de mesures des cellules de déphasage 45°, nous permettent d'avoir un élément de comparaison solide pour les pertes d'insertion, la réflexion, l'encombrement et la linéarité.

## 5.2 DEPHASEUR SUR LES LIGNES A ONDES LENTES CLASSIQUES

Une première topologie de déphaseurs à ondes lentes est basée sur l'utilisation des lignes à ondes lentes classiques. Cette section va présenter cette topologie, la puce fabriquée et les résultats de mesure et les améliorations réalisées.

### 5.2.1 Première version de déphaseur $11^\circ$

Une première version de déphaseur à ondes lentes  $11^\circ$  a été développée. Il s'agit d'une cellule de déphasage à lignes commutées. Le circuit exploite le retard de phase important des lignes à ondes lentes pour réaliser le déphasage voulu. Des transistors FET froids en SiGe servent d'éléments de commutation. La ligne de référence est une ligne micro-ruban classique tandis que l'autre accès est une ligne de transmission à ondes lentes. La topologie est décrite en Figure 5.4.

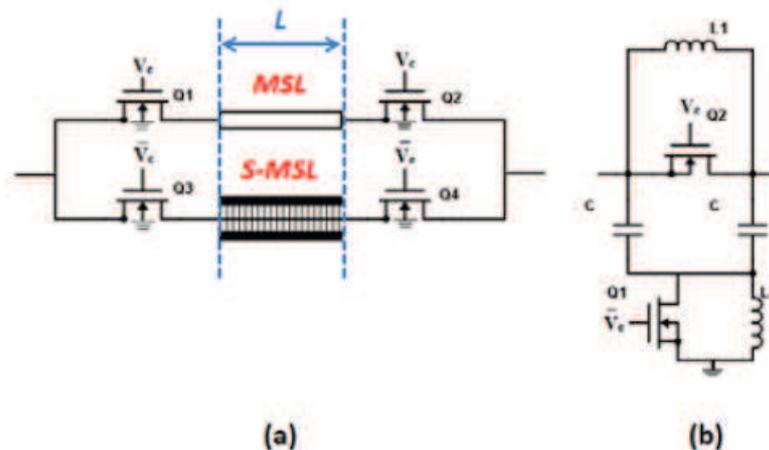
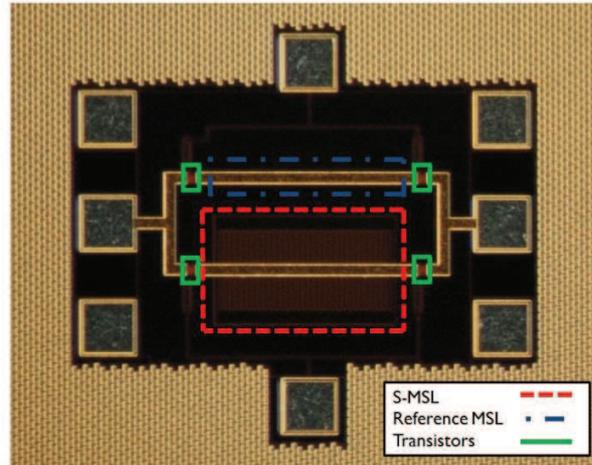


Figure 5.4. Topologie du déphaseur à ondes lentes vs topologie classique

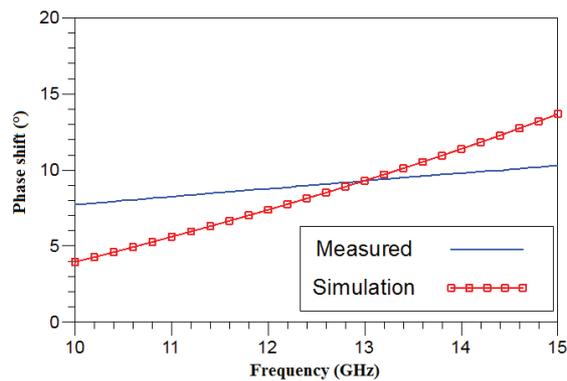
La ligne à ondes lentes utilisée pour obtenir le déphasage voulu est la ligne à ondes lentes avec des boucliers flottants sur un seul niveau de métallisation. Cette ligne a déjà été fabriquée et caractérisée. Ces lignes permettent d'avoir une structure plus compacte que des lignes à ondes lentes coplanaires. Dans cette première version, les transistors n'utilisent pas le substrat flottant. Le bulk des transistors est directement connecté à la masse. La structure est parfaitement symétrique le déphasage ne provient donc que de la différence de phase des deux lignes de transmission. La longueur des lignes a été calculée à l'aide d'HFSS pour obtenir un déphasage de  $11^\circ$ . Cette topologie est adaptée pour des déphasages faibles ( $\leq 22^\circ$ ). Au-delà la platitude de la phase n'est pas assurée sur des bandes de fréquence trop larges et le circuit n'est plus compact par rapport aux structures classiques.



**Figure 5.5. Photo de la cellule fabriquée (dimensions  $250 \times 400 \mu\text{m}^2$  sans les pads)**

Les paramètres-S sont mesurées avec un VNA avec une calibration SOLT standard. La taille de la puce sans les pads est  $300 \times 400 \mu\text{m}^2$ . Pour comparaison la taille du déphaseur classique est de  $650 \times 400 \mu\text{m}^2$ . La nouvelle topologie est donc 2.15 fois plus compacte (réduction de 54%).

Les résultats de mesure sont présentés en Figure 5.6 pour les états ‘ON’ ( $V = 2.5\text{V}$ ) et ‘OFF’ ( $V = 0$ ). Les résultats montrent des pertes d’insertion importantes. Ces pertes sont essentiellement dues à la connexion des bulks des transistors. Les solutions pour corriger ce problème sont présentées dans la section suivante. Les pads en aluminium ne sont également pas pris en compte dans les modèles de simulations. La réflexion est  $< -8.5\text{dB}$  sur la bande de fréquence [10GHz, 15GHz].



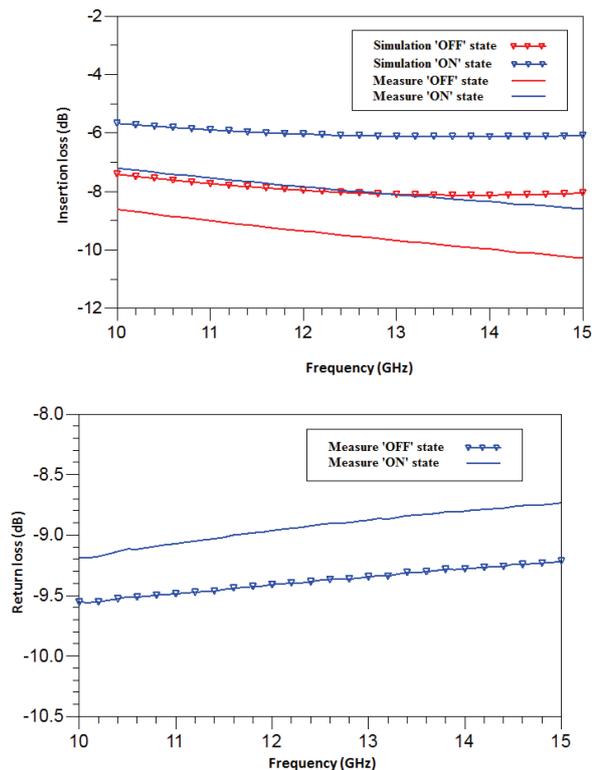


Figure 5.6 Résultats de mesure du déphaseur à ondes lentes 11° (version 1)

L'écart de déphasage entre simulations et mesure est dû au retard de phase surestimé (en simulation) des lignes à ondes lentes. Un aspect intéressant de ces mesures est la faible variation linéaire du déphasage sur toute la bande de fréquence. On relève aussi une consommation DC nulle. Ces aspects sont très prometteurs pour une intégration du circuit pour des applications concrètes. Ces résultats ont fait l'objet d'une publication [84].

### 5.2.2 Seconde version de déphaseur 11°

Le déphaseur à ondes lentes est une topologie intéressante mais les pertes générées sont très importantes. Une des pistes pour les réduire est l'utilisation du substrat flottant pour améliorer l'adaptation. La longueur des lignes a été légèrement augmentée pour atteindre les 11° de déphasage visé. La longueur a été calculée à partir des résultats de mesure des lignes à ondes lentes et non pas des simulations (retard de phase légèrement surestimé en simulation). Nous avons donc fabriqué cette deuxième version de déphaseur à ondes lentes 11° (avec l'utilisation de la technique du substrat flottant résistif).

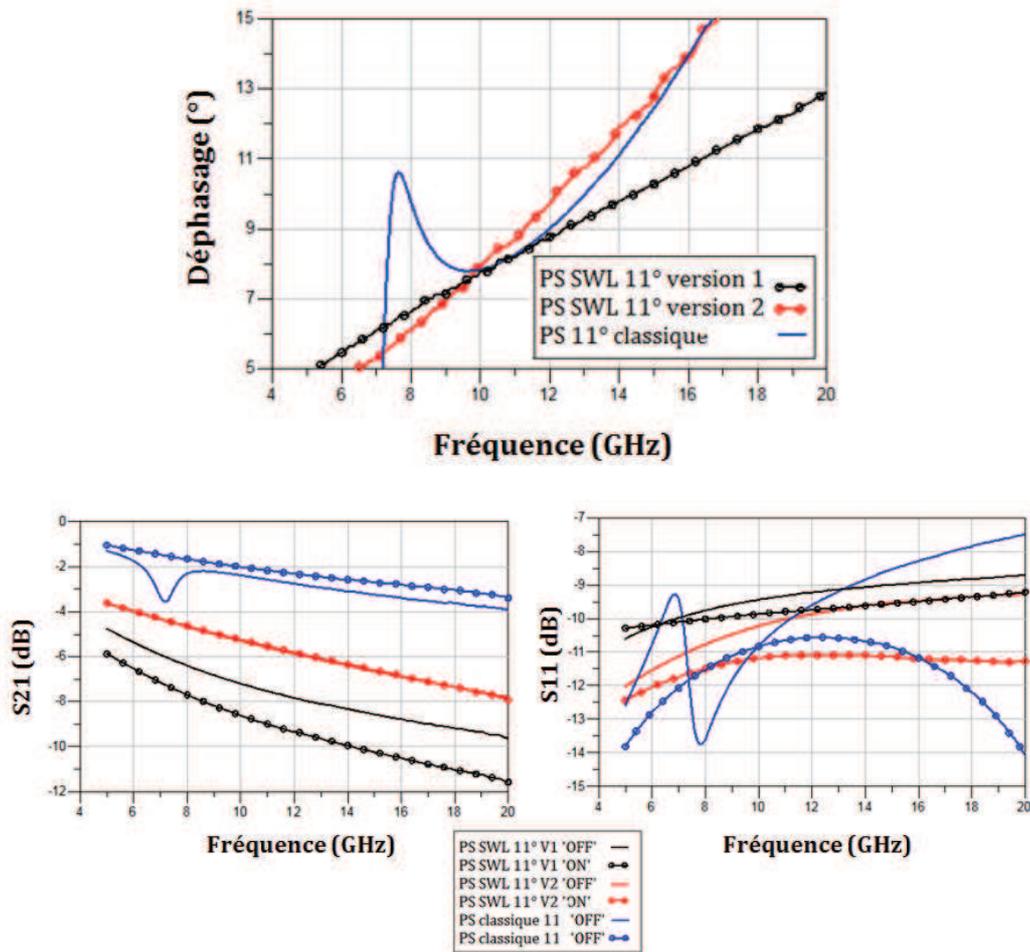


Figure 5.7 Mesure des paramètres-S pour les deux versions du déphaseur à ondes lentes 11° (versions 1 et 2) et pour la structure de référence (en topologie classique)

Ces résultats montrent l'amélioration de la cellule de déphasage. Les pertes d'insertion sont moins importantes que celles de la première version. L'adaptation est également améliorée dans les deux états de fonctionnement. Les performances ne sont pas encore équivalentes à celles de la cellule classique mais la topologie propose une alternative plus compacte. Le déphasage a été recalé à la bonne valeur. Le point de compression à 1dB a été mesuré et les résultats montrent une amélioration. En utilisant le substrat flottant, le  $P_{1dB_{IN}}$  passe de +19dBm à +21dBm.

### 5.3 DEPHASEUR SUR LES LIGNES A ONDES LENTES A MEANDRES

Un deuxième modèle de déphaseur basé sur les lignes à ondes lentes a également été développé. Il repose également sur le même principe que précédemment mais a pour but d'être plus compact en utilisant des lignes à méandres. La ligne à ondes lentes est repliée pour gagner en compacité et permet de réduire au maximum la taille de la ligne micro-ruban classique (Figure 5.8). Les transistors fonctionnent deux par deux pour permettre de choisir le trajet du signal RF.

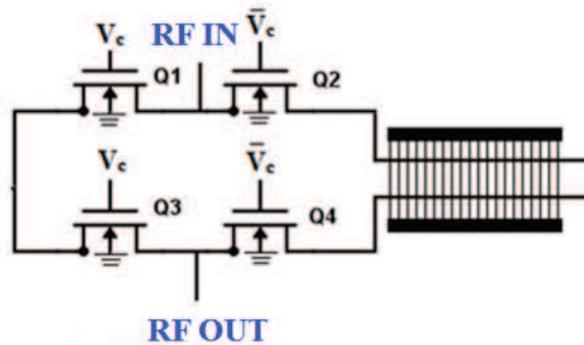


Figure 5.8. Topologie du nouveau déphaseur à ondes lentes

Cette structure permet donc de réduire encore la surface occupée par les circuits et donc de réduire les coûts. Ci-dessous est présentée une comparaison des masques de la nouvelle topologie et de la topologie LC qui sert d'élément de référence (pour un déphasage de  $11^\circ$  visé). En excluant les pads, ce nouveau design permet une réduction de la surface de 75% par rapport à la topologie de la cellule de référence. Les tailles respectives de circuits (sans pads) sont de  $320 \times 200 \mu\text{m}^2$  contre  $650 \times 400 \mu\text{m}^2$ .

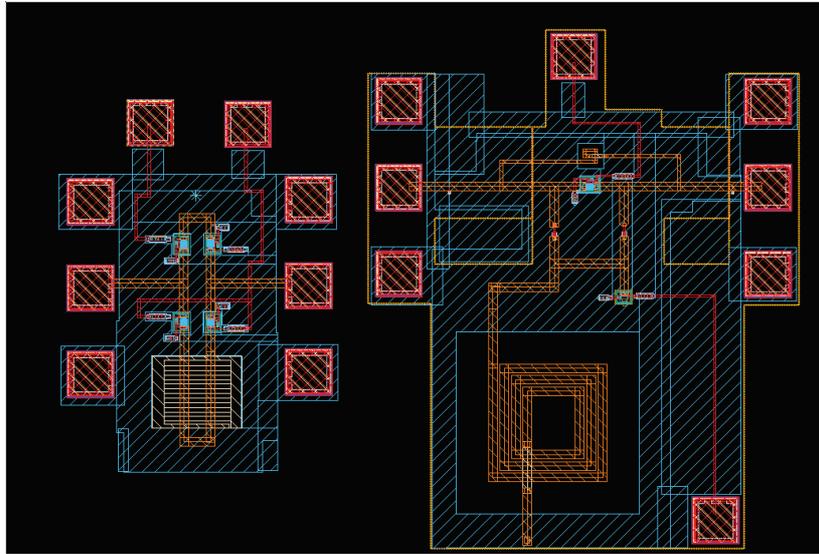


Figure 5.9. Comparaison des vues masquées des topologies pour une cellule  $11^\circ$

Des modèles de déphaseurs pour des cellules de  $11^\circ$ ,  $22^\circ$  et  $45^\circ$  ont été fabriqués pour tester la topologie (avec lignes à méandres) proposée.

### 5.3.1 Déphaseur à ondes lentes $11^\circ$

Le premier déphaseur fabriqué est un déphaseur  $11^\circ$ . Il permet la comparaison avec la topologie classique et la première version de déphaseur à lignes à ondes lentes. La longueur des lignes a été calculée par des simulations HFSS. La longueur de la ligne à ondes lentes déployée est  $350\mu\text{m}$  avec le retour. Les dimensions du déphaseur sont  $200 \times 320\mu\text{m}^2$  sans les pads. La structure est plus compacte que la topologie classique (réduction d'un facteur 4) et que la première version de déphaseur à ondes lentes (réduction d'un facteur 2).

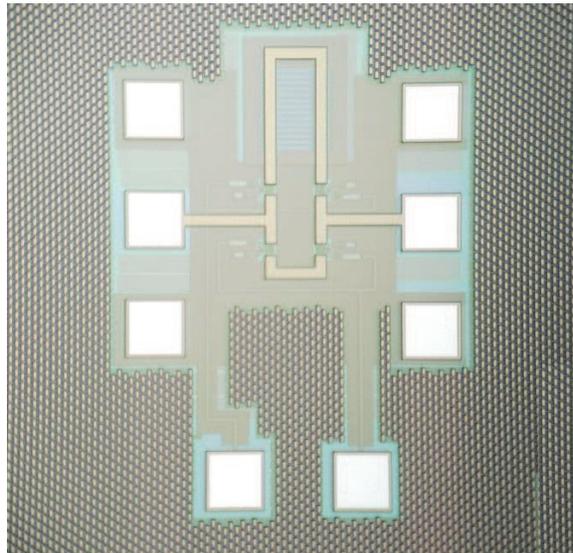


Figure 5.10. Photo du déphaseur à ondes lentes 11°

Les résultats de mesure sont très encourageants. Le déphasage visé est atteint. Dans la bande [10.7GHz, 14.5GHz], la valeur du déphasage varie de 10.25° à 13.5° (pour une valeur de 11.8° au centre de la bande). Le déphasage est donc assuré à  $\pm 1.6^\circ$ . La phase est un peu plus plate dans la bande de fréquence d'intérêt que pour le premier design de déphaseur à ondes lentes.

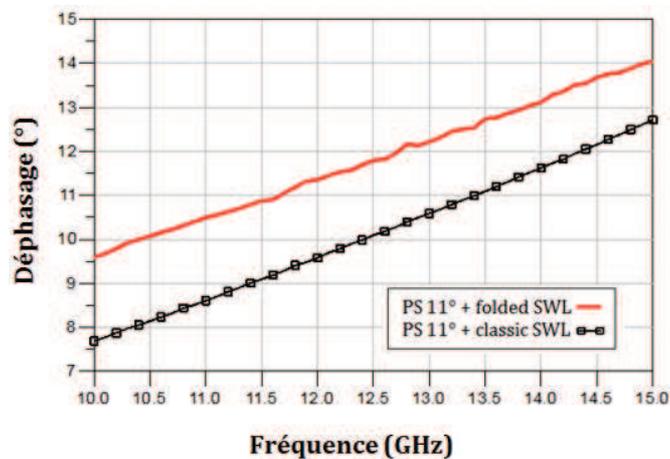


Figure 5.11. Comparaison des déphasages des deux cellules de déphasage à ondes lentes 11°

Les pertes ont niveau comparable à celui du premier design utilisant des lignes à ondes lentes classiques. Au centre de la bande le S21 est de -5.9dB pour l'état 'OFF' et de -6.3dB pour l'état 'ON'. La réflexion est de -10dB sur toute la bande et pour les deux états de fonctionnement.

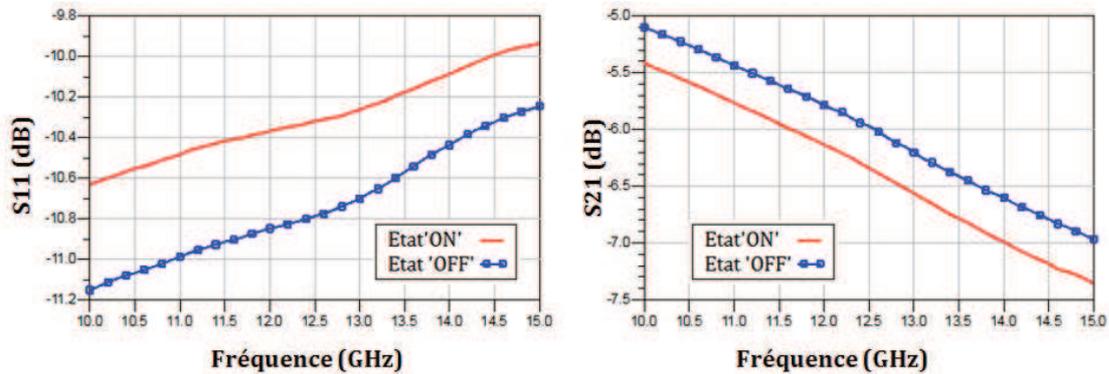


Figure 5.12. Mesure de la réflexion et des pertes d'insertion

Le point de compression à 1dB a été relevé et comparé aux autres designs. L'utilisation du substrat flottant améliore la linéarité en plus d'améliorer les pertes et la réflexion. Le design sans cette technique compresse plus rapidement lorsque la puissance en entrée augmente. Ce design plus compact est donc très intéressant et permet de mettre en application le principe des lignes à ondes lentes à méandres.

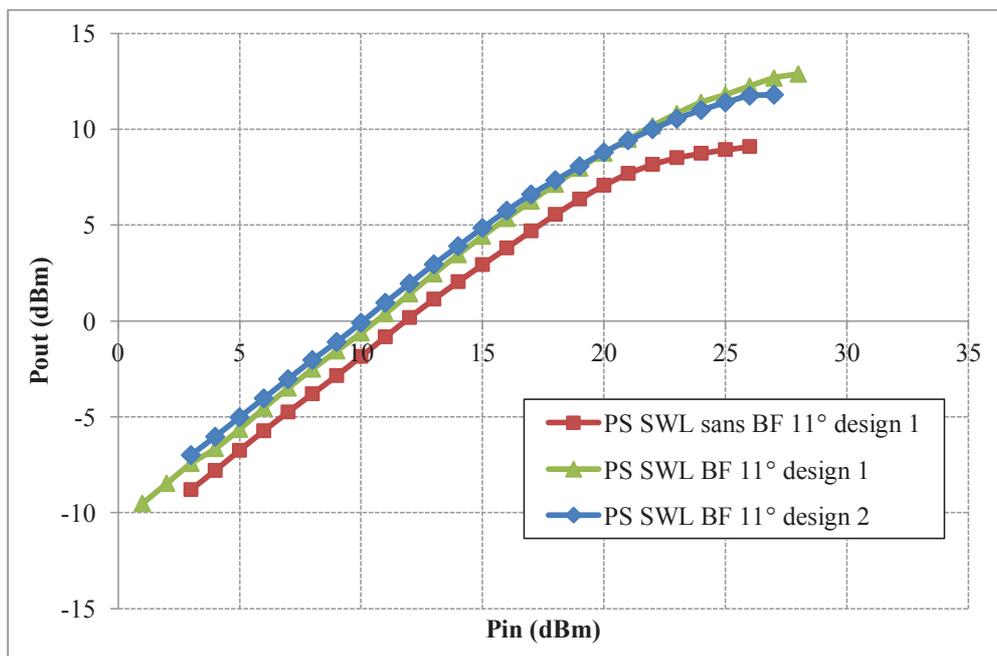


Figure 5.13. Mesure du P1dB et comparaison avec les autres designs

### 5.3.2 Déphaseur à ondes lentes 22°

Le design  $22^\circ$  reprend le même principe que précédemment et la même ligne à méandres. La ligne est plus longue pour atteindre les  $22^\circ$  de déphasage visé. La longueur déployée de la ligne à ondes lentes est de  $550\mu\text{m}$ . La taille du déphaseur est de  $410 \times 200\mu\text{m}^2$  (soit  $0.082\text{mm}^2$ ). La structure reste toujours très compacte.

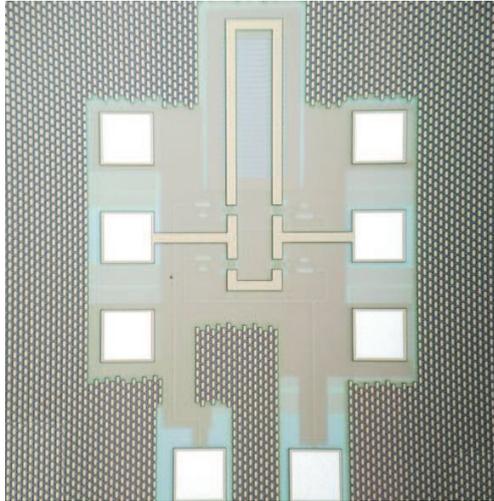
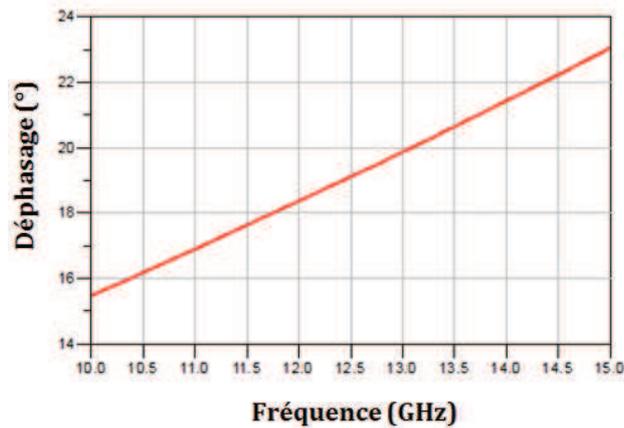


Figure 5.14. Photo du déphaseur  $22^\circ$

Le déphasage de  $22^\circ$  n'est pas tout à fait atteint. On relève  $19.2^\circ$  au centre de la bande. La platitude de la phase est toujours bonne malgré la bande de fréquence assez large. Les niveaux de pertes d'insertion sont équivalents à ceux de la cellule  $11^\circ$ . Ce design a pour but de tester si l'application pour un déphasage plus élevé est possible.



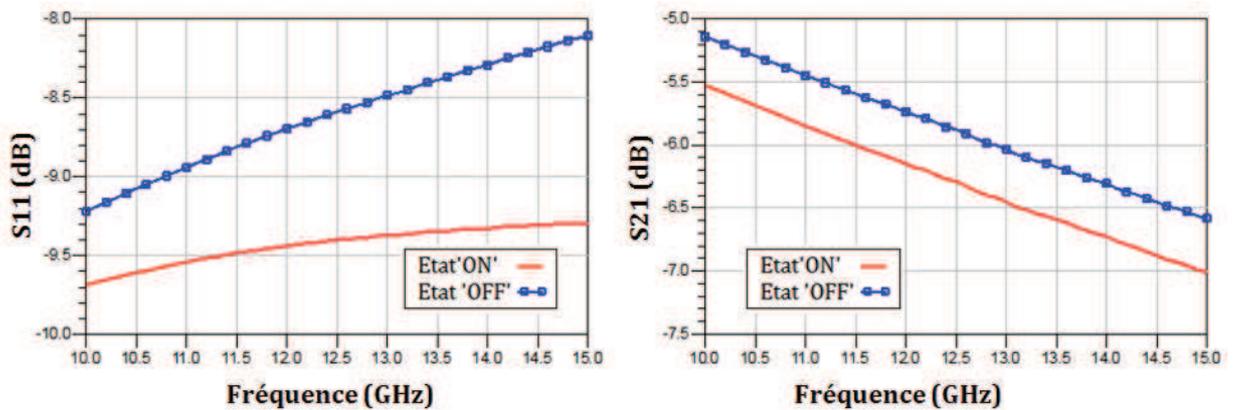


Figure 5.15. Mesure des performances du déphaseur à ondes lentes  $22^\circ$

Le  $P_{1dB}$  est le même que la cellule  $11^\circ$ ,  $P_{1dB_{IN}} = +21\text{dBm}$  ce qui est logique car nous utilisons les mêmes transistors. Le principe de ce déphaseur s'applique donc bien pour des cellules supérieures à  $11^\circ$ .

### 5.3.3 Déphaseur à ondes lentes $45^\circ$

Le design de déphaseur  $45^\circ$  est légèrement différent puisque cette fois la ligne à ondes est une ligne faisant plusieurs méandres. La topologie de la ligne a déjà été présentée dans le chapitre III portant sur les lignes à ondes lentes. La longueur de la ligne à ondes lentes est déterminée par simulations (HFSS) pour permettre d'obtenir  $45^\circ$  de déphasage (longueur totale déployée  $1150\mu\text{m}$ ). La taille du déphaseur (sans les pads) est de  $440 \times 260\mu\text{m}^2$  (soit  $0.114\text{mm}^2$ ). La structure est plus compacte que le design avec la topologie classique par un facteur 2.

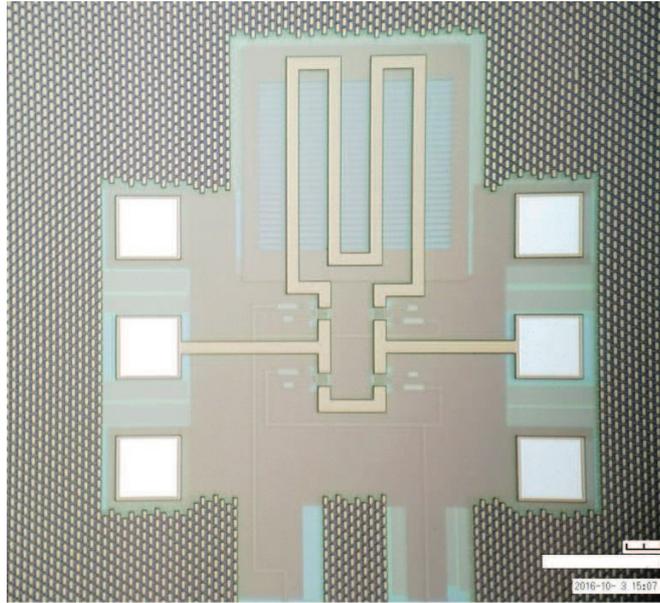
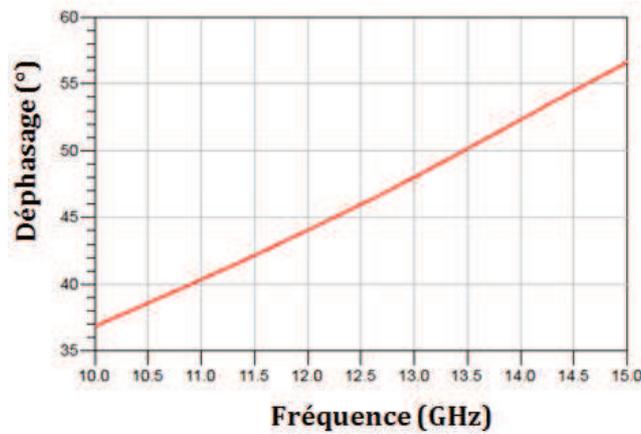


Figure 5.16. Photo de la puce 45°

Le déphasage de la cellule est centré à 46° à 12.5GHz. Il varie de 39 à 54° sur la bande de fréquence [10.7GHz, 14.5GHz]. Le niveau de réflexion est de -10dB sur la bande de fréquence et pour les deux états de fonctionnement. Les pertes d'insertion à 12.5GHz sont -6.2dB et -6.7dB pour les états 'ON' et 'OFF'. Ces pertes ont un niveau comparable à celles des autres structures à ondes lentes.



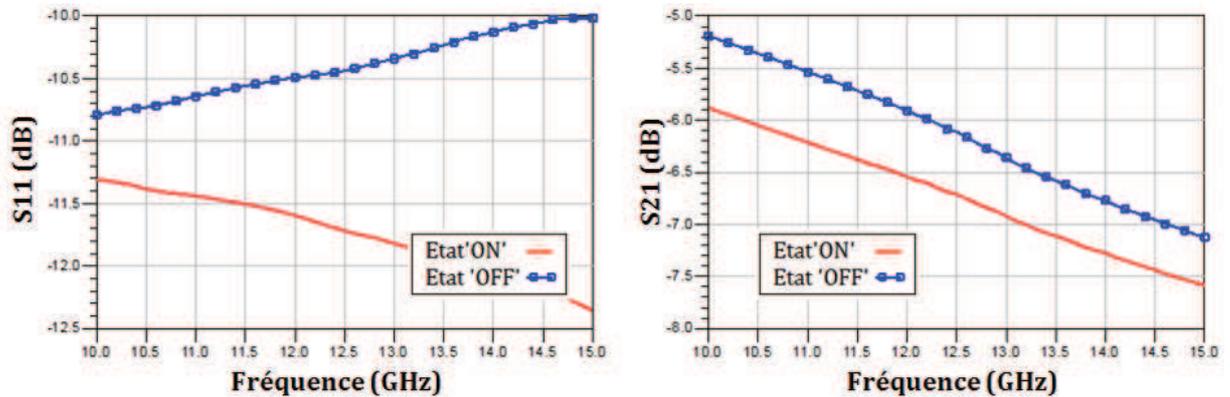


Figure 5.17. Mesure des performances du déphaseur à ondes lentes 22°

La cellule fonctionne donc bien pour des déphasages même supérieurs à 22°. Le niveau de pertes est assez important mais il existe des solutions pour les réduire. La linéarité est relativement bonne avec un  $P1dB_{IN} = +21dBm$ .

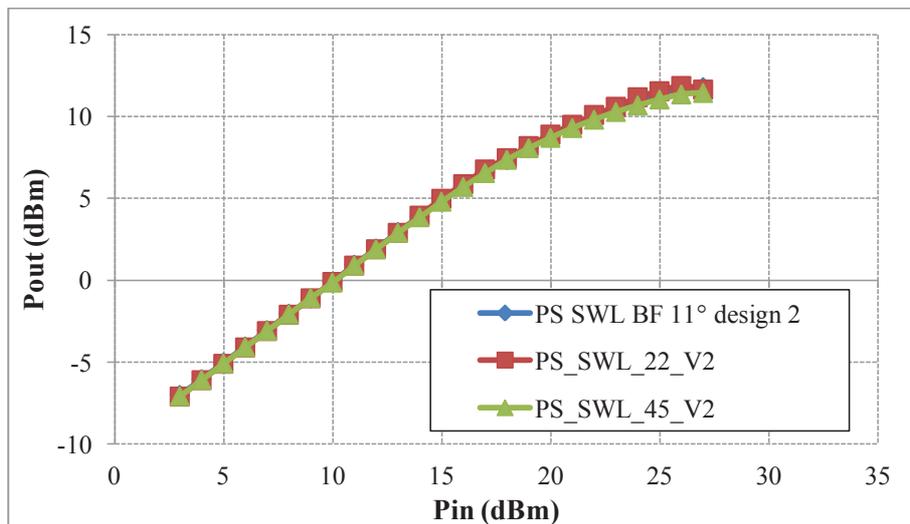


Figure 5.18. Mesure du P1dB pour les cellules de déphasage à ondes lentes

## 5.4 PERSPECTIVES

Il a déjà été montré que les transistors sont la principale source des pertes des déphaseurs. Une des solutions est de réduire au minimum le nombre de transistors nécessaires au bon fonctionnement des déphaseurs à ondes lentes. Deux nouvelles topologies sont proposées pour améliorer les performances du circuit. Le premier design utilise un seul transistor et le second deux. Ces deux topologies sont présentées dans la figure suivante.

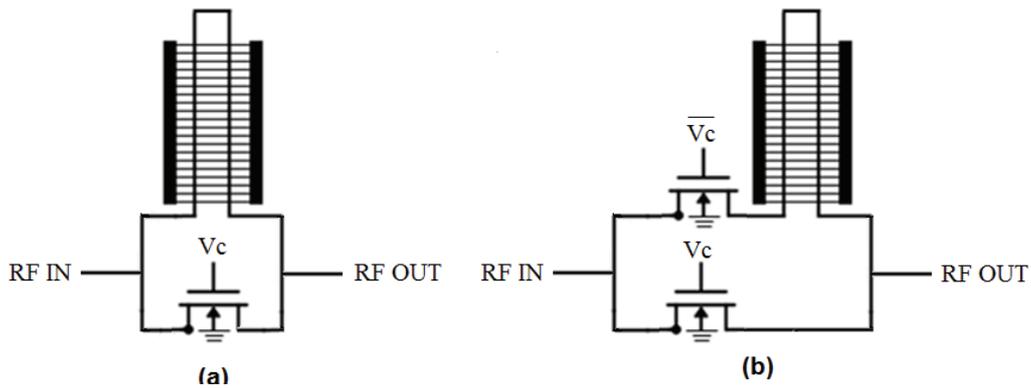


Figure 5.19. Nouvelles topologies de déphaseurs utilisant moins de transistors

La première cellule est celle présentant le moins de pertes mais le fait qu'il n'y ait qu'un seul transistor affecte fortement le déphasage. Même lorsque ce dernier est passant la ligne à ondes lentes présente de très faibles pertes, le chemin RF ne passe donc pas forcément à travers le transistor. Le second est beaucoup plus prometteur. Les transistors sont commandés en dualité et permettent de s'assurer du chemin suivi par le signal RF. Les résultats de simulations présentent des pertes divisées par deux par rapport à la structure avec 4 transistors. (Pour un niveau de S11 équivalent). Ce design peut donc permettre d'améliorer les performances de la structure tout en conservant la très forte compacité de la topologie.

## CONCLUSIONS GENERALES

---

Cette thèse avait pour but l'évaluation et le test de la technologie 0.25 $\mu$ m SiGe de IHP au travers de la conception de circuits de contrôle amplitude/phase pour la formation de faisceaux des antennes agiles. Différentes tâches ont été réalisées pour parvenir à ces résultats. L'état de l'art et son évolution ont tout d'abord été présentés afin de resituer les solutions existantes dans le contexte particulier du milieu spatial. Les composants élémentaires fournis par le design kit et ceux entièrement développés au cours de la thèse ont été montrés, fabriqués et mesurés pour établir des modèles de simulations fiables pour les circuits plus complexes.

Quatre runs au total ont été lancés et mesurés. Les premières mesures ont conduit au développement de modèles de simulations plus précis et ont permis de tester et de mettre en évidence l'efficacité de nouvelles techniques de designs (substrat flottant, lignes à ondes lentes...). Les résultats de mesures des circuits implémentés dans les runs suivants ont montré l'utilité de ces nouvelles techniques en améliorant les performances de chaque nouvelle version. Cette première version de circuits multi-bits présente des résultats intéressants en termes de compacité, linéarité et S11 malgré une dynamique (en atténuation et déphasage) inférieure aux spécifications du cahier des charges.

Les lignes à ondes lentes ont également constitué une part très importante des travaux réalisés au cours de ces travaux de thèse. Les lignes de transmission à ondes lentes ont conduit à la conception d'un nouveau type de lignes à méandres qui a pu être intégré dans des circuits concrets. Ces nouvelles topologies de circuits déphaseurs ont montré qu'elles constituent des alternatives réelles aux topologies LC classiques.

Ces différents travaux sont conclus par deux publications (internationales) acceptées à ce jour ainsi qu'un dépôt de brevet. D'autres publications sont prévues en attendant la validation du dépôt de brevet.

## LISTE DES PUBLICATIONS ET COMMUNICATIONS ORALES

---

- **Article dans une revue internationale avec comité de lecture**

M. Gastaldi, D. Dragomirescu, A. Takacs, V. Armengaud and S. Rochette, "Microstrip slow-wave line for phase shifting cells," *Electronics Letters*, vol. 51, no. 20, pp. 1589-1591, 10 1 2015.

M. Gastaldi, D. Dragomirescu, A. Takacs, V. Armengaud and S. Rochette, "Compact Ku-band CMOS Phase Shifters using Folded Microstrip Slow Wave Lines," *soumission aux IEEE Transactions bloquées par le dépôt de brevet*.

- **Communication internationale avec comité de lecture**

M. Gastaldi, D. Dragomirescu, A. Takacs and V. Armengaud, "Compact Phase Shifting Cell Based on Micro-Strip Slow Wave Lines," *MEMSWAVE 2016 Bucarest, Romania*, 2016.

- **Communications diverses**

M. Gastaldi, D. Dragomirescu, A. Takacs, "Antenna Beamforming Systems for Space Applications," *3rd Summer school on critical embedded systems, July 2015 'Prix du meilleur poster'*

M. Gastaldi, D. Dragomirescu, A. Takacs, "Design of core-chip MMIC solution in BiCMOS technology for beamforming satellite antenna" *Journées jeunes chercheurs CNES, Octobre 2015*.

M. Gastaldi, D. Dragomirescu, A. Takacs, "Cellules déphaseuses compactes basées sur les lignes à ondes lentes" *Journées école doctorale GEET, Toulouse, Mars 2015*.

- **Depot de brevet**

M. Gastaldi, D. Dragomirescu, A. Takacs, V. Armengaud and S. Rochette, "Lignes à ondes lentes à méandres", 2016.

**BIBLIOGRAPHIE**

---

- [1] URL : <http://www.electronicdesign.com/>.
- [2] C. F. Campbell and S. A. Brown, "A compact 5-bit phase-shifter MMIC for K-band satellite communication systems," in *IEEE Trans. Microw. Theory Tech.*, vol. 48, no. 12, pp. 2652–2656, Dec. 2000.
- [3] D. Conway and I. J. Bahl, "S- and L-band compact octave bandwidth 4-bit MMIC phase shifters," in *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 2, pp. 293–299, Feb. 2008.
- [4] X. Guan, H. Hashemi and A. Hajimiri, "A fully integrated 24-GHz eight-element phased-array receiver in silicon," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, pp. 2311–2320, Dec. 2004.
- [5] K. J. Koh and G. M. Rebeiz, "An X- and Ku-Band 8-Element Linear Phased Array Receiver," *2007 IEEE Custom Integrated Circuits Conference, San Jose, CA*, pp. 761-764., 2007.
- [6] R. V. Garver, «Broad-Band Diode Phase Shifters,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 20, no. 5, pp. 314-323, May 1972.
- [7] S. K. Koul and B. Bhat, *Microwave and Millimeter Wave Phase Shifters*, Artech House, 1991.
- [8] K. Maruhashi, H. Mizutani and K. Ohata, "Design and performance of a Ka-band monolithic phase shifter utilizing nonresonant FET switches," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 8, pp. 1313-1317, Aug 2000.
- [9] A. E. Ashtiani, S. Nam, S. Lucyszyn and I. D. Robertson, "Monolithic ka-band 180-degree analog phase shifter employing HEMT-based varactor diodes," *IEEE Colloquium on Microwave and Millimetre-Wave Oscillators and Mixers*, pp. 7/1-7/6, Dec. 1998.
- [10] H. Takasu, F. Sadaki, M. Kawano and S. Kamihashi, "Ka-band low loss and high power handling GaAs PIN diode MMIC phase shifter for reflected-type phased array systems," *Microwave Symposium Digest, 1999 IEEE MTT-S International, Anaheim, CA, USA*, pp. 467-470 vol.2. , 1999.
- [11] F. Ellinger, H. Jackel and W. Bachtold, " Varactor-loaded transmission-line phase shifter at C-band using lumped elements," *IEEE Transactions on Microwave Theory and Techniques*,

- vol. 51, no. 4, pp. 1135-1140, Apr. 2003.
- [12] T. M. Hancock et G. M. Rebeiz, «A 12-GHz SiGe phase shifter with integrated LNA,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 3, pp. 977-983, March 2005.
- [13] P.-Y. Chen, T.-W. Huang, H. Wang, Y.-C. Wang, C.-H. Chen and P.-C. Chao, "K-band HBT and HEMT monolithic active phase shifters using vector sum method," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1414-1424, May 2004.
- [14] K. J. Koh et G. M. Rebeiz, «0.13- $\mu$ m CMOS Phase Shifters for X-, Ku-, and K-Band Phased Arrays,» *IEEE Journal of Solid-State Circuits*, vol. 42, no. 11, pp. 2535-2546, Nov. 2007.
- [15] M. A. Morton, J. P. Comeau, J. D. Cressler, M. Mitchell and J. Papapolymerou, "Sources of Phase Error and Design Considerations for Silicon-Based Monolithic High-Pass/Low-Pass Microwave Phase Shifters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 12, pp. 4032-4040, Dec. 2006.
- [16] L. Lu and Y. Liao, "A 4-GHz phase shifter MMIC in 0.18- $\mu$ m CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 10, pp. 694-696, Oct. 2005.
- [17] M. M. Mohsenpour et C. E. Saavedra, «Variable 360° Vector-Sum Phase Shifter With Coarse and Fine Vector Scaling,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 7, pp. 2113-2120, July 2016..
- [18] M. Meghdadi, M. Azizi, M. Kiani, A. Medi and M. Atarodi, "A 6-Bit CMOS Phase Shifter for S -Band," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 12, pp. 3519-3526, Dec. 2010.
- [19] B. W. Min and G. M. Rebeiz, "Single-Ended and Differential Ka-Band BiCMOS Phased Array Front-Ends," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 10, pp. 2239-2250, Oct. 2008.
- [20] D. BELOT and G. DAMBRINE, MMIC - Déphaseurs et amplificateurs, Techniques de l'ingénieur, Jan. 2016.
- [21] M. Hangai, M. Hieda, N. Yunoue, Y. Sasaki and M. Miyazaki, "S - and C -Band Ultra-Compact Phase Shifters Based on All-Pass Networks," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 1, pp. 41-47, Jan. 2010.
- [22] D.-W. Kang, H. D. Lee, C.-H. Kim and S. Hong, "Ku-band MMIC phase shifter using a

- parallel resonator with 0.18- $\mu\text{m}$  CMOS technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 1, pp. 294-301, Jan. 2006.
- [23] A. S. Nagra et R. A. York, «Distributed analog phase shifters with low insertion loss,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 9, pp. 1705-1711, Sep 1999.
- [24] J. P. Comeau, M. A. Morton, J. D. Cressler, J. Papapolymerou and M. Mitchell, "A High-Linearity 5-bit, X-band SiGe HBT Phase Shifter," *2006 IEEE MTT-S International Microwave Symposium Digest, San Francisco, CA*, pp. 1668-1671, 2006.
- [25] Y. Itoh and T. Murata, "An L-band SiGe HBT differential variable phase shifter with a combination of analog and digital phase control," *2009 Asia Pacific Microwave Conference, Singapore*, pp. 1589-1592., 2009.
- [26] M. C. T. J. C. W. T. Y. C. a. C. C. C. Y. S. Su, "A V-/W-band 0.18- $\mu\text{m}$  CMOS phase shifter MMIC with 180°-300° phase tuning range," *Asia Pacific Microwave Conference Proceedings, Kaohsiung, 2012*, pp. 91-93., 2012.
- [27] R. Malmqvist, C. Samuelsson, A. Gustafsson, D. Smith, T. Vähä-Heikkilä and R. Baggen, "Monolithic integration of millimeter-wave RF-MEMS switch circuits and LNAs using a GaAs MMIC foundry process technology," *Microwave Workshop Series on Millimeter Wave Integration Technologies (IMWS), IEEE MTT-S International, Sitges, 2011*, pp. 148-151., 2011.
- [28] B. Pillans, L. Coryell, A. Malczewski, C. Moody, F. Morris et A. Brown, «Advances in RF MEMS phase shifters from 15 GHz to 35 GHz,» *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International, Montreal, QC, Canada*, pp. 1-3., 2012.
- [29] I. Kalyoncu, E. Ozeren, M. Kaynak and Y. Gurbuz, "A 4-bit SiGe passive phase shifter for X-band phased arrays," *IEEE Topical Conference on Biomedical Wireless Technologies, Networks, and Sensing Systems (BioWireleSS), Austin, TX, 2013*, pp. 133-135, 2013 .
- [30] Q. Xiao, "A compact L-band broadband 6-bit MMIC phase shifter with low phase error," *Microwave Integrated Circuits Conference (EuMIC), 2011 European, Manchester, 2011*, pp. 410-413..
- [31] N. D. Doddamani, Harishchandra and A. V. Nandi, "Design of SPDT Switch, 6 Bit Digital Attenuator, 6 Bit Digital Phase Shifter for L-Band T/R Module using 0.7  $\mu\text{M}$  GaAs MMIC Technology," *2007 International Conference on Signal Processing, Communications and Networking, Chennai, 2007*, pp. 302-307..

- [32] Q. Wang and al., "Design of an X-Band 6-Bit Phase Shifter," *2015 8th International Symposium on Computational Intelligence and Design (ISCID), Hangzhou*, pp. 539-542., 2015.
- [33] Y. S. Dai and al., "Research on a novel 2~18 GHz PHEMT MMIC digital attenuator with low insertion phase shift," *Microwave and Millimeter Wave Technology (ICMMT), 2012 International Conference on, Shenzhen, 2012*, pp. 1-4..
- [34] T. Tsushima, H. Takeuchi and M. Kimishima, "A 10 MHz-6 GHz high power high linearity 35 dB digital step attenuator MMIC using GaN HEMTs with TaON passivation," *Radio-Frequency Integration Technology (RFIT), 2015 IEEE International Symposium on, Sendai, 2015*, pp. 247-249..
- [35] J. C. Jeong and I. B. Yom, "SiGe BiCMOS Chip Sets for Use in an X-Band Multi-function Chip," *Advances in Satellite and Space Communications (SPACOMM), 2010 Second International Conference on, Athens, 2010*, pp. 25-30..
- [36] S. Bosse, S. Barth et M.-L. Grima, «Conception d'un circuit MMIC à contrôle de phase et de gain dans le cadre du projet européen EMBRACE,» *15èmes Journées Nationales Microondes*, 2007.
- [37] A. Bentini, M. Ferrari, P. E. Longhi, E. Marzolf, J. Moron and R. Leblanc, "A 6–18 GHz GaAs multifunctional chip for Transmit/Receive Modules," *European Radar Conference (EuRAD), 2014 11th, Rome, 2014*, pp. 605-608..
- [38] Y. Noh, M. Uhm and I. Yom, "Ku-band Up-converter Multi-function MMIC using 0.25  $\mu\text{m}$  SiGe BiCMOS Technology," *2009 Asia Pacific Microwave Conference, Singapore, 2009*, pp. 1164-1167..
- [39] I. J. Bahl and D. Conway, "L- and S-Band Compact Octave Bandwidth 4-bit MMIC Phase Shifters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 2, pp. 293-299, Feb. 2008.
- [40] S. Reynolds, B. Floyd, U. Pfeiffer and T. Zwick, "60GHz transceiver circuits in SiGe bipolar technology," *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, 2004, pp. 442-538 Vol.1..
- [41] C. Doan, S. Emani, A. Niknejad and R. Brodersen, "Millimeter wave CMOS deisng," *IEEE Journal of Solid State Circuits*, 40(1) : 144-155, Jan. 2005.
- [42] [En ligne]. Available: <https://www.ihp-microelectronics.com/en/services/mpw->

prototyping/sigec-bicmos-technologies.html.

- [43] M. Kraemer, " Design of a low-power 60 ghz transceiver front-end and behavioral modeling and implementation of its key building blocks in 65nm cmos," *Ph.D. dissertation, INSA Toulouse LAAS-CNRS*, 2010.
- [44] T. Skotnicki, "Transistor MOS et satechnologie de fabrication," *Techniques de l'ingénieur*, 2000.
- [45] X. J. Li and Y. P. Zhang, "Flipping the CMOS switch," *IEEE Microwave Magazine*, vol. 11, no. 1, pp. 86-96, Feb. 2010.
- [46] F.-J. Huang and K. O, "A 0.5- $\mu$ m CMOS T/R switch for 900-MHz wireless applications," *IEEE J. Solid-State Circuits*, vol. 36, pp. 486-492, March 2001.
- [47] K. Yamamoto, T. Heima, A. Furukawa, M. Ono, Y. Hashizume, H. Komurasaki, S. Maeda, H. Sato et N. Kato, «A 2.4-GHz-band 1.8-V operation single-chip Si-CMOS T/R-MMIC front-end with a low insertion,» *IEEE J. Solid-State Circuits*, vol. 36, pp. 1186-1197, Aug. 2001.
- [48] «URL : <http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>».
- [49] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," *2nd ed. Cambridge, U.K. Cambridge Univ Press*, Dec. 2003.
- [50] C.-M. Hung, Y.-C. Ho, I.-C. Wu and K. O, "High-Q capacitors implemented in a CMOS process for low-power wireless applications," *Proc. IEEE MTT-S Int. Microw. Symp.*, pp. 505-511., 1998.
- [51] P. Tiwat, Y. Tingting, L. Guoguo, C. Xiaojuan and L. Xinyu, "MIM serie capacitor model for MMIC design application," *Microwave and Millimeter Wave Circuits and System Technology (MMWCST), 2013 International Workshop on, Chengdu*, pp. 475-478., 2013.
- [52] S. Parthasarathy, B. Swaminathan, A. Sundaram and R. A. Groves, "Design Considerations for BEOL MIM Capacitor Modeling in RF CMOS Processes," *23rd International Conference on VLSI Design, Bangalore*, pp. 188-193., 2010.
- [53] S. Voinigescu, *High-Frequency Integrated Circuits*, Cambridge University Press, 2013.
- [54] J. Craninckx and M. S. J. Steyaert, "A 1.8-GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 5, pp. 736-744, May 1997.

- [55] A. M. Niknejad and R. G. Meyer, "Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1470-1481, Oct 1998.
- [56] B. V. N. S. M. N. Deevi et N. B. Rao, «Multilayer grown high-Q on-chip inductor for RF applications,» *Signal Processing, Communication and Networking (ICSCN), 2015 3rd International Conference on, Chennai*, pp. 1-5., 2015.
- [57] J. N. Burghartz and B. Rejaei, "On the design of RF spiral inductors on silicon," *IEEE Transactions on Electron Devices*, vol. 50, no. 3, pp. 718-729, March 2003.
- [58] M. Kraemer, "Design of a low-power 60 ghz transceiver front-end and behavioral modeling and implementation of its key building blocks in 65 nm cmos," *Ph.D. dissertation, INSA Toulouse LAAS-CNRS, 2010*.
- [59] Y. S. Tsai and T. S. Horng, "Wideband Compact PI Equivalent Circuit for Modeling On-Chip Spiral Inductors," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 1, pp. 26-28, Jan. 2012..
- [60] Y. G. Ahn, S. K. Kim, J. H. Chun and B. S. Kim, "Efficient Scalable Modeling of Double- $\pi$  Equivalent Circuit for On-Chip Spiral Inductors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 10, pp. 2289-2300, Oct. 2009.
- [61] T. Cheung and J. Long, "Shielded passive devices for silicon-based monolithic microwave and millimeter-wave integrated circuits," *IEEE Journal of Solid-State Circuits*, May 2006, 41,(5), pp.1183, 1200, doi: 10.1109/JSSC.2006.872737.
- [62] X.-L. Tang, A.-L. Franc, E. Pistono, A. Siligaris, P. Vincent, P. Ferrari and J. Fournier, "Performance Improvement Versus CPW and Loss Distribution Analysis of Slow-Wave CPW in 65 nm HR-SOI CMOS Technology," *IEEE Transactions on Electron Devices*, pp. 1279,1200, May 2012.
- [63] J. J. Lee. and C.-S. Park, "A Slow-Wave Microstrip Line With a High-Q and a High Dielectric Constant for Millimeter-Wave CMOS Application," *IEEE Microwave and Wireless Components Letters*, pp. 20,(7), pp.381,383., July 2010.
- [64] T. Dinc, I. Kalyoncu and Y. Gurbuz, "An X-Band Slow-Wave T/R Switch in 0.25 $\mu$ m SiGe BiCMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 61, (2), pp.65,69., Feb. 2014.
- [65] H. P. Hsu, "On The General Relation Between  $\alpha$  and Q (Correspondence)," *IEEE*

- Transactions on Microwave Theory and Techniques*, vol. 11, no. 4, pp. 258-258,, July 1963..
- [66] C. P. Wen, "Coplanar Waveguide: A Surface Strip Transmission Line Suitable for Nonreciprocal Gyromagnetic Device Applications," *IEEE Transactions on Microwave Theory and Techniques* vol. 17, no. 12, pp. 1087-1090, Dec. 1969.
- [67] D. D. Grieg and H. F. Engelmann, "Microstrip-A New Transmission Technique for the Kilomegacycle Range," *Proceedings of the IRE*, vol. 40, no. 12, pp. 1644-1650, 1952.
- [68] Y. Ma, B. Rejaei and Y. Zhuang, "Artificial Dielectric Shields for Integrated Transmission Lines," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 7, pp. 431-433, July 2008.
- [69] E. M. Bastida and G. P. Donzelli, "Periodic slow-wave low-loss structures for monolithic GaAs microwave integrated circuits," *Electronics Letters*, vol. 15, no. 19, pp. 581-582 , Sept. 1979.
- [70] R. Spickermann and N. Dagli, "Millimetre wave coplanar slow wave structure on GaAs suitable for use in electro-optic modulators," *Electronics Letters*, vol. 29, no. 9, pp. 774-775, April 1993.
- [71] A. L. Franc, E. Pistono and P. Ferrari, "Design guidelines for high performance slow-wave transmission lines with optimized floating shield dimensions," *Microwave Conference (EuMC), 2010 European, Paris, 2010*, pp. 1190-1193..
- [72] H. Hasegawa, M. Furukawa and a. H. Yanai, "Properties of Microstrip Line on Si-SiO<sub>2</sub> System," *IEEE Transactions on Microwave Theory and Techniques*, vol. 19, no. 11, pp. 869-881, NOV 1971.
- [73] H. Hasegawa and H. Okizaki, "M.I.S. and Schottky slow-wave coplanar striplines on GaAs substrates," *Electronics Letters*, vol. 13, no. 22, pp. 663-664, Oct. 1977.
- [74] S. Seki and H. Hasegawa, "Cross-tie slow-wave coplanar waveguide on semi-insulating GaAs substrates," *Electronics Letters*, vol. 17, no. 25, pp. 940-941, Dec. 1981.
- [75] E. M. Bastida and G. P. Donzelli, "Periodic slow-wave low-loss structures for monolithic GaAs microwave integrated circuits," *Electronics Letters*, vol. 15, no. 19, pp. 581-582, September 1979.
- [76] R. Lowther and S.-G. Lee, "On-chip interconnect lines with patterned ground shields," *IEEE Microwave and Guided Wave Letters*, vol. 10, no. 2, pp. 49-51, Feb. 2000.

- [77] T. S. D. Cheung, J. R. Long, K. Vaed, R. Volant, A. Chinthakindi, C. M. Schnabel, J. Florkey, Z. X. He and K. Stein, "Differentially-shielded monolithic inductors," *IEEE Custom Integrated Circuits Conference*, pp. 95-98, 21-24 Sept. 2003, San Jose, California, USA..
- [78] T. S. D. Cheung and J. R. Long, "Shielded passive devices for silicon-based monolithic microwave and millimeter-wave integrated circuits," *IEEE Journal of Solid-State Circuits*, vol.41, no. 5, pp. 1183-1200, May 2006.
- [79] A. Sayag, S. Levin, D. Regev, D. Zfira, S. Shapira, D. Goren and D. Ritter, "One stage 24 GHz LNA with 6.4dB Gain and 2.8 dB NF using 0.18  $\mu$ m CMOS technology and slow wave transmission lines," *IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems (COMCAS)*, pp. 1-10, 13-14 May 2008, Tel-Aviv, Israel..
- [80] B. Yang, E. Skafidas and R. J. Evans, "Slow-wave slot microstrip transmission line and bandpass filter for compact millimetre-wave integrated circuits on bulk complementary metal oxide semiconductor," *IET Microwaves, Antennas & Propagation*, vol. 6, no. 14, pp. 1548-1555, November 2012.
- [81] A.-L. Franc, "Lignes de propagation integrees a fort facteur de qualité en technologie CMOS. Application a la synthese de circuits passifs millimetriques," *Université Grenoble Alpes*, 2011.
- [82] M. Gastaldi, D. Dragomirescu, A. Takacs, V. Armengaud and S. Rochette, "Microstrip slow-wave line for phase shifting cells," *Electronics Letters*, vol. 51, no. 20, pp. 1589-1591, 10 1 2015..
- [83] T. Dinc, I. Kalyoncu and Y. Gurbuz, "An X-Band Slow-Wave T/R Switch in 0.25 $\mu$ m SiGe BiCMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 2, pp. 65-69, Feb. 2014.
- [84] M. Gastaldi, D. Dragomirescu, A. Takacs and V. Armengaud, "Compact Phase Shifting Cell Based on Micro-Strip Slow Wave Lines," *MEMSWAVE 2016 Bucarest, Romania*, 2016.

## ANNEXES

---

### CONTRAINTES DU MASQUE

Les masques des circuits sont réalisés avec CADENCE Virtuoso sous environnement UNIX. Le design kit utilisé est le DK SGB25V de la technologie 250nm SiGe de IHP. L'utilisation de ce design kit impose certaines contraintes pour le design des masques. Cette partie s'attarde sur ces différents problèmes et les solutions pour y pallier.

#### *Pads*

Un des premiers problèmes lors du design d'un masque est comment mettre en place les accès pour réaliser les mesures ou alimenter les composants. Des pads sont utilisés pour réaliser ces fonctions. Les modèles des pads sont fournis par le design kit. Les dimensions des pads sont 80x80 $\mu\text{m}$ . Il faut que ces derniers soient adaptés au matériel de mesure. La documentation des pointes de mesure RF d'une station sous pointes précise qu'elles doivent être séparées d'une distance de 300  $\mu\text{m}$  pour éviter tout couplage entre elles et fausser les mesures. Les circuits doivent donc être dimensionnés pour respecter cette contrainte. Les pads doivent être espacés de 150 $\mu\text{m}$  (ce qui correspond aux pointes). Les pointes sont de type GSG (Ground-Signal-Ground). Les pointes situées à l'extérieur sont à la masse et la pointe centrale amène le signal.

Les pads d'alimentation des transistors doivent se situer assez loin des pads d'accès pour que les pointes d'alimentation DC ne soient pas gênées par les pads RF. La figure suivante illustre la position des différents pads sur un circuit déphaseur réalisé au cours du premier run.

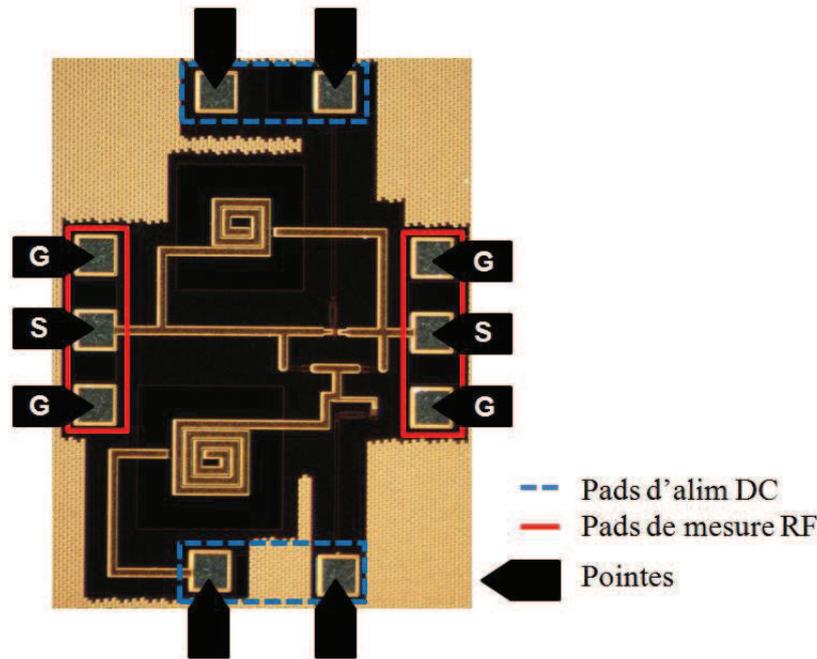


Figure 0.1. Positionnement des pads sur un masque

### *Dummies*

Une autre spécificité des technologies CMOS est l'utilisation de dummies. Les procédés de fabrication des technologies CMOS/BiCMOS impliquent un taux de remplissage minimum de chaque couche de métallisation. Afin de valider le design avant l'envoi en fonderie ces minima doivent être respectés. Ils concernent sept couches en particulier : les cinq niveaux de métallisation (taux de remplissage compris entre 30% et 60%), la couche active (taux de remplissage de 20% au minimum), et la couche poly (taux de remplissage de 15% au minimum).

Des dummies sont implémentés pour compléter les différentes couches. Il s'agit de petits carrés de quelques  $\mu\text{m}$  de large tous collés les uns aux autres. Ils recouvrent ainsi de larges surfaces. Les dummies des différents niveaux de métallisation sont connectés par un très nombre de vias (ou de contacts substrat) afin de ne pas avoir un plan de masse flottant. Le remplissage des couches de métallisation se fait de manière automatique via un outil implémenté dans CADENCE. Cependant les couches actives ne respectent quasiment jamais les règles de densité après le remplissage automatique. Des carrés de couches actives sont ajoutés manuellement pour respecter les règles.

L'ajout de ces dummies près des circuits peut affecter les performances RF des systèmes. Des anneaux de garde sont disposés autour des circuits pour les protéger et pour que des dummies ne soient pas ajoutés dans ces zones critiques. Il est relativement complexe de satisfaire toutes les contraintes de densité car même si les taux de remplissage sont satisfaits sur la puce, il faut que la métallisation soit correctement répartie. Les règles de densité locales doivent être respectées sur des surfaces de  $800 \times 800 \mu\text{m}^2$ . Les dummies donc positionnés assez près des circuits mais assez éloignés des composants sensibles (inductances...). La photo suivante montre la densité de dummies nécessaire pour satisfaire les contraintes de design (les dummies sont en doré autour des systèmes).

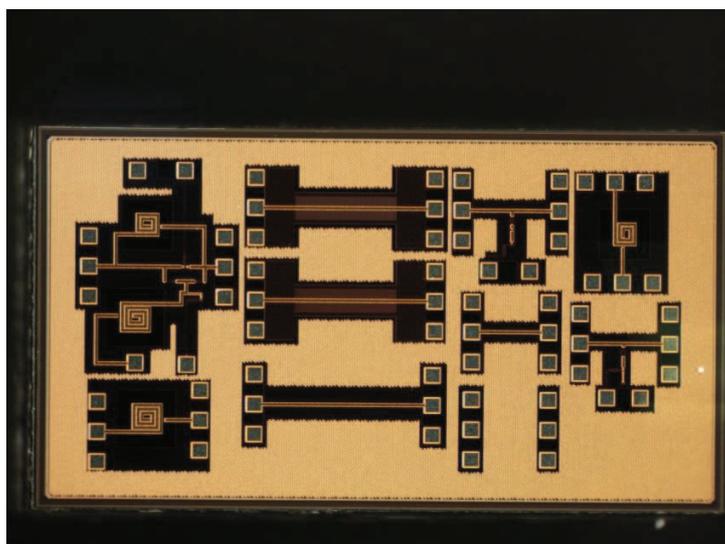


Figure 0.2. Photo d'une puce complète (dimensions 3.0 x 2.0 mm<sup>2</sup>)

Nous voyons ainsi les contraintes à respecter avant l'envoi d'une puce en fonderie.

## METHODOLOGIE DE MESURE

Les éléments passifs et les transistors étudiés dans ce chapitre sont les briques de base qui permettent la réalisation de circuits MMIC. Certains de ces composants sont fournis par le design kit et les autres sont entièrement développés grâce aux résultats de simulation. La représentation de leur comportement est donc uniquement simulée. Des mesures sont nécessaires pour vérifier la correspondance entre les simulations et les mesures (pour les composants et les circuits complets). Plusieurs types de mesures sont nécessaires pour accéder à toutes les performances des systèmes. Les différentes procédures vont donc être détaillées. La première concerne la mesure des paramètres-S. Les autres sont la mesure de la linéarité et de la stabilité en température.

### *Mesure de paramètres S et station sous pointes*

La mesure des paramètres S est la procédure de mesure la plus importante en nous permettant de vérifier le bon fonctionnement de la puce. La mesure peut s'effectuer sur une large bande de fréquence à l'aide d'un analyseur de réseau vectoriel VNA (Vector Network Analyser) et d'une station sous pointes. Les pointes utilisées sont des pointes RF Infinity de type GSG (deux pointes de masse et une pointe de signal au centre) de pitch  $150\mu\text{m}$  (valable jusqu'à 40GHz). Le modèle du VNA est un Anritsu ME7808A. La polarisation des transistors se fait via des alimentations DC et des pointes.

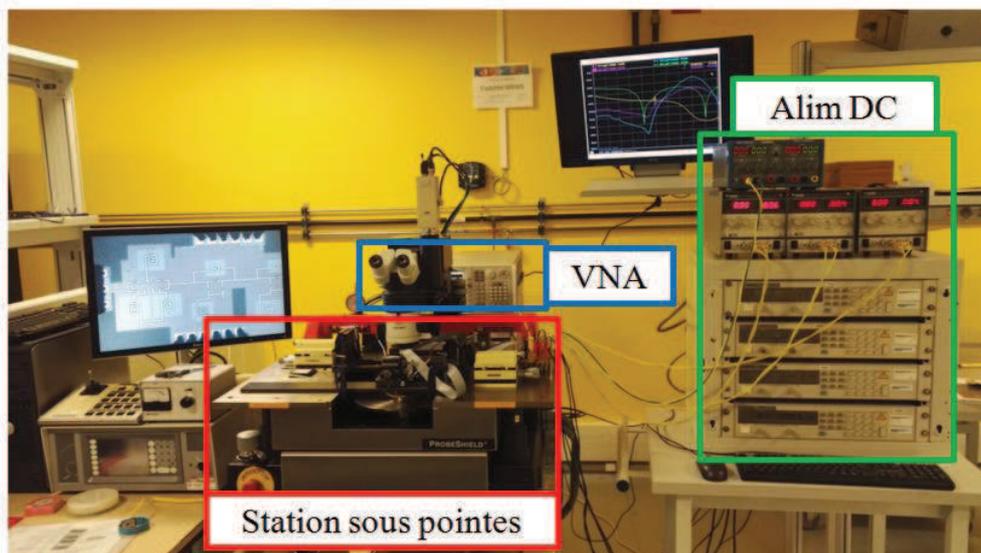


Figure 0.3. Photo du montage pour la mesure des paramètres S

Les pointes de polarisation DC sont soit des pointes seules (de largeur  $7\mu\text{m}$ ) qui permettent de polariser un seul transistor soit des eye-paths 6 pointes (pitch  $100\mu\text{m}$ ) pour alimenter 6 transistors à la fois. Ce type de pointe est nécessaire pour alimenter les circuits multi-bits comportant beaucoup de transistors. La photo suivante illustre la disposition que doivent adopter les pointes les unes vis-à-vis des autres comme mentionné plus tôt dans la section sur les contraintes du masque. Les mesures sont effectuées dans la salle de caractérisation du LAAS-CNRS à Toulouse.



Figure 0.4. Photo des pointes de mesure RF (en bleu) et des pointes de polarisation DC (en doré) placées orthogonalement

### *Calibration SOLT.*

Pour la plupart des circuits réalisés au cours de cette thèse, les paramètres S seront mesurés en direct (sans de-embedding). Une calibration de type SOLT (Short-Open-Load-Thru) est nécessaire pour paramétrer correctement le matériel de mesure. Cette calibration se fait en utilisant un kit fourni par le fabricant des pointes RF. Les éléments de référence sont de haute précision et permettent de s'assurer que les mesures se font dans le plan des pointes et que les pointes et les câbles n'affectent pas les résultats.

### *Calibration TRL et de-embedding*

Pour les autres circuits la mesure des paramètres S se fait après de-embedding. Cette méthode permet de s'assurer que le champ électromagnétique s'est correctement établi et permet d'annuler l'influence de tout élément se situant entre l'élément à mesurer et les pointes RF (pads RF, lignes d'amenées...). L'extraction des paramètres-S se fait après soustraction de tous ces éléments parasites. Un kit TRL (Thru-Reflect-Line) a été implémenté sur les puces lors du premier run pour servir d'élément de calibration. Il est composé de trois éléments : le Thru (de longueur  $300\mu\text{m}$ ), le Reflect (élément de réflexion, un circuit ouvert dans notre cas) et la Line (ligne de longueur  $L+300\mu\text{m}$ ). Une fois calibré, une longueur égale à la moitié du Thru (soit  $150\mu\text{m}$ ) est enlevée analytiquement par le VNA lors de la mesure des systèmes. La photo suivante montre le kit TRL implémenté et un exemple de lignes de transmission mesurées avec cette méthode.

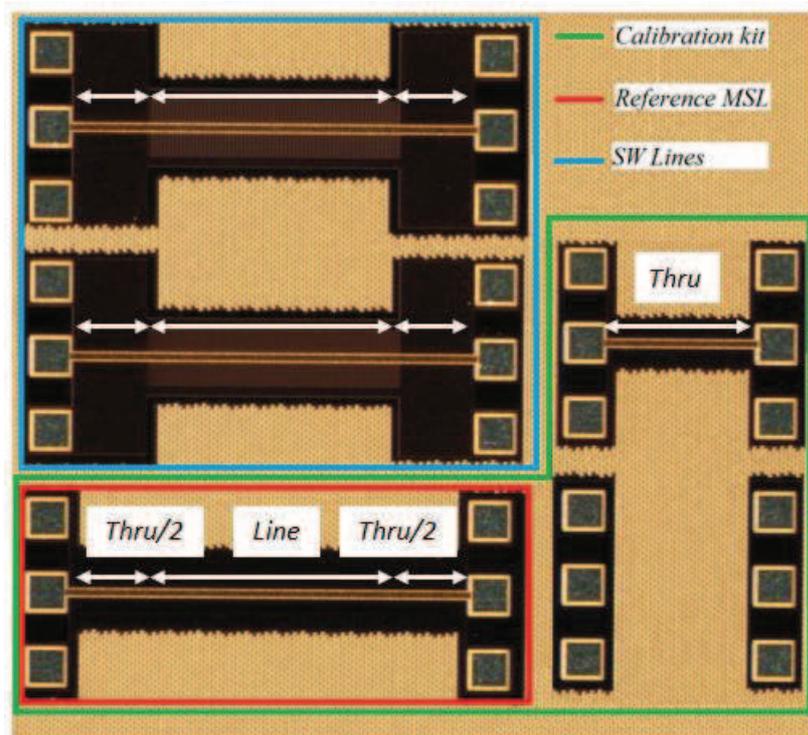


Figure 0.5. Photo du kit TRL

### *Mesure en température*

Le matériel présent en laboratoire permet également de réaliser des mesures de stabilité en température grâce à un chuck contrôlé en température (le chuck est le support sur lequel les puces sont posées). Ce système permet de faire varier la température facilement entre  $-40^{\circ}\text{C}$  et  $+100^{\circ}\text{C}$ . Ce dispositif sera utilisé pour vérifier la stabilité des puces en température.

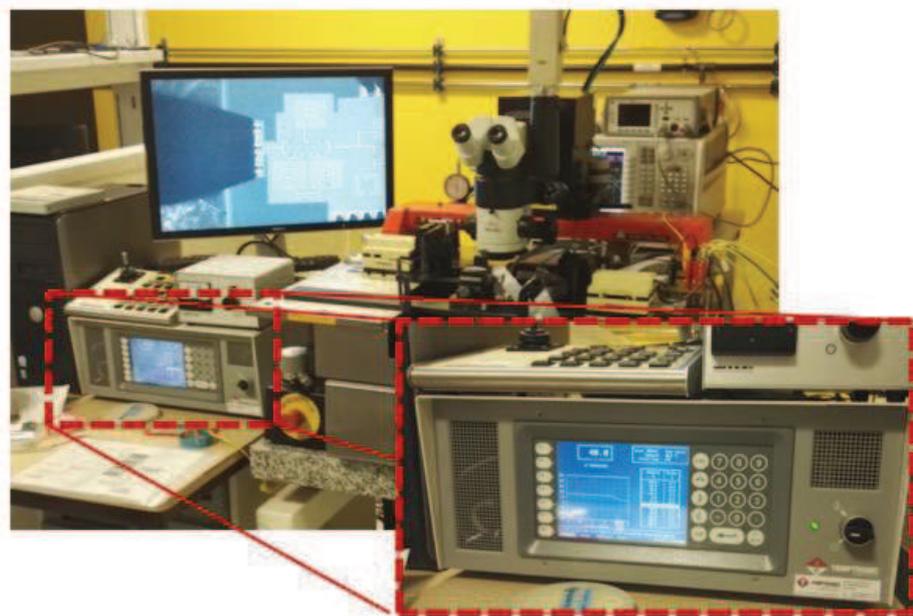


Figure 0.6. Photo du matériel de contrôle de la température

### *Mesure de linéarité*

La linéarité est une des caractéristiques les plus importantes des circuits de contrôle des antennes à formation de faisceaux. Pour la dimensionner nous avons mesuré le point de compression à 1dB des différents circuits. Cette mesure s'est faite au moyen d'un synthétiseur forte puissance (+30dBm) et d'un wattmètre. A la fréquence considérée la puissance délivrée en sortie du synthétiseur est de +27dBm. Cela permet une dynamique de mesure allant de -10dBm en entrée à +27dBm. Les câbles et les pointes RF induisent 1.65dB de pertes à 12.5GHz (1dB pour les câbles et 0.35dB par pointe). Les mesures sont réalisées au travers de cette procédure. Le montage est présenté dans la figure suivante.

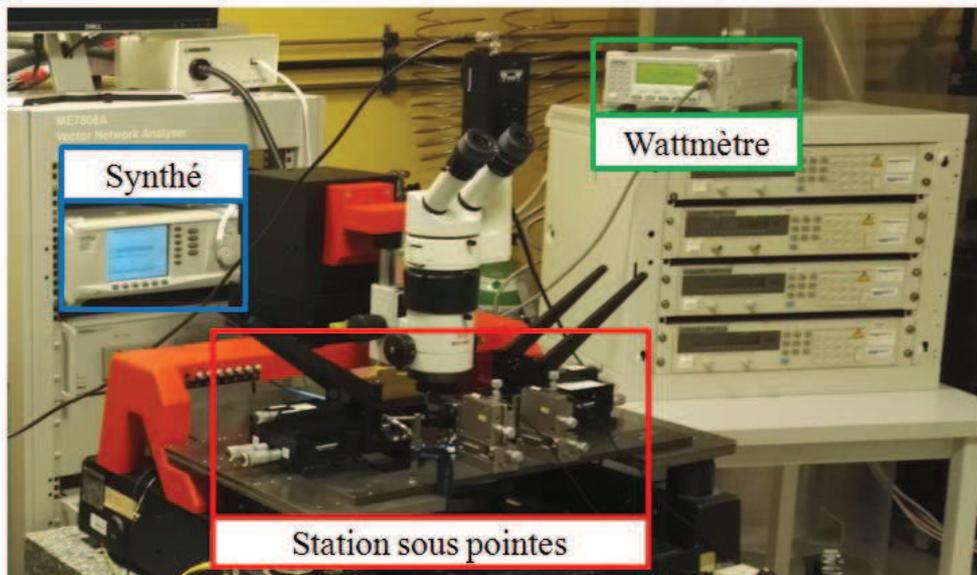


Figure 0.7. Photo du montage pour la mesure du P1dB