



HAL
open science

Conception et réalisation d'un interrupteur bidirectionnel silicium pour des applications secteur : le transistor BipAC

Hiba Rizk

► **To cite this version:**

Hiba Rizk. Conception et réalisation d'un interrupteur bidirectionnel silicium pour des applications secteur : le transistor BipAC. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2017. Français. NNT : 2017TOU30213 . tel-02006357

HAL Id: tel-02006357

<https://theses.hal.science/tel-02006357>

Submitted on 4 Feb 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :

Hiba RIZK

le jeudi 04 mai 2017

Titre :

Conception et réalisation d'un interrupteur bidirectionnel silicium pour des applications secteur : le transistor BipAC

École doctorale et discipline ou spécialité :

ED GEET : Micro et Nanosystèmes

Unité de recherche :

LAAS-CNRS

Directeur/trice(s) de Thèse :

M. Abdelhakim Bourennane

M. Frédéric MORANCHO

Jury :

M. Frédéric RICARDEAU, Président
M. Stéphane LEFEBVRE, Rapporteur
M. Zoubir KHATIR, Rapporteur
Mme. Marie BREIL-DUPUY, Examineur
M. Loïc THÉOLIER, Examineur
M. Benjamin MORILLON, Invité
M. Eric IMBERNON, Invité
M. Jean-Pierre LAUR, Invité

Remerciements

Ce mémoire présente mes travaux de thèse effectués au sein de l'équipe « Intégration de Systèmes de Gestion de l'Energie » (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS à Toulouse, dans le cadre du projet de recherche et développement « Tours 2015 », porté par STMicroelectronics Tours en lien avec le CEA et 13 laboratoires du CNRS.

Je remercie les directeurs successifs du LAAS, M. Jean Arlat et M. Liviu Nicu de m'avoir accueillie et permis de mener cette étude.

Je remercie sincèrement mes directeurs de thèse Mme. Marie Breil-Dupuy, chargée de recherche au LAAS, M. Abdelhakim Bourennane et M. Jean-Pierre Laur, maîtres de conférences à l'IUT A- Université Paul Sabatier de Toulouse, pour leur aide et leur soutien pendant ces années de thèse, pour les discussions scientifiques enrichissantes et pour leurs recommandations pertinentes pour l'avancement des travaux. Mes remerciements s'adressent également à M. Frédéric Morancho, professeur à l'Université Paul Sabatier de Toulouse de m'avoir accueillie dans l'équipe et de sa gentillesse dans les procédures administratives.

Je souhaiterais remercier les ingénieurs de STMicroelectronics, en particulier M. Emmanuel Collard et M. Benjamin Morillon d'avoir suivi la progression de mes travaux tout le long du projet.

Je tiens à remercier les membres du jury pour l'intérêt qu'ils ont manifesté pour ce travail, et en premier lieu M. Frédéric Richardeau, directeur de recherche au LAPLACE à Toulouse, qui m'a fait l'honneur de le présider. Je remercie vivement M. Stéphane Lefebvre, Professeur à l'Ecole Normale Supérieure à Cachan, et M. Zoubir Khatir, directeur de recherche à l'IFSTTAR, d'avoir accepté d'être rapporteurs de cette thèse ; ainsi que M. Loïc Théolier, maître de conférence à l'IUT de Bordeaux d'avoir accepté d'être examinateur de ce mémoire.

Je suis reconnaissante envers tous ceux qui ont contribué aux travaux de réalisation technologique des premiers prototypes au sein de la plateforme de Micro et Nanotechnologies au LAAS. En particulier, je remercie M. Eric Imbernon qui m'a formée et suivie tout le long du procédé de fabrication, je le remercie pour sa disponibilité, ses conseils et son implication. Mes remerciements s'adressent aussi à M. Nicolas Mauran pour le temps qu'il m'a accordé pour la prise en main des équipements de caractérisation électrique. Je remercie M. Hakim Tahir pour son aide dans l'initiation au logiciel Sentaurus et aux travaux technologiques en salle blanche ainsi que pour les échanges scientifiques et retours d'expérience.

Je ne peux que remercier M. Bilal Beydoun, professeur à l'Université Libanaise, qui dès mon stage de master a vu en moi une étudiante potentielle pour une thèse de doctorat et n'a cessé de me supporter avec ses précieux conseils.

Un grand merci aux collègues de bureau, aux collègues de travail et aux amis qui m'ont soutenue toutes ces années et qui par leur présence, leurs conseils, leur écoute et parfois par un simple sourire ont rendu les périodes difficiles moins dures.

Je remercie profondément mes parents, mes sœurs et ma famille, sans leur amour inconditionnel, leurs encouragements et leur soutien je n'aurais pas pu atteindre mon but.

Je finis par un merci à DIEU, la source de toute grâce dans ma vie.

Résumé

Ces travaux s'inscrivent dans le contexte de la gestion de l'énergie électrique dans les applications domestiques 230V – 50Hz. Le niveau de puissance visé se situe aux environs de la centaine de watts, et les structures de conversion utilisent des interrupteurs bidirectionnels bicommandables réalisés aujourd'hui à l'aide d'associations anti-série de composants de type MOS. Malgré les améliorations apportées par certains de ces dispositifs, leur coût de fabrication reste encore élevé et limite leur plus large diffusion sur ce marché partagé avec le triac à ce jour. Nous proposons une architecture de structure bipolaire bidirectionnelle en courant et symétrique en tension appelée BipAC. Le BipAC est une structure verticale bidirectionnelle, contrôlable à la fermeture et à l'ouverture, réalisable sur substrat N (BipAC PNP) ou P (BipAC NPN). Sa faible chute de tension à l'état passant et sa commande ON/OFF avec une seule électrode de référence la rendent intéressante pour des applications spécifiques à faible niveau de courant (<1A). L'étude de la structure BipAC s'appuie sur des simulations physiques 2D effectuées à l'aide du logiciel Sentaurus™. Afin d'améliorer le gain en courant de la structure BipAC initiale, une nouvelle version du BipAC a été proposée et validée par des simulations physiques 2D (de type process et électrique). Ensuite, des masques sont conçus sous le logiciel Cadence™. La structure initiale est réalisée sur les deux types de substrat et pour deux épaisseurs différentes de chaque type. La fonctionnalité du BipAC est validée par des caractérisations électriques.

Mots-clés : Interrupteur bidirectionnel monolithique, AC-switch, triac, BipAC, applications secteur, faibles pertes

Abstract

This thesis work deals with the design of an AC switch structure for specific ac mains applications 230V – 50 Hz. The targeted power level is about a hundred watts, and the currently used converter circuits make use of bidirectional switches that are realized using anti-series connected MOS transistors. Despite the improvements in performance provided by some of these structures, their fabrication cost is still high and limits their widespread diffusion in a market shared with the triac. We propose a current and voltage bidirectional bipolar device called a BipAC. It can be realized in an N-substrate (PNP BipAC) or a P-substrate (NPN BipAC). It can be controlled both to turn-on and turn-off with respect to a single reference electrode. It exhibits a very low on-state voltage that makes it attractive for specific mains applications with low load current (< 1A rms). The study of the BipAC structure is carried-out using 2D Sentaurus™ physical simulations. In order to improve the current gain of the initial BipAC structure, a new version of the BipAC structure is proposed and its operating modes validated using 2D physical simulations (both process and electrical). Masks were then designed under Cadence™ software. The initial BipAC structure is realized on N and P substrates and for two different thicknesses. The operating modes of the monolithic bidirectional BipAC switch were validated through electrical characterizations.

Keywords: Monolithic bidirectional switch, AC-switch, triac, BipAC, mains applications, low power losses

Table des matières

Liste des figures.....	ix
Liste des tableaux.....	xviii
Introduction générale.....	1
Chapitre I	5
Etat de l'art des structures bidirectionnelles et concept du transistor BipAC...5	
Introduction.....	7
1- Les interrupteurs de puissance sur silicium	9
2- Interrupteurs bidirectionnels en courant et en tension sur silicium	10
2.1- Synthèse de la fonction par association d'éléments discrets.....	10
2.2- Interrupteurs monolithiques bidirectionnels en courant et en tension.....	11
a- Interrupteurs commandés en courant.....	11
b- Interrupteurs monolithiques commandées en tension.....	15
3- Analyse qualitative par simulation 2D de structures proposées au LAAS	20
3.1- Structure 1 : MOS-thyristor bidirectionnel commandé par MOS.....	21
a- Principe de fonctionnement	21
b- Résultats de simulations qualitatives du MOS-thyristor bidirectionnel	22
c- Bilan de l'étude de la structure MOS-thyristor bidirectionnelle	28
3.2- Structure 2 : IGBT bidirectionnel double-face.....	29
a- Principe de fonctionnement	29
b- Simulations qualitatives de l'IGBT bidirectionnel double face	29
c- Bilan de l'étude de la structure IGBT bidirectionnel	30
3.3- Structure 3 : IGBT-thyristor bidirectionnel à électrodes coplanaires.....	30
a- Principe de fonctionnement	30
b- Simulations qualitatives de l'IGBT-thyristor bidirectionnel à électrodes coplanaires	31
c- Bilan de l'étude de la structure IGBT bidirectionnel à électrodes coplanaires	34
3.4- Structure 4 : IGBT bidirectionnel à électrodes coplanaires et à cathode commune.....	34
a- Principe de fonctionnement	34
b- Simulations qualitatives de l'IGBT-thyristor bidirectionnel à électrodes coplanaires et à cathode commune.....	35
c- Bilan de l'étude de la structure IGBT bidirectionnel à électrodes coplanaires et à cathode commune.....	36
3.5- Structure 5 : La structure BipAC que nous proposons	36
a- Principe de fonctionnement	36
b- Simulations qualitatives de la structure BipAC.....	37
c- Bilan de l'étude de la structure BipAC :	38
3.6- Bilan de l'étude qualitative des cinq structures	38
4- Comparaison pertes entre triac conventionnel et BipAC que nous proposons	39
Conclusion	41

Chapitre II	43
Etude par simulation physique 2D de la structure BipAC.....	43
Introduction.....	45
A- Structure BipAC	46
1- Description de la structure	46
1.1- BipAC PNP	46
1.2- BipAC NPN.....	46
2- Principe de fonctionnement.....	47
2.1- Etat passant.....	47
a- BipAC PNP	47
b- BipAC NPN	48
c- Simulations qualitatives à l'état passant.....	49
<i>i- 1^{er} quadrant.....</i>	<i>49</i>
<i>ii- 3^{ème} quadrant</i>	<i>51</i>
2.2- Etat bloqué.....	53
a- Tenue en tension d'un composant unidirectionnel.....	53
<i>i- Tenue en tension au niveau de la région centrale.....</i>	<i>53</i>
<i>ii- Tenue en tension au niveau de la périphérie JTE.....</i>	<i>56</i>
<i>iii- Simulations 2D qualitatives.....</i>	<i>57</i>
b- Tenue en tension d'un composant bidirectionnel.....	58
<i>i- Tenue en tension au niveau du mur et de la périphérie associée.....</i>	<i>58</i>
<i>ii- Simulations 2D qualitatives.....</i>	<i>58</i>
3- Etude qualitative de l'influence des paramètres physiques et géométriques.....	59
3.1- Gain du BipAC.....	59
a- Estimation du gain du transistor de gâchette.....	60
b- Estimation du gain du transistor de puissance.....	61
c- Gain du BipAC PNP en fonction de différents paramètres	62
<i>i- Impact de l'épaisseur de la zone de drift W_N^-.....</i>	<i>63</i>
<i>ii- Impact de la concentration surfacique de la zone sous la gâchette.....</i>	<i>64</i>
<i>iii- Impact de la largeur de diffusion P^+ de l'émetteur (L_p^+).....</i>	<i>64</i>
d- Gain du BipAC NPN.....	65
e- Comparaison des gains entre BipAC PNP et BipAC NPN.....	65
3.2- Etude en commutation	69
a- Effet thyristor parasite du BipAC : détermination du courant de maintien.....	69
<i>i- Démarche adoptée pour déterminer le courant de maintien.....</i>	<i>69</i>
<i>ii- Détermination du courant de maintien de la structure BipAC</i>	<i>70</i>
<i>iii- Vérification de la commutation à l'ouverture du BipAC.....</i>	<i>72</i>
<i>iv- Bilan.....</i>	<i>72</i>
b- Comportement du BipAC à la commutation	72
c- Temps de commutation	74
4- Choix des paramètres pour l'application 750V	75
4.1- Epaisseur du substrat pour une tenue en tension de 750V	75
a- Cellule BipAC sur substrat N	75
b- Cellule BipAC sur substrat P.....	77
4.2- Evaluation des BipACs dans les conditions imposées	77
a- Caractéristiques I(V) du BipAC PNP en fonction de Z et de I_g	78

b- Caractéristiques I(V) du BipAC NPN en fonction de Z et de I_g	79
c- Comparaison des gains des BipAC PNP et NPN.....	79
4.3- Simulation en dynamique : vérification de la chute de tension à l'état passant	80
4.4- Simulations paramétrées en vue de dimensionner la cellule élémentaire BipAC.....	81
5- Bilan	83
B- Vers l'amélioration du gain du BipAC	84
1- Structures proposées	84
1.1- Insertion d'une ou de plusieurs couches de même type que le substrat	84
1.2- Insertion d'une ou de plusieurs couches de type différent que le substrat.....	85
1.3- Bilan.....	86
2- Simulations qualitatives de la structure à une couche enterrée.....	86
2.1- Conditions de simulations	86
2.2- Etat bloqué.....	87
2.3- Etat passant.....	87
2.4- Bilan.....	89
3- Comparaison des potentialités des structures NPN et PNP à une couche enterrée	89
3.1- Cas d'une couche P enterrée dans le substrat P ⁻ du BipAC NPN	89
a- Conditions de simulations.....	89
b- Simulations effectuées avec un courant de gâchette $I_g=200\text{mA}$	90
c- Simulations effectuées avec un courant de gâchette $I_g=100\text{mA}$	92
3.2- Cas d'une couche N enterrée dans le substrat N ⁻ du BipAC PNP	93
3.3- Bilan.....	94
4- Optimisation de la structure BipAC NPN avec une couche P enterrée.....	95
4.1- Dimensionnement de la cellule active	95
a- Conditions de simulations.....	95
b- Résultats de simulations et discussion	95
4.2- Impact de la durée de vie sur les performances à l'état passant de la structure.....	97
4.3- Paramètres physiques et géométriques de la périphérie	98
a- Paramètres de la JTE : largeur, profondeur et dopage	98
b- Distance mur – couche P et distance inter-JTE.....	99
c- Bilan	100
4.4- Choix de la structure 2D représentative de la coupe d'une puce complète	100
a- Impact de la périphérie sur les performances d'une cellule active	100
b- Simulation de quatre cellules actives associées à la périphérie	100
c- Trente cellules actives associées à la périphérie : demi-puce.....	101
d- Soixante cellules active associées à la périphérie : puce complète	102
e- Bilan	103
4.5- Bilan des caractéristiques de la structure proposée pour améliorer le gain.....	103
5- Bilan	106
Conclusion	107
Chapitre III	109
Réalisations technologiques et caractérisations.....	109
Introduction.....	111
1- Conception des masques.....	112

1.1- Niveau murs traversants P ⁺	113
1.2- Niveau terminaisons de jonction JTE P ⁻	113
1.3- Niveau zone active	114
1.4- Niveau zone P sous la gâchette	115
1.5- Niveau P ⁺ d'émetteur	116
1.6- Niveau N ⁺ de gâchette et stop-channel.....	117
1.7- Niveau ouverture des contacts	118
1.8- Niveau métallisation	118
2- Optimisation du procédé technologique de fabrication	119
2.1- Enchaînement des étapes technologiques sur substrat N	119
2.2- Tests SRP et SIMS	119
a- Tests sur substrat N	120
b- Tests sur substrat P.....	123
<i>i- TEST 1</i>	124
<i>ii- TEST 2</i>	127
<i>iii- Conclusion</i>	130
3- Réalisation technologique.....	131
3.1- Réalisation des murs P ⁺ traversants	131
3.2- Réalisation du BipAC PNP sur substrat N	131
3.3- Réalisation du BipAC NPN sur substrat P	140
4- Caractérisation électrique	144
4.1- Caractérisation sous pointes	144
a- BipAC PNP	145
<i>i- Substrat d'épaisseur 300μm</i>	145
<i>ii- Substrat d'épaisseur 200μm</i>	147
b- BipAC NPN	148
<i>i- Substrat d'épaisseur 300μm</i>	148
<i>ii- Substrat d'épaisseur 230μm</i>	148
c- Bilan	149
4.2- Caractérisation dans des boîtiers	149
a- BipAC PNP	150
b- BipAC NPN	150
c- Comparaison	153
5- Comparaison des deux versions de la structure BipAC.....	154
Conclusion	156
Conclusion générale	157
Bibliographie.....	161

Liste des figures

Chapitre I

Figure I. 1 : (a) Exemple de circuit de réglage de phase en utilisant un triac [1], (b) oscillogrammes de conduction du triac dans un circuit de réglage de phase.....	7
Figure I. 2 : Circuit de base d'un gradateur de lumière : (a) exemple de circuit pour applications LED en utilisant un triac (Q6008LH1LED ou Q6012LH1LED) [2] ; (b) exemple de circuit pour applications CFL en utilisant un triac [1]	7
Figure I. 3 : Symbole et caractéristique statique idéalisée (a) d'une diode, (b) d'un thyristor dual, (c) d'un IGBT classique et (d) d'un triac (B : Blocage, A : Amorçage)	10
Figure I. 4 : Exemples d'associations d'éléments discrets pour synthétiser des interrupteurs bidirectionnels en courant et en tension : (a) IGBT + 4 diodes, (b) 2 VDMOS + 2 diodes, (c) 2 BJT à superjonction + 2 diodes [4], (d) 2 IGBT + 2 diodes, (e) 2 thyristors en tête-bêche.....	10
Figure I. 5 : (a) Vue en coupe du thyristor, (b) caractéristiques I(V) du thyristor, (c) commande du thyristor, (d) modèle utilisé pour le calcul de la puissance dissipée à l'état passant, (e) calcul de la puissance moyenne dissipée	12
Figure I. 6 : (a) Vue en coupe de la structure triac, (b) Caractéristique I-V, (c) quatre modes de fonctionnement	13
Figure I. 7 : (a) Coupe d'une structure A.C (structure brevetée) [8] et (b) modes de déclenchement .	14
Figure I. 8 : Modes de déclenchement du Hi-com triac	14
Figure I. 9 : (a) Représentation schématique du transistor bipolaire bidirectionnel à base large, « Biswitch », (b) ISIS02 transistor bipolaire symétrique sur substrat SOI, (c) allure de la caractéristique I(V) à l'état passant [13-14]	15
Figure I. 10 : Structure TRIMOS : (a) Vue en coupe, (b) Schéma équivalent simplifié.....	16
Figure I. 11 : Vue en coupe du Lateral Bilateral MCT-IGBT (LBMIGT)	16
Figure I. 12 : Vue en coupe de l'IGBT bidirectionnel avec un P ⁺ diverter (LBIGBT)	17
Figure I. 13 : Vue en coupe de la structure MOS-gated AC switch.....	18
Figure I. 14 : Vue en coupe d'une structure IGTR.....	19
Figure I. 15 : (a) Vue en coupe d'une structure DG-IEGT et modes de fonctionnement, (b) exemple de la structure réalisée.....	20
Figure I. 16 : Vue en coupe d'une structure IGBT bidirectionnelle réalisée par soudure Si/Si directe .	20
Figure I. 17 : Vue en coupe d'une structure MOS-thyristor bidirectionnel	21
Figure I. 18 : Vue en coupe des sections thyristor assurant la conduction dans (a) le premier quadrant et (b) le troisième quadrant	22
Figure I. 19 : Lignes de courant en fonction du mode de fonctionnement du MOS-thyristor bidirectionnel et ses caractéristiques $I_A(V_{AK})$	23
Figure I. 20 : Profils de concentrations de trous et chute de tension à l'état passant pour différentes valeurs de durée de vie	24
Figure I. 21 : Structure MOS-thyristor bidirectionnel simulée dans le troisième quadrant	24

Figure I. 22 : Distribution des lignes de courant dans la structure MOS-thyristor bidirectionnel durant les différentes phases de mise en conduction	25
Figure I. 23 : Courant d'anode en fonction de la tension anode-cathode pour différentes valeurs de L_{N+} dans la structure MOS-thyristor bidirectionnel	25
Figure I. 24 : (a) Lignes équipotentielles et (b) courant d'anode dans le MOS-thyristor bidirectionnel en mode bloqué inverse.....	26
Figure I. 25 : Coupe verticale de la structure MOS-Thyristor bidirectionnelle étudiée.....	27
Figure I. 26 : (a) Schéma électrique équivalent de la structure MOS-thyristor et (b) caractéristique statique $I(V)$ dans le 1 ^{er} quadrant.....	27
Figure I. 27 : Fonctionnement du MOS-thyristor dans l'alternance positive pour $V_{AK} = 400\sin 100\pi t$...27	
Figure I. 28 : (a) Schéma électrique équivalent de la structure MOS-thyristor et (b) caractéristique statique $I(V)$ dans le 3 ^{ème} quadrant	28
Figure I. 29 : Fonctionnement du MOS-thyristor dans l'alternance négative pour $V_{AK} = 400\sin 100\pi t$..28	
Figure I. 30 : Vue en coupe de la structure IGBT bidirectionnel [21]	29
Figure I. 31 : (a) Caractéristiques $I_A(V_{AK})$ et (b) lignes de courant dans l'IGBT bidirectionnel en mode VDMOS.....	30
Figure I. 32 : Vue en coupe de la structure IGBT-Thyristor bidirectionnelle à électrodes coplanaires [21]	30
Figure I. 33 : IGBT bidirectionnel à électrodes coplanaires (a) structure simplifiée et (b) circuit électrique équivalent	31
Figure I. 34 : Structure IGBT-thyristor bidirectionnelle à électrodes coplanaires avec seize cellules IGBT	32
Figure I. 35 : Tenue en tension en fonction (a) de la profondeur d_T et (b) de la longueur L_T de la tranchée dans l'IGBT bidirectionnel à électrodes coplanaires	33
Figure I. 36 : (a) Caractéristiques $I_A(V_{AK})$ et (b) lignes de courant à l'état passant de l'IGBT bidirectionnel à électrodes coplanaires	34
Figure I. 37 : IGBT bidirectionnel à électrodes coplanaires et à cathode commune (a) Vue en coupe et (b) symbole électrique	34
Figure I. 38 : Caractéristique $I_A(V_{AK})$ de la structure IGBT bidirectionnel à électrodes coplanaires et à cathode commune (Surface = 1cm^2).....	35
Figure I. 39 : Répartition des lignes équipotentielles à l'état bloqué de l'IGBT bidirectionnel à électrodes coplanaires et à cathode commune : (a) pour +600V et (b) pour -600V.....	36
Figure I. 40 : Vue en coupe de la structure du BipAC.....	37
Figure I. 41 : Orientation des courants dans la structure en fonction de la polarité de V_{ce}	37
Figure I. 42 : Résultats de simulations et caractéristiques $I_c(V_{ce})$ du BipAC.....	38
Figure I. 43 : Montage d'étude pour l'évaluation des pertes.....	39
Figure I. 44 : Pertes dans les interrupteurs triac et BipAC en fonction du courant dans la charge	40
Figure I. 45 : Pertes de commutation et de commande du triac et du BipAC en fonction de son gain 40	

Chapitre II

Figure II. 1 : Structure BipAC PNP.....	46
---	----

Figure II. 2 : Schéma électrique équivalent (à gauche) et symbole (à droite) du BipAC PNP	46
Figure II. 3 : Structure BipAC NPN	47
Figure II. 4 : Schéma électrique équivalent (à gauche) et symbole (à droite) du BipAC NPN	47
Figure II. 5 : Orientation des courants dans la structure BipAC PNP en fonction de la polarité de V_{ce} 48	
Figure II. 6 : Schéma électrique du BipAC PNP pour l'alternance positive (à gauche) et l'alternance négative (à droite)	48
Figure II. 7 : Schéma électrique du BipAC NPN pour l'alternance positive (à gauche) et l'alternance négative (à droite)	49
Figure II. 8 : Répartition des densités de courant d'électrons (a) et de trous (b) à $V_{ce}=1V$ dans le BipAC PNP commandé par un courant $I_g=40mA$ (facteur de surface $Z=7500$)	49
Figure II. 9 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 1 ^{er} quadrant.....	50
Figure II. 10 : Coupe C2 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 1 ^{er} quadrant.....	50
Figure II. 11 : Coupe C3 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 1 ^{er} quadrant	50
Figure II. 12 : Coupe C4 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 1 ^{er} quadrant.....	51
Figure II. 13 : Répartition des densités de courant d'électrons (a) et de trous (b) à $V_{ce}=-1V$ dans le BipAC PNP commandé par un courant $I_g=40mA$ (facteur de surface $Z=7500$)	51
Figure II. 14 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3 ^{ème} quadrant	52
Figure II. 15 : Coupe C2 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3 ^{ème} quadrant	52
Figure II. 16 : Coupe C3 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3 ^{ème} quadrant	52
Figure II. 17 : Coupe C4 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3 ^{ème} quadrant	53
Figure II. 18 : Tenue en tension dans les composants de puissance	54
Figure II. 19 : (a) Tenue en tension d'une structure de diode en fonction du dopage du substrat N et (b) Tenue en tension d'une structure de transistor en fonction de l'épaisseur du substrat N pour deux dopages différents.....	55
Figure II. 20 : (a) Tenue en tension d'une structure de diode en fonction du dopage du substrat P et (b) Tenue en tension d'une structure de transistor en fonction de l'épaisseur du substrat P pour un dopage de $1.10^{14}cm^{-3}$	56
Figure II. 21 : Coupe schématique d'une terminaison de jonction de type PP ⁻	56
Figure II. 22 : (a) Structure PN ⁻ P et (b) résultats de simulation pour différentes épaisseurs W_N	57
Figure II. 23 : Structure PN ⁻ P avec sa terminaison de jonction JTE.....	57
Figure II. 24 : (a) Lignes équipotentiels et (b) champ électrique dans la structure PNP avec L_p de $70\mu m$ pour $V_{AK}=500V$	58
Figure II. 25 : Terminaison de type JTE avec mur P ⁺ traversant	58

Figure II. 26 : Tenue en tension inverse pour une épaisseur de substrat W_{N^-} de $116\mu\text{m}$, une largeur L_p de $70\mu\text{m}$ et une distance entre les deux JTE adjacentes de $100\mu\text{m}$	59
Figure II. 27 : (a) Lignes équipotentielles et (b) champ électrique dans la structure PNP avec L_p de $70\mu\text{m}$ et une distance entre les deux JTE adjacentes de $100\mu\text{m}$ pour $V_{AK}=-500\text{V}$	59
Figure II. 28 : Paramètres géométriques de la structure BipAC	60
Figure II. 29 : Valeurs de référence des paramètres physiques et géométriques de la structure BipAC	60
Figure II. 30 : (a) Coupe 2D, symbole et (b) circuit de commande du transistor de gâchette $N^+P^+N^-$ simulé	60
Figure II. 31 : Gain du transistor en fonction de la densité du courant J_e	61
Figure II. 32 : (a) Coupe 2D, symbole et (b) circuit de commande du transistor de puissance $P^+N^-P^+$ simulé	61
Figure II. 33 : Gain α du transistor de puissance $P^+N^-P^+$ en fonction (a) de la densité de courant J_b et (b) de la densité de courant J_c	62
Figure II. 34 : Caractéristiques $I_c(V_{ce})$ du transistor de puissance $P^+N^-P^+$ en fonction du facteur de surface Z pour un courant $I_b=100\text{mA}$	62
Figure II. 35 : Vue en coupe du BipAC PNP avec différents paramètres	63
Figure II. 36 : Caractéristiques du BipAC PNP et gain correspondant pour chaque cas	63
Figure II. 37 : Caractéristiques $I_c(V_{ce})$ pour différentes épaisseurs de substrat N^- et gain correspondant	64
Figure II. 38 : Caractéristiques $I_c(V_{ce})$ pour deux valeurs de résistance de la région P	64
Figure II. 39 : Courant collecteur en fonction de la tension collecteur-émetteur pour différentes largeurs L_p^+ de la zone d'émetteur du BipAC et le gain correspondant à chaque cas	65
Figure II. 40 : Caractéristiques $I_c(V_{ce})$ du BipAC type NPN et gain correspondant pour chaque cas...65	65
Figure II. 41 : Comparaison de gain entre les deux types de BipAC PNP et NPN, à paramètres physiques et géométriques identiques	66
Figure II. 42 : Décomposition de la structure BipAC PNP en deux transistors bipolaires de puissance et de gâchette pour l'estimation du gain	67
Figure II. 43 : Décomposition de la structure BipAC NPN en deux transistors bipolaires de puissance et de gâchette pour l'estimation du gain	67
Figure II. 44 : Commande du thyristor	69
Figure II. 45 : Evolution des différentes tensions dans le circuit utilisé pour déterminer le courant de maintien du thyristor	70
Figure II. 46 : Circuits de commande des BipAC NPN (à gauche) et PNP (à droite) pour la détermination du courant de maintien de la section thyristor	71
Figure II. 47.a : Détermination du courant de maintien du BipAC PNP pour $X_g=50\mu\text{m}$	71
Figure II. 48 : Tension anode-cathode et courants d'anode et de gâchette dans le thyristor du BipAC pour des résistances R_c de 600Ω et R_g de 10Ω	72
Figure II. 49 : Circuits simulés pour l'étude en commutation pour le BipAC NPN et PNP respectivement	73

Figure II. 50 : Commande du BipAC NPN (a) par un générateur de courant, (b) par un générateur de tension en série avec une résistance	73
Figure II. 51 : Commande du BipAC PNP (a) par un générateur de courant, (b) par un générateur de tension en série avec une résistance	73
Figure II. 52 : Les grandeurs V_c , I_c et I_g sur une période de V_{ch} (a) pour le BipAC NPN, (b) pour le BipAC PNP commandés par un générateur de tension en série avec une résistance	74
Figure II. 53 : Tension V_g appliquée avec polarisation négative de 15V	74
Figure II. 54 : Mesure du temps de commutation	74
Figure II. 55 : Polarisation (a) de la diode $P^+N^-N^+$ et (b) du transistor $P^+N^-P^+$	76
Figure II. 56 : BipAC PNP défini à partir du transistor $P^+N^-P^+$	76
Figure II. 57 : Tenue en tension de Diode-Transistor-BipAC sur substrat N	76
Figure II. 58 : Tenue en tension du BipAC PNP en fonction de son épaisseur Y	76
Figure II. 59 : Tenue en tension de Diode-Transistor-BipAC sur substrat P	77
Figure II. 60 : Tenue en tension du BipAC NPN en fonction de son épaisseur Y	77
Figure II. 61 : Caractéristiques $I_c(V_{ce})$ du BipAC PNP pour différentes valeurs de facteur de surface Z	78
Figure II. 62 : Caractéristiques $I_c(V_{ce})$ du BipAC NPN pour différentes valeurs de facteur de surface Z	79
Figure II. 63 : Comparaison de gain entre les deux types de BipAC PNP et NPN pour $V_{br}=750V$, $I_g=350mA$ et $Z=40000$	80
Figure II. 64 : Comparaison de gain entre les deux types de BipAC PNP et NPN pour $V_{br}=750V$, $I_g=350mA$ et $Z=80000$	80
Figure II. 65 : Tension V_{ce} à l'état passant et chutes de tension dans les alternances positive et négative	81
Figure II. 66 : Structure BipAC NPN optimisée	81
Figure II. 67 : Gain du BipAC NPN dans le 3 ^{ème} quadrant en fonction de la distance D entre l'émetteur et la gâchette pour différentes valeurs de couple largeur émetteur – largeur gâchette (X_{Ln} , X_g)	82
Figure II. 68 : BipAC NPN avec une ou plusieurs couches P enterrées dans le substrat P^-	84
Figure II. 69 : BipAC NPN une ou plusieurs couches N enterrées dans le substrat P^-	85
Figure II. 70 : Paramètres de simulation de la structure BipAC NPN avec couche P enterrée ($S=5mm^2$)	86
Figure II. 71 : (a) Lignes équipotentielles et (b) champ électrique dans la structure NPN avec couche P pour $C_p=1.10^{16}cm^{-3}$, $Y_{sup}=45\mu m$ et $Y_p=5\mu m$ à $V_{ce}=-600V$	87
Figure II. 72 : (a) Lignes équipotentielles et (b) champ électrique dans la structure NPN avec couche P pour $C_p=1.10^{16}cm^{-3}$, $Y_{sup}=45\mu m$ et $Y_p=5\mu m$ à $V_{ce}=-600V$	87
Figure II. 73 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 1 ^{er} quadrant	88
Figure II. 74 : Coupe C2 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 1 ^{er} quadrant	88

Figure II. 75 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3 ^{ème} quadrant	88
Figure II. 76 : Coupe C2 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3 ^{ème} quadrant	89
Figure II. 77 : Paramètres physiques du BipAC NPN avec couche P enterrée dans le substrat P ⁻ (S=10mm ²).....	90
Figure II. 78 : Résultats de simulation du BipAC NPN avec couche P enterrée dans substrat P ⁻ en fonction du dopage de la couche et de l'épaisseur du substrat de part et d'autre pour un courant de gâchette I _g =0,2A	91
Figure II. 79 : Circuit de commande du BipAC NPN, avec couche P enterrée, utilisé pour les simulations en dynamique	91
Figure II. 80 : Chronogramme du courant I _c	92
Figure II. 81 : Résultats de simulation du BipAC NPN avec couche P enterrée dans substrat P ⁻ en fonction du dopage de la couche et de l'épaisseur du substrat de part et d'autre pour un courant de gâchette I _g =0,1A	92
Figure II. 82 : BipAC PNP avec couche N enterrée dans le substrat N ⁻ (S=10mm ²)	93
Figure II. 83 : Résultats de simulation du BipAC PNP avec couche N enterrée dans substrat N ⁻ en fonction du dopage de la couche et de l'épaisseur du substrat de part et d'autre pour un courant de gâchette I _g =0,2A	94
Figure II. 84 : Coupe 2D de la structure BipAC NPN avec une couche P enterrée.....	95
Figure II. 85 : Courant I _c et gain en courant du BipAC NPN avec couche P enterrée en fonction de la surface de la structure pour différentes valeurs du couple (Y _p , C _p), pour un courant de gâchette I _g =0,2A	96
Figure II. 86 : Courant I _c et gain en courant du BipAC NPN avec couche P enterrée en fonction de la surface de la structure pour deux largeurs X _{Ln} de l'émetteur et pour un courant de gâchette I _g =0,2A	97
Figure II. 87 : Courant I _c et gain en courant du BipAC NPN avec couche P enterrée en fonction de la durée de vie des porteurs, pour deux valeurs de surface simulée et pour un courant de gâchette I _g =0,2A	97
Figure II. 88 : BipAC NPN avec couche P enterrée dans le substrat P ⁻ : cellule active dotée d'une périphérie.....	98
Figure II. 89 : Tenue en tension en fonction du dopage C _{JTE} de la JTE pour différentes valeurs du couple largeur – profondeur de JTE (X _{JTE} , Y _{JTE}).....	99
Figure II. 90 : Tenue en tension en fonction de la distance inter-JTE pour différentes distances X _{M_P} entre le mur et la couche enterrée	99
Figure II. 91 : Quatre doigts BipAC NPN avec la couche P enterrées dans le substrat P ⁻ et la périphérie	101
Figure II. 92 : Courant du collecteur et gain en courant des quatre doigts du BipAC NPN avec couche P avec la périphérie en fonction de la surface simulée	101
Figure II. 93 : Demi-puce du BipAC NPN avec la couche P enterrées dans le substrat P ⁻ et la périphérie	102
Figure II. 94 : Courant du collecteur et gain en courant d'une demi-puce (30 doigts) du BipAC NPN avec couche P avec la périphérie en fonction de la surface simulée	102

Figure II. 95 : Puce complète du BipAC NPN avec la couche P enterrées dans le substrat P⁻ et la périphérie.....102

Figure II. 96 : Tenue en tension, courant du collecteur et gain en courant d'une demi-puce (30 doigts) du BipAC NPN avec couche P et la périphérie en fonction de l'épaisseur de la couche P enterrée pour deux valeurs de surface simulées, deux valeurs de courant de gâchette et une concentration de la couche P $C_p=1.10^{16} \text{cm}^{-3}$ 104

Figure II. 97 : Tenue en tension, courant du collecteur et gain en courant d'une demi-puce (30 doigts) du BipAC NPN avec couche P et la périphérie en fonction de l'épaisseur de la couche P enterrée pour deux valeurs de surface simulées, deux valeurs de courant de gâchette et une concentration de la couche P $C_p=2.10^{16} \text{cm}^{-3}$ 105

Figure II. 98 : Courant du collecteur pour les deux alternances et gain en courant d'une demi-puce (30 doigts) du BipAC NPN avec couche P et la périphérie en fonction de l'épaisseur de la couche P enterrée pour deux valeurs de surface simulées, un courant de gâchette $I_g=0,2A$ et une concentration de la couche P $C_p=2.10^{16} \text{cm}^{-3}$ 105

Chapitre III

Figure III. 1 : Coupe 2D du BipAC NPN : cellule élémentaire dotée de sa périphérie.....112

Figure III. 2 : Niveau de masque pour tranchée profonde continue113

Figure III. 3 : Niveau de masque pour tranchée profonde discontinue.....113

Figure III. 4 : Niveau JTE : JTE associée au mur et JTE associée à la région d'émetteur113

Figure III. 5 : Disposition de la JTE par rapport au mur (a) continu et (b) discontinu.....114

Figure III. 6 : Paramètres de la JTE.....114

Figure III. 7 : Niveau zone active.....114

Figure III. 8 : Paramètres de la zone active.....115

Figure III. 9 : Niveau implantation P sous la gâchette115

Figure III. 10 : Chevauchement entre les trois niveaux de masques JTE P⁻, zone active et zone P sous la gâchette115

Figure III. 11 : Niveau émetteur type 1 à deux bandes116

Figure III. 12 : Niveau émetteur type 2 à deux bandes116

Figure III. 13 : Niveau émetteur à quatre bandes : (a) émetteur type 1 et (b) émetteur type 2.....117

Figure III. 14 : Deux doigts d'émetteur adjacents117

Figure III. 15 : Niveau gâchette et stop-channel pour émetteur à deux bandes.....117

Figure III. 16 : Paramètres des doigts de gâchette (à gauche) et du stop-channel (à droite)118

Figure III. 17 : Doigts interdigités d'émetteur et de gâchette118

Figure III. 18 : Niveau ouverture des contacts dans le cas d'un émetteur type 1 à deux bandes118

Figure III. 19 : Niveau métallisation dans le cas d'un émetteur type 1 à deux bandes118

Figure III. 20 : Filière technologique de réalisation du BipAC sur substrat N119

Figure III. 21 : Coupe 2D montrant les différentes régions où le profil de dopage est à optimiser sur substrat N120

Figure III. 22 : Profils de dopage simulés des différentes régions implantées sur substrat N121

Figure III. 23 : Résultats des tests (a) SRP et (b) SIMS de la diffusion P ⁻ formant la JTE dans un substrat N ⁻	122
Figure III. 24 : Résultats des tests (a) SRP et (b) SIMS de la diffusion P constituant la région sous la gâchette dans un substrat N ⁻	123
Figure III. 25 : Résultats des tests (a) SRP et (b) SIMS de la diffusion P ⁺ de l'émetteur et du collecteur dans un substrat N ⁻	123
Figure III. 26 : Résultats des tests (a) SRP et (b) SIMS des diffusions P sous la gâchette et N ⁺ de la gâchette dans du P sur un substrat N ⁻	123
Figure III. 27 : Résultats des tests (a) SRP et (b) SIMS de la diffusion N ⁻ formant la JTE dans un substrat P ⁻	125
Figure III. 28 : Résultats des tests (a) SRP et (b) SIMS de la diffusion N constituant la région sous la gâchette dans un substrat P ⁻	126
Figure III. 29 : Résultats des tests (a) SRP et (b) SIMS de la diffusion N ⁺ de l'émetteur et du collecteur dans un substrat P ⁻	126
Figure III. 30 : Résultats des tests (a) SRP, (b) SIMS de la diffusion N sous la gâchette et (c) SIMS de la diffusion P ⁺ de la gâchette dans du N sur un substrat P ⁻	127
Figure III. 31 : Profils de dopage simulés des différentes régions implantées sur substrat P.....	128
Figure III. 32 : Résultats du deuxième test SIMS pour (a) la diffusion N ⁻ , (b) la diffusion N, (c) la diffusion P ⁺ , (d) la diffusion N sous le P ⁺ et (e) la diffusion P ⁺ dans du N sur un substrat P ⁻	130
Figure III. 33 : Vue en coupe d'une tranchée obtenue après gravure et remplissage par du polysilicium fortement dopé bore	131
Figure III. 34 : Oxydation de masquage	132
Figure III. 35 : Implantation des terminaisons de jonction JTE P ⁻	133
Figure III. 36 : Redistribution des terminaisons de jonction JTE P ⁻	133
Figure III. 37 : Ouverture de la zone active.....	134
Figure III. 38 : Oxydation thermique	134
Figure III. 39 : Implantation de la zone P.....	135
Figure III. 40 : Implantation P ⁺ de l'émetteur.....	135
Figure III. 41 : Implantation P ⁺ du collecteur.....	136
Figure III. 42 : Redistribution des implantations P et P ⁺	136
Figure III. 43 : Implantation N ⁺ de la gâchette et du stop channel.....	137
Figure III. 44 : Redistribution de l'implantation N ⁺	137
Figure III. 45 : Dépôt de nitrure	138
Figure III. 46 : Ouverture de contacts face avant	138
Figure III. 47 : Métallisation face avant	139
Figure III. 48 : Ouverture de contacts face arrière	140
Figure III. 49 : Métallisation face arrière	140
Figure III. 50 : (a) Plaquette de silicium avec composants BipAC (différentes architectures) à la fin du procédé technologique et (b) station sous pointes.....	145

Figure III. 51 : Réseaux de caractéristiques $I_c(V_{ce})$ des BipAC PNP réalisés sur des substrats N d'épaisseur 300 μm en fonction de l'architecture du composant	146
Figure III. 52 : Tenue en tension du BipAC PNP réalisé sur un substrat N d'épaisseur 300 μm	146
Figure III. 53 : Réseaux de caractéristiques $I_c(V_{ce})$ des BipAC PNP réalisés sur des substrats N d'épaisseur 200 μm en fonction de l'architecture du composant	147
Figure III. 54 : Tenue en tension du BipAC PNP réalisé sur un substrat N d'épaisseur 200 μm	147
Figure III. 55 : (a) Réseau de caractéristiques $I_c(V_{ce})$ et (b) tenue en tension du BipAC NPN réalisés sur un substrat P d'épaisseur 300 μm	148
Figure III. 56 : (a) Réseau de caractéristiques $I_c(V_{ce})$ et (b) tenue en tension du BipAC NPN réalisés sur un substrat P d'épaisseur 230 μm	149
Figure III. 57 : Branchement d'une puce BipAC dans un boîtier pour caractérisation électrique	150
Figure III. 58 : Réseau de caractéristiques $I_c(V_{ce})$ d'une puce BipAC PNP réalisée sur un substrat N d'épaisseur 300 μm	150
Figure III. 59 : Réseau de caractéristiques $I_c(V_{ce})$ d'une puce BipAC NPN réalisée sur un substrat P d'épaisseur 300 μm	151
Figure III. 60 : Circuit de commande utilisé pour les caractérisations en commutation dans le 1 ^{er} quadrant.....	151
Figure III. 61 : Chronogramme des courants et tensions sur un cycle de commutation dans le 1 ^{er} quadrant.....	152
Figure III. 62 : Chronogramme des courants et tensions sur un cycle de commutation dans le 3 ^{ème} quadrant.....	152
Figure III. 63 : Chronogramme des courants et tensions sur un cycle de commutation sur réseau alternatif.....	153
Figure III. 64 : Comparaison de caractéristiques $I_c(V_{ce})$ de deux puces BipAC PNP et NPN de 300 μm d'épaisseur et pour un courant de gâchette de 500mA.....	154
Figure III. 65 : BipAC NPN initial	154
Figure III. 66 : BipAC NPN amélioré	155
Figure III. 67 : Profil de dopage de la demi-couche P enterrée dans le substrat P ⁻	155
Figure III. 68 : Comparaison (a) de la tenue en tension et (b) des caractéristiques $I_c(V_{ce})$ des deux structures BipAC NPN initiale et améliorée.....	155

Liste des tableaux

Chapitre I

Tableau I. 1 : Performances du MOS-Thyristor bidirectionnel	28
Tableau I. 2 : Performances de l'IGBT bidirectionnel	30
Tableau I. 3 : Paramètres physiques et géométriques utilisés pour la simulation de la structure IGBT bidirectionnelle à électrodes coplanaires.	32
Tableau I. 4 : Performances de l'IGBT bidirectionnel à électrodes coplanaires	34
Tableau I. 5 : Performances de l'IGBT bidirectionnel à électrodes coplanaires et à cathode commune	36
Tableau I. 6 : Performances du BipAC	38
Tableau I. 7 : Récapitulatif des performances des diverses structures bidirectionnelles étudiées.....	39
Tableau I. 8 : Paramètres fixés pour le calcul des pertes	40

Chapitre II

Tableau II. 1 : Gains déduits des structures BipAC PNP et NPN à partir des gains des transistors de puissance et de gâchette, comparés aux gains simulés des structures BipAC.....	68
Tableau II. 2 : Temps de commutation en fonction de la polarisation inverse appliquée sur la gâchette	74
Tableau II. 3 : Surface du BipAC en fonction du facteur de surface pour $X=250\mu\text{m}$	78
Tableau II. 4 : Chutes de tension minimale et maximale du BipAC PNP en fonction du facteur de surface Z et du courant de gâchette I_g pour $Y=200\mu\text{m}$	81
Tableau II. 5 : Tenue en tension et gain des structures BipAC NPN avec une ou plusieurs couches P dans le substrat P^- ($S=5\text{mm}^2$).....	85
Tableau II. 6 : Tenue en tension et gain des structures BipAC NPN avec une ou plusieurs couches N dans le substrat P^- ($S=5\text{mm}^2$).....	86
Tableau II. 7 : Chutes de tension minimale et maximale du BipAC NPN avec couche P enterrée dans substrat P^- en fonction de l'épaisseur du substrat pour un courant de gâchette $I_g=0,2\text{A}$ ($C_p=5.10^{16}\text{cm}^{-3}$).....	92
Tableau II. 8 : Chutes de tension minimale et maximale du BipAC NPN avec couche P enterrée dans substrat P^- en fonction du dopage de la couche et de l'épaisseur du substrat pour un courant de gâchette $I_g=0,1\text{A}$	93
Tableau II. 9 : Surfaces utilisées dans les simulations	95
Tableau II. 10 : Tenue en tension du BipAC NPN avec couche P enterrée dans substrat P^- en fonction de l'épaisseur de la couche P pour $C_p=2.10^{16}\text{cm}^{-3}$	96
Tableau II. 11 : Chutes de tension minimale et maximale dans le cas d'une commande par un courant de gâchette de 0,2A	98
Tableau II. 12 : Paramètres de la structure périphérique correspondant à une tenue en tension de 750V	100

Tableau II. 13 : Résultats de simulation du BipAC NPN avec couche P enterrée dans substrat P ⁻ dans les deux cas : cellule active et cellule active dotée d'une périphérie, pour une surface active de 10mm ²	100
Tableau II. 14 : Tenue en tension des quatre doigts du BipAC NPN avec couche P avec la périphérie	101
Tableau II. 15 : Tenue en tension d'une demi-puce (30 doigts) du BipAC NPN avec couche P avec la périphérie	102
Tableaux II. 16 : Tenue en tension, courant du collecteur et gain en courant d'une puce complète (60 doigts) du BipAC NPN avec couche P avec la périphérie en fonction de la surface simulée pour un courant de commande I _g =0,2A	103

Chapitre III

Tableau III. 1 : Paramètres technologiques et résultats des simulations process des différentes implantations du BipAC PNP	120
Tableau III. 2 : Paramètres technologiques et résultats des simulations process des différentes implantations du BipAC NPN correspondant au TEST 1	124
Tableau III. 3 : Paramètres technologiques et résultats des simulations process des différentes implantations du BipAC NPN correspondant au TEST 2	127

Introduction générale

Les travaux présentés dans cette thèse concernent la conversion de l'énergie électrique et s'inscrivent dans le projet de recherche et développement « Tours 2015 », porté par STMicroelectronics Tours en lien avec le C.E.A. et 13 laboratoires du C.N.R.S. Ce projet, démarré en janvier 2012 pour une durée de 5 ans, a été sélectionné dans le cadre du premier appel à projets « Nanoélectronique », pour le soutien aux technologies de base du numérique, prévu au sein de la ligne « usages, services et contenus innovants » du volet des investissements d'avenir, pour l'enseignement supérieur et la recherche, consacré au développement de l'économie numérique.

Ce projet a notamment pour objectif l'étude et le développement de composants nouveaux destinés à la maîtrise avancée de l'énergie dans les dispositifs électroniques. Il porte en particulier sur :

- des composants innovants pour la conversion de l'énergie utilisant le silicium et également de nouveaux matériaux semi-conducteurs tels que le nitrure de gallium ;
- des composants passifs aux performances accrues et à très faibles pertes grâce à l'emploi de nouveaux matériaux isolants ;
- l'intégration de micro-batteries et de circuits de récupération de l'énergie dans les composants électroniques.

Les technologies développées dans le cadre de Tours 2015 présentent de nombreuses applications et sont ainsi source d'innovation pour les acteurs de filières industrielles variées : habitat, automobile, transports, énergie, médical, applications industrielles ou encore biens de consommation. La contribution du LAAS concerne les nouveaux interrupteurs sur silicium pour applications sur le réseau alternatif 230V-50Hz de faible puissance (< 100 W).

La gestion de l'énergie électrique dans les applications domestiques (éclairage, smart-home, ...) constitue un débouché important pour les fabricants d'interrupteurs électroniques à semi-conducteurs. Dans ce domaine, le niveau de puissance visé se situe aux environs de la centaine de watts, et les structures de conversion utilisent des interrupteurs bidirectionnels bicommandables réalisés aujourd'hui à l'aide d'associations anti-série de composants de type MOS ou IGBT. Malgré les améliorations apportées par certains de ces dispositifs, leur coût de fabrication reste encore élevé et limite leur plus large diffusion sur ce marché partagé avec le triac (TRIode for Alternative Current) à ce jour. Cependant, outre l'impossibilité de la commande du triac à l'ouverture où il faut attendre le passage du courant par zéro, son courant de maintien empêche son utilisation dans des applications spécifiques à faible niveau de puissance (< 100 W) et donc à faible niveau de courant alimentant la charge tel que les LED et CFL.

Nos travaux s'insèrent dans ce contexte et visent à proposer et à concevoir un composant bidirectionnel en courant et symétrique en tension, commandable à la fermeture et à l'ouverture par rapport à une seule électrode de référence, et à faibles pertes (de l'ordre de 1W/A). Le composant s'adresse à des applications spécifiques à faible niveau de courant (inférieur à 1A). En outre, la surface totale de la puce doit être inférieure ou égale à 10mm².

Le premier chapitre de la thèse est consacré à une description succincte des différentes techniques qui permettent de réaliser la fonction interrupteur bidirectionnel, obtenue monolithiquement ou en associant plusieurs dispositifs silicium. Nous nous basons ensuite sur des résultats de simulations physiques 2D, en partie effectuées sur des structures monolithiques proposées antérieurement au LAAS, pour mettre en évidence les limites des structures de type MOS-bipolaire (IGBT bidirectionnel, MOS-thyristor bidirectionnel) pour l'application visée. Nous proposons ensuite une structure appelée BipAC (Bipolar AC switch), et nous montrons ses potentialités. À l'issue d'une comparaison qualitative des différentes structures, nous justifions le choix de cette structure BipAC qui sera étudiée dans la suite de

la thèse. Enfin, une comparaison en termes de pertes est effectuée afin de positionner le BipAC par rapport au triac, composant prédominant sur le marché pour les applications sur le réseau 230V-50Hz.

Le deuxième chapitre concerne l'étude de cette structure BipAC. Nous nous appuyons sur des simulations 2D réalisées avec le logiciel SentaurusTM et basées sur les paramètres physiques compatibles avec la filière technologique silicium « de puissance » développée au LAAS. L'étude porte sur une cellule élémentaire de la structure BipAC en utilisant deux types de substrat N et P. Ce travail permet la compréhension du fonctionnement interne de la structure et la mise en évidence des limites de cette structure « de base ». Ces limites concernent essentiellement la surface que doit développer la puce ainsi que le gain en courant. Dans l'objectif d'améliorer les performances de la structure, nous proposons une nouvelle version, qui fait l'objet d'une étude approfondie par simulation 2D.

Le troisième chapitre représente le cœur du travail technologique effectué dans cette thèse. Il porte ainsi sur la réalisation de la structure BipAC sur les deux types de substrat N et P.

Nous présentons la conception des masques sous CadenceTM nécessaires à la fabrication du BipAC. Chaque niveau est présenté en décrivant sa géométrie, ses dimensions et son positionnement par rapport au niveau qui le précède. Différentes architectures de la structure en termes de topologie de surface sont proposées.

Nous détaillons les étapes technologiques nécessaires et leur enchaînement pour la fabrication des BipACs sur les deux types de substrats N et P. Un travail conséquent de simulations 2D de type process d'une part, et de réalisations de plaquettes test d'autre part, a permis de déterminer les paramètres technologiques pour obtenir les profils de dopage des différentes régions de la structure. Les plaquettes tests ont fait l'objet de mesures SRP (Spreading Resistance Profiling) et d'analyses SIMS (Secondary Ion Mass Spectrometry), réalisées par ST Microelectronics, par la société Science et Surface et par le centre de micro-caractérisation Raymond Castaing.

Les premières réalisations portent sur les structures BipAC initiales, les puces obtenues ont été caractérisées sous pointes et sur boîtier. Les caractérisations sont effectuées à l'état bloqué, à l'état passant et en commutation.

Concernant la nouvelle structure proposée dans le chapitre 2, nous nous appuyons sur des résultats de simulations process couplées à des simulations électriques pour confirmer l'amélioration des performances, dans les conditions réelles du process salle blanche.

Chapitre I

Etat de l'art des structures bidirectionnelles et concept du transistor BipAC

Introduction

La gestion de l'énergie électrique dans les applications domestiques (éclairage, smart-home, ...) constitue un débouché important pour les fabricants d'interrupteurs électroniques à semi-conducteurs. Parmi les composants semi-conducteurs existants, les thyristors, triacs et transistors sont majoritairement utilisés dans les appareils électrodomestiques. Cependant, outre l'impossibilité de la commande du triac à l'ouverture où il faut attendre le passage du courant par zéro, son courant de maintien empêche son utilisation dans des applications spécifiques à faible niveau de puissance (< 100 W) et donc à faible niveau de courant alimentant la charge tel que les LED et CFL.

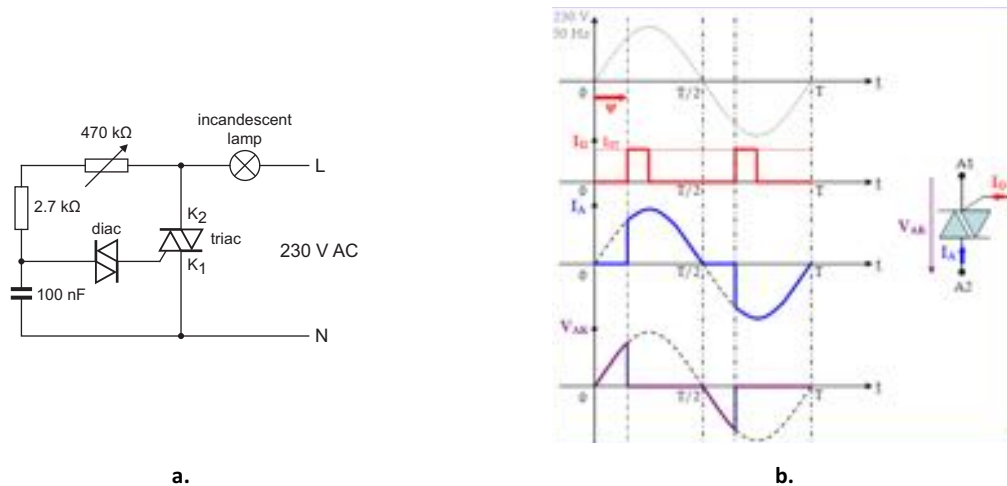


Figure I. 1 : (a) Exemple de circuit de réglage de phase en utilisant un triac [1], (b) oscillogrammes de conduction du triac dans un circuit de réglage de phase

Pour ces applications spécifiques (LED, CFL) nécessitant des interrupteurs bidirectionnels bicommandables (fermeture et ouverture), la fonction est réalisable à l'aide d'associations anti-série de composants de type MOS, IGBT ou BJT. Des évolutions technologiques (exemple : concept de MOS, IGBT et BJT à super jonction) ont été proposées pour notamment améliorer les performances à l'état passant de la fonction interrupteur ainsi synthétisée. Malgré les améliorations apportées par certains de ces dispositifs, leur coût de fabrication reste encore élevé et limite leur plus large diffusion sur ce marché partagé avec le triac à ce jour.

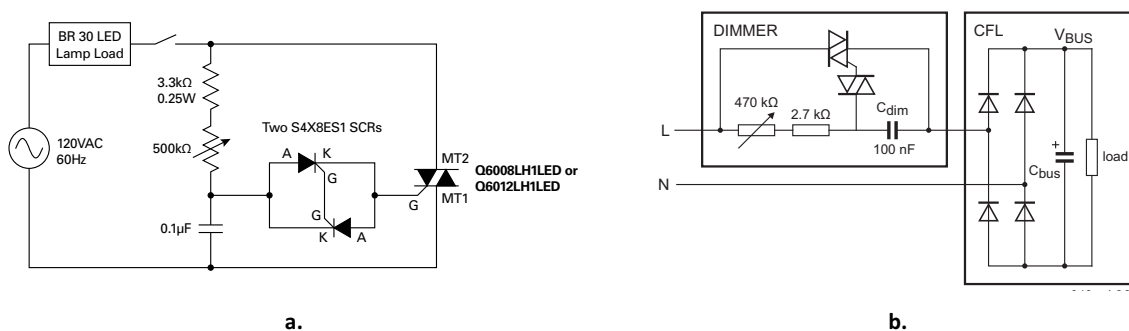


Figure I. 2 : Circuit de base d'un gradateur de lumière : (a) exemple de circuit pour applications LED en utilisant un triac (Q6008LH1LED ou Q6012LH1LED) [2] ; (b) exemple de circuit pour applications CFL en utilisant un triac [1]

Dans le cadre du projet Tours 2015, l'interrupteur bidirectionnel monolithique sur silicium à développer s'insère dans ce contexte des applications de gestion d'énergie et doit présenter les caractéristiques suivantes :

- Bidirectionnel en courant et en tension pour que l'interrupteur puisse fonctionner sur le réseau alternatif ;
- Commandé par une seule électrode par rapport à une seule électrode de référence ;
- Commandé à la fermeture et à l'ouverture ;
- Supporter une tension de l'ordre de 750V ;
- Faible perte (inférieure ou égale à 1W/A) ;
- Surface de puce maximale de l'ordre de 10mm² ;
- Encapsulation facile : de préférence la puce de silicium doit avoir les deux électrodes (de commande et de puissance) sur une face et l'autre électrode de puissance sur l'autre face de la puce. Cela permettra d'utiliser un packaging similaire à celui utilisé habituellement pour le triac.

Après une description succincte des différentes techniques qui permettent de réaliser la fonction interrupteur bidirectionnel, obtenue monolithiquement ou en associant plusieurs dispositifs silicium, nous nous basons sur des résultats de simulations, en partie effectuées sur des structures monolithiques proposées antérieurement au LAAS, pour mettre en évidence les limites des structures de type MOS-bipolaire (IGBT bidirectionnel, MOS-thyristor bidirectionnel) pour l'application visée. Nous proposons ensuite une structure d'interrupteur AC appelée BipAC, et nous montrons ses potentialités. À l'issue d'une comparaison qualitative des potentialités des différentes structures, nous justifions le choix de cette structure BipAC qui sera étudiée dans la suite de la thèse. Enfin, une comparaison en termes de pertes est effectuée afin de positionner le BipAC par rapport au triac, composant prédominant sur le marché pour les applications sur le réseau 230V-50Hz.

1- Les interrupteurs de puissance sur silicium

Les systèmes de conversion d'énergie électrique, utilisés en électronique de puissances, sont constitués principalement de convertisseurs statiques d'énergie, dont la fonction première est de traiter l'énergie électrique circulant entre une source et sa charge. Ces convertisseurs, à leur tour, sont composés essentiellement d'interrupteurs à base de composants à semi-conducteur de puissance (IGBTs, MOSFETs, GTOs, transistors bipolaires, triacs, thyristors, diodes).

Le rôle d'un interrupteur de puissance est d'autoriser ou de stopper le passage du courant. Il présente deux états statiques (état bloqué et état passant) et il doit remplir les fonctions suivantes :

- À l'état bloqué : supporter des tensions élevées (de quelques centaines de volts à plusieurs kV) avec un faible courant de fuite.
- À l'état passant : conduire un courant élevé (de quelques A à plusieurs kA) avec une faible tension à leurs bornes.
- En commutation : commuter le plus rapidement possible afin de réduire autant que possible les pertes en commutation.

À ce jour, aucun interrupteur de puissance développé ne satisfait les trois exigences simultanément, ce qui nécessite de choisir l'interrupteur pour un domaine d'application spécifique.

En électronique de puissance, la classification des interrupteurs à semi-conducteur se fait en fonction de besoins imposés par la nature des sources d'énergie (continue ou alternative, de courant ou de tension) et de l'application ciblée, ainsi que par les propriétés des composants [3]. Selon les applications, les composants de puissance peuvent être :

- Des interrupteurs qui peuvent conduire le courant dans un sens et supporter des tensions négatives (ou positives), on parlera d'interrupteurs unidirectionnels en courant et en tension, comme le cas de la diode (figure [1.3.a](#)).
- Des interrupteurs qui peuvent conduire le courant dans les deux sens et supporter des tensions positives (ou négatives), on parlera d'interrupteurs bidirectionnels en courant et unidirectionnels en tension, comme le cas du thyristor dual (figure 1.3.b).
- Des interrupteurs qui peuvent conduire le courant dans un sens et supporter des tensions positives et négatives, on parlera d'interrupteurs unidirectionnels en courant et bidirectionnels en tension, comme le cas des RB-IGBT (figure 1.3.c).
- Des interrupteurs qui peuvent conduire le courant dans les deux sens et supporter des tensions négatives et positives, on parlera d'interrupteurs bidirectionnels en courant et en tension, comme le cas du triac (figure 1.3.d).

Le choix de l'interrupteur de puissance adapté à une application donnée se fait selon les critères suivants : mode de commande souhaitée, tension de blocage et courant à faire transiter, fréquence de commutation désirée, bidirectionnalité en courant, bidirectionnalité en tension et parfois bidirectionnalité en courant et en tension.

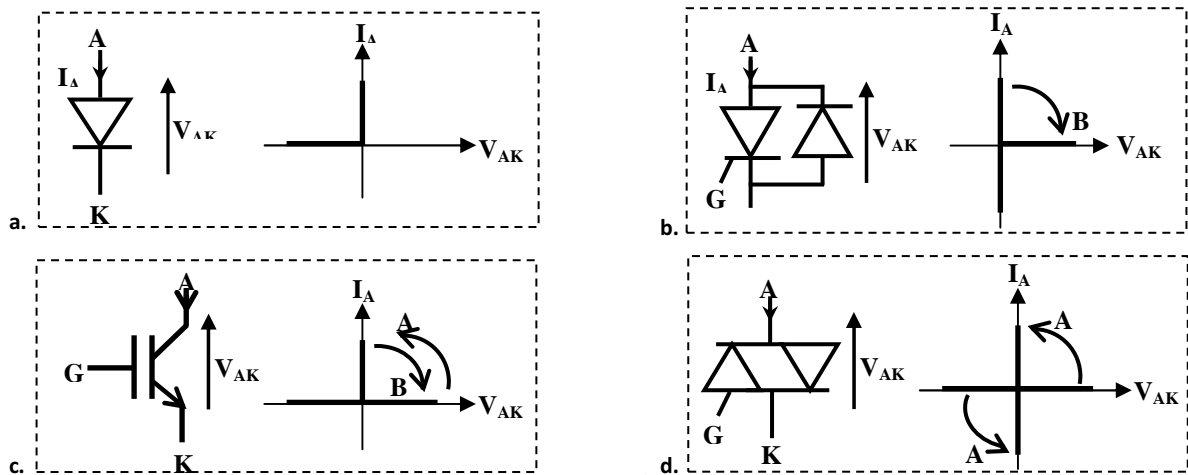


Figure I. 3 : Symbole et caractéristique statique idéalisée (a) d'une diode, (b) d'un thyristor dual, (c) d'un IGBT classique et (d) d'un triac (B : Blocage, A : Amorçage)

2- Interrupteurs bidirectionnels en courant et en tension sur silicium

Les applications sur réseau alternatif nécessitent l'utilisation d'interrupteurs bidirectionnels en courant et en tension. Cette bidirectionnalité peut être assurée en synthétisant la fonction par l'association de plusieurs composants ou en utilisant un seul dispositif intégré monolithiquement.

2.1- Synthèse de la fonction par association d'éléments discrets

Dans certaines applications, les dispositifs de puissance unilatéraux et commandés par MOS, comme l'IGBT, le MCT, le MOSFET, sont souvent associés à des diodes pour réaliser ces interrupteurs bidirectionnels en courant et en tension. Des exemples d'associations de ce type d'éléments pour réaliser des interrupteurs bidirectionnels sont donnés sur la figure I.4.

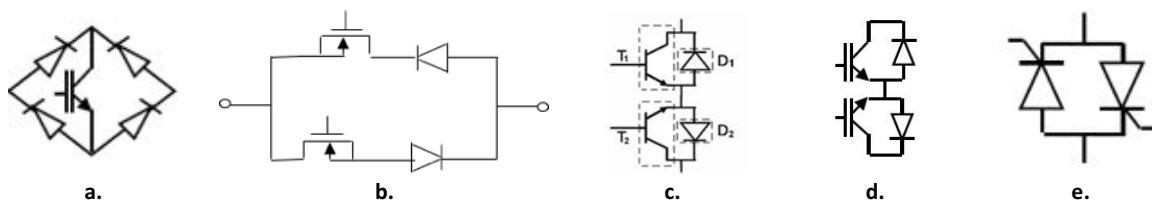


Figure I. 4 : Exemples d'associations d'éléments discrets pour synthétiser des interrupteurs bidirectionnels en courant et en tension : (a) IGBT + 4 diodes, (b) 2 VDMOS + 2 diodes, (c) 2 BJT à superjonction + 2 diodes [4], (d) 2 IGBT + 2 diodes, (e) 2 thyristors en tête-bêche

L'interrupteur dans l'assemblage donné par la figure I.4.a est facile à commander. En effet, un seul interrupteur est utilisé dans ce pont de diodes. Mais son inconvénient est qu'il présente une chute de tension importante à l'état passant. Ceci est dû au fait que le courant, à l'état passant, traverse trois composants : deux diodes et un transistor. L'interrupteur donné par la figure I.4.b, par rapport au précédent, permet de diminuer la chute de tension à l'état passant : une diode et un transistor conduisent durant chaque alternance. Toutefois, il nécessite deux éléments unidirectionnels et exige l'utilisation d'un circuit auxiliaire pour pouvoir décider, selon l'alternance, qui des deux dispositifs unidirectionnels doit conduire, ce qui rend son coût de réalisation plus élevé comparé à celui de la figure I.4.a. Outre ce problème, l'interrupteur de la figure I.4.b utilise deux éléments unidirectionnels commandés par des grilles MOS référencées par rapport à deux potentiels différents. Pour une commande par rapport à une seule électrode de référence, une alternative peut être l'utilisation de deux BJT et deux diodes, ou

l'association de transistors MOS verticaux (VDMOS), ou encore l'association de deux IGBT-diodes, comme présenté figure I.4.d.

L'association de deux thyristors montés en anti-parallèle (figure I.4.e) permet une chute de tension équivalente à celle d'un thyristor, mais présente le même inconvénient de commande que l'interrupteur de la figure I.4.b. En outre, le thyristor est commandable uniquement à la fermeture.

2.2- Interrupteurs monolithiques bidirectionnels en courant et en tension

a- Interrupteurs commandés en courant

Les potentialités offertes par les dispositifs p-n-p-n, basés sur l'empilement de quatre couches semi-conductrices alternées p-n-p-n, comme commutateurs de puissance ont été constatées, pour la première fois, par Moll [5]. Quelques années plus tard, des dispositifs de puissance à trois électrodes, adaptés aux applications de réglage de phase et pour fonctionner comme commutateurs statiques, ont été développés et commercialisés [6]. Ces dispositifs sont groupés sous l'appellation anglo-saxonne SCR pour Silicon Controlled Rectifier. Cependant, ces SCR sont des dispositifs unidirectionnels en courant, c'est à dire, lorsqu'ils sont à l'état ON, ils ne conduisent le courant que dans une seule direction.

Le développement de ces dispositifs bidirectionnels n'a connu son véritable essor qu'avec l'innovation du concept appelé "les courts-circuits d'émetteur". Ce concept a permis non seulement le développement de dispositifs bidirectionnels, mais il a également permis l'amélioration des caractéristiques des SCR.

Dans les structures bidirectionnelles en courant et en tension, la section élémentaire qui assure la conduction durant chaque alternance correspond à une structure thyristor. Dans le paragraphe suivant, nous allons décrire les caractéristiques de ce dispositif qui nous seront utiles pendant la description des dispositifs bidirectionnels.

i- Thyristor

Le thyristor est l'une des premières réalisations en intégration fonctionnelle dans le domaine de la puissance. Ce dispositif (figure [I.5.a](#)) est constitué, fondamentalement, de quatre couches semi-conductrices p-n-p-n alternées. Lorsqu'un potentiel négatif est appliqué à l'anode par rapport à la cathode, les jonctions J_1 et J_3 sont polarisées en inverse et supportent la tension. Le courant traversant la structure a une intensité très faible. C'est le régime bloqué inverse pour lequel la limite en tension est associée soit au mécanisme de multiplication par avalanche, soit au perçage. Lorsque le potentiel de l'anode est positif par rapport à la cathode, le thyristor peut se trouver dans deux états électriques différents :

- Le régime direct bloqué qui correspond aux jonctions J_1 et J_3 en direct tandis que J_2 est polarisée en inverse et supporte la tension appliquée. L'intensité de courant qui traverse la structure dans ce cas-là est faible.
- Le régime direct passant qui correspond à un état dans lequel le thyristor présente une impédance faible. Les trois jonctions J_1 , J_2 et J_3 sont passantes (fonctionnement en régime saturé pour les transistors). Le passage du courant est lié à l'existence d'une charge stockée de porteurs minoritaires dans les bases P et N. Si cette charge décroît au-dessous d'un certain seuil, qui correspond au courant de maintien I_H , la jonction J_2 se bloque et le thyristor retrouve son état bloqué.

La caractéristique $I_A(V_{AK})$ d'un thyristor est représentée sur la figure [I.5.b](#).

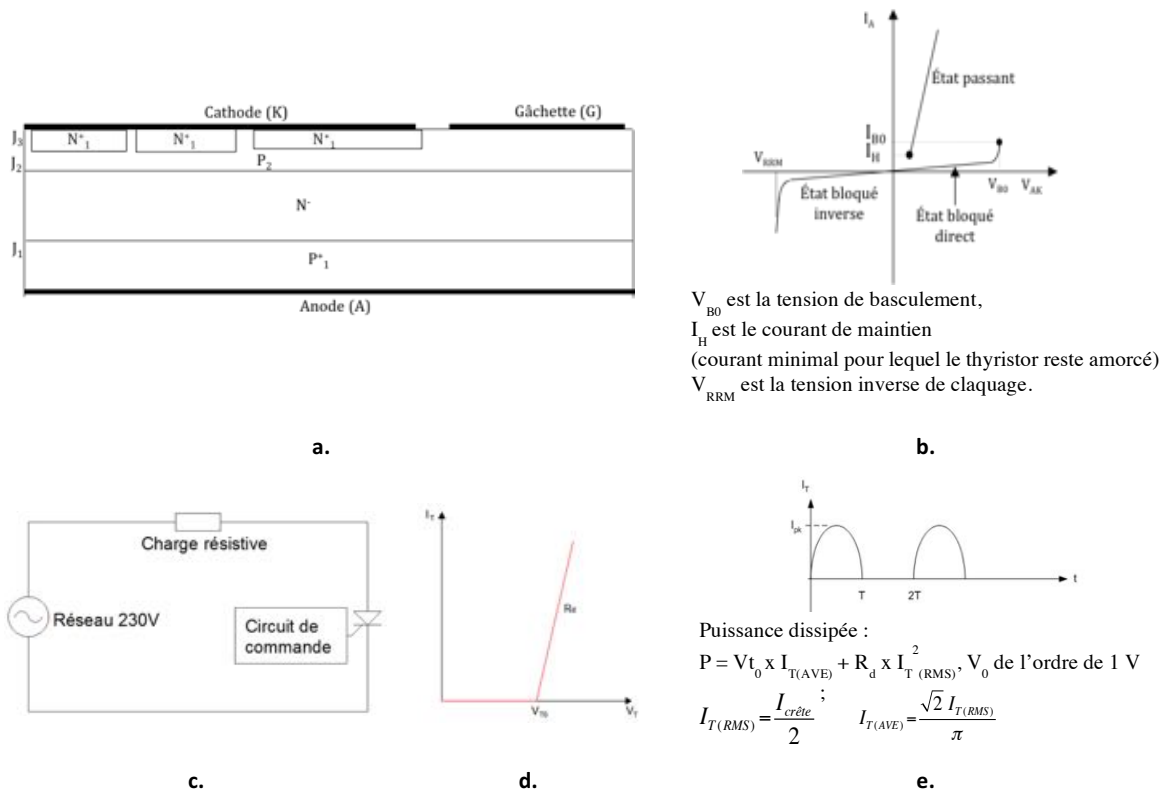


Figure I. 5 : (a) Vue en coupe du thyristor, (b) caractéristiques I(V) du thyristor, (c) commande du thyristor, (d) modèle utilisé pour le calcul de la puissance dissipée à l'état passant, (e) calcul de la puissance moyenne dissipée

ii- Structures de type triac

Beaucoup de structures bidirectionnelles commandées en courant ont été développées et commercialisées. Ces structures présentent quelques caractéristiques différentes telles que la sensibilité aux courants de déclenchement et les applications pour lesquelles elles sont destinées (immunité vis à vis des éléments de déclenchement parasite à la commutation). L'élément commun entre ces différentes structures est le fait qu'ils sont basés sur une architecture triac. Dans les paragraphes suivants, nous décrirons la structure triac et puis nous détaillerons le fonctionnement des différentes structures dérivées de cette dernière.

• Triac conventionnel

Le TRIAC (TRIode for Alternative Current) est un dispositif à trois électrodes et il est formé de cinq couches semi-conductrices n-p-n-p-n. Comme le thyristor, le triac est un commutateur à amorçage commandé et à blocage naturel au passage par "zéro" du courant. Il intègre dans un même cristal deux thyristors placés tête-bêche. Une section thyristor $P_1^+N_1P_2N_2^+$ assure la conduction durant l'alternance positive et une section thyristor $P_2^+N_1P_1N_3^+$ assure le passage du courant pour une tension négative appliquée sur l'anode. Il est important de remarquer qu'il n'y a qu'une seule gâchette pour commander les deux thyristors. La gâchette est toujours référencée par rapport à l'électrode A1. L'électrode A1 est habituellement appelée cathode du triac et l'électrode A2 est nommée anode du triac.

Le mode d'intégration (intégration fonctionnelle) adopté lui confère une fonctionnalité différente de celle qui serait obtenue avec une solution hybride réalisée à partir de deux thyristors séparés. En effet, les interactions entre les différentes régions de la structure, favorisées par la matérialisation d'une gâchette spéciale, la "remote gate", permettent le déclenchement du dispositif en mode thyristor avec une impulsion de courant positive ou négative sur la même électrode de commande

et ceci quelle que soit la polarité de la tension entre les électrodes A1 et A2. Toutefois, ce mode d'intégration conduit à une structure dans laquelle les bases larges des deux thyristors correspondent à une même couche semi-conductrice dans laquelle les charges bloquées peuvent provoquer l'amorçage prématuré de l'autre section dès la ré-application de la tension directe à ses bornes. Cette particularité limite l'utilisation des triacs à des basses fréquences (50 Hz), avec des taux de croissance (dv/dt) limités.

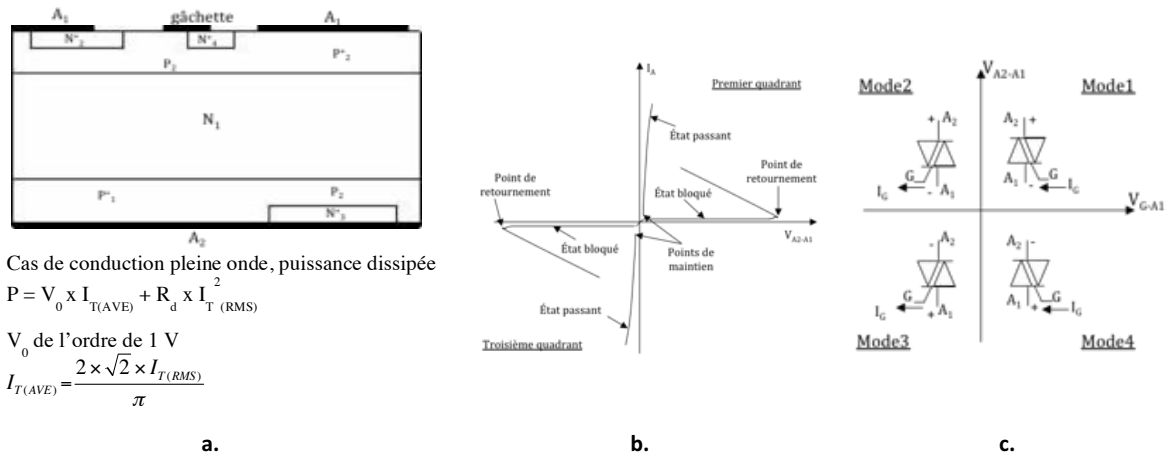


Figure 1.6 : (a) Vue en coupe de la structure triac, (b) Caractéristique I-V, (c) quatre modes de fonctionnement

La caractéristique I-V du triac est donnée sur la figure 1.6.b. On constate que le triac ne présente pas de mode saturé comme dans le cas des transistors MOS. À l'état passant, le courant dans le triac croît, d'une manière continue, avec l'augmentation de la tension appliquée sur l'anode. Pour protéger le triac, un circuit auxiliaire est donc nécessaire pour éviter le sur-échauffement du triac. Pour bloquer le triac, le courant doit être interrompu ou commuté dans une autre partie du circuit. Ceci nécessite également un circuit auxiliaire pour assurer cette commutation. Le passage de l'état bloqué à l'état passant n'est pas contrôlé, ce qui induit des interférences électromagnétiques dans des circuits utilisant le triac.

Des modifications ont été constamment apportées à ce dispositif afin de l'adapter aux exigences des applications nouvelles. L'une des modifications opérées est au niveau de la sensibilité de la gâchette de ce composant. Ceci est la conséquence directe de l'utilisation des circuits intégrés pour le pilotage des triacs. En effet, certains circuits dédiés à la commande des triacs ainsi que les microcontrôleurs possèdent un courant de commande limité qui varie, généralement, entre 10 et 15mA [7].

- **Structure A.C. Switch™**

La figure 1.7 représente la coupe d'une structure A.C. Switch™ développée par STMicroelectronics Tours. Cette structure est adaptée aux applications de contrôle et de conversion d'énergie sur le réseau électrique domestique. Contrairement au triac, ce sont deux thyristors à gâchette d'anode qui sont gérés par une même commande. Cette commande, sur le dessus de la puce, est référencée par rapport à la face inférieure de la puce qui devient alors la référence en tension. Ceci permet un certain découplage des deux thyristors d'une part (améliore la tenue en dv/dt) et permet le montage des composants de puissance et des circuits de commande sur un même support d'autre part.

La gâchette, qui est isolée par jonction de la partie de puissance, peut être commandée par un microcontrôleur.

L'inconvénient de ce dispositif est lié au fait qu'il est commandé en impulsions de courant négatives, ce qui confine son utilisation aux deuxième et troisième modes de fonctionnement.

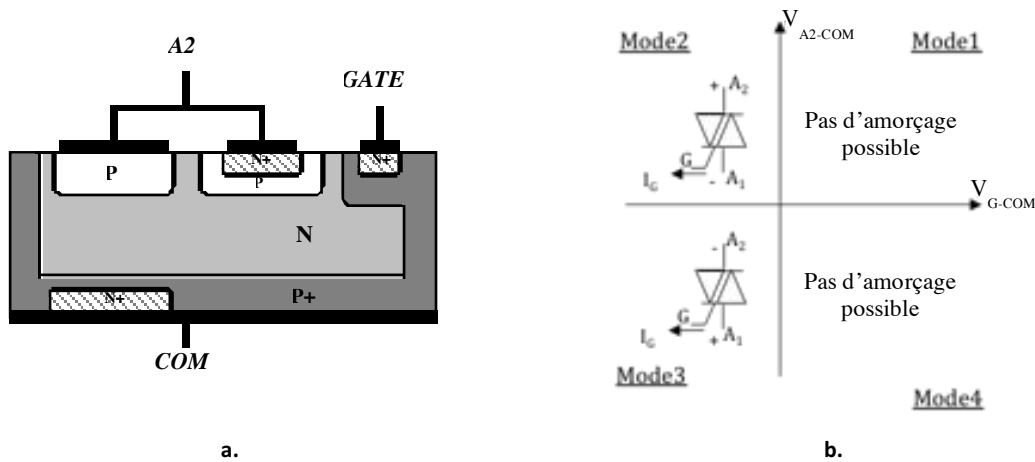


Figure 1. 7 : (a) Coupe d'une structure A.C [8] (structure brevetée) et (b) modes de déclenchement

- **Hi-commutation triac™**

Le Hi-com triac est également un composant qui est dérivé directement du triac. En effet, des modifications ont été apportées au niveau de la région de commande ce qui a permis d'effectuer une séparation géométrique entre les deux sections thyristors qui assurent la conduction durant les deux alternances. De ce fait, l'influence mutuelle des deux sections thyristors est réduite ce qui élimine le risque de tout amorçage parasite au moment de la commutation.

Le hi-com triac ne présente pas le mode de fonctionnement du triac correspondant à $V_{GK} > 0$ et $V_{AK} < 0$, car c'est dans ce mode que les interactions entre les deux sections permettent la conduction. Ce mode nécessite un certain couplage entre les deux sections thyristors, ce qui détériore les caractéristiques en dynamique du dispositif. Le hi-com triac est un dispositif à trois quadrants (figure 1.8) utilisant principalement des impulsions en courant négatives pour assurer son déclenchement durant les deux alternances.

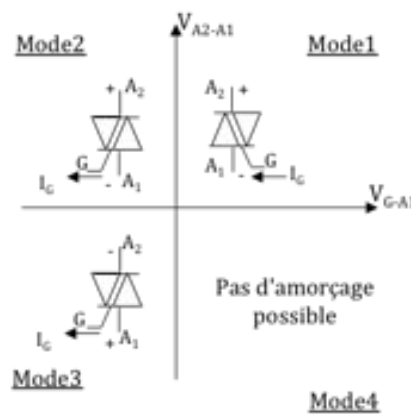


Figure 1. 8 : Modes de déclenchement du Hi-com triac

iii- Transistors bipolaires bidirectionnels (le Biswitch et le ISIS02)

Dans le cadre d'un précédent projet développé par STMicroelectronics (projet SESAM-ISIS) visant à proposer un nouvel interrupteur bidirectionnel en courant et en tension et commandable avec une faible perte d'énergie, deux structures bipolaires ont été étudiées : le « Biswitch », transistor à base large et « ISIS02 », transistor latéral [9-10]. La réalisation du Biswitch est relativement simple vu qu'elle est semblable à celle du triac. Cependant, la commande de la base par rapport à deux électrodes

différentes en cours de fonctionnement (par rapport à l'émetteur pendant l'alternance positive, par rapport au collecteur pendant l'alternance négative) associé à un gain faible rend le circuit de commande complexe. Quant à la structure ISIS02 à base fine traversante réalisée sur substrat SOI (figure 1.9.b), le gain est important et donc la commande nécessite un courant plus faible que dans le cas du Biswitch. D'autre part, le concept RESURF est utilisé pour augmenter la tension de claquage en désertant uniformément la zone de tenue en tension [11]. En revanche, sa fabrication est bien plus complexe vu les exigences d'obtention d'une base fine traversante, d'un oxyde face avant épais, des caissons d'autoblindage [12].

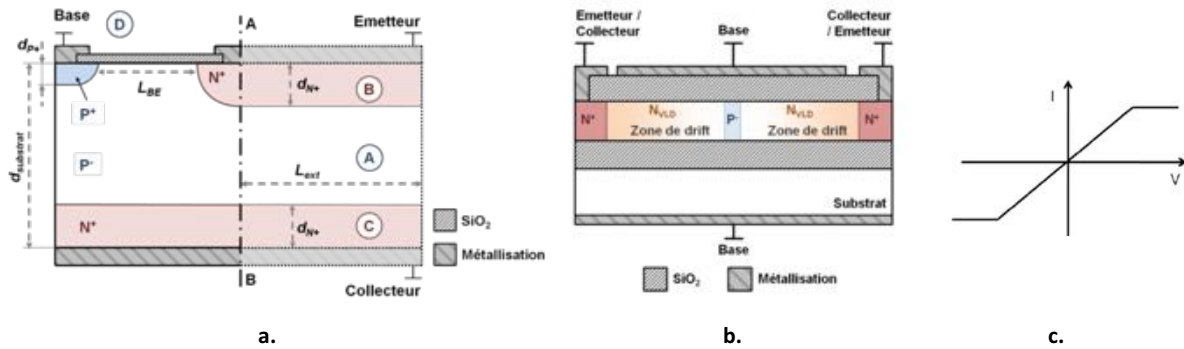


Figure 1.9 : (a) Représentation schématique du transistor bipolaire bidirectionnel à base large, « Biswitch », (b) ISIS02 transistor bipolaire symétrique sur substrat SOI, (c) allure de la caractéristique $I(V)$ à l'état passant [13-14]

b- Interrupteurs monolithiques commandées en tension

L'inconvénient majeur du triac est le fait qu'il est commandé par des impulsions en courant de quelques dizaines de mA (pour le cas des triacs standards). Ceci ne facilite pas son pilotage par des circuits intégrés.

Afin de développer des structures bidirectionnelles commandées par MOS susceptibles de supplanter le triac, plusieurs structures ont été proposées. Elles peuvent être classifiées suivant leurs architectures en structures verticales et en structures latérales. Ces deux catégories de structures sont décrites ci-après.

i- Structures latérales

Les structures latérales sont d'une grande importance pour les concepteurs de circuits intégrés de puissance car elles sont faciles à intégrer [15] et elles ne posent pas de problème d'isolation du contact présent sur la face inférieure du substrat. Cependant, elles sont limitées en densité de courant.

- **Thyristor planar à gachette isolée (TRIMOS)**

Cette structure (figure 1.10.a) a été proposée par James D. Plummer en 1980 [16]. Elle est constituée de deux cellules de type DMOS séparées par une diffusion N⁺. Selon le niveau de courant, cette structure est capable de fonctionner en mode DMOS, IGBT ou thyristor. Cette structure présente toutefois une tension de claquage faible (autour de 150V) et de par sa configuration latérale, elle est limitée en densité de courant.

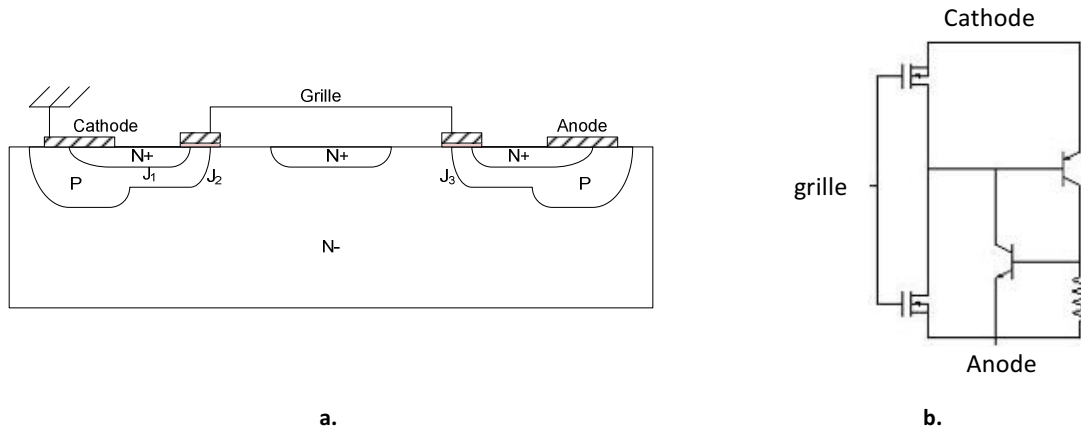


Figure I. 10 : Structure TRIMOS : (a) Vue en coupe, (b) Schéma équivalent simplifié

- **Lateral Planar MOS-gate AC switch**

Ce dispositif a été proposé par M.Mehrotra et B.J Baliga [17] en 1997. Une vue en coupe de la structure est donnée sur la figure 1.11. Le dispositif est composé principalement de deux structures MOS-thyristor montées tête-bêche. Chaque électrode de grille est référencée par rapport à une électrode de puissance. En effet, la grille1 est référencée par rapport à la cathode et la grille2 est référencée par rapport à l'anode. Lorsqu'une tension positive est appliquée sur la grille1 par rapport à la cathode tandis que la grille2 est reliée à l'anode, un canal N sous la grille1 se forme et des électrons sont injectés dans la zone de drift N⁻. Par conséquent des trous sont injectés par la base2-P dans la zone de drift N⁻. Une partie de ces trous se recombine dans la zone de drift et l'autre partie est collectée au niveau de la base1-P et circule latéralement sous la diffusion base1-N pour atteindre la cathode. Pour un faible courant de trous, le dispositif fonctionne en mode IGBT latéral. Cependant, le courant de trous croît avec l'augmentation de la tension appliquée sur l'anode et lorsque la jonction base1-P/base1-N devient passante, la région base1-N injecte des électrons dans la zone de drift N ce qui constitue le courant de base pour le transistor base2-P/N⁻/base1-P. Cette injection conduit au latch-up du thyristor base2-P/N⁻/base1-P/base1-N. Une fois le thyristor déclenché, le courant du dispositif n'est plus limité par le transistor MOS, ce qui permet au dispositif de transiter des courants importants avec une faible chute de tension à l'état passant.

Les deux inconvénients majeurs de la structure pour les applications visées sont notamment le fait que la chute de tension à l'état passant est supérieure à 1V et également le fait que ses électrodes de grilles doivent être commandées par rapport à deux références de potentiels différents.

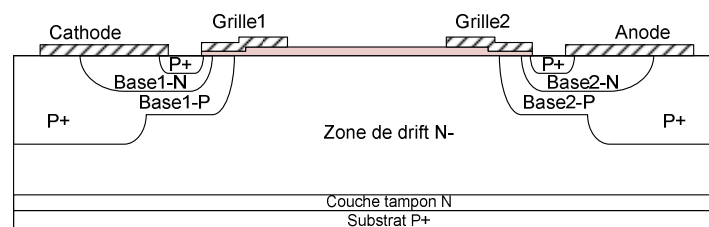


Figure I. 11 : Vue en coupe du Lateral Bilateral MCT-IGBT (LBMIGT)

- **Bidirectional IGBT with P⁺ diverter**

Une vue en coupe du LBIGBT (Lateral Bilateral IGBT) [17] est donnée sur la figure 1.12. Dans le premier quadrant, l'électrode2 est polarisée positivement par rapport à l'électrode1. Lorsqu'une tension

positive est appliquée sur la grille1, des électrons sont injectés dans la zone de drift N^- et par conséquent des trous sont injectés du côté de la base2-P et collectés par le P^+ diverter qui est relativement plus profond que la base1-P et le dispositif fonctionne en mode IGBT. Pour le bloquer, il suffit de réduire la tension appliquée sur la grille1 en dessous de la tension de seuil. Lorsque le courant de trous collectés sur le côté base1-P est assez élevé pour permettre la mise en conduction de la jonction base1-P/base1-N le thyristor s'amorce. Le blocage du dispositif est possible par application d'une tension négative sur la grille1. D'une manière semblable, dans le troisième quadrant, l'électrode2 est polarisée négativement et joue le rôle de cathode mais l'électrode1 joue le rôle d'anode avec la grille 1 reliée à l'électrode1 et la grille2 contrôle le fonctionnement du dispositif et elle est référencée par rapport à l'électrode2. Vu la nature symétrique du LBIGBT, le mode de fonctionnement dans le troisième quadrant est identique au fonctionnement obtenu dans le premier quadrant.

Les deux inconvénients majeurs de la structure sont notamment le fait que ses électrodes de grilles doivent être commandées par rapport à deux références de potentiels différents et que la chute de tension à l'état passant est supérieure à 1V.

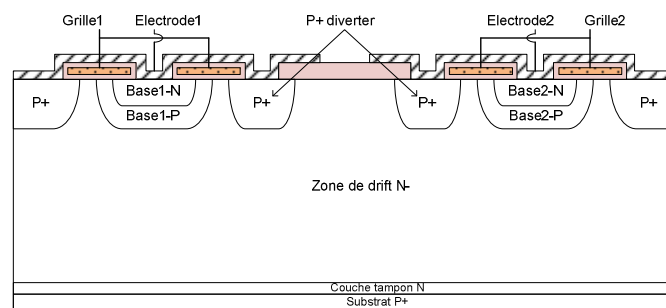


Figure I. 12 : Vue en coupe de l'IGBT bidirectionnel avec un P^+ diverter (LBIGBT)

ii- Structures verticales

Les structures verticales sont notamment intéressantes pour les applications hautes puissances. Comparées aux structures latérales, elles permettent de faire transiter des courants importants avec une faible chute de tension à l'état passant d'une part et de bloquer des tensions élevées d'autre part.

- **Structures MOS-thyristors**

- ❖ *Structure "planar MOS-gated AC switch"*

Cette structure (figure I.13) a été proposée par Mehrotra et al. [18]. La mise en conduction du dispositif dans ce quadrant s'effectue par application d'une tension positive sur la grille1 et d'une tension négative sur la grille2. L'application d'une tension négative sur la grille2 crée un canal P qui permet de relier la base P (flottante) et la région de cathode P. Les deux régions P (flottante) et N de cathode constituent la jonction émetteur-base du transistor bipolaire NPN. Le MOSFET (M1) est utilisé pour assurer l'injection d'électrons dans la base N.

Pour de faibles tensions appliquées sur l'anode, le courant traversant le composant passe directement par la résistance JFET et le canal du MOSFET (M2). Ce courant augmente jusqu'à ce que la jonction P(de l'anode)/ N^- devient passante. À cet instant-là, les trous sont injectés dans la région N et collectés par la base P. Ces trous circulent latéralement à travers cette zone et passe par le canal du MOSFET (M2). Selon le niveau de la densité de ce courant et la valeur de la résistance de la base P, le dispositif peut fonctionner en mode IGBT ou thyristor. Tant que la tension aux bornes de la jonction

d'émetteur est inférieure à 0,7V, le dispositif fonctionne en mode IGBT. Cependant, dès que cette jonction d'émetteur devient passante, le dispositif se déclenche en mode thyristor et permet ainsi de transiter des courants importants avec une faible chute de tension à l'état passant.

Dans le troisième quadrant, la grille G1 est reliée à la masse et une tension négative est appliquée sur la grille G2, ce qui permet la création d'un canal P. Dès qu'une tension négative est appliquée entre anode et cathode, un courant de trous circule à travers le MOSFET à canal P (M2), puis à travers la jonction P/N. Un courant de trous I_{h2} circule latéralement à travers la région P pour atteindre l'anode. Ce courant I_{h2} développe une chute de tension aux bornes la zone P (côté anode). Une fois que cette tension atteint 0,7V, le thyristor s'amorce.

Parmi les inconvénients de la structure, nous pouvons citer la chute de tension élevée $> 1V$, la complexité du processus de réalisation lié à la présence de deux types de MOS (N et P) en face avant et aussi le fait qu'à l'état bloqué inverse, la structure présente des fuites importantes.

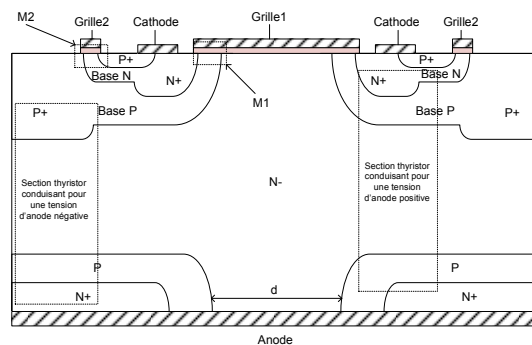


Figure I. 13 : Vue en coupe de la structure MOS-gated AC switch

❖ IGTR (Insolated Gate Triac)

La structure IGTR proposée par Ajit et al. [19] est représentée en figure I.14. L'IGTR est commandé à la fermeture et à l'ouverture par des tensions de grille positives et négatives. À l'état direct (tension anode-cathode positive), le composant bascule de l'état direct bloqué à l'état passant par application d'une tension de grille positive. Le retour à l'état bloqué s'effectue par application d'une tension de grille négative. À l'état inverse (tension anode-cathode négative), le composant est constitué d'un thyristor en série avec un PMOS. Dans ce régime de fonctionnement, le composant est contrôlé par la tension de grille du PMOS. À l'état bloqué direct, la base P est connectée à la masse (cathode) par le PMOS. La jonction base P/N devient polarisée en inverse et la tension appliquée sera supportée par la région N faiblement dopée.

À l'état passant inverse, le composant est constitué d'un PMOS en série avec une diode (base P/N). Une partie du courant de la diode est contrôlée par la jonction (P face arrière/N) polarisée en inverse (courant de fuite). Le courant de la diode collecté par la diffusion P face arrière circule latéralement sous la diffusion N et constitue un courant de base pour le transistor NPN. La mise en conduction de ce transistor entraîne l'enclenchement du thyristor. Le composant est maintenu à l'état passant inverse par application d'une tension de grille négative. L'ouverture du composant s'effectue par application d'une tension de grille positive. À l'état bloqué inverse, la jonction P face arrière/N devient polarisée en inverse et la tension sera supportée par la région N.

L'inconvénient majeur de la structure est lié au fait qu'il est difficile d'avoir le déclenchement en mode thyristor dans le troisième quadrant.

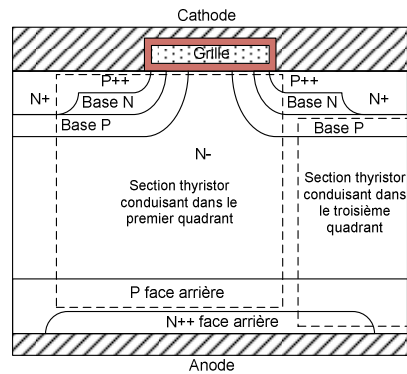


Figure I. 14 : Vue en coupe d'une structure IGTR

- **Structures IGBT bidirectionnelles en courant et symétriques en tension**

- ❖ Double gate-injection enhanced gate transistor (DG-IEGT)

La structure DG-IEGT proposée par Yuming Bai et al. [20] est une structure bidirectionnelle en courant et en tension. Le composant présente quatre modes de fonctionnement tel que représenté en figure I.15.

- Mode 1 : $V_{Gc} > 0, V_{Ga} > 0$:

V_{Gc} représente la tension de grille-cathode Gc par rapport à la cathode et V_{Ga} représente la tension de grille-anode Ga par rapport à l'anode. Dans ce mode le DG-IEGT peut fonctionner en deux états ; état passant direct si $V_{ac} > 0$ et état passant inverse si $V_{ac} < 0$. Le DG-IEGT conduit comme un MOSFET.

- Mode 2 : $V_{Gc} > 0, V_{Ga} < 0$:

Dans ce mode, le DG-IEGT fonctionne comme une diode PIN (ou comme un IEGT classique) en deux états : direct passant et inverse bloqué. À l'état passant direct le DG-IEGT présente une faible chute de tension et à l'état inverse bloqué le composant est capable de tenir des tensions élevées.

- Mode 3 : $V_{Gc} < 0, V_{Ga} < 0$:

Dans ce mode, le DG-IEGT fonctionne en deux états bloqués : direct et inverse.

- Mode 4 : $V_{Gc} < 0, V_{Ga} > 0$:

Dans ce mode le DG-IEGT fonctionne comme une diode PIN en inverse en deux états : état bloqué direct et état inverse passant. Vue la symétrie de la structure, le fonctionnement dans ce mode est semblable à celui du mode 2, sauf que le sens du courant traversant le composant et la tension de blocage est inversé. Caractéristiques électriques du DG-IEGT à la fermeture.

La structure DG-IEGT présente quelques inconvénients. En effet, du fait qu'elle possède une grille MOS sur chaque face du wafer, elle est par conséquent difficile à réaliser technologiquement et d'autre part difficile à encapsuler (comparé au packaging du triac). En outre, les grilles sont commandées par rapport à deux références de potentiels différents ce qui rend le circuit de commande complexe.

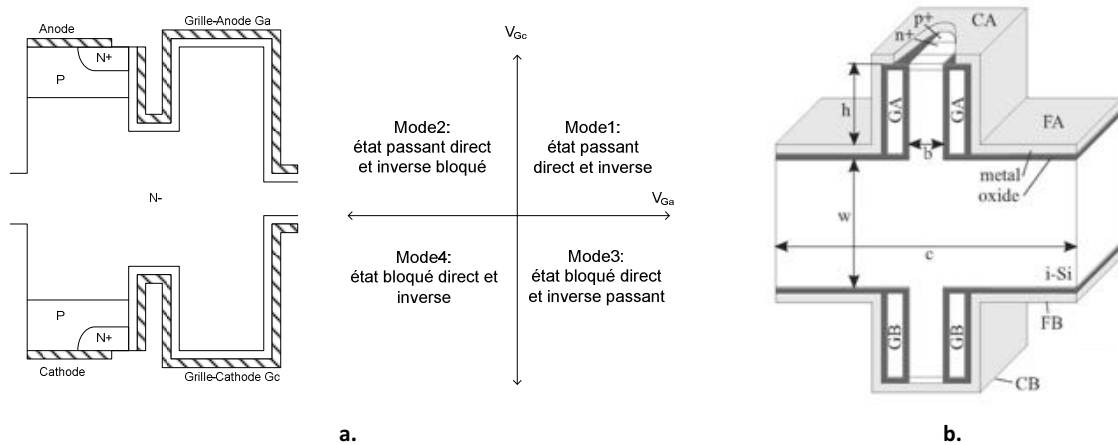


Figure I. 15 : (a) Vue en coupe d'une structure DG-IGBT et modes de fonctionnement, (b) exemple de la structure réalisée

❖ Structures IGBT bidirectionnelles réalisées par soudure directe Si/Si en basse température

La technique de soudure Si/Si directe a été utilisée pour réaliser des structures IGBT bidirectionnelles. Cette technique de réalisation à haute température a été étudiée dans le cadre de la thèse de Doctorat de M. Hakim Tahir [21]. Cette structure est composée de deux sections MOS, une section placée sur la face avant et l'autre sur la face arrière de la plaquette (figure I.16). Cette structure présente les inconvénients suivants :

La nécessité de commander les électrodes de commande par rapport à deux références de potentiels différents rend le circuit de commande complexe. La présence d'une section MOS sur chaque face du substrat rend le process technologique de fabrication et d'encapsulation plus complexe que celui d'un triac classique.

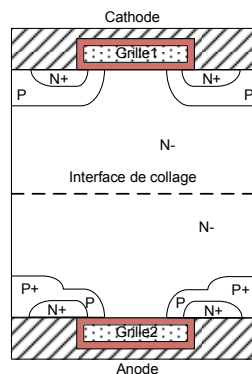


Figure I. 16 : Vue en coupe d'une structure IGBT bidirectionnelle réalisée par soudure Si/Si directe

3- Analyse qualitative par simulation 2D de structures proposées au LAAS

Quatre structures de type MOS-thyristor et IGBT bidirectionnelles, proposées et étudiés antérieurement au LAAS, ont été analysées qualitativement afin de mettre en évidence leurs avantages et inconvénients par rapport à l'application visée. Les quatre sont de types MOS-thyristor/IGBT bidirectionnel : le MOS-thyristor bidirectionnel [22], l'IGBT bidirectionnel [21], l'IGBT bidirectionnel à électrodes coplanaires [21] et l'IGBT bidirectionnel à électrodes coplanaires et à cathode commune [23]. Nous compléterons cette liste par une cinquième structure bidirectionnelle que nous appellerons le

BipAC. Nous avons proposé cette structure originale dans le cadre du projet Tours 2015. Les potentialités du BipAC par rapport à l'application visée seront présentées.

3.1- Structure 1 : MOS-thyristor bidirectionnel commandé par MOS

a- Principe de fonctionnement

Une vue en coupe de la structure MOS-thyristor bidirectionnelle en courant et en tension [22] est donnée sur la figure 1.17. Ce dispositif est constitué de deux sections thyristors montées en tête-bêche. Une première section thyristor $P_1^+N^+P_2N_2^+$ commandée par une section MOS, comme dans un MOS-thyristor classique, et une deuxième section thyristor $P_2^+N^-P_1N_1^+$ utilisant un nouveau mode de mise en conduction décrit dans le paragraphe suivant. Un mur P^+ , traversant verticalement la plaquette, est utilisé pour assurer le basculement de la structure de l'état bloqué à l'état passant dans le troisième quadrant mais également pour supporter la tension anode-cathode à l'état bloqué inverse. Nous pouvons également noter la présence de deux électrodes flottantes, F.O.C 1 et F.O.C 2, reliées entre elles. En l'absence de tensions de grilles, le dispositif bloque des tensions positives et négatives appliquées entre l'anode et la cathode.

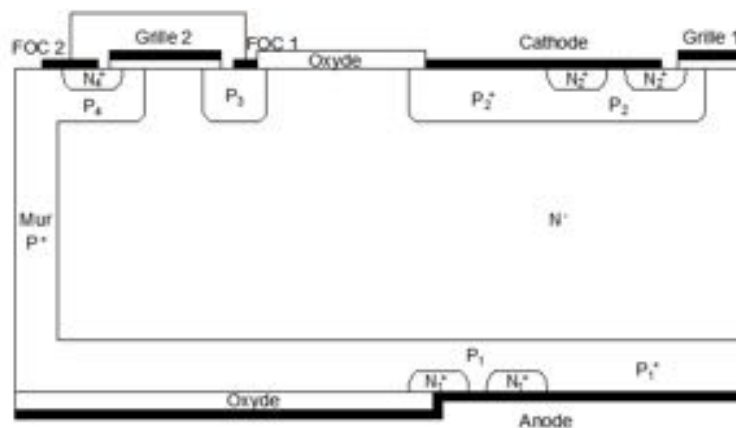


Figure 1.17 : Vue en coupe d'une structure MOS-thyristor bidirectionnel

Une vue en coupe de la section thyristor dans le premier quadrant est donnée sur la figure 1.18.a. Dans ce cas, le fonctionnement de la structure ressemble à celui d'un MOS-thyristor classique. En effet, la mise en conduction de la structure s'effectue par l'application d'une tension positive supérieure à la tension de seuil sur la grille 1 tandis que la grille 2 est reliée à l'anode. Ceci permet la création d'un canal N sous la grille 1 et l'injection des électrons dans la zone de drift N^- . Par conséquent, des trous sont injectés par la zone P_1^+ . Ces trous qui diffusent dans la zone N^- , sont collectés par la région P_2 et circulent latéralement sous la zone N_2^+ pour atteindre la cathode. Pour un courant de trous suffisant, la jonction N_2^+/P_2 se polarise en direct et par conséquent la section $P_1^+N^-P_2N_2^+$ se déclenche en mode thyristor.

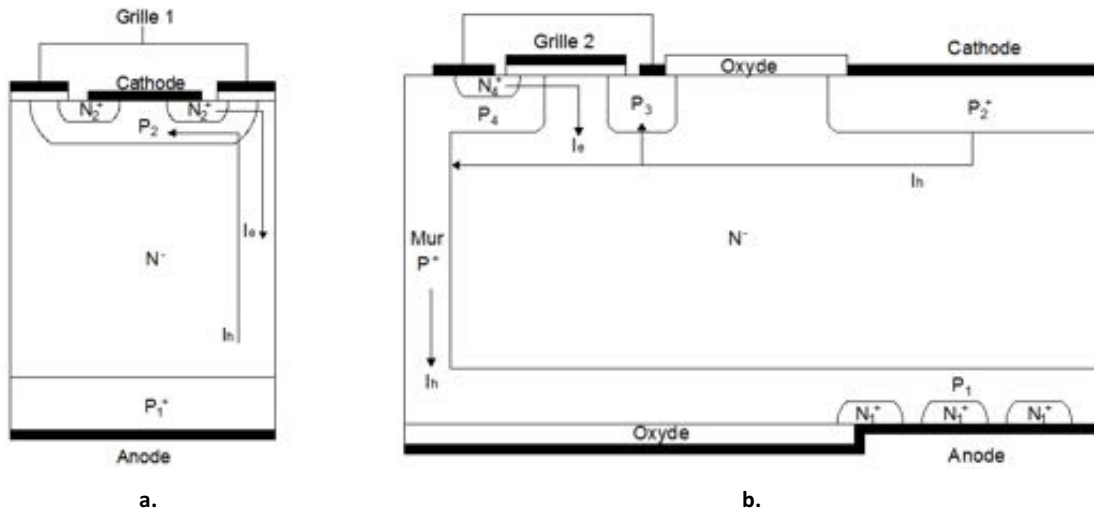


Figure I. 18 : Vue en coupe des sections thyristor assurant la conduction dans (a) le premier quadrant et (b) le troisième quadrant

La vue en coupe de la section thyristor du dispositif qui assure la conduction et la tenue en tension dans le troisième quadrant est donnée sur la figure [I.18.b](#). Dans cette configuration, le déclenchement en mode thyristor s'effectue par application d'une tension positive supérieure à la tension de seuil sur la grille 2 par rapport à l'anode. Ceci permet la création d'un canal N sous la grille 2 et l'injection d'électrons dans la zone de drift N⁻. Par conséquent, la région P⁺₂ injecte des trous dans la zone N⁻. Une partie de ces trous est collectée par la région P₃ et l'autre partie est collectée par le mur P⁺. Un courant de trous, équivalent au courant de l'IGBT latéral, circule alors à travers le mur P⁺ et la région P₁ pour atteindre l'anode et développe ainsi une chute de tension dans cette zone. Une fois que cette tension atteint 0,7 V, la jonction P₁/N⁺₁ devient passante, ce qui permet le déclenchement de la section thyristor P⁺₂N⁻P₁N⁺₁.

En supposant que tout le courant de l'IGBT latéral passe à travers le mur P⁺, la condition de déclenchement peut être exprimée par la relation : $V_{R1} = R_1 \cdot I_{IGBT} = 0,7V$ où R_1 est la résistance matérialisant la région P₁ au-dessus de N⁺₁.

b- Résultats de simulations qualitatives du MOS-thyristor bidirectionnel

La structure simulée sous SentaurusTM [24-27] a un substrat d'épaisseur 300μm et dopé à $1.10^{14}cm^{-3}$. Les concentrations en surface du N⁺_{1,4}, P⁺₂ et P_{1,3,4} sont respectivement $1.10^{20}cm^{-3}$, $2,4.10^{19}cm^{-3}$ et $5.10^{17}cm^{-3}$. Les profondeurs de jonctions des diffusions N⁺_{1,4}, P⁺₂ et P_{1,3,4} sont respectivement 2 μm, 5 μm et 5 μm. Le mur P⁺ a une largeur de 10 μm et un dopage de $1.10^{19}cm^{-3}$.

i- Etat passant

Premier quadrant

Les résultats de simulation de la structure dans le premier quadrant sont donnés sur la figure [I.19](#). La figure I.19.a donne les lignes de courant dans la structure pour un fonctionnement en mode IGBT, la densité du courant la traversant est de l'ordre de 3 A/cm². La figure I.19.b montre les lignes de courant dans la structure en mode thyristor, la densité du courant traversant la structure est de l'ordre de 100 A/cm². Il est à noter que la longueur de la diffusion N⁺ de cathode utilisée dans ces simulations est 100 μm et le "facteur de surface" est 1000. La caractéristique $I_A(V_{AK})$ de la structure simulée pour différentes longueurs L_{N+} est donnée sur la figure I.19.c.

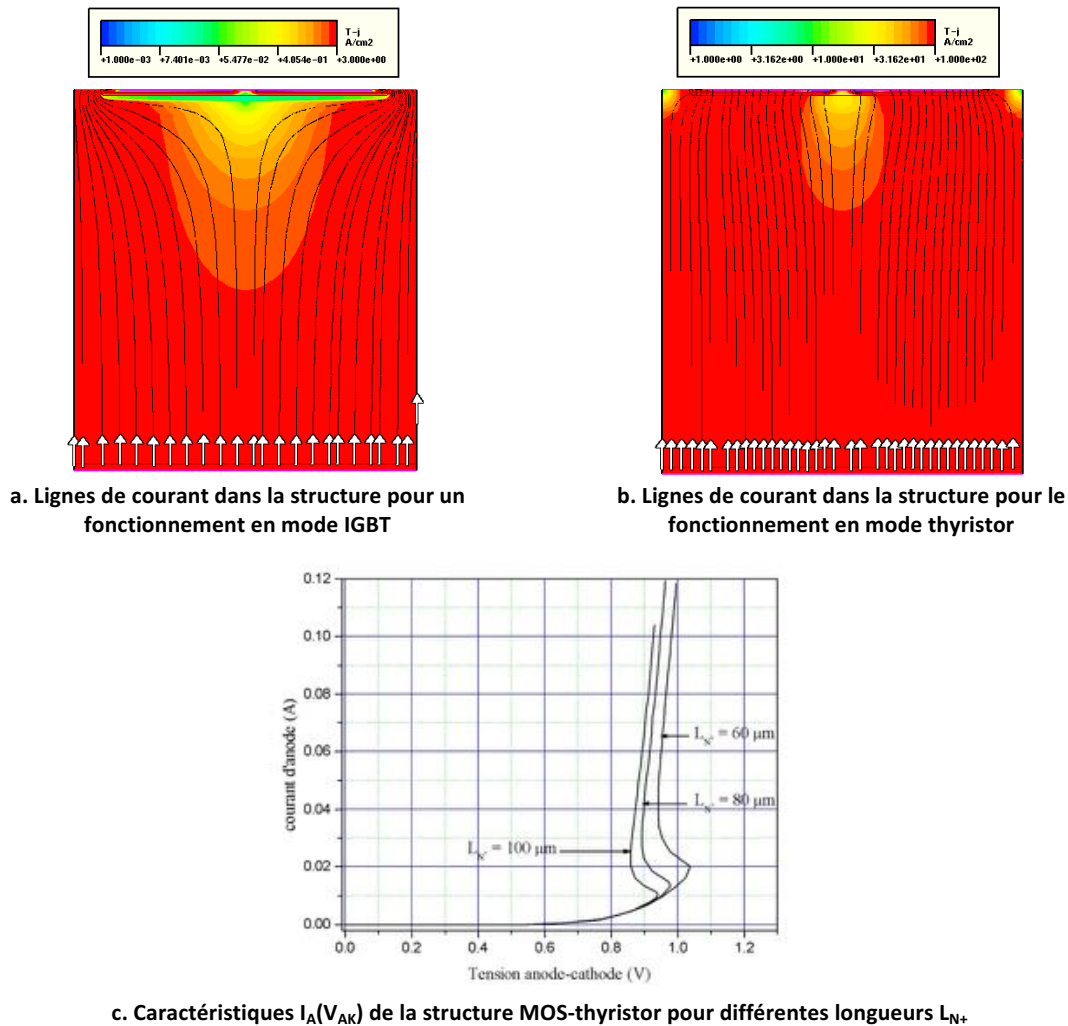
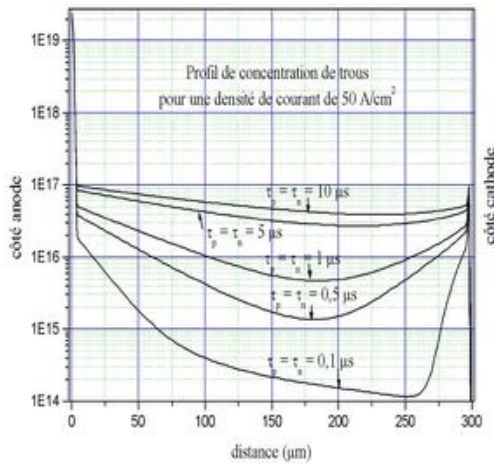


Figure I. 19 : Lignes de courant en fonction du mode de fonctionnement du MOS-thyristor bidirectionnel et ses caractéristiques $I_A(V_{AK})$

- **Effet de la durée de vie des porteurs sur la chute de tension V_{on} :**

La durée de vie des porteurs dans les composants de puissance est un paramètre important car il joue un rôle sur la tension de retournement, le temps de commutation et la chute de tension à l'état passant. Sur la figure [I.20](#), nous avons tracé pour différentes valeurs de durée de vie le profil de concentration de trous dans la zone N^- et nous avons relevé la chute de tension correspondant à une densité de courant de 50 A/cm^2 . On constate que la diminution de la durée de vie des porteurs dans la zone de drift N^- conduit à une faible modulation de la conductivité de la zone N^- et par conséquent à une augmentation de la chute de tension à l'état passant.



Durée de vie des porteurs dans la zone (N ⁻) $\tau_p = \tau_n$	Chute de tension à l'état passant (pour J=50A/cm ²)
0,1 μ s	17,5 V
0,5 μ s	2,55 V
1 μ s	1,5 V
5 μ s	0,98 V
10 μ s	0,94 V

Figure I. 20 : Profils de concentrations de trous et chute de tension à l'état passant pour différentes valeurs de durée de vie

Troisième quadrant

La vue en coupe de la structure permettant de vérifier le fonctionnement dans le 3^{ème} quadrant est donnée sur la figure I.21. L_{N+} représente la longueur de la diffusion N⁺ de la partie du thyristor situé à l'extrême gauche de la section thyristor conduisant dans le troisième quadrant.

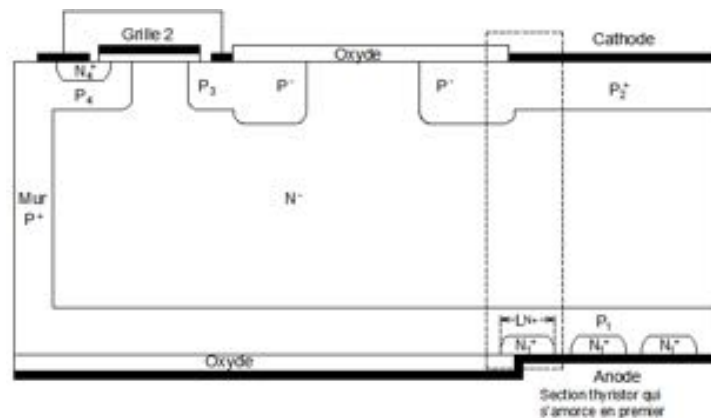


Figure I. 21 : Structure MOS-thyristor bidirectionnel simulée dans le troisième quadrant

Les résultats de simulations donnés sur la figure I.22 montrent les lignes de courant à différentes phases de la mise en conduction de ce dispositif. On constate qu'au tout début de la mise en conduction de la structure, une partie du courant de trous circule latéralement de la région de cathode pour atteindre l'électrode flottante FOC1 et l'autre partie est collectée par le mur P⁺. Un courant de trous, équivalent au courant de l'IGBT latéral circule alors à travers le mur P⁺ et latéralement à travers la région P1 et au-dessus de la diffusion N⁺₁ pour atteindre l'électrode d'anode (figure I.22.a). Pour un courant de trous suffisant, la chute de tension due au passage d'une manière latérale du courant de trous dans la région P₁ permet la mise en conduction de la jonction P₁/N⁺₁. Par conséquent, la région N⁺₁ commence l'injection d'électrons dans la zone P₁ ce qui permet d'amorcer l'action régénératrice entre les deux transistors bipolaires constituant la section thyristor la plus éloignée à gauche de la structure comme le montre la figure I.22.b. Une fois cette section thyristor amorcée, le déclenchement se propage pour atteindre toutes les autres sections thyristors constituant la structure, permettant la conduction dans ce quadrant, comme le montre la figure I.22.c. Lorsque la structure fonctionne en mode thyristor, le courant circulant dans la structure n'est plus contrôlé par le transistor MOS.

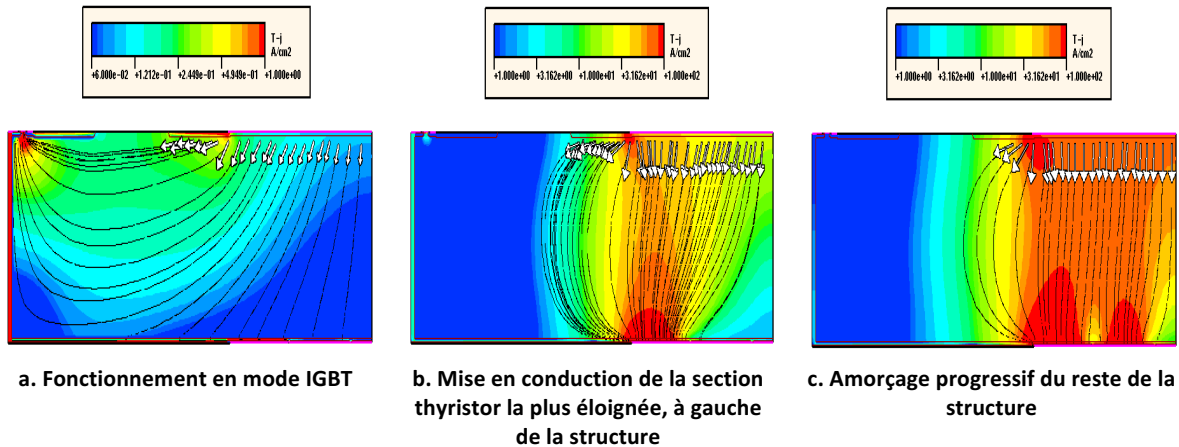


Figure I. 22 : Distribution des lignes de courant dans la structure MOS-thyristor bidirectionnel durant les différentes phases de mise en conduction

- **Influence de la longueur L_{N^+} sur le déclenchement dans le troisième quadrant :**

Afin de vérifier que la section thyristor placée à l'extrémité de la structure a un rôle déterminant permettant de fixer le niveau de déclenchement de la structure entière dans le troisième quadrant, nous avons fait varier la longueur L_{N^+} et nous avons tracé un réseau de courbes sur la figure I.23. On constate que l'augmentation de la longueur L_{N^+} permet d'obtenir un déclenchement de la section thyristor pour un courant d'IGBT latéral plus faible.

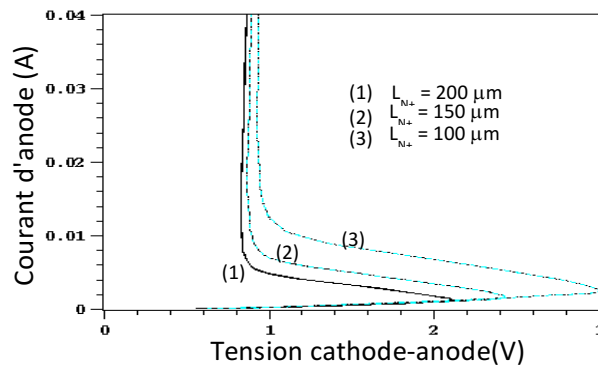


Figure I. 23 : Courant d'anode en fonction de la tension anode-cathode pour différentes valeurs de L_{N^+} dans la structure MOS-thyristor bidirectionnel

ii- Etat bloqué

Premier quadrant

La tenue en tension dans ce quadrant s'effectue exactement comme décrit précédemment.

Troisième quadrant

Pour la simulation de la structure à l'état bloqué, une longueur de $150\mu\text{m}$, une profondeur de $7\mu\text{m}$ et une dose de $1,3 \cdot 10^{12} \text{ At/cm}^2$ de la zone P^- sont utilisées et la distribution des lignes équipotentielles dans la structure pour une tension d'anode négative appliquée à l'anode est donnée sur la figure I.24.a. On constate que ces lignes équipotentielles s'étalent du côté de la zone faiblement dopé N^- et que le mur P^+ joue un rôle important dans la tenue en tension inverse [28]. La figure I.24.b montre le courant d'anode en fonction de la tension anode-cathode. On constate que la tension de retournement est de l'ordre de 1300V .

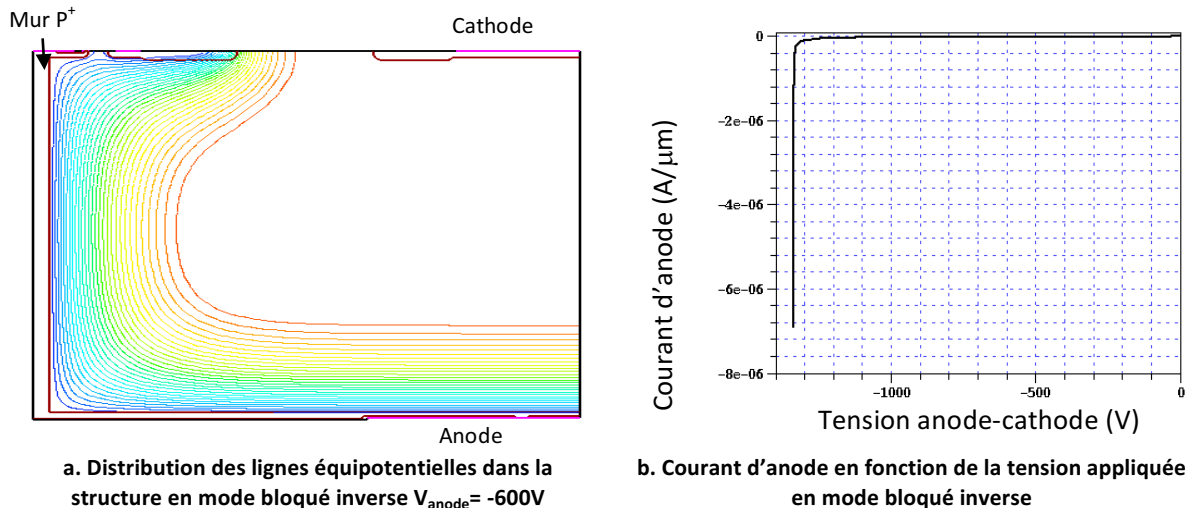


Figure I. 24 : (a) Lignes équipotentielles et (b) courant d'anode dans le MOS-thyristor bidirectionnel en mode bloqué inverse

iii- Etude de la commande à l'ouverture

Des résultats de simulations obtenus dans le cadre des travaux de A. El Khadiry au LAAS dans le cadre du projet Tours2015 sur cette structure, notamment sur les possibilités de commande à l'ouverture du MOS-thyristor bidirectionnel [22] sont résumés dans ce paragraphe.

Reprenons la structure donnée sur la figure [I.17](#). Les modifications apportées concernent principalement la région de la cathode par insertion notamment d'une section NMOS en surface. Ainsi, la nouvelle structure, étudiée par simulations, est représentée sur la figure [I.25](#).

Ce composant est commandé respectivement par les deux grilles (Grille1 et Grille2). Sa face avant est formée par deux régions, la région de la Grille1, notée cellule 1 sur la figure [I.25](#) et la région de la Grille2, notée cellule 2. La cellule 1 est composée de quatre diffusions, trois diffusions de type P (P_2 , P_3 et P' pour la JTE) et une diffusion de type N (N_2) [29]. Ces diffusions forment deux transistors NMOS et PMOS commandés par la même grille (Grille1) par rapport à l'électrode de référence de la cathode reliée à la masse. La cellule 2 est composée de trois diffusions, deux de type P (P_4 et P') et une de type N (N_4). Ces diffusions forment un transistor NMOS commandé par la Grille2 par rapport à l'électrode de l'anode.

La face arrière du composant est formée par deux diffusions (P_1 et N_1) court-circuitées par l'électrode d'anode. La couche N_1 est positionnée en face de la cellule 1.

La conduction dans la structure est verticale tandis que la tenue en tension est à la fois verticale et latérale. La structure est entourée par un mur P^+ qui traverse entièrement le substrat pour la tenue en tension inverse.

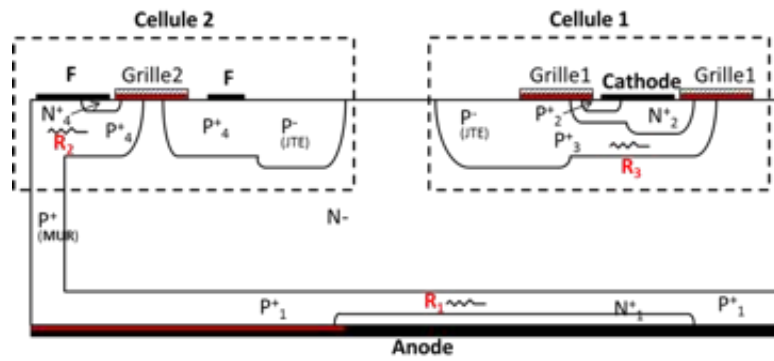


Figure I. 25 : Coupe verticale de la structure MOS-Thyristor bidirectionnelle étudiée

Premier quadrant

Les conditions du fonctionnement du MOS-thyristor bidirectionnel dans le premier quadrant se résument par : $V_{Anode} > V_{Cathode}$; $V_{Grille1-Cathode}=15V$ et $V_{Grille2-Anode}=0V$.

Le fonctionnement de la structure dans le premier quadrant a été vérifié. Le composant est commandable à la fermeture et à l'ouverture par application d'une tension positive sur la grille 1. La figure I.26 illustre le schéma électrique équivalent de la structure lors de son fonctionnement dans le premier quadrant ainsi que la caractéristique I(V) correspondante. Alors que la commutation est illustrée sur le graphe de la figure I.27.

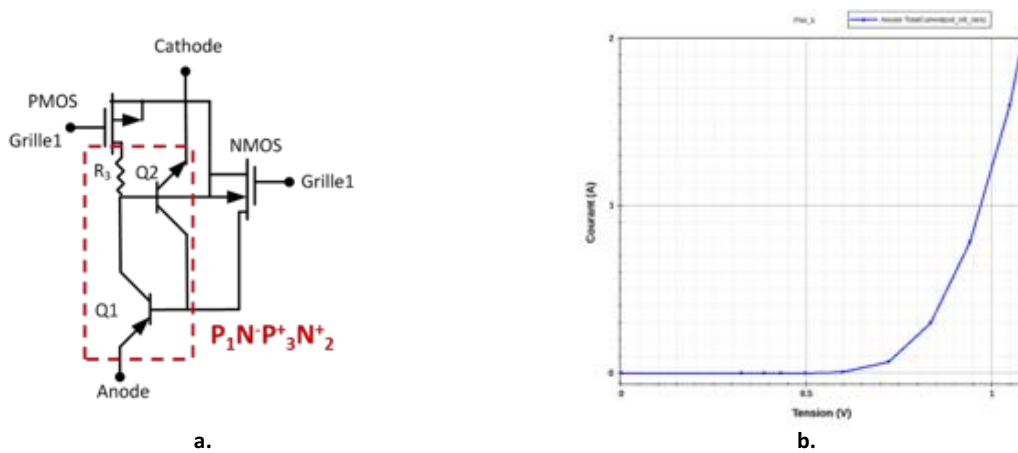


Figure I. 26 : (a) Schéma électrique équivalent de la structure MOS-thyristor et (b) caractéristique statique I(V) dans le 1^{er} quadrant

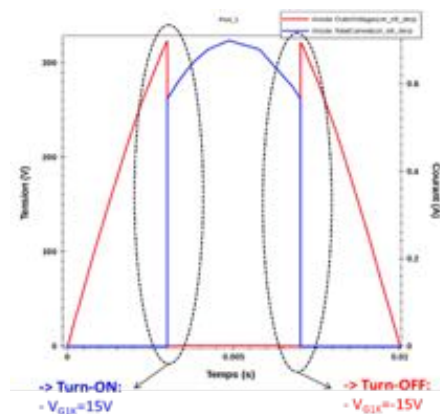


Figure I. 27 : Fonctionnement du MOS-thyristor dans l'alternance positive pour $V_{AK}= 400\sin100\pi t$

Troisième quadrant

Les conditions du fonctionnement dans le troisième quadrant : $V_{Anode} < V_{Cathode}$; $V_{Grille1-Cathode} = -15V$ et $V_{Grille2-Anode} = 15V$.

Le fonctionnement de la structure dans le troisième quadrant a été également étudié. Le composant est contrôlable à la fermeture (figure I.29). En revanche, l'ouverture du composant s'avère complexe. En effet, les résultats de simulations 2D ont mis en évidence la présence d'un transistor bipolaire parasite qui s'enclenche et empêche l'ouverture du composant dans ce quadrant.

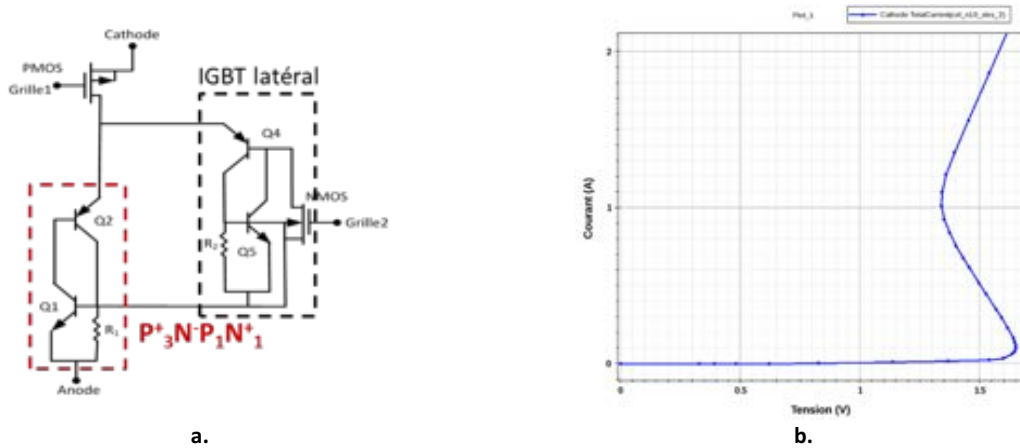


Figure I. 28 : (a) Schéma électrique équivalent de la structure MOS-thyristor et (b) caractéristique statique I(V) dans le 3^{ème} quadrant

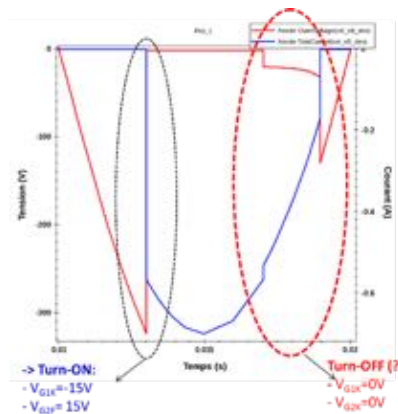


Figure I. 29 : Fonctionnement du MOS-thyristor dans l'alternance négative pour $V_{AK} = 400\sin 100\pi t$

Plusieurs solutions ont été proposées pour s'affranchir du bipolaire parasite, aucune ne permet d'avoir une commande maîtrisée de l'ouverture dans le troisième quadrant.

c- Bilan de l'étude de la structure MOS-thyristor bidirectionnelle

Le tableau suivant résume les performances de la structure MOS-Thyristor bidirectionnelle actuelle :

Epaisseur (W_N)	Tension de retournement $\tau_p = \tau_n = 10 \mu s$	$V_{on} (J = 50 A/cm^2)$ $\tau_p = \tau_n = 10 \mu s$	Fermeture	Ouverture	Bidirectionnelle en courant	Bidirectionnelle en tension
300 μm	$\pm 600 V$	de l'ordre de 1V	oui	Complexe	oui	oui

Tableau I. 1 : Performances du MOS-Thyristor bidirectionnel

3.2- Structure 2 : IGBT bidirectionnel double-face

a- Principe de fonctionnement

La vue en coupe de la structure IGBT bidirectionnel en courant et en tension [21] est représentée en figure I.30. Elle est constituée essentiellement de deux sections MOS disposées en face à face sur les faces avant et arrière d'un substrat silicium faiblement dopé N^- . En polarisation directe, la tension anode-cathode est positive. Tant qu'aucune tension positive entre grille-1 et cathode n'est appliquée, aucun courant ne traverse la structure et le dispositif est à l'état bloqué direct. Dans ce cas, c'est la jonction P^+/N^- face avant qui supporte la tension. L'application d'une tension entre grille-1 et cathode et entre grille 2 et anode positives et suffisantes, permet de créer une couche d'inversion sous les grille-1 et grille-2 et par conséquent la formation de deux canaux de type N sous les deux grilles, ce qui permet de connecter les régions N^+ (face avant et face arrière) à la région drift N^- . La tension de grille appliquée crée également une couche d'accumulation dans la région N^- sous la grille-1. Du fait de la présence des deux canaux, un courant d'électrons circule alors de la région N^+ face avant vers la couche d'accumulation créée. Ce courant circule ensuite verticalement dans le substrat N^- pour atteindre la région N^+ face arrière côté anode (figure I.30). Tant que la chute de tension aux bornes du canal du MOS face arrière reste inférieure à 0,7V, la structure fonctionne en mode VDMOS. Dès que la chute de tension aux bornes du canal du MOS atteint 0,7V, la jonction P^+/N^- devient passante et la structure passe d'un fonctionnement VDMOS à un fonctionnement de type IGBT.

En polarisation inverse, la tension anode-cathode est négative. Le fonctionnement est exactement identique à celui de l'état passant direct, à la différence que le courant et la tension sont inversés.

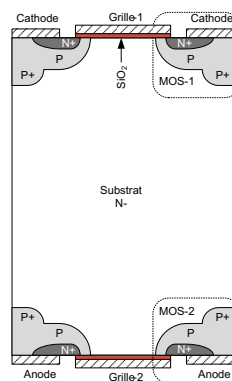
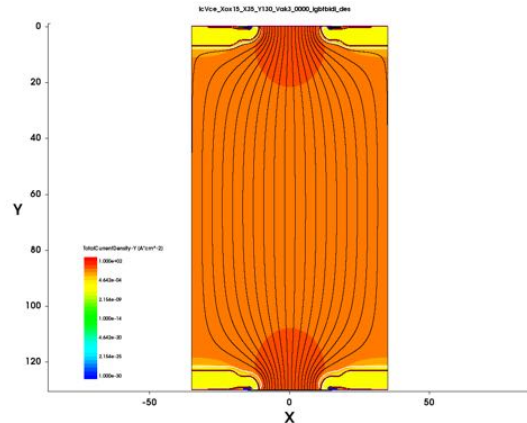
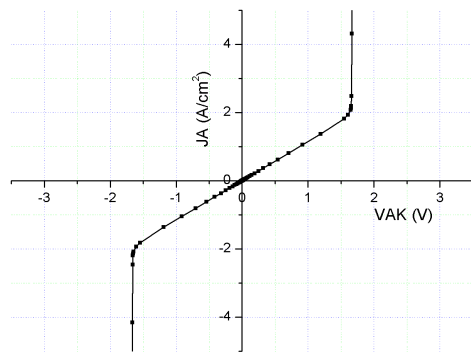


Figure I. 30 : Vue en coupe de la structure IGBT bidirectionnel [21]

b- Simulations qualitatives de l'IGBT bidirectionnel double face

Le fait qu'un canal MOS est créé sur la face avant et sur la face arrière de l'IGBT bidirectionnel permet à la structure de faire transiter un courant même pour une tension inférieure à 0,7V (tension de seuil de la jonction P^+/N^-). Pour des densités de courant faibles, la chute de tension à l'état passant est inférieure à 1V (figure I.31.a). De ce fait, une surface de silicium importante est nécessaire pour faire passer 0,5A. La figure I.31.b montre la répartition des lignes de courant pour le mode de fonctionnement VDMOS.



a. Caractéristiques $I_A(V_{AK})$ de l'IGBT bidirectionnel à faible densité de courant (mode VDMOS)

b. Répartition des lignes de courant pour le mode VDMOS

Figure I. 31 : (a) Caractéristiques $I_A(V_{AK})$ et (b) lignes de courant dans l'IGBT bidirectionnel en mode VDMOS

c- Bilan de l'étude de la structure IGBT bidirectionnel

Le tableau suivant résume les performances de la structure IGBT bidirectionnel :

Epaisseur (W_N)	Tension de retournement $\tau_p = \tau_n = 10 \mu s$	V_{on} ($J = 50$ A/cm ²) $\tau_p = \tau_n = 10 \mu s$	Fermeture	Ouverture	Bidirectionnelle en courant	Bidirectionnelle en tension
130 μm	± 600 V	V_{ON} d'un VDMOS	oui	oui	oui	oui

Tableau I. 2 : Performances de l'IGBT bidirectionnel

3.3- Structure 3 : IGBT-thyristor bidirectionnel à électrodes coplanaires

a- Principe de fonctionnement

La vue en coupe de la structure IGBT bidirectionnelle en courant et en tension à électrodes coplanaires [21] est représentée sur la figure I.32. Elle est constituée de deux parties partiellement séparées par une tranchée remplie d'un diélectrique. Chaque partie est essentiellement composée d'un IGBT et d'un thyristor montés en tête-bêche. Toutes les diffusions de la face arrière de cette structure P^+ , P et N^+ sont court-circuitées par une électrode flottante (F).

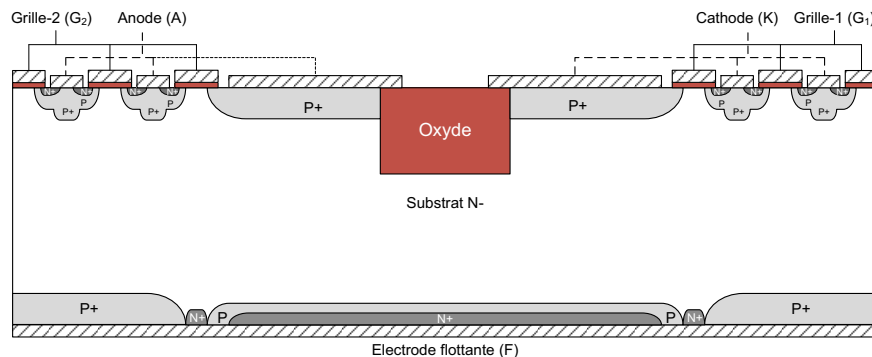


Figure I. 32 : Vue en coupe de la structure IGBT-Thyristor bidirectionnelle à électrodes coplanaires [21]

Dans le premier quadrant, la tension anode-cathode est positive. La mise en conduction de cette structure se fait par application d'une tension positive et suffisante sur la grille G_1 par rapport à la

cathode K. Par conséquent, un canal N se crée sous l'oxyde de la grille G_1 qui permet de relier la région du substrat N^- à la cathode K. De ce fait, un courant circule de l'anode vers la cathode en suivant le chemin défini par la diode $P_1^+N^-N_1^+$, l'électrode F, la région inter-diffusion N^+ , la région de drift N^- et finalement le canal N. À de faibles niveaux de courant, cette structure est équivalente à une diode PiN en série avec un MOSFET. Quand le courant augmente, dans la première partie de cette structure, la circulation des trous collectés par la région P_1 développe une tension suffisante aux bornes de la résistance R_{P1} de cette région P_1 qui permet de polariser la jonction $P_1^+N_1^+$ en direct et par conséquent permet l'amorçage du thyristor $P_1^+N^-P_1N_1^+$. Simultanément, dans la seconde partie de cette structure, le courant circulant à travers la région inter-diffusion N^+ développe une tension suffisante aux bornes de la résistance matérialisée par la région N^+ , ce qui polarise la jonction $P_3^+N^-$ en direct et permet l'injection de trous de la région P_3^+ vers la région N^- . À ce niveau de courant, la structure est équivalente à un thyristor en série avec un IGBT (figure I.33.a). Le courant, dans l'ensemble de la structure, circule verticalement de l'anode vers la cathode à travers le thyristor et l'IGBT. Le circuit électrique équivalent dans le premier quadrant est donné sur la figure I.33.b.

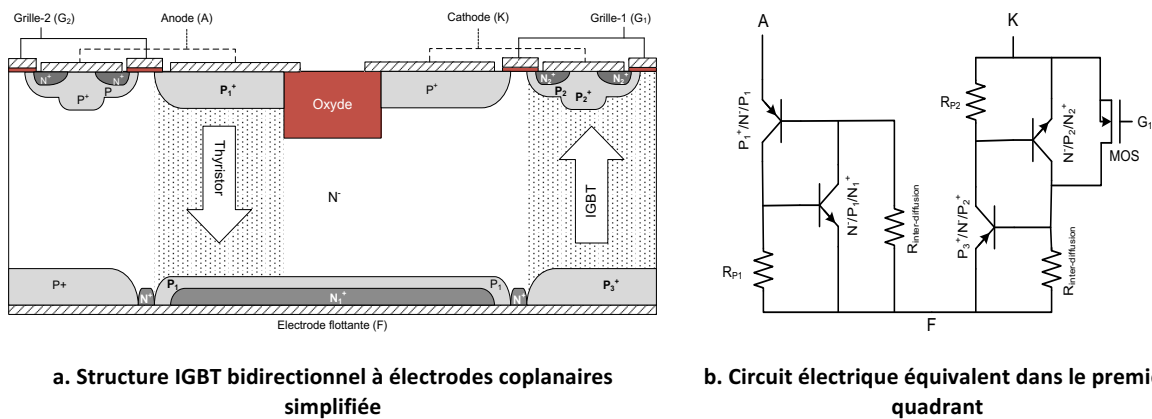


Figure I. 33 : IGBT bidirectionnel à électrodes coplanaires (a) structure simplifiée et (b) circuit électrique équivalent

Le passage du mode PiN au mode thyristor dans la section située à gauche de cette structure, ainsi que le passage du mode MOSFET au mode IGBT dans la section située à droite, dépendent des paramètres physiques et géométriques des diffusions de la face arrière. Si la région P de la face arrière est plus large ou moins dopée, l'amorçage du thyristor aura lieu plus rapidement car la tension aux bornes de la résistance R_p polarisant la jonction P/N^+ de la face arrière atteint la valeur nécessaire (0,7V) à la mise en conduction de cette jonction pour un courant plus faible. Le passage d'un mode VDMOS à un mode IGBT dépend de la résistance matérialisant la région inter-diffusions N^+ : plus elle est large, plus le courant nécessaire à la mise en conduction de la jonction P_3^+/N^- permettant le passage d'un mode MOSFET à un mode IGBT, est élevé.

b- Simulations qualitatives de l'IGBT-thyristor bidirectionnel à électrodes coplanaires

La vue en coupe de la structure simulée sous SentaurusTM est représentée sur la figure I.34. Elle est essentiellement constituée de deux sections partiellement séparées par une tranchée de diélectrique et en l'occurrence d'oxyde. Chaque section est constituée d'un IGBT et d'un thyristor auto-amorçable montés en tête-bêche. Afin de se rapprocher au maximum de la structure réelle, il est nécessaire de simuler une structure de dimensions suffisamment larges. Une structure à seize cellules IGBT a été simulée. Les paramètres géométriques et physiques de la structure simulée sont regroupés dans le tableau I.3.

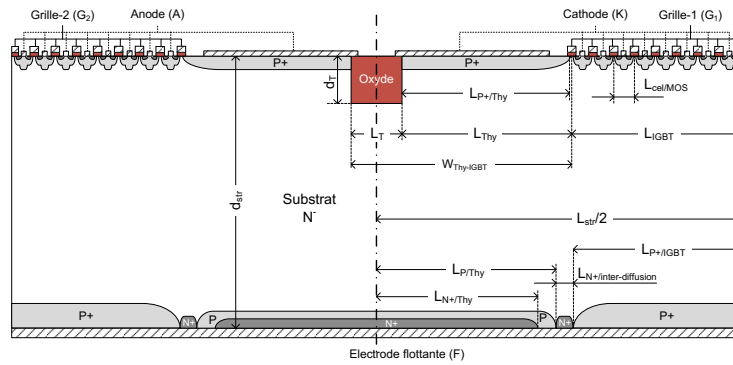


Figure I. 34 : Structure IGBT-thyristor bidirectionnelle à électrodes coplanaires avec seize cellules IGBT

	Régions	Dimension (μm)	Concentration en surface (cm^{-3})	
IGBT	Cellule MOS	SiO ₂	$L_{\text{grille}} = 30$ $e_{\text{ox}} = 0.05$	-
		P	$L_{\text{p}} = 40$ $X_{\text{p}} = 5$	5×10^{17}
		P ⁺	$L_{\text{p}^+} = 26$ $X_{\text{p}^+} = 7$	5×10^{19}
		N ⁺	$L_{\text{N}^+} = 14$ $X_{\text{N}^+} = 1$	10^{20}
		Canal	$L_{\text{CH}} = 3.2$	-
		N ⁻	$L_{\text{cel/MOS}} = 70$ $d_{\text{str}} = 200$	10^{14}
	P ⁺ face arrière	$L_{\text{p}^+/\text{IGBT}} = 545$ $X_{\text{p}^+/\text{IGBT}} = 7$	5×10^{19}	
N ⁻	$L_{\text{IGBT}} = 8 \times L_{\text{cel}} = 560$ $d_{\text{str}} = 200$	10^{14}		
Thyristor	P ⁺	$L_{\text{p}^+/\text{Thy}} = L_{\text{p}^+/\text{IGBT}} = 545$ $X_{\text{p}^+} = 7$	5×10^{19}	
	N ⁻	$L_{\text{Thy}} = L_{\text{IGBT}} = 560$ $d_{\text{str}} = 200$	10^{14}	
	P	$L_{\text{p}/\text{Thy}} = L_{\text{p}^+/\text{Thy}} + (L_{\text{T}}/2) = 585$ $X_{\text{p}} = 5$	5×10^{19}	
	N ⁺	$L_{\text{N}^+/\text{Thy}} = L_{\text{p}/\text{Thy}} - 5 = 580$ $X_{\text{N}^+} = 1$	10^{20}	
Tranchée	SiO ₂	$L_{\text{T}} = 80 \mu\text{m}$ $d_{\text{T}} = 20 \mu\text{m}$	-	
Inter-diffusion	N ⁺	$L_{\text{N}^+/\text{inter-diffusion}} = 19.3$ $X_{\text{N}^+} = 1$	10^{20}	

· La distance latérale qui sépare la section d'IGBT de la section thyristor est $W_{\text{Thy-IGBT}} = L_{\text{Thy}} + L_{\text{T}} = 640 \mu\text{m}$
· La largeur totale de la structure est $L_{\text{str}} = 2(L_{\text{IGBT}} + L_{\text{Thy}}) + L_{\text{T}} = 2320 \mu\text{m}$
· L'épaisseur de la structure est $d_{\text{str}} = 200 \mu\text{m}$

Tableau I. 3 : Paramètres physiques et géométriques utilisés pour la simulation de la structure IGBT bidirectionnelle à électrodes coplanaires.

i- Etat bloqué

À l'état bloqué direct, la tension anode-cathode est positive et les électrodes de grille-1 et de grille-2 sont reliées respectivement à la cathode et à l'anode afin d'éviter la création de canaux sous les deux grilles. La jonction P⁺/N⁻ du côté cathode se trouve ainsi polarisée en inverse. Du fait de la tension appliquée, une zone de charge d'espace s'étale verticalement essentiellement dans le substrat N⁻ et sous la tranchée remplie d'oxyde. La tenue en tension de cette structure dépend par conséquent non seulement des propriétés physiques et géométriques du substrat N⁻, mais également des propriétés géométriques de la tranchée remplie d'oxyde.

- **Influence des paramètres géométriques de la tranchée :**

L'épaisseur de la structure a été fixée à $200\mu\text{m}$ et différentes largeurs et profondeurs de la tranchée ont été utilisées. Pour une largeur fixe $L_T = 80\mu\text{m}$, les caractéristiques $I_A(V_{AK})$ pour des profondeurs $d_T = 20$, $d_T = 30$ et $d_T = 40\mu\text{m}$ sont données sur la figure [I.35.a](#). Pour une profondeur de tranchée $d_T = 20\mu\text{m}$, les résultats obtenus pour des largeurs $L_T = 60$, $L_T = 80$ et $L_T = 100\mu\text{m}$ sont donnés sur la figure [I.35.b](#).

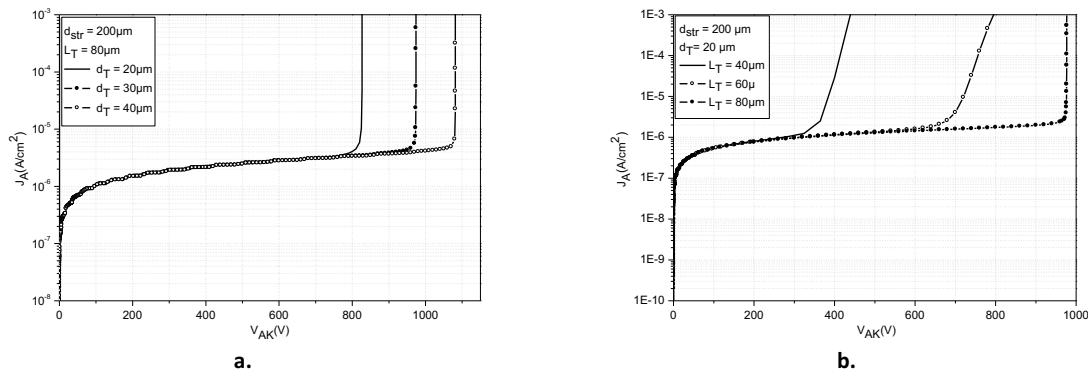
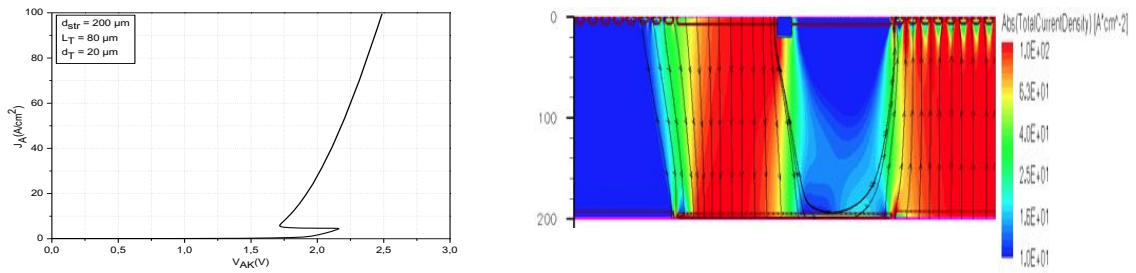


Figure I. 35 : Tenue en tension en fonction (a) de la profondeur d_T et (b) de la longueur L_T de la tranchée dans l'IGBT bidirectionnel à électrodes coplanaires

Nous constatons que plus la tranchée est large ou profonde, plus la tension de claquage est élevée. En effet, si la tranchée est suffisamment large et profonde, c'est l'extension verticale de la zone de déplétion dans le substrat N^- qui sera favorisée. Dans ces conditions, la tension de claquage est limitée soit par un claquage par avalanche de la jonction polarisée en inverse, soit par le perçage pour le cas où l'épaisseur de la région N^- est inférieure à l'épaisseur de la zone de charge d'espace. Par contre, si la tranchée est étroite ou moins profonde, la tenue en tension supportée sera faible. En effet, si la tranchée est étroite, la largeur de plaque de champ est insuffisante pour protéger la jonction P^+/N^- , et cela conduit à un claquage prématuré de la jonction. Si la tranchée est moins profonde, la ZCE s'étalera dans la région N^- sous la tranchée jusqu'à l'électrode d'anode.

ii- Etat passant

La caractéristique $I_A(V_{AK})$ obtenue est donnée sur la figure [I.36.a](#). Le retournement que l'on observe sur cette caractéristique est lié au déclenchement du thyristor interne de la structure. Ce retournement se produit dès que la jonction P/N^+ de la face arrière devient passante. Cette jonction devient passante dès que la tension développée aux bornes de la résistance R_P de la région P atteint la tension de mise en conduction de la jonction P/N^+ (de l'ordre de $0,7\text{V}$). Pour une tension anode-cathode positive, la répartition des lignes de courant dans la structure pour un niveau de densité de courant d'anode de l'ordre de $J_A = 100\text{A/cm}^2$ est représentée sur la figure [I.36.b](#). Le courant dans la structure circule verticalement à travers la section du thyristor dans la première partie (de l'anode vers l'électrode flottante), puis à travers l'IGBT dans la deuxième partie de cette structure (de l'électrode flottante vers la cathode). Par conséquent, la chute de tension à l'état passant correspond à la somme de celle aux bornes du thyristor et de celle aux bornes de l'IGBT.



a. Caractéristique $I_A(V_{AK})$ à l'état passant de la structure IGBT bidirectionnelle à électrodes coplanaires b. Répartition des lignes de courant à l'état passant

Figure I. 36 : (a) Caractéristiques $I_A(V_{AK})$ et (b) lignes de courant à l'état passant de l'IGBT bidirectionnel à électrodes coplanaires

c- Bilan de l'étude de la structure IGBT bidirectionnel à électrodes coplanaires

Le tableau suivant résume les performances de la structure IGBT bidirectionnel à électrodes coplanaires :

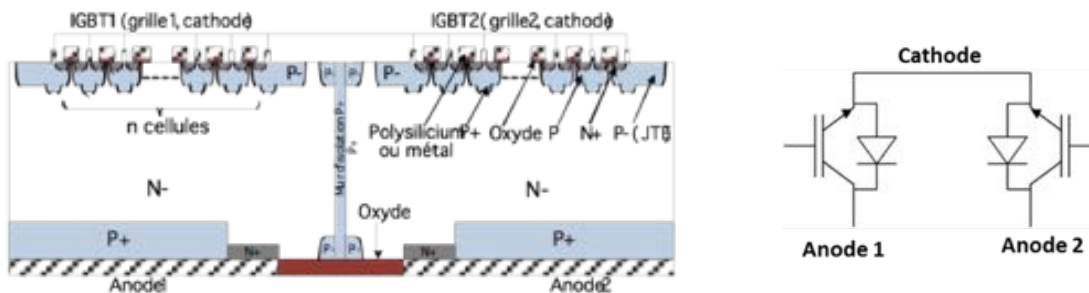
Epaisseur (W_N)	Tension de retournement	V_{on}	Fermeture	Ouverture	Bidirectionnelle en courant	Bidirectionnelle en tension
130 μm	± 600 V	élevée	oui	oui	oui	oui

Tableau I. 4 : Performances de l'IGBT bidirectionnel à électrodes coplanaires

3.4- Structure 4 : IGBT bidirectionnel à électrodes coplanaires et à cathode commune

a- Principe de fonctionnement

La puce est composée de deux structures IGBT à conduction inverse [30-31] (figure I.37). Chaque structure IGBT à conduction inverse est constituée d'un IGBT qui assure la conduction directe et d'une diode PiN qui assure la conduction inverse [23,32]. Ces deux structures sont séparées l'une de l'autre par un mur P^+ (ou un isolant) qui traverse entièrement le substrat silicium. Les électrodes de cathode sont reliées entre elles en surface. En effet, dans le cas de la structure à cathode commune, la différence de potentiel est appliquée entre les deux électrodes d'anode (anode1 et anode 2). De plus, du fait que les deux sections partagent le même substrat N^- , une séparation matérielle entre les deux sections est obligatoire. Cette séparation est matérialisée dans le cas de cette structure par le mur P^+ .



a. Vue en coupe de la structure

b. Symbole électrique

Figure I. 37 : IGBT bidirectionnel à électrodes coplanaires et à cathode commune (a) Vue en coupe et (b) symbole électrique

Pour l'utilisation de la structure en tant qu'interrupteur sur le réseau alternatif, seules les électrodes d'anode pour la puce à cathode commune sont utilisées, la troisième électrode (la cathode) restant flottante. La tension alternative est appliquée entre l'anode1 et l'anode2. Le courant durant chaque alternance circule à travers un IGBT et une diode PiN. La commande des grilles MOS s'effectue par rapport à l'électrode de cathode. La chute de tension à l'état passant est donc composée de la chute de tension aux bornes de l'IGBT et de la chute de tension aux bornes de la diode.

b- Simulations qualitatives de l'IGBT-thyristor bidirectionnel à électrodes coplanaires et à cathode commune

i- Etat passant

À l'état passant direct, la tension anode2 - anode1 est positive. Une tension positive et supérieure à la tension de seuil est appliquée sur la gille 2 par rapport à la cathode. Un courant circule par conséquent de l'anode 1 vers l'anode 2 à travers un IGBT et une diode PiN.

À l'état passant inverse, la tension anode2 - anode1 est négative et une tension positive et supérieure à la tension de seuil est appliquée sur la gille 1 par rapport à la cathode. Un courant circule par conséquent de l'anode 2 vers l'anode 1 à travers un IGBT et une diode PiN.

La caractéristique $I_A(V_{AK})$ de la figure [I.38](#) montre que la chute de tension à l'état passant direct/inverse est supérieure à celle d'un IGBT classique.

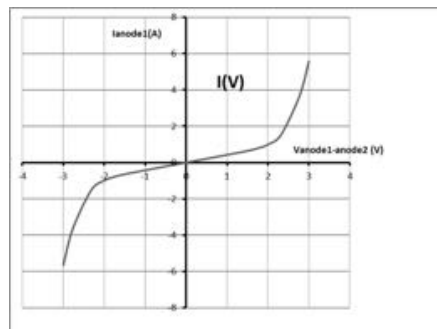


Figure I. 38 : Caractéristique $I_A(V_{AK})$ de la structure IGBT bidirectionnelle à électrodes coplanaires et à cathode commune (Surface=1cm²)

ii- Etat bloqué

Pour déterminer la tension de claquage de la structure, une tension est appliquée entre les deux électrodes anode1 et anode2 alors que les grilles de l'IGBT1 et IGBT2 sont maintenues à la masse. Pour une alternance positive, la charge d'espace s'étale dans la section RC-IGBT comme le montre la figure [I.39.a](#). Pour une alternance négative, la charge d'espace s'étale dans la section RC-IGBT de gauche (figure [I.39.b](#)).

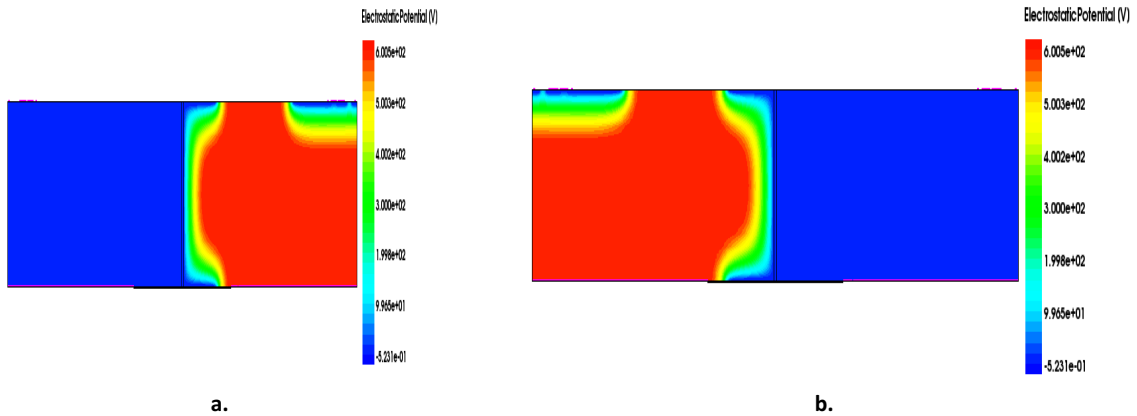


Figure 1. 39 : Répartition des lignes équipotentielles à l'état bloqué de l'IGBT bidirectionnel à électrodes coplanaires et à cathode commune : (a) pour +600V et (b) pour -600V

c- Bilan de l'étude de la structure IGBT bidirectionnel à électrodes coplanaires et à cathode commune

Les performances de l'IGBT bidirectionnel à électrodes coplanaires et à cathode commune sont regroupées dans le tableau suivant :

Epaisseur (W_N)	Tension de retournement $\tau_p = \tau_n = 10 \mu s$	$V_{on} (J = 50 A/cm^2)$ $\tau_p = \tau_n = 10 \mu s$	Fermeture	Ouverture	Bidirectionnel en courant	Bidirectionnel en tension
130 μm	$\pm 600 V$	élevée	oui	oui	oui	oui

Tableau I. 5 : Performances de l'IGBT bidirectionnel à électrodes coplanaires et à cathode commune

L'inconvénient majeur de la structure est que le courant durant chaque alternance traverse deux composants (IGBT + diode) ce qui conduirait à une chute de tension importante à l'état passant (supérieure à 2 V).

3.5- Structure 5 : La structure BipAC que nous proposons

a- Principe de fonctionnement

La structure que nous proposons ici est de type bipolaire, nous la nommerons par la suite « BipAC » (Bipolar AC switch) [33].

La vue en coupe du BipAC est représentée en figure 1.40. Il s'agit d'un transistor bipolaire de type PNP dont la région N^+ située sur la face avant de la structure est utilisée pour fournir le courant de base nécessaire au transistor PNP pour fonctionner.

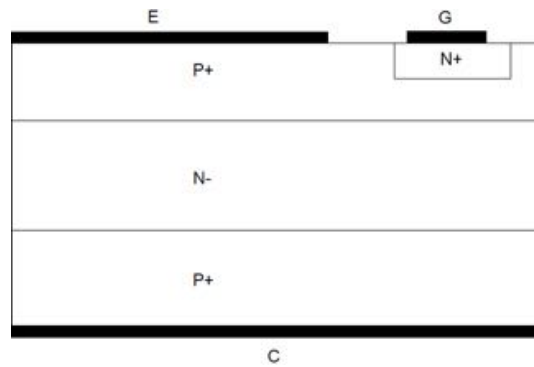
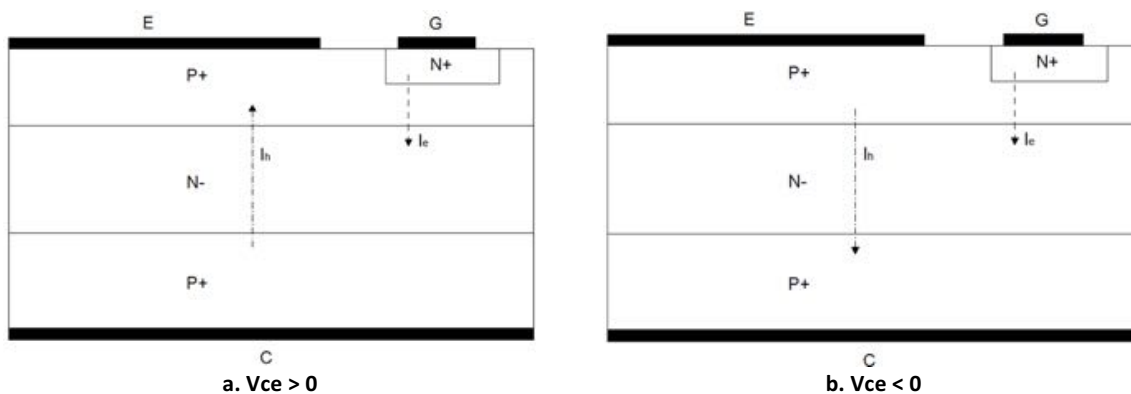


Figure I. 40 : Vue en coupe de la structure du BipAC

i- Etat passant

Dans le premier quadrant ($V_{ce} > 0$, figure [I.41.a](#)), la mise en conduction du BipAC s'effectue par l'application d'un courant de gâchette négatif (sortant). Cela permet la mise en conduction de la jonction P^+/N^+ de la gâchette. Par conséquent des électrons sont injectés dans la base P et une partie de ces électrons atteint la zone de drift N^- et constitue de ce fait le courant de base du transistor $P^+N^-P^+$. Pour des raisons de neutralité électrique dans la zone N^- , des trous sont injectés par la région P^+ du collecteur dans la zone N^- . Une partie de ces trous se recombine et l'autre est collectée par la région P^+ de l'émetteur (E).

Dans le troisième quadrant ($V_{ce} < 0$, figure [I.41.b](#)), les rôles de l'émetteur et du collecteur sont permutés (voir chapitre 2).

Figure I. 41 : Orientation des courants dans la structure en fonction de la polarité de V_{ce}

ii- Etat bloqué

À l'état bloqué, la tension gâchette-émetteur est maintenue à zéro volt. Pour une tension $V_{ce} > 0$ (respectivement $V_{ce} < 0$), c'est la jonction N^-/P^+ de la face avant (respectivement de la face arrière) qui est polarisée en inverse (voir chapitre 2).

b- Simulations qualitatives de la structure BipAC

Nous avons simulé une structure BipAC réalisable par la technologie IGBT flexible du LAAS. Les paramètres utilisés sont : largeur de la structure = 200 μm , épaisseur substrat = 130 μm , largeur de la région N^+ de cathode = 50 μm et durée de vie des porteurs : ($\tau_p = \tau_n = 10 \mu\text{s}$). Les résultats de simulations et les caractéristiques $I_c(V_{ce})$ sont donnés figure [I.42](#).

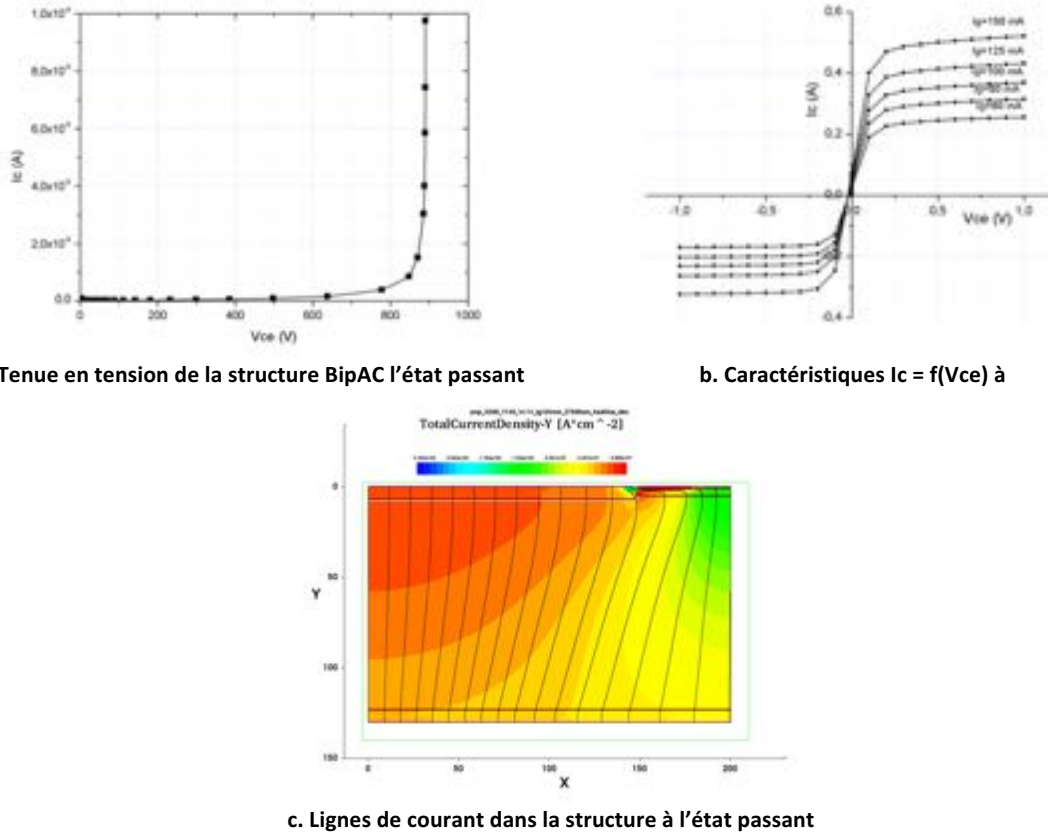


Figure I. 42 : Résultats de simulations et caractéristiques $I_c(V_{ce})$ du BipAC

c- Bilan de l'étude de la structure BipAC :

Les performances électriques de la structure BipAC sont données dans le tableau suivant :

Epaisseur (W_N)	Tension de retournement $\tau_p = \tau_n = 10 \mu s$	$V_{on} (I_c = 0,5 A)$ $\tau_p = \tau_n = 10 \mu s$	Fermeture	Ouverture	Bidirectionnelle en courant	Bidirectionnelle en tension
130 μm	$\pm 600 V$	< 1V	oui	oui	oui	oui

Tableau I. 6 : Performances du BipAC

Cette première étude permet de mettre en avant la faible chute de tension que présente le BipAC durant son fonctionnement à l'état passant. D'autre part, étant une structure bipolaire, son gain est relativement faible, a priori inférieur à 10 (figure I.42.b). Pour rendre les caractéristiques $I_c = f(V_{ce})$ complètement symétriques, il faudrait rajouter à la structure BipAC une deuxième électrode de commande située sur la face arrière de la puce et commandée par rapport à l'électrode du collecteur ce qui élimine deux des avantages du BipAC : commande par rapport à une seule électrode de référence et électrodes coplanaires.

3.6- Bilan de l'étude qualitative des cinq structures

Sur la base des descriptions données sur le fonctionnement des différentes structures ainsi que des simulations qualitatives précédentes, nous avons résumé dans le tableau suivant les caractéristiques des différentes structures afin de dégager les structures susceptibles de remplir l'ensemble des points imposés par le cahier des charges. La structure la mieux adaptée pour remplir la fonction dans le cadre du cahier des charge est ainsi la structure BipAC.

	MOS-thyristor bidirectionnelle	IGBT bidirectionnel (lithographie double face)	IGBT bidirectionnel (électrodes coplanaires)	IGBT bidirectionnel (électrodes coplanaires et à cathode commune)	Bipolaire (BipAC)
Chute de tension V_{on}	V_{on} d'un thyristor classique ($\approx 1V$)	V_{on} d'un VDMOS (ou d'un IGBT en fonction du niveau de courant)	V_{on} d'un thyristor classique + V_{on} d'un IGBT classique	V_{on} d'un IGBT classique + V_{on} d'une diode PiN classique	$< 1V$
Tenue en tension	oui	oui	oui	oui	oui
Symétrie en tension	oui	oui	oui	oui	oui
Bidirectionnalité en courant	oui	oui	oui	oui	oui
Ouverture	complexe	oui	oui	oui	oui
Fermeture	oui	oui	oui	oui	oui
Potentiel de référence de la commande	2 potentiels différents	2 potentiels différents	2 potentiels différents	1 potentiel	1 potentiel
Difficulté technologique	Mur P ⁺ traversant (tenue en tension + commande amorçage du thyristor dans le 3 ^{ème} quadrant)	Grille MOS sur les deux faces du substrat (réalisation technologique complexe)	Réalisation de la tranchée remplie d'un diélectrique.	Mur P ⁺ traversant	Mur P ⁺ traversant (tenue en tension symétrique)

Tableau I. 7 : Récapitulatif des performances des diverses structures bidirectionnelles étudiées

4- Comparaison pertes entre triac conventionnel et BipAC que nous proposons

Avant d'analyser le comportement de la structure retenue en fonction des paramètres physiques et dynamiques (voir chapitre 2), nous nous proposons d'évaluer et de comparer les pertes en régime statique des dispositifs BipAC et triac. En effet, ces deux structures sont toutes les deux bidirectionnelles en courant et en tension, dotées d'une seule électrode de commande et peuvent a priori répondre aux mêmes applications sur le réseau alternatif sinusoïdal.

Cette comparaison est basée sur un fonctionnement de type « pleine onde » qui suppose une commande maintenue sur la gâchette des dispositifs. Dans le montage d'étude représenté sur la figure I.43, les résistances R_g et R_{ch} fixent respectivement le courant de gâchette et le courant circulant entre les électrodes de puissance.

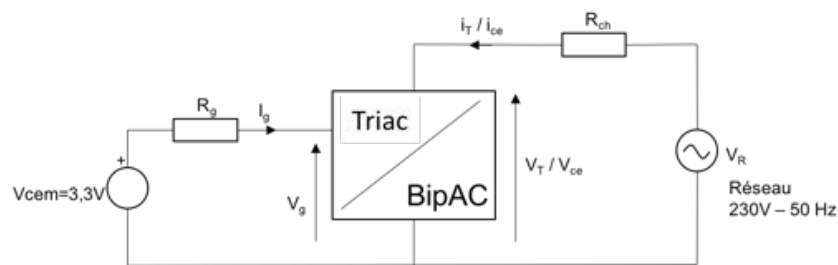


Figure I. 43 : Montage d'étude pour l'évaluation des pertes

Les paramètres fixés pour le calcul des pertes sont donnés dans le tableau ci-dessous :

	Tension de gâchette	Courant de gâchette	Chute de tension à l'état passant	Résistance dynamique
Triac	$V_g = 0,7V$	$I_g = 20mA$	$V_{Ton} = 1V$	$R_d = 0,4\Omega$
BipAC	$V_g = 0,7V$	Variable	$V_{ceON\ max} = 0,2V$	Non linéaire

Tableau I. 8 : Paramètres fixés pour le calcul des pertes

Pour des valeurs de courant dans la charge comprises entre 0,2A et 1A efficaces, nous avons présenté sur la figure I.44 l'évaluation des pertes dans les deux interrupteurs. Quelle que soit la valeur du gain statique β du BipAC ($\beta = 3,5,7$), sa faible chute de tension à l'état passant permet de rester bien en dessous des pertes dans le triac avec des valeurs inférieures à 0,5W/A.

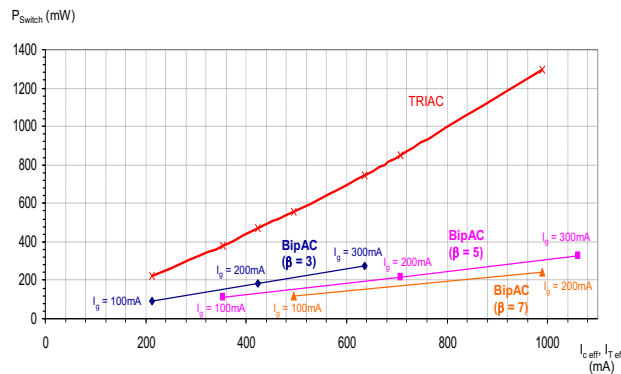


Figure I. 44 : Pertes dans les interrupteurs triac et BipAC en fonction du courant dans la charge

Comme dans le cas du transistor bipolaire de puissance, la technologie de réalisation du BipAC conduit à des valeurs de gain statique inférieures à 10. Ainsi, pour un courant de charge donné, le courant de gâchette sera d'autant plus élevé que le gain sera faible, sachant qu'il faut assurer un fonctionnement du composant dans la région de saturation. Il est donc nécessaire d'avoir une vision plus globale des pertes en prenant en compte non seulement la puissance dissipée dans l'interrupteur mais également la puissance dissipée dans la résistance de gâchette.

L'évaluation de l'ensemble des pertes en fonction du courant dans la charge est représentée sur la figure I.45. Ces caractéristiques montrent qu'en termes de dissipation le BipAC reste plus intéressant que le triac si son gain β est environ égale ou supérieur à 5 ($\beta \geq 5$) et qu'il y a par conséquent un grand intérêt à optimiser les paramètres technologiques de sa structure en vue de maximiser ce gain statique.

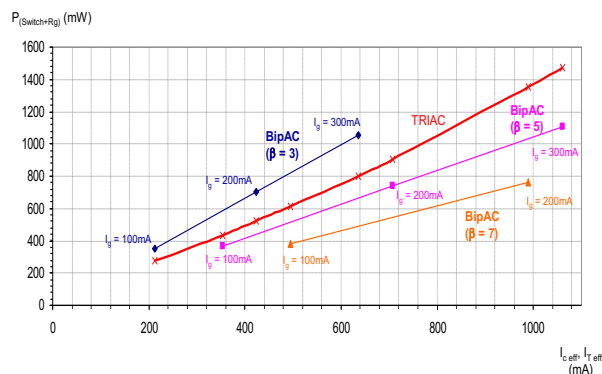


Figure I. 45 : Pertes de commutation et de commande du triac et du BipAC en fonction de son gain

Conclusion

Ce chapitre introduit les travaux de conception d'un interrupteur bidirectionnel en courant et en tension dédié à des applications à faible niveau de courant (0,8A) sur le réseau alternatif 230V-50 Hz. Dans ce contexte et jusqu'à présent, le triac est bien répandu et exploité dans une large gamme d'applications. Cependant, ses pertes à l'état passant, son courant de maintien et l'impossibilité de sa commande à l'ouverture constituent une limitation de son utilisation. D'où l'intérêt d'explorer des structures alternatives pour applications à faible niveau de courant fonctionnant sur le réseau alternatif domestique 230V – 50Hz.

Dans un premier temps, un état de l'art succinct des interrupteurs bidirectionnels a permis de mettre en évidence les principaux avantages et inconvénients des différentes structures proposées dans la littérature. Nous nous sommes ensuite basés sur des travaux menés en partie antérieurement au LAAS pour présenter des résultats de simulations 2D qui ont permis de mieux illustrer les limitations des structures interrupteurs bidirectionnels monolithiques de types IGBT et MOS-thyristor pour l'application visée. Nous avons également proposée une structure que nous appelons BipAC (Bipolar AC switch).

La première est une structure de type MOS-thyristor bidirectionnelle. Sa chute de tension est celle d'un thyristor classique de l'ordre de 1V. Elle est contrôlable à la fermeture; en revanche la commande à l'ouverture requiert une modification de la structure (insertion d'une autre section MOS). Par ailleurs, la commande doit être référencée par rapport à deux potentiels. La brique technologique à maîtriser pour cette structure est la réalisation d'un mur traversant nécessaire pour la tenue en tension ainsi que l'amorçage du composant dans le troisième quadrant.

La deuxième structure est un IGBT bidirectionnel (deux sections MOS disposées en face à face sur les faces avant et arrière du substrat). Sa chute de tension est celle d'un transistor VDMOS (pour des niveaux de courant faibles, et les deux canaux étant formés) et sa commande est référencée par rapport à deux électrodes de potentiels différents. Par ailleurs, la réalisation technique est complexe par rapport au triac du fait qu'une photolithographie double face est nécessaire. L'encapsulation est également complexe.

La troisième structure est un IGBT bidirectionnel à électrodes coplanaires composé de deux sections, chacune composée d'un IGBT et d'un thyristor montés en tête bêche. Sa chute de tension est celle d'un thyristor associée à celle d'un IGBT. Elle est également pénalisée par la nécessité de deux potentiels différents pour la commande. Sa réalisation technologique nécessite une tranchée remplie d'un diélectrique pour séparer partiellement les deux sections de la structure.

La quatrième structure est également un IGBT bidirectionnel à électrodes coplanaires et à cathode commune obtenu par l'association de deux RC-IGBT. La chute de tension de cette structure est celle d'un IGBT associée à celle d'une diode PiN. Cependant, elle présente l'avantage d'un potentiel de référence unique (flottant) pour la commande. Il est à noter qu'un mur P^+ traversant doit être réalisé pour l'isolement des deux RC-IGBT.

La cinquième structure proposée est une structure de type bipolaire dite BipAC. Sa chute de tension à l'état passant est inférieure à 1V. En outre, elle n'a besoin que d'un potentiel de référence pour la commande. Sa réalisation technologique requiert également la maîtrise de la brique mur P^+ traversant, pour la tenue en tension symétrique.

Une comparaison entre le BipAC et le triac aux niveaux des pertes de commutation d'une part et des pertes de commutation ajoutées aux pertes de commande d'autre part, nous a permis de déterminer le gain minimal de notre composant, de l'ordre de 5, qui permettrait d'en faire une alternative au triac.

La suite des travaux porte sur la conception de cette structure BipAC et de l'optimisation de ses caractéristiques en vue de répondre au cahier de charges.

Chapitre II

Etude par simulation physique 2D de la structure BipAC

Introduction

À l'issue du premier chapitre, nous avons conclu que la structure potentiellement adaptée pour développer un interrupteur monolithique sur silicium, bidirectionnel en courant et en tension, commandable à l'ouverture et à la fermeture par rapport à une seule électrode de gâchette, et dédiée à des applications spécifiques à faible niveau de courant (0,8A) sur le réseau alternatif 230V – 50Hz, est la structure BipAC. La tenue en tension recommandée est de 750V, les pertes à l'état passant doivent être faibles (inférieure ou égale à 1W/A) et la surface totale de la puce doit être idéalement inférieure ou égale à 10mm².

Ce chapitre est donc consacré à l'étude de cette structure. Nous nous appuyons sur des simulations 2D réalisées avec le logiciel SentaurusTM et basées sur les paramètres physiques compatibles avec la filière technologique silicium « de puissance » développée au LAAS.

Dans la première partie de ce chapitre, nous allons présenter la structure BipAC pour les deux types de substrat N (BipAC PNP) et P (BipAC NPN). Le principe de fonctionnement sera expliqué et la fonctionnalité de la structure démontrée. L'influence des paramètres physiques et géométriques sur le gain du BipAC sera mise en évidence. Le comportement à la commutation sera discuté. Ensuite, la tenue en tension et la chute de tension à l'état passant seront étudiées, ce qui va nous permettre de proposer un dimensionnement de la cellule BipAC élémentaire.

La seconde partie de ce chapitre est consacrée à l'étude d'une variante de la structure BipAC « initiale » visant à améliorer le gain de celle-ci. Dans un premier temps, différentes structures seront proposées sur substrat N et substrat P, pour choisir la structure la plus intéressante pour le cahier des charges. Ensuite, une étude paramétrique de la nouvelle cellule élémentaire ainsi obtenue et de sa périphérie permettra de proposer un dimensionnement de la structure complète et le choix d'une structure correspondant à la coupe 2D la plus représentative de la structure réelle. Enfin, une étude par simulation de cette dernière nous permet de déterminer des gammes de paramètres physiques et géométriques de la structure complète susceptibles de répondre au cahier des charges.

A-Structure BipAC

Dans cette partie, nous nous intéressons à la structure BipAC, sa description, son fonctionnement à l'état bloqué et à l'état passant, ses caractéristiques (tenue en tension, gain et chute de tension), et ses performances dans différentes conditions de paramètres physiques.

1- Description de la structure

1.1- BipAC PNP

Le BipAC de type PNP est une structure constituée de quatre couches alternativement dopées en N et P et présentant trois électrodes : gâchette, émetteur et collecteur. La gâchette, reliée à une région N^+ , et l'émetteur, relié à une région P^+ , sont localisés sur la face supérieure de la puce. Le collecteur, relié à une région P^+ , est localisé sur la face inférieure. Entre les deux régions P^+ s'étale une couche de substrat N^- constituant la région de base du BipAC. La région de gâchette est localisée au-dessus d'une zone dopée P comme le montre la figure II.1.

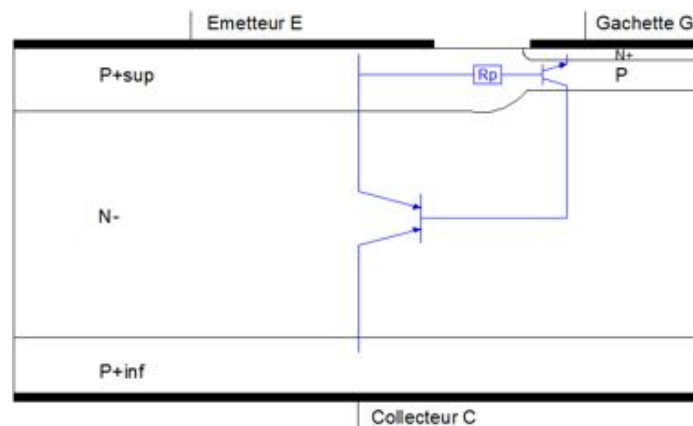


Figure II. 1 : Structure BipAC PNP

Du point de vue du schéma électrique simplifié, la structure BipAC de type PNP est équivalente à deux transistors bipolaires : le transistor de gâchette N^+PN^- et le transistor principal PNP^+ , ayant les deux zones P et N^- en commun (figure II.2). Le symbole du composant est aussi donné par la figure II.2.

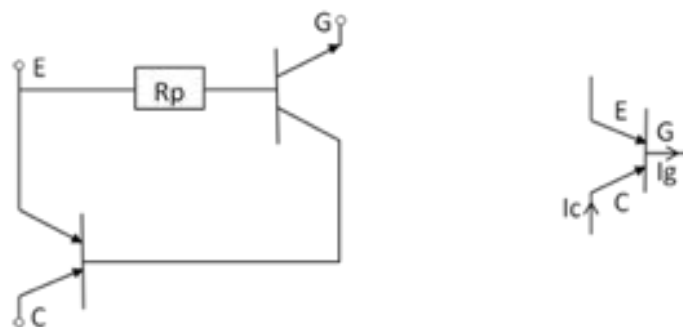


Figure II. 2 : Schéma électrique équivalent (à gauche) et symbole (à droite) du BipAC PNP

1.2- BipAC NPN

La structure BipAC NPN est définie en partant du BipAC PNP et en permutant les types de dopage, P et N, des régions. Ainsi le collecteur et l'émetteur sont dopés N^+ , le substrat P^- et la gâchette est de type P^+ (figure II.3).

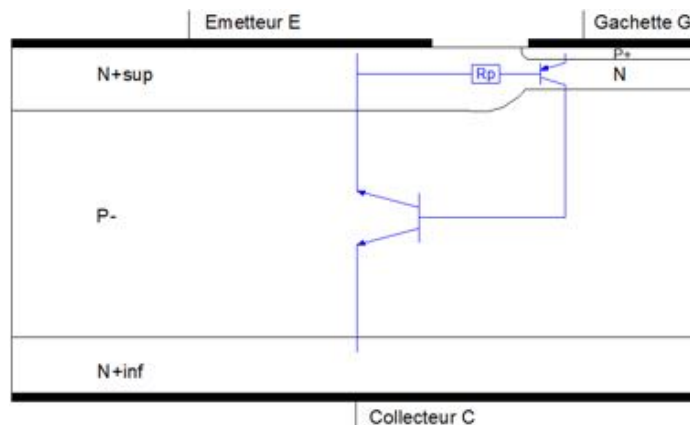


Figure II. 3 : Structure BipAC NPN

Du point de vue du schéma électrique simplifié, la structure BipAC type NPN est équivalente à deux transistors bipolaires : le transistor de gâchette P^+NP^- et le transistor principal NP^-N^+ , ayant les deux zones N et P en commun. La figure II.4 illustre le schéma électrique et le symbole du BipAC NPN.

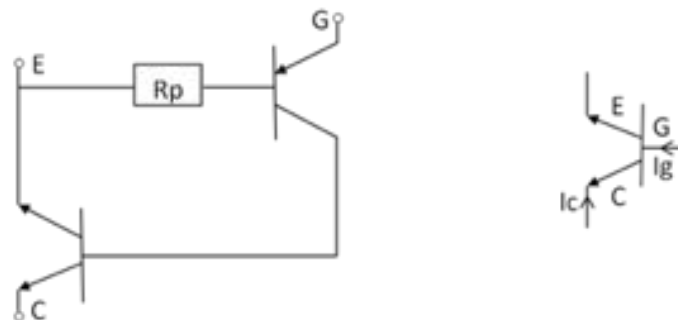


Figure II. 4 : Schéma électrique équivalent (à gauche) et symbole (à droite) du BipAC NPN

2- Principe de fonctionnement

2.1- Etat passant

a- BipAC PNP

Dans le premier quadrant ($V_{CE} > 0$ – figure II.5.a), la mise en conduction du BipAC PNP s'effectue par application d'un courant de gâchette négatif (sortant). Cela permet la mise en conduction de la jonction P^+/N^+ de la gâchette. Par conséquent des électrons sont injectés dans la base P et une partie de ces électrons atteint la zone de drift N^- et constitue de ce fait le courant de base du transistor $P^+N^-P^+$. Pour des raisons de neutralité électrique dans la zone N^- , des trous sont injectés par la région P^+ du collecteur (C) dans la zone N^- . Une partie de ces trous se recombine et l'autre est collectée par la région P^+ de l'émetteur (E).

Dans le troisième quadrant ($V_{CE} < 0$ – figure II.5.b), la mise en conduction du BipAC PNP s'effectue par application d'un courant de gâchette négatif. Cela permet la mise en conduction de la jonction P^+/N^+ de la gâchette. Par conséquent des électrons sont injectés dans la base P et une partie de ces électrons atteint la zone de drift N^- et constitue de ce fait le courant de base du transistor $P^+N^-P^+$. Des trous sont ainsi injectés par la région P^+ de l'émetteur (E) dans la zone N^- . Une partie de ces trous se recombine et l'autre est collectée par la région P^+ du collecteur (C).

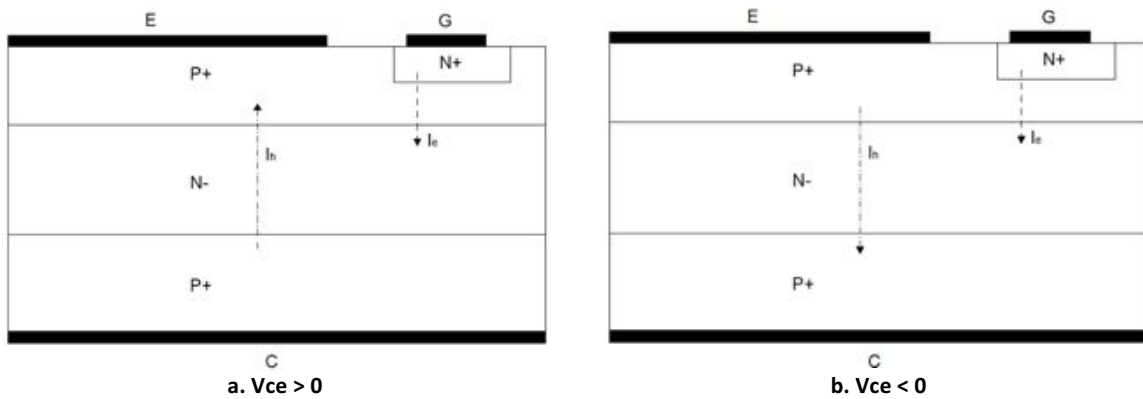


Figure II. 5 : Orientation des courants dans la structure BipAC PNP en fonction de la polarité de V_{ce}

En termes de schéma électrique équivalent, en appliquant une source de courant négatif entre la gâchette et l'émetteur (courant sortant de la gâchette) et une source de tension entre collecteur et émetteur, le transistor de gâchette commence à conduire et son courant de sortie sert de courant de commande de la base du transistor principal.

Pour l'alternance positive ($V_{ce} > 0$), le courant dans le transistor principal s'établit du collecteur vers l'émetteur, tandis que pour l'alternance négative ($V_{ce} < 0$) il est dans le sens opposé (figure II.6).

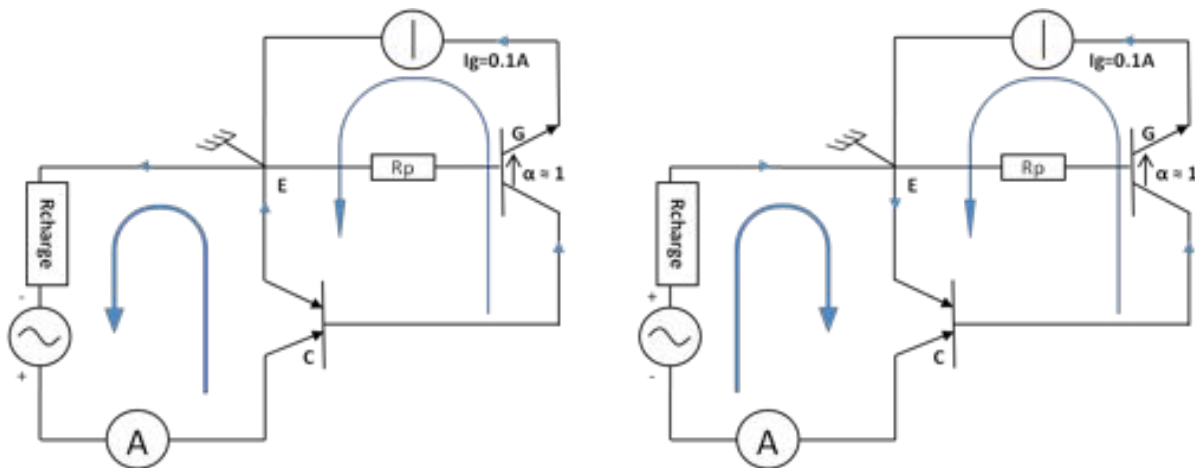


Figure II. 6 : Schéma électrique du BipAC PNP pour l'alternance positive (à gauche) et l'alternance négative (à droite)

b- BipAC NPN

Le BipAC NPN a le même mode de fonctionnement que le BipAC PNP sauf que sa gâchette est commandée par un courant positif entrant.

En appliquant une source de courant positive entre la gâchette et l'émetteur (courant entrant dans la gâchette) et une source de tension entre collecteur et émetteur, le transistor de gâchette commence à conduire et son courant de sortie sert de courant de commande de la base du transistor principal.

Pour l'alternance positive ($V_{ce} > 0$), le courant dans le transistor principal s'établit du collecteur vers l'émetteur, tandis que pour l'alternance négative ($V_{ce} < 0$) il est dans le sens opposé (figure II.7).

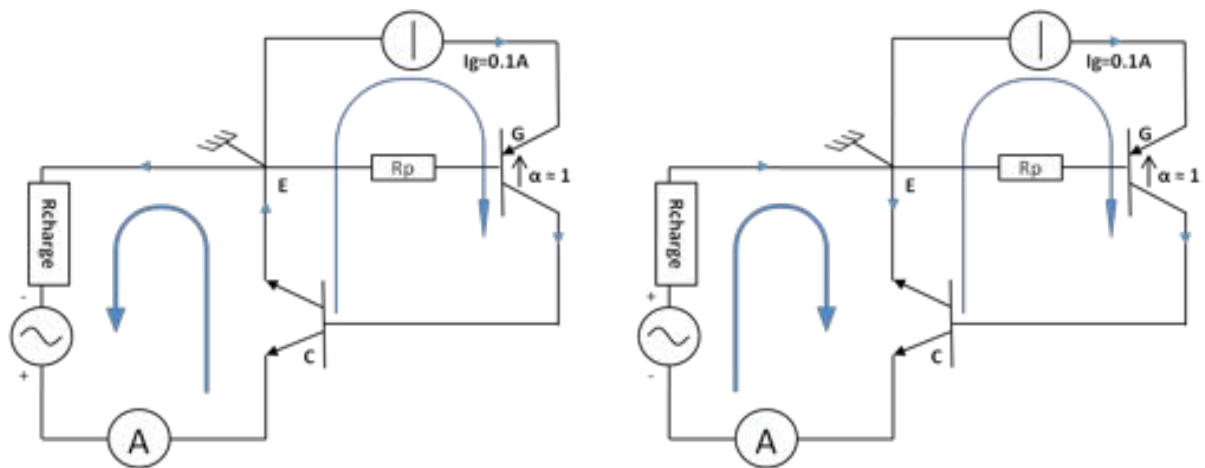


Figure II. 7 : Schéma électrique du BipAC NPN pour l'alternance positive (à gauche) et l'alternance négative (à droite)

c- Simulations qualitatives à l'état passant

i- 1^{er} quadrant

Nous avons simulé le BipAC PNP à l'état passant en commandant la gâchette par un courant I_g sortant de 40mA et en appliquant entre le collecteur et l'émetteur une tension V_{ce} positive. La structure est sauvegardée à $V_{ce}=1V$. Les figures II.8.a et II.8.b montrent la répartition des densités de courant d'électrons et de trous. Nous pouvons notamment constater la circulation d'une partie du courant de collecteur à travers la structure thyristor inhérente au BipAC. En effet, les quatre couches P^+NPN^+ (gâchette) forme un thyristor qui est forcément passant dans le premier quadrant. Cette section thyristor fera l'objet d'une étude spécifique en paragraphe 3.2.a afin de déterminer la condition de fonctionnement qui permettra l'ouverture quasi-immédiate du BipAC lors de la phase de commutation à l'ouverture.

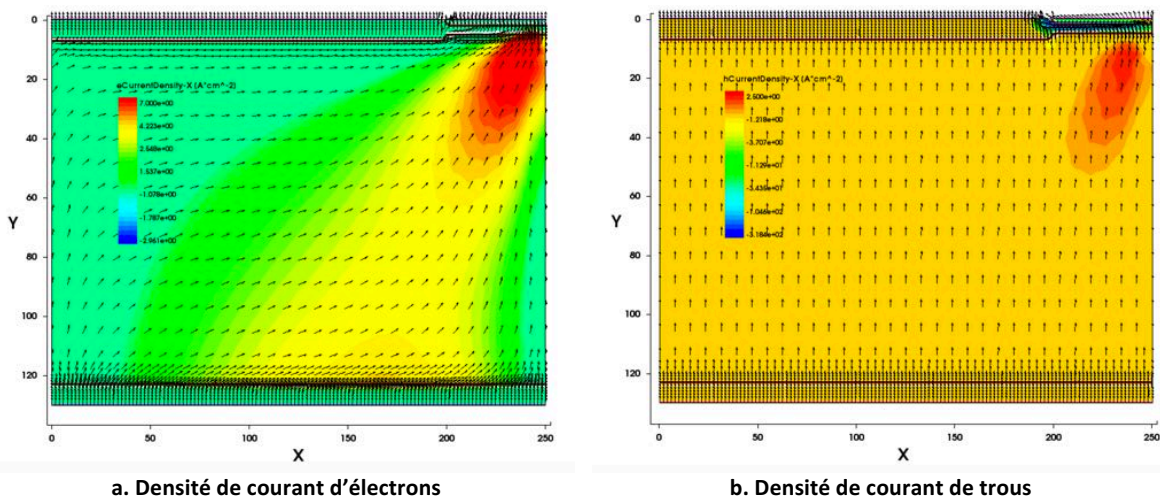
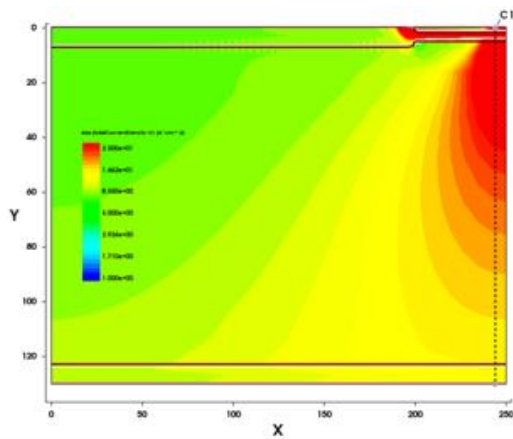


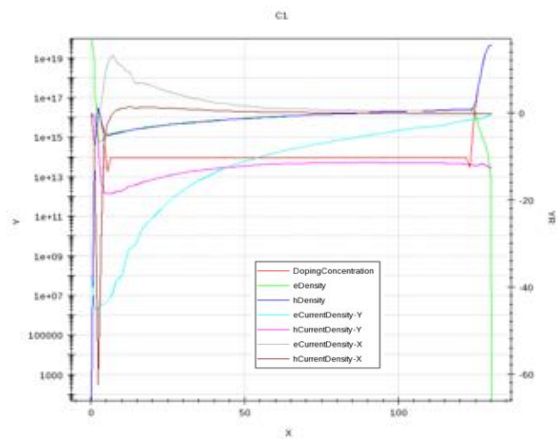
Figure II. 8 : Répartition des densités de courant d'électrons (a) et de trous (b) à $V_{ce}=1V$ dans le BipAC PNP commandé par un courant $I_g=40mA$ (facteur de surface $Z=7500$)

À $V_{ce}=1V$, nous avons effectué des coupes verticales à quatre endroits différents de la structure (sur les deux extrémités de la gâchette (coupes C1 et C2) et les deux extrémités de l'émetteur (coupes C3 et C4)). Les figures II.9 à II.12 donnent la distribution verticale des porteurs libres dans la structure pour chacune de ces quatre coupes. Nous constatons une forte injection des trous dans les diverses

coupes considérées. Notons que la densité de trous dans les cas des coupes C1 et C2 dans la zone de la gâchette est supérieure à celle des coupes C3 et C4 dans la zone de l'émetteur.

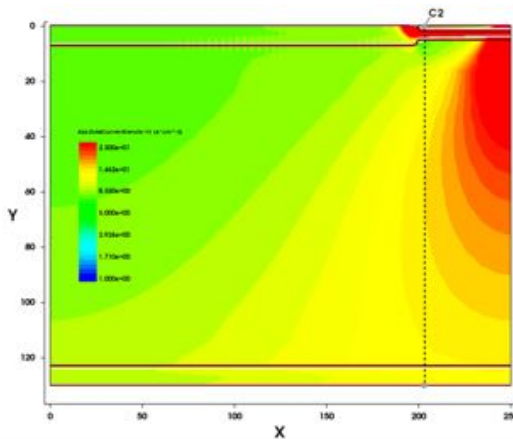


a. Position de la coupe sur la structure 2D

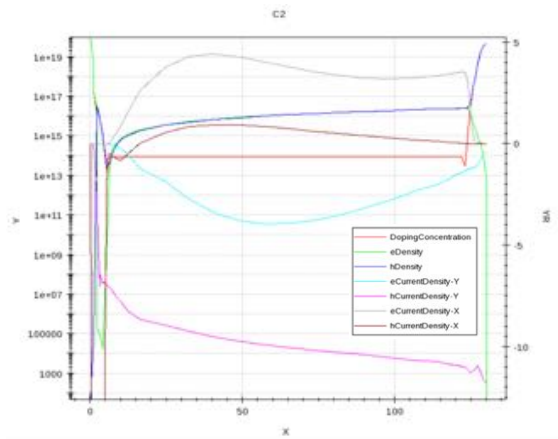


b. Concentration et densité de courant des différents porteurs

Figure II. 9 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 1^{er} quadrant

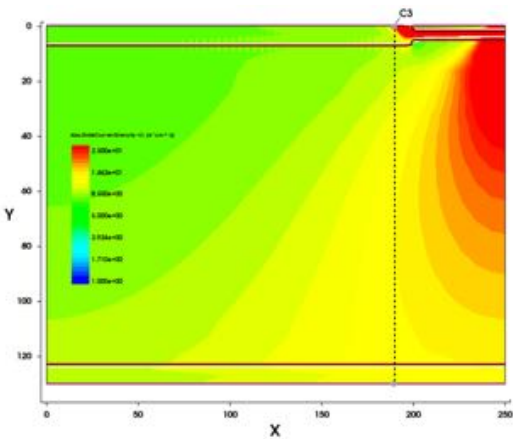


a. Position de la coupe sur la structure 2D

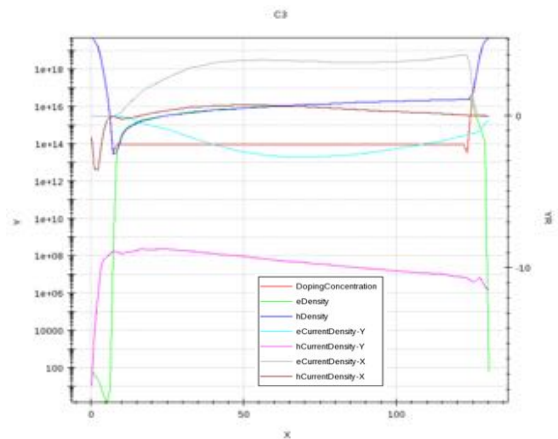


b. Concentration et densité de courant des différents porteurs

Figure II. 10 : Coupe C2 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 1^{er} quadrant



a. Position de la coupe sur la structure 2D



b. Concentration et densité de courant des différents porteurs

Figure II. 11 : Coupe C3 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 1^{er} quadrant

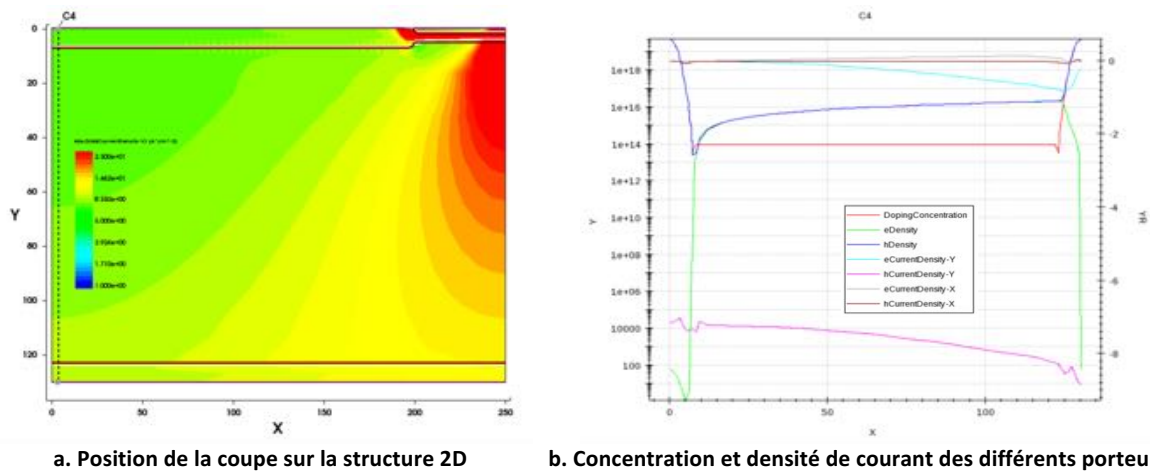


Figure II. 12 : Coupe C4 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 1^{er} quadrant

ii- 3^{ème} quadrant

Nous avons simulé le BipAC PNP à l'état passant dans le 3^{ème} quadrant en commandant la gâchette par un courant I_g sortant de 40mA et en appliquant entre le collecteur et l'émetteur une tension V_{ce} négative. Les figures II.13.a et II.13.b montrent la répartition des densités de courant d'électrons et de trous dans la structure sauvegardée à $V_{ce}=-1V$. Nous pouvons constater l'absence de section thyristor passante car tout le courant collecteur du BipAC passe par le transistor bipolaire vertical ($P^+N^+P^+$). Ainsi, la commutation à l'ouverture du BipAC est moins complexe car il suffit d'interrompre le courant de gâchette qui sert de courant de base pour ce dernier.

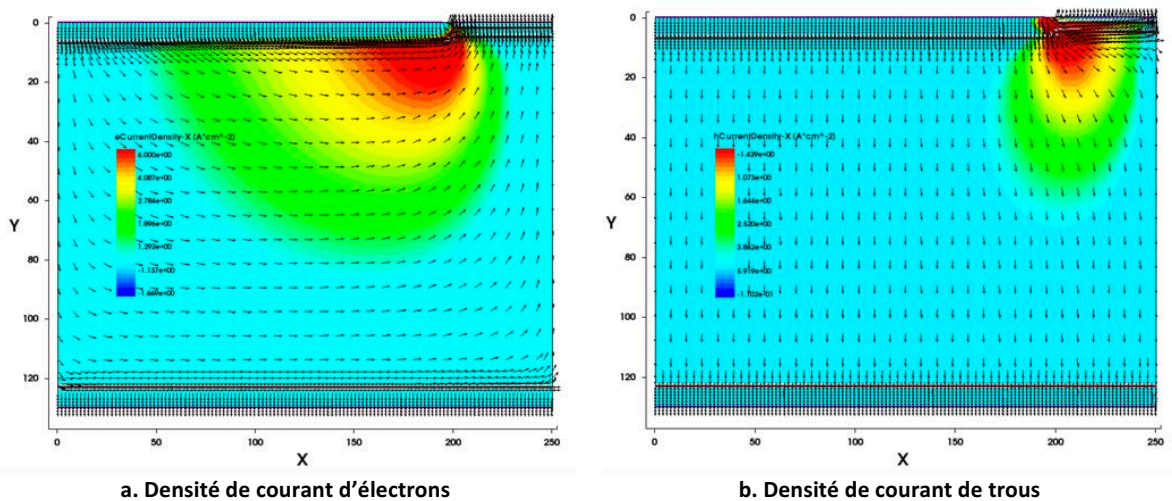
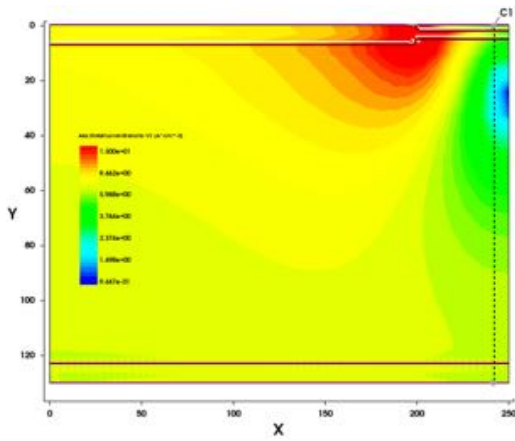
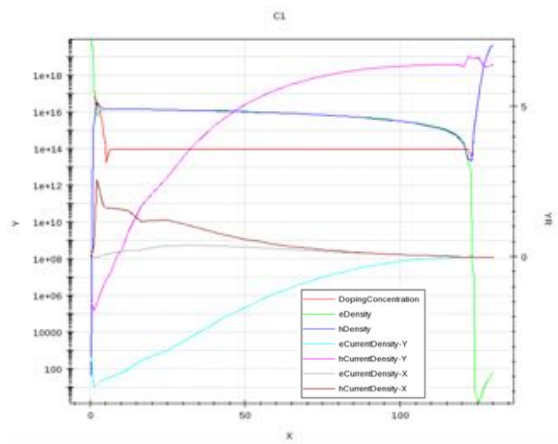


Figure II. 13 : Répartition des densités de courant d'électrons (a) et de trous (b) à $V_{ce}=-1V$ dans le BipAC PNP commandé par un courant $I_g=40mA$ (facteur de surface $Z=7500$)

À $V_{ce}=-1V$, nous avons effectué des coupes verticales à quatre endroits différents de la structure (sur les deux extrémités de la gâchette (coupes C1 et C2) et les deux extrémités de l'émetteur (coupes C3 et C4)) de la même façon de ce qui a été fait dans le premier quadrant. La distribution verticale des porteurs libres dans la structure est illustrée sur les figures II.14 à II.17 selon la position de chaque coupe. Comme pour le 1^{er} quadrant, une forte injection des trous est observée dans les diverses coupes considérées.

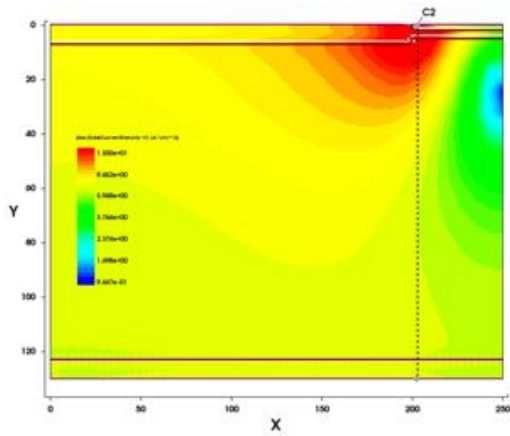


a. Position de la coupe sur la structure 2D

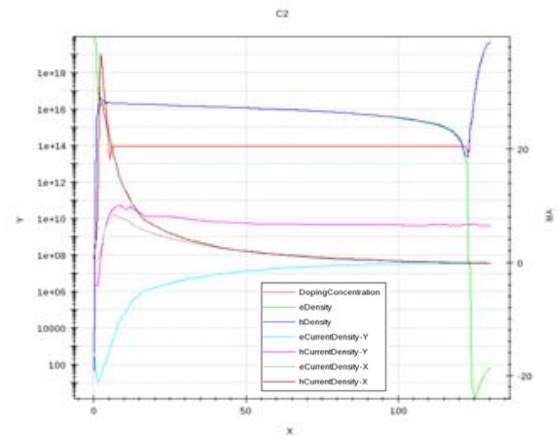


b. Concentration et densité de courant des différents porteurs

Figure II. 14 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3^{ème} quadrant

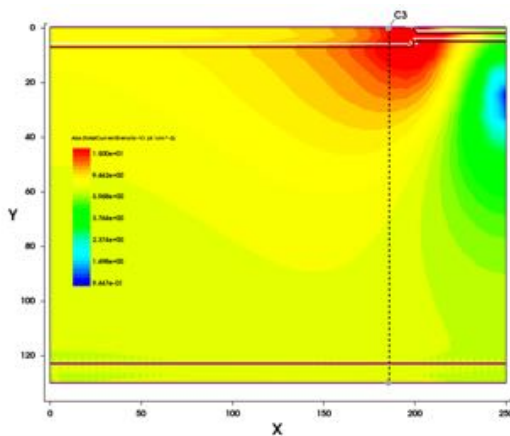


a. Position de la coupe sur la structure 2D

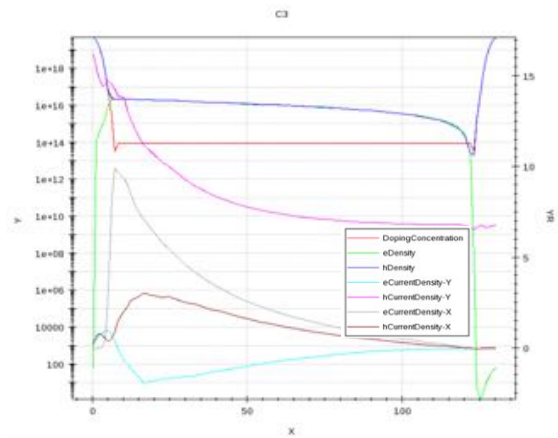


b. Concentration et densité de courant des différents porteurs

Figure II. 15 : Coupe C2 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3^{ème} quadrant



a. Position de la coupe sur la structure 2D



b. Concentration et densité de courant des différents porteurs

Figure II. 16 : Coupe C3 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3^{ème} quadrant

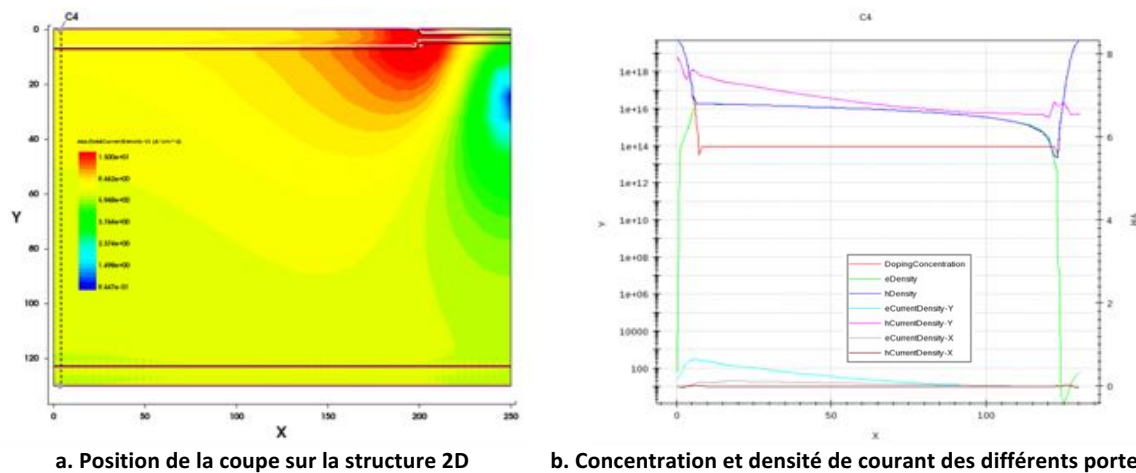


Figure II. 17 : Coupe C4 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3^{ème} quadrant

2.2- Etat bloqué

Les deux types de structure BipAC PNP et BipAC NPN ont le même principe de comportement à l'état bloqué. Nous allons l'expliquer sur le BipAC PNP.

À l'état bloqué, la tension gâchette-émetteur est maintenue à zéro volt. Pour une tension $V_{CE} > 0$, c'est la jonction N/P⁺ de la face avant qui est polarisée en inverse. Une terminaison de jonction de type JTE associée à cette jonction contribuera à la tenue en tension. Pour une tension $V_{CE} < 0$, la jonction N/P⁺ située sur la face arrière est polarisée en inverse. La terminaison de jonction de type JTE en face avant de la puce de silicium combinée avec un mur P⁺ traversant permettra au composant de supporter la tension dans ce sens de polarisation inverse.

Pour étudier la tenue en tension du BipAC, nous allons commencer par une étude théorique ayant pour objectif principal de rappeler les expressions permettant de dimensionner la structure pour la tenue en tension [34-36]. Pour une application visée, une épaisseur et un dopage spécifiques pour le substrat de silicium utilisés doivent être choisis. Ces deux paramètres ont un impact direct sur la chute de tension à l'état passant (V_{ON}).

a- Tenue en tension d'un composant unidirectionnel

L'étude de la structure silicium à l'état bloqué se compose de deux parties : la première porte sur l'étude de la tenue en tension au niveau de la région centrale de la structure tandis que la seconde porte sur l'étude de la tenue en tension au niveau de la périphérie afin de protéger la structure d'un risque de claquage prématuré du fait des courbures de jonction (resserrement des lignes de champs électriques). L'étude se limitera au cas de la technique de garde de type JTE (région P⁻ faiblement dopée) qui est utilisée au LAAS depuis plusieurs années.

i- Tenue en tension au niveau de la région centrale

Pour que le composant (Transistor PNP dans cet exemple) puisse supporter la tension souhaitée, la région de base N⁻ doit être suffisamment épaisse et peu dopée. Les valeurs de dopage et d'épaisseur (W_{N^-}) de cette région N⁻ sont définies en fonction de la tenue en tension visée. Nous donnerons dans un premier temps les expressions permettant de déterminer les paramètres technologiques et physiques de la région centrale d'une structure PNP (figure II.18).

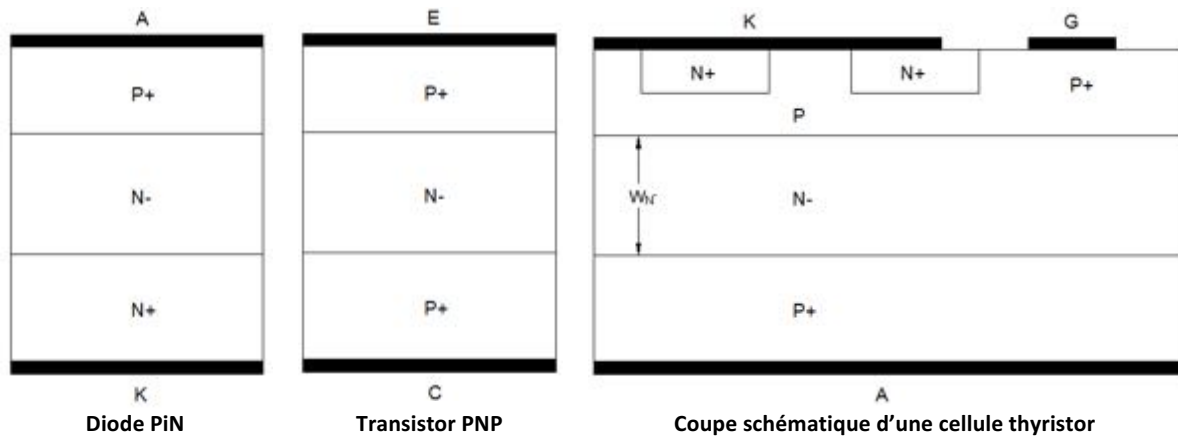


Figure II. 18 : Tenue en tension dans les composants de puissance

La tenue en tension peut être limitée par deux phénomènes : le perçage de la base ou le claquage par avalanche. Le perçage « punch-through » de la base N^- a lieu quand la zone de charge d'espace de cette région atteint la jonction P opposée. L'augmentation de la tension de perçage BV_{PT} passe par l'utilisation d'un dopage faible et d'une épaisseur de la base plus élevée.

$$BV_{PT} = \frac{q \times N_d \times W_{N^-}^2}{2 \times \epsilon_s} \quad (1)$$

En revanche, le claquage par avalanche a lieu lorsque le champ électrique atteint sa valeur critique au niveau de la jonction P^+N^- polarisée en inverse, signifiant que le coefficient d'avalanche M tend vers l'infini. L'augmentation de la tension BV_{pp} nécessite donc de diminuer le dopage de la base N^- .

$$BV_{pp} = 5,34 \times 10^{13} \times N_d^{-\frac{3}{4}} \quad (2)$$

La tension maximale que supportera le composant sera donc déterminée par la plus petite des tensions, de claquage ou de perçage.

Les équations données sont valables pour une jonction P/N correspondant notamment à une diode bipolaire (PiN), ce qui n'est pas exactement notre cas, puisque nous sommes dans le cas d'une structure P/N/P. Dans cette configuration, l'application d'une tension va polariser une jonction en inverse, et l'autre en directe. Cette jonction polarisée en direct injecte un courant de trous dans la base N^- qui est amplifié par le gain α du transistor bipolaire P/N/P. La tenue en tension réelle s'écrit :

$$BV = BV_{pp} (1 - \alpha_{PNP})^{\frac{1}{n}} \quad (3)$$

Où "n" est une constante égale à 4 [37] dans le cas d'un transistor PNP et α_{PNP} est le gain du transistor qui s'écrit :

$$\alpha_{PNP} \propto \frac{1}{\cosh\left(\frac{W_{N^-} - W_{ZCE}}{L_p}\right)}$$

W_{ZCE} et L_p correspondent respectivement à la largeur de la zone de charge d'espace et à la longueur de diffusion des porteurs minoritaires (les trous) dans la base. Ces paramètres sont donnés par:

$$W_{ZCE} = \sqrt{\frac{2 \times \epsilon_0 \times \epsilon_{si} \times V_a}{q \times N_d}}$$

$$L_{p=} = \sqrt{D_p \times \tau_p}$$

V_a est la tension appliquée aux bornes d'une structure P/N/P à l'état bloqué, D_p est la constante de diffusion des trous et τ_p est leur durée de vie. Ainsi, pour améliorer la tenue en tension, il faut réduire le gain α_{PNP} . Outre l'épaisseur W_N , la durée de vie τ_p peut être modifiée. En effet, il est possible technologiquement de diminuer la durée de vie des porteurs par irradiation ou par implantation de certains dopants (platine ou or). Cependant, cette diminution de la durée de vie des porteurs a aussi pour effet d'augmenter les courants de fuite à l'état bloqué.

Ce qui précède concerne l'étude d'une structure P/N/P représentative de la structure thyristor à l'état bloqué inverse. Cependant, à l'état bloqué direct, la jonction P/N entre N^+ de la cathode et la base P est polarisée en direct. Dans ce cas, le gain α_{NPN} du transistor N/P/N intervient et la tenue en tension est donnée par l'expression suivante :

$$BV = BV_{pp} \times (1 - \alpha_{PNP} - \alpha_{NPN})^{\frac{1}{n}} \quad (4)$$

Pour atteindre une tenue en tension proche de celle d'un transistor PNP, il conviendrait de réduire le gain du transistor NPN au minimum à l'état bloqué.

Conformément à ce que nous avons présenté, nous avons simulé à l'état bloqué une diode PN⁻N⁺ d'épaisseur de substrat de 300 μ m, suffisante pour confirmer que tout claquage ne peut pas être dû au phénomène de perçage. La figure II.19.a donne la tenue en tension en fonction du dopage du substrat.

Nous avons également simulé à l'état bloqué un transistor PN⁻P⁺ en faisant varier l'épaisseur du substrat, pour les deux valeurs du dopage du substrat. Le dopage 1.10^{14}cm^{-3} correspond au dopage des plaquettes standards que nous utilisons pour la réalisation technologique plus tard. Les résultats obtenus sont présentés sur la figure II.19.b.

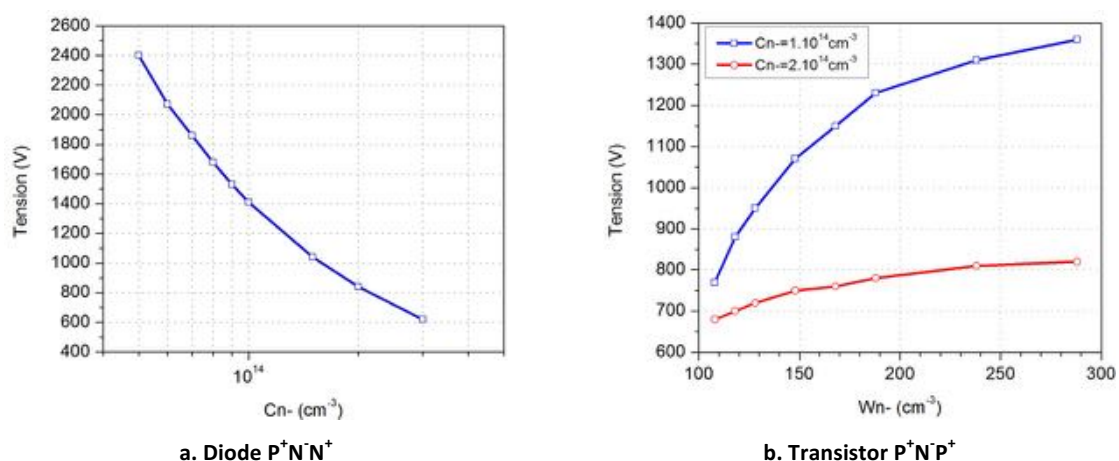


Figure II. 19 : (a) Tenue en tension d'une structure de diode en fonction du dopage du substrat N et (b) Tenue en tension d'une structure de transistor en fonction de l'épaisseur du substrat N pour deux dopages différents

Les figures II.20.a et II.20.b donnent respectivement les résultats de simulation à l'état bloqué d'une diode et d'un transistor sur substrat P.

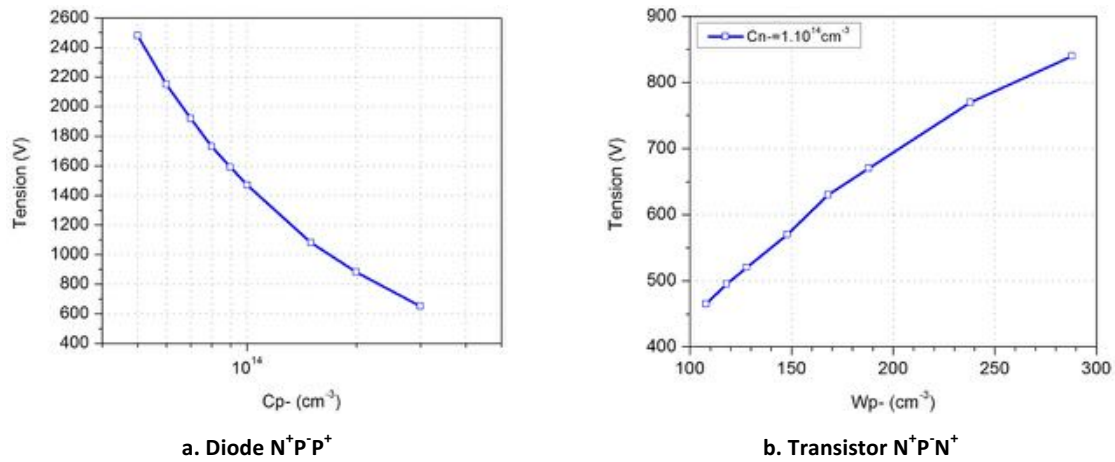


Figure II. 20 : (a) Tenue en tension d'une structure de diode en fonction du dopage du substrat P et (b) Tenue en tension d'une structure de transistor en fonction de l'épaisseur du substrat P pour un dopage de $1.10^{14} \text{ cm}^{-3}$

ii- Tenue en tension au niveau de la périphérie JTE

Afin de permettre au dispositif de bloquer des tensions proches de celle de la région centrale (jonction plane infinie), il est nécessaire de choisir une terminaison de jonction. Cette terminaison a pour but de protéger les courbures de jonctions d'un claquage prématuré. En effet, le rôle de toute terminaison de jonction est de réduire le champ électrique à la périphérie de la jonction sous polarisation inverse afin de se rapprocher au maximum des conditions de claquage d'une jonction plane. Dû à des considérations technologiques et notamment au processus IGBT flexible mis au point à la centrale de technologie du LAAS, nous avons choisi une terminaison de jonction de type PP⁻ ou selon l'appellation anglo-saxonne "Junction termination extension" (figure II.21).

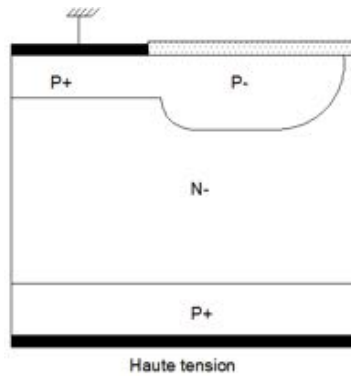


Figure II. 21 : Coupe schématique d'une terminaison de jonction de type PP⁻

Du point de vue technologique, le principe de cette technique repose sur une implantation d'une zone faiblement dopée P⁻ tout autour de la jonction principale (à protéger). La présence de cette zone faiblement dopée influe sur la forme et la profondeur de la charge d'espace et modifie ainsi la distribution du champ électrique. Si la région P⁻ se trouve dépeuplée à l'approche de la tension de claquage, cette zone P⁻ supporte latéralement une partie de la tension appliquée et la périphérie de la jonction principale ne subit ainsi qu'une tension et un champ électrique réduits.

Pour un dopage de substrat fixé, les deux principaux paramètres du problème d'optimisation sont la dose d'atomes dopants dans la région P⁻ et l'extension de cette région peu dopée.

iii- Simulations 2D qualitatives

Par simulations 2D, nous avons simulé l'état bloqué direct d'une structure représentative d'un composant de puissance avec deux électrodes anode et cathode situées de part et d'autre d'une région de substrat N^- (figure II.22.a). Une tension positive V_{AK} croissante est appliquée jusqu'à atteindre la tension de claquage. Nous prendrons comme valeur de cette tension celle pour laquelle le courant dans la structure atteint une valeur de l'ordre du μA . La tenue en tension a été simulée pour différentes valeurs de l'épaisseur de la zone de drift W_{N^-} tout en gardant un dopage de $1.10^{14} cm^{-3}$. Une épaisseur W_{N^-} de $116\mu m$ (épaisseur plaquette de $130\mu m$) permet une tenue en tension supérieure à $750V$ (figure II.22.b).

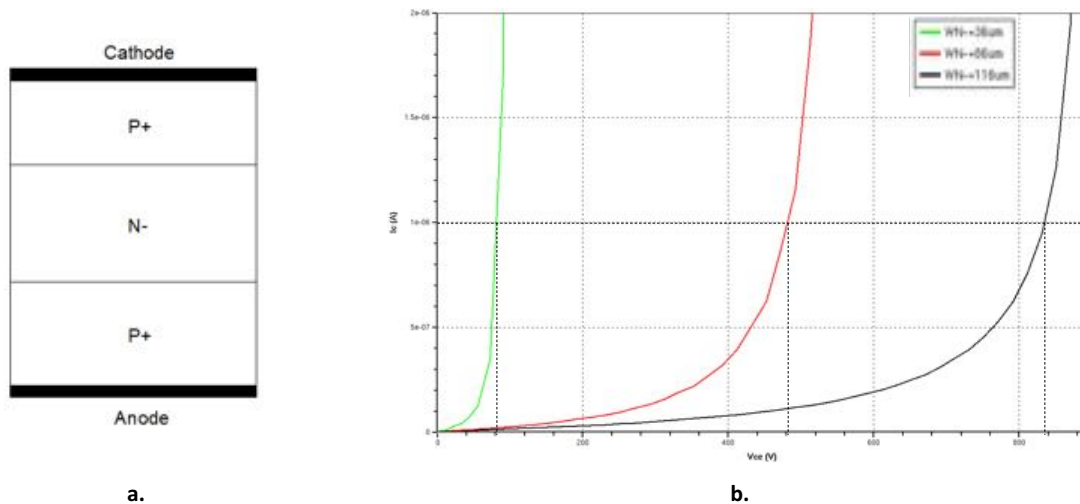


Figure II. 22 : (a) Structure PN⁺P et (b) résultats de simulation pour différentes épaisseurs W_{N^-}

Nous avons ensuite associé à cette structure une terminaison de jonction, comme l'indique la figure II.23. Les simulations ont montré qu'une largeur L_p de $70\mu m$ est nécessaire pour la tenue en tension visée. La concentration en surface de la région P⁻ est de $9.10^{15} at/cm^3$ et sa profondeur est de $4,5\mu m$.

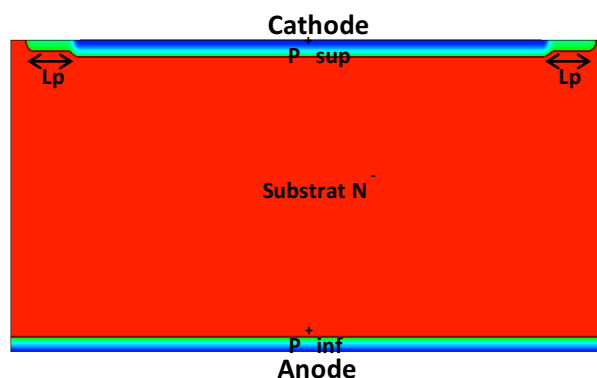


Figure II. 23 : Structure PN⁺P avec sa terminaison de jonction JTE

La figure II.24.a illustre l'extension de la zone de charge d'espace à l'état bloqué et la répartition des lignes équipotentielles dans la structure pour une tension $V_{AK}=500V$, ainsi que le champ électrique pour une coupe verticale effectuée au centre de la structure (figure II.24.b).

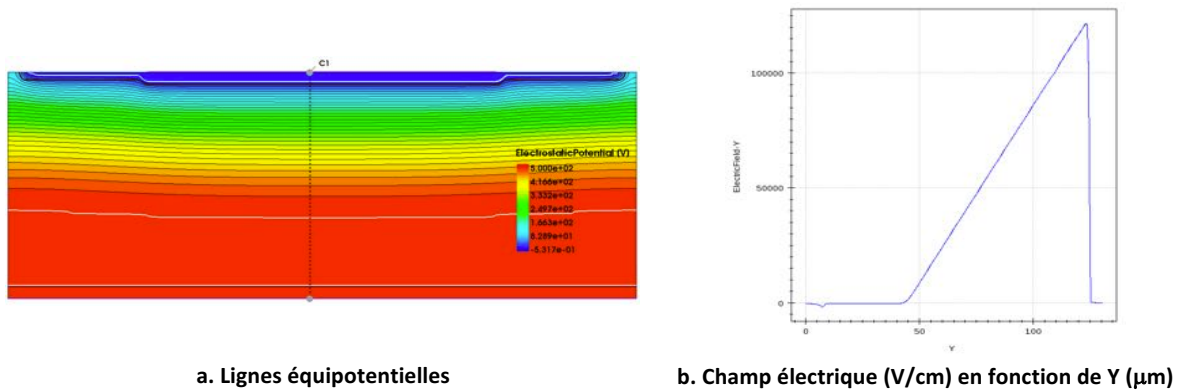


Figure II. 24 : (a) Lignes équipotentielles et (b) champ électrique dans la structure PNP avec L_p de $70\mu\text{m}$ pour $V_{AK}=500\text{V}$

b- Tenue en tension d'un composant bidirectionnel

i- Tenue en tension au niveau du mur et de la périphérie associée

La tenue en tension pour une tension anode-cathode positive s'effectue exactement comme décrit précédemment. Pour une tension anode-cathode négative, nous utilisons une architecture basée sur l'association d'un mur P^+ traversant [28,38] et d'une terminaison de type JTE (détaillée précédemment) (figure II.25). Le mur P^+ traversant permet de ramener les lignes équipotentiennes de la face arrière vers la face avant de la puce, assurant ainsi la symétrie en tension. De ce fait, l'optimisation de la tenue en tension se fera en utilisant une terminaison de jonction adaptée sur la face avant de la puce.

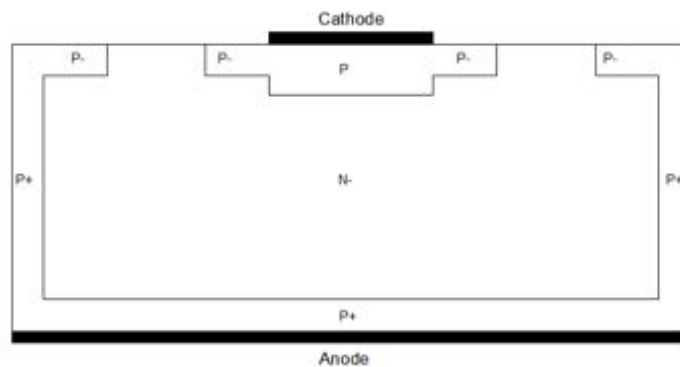


Figure II. 25 : Terminaison de type JTE avec mur P^+ traversant

ii- Simulations 2D qualitatives

En dotant la structure simulée dans le paragraphe 2.2.a.iii d'un mur P^+ et sa terminaison de jonction associée, nous obtenons une structure permettant d'obtenir la bidirectionnalité en tension. Nous obtenons une tenue en tension de l'ordre de 600V (figure II.26), pour une épaisseur de substrat W_N^- de $116\mu\text{m}$, une largeur L_p de JTE associée au mur de $70\mu\text{m}$ et une distance entre les deux JTE (mur et partie centrale) de $100\mu\text{m}$. Notons que les tensions tenues en direct et en inverse ne sont pas égales du fait que les paramètres utilisés pour le dimensionnement de la périphérie ne sont pas optimisés. L'optimisation de ces paramètres sera présentée dans la suite.

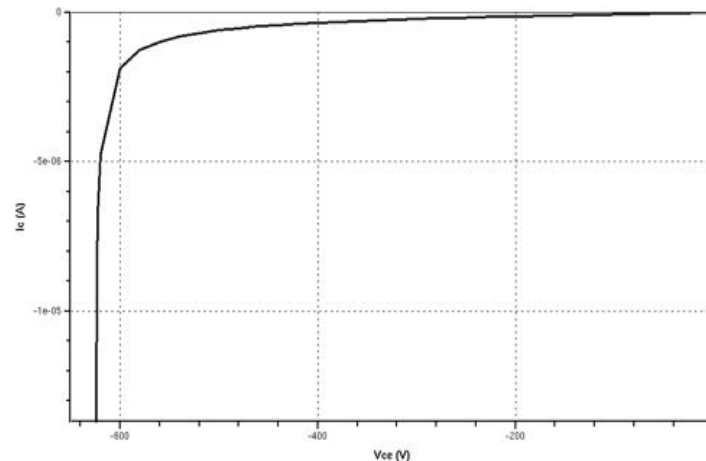
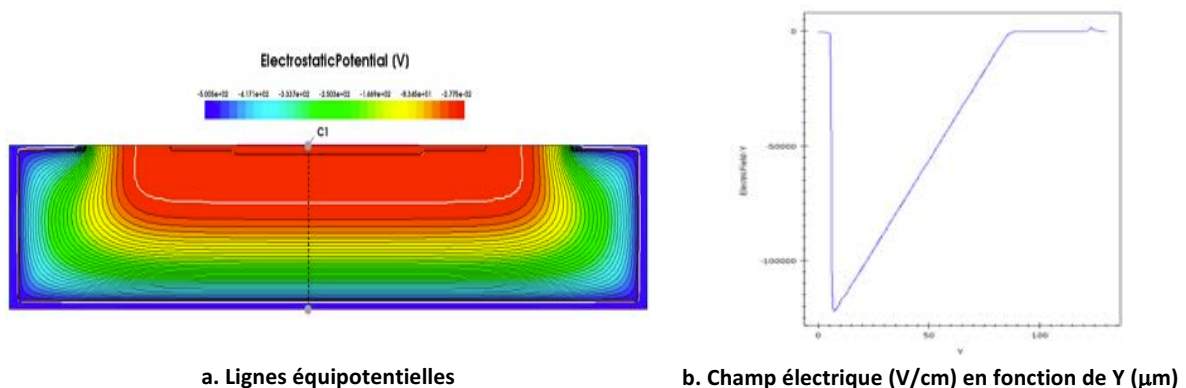


Figure II. 26 : Tenue en tension inverse pour une épaisseur de substrat W_N de $116\mu\text{m}$, une largeur L_p de $70\mu\text{m}$ et une distance entre les deux JTE adjacentes de $100\mu\text{m}$

La figure II.27 montre l'extension de la zone de charge d'espace à l'état bloqué inverse et la répartition des lignes équipotentielles dans la structure pour une tension $V_{AK}=-500\text{V}$, ainsi que le champ électrique pour une coupe verticale effectuée au centre de la structure. Nous pouvons constater que la ZCE s'étend dans la zone faiblement dopée N^- et que le resserrement des lignes équipotentielles se produit au niveau de la jonction JTE P/N^- en face avant.



a. Lignes équipotentielles

b. Champ électrique (V/cm) en fonction de Y (μm)

Figure II. 27 : (a) Lignes équipotentielles et (b) champ électrique dans la structure PNP avec L_p de $70\mu\text{m}$ et une distance entre les deux JTE adjacentes de $100\mu\text{m}$ pour $V_{AK}=-500\text{V}$

3- Etude qualitative de l'influence des paramètres physiques et géométriques

3.1- Gain du BipAC

Pour étudier l'influence des différents paramètres physiques et géométriques, nous nous basons sur des simulations 2D à partir du logiciel SentaurusTM. La structure simulée, avec ses paramètres géométriques, est représentée sur la coupe de la figure II.28. Les valeurs des paramètres physiques et géométriques (figure II.29) utilisées pour cette étude qualitative sont compatibles avec la filière technologique de puissance développée au LAAS [39]. Des modèles physiques tenant en compte des phénomènes de recombinaison Shockley-Read-Hall (SRH), Auger sont utilisés dans les simulations type éléments finis SentaurusTM. Nous utilisons le modèle de recombinaison de Shockley Read Hall. Les paramètres utilisés dans ce modèle sont choisis identiques pour les électrons et les trous, de façon à obtenir une durée de vie « standard » de $10\mu\text{s}$ pour les deux types de porteurs.

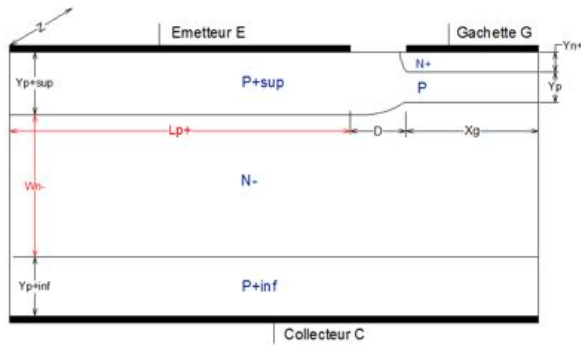


Figure II. 28 : Paramètres géométriques de la structure BipAC

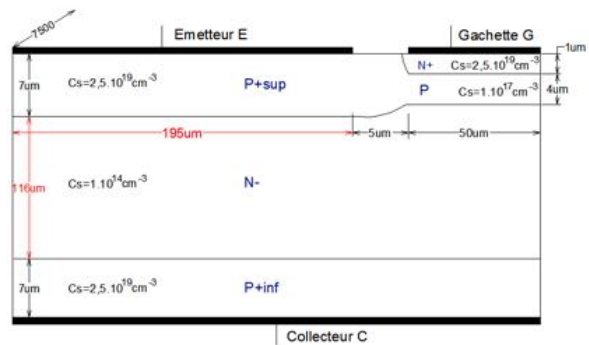


Figure II. 29 : Valeurs de référence des paramètres physiques et géométriques de la structure BipAC

Dans un premier temps, il convient d'étudier les régions de commande et de puissance séparément, c'est-à-dire d'évaluer les performances du transistor de gâchette et vérifier notamment la valeur de son gain, et de même pour le transistor de puissance. Dans un deuxième temps, nous avons fait varier les valeurs de divers paramètres physiques et géométriques pour évaluer leur impact sur le gain du BipAC.

a- Estimation du gain du transistor de gâchette

De l'analyse circuit de la figure II.6, il convient d'utiliser un transistor de gâchette NPN de gain en courant α le plus proche possible de 1 afin d'assurer l'efficacité de la commande. Pour évaluer les performances du transistor de gâchette dans le BipAC PNP, une structure transistor bipolaire N^+PN^- équivalente a été simulée : son émetteur correspond à la gâchette du BipAC, sa base correspond à l'émetteur du BipAC et son collecteur est lié au substrat N^- à travers une mince couche N^+ (figure II.30.a). Le circuit de commande utilisé pour les simulations est présenté sur la figure II.30.b.

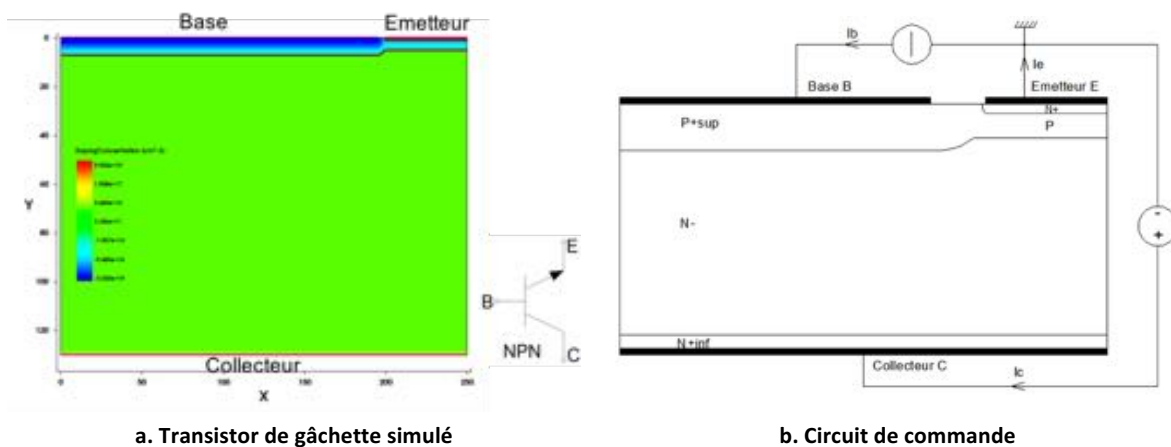


Figure II. 30 : (a) Coupe 2D, symbole et (b) circuit de commande du transistor de gâchette N^+PN^- simulé

La figure II.31 donne le gain du transistor ainsi défini en fonction de la densité de courant d'émetteur J_e , pour deux valeurs de concentration de la zone P sous l'émetteur. Nous constatons que le gain α reste proche de 1 même pour des densités élevées du courant J_e .

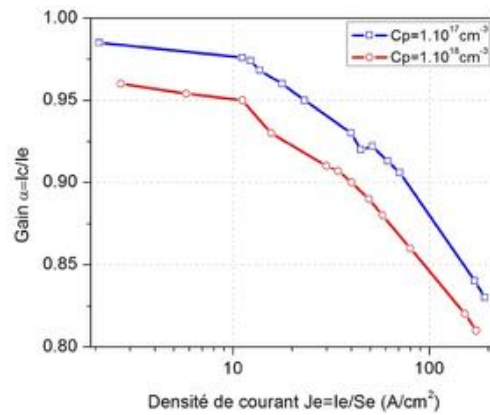


Figure II. 31 : Gain du transistor en fonction de la densité du courant J_e

Pour le cas d'une concentration $C_p=1.10^{17} \text{ cm}^{-3}$, pour une source de courant de 100mA alimentant la base du transistor bipolaire, le gain obtenu est $\alpha = I_c/I_e = 0,84$.

Dans les mêmes conditions, le gain du transistor de gâchette PNP du BipAC NPN est $\alpha = 0,7$, légèrement inférieur au cas précédent du fait que la mobilité des porteurs injectés dans la base du transistor N^+PN^- (trous) est inférieure à celle des porteurs injectés dans la base du transistor P^+NP^- (électrons).

b- Estimation du gain du transistor de puissance

Dans ce paragraphe, nous étudions le transistor de puissance dans la structure BipAC : nous simulons le transistor $P^+N^-P^+$ obtenu en éliminant la région de gâchette du BipAC. Ainsi, le contact de la gâchette du BipAC correspond à celui de la base du transistor et il est directement lié à la région N^- (figure II.32.a). L'émetteur et le collecteur du BipAC correspondent respectivement au collecteur et à l'émetteur de ce transistor. Le circuit de commande du transistor est illustré sur la figure II.32.b.

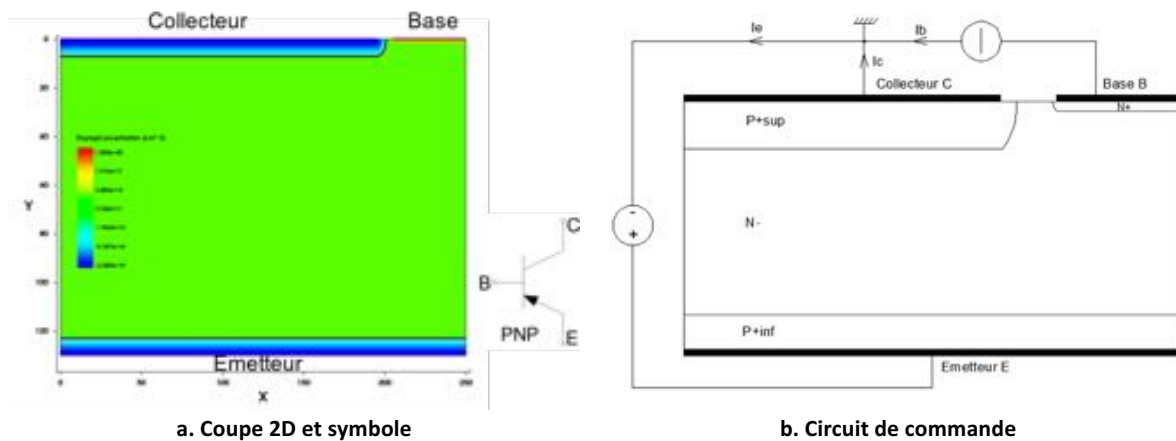
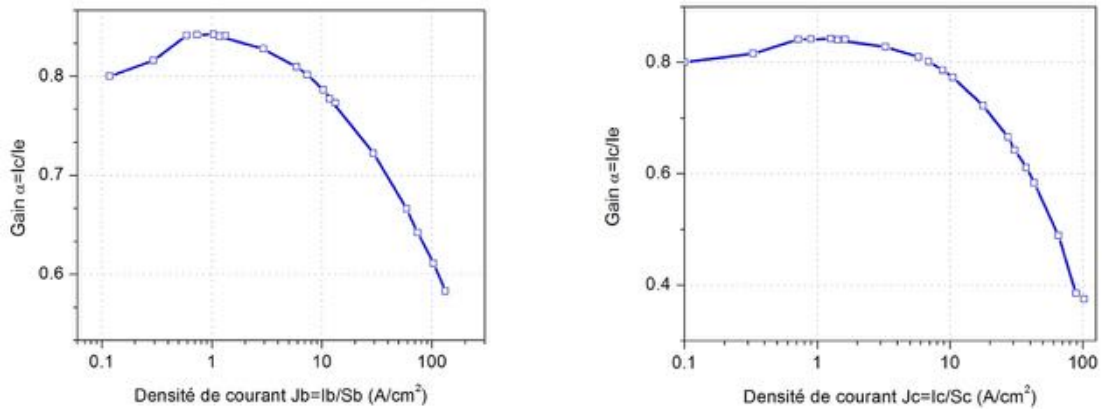


Figure II. 32 : (a) Coupe 2D, symbole et (b) circuit de commande du transistor de puissance $P^+N^-P^+$ simulé

Le gain α du transistor ainsi défini est donné en fonction des densités de courant de base J_b et de collecteur J_c respectivement sur les deux graphes a et b de la figure II.33.



a. Gain du transistor en fonction de la densité de courant J_b b. Gain du transistor en fonction de la densité de courant J_c

Figure II. 33 : Gain α du transistor de puissance $P^+N^+P^+$ en fonction (a) de la densité de courant J_b et (b) de la densité de courant J_c

Le gain α du transistor de puissance diminue avec la densité du courant J_b et de façon plus marquée avec la densité du courant J_c . Le gain du BipAC sera donc particulièrement dépendant du gain du transistor de puissance. Sur la base de ces courbes, nous constatons que le gain maximum, du BipAC qui résulte de l'intégration des deux transistors, que nous pouvons espérer atteindre correspond à l'utilisation de densités de courant faibles et il est de l'ordre de :

$$\alpha_{NPN}(\text{gâchette}) \cdot \beta_{PNP} = \alpha_{NPN}(\text{gâchette}) \cdot \frac{\alpha_{PNP}}{1 - \alpha_{PNP}} \approx 0,85 \times \frac{0,85}{1 - 0,85} = 4,8$$

Rappelons que le BipAC doit laisser passer un courant de charge de 0,8A. Simulons le transistor de puissance à l'état passant pour un courant de commande de 100mA et pour différentes valeurs du facteur de surface Z . Les caractéristiques I_c (V_{ce}) sur la figure II.34 montrent que le gain du BipAC augmente avec le facteur de surface (i.e réduction de la densité de courant J_c). Toutefois, même un facteur de surface de 80000 μm (correspondant à une surface de puce de 20mm²) ne permet pas le passage de 0,8A dans la charge.

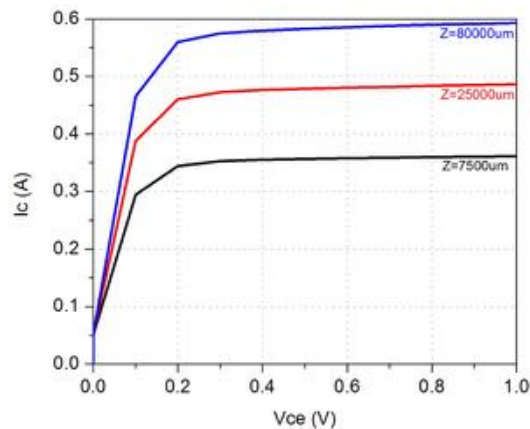


Figure II. 34 : Caractéristiques I_c (V_{ce}) du transistor de puissance $P^+N^+P^+$ en fonction du facteur de surface Z pour un courant $I_b=100\text{mA}$

c- Gain du BipAC PNP en fonction de différents paramètres

La structure simulée est représentée sur la figure II.35 en précisant ses paramètres physiques et géométriques.

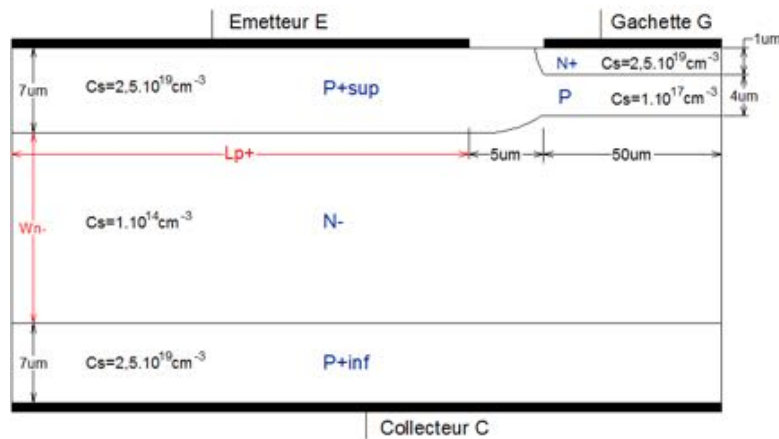
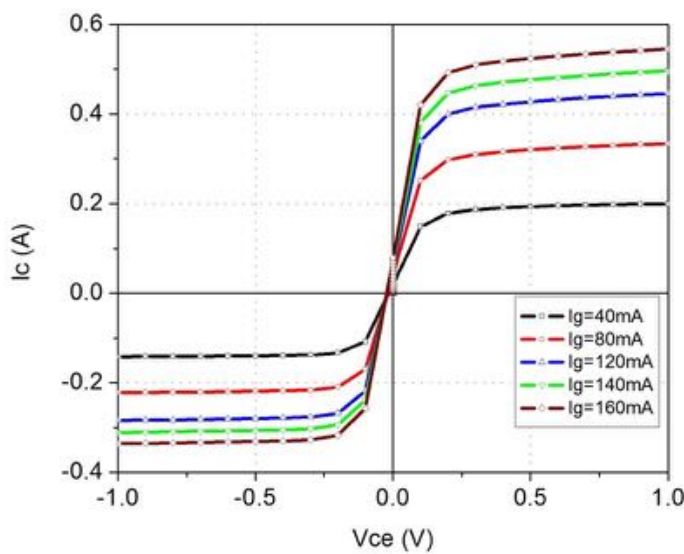


Figure II. 35 : Vue en coupe du BipAC PNP avec différents paramètres

On définit pour le BipAC les gains suivants : $\alpha = I_c/I_e$ et $\beta = I_c/I_g$.

Nous allons par la suite raisonner sur le gain β sauf dans le cas où une indication contraire est signalée.

Avant d'étudier l'effet de plusieurs paramètres sur le gain du BipAC, la structure a été simulée avec différents niveaux de courant de gâchette. Les caractéristiques du courant de collecteur en fonction de la tension collecteur-émetteur sont regroupées sur la figure II.36. On remarque que dans le tableau ci-dessous les valeurs du gain pour l'alternance positive (1^{er} quadrant) sont supérieures à celles obtenues pour l'alternance négative (3^{ème} quadrant), ceci est dû à la dissymétrie de la structure elle-même et des sens relatifs des courants d'émetteur et de gâchette (cf. figure II.6).



Ig(mA)	β=Ic/Ig	
	Vce=1V	Vce=-1V
40	4,97	3,54
80	4,17	2,77
120	3,71	2,36
140	3,54	2,22
160	3,4	2,09

Figure II. 36 : Caractéristiques du BipAC PNP et gain correspondant pour chaque cas

i- Impact de l'épaisseur de la zone de drift W_{N^-}

L'influence de l'épaisseur de la zone de substrat W_{N^-} a été étudiée par simulation. On constate que la diminution de l'épaisseur du substrat améliore le gain comme le montre la figure II.37. Toutefois, une diminution de l'épaisseur W_{N^-} dégrade la tenue en tension de la structure.

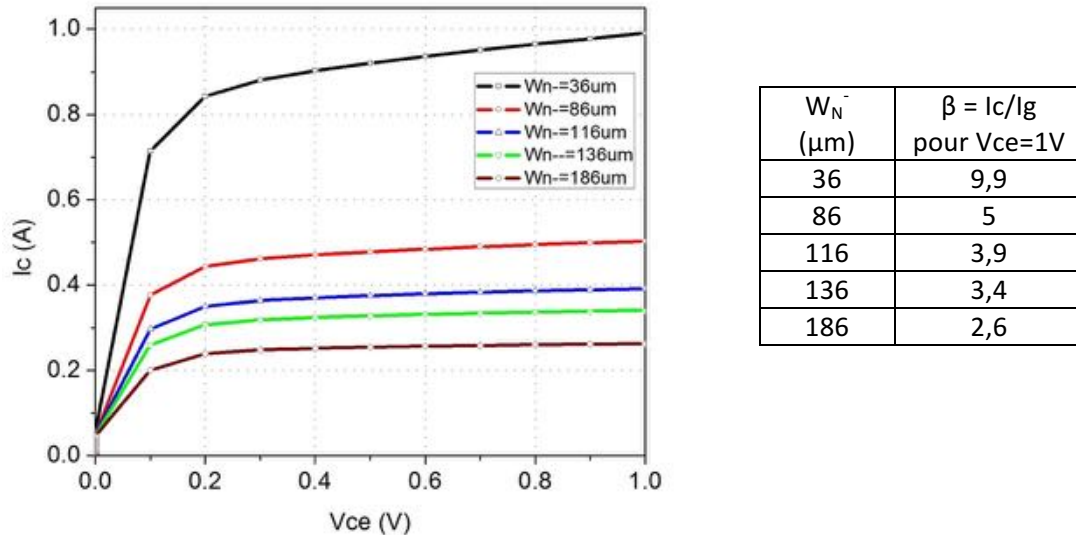


Figure II. 37 : Caractéristiques $I_c(V_{ce})$ pour différentes épaisseurs de substrat N^- et gain correspondant

ii- Impact de la concentration surfacique de la zone sous la gâchette

Pour étudier l'influence de la résistivité de la région P, nous avons fait varier son dopage, en choisissant des valeurs compatibles avec la filière technologique de puissance du LAAS. Une diminution de concentration de 1.10^{17} at/cm³ à 5.10^{16} at/cm³ entraîne une augmentation du gain β de 3,917 à 3,949. La résistivité de cette zone influe donc très peu sur le gain du BipAC (figure II.38).

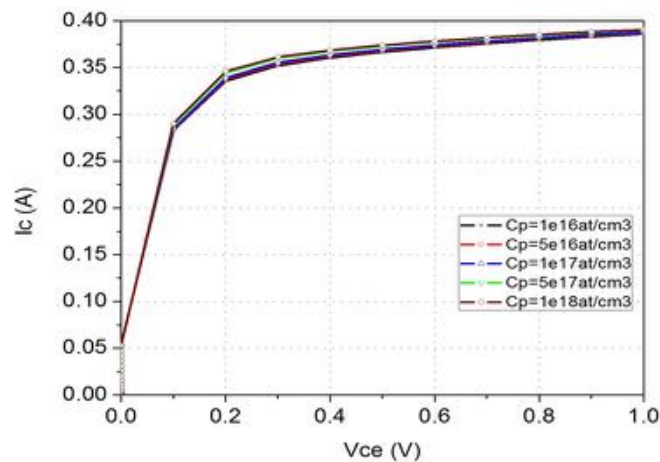


Figure II. 38 : Caractéristiques $I_c(V_{ce})$ pour deux valeurs de résistance de la région P

iii- Impact de la largeur de diffusion P^+ de l'émetteur (L_p^+)

Nous avons effectué des simulations pour évaluer l'influence de la largeur L_p^+ sur le gain. Nous constatons que l'augmentation du gain se fait au détriment de la surface silicium du composant. À titre d'exemple, pour une largeur L_p^+ de $545\mu m$, on a une largeur totale de la structure de $600\mu m$ ($50\mu m$ de largeur pour la gâchette et $5\mu m$ de distance entre les deux électrodes), et le gain obtenu est de 4,72.

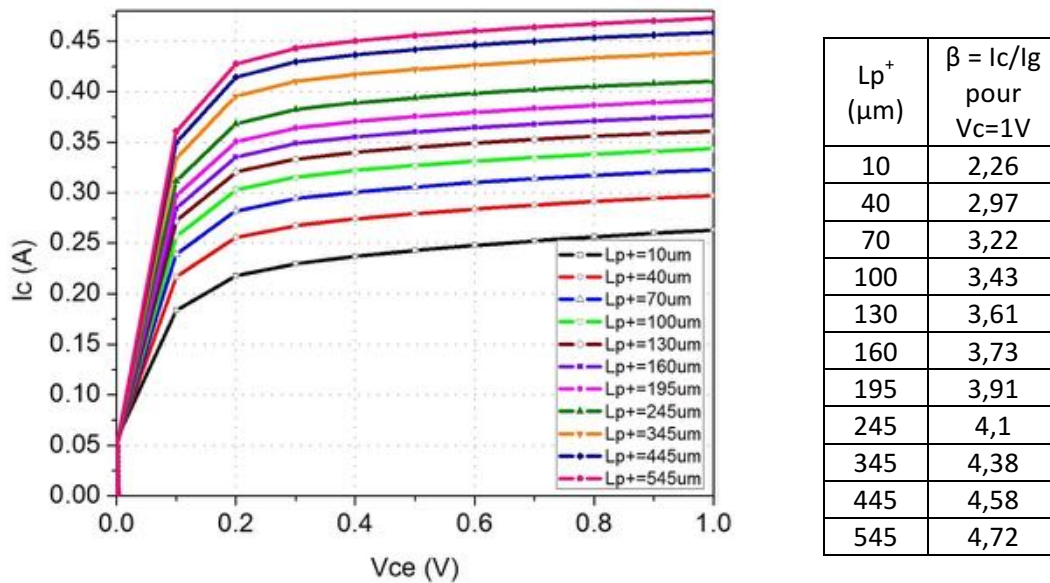


Figure II. 39 : Courant collecteur en fonction de la tension collecteur-émetteur pour différentes largeurs L_p^+ de la zone d'émetteur du BipAC et le gain correspondant à chaque cas

d- Gain du BipAC NPN

La simulation du BipAC type NPN pour divers niveaux de courant de gâchette a permis de tracer les caractéristiques du courant de collecteur en fonction de la tension collecteur-émetteur (figure II.40). On observe que le gain pour l'alternance négative est supérieur à celui de l'alternance positive. La dissymétrie, opposée à celle observée pour le BipAC PNP s'explique également à l'aide du schéma électrique équivalent (sens des courants de gâchette et d'émetteur, figure II.7). Le tableau donne les valeurs calculées pour le gain dans les cas simulés.

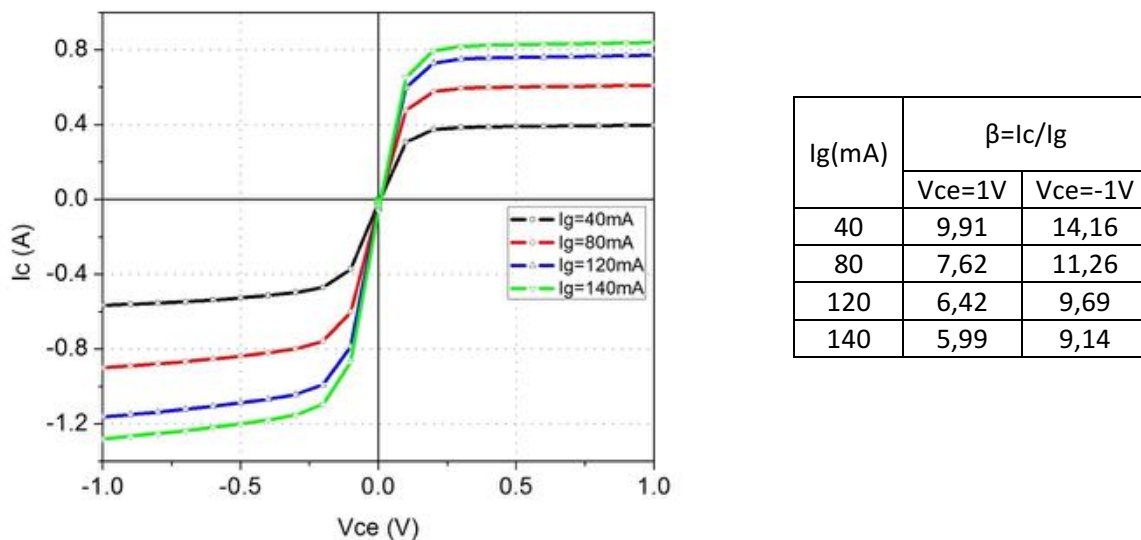


Figure II. 40 : Caractéristiques $I_c(V_{ce})$ du BipAC type NPN et gain correspondant pour chaque cas

e- Comparaison des gains entre BipAC PNP et BipAC NPN

Pour comparer les deux types de BipAC PNP et NPN, les deux structures ont été simulées dans les mêmes conditions (figure II.29) sous une commande en courant de gâchette de 100mA et pour les deux alternances, positive et négative, de la tension appliquée entre l'émetteur et le collecteur. Les deux courbes de la figure II.41 représentent le courant du collecteur en fonction de la tension collecteur-

émetteur pour les deux types de BipAC. Le tableau donne les valeurs du gain calculées dans chaque cas. À noter que ces valeurs correspondent au régime linéaire. Nous constatons que la structure sur substrat P paraît nettement plus avantageuse en termes de gain par rapport à la structure sur substrat N. Toutefois, notons que les deux structures comparées présentent la même épaisseur de substrat et ne tiennent pas la même tension. La comparaison des deux types de BipAC pour une tenue en tension donnée (et donc pour deux épaisseurs de substrat différentes) mène à la même conclusion, c'est-à-dire un meilleur gain dans le cas du substrat P (cf. paragraphe 4.2.c).

Remarque : Il faut comparer d'une part, les quadrants correspondant aux cas défavorables pour chaque type de substrat (le 3^{ème} quadrant pour le BipAC PNP et le 1^{er} quadrant du BipAC NPN) et d'autre part, les quadrants correspondant aux cas favorables.

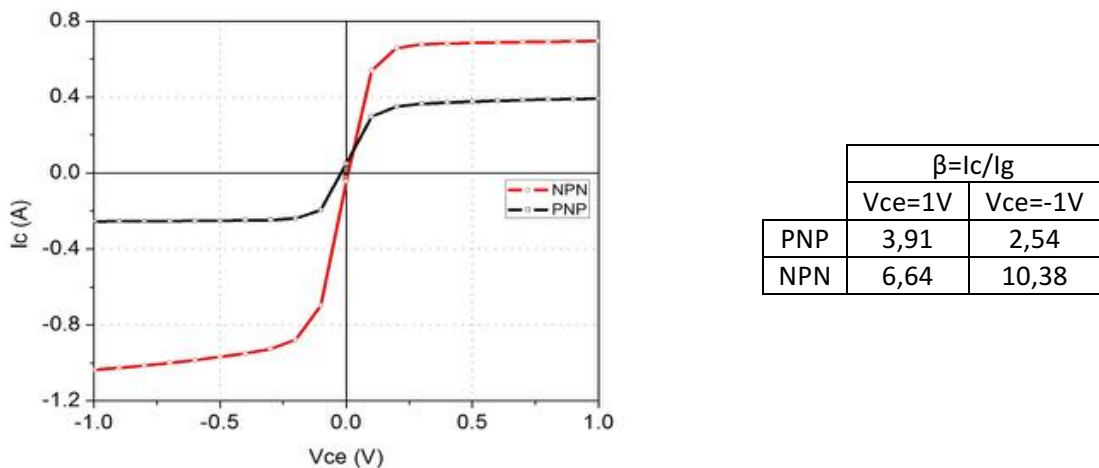


Figure II. 41 : Comparaison de gain entre les deux types de BipAC PNP et NPN, à paramètres physiques et géométriques identiques

Pour comprendre la différence observée dans la valeur du gain dans les deux types de substrat, nous allons décomposer la structure BipAC en ses deux transistors qui la constituent, à savoir un transistor de puissance et un transistor de gâchette (figures II.42 et II.43). Pour ces deux transistors, évaluons le gain en courant par simulation 2D.

Le gain du transistor de puissance est défini par : $\beta_{\text{puissance}} = I_c / I_g$. Notons que cette structure est équivalente à la structure BipAC où le transistor de gâchette aurait un gain idéal de 1.

Le gain de transistor de gâchette est défini par $\alpha_{\text{gâchette}} = I_c / I_e$. Dans les simulations, nous avons choisi une épaisseur de structure de 13 μm (au lieu de 130 donné en figure II.30) pour dissocier la section de puissance de la partie commande.

Ainsi, le gain du BipAC est obtenu par la multiplication des gains des deux parties constituantes : $\beta_{\text{BipAC PNP}} = \alpha_{\text{gâchette NPN}} \times \beta_{\text{puissance PNP}}$ pour le substrat N et $\beta_{\text{BipAC NPN}} = \alpha_{\text{gâchette PNP}} \times \beta_{\text{puissance NPN}}$ pour le substrat P.

Précisons que les figures II.42 et II.43 montrent les polarisations utilisées pour le meilleur quadrant (1^{er} quadrant pour le BipAC PNP et le 3^{ème} quadrant pour le BipAC NPN). Pour les autres quadrants, la polarité de l'alimentation est inversée, le sens du courant de commande est inchangé.

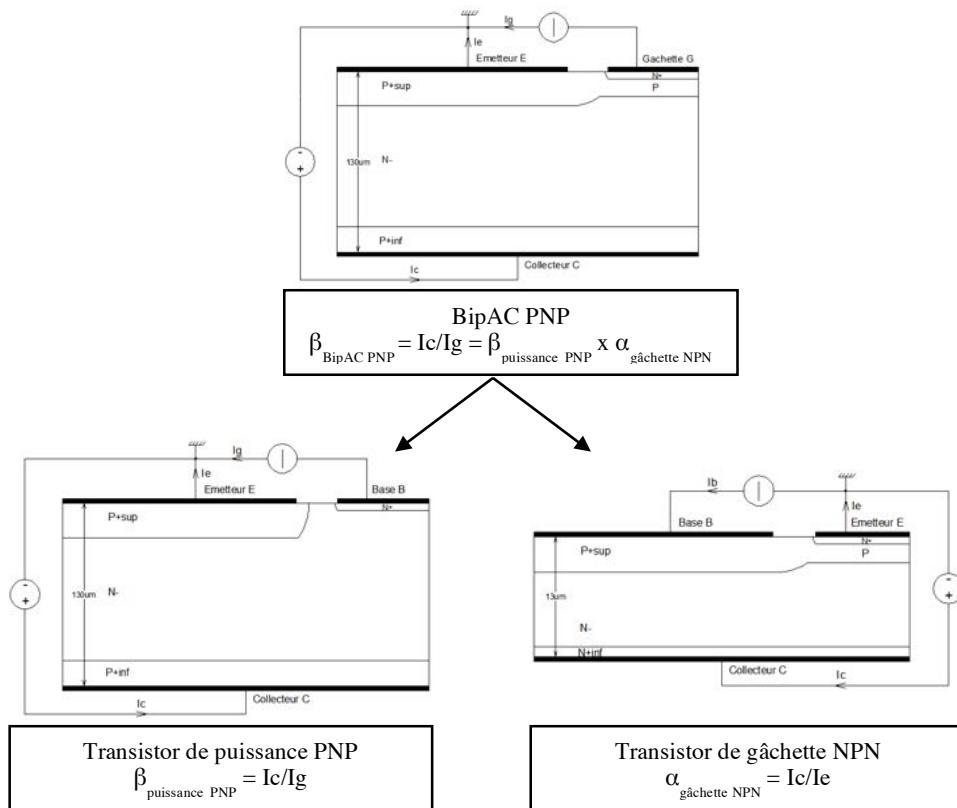


Figure II. 42 : Décomposition de la structure BipAC PNP en deux transistors bipolaires de puissance et de gâchette pour l'estimation du gain

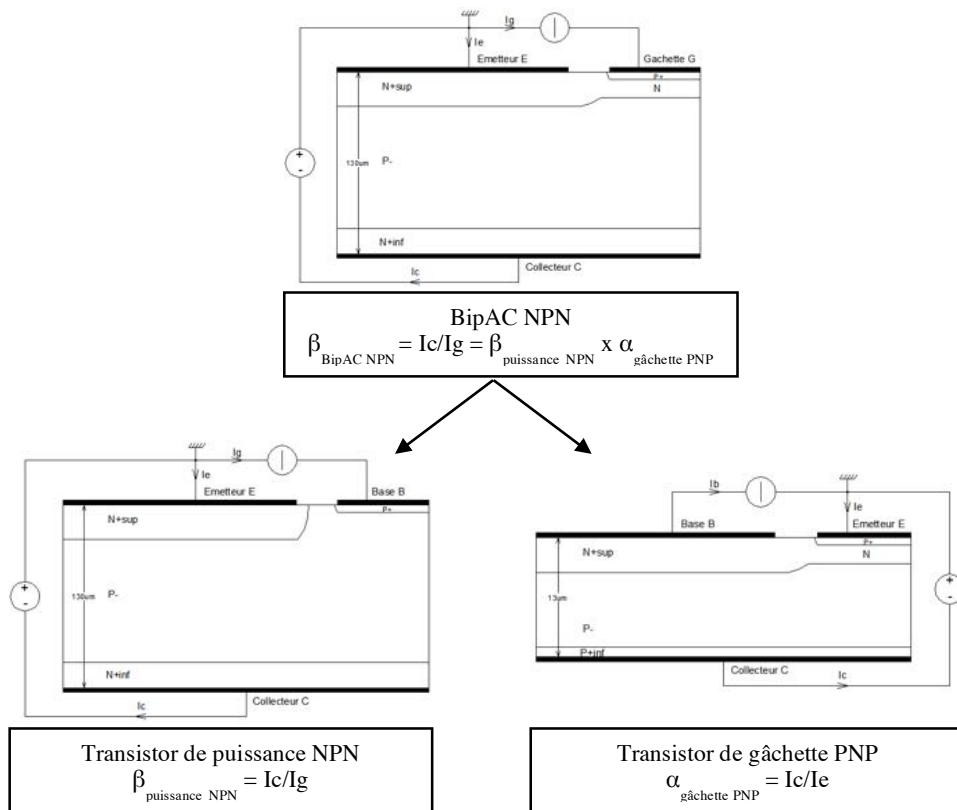


Figure II. 43 : Décomposition de la structure BipAC NPN en deux transistors bipolaires de puissance et de gâchette pour l'estimation du gain

Le tableau II.1 donne les résultats de simulation des deux transistors de puissance et de gâchette, le gain du BipAC déduit de ces simulations et rappelle le gain du BipAC obtenu par simulation (figure II.41).

		BipAC PNP	BipAC NPN
1 ^{er} quadrant	$\alpha_{\text{gâchette}}$	0,97	0,93
	$\beta_{\text{puissance}}$	3,6	6,8
	$\beta_{\text{BipAC déduit}}$	3,5	6,32
3 ^{ème} quadrant	$\beta_{\text{BipAC simulé}}$	3,91	6,64
	$\beta_{\text{puissance}}$	2,56	9,15
	$\beta_{\text{BipAC déduit}}$	2,5	8,5
	$\beta_{\text{BipAC simulé}}$	2,48	10,38

Tableau II. 1 : Gains déduits des structures BipAC PNP et NPN à partir des gains des transistors de puissance et de gâchette, comparés aux gains simulés des structures BipAC

Nous constatons que le gain calculé en décomposant la structure BipAC est similaire à celui obtenu par simulations 2D. Cependant, le gain calculé est légèrement inférieur à celui simulé sur la structure BipAC. Ceci est lié au fait que la surface d'injection dans le transistor de puissance seul est inférieure à la surface d'injection réelle du BipAC.

Cette étude montre que le gain du BipAC est principalement dépendant du gain de la partie puissance de la structure (gain β du transistor de puissance). Examinons l'expression analytique correspondant au gain β de ce transistor.

Le gain d'un transistor à émetteur commun est donné par l'expression suivante [40] :

$$\beta = \left(\frac{D_{nB}}{D_{pE}} \right) \left(\frac{L_{pE}}{W_B} \right) \left(\frac{N_{DE}}{N_{AB}} \right) \left(\frac{n_{ieB}^2}{n_{ieE}^2} \right) \quad (5)$$

où D_{nB} et D_{pE} sont respectivement les coefficients de diffusion des électrons dans la base et des trous dans l'émetteur

L_{pE} et W_B sont respectivement la longueur de diffusion des trous dans l'émetteur et l'épaisseur de la base

N_{DE} et N_{AB} sont respectivement les concentrations de dopage de l'émetteur et de la base

n_{ieE} et n_{ieB} sont respectivement les concentrations intrinsèques dans l'émetteur et dans la base

Le coefficient D de diffusion des porteurs est relié à la mobilité μ par la relation d'Einstein [41] :

$$D = \frac{kT}{q} \mu \quad (6)$$

où k est la constante de Boltzmann, T est la température absolue et q est la charge de l'électron

La longueur de diffusion minoritaire est donnée par la relation suivante :

$$L = \sqrt{D \tau} \quad (7)$$

où τ est la durée de vie des porteurs

La durée de vie dans notre cas a été choisie identique pour les deux types de porteurs. En examinant la relation (5), la différence de gain observée entre les deux types de substrat peut s'expliquer par la différence de mobilité entre électrons et trous. Pour les faibles dopages utilisés de l'ordre de 10^{14}cm^{-3} , la mobilité des électrons est de l'ordre de $1450 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ et celle des trous est de l'ordre de $500 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ [41].

3.2- Etude en commutation

Après les premières simulations statiques sur le comportement du BipAC à l'état bloqué et à l'état passant, une étude en dynamique est menée pour vérifier sa fonctionnalité. Dans un premier temps, nous évaluerons les conditions de déclenchement de la section thyristor parasite inhérente à la structure. Puis, nous étudierons le comportement du BipAC en commutation et déterminerons le temps de commutation en fonction du signal de commande utilisé.

a- Effet thyristor parasite du BipAC : détermination du courant de maintien

Du fait de la configuration de la structure (quatre couches), il convient de déterminer le courant de maintien de la section thyristor parasite, pour une géométrie et des paramètres physiques donnés de la cellule BipAC. En effet, ce courant de maintien doit être le plus élevé possible de sorte à avoir un courant de maintien du BipAC supérieur au courant $I_{c_{\max}}$ qui traverse le BipAC à l'état passant. Ainsi, la suppression du courant I_g de commande du BipAC entraîne son blocage.

Parmi les paramètres caractérisant un thyristor classique, on note le courant d'accrochage I_L et le courant de maintien I_h . Le courant d'accrochage est la valeur minimale que doit atteindre le courant d'anode pour garantir le déclenchement après suppression du signal de gâchette. Le courant de maintien correspond à la valeur du courant d'anode au-dessus de laquelle le thyristor reste conducteur même après suppression du signal de gâchette.

i- Démarche adoptée pour déterminer le courant de maintien

Pour déterminer le courant de maintien, on branche une source de tension sinusoïdale V_s en série avec une résistance R_c entre l'anode A et la gâchette G. On applique entre la gâchette G et la cathode K une source d'impulsions de tension V_g en série avec une résistance R_g permettant la commande du thyristor par sa gâchette (figure II.44).

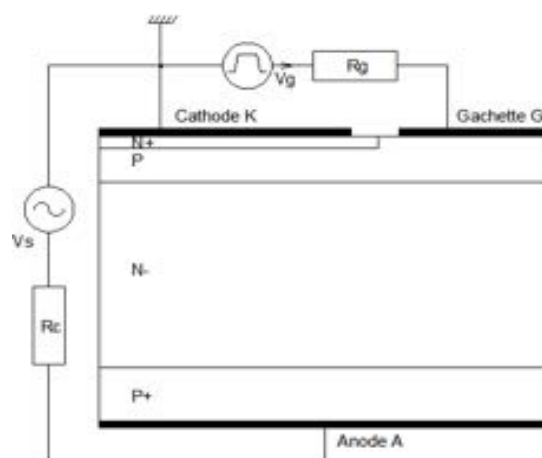


Figure II. 44 : Commande du thyristor

Sur une alternance positive de la tension V_s (figure II.45.a), une fois que le courant de l'anode devient supérieur au courant d'accrochage du thyristor, on applique pour une durée donnée, une tension

sur la gâchette (figure II.45.b) ce qui rend le thyristor passant. Après suppression du signal de commande, si le thyristor continue à conduire (figures II.45.c et II.45.d), on attend qu'il se bloque tout seul et la valeur du courant d'anode à cet instant sera la valeur du courant de maintien du thyristor. Si le thyristor se bloque immédiatement, c'est que le courant d'anode à l'instant de la suppression du signal de commande est inférieur au courant de maintien à déterminer. Dans ce cas, on recommence la procédure en appliquant la tension de gâchette pour une durée plus courte de telle sorte à avoir le courant d'anode à l'instant de la suppression de V_g supérieur au courant I_h , ou bien on utilise une résistance R_g de valeur plus petite pour augmenter la valeur du courant de commande de la gâchette.

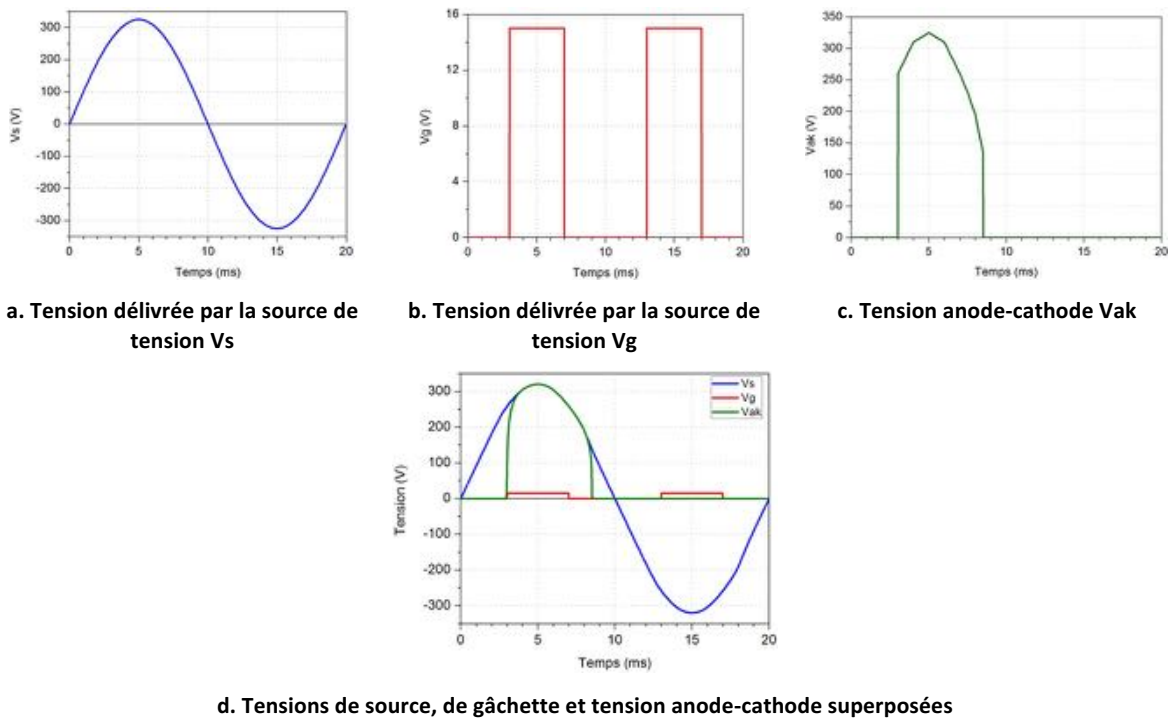


Figure II. 45 : Evolution des différentes tensions dans le circuit utilisé pour déterminer le courant de maintien du thyristor

ii- Détermination du courant de maintien de la structure BipAC

En respectant la démarche décrite ci-dessus, nous avons déterminé le courant de maintien de la structure BipAC. En effet, tant que le thyristor parasite de la structure BipAC est passant, le transistor de puissance PNP (ou NPN) du BipAC reste passant également. Pour estimer la valeur du courant de maintien du BipAC, une tension sinusoïdale $V_s(t)$ d'amplitude 300V et de fréquence 50Hz est appliquée. Une tension de gâchette de 5V est appliquée après 2ms du début de l'alternance de V_s (alternance positive pour le BipAC PNP et alternance négative pour le BipAC NPN) et pour une durée de 5ms (sans compter les temps de montée et de descente) avec un temps de montée de $10\mu s$, égal au temps de descente. Les circuits simulés sont donnés sur la figure II.46.

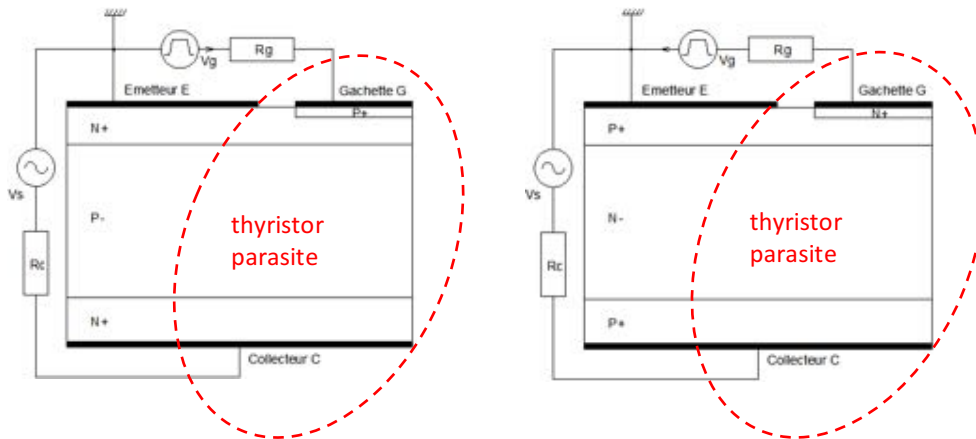


Figure II. 46 : Circuits de commande des BipAC NPN (à gauche) et PNP (à droite) pour la détermination du courant de maintien de la section thyristor

Dans un premier temps, la simulation est faite avec des résistances R_c et R_g de 150Ω et 2Ω respectivement, imposant ainsi un courant de gâchette de $2,5A$. La tension d'anode et les courants de collecteur et de gâchette obtenus sont illustrés sur les figures II.47.a et II.47.b pour le BipAC PNP et le BipAC NPN respectivement. Le courant de maintien du BipAC PNP dans cet exemple est de l'ordre de $0,3A$ alors que celui du BipAC NPN est de l'ordre de $0,5A$. Ces valeurs sont pénalisantes pour les applications visées, il convient d'optimiser la géométrie pour repousser à un niveau plus élevé le niveau du courant de maintien de la section thyristor parasite. Il s'agit en particulier de minimiser la résistance de la région de base P de la section bipolaire N^+PN^- (dans le cas du BipAC PNP). Cet exemple utilise une largeur de région de gâchette X_g de $50\mu m$, si cette région est réduite à $10\mu m$, le courant de maintien du thyristor parasite est alors de $2,4A$ pour le BipAC PNP et de $2,6A$ pour le BipAC NPN.

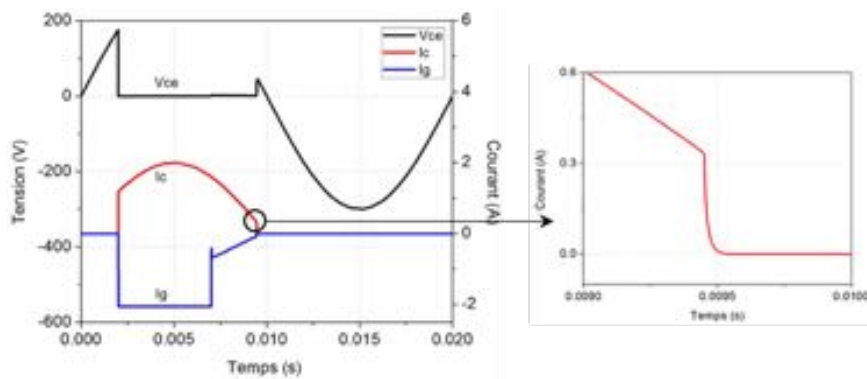


Figure II. 47.a : Détermination du courant de maintien du BipAC PNP pour $X_g=50\mu m$

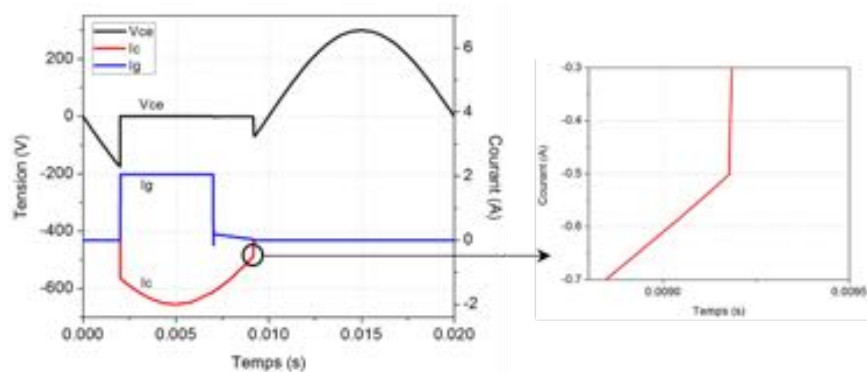


Figure II. 47.b : Détermination du courant de maintien du BipAC NPN pour $X_g=50\mu m$

iii- Vérification de la commutation à l'ouverture du BipAC

Dans un deuxième temps, connaissant maintenant le courant de maintien, la simulation est faite avec des résistances R_c de 600Ω et R_g de 10Ω imposant ainsi un courant maximal d'anode égal au courant de gâchette de $0,5A$. En effet, lorsque le courant de maintien du BipAC (lié au thyristor parasite) est supérieur à $I_{c_{max}}$, la suppression du courant de commande conduit simultanément au blocage du thyristor parasite et de la section du transistor de puissance du BipAC (figure II.48).

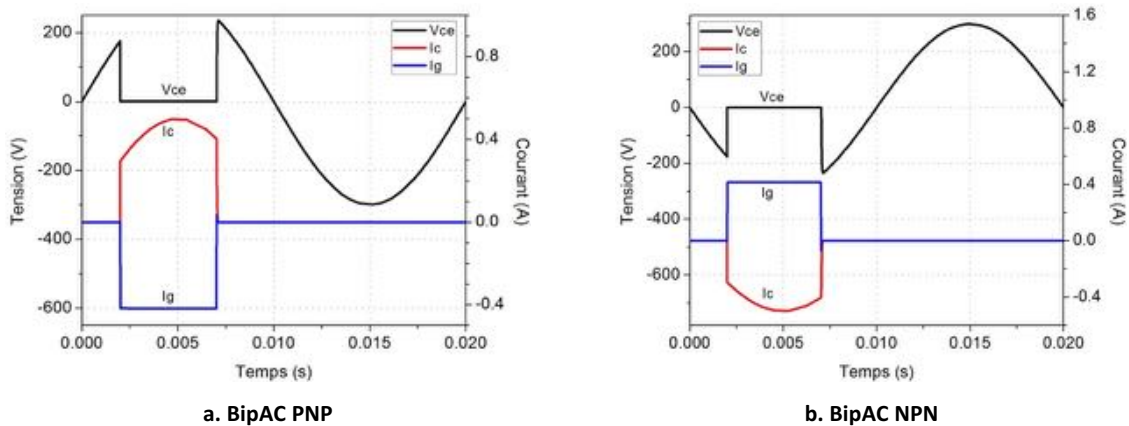


Figure II. 48 : Tension anode-cathode et courants d'anode et de gâchette dans le thyristor du BipAC pour des résistances R_c de 600Ω et R_g de 10Ω .

iv- Bilan

La démarche suivie pour déterminer le courant de maintien du BipAC (lié à son thyristor parasite) a été expliquée et utilisée pour démontrer que celui-ci ne perturbe pas le bon fonctionnement de la structure principale.

Afin de garantir l'ouverture du BipAC au moment de la suppression du courant de gâchette, il conviendra de dimensionner la cellule en réduisant le plus possible la résistance de la région située sous la gâchette du BipAC, par exemple en ajustant la largeur de cette région.

b- Comportement du BipAC à la commutation

Pour étudier le fonctionnement dynamique du BipAC, une source de tension alternative V_{ch} est branchée en série avec une résistance R_c entre l'émetteur, pris comme référence, et le collecteur. Etant donné que le BipAC est destiné à des applications de gestion d'énergie sur le réseau alternatif 230V-50Hz, alors nous avons $V_{ch_{efficace}}=230V$ et $V_{ch_{max}}=V_{ch_{efficace}}\sqrt{2}=325V$.

La résistance de charge est telle que $R_c=V_{ch_{efficace}}/I_{c_{efficace}}$ avec $I_{c_{efficace}}$ visé de $0,5A$, d'où $R_c=230/0,5=500\Omega$. On a, $I_{c_{max}}=I_{c_{efficace}}\sqrt{2}=0,7A$ ou $I_{c_{max}}=V_{ch_{max}}/R_c=0,65A\approx 0,7A$.

Deux types de commande peuvent être utilisés pour assurer la commande du BipAC : commande par un générateur de courant (figures II.50.a et II.51.a) et commande par un générateur de tension en série avec une résistance tel que $I=V/R$ (figures II.49, II.50.b et II.51.b). Le deuxième type de commande est le plus réaliste. Mais en premier lieu et pour s'assurer du bon fonctionnement du BipAC et de sa commutation selon la commande, on simule en pilotant la gâchette par une source de courant. Une fois cette étape validée, la source de courant sera remplacée par une source de tension en série avec une résistance délivrant ainsi un courant équivalent. Nous avons vérifié que les résultats sont identiques pour ces deux types de commande.



Figure II. 49 : Circuits simulés pour l'étude en commutation pour le BipAC NPN et PNP respectivement

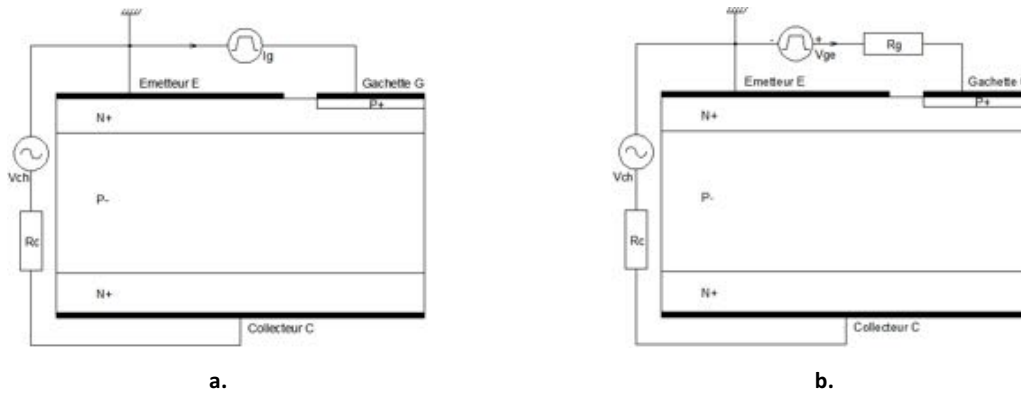


Figure II. 50 : Commande du BipAC NPN (a) par un générateur de courant, (b) par un générateur de tension en série avec une résistance

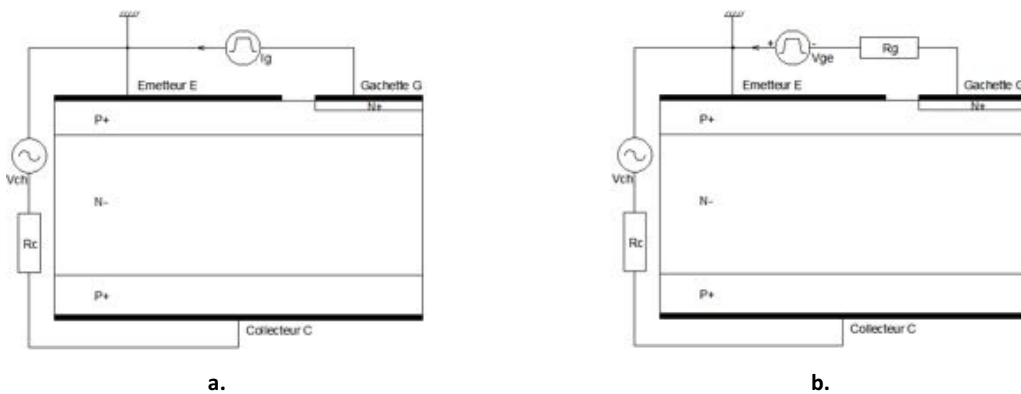


Figure II. 51 : Commande du BipAC PNP (a) par un générateur de courant, (b) par un générateur de tension en série avec une résistance

Les figures [II.50.a](#), [II.50.b](#) et [II.52.a](#) correspondent aux commandes du BipAC NPN dans les cas suivants : $V_{ch}=325V$; $R_c=500\Omega$; $I_c=650mA$; $Z=10000\mu m$ et le courant délivré par la source de courant est $I_g=100mA$ alors que la source de tension $V_g=15V$ est en série avec $R_g=150\Omega$ d'où le courant délivré $I_g=100mA$.

Les figures [II.51.a](#), [II.51.b](#) et [II.52.b](#) correspondent aux commandes du BipAC PNP dans les cas suivants : $V_{ch}=325V$; $R_c=500\Omega$; $I_c=650mA$; $Z=25000\mu m$ et le courant délivré par la source de courant est $I_g=250mA$ alors que la source de tension $V_g=15V$ est en série avec $R_g=60\Omega$, d'où le courant délivré $I_g=250mA$.

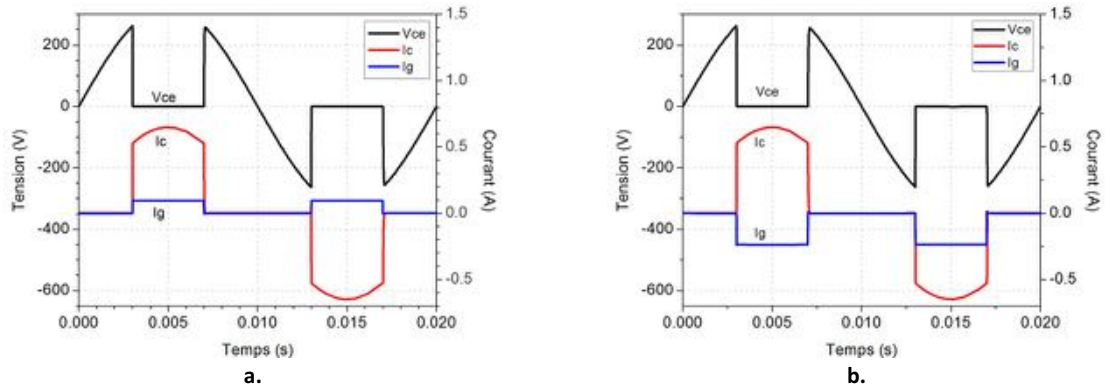


Figure II. 52 : Les grandeurs V_c , I_c et I_g sur une période de V_{ch} (a) pour le BipAC NPN, (b) pour le BipAC PNP commandés par un générateur de tension en série avec une résistance

Conclusion : Les deux types de BipAC NPN et PNP ont été simulés en dynamique. Les chronogrammes de commutation obtenus permettent de vérifier le comportement du BipAC, bidirectionnel en courant et commandable à la fermeture et à l’ouverture.

c- Temps de commutation

Pour pouvoir déterminer le temps de commutation du BipAC PNP, nous simulons la structure en la commandant par un générateur de tension en série avec une résistance (circuit de la figure II.49.b).

Dans le bipolaire classique, on impose une impulsion négative sur la gâchette pour bloquer le transistor. Ainsi, le temps de commutation sera réduit et par la suite les pertes durant la commutation seront réduites aussi.

Pour étudier l’impact d’une telle impulsion négative sur le temps de commutation du BipAC, l’impulsion positive appliquée sur la gâchette pour rendre le composant passant est suivie d’une impulsion négative pour le bloquer et vérifier si la commutation sera plus rapide (figure II.53). Le tableau II.2 donne le temps de commutation à l’ouverture et à la fermeture pour les deux alternances positive et négative sans impulsion négative, avec une impulsion négative de 5V, 10V et 15V.

Rappelons que le temps de commutation correspond à la durée nécessaire pour que le courant de charge passe de 10% à 90% de sa valeur finale comme le montre la figure II.54.

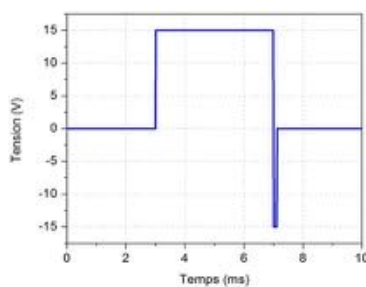


Figure II. 53 : Tension V_g appliquée avec polarisation négative de 15V

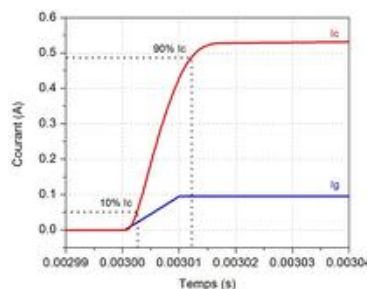


Figure II. 54 : Mesure du temps de commutation

$V_g+(V)$	$V_g-(V)$	Alternance positive		Alternance négative	
		Ton(μ s)	Toff(μ s)	Ton(μ s)	Toff(μ s)
15	0	15	65	8	100
	-5	16	60	8	100
	-10	15	55	7.5	100
	-15	15	55	8	100

Tableau II. 2 : Temps de commutation en fonction de la polarisation inverse appliquée sur la gâchette

Conclusion : Contrairement à un bipolaire classique, l’impulsion négative sur la commande de gâchette ne réduit pas le temps de commutation. Cette commande inverse n’est pas nécessaire.

4- Choix des paramètres pour l'application 750V

Après l'étude qualitative du comportement de la structure BipAC en fonction de divers paramètres physiques et géométriques, nous allons proposer un dimensionnement du composant pour les applications spécifiques à faible niveau de courant dédiées à fonctionner sur le réseau alternatif domestique 50Hz – 230V. Ainsi, le BipAC doit tenir, dans les deux sens direct et inverse, une tension de l'ordre de 750V. À l'état passant, le composant doit laisser passer un courant de collecteur I_c de 0,8A pour une tension V_{ce} inférieure ou égale à 0,2V. Le choix de $V_{ce}=0,2V$ est imposé par le fait qu'au-delà de cette tension, le courant du BipAC n'augmente quasiment plus. Quant-à la surface, elle doit être la plus petite possible, inférieure ou égale à 10mm^2 . En outre, pour que les performances du composant (en termes de pertes) soient meilleures que celles du triac, le BipAC doit présenter un gain β supérieur ou égale à 5 (cf. section 4 du chapitre 1).

Dans ce cadre, nous allons commencer par déterminer l'épaisseur du substrat nécessaire pour une tenue de tension de 750V pour les deux types de substrats N et P. Puis, nous simulons les deux types du BipAC à l'état passant pour évaluer le courant de gâchette I_g et le facteur de surface (donc la surface) indispensables pour faire passer 0,8A. Le gain est ainsi estimé. Ensuite, nous vérifions la chute de tension par des simulations en dynamique. À l'issue de cette étude, un dimensionnement de la cellule BipAC est proposé.

4.1- Epaisseur du substrat pour une tenue en tension de 750V

Auparavant, nous avons expliqué la technique à utiliser pour l'obtention de la bidirectionnalité en tension. Par ailleurs, à partir d'une structure élémentaire type avec région N^- centrale de dopage 1.10^{14}cm^{-3} et terminaison de jonction, nous avons déterminé qu'une épaisseur de substrat de $130\mu\text{m}$ permet de tenir une tension de 750V. Nous allons ici étudier la tenue en tension de la structure BipAC.

a- Cellule BipAC sur substrat N

Pour un substrat donné, les simulations ont été menées en examinant la tenue en tension d'une structure de type diode, puis d'une structure bipolaire classique, et enfin d'une structure bipolaire bidirectionnelle (BipAC).

Définissons une diode $P^+N^-N^+$, de largeur X de $250\mu\text{m}$, d'épaisseur Y de $200\mu\text{m}$ (choisie arbitrairement pour commencer) et de facteur de surface Z de $7500\mu\text{m}$. La région P^+ de l'anode a une épaisseur de $7\mu\text{m}$, elle est dopée selon un dopage gaussien de concentration en surface de $2,5.10^{19}\text{cm}^{-3}$. Le substrat N^- a une épaisseur égale à $192\mu\text{m}$, elle est uniformément dopée avec une concentration de 1.10^{14}cm^{-3} . Une couche N^+ d'épaisseur de $1\mu\text{m}$ assure le contact de la cathode. Elle est dopée par un dopage gaussien de concentration en surface de $2,5.10^{19}\text{cm}^{-3}$. La diode est polarisée en inverse comme le montre la figure [II.55.a](#).

Pour définir le transistor $P^+N^-P^+$ à partir de la diode décrite ci-dessus, on remplace la couche N^+ de $1\mu\text{m}$ de la diode par une couche de P^+ de $7\mu\text{m}$ tout en gardant l'épaisseur totale du transistor égale à $200\mu\text{m}$, ce qui revient à avoir un substrat N^- du transistor de $186\mu\text{m}$. La concentration de cette couche P^+ est également de $2,5.10^{19}\text{cm}^{-3}$. L'anode et la cathode de la diode correspondent respectivement à l'émetteur et au collecteur du transistor (figure [II.55.b](#)).

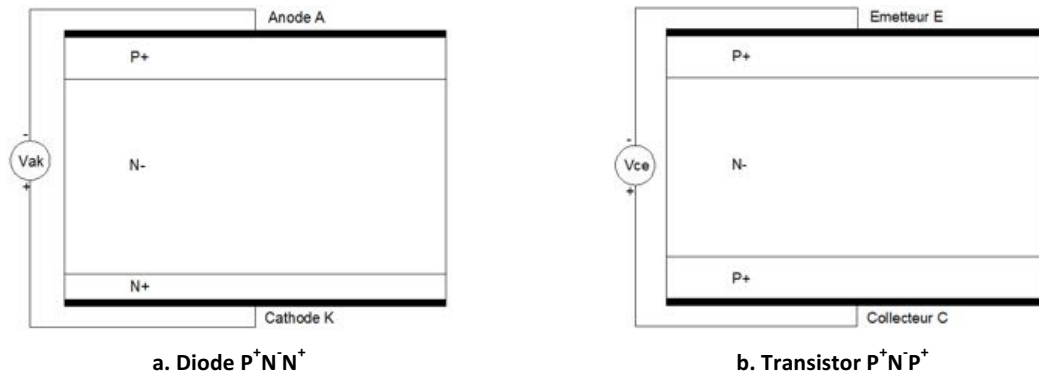


Figure II. 55 : Polarisation (a) de la diode $P^+N^-N^+$ et (b) du transistor $P^+N^-P^+$

À partir du transistor déjà défini, le BipAC PNP est obtenu en insérant une région N^+ de gâchette de $1\mu\text{m}$ d'épaisseur et de $50\mu\text{m}$ de largeur. Cette nouvelle région est dopée selon un dopage gaussien de concentration maximale de $2,5 \cdot 10^{19}\text{cm}^{-3}$. La largeur de la structure étant de $250\mu\text{m}$, la région P^+ de l'émetteur devient une région P sous la gâchette ; elle a une épaisseur de $5\mu\text{m}$ et une concentration en surface de $1 \cdot 10^{17}\text{cm}^{-3}$ (figure II.56). Appliquons une tension V_{ce} positive entre l'émetteur et le collecteur du BipAC, ainsi la jonction P^+N^- du côté émetteur est polarisée en inverse et tient la tension.

Résultats : Les trois structures diode, transistor et BipAC sont simulées à une température de 300K. Les tenues en tension obtenues sont respectivement de 1410V, 1220V et 1210V (figure II.57).

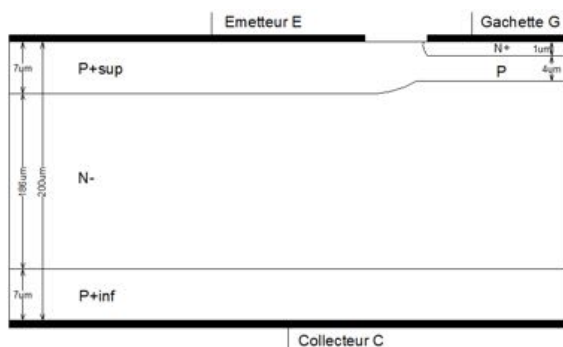


Figure II. 56 : BipAC PNP défini à partir du transistor $P^+N^-P^+$

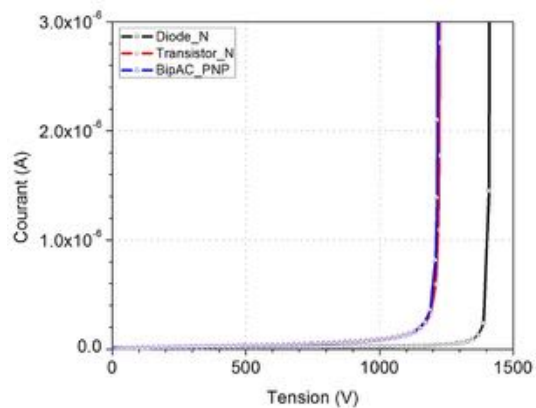


Figure II. 57 : Tenue en tension de Diode-Transistor-BipAC sur substrat N

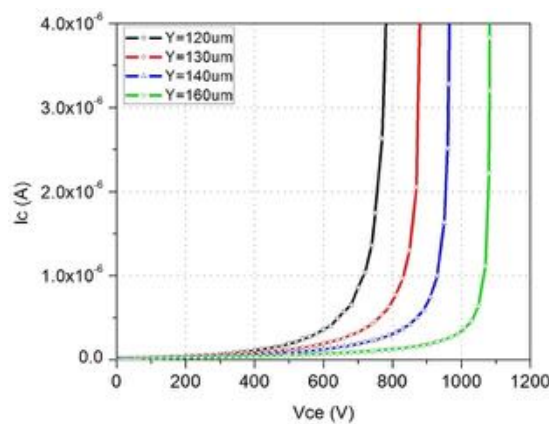


Figure II. 58 : Tenue en tension du BipAC PNP en fonction de son épaisseur Y

Les résultats montrent qu'une épaisseur Y de $200\mu\text{m}$ permet une tenue en tension largement supérieure à 750V . Procédons à des simulations pour déterminer l'épaisseur du substrat nécessaire. Les résultats sont donnés sur la figure [II.58](#). Nous constatons qu'une épaisseur de $130\mu\text{m}$ est suffisante pour supporter une tension de 750V .

b- Cellule BipAC sur substrat P

Les mêmes simulations (d'une diode, d'un transistor et d'un BipAC d'épaisseur de $200\mu\text{m}$ pour commencer) sont effectuées sur un substrat P en gardant les mêmes paramètres dans chacun des trois cas de structures ; seul le type de dopage P et N des différentes zones ainsi que la polarité de la tension V_{ak} pour la diode et de la tension V_{ce} pour le transistor et le BipAC sont permutés.

Résultats : Les tenues en tension obtenues pour la diode $N^+P^+P^+$, le transistor $N^+P^+N^+$ et le BipAC NPN sont respectivement de 1430V , 680V et 680V (figure [II.59](#)).

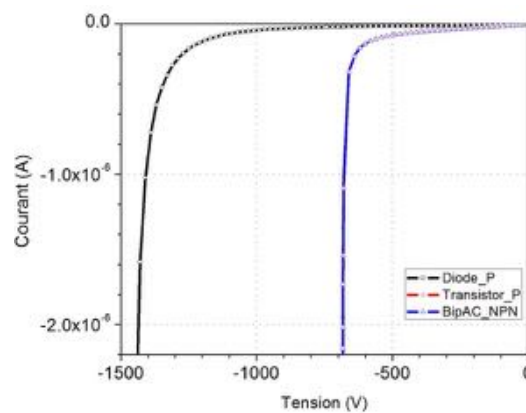


Figure II. 59 : Tenue en tension de Diode-Transistor-BipAC sur substrat P

Il est clair que pour le BipAC de type NPN une augmentation de l'épaisseur du substrat est nécessaire pour la tenue en tension visée, au détriment de la chute de tension à l'état passant. En faisant varier l'épaisseur de la structure pour atteindre une tenue en tension de 750V , nous obtenons les résultats de la figure [II.60](#). Une épaisseur de $230\mu\text{m}$ est nécessaire pour une tenue en tension de 750V .

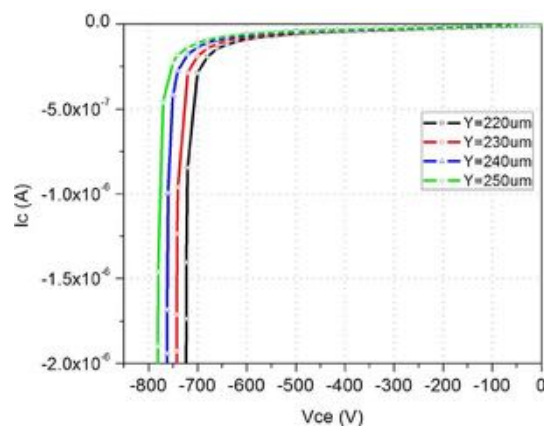


Figure II. 60 : Tenue en tension du BipAC NPN en fonction de son épaisseur Y

4.2- Evaluation des BipACs dans les conditions imposées

Les paramètres physiques et géométriques utilisées pour ces simulations sont donnés en figures [II.28](#) et [II.29](#) sauf indication contraire. Selon le type du substrat, l'épaisseur de la structure correspond

aux valeurs déterminées dans le paragraphe précédent. Nous simulons le BipAC à l'état passant en le commandant par différentes valeurs de courant de gâchette allant de 200 à 350mA, pour différentes valeurs de facteurs de surface Z et nous vérifions les conditions pour lesquelles le courant I_c traversant la structure, à V_{ce} de 0,2V, est au moins égale à 0,8A. Les résultats des simulations donnés ci-après (gain et chute de tension) se limitent au quadrant le plus défavorable pour chaque type de substrat N ou P (1^{er} quadrant pour le type N et 3^{ème} quadrant pour le type P).

Sachant que la surface est calculée en multipliant la largeur X de la structure par le facteur de surface Z , les surfaces correspondant à chacune des valeurs de Z simulées sont données dans le tableau suivant.

Z (μm)	40000	50000	65000	80000
S (mm^2)	10	12,5	16,25	20

Tableau II. 3 : Surface du BipAC en fonction du facteur de surface pour $X=250\mu\text{m}$

a- Caractéristiques I(V) du BipAC PNP en fonction de Z et de I_g

Dans un premier lieu, nous avons simulé une surface de 10mm^2 . Cependant, même avec un courant I_g de 350mA, le courant I_c n'atteint pas la valeur recommandée de 0,8A (figure II.61.a). De ce fait, nous augmentons la surface en augmentant le facteur de surface Z . Les résultats sont regroupés sur la figure II.61. Bien que nous ayons doublé la surface, le courant I_g minimal nécessaire pour la commande reste de 300mA. Ainsi, le courant I_c dépasse 0,8A pour un facteur de surface Z de $65000\mu\text{m}$ si le courant I_g est de 350mA et pour un Z de $80000\mu\text{m}$ si le courant I_g est de 300 ou 350mA.

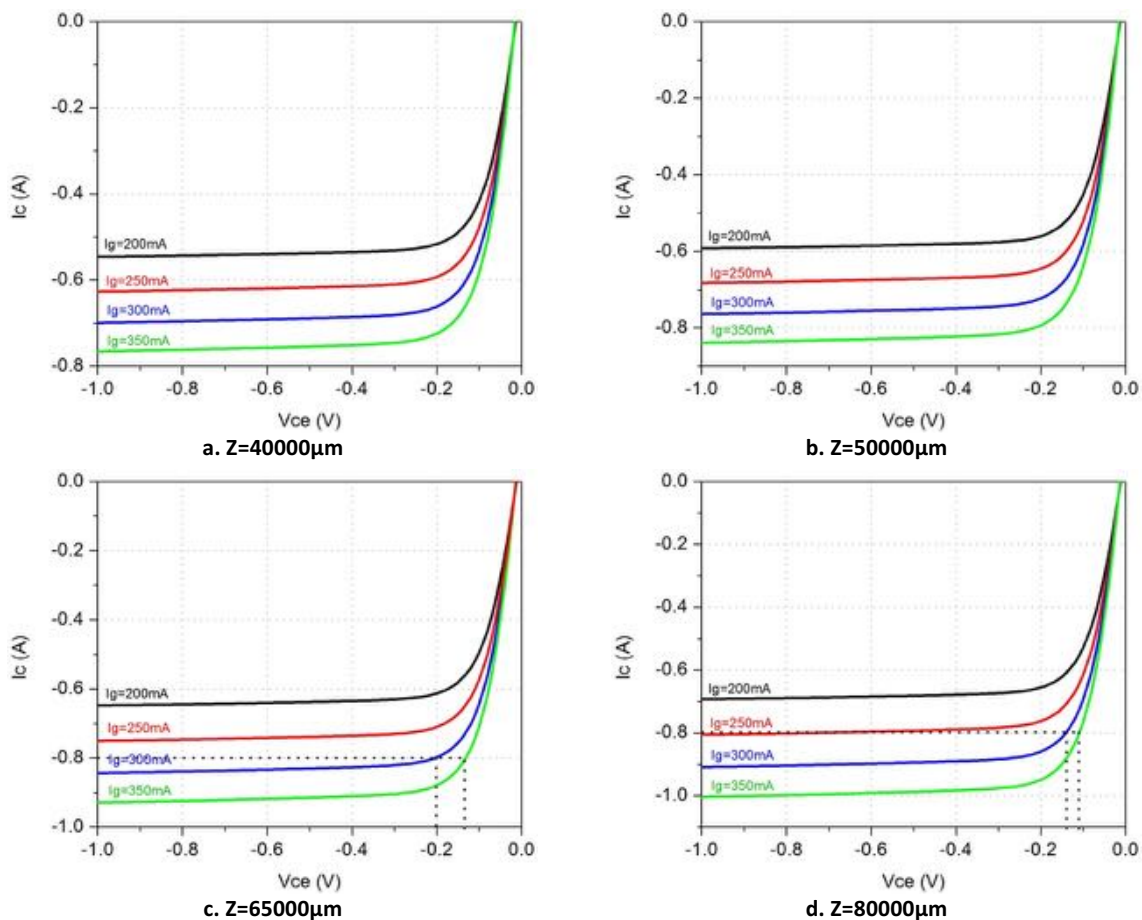


Figure II. 61 : Caractéristiques $I_c(V_{ce})$ du BipAC PNP pour différentes valeurs de facteur de surface Z

b- Caractéristiques I(V) du BipAC NPN en fonction de Z et de I_g

De la même façon que pour le BipAC PNP, nous avons simulé une surface de 10mm^2 de la structure de type NPN. Un courant de commande I_g de 350mA permet de faire passer 0,8A exacte à tension V_{ce} de 0,2V, ce qui représente un cas limite. Nous augmentons alors la surface simulée. Les résultats sont illustrés sur la figure II.62. En doublant la surface, le courant I_c est à la limite de 0,8A si le BipAC NPN est commandé par un courant I_g de 250mA. Nous constatons que I_c dépasse 0,8A pour Z de 50000μm si le courant I_g est de 350mA, pour un Z de 65000μm ou de 80000μm si le courant I_g est d'au moins égale à 300mA.

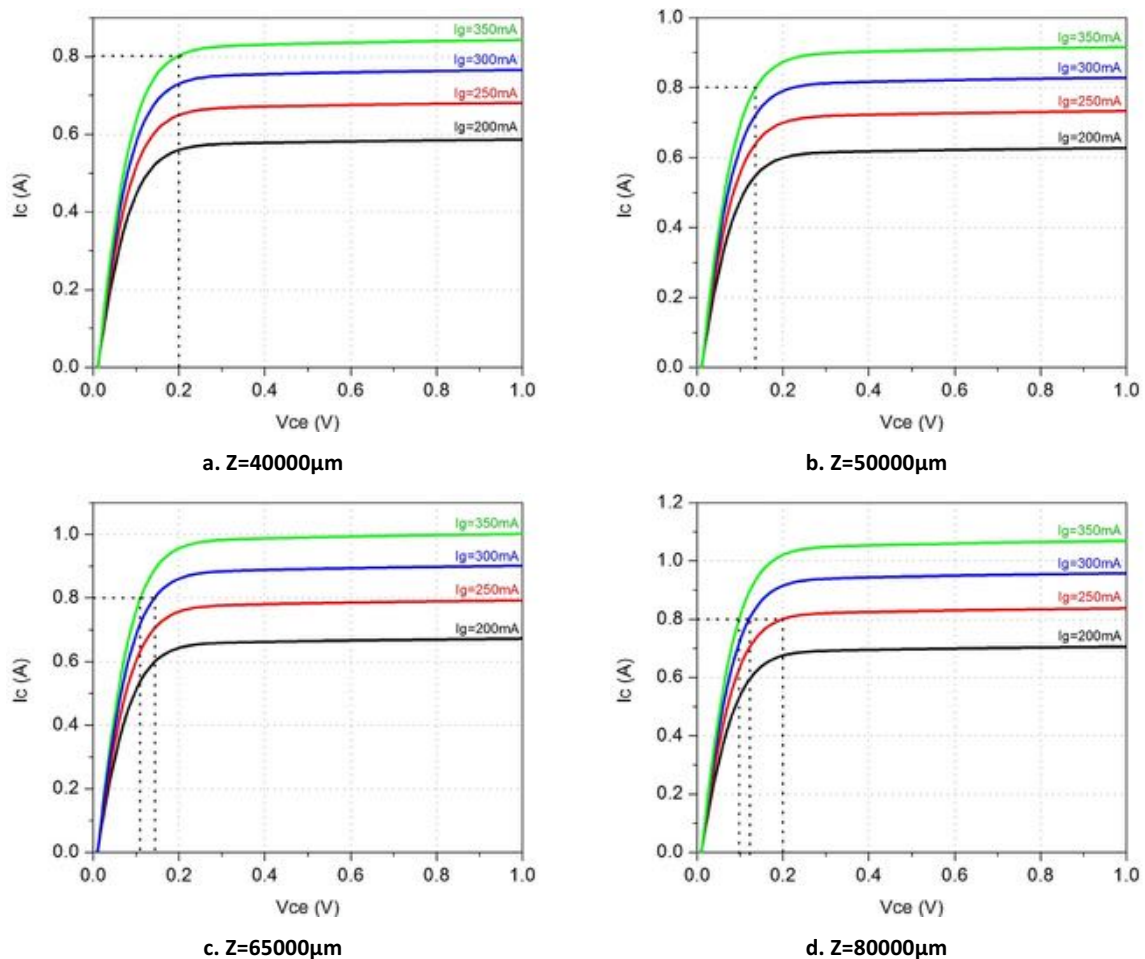
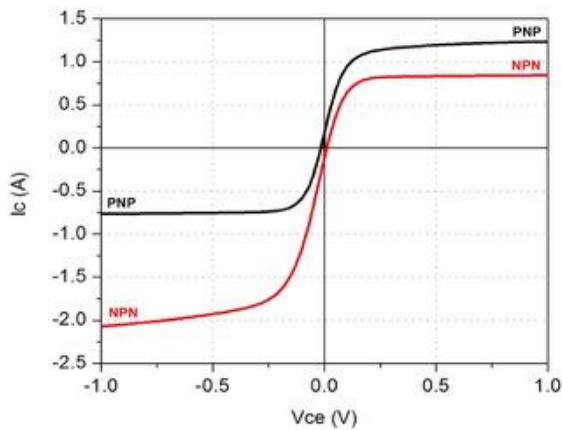


Figure II. 62 : Caractéristiques I_c(V_{ce}) du BipAC NPN pour différentes valeurs de facteur de surface Z

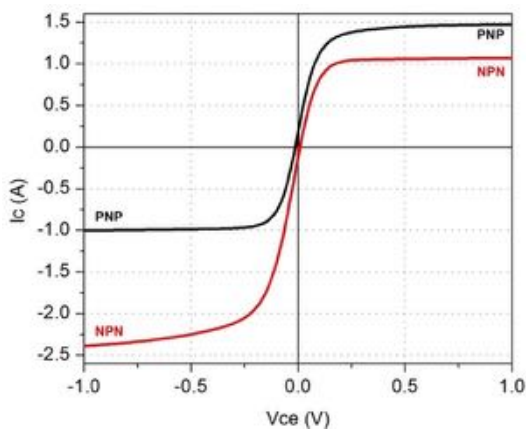
c- Comparaison des gains des BipAC PNP et NPN

Considérons les deux cas de surface de 10mm^2 et de 20mm^2 . Dans chaque cas, la gâchette est commandée par un courant I_g de 350mA. Comparons les gains des BipAC PNP et NPN à une tension V_{ce} de 0,2V (figure II.63). Rappelons qu'il faut comparer les quadrants correspondants aux cas défavorables pour chaque type de substrat, c'est-à-dire le 3^{ème} quadrant pour le BipAC PNP et le 1^{er} quadrant du BipAC NPN.



	$\beta=I_c/I_g$	
	$V_{ce}=0,2V$	$V_{ce}=-0,2V$
PNP	3,2	2
NPN	2,3	4,7

Figure II. 63 : Comparaison de gain entre les deux types de BipAC PNP et NPN pour $V_{br}=750V$, $I_g=350mA$ et $Z=40000$



	$\beta=I_c/I_g$	
	$V_{ce}=0,2V$	$V_{ce}=-0,2V$
PNP	3,8	2,7
NPN	2,9	5,5

Figure II. 64 : Comparaison de gain entre les deux types de BipAC PNP et NPN pour $V_{br}=750V$, $I_g=350mA$ et $Z=80000$

Nous constatons un avantage évident de la structure BipAC NPN (quadrant 3) par rapport à la structure BipAC PNP (quadrant 1). En revanche, cet avantage est très léger dans les quadrants correspondant au pire cas des deux BipACs. Cependant, dans les deux cas de type de substrat, et pour satisfaire la condition imposée sur le courant I_c , la surface de silicium est largement supérieure à la valeur limite recommandée dans le cahier des charges et le courant nécessaire pour la commande de gâchette est élevé (300mA minimum).

4.3- Simulation en dynamique : vérification de la chute de tension à l'état passant

La chute de tension à l'état passant conditionne les pertes en conduction du composant. Dans le but de vérifier cette chute de tension, les BipAC PNP et NPN ont été simulés en commandant la gâchette par une source de tension de 3,3V en série avec une résistance R_g dont la valeur détermine le courant de gâchette. Une source de tension sinusoïdale de valeur maximale de 325V et de fréquence 50Hz est utilisée, entre l'émetteur et le collecteur, en série avec une résistance R_c de 400Ω générant ainsi un courant sinusoïdal de valeur maximale 0,8A (figures II.49.b et II.50.b).

Sur la courbe donnant la tension V_{ce} entre l'émetteur et le collecteur (figure II.65.a), nous notons les tensions maximale (V_{max}) et minimale (V_{min}) durant la phase de conduction sur l'alternance correspondant au gain le plus faible, c'est-à-dire sur l'alternance négative pour le BipAC PNP (figure II.65.c) et sur l'alternance positive pour le BipAC NPN (figure II.65.b). Ainsi la moyenne de la chute de tension sur l'alternance considérée est comprise dans l'intervalle déterminé par ces tensions V_{min} et V_{max} relevées. L'autre alternance présente naturellement une chute de tension plus faible.

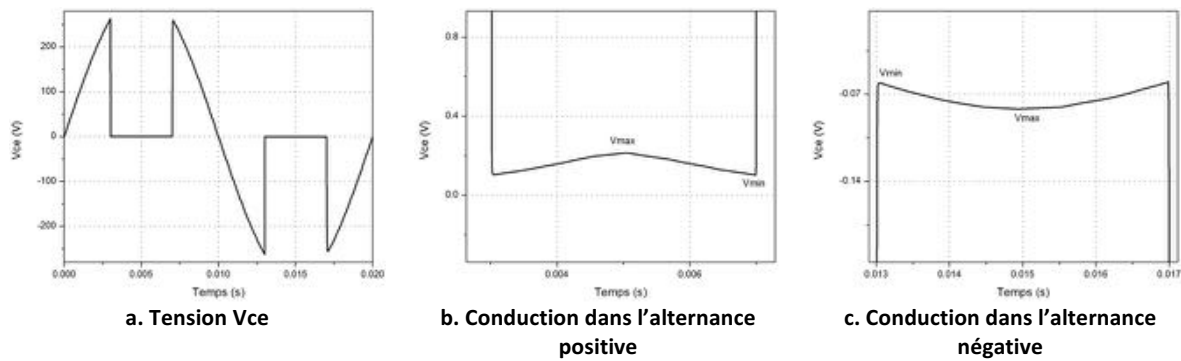


Figure II. 65 : Tension Vce à l'état passant et chutes de tension dans les alternances positive et négative

En nous basant sur les résultats des simulations précédentes, nous considérons un des cas satisfaisant toutes les conditions sur la tenue en tension, le courant de charge I_c et la chute de tension : $Z=80000\mu\text{m}$ et $I_g=350\text{mA}$. Vérifions les tensions maximale et minimale sur l'alternance correspondant au pire cas (tableau II.4).

	BipAC PNP	BipAC NPN
Vmin (V)	0,07	0,09
Vmax (V)	0,1	0,14

Tableau II. 4 : Chutes de tension minimale et maximale du BipAC PNP en fonction du facteur de surface Z et du courant de gâchette I_g pour $Y=200\mu\text{m}$

Les valeurs ainsi obtenues confirment que la chute de tension est inférieure à 0,2V pour les deux types de substrat N ou P.

4.4- Simulations paramétrées en vue de dimensionner la cellule élémentaire BipAC

Afin de proposer un dimensionnement optimisé la cellule BipAC, nous effectuons l'étude, par simulation, sur la cellule de type NPN. Ainsi, faisons varier les différentes distances définissant la largeur de la structure (figure II.66), pour une surface donnée de 5mm^2 . En effet, pour chaque valeur de la distance D, trois valeurs de X_{Ln} et pour chaque valeur de X_{Ln} trois valeurs de X_g ont été utilisées. Le facteur de surface Z est recalculé à chaque fois pour maintenir la surface constante. L'épaisseur de la structure est fixée à $230\mu\text{m}$ pour supporter 750 V, la durée de vie à $10\mu\text{s}$.

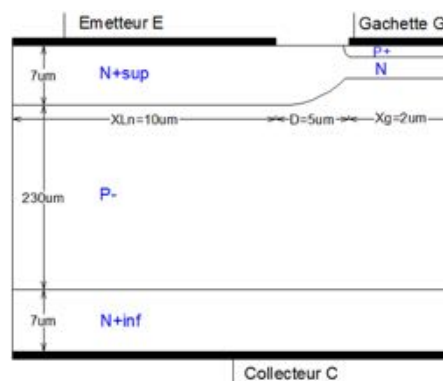


Figure II. 66 : Structure BipAC NPN optimisée

La figure II.67 montre la variation du gain, pour trois valeurs de courant de gâchette (200, 150 et 100mA), en fonction de la distance D pour les différentes combinaisons de X_{Ln} et X_g .

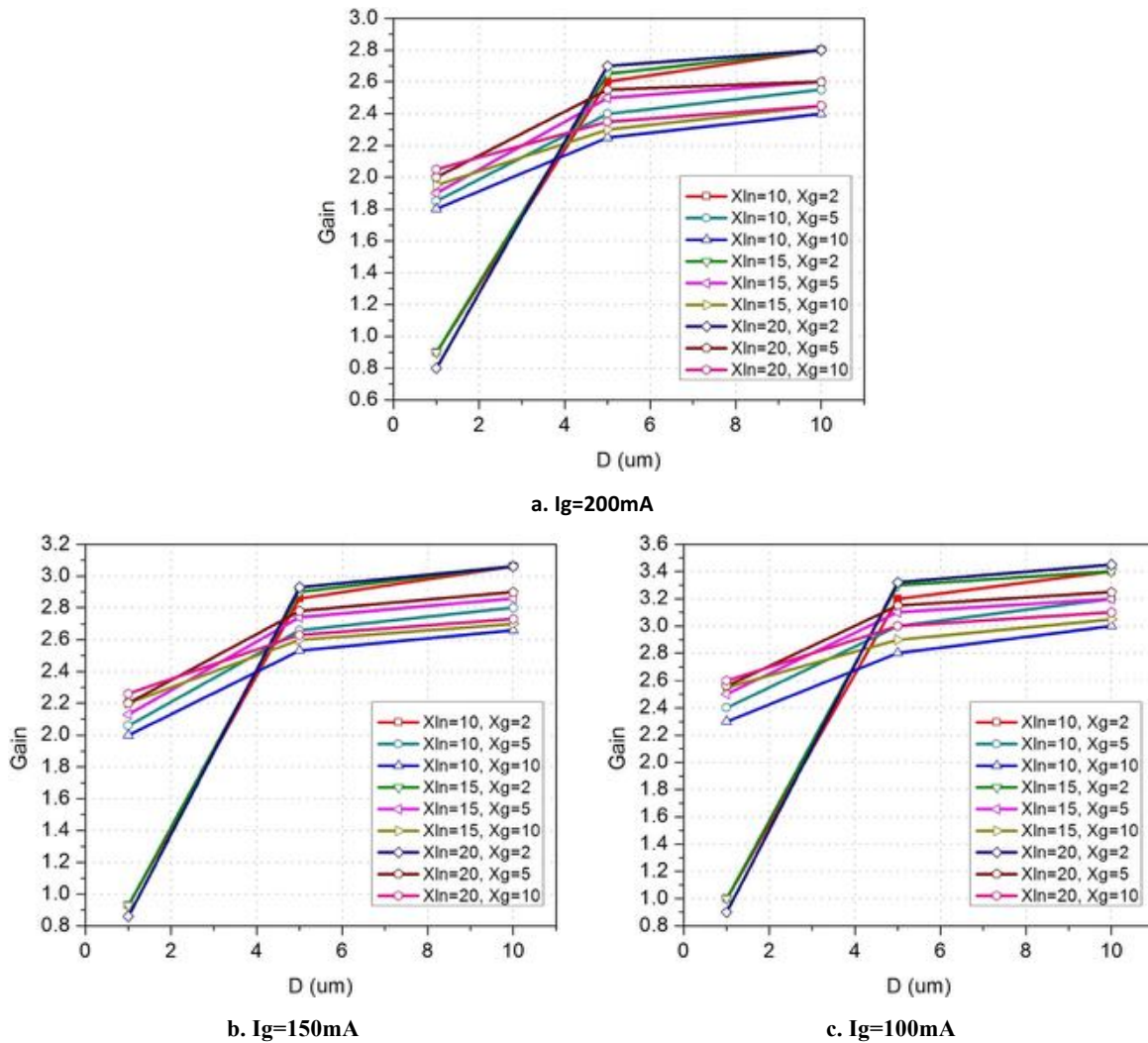


Figure II. 67 : Gain du BipAC NPN dans le 3^{ème} quadrant en fonction de la distance D entre l'émetteur et la gâchette pour différentes valeurs de couple largeur émetteur – largeur gâchette (X_{Ln} , X_g)

Discussion :

À partir des résultats de simulations en figure II.67 et pour les trois valeurs de courant I_g utilisées, nous constatons que :

- Pour une distance D entre les régions d'émetteur et de gâchette inférieure à $5\mu\text{m}$, la diffusion latérale de la région N^+ atteint la région N située sous la gâchette, augmentant ainsi son dopage ainsi que la profondeur (partiellement) de cette région de base du transistor de gâchette. Cela a pour effet de dégrader le gain du transistor de gâchette et donc le gain global de la structure.
- À partir d'une distance D suffisante supérieure à la diffusion latérale ($5\mu\text{m}$) de la région N^+ , nous constatons que, pour une largeur X_{Ln} donnée, le gain augmente lorsque X_g diminue.
- À X_g donné, le gain augmente très légèrement lorsque X_{Ln} augmente.

Nous avons pu ainsi déterminer les meilleures valeurs à utiliser. La combinaison retenue correspond aux valeurs suivantes : $X_{Ln}=10\mu\text{m}$, $X_g=2\mu\text{m}$ et $D=5\mu\text{m}$ (marque pleine en rouge sur le graphe II.39). La largeur de la structure élémentaire active est donc de $17\mu\text{m}$.

Remarque : Nous avons vérifié la valeur du courant de maintien de la structure BipAC : pour la cellule ainsi optimisée, nous obtenons un courant de maintien largement supérieur au courant maximum de 0,8A qui doit traverser le BipAC. En effet la valeur du courant de maintien est de l'ordre de 20A.

5- Bilan

Dans la première partie de ce chapitre, nous avons présenté la structure BipAC pour les deux types de substrat N et P. Nous avons détaillé son principe de fonctionnement à l'état bloqué et à l'état passant. Une part importante de notre étude, basée sur des simulations physiques 2D, a été dédiée au gain du BipAC et à l'impact de différents paramètres sur ses caractéristiques électriques. Ensuite, nous avons validé par simulation le comportement du BipAC en commutation. Il est à noter que les paramètres physiques utilisés dans les simulations sont issus de la filière technologique de puissance du LAAS.

Une fois cette approche principalement « qualitative » terminée, nous avons étudié plus précisément la tenue en tension à l'état bloqué, le gain et la chute de tension à l'état passant, dans l'objectif de proposer un dimensionnement de la structure pour répondre aux contraintes liées au cahier des charges.

Pour ce qui concerne la tenue en tension, nous avons démontré qu'une épaisseur de substrat N de 130 μm permettra de tenir les 750V exigés alors qu'une épaisseur plus grande du substrat P, de 230 μm , est nécessaire pour répondre à la même exigence.

La capacité en courant à l'état passant est évaluée en fonction de la surface du silicium consommée (épaisseur du substrat et facteur de surface) et l'intensité du courant commandant la gâchette. À partir des caractéristiques I(V) obtenues par simulation, nous constatons que pour faire passer un courant I_c minimum de 0,8A à V_{ce} égale à 0,2V, une surface de 12,5mm² et un courant de gâchette de 350mA, ou bien une surface de 16mm² et un courant de gâchette de 300mA sont indispensables pour la structure de type NPN. En revanche, pour une structure de type PNP, une surface de 16mm² et un courant de commande de 350mA sont requis. Ces valeurs de surface simulées restent néanmoins supérieures à la valeur de 10mm² imposée.

Enfin, nous avons proposé un dimensionnement de la cellule élémentaire de la structure BipAC. Nous avons notamment déterminé les paramètres géométriques de la face avant du composant afin de réduire la surface de silicium utilisée. Sur la base des simulations, les valeurs retenues sont 10 μm et 2 μm pour les largeurs d'émetteur et de gâchette respectivement. Une distance de 5 μm est prévue entre ces deux régions.

D'après cette étude, nous constatons que le seul moyen d'atteindre le courant I_c requis de 0,8A, pour un courant de commande donné, est d'agir sur la surface du composant. Or nous avons montré que la surface atteinte, dans les deux cas de substrat, est très importante.

Dans l'objectif d'améliorer le compromis gain – tenue en tension permettant de faire passer un courant I_c de 0,8A en respectant la surface imposée, nous proposons une nouvelle structure qui dérive de la structure BipAC.

B- Vers l'amélioration du gain du BipAC

Dans le but d'améliorer le gain de la structure BipAC tout en visant une tenue en tension de l'ordre de 750V à l'état bloqué et un courant I_c à l'état passant de 0,8A pour $V_{ce}=0,2V$, nous nous proposons d'introduire une ou plusieurs couches « enterrées » dans le substrat. Plusieurs pistes ont été abordées et simulées.

1- Structures proposées

1.1- Insertion d'une ou de plusieurs couches de même type que le substrat

Une solution proposée est d'introduire une couche du même type du substrat mais d'une concentration plus élevée. Ainsi, dans le cas du BipAC NPN, une couche P est enterrée dans le substrat P⁻ (figure II.68). Cette couche permet de réduire l'épaisseur totale du substrat (région de drift) ce qui permet d'avoir un gain plus élevé. Les paramètres utilisés dans ces simulations qualitatives montrent que la tenue en tension est de l'ordre de 600V (voir tableau II.5). Pour atteindre 750V, une étude par simulation est menée en section 3.

En partant de l'idée que l'insertion d'une couche plus dopée dans le substrat de la structure peut être une solution au compromis gain/tenue en tension, nous pensons que l'insertion de plusieurs couches, créant une alternance de zones P⁻P, peut améliorer la tenue en tension du fait que l'épaisseur totale de la région du drift augmente. Il convient de vérifier également l'incidence sur le gain d'une ou de plusieurs couches enterrées dans le substrat.

La figure II.68 montre les structures correspondantes à l'insertion de une à quatre couches P dans le substrat P⁻.

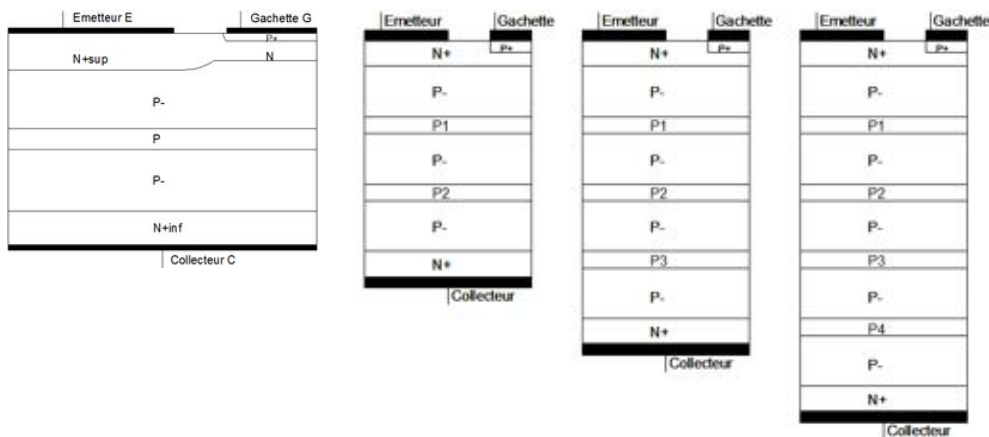


Figure II. 68 : BipAC NPN avec une ou plusieurs couches P enterrées dans le substrat P⁻

Dans les structures simulées, les épaisseurs des régions N⁺, P⁻ et P sont respectivement 5 μ m, 40 μ m et 5 μ m. La concentration des couches P est de $2 \cdot 10^{16} \text{ cm}^{-3}$. La surface simulée est de 5mm² et la durée de vie des porteurs est de 10 μ s.

Les simulations à l'état bloqué nous permettent de déterminer la tenue en tension et les simulations à l'état passant de déterminer le courant de collecteur I_c et par la suite le gain $\beta=I_c/I_g$ où I_g est le courant de commande de la gâchette. Les résultats sont donnés dans le tableau suivant. À noter que le courant de gâchette utilisé pour la commande à l'état passant est de 0,2A.

	Vbr (V)	1 ^{er} quadrant Vce > 0		3 ^{ème} quadrant Vce < 0	
		Ic (A)	Gain	Ic(A)	Gain
1 couche P	600	1,77	8,85	2,54	12,7
2 couches P	670	1	5	1,66	8,3
3 couches P	710	0,79	3,95	1,4	7
4 couches P	730	0,36	1,8	0,96	4,8

Tableau II. 5 : Tenue en tension et gain des structures BipAC NPN avec une ou plusieurs couches P dans le substrat P⁻ (S=5mm²)

Nous constatons que la tenue en tension de la structure augmente avec le nombre de couches enterrées dans le substrat : la tenue en tension passe de 600V pour une couche enterrée à 730V pour quatre couches enterrées. En revanche, le gain de la structure baisse considérablement en augmentant le nombre de couches P : en passant d'une structure à une couche à une structure à quatre couches, le gain passe de 8,85 à 1,8 dans le premier quadrant, pour lequel le gain est le plus faible.

1.2- Insertion d'une ou de plusieurs couches de type différent que le substrat

Une autre option est d'insérer une couche de type différent que celui du substrat. Dans le cas du BipAC NPN, il s'agit donc d'introduire une couche N (figure II.69). Dans ce cas, la tenue en tension est loin d'être aux alentours des 750V. En effet, les deux jonctions P-N et NP⁻ ainsi créées de part et d'autre de la couche N enterrée ne tiennent pas la tension comme nous l'aurions souhaité, ceci étant dû à la concentration relativement élevée de la couche N et de son épaisseur faible (voir tableau II.6).

De la même manière que dans le paragraphe précédent, la structure BipAC après insertion respective de deux, trois et quatre couches N dans le substrat P⁻ est simulée à l'état bloqué puis à l'état passant pour un courant de gâchette de 0,2A (figure II.69). Nous gardons les mêmes paramètres de simulations que le paragraphe précédent, seul le type P des couches enterrées est remplacé par le type N.

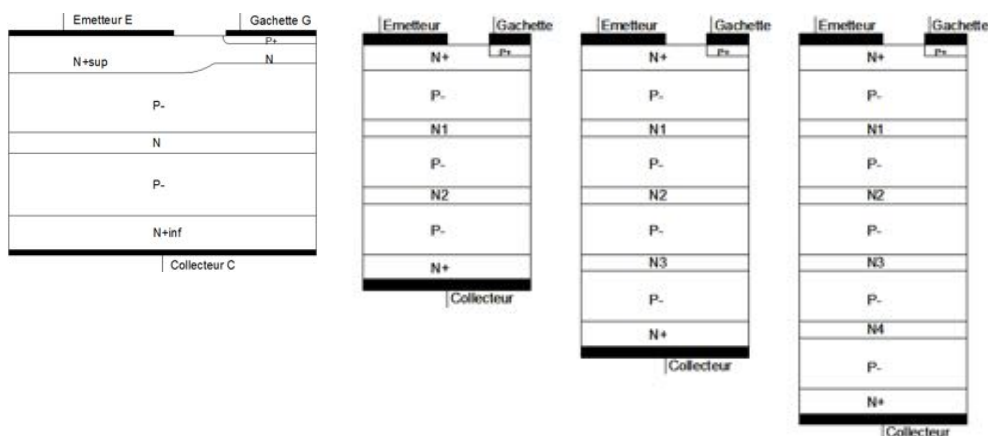


Figure II. 69 : BipAC NPN une ou plusieurs couches N enterrées dans le substrat P⁻

Conformément aux résultats du paragraphe 1.1, la tenue en tension augmente avec le nombre de couches N enterrées dans le substrat P⁻ alors que le gain diminue (tableau II.6).

	Vbr (V)	1 ^{er} quadrant Vce > 0		3 ^{ème} quadrant Vce < 0	
		Ic (A)	Gain	Ic(A)	Gain
1 couche N	200	1,93	9,65	2,77	13,85
2 couches N	310	1,2	6	1,91	9,55
3 couches N	410	0,8	4	1,48	7,4
4 couches N	510	0,46	2,3	1,17	5,85

Tableau II. 6 : Tenue en tension et gain des structures BipAC NPN avec une ou plusieurs couches N dans le substrat P⁻ (S=5mm²)

1.3- Bilan

Les solutions proposées consistent à insérer une ou plusieurs couches dans le substrat, de même nature ou non que celui-ci. Quel que soit le cas, l'augmentation du nombre de couches améliore la tenue en tension de la structure, mais dégrade considérablement le gain. Toutefois, pour le cas où la (les) couche(s) est (sont) de type différent que le substrat, la tenue en tension est très loin de la valeur visée.

En outre, pour un nombre de couches enterrées donné, il apparaît que la solution basée sur les couches de même type que le substrat est la plus avantageuse en termes de tenue en tension, mais offre un gain très légèrement inférieur.

En conclusion, la structure offrant le meilleur compromis tenue en tension-gain est celle qui comporte une couche enterrée dans le substrat et de même type que celui-ci.

Ainsi dans la suite, nous allons examiner la structure à une couche enterrée dans un substrat de même type. Nous allons étudier le cas du substrat P et le cas du substrat N.

2- Simulations qualitatives de la structure à une couche enterrée

2.1- Conditions de simulations

Dans l'objectif de mettre en avant l'intérêt de la couche enterrée sur le gain du BipAC à l'état passant sans toutefois dégrader la tenue en tension à l'état bloqué, nous avons simulé la structure BipAC NPN avec une couche P enterrée. Les valeurs des paramètres physiques et géométriques utilisées sont indiquées sur la figure II.70.

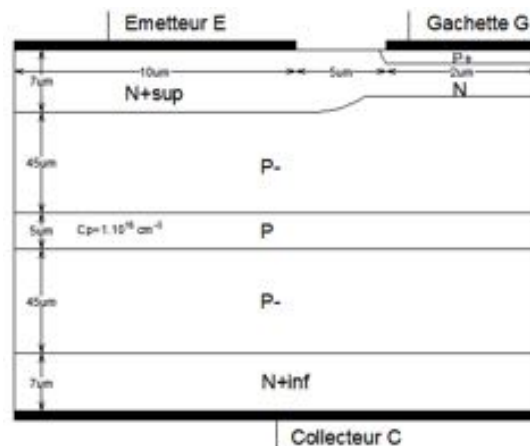


Figure II. 70 : Paramètres de simulation de la structure BipAC NPN avec couche P enterrée (S=5mm²)

2.2- Etat bloqué

Dans un premier lieu, nous avons simulé le BipAC NPN avec la couche P enterrée à l'état bloqué. La structure est sauvegardée pour une tension V_{ce} négative de $-600V$ et pour une tension V_{ce} positive de $600V$. Les figures II.71 et II.72 montrent les lignes équipotentielles ainsi que la répartition du champ électrique dans la structure (coupes effectuées selon C1). L'insertion de la couche P dans le substrat a mené à une répartition de champ électrique trapézoïdale au lieu d'une répartition triangulaire dans le cas de la structure initiale (voir figures II.24 et II.27).

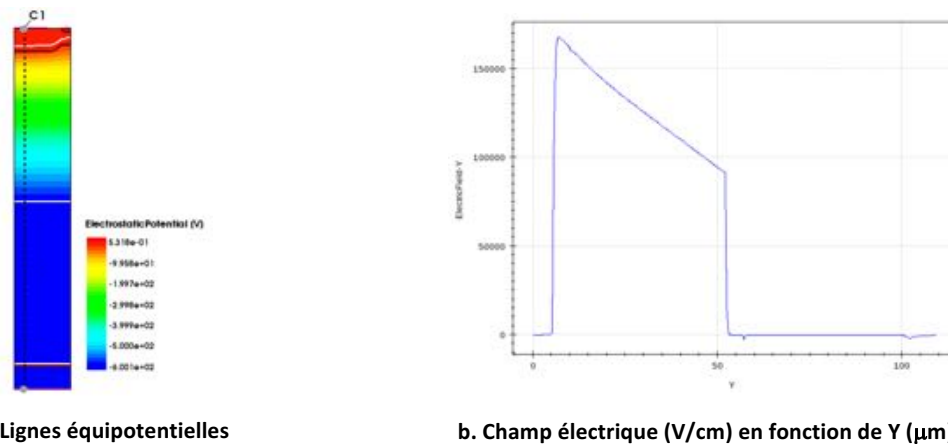


Figure II. 71 : (a) Lignes équipotentielles et (b) champ électrique dans la structure NPN avec couche P pour $C_p=1.10^{16} \text{ cm}^{-3}$, $Y_{psup}=45\mu m$ et $Y_p=5\mu m$ à $V_{ce}=-600V$

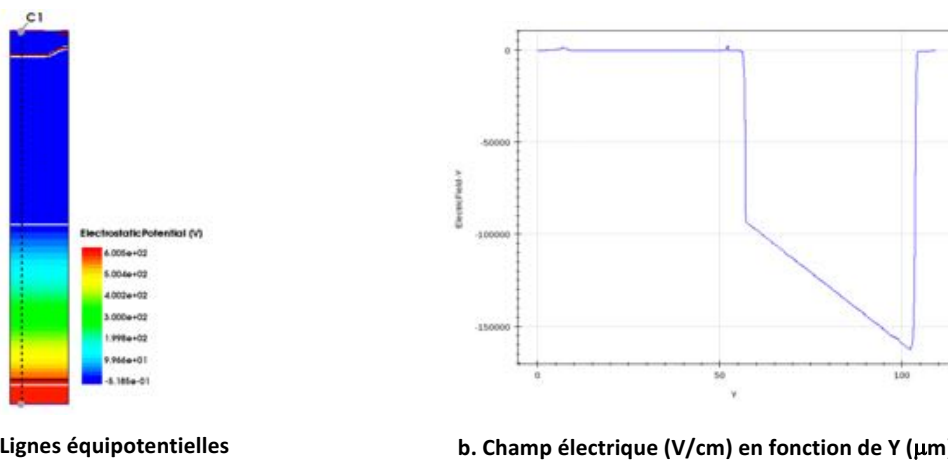
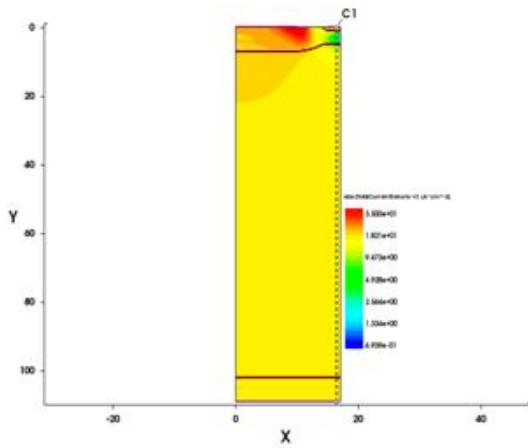


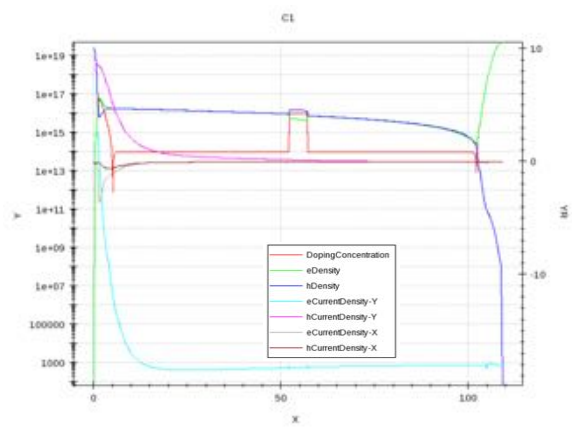
Figure II. 72 : (a) Lignes équipotentielles et (b) champ électrique dans la structure NPN avec couche P pour $C_p=1.10^{16} \text{ cm}^{-3}$, $Y_{psup}=45\mu m$ et $Y_p=5\mu m$ à $V_{ce}=-600V$

2.3- Etat passant

La structure BipAC NPN avec couche P enterrée est commandée par un courant de gâchette de $100mA$. La surface est fixée à $5mm^2$. La structure est sauvegardée dans les 1^{er} et 3^{ème} quadrants. Dans chacun des deux quadrants, deux coupes verticales sont effectuées : une dans la zone de gâchette et l'autre dans la zone d'émetteur. Les figures II.73 à II.76 montrent les positions des coupes ainsi que les densités de porteurs et de courant correspondantes. Dans tous les cas illustrés, une forte injection d'électrons au niveau de la zone de drift P⁻ ainsi que dans la couche enterrée P est remarquée.

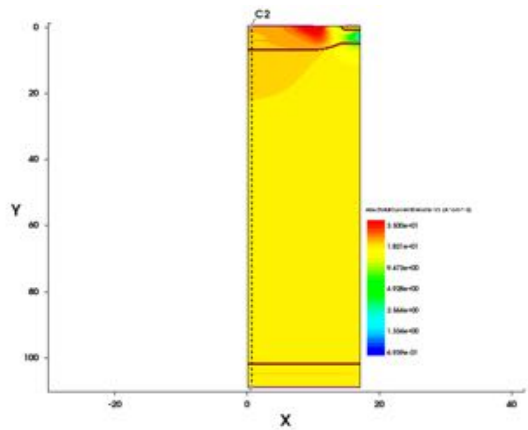


a. Position de la coupe sur la structure 2D

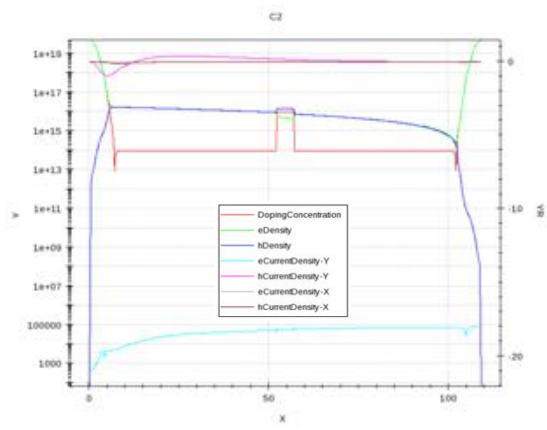


b. Concentration et densité de courant des différents porteurs

Figure II. 73 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 1^{er} quadrant

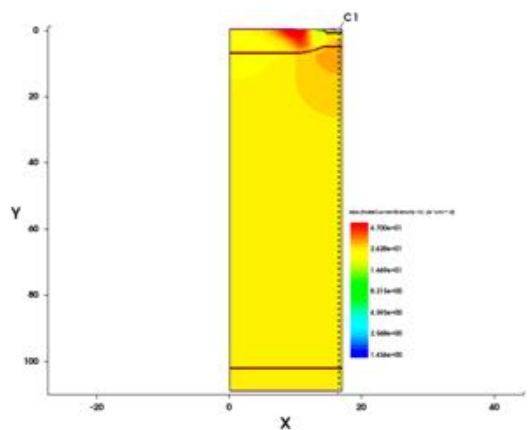


a. Position de la coupe sur la structure 2D

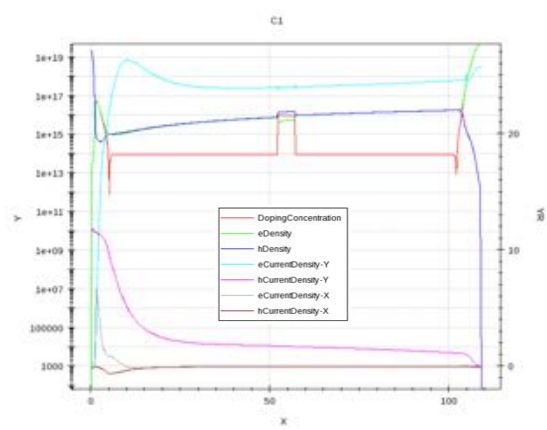


b. Concentration et densité de courant des différents porteurs

Figure II. 74 : Coupe C2 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 1^{er} quadrant



a. Position de la coupe sur la structure 2D



b. Concentration et densité de courant des différents porteurs

Figure II. 75 : Coupe C1 au niveau de la gâchette et distribution des porteurs correspondante sur l'épaisseur Y du substrat - 3^{ème} quadrant

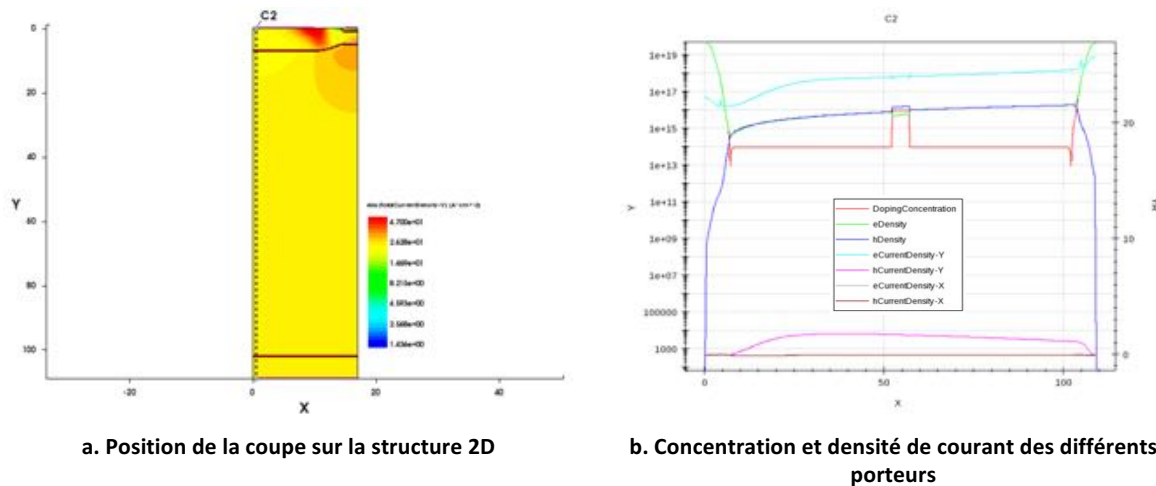


Figure II. 76 : Coupe C2 au niveau de l'émetteur et distribution des porteurs correspondante sur l'épaisseur Y du substrat – 3^{ème} quadrant

2.4- Bilan

L'insertion de la couche enterrée permet d'améliorer le compromis entre la tenue en tension et le gain. En effet, la présence de cette couche modifie la répartition triangulaire du champ électrique en une répartition trapézoïdale permettant ainsi de tenir une même tension avec une épaisseur de substrat plus faible. D'autre part, la couche enterrée n'empêche pas la forte injection d'électrons et la modulation de la conductivité de la zone de drift à l'état passant. L'utilisation d'une couche enterrée permet par conséquent la réduction de l'épaisseur de la zone de drift et l'amélioration du gain du BipAC.

3- Comparaison des potentialités des structures NPN et PNP à une couche enterrée

L'objectif est d'explorer les potentialités et d'optimiser la structure BipAC avec une couche enterrée de même type de substrat dans les deux cas de substrat N et P. Des simulations 2D ont été effectuées en faisant varier notamment la concentration de la couche enterrée et l'épaisseur de substrat de part et d'autre de cette couche.

3.1- Cas d'une couche P enterrée dans le substrat P⁻ du BipAC NPN

a- Conditions de simulations

La structure BipAC NPN simulée dans le cas d'une couche P enterrée, a une largeur de $17\mu\text{m}$ (largeur optimisée antérieurement, paragraphe 4.4 de la partie A). L'épaisseur des régions N⁺ de l'émetteur Y_{sup} et du collecteur Y_{inf} est de $7\mu\text{m}$. L'épaisseur Y_p de la couche P enterrée est fixée à $10\mu\text{m}$ (figure II.77). La durée de vie des porteurs est de $10\mu\text{s}$. Pour répondre au cahier des charges, les simulations 2D réalisées ont permis de montrer qu'une surface de 5mm^2 n'est pas suffisante alors qu'une surface de 10mm^2 peut dans certaines conditions y répondre. Pour comparer les deux BipACs, nous avons choisi un facteur telle que la surface simulée soit de 10mm^2 .

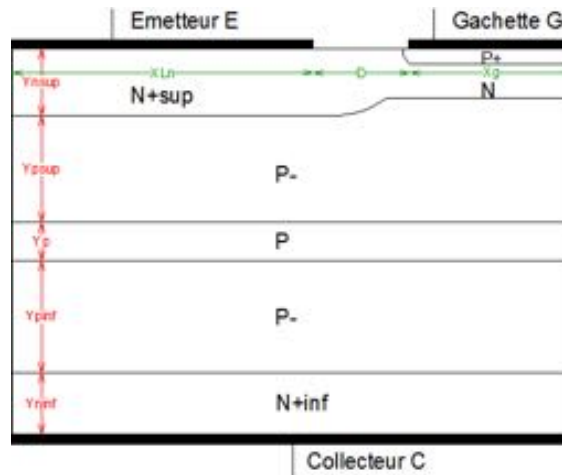


Figure II. 77 : Paramètres physiques du BipAC NPN avec couche P enterrée dans le substrat P⁻ (S=10mm²)

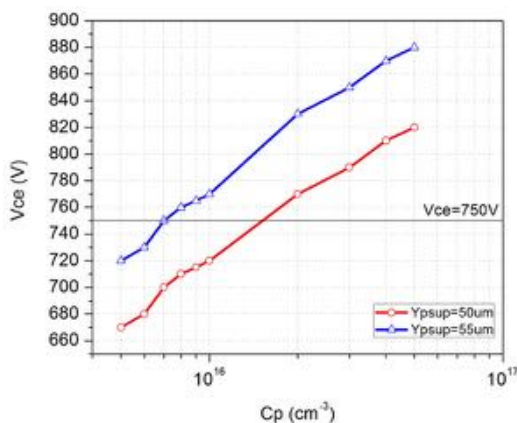
En premier lieu, nous avons fait des simulations sur une large gamme d'épaisseurs de substrat P⁻ (Ypsup et Ypinf) et de dopage de la couche P (Cp). À noter que Ypsup=Ypinf. Les résultats nous ont permis d'affiner l'étude pour les deux valeurs 50µm et 55µm de Ypsup et Ypinf et ceci pour des concentrations Cp allant de 5.10¹⁵cm⁻³ à 5.10¹⁶cm⁻³.

Dans les plages de variations des paramètres Ypsup et Cp ainsi définies, examinons l'évolution de la tenue en tension Vbr, du courant Ic (et donc du gain) pour deux valeurs de courant de commande Ig (100mA et 200mA). Ainsi, nous pourrions mettre en évidence les couples de paramètres (Ypsup, Cp) qui répondent aux conditions de tenue en tension visée de 750V et du courant Ic minimal de 0,8A. Nous vérifierons la chute de tension à l'état passant, qui ne doit pas excéder 0,2V.

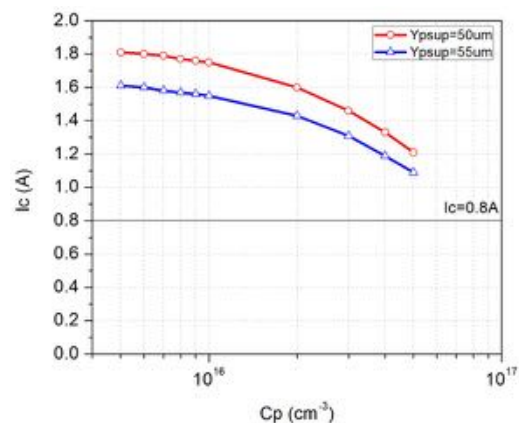
Remarque : Les résultats présentés concernent le quadrant correspondant au pire cas pour chacun des deux types de substrat.

b- Simulations effectuées avec un courant de gâchette Ig=200mA

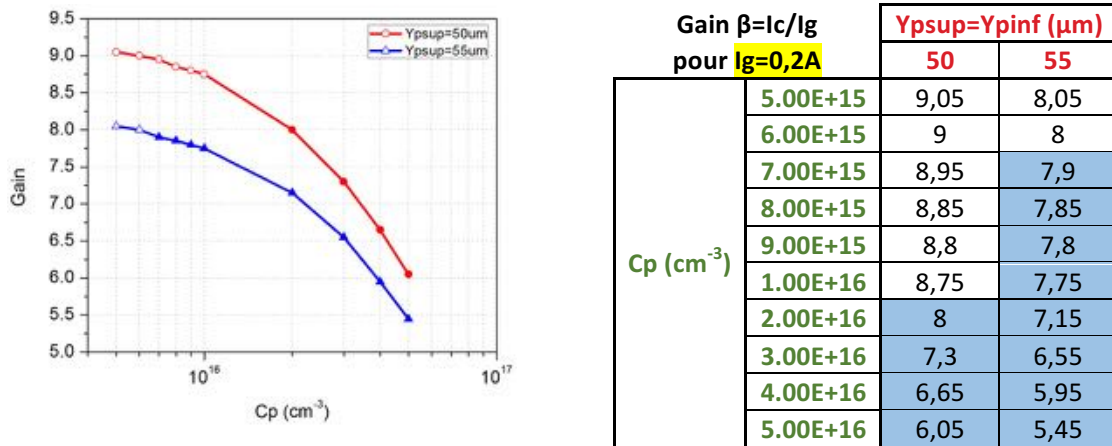
Les résultats de simulations ainsi que le gain déduit sont regroupés dans la figure II.78. Les couples (Ypsup, Cp) répondant aux conditions imposées par le cahier des charges sont repérés en bleu dans le tableau du gain et en motif plein sur la courbe c donnant le gain.



a. Tenue en tension Vbr (V)



b. Courant du collecteur Ic (A) à Vce=0,2V



c. Gain $\beta=I_c/I_g$

Figure II. 78 : Résultats de simulation du BipAC NPN avec couche P enterrée dans substrat P en fonction du dopage de la couche et de l'épaisseur du substrat de part et d'autre pour un courant de gâchette $I_g=0,2A$

Nous pouvons conclure que pour une épaisseur $Y_{psup}=Y_{pinf}=50\mu m$, la concentration minimale de la couche P doit être de $2.10^{16}cm^{-3}$, et pour une épaisseur $Y_{psup}=Y_{pinf}=55\mu m$, la concentration minimale de la couche P doit être de $7.10^{15}cm^{-3}$.

Examinons la chute de tension à l'état passant pour les deux épaisseurs Y_{psup} , pour la concentration la plus élevée ($C_p=5.10^{16}cm^{-3}$) et donc la plus défavorable. Le circuit de commande est donné sur la figure II.79.

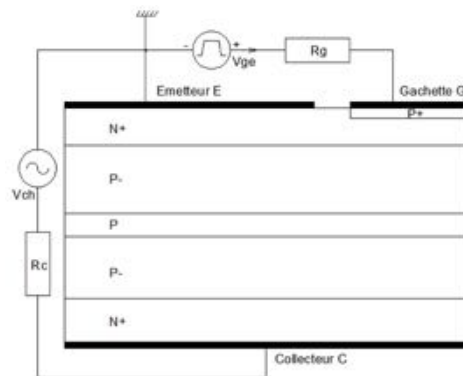


Figure II. 79 : Circuit de commande du BipAC NPN, avec couche P enterrée, utilisé pour les simulations en dynamique

En choisissant $V_{ch}=325V$ et $R_c=400\Omega$, nous obtenons le courant I_c illustré sur la figure II.80. Nous constatons que le courant $I_{c_{max}}$ ainsi obtenu est légèrement supérieur à $0,8A$. De ce fait, si à $0,2V$, le courant I_c du BipAC à l'état passant est limité à une valeur de l'ordre de $0,8A$ (mais inférieure à $I_{c_{max}}$), la chute de tension maximale V_{max} peut atteindre des valeurs bien supérieures à $0,2V$. Les résultats de simulations regroupés en tableau II.7 montrent que la chute de tension à l'état passant reste inférieure à $0,2V$.

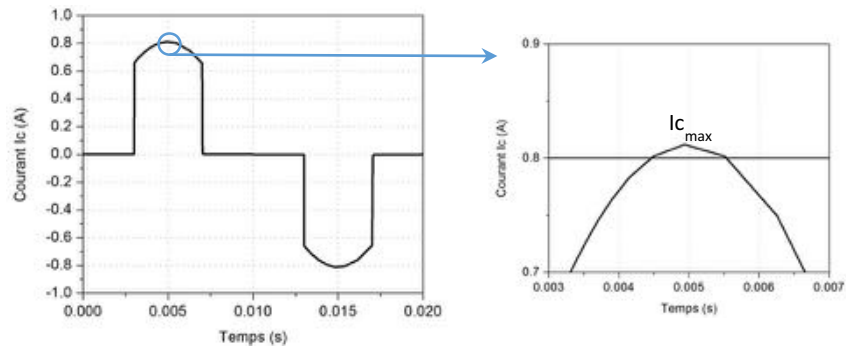


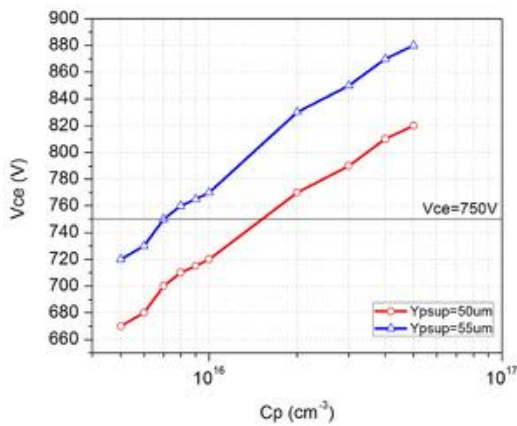
Figure II. 80 : Chronogramme du courant Ic

	$Y_{psup}=Y_{pinf}=50\mu\text{m}$	$Y_{psup}=Y_{pinf}=55\mu\text{m}$
V min (V)	0,07	0,08
V max (V)	0,1	0,14

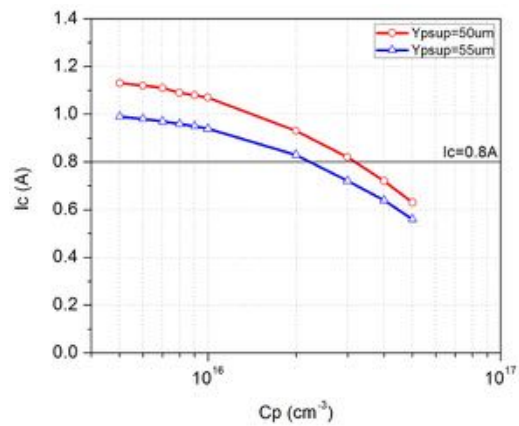
Tableau II. 7 : Chutes de tension minimale et maximale du BipAC NPN avec couche P enterrée dans substrat P⁻ en fonction de l'épaisseur du substrat pour un courant de gâchette $I_g=0,2\text{A}$ ($C_p=5.10^{16}\text{cm}^{-3}$)

c- Simulations effectuées avec un courant de gâchette $I_g=100\text{mA}$

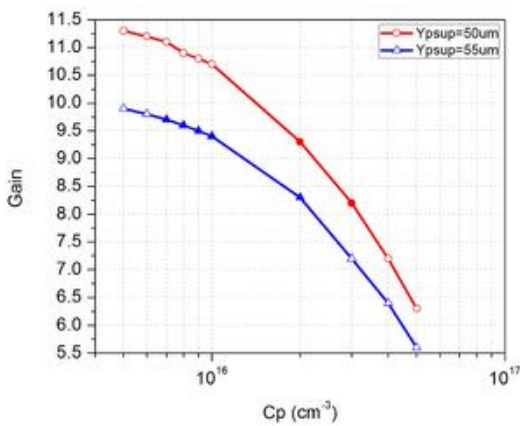
De la même façon, les résultats de simulations ainsi que le gain déduit sont regroupés dans la figure II.81.



a. Tenue en tension V_{br} (V)



b. Courant du collecteur I_c (A) à $V_{ce}=0,2\text{V}$



c. Gain $\beta=I_c/I_g$

Gain $\beta=I_c/I_g$ pour $I_g=0,1\text{A}$	$Y_{psup}=Y_{pinf} (\mu\text{m})$	
	50	55
$5.00\text{E}+15$	11,3	9,9
$6.00\text{E}+15$	11,2	9,8
$7.00\text{E}+15$	11,1	9,7
$8.00\text{E}+15$	10,9	9,6
$9.00\text{E}+15$	10,8	9,5
$1.00\text{E}+16$	10,7	9,4
$2.00\text{E}+16$	9,3	8,3
$3.00\text{E}+16$	8,2	7,2
$4.00\text{E}+16$	7,2	6,4
$5.00\text{E}+16$	6,3	5,6

Figure II. 81 : Résultats de simulation du BipAC NPN avec couche P enterrée dans substrat P⁻ en fonction du dopage de la couche et de l'épaisseur du substrat de part et d'autre pour un courant de gâchette $I_g=0,1\text{A}$

Comme conclusion, pour une épaisseur $Y_{psup}=Y_{pinf}=50\mu\text{m}$, la concentration de la couche P doit être comprise entre 2.10^{16}cm^{-3} et 3.10^{16}cm^{-3} . Pour une épaisseur $Y_{psup}=Y_{pinf}=55\mu\text{m}$, cette concentration doit être entre 7.10^{15}cm^{-3} et 2.10^{16}cm^{-3} .

Vérifions la chute de tension pour différentes valeurs du couple (Y_{psup} , C_p) (tableau II.8).

	$Y_{psup}=Y_{pinf}=50\mu\text{m}$		$Y_{psup}=Y_{pinf}=55\mu\text{m}$		
C_p (cm^{-3})	2.00E+16	3.00E+16	7.00E+15	8.00E+15	9.00E+15
V min (V)	0,11	0,27	0,102	0,105	0,108
V max (V)	2,18	26	0,2	0,25	0,41

Tableau II. 8 : Chutes de tension minimale et maximale du BipAC NPN avec couche P enterrée dans substrat P⁻ en fonction du dopage de la couche et de l'épaisseur du substrat pour un courant de gâchette $I_g=0,1\text{A}$

Pour $Y_{psup}=Y_{pinf}=50\mu\text{m}$, les deux cas de concentration $C_p=2.10^{16}\text{cm}^{-3}$ et $C_p=3.10^{16}\text{cm}^{-3}$ présentent une chute en tension maximale bien supérieure à 0,2V. Ainsi, pour cette épaisseur aucun cas ne répond au cahier de charge.

En revanche, pour $Y_{psup}=Y_{pinf}=55\mu\text{m}$, seule la concentration $C_p=7.10^{15}$ permet de remplir les trois conditions imposées. Toutefois, la valeur maximale de chute de tension correspond à la valeur limite acceptable (0,2V).

3.2- Cas d'une couche N enterrée dans le substrat N⁻ du BipAC PNP

La structure simulée, BipAC PNP avec couche N enterrée dans le substrat N⁻, a une largeur de $17\mu\text{m}$. L'épaisseur des régions P⁺ de l'émetteur Y_{psup} et du collecteur Y_{pinf} est de $5\mu\text{m}$. L'épaisseur de la couche enterrée est fixée à $10\mu\text{m}$. La durée de vie des porteurs est de $10\mu\text{s}$. Le facteur de surface est choisi telle que la surface simulée soit de 10mm^2 .

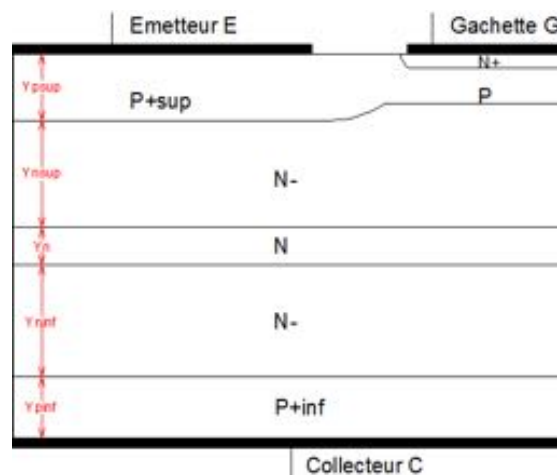


Figure II. 82 : BipAC PNP avec couche N enterrée dans le substrat N⁻ ($S=10\text{mm}^2$)

Les simulations sont faites pour des épaisseurs de substrat $Y_{nsup}=Y_{pinf}$ comprises entre $40\mu\text{m}$ et $50\mu\text{m}$ et pour des concentrations C_n de la couche N enterrée allant de 1.10^{14}cm^{-3} (couche artificielle) à 5.10^{16}cm^{-3} .

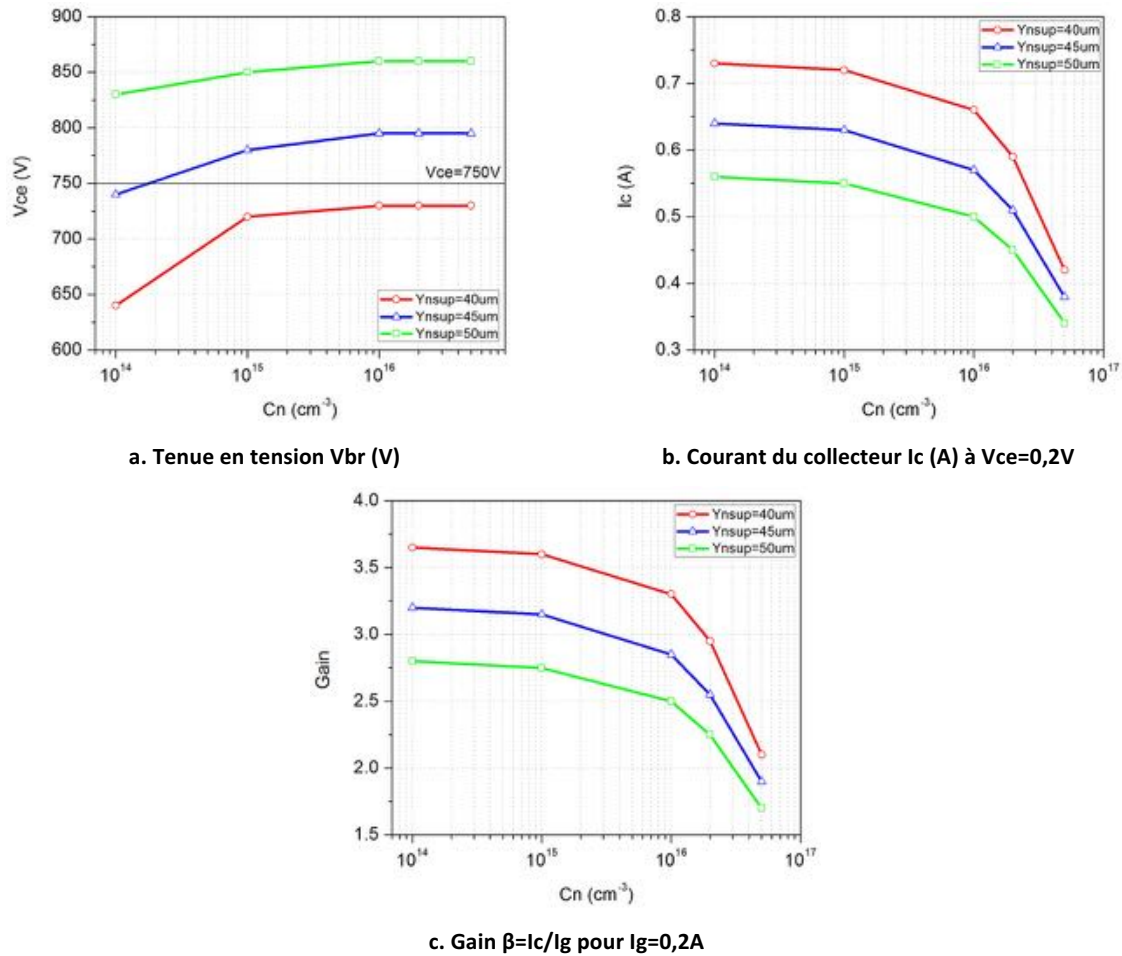


Figure II. 83 : Résultats de simulation du BipAC PNP avec couche N enterrée dans substrat N^- en fonction du dopage de la couche et de l'épaisseur du substrat de part et d'autre pour un courant de gâchette $I_g=0,2A$

Les résultats de simulations sont donnés sur la figure II.83. Nous constatons qu'aucun compromis n'a été atteint avec la structure BipAC sur substrat N. Cette étude a été menée avec un courant de gâchette de 200mA, il est évident qu'un courant plus faible ne conduirait pas non plus à mettre en évidence une combinaison optimale de paramètres physiques.

3.3- Bilan

Comme indiqué ci-dessus, la structure BipAC PNP avec une couche N enterrée (simulée pour une surface de $10mm^2$) ne permet pas d'atteindre les conditions à la fois sur la tenue en tension ($V_{br}=750V$) et sur la valeur du courant collecteur ($I_{c_{max}}=0,8A$) à V_{ce} inférieure ou égale à 0,2V.

Pour ce qui est la structure BipAC NPN, nous avons mis en évidence plusieurs combinaisons de paramètres physiques (dopage de la couche enterrée et épaisseur du substrat de part et d'autre) qui permettent de satisfaire les conditions de tenue en tension, du courant collecteur et de chute de tension à l'état passant. Cette étude a été effectuée pour deux valeurs de courant de commande de gâchette. La valeur $I_g=200mA$ offre un choix entre différentes combinaisons de paramètres alors que la valeur $I_g=100mA$ restreint le choix à une seule combinaison qui est en outre à la limite de la contrainte en chute de tension à l'état passant.

Dans la suite, nous nous intéressons à optimiser la structure offrant les meilleures potentialités par rapport à la structure BipAC initiale : la structure BipAC NPN avec une couche P enterrée dans le substrat.

4- Optimisation de la structure BipAC NPN avec une couche P enterrée

4.1- Dimensionnement de la cellule active

Une étude paramétrée sur cette nouvelle structure est menée. Le point de départ est la structure BipAC initiale étudiée précédemment (paragraphe 4.4 de la partie A). L'épaisseur du substrat $Y_{psup}=Y_{pinf}=55\mu\text{m}$ a été mise en évidence précédemment. Nous devons déterminer les paramètres épaisseur et dopage (Y_p , C_p) de la couche enterrée. Les simulations visant à évaluer le gain seront effectuées pour une gamme de surfaces actives comprise entre 5 et 14 mm^2 qui autorise l'obtention d'un courant collecteur de 0,8A.

a- Conditions de simulations

Rappelons la structure de la figure II.77 en précisant les paramètres fixés. La durée de vie des porteurs est de $10\mu\text{s}$. La structure est simulée à l'état passant pour une commande par un courant de gâchette de 200mA.

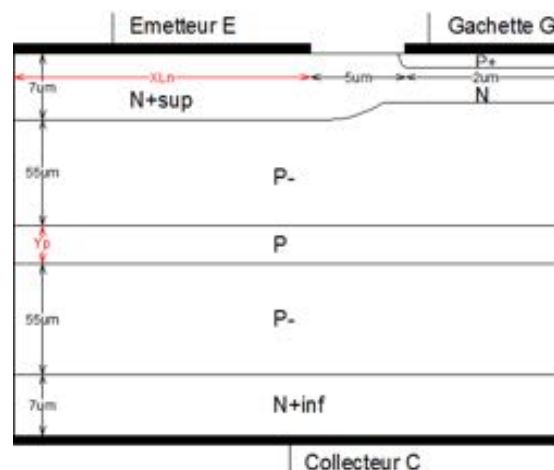


Figure II. 84 : Coupe 2D de la structure BipAC NPN avec une couche P enterrée

Les simulations sont faites en fonction de l'épaisseur Y_p de la couche P ($5\mu\text{m}$ et $10\mu\text{m}$), de son dopage C_p (1.10^{16}cm^{-3} et 2.10^{16}cm^{-3}) ainsi que la surface définie à partir de quatre combinaisons de largeur XL_n d'émetteur et de facteur de surface Z , comme précisé dans le tableau II.9.

Z (μm) \ XL_n (μm)	10	20
290000	4,93 mm^2	7,83 mm^2
500000	8,5 mm^2	13,5 mm^2

Tableau II. 9 : Surfaces utilisées dans les simulations

b- Résultats de simulations et discussion

Etudions la tenue en tension pour différentes combinaisons de valeurs (Y_p , C_p) de la couche enterrée. Notons que l'évolution du courant I_c , et donc du gain, est présentée en fonction de la surface active.

	Yp=5µm		Yp=10µm	
Cp (cm⁻³)	1.00E+16	2.00E+16	1.00E+16	2.00E+16
Vbr+ (V)	710	750	780	830
Vbr- (V)	700	740	770	820

Tableau II. 10 : Tenue en tension du BipAC NPN avec couche P enterrée dans substrat P⁻ en fonction de l'épaisseur de la couche P pour Cp=2.10¹⁶cm⁻³

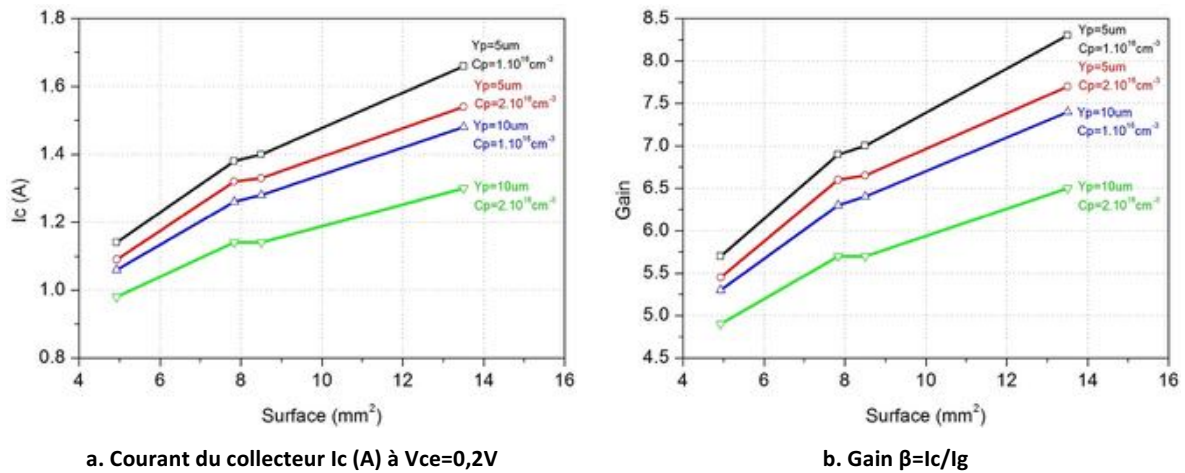


Figure II. 85 : Courant Ic et gain en courant du BipAC NPN avec couche P enterrée en fonction de la surface de la structure pour différentes valeurs du couple (Yp, Cp), pour un courant de gâchette Ig=0,2A

Le tableau II.10 donnant la tenue en tension montre qu'une épaisseur de 5µm n'est pas suffisante pour garantir 750V de tension blocable. En ce qui concerne le courant de collecteur Ic et le gain correspondant, les résultats de simulations sont groupés sur les graphes de la figure II.85. Nous constatons que le gain est plus important pour une épaisseur Yp plus faible, ainsi que pour une concentration Cp plus faible, dû au fait que le nombre de recombinaison des porteurs diminue. Ainsi, pour une surface donnée, le meilleur gain est obtenu pour Yp=5µm et Cp=1.10¹⁶cm⁻³. Cependant, si on tient compte de la tenue en tension désirée, la couche enterrée devra avoir une épaisseur 10µm. Sur la base des simulations obtenus et pour se donner une marge suffisante par rapport au calibre en tension imposé par le cahier des charges, nous optons pour le compromis (Yp=10µm, Cp=2.10¹⁶cm⁻³).

D'autre part, nous constatons que lorsque la surface simulée augmente, soit en augmentant la largeur XLn de l'émetteur soit en augmentant le facteur de surface Z, le gain augmente.

Pour une surface donnée, examinons l'impact de la largeur de la cellule, en particulier la largeur XLn d'émetteur. Ainsi, pour les deux valeurs 10 et 20µm de XLn, considérons l'évolution du courant Ic et du gain pour les trois valeurs de surface 5, 7 et 10 mm² (figure II.86).

Nous remarquons que, pour une surface donnée, le gain est quasiment le même quelle que soit la combinaison largeur de l'émetteur – facteur de surface utilisée. Nous gardons donc pour la suite le même dimensionnement que celui obtenu pour la cellule BipAC initiale (figure II.66).

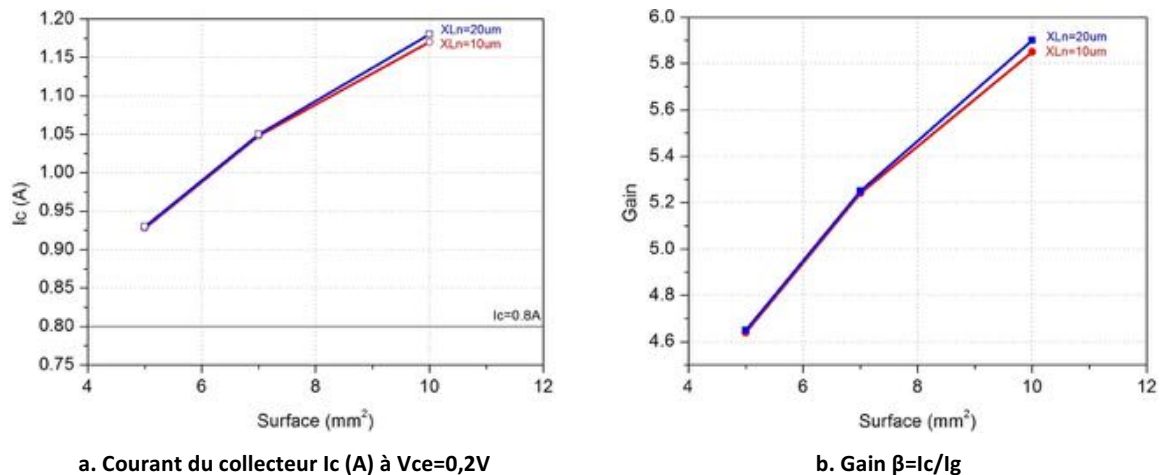


Figure II. 86 : Courant I_c et gain en courant du BipAC NPN avec couche P enterrée en fonction de la surface de la structure pour deux largeurs XL_n de l'émetteur et pour un courant de gâchette $I_g=0,2A$

4.2- Impact de la durée de vie sur les performances à l'état passant de la structure

Nous proposons ici d'étudier l'impact de la durée de vie des porteurs sur les performances à l'état passant. Les simulations sont menées pour des durées de vie des porteurs comprises entre $10\mu s$ et $30\mu s$. Les conditions de simulations sont identiques à celles décrites au paragraphe 4.1.a. La valeur de XL_n sera maintenue constante et égale à $10\mu m$. Les simulations sont données pour deux surfaces différentes de 5 et $10mm^2$. Les graphes a et b de la figure II.87 donnent respectivement le courant collecteur I_c et le gain correspondant. Les marques pleines sur le graphe b indiquent les cas où $I_c \geq 0,8A$. Nous constatons que la durée de vie des porteurs a un impact considérable : plus celle-ci est maintenue faible, plus faible sera le gain.

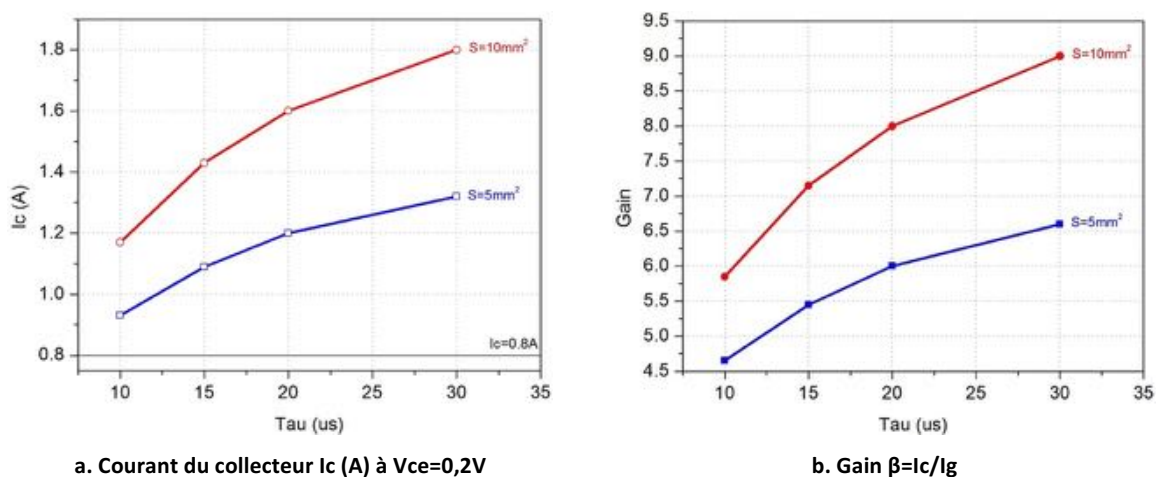


Figure II. 87 : Courant I_c et gain en courant du BipAC NPN avec couche P enterrée en fonction de la durée de vie des porteurs, pour deux valeurs de surface simulée et pour un courant de gâchette $I_g=0,2A$

Vérifions, pour une surface de $5mm^2$ (surface la plus faible), la valeur de la chute de tension à l'état passant du composant dans la plage de durées de vie 10 à $30\mu s$ étudiée. Nous constatons ici également la dégradation de la chute de tension à l'état passant lorsque la durée de vie diminue. Dans tout le reste de l'étude, une durée de vie standard de $10\mu s$ est utilisée.

Chute de tension	$\tau=10\mu s$	$\tau=15\mu s$	$\tau=20\mu s$	$\tau=30\mu s$
$V_{min}(V)$	0,1	0,07	0,06	0,05
$V_{max}(V)$	0,2	0,11	0,08	0,07

Tableau II. 11 : Chutes de tension minimale et maximale dans le cas d'une commande par un courant de gâchette de 0,2A

4.3- Paramètres physiques et géométriques de la périphérie

Il s'agit ici de déterminer les paramètres physiques et géométriques de la périphérie, constituée d'un mur et de sa terminaison de jonction et de la terminaison de jonction associée à la partie active.

La cellule active et sa périphérie sont représentées sur la figure II.88. Nous notons que la couche enterrée ne doit pas atteindre la région N^+ du mur traversant pour ne pas risquer de pénaliser la tenue en tension. En effet, si la couche P enterrée atteignait le mur N^+ , la jonction ainsi formée conduirait à un claquage prématuré de la structure.

Pour optimiser la périphérie, il convient de vérifier la tenue en tension de la structure ainsi décrite et de proposer un dimensionnement qui permet d'assurer une tenue en tension de 750V.

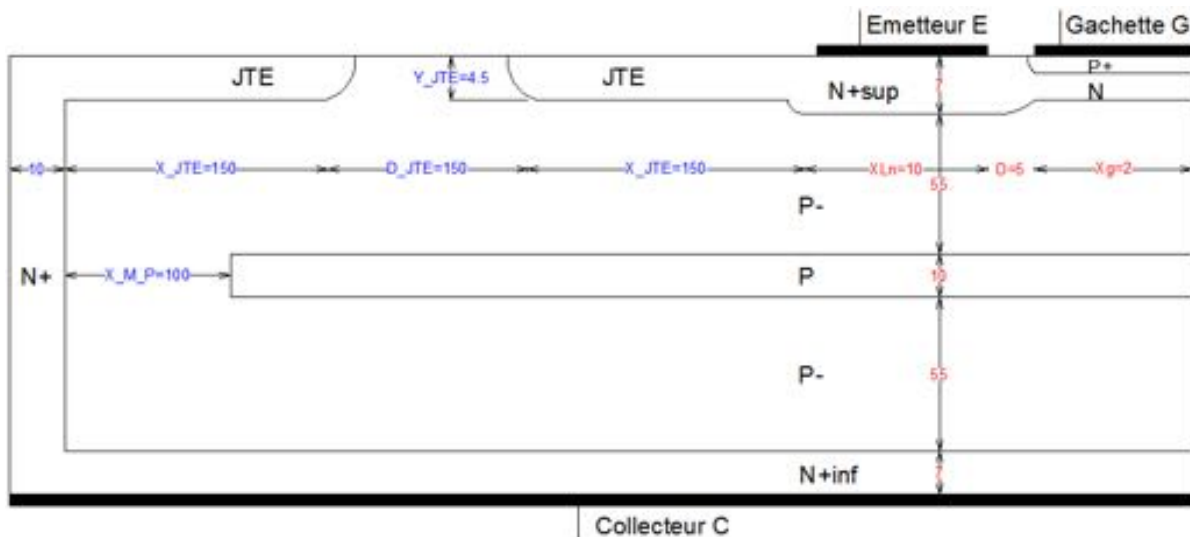


Figure II. 88 : BipAC NPN avec couche P enterrée dans le substrat P^- : cellule active dotée d'une périphérie

Un grand nombre de simulations basées sur la combinaison de plusieurs paramètres de la JTE (largeur, épaisseur et concentration) et sur les distances entre les différents éléments de la structure (distance mur – couche enterrée et distance entre les JTE) ont été effectuées.

a- Paramètres de la JTE : largeur, profondeur et dopage

La figure II.89 montre la variation de la tenue en tension V_{br} (3^{ème} quadrant) en fonction de la concentration en surface de la JTE pour différentes valeurs de largeur et de profondeur.

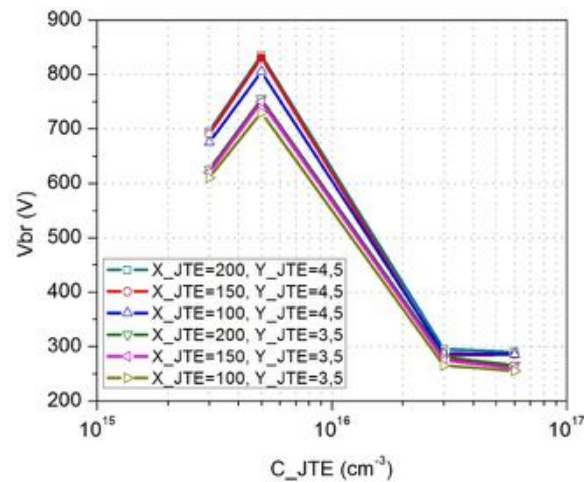


Figure II. 89 : Tenue en tension en fonction du dopage C_{JTE} de la JTE pour différentes valeurs du couple largeur – profondeur de JTE (X_{JTE} , Y_{JTE})

Discussion :

- Pour favoriser l'étalement de la zone de la charge d'espace dans la région JTE, un dopage de $5.10^{15} cm^{-3}$ et une profondeur de $4,5\mu m$ sont utilisés.
- La tenue en tension augmente très légèrement pour des largeurs de JTE allant de 100 à $200\mu m$. Une largeur de $150\mu m$ est suffisante.

La combinaison retenue est repérée par une marque rouge pleine sur la figure [II.89](#).

b- Distance mur – couche P et distance inter-JTE

La figure [II.90](#) montre la variation de la tenue en tension V_{br} (1^{er} quadrant) en fonction de la distance inter-JTE pour différentes valeurs de la distance mur – couche P, pour les paramètres de la JTE définis précédemment.

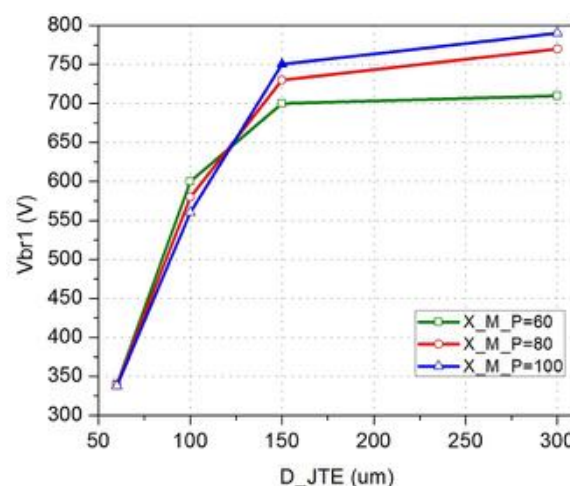


Figure II. 90 : Tenue en tension en fonction de la distance inter-JTE pour différentes distances X_{M_P} entre le mur et la couche enterrée

Discussion :

- La variation de la tenue en tension est très nettement atténuée à partir une distance inter-JTE de $150\mu m$.
- Par ailleurs, la couche enterrée P doit être à une distance de $100\mu m$ du mur N^+ .

La combinaison retenue est identifiée par une marque bleue pleine sur la figure [II.90](#).

c- Bilan

Les valeurs choisies après optimisation sont résumées dans le tableau [II.12](#).

Largeur de JTE	X_JTE	150 μ m
Épaisseur de JTE	Y_JTE	4,5 μ m
Concentration de JTE	C_JTE	5.10 ¹⁵ cm ⁻³
Distance mur-couche P	X_M_P	100 μ m
Distance entre JTE	D_JTE	150 μ m

Tableau II. 12 : Paramètres de la structure périphérique correspondant à une tenue en tension de 750V

4.4- Choix de la structure 2D représentative de la coupe d'une puce complète

Dans le but d'évaluer les performances qu'offre la structure BipAC avec couche enterrée, il faut effectuer des simulations à partir d'une coupe 2D représentative de la puce dans son ensemble (partie active + périphérie). Il s'agit donc de déterminer le nombre de cellules à simuler avec la périphérie pour représenter au mieux la section d'une puce de surface de l'ordre de 5-10mm².

a- Impact de la périphérie sur les performances d'une cellule active

Nous simulons la structure avec sa périphérie comme présentées dans la figure [II.88](#) pour une surface active de 10mm². Le tableau [II.13](#) compare les résultats de la simulation de la cellule active seule (voir paragraphe [3.1.b](#), figure [II.78.c](#)) avec ceux de la simulation de la cellule active dotée de sa périphérie. Les résultats de simulations à l'état bloqué direct, puis inverse et à l'état passant dans le 3^{ème} quadrant (gain le plus faible) pour une commande par un courant de gâchette de 200mA, sont ainsi donnés dans le tableau [II.13](#).

	Cellule active	Cellule active + périphérie
Vbr+ (V)	830	750
Vbr- (V)	820	830
Gain (I _g =0,2A)	7,1	4,9

Tableau II. 13 : Résultats de simulation du BipAC NPN avec couche P enterrée dans substrat P dans les deux cas : cellule active et cellule active dotée d'une périphérie, pour une surface active de 10mm²

Nous observons une dégradation en tenue en tension dans le premier quadrant dû au fait que nous ne sommes plus dans les conditions idéales de la jonction planes. En outre, le gain est fortement détérioré. En effet, cette simulation, basée sur une seule cellule et sa périphérie, n'est pas représentative de la coupe d'une puce réelle qui comporte un certain nombre de cellules actives. Ainsi, par rapport au cas d'une cellule active seule, la surface de la partie active est ici insignifiante.

b- Simulation de quatre cellules actives associées à la périphérie

Pour se rapprocher de la réalité où une périphérie est utilisée pour un ensemble de cellules actives, c'est à dire une succession de doigts d'émetteur et de gâchette constituant la surface active du composant, examinons le cas d'une structure à quatre doigts avec la périphérie (figure [II.91](#)).

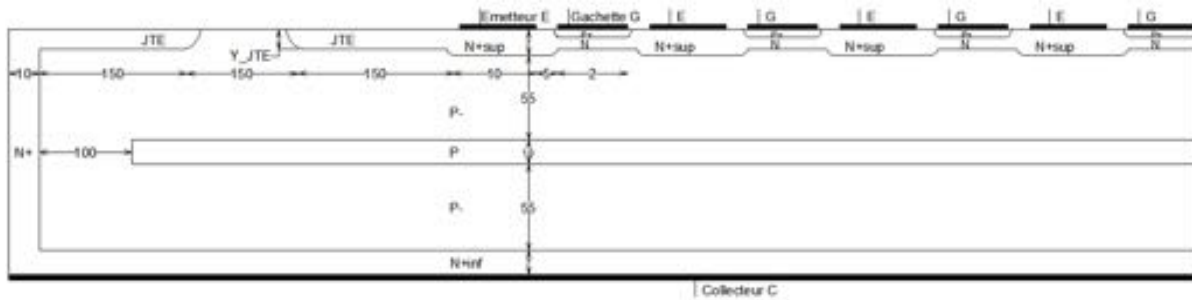


Figure II. 91 : Quatre doigts BipAC NPN avec la couche P enterrées dans le substrat P et la périphérie

Le tableau II.14 donne la tenue en tension de la structure ainsi définie. Le graphe II.92.a donne le courant du collecteur dans quatre cas de surface du composant, pour un courant de commande de 200mA. Le gain est donné sur le graphe II.92.b.

Les surfaces simulées correspondent :

- soit à la surface totale de la puce ($S_{\text{totale}} = \text{largeur totale} \times Z$)
- soit à la surface active de la puce ($S_{\text{4_doigts}} = \text{largeur des 4 cellules} \times Z$).

Quatre cellules actives + périphérie	
V_{br+} (V)	760
V_{br-} (V)	840

Tableau II. 14 : Tenue en tension des quatre doigts du BipAC NPN avec couche P avec la périphérie

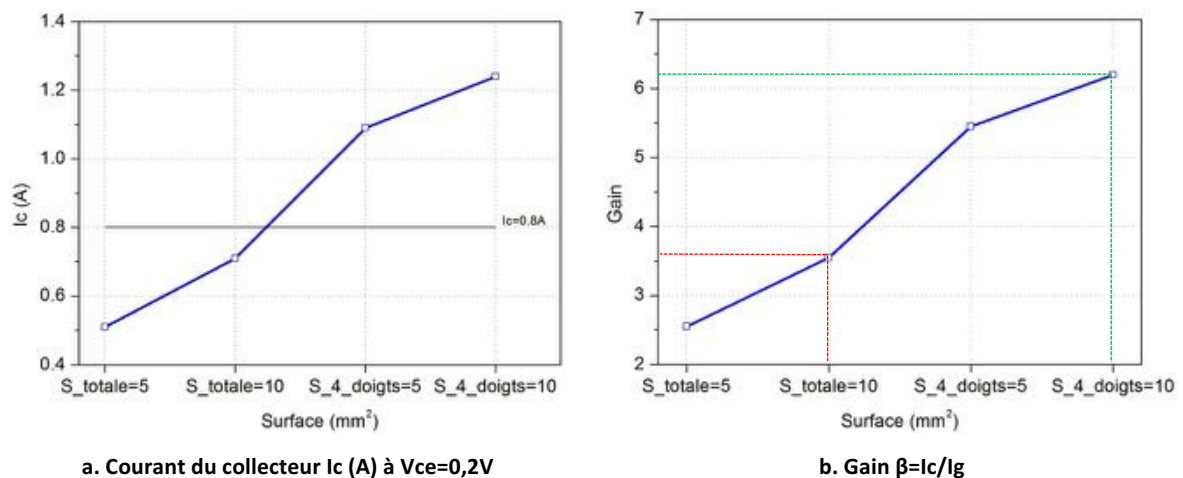


Figure II. 92 : Courant du collecteur et gain en courant des quatre doigts du BipAC NPN avec couche P avec la périphérie en fonction de la surface simulée

Conclusion : Comme prévu, le gain obtenu à partir de la puce à quatre cellules est meilleur que celui obtenu à partir de la puce à une cellule : pour une surface active donnée de 10mm^2 , le gain augmente de 4,9 à 6,2. Il convient cependant d'augmenter le nombre de cellules afin de tendre vers un résultat plus réaliste.

c- Trente cellules actives associées à la périphérie : demi-puce

Nous allons simuler une demi-puce de 30 doigts de la structure BipAC (figure II.93). La largeur totale de la structure ainsi définie est de $1120\mu\text{m}$.

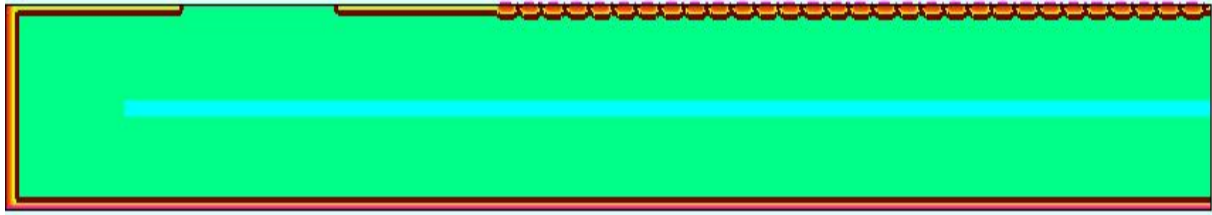


Figure II. 93 : Demi-puce du BipAC NPN avec la couche P enterrées dans le substrat P⁻ et la périphérie

Le tableau II.15 donne la tenue en tension. Les résultats de simulations à l'état passant sont illustrés sur la figure II.94 en fonction de la surface totale simulée pour un courant de commande de 200mA.

	Demi-puce à 30 doigts
Vbr+ (V)	820
Vbr- (V)	840

Tableau II. 15 : Tenue en tension d'une demi-puce (30 doigts) du BipAC NPN avec couche P avec la périphérie

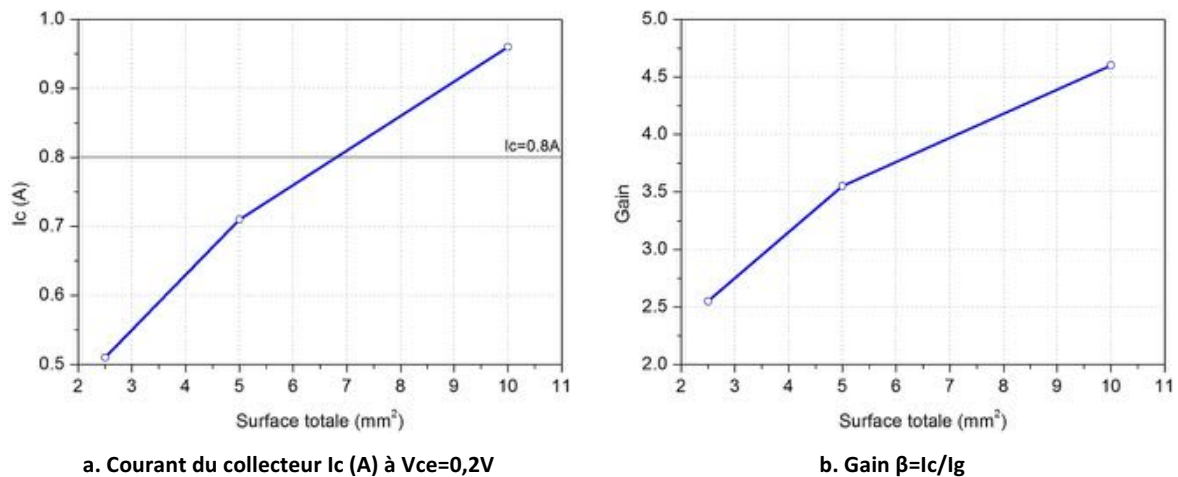


Figure II. 94 : Courant du collecteur et gain en courant d'une demi-puce (30 doigts) du BipAC NPN avec couche P avec la périphérie en fonction de la surface simulée

Conclusion : On constate que la puce à trente doigts offre un gain plus élevé que la puce à quatre doigts. À titre d'exemple, pour une surface totale de 10mm², le gain passe de 3,6 à 4,6.

d- Soixante cellules active associées à la périphérie : puce complète

Nous finalisons cette étude par la simulation d'une puce complète de 60 doigts avec la périphérie complète des deux côtés de la partie active (figure II.95). La largeur totale est de 2235µm.



Figure II. 95 : Puce complète du BipAC NPN avec la couche P enterrées dans le substrat P⁻ et la périphérie

Les résultats obtenus classés dans les tableaux II.16 sont conformes aux résultats de simulations de la demi-puce.

Puce complète à 60 doigts	
Vbr+ (V)	820
Vbr- (V)	840

Tableau II. 16.a : Tenue en tension

	S_totale=5mm²	S_totale=10mm²
Ic (A) à Vce=0,2V	0,7	0,92
Gain (I_g=0,2A)	3,5	4,6

Tableau II. 16.b : Courant du collecteur et gain en courant correspondant

Tableaux II. 16 : Tenue en tension, courant du collecteur et gain en courant d'une puce complète (60 doigts) du BipAC NPN avec couche P avec la périphérie en fonction de la surface simulée pour un courant de commande I_g=0,2A

Conclusion : Par rapport à la demi-puce et pour la même surface totale de 10mm², nous retrouvons quasiment la même valeur du gain.

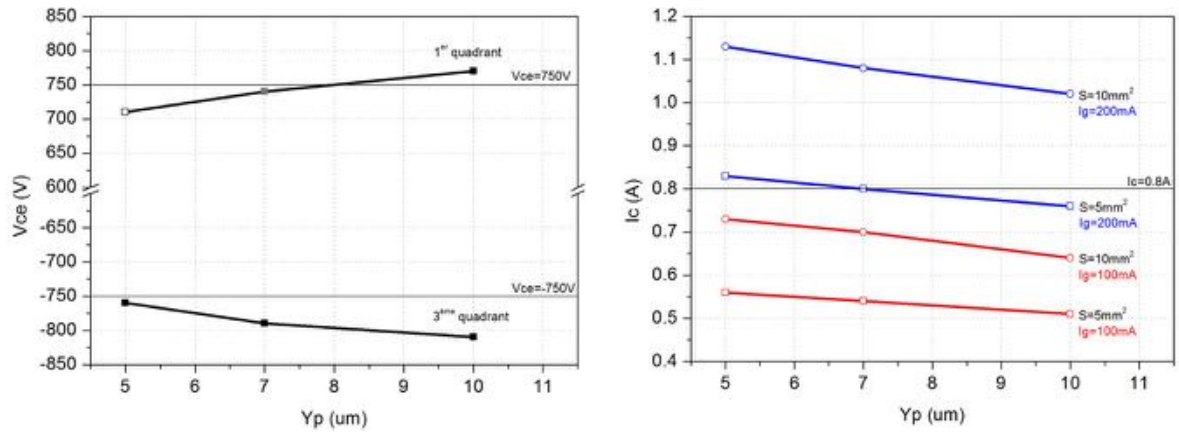
e- Bilan

Pour représenter la puce complète, nous avons montré qu'il faut une soixantaine de cellules. Ainsi, pour simuler le comportement de la structure, nous nous basons sur la coupe 2D d'une demi-puce à trente cellules (figure [II.93](#)).

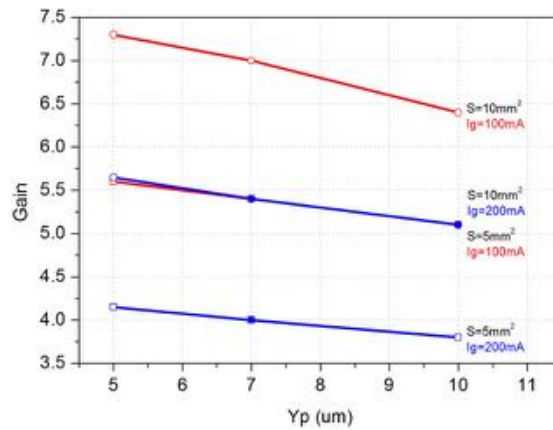
4.5- Bilan des caractéristiques de la structure proposée pour améliorer le gain

Pour conclure cette étude sur la nouvelle structure proposée, nous nous proposons ici de montrer ses caractéristiques en fonction de plusieurs combinaisons de paramètres physiques et géométriques (surface de la puce, dopage et épaisseur de la couche enterrée) et pour deux valeurs de courant de commande. Les simulations sont basées sur la coupe 2D de la demi-puce à trente cellules. Nous donnons successivement les résultats sur la tenue en tension et le gain pour Cp=1.10¹⁶cm⁻³ et puis pour Cp=2.10¹⁶cm⁻³.

Les résultats de simulation pour un dopage de la couche P égale à 1.10¹⁶cm⁻³ sont groupés sur la figure [II.96](#). Les trois valeurs d'épaisseur de la couche P considérées sont 5μm, 7μm et 10μm. Pour les simulations à l'état passant, deux cas de surface totale sont traités : 5mm² et 10mm². La tenue en tension est repérée sur le graphe a par rapport aux 750V pour un fonctionnement dans les premier et troisième quadrants. Le courant Ic est situé par rapport au 0,8A sur le graphe b. Les marques pleines sur le graphe c du gain indiquent les cas qui répondent simultanément aux exigences en tenue en tension à l'état bloqué et en courant Ic traversant le composant à l'état passant.



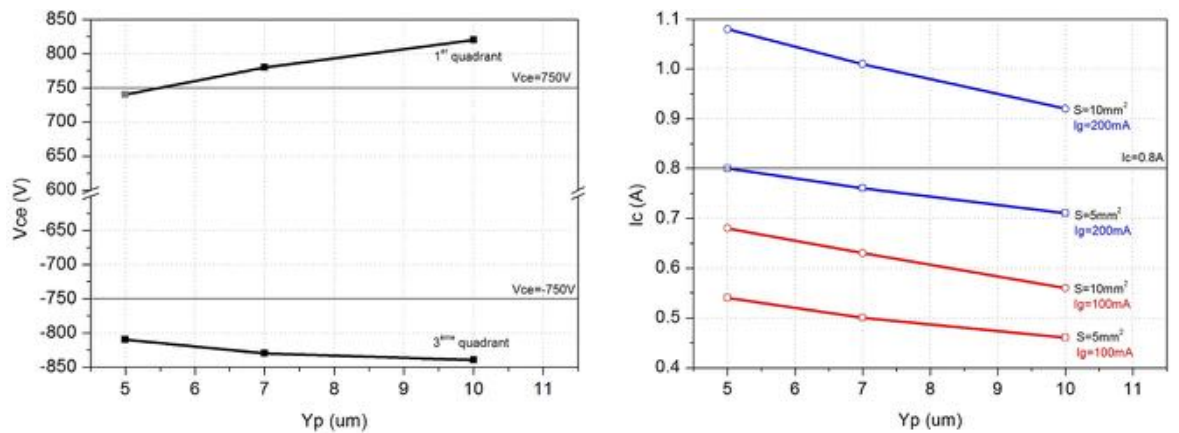
a. Tenue en tension Vbr (V) b. Courant du collecteur Ic (A) à Vce=0,2V (1^{er} quadrant)



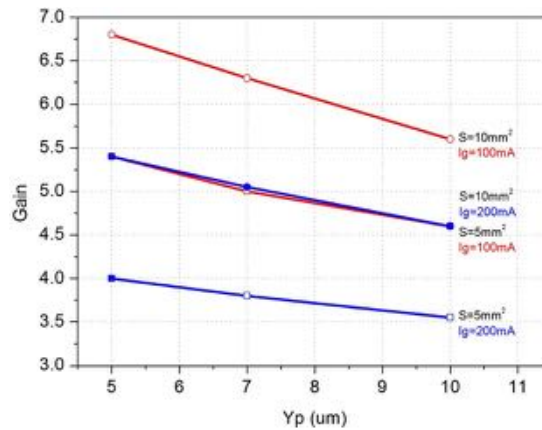
c. Gain $\beta = I_c / I_g$

Figure II. 96 : Tenue en tension, courant du collecteur et gain en courant d’une demi-puce (30 doigts) du BipAC NPN avec couche P et la périphérie en fonction de l’épaisseur de la couche P enterrée pour deux valeurs de surface simulées, deux valeurs de courant de gâchette et une concentration de la couche P $C_p = 1.10^{16} \text{cm}^{-3}$

Les résultats de simulation pour un dopage de la couche P égale à 2.10^{16}cm^{-3} sont illustrés sur la figure II.97. Les autres facteurs de simulations sont identiques au cas précédent de $C_p = 1.10^{16} \text{cm}^{-3}$. Jusqu’à présent nous n’avons simulé à l’état passant que l’alternance positive (1^{er} quadrant) qui présente un gain inférieur à celui de l’alternance négative (3^{eme} quadrant).



a. Tenue en tension Vbr (V) b. Courant du collecteur Ic (A) à Vce=0,2V (1^{er} quadrant)



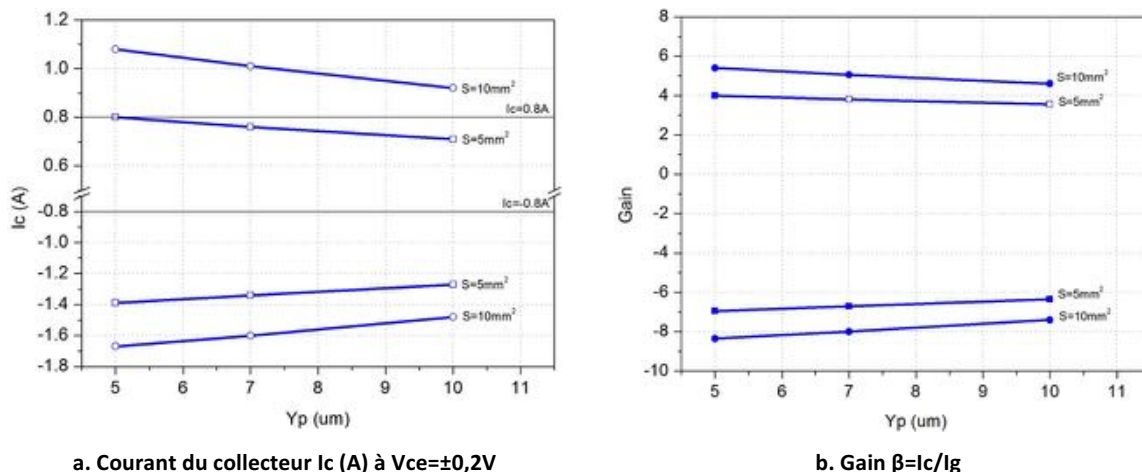
c. Gain $\beta=I_c/I_g$

Figure II. 97 : Tenue en tension, courant du collecteur et gain en courant d’une demi-puce (30 doigts) du BipAC NPN avec couche P et la périphérie en fonction de l’épaisseur de la couche P enterrée pour deux valeurs de surface simulées, deux valeurs de courant de gâchette et une concentration de la couche P $C_p=2.10^{16}cm^{-3}$

La comparaison des résultats pour les deux concentrations de la couche P montre que nous pouvons combiner la concentration de $1.10^{16}cm^{-3}$ à l’épaisseur Y_p de $7\mu m$ pour les deux surfaces totales $5mm^2$ et $10mm^2$, ou à Y_p de $10\mu m$ si la surface totale est de $10mm^2$.

En revanche, une concentration de $2.10^{16}cm^{-3}$ est préférable si l’épaisseur Y_p est de $10\mu m$, pour une surface totale $10mm^2$. L’utilisation d’une concentration de $2.10^{16}cm^{-3}$ avec une épaisseur Y_p de $5\mu m$ est possible pour une surface plus faible ($5mm^2$). Toutefois, la tenue en tension sera légèrement inférieure à $750V$ imposée par le cahier des charges.

Remarque : Sur la figure II.98 nous vérifions pour le cas de $C_p=2.10^{16}cm^{-3}$ et pour $I_g=200mA$, la valeur du gain pour l’alternance négative où le gain est meilleur.



a. Courant du collecteur I_c (A) à $V_{ce}=\pm 0,2V$

b. Gain $\beta=I_c/I_g$

Figure II. 98 : Courant du collecteur pour les deux alternances et gain en courant d’une demi-puce (30 doigts) du BipAC NPN avec couche P et la périphérie en fonction de l’épaisseur de la couche P enterrée pour deux valeurs de surface simulées, un courant de gâchette $I_g=0,2A$ et une concentration de la couche P $C_p=2.10^{16}cm^{-3}$

Conclusion : Avec les contraintes de notre cahier des charges, cette structure améliorée offre un gain compris entre 4 et 5,5 (1^{er} quadrant, correspondant au pire cas) selon les valeurs (Y_p , C_p) de la couche enterrée, de la surface choisie et du courant de commande. Toutefois, si nous rajoutons la condition sur le gain $\beta \geq 5$, les combinaisons retenues seront : ($Y_p=7\mu m$, $C_p=1.10^{16}cm^{-3}$) ; ($Y_p=10\mu m$, $C_p=1.10^{16}cm^{-3}$)

³) ; ($Y_p=5\mu\text{m}$, $C_p=2.10^{16}\text{cm}^{-3}$) et ($Y_p=7\mu\text{m}$, $C_p=2.10^{16}\text{cm}^{-3}$) pour une surface totale de 10mm^2 et un courant de commande I_g de 200mA .

5- Bilan

Dans la seconde partie de ce chapitre, nous avons envisagé plusieurs solutions pour améliorer le gain du BipAC. Ainsi, nous avons étudié différentes structures basées sur l'insertion d'une ou de plusieurs couche(s) dans le substrat, de même nature ou non que celui-ci. Les résultats de simulation ont montré que la structure offrant le meilleur compromis tenue en tension-gain est celle qui comporte une couche enterrée dans le substrat et de même type que celui-ci.

Ainsi, nous avons ensuite examiné les potentialités de la structure BipAC avec une couche enterrée de même type de substrat dans les deux cas de substrat N et P. La structure sur substrat N ne permet pas d'atteindre les conditions à la fois sur la tenue en tension et la valeur du courant collecteur à $V_{ce}=0,2\text{V}$ (pour une surface inférieure ou égale à 10mm^2). Pour ce qui est de la structure BipAC NPN, nous avons mis en évidence plusieurs combinaisons possibles de paramètres physiques satisfaisant le cahier des charges.

Nous avons alors proposé un dimensionnement de cette structure NPN avec couche P enterrée. Pour cela, nous avons optimisé dans un premier temps la cellule élémentaire : son épaisseur totale est de $134\mu\text{m}$ si la couche P enterrée présente une épaisseur de $10\mu\text{m}$ et un dopage de 2.10^{16}cm^{-3} . Dans un deuxième temps, la périphérie a été dimensionnée. Ensuite, pour évaluer les performances par simulation, il a fallu choisir la structure 2D la plus représentative possible de la puce complète. Nous avons montré que le comportement de la structure peut être correctement évalué si on se base sur la coupe 2D d'une demi-puce à trente cellules.

Ainsi, une étude des potentialités par simulation de cette structure 2D permet de fournir des gammes de valeurs de paramètres géométriques et physiques qui répondent aux différents compromis imposés par le cahier des charges ($V_{br} = 750\text{V}$ (symétrique) ; $I_c = 0,8\text{A}$; surface max = 10mm^2 et $V_{ce} \leq 0,2\text{V}$). Les deux surfaces de puce comparées sont 5 et 10mm^2 .

Conclusion

Dans la première partie de ce chapitre, nous avons présenté la structure BipAC pour les deux types de substrat N et P. Nous avons détaillé son principe de fonctionnement à l'état bloqué et à l'état passant. Une part importante de notre étude, basée sur des simulations physiques 2D, a été dédiée au gain du BipAC et à l'impact de différents paramètres sur ses caractéristiques électriques. Ensuite, nous avons validé par simulation le comportement du BipAC en commutation. Il est à noter que les paramètres physiques utilisés dans les simulations sont issus de la filière technologique de puissance du LAAS.

Après avoir déterminé les épaisseurs nécessaires pour répondre aux critères de tenue en tensions visées, nous avons mené une étude qualitative sur une structure de largeur $250\mu\text{m}$. Nous avons notamment estimé la surface active ($12,5\text{-}20\text{mm}^2$) et la valeur du courant de commande ($300\text{-}350\text{mA}$) permettant d'avoir un courant I_c de $0,8\text{A}$ tout en présentant une chute de tension à l'état passant inférieure ou égale à $0,2\text{V}$. La puce ainsi obtenue permet de remplir la fonctionnalité électrique. En revanche, sa surface est supérieure à celle attendue dans le cadre du projet (10mm^2).

Dans l'objectif d'optimiser la surface de la puce, nous avons commencé par le dimensionnement de la cellule élémentaire de la structure BipAC, pour laquelle nous avons notamment déterminé les paramètres géométriques de la face avant permettant de minimiser la surface de silicium utilisée.

Dans la seconde partie de ce chapitre, nous avons envisagé plusieurs solutions pour améliorer le gain du BipAC. Ainsi, nous avons proposé différentes structures basées sur l'insertion d'une ou de plusieurs couche(s) dans le substrat, de même nature ou non que celui-ci. La structure offrant le meilleur compromis tenue en tension-gain est celle qui comporte une couche enterrée dans le substrat et de même type que celui-ci.

Nous avons proposé un dimensionnement de la structure BipAC NPN avec couche P enterrée. Pour cela, nous avons optimisé dans un premier temps la cellule élémentaire. Dans un deuxième temps, la périphérie a été dimensionnée. Ensuite, une structure 2D comprenant un grand nombre de cellules élémentaires (30 cellules) associées à une périphérie, correspondant à la coupe 2D d'une demi-puce, a été nécessaire pour évaluer correctement les performances du dispositif. Ainsi, une étude des potentialités par simulation de cette structure 2D permet de fournir des gammes de valeurs de paramètres géométriques et physiques qui répondent aux différents compromis imposés par le cahier des charges (tenue en tension, I_c , gain, V_{on} et surface). Cette structure améliorée offre un gain compris entre 4 et 5,5 (1^{er} quadrant, correspondant au pire cas) selon les valeurs (Y_p , C_p) de la couche enterrée, de la surface choisie (5 ou 10mm^2) et du courant de commande (100 ou 200mA). En outre, et pour une même tenue en tension, la nouvelle structure proposée présente un meilleur gain (I_c/I_g) que la structure initiale et permet par conséquent d'utiliser une plus faible surface de silicium pour un même courant de charge I_c ($=0,8\text{A}$) et un même courant de commande I_g .

Dans le chapitre suivant, nous allons présenter la conception des masques de la structure BipAC et le processus technologique nécessaire à la réalisation. En ce qui concerne la version avec couche enterrée, elle est réalisable sur un substrat obtenu par épitaxies successives. Pour une première validation expérimentale, nous avons choisi de réaliser la version de la structure sans la couche enterrée.

Chapitre III

Réalisations technologiques et caractérisations

Introduction

Ce chapitre est consacré à la réalisation technologique de la structure BipAC.

Dans un premier temps, nous expliquerons la conception des masques nécessaires à la fabrication du BipAC. Chaque niveau sera présenté en décrivant sa géométrie, ses dimensions et son positionnement par rapport au niveau qui le précède. Différentes architectures de la structure sont proposées.

Dans un deuxième temps, nous décrivons les filières technologiques adoptées pour les deux types de substrats N et P. Nous montrerons l'enchaînement des étapes technologiques. Nous déterminerons les paramètres d'implantation et de redistribution pour les filières sur substrats N et P en nous basant d'une part sur des simulations 2D de type process, et d'autre part sur des résultats de mesures SRP (Spreading Resistance Profiling) et des analyses SIMS (Secondary Ion Mass Spectrometry) effectuées sur des plaquettes tests.

La troisième partie de ce chapitre porte sur la réalisation des composants BipAC (version initiale). Nous détaillerons le procédé technologique utilisé pour fabriquer les premiers composants tests sur substrat N et sur substrat P. Nous avons réalisé ces prototypes sans les murs traversants afin de valider la fonctionnalité de la structure proposée et sa bidirectionnalité en courant. La tenue en tension est vérifiée uniquement dans un seul quadrant, une tenue en tension symétrique ne pouvant être obtenue dans notre plateforme que pour une structure dotée de murs traversants. La brique technologique pour la réalisation du mur P^+ sur substrat N^- a été récemment validée séparément par H. TAHIR dans le cadre de ce même projet et elle est aujourd'hui en cours d'intégration dans la filière de puissance pour la réalisation d'un dispositif thyristor symétrique en tension.

À l'issue de la réalisation technologique, nous présenterons les résultats de caractérisations électriques obtenus sur ces premiers dispositifs BipAC.

Enfin, nous montrerons l'amélioration que nous pouvons obtenir avec la structure BipAC avec couche enterrée, en nous basant sur des simulations physiques 2D (de type process et électriques) effectuées avec les paramètres de la filière technologique et les contraintes de dessin des masques.

1- Conception des masques

Dans ce paragraphe, nous expliquons les étapes de conception des masques qui doivent permettre la fabrication de la structure BipAC initiale et de sa version améliorée. La première structure peut être réalisée sur un substrat massif, la deuxième sur un substrat multi-épitaxié.

Dans le chapitre précédent, l'étude a conduit à proposer un dimensionnement de la cellule élémentaire et de la périphérie présenté sur la [figure III.1](#).

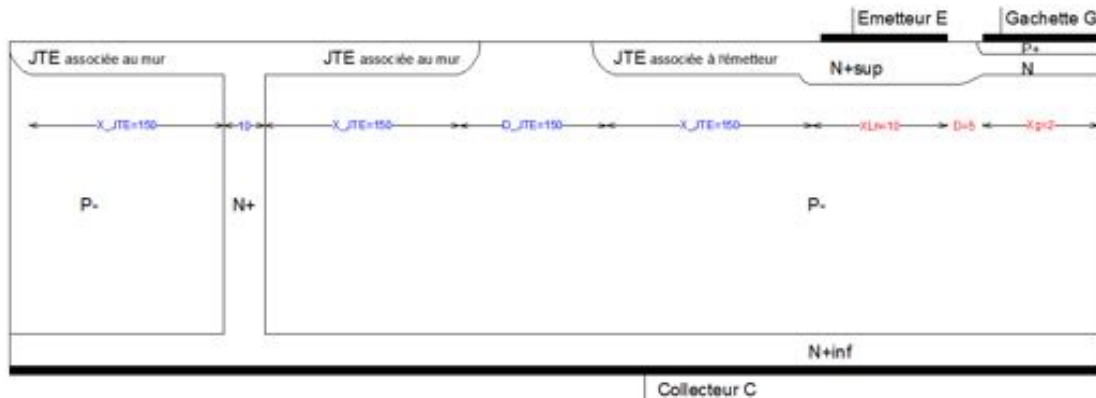


Figure III. 1 : Coupe 2D du BipAC NPN : cellule élémentaire dotée de sa périphérie

Les masques sont conçus en se basant sur ce dimensionnement tout en tenant compte des contraintes technologiques et des règles de dessin associées de la plateforme Micro et Nanotechnologies du LAAS où le prototype du BipAC est réalisé. Ainsi, la cellule active doit présenter les caractéristiques suivantes : émetteur de largeur $12\mu\text{m}$, gâchette de largeur $12\mu\text{m}$ et distance émetteur – gâchette de $5\mu\text{m}$ égale à la distance gâchette – émetteur. Plusieurs options d'arrangement des doigts d'émetteur et de gâchette, et de liaison entre les doigts de l'émetteur sont prévues. Ainsi sur un même masque, donc sur une même plaque après la fin du procédé, nous avons des motifs d'architectures variées.

Les niveaux de masques selon l'ordre d'utilisation dans le processus technologique lors de la fabrication sont :

- Niveau murs traversants
- Niveau terminaisons de jonction JTE
- Niveau zone active
- Niveau zone sous la gâchette
- Niveau émetteur
- Niveau gâchette et stop channel
- Niveau ouverture des contacts
- Niveau métallisation

Dans la suite, les explications sont formulées dans le cadre de la réalisation sur substrat N. Les mêmes masques sont employés également pour le cas correspondant au substrat P, seuls les paramètres de l'étape technologique varient en fonction du substrat manipulé (ions dopants et leur dose, énergie utilisée, temps de recuit, ...).

1.1- Niveau murs traversants P⁺

Deux variantes des murs sont prises en compte : le premier type de mur est obtenu en réalisant une tranchée continue sur les substrats épitaxiés et le deuxième type est obtenu en réalisant des trous débouchants et régulièrement espacés sur une ligne droite sur les substrats massifs. La tranchée continue correspond à un cadre rectangulaire à angles arrondis entourant la structure totale. Les rayons de courbure interne et externe des angles sont de $21\mu\text{m}$ et $30\mu\text{m}$ respectivement (figure III.2). La tranchée discontinue correspond à une suite de trous débouchants de longueur $50\mu\text{m}$ chacun et espacés de $25\mu\text{m}$ (figure III.3). La largeur de la tranchée sur masque est de $9\mu\text{m}$ dans les deux cas.



Figure III. 2 : Niveau de masque pour tranchée profonde continue

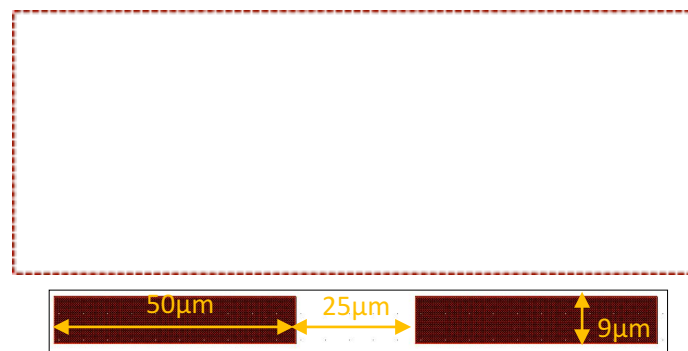


Figure III. 3 : Niveau de masque pour tranchée profonde discontinue

1.2- Niveau terminaisons de jonction JTE P⁻

Les JTE comportent deux parties : une JTE associée au mur et une à la région d'émetteur (figure III.4). La JTE associée à l'émetteur permet au composant de supporter une tension collecteur – émetteur positive alors que la JTE associée au mur permet de supporter une tension négative.

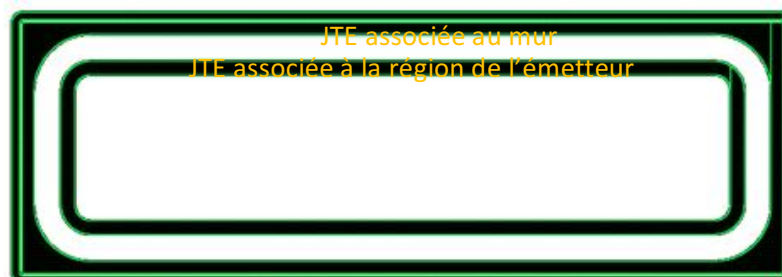


Figure III. 4 : Niveau JTE : JTE associée au mur et JTE associée à la région d'émetteur

La figure III.5.a illustre le cas de la JTE associée au mur continu ; ses rayons de courbure de part et d'autre du mur sont de $10,5\mu\text{m}$ et $40,5\mu\text{m}$. La figure III.5.b illustre le cas de la JTE rattachée aux tranchées du mur discontinu ; elle a des angles droits de part et d'autre du mur. Dans les deux cas, le mur est inclus à $10,5\mu\text{m}$ dans la JTE qui lui est rattachée. Celle-ci fait $89,5\mu\text{m}$ de largeur à l'extérieur

du mur et $139,5\mu\text{m}$ à l'intérieur. Son rayon de courbure externe vaut $130\mu\text{m}$ et celui de la courbure interne vaut $662\mu\text{m}$.

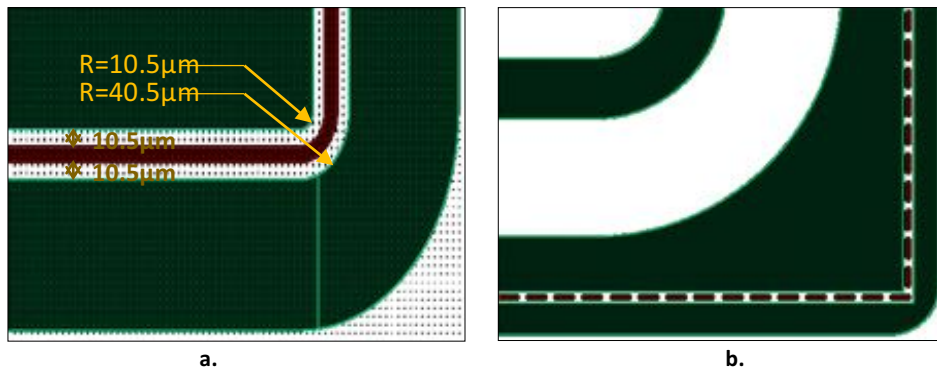


Figure III. 5 : Disposition de la JTE par rapport au mur (a) continu et (b) discontinu

La JTE de l'émetteur a une largeur de $160\mu\text{m}$: $150\mu\text{m}$ comme largeur retenue par la simulation et $10\mu\text{m}$ comme marge de sécurité pour assurer plus tard le chevauchement avec la zone d'implantation P et éviter toute possibilité de discontinuité entre l'émetteur, la partie d'implantation P sous la gâchette et la JTE en question. Son rayon de courbure externe est de $350\mu\text{m}$ et celui de la courbure interne est de $190\mu\text{m}$. Les deux parties de la JTE sont distantes de $312\mu\text{m}$ (figure III.6).

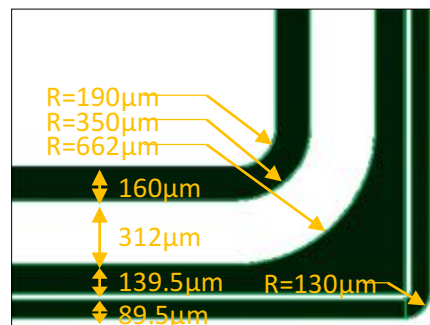


Figure III. 6 : Paramètres de la JTE

1.3- Niveau zone active

La zone active est ouverte dans la partie où les implantations du composant actif seront faites et là où le stop channel sera créé. Ce niveau est ainsi composé d'un rectangle ayant les angles arrondis de rayon de courbure de $210\mu\text{m}$ et d'un anneau de largeur de $32\mu\text{m}$ entourant du rectangle et distant de celui-ci de $280\mu\text{m}$. Les rayons de courbure externe et interne de l'anneau sont respectivement de $522\mu\text{m}$ et $490\mu\text{m}$ (figure III.8).



Figure III. 7 : Niveau zone active

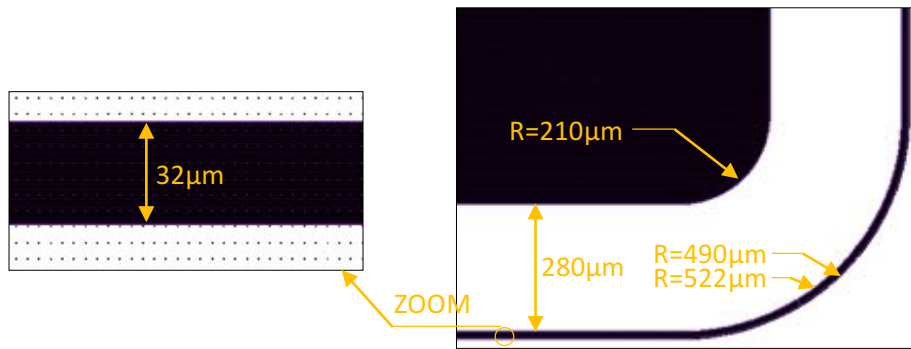


Figure III. 8 : Paramètres de la zone active

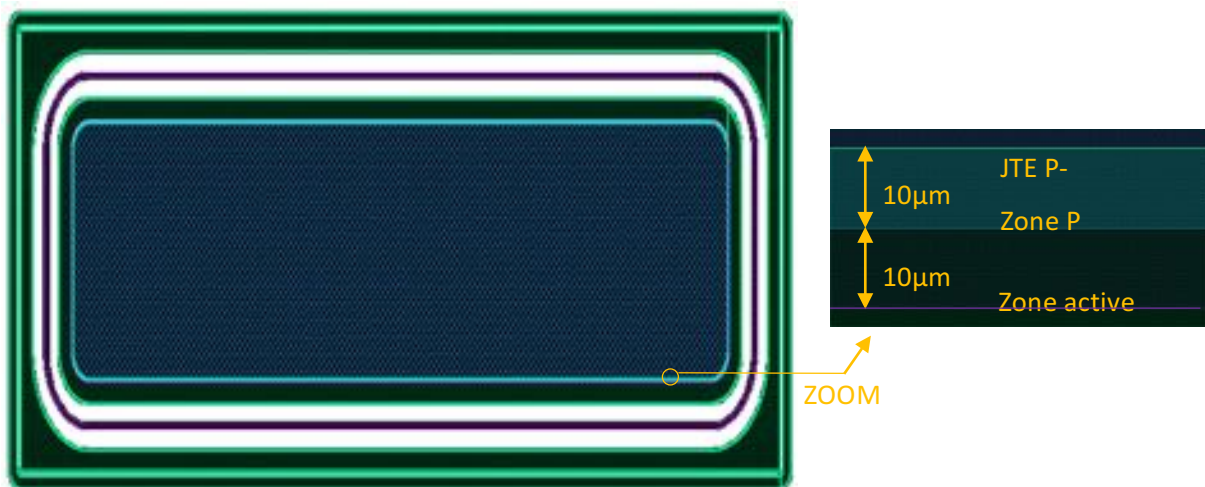
1.4- Niveau zone P sous la gâchette

La zone d'implantation P est un rectangle inclus dans celui de la zone active à une distance de $10\mu\text{m}$. Son rayon de courbure est de $200\mu\text{m}$.



Figure III. 9 : Niveau implantation P sous la gâchette

Nous avons superposé sur la figure [III.10](#) les trois niveaux de masques : la JTE P⁻, la zone active et la zone P sous la gâchette. La figure zoomée à droite permet de voir le chevauchement entre ces trois zones : la JTE P⁻ chevauche la zone P sur une distance de $10\mu\text{m}$ afin de garantir la continuité entre l'implantation P et la JTE associée à l'émetteur. De même, la zone P chevauche la zone active sur une distance de $10\mu\text{m}$ pour s'assurer que les implantations auront lieu effectivement dans la zone active ouverte, c'est-à-dire dans le silicium et non pas sur l'oxyde déposé sur la plaquette au début du processus de fabrication.

Figure III. 10 : Chevauchement entre les trois niveaux de masques JTE P⁻, zone active et zone P sous la gâchette

1.5- Niveau P⁺ d'émetteur

L'émetteur est constitué d'une série de doigts liés entre eux par des bandes de même type de diffusion P⁺. Selon la disposition de ses doigts, nous distinguons deux topologies : émetteur à deux bandes et émetteur à quatre bandes.

Dans le cas de l'émetteur à deux bandes, chaque doigt est un rectangle de largeur 12μm, de longueur 500μm et ayant les angles arrondis d'un rayon de courbure de 2μm. Le nombre de doigts de 400 nous permet d'avoir une longueur totale de l'émetteur de 400*500=200000μm (ce qui correspond dans les simulations 2D au facteur de surface Z=200000). Les doigts d'émetteur sont disposés en deux rangées contenant chacun 200 doigts. Les doigts d'une même rangée sont liés entre eux par une bande de largeur de 200μm, donc un total de deux bandes d'où l'appellation émetteur à deux bandes. Deux designs de liaison entre les deux bandes d'émetteur sont proposés : le design « émetteur type 1 » où les deux bandes sont reliées des deux côtés par deux bandes de 200μm de telle manière à faire le tour autour des doigts, et le design « émetteur type 2 » où les deux bandes de 200μm sont liées du côté gauche par une bande verticale de 100μm. Les figures III.11 et III.12 représentent respectivement l'émetteur type 1 à deux bandes et l'émetteur type 2 à deux bandes.



Figure III. 11 : Niveau émetteur type 1 à deux bandes



Figure III. 12 : Niveau émetteur type 2 à deux bandes

Dans le cas d'émetteur à quatre bandes, chaque doigt est un rectangle de largeur 12μm, de longueur 250μm et ayant les angles arrondis d'un rayon de courbure de 2μm. Pour avoir toujours une longueur totale de l'émetteur de 200000μm, le nombre de doigts nécessaire est 200000μm/250μm=800doigts. Les doigts d'émetteur sont disposés en sept rangées contenant chacun 114 doigts. Les doigts de la première rangée sont liés entre eux par une bande, et chaque couple de rangées adjacentes des six rangées restant sont liés par une bande, donc un total de quatre bandes est utilisé d'où l'appellation émetteur à quatre bandes. De la même manière que pour le cas des deux bandes, deux designs de liaison entre les quatre bandes d'émetteur sont proposés : le design « émetteur type 1 » où la bande de la première rangée ayant une largeur de 200μm et les trois autres bandes ayant chacune une largeur de 100μm sont reliées par des bandes de 200μm de telle manière à faire le tour autour des doigts, et le design « émetteur type 2 » où les quatre bandes de 100μm sont liées du côté droit par une

bande verticale de $200\mu\text{m}$. Les figures III.13.a et III.13.b représentent respectivement l'émetteur type 1 à quatre bandes et l'émetteur type 2 à quatre bandes.

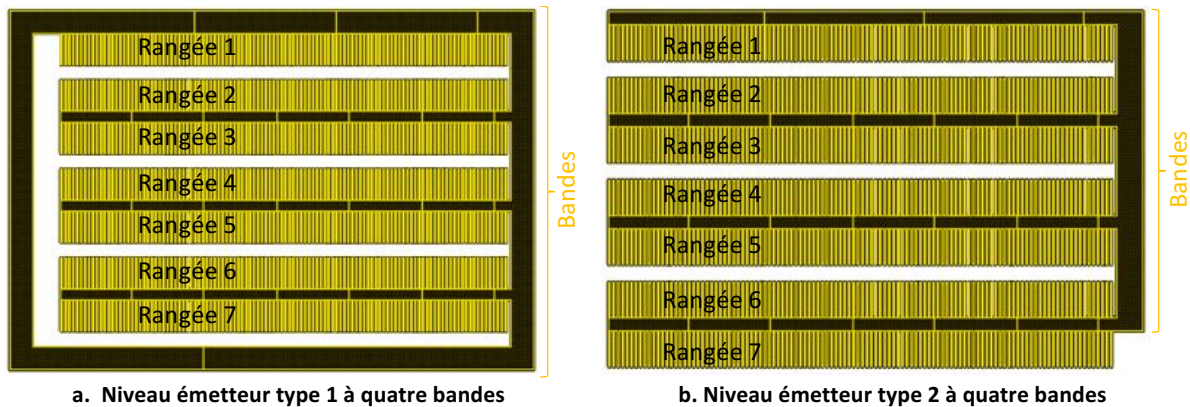


Figure III. 13 : Niveau émetteur à quatre bandes : (a) émetteur type 1 et (b) émetteur type 2

Dans les quatre cas d'architecture de l'émetteur présentés ci-dessus, les doigts d'émetteur ont une largeur de $12\mu\text{m}$ et sont distants de $22\mu\text{m}$ comme le montre la figure III.14.

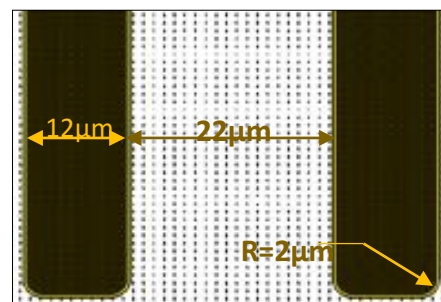


Figure III. 14 : Deux doigts d'émetteur adjacents

1.6- Niveau N^+ de gâchette et stop-channel

La gâchette est constituée de séries de doigts identiques à ceux de l'émetteur et inter-digités avec eux. La distance entre un doigt de gâchette et un doigt d'émetteur est de $5\mu\text{m}$ (figure III.17). Ainsi selon que l'émetteur est à deux ou quatre bandes, la gâchette sera elle-même à deux ou quatre bandes respectivement (figure III.15 montre le cas à deux bandes). À noter que les doigts de la gâchette N^+ sont reliés entre eux au niveau de la métallisation. Le stop-channel correspond à un anneau inclus dans l'anneau de la zone active à $10\mu\text{m}$ de part et d'autre de cette dernière. Il a une largeur de $12\mu\text{m}$ et des rayons de courbure externe et interne respectifs de $512\mu\text{m}$ et $500\mu\text{m}$ (figure III.16).

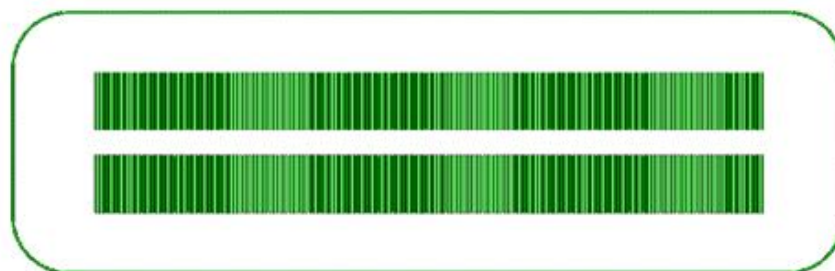


Figure III. 15 : Niveau gâchette et stop-channel pour émetteur à deux bandes

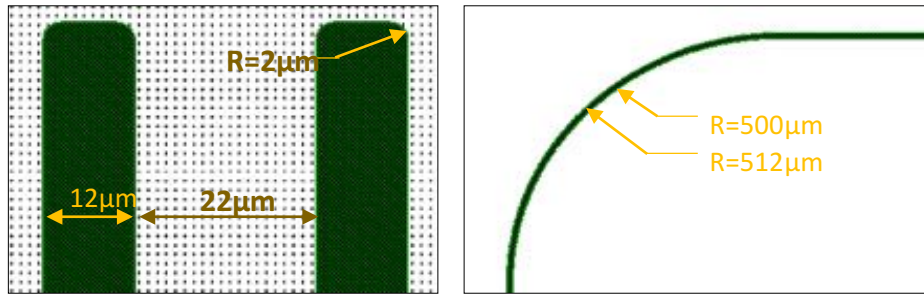


Figure III. 16 : Paramètres des doigts de gâchette (à gauche) et du stop-channel (à droite)

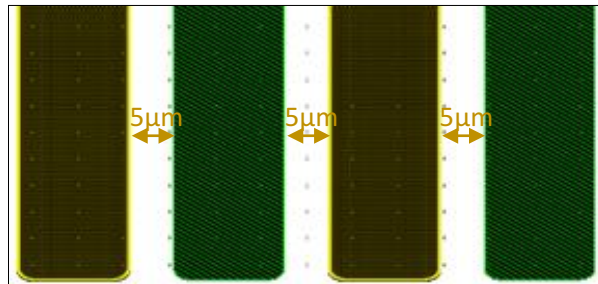


Figure III. 17 : Doigts interdigités d'émetteur et de gâchette

1.7- Niveau ouverture des contacts

La zone d'ouverture des contacts correspond à une zone incluse à $2\mu\text{m}$, dans les zones P^+ d'émetteur, du N^+ de gâchette et du stop-channel.

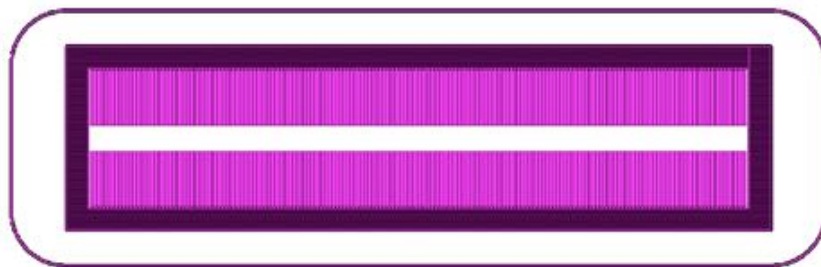


Figure III. 18 : Niveau ouverture des contacts dans le cas d'un émetteur type 1 à deux bandes

1.8- Niveau métallisation

Le niveau de métallisation, contrairement à tous les niveaux précédents, est réalisé avec une résine négative, ce qui veut dire que la partie dessinée est la partie opaque en chrome sur les masques. Ce niveau correspond aux zones P^+ d'émetteur et N^+ de gâchette et du stop-channel en plus des bandes assurant la liaison entre les doigts de gâchette.



Figure III. 19 : Niveau métallisation dans le cas d'un émetteur type 1 à deux bandes

2- Optimisation du procédé technologique de fabrication

En ce qui concerne la réalisation du BipAC PNP, nous nous basons sur la filière technologique de puissance développée au LAAS [39], dont nous donnons l'enchaînement des étapes. Il convient d'adapter les étapes d'implantation et de redistribution, pour les deux types de substrat, pour obtenir les profils définis dans le chapitre 2. Les paramètres de la filière sont définis par des simulations 2D de type process (outil ATHENA du logiciel SILVACOTM). Afin de valider et d'optimiser le choix de ces paramètres, des mesures SRP (Spreading Resistance Profiling) ainsi que des analyses SIMS (Secondary Ion Mass Spectrometry) sont effectuées sur différentes plaquettes tests de types N et P ayant subies les implantations et redistributions pré-déterminées par simulation.

2.1- Enchaînement des étapes technologiques sur substrat N

La figure III.20 résume l'enchaînement des étapes technologiques pour l'obtention du composant BipAC sur substrat N depuis la préparation des plaquettes à manipuler jusqu'au recuit du métal, fin du procédé.

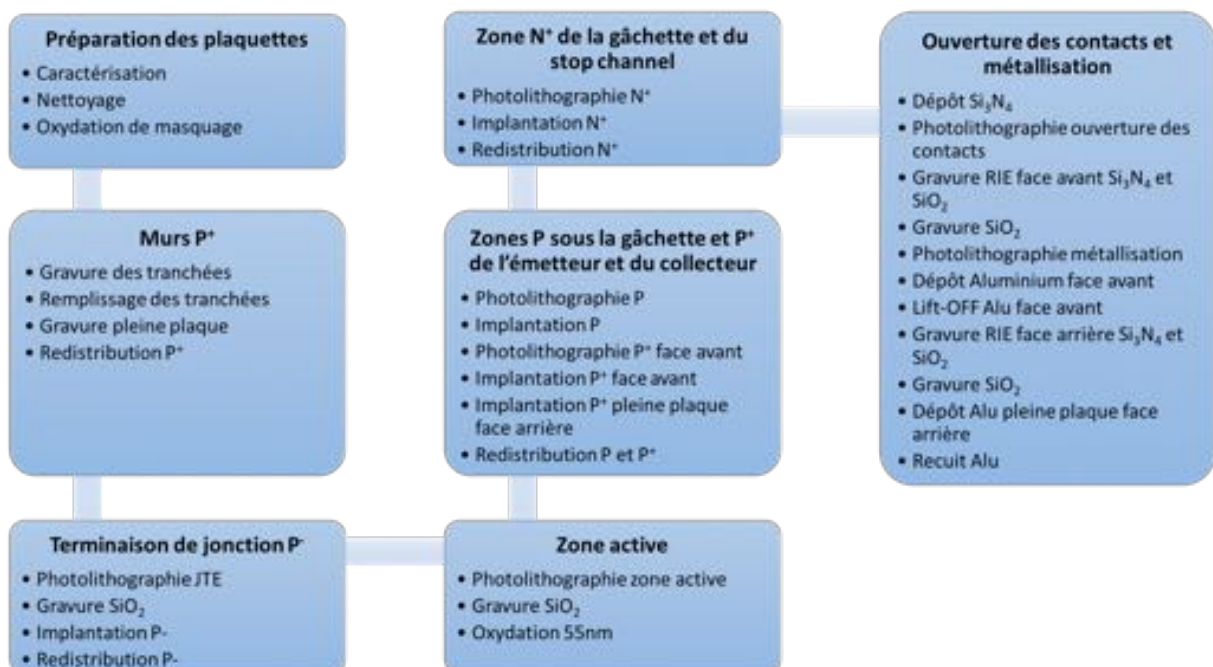


Figure III. 20 : Filière technologique de réalisation du BipAC sur substrat N

2.2- Tests SRP et SIMS

Les tests SRP et SIMS visent à vérifier les profils de dopages (concentration en surface C_s et profondeur de jonction X_j) des quatre zones d'implantations dans le BipAC PNP (substrat N) et dans le BipAC NPN (substrat P). Sur le substrat N, les quatre zones (représentées sur la coupe de la figure III.21) sont : implantation P^+ de l'émetteur (identique à celle du collecteur), implantation P de la zone sous la gâchette, implantation P^- de la JTE, implantation N^+ de la gâchette dans du P. Pour le substrat P, il suffit de permuter les types de dopage P et N.

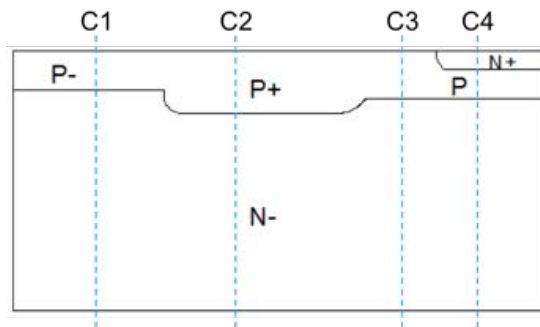


Figure III. 21 : Coupe 2D montrant les différentes régions où le profil de dopage est à optimiser sur substrat N

En premier lieu, huit plaquettes de chaque type de substrat ont été dédiées à ces tests. Les étapes technologiques subies par chacune de ces plaquettes sont détaillées dans la suite. À noter que toutes les implantations sont pleine plaque, donc aucun masque n'a été utilisé.

a- Tests sur substrat N

- **Détermination des paramètres d'implantation et de redistribution par simulation 2D :**

Afin de déterminer les doses à planter et les temps de recuit nécessaires permettant d'obtenir les profils des jonctions formant le BipAC comme définis dans le chapitre 2, nous avons effectué des simulations process, en partant des paramètres standard de la filière du LAAS. Les paramètres retenus et les profils résultants sont précisés dans le tableau III.1. À noter que les énergies d'implantations sont imposées suivant la nature du dopant choisi.

Région	Dose implantée (cm ⁻²)	Energie d'implantation (KeV)	Redistribution	Concentration surfacique Cs (cm ⁻³)	Profondeur de diffusion Xj (μm)
P ⁻	Bore $2,5 \cdot 10^{12}$	50	240 min 1150°C sous azote	$1,1 \cdot 10^{16}$	4,97
P	Bore $1 \cdot 10^{14}$	50		$6,4 \cdot 10^{17}$	4,85
P ⁺	Bore $1 \cdot 10^{14}$	50	200 min 1150°C	$2,38 \cdot 10^{19}$	7,25
N ⁺	Arsenic $1 \cdot 10^{16}$	100	150 min 1070°C	$9,2 \cdot 10^{19}$	1,18

Tableau III. 1 : Paramètres technologiques et résultats des simulations process des différentes implantations du BipAC PNP

Les profils de dopages correspondant aux quatre coupes de la figure III.21 sont donnés sur la figure III.22.

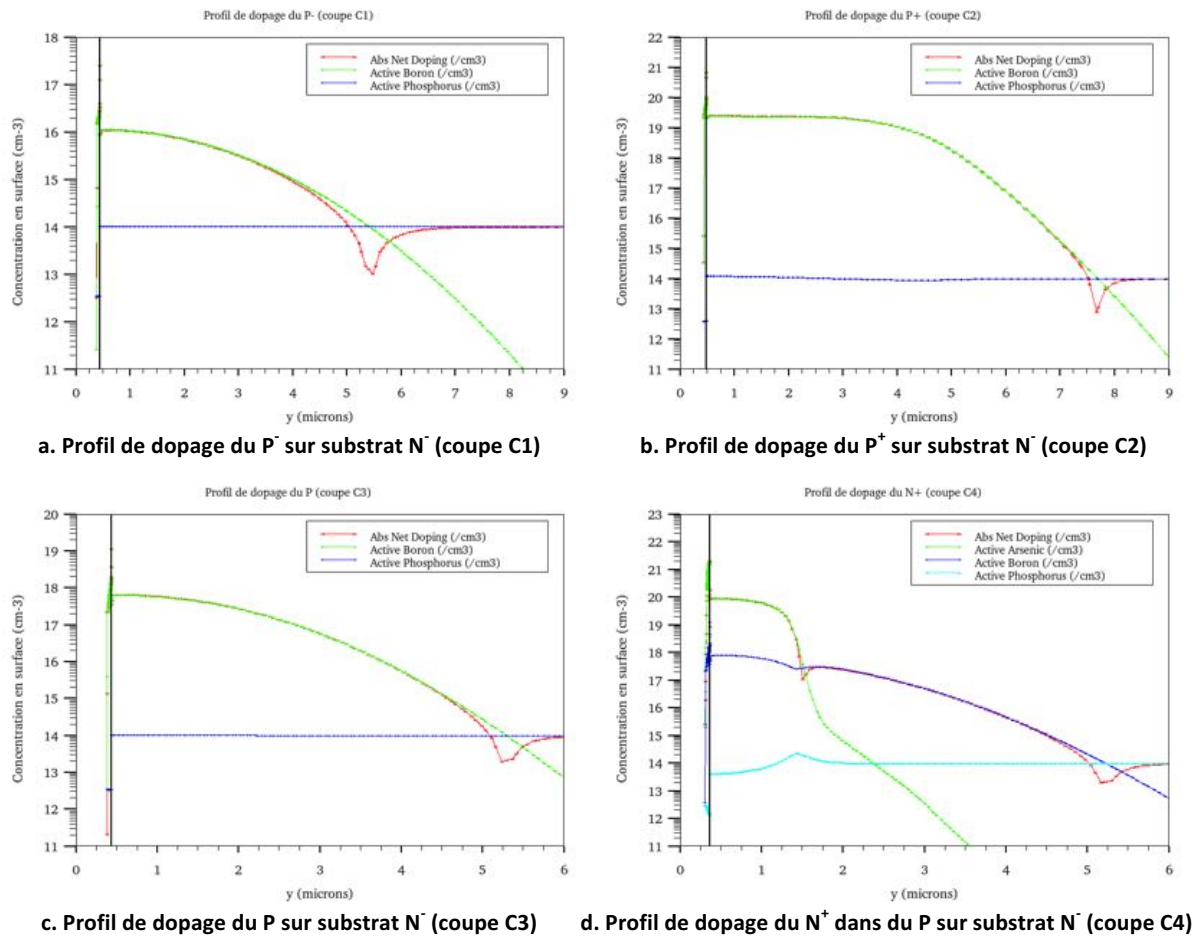


Figure III. 22 : Profils de dopage simulés des différentes régions implantées sur substrat N

• **Réalisation des plaquettes tests :**

La réalisation des plaquettes tests est conduite conformément aux paramètres de simulations process énoncés précédemment. Les plaquettes de type N utilisées sont d'épaisseur 300µm (± 25µm), ont une résistivité comprise entre 40 et 60 Ω.cm et une orientation (100). Pour caractériser les différentes régions d'implantation, nous avons utilisé deux plaquettes par région. Le process appliqué est détaillé pour chacune des quatre régions à optimiser.

Procédé effectué pour caractériser l'implantation P ⁻ de la JTE (Xp ⁻ et Csp ⁻)
Implantation P ⁻ , dopant : bore, dose : $2,5 \cdot 10^{12} \text{ cm}^{-2}$, énergie : 50KeV
Recuit sous azote, durée : 240 min, température : 1150°C
Oxydation de 55nm
Recuit, durée : 200 min, température : 1150°C
Recuit, durée : 150 min, température : 1070°C
Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation P sous la gâchette (Xp et Csp)
Oxydation de 55nm
Implantation P, dopant : bore, dose : $1 \cdot 10^{14} \text{ cm}^{-2}$, énergie : 50KeV
Recuit, durée : 200 min, température : 1150°C
Recuit, durée : 150 min, température : 1070°C
Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation P ⁺ de l'émetteur et du collecteur (Xp ⁺ et Csp ⁺)
Oxydation de 55nm Implantation P, dopant : bore, dose : 1.10^{14} cm ⁻² , énergie : 50KeV Implantation P ⁺ , dopant : bore, dose : 1.10^{16} cm ⁻² , énergie : 50KeV Recuit, durée : 200 min, température : 1150°C Recuit, durée : 150 min, température : 1070°C Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation N ⁺ de la gâchette dans du P (Xn ⁺ et Csn ⁺)
Oxydation de 55nm Implantation P, dopant : bore, dose : 1.10^{14} cm ⁻² , énergie : 50KeV Recuit, durée : 200 min, température : 1150°C Implantation N ⁺ , dopant : arsenic, dose : 1.10^{16} cm ⁻² , énergie : 100KeV Recuit, durée : 150 min, température : 1070°C Retrait de l'oxyde

• **Résultats :**

Les échantillons ainsi obtenus ont fait l'objet de tests SRP (réalisés par STMicroelectronics - TOURS) et d'analyse SIMS (Société Sciences et Surface - Lyon). Les résultats sont illustrés sur les figures III.23 à III.26 comme suit : les figures (a) donnent la concentration C des atomes dopants en fonction de la profondeur X de la jonction testée par SRP alors que les figures (b) donnent la concentration C des atomes dopants en fonction de la profondeur X de la jonction testée par SIMS ainsi que le nombre d'atomes de silicium détectés par seconde.

Bien que les différentes diffusions sont moins profondes que prévu par simulations, les résultats sont globalement satisfaisants pour réaliser le BipAC sur substrat N et valider sa fonctionnalité.

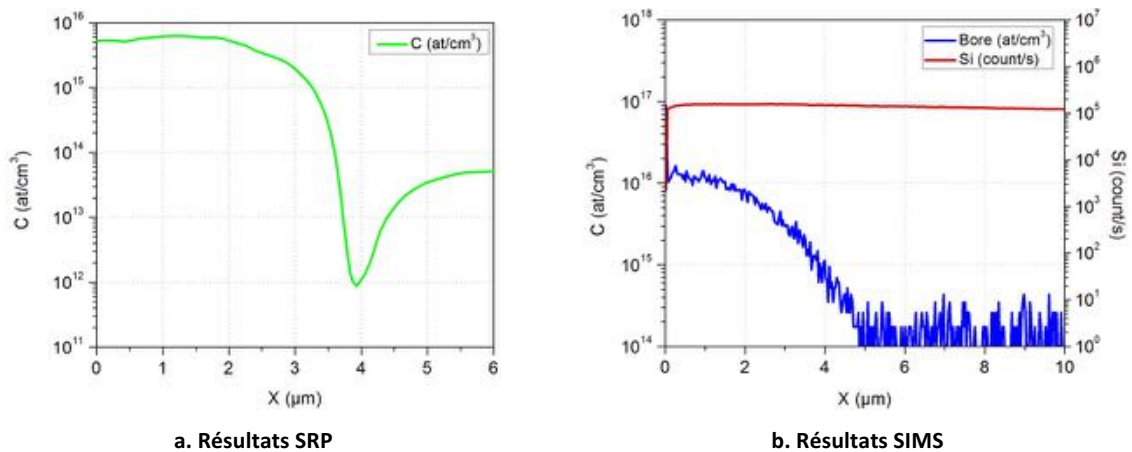


Figure III. 23 : Résultats des tests (a) SRP et (b) SIMS de la diffusion P⁺ formant la JTE dans un substrat N⁻

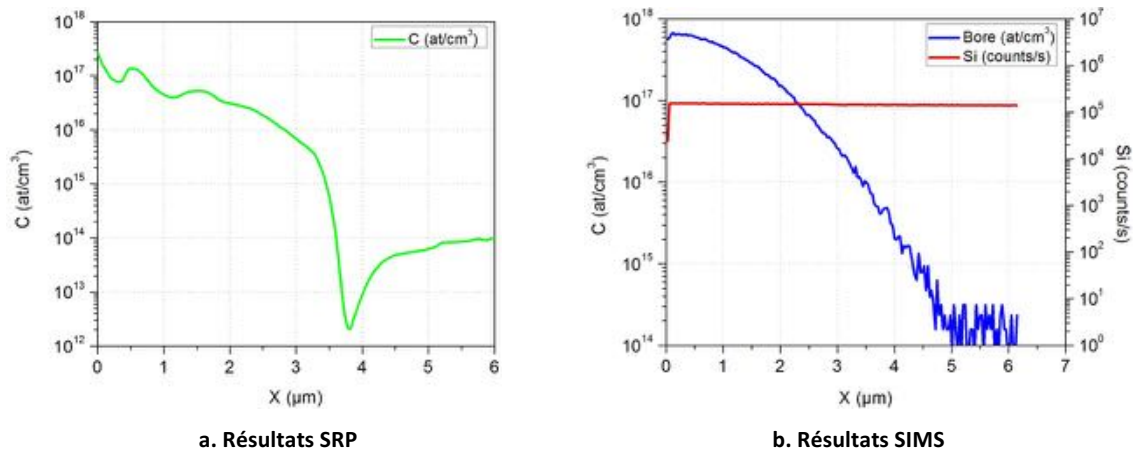


Figure III. 24 : Résultats des tests (a) SRP et (b) SIMS de la diffusion P constituant la région sous la gâchette dans un substrat N⁻

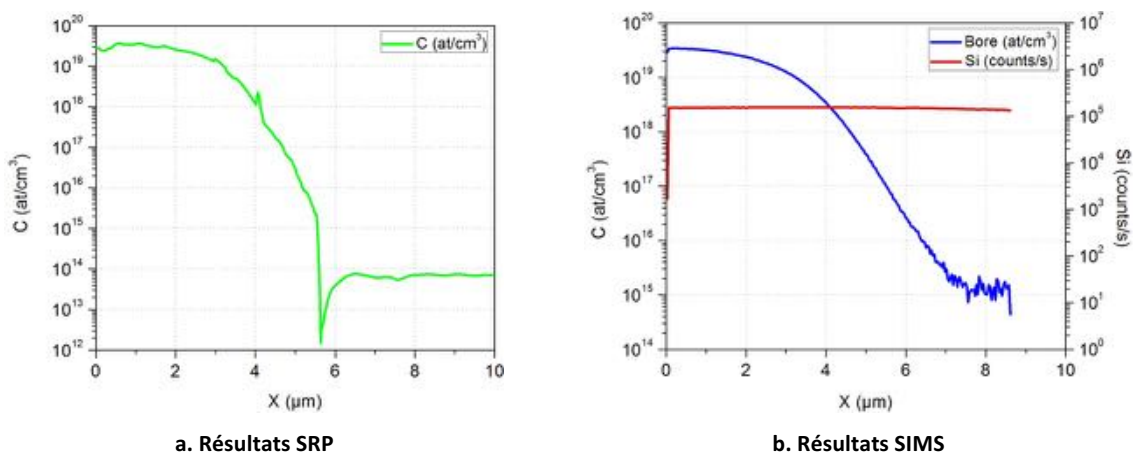


Figure III. 25 : Résultats des tests (a) SRP et (b) SIMS de la diffusion P⁺ de l'émetteur et du collecteur dans un substrat N⁻

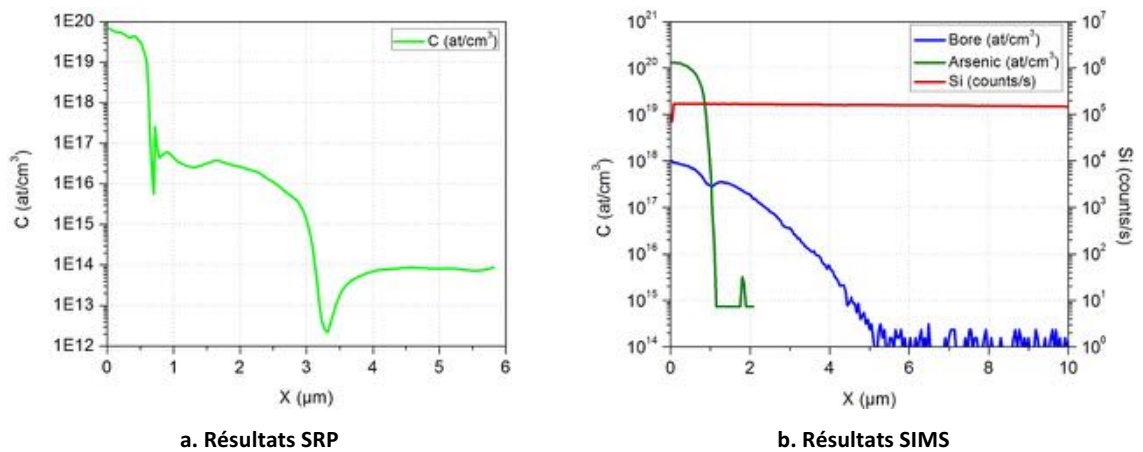


Figure III. 26 : Résultats des tests (a) SRP et (b) SIMS des diffusions P sous la gâchette et N⁺ de la gâchette dans du P sur un substrat N⁻

b- Tests sur substrat P

Dans le cas du substrat P, deux lots de plaquettes tests ont été nécessaires pour retrouver des résultats satisfaisants pour les profils des quatre zones d'implantation que nous cherchons. De la même façon que pour le substrat N, une première série de plaquettes tests est traitée avec des paramètres issus de simulations process (TEST 1). Les résultats des analyses SIMS et SRP n'étant pas satisfaisants,

une nouvelle étude a été menée et de nouveaux paramètres sont choisis pour une deuxième série de plaquettes (TEST 2). Les plaquettes de types P utilisées dans les deux tests sont d'épaisseur 300µm (± 10µm), ont une résistivité comprise entre 120 et 150 Ω.cm et une orientation (100).

i- TEST 1

• **Détermination des paramètres d'implantation et de redistribution par simulation 2D :**

Les résultats d'optimisation des paramètres d'implantation et de redistribution obtenus par les simulations 2D sont donnés dans le tableau [III.2](#).

Région	Dose implantée (cm ⁻²)	Energie d'implantation (KeV)	Redistribution	Concentration surfacique Cs (cm ⁻³)	Profondeur de diffusion Xj (µm)
N ⁻	Phosphore 2,5.10 ¹²	50	185 min 1070°C sous azote	5.10 ¹⁵	3,7
N	Phosphore 2,8.10 ¹³	50		2,3.10 ¹⁷	4,58
N ⁺	Phosphore 1.10 ¹⁶	50	1440 min (24h) 1070°C	4,4.10 ¹⁹	6,8
	Phosphore 2,5.10 ¹⁵	50	15 min 1020°C		
P ⁺	Bore 1.10 ¹⁶	50	15 min 1020°C	2,6.10 ¹⁹	1,02

Tableau III. 2 : Paramètres technologiques et résultats des simulations process des différentes implantations du BipAC NPN correspondant au TEST 1

• **Réalisation des plaquettes tests :**

Nous précisons que l'implantation de la région N⁺ nécessite deux phases, l'implantation d'une dose supérieure à 1.10¹⁶cm⁻² n'étant pas conseillée par risque de saturation. D'autre part, la température maximale des fours est imposée en fonction du four utilisé pour un dopant donné.

Ainsi, les étapes technologiques suivies par les plaquettes sont synthétisées ci-dessous :

Procédé effectué pour caractériser l'implantation N ⁻ de la JTE (Xn ⁻ et Csn)
Implantation N ⁻ , dopant : phosphore, dose : 2,5.10 ¹² cm ⁻² , énergie : 50KeV Recuit sous azote, durée : 185 min, température : 1070°C Oxydation de 55nm Recuit, durée : 1440 min, température : 1070°C Recuit, durée : 15 min, température : 1020°C Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation N sous la gâchette (Xn et Csn)
Oxydation de 55nm Implantation N, dopant : phosphore, dose : 2,8.10 ¹³ cm ⁻² , énergie : 50KeV Recuit, durée : 1440 min, température : 1070°C Recuit, durée : 15 min, température : 1020°C Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation N⁺ de l'émetteur et du collecteur (Xn⁺ et Csn⁺)

Oxydation de 55nm

Implantation N, dopant : phosphore, dose : $2,8 \cdot 10^{13} \text{ cm}^{-2}$, énergie : 50KeV

Implantation N1⁺, dopant : phosphore, dose : $1 \cdot 10^{16} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 1440 min, température : 1070°C

Implantation N2⁺, dopant : phosphore, dose : $2,5 \cdot 10^{15} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 15 min, température : 1020°C

Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation P⁺ de la gâchette dans du N (Xp⁺ et Csp⁺)

Oxydation de 55nm

Implantation N, dopant : phosphore, dose : $2,8 \cdot 10^{13} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 1440 min, température : 1070°C

Implantation P⁺, dopant : bore, dose : $1 \cdot 10^{16} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 15 min, température : 1020°C

Retrait de l'oxyde

• **Résultats :**

Les échantillons ainsi obtenus ont fait l'objet de tests SRP (réalisés par STMicroelectronics - Tours) et d'analyse SIMS (Société Sciences et Surface - Lyon). Les résultats sont regroupés dans les figures III.27 à III.30.

Les profondeurs des diffusions N⁻ et N sont insuffisantes et la zone N⁻ est très peu dopée par rapport à ce que nous attendons. Afin d'optimiser le process, un deuxième test s'avère nécessaire.

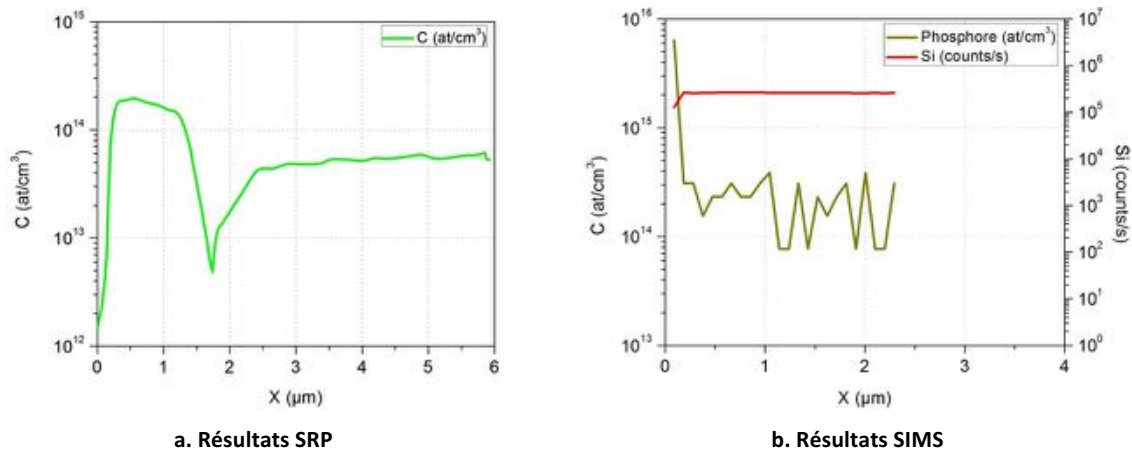
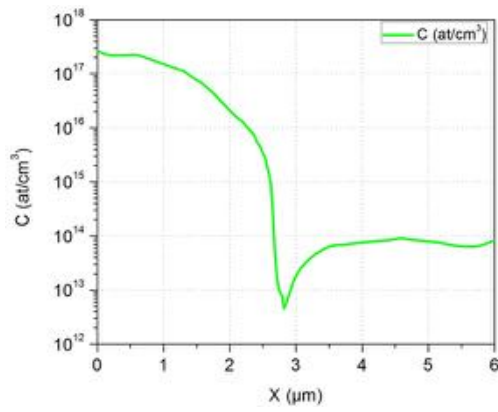
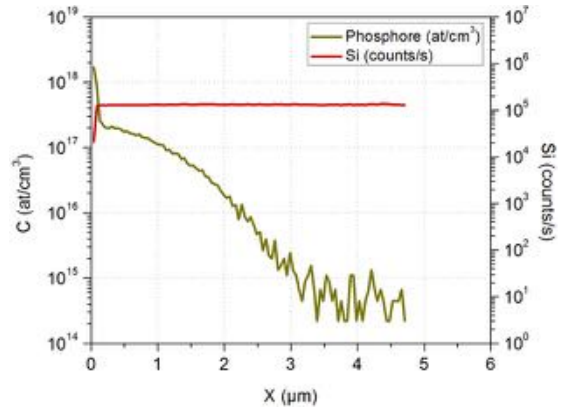


Figure III. 27 : Résultats des tests (a) SRP et (b) SIMS de la diffusion N⁻ formant la JTE dans un substrat P⁻

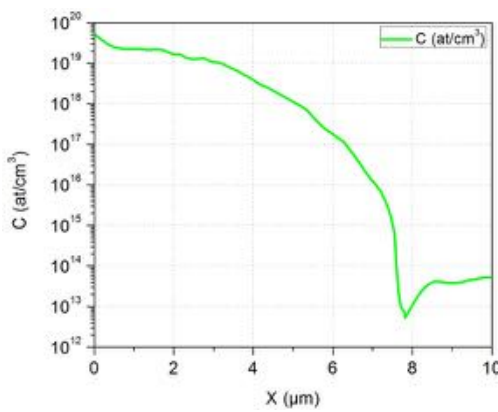


a. Résultats SRP

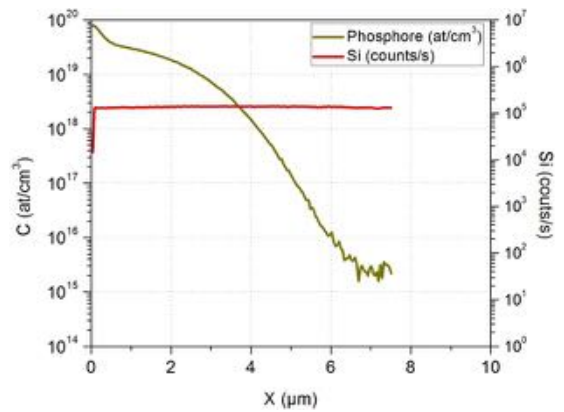


b. Résultats SIMS

Figure III. 28 : Résultats des tests (a) SRP et (b) SIMS de la diffusion N constituant la région sous la gâchette dans un substrat P

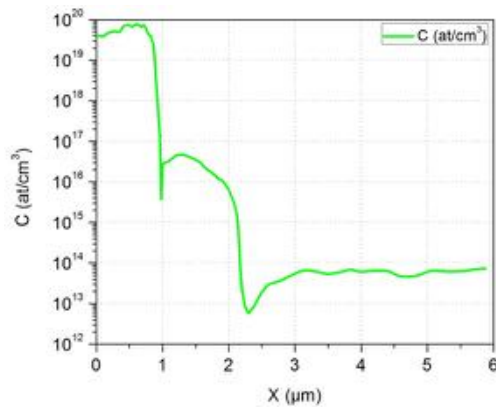


a. Résultats SRP

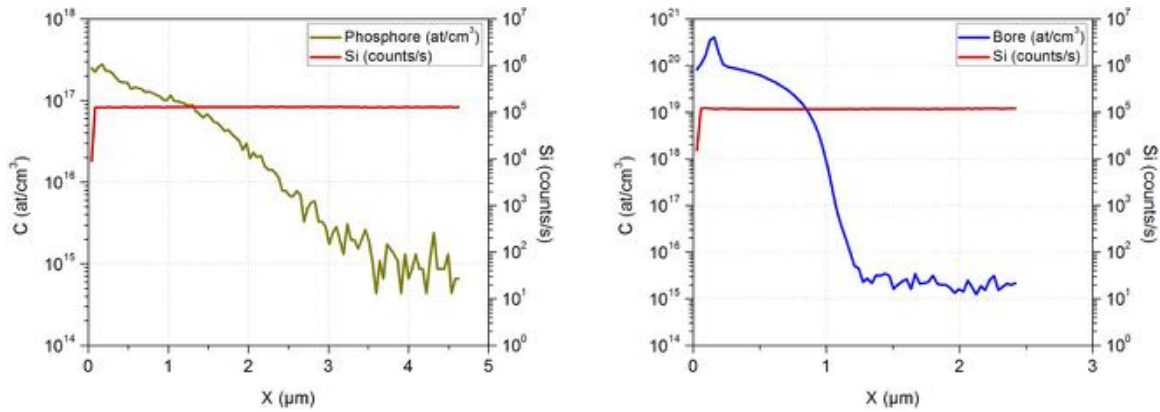


b. Résultats SIMS

Figure III. 29 : Résultats des tests (a) SRP et (b) SIMS de la diffusion N⁺ de l'émetteur et du collecteur dans un substrat P



a. Résultats SRP



b. Résultats SIMS de la diffusion N sous le P⁺

c. Résultats SIMS de la diffusion P⁺ dans du N

Figure III. 30 : Résultats des tests (a) SRP, (b) SIMS de la diffusion N sous la gâchette et (c) SIMS de la diffusion P⁺ de la gâchette dans du N sur un substrat P⁻

ii- TEST 2

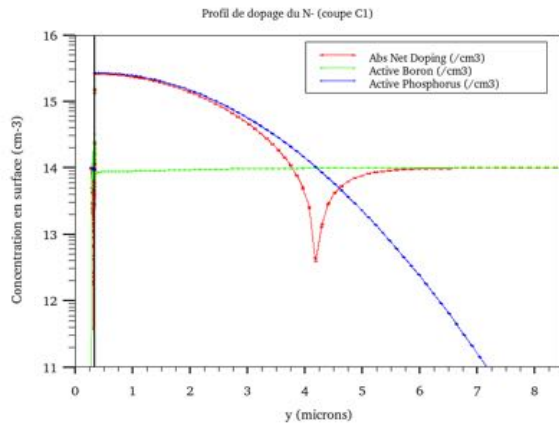
- Détermination des paramètres d'implantation et de redistribution par simulation 2D :

Les paramètres d'implantation et de redistribution ont dû être optimisés par simulations process, notamment nous avons modifié les conditions de redistribution du N⁻ et nous avons augmenté le temps de redistribution du N⁺. Le tableau III.3 donne les paramètres technologiques utilisés pour ce test.

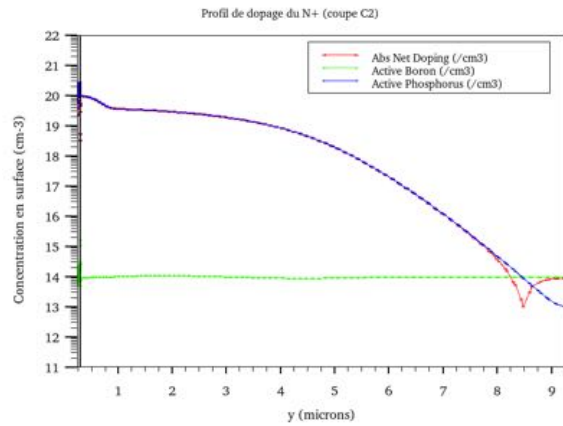
Région	Dose implantée (cm ⁻²)	Energie d'implantation (KeV)	Redistribution	Concentration surfacique Cs (cm ⁻³)	Profondeur de diffusion Xj (µm)
N ⁻	Phosphore 1.10 ¹²	50	240 min 1070°C sous oxygène	2,7.10 ¹⁵	3,9
N	Phosphore 2,8.10 ¹³	50		1,8.10 ¹⁷	5,36
N ⁺	Phosphore 1.10 ¹⁶	50	2040 min (34h) 1070°C	3,9.10 ¹⁹	8,1
	Phosphore 2,5.10 ¹⁵	50	15 min 1020°C	9,9.10 ¹⁹	
P ⁺	Bore 1.10 ¹⁶	50	15 min 1020°C	2,8.10 ¹⁹	1

Tableau III. 3 : Paramètres technologiques et résultats des simulations process des différentes implantations du BipAC NPN correspondant au TEST 2

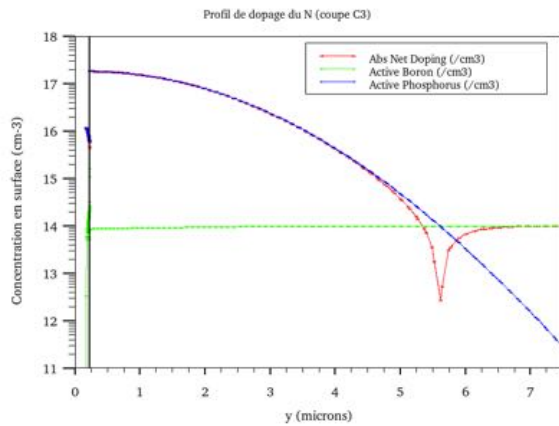
Les profils de dopages selon les positions des quatre coupes de la figure III.21 sont donnés sur la figure III.31.



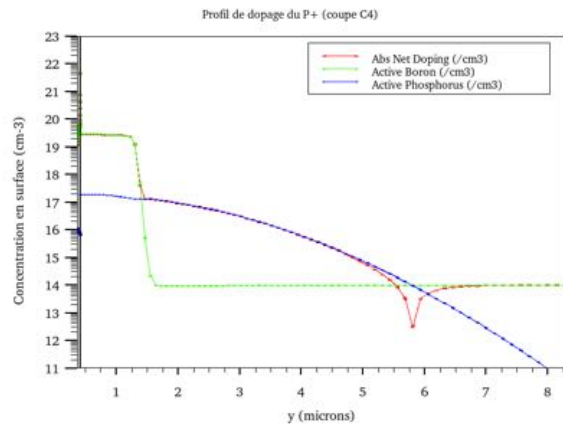
a. Profil de dopage du N⁻ sur substrat N⁺ (coupe C1)



b. Profil de dopage du N⁺ sur substrat P⁻ (coupe C2)



c. Profil de dopage du N sur substrat P⁻ (coupe C3)



d. Profil de dopage du N⁺ dans du N sur substrat P⁻ (coupe C4)

Figure III. 31 : Profils de dopage simulés des différentes régions implantées sur substrat P

Les procédés technologiques propres à l'obtention de chacune des zones d'implantations sont :

Procédé effectué pour caractériser l'implantation N ⁻ de la JTE (Xn ⁻ et Csn ⁻)
Implantation N ⁻ , dopant : phosphore, dose : $1.10^{12} \text{ cm}^{-2}$, énergie : 50KeV Recuit sous oxygène, durée : 240 min, température : 1070°C Oxydation de 55nm Recuit, durée : 2040 min, température : 1070°C Recuit, durée : 15 min, température : 1020°C Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation N sous la gâchette (Xn et Csn)
Oxydation de 55nm Implantation N, dopant : phosphore, dose : $2,8.10^{13} \text{ cm}^{-2}$, énergie : 50KeV Recuit, durée : 2040 min, température : 1070°C Recuit, durée : 15 min, température : 1020°C Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation N⁺ de l'émetteur et du collecteur (Xn⁺ et Csn⁺)

Oxydation de 55nm

Implantation N, dopant : phosphore, dose : $2,8 \cdot 10^{13} \text{ cm}^{-2}$, énergie : 50KeV

Implantation N1⁺, dopant : phosphore, dose : $1 \cdot 10^{16} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 2040 min, température : 1070°C

Implantation N2⁺, dopant : phosphore, dose : $2,5 \cdot 10^{15} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 15 min, température : 1020°C

Retrait de l'oxyde

Procédé effectué pour caractériser l'implantation P⁺ de la gâchette dans du N (Xp⁺ et Csp⁺)

Oxydation de 55nm

Implantation N, dopant : phosphore, dose : $2,8 \cdot 10^{13} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 2040 min, température : 1070°C

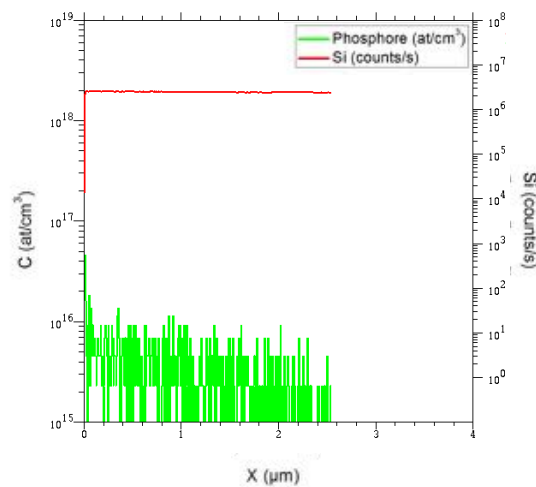
Implantation P⁺, dopant : bore, dose : $1 \cdot 10^{16} \text{ cm}^{-2}$, énergie : 50KeV

Recuit, durée : 15 min, température : 1020°C

Retrait de l'oxyde

• **Résultats :**

Les échantillons ainsi obtenus ont fait l'objet d'analyse SIMS (Centre de MicroCaractérisation Raimond Castaing - Toulouse). Les résultats sont donnés figure [III.32](#).



a. Diffusion N⁻ dans le substrat P⁻

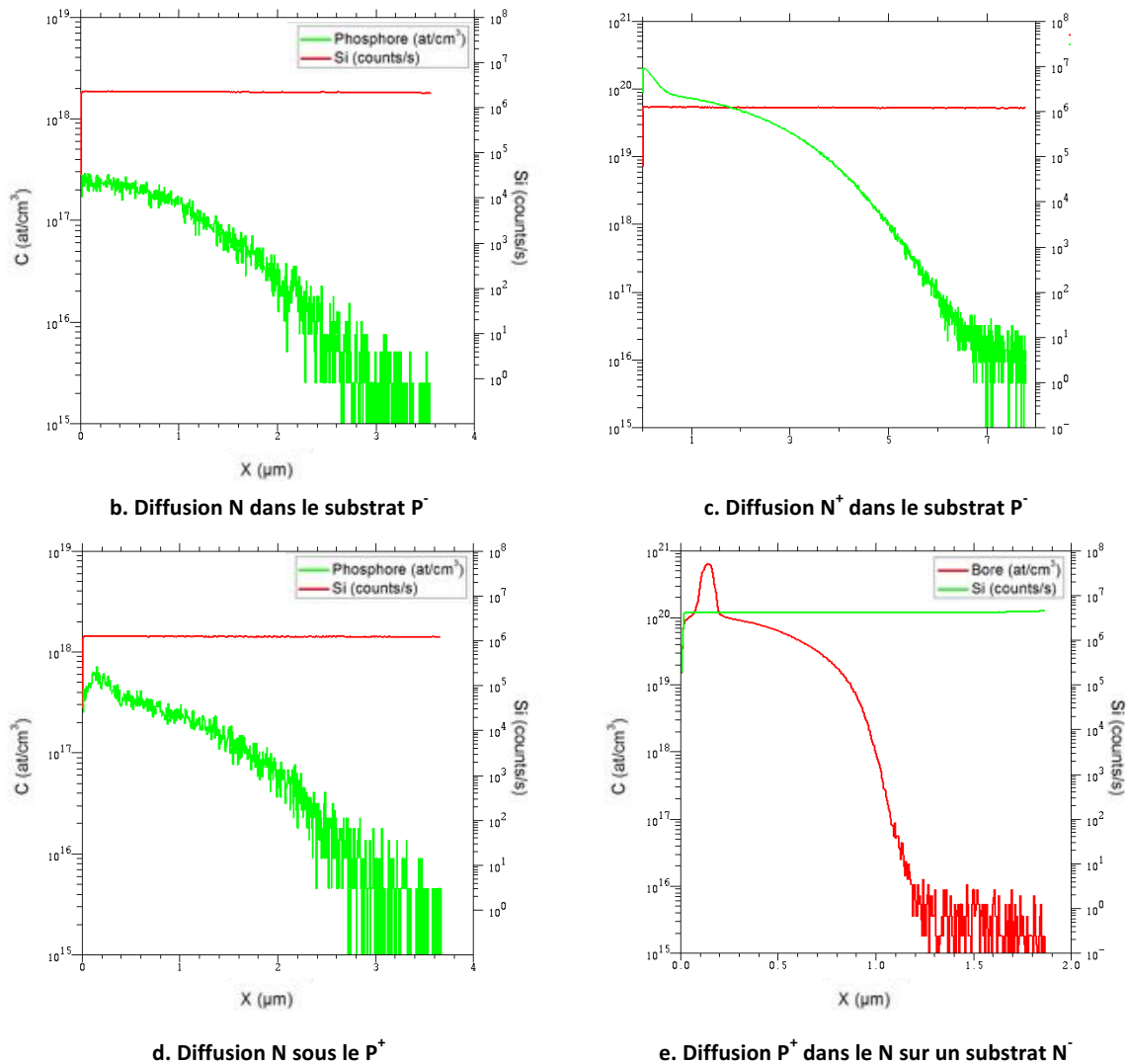


Figure III. 32 : Résultats du deuxième test SIMS pour (a) la diffusion N⁻, (b) la diffusion N, (c) la diffusion P⁺, (d) la diffusion N sous le P⁺ et (e) la diffusion P⁺ dans du N sur un substrat P⁻

iii- Conclusion

En comparant les résultats des analyses SIMS du second test avec ceux du premier, nous constatons que :

- pour la zone N⁻ de la JTE, le graphe donnant la concentration du phosphore a la forme d'un signal bruité dans les deux cas : les équipements de mesure sont à leur limite de détection. Cependant, pour le premier test, cette concentration est comprise entre 1.10^{14} et 1.10^{15} cm⁻³, alors que dans le deuxième celle-ci est comprise entre 1.10^{15} et 1.10^{16} cm⁻³. Les résultats sont donc améliorés dans le TEST 2.

- pour la zone N⁺ de l'émetteur (identique au N⁺ du collecteur), les résultats des deux tests sont acceptables. La concentration surfacique dans le second est toutefois plus élevée.

- pour la région N sous la gâchette, la concentration surfacique est plus importante dans le deuxième test (comparaison faite sur les plaquettes de la région P⁺ dans du N).

- pour la région P⁺ de la gâchette, la différence entre les deux tests n'est pas notable.

En conclusion, nous adoptons les paramètres du TEST 2 pour la réalisation du BipAC NPN.

3- Réalisation technologique

3.1- Réalisation des murs P⁺ traversants

Nous avons mené ces travaux technologiques dans le cadre du post-doc de M. Hakim Tahir (septembre 2013 - novembre 2016) dans le cadre du Programme de l'économie numérique des Investissements d'Avenir – Tours 2015 (PIA-FSN Nanoélectronique n°1 (Tours 2015)). Ces travaux ont permis la remise au point des paramètres et l'amélioration du procédé nécessaire à la réalisation des tranchées profondes (300 μm) et à leur remplissage par du polysilicium fortement dopé bore. Les paramètres utilisés ont permis d'obtenir le mur P⁺ donné en figure III.33. Nous pouvons constater que la tranchée est correctement remplie, et correctement fermée en surface (absence de cavité et/ou de fente verticale dans la tranchée). Cette brique est aujourd'hui utilisée pour la réalisation du BipAC PNP symétrique en tension.

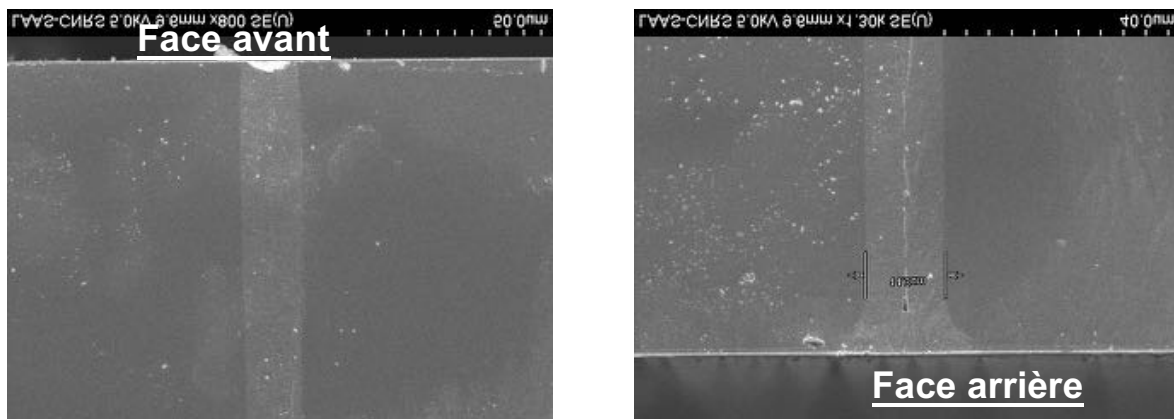


Figure III. 33 : Vue en coupe d'une tranchée obtenue après gravure et remplissage par du polysilicium fortement dopé bore

3.2- Réalisation du BipAC PNP sur substrat N

Ce paragraphe détaille le procédé technologique de réalisation du composant BipAC PNP sur substrat massif N⁻ (sans couche enterrée). L'étape de création des murs traversants P⁺ décrite dans le paragraphe précédent n'est pas réalisée dans le premier prototype du composant. Notons toutefois que cette étape serait effectuée juste avant l'étape « Terminaison de jonction JTE P⁺ ». Nous avons utilisé des plaquettes de substrat N⁻ de dopage $1.10^{14} \text{ cm}^{-3}$, d'épaisseur 300 μm et également d'épaisseur 200 μm.

❖ Etape de préparation :

- Mesure de la résistivité et de l'épaisseur de chaque plaque utilisée dans le processus
- Nettoyage piranha de 2 minutes : un volume d'acide sulfurique H₂SO₄ est ajouté à un volume égale d'eau oxygénée H₂O₂
- Rinçage automatique à l'eau distillée EDI jusqu'à une mesure de résistivité des plaquettes de 13 mΩ.cm
- Gravure dans l'acide fluorhydrique HF de concentration 5% pour 30 secondes
- Rinçage automatique à l'EDI

- Séchage automatique jusqu'à ce que la résistivité mesurée soit de 15 mΩ.cm
- Oxydation de masquage : épaisseur d'oxyde déposée de 6000Å (figure [III.34](#))



 Oxyde de masquage

Figure III. 34 : Oxydation de masquage

❖ Terminaisons de jonction JTE P⁻

- Photolithographie JTE P⁻ :
 - . Déshydratation des plaques dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
 - . Alignement par rapport au premier niveau grâce aux mires d'alignements prévus pour cette tâche, en utilisant le deuxième niveau de masque de la JTE P⁻ et insolation sur les pistes MA 150 selon le mode de contact appelé soft contact (vu la fragilité des plaquettes)
 - . Développement de la résine sur les pistes EVG 120
- Gravure de l'oxyde SiO₂ dans du HF (5%) pendant 9 minutes, rinçage et séchage automatiques
- Implantation bore d'une dose de $2,5 \cdot 10^{12} \text{cm}^{-2}$ sous une énergie de 50KeV (figure [III.35](#))
- Délaquage de la résine sous Plasma O₂ pendant 5 minutes
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques
- Redistribution du P⁻ sous O₂ pendant 240 minutes sous une température de 1150°C (figure [III.36](#))

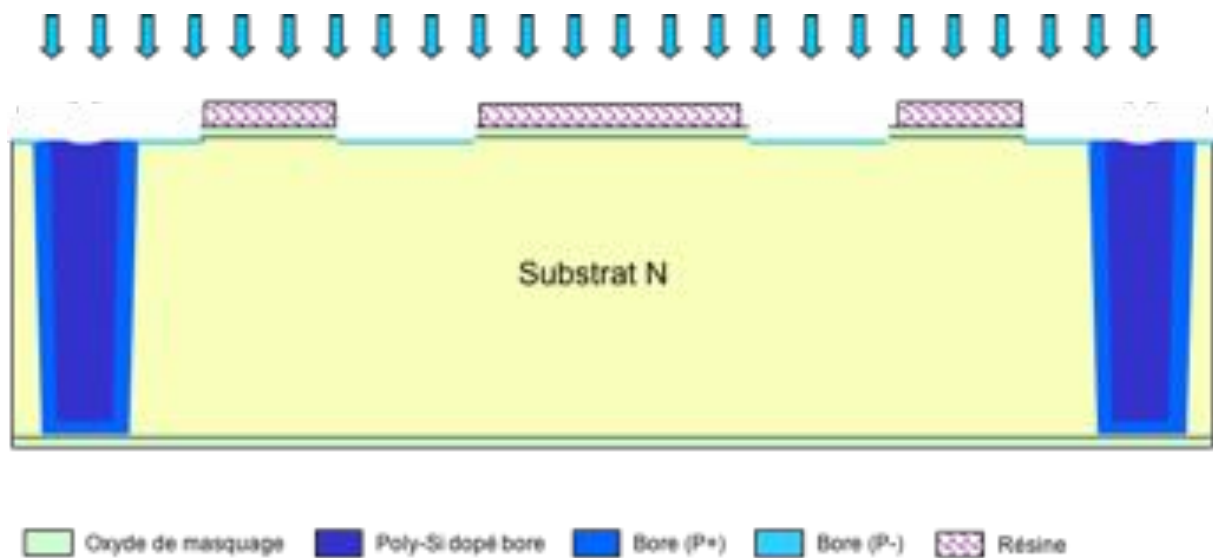


Figure III. 35 : Implantation des terminaisons de jonction JTE P

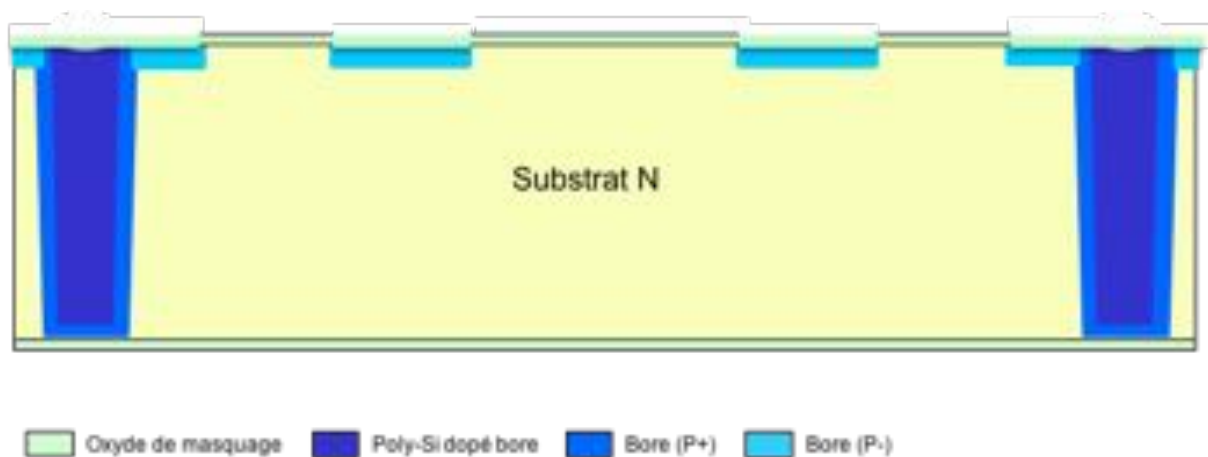
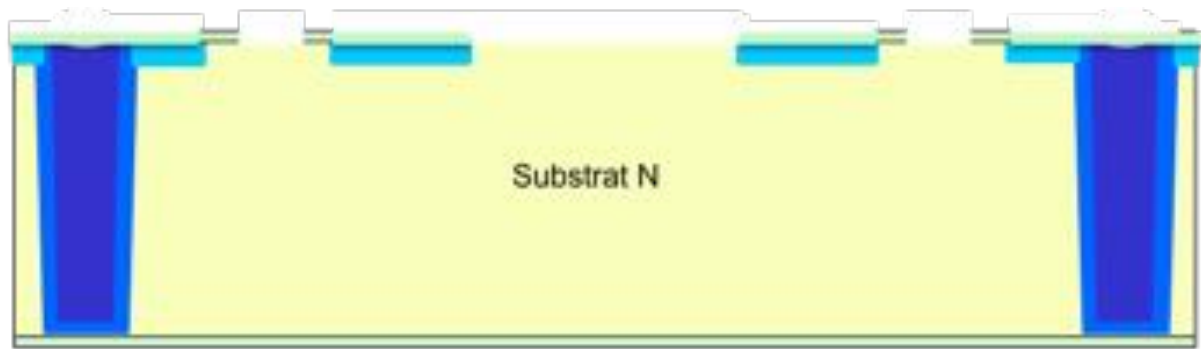


Figure III. 36 : Redistribution des terminaisons de jonction JTE P

❖ Zone active

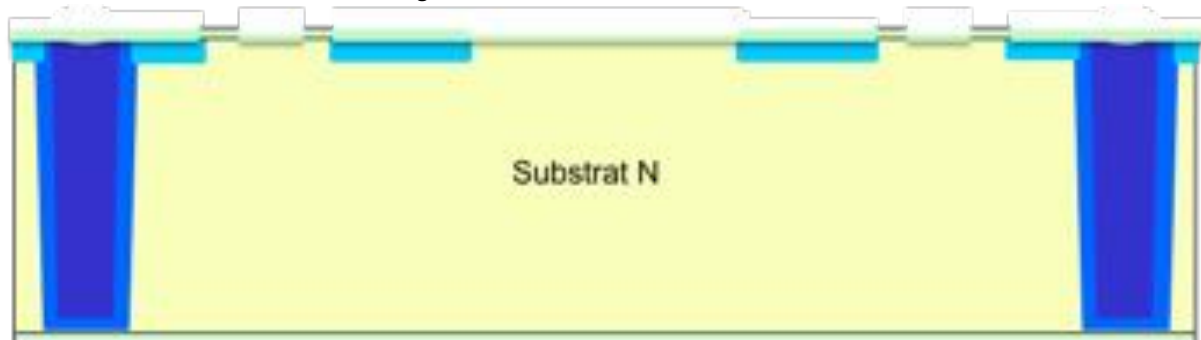
- Photolithographie zone active :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2μm sur les pistes EVG 120
 - . Alignement en utilisant le troisième niveau de masque de la zone active et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Gravure de l'oxyde SiO₂ dans du HF (5%) pendant 13 minutes, rinçage de 15 minutes à l'EDI et séchage manuel à l'azote (à cause de la présence de la résine)
- Délaquage de la résine sous Plasma O₂ pendant 5 minutes (figure [III.37](#))
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques

- Oxydation thermique : une épaisseur d'oxyde SiO₂ de 55nm est déposée (figure III.38)



Oxyde de masquage Poly-Si dopé bore Bore (P+) Bore (P-)

Figure III. 37 : Ouverture de la zone active



Oxyde de masquage Poly-Si dopé bore Bore (P+) Bore (P-)

Figure III. 38 : Oxydation thermique

❖ **Zone P et zones P⁺ de l'émetteur et du collecteur**

- Photolithographie zone P :

- . Déshydratation dans une étuve de 200°C pendant 20 minutes
- . Dépôt HMDS
- . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
- . Alignement en utilisant le quatrième niveau de masque de la zone P sous la gâchette et insolation sur les pistes MA 150 selon le mode soft contact
- . Développement de la résine sur les pistes EVG 120

- Implantation bore d'une dose de $1.10^{14} \text{ cm}^{-2}$ sous une énergie de 50KeV (figure III.39)

- Délaquage de la résine sous Plasma O₂ pendant 15 minutes

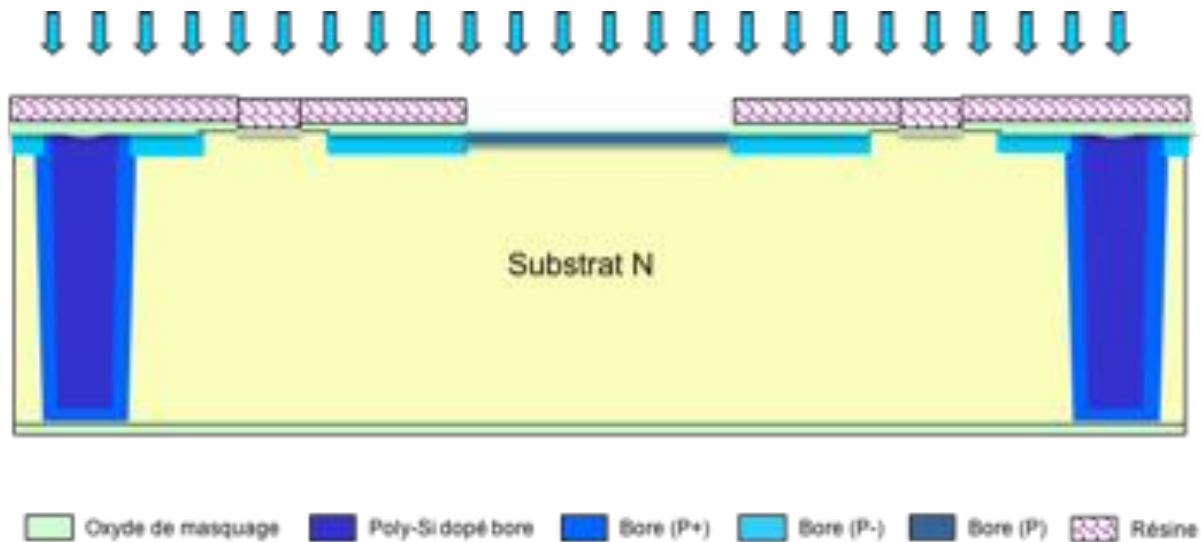
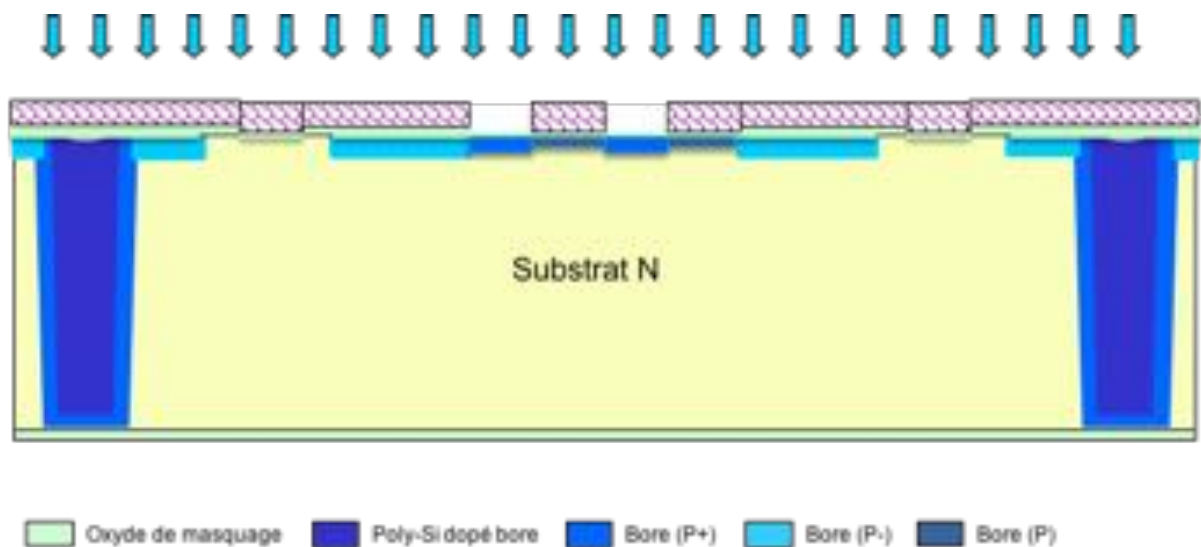


Figure III. 39 : Implantation de la zone P

- Photolithographie zone P⁺ de l'émetteur :

- . Déshydratation dans une étuve de 200°C pendant 20 minutes
- . Dépôt HMDS
- . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
- . Alignement en utilisant le cinquième niveau de masque de la zone P⁺ de l'émetteur et insolation sur les pistes MA 150 selon le mode soft contact
- . Développement de la résine sur les pistes EVG 120

- Implantation bore face avant d'une dose de 1.10^{16}cm^{-2} sous une énergie de 50KeV (figure III.40)

Figure III. 40 : Implantation P⁺ de l'émetteur

- Implantation bore pleine plaque face arrière (P⁺ du collecteur) d'une dose de 1.10^{16}cm^{-2} sous une énergie de 50KeV (figure III.41)

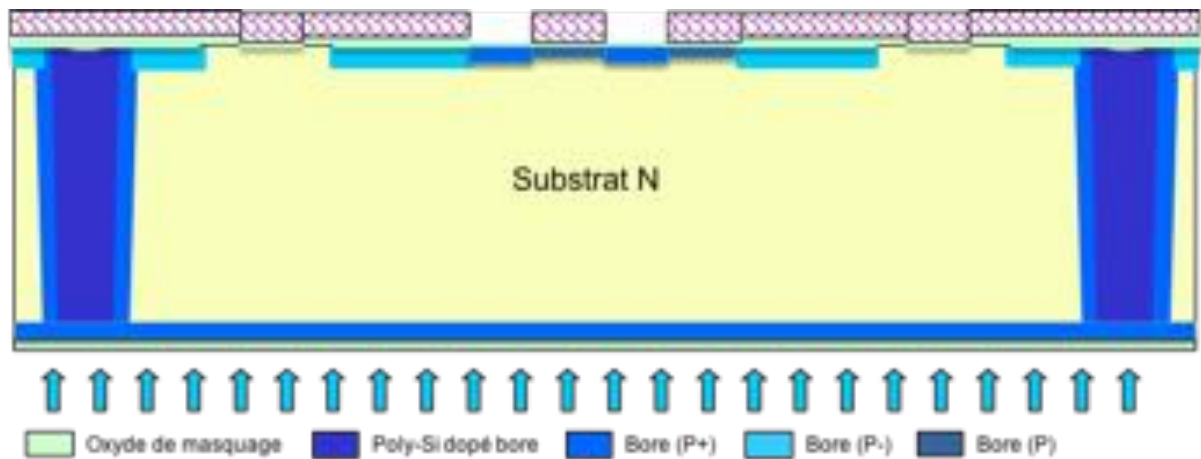


Figure III. 41 : Implantation P⁺ du collecteur

- Délaquage de la résine (face avant) sous Plasma O₂ pendant 15 minutes
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques
- Redistribution du P et du P⁺ pendant 200 minutes sous une température de 1150°C (figure III.42)

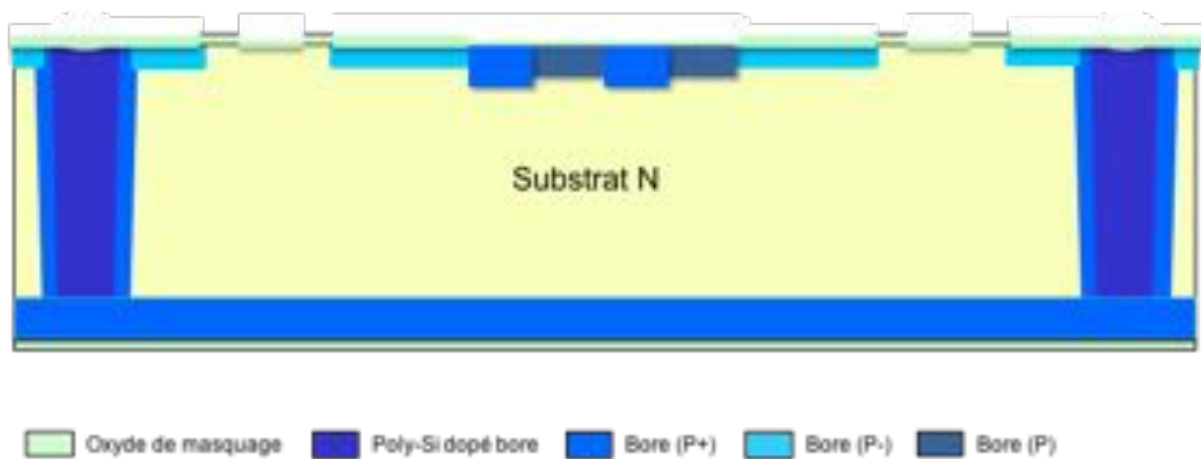
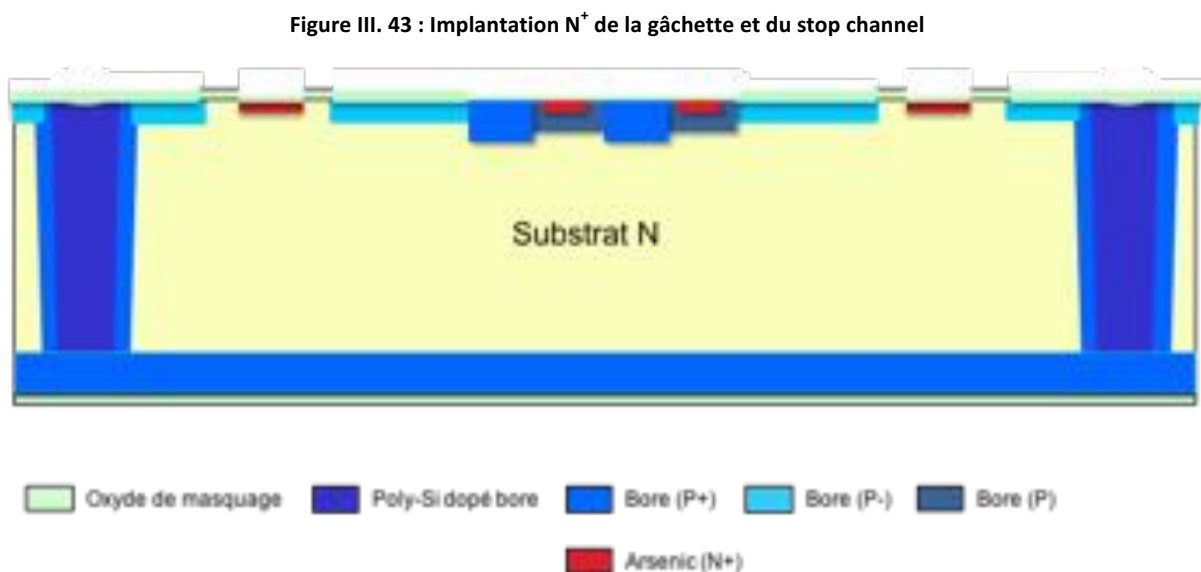
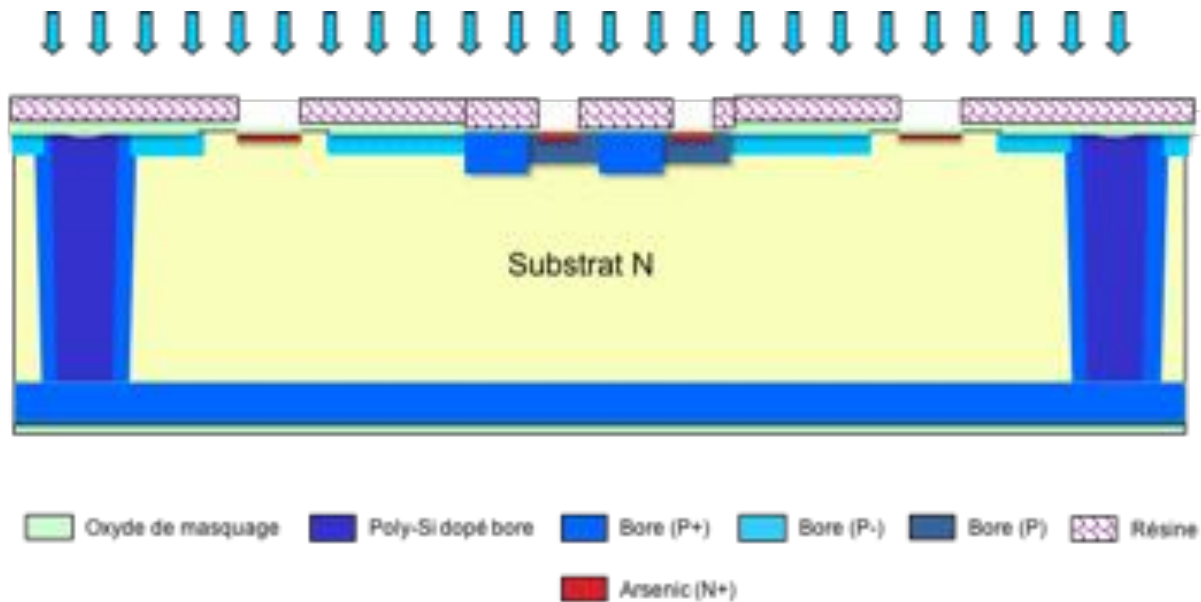


Figure III. 42 : Redistribution des implantations P et P⁺

❖ **Zone N⁺ de la gâchette et du stop channel**

- Photolithographie zone N⁺ :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
 - . Alignement en utilisant le sixième niveau de masque de la zone N⁺ de la gâchette et du stop-channel et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Implantation arsenic d'une dose de 1.10^{16}cm^{-2} sous une énergie de 100KeV (figure III.43)

- Délaquage de la résine sous Plasma O₂ pendant 15 minutes
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques
- Redistribution du N⁺ pendant 150 minutes sous une température de 1070°C (figure III.44)



❖ Ouverture des contacts et métallisation

- Dépôt LPCVD (Low Pressure Chemical Vapor Deposition) du nitrure Si₃N₄ sur les deux faces des plaquettes : épaisseur déposée 100nm (figure III.45)

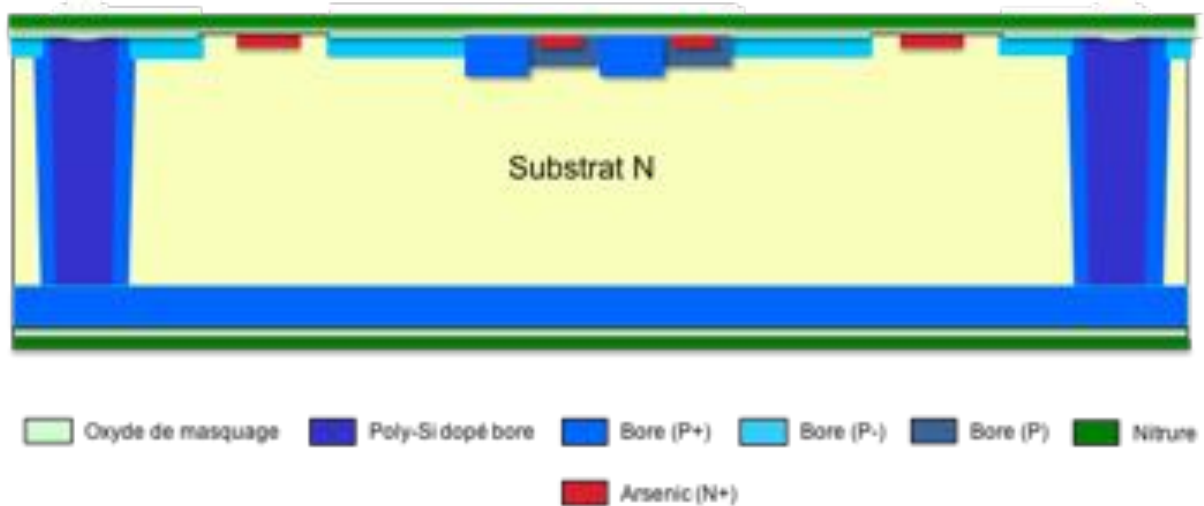


Figure III. 45 : Dépôt de nitruure

- Photolithographie zone ouverture des contacts :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
 - . Alignement en utilisant le septième niveau de masque de la zone d'ouverture des contacts et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Gravure RIE face avant du nitruure Si_3N_4 et de l'oxyde SiO_2 pendant 46 secondes dans la machine ICP3
- Gravure de l'oxyde SiO_2 dans du HF (5%) pendant 40 secondes, rinçage de 15 minutes à l'EDI et séchage manuel à l'azote (figure III.46)
- Délaquage de la résine sous Plasma O_2 pendant 5 minutes

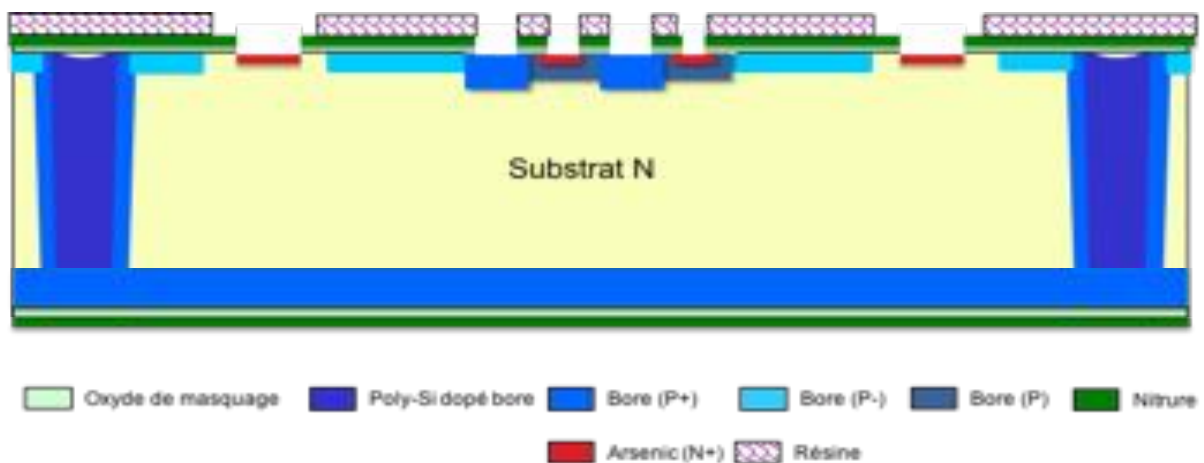


Figure III. 46 : Ouverture de contacts face avant

- Photolithographie métallisation :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine négative Nlof 2,5µm sur les pistes EVG 120
 - . Alignement en utilisant le huitième niveau de masque de la zone de métallisation et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Dépôt d'aluminium sur la face avant : épaisseur déposée de 500nm
- Lift – OFF de l'aluminium face avant dans DMSO
- Nettoyage à l'acétone, rinçage à l'EDI et séchage manuel à l'azote (figure [III.47](#))

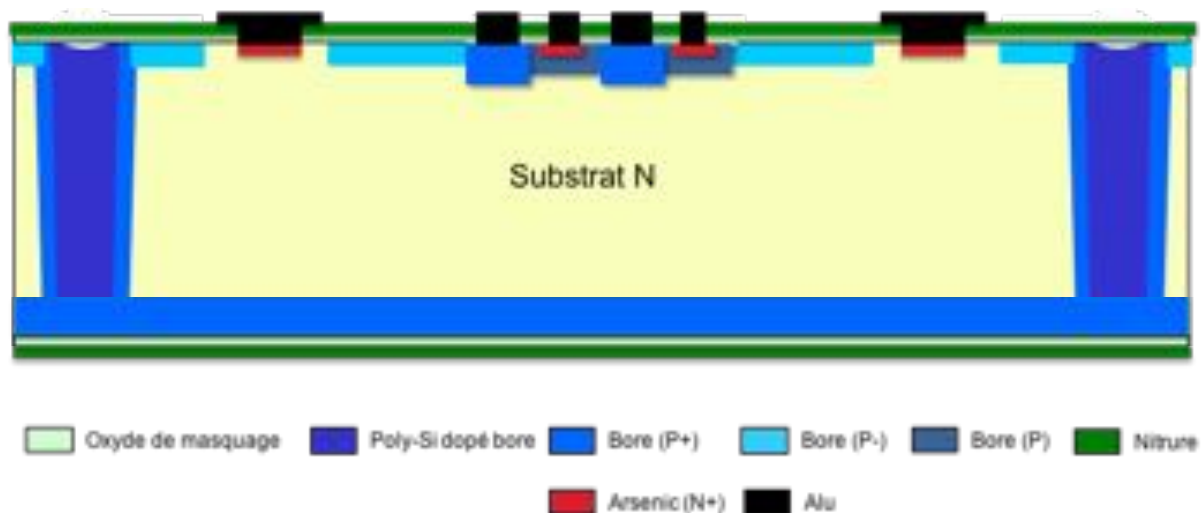


Figure III. 47 : Métallisation face avant

- Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120 sur la face avant des plaquettes pour les protéger
- Gravure RIE face arrière du nitrure Si_3N_4 et de l'oxyde SiO_2 pendant 50 secondes dans la machine ICP3
- Gravure de l'oxyde SiO_2 dans du HF (5%) pendant 30 secondes, rinçage à l'EDI et séchage manuel à l'azote (figure [III.48](#))

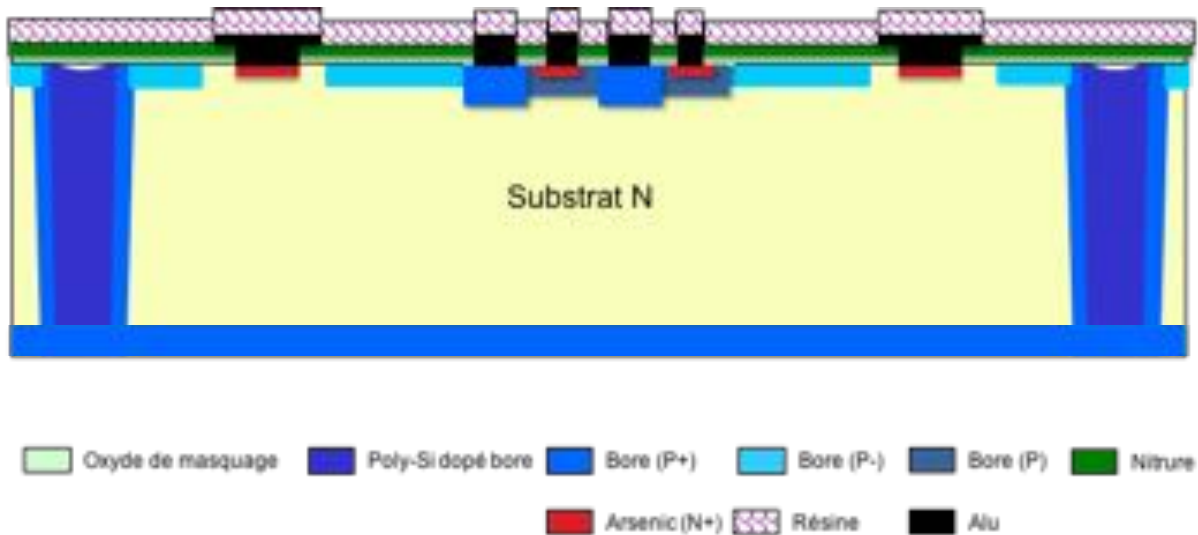


Figure III. 48 : Ouverture de contacts face arrière

- Délaquage de la résine avec de l'acétone, rinçage à l'EDI et séchage manuel
- Dépôt pleine plaque d'aluminium sur la face arrière : épaisseur déposée de 500nm
- Recuit de l'aluminium (figure III.49)

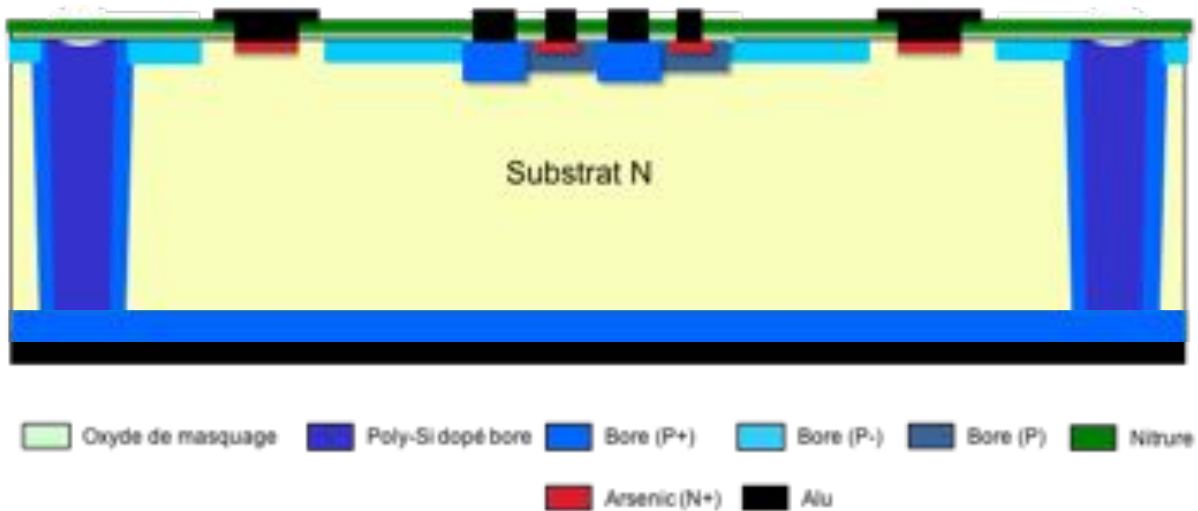


Figure III. 49 : Métallisation face arrière

3.3- Réalisation du BipAC NPN sur substrat P

Ce paragraphe porte sur le procédé technologique de réalisation du composant BipAC NPN sur substrat massif P⁺ (sans couche enterrée). Des plaquettes de dopage 1.10^{14}cm^{-3} , d'épaisseur $300\mu\text{m}$ et également d'épaisseur $230\mu\text{m}$ sont utilisées.

❖ Etape de préparation :

- Mesure de la résistivité et de l'épaisseur de chaque plaque utilisée dans le processus
- Nettoyage piranha de 2 minutes : un volume d'acide sulfurique H_2SO_4 est ajouté à un volume égale d'eau oxygéné H_2O_2

- Rinçage automatique à l'eau distillée EDI jusqu'à une mesure de résistivité des plaquettes de 13 mΩ.cm

- Gravure dans l'acide fluorhydrique HF de concentration 5% pour 30 secondes

- Rinçage automatique à l'EDI

- Séchage automatique jusqu'à ce que la résistivité mesurée soit de 15 mΩ.cm

- Oxydation de masquage : épaisseur d'oxyde déposée de 6000Å

❖ **Terminaisons de jonction JTE N⁻**

- Photolithographie JTE P⁻ :

. Déshydratation des plaques dans une étuve de 200°C pendant 20 minutes

. Dépôt HMDS

. Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120

. Alignement en utilisant le niveau de masque de la JTE P⁻ comme étant le premier niveau de masque et insolation sur les pistes MA 150 selon le mode soft contact

. Développement de la résine sur les pistes EVG 120

- Gravure de l'oxyde SiO₂ dans du HF (5%) pendant 12 minutes, rinçage et séchage automatiques

- Implantation phosphore d'une dose de $1,5 \cdot 10^{12} \text{cm}^{-2}$ sous une énergie de 50KeV

- Délaquage de la résine sous Plasma O₂ pendant 5 minutes

- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques

- Redistribution du N⁻ sous O₂ pendant 240 minutes sous une température de 1070°C

❖ **Zone active**

- Photolithographie zone active :

. Déshydratation dans une étuve de 200°C pendant 20 minutes

. Dépôt HMDS

. Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120

. Alignement en utilisant le troisième niveau de masque de la zone active et insolation sur les pistes MA 150 selon le mode soft contact

. Développement de la résine sur les pistes EVG 120

- Gravure de l'oxyde SiO₂ dans du HF (5%) pendant 10 minutes, rinçage de 15 minutes à l'EDI et séchage manuel à l'azote (à cause de la présence de la résine)

- Délaquage de la résine sous Plasma O₂ pendant 5 minutes
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques
- Oxydation thermique : une épaisseur d'oxyde SiO₂ de 55nm est déposée (figure [III.38](#))

❖ **Zone N et zones N⁺ de l'émetteur et du collecteur**

- Photolithographie zone N :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
 - . Alignement en utilisant le quatrième niveau de masque de la zone N sous la gâchette et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Implantation phosphore d'une dose de $2,8 \cdot 10^{13} \text{cm}^{-2}$ sous une énergie de 50KeV
- Délaquage de la résine sous Plasma O₂ pendant 15 minutes
- Photolithographie zone N1⁺ de l'émetteur :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
 - . Alignement en utilisant le cinquième niveau de masque de la zone N⁺ de l'émetteur et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Implantation phosphore face avant d'une dose de $1 \cdot 10^{16} \text{cm}^{-2}$ sous une énergie de 50KeV
- Implantation phosphore pleine plaque face arrière (N⁺ du collecteur) d'une dose de $1 \cdot 10^{16} \text{cm}^{-2}$ sous une énergie de 50KeV
- Redistribution du N1⁺ pendant 2040 minutes sous une température de 1070°C
- Photolithographie zone N2⁺ de l'émetteur :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine positive ECI 1,2µm sur les pistes EVG 120
 - . Alignement en utilisant à nouveau le cinquième niveau de masque de la zone N⁺ de l'émetteur et insolation sur les pistes MA 150 selon le mode soft contact

. Développement de la résine sur les pistes EVG 120

- Implantation phosphore face avant d'une dose de $2,5 \cdot 10^{15} \text{cm}^{-2}$ sous une énergie de 50KeV
- Implantation phosphore pleine plaque face arrière (N^+ du collecteur) d'une dose de $2,5 \cdot 10^{15} \text{cm}^{-2}$ sous une énergie de 50KeV
- Délaquage de la résine (face avant) sous Plasma O_2 pendant 15 minutes
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques

❖ **Zone P^+ de la gâchette et du stop-channel**

- Photolithographie zone P^+ :

- . Déshydratation dans une étuve de 200°C pendant 20 minutes
- . Dépôt HMDS
- . Enduction de la résine positive ECI $1,2\mu\text{m}$ sur les pistes EVG 120
- . Alignement en utilisant le sixième niveau de masque de la zone P^+ de la gâchette et du stop-channel et insolation sur les pistes MA 150 selon le mode soft contact

. Développement de la résine sur les pistes EVG 120

- Implantation bore d'une dose de $1 \cdot 10^{16} \text{cm}^{-2}$ sous une énergie de 50KeV
- Délaquage de la résine sous Plasma O_2 pendant 15 minutes
- Nettoyage piranha de 2 minutes, rinçage et séchage automatiques
- Redistribution du N_2^+ et du P^+ pendant 15 minutes sous une température de 1020°C

❖ **Ouverture des contacts et métallisation**

- Dépôt LPCVD (Low Pressure Chemical Vapor Deposition) du nitrure Si_3N_4 sur les deux faces des plaquettes : épaisseur déposée 100nm

- Photolithographie zone ouverture des contacts :

- . Déshydratation dans une étuve de 200°C pendant 20 minutes
- . Dépôt HMDS
- . Enduction de la résine positive ECI $1,2\mu\text{m}$ sur les pistes EVG 120
- . Alignement en utilisant le septième niveau de masque de la zone d'ouverture des contacts et insolation sur les pistes MA 150 selon le mode soft contact

. Développement de la résine sur les pistes EVG 120

- Gravure RIE face avant du nitrure Si_3N_4 et de l'oxyde SiO_2 pendant 53 secondes dans la machine ICP3

- Gravure de l'oxyde SiO_2 dans du HF (5%) pendant 40 secondes, rinçage de 15 minutes à l'EDI et séchage manuel à l'azote
- Délaquage de la résine sous Plasma O_2 pendant 5 minutes
- Photolithographie métallisation :
 - . Déshydratation dans une étuve de 200°C pendant 20 minutes
 - . Dépôt HMDS
 - . Enduction de la résine négative N10f $2,5\mu\text{m}$ sur les pistes EVG 120
 - . Alignement en utilisant le huitième niveau de masque de la zone de métallisation et insolation sur les pistes MA 150 selon le mode soft contact
 - . Développement de la résine sur les pistes EVG 120
- Dépôt d'aluminium sur la face avant : épaisseur déposée de 500nm
- Lift – OFF de l'aluminium face avant dans DMSO
- Nettoyage à l'acétone, rinçage à l'EDI et séchage manuel à l'azote
- Enduction de la résine positive ECI $1,2\mu\text{m}$ sur les pistes EVG 120 sur la face avant des plaquettes pour les protéger
- Gravure RIE face arrière du nitrure Si_3N_4 et de l'oxyde SiO_2 pendant 60 secondes dans la machine ICP3
- Gravure de l'oxyde SiO_2 dans du HF (5%) pendant 30 secondes, rinçage à l'EDI et séchage manuel à l'azote
- Délaquage de la résine avec de l'acétone, rinçage à l'EDI et séchage manuel
- Dépôt pleine plaque d'aluminium sur la face arrière : épaisseur déposée de 500nm
- Recuit de l'aluminium

4- Caractérisation électrique

Parmi les plaquettes qui ont tenu jusqu'à la fin du procédé de réalisation, nous avons caractérisé sous pointes les motifs de l'une de chaque type de substrat et de chaque épaisseur ce qui fait un total de quatre plaques : une $300\mu\text{m}$ substrat N^- , une $200\mu\text{m}$ substrat N^- , une $300\mu\text{m}$ substrat P^- et une $230\mu\text{m}$ substrat P^- . Ensuite, nous avons sélectionné les puces les plus performantes de chacune de ces plaques pour les monter en boîtiers et les tester à nouveau avec d'autres équipements permettant une caractérisation plus large en termes du courant de gâchette pouvant être appliqué et du courant de collecteur pouvant être mesuré.

4.1- Caractérisation sous pointes

La plaquette à caractériser est chargée dans la station sous pointes (figure [III.50](#)) en faisant le vide. À l'état passant, deux éléments sont testés : la diode formée par la jonction gâchette/émetteur et la structure BipAC entière. Le test de diode consiste à brancher l'émetteur, électrode de référence, à l'unité

de source et de mesure (SMU : source mesure unit) de la masse et la gâchette à une autre SMU. La tension émetteur-gâchette est appliquée de telle sorte à polariser la diode en question à l'inverse.

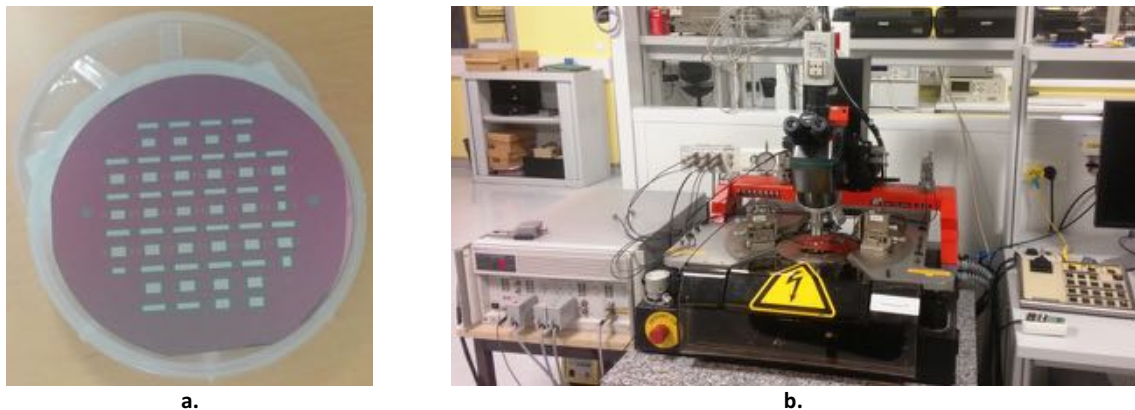


Figure III. 50 : (a) Plaquette de silicium avec composants BipAC (différentes architectures) à la fin du procédé technologique et (b) station sous pointes

En revanche, pour le test de la structure complète, il faut brancher trois SMU :

- l'émetteur reste connecté à la SMU de la masse,
- une SMU est connectée sur la gâchette pour la commander par la génération d'un courant dont la valeur sera déterminée dans le logiciel de testeur paramétrique I-V DC branché à la station sous pointes,
- et le collecteur, localisé sur la face arrière de la plaque, est connecté au mandrin (chuck) portant la plaque et qui à son tour est connecté à une SMU permettant la mesure du courant de collecteur et de la tension V_{ce} entre collecteur et émetteur.

Les deux SMU utilisées pour les électrodes du collecteur et de la gâchette n'ont pas les mêmes capacités : une est limitée à un courant de 100mA et l'autre à un courant de 1A. Comme les simulations 2D montrent que la commande de la gâchette nécessite un courant au moins égale à 100mA, la SMU de 1A est branchée à la gâchette. De ce fait, le courant de collecteur pouvant être mesuré est limité à 100mA.

À l'état bloqué, la tension tenue par la jonction du côté de l'émetteur est testée sous obscurité. L'émetteur branché à la SMU de la masse et la gâchette sont maintenus à 0V. Le collecteur est connecté à une SMU permettant l'application d'une tension polarisant la jonction étudiée en inverse. La tenue en tension dans l'autre sens ne peut être examinée du fait que les murs traversants n'ont pas été réalisés.

a- BipAC PNP

i- Substrat d'épaisseur 300 μ m

La plaquette du substrat N⁻ d'épaisseur 300 μ m est connectée comme décrit dans le paragraphe précédent. Dans un premier temps, la diode formée par la jonction N⁺P de la gâchette et de l'émetteur est testée en appliquant une tension V_{ge} positive de 1V. Si le graphe observé correspond à l'allure de la caractéristique I(V) d'une diode, nous passons au test du composant à l'état passant. Nous faisons varier le courant de gâchette entre 300mA et 500mA pour tracer le réseau de caractéristiques bidirectionnelles.

Les figures [III.51](#) illustrent les caractéristiques $I_c(V_{ce})$ du BipAC PNP d'épaisseur 300 μ m pour les quatre architectures proposées. Dans tous ces cas, une saturation à 100mA est constatée dans le

premier quadrant présentant un gain plus important que celui du troisième quadrant. Le BipAC à deux bandes et dont l'émetteur est de type 1 (faisant le tour de la zone active) possède le meilleur gain (figure III.51.a).

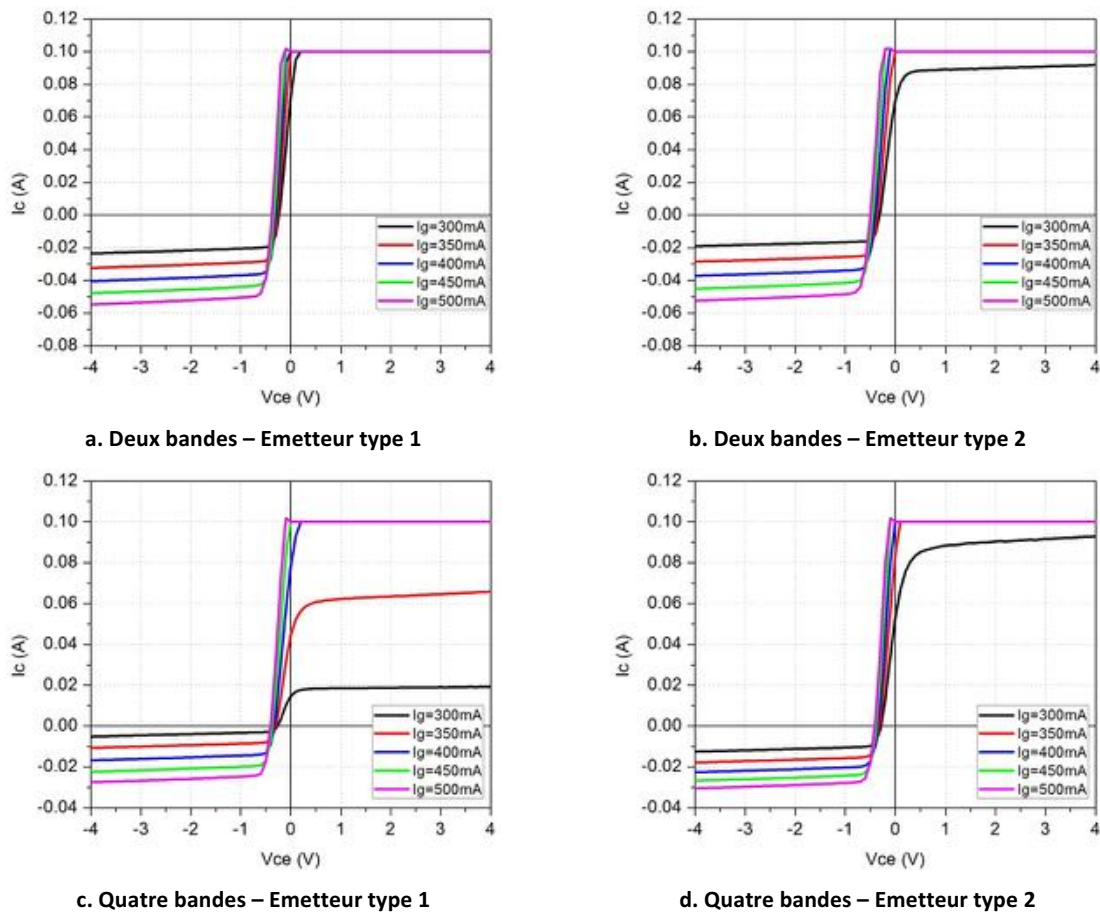


Figure III. 51 : Réseaux de caractéristiques $I_c(V_{ce})$ des BipAC PNP réalisés sur des substrats N d'épaisseur $300\mu\text{m}$ en fonction de l'architecture du composant

Pour la tenue en tension, nous appliquons une tension V_{ce} positive polarisant la jonction P^+N^- du côté de l'émetteur en inverse. Nous faisons monter graduellement la tension jusqu'à l'observation de la montée rapide du courant. Les tests montrent que la structure d'épaisseur $300\mu\text{m}$ tient une tension de l'ordre de 750V si le courant de fuite permis est de l'ordre de $10\mu\text{s}$ (figure III.52).

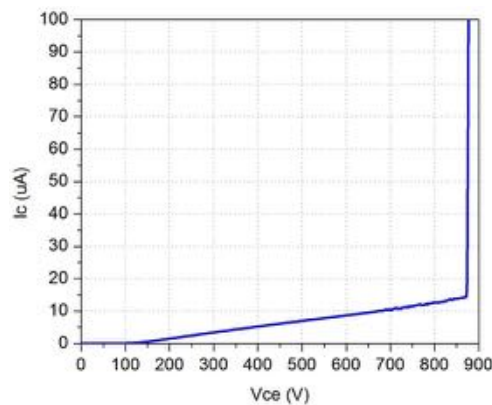


Figure III. 52 : Tenue en tension du BipAC PNP réalisé sur un substrat N d'épaisseur $300\mu\text{m}$

ii- Substrat d'épaisseur 200 μ m

Nous reprenons les mêmes tests avec une plaquette de substrat N d'épaisseur 200 μ m. Cependant, la gâchette est commandée par des courants allant de 250mA à 400mA puisque l'épaisseur du substrat est plus petite ce qui permet d'atteindre la limite imposée des 100mA de courant de collecteur avec des courants de gâchette plus faibles. D'après les figures III.53, le BipAC à deux bandes avec émetteur type 2 a les meilleurs gains dans le premier et le troisième quadrants. À l'état bloqué, le BipAC PNP d'épaisseur 200 μ m tient une tension de 830V (figure III.54).

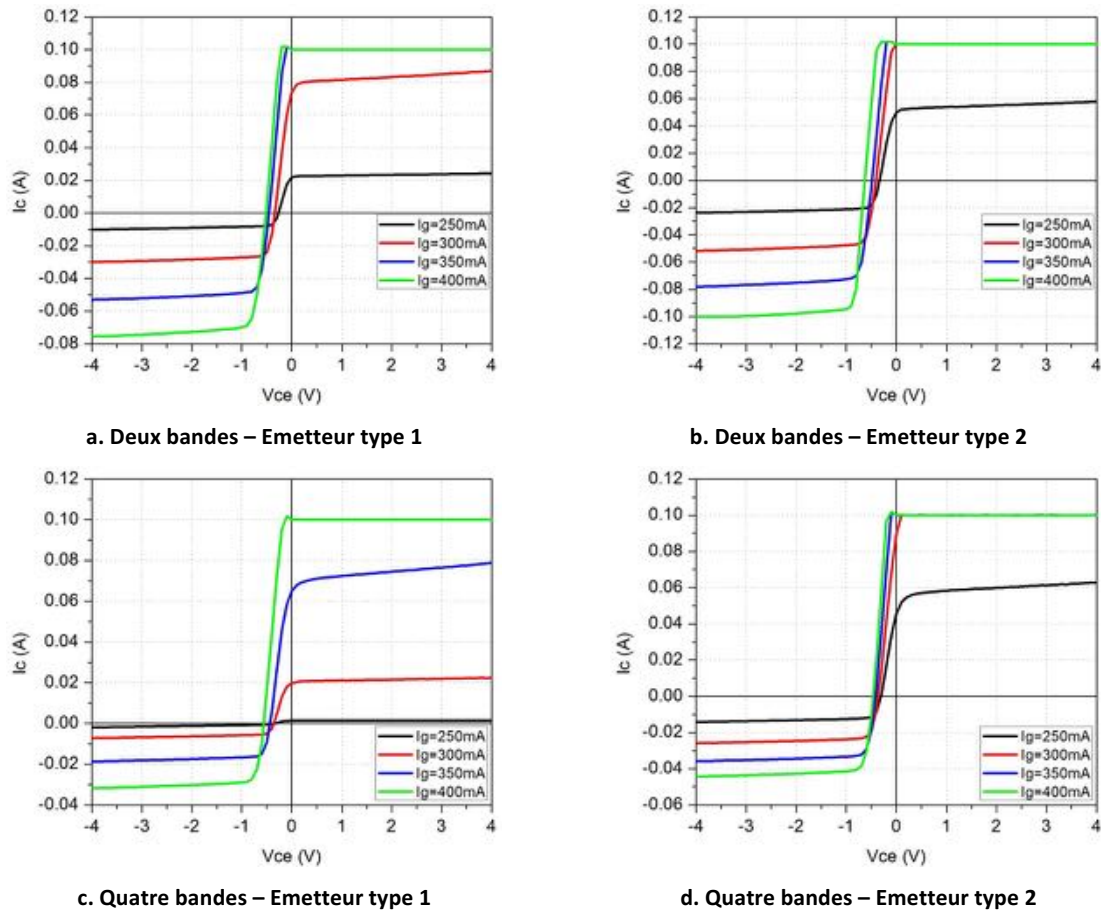


Figure III. 53 : Réseaux de caractéristiques $I_c(V_{ce})$ des BipAC PNP réalisés sur des substrats N d'épaisseur 200 μ m en fonction de l'architecture du composant

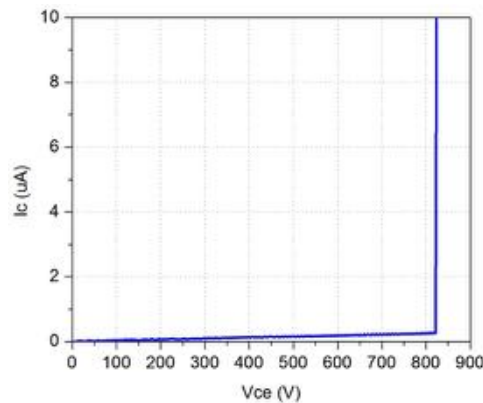


Figure III. 54 : Tenue en tension du BipAC PNP réalisé sur un substrat N d'épaisseur 200 μ m

b- BipAC NPN

De la même manière que pour le substrat N⁻, les deux plaques de substrat P⁻ 300μm et 230μm sont caractérisées à l'état passant en testant la diode P⁺N de la gâchette par l'application d'une tension V_{ge} négative, puis en testant le BipAC en imposant des courants de gâchette supérieurs à 100mA. Mais constatant que même pour une commande avec I_g=100mA, le courant de collecteur mesuré dépasse les 100mA supportés par la SMU relié à celui-ci, nous permutons les deux SMU de la gâchette et du collecteur. De cette façon, le courant de commande sera limité à 100mA alors que le courant de collecteur détecté pourra atteindre 1A.

La tenue en tension est également vérifiée sous obscurité en appliquant une tension V_{ce} négative polarisant la jonction N⁺P⁻ du côté de l'émetteur en inverse.

i- Substrat d'épaisseur 300μm

La figure III.55.a donne les caractéristiques I_c(V_{ce}) d'un composant BipAC NPN dont l'épaisseur de substrat est de 300μm. Ces résultats correspondent à un motif à quatre bandes, à émetteur type 2 et présentant les meilleures caractéristiques parmi les composants testés pour le substrat P d'épaisseur 300μm. La figure III.55.b donne la tenue en tension pour le BipAC NPN d'épaisseur 300μm. L'augmentation rapide du courant est observée aux environs des 980V.

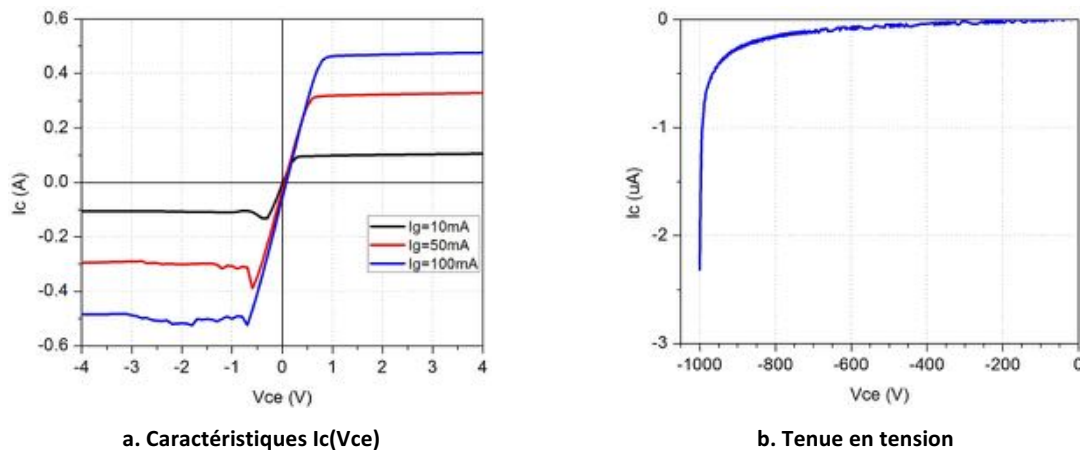


Figure III. 55 : (a) Réseau de caractéristiques I_c(V_{ce}) et (b) tenue en tension du BipAC NPN réalisés sur un substrat P d'épaisseur 300μm

ii- Substrat d'épaisseur 230μm

La figure III.56.a donne les caractéristiques I_c(V_{ce}) d'un composant BipAC NPN dont l'épaisseur de substrat est de 230μm. Ces résultats correspondent à un motif à quatre bandes, à émetteur type 2 et présentant les meilleures caractéristiques parmi les composants testés pour le substrat P d'épaisseur 230μm. La figure III.56.b donne la tenue en tension pour le BipAC NPN d'épaisseur 230μm. La montée rapide du courant est observée aux environs des 670V.

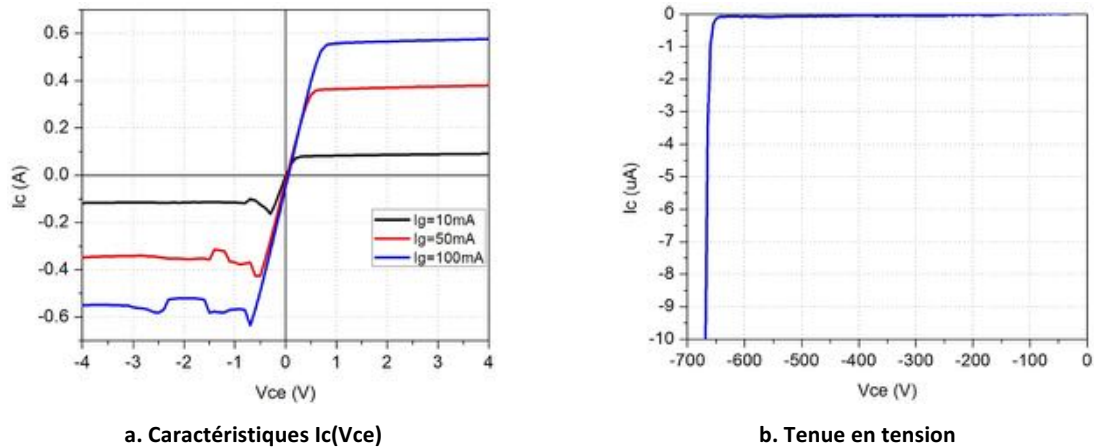


Figure III. 56 : (a) Réseau de caractéristiques $I_c(V_{ce})$ et (b) tenue en tension du BipAC NPN réalisés sur un substrat P d'épaisseur $230\mu\text{m}$

c- Bilan

La bidirectionnalité du BipAC est validée. Nous avons constaté que pour des substrats de même épaisseur le gain du BipAC NPN est meilleur que celui du BipAC PNP. À titre d'exemple, pour une épaisseur de plaquette donnée de $300\mu\text{m}$ et si on se place dans le pire cas (1^{er} quadrant pour le NPN et le 3^{ème} quadrant pour le PNP), le courant I_c mesuré atteint $0,5\text{A}$ pour un courant de commande I_g de 100mA dans le cas du NPN, alors qu'il atteint $0,06\text{A}$ seulement et avec un courant de commande de 500mA dans le cas du BipAC PNP. La tenue en tension est vérifiée dans un seul quadrant du fait que les murs n'ont pas été réalisés dans ces premiers dispositifs tests. D'autre part, les gains mesurés sont inférieurs aux gains attendus par simulations puisque la structure réalisée ne correspond pas exactement à la structure optimisée (du fait des contraintes technologiques). En outre, nous n'avons pas d'informations au sujet de la valeur de la durée de vie des porteurs à la fin du procédé technologique. Ces premiers travaux ne sont pas suffisants pour valider le meilleur design d'émetteur, puisque les meilleures performances ne sont pas toujours obtenues pour le même design. Cependant, sur la base des puces caractérisées, la disposition à quatre bandes avec émetteur type 1 s'avère être la moins intéressante parmi celles réalisées.

4.2- Caractérisation dans des boîtiers

La plaquette est découpée par une scie diamantée après avoir protégé sa face avant par une couche de résine, évitant ainsi tout dommage pouvant être causé par la poussière dégagée. Ensuite, les échantillons préalablement sélectionnés sont nettoyés à l'acétone, puis à l'eau distillée et ils sont séchés à l'azote. La puce est collée sur un boîtier adapté à sa taille. Les connexions sont faites par des fils supportant le passage d'un courant de l'ordre de 1A .

L'équipement HP4142 utilisé pour caractériser les puces montées en boîtiers (figure III.57) est similaire en termes de conception de SMU à l'équipement utilisé pour les caractérisations effectuées sous pointes. Toutefois, les SMU de l'HP4142 ont un courant limite plus élevé permettant de commander la gâchette par un courant supérieur à 100mA et en même temps de mesurer les courants de collecteur dépassant 100mA , voire 1A .

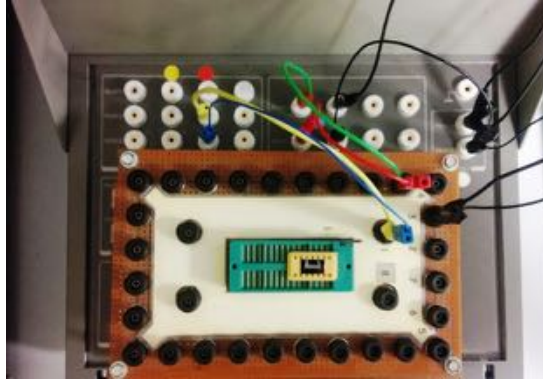


Figure III. 57 : Branchement d'une puce BipAC dans un boîtier pour caractérisation électrique

a- BipAC PNP

Une puce de substrat N de $300\mu\text{m}$ d'épaisseur est testée. En premier temps, nous avons testé la diode de gâchette. Puis, nous avons imposé les mêmes conditions de caractérisations du cas considéré sous pointes vérifiant ainsi la compatibilité des résultats des tests effectués sur deux équipements différents. Ensuite, nous avons modifié les connexions de telle façon à pouvoir commander la gâchette par des courants de 300, 400 et 500mA et à mesurer des courants de collecteur au-delà de 1A. La figure [III.58](#) montre le réseau de caractéristiques obtenu.

Nous constatons que même un courant de commande de 500mA ne permet d'atteindre un courant de 800mA, que ce soit dans le 1^{er} quadrant ou dans le 3^{ème} quadrant. Le gain dans ce cas est respectivement de 0,7 et 0,1 pour les 1^{er} et 3^{ème} quadrants.

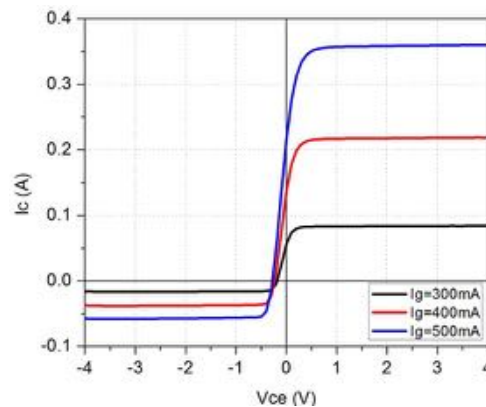


Figure III. 58 : Réseau de caractéristiques $I_c(V_{ce})$ d'une puce BipAC PNP réalisée sur un substrat N d'épaisseur $300\mu\text{m}$

b- BipAC NPN

Caractérisation statique

La même démarche suivie pour les tests sur substrat N est également adoptée pour tester la puce de substrat P d'épaisseur $300\mu\text{m}$. La gâchette est commandée par des courants de 100, 300 et 500mA. Les résultats sont illustrés sur la figure [III.59](#). Nous constatons que pour un courant $I_g=500\text{mA}$, les courants de collecteur à $V_{ce}=1\text{V}$ sont respectivement de 0,85A et 1,5A dans le 1^{er} et le 3^{ème} quadrants. Les gains correspondants sont respectivement 1,7 et 3.

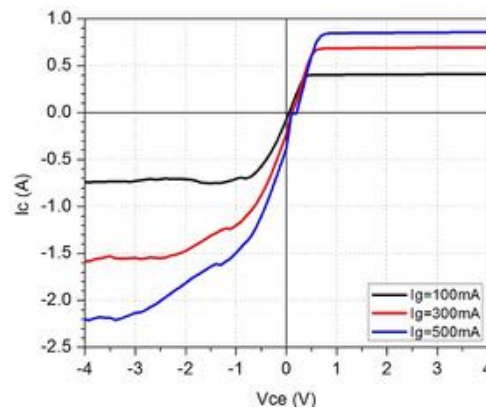


Figure III. 59 : Réseau de caractéristiques $I_c(V_{ce})$ d'une puce BipAC NPN réalisée sur un substrat P d'épaisseur 300 μ m

Caractérisation en commutation

La structure réalisée a été testée en dynamique (figure III.60). Les chronogrammes illustrant le cycle de commutation sont présentés sur les figures III.61 et III.62. Du fait que la caractérisation est faite, en premier lieu, en utilisant une tension continue V_{ce} , la caractérisation a été réalisée dans le 1^{er} quadrant (figure III.61) puis dans le 3^{ème} quadrant (figure III.62). La tension V_{ge} appliquée sur la gâchette est de type créneau de fréquence 50Hz. En outre, la structure n'étant pas capable de supporter des tensions négatives, le test a été mené en utilisant des tensions V_{ce} de l'ordre de 4V et un courant de charge I_c de l'ordre de 740mA.

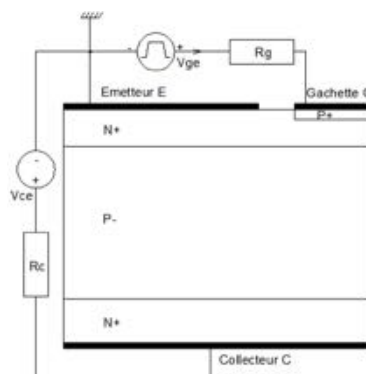
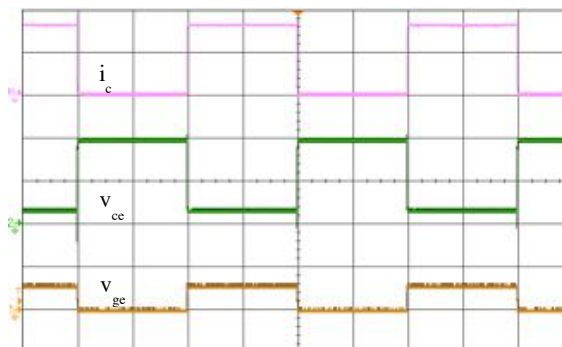


Figure III. 60 : Circuit de commande utilisé pour les caractérisations en commutation dans le 1^{er} quadrant

i_c : 400mA/div v_{ce} : 2V/div v_{ge} : 2V/div 5ms/div



a. Cycle de commutation dans 1^{er} quadrant ($I_c > 0, V_{ce} > 0$)

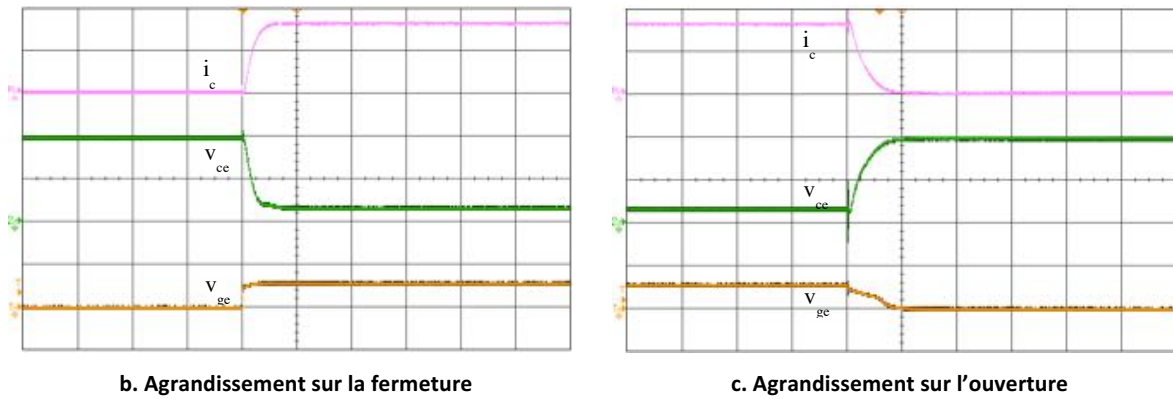
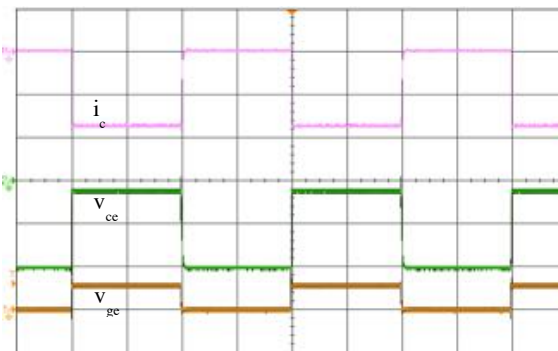


Figure III. 61 : Chronogramme des courants et tensions sur un cycle de commutation dans le 1^{er} quadrant

i_c : 400mA/div v_{cc} : 2V/div v_{ge} : 2V/div 5ms/div



a. Cycle de commutation dans 3^{ème} quadrant ($I_c < 0$, $V_{ce} < 0$)

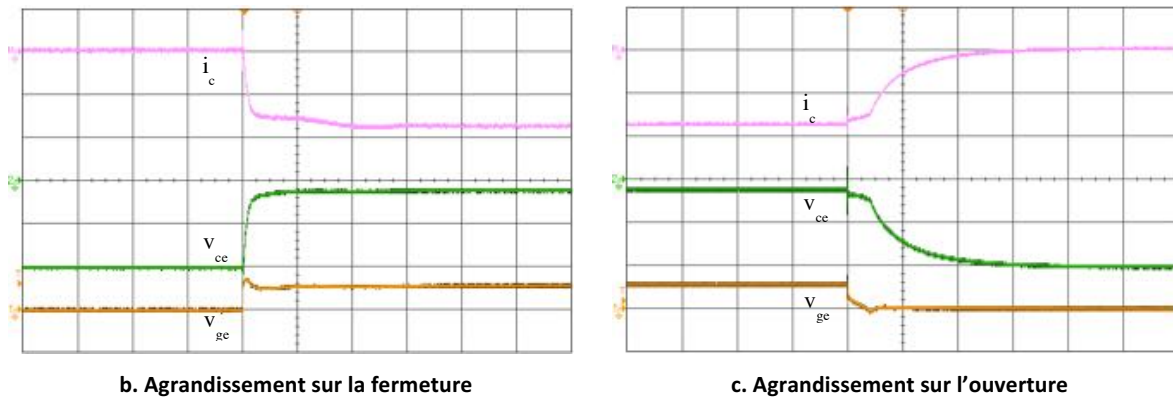


Figure III. 62 : Chronogramme des courants et tensions sur un cycle de commutation dans le 3^{ème} quadrant

Dans un deuxième temps, nous avons vérifié la commutation du BipAC en alternatif. La tension appliquée sur la gâchette correspond à des impulsions de 10V. La tension alternative en sortie du transformateur est de 20V d'amplitude et de 50Hz de fréquence. Les résistances R_g et R_c sont respectivement de 33Ω et 35Ω . Les cas testés correspondent à une, deux et quatre impulsions de tension de gâchette par alternance. Ensuite, un quatrième test est effectué en appliquant une impulsion sur la gâchette juste avant et pendant le changement de signe de la tension alternative. Les chronogrammes obtenus sont donnés en figure III.63. Il est à noter que la surtension observée à l'ouverture est due à la présence de l'inductance de fuite totale ramenée au secondaire du transformateur, rendant ainsi la charge inductive.

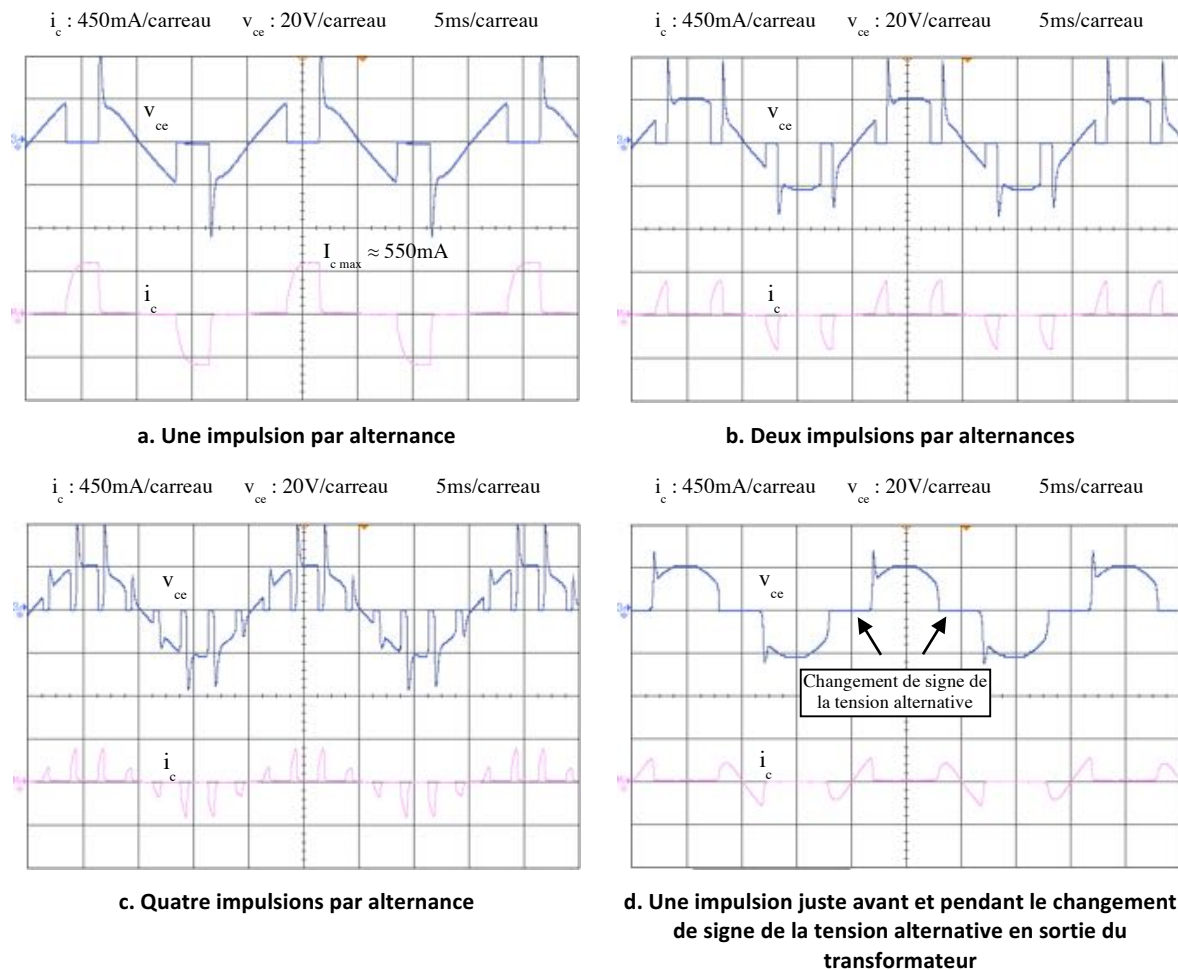


Figure III. 63 : Chronogramme des courants et tensions sur un cycle de commutation sur réseau alternatif

c- Comparaison

Les caractéristiques $I_c(V_{ce})$ des deux puces BipAC PNP et NPN sont données sur la figure III.64 pour un courant de gâchette de 500mA. Rappelons que l'épaisseur des deux substrats est de 300 μ m. Les décalages sont à nos yeux dus à la méthode de mesure. En effet, un courant de gâchette est appliqué (en premier) et il est ensuite suivi par l'application de la tension (positive ou négative) collecteur-émetteur. Ainsi, à zéro volt (entre collecteur-émetteur), lors de l'application d'un courant de gâchette, ce dernier se décompose en deux composantes : un courant qui circule vers l'émetteur et un courant qui circule vers le collecteur. Dans le cas d'un PNP, à zéro volt entre collecteur-émetteur, l'application d'un courant sortant sur la gâchette se décompose à l'intérieur du BipAC en deux composantes : un courant de collecteur positif circulant du collecteur vers la gâchette et un courant circulant de l'émetteur vers la gâchette. Cela justifie par conséquent le courant positif (à $V_{ce} = 0V$) observé sur la caractéristique mesurée du PNP. Un raisonnement identique conduit à l'explication du courant négatif (à $V_{ce} = 0V$) observé sur la caractéristique mesurée du NPN.

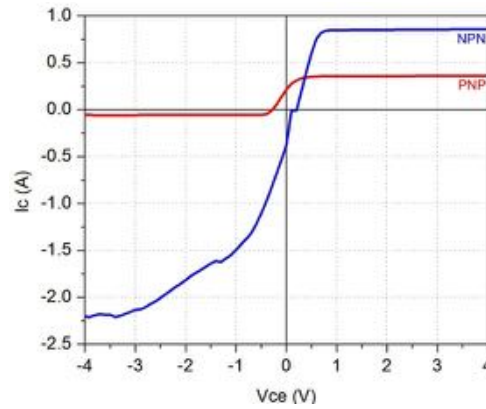


Figure III. 64 : Comparaison de caractéristiques $I_c(V_{ce})$ de deux puces BipAC PNP et NPN de $300\mu\text{m}$ d'épaisseur et pour un courant de gâchette de 500mA

5- Comparaison des deux versions de la structure BipAC

Les substrats épitaxiés requis pour la fabrication de la version améliorée du BipAC nécessitent une longue procédure de commande. Dans l'objectif de valider l'intérêt de cette structure et sa compatibilité technologique avec la filière BipAC, nous avons couplé des simulations 2D de type process et des simulations 2D électriques permettant de comparer les deux versions du BipAC : BipAC initial et BipAC amélioré.

Dans un premier temps, nous avons simulé le procédé technologique dans les conditions réelles de sa réalisation en prenant les dimensions définies sur masque en fonction des contraintes de dessin imposées selon les exigences de la salle blanche au LAAS. Ensuite, nous avons effectué les simulations électriques avec les paramètres physiques et géométriques ainsi obtenus.

Pour la structure initiale, nous considérons un substrat P⁻ de dopage de 1.10^{14}cm^{-3} , d'une épaisseur de $230\mu\text{m}$ permettant une tenue en tension de 750V environ. Par simulation process (figure III.65), nous appliquons le procédé technologique de fabrication utilisé pour les dispositifs tests (tableau III.3).

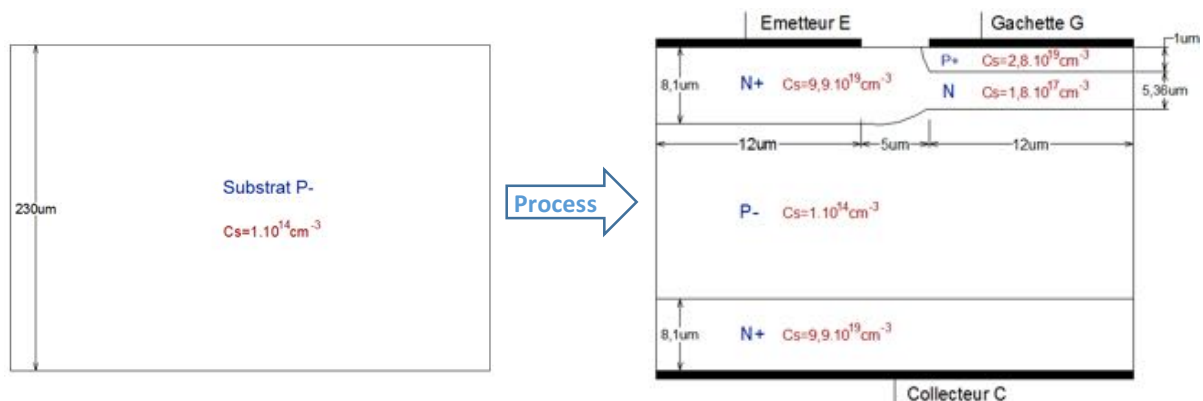


Figure III. 65 : BipAC NPN initial

Pour la structure améliorée, nous considérons un substrat multiépitaxié tel que représenté sur la figure III.66. Le profil de dopage d'une demi-couche enterrée après le process est donné sur la figure III.67.

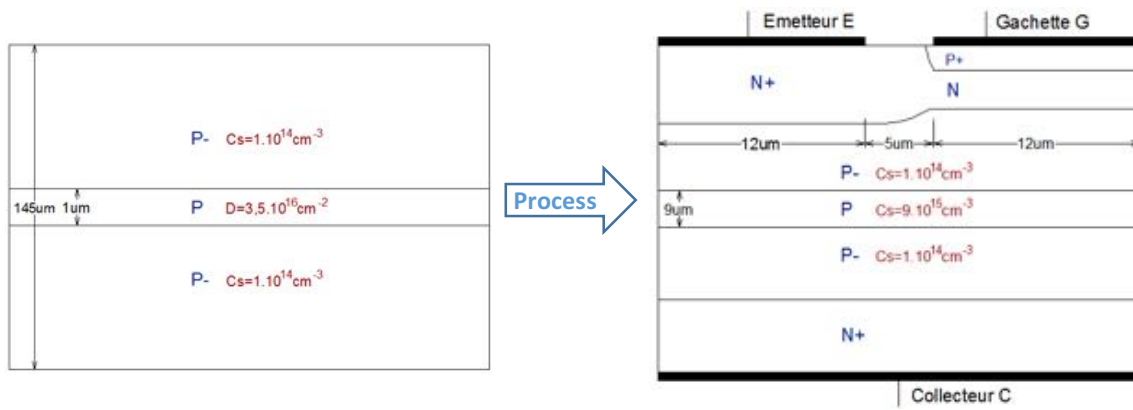


Figure III. 66 : BipAC NPN amélioré

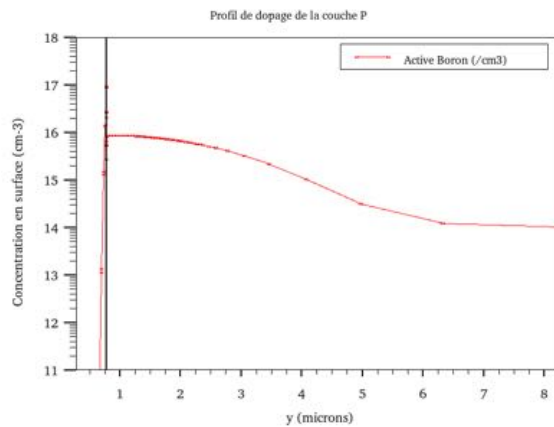


Figure III. 67 : Profil de dopage de la demi-couche P enterrée dans le substrat P

Les épaisseurs de substrat utilisées dans les deux cas de structures permettent une tenue en tension de 750V environ comme le montrent les résultats des simulations électriques montrés sur la figure III.68. De même, les caractéristiques à l'état passant sont évaluées par simulation électrique pour une surface de composant de 10mm² et en commandant la gâchette par un courant I_g de 200mA. Nous constatons que pour une tenue en tension de 750V, l'épaisseur de substrat nécessaire est plus faible pour la structure améliorée et son gain est plus important.

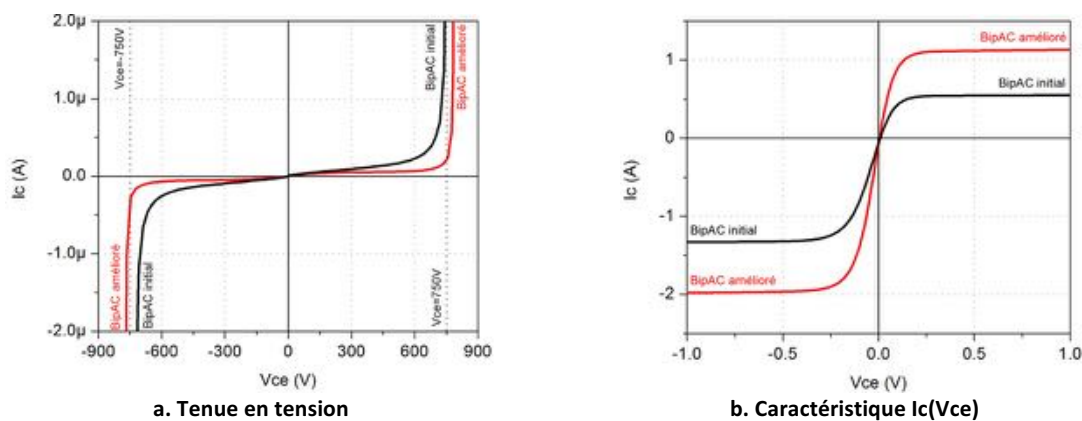


Figure III. 68 : Comparaison (a) de la tenue en tension et (b) des caractéristiques $I_c(V_{ce})$ des deux structures BipAC NPN initiale et améliorée

Conclusion

Dans ce chapitre, nous avons présenté les travaux technologiques effectués pour valider la fonctionnalité BipAC. La conception des niveaux de masques est développée. Deux architectures de disposition des doigts d'émetteur et de gâchette ainsi que deux manières de liaison pour l'électrode d'émetteur sont proposées. La filière technologique que nous présentons est basée sur la filière « de puissance » développée dans la plateforme de micro et nanotechnologies du LAAS. Des simulations process complétées par des tests SRP et des analyses SIMS effectuées sur des plaquettes test ont abouti au choix des paramètres d'implantation et de redistribution adaptés à la réalisation du BipAC sur le substrat N ainsi que sur le substrat P.

Nous avons détaillé le processus technologique de fabrication du BipAC pour les deux types de substrat N et P. Une vue en coupe de la cellule et sa périphérie illustre chaque étape du process. Les deux types de BipAC PNP et NPN sont réalisés, deux épaisseurs différentes pour chaque type de substrat ont été utilisées. Les composants réalisés correspondent à la version initiale, sans couche enterrée. L'étape de création des murs traversants P^+ n'est pas réalisée dans ce premier prototype du composant. Notons toutefois que cette étape serait effectuée juste avant l'étape « Terminaison de jonction JTE P^- ». Le développement technologique du mur traversant a fait l'objet d'une étude séparée et présentée succinctement ici.

Ensuite, nous avons présenté les principaux résultats de caractérisation effectués sur ces dispositifs. Nous avons vérifié la fonctionnalité du BipAC PNP et NPN, validant ainsi la bidirectionnalité en courant, la tenue en tension est observée dans un quadrant (1^{er} quadrant pour le PNP et 3^{ème} quadrant pour le NPN) du fait que la périphérie réalisée n'est pas adaptée à une tenue symétrique en tension (absence de mur traversant). L'avantage en termes de gain du BipAC NPN sur le BipAC PNP a été mis en évidence sur les structures réalisées ayant des épaisseurs identiques de 300 μm .

Enfin, dans l'objectif de montrer la compatibilité technologique de la structure BipAC améliorée avec la réalisation de la structure dite initiale et de comparer les potentialités des deux versions (avec et sans couche enterrée), nous avons effectué des simulations 2D de type process couplées à des simulations 2D électriques. Ainsi, par simulation, les deux substrats, massif pour le BipAC initial, et épitaxié pour le BipAC amélioré, subissent le même procédé technologique de fabrication utilisé et décrit précédemment. Par ailleurs, la simulation process prend en compte les côtes réelles des masques utilisés lors de la fabrication. Les structures 2D ainsi obtenues sont simulées électriquement et comparées. Les résultats confirment la possibilité de réaliser la structure avec couche enterrée en se basant sur le même procédé de fabrication, et l'avantage apporté par la présence de la couche enterrée dans le substrat.

Conclusion générale

Les travaux présentés dans cette thèse portent sur la conception d'un interrupteur monolithique sur silicium, bidirectionnel en courant et symétrique en tension, pour des applications à faible niveau de courant ($I_{c_{max}}=0,8A$) sur le réseau alternatif 230V-50Hz.

Le premier chapitre est dans un premier temps consacré à un état de l'art sur les structures bidirectionnelles. Ensuite, et pour orienter notre choix, nous avons présenté une étude qualitative et comparative de quatre structures proposées précédemment au LAAS et d'une cinquième proposée dans le cadre de cette thèse. Les critères de comparaison sont en particulier : la chute de tension à l'état passant, la tenue en tension, la commande à l'ouverture et à la fermeture, le potentiel de référence de la commande et la faisabilité technologique. À l'issue de cette étude, nous avons décidé de porter nos efforts sur l'étude de la structure BipAC. Il s'agit d'un transistor bipolaire bidirectionnel, commandable à l'ouverture et à la fermeture par rapport à une seule électrode de référence et présentant une faible chute de tension à l'état passant ($\leq 0,2V$).

Enfin, une comparaison entre le BipAC et le triac aux niveaux des pertes, nous a permis d'estimer le gain minimal de notre composant qui permettrait d'en faire une alternative au triac, composant très exploité à ce jour dans une large gamme d'applications.

La chapitre 2 porte sur l'étude par simulation 2D de la structure BipAC.

Dans la première partie de ce chapitre, nous avons présenté la structure BipAC pour les deux types de substrat N et P. Nous avons détaillé son principe de fonctionnement à l'état bloqué et à l'état passant. Une part importante de notre étude, basée sur des simulations physiques 2D, a été dédiée au gain du BipAC et à l'impact de différents paramètres sur ses caractéristiques électriques. Ensuite, nous avons validé par simulation le comportement du BipAC en commutation. Il est à noter que les paramètres physiques utilisés dans les simulations sont issus de la filière technologique de puissance du LAAS.

Une étude par simulation 2D a été ensuite menée sur les structures BipAC NPN et PNP, à l'issue de laquelle nous avons constaté que pour satisfaire la fonction, une surface supérieure à $10mm^2$ et des courants de gâchette importants (supérieurs à 300mA) sont nécessaires. Ces structures BipAC pourraient cependant convenir à des applications à plus faible tenue en tension qui autoriserait des épaisseurs de substrat plus faibles.

Pour améliorer le gain du BipAC, nous avons envisagé plusieurs solutions. En effet, nous avons proposé différentes structures basées sur l'insertion d'une ou de plusieurs couche(s) dans le substrat, de même nature ou non que celui-ci. Les résultats ont montré que la structure offrant le meilleur compromis tenue en tension-gain est celle qui comporte une couche enterrée dans le substrat et de même type que celui-ci. En particulier, nous avons concentré notre travail sur la structure BipAC NPN avec couche enterrée de type P, qui permet de répondre aux contraintes du cahier des charges.

Nous avons alors proposé un dimensionnement de cette structure NPN avec couche P enterrée. Pour cela, nous avons optimisé dans un premier temps la cellule élémentaire. Dans un deuxième temps, la périphérie a été dimensionnée. Ensuite, une structure 2D comprenant un grand nombre de cellules élémentaires (30 cellules) associées à une périphérie, correspondant à la coupe 2D d'une demi-puce, a été nécessaire pour évaluer correctement les performances du dispositif.

Une étude par simulation de cette structure 2D a permis de fournir des gammes de valeurs de paramètres géométriques et physiques qui répondent aux différents compromis imposés par le cahier des charges (tenue en tension, I_c , gain, V_{on} et surface). Cette structure améliorée offre un gain compris entre 4 et 5,5 (1^{er} quadrant, correspondant au pire cas) selon les valeurs (Y_p , C_p) de la couche enterrée, de la surface choisie (5 ou $10mm^2$) et du courant de commande (100 ou 200mA).

Comparée à la structure BipAC initiale (sans couche enterrée), la structure proposée répond à la fonction souhaitée tout en présentant un meilleur gain, ce qui permet par conséquent d'utiliser une plus faible surface de silicium pour un même courant de charge $I_c (=0,8A)$.

Dans le dernier chapitre, nous avons présenté l'ensemble des travaux technologiques réalisés dans le cadre de cette thèse. Ces travaux sont essentiellement développés pour la structure BipAC initiale car la structure BipAC améliorée nécessite un substrat à deux épitaxies que nous envisageons de réaliser ultérieurement.

Tout d'abord, la conception des niveaux de masques est développée. Deux architectures de disposition des doigts d'émetteur et de gâchette ainsi que deux manières de liaison pour l'électrode d'émetteur sont proposées.

Ensuite, nous avons présenté la filière technologique, basée sur la filière « de puissance » développée dans la plateforme de micro et nanotechnologies du LAAS. Des simulations process complétées par des tests SRP et des analyses SIMS effectuées sur des plaquettes test ont abouti au choix des paramètres d'implantation et de redistribution adaptés à la réalisation du BipAC sur substrat N et sur substrat P.

Nous avons alors détaillé le processus technologique de fabrication du BipAC pour les deux types de substrat N et P. Deux épaisseurs différentes pour chaque type de substrat ont été utilisées. L'étape de création des murs traversants P^+ n'est pas réalisée dans ce premier prototype du composant. Notons toutefois que cette étape serait effectuée juste avant l'étape « Terminaison de jonction JTE P^- ». Le développement technologique du mur traversant a fait l'objet d'une étude séparée et a été présentée succinctement.

À l'issue de ces réalisations, nous avons présenté les principaux résultats de caractérisation effectués sur ces dispositifs. Nous avons vérifié la fonctionnalité du BipAC PNP et NPN, validant ainsi la bidirectionnalité en courant, la tenue en tension dans un quadrant (1^{er} quadrant pour le PNP et 3^{ème} quadrant pour le NPN). Les résultats de caractérisations de structures BipAC NPN et PNP de même épaisseur (300 μ m) a montré que le BipAC NPN présente un meilleur gain.

Enfin, nous avons effectué des simulations 2D de type process couplées à des simulations 2D électriques afin de montrer la compatibilité technologique de la structure BipAC améliorée avec la réalisation de la structure BipAC initiale et de comparer les potentialités des deux versions (avec et sans couche enterrée).

À court terme, nous pouvons envisager la validation par des réalisations expérimentales de l'apport de la couche enterrée dans l'amélioration du gain dans des structures BipAC unidirectionnelles en tension. Le substrat de départ est ainsi formé par des épitaxies successives. Des contacts sont en cours avec un fournisseur de substrats silicium afin de nous procurer le substrat P^- intégrant la couche enterrée P. Parallèlement, il convient de poursuivre les simulations 2D couplées (process – électriques) afin d'améliorer encore le compromis tenue en tension - gain du dispositif. À plus long terme, nous pouvons prévoir la réalisation de la structure complète, avec couche enterrée et symétrique en tension.

Bibliographie

-
- [1] http://www.nxp.com/documents/application_note/AN10803.pdf
- [2] http://www.littelfuse.com/~media/electronics/application_notes/switching_thyristors/littelfuse_thyristor_controlling_led_lighting_using_triacs_and_quadacs_application_note.pdf.pdf
- [3] B.J. Baliga, "Power Semiconductor Devices", PWS Publications, 1995.
- [4] L. Théolier, C. Benboujema, A. Schellmanns, N. Batut, Y. Raingeaud, J.-B. Quoirin, "BJT application expansion by insertion of superjunction", 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2010, Jun 2010, Hiroshima, Japan. pp.157 - 160, 2010.
- [5] Moll et al. PNP transistor switches, Proc IRE, vol 44, sep 1956, pp 1174-1182.
- [6] Bisson, D.K, and R. F. Dyer, a silicon controlled rectifier- I, characteristics and ratings, Trans AIEE (communication and electronics), vol 78, May 1959, pp 102- 106.
- [7] F.E. Gentry, R.I Scace, and J.K. Flowers: "Bidirectional Triode P-N-P-N Switches", Proc. Of the IEEE, pp.355-369, 1964.
- [8] R. Perret, "Interrupteurs électroniques de puissance", 2003.
- [9] L.V. Phung et al. "Modeling of a new SOI bibirectinal bipolar junction transistor for low-loss household appliances", IEEE transactions on electron devices, Vol.58, No.4, April 2011.
- [10] J.-B. Quoirin et al, "Interrupteur de puissance bidirectionnel commandable à la fermeture et à l'ouverture", U.S. Patent 09/58310, 2009.
- [11] A.W. Ludikhuizen, A review of RESURF technology, Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on, 2000, p.11–18.
- [12] H. Kondo, Y. Yukimoto, A new bipolar transistor-GAT, Electron Devices, IEEE Transactions on, vol. 27, 1980, p.373–379.
- [13] L.V. Phung, "Etude de structures d'interrupteurs intégrables bidirectionnels en tension et en courant: le transistor bipolaire symétrique". Thèse de doctorat de l'Université François-Rabelais de Tours soutenue le 22 octobre 2010.
- [14] F. Ihuel, "Etude et réalisation d'un interrupteur de puissance monolithique bidirectionnel sur substrat SOI". Thèse de doctorat de l'Université François-Rabelais de Tours soutenue le 19 juin 2012.
- [15] Mohamed N. Darwish, M. Ayman Shibib, "Lateral MOS-Gated Power Devices – A unified view", IEEE transactions on Electron Devices, Vol. 38, NO. 7, July 1991.
- [16] J.D. Plummer, B.W. Scharf, "Insulated gate planar thyristors: I- Structure and Basic Operation", IEEE Transactions on Electron Devices, Vol.ED-27, NO.2, February 1980.
- [17] M. Mehrotra, B.J. Baliga, "Reverse blocking lateral MOS-gated switches for AC power control applications", Solid-State Electronics, Vol. 42, No. 4, pp. 573-579, 1998.
- [18] M. Mehrotra and B.J. Baliga, "A Planar MOS-Gated AC Switch Structure", IEEE IEDM 1995, pp. 349-352.
- [19] J.S. Ajit, R. Dutta and D. Kinzer; Insulated Gate Triac: Device peration and Applications. Power Electronics Specialists Conference, 1998. PESC 98 , Volume: 2, 1998 , Page(s): 1180 - 1185.
- [20] Yuming Bai , Alex Q. Huang; Comprehensive investigations of high voltage non-punchthrough double gate injection enhanced gate transistor. Solid-Slate Electronics, Vol.44. Page(S): 1783-1787. 2000.
- [21] H. Tahir, "Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension". Thèse de doctorat de l'Université de Paul Sabatier Toulouse III soutenue le 12 juillet 2011.

- [22] A. Bourennane, « Etude et conception de structures bidirectionnelles en courant et en tension commandées par MOS ». Thèse de doctorat de l'Université Paul Sabatier Toulouse III soutenue le 07 juillet 2004.
- [23] A. El Khadiry, « Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts ». Thèse de doctorat de l'Université Paul Sabatier Toulouse III soutenue le 07 février 2014.
- [24] "Sentaurus Structure Editor User Guide", Synopsis, version I-2013.12, December 2013.
- [25] "Sentaurus Device User Guide", Synopsis, version I-2013.12, December 2013.
- [26] "Tecplot SV User Guide", Synopsis, version Z-2013.12, December 2013.
- [27] "Inspect User Guide", Synopsis, version Z-2013.12, December 2013.
- [28] O. Causse, P. Austin, J-L. Sanchez, G. Bonnet, E. Scheid, "Achievement of a new peripheral planar structure supporting a symmetrical blocking voltage", 9th European Conference on Power Electronics and Applications, 27 to 29 august 2001, Graz, Austria.
- [29] M. Mehrotra, B. J. Baliga, "A planar MOS – Gated AC Switch Structure", IEEE IEDM, pp. 349 – 350, 1995.
- [30] H. Ruthing, F. Hille, F.-J. Niedernostheide, H.-J. Schulze, et B. Brunner, « 600 V Reverse Conducting (RC-)IGBT for Drives Applications in Ultra-Thin Wafer Technology », in 19th International Symposium on Power Semiconductor Devices and IC's, 2007. ISPSD '07, 2007, p. 89 - 92.
- [31] H. Takahashi, A. Yamamoto, S. Aono, et T. Minato, «1200V reverse conducting IGBT », in The 16th International Symposium on Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04, 2004, p. 133 - 136
- [32] A. El Khadiry, F. Richardeau, A. Bourennane, D. Zhifeng and M. Breil, « Multi- switch Si-chip structures and on-substrate packaging techniques for improving the electrical performance of power modules », in 2013 15th European Conference on Power Electronics and Applications (EPE), Lille 2013, p. 1-7.
- [33] H. Rizk, H. Tahir, A. Bourennane, J-P. Laur, M. Breil, B. Morillon, S. Menard, E. Collard, "A vertical bidirectional bipolar power switch (BipAC) for AC mains applications", European Conference on Power Electronics and Applications EPE'14, Lappeenranta, Finlande, 2014.
- [34] B.J. Baliga, Power Semiconductor Devices, PWS Publications, 1996.
- [35] P. Leturq, "Tenue en tension des semi-conducteurs de puissance", in Techniques de l'ingénieur.
- [36] Stéphane Lefebvre, Francis Miserey, « composants à semi-conducteur pour l'électronique de puissance », 2004.
- [37] J. Arnould, P. Merle, « Dispositifs de l'électronique de puissance », volume 2.
- [38] J-L. Sanchez, E. Scheid, P. Austin, M. Breil, H. Carriere, P. Dubreuil, E. Imbernon, F. Rossel, B. Rousset, "Realization of vertical P/sup+/walls through-wafer for bi-directional current and voltage power integrated devices", in Power Semiconductor Devices and IC's, 2003. Proceedings. ISPSD'03. 2003 IEEE 15th International Symposium on, 2003, pp. 195-198.
- [39] E. Imbernon, « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle ». Thèse de doctorat de l'Université Paul Sabatier Toulouse III soutenue le 20 septembre 2002.
- [40] B.J. Baliga, "Power Semiconductor Devices", PWS Publications, chapter 5, 1995.
- [41] B.J. Baliga, "Power Semiconductor Devices", PWS Publications, chapter 2, 1995.