



HAL
open science

Méthodologie de CAO innovante pour la conception de MMICs prenant en compte les pertes des éléments réactifs des technologies intégrées

Sylvain Lanzeray

► **To cite this version:**

Sylvain Lanzeray. Méthodologie de CAO innovante pour la conception de MMICs prenant en compte les pertes des éléments réactifs des technologies intégrées. Electronique. Université de Limoges, 2018. Français. NNT : 2018LIMO0097 . tel-02010016

HAL Id: tel-02010016

<https://theses.hal.science/tel-02010016>

Submitted on 6 Feb 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Limoges - Faculté des Sciences et Techniques
École Doctorale n° 610 : Sciences et Ingénierie des Systèmes,
Mathématiques, Informatique - SISMI
XLIM - CCSNL, UMR CNRS 7252

THESE

Pour obtenir le grade de

Docteur de l'Université de Limoges

Spécialité : "Électronique des Hautes Fréquences, Photonique et
Systèmes"

Présentée et soutenue publiquement par

Sylvain LANZERAY

le 21 Décembre 2018

**Méthodologie de CAO innovante pour la
conception de MMICs prenant en compte les
pertes des éléments réactifs des technologies
intégrées**

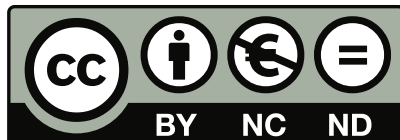
Directeurs de thèse : **Bernard JARRY, Julien LINTIGNAT**

Jury :

Michel CAMPOVECCHIO,	Professeur, Université de Limoges XLIM	Président
Farid TEMCAMANI,	Professeur ENSEA ETIS CERGY-PONTOISE	Rapporteur
Éric TOURNIER,	Maître de Conférences HDR Univ. Paul Sabatier LAAS TOULOUSE	Rapporteur
Vincent ARMENGAUD,	Ingénieur, CNES Toulouse	Examineur
Sébastien DELCOURT,	Ingénieur, Thales Alenia Space TOULOUSE	Examineur
Stéphane BILA,	Directeur de Recherche, CNRS XLIM	Examineur
Julien LINTIGNAT,	Maître de conférences, Université de Limoges	Examineur
Bernard JARRY,	Professeur, Université de Limoges XLIM	Examineur
Juvelino DA SILVA,	Président de la société BOWEN MASSY	Invité



Droits d'auteurs / Copyright



Cette création est mise à disposition selon le Contrat : « Paternité - Pas d'Utilisation Commerciale - Pas de modification 3.0 France » disponible en ligne à l'adresse suivante : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>.

This work is licensed under the Creative Commons Attribution - Pas d'Utilisation Commerciale - Pas de Modification 3.0 France License. To view a copy of this license, visit <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/> or send a letter to Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

« Il faut toujours viser la lune, car même en cas d'échec, on atterrit dans les étoiles »

Oscar Wilde

À ma compagne Carole et à ma fille Ana,

Remerciements

Avant tout, je voudrais remercier messieurs Dominique BAILLARGEAT et Bernard JARRY de m'avoir accepté pour ces trois années de thèse dans l'équipe CCSNL du laboratoire XLIM à Limoges. Un grand merci aussi à Raymond QUERE pour avoir présidé la chaire industrielle DEFIS-RF, pour laquelle j'ai apporté ma contribution avec ces travaux. Cette thèse fut une expérience très enrichissante tant sur le plan professionnel que personnel.

Des remerciements tout particuliers aux rapporteurs (messieurs Farid TEMCAMANI et Éric TOURNIER), qui ont pris le temps de lire ma thèse et de faire des remarques constructives, ainsi qu'à Michel CAMPOVECCHIO d'avoir accepté d'être le président du jury.

Pour mes encadrants de thèse au laboratoire (messieurs Bernard JARRY, Julien LINTIGNAT et Stéphane BILA), j'exprime ma reconnaissance. Merci à Bernard pour ses précieux conseils, à Julien pour sa disponibilité et à Stéphane pour son apport technique sur les synthèses de filtres.

Pour mes encadrants de thèse à Thales Alenia Space (messieurs Dominique LANGREZ, Sébastien DELCOURT et David LOPEZ), j'exprime également ma reconnaissance. Merci pour tous les apports techniques, les remarques pertinentes et votre bienveillance.

Pour mes encadrants de thèse au CNES (messieurs Luc LAPIERRE et Vincent ARMENGAUD), j'exprime également ma reconnaissance. Merci pour votre partage d'expérience, les remarques pertinentes et votre bienveillance. Merci de votre accueil lors de ma venue dans vos locaux.

J'exprime toute ma gratitude à monsieur Juvelino DA SILVA de m'avoir fait confiance après ma thèse et de m'avoir embauché au sein de son entreprise. Grâce à sa société et à ses activités, je continue à acquérir de l'expérience dans les radiofréquences, les hyperfréquences ainsi que dans d'autres domaines techniques et en milieu industriel.

Merci à la société UMS (United Monolithic Semiconductors) pour la fabrication du circuit intégré MMIC.

Enfin, je remercie les autres membres du personnel au laboratoire : Marie-Claude LEROUGE, Tibault REVEYRAND, Damien PASSERIEUX et Clément HALLEPEE. Marie-Claude pour tout son travail administratif, Tibault pour toute son aide et sa bonne

humeur (c'est ce qu'elles disent toutes!), Damien et Clément pour le montage du banc de test, les mesures et tout leur soutien.

Je voudrais remercier mes collègues de bureau qui se sont succédé pendant ces trois ans, car la thèse c'est aussi des rencontres et de l'épanouissement personnel : Yves GERMAIN, Juan Antonio Becerra González, Seifeddine FAKHFAKH, Wafa KHELIFI, Alexis COURTY, Abhijeet DASGUPTA et Anthony DISSERAND (qui était de temps en temps dans le bureau, souvent au Load Pull et quelquefois à Brive), et toutes les personnes que j'ai pu côtoyer dans le laboratoire.

Je voudrais terminer par les personnes qui sont les plus importantes dans ma vie : ma compagne Carole et ma fille Ana. La première est toujours présente dans les bons moments et les moments de doute. La deuxième est arrivée au monde très récemment et j'en suis très fier. Je n'oublie pas mes parents, ma famille, ma belle-famille, mes amis et en général toutes les personnes qui m'ont soutenu et accompagné durant toutes ces années.

Table des matières

Liste des figures	xii
Liste des tableaux	xvii
Introduction générale	1
Chapitre I Conception classique de circuits faible bruit MMIC : application à l'amplificateur faible bruit	3
1 Introduction	4
2 Généralités : critères de conception d'un amplificateur faible bruit	7
2.1 Le Gain	7
2.2 Le Facteur de Bruit	8
2.3 La stabilité électrique	10
2.4 Linéarité	12
2.5 Autres critères	16
3 Choix de la technologie	19
4 Choix des transistors	22
5 Dimensionnement des réseaux de contre-réaction	24
6 Dimensionnement des réseaux d'adaptation	25
6.1 Une synthèse à base d'éléments idéaux : la méthode des "fréquences réelles simplifiée"	25
6.2 Techniques de conception des réseaux d'adaptation pour un amplificateur faible bruit	31
7 Optimisation globale et sensibilité de l'amplificateur	32
8 Dessin de la puce	35
9 Conclusion	36
Chapitre II Nouvelle méthode de synthèse et de conception pour les amplificateurs faible bruit filtrants MMIC	37
1 Introduction : Challenges à relever pour la conception de circuits faible bruit MMIC	38
1.1 Prendre en compte les modèles à pertes des composants réactifs	38
1.1.1 Limites des modèles idéaux pour les composants passifs MMIC	39
1.1.2 Modélisation des pertes dans les composants passifs MMIC	41
1.2 Combiner plusieurs fonctions sur le même substrat : la co-conception	45
2 Une synthèse à base d'éléments non-idéaux : les filtres à pertes	47
3 Nouvelle méthode de synthèse et de conception	52

3.1	Conception des accès de polarisation de grille et de drain	54
3.2	Transistors et circuits de contre-réaction optimaux	56
3.3	Réseau d'adaptation en entrée et méthode de synthèse permettant de combiner l'adaptation et le filtrage	57
3.3.1	Conception du réseau d'adaptation en entrée	60
3.3.2	Nouvelle méthode de synthèse pour la conception des ré- seaux d'adaptation filtrants	62
4	Optimisation des performances et de la surface de la puce	68
5	Conclusion	70
Chapitre III Application de la méthode de synthèse et de conception à l'amplificateur faible bruit filtrant MMIC		71
1	Introduction	72
2	Conception de l'amplificateur faible bruit filtrant en bande Ku : utilisation de la méthodologie	73
2.1	Conception des étages	73
2.2	Ajout du réseau d'entrée et des réseaux d'adaptation filtrants . . .	80
2.3	Optimisation des performances	86
3	Résultats de simulation issus de l'optimisation de la surface de puce	92
4	Mesure de l'amplificateur faible bruit filtrant en bande Ku	98
4.1	Description du banc de test	98
4.2	Résultats issus des mesures : tensions d'alimentation et courants de drain nominaux	100
4.3	Résultats issus des mesures : recherche du facteur de bruit optimal .	104
5	Conclusion	108
Conclusion générale		110
Chapitre A Perspective : Application de la méthode de synthèse et de conception au mélangeur		115
1	Introduction	116
2	Fonctionnement du mélangeur	117
3	Bref état de l'art sur les topologies de mélangeur	120
4	Nouvelle méthode de synthèse et de conception appliquée au mélangeur résistif MMIC	124
4.1	Choix du transistor	126
4.2	Choix des réseaux d'adaptation (port OL et en sortie du transistor)	127
4.3	Méthode de synthèse pour le triplexeur de sortie	130
4.4	Optimisation des performances globales	132
5	Résultats préliminaires issus de la méthodologie	133
6	Conclusion	140
Chapitre B Annexe : Conception d'un Amplificateur faible bruit filtrant en bande Ka		145
1	Autre illustration de la méthode de synthèse et de conception : conception d'un amplificateur faible bruit filtrant en bande Ka, technologie UMS PH10 (AsGa)	146
1.1	Résultats de simulation issus de la méthodologie	146

1.1.1	Conception des étages	146
1.1.2	Ajout du réseau d'adaptation d'entrée et des réseaux d'adaptation filtrants	153
1.1.3	Optimisation des performances	157
1.2	Résultats de simulation issus de l'optimisation de la surface de puce	161
2	Conclusion	165
Bibliographie		167

Table des figures

I.1	Liste des applications pour les communications satellitaires [1]	4
I.2	Bandes de fréquences utilisées dans les télécommunications spatiales [2]	5
I.3	Chaîne d'émission-réception RF simplifiée [3]	6
I.4	Équivalence entre une résistance bruitée et idéale	8
I.5	Équivalence entre une jonction idéale et bruitée	9
I.6	Schéma de fonctionnement simplifié de l'amplificateur faible bruit . . .	9
I.7	Schéma d'un amplificateur faible bruit cascadié classique	10
I.8	Mise en évidence de la distorsion d'amplitude	12
I.9	Mise en évidence de la distorsion de fréquence	13
I.10	Mise en évidence de la distorsion de phase ou de temps de propagation	13
I.11	Mise en évidence de la distorsion d'intermodulation d'ordre 3	13
I.12	Mise en évidence de la compression du signal de sortie et définition du point de compression à 1 dB [4]	14
I.13	Mise en évidence de l'ACPR [5]	15
I.14	Mise en évidence du NPR [5]	15
I.15	Mise en évidence de l'EVM [5]	16
I.16	Spécifications à respecter pour la conception d'un amplificateur faible bruit	17
I.17	Flot de conception classique d'un circuit en technologie MMIC [6] . . .	18
I.18	Tracé des coefficients de réflexion optimaux et des cercles en bruit et en gain constants [7]	23
I.19	Exemple de topologies de contre-réaction pour un transistor en source commune	24
I.20	Calcul de la conductance d'un égaliseur et du gain transducique d'un transistor FET, utilisant la méthode des "fréquences réelles" [8]	25
I.21	Étapes de conception des égaliseurs d'un amplificateur large bande utilisant la méthode des "fréquences réelles simplifiée" [9]	28
I.22	Exemple d'un amplificateur faible bruit large bande à trois étages utilisant la méthode des "fréquences réelles" simplifiée [9]	29
I.23	Étapes de conception des circuits d'adaptation pour un amplificateur à plusieurs étages	32
I.24	Sensibilité des paramètres S (après 100 itérations) d'un amplificateur faible bruit équilibré en bande X utilisant la technologie GMIC [10]	33
I.25	Exemple d'un dessin de puce d'un amplificateur faible bruit fonctionnant en bande K [11]	35

II.1	Comparaison des réponses fréquentielles en module (à gauche) et en phase (à droite) de l'impédance d'entrée de l'inductance, de la capacité et de la résistance idéales et des modèles UMS AsGa PH15 et PH25, chargées par une impédance de 50Ω	40
II.2	Principaux modèles utilisés pour l'inductance planaire	41
II.3	Variation de la valeur d'une inductance spirale en fonction de la fréquence [12]	42
II.4	Principaux modèles utilisés pour la capacité MIM	43
II.5	Principaux modèles utilisés pour la résistance MMIC	44
II.6	Comparaison des performances de l'amplificateur faible bruit et du filtre passe-bande conçus séparément (a) et conçus conjointement (b) [13]	45
II.7	Filtre à pertes avec facteur d'atténuation	47
II.8	Filtre à pertes avec un couplage résonant (a) et avec un couplage non-résonant (b)	48
II.9	Synthèse de la matrice de couplage d'un filtre d'ordre 7 [14]	49
II.10	Comparaison fréquentielle des réponses en transmission et en réflexion d'un filtre en fonction de son facteur de qualité avec une synthèse sans pertes (gauche) et une synthèse à pertes (droite) [15]	50
II.11	Schéma simplifié des amplificateurs faible bruit filtrants conçus	52
II.12	Organigramme de la méthode de synthèse et de conception. Circuits réalisés sous Scilab (bleu), sous ADS (vert) et sous Maple (violet)	53
II.13	Étapes de conception des accès de polarisation de grille et de drain	54
II.14	Simulation du module de l'impédance d'entrée pour les différentes étapes de conception des accès de polarisation de grille et de drain pour un fonctionnement en bande Ku (12.75 GHz-14.8 GHz)	55
II.15	Flot de conception d'un étage de l'amplificateur (transistor+polarisation+contre-réactions) réalisé en langage AEL sous ADS	57
II.16	Étapes de conception successives des réseaux d'adaptation pour l'amplificateur faible bruit à trois étages	58
II.17	Flot de conception du réseau d'adaptation en entrée de l'amplificateur sous Scilab	59
II.18	Circuits d'adaptation disponibles pour l'adaptation en entrée en éléments localisés sous Scilab, incluant jonctions en T et lignes de connexion	61
II.19	Circuits d'adaptation disponibles pour l'adaptation en entrée en éléments localisés et distribués sous Scilab, incluant jonctions en T et lignes de connexion	62
II.20	Organigramme de l'adaptation filtrante réalisée sous Maple	63
II.21	Filtres disponibles sous Maple Première ligne : passe-bas et passe-haut d'ordre 3 et passe-bande d'ordre 2 en composants localisés Deuxième ligne : passe-bas et passe-haut d'ordre 3 et passe-bande d'ordre 2 en composants localisés et distribués	64
II.22	Tracé des gabarits de filtres à obtenir avec la méthode de synthèse d'adaptation filtrante De gauche à droite : passe-bas, passe-haut et passe-bande	64
II.23	Méthode de calcul pour l'adaptation filtrante sous Maple : exemple du filtre passe-bas d'ordre 3	65
II.24	Composants optimisables dans l'amplificateur faible bruit filtrant après utilisation de la méthode	68

II.25	Organigramme expliquant l'optimisation de la surface de puce consommée	69
III.1	Circuit constituant le premier étage du LNA filtrant en bande Ku . . .	73
III.2	Résultats de la simulation électrique, issus de la méthodologie, pour le premier étage du LNA filtrant en bande Ku	75
III.3	Circuit constituant le deuxième étage du LNA filtrant en bande Ku . .	76
III.4	Résultats de la simulation électrique, issus de la méthodologie, pour le deuxième étage du LNA filtrant en bande Ku	77
III.5	Circuit constituant le troisième étage du LNA filtrant en bande Ku . .	78
III.6	Résultats de la simulation électrique, issus de la méthodologie, pour le troisième étage du LNA filtrant en bande Ku	79
III.7	Réseaux d'adaptation utilisés pour la conception du LNA en bande Ku : entrée (1), inter-étages 1 (2), inter-étages 2 (3) et sortie (4)	80
III.8	Performances en paramètres S des réseaux d'adaptation filtrants pour le LNA en bande Ku	81
III.9	Dessin de la puce, issu de la méthodologie de conception, pour le LNA filtrant en bande Ku, avec respect des règles de conception (DRC) . .	82
III.10	Résultats de la simulation électrique, issus de la méthodologie, de conception pour le LNA filtrant complet en bande Ku	83
III.11	Étude de la stabilité (simulation électrique), issue de la méthodologie de conception, pour chacun des étages constituant le LNA filtrant en bande Ku	85
III.12	Étude de la stabilité, après optimisation, pour chacun des étages constituant le LNA filtrant en bande Ku	87
III.13	Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation, pour chacun des étages constituant le LNA filtrant en bande Ku (fréquence comprise entre 0.5 GHz et 50 GHz)	88
III.14	Résultats de la simulation électrique et électromagnétique, après optimisation, pour le LNA filtrant complet en bande Ku	89
III.15	Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ku	90
III.16	Dessin de la puce, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ku	92
III.17	Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation de la surface de puce consommée, pour chacun des étages constituant le LNA filtrant en bande Ku (fréquence comprise entre 0.5 GHz et 50 GHz)	94
III.18	Résultats des simulations électrique et électromagnétique, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ku	95
III.19	Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ku	96
III.20	Photo du banc de test	98

III.21	Photo des pointes posées sur la puce	99
III.22	Photo de la puce du LNA filtrant en bande Ku	99
III.23	Comparaison des paramètres S et de bruit entre la mesure et la simulation électromagnétique, tensions d'alimentation et courants de drain nominaux	101
III.24	Mesure de sensibilité sur trois échantillons, tensions d'alimentation et courants de drain nominaux	102
III.25	Comparaison des paramètres S et de bruit entre la mesure et la simulation électromagnétique, recherche du facteur de bruit optimal	105
A.1	Fonctionnement du mélangeur idéal	117
A.2	Fonctionnement du mélangeur réel	118
A.3	Mélangeur passif comportant une diode [16]	120
A.4	Polarisation de différentes configurations pour le mélangeur actif comportant un transistor [17] 1 : mélangeur de grille 2 : mélangeur de drain 3 : mélangeur de source 4 : mélangeur résistif	121
A.5	De haut en bas : schéma du mélangeur de grille, de drain, de source et résistif [17]	123
A.6	Organigramme pour la conception du mélangeur résistif	124
A.7	Circuit permettant de choisir le transistor optimal pour le mélangeur résistif	126
A.8	Schéma du mélangeur résistif, incluant les réseaux d'adaptation en entrée et en sortie du transistor	127
A.9	Positionnement et schéma de principe du triplexeur de sortie dans le mélangeur résistif	129
A.10	Résultats de simulation d'un triplexeur en éléments idéaux (numéros des accès identiques à la Figure A.9)	131
A.11	Topologie optimale pour l'adaptation du port OL	133
A.12	Topologie optimale pour l'adaptation en sortie du transistor	133
A.13	Schéma du triplexeur final	134
A.14	Dessin de la puce, issu de la méthodologie, pour le mélangeur résistif MMIC	135
A.15	Impédances vues depuis le port OL (bleu), depuis le port RF (rouge) et depuis le port FI (noir), à partir de la simulation électrique (points) et de la simulation électromagnétique (carrés) pour le mélangeur complet	136
A.16	Résultats de simulation électrique et électromagnétique de l'amplitude de la puissance de sortie du mélangeur complet (port FI)	138
A.17	Résultats de simulation électrique du facteur de bruit au niveau du port FI du mélangeur complet	139
A.18	Résultats de simulation électromagnétique du facteur de bruit au niveau du port FI du mélangeur complet	139
B.1	Circuit constituant le premier étage du LNA filtrant en bande Ka	147
B.2	Résultats de la simulation électrique, issus de la méthodologie, pour le premier étage du LNA filtrant en bande Ka	148
B.3	Circuit constituant le deuxième étage du LNA filtrant en bande Ka	149

B.4	Résultats de la simulation électrique, issus de la méthodologie, pour le deuxième étage du LNA filtrant en bande Ka	150
B.5	Circuit constituant le troisième étage du LNA filtrant en bande Ka	151
B.6	Résultats de la simulation électrique, issus de la méthodologie, pour le troisième étage du LNA filtrant en bande Ka	152
B.7	Réseaux d'adaptation utilisés pour la conception du LNA en bande Ka : entrée (1), inter-étages 1 (2), inter-étages 2 (3) et sortie (4)	153
B.8	Performances en paramètres S des réseaux d'adaptation filtrants pour le LNA en bande Ka	154
B.9	Dessin de la puce, issu de la méthodologie, pour le LNA filtrant en bande Ka, avec respect des règles de conception (DRC)	155
B.10	Résultats de la simulation électrique, issus de la méthodologie, pour le LNA filtrant complet en bande Ka	156
B.11	Résultats de la simulation électrique et électromagnétique, après optimisation, pour le LNA filtrant complet en bande Ka	158
B.12	Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation, pour chacun des étages constituant le LNA filtrant en bande Ka (fréquence comprise entre 0.5 GHz et 60 GHz)	159
B.13	Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ka	160
B.14	Dessin de la puce, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ka	161
B.15	Résultats des simulations électrique et électromagnétique, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ka	162
B.16	Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation de la surface de puce consommée, pour chacun des étages constituant le LNA filtrant en bande Ka (fréquence comprise entre 0.5 GHz et 60 GHz)	163
B.17	Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ka	164

Liste des tableaux

I.1	Étude de la stabilité d'un transistor en fonction des valeurs de K et D [18]	11
I.2	État de l'art sur les amplificateurs faible bruit MMIC en bande Ku . .	20
I.3	Comparatif des filières AsGa disponibles chez UMS [19]	21
I.4	Comparaison des performances pour les montages classiques des transistors dans un amplificateur faible bruit [20]	22
I.5	Résumé des performances des techniques de conception pour l'amplificateur faible bruit [21]	31
II.1	Avantages et inconvénients de la diminution du facteur de qualité d'un filtre dans une synthèses sans pertes et à pertes	50
III.1	Spécifications données par Thales Alenia Space et le CNES pour la conception des amplificateurs faible bruit MMIC en bande Ku et Ka	72
III.2	Polarisation et taille des transistors du LNA filtrant en bande Ku . . .	73
III.3	Simulation électromagnétique de la puissance d'entrée et de sortie du LNA filtrant en bande Ku au point de compression (P1dB), issue de la méthodologie de synthèse et de conception et après optimisation	90
III.4	Comparaison entre les performances du LNA filtrant en bande Ku et les spécifications, issue de la méthodologie de synthèse et de conception et après optimisation	91
III.5	Simulation de la puissance d'entrée et de sortie du LNA filtrant en bande Ku au point de compression (P1dB)	96
III.6	Comparaison entre les performances du LNA filtrant en bande Ku et les spécifications, après optimisation de la surface de puce consommée . .	97
III.7	Comparaison de la polarisation des étages du LNA filtrant en bande Ku entre la mesure et la simulation, tensions d'alimentation et courants de drain nominaux	100
III.8	Mesure de la puissance d'entrée et de sortie du LNA filtrant en bande Ku au point de compression (P1dB) sur trois échantillons, gain mesuré à Pentrée=-30 dBm, tensions d'alimentation et courants de drain nominaux	103
III.9	Comparaison de la polarisation des étages du LNA filtrant en bande Ku entre la mesure et la simulation, recherche du facteur de bruit optimal	104
III.10	Comparaison entre la mesure et les spécifications pour l'amplificateur faible bruit filtrant en bande Ku, tensions d'alimentation et courants de drain nominaux	107

III.11	Comparaison entre les performances en simulation électromagnétique des amplificateurs faible bruit filtrants en bande Ku et Ka et les spécifications, issues de la méthodologie de conception et après optimisation	108
A.1	Spécifications pour la conception du mélangeur résistif	125
A.2	Résultats de simulation électrique et électromagnétique des pertes de conversion du mélangeur complet en fonction des fréquences RF et OL	136
A.3	Résultats de simulation électrique et électromagnétique du niveau d'adaptation des ports OL et RF du mélangeur complet en fonction de la fréquence OL	137
A.4	Résultats de simulation électrique et électromagnétique du niveau d'adaptation du port FI du mélangeur complet en fonction de la fréquence FI	137
A.5	Résultats de simulation électrique et électromagnétique de l'isolation des ports OL vers RF, OL vers FI et RF vers FI pour le mélangeur complet	138
A.6	Comparaison des performances finales du mélangeur résistif MMIC par rapport aux spécifications initiales	141
B.1	Polarisation et taille des transistors du LNA filtrant en bande Ka	147
B.2	Comparaison entre les performances du LNA filtrant en bande Ka et les spécifications, issue de la méthodologie et après optimisation	160
B.3	Comparaison entre les performances, en simulation électromagnétique, du LNA filtrant en bande Ka et les spécifications, avant (EM1) et après (EM2) optimisation de la surface de puce consommée	165
B.4	État de l'art sur les amplificateurs faible bruit MMIC en bande Ka	166

Introduction générale

Aujourd'hui, l'industrie spatiale est confrontée à l'émergence de nouvelles bandes de fréquences, à cause de l'augmentation du nombre de personnes utilisant des objets communicants et de l'augmentation du débit de données. Ces nouvelles fréquences sont bien supérieures à celles utilisées jusqu'à présent. La conséquence principale est qu'une optimisation des systèmes et des circuits actuels n'est pas forcément suffisante.

Fruit d'une collaboration de plus de vingt ans entre le laboratoire XLIM et le groupe THALES, la chaire industrielle DEFIS-RF (DEsign of Future Integrated Smart-RF transceivers) a été créée en 2013 dans le but de développer la recherche et la formation pour la conception de terminaux Radio-Fréquence agiles du futur, plus flexibles, intégrables et efficaces.

Dans le cadre de cette chaire, mes travaux se focalisent sur les méthodes de conception pour les circuits faible bruit intégrés. Des techniques théoriques de synthèses ont été développées dans la littérature et intégrées dans les logiciels de CAO (Conception Assistée par Ordinateur), comme la méthode de synthèse des fréquences réelles. Pour les amplificateurs faible bruit (Low Noise Amplifier ou LNA en anglais), les différentes rétroactions pouvant être exercées sur le transistor ont été évaluées et mises à profit, notamment pour améliorer les performances en bruit ou la stabilité des amplificateurs conçus. De même de nombreux travaux ont été conduits, et sont toujours développés, pour optimiser les circuits étudiés sur la base de fonctions multicritères (gain, bruit, adaptation etc...) avec pour objectif final une intégration dans les logiciels de CAO. L'analyse bibliographique et le bilan de l'état de l'art montrent qu'en dépit de la somme des travaux publiés, ce sujet scientifique reste un thème de recherche majeur pour les raisons suivantes :

- ☞ les technologies intégrées actuelles et futures (AsGa, CMOS, GaN etc...), de réalisation des fonctions hautes fréquences analogiques ne comportent pas d'éléments passifs à faibles pertes. Or les méthodes utilisées actuellement, notamment dans les logiciels de CAO, sont des méthodes de synthèse sans pertes ;

- ☞ de nouvelles applications et de nouvelles fonctionnalités sont visées, parmi lesquelles des amplificateurs faible bruit assurant de façon complémentaire une fonction de filtrage, des amplificateurs accordables et des amplificateurs compensés en temps de propagation de groupe ;
- ☞ de nouvelles techniques de synthèses sont développées comme les méthodes d'adaptation active, et surtout les méthodes de synthèse de filtres à pertes.

C'est cette dernière méthode originale qui a été développée dans ce projet de recherche.

Ces travaux de thèse seront décomposés de la manière suivante :

- ① les critères d'optimisation d'un amplificateur faible bruit intégré seront listés et détaillés (gain, bruit, adaptation, stabilité etc. . .). Le flot de conception classique d'un amplificateur faible bruit intégré sera détaillé (choix de la technologie, du transistor optimal, dimensionnement des contre-réactions et des réseaux d'adaptation, dessin de la puce). Une méthode de synthèse commune, la méthode des "fréquences réelles simplifiée" (ou Simplified Real Frequency Technique en anglais) et intégrée dans le logiciel de CAO ADS de chez KEYSIGHT sera également explicitée ;
- ② dans un deuxième temps, les limitations des méthodes classiques de synthèse des réseaux passifs seront démontrées, la méthode de synthèse à pertes appliquée aux filtres sera présentée. On montrera qu'elle n'est pas suffisante du fait de la complexité des modèles des composants à pertes des bibliothèques de fonderie. La nouvelle méthode de synthèse et de conception à pertes sera explicitée pour l'amplificateur faible bruit filtrant. Elle permet d'obtenir des performances proches des spécifications en moins d'une journée ;
- ③ la validation de cette méthode par son application au cas d'un amplificateur faible bruit filtrant en bande Ku. Cet amplificateur a été conçu à partir des spécifications données par THALES ALENIA SPACE et le CNES (Centre National d'Études Spatiales). La technologie qui a été choisie est l'Arséniure de Gallium (AsGa) et particulièrement la filière PH15 (transistor pHEMT avec une longueur de grille de 0.15 μm) provenant du fondeur United Monolithic Semiconductors (UMS). L'amplificateur faible bruit filtrant en bande Ku a été fabriqué et les résultats de mesure sur plusieurs échantillons seront également montrés ;
- ④ Après une conclusion générale sur la méthodologie introduite, un autre exemple avec un amplificateur faible bruit en bande Ka sera présenté, utilisant la filière PH10 (longueur de grille de 0.10 μm). Enfin, une perspective avancée de ces travaux sera montrée : l'application de cette méthode au cas du mélangeur.

Chapitre I

Conception classique de circuits faible bruit MMIC : application à l'amplificateur faible bruit

Sommaire

1	Introduction	4
2	Généralités : critères de conception d'un amplificateur faible bruit . .	7
2.1	Le Gain	7
2.2	Le Facteur de Bruit	8
2.3	La stabilité électrique	10
2.4	Linéarité	12
2.5	Autres critères	16
3	Choix de la technologie	19
4	Choix des transistors	22
5	Dimensionnement des réseaux de contre-réaction	24
6	Dimensionnement des réseaux d'adaptation	25
6.1	Une synthèse à base d'éléments idéaux : la méthode des "fréquences réelles simplifiée"	25
6.2	Techniques de conception des réseaux d'adaptation pour un amplificateur faible bruit	31
7	Optimisation globale et sensibilité de l'amplificateur	32
8	Dessin de la puce	35
9	Conclusion	36

1 Introduction

Le nombre d'utilisateurs, de services et le débit de données dans le domaine des télécommunications ont augmenté d'une façon exponentielle au cours de ces trente dernières années. De nombreuses activités utilisent les communications satellitaires, comme indiqué dans la Figure I.1 : la Défense, la marine, la télédiffusion, la téléphonie, les vols commerciaux, la couverture d'évènements en direct, l'Internet et les services mobiles.

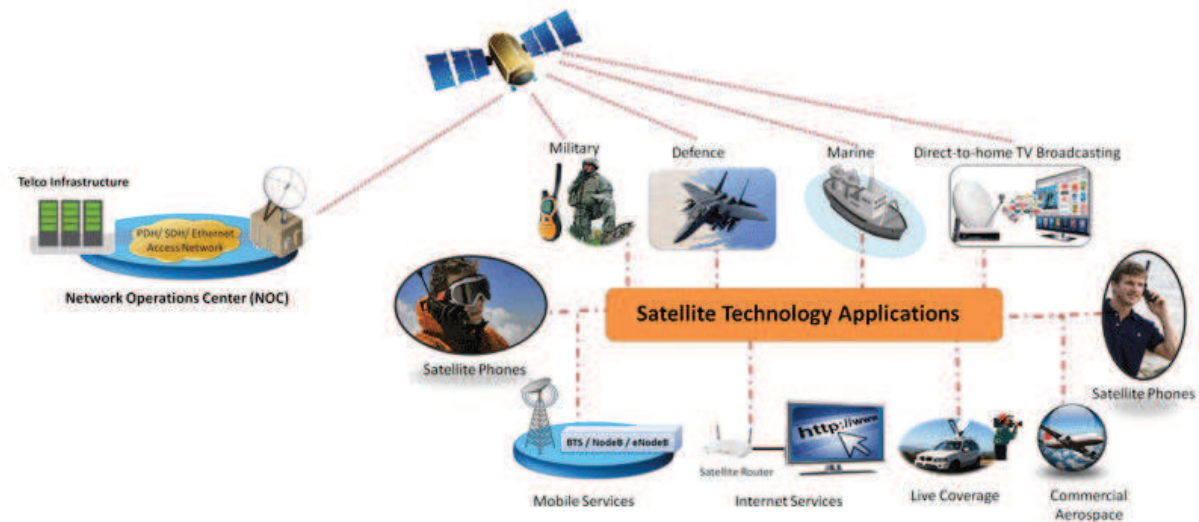


FIGURE I.1: Liste des applications pour les communications satellitaires [1]

La Figure I.2 présente les bandes de fréquences allouées au spatial et comprises entre 1 GHz et 40 GHz (source : European Space Agency (ESA)) :

- ☞ la bande L (de 1 GHz à 2 GHz) est utilisée pour le signal GPS (Global Positioning System) et les téléphones mobiles par satellite ;
- ☞ la bande S (de 2 GHz à 4 GHz) permet l'utilisation des radars météorologiques, la navigation maritime et les communications avec les vaisseaux spatiaux (NASA) ;
- ☞ la bande C (de 4 GHz à 8 GHz) s'adresse aux communications satellitaires et à la télévision par satellite ;
- ☞ la bande X (de 8 GHz à 12 GHz) est dédiée aux applications radar militaires, mais aussi aux prévisions météorologiques, le contrôle du trafic aérien, à la circulation des navires ainsi qu'au contrôle de la vitesse par les forces de l'ordre ;
- ☞ la bande Ku (de 12 GHz à 20 GHz) est utilisée pour les télécommunications par satellite, notamment les services de télédiffusion ;
- ☞ la bande K (de 18 GHz à 26 GHz) est spécifique à la radio amateur ;
- ☞ la bande Ka (de 26 GHz à 40 GHz) s'adresse notamment aux communications satellitaires et aux radars haute résolution pour les avions militaires ;

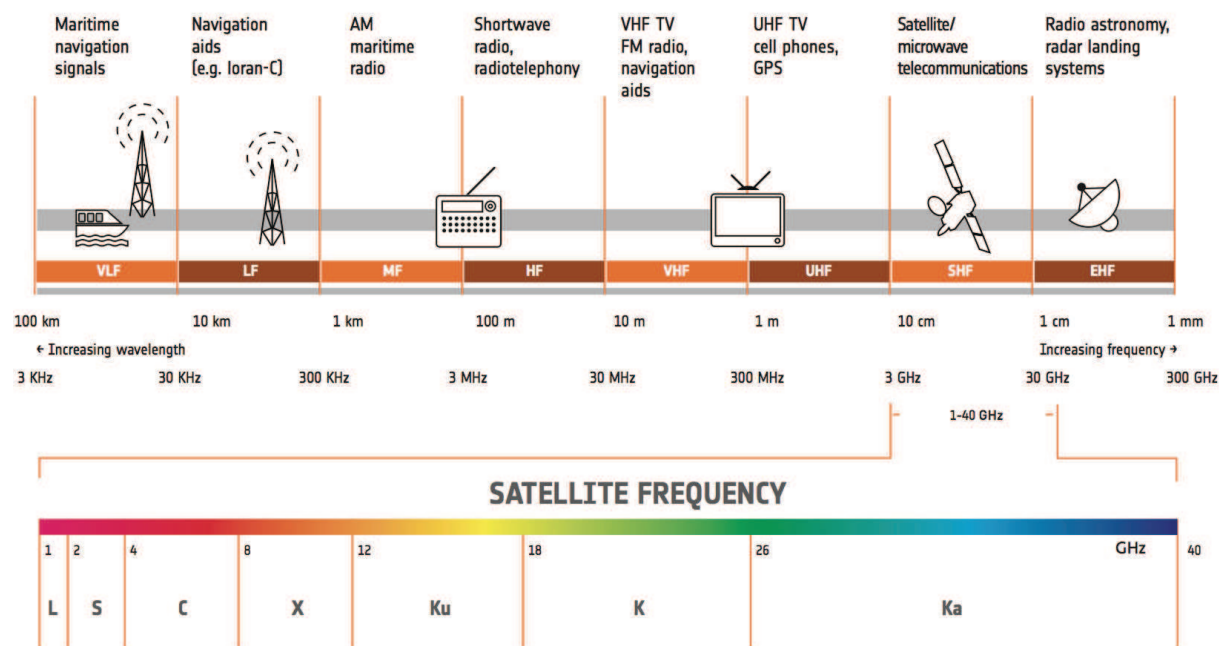


FIGURE I.2: Bandes de fréquences utilisées dans les télécommunications spatiales [2]

Des recherches ont été entamées depuis seulement quelques années pour des bandes de fréquences plus hautes : la bande V (de 40 GHz à 75 GHz) [22], la bande W (de 75 GHz à 110 GHz) [23] et la bande E (entre 71 GHz et 76 GHz, entre 81 GHz et 86 GHz et enfin entre 92 GHz et 95 GHz) [24]. Cette montée en fréquence est nécessaire pour plusieurs raisons :

- ☞ une fréquence plus élevée permet d'avoir une bande passante relative plus grande. En effet, une fréquence opérationnelle à 1 GHz avec une bande passante de 10% correspond à une valeur de 0.1 GHz. Alors qu'une fréquence opérationnelle à 100 GHz avec le même pourcentage de bande passante, correspond à une valeur de 10 GHz ;
- ☞ la bande passante, comme l'a montré le théorème de Shannon (équation (I.1)) est reliée au débit binaire théorique maximum du canal de transmission (C en bits/s) : plus la bande passante W est grande, plus le débit de données est important, avec un rapport signal sur bruit constant ;
- ☞ plus la fréquence est grande, plus la longueur d'onde diminue (voir équation (I.2), c est la vitesse de la lumière dans le vide égale à $3 \cdot 10^8$ m/s) et par conséquent les longueurs des lignes de transmission sont plus petites. Ceci permet d'augmenter la compacité de la charge utile d'un satellite, de réduire son poids et son coût de lancement.

$$C = W \times \log_2 \left(1 + \frac{S}{N} \right) \quad (I.1)$$

$$\lambda = \frac{c}{f} \quad (\text{I.2})$$

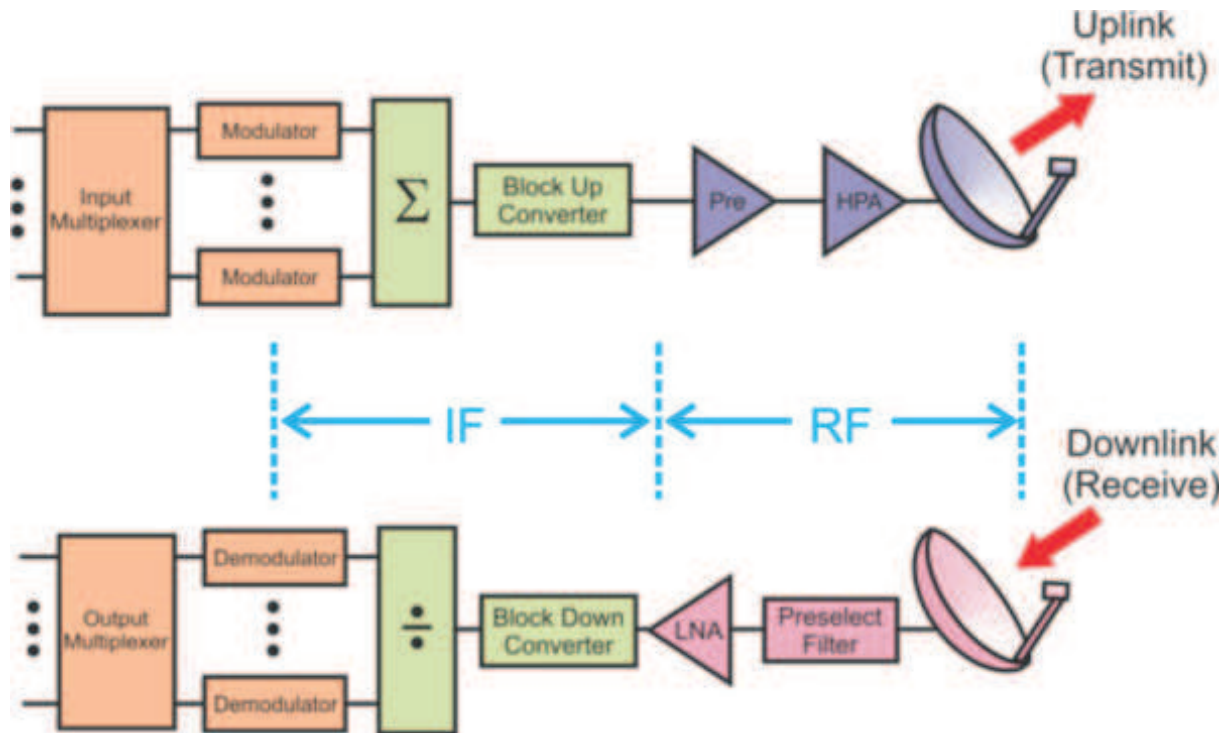


FIGURE I.3: Chaîne d'émission-réception RF simplifiée [3]

Le schéma simplifié d'une chaîne d'émission-réception est montré dans la Figure I.3. Dans cette thèse, nous nous focalisons sur la chaîne de réception, et plus particulièrement sur la conception des amplificateurs faible bruit (Low Noise Amplifiers ou LNA en anglais) MMIC (Microwave Monolithic Integrated Circuits en anglais, signifiant circuits intégrés monolithiques micro-ondes).

La partie suivante va consister à rappeler les principaux critères pris en compte lors de la conception d'amplificateurs faible bruit.

2 Généralités : critères de conception d'un amplificateur faible bruit

L'amplificateur faible bruit est le circuit clé de la chaîne de réception et est situé après l'antenne. Il possède deux fonctions principales : amplifier le signal reçu par l'antenne et réduire au maximum la remontée en bruit causée par le dispositif. Dans cette partie, les différentes spécifications d'un amplificateur faible bruit et une méthode classique de conception de cette fonction sont exposées.

2.1 Le Gain

La fonction d'amplification se traduit directement par le critère du gain. Il existe plusieurs définitions du gain de l'amplificateur (voir équation (I.3), les paramètres S sont ceux du quadripôle amplificateur, Γ_s est le coefficient de réflexion de la source, Γ_l est le coefficient de réflexion de la charge et K est le facteur de stabilité) :

$$\left\{ \begin{array}{l} G_O = \frac{1}{1-|S_{11}|^2} \cdot |S_{21}|^2 \cdot \frac{1-|\Gamma_l|^2}{|1-\Gamma_l \cdot S_{22}|^2} \\ G_T = \frac{1-|\Gamma_s|^2}{|1-\Gamma_s \cdot S_{11}|^2} \cdot |S_{21}|^2 \cdot \frac{1-|\Gamma_l|^2}{|1-\Gamma_l \cdot S_{22}|^2} \\ G_{T_{max}} = \frac{|S_{21}|^2}{(1-|S_{11}|^2) \cdot (1-|S_{22}|^2)} \\ G_D = \frac{1-|\Gamma_s|^2}{|1-\Gamma_s \cdot S_{11}|^2} \cdot |S_{21}|^2 \cdot \frac{1}{1-|S_{22}|^2} \\ G_{D_{max}} = \left| \frac{S_{21}}{S_{12}} \right| \cdot (K - \sqrt{K^2 - 1}), K > 1 \\ K = \frac{1+|D|^2-|S_{11}|^2-|S_{22}|^2}{2 \cdot |S_{12} \cdot S_{21}|} \\ D = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} \end{array} \right. \quad (I.3)$$

- ☞ le gain en puissance opérant G_O est le rapport entre la puissance moyenne à la sortie du quadripôle et la puissance moyenne à l'entrée du quadripôle. Ce gain est indépendant de l'impédance de source Z_s ;
- ☞ le gain transducique G_T est le rapport entre la puissance délivrée à la charge et la puissance disponible à la source. Cette définition est la plus utilisée car elle prend en compte les adaptations entrée-sortie ;

☞ le gain en puissance disponible G_D est le rapport entre la puissance disponible à la sortie du quadripôle et la puissance disponible du générateur attaquant le quadripôle.

2.2 Le Facteur de Bruit

L'autre critère fondamental pour l'amplificateur faible bruit est le facteur de bruit. Il permet de quantifier la proportion de signal aléatoire qui se superpose au signal portant l'information lors d'une transmission. L'origine du bruit est à la fois interne (composants actifs et passifs, interférences électromagnétiques) et externe (proximité avec un autre appareil rayonnant, perturbations météorologiques) à un dispositif. Il existe principalement trois types de bruit internes à prendre en compte [25] :

☞ le bruit thermique (ou de Johnson-Nyquist) : causé par l'agitation thermique des électrons lorsque la température dépasse 0 K, il est relié aux variations de la tension du dispositif. Un exemple est montré dans la Figure I.4 avec une résistance de valeur R dont la tension moyenne et la puissance causées par ce bruit sont données par l'équation (I.4) (k correspond à la constante de Boltzmann égale à $1.38 \times 10^{-23} J/K$, T est la température de la résistance en Kelvin et Δf est la bande de fréquences considérée). L'amplitude du bruit thermique peut être approximée par une fonction gaussienne de probabilité ;



FIGURE I.4: Équivalence entre un résistance bruitée et idéale

$$\begin{cases} \bar{v}_{thermique} = \sqrt{4 \cdot k \cdot T \cdot R \cdot \Delta f} \\ P_{thermique} = k \cdot T \cdot \Delta f \end{cases} \quad (I.4)$$

☞ le bruit de grenaille (ou de Schottky) : causé par les jonctions des matériaux semi-conducteurs. Le courant électrique traversant le dispositif n'est pas constant à cause de la fluctuation aléatoire des paires électrons-trous traversant cette jonction. Il peut être modélisé par un processus de Poisson. Le schéma équivalent du bruit de grenaille est illustré par la Figure I.5. La densité spectrale du courant traversant une jonction est donnée par l'équation (I.5) (q est la charge électrique et I_0 est le courant déterministe traversant la jonction) ;



FIGURE I.5: Équivalence entre une jonction idéale et bruitée

$$\bar{i}_n = 2 \cdot q \cdot I_0 \quad (I.5)$$

- le bruit de scintillation (ou bruit en $\frac{1}{f}$) : causé par les impuretés dans les matériaux semi-conducteurs et/ou aux recombinaisons parasites dues au courant de base d'un transistor bipolaire. Il est présent dans tous les composants actifs et sa densité spectrale est inversement proportionnelle à la fréquence.

Le facteur de bruit (F) d'un amplificateur faible bruit, prenant en compte les types de bruit cités précédemment, est caractérisé à la température T_0 . Il est fonction du rapport signal sur bruit (ou SNR en anglais) en entrée et en sortie du dispositif, comme le montre l'équation (I.6) (T_e est la température équivalente de bruit du circuit).

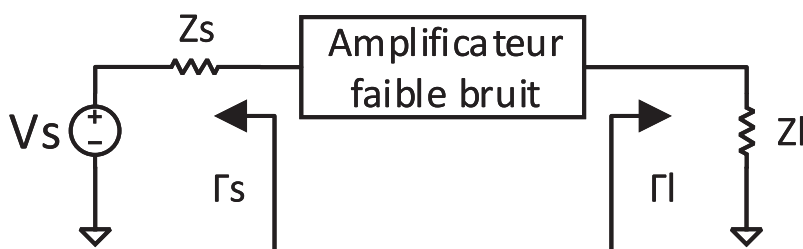


FIGURE I.6: Schéma de fonctionnement simplifié de l'amplificateur faible bruit

$$F = \frac{SNR_{entrée}}{SNR_{sortie}} \Big|_{T_0=290K} = 1 + \frac{T_e}{T_0} \quad (I.6)$$

Le facteur de bruit du dispositif est totalement modélisé à l'aide des trois paramètres suivants (voir équation (I.7), Z_0 étant l'impédance de référence) :

- Γ_{opt} est le coefficient de réflexion optimal en bruit ;
- F_{min} est le facteur de bruit minimal obtenu lorsque le coefficient de réflexion au niveau de la source est égal au coefficient de réflexion optimal en bruit, soit $\Gamma_s = \Gamma_{opt}$;
- R_n est la résistance équivalente en bruit.

$$F = F_{min} + \frac{4 \cdot R_n \cdot |\Gamma_{opt} - \Gamma_s|^2}{Z_0 \cdot (1 - |\Gamma_s|^2) \cdot |1 + \Gamma_{opt}|^2} \quad (I.7)$$

La Figure I.7 montre le schéma d'un amplificateur avec les parties passives (réseaux d'adaptation) et les parties actives (amplification) pour un amplificateur faible bruit cascadié classique. La formule de Friis, permettant de calculer le facteur de bruit total d'un amplificateur multi-étages, est donnée par l'équation (I.8). F_i et G_i sont respectivement le facteur de bruit et le gain de l'élément i (élément d'adaptation ou d'amplification). Pour un amplificateur cascadié classique, la contribution en bruit est donnée principalement par l'ensemble {réseau d'adaptation en entrée + premier étage d'amplification} lorsque le gain de celui-ci est suffisamment élevé.

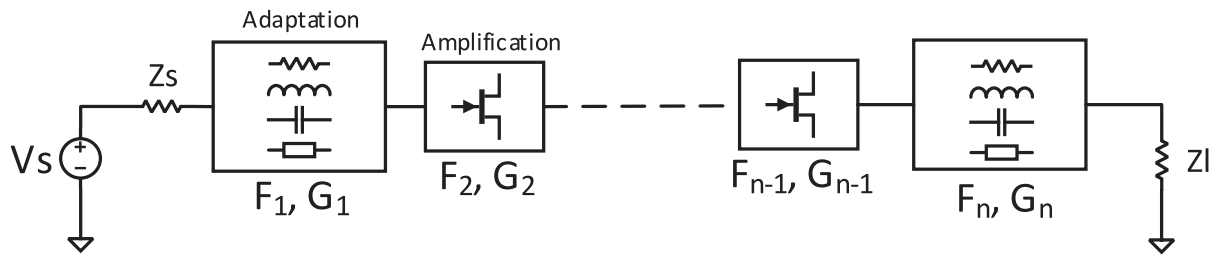


FIGURE I.7: Schéma d'un amplificateur faible bruit cascadié classique

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \times G_2} + \dots + \frac{F_n - 1}{G_1 \times G_2 \dots \times G_{n-1}} = F_1 + \sum_{i=2}^n \left[\frac{F_i - 1}{\prod_{j=1}^{i-1} G_j} \right] \quad (\text{I.8})$$

2.3 La stabilité électrique

Un amplificateur doit être avant tout stable afin d'éviter les auto-oscillations parasites. À hautes fréquences, cela peut provoquer des dysfonctionnements importants et irréversibles : l'amplificateur peut chauffer de façon anormale et les composants peuvent être détruits. Il existe plusieurs méthodes permettant de détecter de potentielles instabilités :

- ☞ Une étude du facteur de stabilité K est donnée dans le Tableau I.1. Il est nécessaire que le transistor soit conditionnellement, voire inconditionnellement stable. En effet, dans ces cas, le transistor est adaptable simultanément en entrée et en sortie. Dans le cas où le module du facteur K est inférieur à 1, il faut dessiner les cercles de stabilité pour savoir si le transistor est adaptable ou non. Pour tous les autres cas, l'adaptation simultanée en entrée et en sortie est impossible.

$ K = 1$	$K = \pm 1$		Pas d'adaptation possible du transistor	$ \Gamma_s = 1$ inadaptable $ \Gamma_L = 1$
$ K > 1$	$K > 1$	$ D < 1$	Transistor inconditionnellement stable	Γ'_s Γ'_L
		$ D > 1$	Transistor conditionnellement stable	Γ''_s Γ''_L
	$K < -1$		Instabilité du transistor Transistor non adaptable simultanément	inadaptable
$ K < 1$			Transistor conditionnellement stable \Rightarrow étude approfondie de la stabilité	Tracé des cercles de stabilité

Tableau I.1: Étude de la stabilité d'un transistor en fonction des valeurs de K et D [18]

- ☞ Une autre méthode plus poussée de la stabilité consiste à étudier la NDF (Normalized Determinant Function en anglais) dont la formule est donnée par l'équation (I.9) ($\Delta(s)$ représente le déterminant du circuit analysé et $\Delta_0(s)$ représente le déterminant du circuit lorsque toutes les sources indépendantes sont éteintes).

$$NDF = \frac{\Delta(s)}{\Delta_0(s)} \quad (I.9)$$

Le système est instable lorsque la NDF, en représentation polaire, encercle l'origine des axes dans le sens horaire. Cette méthode est décrite dans [26]. Elle est incluse dans le logiciel STAN (STability ANalysis), développé conjointement par l'université de Bilbao au Pays Basque et le CNES [27] et est intégrée dans l'environnement de simulation ADS (Advanced Design System). Son principe est le suivant :

- ☞ injection d'un signal de faible amplitude au niveau de la grille ou du drain du transistor (modèle non linéaire) afin de créer une perturbation dans le fonctionnement de l'amplificateur ;
- ☞ calcul de l'impédance d'entrée au niveau de cette perturbation ;
- ☞ identification des zones d'instabilité (pôles et zéros de la fonction représentant l'impédance d'entrée).

Dans la suite de ce mémoire, seule la stabilité extrinsèque des transistors et les facteurs de stabilité K et B (voir équation (I.10)) seront présentés.

$$\begin{cases} K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |D|^2}{2 \cdot |S_{12}| \cdot |S_{21}|} \\ B = 1 + |S_{11}|^2 - |S_{22}|^2 - |D|^2 \\ D = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} \end{cases} \quad (\text{I.10})$$

2.4 Linéarité

La saturation et la distorsion (c'est-à-dire les différences entre le signal d'entrée et de sortie, excepté l'amplitude) doivent être limitées pour que le fonctionnement de l'amplificateur et des autres circuits ne soit pas perturbé. Elles sont dues à l'augmentation de la puissance de sortie de l'amplificateur : à partir d'une certaine puissance, l'amplitude du signal de sortie, à la fréquence fondamentale, n'est plus proportionnelle à l'amplitude du signal de sortie (conversion AM/AM). De plus, le déphasage entre l'entrée et la sortie n'est plus constant lorsque l'amplitude du signal d'entrée varie (conversion AM/PM). Certaines de ces distorsions se situent en dehors de la bande utile et peuvent être filtrées. D'autres, se situant dans la bande utile, ne peuvent être filtrées et leurs impacts doivent être limités. On considère cinq types de distorsions : la distorsion d'amplitude (voir Figure I.8), la distorsion de fréquence (voir Figure I.9), la distorsion de phase ou de temps de propagation (voir Figure I.10), la distorsion d'intermodulation (voir Figure I.11) et la compression du signal de sortie (voir Figure I.12) :

- la distorsion d'amplitude est un phénomène causé par l'utilisation des transistors en régime grand signal (saturation). L'amplification fait apparaître des harmoniques parasites pouvant influencer dans des bandes de fréquences adjacentes ;

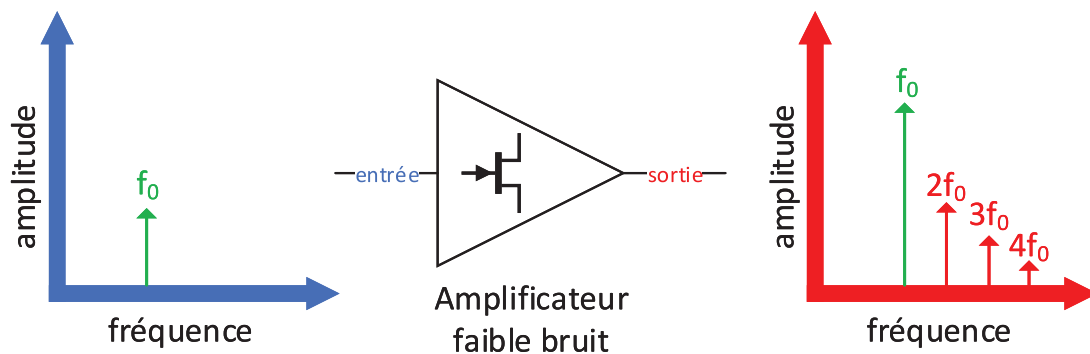


FIGURE I.8: Mise en évidence de la distorsion d'amplitude

- la distorsion en fréquence est produite par la diminution de la bande d'amplification du circuit. La conséquence principale est que les signaux dans la bande utile ne sont pas amplifiés de manière identique ;

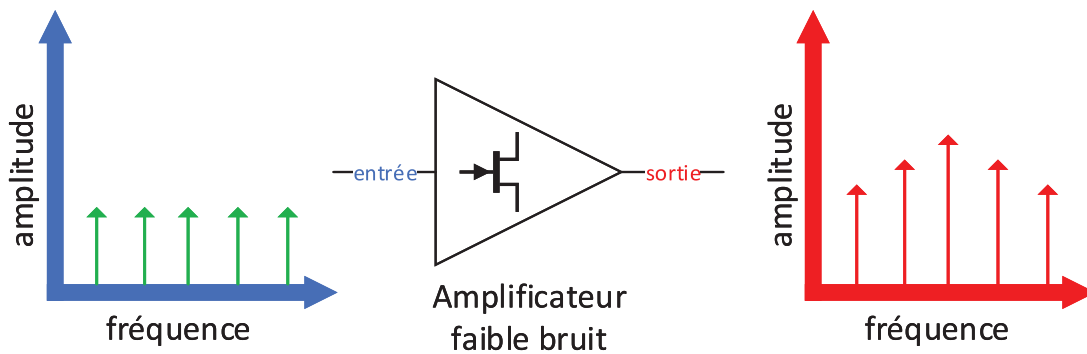


FIGURE I.9: Mise en évidence de la distorsion de fréquence

- la distorsion de phase ou de temps de propagation provient du fait que le signal est déphasé à cause des harmoniques parasites produites par l'amplificateur ;

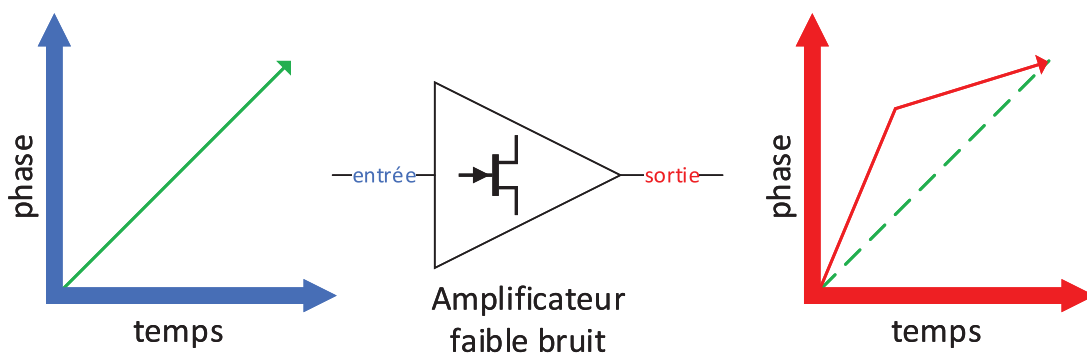


FIGURE I.10: Mise en évidence de la distorsion de phase ou de temps de propagation

- la distorsion d'intermodulation est, quant à elle, une conséquence de la distorsion d'amplitude : des recombinaisons linéaires apparaissent lorsque plusieurs signaux sont à amplifier dans une bande. Pour une intermodulation d'ordre 3, deux signaux respectivement aux fréquences f_1 et f_2 , provoquent l'apparition d'harmoniques à $2f_1 - f_2$ et à $2f_2 - f_1$.

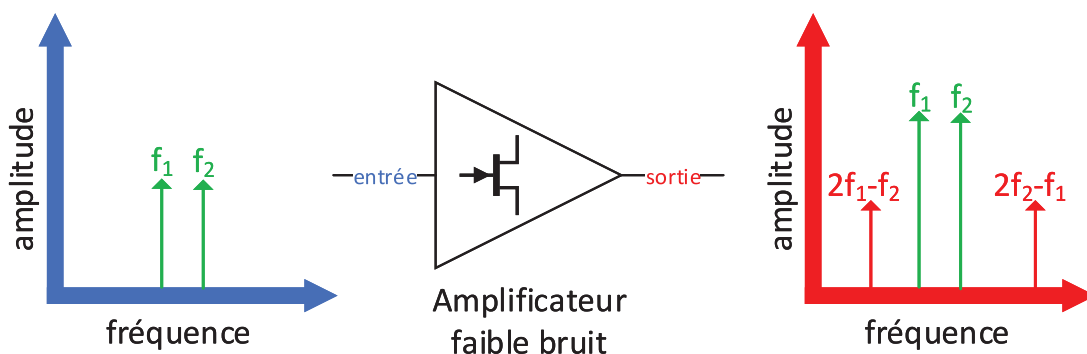


FIGURE I.11: Mise en évidence de la distorsion d'intermodulation d'ordre 3

- la compression du signal de sortie : un amplificateur faible bruit idéal possède un comportement linéaire quelle que soit la valeur de la puissance d'entrée injectée. Malheureusement, ce n'est pas le cas pour un amplificateur réel à cause des non-linéarités du transistor. Il existe trois zones de fonctionnement de l'amplificateur : la zone linéaire, la zone de compression et la zone de saturation. On définit le point de compression à 1 dB comme la puissance (en entrée ou en sortie) pour laquelle l'écart entre le gain idéal et réel est de 1 dB.

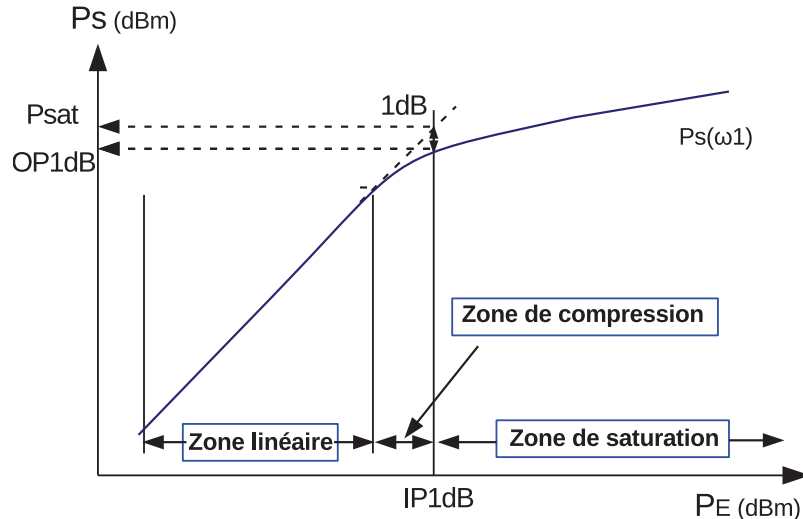


FIGURE I.12: Mise en évidence de la compression du signal de sortie et définition du point de compression à 1 dB [4]

- Lorsqu'on applique une modulation numérique au signal d'entrée (type I/Q, QAM, OFDM etc), on obtient aussi cette distorsion. La quantification de cette distorsion est donnée par l'ACPR (Adjacent Channel Power Ratio en anglais), qui correspond au rapport entre la puissance moyenne du signal dans la bande utile B_0 et la puissance moyenne contenue dans les bandes de fréquences B_1 et B_2 , de même largeur que B_0 (B_1 et B_2 sont centrées autour d'un offset de fréquence Δ_f correspondant à l'écart de fréquence avec le canal dit adjacent). Une illustration est donnée par la Figure I.13 et la valeur de l'ACPR est indiquée dans l'équation (I.11).

$$ACPR_{dB} = \frac{2 \cdot \int_{B_0} P_{sortie}(f) df}{\int_{B_1} P_{sortie}(f) df + \int_{B_2} P_{sortie}(f) df} \quad (I.11)$$

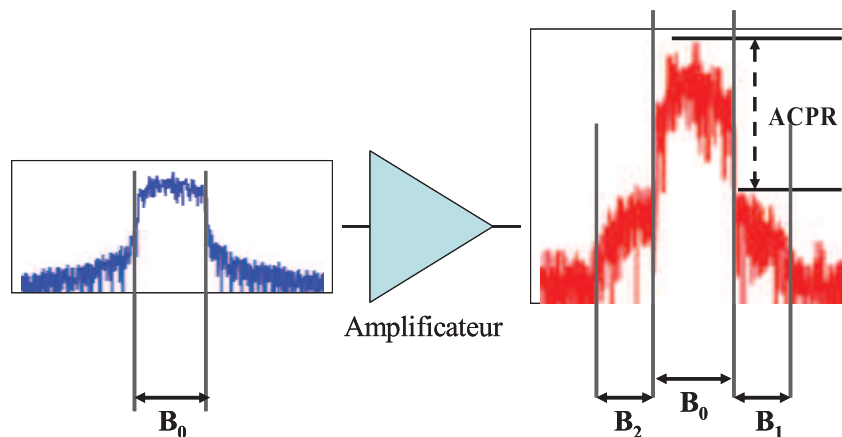


FIGURE I.13: Mise en évidence de l'ACPR [5]

- Lorsque le signal d'entrée est multiporteuse, un bruit blanc gaussien apparaît lors de l'intermodulation. Ce bruit est amplifié en sortie de l'amplificateur. Pour dimensionner cette remontée spectrale, on utilise le critère NPR (Noise Power Ratio en anglais), qui est le rapport entre la puissance du signal amplifié de sortie utile dans la bande b_{signal} et la puissance du bruit d'intermodulation en sortie lorsque $b_{signal} = b_{trou}$. Une illustration est donnée par la Figure I.14 et la valeur de l'ACPR est indiquée dans l'équation (I.12).

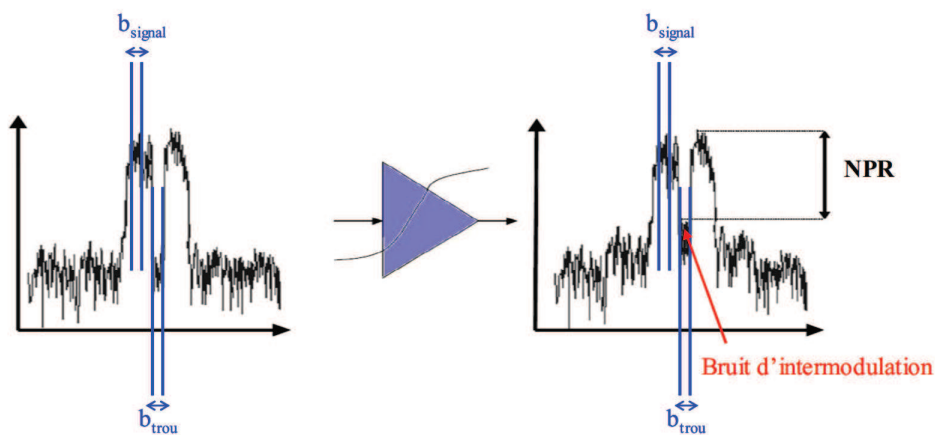


FIGURE I.14: Mise en évidence du NPR [5]

$$NPR_{dB} = 10 \cdot \log_{10} \left(\frac{BW_{signal}}{BW_{trou}} \cdot \frac{\int_{b_{signal}} P_{sortie}(f) df}{\int_{b_{trou}} P_{sortie}(f) df} \right) \quad (I.12)$$

- Un autre critère permettant de quantifier la linéarité et les dispersions lors de la démodulation est l'EVM (Error Vector Measurement en anglais). Plus cette valeur est petite, plus la chaîne de modulation et de démodulation est proche d'un comportement idéal (linéaire et sans dispersion). Une illustration est donnée par la Figure I.15 et la valeur de l'EVM est indiquée dans l'équation (I.13) ;

$$\text{EVM} = \sqrt{(I_{\text{mesuré}} - I_{\text{idéal}})^2 + (Q_{\text{mesuré}} - Q_{\text{idéal}})^2} \quad (\text{I.13})$$

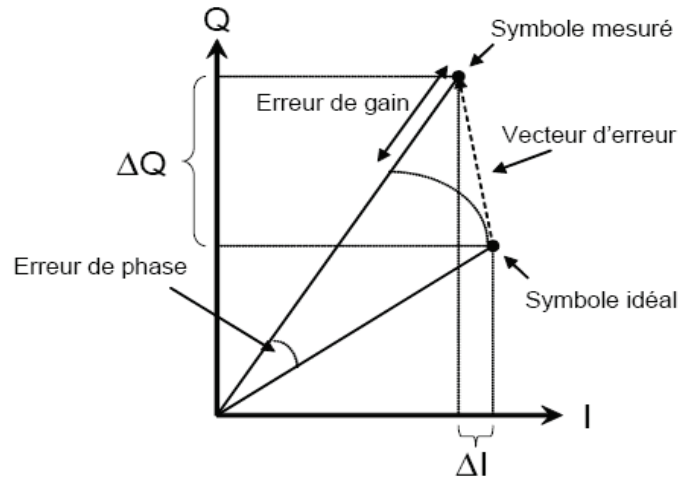


FIGURE I.15: Mise en évidence de l'EVM [5]

2.5 Autres critères

- ☞ un niveau d'adaptation en entrée et en sortie est requis afin que le transfert de puissance puisse se faire de façon optimale entre la source et la charge. Cela permet également de limiter le signal réfléchi depuis la charge ;
- ☞ la consommation DC de l'amplificateur doit avoir un niveau acceptable pour ne pas provoquer des problèmes thermiques et/ou d'autonomie réduite dans le cadre des systèmes embarqués ;
- ☞ le niveau de réjection en dehors de la bande de réception est primordial, notamment pour les satellites de télécommunication [28]. Le but étant d'interférer le moins possible avec la bande d'émission : exemple avec la bande Ka, la bande de réception est située de 27 GHz et 31 GHz alors que la bande d'émission est située entre 17 GHz et 21 GHz.

Pour résumer, les principales spécifications pour un amplificateur faible bruit sont répertoriées dans la Figure I.16.

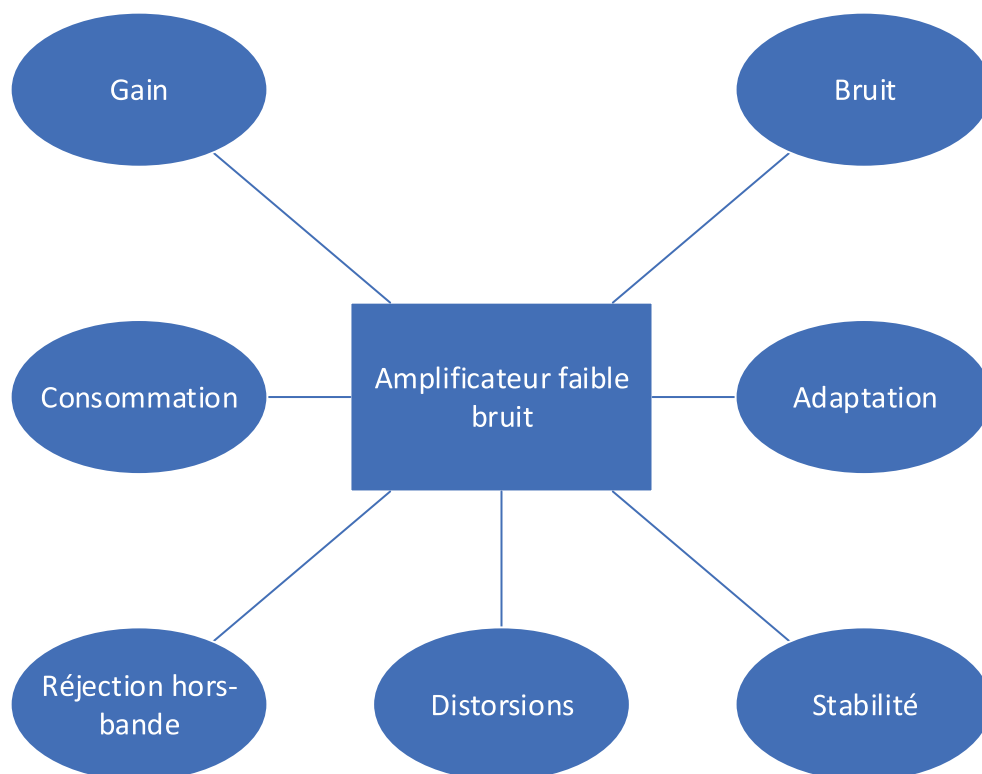


FIGURE I.16: Spécifications à respecter pour la conception d'un amplificateur faible bruit

Nous allons maintenant montrer comment est conçu classiquement un amplificateur faible bruit MMIC : le flot de conception est donné par la Figure I.17. Une grande partie est consacrée à la simulation électrique des modèles de composants actifs et passifs associés entre eux pour créer le circuit. Elle permet d'avoir une idée des performances au premier ordre. Seulement, plus on monte en fréquence, moins la simulation électrique est proche de la réalité. En effet, la simulation électromagnétique du dispositif montre les couplages potentiels et les effets parasites, qui sont accentués par la fréquence élevée et la surface réduite de la puce. C'est sans aucun doute la partie du flot qui prend le plus de temps avec le dessin final de la puce.

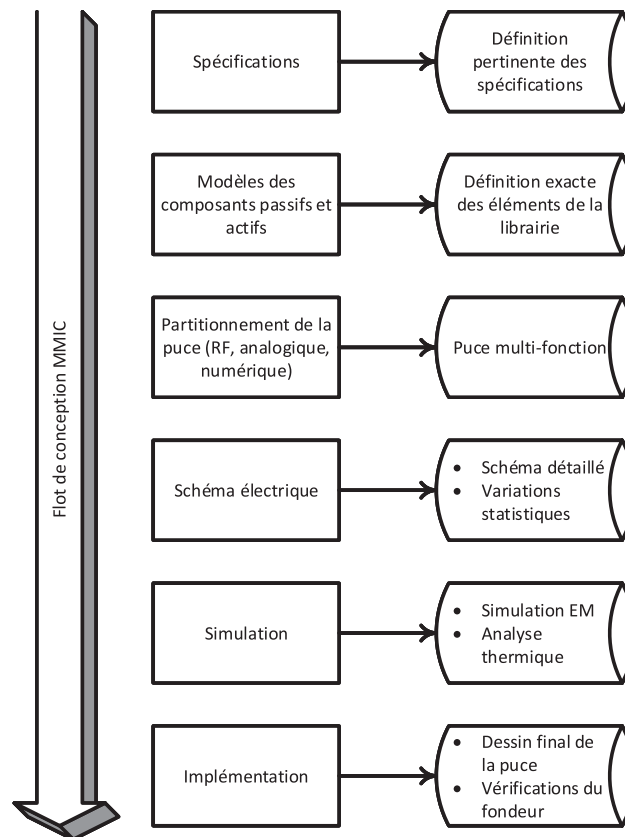


FIGURE I.17: Flot de conception classique d'un circuit en technologie MMIC [6]

La toute première étape consiste à choisir la technologie pour la conception et la fabrication de la puce. Son choix sera déterminant pour l'obtention des performances et pour en déterminer son coût.

3 Choix de la technologie

Les modèles des composants actifs et passifs dépendent du choix de la technologie. Les Tableaux I.2 et B.4 donnent une comparaison des performances des amplificateurs faible bruit MMIC présents dans la littérature, en fonction des technologies de fabrication, respectivement en bande Ku et Ka :

- ☞ les technologies basées sur le silicium (CMOS, BiCMOS, SiGe BiCMOS, FDSOI CMOS) ont des procédés qui permettent d'avoir un nombre important de niveaux métalliques et d'obtenir une grande compacité de la puce. En revanche le coût de ces technologies est dominé par le coût des masques et par conséquent les technologies Silicium les plus performantes sont peu utilisées pour des "petites séries". Enfin le facteur de bruit est plus élevé par rapport à d'autres filières;
- ☞ les technologies basées sur le nitrure de gallium (AlGaN / GaN et GaN HEMT) ont été récemment introduites. La figure de bruit et le gain sont compétitifs. Le gros avantage de cette technologie est sa tenue aux fortes puissances. Au vu des récents travaux, cette technologie est prometteuse pour l'amplification faible bruit dans ces fréquences;
- ☞ les technologies basées sur l'arséniure de gallium (AlGaAs / GaAs, GaAs pHEMT, AlGaAs / InGaAs pHEMT, GaAs, GaAs mHEMT) possèdent un très bon compromis entre facteur de bruit, gain, adaptation, puissance de sortie à 1 dB de compression et taille de la puce.

Le choix s'est donc porté sur la technologie Arséniure de Gallium (AsGa) pour la conception d'amplificateurs faible bruit en bande Ku et Ka. Comme Thales Alenia Space et le CNES conçoivent et fabriquent régulièrement avec le fondeur United Monolithic Semiconductors (UMS), nous avons décidé d'utiliser leurs technologies.

Référence	Technologie	Fréquence (GHz)	NF (dB)	S21 (dB)	S11 (dB)	S22 (dB)	F_{out1dB} (dBm)	Taille puce (mm × mm) [nb étages]
[29] (simulation)	SiGe BiCMOS	12-18	< 3.6	> 18.5	< -3	< -7	8.6	0.65 × 0.40 [3]
[30] (mesure)	AlGaN / GaN substrat SiC	12.8-14.8	< 1.85	> 20	< -9	< -9	> 25	4.00 × 2.00 [3]
[31] (mesure)	AlGaN / GaN substrat SiC	14-18	< 3.5	> 18	NC	< -8	NC	2.00 × 1.10 [3]
[32] (mesure)	AlGaN / GaN 0.25μm	14	1.9	> 19.8	< -6	< -13	> 28	3.00 × 2.00 [3]
[33] (mesure)	AlGaAs / GaAs	14-18	< 2.6	> 21.2	< -10	< -13	17	3.10 × 1.10 [3]
[34] (mesure)	GaAs pHEMT 0.15μm	7-14	< 2	> 30	NC	NC	NC	3.30 × 1.70 [3]
[35] (mesure)	AlGaAs / InGaAs pHEMT 0.25μm	11.25-12.75	< 1.4	> 16	< -15	< -20	NC	1.08 × 1.08 [2]
[36] (mesure)	CMOS 180 nm	17.5	3.6 (simulé)	18	< -8	< -8	NC	0.60 × 0.80 [2]
[37] (mesure)	pHEMT 0.15μm	11.7-12.75	< 1.24	24.5	< -16	< -16	5.67	NC [2]
[38] (mesure)	CMOS 180 nm	14	3.16	10.71	14.5	12	5.2	0.88 × 0.77 [2]
[39] (mesure)	CMOS 130 nm	15.2	4.2	10.2	NC	NC	-4.3	0.52 × 0.88 [1]
[40] (mesure)	BiCMOS 0.25μm	16	3.8	14.5	NC	NC	NC	0.40 × 0.40 [1]

Tableau I.2: État de l'art sur les amplificateurs faible bruit MMIC en bande Ku

Les performances des différentes filières AsGa UMS sont données dans le Tableau I.3. La PH15 a été utilisée pour le LNA en bande Ku car elle possède de meilleures performances en bruit et en gain par rapport à la PH25. Afin d'obtenir un niveau de gain de 20 dB en bande Ku et un facteur de bruit inférieur à 1.5 dB, l'amplificateur faible bruit comportera trois étages.

Process	PH25 Low Noise	PH15 Low Noise	PH10 Low Noise
Active device	pHEMT	pHEMT	pHEMT
Power Density	250mW/mm	300mW/mm	250mW/mm
Gate Length	0.25 μ m	0.15 μ m	0.1 μ m
I_{ds} (gm max) I_{ds} sat/lc	200mA/mm 500mA/mm	220mA/mm 550mA/mm	280mA/mm
V_{BDS} / V_{BCE}	> 6V	> 4.5V	> 5V
Cut off freq.	90GHz	110GHz	130GHz
Vpinch	- 0.8V	- 0.7V	-0.45V
Gm max / β	560mS/mm	640mS/mm	750mS/mm
Noise / Gain	0.6dB / 13dB @10GHz 2dB / 8dB @40GHz	0.5dB / 14dB @10GHz 1.9dB / 6dB @60GHz	2.3dB / 4.5dB @70GHz

Tableau I.3: Comparatif des filières AsGa disponibles chez UMS [19]

Une fois que le fondeur, la technologie et le nombre d'étages ont été choisis pour la conception et la fabrication de l'amplificateur faible bruit, il faut maintenant aborder la première étape de la conception : le choix des transistors.

4 Choix des transistors

Dans la suite de ce mémoire, seuls les amplificateurs faible bruit à trois étages seront étudiés. Classiquement, on privilégie le niveau de bruit optimal pour le premier étage, puis on réalise un compromis entre les niveaux de bruit et de gain pour le deuxième étage. Enfin pour le troisième étage, on recherche le niveau de gain optimal.

Il faut tout d'abord choisir la configuration du transistor pour chacun des étages. Il en existe principalement trois, qui sont comparées dans le Tableau I.4 : le montage source commune (ou émetteur commun), le montage grille commune (ou base commune) et le montage cascode.

Spécifications	Source commune	Grille commune	Cascode
Facteur de bruit	le plus bas	augmente rapidement avec la montée en fréquences	sensiblement plus élevé que le montage source commune
Gain	moyen	le plus bas	le plus haut
Linéarité	moyenne	élevée	potentiellement la plus élevée
Bande passante	étroite	large bande	la plus large
Stabilité	composants de contre-réaction souvent requis	la plus élevée	
Isolation	basse	haute	
Sensibilité aux variations de fabrication, de température, de la tension d'alimentation et des tolérances des composants	la plus grande	la plus petite	

Tableau I.4: Comparaison des performances pour les montages classiques des transistors dans un amplificateur faible bruit [20]

Le montage source commune sera utilisé pour chacun des étages des amplificateurs faible bruit afin de respecter les niveaux de bruits spécifiés.

Une fois que la topologie est figée, il faut choisir les dimensions et les polarisations

de chacun des transistors. Pour cela, une étude statistique (Monte-Carlo ou balayage des valeurs) est effectuée. Cette approche est décrite dans [7] :

- ☞ une analyse en paramètres S (facteur de bruit, gain, stabilité, adaptation en entrée) et une analyse DC (consommation) sont effectuées ;
- ☞ pour ces simulations, des tirages aléatoires sur la géométrie du transistor (nombre de doigts et largeur de grille), sur la polarisation du transistor (tensions drain-source et grille-source) et sur la valeur de l'inductance entre la source et la masse (pour obtenir la stabilité inconditionnelle et rapprocher les lieux d'impédance optimale en bruit et en gain) ;
- ☞ plusieurs critères sont à prendre en compte pour le choix du transistor optimal :
 - la distance entre l'adaptation optimale en bruit (Γ_{opt}) et l'adaptation optimale en gain en entrée du transistor lorsque la sortie est adaptée ($S_{m\Gamma 1}$), voir Figure I.18. De plus, on vérifie s'il existe une intersection entre un cercle de bruit ($\Gamma_{opt} + XdB$) et un cercle de gain ($S_{m\Gamma 1} - YdB$) ;
 - la stabilité inconditionnelle. Si c'est le cas, alors $S_{m\Gamma 1}$ existe ;
 - la consommation DC ;

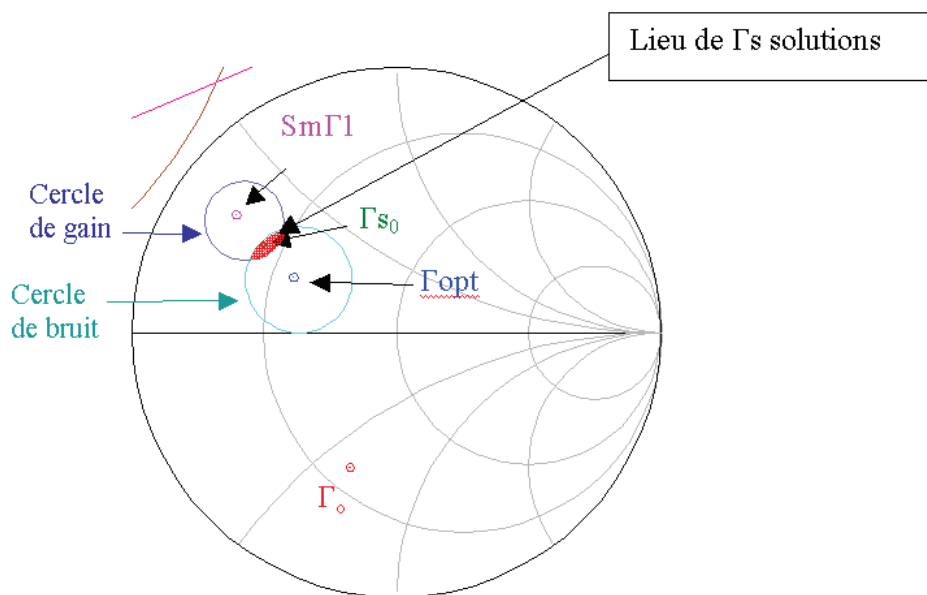


FIGURE I.18: Tracé des coefficients de réflexion optimaux et des cercles en bruit et en gain constants [7]

Les accès de polarisation de grille et de drain sont modélisés par une impédance de forte valeur dans la bande utile et une impédance de faible valeur en dehors de la bande. Le circuit réalisant ce comportement sera détaillé dans le chapitre II. Dans cette méthode, une inductance (ou une ligne) de dégénérescence réalise la contre-réaction. Il existe également d'autres topologies de contre-réaction.

5 Dimensionnement des réseaux de contre-réaction

Pour un amplificateur faible bruit, les réseaux de contre-réaction sont indispensables pour stabiliser le transistor et pour rapprocher les lieux d'impédances optimales en bruit et en gain. En effet, les transistors MMIC seuls ne sont pas inconditionnellement stables. La Figure I.19 représente les topologies classiques utilisées pour contre-réactionner le transistor (les inductances peuvent être remplacées par des lignes). On peut également combiner différents réseaux. L'inconvénient est d'augmenter le nombre de composants à intégrer sur la puce et potentiellement le prix de la puce.

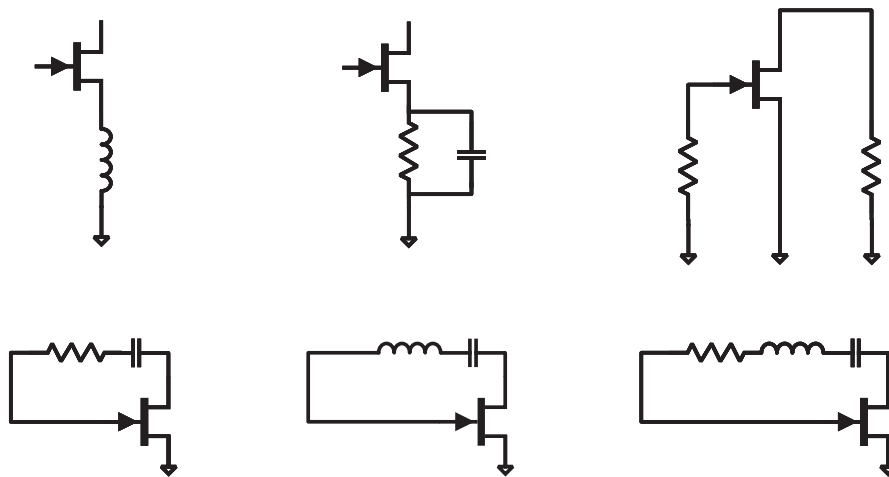


FIGURE I.19: Exemple de topologies de contre-réaction pour un transistor en source commune

Il existe plusieurs avantages à utiliser des amplificateurs contre-réactionnés :

- ☞ une amélioration de la linéarité ;
- ☞ une augmentation de la bande passante ;
- ☞ une désensibilisation du gain par rapport aux variations des valeurs des composants passifs (lors de la fabrication).

Il existe également plusieurs inconvénients :

- ☞ une diminution du gain ;
- ☞ une augmentation possible de la surface de puce.

Les valeurs optimales des composants passifs dans les topologies de contre-réaction sont trouvées classiquement avec la méthode statistique de Monte-Carlo. Le montage qui sera utilisé par la suite sera le montage source commune avec une inductance (ou ligne) de dégénérescence afin d'obtenir le meilleur compromis entre niveau de bruit, de gain et surface de puce consommée.

L'étape suivante consiste à dimensionner les réseaux d'adaptation dans le but de maximiser le transfert de puissance entre la source et la charge de l'amplificateur.

6 Dimensionnement des réseaux d'adaptation

Une fois que les tailles des transistors, les polarisations et les réseaux de contre-réaction ont été choisis pour chacun des étages de l'amplificateur, il faut adapter chacun des transistors en entrée et en sortie. Pour cela, il existe différentes techniques. L'une des plus connues étant la méthode des "fréquences réelles simplifiée" mentionnée précédemment.

6.1 Une synthèse à base d'éléments idéaux : la méthode des "fréquences réelles simplifiée"

La méthode des "fréquences réelles" a été implémentée dans le logiciel ADS de KEY-SIGHT [41] et elle utilise les composants localisés ou distribués. Son formalisme est donné ci-dessous.

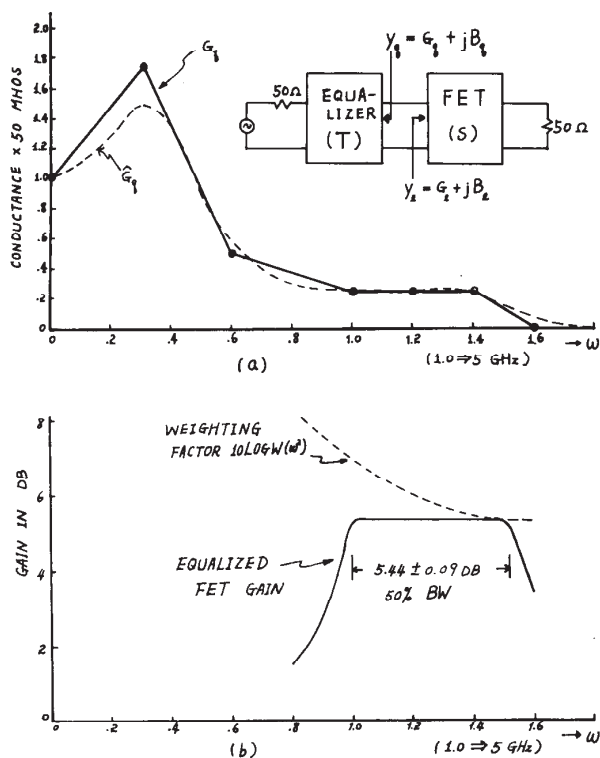


FIGURE I.20: Calcul de la conductance d'un égaliseur et du gain transductique d'un transistor FET, utilisant la méthode des "fréquences réelles" [8]

$$\left\{ \begin{array}{l} T(\omega^2) = (1 - |\rho_1|^2) \\ W(\omega^2) = \frac{(1-|\rho_1|^2) \cdot |S_{21}|^2}{(1-|S_{11}|^2)} \\ 1 - |\rho_1|^2 = \frac{4 \cdot G_l \cdot G_q}{(G_l + G_q)^2 + (B_l + B_q)^2} \\ Y_q = G_q + jB_q \\ Y_l = G_l + jB_l \end{array} \right. \quad (\text{I.14})$$

Une illustration des résultats est donnée dans la Figure I.20. Il faut calculer dans un premier temps le gain transducique $T(\omega^2)$, qui permet de prendre en compte l'adaptation en entrée et en sortie (équation (I.14), ρ_1 est le coefficient de réflexion normalisé à l'entrée du transistor lorsque la charge est une résistance unitaire, $W(\omega^2)$ est une fonction poids indépendante de l'égaliseur, Y_q et Y_l sont les admittances respectivement en sortie de l'égaliseur et en entrée du transistor). Puis il faut utiliser la méthode des moindres carrés et calculer le taux d'erreur e qui doit être aussi faible que possible, pour obtenir un gain plat sur la bande de fréquences considérée (équation (I.15), ω_j correspond aux pulsations échantillonnées).

$$\left\{ \begin{array}{l} e = \sum_{\omega_j} \left[T(\omega_j^2) - T_0 \right]^2 \\ T_0 = \min \left\{ \frac{|S_{21}|^2}{(1-|S_{11}|^2)} \right\} \end{array} \right. \quad (\text{I.15})$$

Une extension de cette méthode ("fréquences réelles" simplifiée) est utilisée pour obtenir la platitude du gain pour un amplificateur à plusieurs étages. Les différentes étapes sont décrites ci-dessous :

- ① synthétiser les polynômes de Belevitch [42] $e_{11}(s)$, $e_{12}(s)$ (égal à $e_{21}(s)$) et $e_{22}(s)$ donnés par l'équation (I.16) (s étant la variable de Laplace avec $s = j\omega$ pour les composants localisés. Pour les composants distribués, on utilise la transformation de Richards $t = j\Omega = j\tan(\omega\tau)$).

$$\left\{ \begin{array}{l} e_{11}(s) = \frac{h(s)}{g(s)} \\ e_{21}(s) = e_{12}(s) = \pm \frac{s^k}{g(s)} \\ e_{22}(s) = -(-1)^k \cdot \frac{h(-s)}{g(s)} \end{array} \right. \quad (\text{I.16})$$

Ces polynômes sont les paramètres S de l'égaliseur. On peut choisir la topologie de l'égaliseur [43] :

☞ si $k = 0$, on obtient un passe-bas ;

☞ si $1 \leq k \leq n - 1$, on obtient un passe-bande ;

☞ si $k = n$, on obtient un passe-haut ;

k étant le nombre de zéros de transmission et n est le nombre de composants passifs dans l'égaliseur.

- ② trouver les racines de $g(s) \times g(-s)$ à partie réelle strictement négative et former le polynôme $g(s) = g_0 + g_1s + \dots + g_ns^n$ (voir équation (I.17)) ;

$$\left\{ \begin{array}{l} g(s) \times g(-s) = h(s) \times h(-s) + s^{2k} = G_0 + G_2s^2 + \dots + G_ns^n \\ G_0 = h_0^2 \\ G_1 = h_1^2 + 2h_2 \times h_0 \\ G_l = h_l^2 + 2(h_{2l} \times h_0 + \sum_{j=2}^l h_{j-1} \times h_{2i-j+1}) \\ G_k = G_l|_{l=k} + 1 \\ G_n = h_n^2 \end{array} \right. \quad (\text{I.17})$$

- ③ calculer le gain transducique pour chacun des égaliseurs à partir des polynômes $e_{11}(s)$, $e_{21}(s)$ et $e_{22}(s)$ trouvés précédemment (équation (I.18)). Les différentes étapes de conception des égaliseurs de l'amplificateur multi-étages large bande sont données dans la Figure I.21 (T_{k-1} est le gain transducique des $k - 1$ premiers étages avec une impédance de fermeture réelle normalisée à 1Ω . e_{ijk} sont les paramètres S normalisés du k ème égaliseur. S_{G_k} sont les coefficients de réflexion mesurés au port G_k côté gauche. \hat{e}_{22_k} et S_{l_k} sont les coefficients de réflexion mesurés au port L_k respectivement côté gauche et droit. S_{ijk} sont les paramètres S normalisés du k ème transistor. $k + 1$ représente le dernier égaliseur) ;

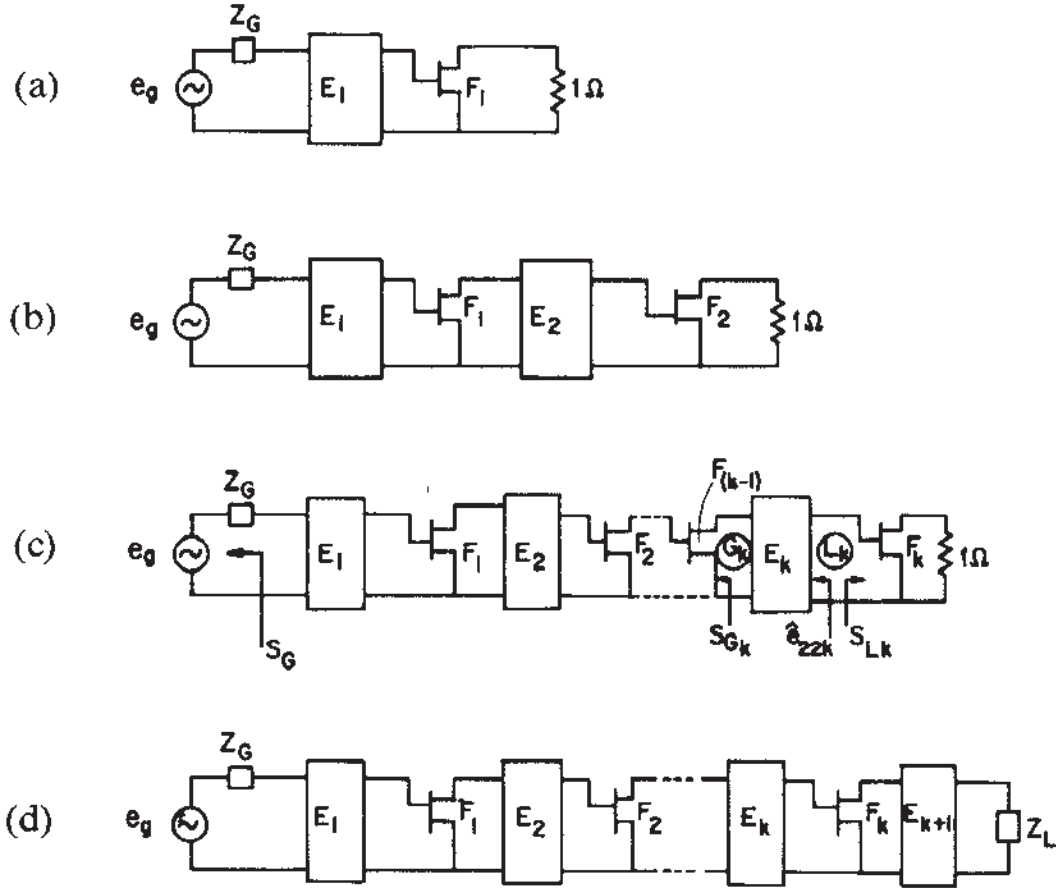


FIGURE I.21: Étapes de conception des égaliseurs d'un amplificateur large bande utilisant la méthode des "fréquences réelles simplifiée" [9]

$$\left\{ \begin{array}{l}
 T_k(\omega) = T_{k-1} \times \left[\frac{|e_{21_k}|^2 \times |l_{21_k}|^2}{|1 - e_{11_k} \times S_{G_k}|^2 \times |1 - \hat{e}_{22_k} \times S_{l_k}|^2} \right] = T_{k-1} \times E_K(\omega^2), k \geq 1 \\
 T_1(\omega) = (1 - |S_{G_1}|^2) \times \left[\frac{|e_{21_1}|^2 \times |l_{21_1}|^2}{|1 - e_{11_1} \times S_G|^2 \times |1 - \hat{e}_{22_1} \times S_L|^2} \right] \\
 l_{21_k} = S_{21_k}, l_{21_1} = 1 - |S_L|^2, |l_{21_{k+1}}|^2 = 1 - |S_L|^2 \\
 S_{l_k} = S_{11_k}, S_{l_{k+1}} = S_L = \frac{Z_L - 1}{Z_L + 1} \\
 \hat{e}_{22_k} = e_{22_k} + \frac{e_{21_k}^2 \times S_{G_k}}{1 - S_{G_k} \times e_{11_k}} \\
 S_{G_k} = S_{22_{k-1}} + \frac{S_{12_{k-1}} \times S_{21_{k-1}} \times \hat{e}_{22_{k-1}}}{1 - S_{11_{k-1}} \times \hat{e}_{22_{k-1}}}, S_{G_1} = \frac{Z_G - 1}{Z_G + 1} \\
 T(\omega) = (T_1 \times T_2 \times \dots \times T_k) \times E_{k+1}(\omega)
 \end{array} \right. \quad (I.18)$$

- ④ optimiser le taux d'erreur e grâce à l'équation (I.19) (déjà montrée dans l'équation (I.15), m correspond au nombre de fréquences échantillonnées, T_{0_k} est le niveau du gain plat désiré à l'étage k et T_0 est le niveau du gain plat désiré lorsqu'on ajoute l'égaliseur de sortie).

$$\begin{cases} e = \sum_{k=1}^m [T(\omega_k) - T_0]^2 \\ T_{0_k} = \min \left\{ T_{k-1} \times \frac{|S_{21_k}|^2}{1 - |S_{11_k}|^2} \right\} \\ T_0 = \min \{ T_k \} \times \left\{ \frac{1}{1 - |S_{22_k}|^2} \right\} \end{cases} \quad (\text{I.19})$$

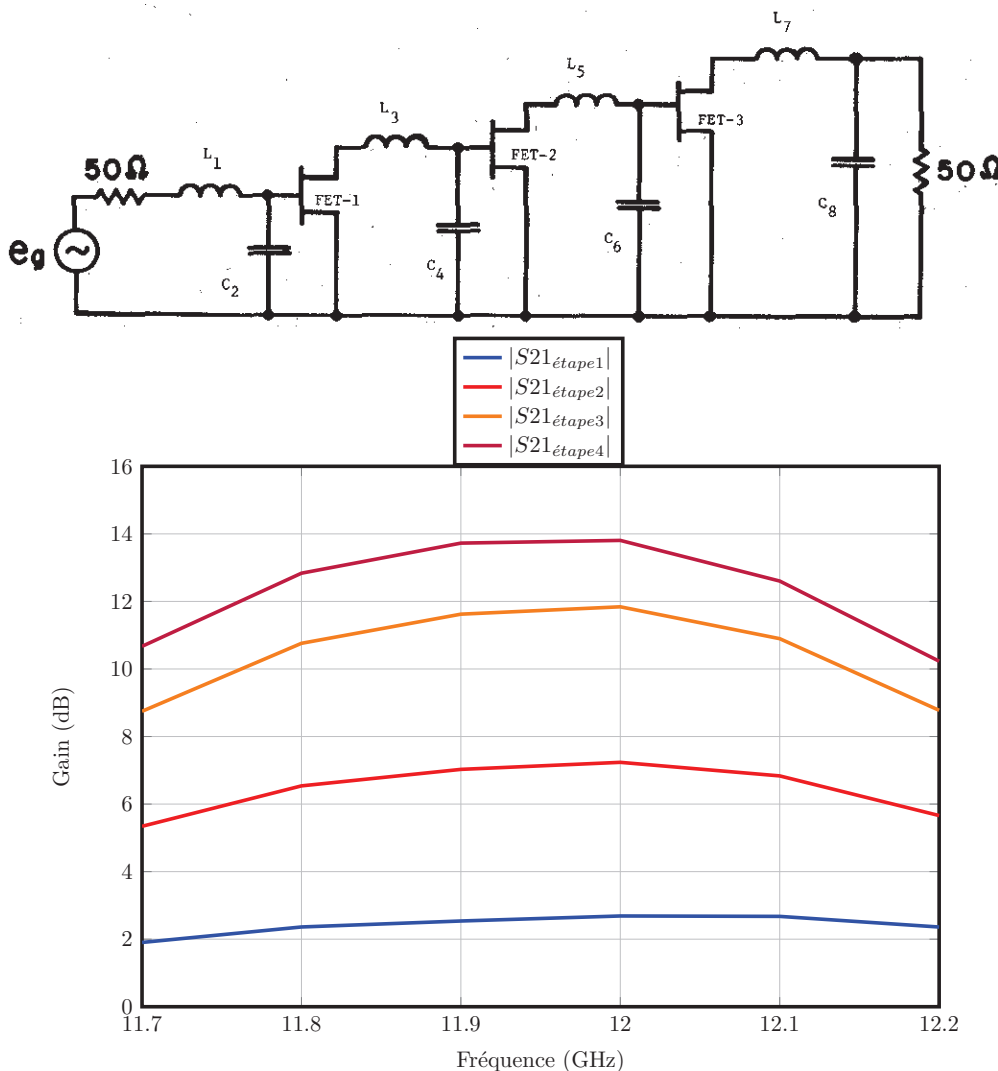


FIGURE I.22: Exemple d'un amplificateur faible bruit large bande à trois étages utilisant la méthode des "fréquences réelles" simplifiée [9]

Cette synthèse a été appliquée, via une simulation sous ADS avec les valeurs de composants et les paramètres S des transistors présents dans la publication [9], pour un amplificateur à trois étages fonctionnant de 11.7 GHz à 12.2 GHz. L'amplificateur complet et les résultats sont mentionnés dans la Figure I.22. Tous les égaliseurs possèdent deux composants et une topologie passe-bas. Les transistors utilisés sont des Mitsubishi FETs, utilisant le boîtier MGF-2124. Les étapes 1 à 4 correspondent respectivement aux circuits (a), (b), (c) et (d) donnés dans la Figure I.21. On observe que la platitude du gain est respectée avec un niveau maximal du gain à la fréquence centrale de la bande utile.

La rapidité de convergence a été améliorée grâce à la création de la méthode des "fréquences réelles" simplifiée et rapide (Fast Simplified Real Frequency Technique [44]). Par contre, plusieurs inconvénients sont à noter :

- ☞ aucune contre-réaction exercée sur les transistors, ce qui peut engendrer des problèmes de stabilité pour chacun des étages et pour l'amplificateur global ;
- ☞ l'optimisation en bruit n'est pas considérée ;
- ☞ les adaptations en entrée et en sortie ne sont pas forcément optimales ;
- ☞ l'adaptation se fait à partir des paramètres S mesurés des transistors seuls. Les accès de polarisation et les réseaux de contre-réaction ne sont pas pris en compte.

Afin de réaliser une conception multicritères ayant pour objectif l'adaptation entrée / sortie et le facteur de bruit minimum, d'autres travaux ont été réalisés [45]. La fonction permettant de trouver le compromis entre la valeur du gain, sa platitude, les adaptations entrée-sortie ainsi que le niveau de bruit est donnée dans l'équation (I.20) (E_k correspond à la fonction objective pour l'égaliseur k . m est le nombre de fréquences échantillonnées. W_1 , W_2 , W_3 et W_4 sont les coefficients donnés respectivement pour le gain, l'adaptation en entrée, l'adaptation en sortie et le facteur de bruit. T_{0k} , R_{in0k} , R_{out0k} et F_{0k} sont les niveaux désirés pour chacune des caractéristiques précédentes).

$$E_k^2 = \sum_{j=1}^m \left\{ W_1 \cdot \left(\frac{T_k(\omega_j)}{T_{0k}} - 1 \right)^2 + W_2 \cdot \left(\frac{R_{in_k}(\omega_j)}{R_{in0k}} - 1 \right)^2 + W_3 \cdot \left(\frac{R_{out_k}(\omega_j)}{R_{out0k}} - 1 \right)^2 + W_4 \cdot \left(\frac{F_k(\omega_j)}{F_{0k}} - 1 \right)^2 \right\} \quad (\text{I.20})$$

Les problèmes de stabilité ont été résolus grâce aux travaux de Jung et Chiu [46].

6.2 Techniques de conception des réseaux d'adaptation pour un amplificateur faible bruit

Ces techniques de conception sont listées dans [21] et permettent l'utilisation de n'importe quel modèle de composants passifs. Une comparaison des performances est donnée dans le Tableau I.5 :

- ☞ Classical Noise Matching (CNM). Elle consiste à adapter le transistor à l'impédance optimale en bruit Z_{opt} afin d'obtenir le plus faible niveau de bruit possible. Seulement, il peut y avoir une désadaptation importante entre Z_{opt} et Z_{in}^* (impédance permettant d'avoir le gain maximum) ;
- ☞ Simultaneous Noise and Input Matching (SNIM). Elle consiste à rapprocher les lieux d'impédances optimales en bruit et en gain afin d'adapter simultanément l'entrée du transistor au gain maximal et au bruit minimal. La contre-réaction parallèle permet d'augmenter la bande passante et d'améliorer l'adaptation en entrée et en sortie. La contre-réaction série permet de ne pas dégrader le facteur de bruit ;
- ☞ Power-Constrained Noise Optimization (PCNO). Elle consiste à fixer un courant de drain (puissance fixée), un niveau d'adaptation en entrée correct et à choisir le transistor possédant le facteur de bruit le plus faible possible. Ce facteur de bruit n'est pas le minimum atteignable à cause de la désadaptation entre Z_{opt} et Z_{in}^* et/ou de la valeur des composants de contre-réaction qui augmentent le facteur de bruit minimum atteignable ;
- ☞ Power-Constrained Simultaneous Noise and Input Matching (PCSNIM). Elle consiste à choisir la tension V_{GS} permettant d'avoir le facteur de bruit minimum. Puis de choisir la largeur de grille permettant d'obtenir la puissance désirée. Enfin, on choisit la valeur de la capacité C_{GS} et de l'inductance de dégénérescence pour avoir une adaptation simultanée en entrée et en bruit.

Paramètres	CNM	SNIM	PCNO	PCSNIM
Puissance à spécifier	oui	oui, plutôt à haute puissance	oui	oui
Adaptation en entrée	non	oui	oui	oui
$NF = NF_{min}$	oui	oui	non	oui

Tableau I.5: Résumé des performances des techniques de conception pour l'amplificateur faible bruit [21]

Une fois que les topologies et les valeurs des composants passifs ont été choisies pour chacun des réseaux d'adaptation, il est généralement indispensable de réaliser une optimisation des performances globales de l'amplificateur à plusieurs étages.

7 Optimisation globale et sensibilité de l'amplificateur

Classiquement, la conception des réseaux d'adaptation est faite de façon successive, comme le montre la Figure I.23 :

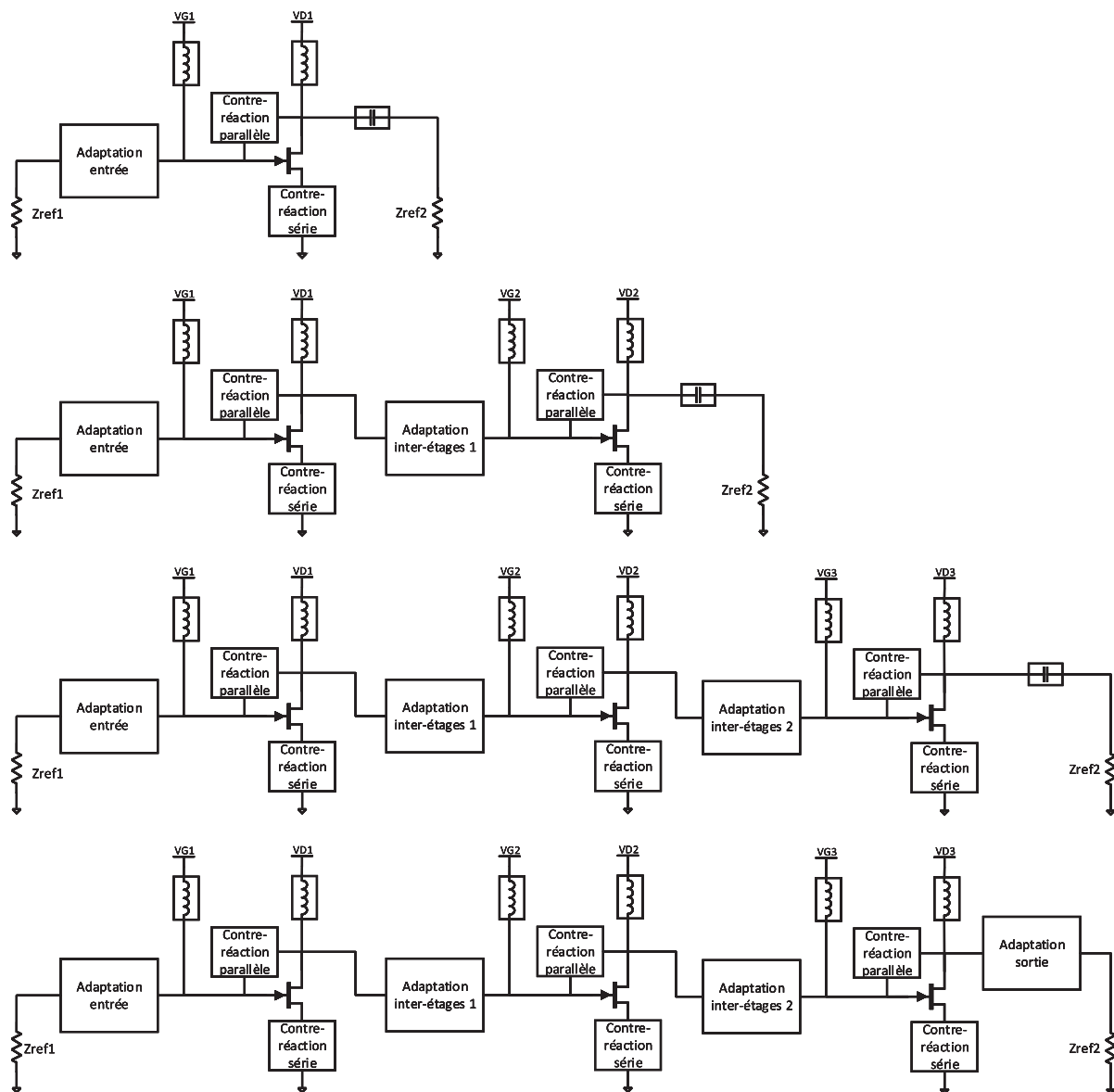


FIGURE I.23: Étapes de conception des circuits d'adaptation pour un amplificateur à plusieurs étages

- ☞ l'adaptation en entrée est tout d'abord réalisée car c'est la plus cruciale pour le niveau de bruit global. L'une des techniques présentées précédemment peut être utilisée pour dimensionner correctement le réseau d'entrée. En sortie du premier étage, on ne connaît pas l'impédance optimale à présenter à la charge : même si on a choisi les autres transistors et polarisations ainsi que leurs réseaux de contre-réaction, les impédances ramenées par les réseaux d'adaptation inter-étages 1 et 2 et par le réseau de sortie sont inconnues. Du coup, l'impédance présentée à la charge du premier étage est Z_{ref2} (classiquement 50Ω) ;
- ☞ connaissant le réseau d'adaptation en entrée et le premier étage, on peut donc dimensionner le réseau d'adaptation inter-étages 1. Même conclusion que précédemment, on ne connaît pas les impédances ramenées par le réseau d'adaptation inter-étages 2, le troisième étage et le réseau d'adaptation de sortie ;
- ☞ connaissant le réseau d'adaptation en entrée, le premier étage, le réseau d'adaptation inter-étages 1 et le deuxième étage, on peut donc dimensionner le réseau d'adaptation inter-étages 2. Même conclusion que précédemment, on ne connaît pas les impédances ramenées par le troisième étage et le réseau d'adaptation de sortie ;
- ☞ le réseau d'adaptation de sortie est facilement réalisable car il est quasiment insensible par rapport au facteur de bruit global. De plus, l'impédance de référence Z_{ref2} est connue.

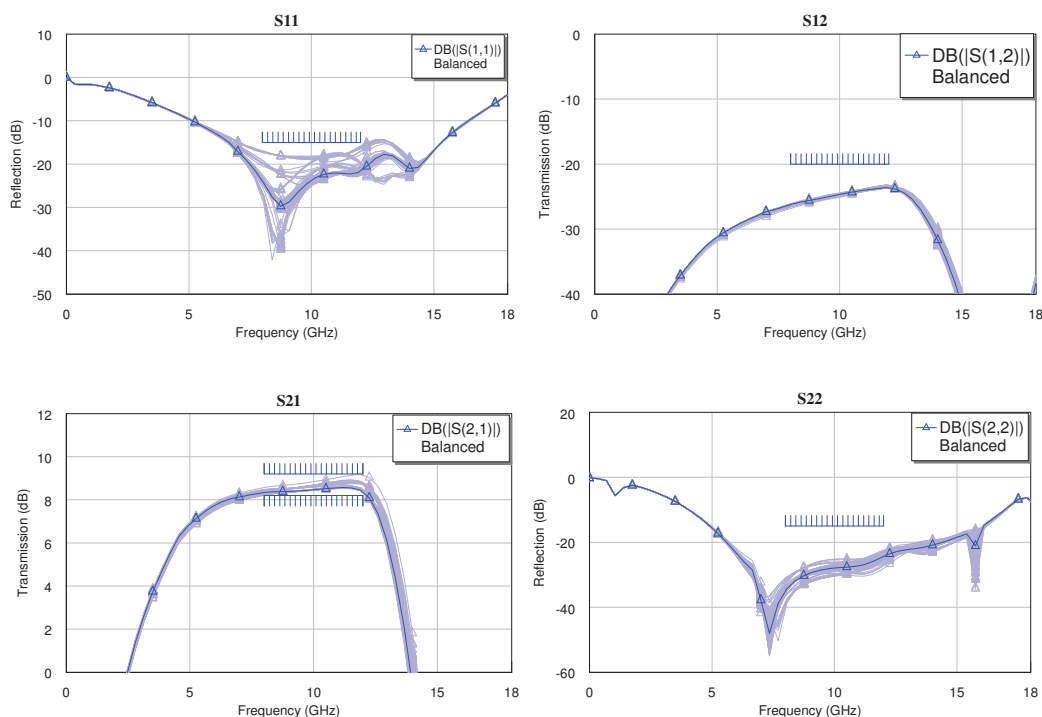


FIGURE I.24: Sensibilité des paramètres S (après 100 itérations) d'un amplificateur faible bruit équilibré en bande X utilisant la technologie GMIC [10]

Cette méthode de conception des réseaux d'adaptation, de façon successive, n'est pas optimale du fait que les impédances présentées à la sortie des étages (excepté pour le réseau de sortie) ne sont pas connues. Une optimisation des performances pour les coefficients de réflexion en entrée et en sortie de l'amplificateur faible bruit est indispensable.

La conséquence est que les autres performances de l'amplificateur sont affectées, notamment les niveaux de bruit et de gain. Une optimisation globale des performances de l'amplificateur est donc nécessaire. Toutes les valeurs des composants passifs peuvent être optimisées, via un algorithme de type gradient ou génétique.

Une fois que les valeurs optimales des composants passifs ont été trouvées, on peut appliquer les tolérances de fabrication afin d'évaluer la sensibilité de l'amplificateur. Un exemple est donné dans la Figure I.24 : pour un fonctionnement optimal, il faut que quelles que soient les modifications de dimensions géométriques ou de propriétés des matériaux dûes à la fabrication, les performances de l'amplificateur respectent le cahier des charges (illustré par des peignes). La courbe en bleu foncé correspond aux performances initiales tandis que les courbes plus claires correspondent à des variations de process. Ces simulations statistiques peuvent être aussi bien réalisées à partir de la simulation électrique ou électromagnétique du dessin de la puce.

L'étape suivante va consister à réaliser l'implémentation de cet amplificateur sur la puce. Sachant que son prix est proportionnel à sa surface, on cherche à fabriquer le circuit qui soit le plus petit possible tout en conservant des performances électriques et électromagnétiques convenables. Cette étape est certainement la plus chronophage car il faut réaliser un compromis entre les performances de l'amplificateur (qui sont différentes avec l'optimisation de la surface de la puce) et les couplages possibles entre les composants. Ce dernier phénomène est de plus en plus important avec la montée en fréquences.

8 Dessin de la puce

Le schéma électrique de l'amplificateur est souvent représenté par des composants actifs et passifs reliés avec des fils. Malheureusement, ce n'est plus le cas lors de l'implémentation : il faut prendre en compte les lignes de transmission qui font office de connexion et les discontinuités (jonction en T et en croix, lignes de transmission coniques etc), entraînant des perturbations dans le fonctionnement du circuit. La figure I.25 illustre cette contrainte.

Une simulation électromagnétique de la puce est indispensable pour montrer l'influence des différents niveaux de métaux du substrat et du placement des composants. Pour cela, le logiciel de CAO ADS MOMENTUM utilise la méthode des moments [47] : elle consiste à résoudre numériquement les équations de Maxwell pour des structures planaires imbriquées dans des substrats diélectrique multicouches.

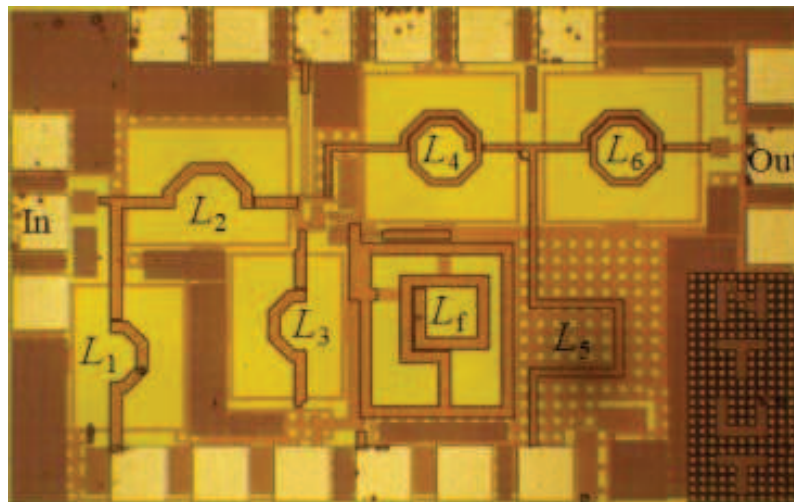


FIGURE I.25: Exemple d'un dessin de puce d'un amplificateur faible bruit fonctionnant en bande K [11]

Plus le maillage (c'est-à-dire la discrétisation permettant le calcul des équations de Maxwell) est important, plus le temps de calcul est long. De plus, il faut réaliser des simulations large bande afin d'analyser la stabilité de l'amplificateur quelle que soit la fréquence et utiliser des ports en entrée et en sortie de l'amplificateur et sur chaque plot d'accès de grille et de drain.

Une fois que le dessin optimal de la puce est obtenu, il faut respecter les contraintes de dessin imposées par le fondeur (repères pour l'alignement des masques, espace minimum entre le bord de la puce et les pads etc).

9 Conclusion

Nous avons vu dans ce chapitre que le choix de la technologie était primordial pour concevoir un amplificateur faible bruit MMIC et que l'Arséniure de Gallium présentait un bon compromis notamment entre un niveau de gain élevé et un niveau de bruit faible. Une conception classique se fait le plus souvent par une optimisation des valeurs des composants passifs pour atteindre les performances issues du cahier des charges.

Une méthode de synthèse a été présentée, la méthode des "fréquences réelles", mais elle n'est pas suffisante à cause de l'utilisation des modèles sans pertes des composants passifs. Il est donc nécessaire de créer une nouvelle méthode de synthèse et de conception qui soit plus rapide et plus performante pour la conception des amplificateurs faible bruit MMIC. Cette nouvelle méthode aura trois objectifs principaux :

- ☞ prendre en compte les modèles à pertes des composants passifs, les lignes de connexion et les discontinuités ;
- ☞ réaliser rapidement un amplificateur faible bruit respectant la plupart des spécifications demandées (sans contrainte de surface de puce consommée dans un premier temps) ;
- ☞ combiner la fonction amplification et filtrage.

C'est ce qui va être présenté dans le chapitre suivant.

Chapitre II

Nouvelle méthode de synthèse et de conception pour les amplificateurs faible bruit filtrants MMIC

Sommaire

1	Introduction : Challenges à relever pour la conception de circuits faible bruit MMIC	38
1.1	Prendre en compte les modèles à pertes des composants réactifs	38
1.2	Combiner plusieurs fonctions sur le même substrat : la co-conception	45
2	Une synthèse à base d'éléments non-idéaux : les filtres à pertes	47
3	Nouvelle méthode de synthèse et de conception	52
3.1	Conception des accès de polarisation de grille et de drain	54
3.2	Transistors et circuits de contre-réaction optimaux	56
3.3	Réseau d'adaptation en entrée et méthode de synthèse permettant de combiner l'adaptation et le filtrage	57
4	Optimisation des performances et de la surface de la puce	68
5	Conclusion	70

1 Introduction : Challenges à relever pour la conception de circuits faible bruit MMIC

L'objet de cette thèse est de développer une méthodologie de synthèse agile permettant d'intégrer directement les pertes des passifs intégrés et de satisfaire à des cahier des charges complexes (nouvelles bandes de fréquences, combinaison de fonctions) lors de la conception d'un amplificateur faible bruit.

Les circuits RF et micro-ondes en technologie MMIC sont devenus indispensables pour des fréquences d'utilisation de plus en plus élevées et des bandes passantes de plus en plus grandes. Sachant que le coût de fabrication est proportionnel à la surface de la puce, l'un des challenges est de concevoir et fabriquer des circuits qui soient les plus compacts possibles.

Nous allons montrer que la nouvelle méthode de synthèse et de conception d'un circuit faible bruit MMIC doit être basée sur des modèles de composants passifs à pertes et que, cette méthode présente aussi l'avantage de pouvoir prendre en compte des cahier des charges complexes nécessitant de combiner des fonctions hyperfréquences telles que l'amplification et le filtrage.

1.1 Prendre en compte les modèles à pertes des composants réactifs

Les composants passifs (inductances, capacités, résistances et lignes de transmission) se retrouvent principalement dans les réseaux de contre-réaction, les réseaux d'adaptation ainsi que dans les filtres. La plupart des méthodes de synthèse et de conception sont basées sur l'utilisation de composants passifs idéaux, c'est-à-dire sans pertes.

On a vu dans le chapitre I l'exemple de la méthode des "fréquences réelles simplifiée". Les travaux de recherche qui traitent de cette méthode s'appliquent principalement à deux circuits : les amplificateurs de puissance ([48], [49]) et les antennes ([50], [51], [52], [53], [54]).

Les travaux de Zhu [55] ont démontré que l'ajout de pertes dans la synthèse était possible, à condition que le passage entre un égaliseur sans pertes et à pertes soit applicable. Cette théorie fut présentée par Darlington [56] : si chaque élément d'un réseau (sans pertes ou à pertes) nommé N , produit une impédance proportionnelle à Z_1 ou Z_2 (avec $Z_i = r_i \cdot Z_1$ ou $Z_i = r_i \cdot Z_2$, r_i positif), alors l'impédance du réseau est de la forme $Z = Z_2 \cdot f(\frac{Z_1}{Z_2})$, $f(\frac{Z_1}{Z_2})$ étant une fonction rationnelle dépendante de $\frac{Z_1}{Z_2}$. Le circuit N , à cette condition, peut être ramené à un circuit M sans pertes via l'équation (II.1). La transformation inverse est donnée quant à elle par l'équation (II.2). $\tilde{Z}_l = \Omega$ est l'impédance équivalente de l'inductance, $\tilde{Z}_c = \frac{1}{\Omega}$ est l'impédance équivalente de la capacité et

$\Omega = \sqrt{\frac{Z_1}{Z_2}}$ est la fréquence angulaire complexe équivalente.

$$\tilde{Z} = \frac{Z}{\sqrt{Z_1 \cdot Z_2}} = \tilde{Z}_c \cdot f\left(\frac{\tilde{Z}_l}{\tilde{Z}_c}\right) \quad (\text{II.1})$$

$$Z = \tilde{Z} \cdot \sqrt{Z_1 \cdot Z_2} = Z_2 \cdot f\left(\frac{Z_1}{Z_2}\right) \quad (\text{II.2})$$

Si la théorie présentée ci-dessus n'est pas applicable, alors, à notre connaissance, il n'existe pas de méthode valable quels que soient les modèles à pertes utilisés pour les composants passifs. Or, pour la conception de circuits MMIC, il est indispensable d'utiliser les modèles de composant (actifs et passifs) des fondeurs.

Nous allons faire une comparaison fréquentielle de ces modèles de composants passifs avec les modèles idéaux.

1.1.1 Limites des modèles idéaux pour les composants passifs MMIC

Une comparaison de l'impédance d'entrée (en module et en phase, avec des impédances de fermeture de 50 Ω) des composants passifs (inductance, capacité et résistance) entre les modèles idéaux et les modèles de la société UMS (United Monolithic Semiconductors), technologie Arséniure de Gallium (AsGa) PH15, a été effectuée. Les modèles des composants passifs sont les mêmes pour les technologies UMS PH25 et PH15. Les résultats de simulation sont montrés dans la Figure II.1 (*DK* est l'acronyme de Design Kit, la bibliothèque de modèles de composants actifs et passifs de la technologie, provenant du fondeur).

On constate que les modèles à pertes de l'inductance et de la résistance peuvent être approximés par leur modèle idéal uniquement à basses fréquences. Pour ce qui est du modèle de la capacité, c'est le contraire : on observe un écart important en amplitude pour ces fréquences. Une étude plus complète sur les modèles à pertes de l'inductance et sur son comportement fréquentiel sera réalisée par la suite.

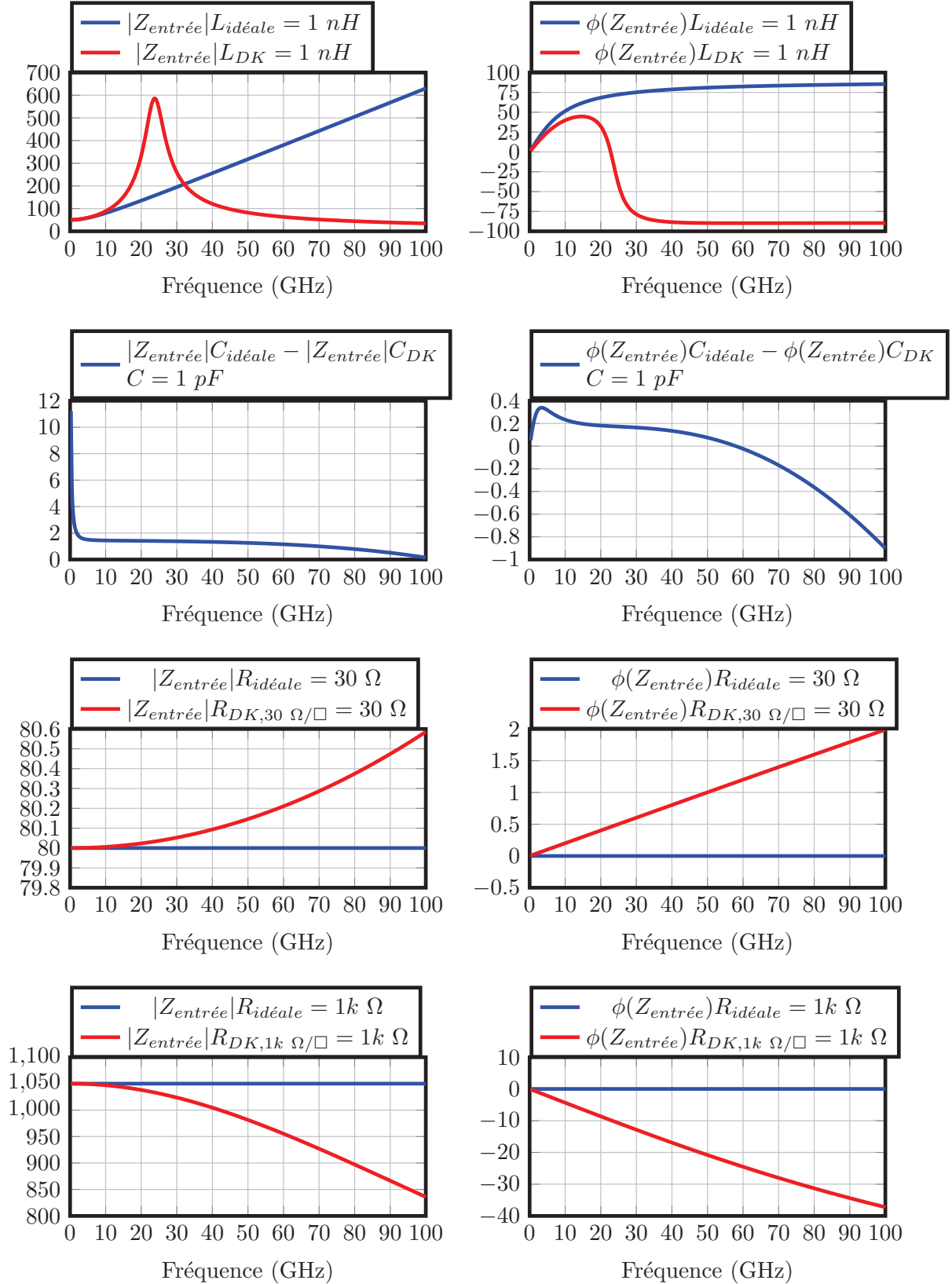


FIGURE II.1: Comparaison des réponses fréquentielles en module (à gauche) et en phase (à droite) de l'impédance d'entrée de l'inductance, de la capacité et de la résistance idéales et des modèles UMS AsGa PH15 et PH25, chargées par une impédance de 50 Ω

1.1.2 Modélisation des pertes dans les composants passifs MMIC

Un bref état de l'art sur les modèles à pertes existant pour les inductances planaires, les capacités MIM (Métal-Isolant-Métal) et les résistances MMIC a été effectué :

concernant les inductances planaires, les principaux modèles classiques sont donnés dans [57]. Les plus utilisés dans la littérature sont montrés dans la Figure II.2. Le circuit (a) fut le premier modèle à être créé pour les inductances spirales sur substrat silicium par Nguyen et Meyer en 1990 [58] (L_s correspond à la valeur de l'inductance sans pertes. R_s représente les pertes liées au conducteur. C_p et R_p sont associées aux pertes du substrat).

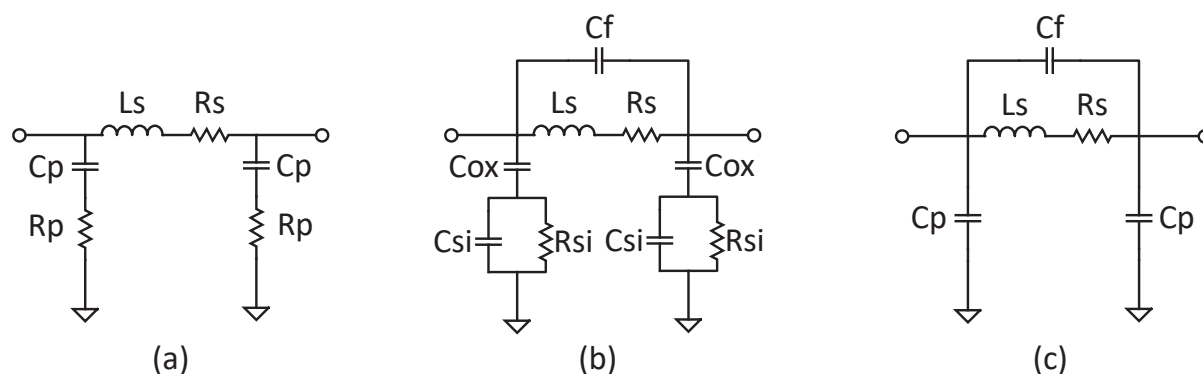


FIGURE II.2: Principaux modèles utilisés pour l'inductance planaire

Ce modèle a été amélioré afin de prendre en compte l'effet de l'oxyde et le côté tridimensionnelle de l'inductance planaire (circuit (b) [59], C_{ox} est la capacité représentant l'oxyde entre l'inductance spirale et le substrat silicium. C_{Si} et R_{Si} reflètent les pertes liées au substrat. C_f correspond au couplage dû au croisement entre les spirales adjacentes ainsi qu'au chevauchement entre la spirale et le changement de niveau de métal).

Le circuit (c) est couramment utilisé en technologie Arséniure de Gallium (AsGa) [60]. Les résistances en parallèle ont été enlevées car les pertes liées au substrat AsGa sont moins importantes comparées à celles du silicium (tangente de pertes plus faible).

Les pertes associées à l'inductance proviennent principalement du conducteur, du diélectrique et du substrat. Nous allons considérer une inductance spirale d'une valeur de 6 nH, qui possède un modèle similaire à celui de la Figure II.2 (b). Nous allons faire varier la fréquence d'utilisation et montrer l'influence de ses effets parasites sur la valeur de l'inductance (voir Figure II.3).

On constate dans un premier temps que la valeur de l'inductance n'est pas constante en fonction de la fréquence. La cause principale est que les capacités en parallèle

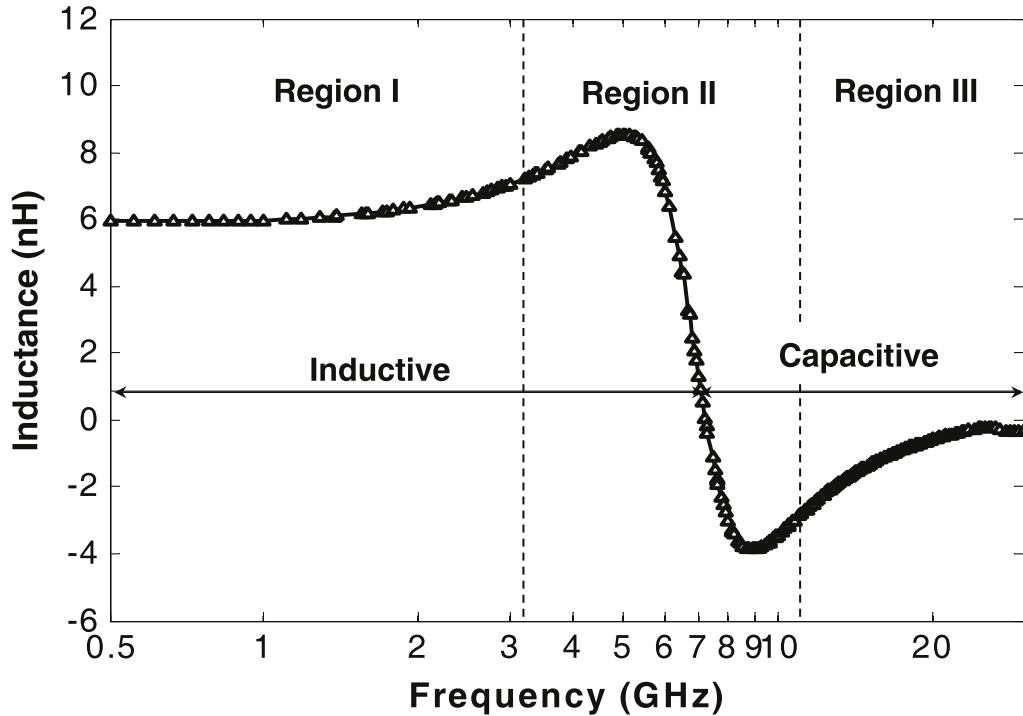


FIGURE II.3: Variation de la valeur d'une inductance spirale en fonction de la fréquence [12]

dans le modèle ne sont plus négligeables à haute fréquences. Dans un deuxième temps, on remarque trois plages de fréquences avec des comportements différents :

- "Region I" correspond à une augmentation lente de la valeur de l'inductance (passant de 6 nH à 7 nH de 0.5 GHz à 3 GHz) ;
- "Region II" montre une variation plus rapide de la valeur de l'inductance et à une certaine fréquence (ici 5 GHz), la pente de la courbe devient négative. Le composant possède une fréquence de résonance (ici 7 GHz), qui correspond au passage d'un comportement inductif vers un comportement capacitif ;
- "Region III" (à partir d'une fréquence supérieure à 10 GHz) est la plage de fréquences pour laquelle le composant ne doit pas être utilisé car on est très loin de la fréquence de résonance et le comportement de l'inductance est capacitif ;

concernant les capacités MIM, beaucoup de modèles, plus ou moins complexes, ont été développés. Nous en avons choisi quatre qui sont assez différents (voir Figure II.4).

Le circuit (a) est le plus simple [61]. C et G représentent les pertes diélectriques. R est la résistance de surface de l'armature inférieure. L correspond aux interconnexions. L'armature du bas est située côté gauche du circuit et celle du haut côté droit. Un autre modèle plus complexe, principalement utilisé avec la technologie AsGa, est illustré en (b) [62]. Enfin, deux autres modèles plus détaillés sont illustrés en (c) et

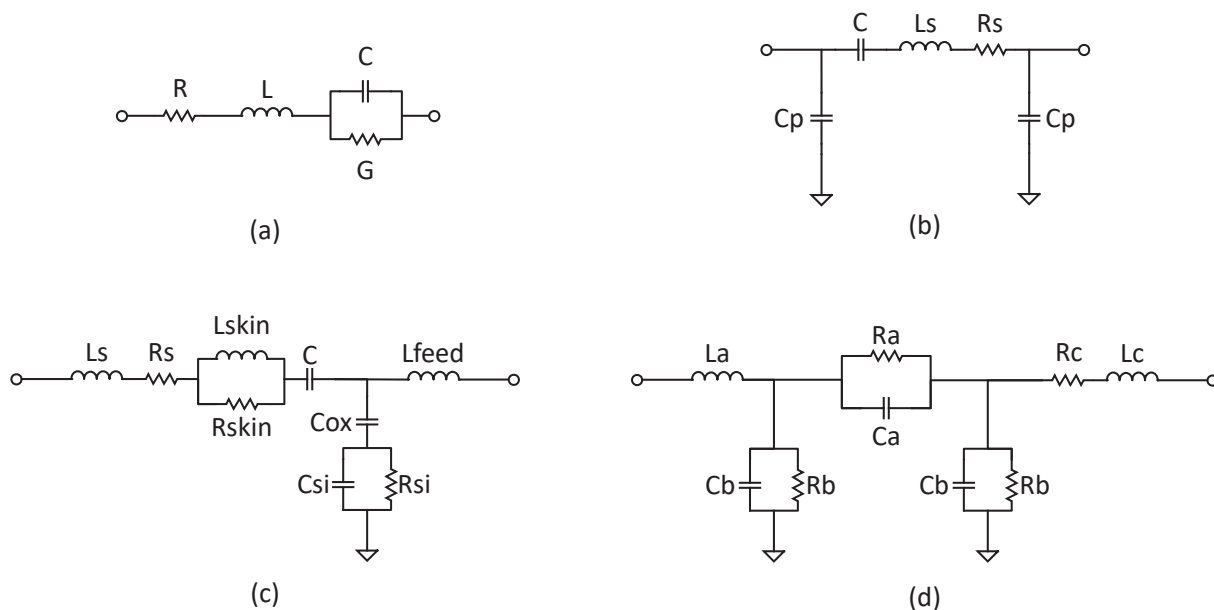


FIGURE II.4: Principaux modèles utilisés pour la capacité MIM

(d) :

- le premier, démontré plus récemment, a été réalisé à partir de simulations électromagnétiques en trois dimensions [63]. L'effet de peau (phénomène électromagnétique qui produit une circulation du courant uniquement à la surface du conducteur à haute fréquences) est représenté par les composants R_{skin} et L_{skin} . L_{feed} correspond à la ligne d'accès vers l'armature du bas ;
- le deuxième, le plus complexe des quatre modèles, a été vérifié pour plusieurs tailles et jusqu'à 40 GHz, à partir des résultats de mesure et d'une optimisation gradient sous ADS [64]. La nouveauté dans ce modèle est l'ajout de l'inductance L_a qui quantifie les pertes causées par le pont à air entre la ligne d'accès et l'armature du haut ;

☞ concernant les résistances, deux modèles assez simples sont proposés dans la littérature et montrés dans la Figure II.5. Le circuit (a) est utilisé pour les résistances fabriquées avec du Nichrome (NiCr) ou du Nitrure de Tantale (TaN) [65] (L correspond aux pertes dans les interconnexions et C traduit le couplage entre les contacts et la couche fine de métal). Le circuit (b) [66] ressemble au modèle de l'inductance de la Figure II.2 (c) et prend en compte les effets du substrat.

En résumé, quel que soit le composant MMIC, son modèle à pertes possèdent des effets parasites (produits par les conducteurs, le diélectrique et le substrat) qu'il faut prendre en compte pour toutes les fréquences d'utilisation. Le modèle d'une inductance planaire MMIC ne peut pas être limité à une inductance idéale ou à une inductance avec facteur de qualité (résistance et inductance idéales en série) à haute fréquence : à partir de sa

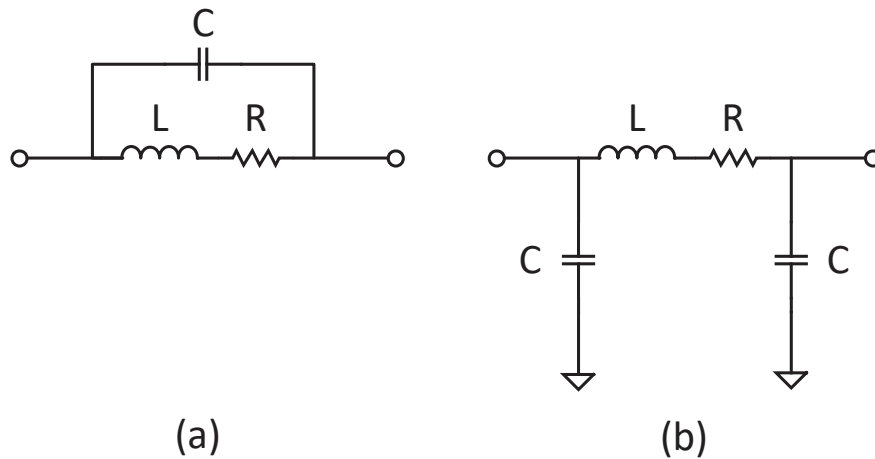


FIGURE II.5: Principaux modèles utilisés pour la résistance MMIC

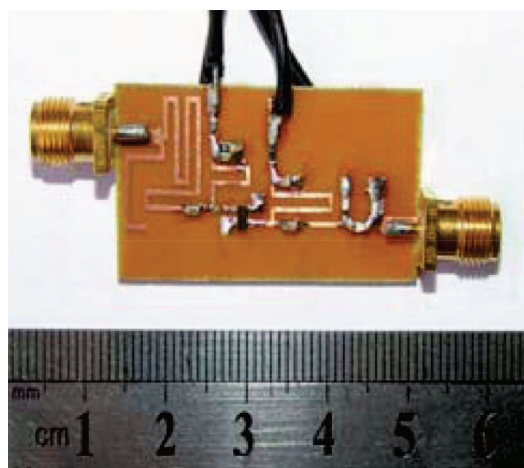
fréquence de résonance, le composant possède un comportement capacitif.

On voit la nécessité d'utiliser les modèles du fondeur pour qu'une méthode de synthèse et de conception soit efficace.

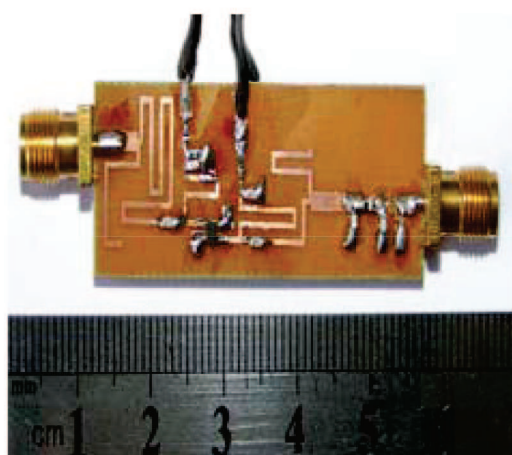
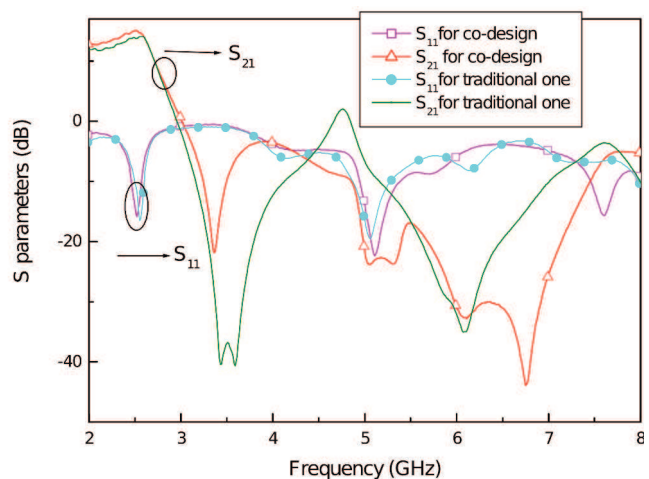
Dans la partie suivante, nous allons montrer que l'on peut aller encore plus loin dans l'amélioration des performances et dans l'intégration, en faisant de la co-conception. Au lieu de concevoir les circuits séparément, on peut intégrer dans les spécifications d'un élément de la chaîne de réception des contraintes habituellement reportées sur d'autres étages. On peut ainsi envisager de tenir des cahiers des charges plus exigeants ou gagner en compacité sur la taille de la chaîne globale.

1.2 Combiner plusieurs fonctions sur le même substrat : la co-conception

Une conception conjointe de plusieurs fonctions permet de gagner en performances et en intégration, c'est ce qui a été démontré dans les travaux de Li [13], qui portent sur la co-conception d'un amplificateur faible bruit et d'un filtre passe-bande. Deux circuits ont été fabriqués pour pouvoir comparer les performances entre la conception classique séparée et la co-conception. Les circuits fabriqués et les mesures des paramètres S sont donnés dans la Figure II.6. Ces dernières montrent que le gain de l'amplificateur passe de 14 dB à 15 dB et que le facteur de bruit décroît passe de 4 dB à 3.9 dB avec la co-conception. Même remarque pour le point de compression : la puissance en entrée passe de -15 dBm à -13 dBm. De plus, le gabarit filtrant et l'adaptation en sortie ont été améliorés.



(a)



(b)

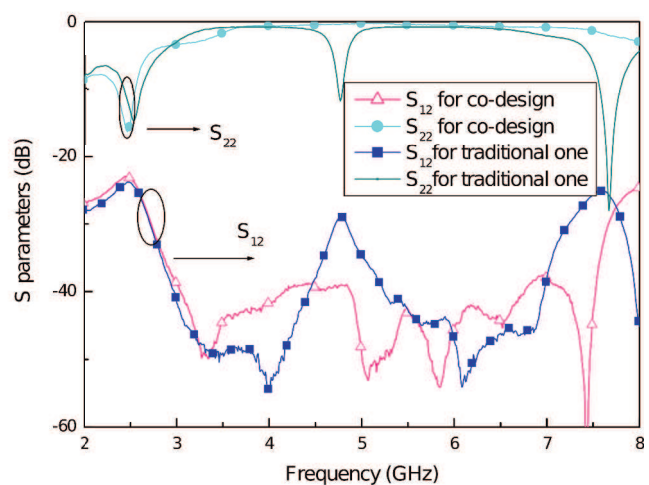


FIGURE II.6: Comparaison des performances de l'amplificateur faible bruit et du filtre passe-bande conçus séparément (a) et conçus conjointement (b) [13]

Dans cette thèse, nous allons nous concentrer sur la combinaison des fonctions filtrage et amplification. Les principaux avantages de la co-conception, par rapport à une conception séparée des circuits, est de réduire la taille du dispositif, le nombre de circuits, le prix et les pertes, d'avoir un meilleur rendement, un poids réduit et une meilleure intégration [67]. Si on se focalise sur les télécommunications spatiales, ces avantages sont extrêmement importants car le prix d'un satellite est proportionnel à son poids. Les services et le nombre d'utilisateurs continuant à augmenter, cela entraîne une augmentation de la puissance électrique des satellites ($P_{DC} > 12 \text{ kW}$) [7].

2 Une synthèse à base d'éléments non-idéaux : les filtres à pertes

Hunter a été le premier à introduire les synthèses de filtre à pertes en 2001 [68]. Au départ, une pré-distorsion classique était mise en place avec des résonateurs à facteur de qualité constants, afin d'obtenir une réponse en transmission correcte (voir équation (II.3), S'_{21} est le paramètre de transmission à pertes, S_{21} est le paramètre de transmission idéal, p est la variable de Laplace et α est relié au facteur de qualité du filtre). Pour simplifier la synthèse, le filtre est considéré symétrique.

$$S'_{21}(p) = S_{21}(p + \alpha) \quad (\text{II.3})$$

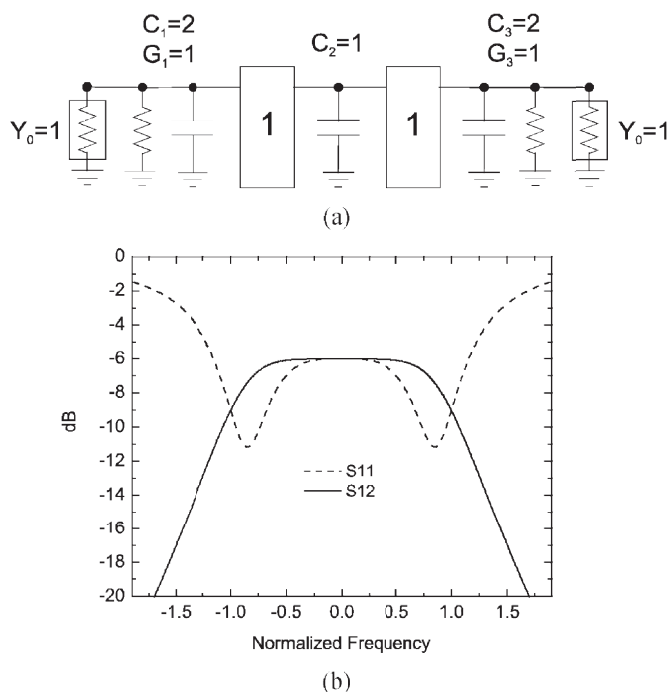


FIGURE II.7: Filtre à pertes avec facteur d'atténuation

Cette méthode présente un inconvénient : celui de dégrader la réflexion avec le résonateur central considéré sans pertes (voir Figure II.7).

Cette technique fut améliorée [69] en rajoutant une paire pôle-zéro dans la fonction de transfert à pertes (voir équation (II.4)), K est le facteur d'atténuation constant avec $K < 1$, σ correspond au décalage uniforme des pôles et des zéros dans le plan complexe. Les pertes peuvent être incluses dans le résonateur central grâce à l'ajout d'un couplage en parallèle (voir Figure II.8 (a)).

$$S'_{21}(p) = K.S_{21}\left(\frac{p - \sigma}{p + \sigma}\right) \quad (\text{II.4})$$

En raison de l'ordre du filtre qui peut être élevé et de la complexité mathématique, l'équation (II.4) est simplifiable par optimisation afin de n'ajouter que le zéro de transmission (voir équation (II.5)).

$$S'_{21}(p) = K.S_{21} \cdot (p - \sigma) \quad (\text{II.5})$$

Par conséquent, on peut enlever l'inductance dans la Figure II.8 (b). Les performances demeurent quasiment inchangées, seule la sélectivité du filtre est légèrement dégradée. On peut en déduire que si on répartit les pertes dans chacun des résonateurs et que l'on réalise des couplages résistifs, on peut améliorer les paramètres en réflexion.

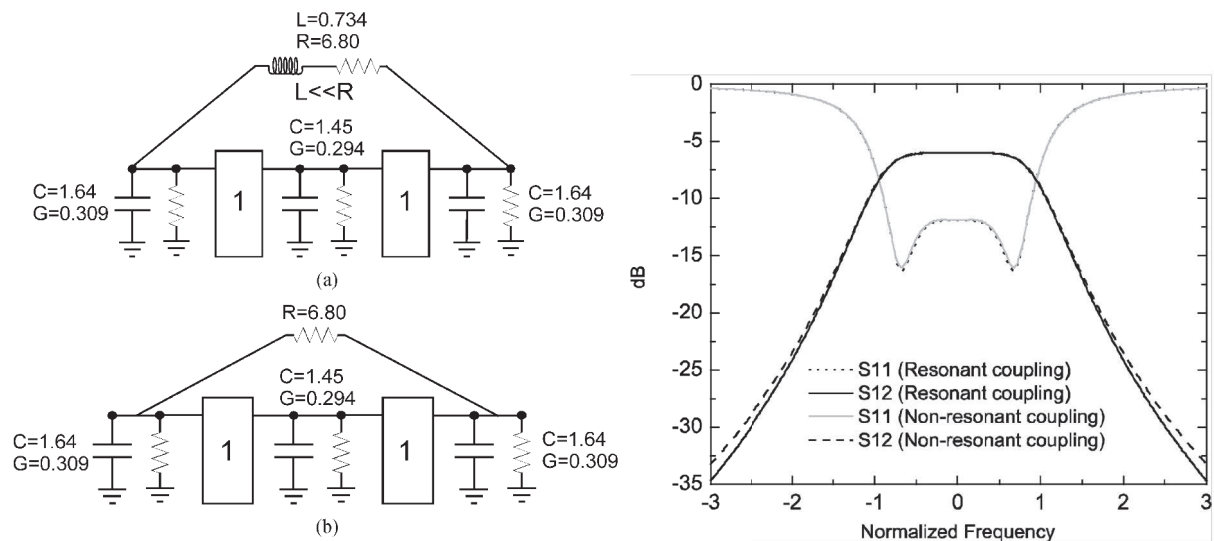
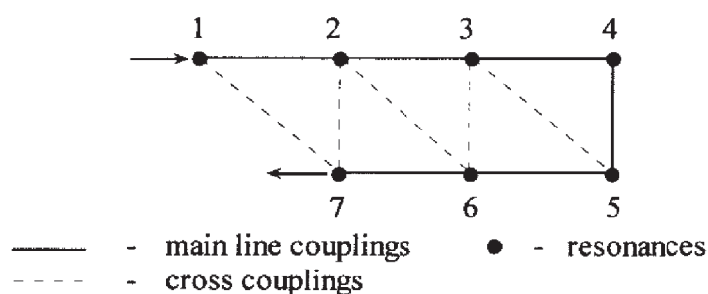


FIGURE II.8: Filtre à pertes avec un couplage résonant (a) et avec un couplage non-résonant (b)

Une autre procédure, détaillée dans [14], consiste à synthétiser un filtre à partir des fonctions de transfert polynomiales de la transmission et de la réflexion (voir équation (II.6), $S_{11}(\omega)$ et $S_{21}(\omega)$ sont exprimés à l'aide d'un rapport de deux polynômes de degré N , ϵ correspond au niveau de platitude de la transmission, R_L est le niveau de réflexion en décibel et $P(p)$ contient la fonction polynomiale des zéros de transmission). Cette méthode de synthèse permet d'extraire la matrice de couplage du filtre. Ces couplages peuvent être idéaux (partie imaginaire nulle) ou à pertes (partie imaginaire non nulle). Un exemple est donné dans la Figure II.9 avec la matrice de couplage d'un filtre d'ordre 7. De nombreux logiciels commerciaux ont été créés, permettant de trouver la matrice de couplage à partir des spécifications (nature du filtre, fréquence centrale, nombre et fréquences des pôles et des zéros de transmission, niveau de transmission, platitude, facteur de qualité) comme "Filter & Coupling Matrix Synthesis Software" de Guided Wave Technology, les outils "WiComm" (Mician GmbH) ou bien l'outil français "Presto-HF" de l'INRIA.

$$\begin{cases} S_{11}(\omega) = \frac{F(\omega)}{E(\omega)} \\ S_{21}(\omega) = \frac{P(\omega)}{\epsilon \times E(\omega)} \\ \epsilon = \frac{1}{\sqrt{10^{\frac{R_L}{10}} - 1}} \times \left. \frac{P(\omega)}{F(\omega)} \right|_{\omega=1} \end{cases} \quad (\text{II.6})$$



	1	2	3	4	5	6	7
1	s	m					xa
2	.	s	m			xa	xs
3	.	.	s	m	xa	xs	
4	.	.	.	s	m		
5	s	m	
6	s	m
7	s

Possible non-zero couplings:

- s — self coupling
- m — main line coupling
- xa — asymmetric cross-coupling
- xs — symmetric cross-coupling
- .
- couplings are symmetric about the principal diagonal

FIGURE II.9: Synthèse de la matrice de couplage d'un filtre d'ordre 7 [14]

Une comparaison fréquentielle de la dégradation du facteur de qualité du filtre dans une synthèse sans pertes et dans une synthèse à pertes est montrée dans la Figure II.10. Les avantages et les inconvénients de chacune des méthodes sont listés dans le Tableau II.1.

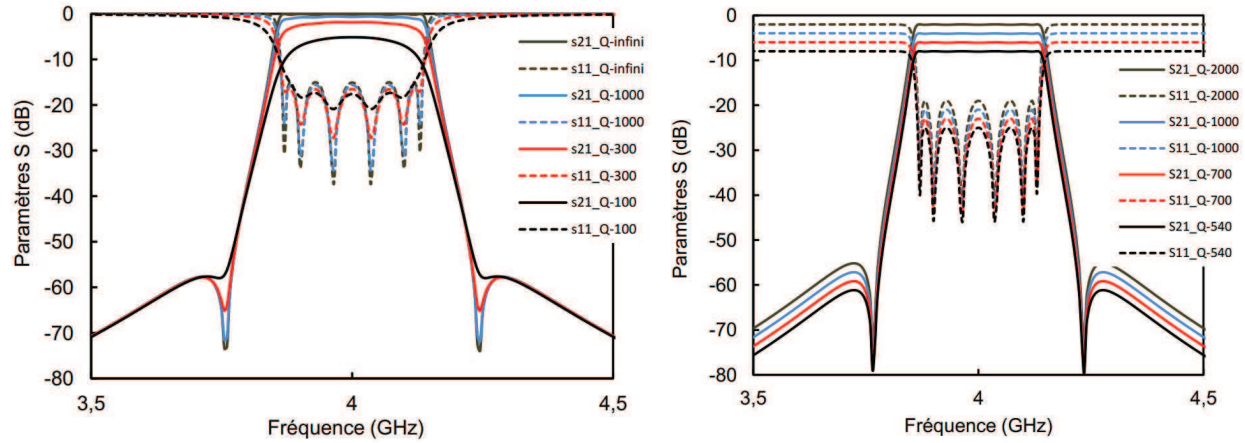


FIGURE II.10: Comparaison fréquentielle des réponses en transmission et en réflexion d'un filtre en fonction de son facteur de qualité avec une synthèse sans pertes (gauche) et une synthèse à pertes (droite) [15]

Q ↘ / synthèse	sans pertes	à pertes
avantages	∅	<ul style="list-style-type: none"> ☞ platitude améliorée ☞ réjection hors bande meilleure ☞ zéros de transmission plus distincts ☞ réflexion améliorée
inconvénients	<ul style="list-style-type: none"> ☞ pertes insertion dégradées ☞ platitude dégradée ☞ réjection hors bande altérée ☞ zéros de transmission moins distincts ☞ réflexion dégradée 	<ul style="list-style-type: none"> ☞ pertes insertion dégradées

Tableau II.1: Avantages et inconvénients de la diminution du facteur de qualité d'un filtre dans une synthèses sans pertes et à pertes

On peut remarquer que la méthode de synthèse pour les filtres à pertes présente un avantage majeur : celui d'améliorer les performances globales du filtre en rajoutant des pertes dans les résonateurs. D'autres techniques que l'ajout de couplages résistifs ont été employées dans la littérature : l'utilisation de résonateurs à facteur de qualité hétérogènes [70], des réseaux transversaux à facteur de qualité hétérogènes ([69], [71]) et des structures redondantes à pertes [72].

Nous nous sommes inspirés de cette méthode afin d'inclure les modèles à pertes des composants passifs MMIC, les lignes de connexion et les discontinuités liées à la mise en parallèle : une nouvelle méthode de synthèse combinant amplification et filtrage va être présentée.

3 Nouvelle méthode de synthèse et de conception

La Figure II.11 décrit les différents blocs de l'amplificateur faible bruit filtrant. Il reprend de manière arbitraire la topologie à trois étages introduite dans le chapitre précédent. Cette architecture permet également de mieux répartir les contraintes de filtrage (quatre réseaux d'adaptation). Le premier réseau d'adaptation inter-étages, le deuxième réseau d'adaptation inter-étages et le réseau d'adaptation de sortie possèdent respectivement des comportements passe-haut, passe-bas et passe-bande. Le choix de cet ordre sera justifié lors de la présentation de la méthode de synthèse des réseaux d'adaptation filtrants. Dans la suite de ce mémoire, Z_{ref_1} et Z_{ref_2} correspondent à 50Ω pour que les mesures soient plus faciles à réaliser. Cependant, ces impédances de fermeture peuvent être complexes.

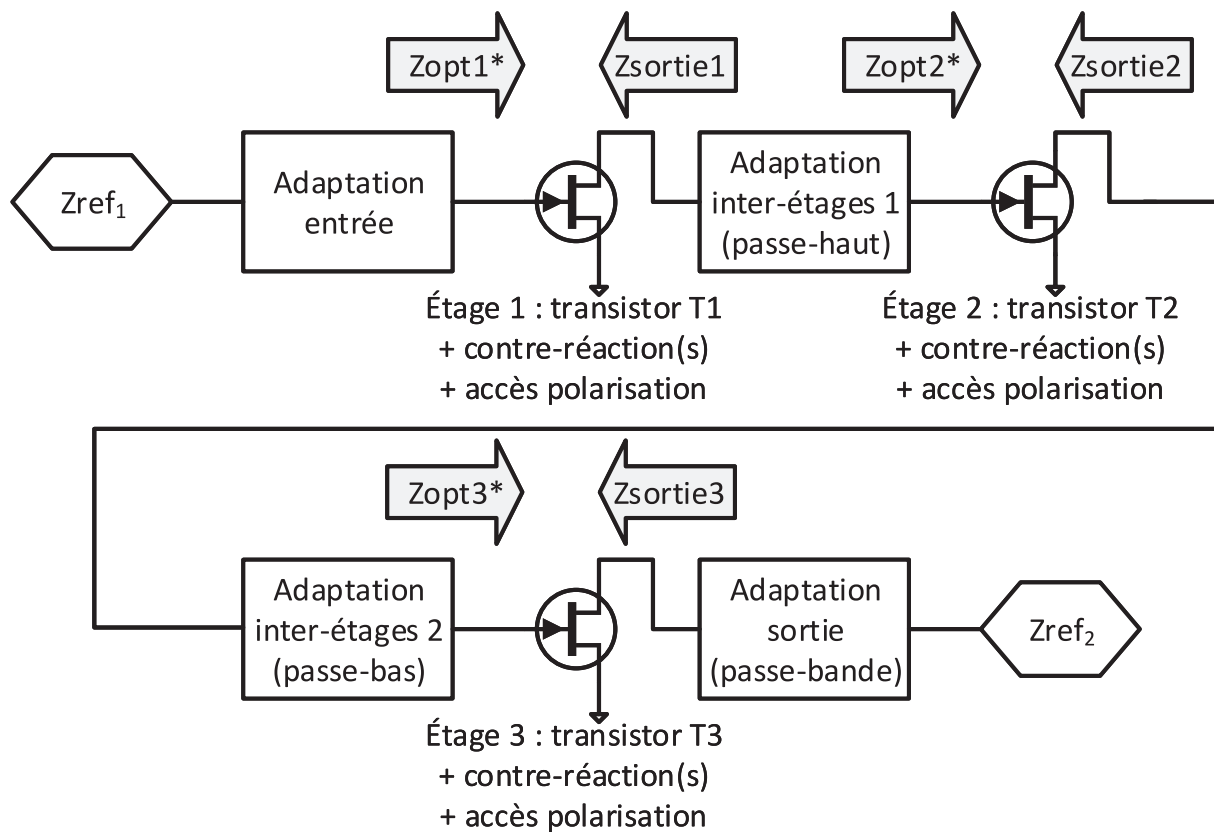


FIGURE II.11: Schéma simplifié des amplificateurs faible bruit filtrants conçus

La Figure II.12 montre les différentes étapes de la nouvelle méthode de synthèse et de conception. Elles seront expliquées dans l'ordre chronologique. L'avantage principal est de concevoir un amplificateur faible bruit filtrant au premier ordre (c'est-à-dire sans contrainte de surface de puce), avec des performances répondant globalement aux spécifications, en moins d'une journée. Le temps passé dans l'étape d'optimisation de la taille occupée par le circuit n'est pas pris en compte dans cette durée indicative.

Les différentes étapes de conception sont réalisées de façon successive. Comme montré dans la Figure II.12, trois outils sont utilisés pour la mettre en œuvre :

- le logiciel KESIGHT ADS avec la programmation en langage AEL (Application Extension Language) pour la polarisation et le choix des transistors ainsi que pour le dimensionnement des réseaux de contre-réaction. L'optimisation des performances globales est également réalisée avec cet outil ;

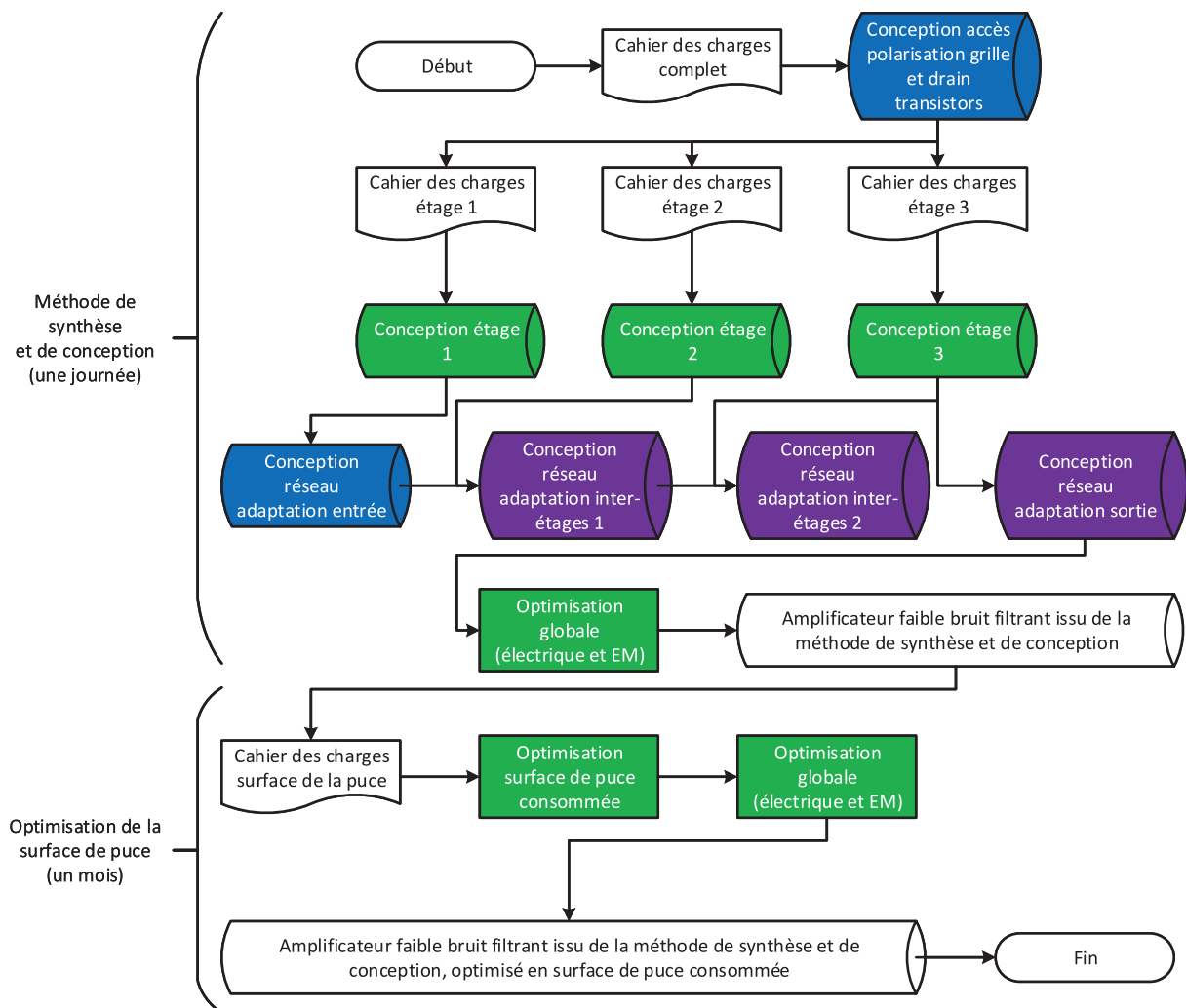


FIGURE II.12: Organigramme de la méthode de synthèse et de conception. Circuits réalisés sous Scilab (bleu), sous ADS (vert) et sous Maple (violet)

- ☞ le logiciel Scilab pour le dimensionnement des accès de polarisation de grille et de drain ainsi que du réseau d'adaptation en entrée ;
- ☞ le logiciel Maple pour la méthode de synthèse combinant adaptation et filtrage.

Connaissant la bande de fréquences utile et les modèles de composants passifs associés à la technologie de fabrication, on est capable de réaliser les accès de polarisation de grille et de drain de chacun des transistors. C'est le point de départ de cette méthode de synthèse et de conception.

3.1 Conception des accès de polarisation de grille et de drain

L'idée est de concevoir une architecture présentant un circuit ouvert dans la bande utile et un court-circuit en dehors de cette bande. Le dimensionnement correct de ces circuits est déterminant pour polariser les transistors. Elle est réalisée avant le choix du transistor et des réseaux de contre-réaction afin de prendre en compte les pertes liées aux accès.

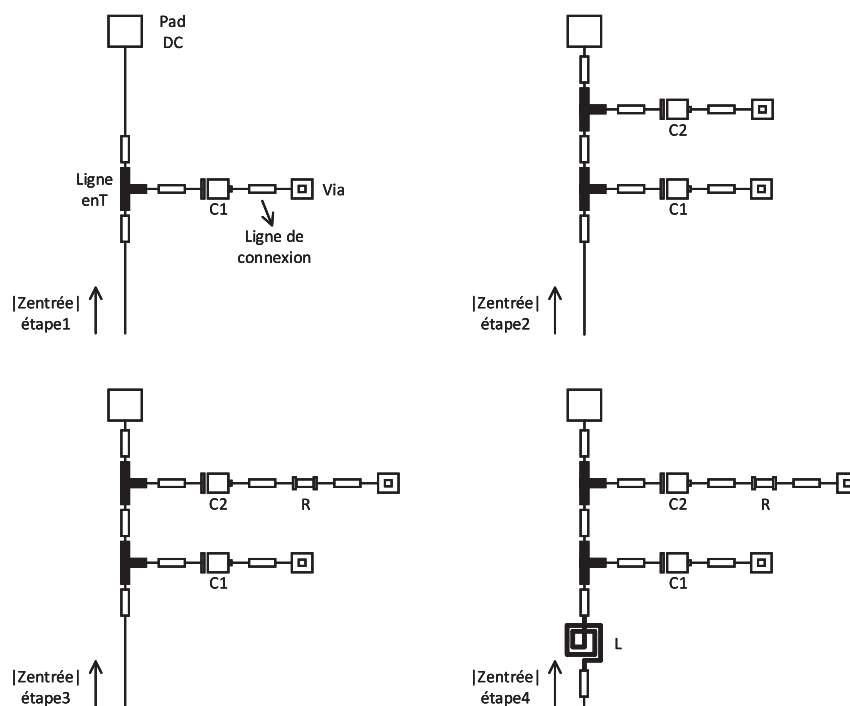


FIGURE II.13: Étapes de conception des accès de polarisation de grille et de drain

Les étapes de conception de ces accès ainsi que les circuits complets sont mentionnés dans la Figure II.13. Les résultats obtenus pour les accès de polarisation d'un amplificateur faible bruit filtrant en bande Ku sont donnés dans la Figure II.14. Une procédure sous Scilab a été créée pour obtenir les valeurs optimales des composants passifs (inductance, capacités et résistance), incluant leurs modèles. Les lignes de connexion possèdent une longueur et une largeur fixées par l'utilisateur :

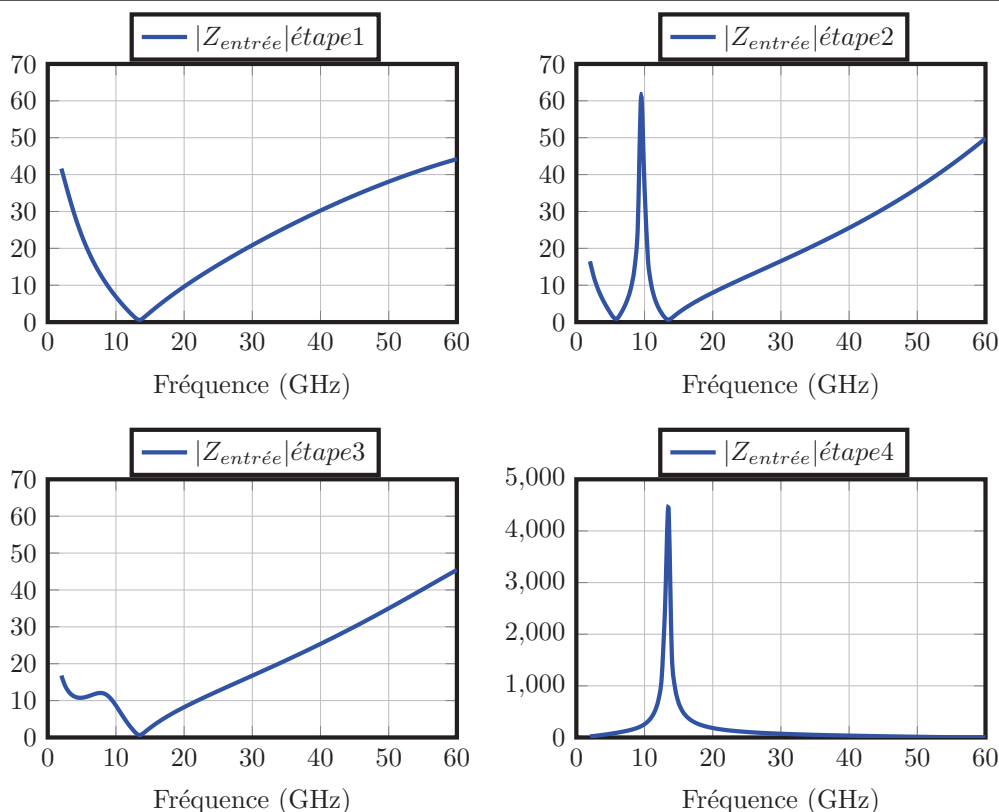


FIGURE II.14: Simulation du module de l'impédance d'entrée pour les différentes étapes de conception des accès de polarisation de grille et de drain pour un fonctionnement en bande Ku (12.75 GHz-14.8 GHz)

- ☞ elles doivent être relativement longues pour éviter le couplage entre les composants passifs.
- ☞ elle doivent être relativement larges pour que le facteur de bruit soit peu dégradé. Malheureusement, pour les filières UMS PH25, PH15 et PH10, la largeur maximale de la sortie de la capacité est de 20 μm . Afin de ne pas rajouter de discontinuités dans la méthode de synthèse, qui la rendrait plus complexe à mettre en oeuvre, les largeurs des lignes ont été fixées à 20 μm .

Une fois que les dimensions des lignes de connexion et des lignes en T sont fixées, on utilise leurs paramètres S, Y (admittance) ou Z (impédance) dans le programme, afin de dimensionner de façon analytique le circuit complet. L'inductance L, qui permet de réaliser le circuit ouvert dans la bande utile, peut être remplacée par une ligne de transmission. Dans le cas de l'accès de polarisation de grille, le circuit décrit précédemment peut être remplacé par une résistance de forte valeur (voir équation (II.7), R_s étant la résistance série de la source de bruit) avec ses lignes de connexion.

$$NF_{R_{\text{parallèle}}} = 10 \log\left(1 + \frac{R_s}{R_{\text{parallèle}}}\right) \quad (\text{II.7})$$

L'accès de polarisation de grille est dimensionnée de façon à ce que le pad DC de la grille soit à la même hauteur que le pad DC du drain. Cette solution n'a finalement pas été retenue car les degrés de liberté sont réduits (un au lieu de trois, qui correspond au nombre de composants passifs, $C1$ doit rester fixe) pour optimiser la platitude du gain de l'amplificateur lors de l'étape finale de conception (optimisation des performances globales et/ou optimisation de la surface de puce consommée).

Maintenant que les accès de polarisation de grille et de drain sont dimensionnés pour chacun des transistors, il faut choisir les tailles des transistors, les tensions à appliquer ainsi que les réseaux de contre-réaction pour chacun des étages.

3.2 Transistors et circuits de contre-réaction optimaux

La deuxième étape consiste à réutiliser la technique décrite dans le chapitre précédent pour choisir les polarisations et le dimensionnement des transistors ainsi que des réseaux de contre-réaction, en y apportant des modifications :

- ☞ les modèles à pertes des composants passifs sont inclus, y compris les lignes de connexion et les discontinuités ;
- ☞ tout type de contre-réaction est simulé (série et/ou parallèle) ;
- ☞ une automatisation de la procédure est réalisée (lancement des simulations les unes à la suite des autres, affichage de la solution optimale).

La procédure semi-automatique de dimensionnement des étages de l'amplificateur (transistor+polarisation+contre-réactions) est donnée dans la Figure II.15. À partir des spécifications de l'amplificateur complet, l'utilisateur doit entrer dans le programme écrit en AEL (Application Extension Language) les niveaux d'adaptation, de gain maximal, de stabilité (dans la bande utile et en dehors de la bande utile) et de tension d'alimentation voulus pour chacun des étages. Un algorithme d'optimisation (généralement gradient ou génétique) et des coefficients pour chacun des paramètres doivent être déterminés. Une grande importance doit être apportée à la stabilité inconditionnelle ($K > 1$ et $B > 0$).

Les accès de polarisation de grille et de drain sont inclus dans les simulations. Tous les réseaux de contre-réaction sont testés. L'optimiseur calcule un taux d'erreur. Le circuit qui obtient le taux d'erreur le plus bas (idéalement égal à zéro) est le circuit optimal.

Les tailles des transistors, les accès de polarisation et les réseaux de contre-réactions optimaux resteront constants dans le cadre de cette méthode de synthèse et de conception. L'étape suivante consiste à dimensionner les réseaux d'adaptation et à respecter les contraintes de réjection de l'amplificateur faible bruit.

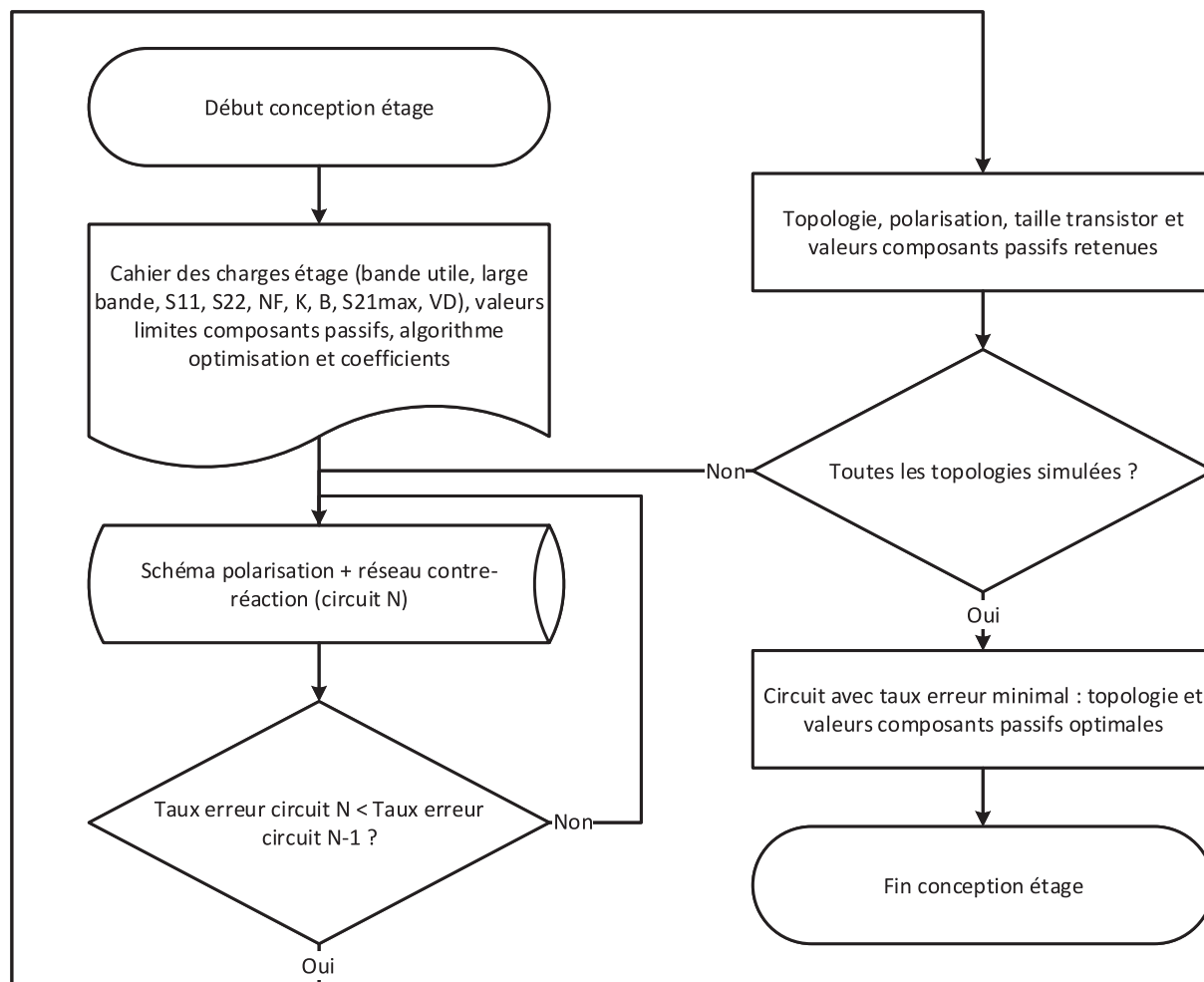


FIGURE II.15: Flot de conception d'un étage de l'amplificateur (transistor+polarisation+contre-réactions) réalisé en langage AEL sous ADS

3.3 Réseau d'adaptation en entrée et méthode de synthèse permettant de combiner l'adaptation et le filtrage

Afin de respecter la contrainte importante du facteur de bruit, la première approche consisterait à adapter les entrées de chacun des étages à l'impédance optimale en bruit dans la bande utile. Cependant, comme on l'a vu dans le chapitre précédent, le coefficient de réflexion en entrée pourrait être dégradé. Le choix a été fait de réaliser un compromis sur les critères suivants pour le réseau d'adaptation en entrée :

- ☞ le niveau de bruit ramené par le circuit d'adaptation (voir équation (II.8)) ;

$$NF_{circuitpassif_{T0}} = 10 \log \left(\frac{1 - |S_{22}|^2}{|S_{21}|^2} \right) \quad (\text{II.8})$$

- ☞ une adaptation proche de l'impédance optimale en bruit ;

☞ une adaptation permettant d'obtenir un niveau correct de réflexion en entrée (typiquement inférieur à -15 dB).

Concernant les autres réseaux d'adaptation (inter-étages 1 et 2 et de sortie pour un amplificateur à trois étages), des topologies filtrantes (de type Chebychev) ont été introduites avec des impédances de référence pouvant être complexes.

Sachant que la remontée en bruit est de moins en moins importante au fur et à mesure que l'on se rapproche de la sortie de l'amplificateur (formule de Friis), le choix a été fait d'utiliser une topologie passe-haut pour l'inter-étages 1, une topologie passe-bas pour l'inter-étages 2 et une topologie passe-bande pour la sortie.

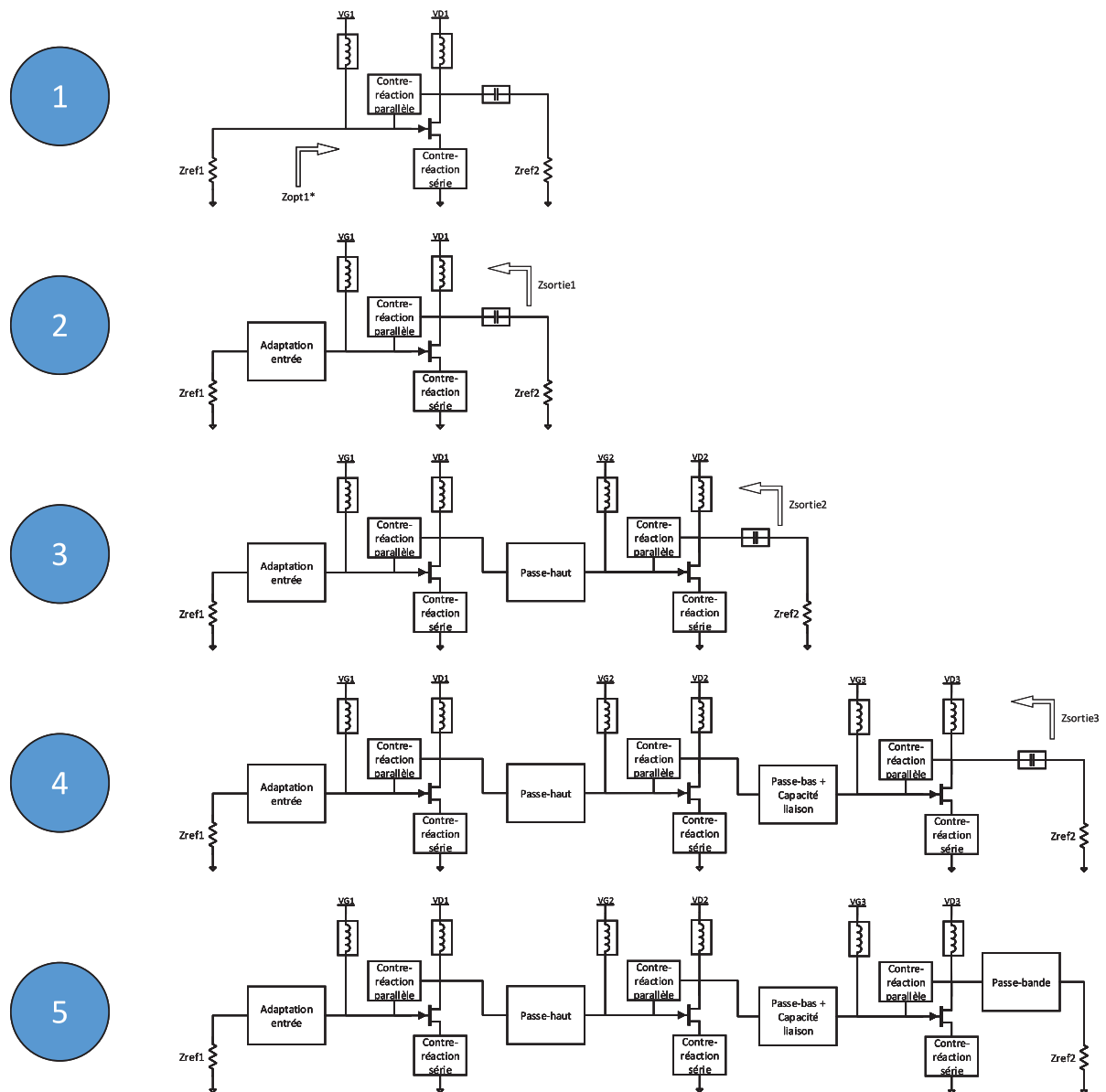


FIGURE II.16: Étapes de conception successives des réseaux d'adaptation pour l'amplificateur faible bruit à trois étages

Les différentes impédances à considérer pour la conception des réseaux d'adaptation sont montrées dans la Figure II.16 :

- ① à partir des résultats obtenus précédemment, on relève les impédances optimales en bruit Z_{opt1}^* (conjugué de Z_{opt}), Z_{opt2}^* et Z_{opt3}^* dans la bande utile. Puis on calcule le réseau d'adaptation en entrée avec Z_{ref1} (entrée) et Z_{opt1}^* (sortie) ;
- ② une fois que le réseau d'adaptation en entrée est dimensionné, on relève l'impédance $Z_{sortie1}$, qui correspond à l'ensemble {réseau d'entrée + étage 1}. Puis on calcule le passe-haut avec $Z_{sortie1}$ (entrée) et Z_{opt2}^* (sortie) ;
- ③ une fois que le passe-haut est dimensionné, on relève l'impédance $Z_{sortie2}$, qui correspond à l'ensemble {réseau d'entrée + étage 1 + passe-haut + étage2}. Puis on calcule le passe-bas avec $Z_{sortie2}$ (entrée) et Z_{opt3}^* (sortie). La capacité de liaison fait partie du deuxième étage ;
- ④ une fois que le passe-bas est dimensionné, on relève l'impédance $Z_{sortie3}$, qui correspond à l'ensemble {réseau d'entrée + étage 1 + passe-haut + étage2 + passe-bas + étage3}. Puis on calcule le passe-bande avec $Z_{sortie3}$ (entrée) et Z_{ref2} (sortie).

Nous allons maintenant définir l'approche menée pour le choix et le dimensionnement de chacun des réseaux d'adaptation.

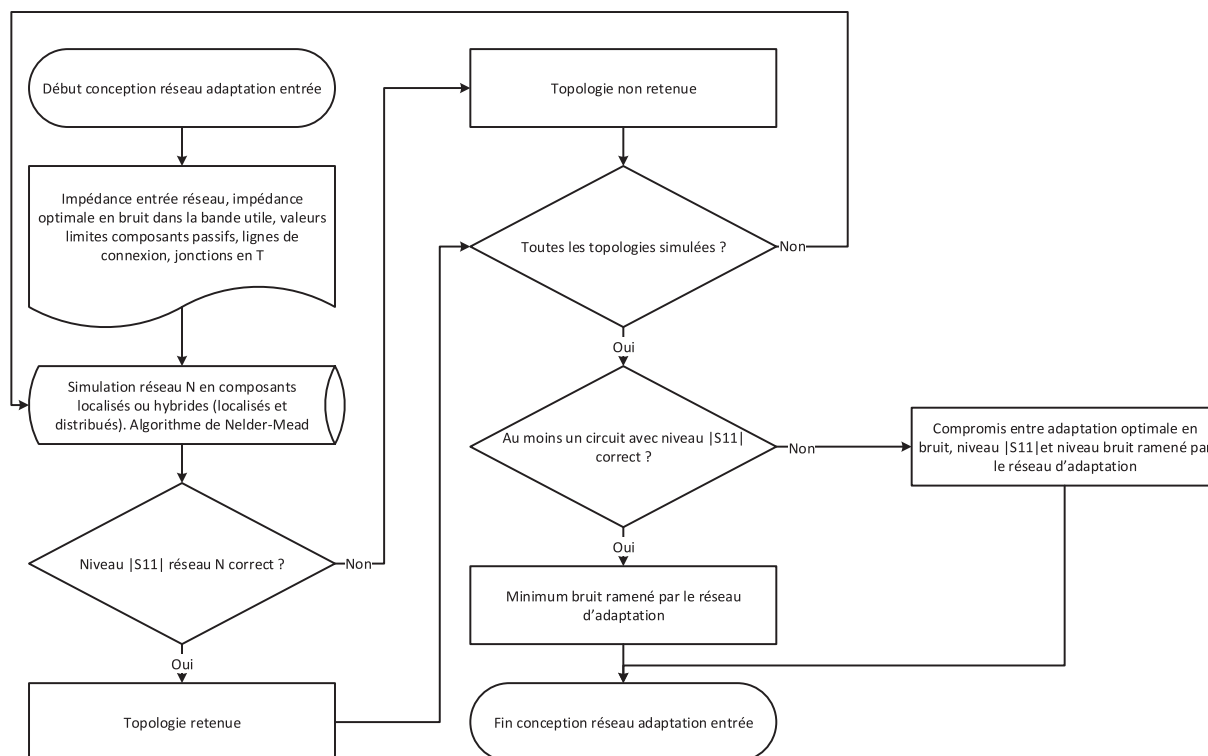


FIGURE II.17: Flot de conception du réseau d'adaptation en entrée de l'amplificateur sous Scilab

3.3.1 Conception du réseau d'adaptation en entrée

La procédure de conception du réseau d'adaptation en entrée de l'amplificateur est donnée par la Figure II.17. Elle a été réalisée avec le logiciel Scilab. Comme à l'étape de dimensionnement des étages, les modèles à pertes des composants passifs, les lignes de connexion et les jonctions en T sont pris en compte. Il est nécessaire pour l'utilisateur de réaliser une simulation préalable des paramètres Z des lignes, des paramètres S de la jonction en T (avec une simulation électromagnétique) dans la bande utile et de fixer les longueurs des lignes de connexion, de façon à limiter le couplage entre les composants passifs.

Les impédances en entrée et en sortie du réseau d'adaptation (impédance optimale en bruit) ainsi que les valeurs limites des composants passifs doivent être mentionnées. L'algorithme d'optimisation qui a été choisi est celui de Nelder-Mead car il permet d'optimiser une fonction non linéaire dont les paramètres d'entrée sont bornés. La fonction coût est représentée par l'équation (II.9). Elle calcule la somme des distances entre l'impédance de sortie du réseau et l'impédance optimale en bruit pour chacune des fréquences échantillonnées dans la bande utile. ϵ doit être le plus proche possible de zéro.

$$\epsilon = \sum_{i=1}^j \sqrt{[\Re(Z_{\text{sortie réseau}_i}) - \Re(Z_{\text{opt}_i})]^2 + [\Im(Z_{\text{sortie réseau}_i}) - \Im(Z_{\text{opt}_i})]^2} \quad (\text{II.9})$$

Ces calculs sont effectués sur les circuits dessinés dans les figures II.18 (en composants localisés) et II.19 (en composants localisés et distribués). Il est nécessaire de bloquer le signal DC provenant de l'accès de polarisation de grille et de drain. Ces circuits ont, par conséquent, été choisis car ils comportent au moins une capacité série.

Trois critères sont à prendre en compte pour le choix de la topologie et des valeurs des composants passifs :

- ☞ se rapprocher le plus possible de l'impédance optimale en bruit ;
- ☞ obtenir un niveau d'adaptation en entrée respectant la spécification (généralement inférieur à -15 dB) ;
- ☞ s'assurer que l'impact de la remontée en bruit du premier étage causé par le réseau soit limité.

Si aucune des topologies ne respectent en même temps ces trois conditions, alors la priorité doit être donnée à l'adaptation optimale en bruit et à la remontée limitée du niveau de bruit. Le niveau correct d'adaptation en entrée sera obtenu lors de l'optimisation globale du circuit à la fin de la procédure de synthèse.

Les valeurs des paramètres S du premier étage (accès de polarisation, transistor et contre-réaction(s)) doivent être rentrées par l'utilisateur dans le programme. En effet, il est nécessaire de calculer l'impédance de sortie du montage {adaptation en entrée + étage 1}, dans le but de concevoir les autres réseaux d'adaptation.

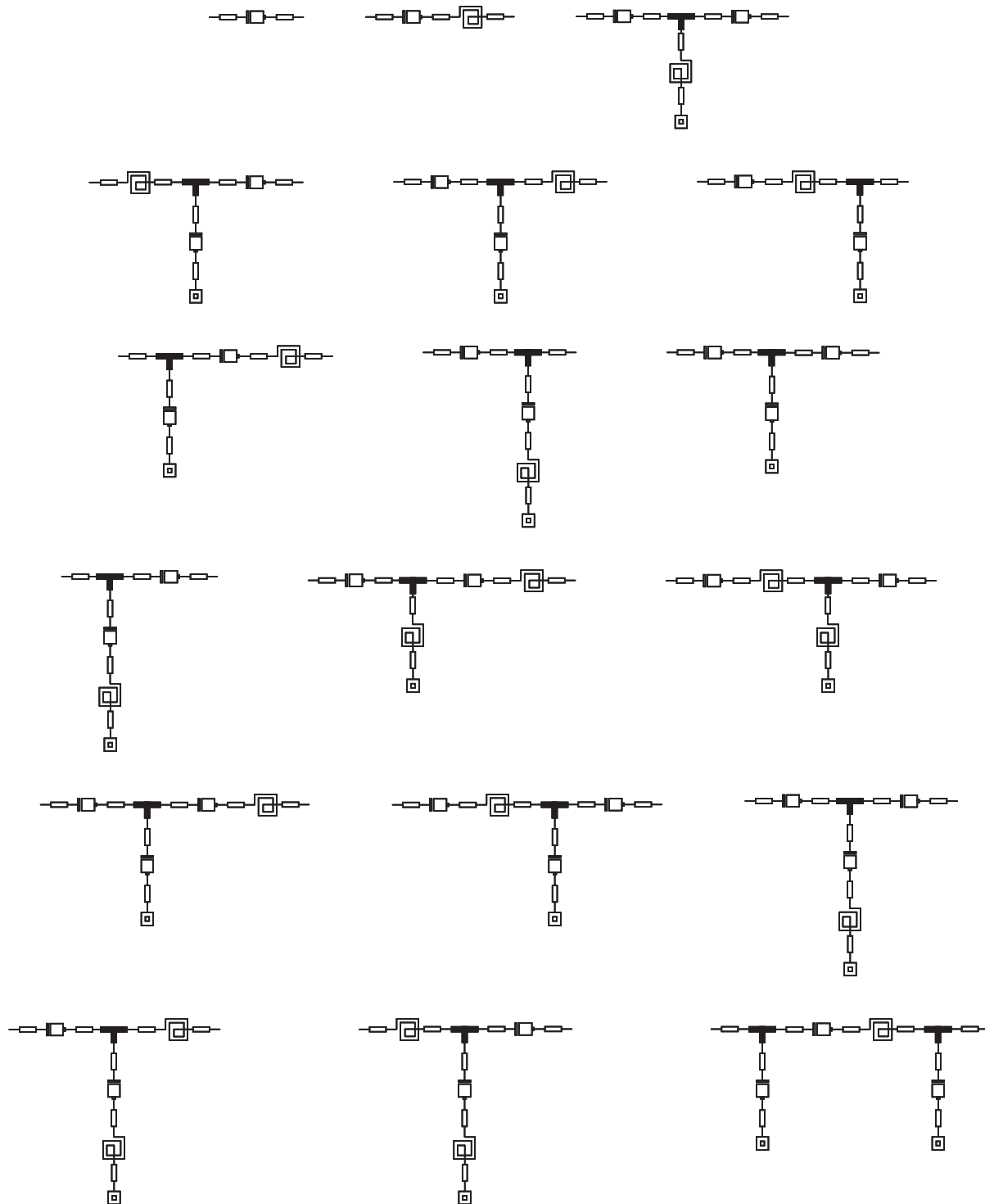


FIGURE II.18: Circuits d'adaptation disponibles pour l'adaptation en entrée en éléments localisés sous Scilab, incluant jonctions en T et lignes de connexion

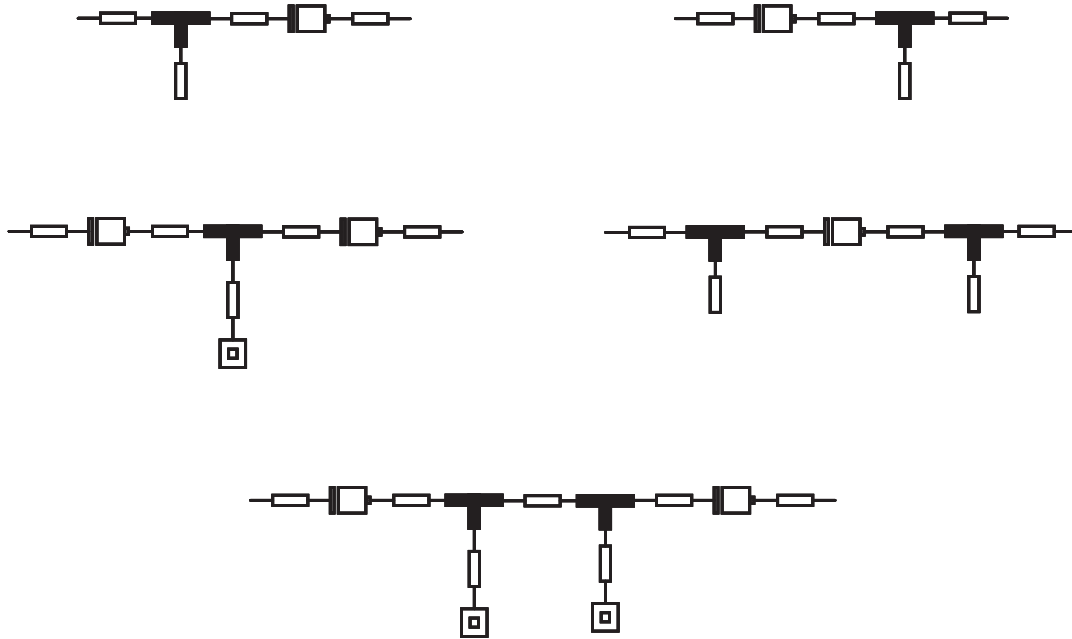


FIGURE II.19: Circuits d'adaptation disponibles pour l'adaptation en entrée en éléments localisés et distribués sous Scilab, incluant jonctions en T et lignes de connexion

3.3.2 Nouvelle méthode de synthèse pour la conception des réseaux d'adaptation filtrants

Nous avons vu précédemment que les méthodes de synthèse existantes sont basées soit sur des modèles de composants passifs sans pertes, soit sur des modèles à pertes qui peuvent être ramenés à des modèles sans pertes par une transformation. Malheureusement, les modèles du fondeur ne respectent aucune de ces deux conditions. Il a été nécessaire de créer une nouvelle méthode de synthèse incluant les modèles à pertes des composants passifs, les jonctions en T et les lignes de connexion.

L'organigramme de la méthode de synthèse d'adaptation filtrante réalisée sous Maple est montré dans la Figure II.20. L'idée principale est d'effectuer une interpolation polynomiale des parties réelles et imaginaires du paramètre S_{11} du filtre, à la fréquence minimale et maximale de la bande utile. L'utilisateur doit rentrer les impédances de fermeture à la fréquence centrale, les paramètres S des lignes de connexion et des jonctions en T ainsi que le niveau d'adaptation en entrée voulu.

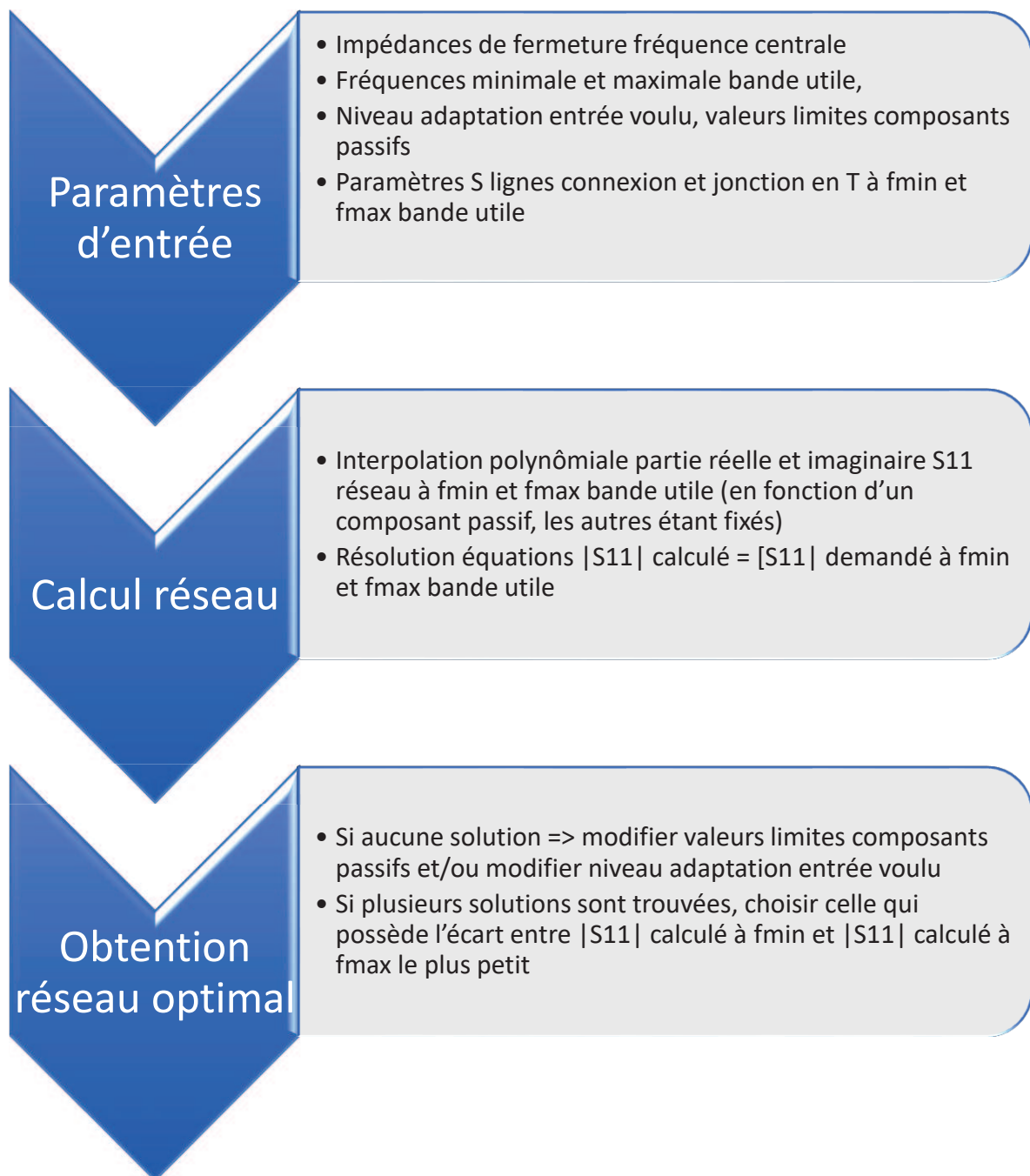


FIGURE II.20: Organigramme de l'adaptation filtrante réalisée sous Maple

Les circuits disponibles issus du programme sont mentionnés dans la Figure II.21 et les gabarits de filtre à obtenir sont illustrés dans la Figure II.22. Les programmes permettent de dimensionner des filtres passe-bas et passe-haut d'ordre 3 avec le premier élément en série. Le circuit passe-bande est d'ordre 2 avec le premier élément en série pour une meilleure intégration.

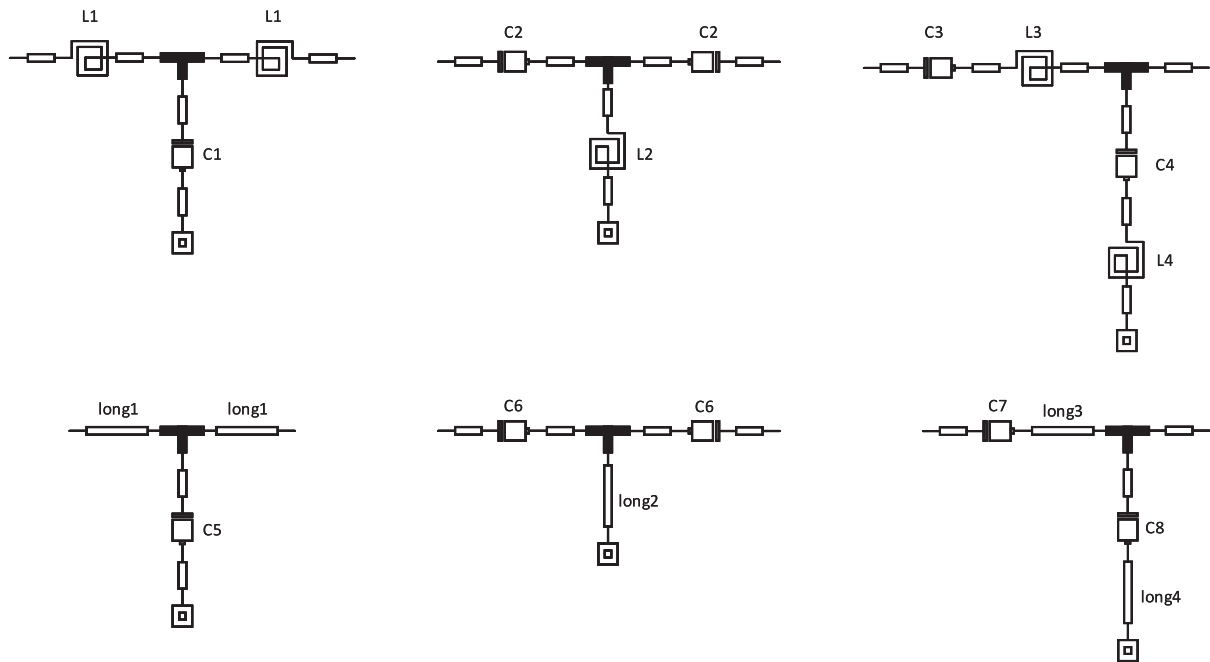


FIGURE II.21: Filtres disponibles sous Maple

Première ligne : passe-bas et passe-haut d'ordre 3 et passe-bande d'ordre 2 en composants localisés

Deuxième ligne : passe-bas et passe-haut d'ordre 3 et passe-bande d'ordre 2 en composants localisés et distribués

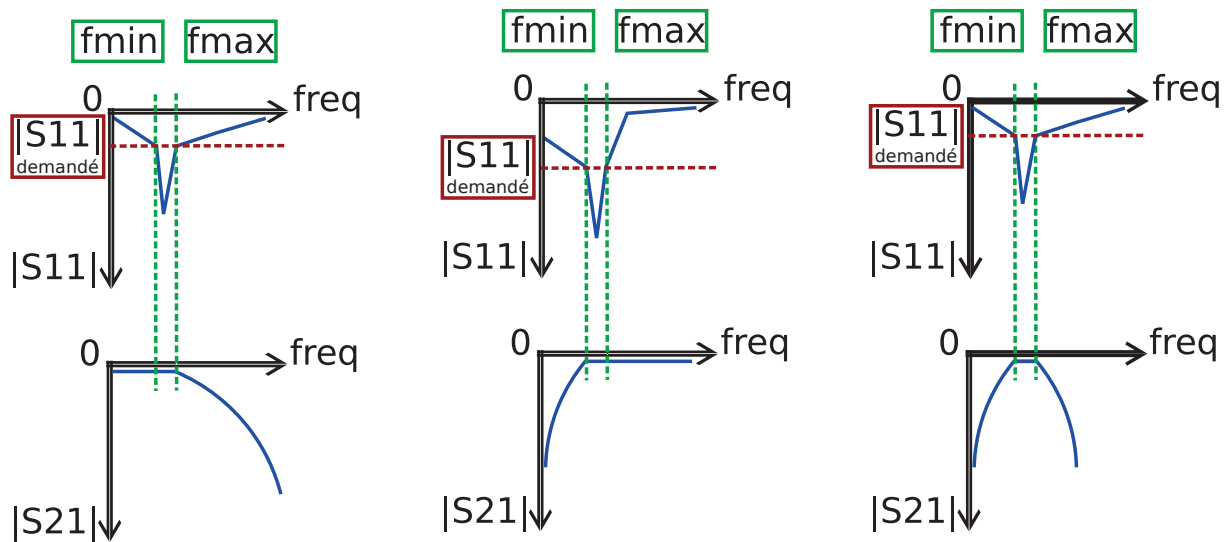


FIGURE II.22: Tracé des gabarits de filtres à obtenir avec la méthode de synthèse d'adaptation filtrante

De gauche à droite : passe-bas, passe-haut et passe-bande

Deux améliorations peuvent être apportées aux programmes, en incluant les filtres dont le premier élément est en parallèle et les circuits passe-bande d'ordre 3. L'ordre des filtres est très petit afin de limiter les pertes, la dégradation du facteur de bruit et la surface de puce consommée.

Les étapes de calcul pour le filtre passe-bas sont montrées dans la Figure II.23 :

- ① dans un premier temps, il faut obtenir les paramètres S de la jonction en T (S3P), des lignes de connexion, de la branche en série contenant L1 (S2P) et le coefficient de réflexion d'entrée de la branche en parallèle contenant la capacité C1. Le calcul de Gamma est donné par l'équation (II.10) (Z_0 étant l'impédance de fermeture égale à 50Ω). Les relations de conversion entre les matrices S, chaîne, admittance et impédance sont données par [73] ;

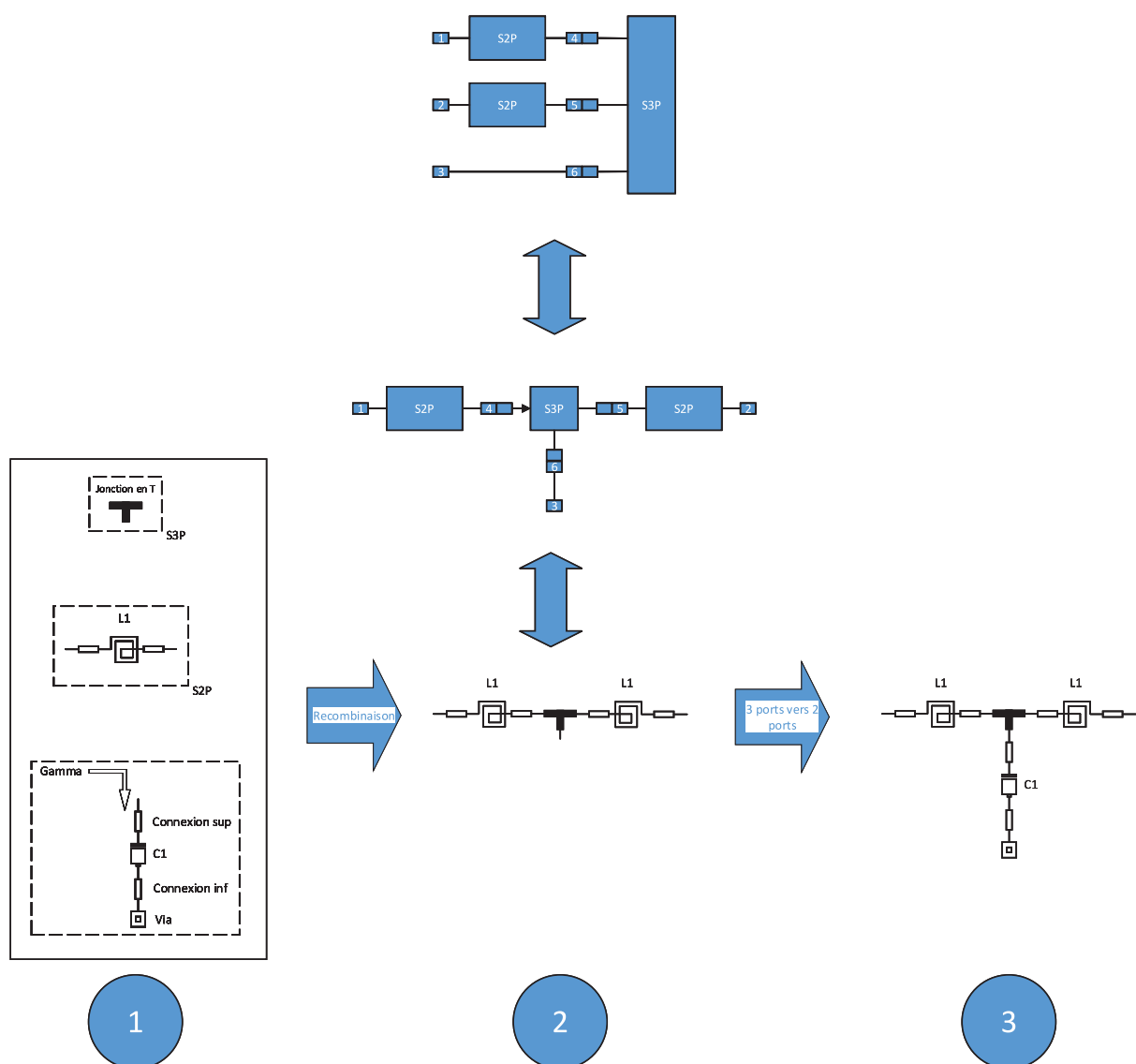


FIGURE II.23: Méthode de calcul pour l'adaptation filtrante sous Maple : exemple du filtre passe-bas d'ordre 3

$$\left\{ \begin{array}{l} [ABCD_{branche}] = \begin{bmatrix} A_{branche} & B_{branche} \\ C_{branche} & D_{branche} \end{bmatrix} = \\ [ABCD_{connexionsup}] \times [ABCD_{C1}] \times [ABCD_{connexioninf}] \times [ABCD_{via}] \\ [Z_{branche}] = \begin{bmatrix} \frac{A_{branche}}{C_{branche}} & \frac{A_{branche} \times D_{branche} - B_{branche} \times C_{branche}}{C_{branche}} \\ \frac{1}{C_{branche}} & \frac{D_{branche}}{C_{branche}} \end{bmatrix} \\ \Gamma = \frac{Z_{branche}(1,1) - \frac{Z_{branche}(1,2) \times Z_{branche}(2,1)}{Z_{branche}(2,2)} - Z_0}{Z_{branche}(1,1) - \frac{Z_{branche}(1,2) \times Z_{branche}(2,1)}{Z_{branche}(2,2)} + Z_0} \end{array} \right. \quad (II.10)$$

② dans un deuxième temps, il faut réaliser la recombinaison de la jonction en T avec les deux branches en série contenant L1. La résolution est donnée par l'équation (II.11), qui fut démontrée par [74] ($[I]$ est la matrice identité). Le formalisme nécessite que chacune des branches série (représentée par ses paramètres S S2P) soient symétriques : en effet, dans la Figure II.23 à l'étape 2, la branche de droite est connectée entre le port 2 (port d'entrée) et le port 5 (port connecté à la jonction en T, représentée par ses paramètres S S3P). Le port 2 correspond aussi à la sortie du passe-bas. Par conséquent, le S2P en sortie du filtre est bien le symétrique du S2P en entrée du filtre. On obtient $S3P_{sansGamma}$;

$$\left\{ \begin{array}{l} S_{ee} = \begin{bmatrix} S2P(1,1) & 0 & 0 \\ 0 & S2P(1,1) & 0 \\ 0 & 0 & 0 \end{bmatrix} \quad S_{ei} = \begin{bmatrix} S2P(1,2) & 0 & 0 \\ 0 & S2P(1,2) & 0 \\ 0 & 0 & 1 \end{bmatrix} \\ S_{ie} = \begin{bmatrix} S2P(2,1) & 0 & 0 \\ 0 & S2P(2,1) & 0 \\ 0 & 0 & 1 \end{bmatrix} \quad S_{ii} = \begin{bmatrix} S2P(2,2) & 0 & 0 \\ 0 & S2P(2,2) & 0 \\ 0 & 0 & 0 \end{bmatrix} \\ [S3P_{sansGamma}] = [S_{ee}] + [S_{ei}] \times ([I] - [S3P] * [S_{ii}])^{-1} \times [S3P] * [S_{ie}] \end{array} \right. \quad (II.11)$$

- ③ la dernière étape consiste à assembler le $S3P_{sansGamma}$ obtenu précédemment avec Gamma. La relation est donnée par l'équation (II.12) [75].

$$\left\{ \begin{array}{l} S11_{passe-bas} = S11_{S3PsansGamma} - \frac{S13_{S3PsansGamma} \times S31_{S3PsansGamma}}{S33_{S3PsansGamma} - \frac{1}{Gamma}} \\ S12_{passe-bas} = S12_{S3PsansGamma} - \frac{S13_{S3PsansGamma} \times S32_{S3PsansGamma}}{S33_{S3PsansGamma} - \frac{1}{Gamma}} \\ S21_{passe-bas} = S21_{S3PsansGamma} - \frac{S23_{S3PsansGamma} \times S31_{S3PsansGamma}}{S33_{S3PsansGamma} - \frac{1}{Gamma}} \\ S22_{passe-bas} = S22_{S3PsansGamma} - \frac{S23_{S3PsansGamma} \times S32_{S3PsansGamma}}{S33_{S3PsansGamma} - \frac{1}{Gamma}} \end{array} \right. \quad (II.12)$$

Pour conserver le comportement filtrant (passe-bas dans ce cas) du réseau, il est indispensable que les valeurs des composants série soit égales (les inductances dans ce cas). Pour simplifier le calcul du programme Maple, l'interpolation polynômiale se fait sur le composant en parallèle (la capacité dans ce cas). Un exemple sera donné dans le chapitre suivant.

Une fois que les réseaux d'adaptation sont choisis et dimensionnés sous Scilab et Maple, la méthode de synthèse et de conception est terminée. Cependant, deux questions doivent être posées : est-ce que le cahier des charges est respecté dans son intégralité et est-ce que la taille de la puce est conforme en vue de sa fabrication ?

4 Optimisation des performances et de la surface de la puce

Une fois que l'amplificateur faible bruit filtrant est dimensionné à l'aide de la nouvelle méthode de synthèse et de conception, deux conditions doivent être remplies pour ne pas modifier le dessin de la puce :

- ☞ le cahier des charges est-il entièrement respecté ? En effet, les performances de la méthode sont dépendantes des paramètres donnés par l'utilisateur. De plus, pour simplifier les calculs, les impédances entrées par l'utilisateur sous Maple sont calculées à la fréquence centrale de la bande utile. Si la variation de l'impédance est importante dans la bande (ce qui est souvent le cas pour des bandes larges), les performances peuvent être affectées ;
- ☞ la surface de puce synthétisée n'est-elle pas trop élevée ? On a vu que seules les jonctions en T sont prises en compte dans la méthodologie de conception. Ce qui signifie que les lignes de connexion sont forcément droites et de longueurs suffisamment importantes pour limiter le couplage électromagnétique. Afin de respecter les surfaces normées des fondeurs pour la fabrication des puces, il est souvent indispensable de revoir le dessin de la puce issu de la méthode.

Si ces deux conditions ne sont pas réunies, alors il faut procéder à une optimisation. Les composants optimisables sont montrés dans la Figure II.24 : tous les composants passifs peuvent être modifiés dans les réseaux d'adaptation et de contre-réaction. Dans les accès de polarisation de grille et de drain, seule la capacité la plus proche du transistor n'est pas optimisable car, comme montré précédemment, elle participe à la réalisation du "court-circuit" dans la bande utile. Quant aux dimensions des transistors et aux polarisations, elles restent figées.

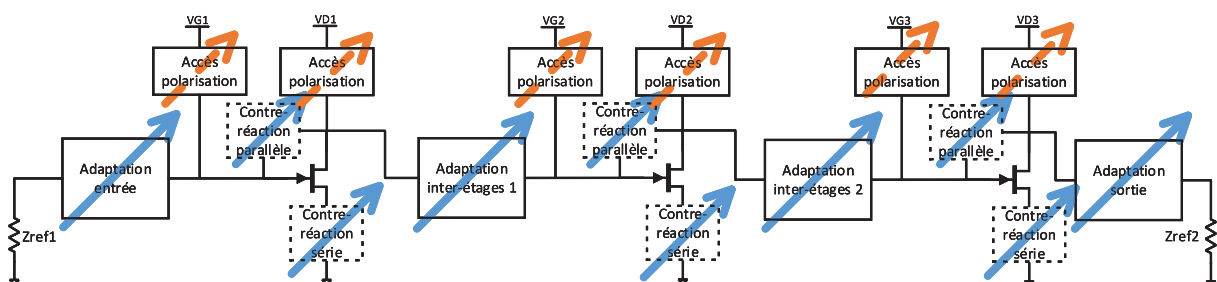


FIGURE II.24: Composants optimisables dans l'amplificateur faible bruit filtrant après utilisation de la méthode

Les variables à optimiser sont les mêmes lors de l'optimisation de la surface occupée, dont les étapes sont mentionnées dans la Figure II.25. Cette partie reste longue par rapport au temps nécessaire pour synthétiser un circuit par la méthode. Cette étape demande beaucoup d'expérience car plus on monte en fréquence, plus la difficulté est importante à cause du couplage électromagnétique. Cependant, cet exercice est très proche de celui opéré par les concepteur confirmés lorsqu'ils adaptent un circuit existant pour une autre application.

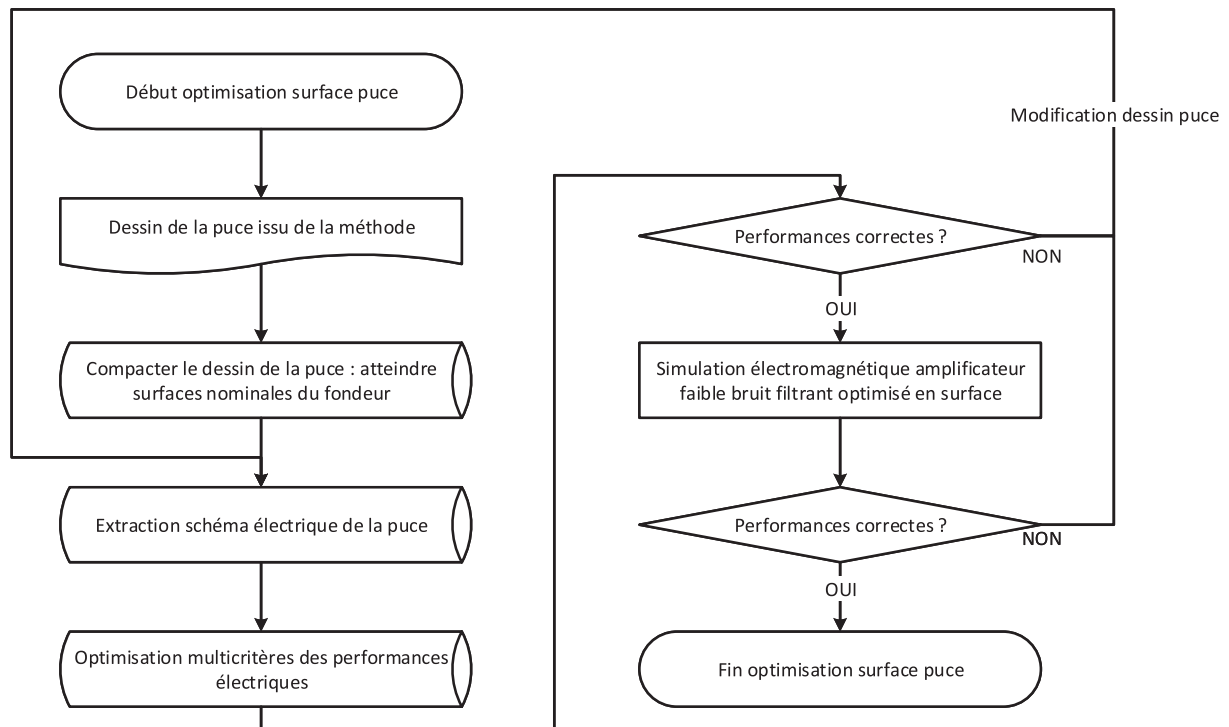


FIGURE II.25: Organigramme expliquant l'optimisation de la surface de puce consommée

La démarche pour l'optimisation du dessin de la puce de l'amplificateur faible bruit filtrant en surface occupée, consiste à réaliser de nombreuses itérations entre le dessin de la puce et son schéma électrique équivalent. La simulation électromagnétique est lancée, quant à elle, uniquement lorsque le taux erreur de l'optimiseur multicritères est suffisamment faible (les coefficients et les niveaux des différentes spécifications du cahier des charges sont choisis par l'utilisateur). Si la simulation électromagnétique n'est pas satisfaisante, on vérifie le ou les endroits sur la puce où il existe un couplage électromagnétique : plutôt en entrée si le niveau de S11 devient positif ou plutôt en sortie si le niveau de S22 devient positif sur une bande de fréquences.

5 Conclusion

Dans ce chapitre, les limitations des méthode de synthèse "classiques" des amplificateurs faible bruit ont été mises en évidences. Une méthode de synthèse des filtres à pertes a été présentée pour les filtres, qui consiste à ajouter des pertes dans un réseau pour améliorer certaines performances. Cependant, ce type de méthode ne prend pas en compte des modèles à pertes complexes comme les modèles des composants passifs provenant de fondeurs.

Une nouvelle méthode de synthèse et de conception multicritères a été créée pour les amplificateurs faible bruit filtrants, prenant en compte les modèles à pertes des composants passifs, les jonctions en T et les lignes de connexion. La première étape consiste à dimensionner les accès de polarisation de grille et de drain à l'aide d'un programme Scilab. La deuxième étape comporte le choix simultané de la taille du transistor, des polarisations et des réseaux de contre-réaction pour chacun des étages, à l'aide d'une routine écrite en AEL sous Keysight ADS. La troisième étape comprend le dimensionnement du réseau d'adaptation en entrée, en réalisant un compromis entre niveau d'adaptation et remontée en bruit, à l'aide d'un programme Scilab. Enfin, la dernière étape comporte le dimensionnement des réseaux d'adaptation filtrants à l'aide d'une synthèse créée sous Maple.

Cette méthode de synthèse et de conception permet d'obtenir au premier ordre un dessin de puce, respectant la plupart des spécifications. Mais elle peut parfois ne pas être suffisante pour toutes les conceptions. En effet, une optimisation des performances peut être nécessaire afin de respecter l'ensemble des critères du cahier des charges et une optimisation de la surface de puce consommée est souvent indispensable.

Maintenant que la méthode a été présentée, nous allons en montrer deux applications : deux amplificateurs faible bruit filtrants fonctionnant l'un en bande Ku (12.75-14.8 GHz) et l'autre en bande Ka (35.5-36 GHz).

Chapitre III

Application de la méthode de synthèse et de conception à l'amplificateur faible bruit filtrant MMIC

Sommaire

1	Introduction	72
2	Conception de l'amplificateur faible bruit filtrant en bande Ku : utilisation de la méthodologie	73
2.1	Conception des étages	73
2.2	Ajout du réseau d'entrée et des réseaux d'adaptation filtrants	80
2.3	Optimisation des performances	86
3	Résultats de simulation issus de l'optimisation de la surface de puce	92
4	Mesure de l'amplificateur faible bruit filtrant en bande Ku	98
4.1	Description du banc de test	98
4.2	Résultats issus des mesures : tensions d'alimentation et courants de drain nominaux	100
4.3	Résultats issus des mesures : recherche du facteur de bruit optimal	104
5	Conclusion	108

1 Introduction

Dans ces travaux, deux applications de la nouvelle méthode de synthèse et de conception ont été réalisées concernant les amplificateurs faible bruit MMIC : la première, montrée dans ce chapitre, concerne la conception et la mesure d'un amplificateur faible bruit filtrant en bande Ku (12.75-14.8 GHz), utilisant la technologie UMS PH15 en Arséniure de Gallium. La deuxième, montrée dans le chapitre B, concerne la conception d'un amplificateur faible bruit filtrant en bande Ka (35.5-36 GHz), utilisant la technologie UMS PH10 en Arséniure de Gallium.

Les spécifications ont été données par Thales Alenia Space et le CNES. Elles sont répertoriées dans le Tableau III.1.

Spécifications	Bande Ku	Bande Ka
Bande de fréquences (GHz)	12.75-14.8	35.5-36
Facteur de bruit (dB)	< 1.5	< 1.7
Gain et platitude (dB)	> 20 ± 1	
Variation du gain (dB)	< 0.4 / 500 MHz	
Adaptation entrée / sortie (dB)	< -15	
Tension d'alimentation (V)	3	
Consommation DC (mW)	< 175	
Puissance de sortie au point de compression (dBm)	> 5	

Tableau III.1: Spécifications données par Thales Alenia Space et le CNES pour la conception des amplificateurs faible bruit MMIC en bande Ku et Ka

Les résultats obtenus à l'issue de la méthodologie seront présentés, en simulation électrique et électromagnétique. Afin de réduire le coût de fabrication et utiliser une surface de puce normalisée par UMS, dans le cadre d'un lancement multi-projets, il a été décidé de réduire la taille de la puce obtenue à l'issue de l'application de la méthode.

Pour valider expérimentalement la méthode introduite dans ce mémoire, l'amplificateur faible bruit filtrant en bande Ku a été fabriqué et les résultats de mesure sont présentés et comparés aux simulations électriques et électromagnétiques.

Les résultats de simulation et le dessin des masques finalisé de l'amplificateur conçu en bande Ka sont présentés dans le chapitre B.

La première application a été de réaliser un amplificateur faible bruit filtrant fonctionnant en bande Ku et utilisant la technologie UMS PH15 (AsGa). Une attention particulière a été portée à l'obtention de la stabilité inconditionnelle pour l'amplificateur complet et pour chacun des étages, sur une large bande de fréquences.

2 Conception de l'amplificateur faible bruit filtrant en bande Ku : utilisation de la méthodologie

2.1 Conception des étages

Les accès de polarisation de grille et de drain sont ceux qui ont été dimensionnés préalablement avec la méthode décrite dans le chapitre II. Les tailles des transistors et les points de polarisation de chacun des étages sont mentionnées dans le Tableau III.2.

Caractéristiques \ Étage	1	2	3
Taille transistor	$6 \times 30 \mu\text{m}$	$2 \times 75 \mu\text{m}$	$2 \times 70 \mu\text{m}$
Tension alimentation (V)	3		
Tension grille (mV)	-400		
Courant drain (mA)	14.8	12.3	11.5

Tableau III.2: Polarisation et taille des transistors du LNA filtrant en bande Ku

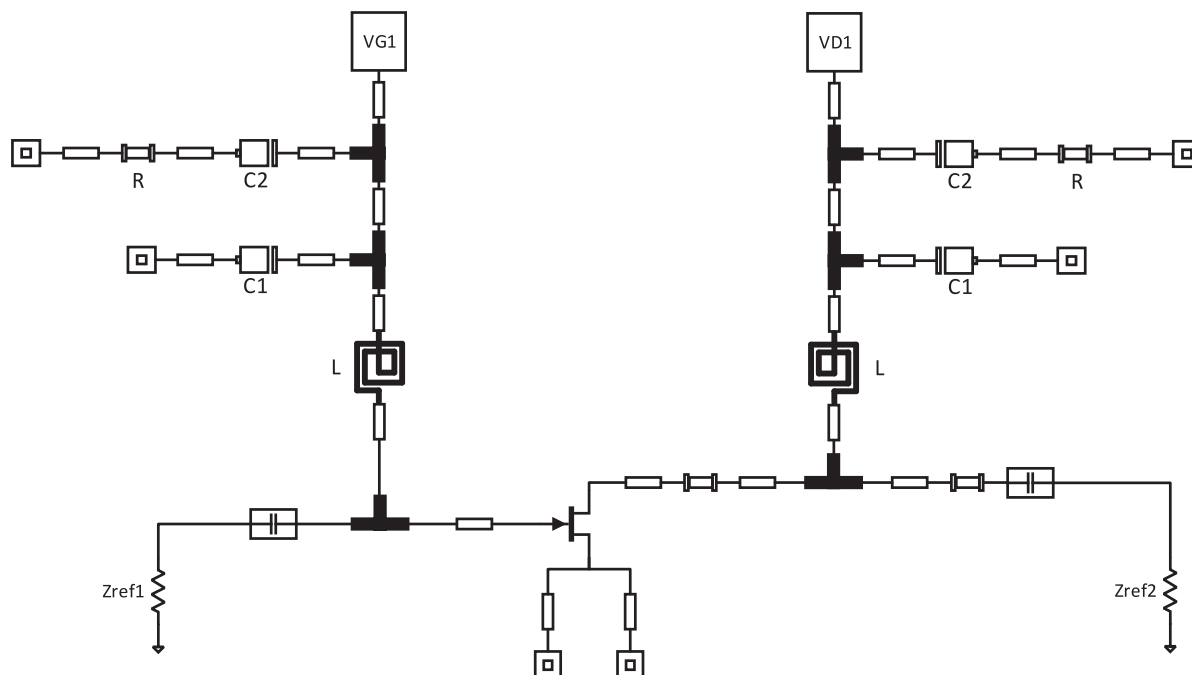


FIGURE III.1: Circuit constituant le premier étage du LNA filtrant en bande Ku

Les circuits de polarisation sont inclus dans la conception du premier étage (transistor+accès polarisation+contre-réaction), montré dans la Figure III.1. Chacun des transistors possède une contre-réaction série. Les modèles de transistor UMS sont constitués de deux ports de source. Afin d'éviter des problèmes de déséquilibre dans le fonctionnement des transistors, la ligne de dégénérescence (permettant de rapprocher l'impédance optimale en bruit et en gain, et participant à la stabilité inconditionnelle) possède la même longueur et la même largeur sur chacun des ports de source. Les résistances placées avant et après l'accès de polarisation de drain assurent la stabilité inconditionnelle de l'étage sur une large bande de fréquences. Les résultats en termes de paramètres S et de bruit sont donnés dans la Figure III.2. La bande considérée est entre 0 GHz et 50 GHz afin de réaliser une comparaison avec les résultats obtenus en mesure (la calibration en bruit pouvant être correcte jusqu'à 50 GHz). Un compromis a été réalisé entre l'obtention de la stabilité inconditionnelle sur la plus grande bande de fréquences, le niveau de gain et de bruit pour la conception de chacun des étages (transistor+accès polarisation+contre-réaction) :

- ☞ plus la longueur de la ligne de source est grande, plus l'étage est inconditionnellement stable et le facteur de bruit est faible. En contrepartie, le gain diminue ;
- ☞ plus les valeurs des résistances sont grandes, plus l'étage est inconditionnellement stable. En contrepartie, le gain diminue et le facteur de bruit augmente.

Ici, la stabilité inconditionnelle est assurée entre 0 GHz et 3 GHz ainsi qu'entre 10 GHz et 45 GHz (le facteur B étant supérieur à 0 sur toute la bande). L'ajout d'un circuit d'adaptation en entrée améliorera le facteur de stabilité K. Le gain maximal atteignable est de 8.5 dB au minimum, le facteur de bruit est légèrement supérieur à 1 dB et le facteur de bruit minimum est légèrement inférieur à 0.8 dB. Un compromis a également été obtenu entre le niveau de bruit et de gain. Le gain réalisé est assez élevé pour que la contribution en bruit des autres étages soit moindre (formule de Friis). Enfin, l'adaptation minimale assurée sans réseaux d'adaptation est de -7.6 dB en entrée et de -9.8 dB en sortie dans la bande utile.

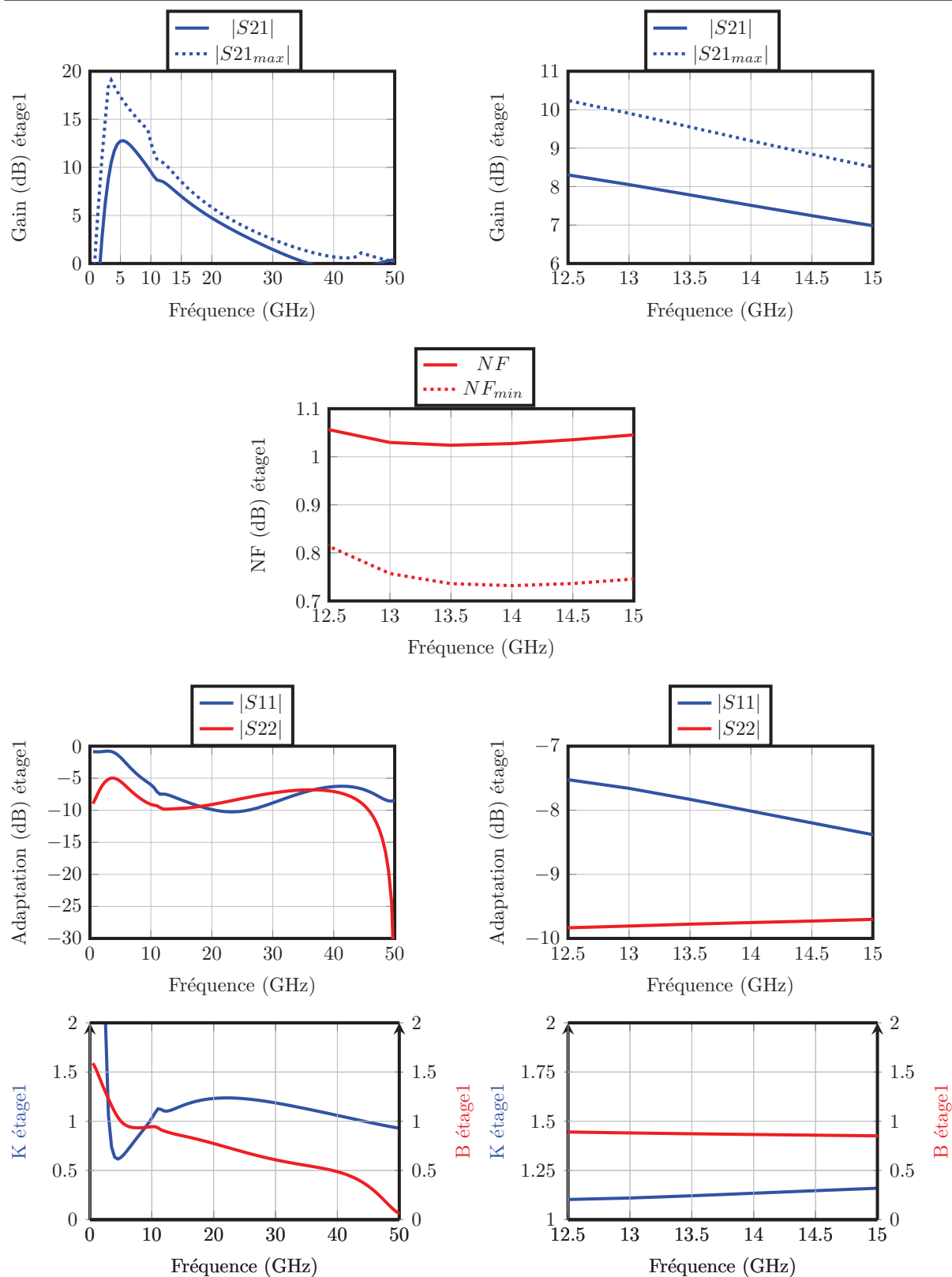


FIGURE III.2: Résultats de la simulation électrique, issus de la méthodologie, pour le premier étage du LNA filtrant en bande Ku

Le deuxième étage, présenté dans la Figure III.3, ressemble beaucoup au premier étage. Seule une capacité série (de liaison) a été rajoutée en sortie. En effet, le filtre passe-bas qui se situera entre le deuxième et le troisième étage ne comporte pas de capacité série permettant de séparer la polarisation provenant de l'accès de drain du deuxième étage de celle provenant de l'accès de grille du troisième étage.

Les résultats sont montrés dans la Figure III.4. Le deuxième étage présente des performances meilleures pour la stabilité inconditionnelle par rapport au premier étage : en effet, elle est toujours assurée entre 0 GHz et 3 GHz, mais elle l'est également pour une fréquence supérieure à 10 GHz. Le gain est plus élevé (minimum de 8 dB) afin de respecter la contrainte de 20 dB de gain pour l'amplificateur complet. Le facteur de bruit est passé de 1 à 1.35 dB. L'adaptation en entrée et en sortie est faible : -5.5 dB en entrée et -6.5 dB en sortie. Mais elles seront améliorées grâce aux réseaux passe-haut et passe-bas.

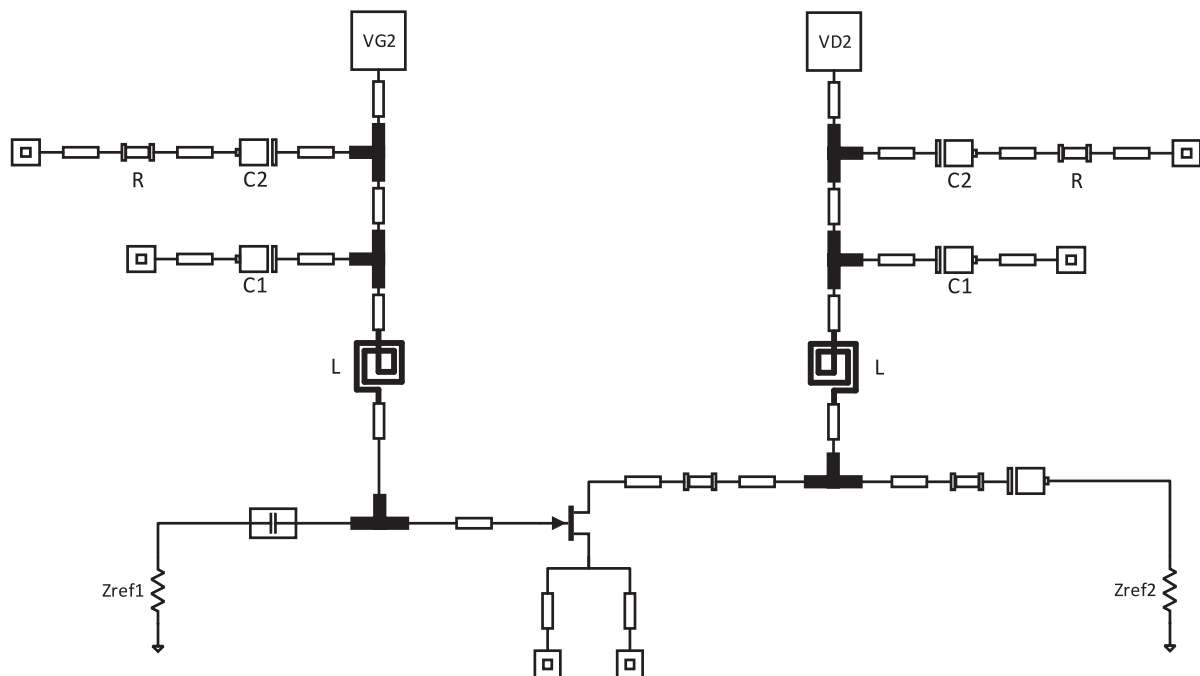


FIGURE III.3: Circuit constituant le deuxième étage du LNA filtrant en bande Ku

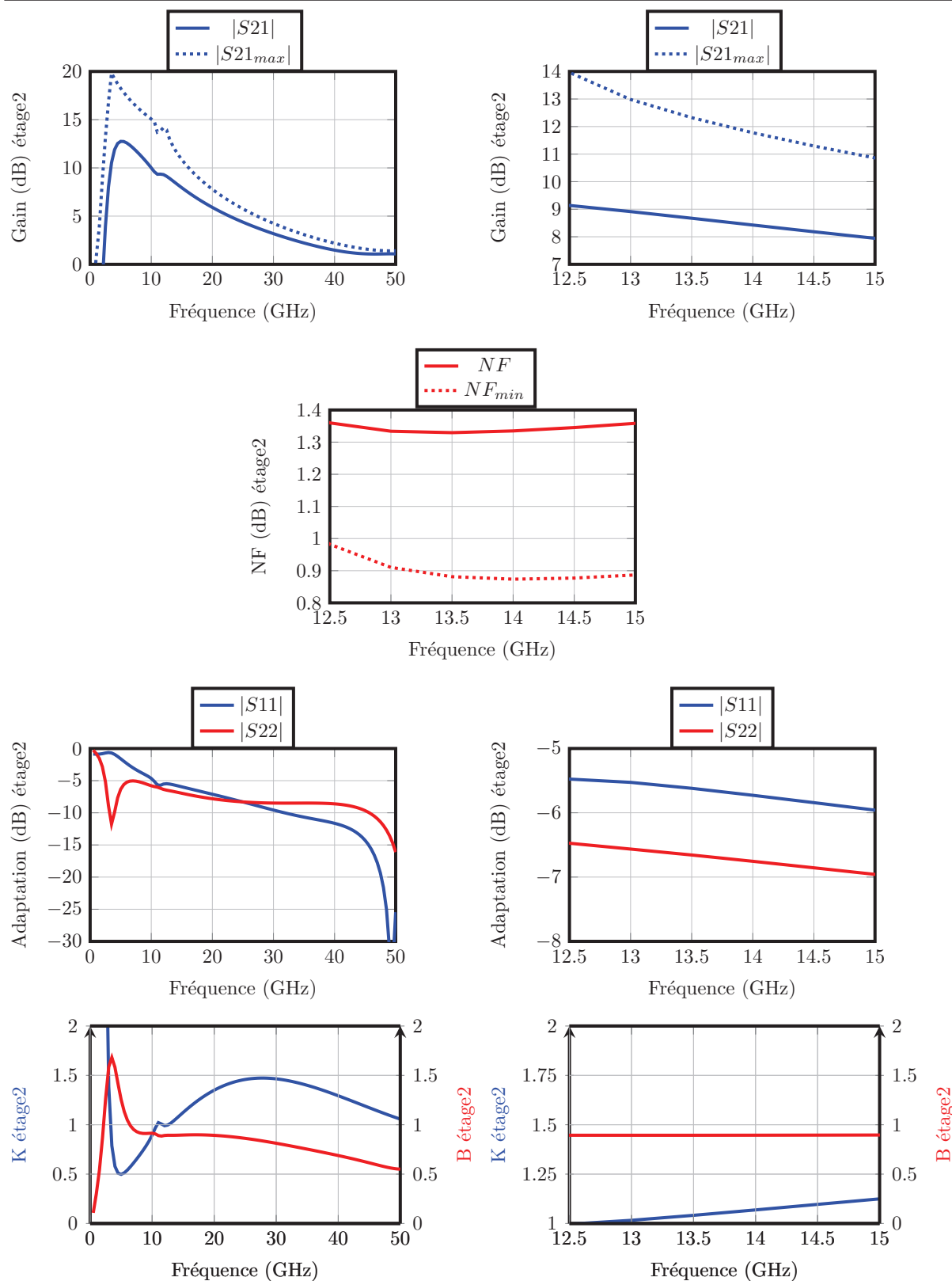


FIGURE III.4: Résultats de la simulation électrique, issus de la méthodologie, pour le deuxième étage du LNA filtrant en bande Ku

Le troisième étage est présenté dans la Figure III.5 et la topologie est identique au premier étage. Les résultats dans la Figure III.6 montrent que les performances sont quasiment identiques.

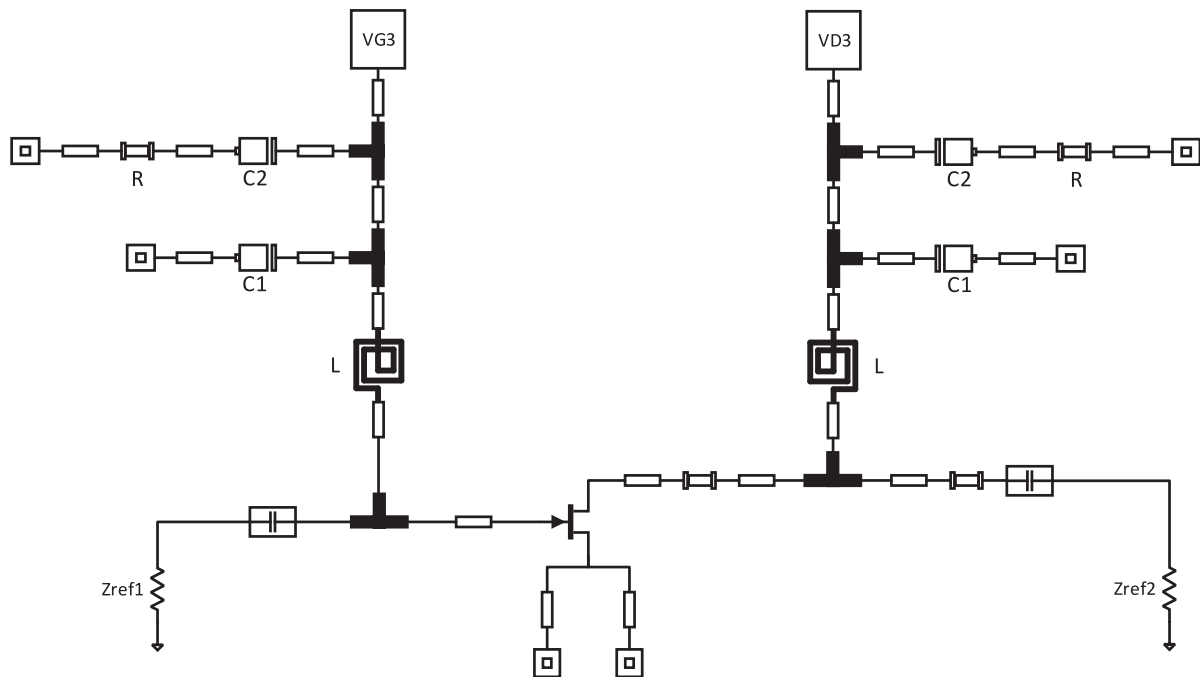


FIGURE III.5: Circuit constituant le troisième étage du LNA filtrant en bande Ku

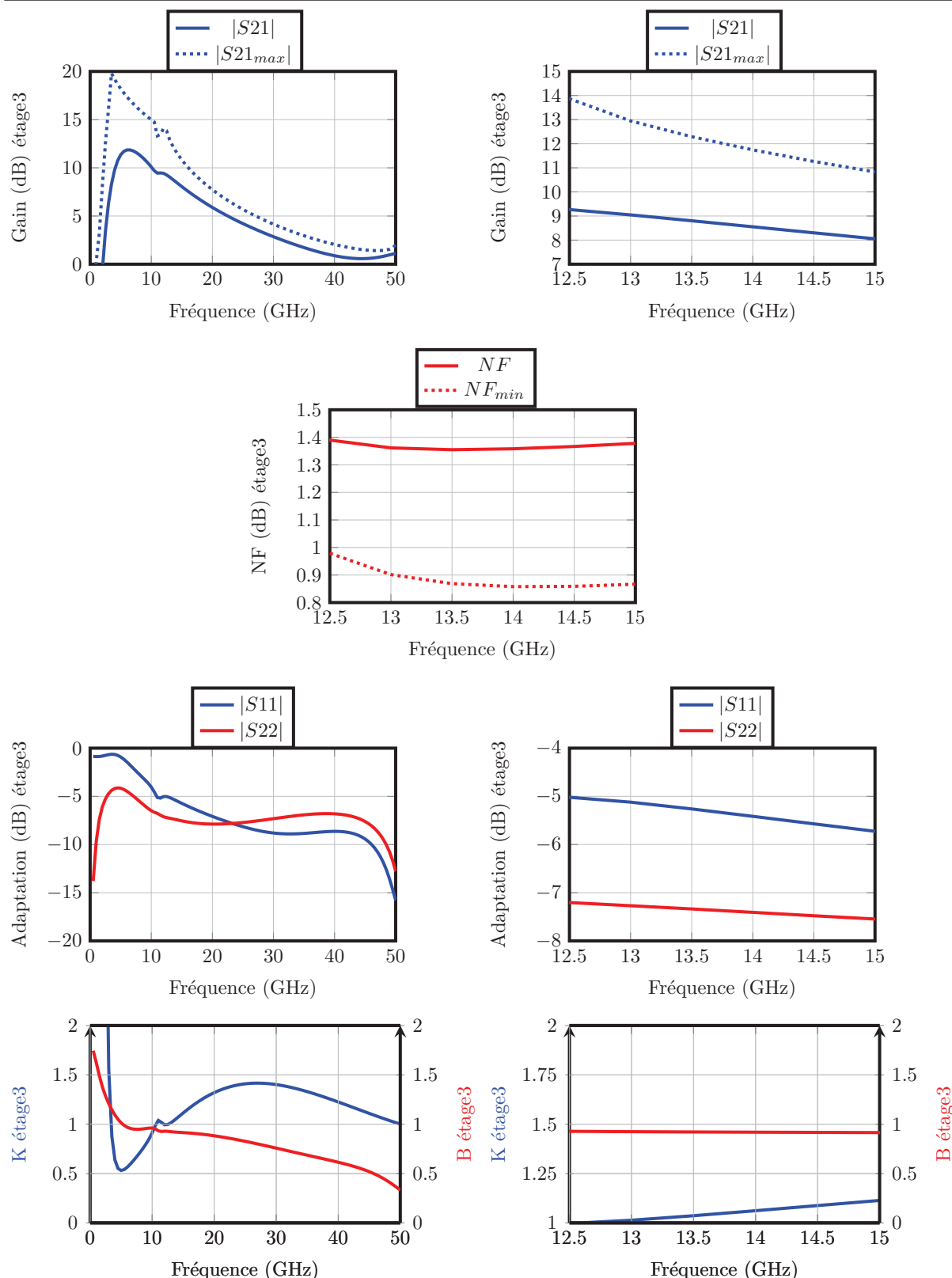


FIGURE III.6: Résultats de la simulation électrique, issus de la méthodologie, pour le troisième étage du LNA filtrant en bande Ku

2.2 Ajout du réseau d'entrée et des réseaux d'adaptation filtrants

Après avoir relevé les impédances optimales en bruit de chacun des étages et connaissant Z_{ref1} et Z_{ref2} (respectivement l'impédance en entrée et en sortie de l'amplificateur, ici 50Ω pour pouvoir réaliser plus facilement les mesures), le choix de la topologie et la valeur des composants passifs sont fixés par le programme Scilab pour le réseau d'entrée. Les réseaux d'adaptation filtrants sont déterminés par un programme Maple pour chaque type de filtre (filtre d'ordre 3 avec premier élément série pour le passe-haut et le passe-bas, filtre d'ordre 2 avec premier élément série pour le passe-bande, en version inductance planaire et ligne de transmission). La principale difficulté pour ces derniers est d'obtenir conjointement le bon comportement filtrant, la bonne adaptation en entrée et en sortie du réseau ainsi que les pertes d'insertion les plus faibles possibles dans la bande utile. Les réseaux d'adaptation utilisés pour l'amplificateur faible bruit filtrant en bande Ku sont illustrés dans la Figure III.7. Quant à leurs performances, elles sont montrées dans la Figure III.8, l'impédance d'entrée correspond à l'impédance optimale en bruit Z_{opt} (à la fréquence centrale de la bande utile) et l'impédance de sortie correspond à Z_{sortie} (impédance vue depuis la sortie de l'étage vers l'entrée de l'amplificateur, à la fréquence centrale de la bande utile) ou Z_{ref2} . On remarque que le filtre passe-haut et le filtre passe-bas possèdent un bon comportement filtrant, avec des pertes d'insertion inférieures à 0.9 dB et une adaptation entrée-sortie inférieure à -9 dB dans la bande. Cependant le filtre passe-bande ne possède pas de zéro de transmission à droite (il est situé à une fréquence plus haute). Par contre, la réjection du filtre passe-bas est suffisamment importante pour contrer ce manque. De plus, son adaptation est inférieure à -15 dB.

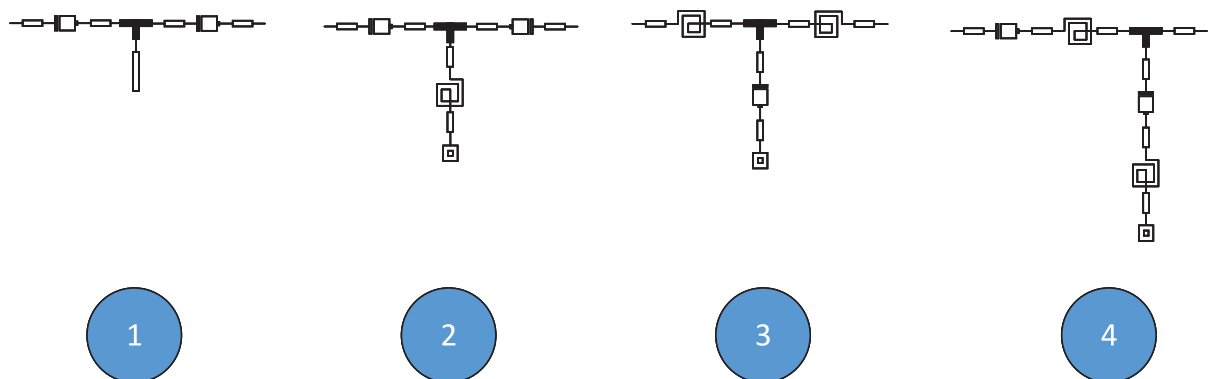


FIGURE III.7: Réseaux d'adaptation utilisés pour la conception du LNA en bande Ku : entrée (1), inter-étages 1 (2), inter-étages 2 (3) et sortie (4)

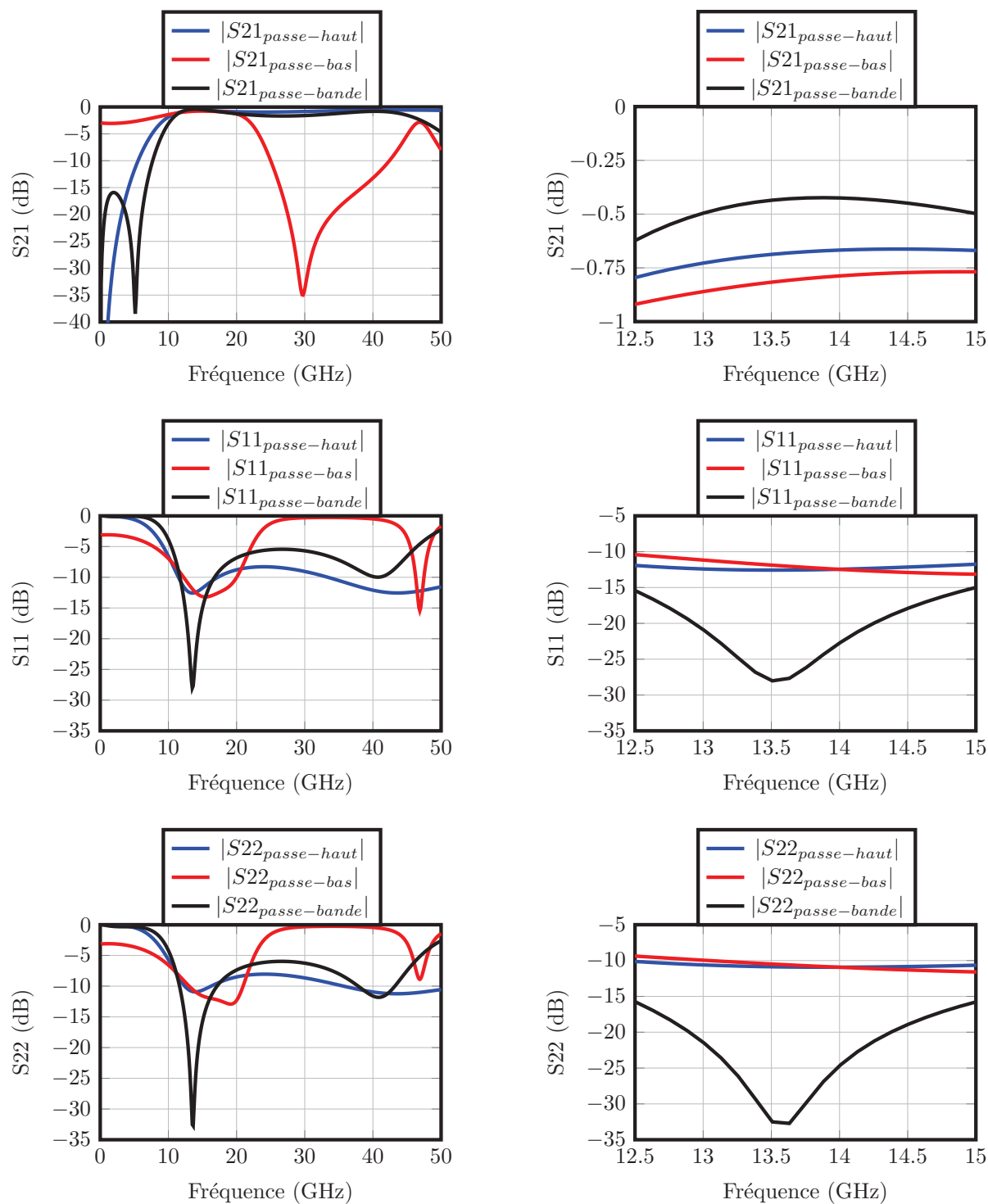


FIGURE III.8: Performances en paramètres S des réseaux d'adaptation filtrants pour le LNA en bande Ku

Le réseau d'entrée est composé d'une capacité série avec une ligne et une capacité en parallèle. Il permet d'avoir une adaptation en puissance (en-dessous de -9 dB en entrée), et une adaptation en bruit (NF proche de NFmin) correctes.

Le réseau entre le premier et le deuxième étage est un filtre passe-haut d'ordre 3 avec le premier élément en série. Les valeurs des inductances sont égales de sorte que le réseau réalise l'adaptation et le filtrage.

Le réseau entre le deuxième et le troisième étage est un filtre passe-bas d'ordre 3 avec le premier élément en série. Les valeurs des capacités sont égales de sorte que le réseau réalise l'adaptation et le filtrage.

Le réseau de sortie est, quant à lui, constitué d'un passe-bande d'ordre 2 avec le premier élément en série. Les valeurs des quatre composants sont différentes. Les résultats de l'ensemble {adaptation entrée+étage1+adaptation inter-étage1+étage2+adaptation inter-étage2+étage3+adaptation sortie} sont donnés par la Figure III.10. L'adaptation en entrée a été améliorée grâce à l'ajout du réseau de sortie. Les performances qu'il faudra améliorer par une optimisation rapide des valeurs des composants passifs sont la platitude du gain et le niveau d'adaptation en entrée.

Le dessin de la puce, issu de la méthodologie de synthèse et de conception, est donné par la Figure III.9. Sa superficie est de $5.7 \text{ mm} \times 1.6 \text{ mm}$. Quelques modifications doivent être apportées, si besoin, pour que les règles de conceptions (DRC) soient respectées : superposition de certains composants, modification de la taille de certaines capacités, de l'angle de certaines inductances spirales et de la distance entre les vias.

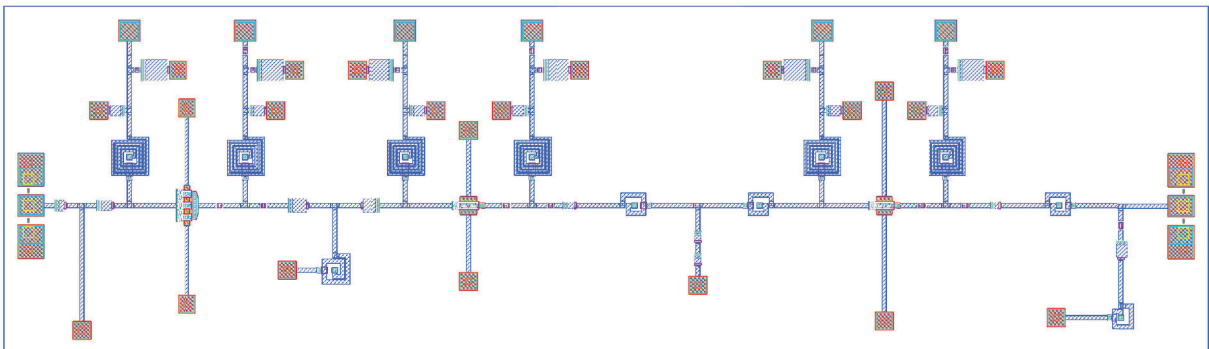


FIGURE III.9: Dessin de la puce, issu de la méthodologie de conception, pour le LNA filtrant en bande Ku, avec respect des règles de conception (DRC)

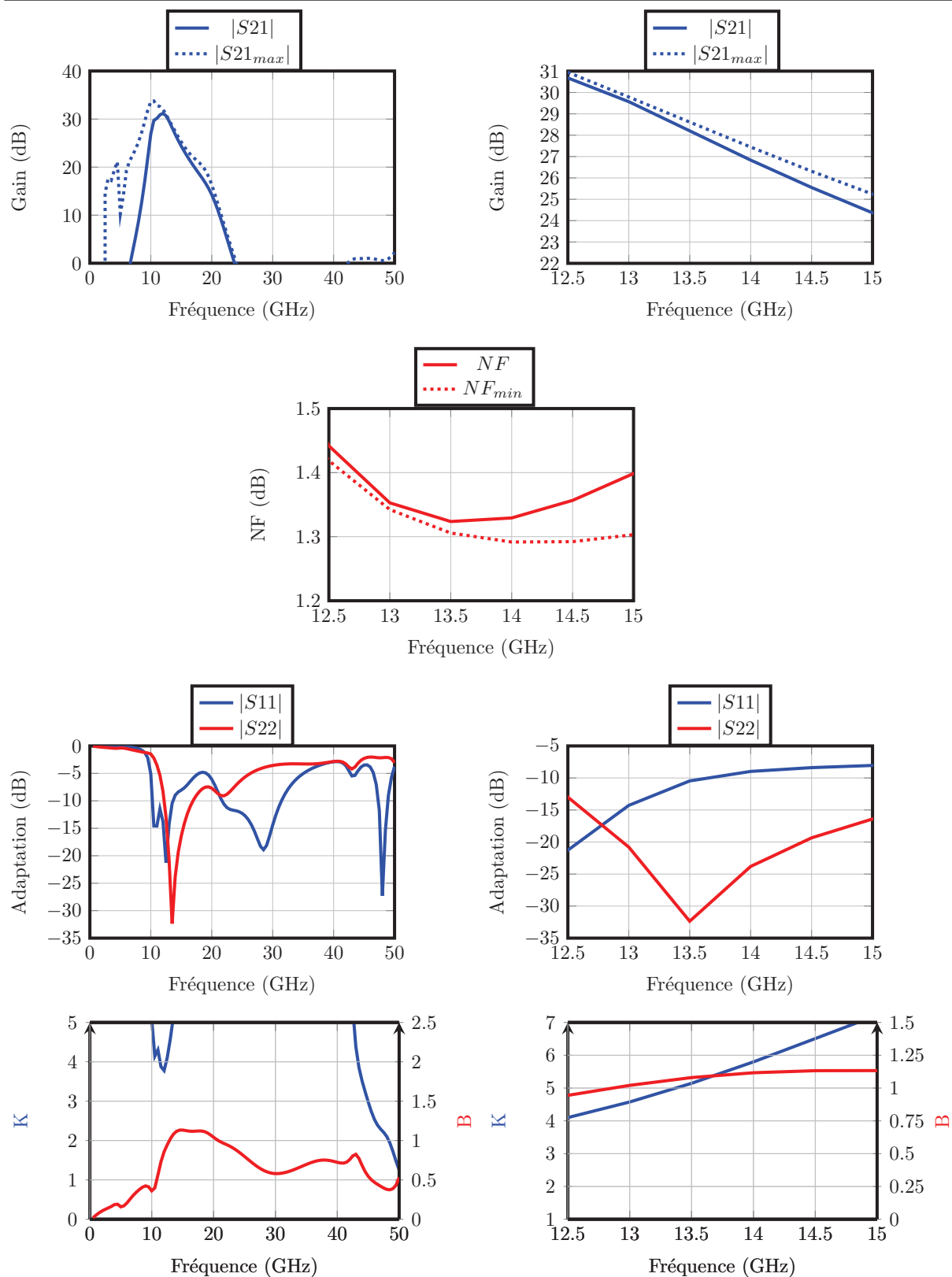


FIGURE III.10: Résultats de la simulation électrique, issus de la méthodologie, de conception pour le LNA filtrant complet en bande Ku

À l'issue de la méthodologie de synthèse et de conception, d'après la Figure III.10, le niveau du gain est supérieur à 20 dB avec un gabarit filtrant, l'adaptation en sortie est correcte, la stabilité inconditionnelle est assurée pour les étages 1 et 2 et pour l'amplificateur complet, la consommation est conforme (116 mW avec des courants de drain respectivement de 14.8 mA, 12.3 mA et 11.5 mA pour les étages 1, 2 et 3). Les tensions d'alimentation sont de 3V sur les drains et les tensions de grille sont fixées à -0.4 V. Une optimisation des composants passifs est cependant nécessaire pour obtenir une platitude de gain et une adaptation en entrée correctes et la stabilité inconditionnelle pour l'étage 3 (autour de 3 GHz).

La stabilité étage par étage a été également considérée dans la Figure III.11. Le découpage du circuit a été réalisé comme ceci :

- ☞ le premier étage complet est considéré depuis l'entrée de l'amplificateur jusqu'à la première capacité du filtre passe-haut (capacité non incluse) ;
- ☞ le deuxième étage complet est considéré depuis le filtre passe-haut jusqu'à la capacité de liaison avant le filtre passe-bas (capacité non incluse) ;
- ☞ le troisième étage complet est considéré depuis la capacité de liaison avant le filtre passe-bas jusqu'à la sortie de l'amplificateur.

On remarque que la stabilité inconditionnelle est assurée pour chacun des étages dans la bande utile. Hors bande, elle est correcte jusqu'à 45 GHz pour le premier étage. Pour le deuxième étage, c'est le cas entre 0 GHz et 7 GHz et pour des fréquences supérieures à 10 GHz. Enfin, pour le troisième étage, elle n'est pas assurée uniquement autour de 3 GHz.

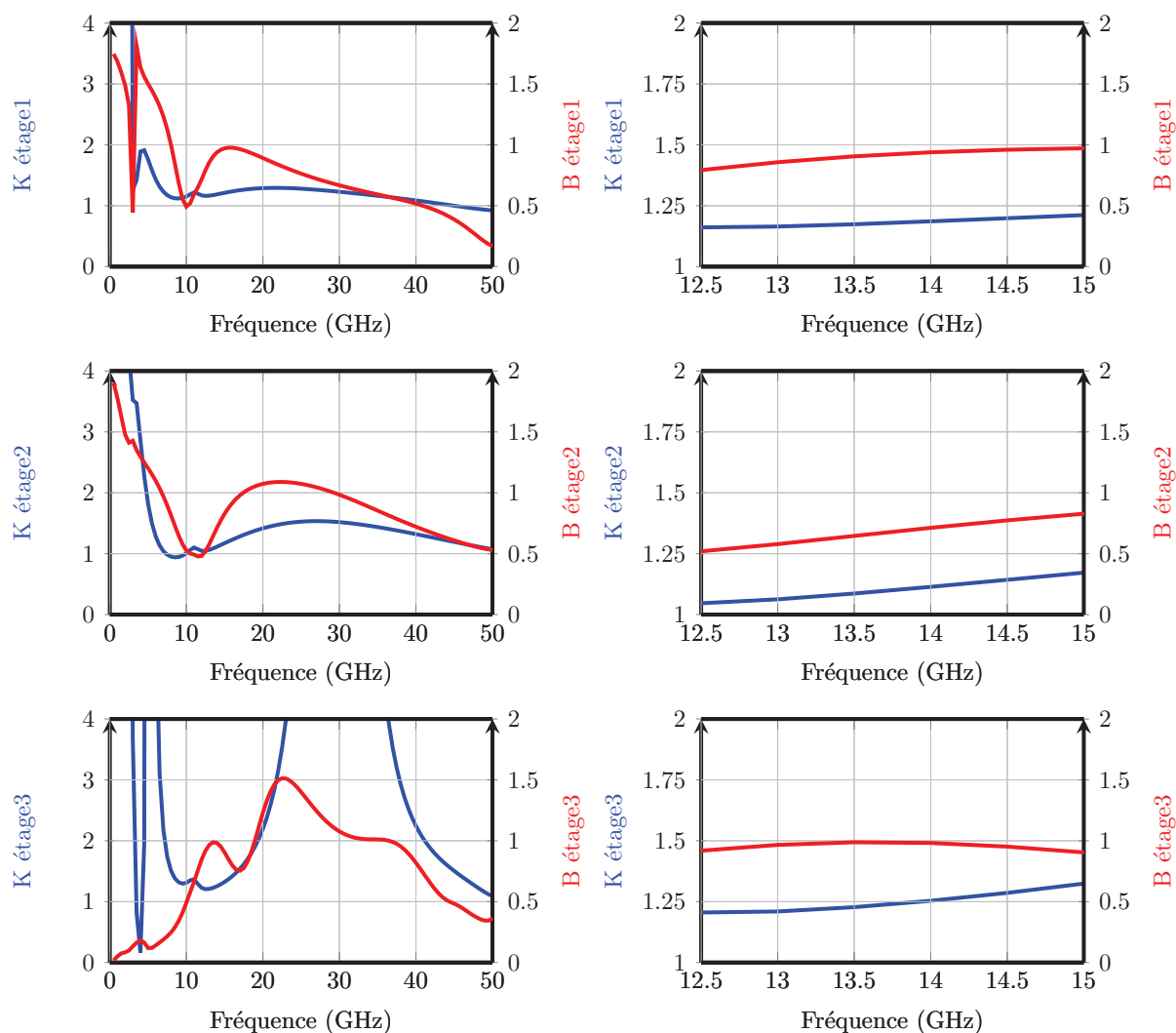


FIGURE III.11: Étude de la stabilité (simulation électrique), issue de la méthodologie de conception, pour chacun des étages constituant le LNA filtrant en bande Ku

2.3 Optimisation des performances

L'optimisation des performances a été réalisée à l'aide d'une optimisation de type gradient sur les composants passifs de l'ensemble de l'amplificateur (excepté les capacités des accès de polarisation de grille et de drain qui sont les plus proches du transistor). Le besoin d'amélioration de la platitude du gain, du niveau d'adaptation en entrée et de la stabilité du troisième étage autour de 3 GHz nécessitent une optimisation globale, car la modification de la valeur d'un seul composant peut agir sur tous les critères. Cependant ce temps passé à optimiser les performances est limité car celles obtenues à l'issue de la méthodologie de synthèse et de conception sont proches du cahier des charges.

Les tailles et les polarisations des transistors pour chacun des étages données dans le Tableau III.2 restent constantes tout au long du processus jusqu'à l'optimisation finale. Par conséquent, la consommation DC et la tension d'alimentation restent inchangées et respectent le cahier des charges.

La Figure III.12 montre que tous les étages sont inconditionnellement stables après optimisation au niveau du schéma électrique. Cependant, en simulation électromagnétique, on remarque que la stabilité inconditionnelle n'est pas respectée pour le premier étage entre 5 GHz et 10 GHz et pour le deuxième étage autour de 8 GHz. Le tracé des zones d'instabilité (voir Figure III.13) a été effectué afin de montrer les régions d'instabilité dans l'abaque de Smith. Les régions instables se situent en dehors ou au bord de l'abaque pour chacun des étages. On en conclut que d'un point de vue électromagnétique, l'amplificateur est quasi-inconditionnellement stable.

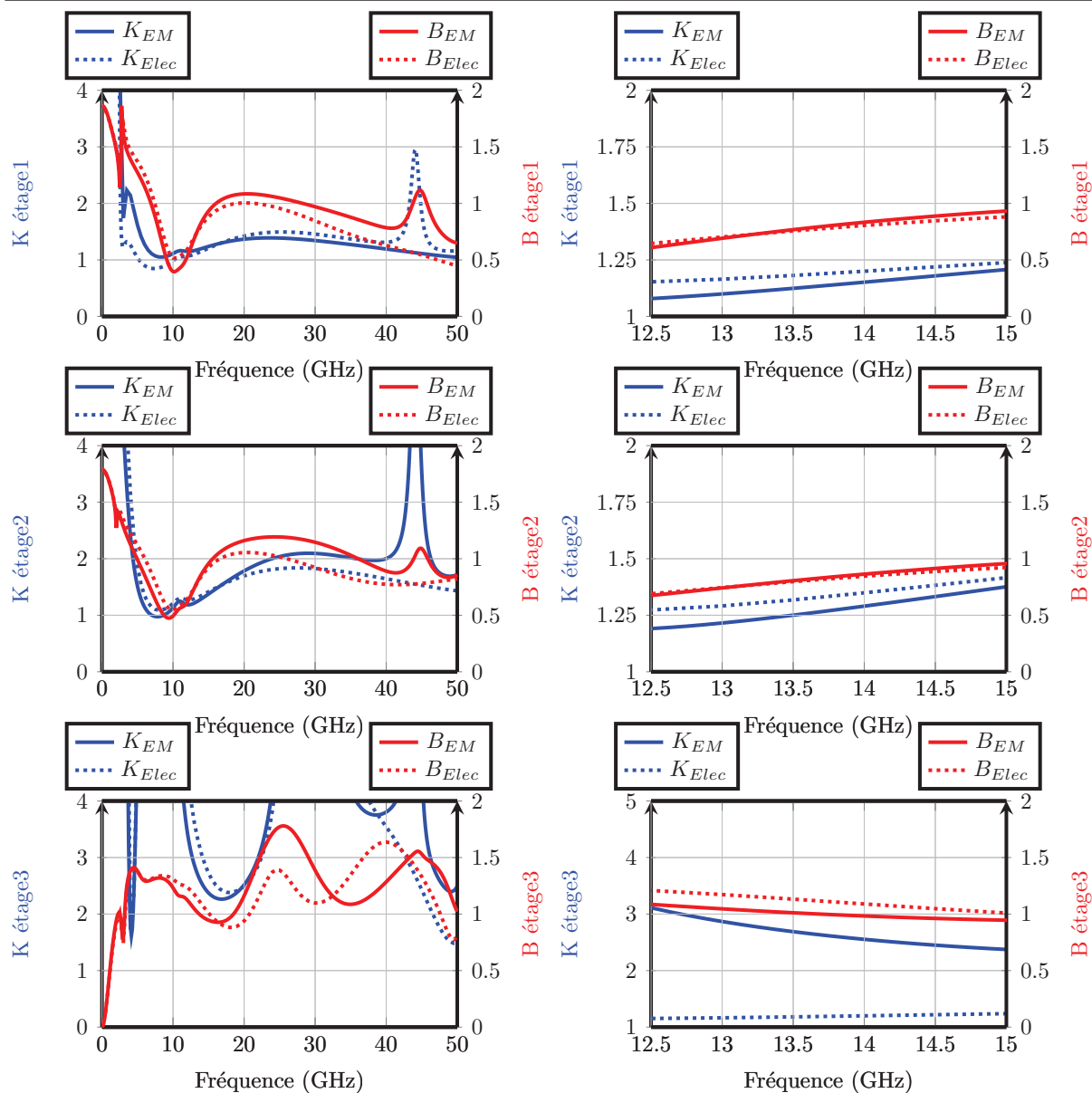


FIGURE III.12: Étude de la stabilité, après optimisation, pour chacun des étages constituant le LNA filtrant en bande Ku

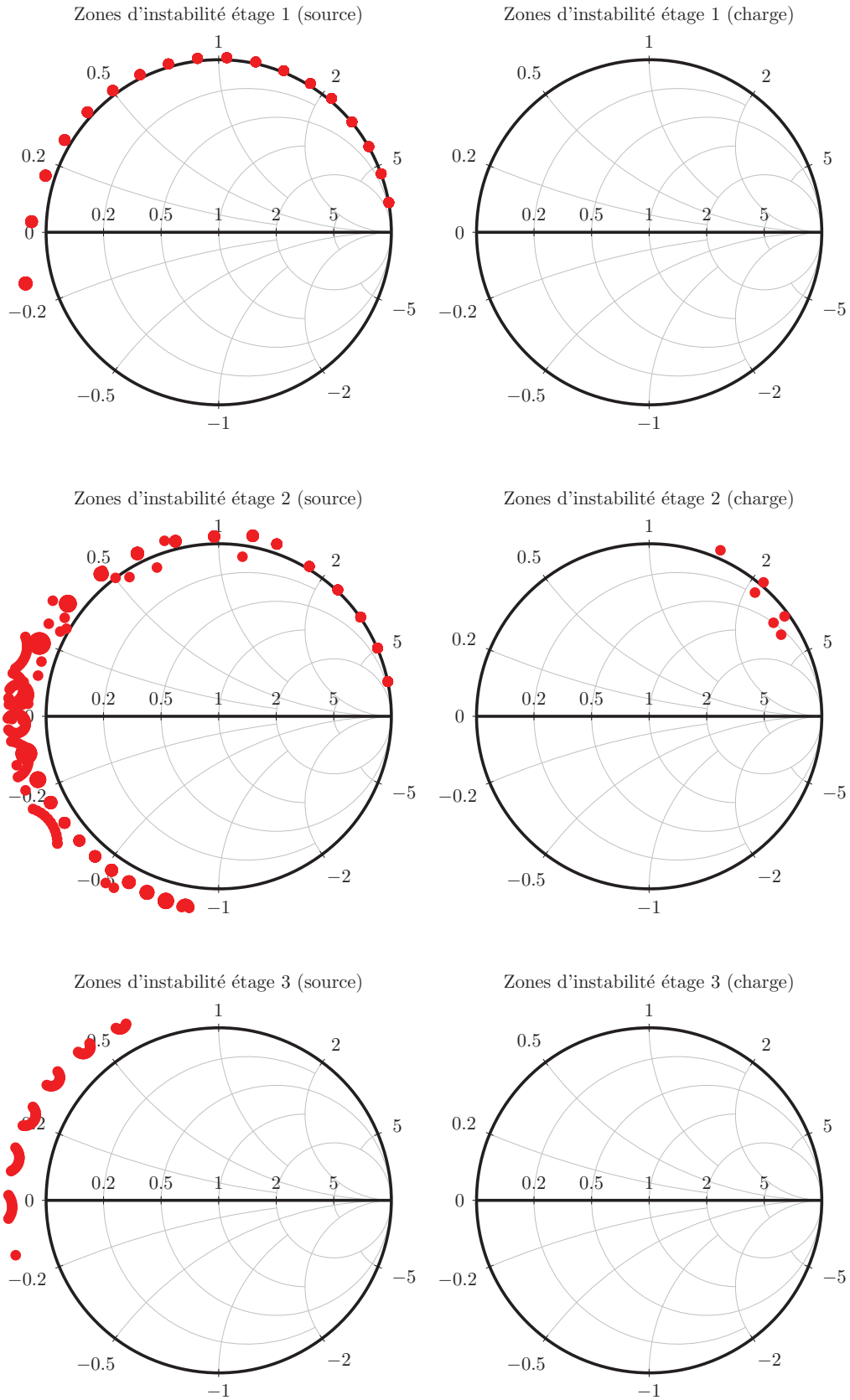


FIGURE III.13: Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation, pour chacun des étages constituant le LNA filtrant en bande Ku (fréquence comprise entre 0.5 GHz et 50 GHz)

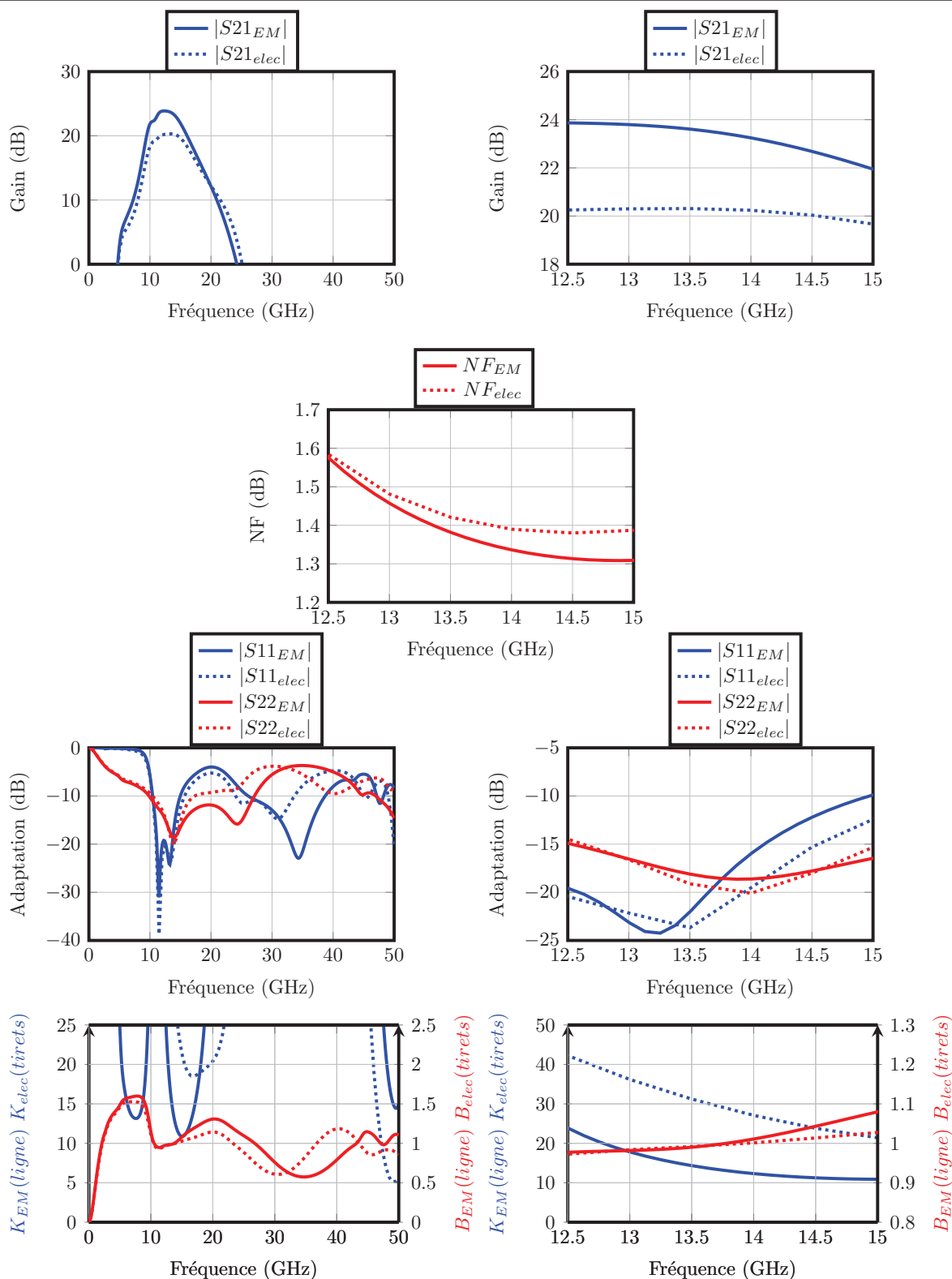


FIGURE III.14: Résultats de la simulation électrique et électromagnétique, après optimisation, pour le LNA filtrant complet en bande Ku

La Figure III.14 illustre les performances optimisées du LNA filtrant en bande Ku issu de la méthodologie de conception. On voit que l'amplificateur complet est également inconditionnellement stable. Les performances relevées à l'issue des simulations électromagnétiques montrent que le gabarit de filtrage est respecté, le niveau de gain est de 23 dB avec une platitude de 0.9 dB, et l'adaptation est inférieure à -15 dB et -10 dB respectivement en entrée et en sortie.

La simulation électromagnétique du point de compression est donnée par la Figure III.15 et les valeurs des puissances d'entrée et de sortie associées sont montrées dans le Tableau III.3. Dans la bande utile, le point de compression est obtenu pour une puissance d'entrée comprise entre -15.3 dBm et -11.9 dBm et une puissance de sortie comprise entre 7.6 dBm et 9.8 dBm. On respecte largement les spécifications demandées dans le cahier des charges (supérieure à 5 dBm).

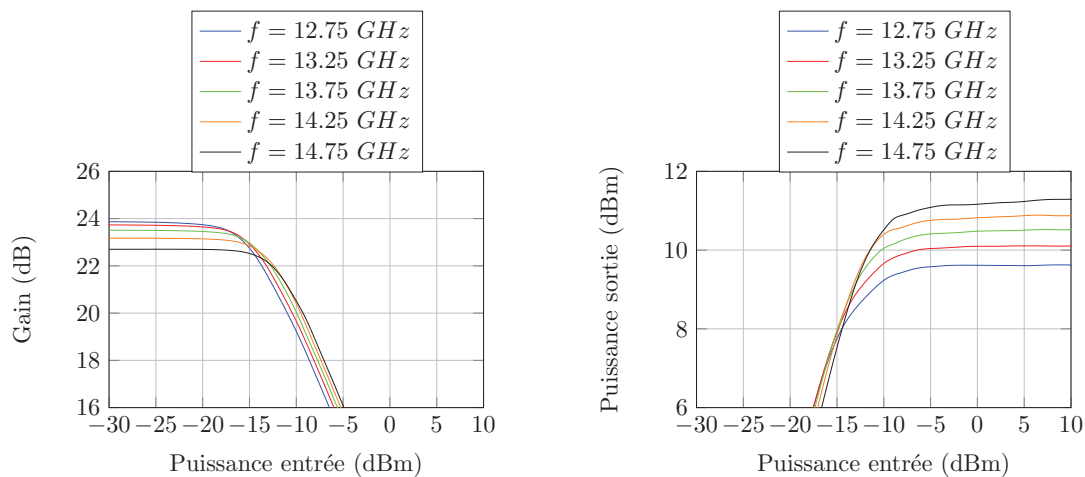


FIGURE III.15: Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ku

Fréquences (GHz)	Gain (dB) @ $P_{entrée} = -30$ dBm	$P_{entrée}$ (dBm) @ P1dB	P_{sortie} (dBm) @ P1dB
12.75	23.9	-15.3	7.6
13.25	23.7	-14.5	8.2
13.75	23.5	-13.8	8.7
14.25	23.2	-12.8	9.4
14.75	22.7	-11.9	9.8

Tableau III.3: Simulation électromagnétique de la puissance d'entrée et de sortie du LNA filtrant en bande Ku au point de compression (P1dB), issue de la méthodologie de synthèse et de conception et après optimisation

Un résumé des performances en simulation électromagnétique comparées aux spécifications est donné dans le Tableau III.4. après utilisation de la méthodologie de synthèse et une optimisation globale des performances, on remarque que les résultats respectent globalement le cahier des charges. Cependant, une amélioration est à apporter sur la variation du gain et sur le niveau d'adaptation en entrée.

Spécifications	Niveau requis	Résultats EM
Bande de fréquences (GHz)	12.75-14.8	
Facteur de bruit (dB)	< 1.5	
Gain et platitude (dB)	$> 20 \pm 1$	23 ± 0.9
Variation du gain (dB)	$< 0.4 / 500 \text{ MHz}$	$< 0.66 / 500 \text{ MHz}$
Adaptation entrée / sortie (dB)	< -15	< -10.1 (entrée) < -15.2 (sortie)
Tension d'alimentation (V)	3	
Consommation DC (mW)	< 175	161
Puissance de sortie au point de compression (dBm)	> 5	> 7.6

Tableau III.4: Comparaison entre les performances du LNA filtrant en bande Ku et les spécifications, issue de la méthodologie de synthèse et de conception et après optimisation

3 Résultats de simulation issus de l'optimisation de la surface de puce

L'optimisation de la surface de la puce (initialement de $5.7 \text{ mm} \times 1.6 \text{ mm}$) était nécessaire pour pouvoir envoyer le circuit via un lancement multi-projets PH15 chez UMS. En effet, la taille maximale de la puce ne peut pas excéder $4 \text{ mm} \times 4 \text{ mm}$. Finalement, la surface de la puce a été réduite à $3.4 \text{ mm} \times 2.4 \text{ mm}$ et est illustrée dans la Figure III.16.

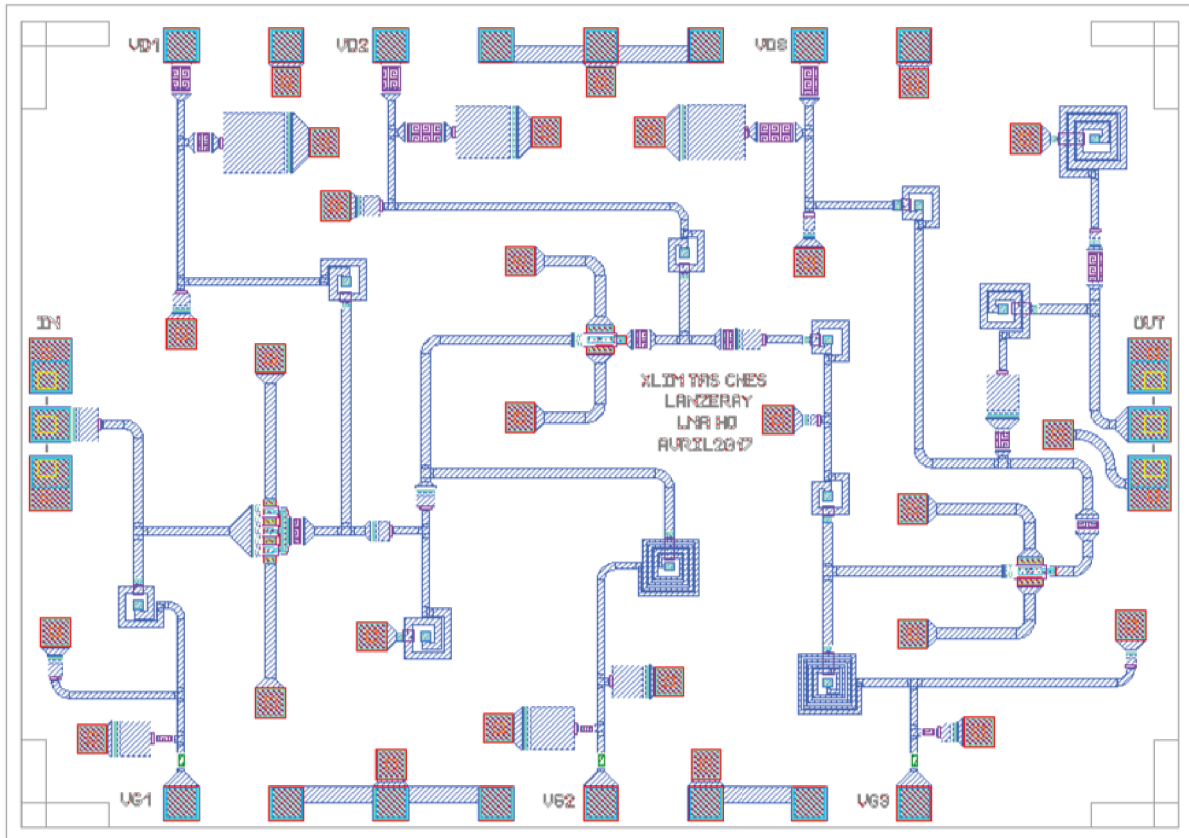


FIGURE III.16: Dessin de la puce, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ku

Plusieurs challenges devaient être relevés :

- ☞ avoir une largeur fixe entre les plots DC en vue d'utiliser dans le futur une carte à pointes côté grille et côté drain. Réserver au moins un plot de chaque côté pour que le circuit, lors des mesures, possède des mises à la masse ;
- ☞ pour réduire les effets des discontinuités, utiliser des angles droits arrondis (microstrip curve en anglais) et des lignes de transition coniques entre deux lignes de largeurs différentes, ou adapter les largeurs des lignes d'accès aux composants ;
- ☞ éviter le couplage électromagnétique : nécessité "d'aérer" la puce ;

- ☞ respecter les densités de courant prescrites par le fondeur pour une meilleure fiabilité du circuit.

L'analyse de la stabilité étage par étage au niveau simulation électromagnétique est montrée dans la Figure III.17. Seules quelques zones sont situées au bord de l'abaque pour le premier et le deuxième étage, ce qui est acceptable.

La Figure III.18 montre les simulations électriques et électromagnétiques provenant du LNA filtrant en bande Ku optimisé en surface de puce consommée, dont les résultats sont proches. On remarque que le gabarit filtrant de l'amplificateur en simulation électromagnétique est proche de la simulation électrique. Le gain de l'amplificateur a été augmenté de 25.1 dB à 27 dB dans la bande passante. Le facteur de bruit est resté stable (passé de 1.35 dB à 1.27 dB au maximum dans la bande). Le niveau d'adaptation est respectivement inférieur à -12 dB en entrée et inférieur à -15.2 dB en sortie. L'adaptation en entrée diffère un peu pour des fréquences supérieures à 18 GHz. La stabilité inconditionnelle est toujours assurée pour l'amplificateur complet.

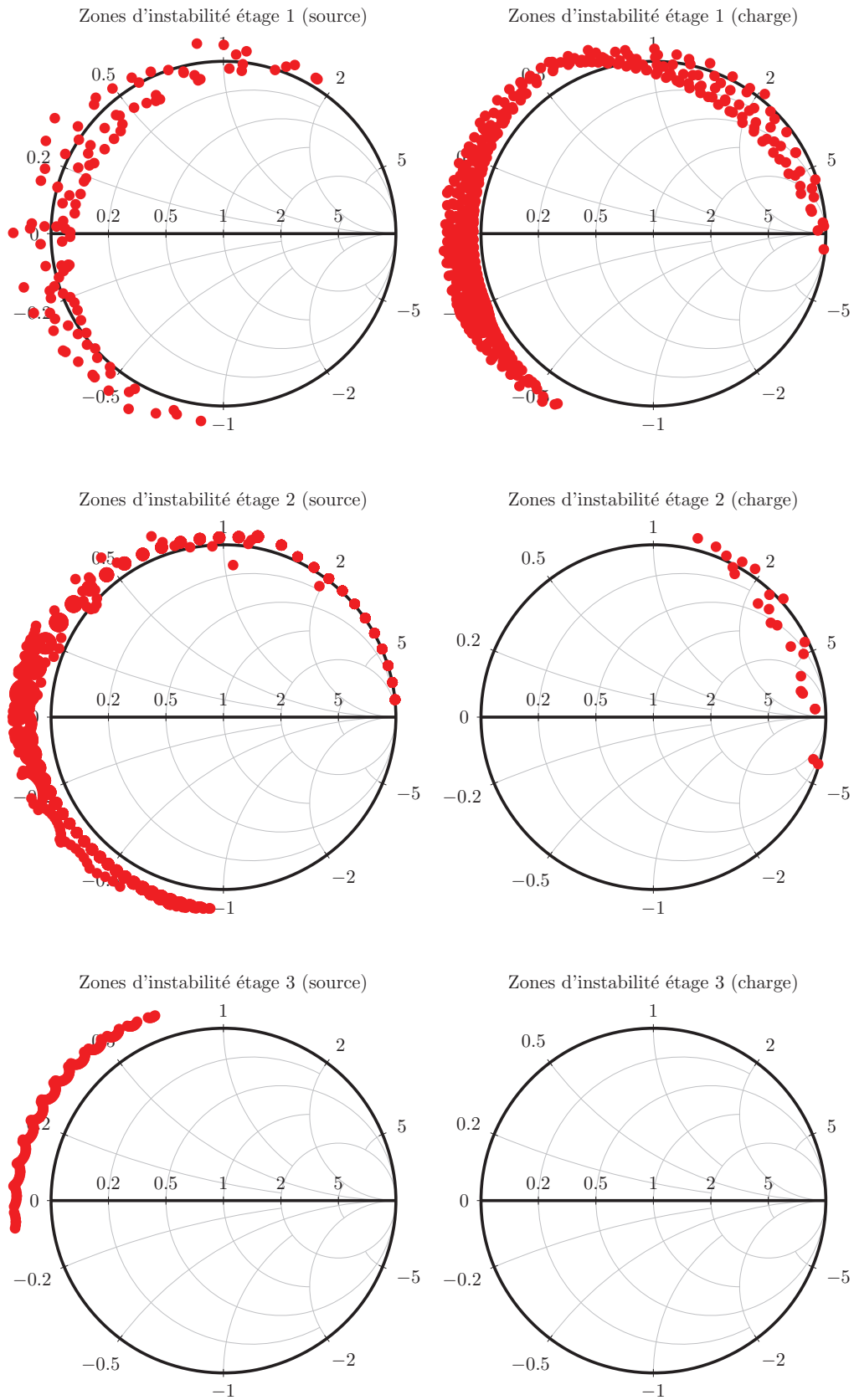


FIGURE III.17: Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation de la surface de puce consommée, pour chacun des étages constituant le LNA filtrant en bande Ku (fréquence comprise entre 0.5 GHz et 50 GHz)

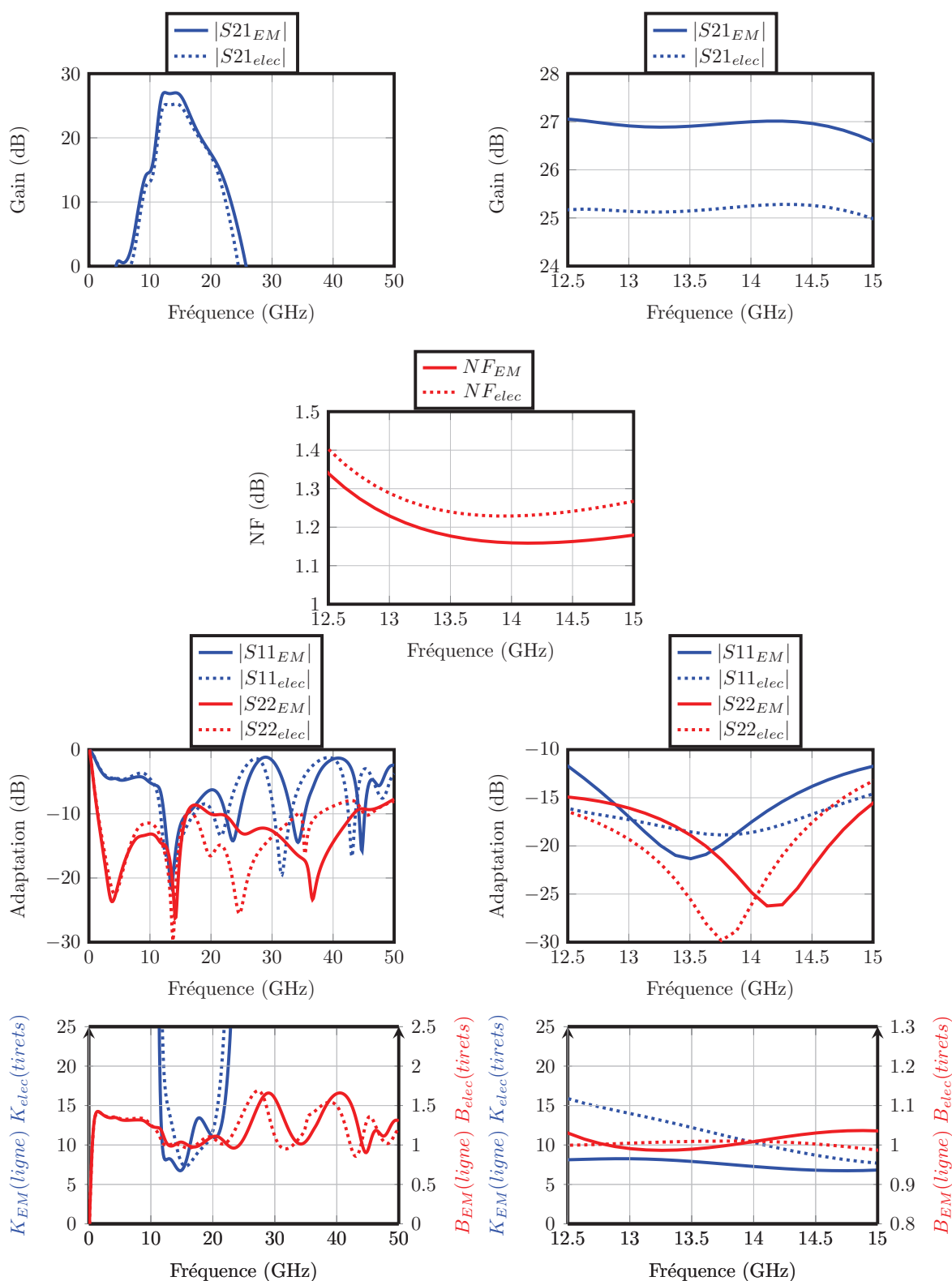


FIGURE III.18: Résultats des simulations électrique et électromagnétique, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ku

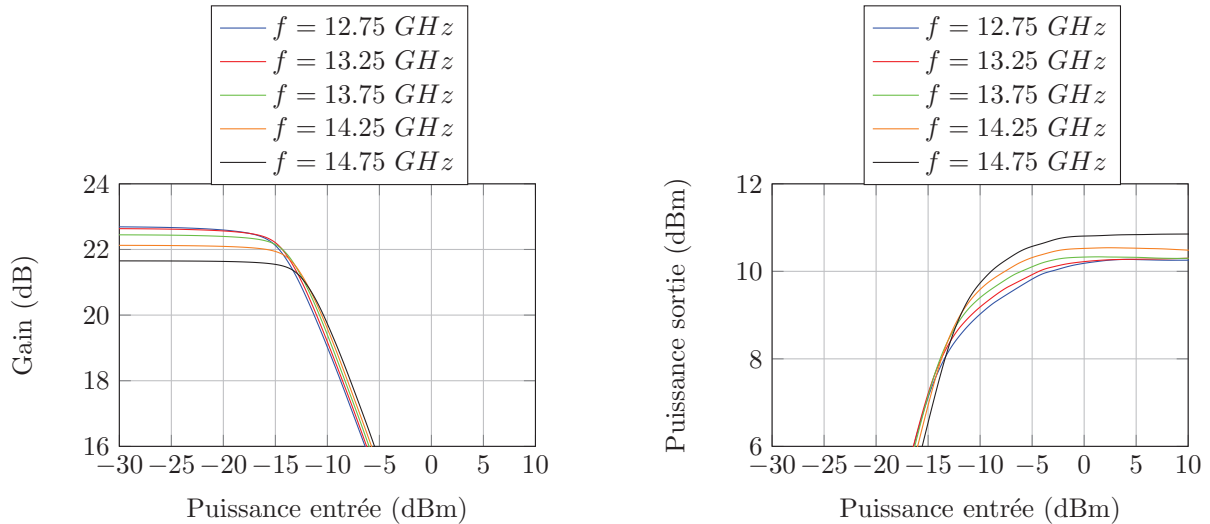


FIGURE III.19: Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ku

Dans la Figure III.19, une comparaison est effectuée entre le gain et la puissance de sortie en fonction de la puissance d'entrée appliquée à l'amplificateur, afin de déterminer la puissance de sortie au point de compression. Les résultats sont donnés dans le Tableau III.5. Pour une puissance d'entrée comprise entre -14 dBm et -11.6 dBm, on obtient une puissance de sortie entre 7.8 dBm et 9.2 dBm, ce qui respecte encore une fois les spécifications du point de compression.

Fréquences (GHz)	Gain (dB) @ $P_{entrée} = -30$ dBm	$P_{entrée}$ (dBm) @ P1dB	P_{sortie} (dBm) @ P1dB
12.75	22.7	-14.0	7.8
13.25	22.6	-13.4	8.1
13.75	22.4	-12.8	8.5
14.25	22.1	-12.2	8.9
14.75	21.7	-11.6	9.2

Tableau III.5: Simulation de la puissance d'entrée et de sortie du LNA filtrant en bande Ku au point de compression (P1dB)

Un résumé des performances comparées au cahier des charges est donné dans le Tableau III.6. Toutes les spécifications sont respectées, exception faite du niveau d'adaptation en entrée qui est cependant acceptable.

Spécifications	Niveau requis	Résultats EM
Bande de fréquences (GHz)	12.75-14.8	
Facteur de bruit (dB)	< 1.5	< 1.27
Gain et platitude (dB)	> 20 ± 1	27 ± 0.15
Variation du gain (dB)	< 0.4 / 500 MHz	< 0.3 / 500 MHz
Adaptation entrée / sortie (dB)	< -15	< -12 (entrée) < -15.2 (sortie)
Tension d'alimentation (V)	3	
Consommation DC (mW)	< 175	161
Puissance de sortie au point de compression (dBm)	> 5	> 7.8

Tableau III.6: Comparaison entre les performances du LNA filtrant en bande Ku et les spécifications, après optimisation de la surface de puce consommée

4 Mesure de l'amplificateur faible bruit filtrant en bande Ku

Ce circuit a été envoyé en fabrication afin d'obtenir une validation expérimentale de la nouvelle méthodologie de synthèse et de conception avec l'amplificateur faible bruit filtrant en bande Ku.

4.1 Description du banc de test

Les mesures de l'amplificateur faible bruit filtrant MMIC en bande Ku ont été effectuées à l'aide du banc de test montré dans la Figure III.20. Il est composé d'une station sous pointes, d'un générateur de tensions continues et d'un analyseur de réseau Keysight PNAX permettant de mesurer simultanément le facteur de bruit et les paramètres S du dispositif sous test.

Une fois que le banc de test est monté et calibré, il suffit de poser les pointes GSG, les pointes DC et de polariser chacun des transistors (voir Figure III.21). La photographie de la puce est donnée dans la Figure III.22. Les résultats obtenus ont été moyenné sur 8 mesures pour le facteur de bruit et sur 16 mesures pour les paramètres S. Aucun lissage n'a été ajouté. Trois échantillons ont été testé pour vérifier la répétabilité du circuit.

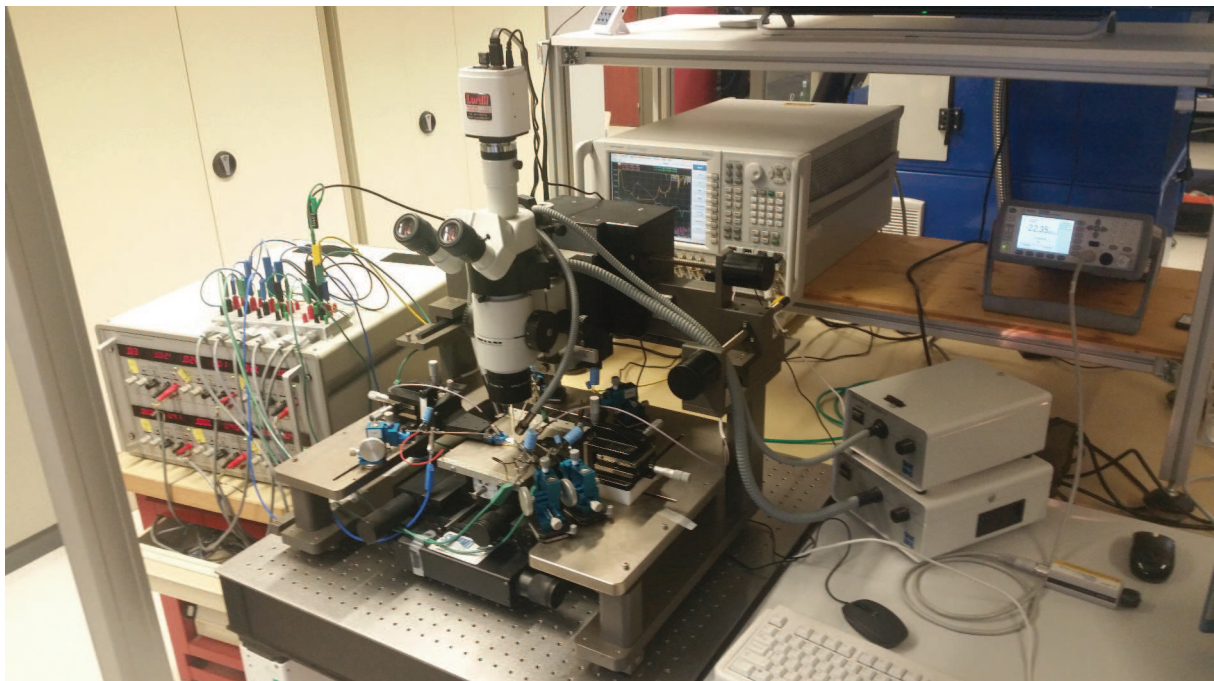


FIGURE III.20: Photo du banc de test

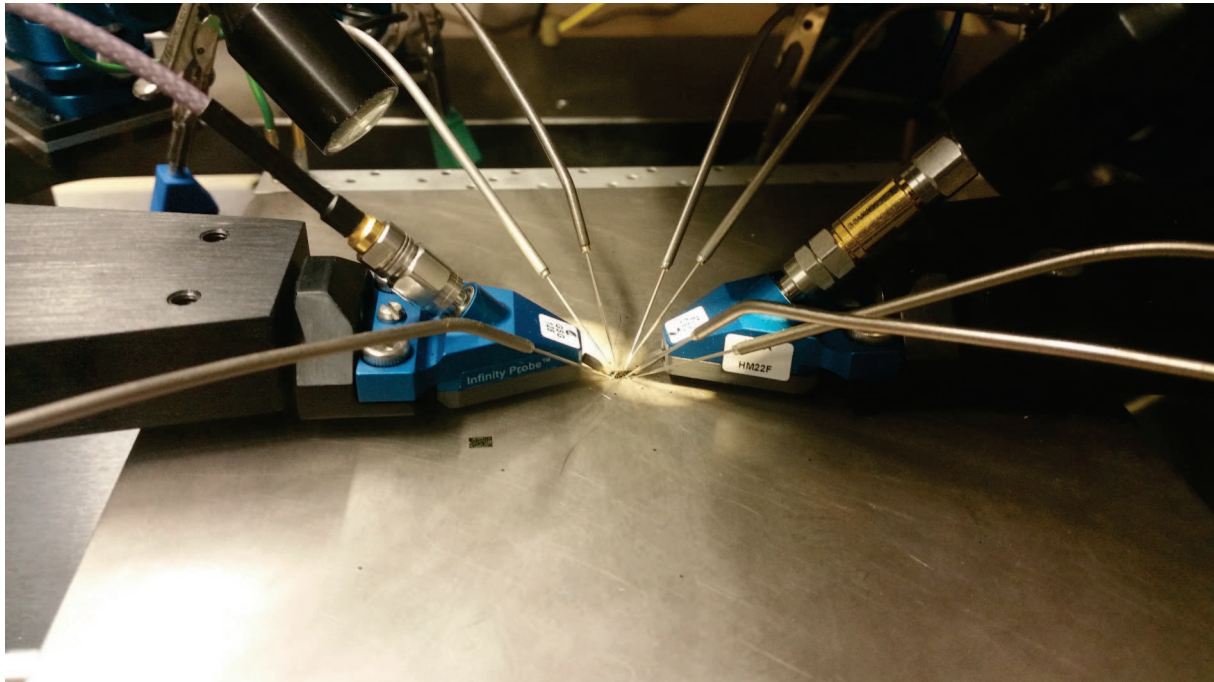


FIGURE III.21: Photo des pointes posées sur la puce

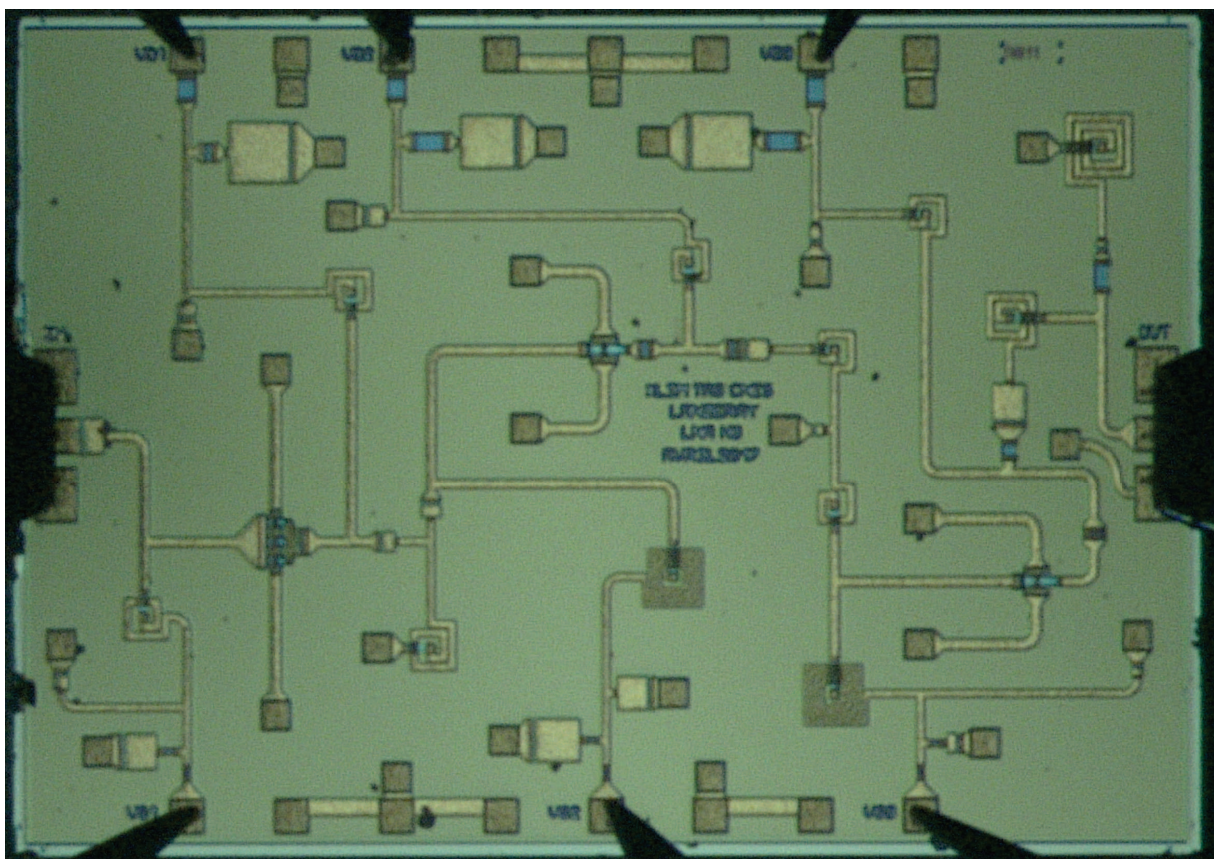


FIGURE III.22: Photo de la puce du LNA filtrant en bande Ku

4.2 Résultats issus des mesures : tensions d'alimentation et courants de drain nominaux

En raison d'une tension de pincement des transistors expérimentale légèrement différente de la valeur nominale simulée, cette série de mesures a été réalisée en gardant la tension de drain identique au cahier des charges, mais en modifiant uniquement les tensions de grille de chacun des étages afin de retrouver les courants de drain nominaux. Ces tensions de grille issues de la mesure sont répertoriées dans le Tableau III.7. Elles sont inférieures aux tensions de grille obtenues en simulation.

Numéro étage	1	2	3
Tension alimentation (V)	3		
Tension grille mesurée (mV)	-640	-550	-590
Tension grille simulée (mV)	-400		
Courant drain (mA)	14.8	12.3	11.5

Tableau III.7: Comparaison de la polarisation des étages du LNA filtrant en bande Ku entre la mesure et la simulation, tensions d'alimentation et courants de drain nominaux

Une comparaison de la mesure avec la simulation électromagnétique est montrée dans la Figure III.23. On retrouve le gabarit filtrant de l'amplificateur et la concordance simulation/mesures est très bonne. Le niveau de bruit est sensiblement identique en simulation et a diminué de 0.2 dB pour son niveau maximal en mesure. Concernant les niveaux d'adaptation en entrée et en sortie, ils sont respectivement inférieurs à -12 dB et à -14 dB. L'amplificateur reste toujours inconditionnellement stable jusqu'à 50 GHz.

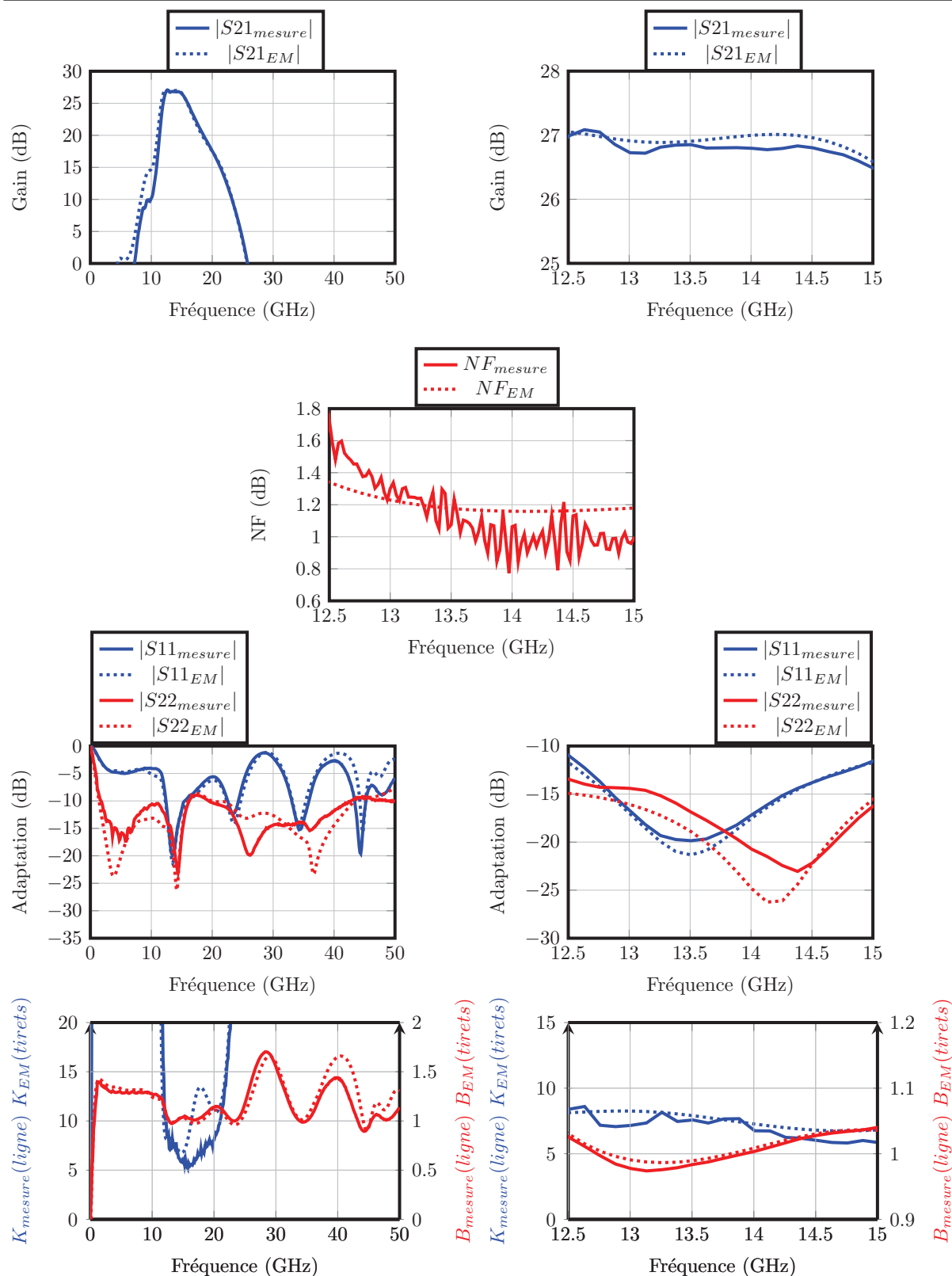


FIGURE III.23: Comparaison des paramètres S et de bruit entre la mesure et la simulation électromagnétique, tensions d'alimentation et courants de drain nominaux

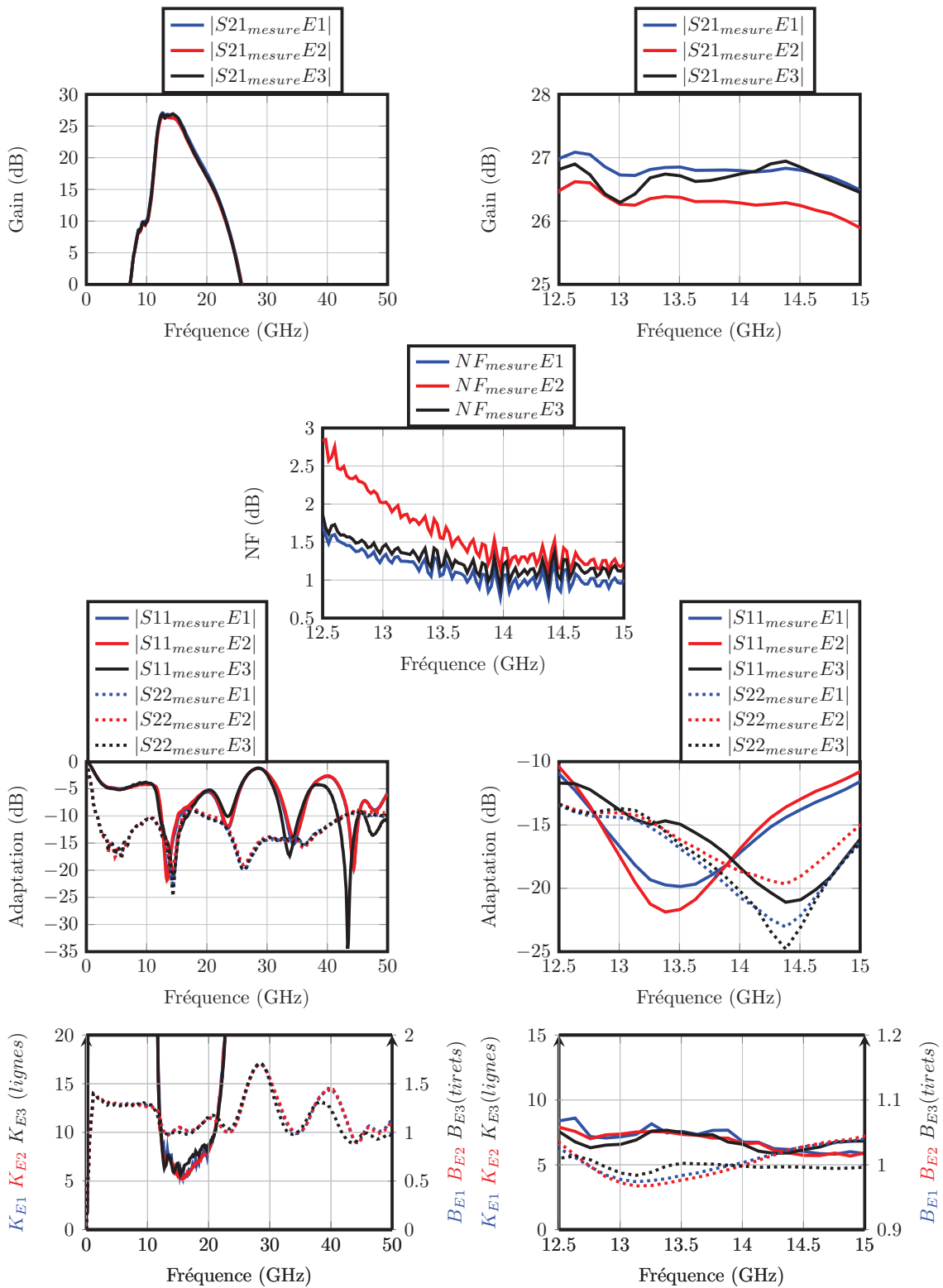


FIGURE III.24: Mesure de sensibilité sur trois échantillons, tensions d'alimentation et courants de drain nominaux

Fréquences (GHz)	Gain (dB)			Pentrée (dBm)			Psortie (dBm)		
12.75	26.2	25.6	26.7	-16.0	-16.5	-16.0	9.2	8.1	9.7
13.25	25.8	25.3	26.7	-16.5	-16.0	-16.0	8.3	8.3	9.7
13.75	25.8	25.3	26.6	-15.2	-15.0	-15.0	9.6	9.3	10.6
14.25	25.8	25.3	26.9	-15.0	-14.5	-15.0	9.8	9.8	10.9
14.75	25.6	25.1	26.7	-13.5	-13.3	-13.5	11.1	10.8	12.2

Tableau III.8: Mesure de la puissance d'entrée et de sortie du LNA filtrant en bande Ku au point de compression (P1dB) sur trois échantillons, gain mesuré à Pentrée=-30 dBm, tensions d'alimentation et courants de drain nominaux

Une mesure de sensibilité a également été effectuée sur trois échantillons et les résultats sont montrés dans la Figure III.24. Le troisième échantillon présente un niveau d'adaptation d'entrée différent des autres, ceci peut démontrer que la fabrication de l'amplificateur est sensible au niveau de l'entrée. De plus, la mesure en bruit du deuxième échantillon révèle un problème probablement dû à l'environnement de mesure.

Deux explications sont possibles :

- ☞ La modification des conditions de test en température. En effet, la mesure en bruit est très dépendante de la température ;
- ☞ Un défaut de pose des pointes, que ce soit au niveau de l'emplacement ou de la pression exercée par celles-ci, qui influe sur les résultats de mesure.

Concernant la mesure des puissances d'entrée et de sortie au point de compression (Tableau III.8), les résultats sont proches pour chacun des échantillons.

4.3 Résultats issus des mesures : recherche du facteur de bruit optimal

Une dernière mesure a été faite pour déterminer le facteur de bruit optimal de l'amplificateur, en modifiant uniquement les tensions de polarisation et en comparant les autres performances au cahier des charges. Le Tableau III.9 montre les conditions de polarisation de chacun des étages. Une attention toute particulière a été portée aux polarisations du premier étage, puis à celles du deuxième étage. Le troisième étage est, quant à lui, resté inchangé car sa contribution est très faible dans le niveau de bruit global de l'amplificateur (formule de Friis).

Numéro étage	1	2	3
Tension alimentation mesurée (V)	1.6	3	
Tension alimentation simulée (V)	3		
Tension grille mesurée (mV)	-300	-380	-400
Tension grille simulée (mV)	-400		
Courant drain mesuré (mA)	24	22	21
Courant drain simulé (mA)	14.8	12.3	11.5

Tableau III.9: Comparaison de la polarisation des étages du LNA filtrant en bande Ku entre la mesure et la simulation, recherche du facteur de bruit optimal

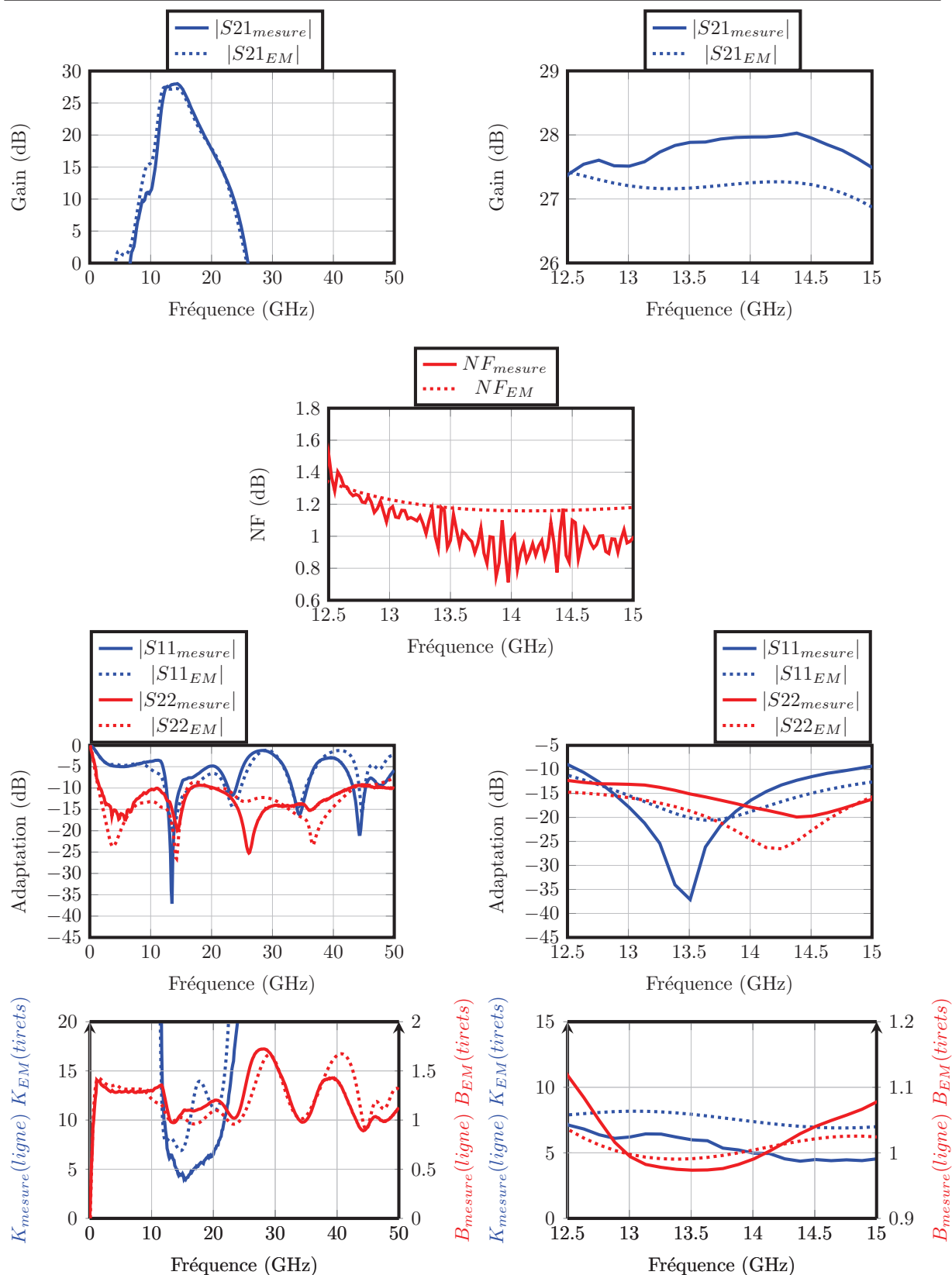


FIGURE III.25: Comparaison des paramètres S et de bruit entre la mesure et la simulation électromagnétique, recherche du facteur de bruit optimal

La comparaison de la simulation électromagnétique et de la mesure dans les conditions mentionnées précédemment est montrée dans la Figure III.25. Encore une fois, le gabarit filtrant de l'amplificateur est respecté. Le niveau de gain est de 27.5 dB avec une platitude de ± 0.25 dB. Le niveau de bruit mesuré maximal de 1.27 dB est inférieur à la simulation. On observe un niveau d'adaptation en entrée et en sortie comparable à celui correspondant aux tensions de polarisation nominales. Enfin, la stabilité inconditionnelle de l'amplificateur est vérifiée jusqu'à 50 GHz.

En résumé, dans les conditions nominales, le circuit mesuré respecte quasiment toutes les spécifications sauf le niveau d'adaptation en entrée, qui reste acceptable (voir Tableau III.10).

Spécifications	Niveau requis	Résultats mesure
Bande de fréquences (GHz)	12.75-14.8	
Facteur de bruit (dB)	< 1.5	< 1.4
Gain et platitude (dB)	> 20 ± 1	26.9 ± 0.1
Variation du gain (dB)	< 0.4 / 500 MHz	< 0.1 / 500 MHz
Adaptation entrée / sortie (dB)	< -15	< -13 (entrée) < -15 (sortie)
Tension d'alimentation (V)	3	
Consommation DC (mW)	< 175	161
Puissance de sortie au point de compression (dBm)	> 5	> 8.3

Tableau III.10: Comparaison entre la mesure et les spécifications pour l'amplificateur faible bruit filtrant en bande Ku, tensions d'alimentation et courants de drain nominaux

5 Conclusion

Dans ce chapitre, la nouvelle méthodologie de synthèse et de conception a été appliquée à la conception d'amplificateurs faible bruit filtrant en bande Ku. Le cas d'une conception en bande Ka est détaillé dans le chapitre B. Les cahiers des charges ont été établis par Thales Alenia Space et le CNES. Un résumé des performances obtenues en mesure ou en simulation électromagnétique à partir de la méthode et après optimisation des performances globales est donné dans le Tableau III.11.

Spécifications	Niveau requis bande Ku	Résultats Mesure bande Ku	Niveau requis bande Ka	Résultats EM bande Ka
Bande de fréquences (GHz)	12.75-14.8		35.5-36	
Facteur de bruit (dB)	< 1.5		< 1.7	< 1.85
Gain et platitude (dB)	$> 20 \pm 1$	23 ± 0.9	$> 20 \pm 1$	23.2 ± 0.15
Variation du gain (dB)	$< 0.4 / 500$ MHz	$< 0.66 / 500$ MHz	$< 0.4 / 500$ MHz	$< 0.3 / 500$ MHz
Adaptation entrée / sortie (dB)	<-15	<-13 (entrée) <-15 (sortie)	< -15	<-26 (entrée) <-19 (sortie)
Tension d'alimentation (V)	3			
Consommation DC (mW)	< 175	161	< 175	99
Puissance de sortie au point de compression (dBm)	> 5	> 7.6	> 5	10.3

Tableau III.11: Comparaison entre les performances en simulation électromagnétique des amplificateurs faible bruit filtrants en bande Ku et Ka et les spécifications, issues de la méthodologie de conception et après optimisation

La qualité des résultats de mesure du circuit réalisé en bande Ku permet de valider la méthode de synthèse et de conception développée.

L'efficacité de la méthode est notamment illustrée par le fait qu'elle a permis, pour la conception d'un LNA en bande Ku, d'obtenir une version préliminaire du circuit, respectant la plupart des critères du cahier des charges, en moins d'une demi-journée.

L'optimisation de la surface occupée par le circuit et l'ajustement de ses performances sont alors réalisés selon des méthodes classiques.

Conclusion générale

Ces travaux ont démontré que l'utilisation des modèles à pertes des composants passifs, pour les technologies monolithiques intégrées, associée à une méthode de synthèse et de conception spécifique, est particulièrement efficace. Nous avons montré, dans un premier temps, les limites d'utilisation des méthodes de synthèse à base de composants sans pertes (exemple avec la méthode des "fréquences réelles simplifiée") et des méthodes de synthèse à base de composants possédant un facteur de qualité fini (exemple de la méthode des filtres à pertes).

Puis une nouvelle méthode de synthèse et de conception a été présentée et appliquée à deux amplificateurs faible bruit filtrants et à un mélangeur résistif. Le nouveau flot de conception pour l'amplificateur faible bruit filtrant est le suivant :

- ① choisir le transistor optimal, la polarisation et des réseaux de contre-réactions associés pour chacun des étages, par une optimisation de type gradient ou génétique multicritère (gain, bruit, adaptation, stabilité, consommation DC). Une automatisation des simulations sous le logiciel KEYSIGHT ADS a été effectué à partir d'un programme écrit en AEL (Application Extension Language) ;
- ② déterminer le réseau d'adaptation en entrée à l'aide d'un programme Scilab, permettant de réaliser un compromis entre l'adaptation en bruit et en gain ainsi qu'une remontée limitée du niveau de bruit. L'algorithme de Nelder-Mead est utilisé avec des valeurs de composants passifs bornées ;
- ③ une nouvelle méthode de synthèse pour l'adaptation filtrante a été développée. Ces réseaux sont dimensionnés via un programme écrit sous Maple, qui utilise l'interpolation polynomiale ;
- ④ un dessin de puce, issue de la méthodologie, est obtenu en moins d'une journée. On obtient les performances proches du cahier des charges (simulation électrique et électromagnétique) sans optimisation finale. Cependant, elle est requise pour atteindre toutes les spécifications.

Un amplificateur faible bruit filtrant en bande Ku (12.75 GHz - 14.8 GHz) et utilisant

la technologie PH15 d'UMS a été conçu, fabriqué et mesuré. Les résultats de simulation et de mesure ont validé la nouvelle méthode d'un point de vue théorique et expérimental. En mesure, nous obtenons 26.9 dB de gain (platitude de ± 0.1 dB), avec un niveau de bruit inférieur à 1.4 dB, un niveau d'adaptation inférieur à -13 dB en entrée et en sortie, une consommation DC de 161 mW avec une tension d'alimentation de 3 V, une puissance de sortie au point de compression (1 dB) supérieure à 8.3 dBm et avec une taille de puce de 3.4 mm * 2.4 mm.

Un autre amplificateur faible bruit filtrant a, quant à lui, été conçu en bande Ka (35.5 GHz - 36 GHz) et utilise la technologie UMS PH10 d'UMS. Les résultats de simulation électromagnétique, montrent un niveau de gain de 21.7 dB (platitude de ± 0.15 dB), avec un niveau de bruit inférieur à 1.65 dB, un niveau d'adaptation inférieur à -10 dB en entrée et en sortie, une consommation DC de 99 mW avec une tension d'alimentation de 3 V, une puissance de sortie au point de compression (1 dB) supérieure à 9.9 dBm et avec une taille de puce de 3.4 mm * 1.4 mm.

La méthodologie introduite permet donc d'obtenir en une journée le dessin des masques préliminaire d'un circuit linéaire multi-étages pouvant répondre à un cahier des charges complexe (co-intégration-co-conception...). La méthodologie proposée peut s'adapter à n'importe quel kit de développement de fondeur et n'est, a priori, pas limitée aux technologies AsGa.

A l'avenir, une étude pour l'utilisation de cette méthode pour la conception de circuits Silicium pourra être envisagée. En effet dans ce type de technologie, le facteur de qualité des composants passifs est très faible et l'apport de la méthode pourrait être important, même pour des fonctions simples.

D'autre part une autre application envisagée est la synthèse des réseaux passifs associés à la conception de la fonction "mélangeur" : en effet ce composant présente dans le cas général trois accès optimisés pour fonctionner à trois fréquences différentes.

Une étude préliminaire de l'adaptation de la méthode pour ce dernier cas est développée en annexe dans le chapitre perspectives.

Perspective

Chapitre **A**

Perspective : Application de la méthode de synthèse et de conception au mélangeur

Sommaire

1	Introduction	116
2	Fonctionnement du mélangeur	117
3	Bref état de l'art sur les topologies de mélangeur	120
4	Nouvelle méthode de synthèse et de conception appliquée au mélangeur résistif MMIC	124
4.1	Choix du transistor	126
4.2	Choix des réseaux d'adaptation (port OL et en sortie du transistor)	127
4.3	Méthode de synthèse pour le triplexeur de sortie	130
4.4	Optimisation des performances globales	132
5	Résultats préliminaires issus de la méthodologie	133
6	Conclusion	140

1 Introduction

Dans ce mémoire, la nouvelle méthode de synthèse et de conception a été appliquée à deux amplificateurs faible bruit filtrants. Les performances attendues (niveau de gain et platitude, bruit, adaptation, stabilité) sont issues du modèle linéaire du transistor (fonctionnement petit signal), mis à part pour le point de compression. Une perspective à ces travaux consiste à appliquer cette méthode à un circuit dont les performances attendues sont purement non-linéaires : le mélangeur. Dans ce chapitre, nous allons reprendre la même démarche que pour la conception de l'amplificateur faible bruit filtrant, en l'appliquant au mélangeur résistif :

- ☞ choisir le transistor en fonction de plusieurs paramètres (polarisation, taille, puissance de l'oscillateur local), à l'aide d'une routine sous ADS (programme écrit en AEL) ;
- ☞ réaliser le réseau d'adaptation au niveau du port OL (autre routine sous ADS) ;
- ☞ créer et utiliser une méthode de synthèse pour le triplexeur de sortie, afin de filtrer la fréquence image (programme écrit sous Scilab) ;
- ☞ optimiser les performances globales si nécessaire.

Nous allons maintenant expliquer le fonctionnement d'un mélangeur, en se focalisant principalement sur son fonctionnement non-linéaire.

2 Fonctionnement du mélangeur

Un mélangeur est un dispositif électronique permettant de transposer un signal RF à une fréquence plus élevée (conversion haute ou up-conversion en anglais) ou moins élevée (conversion basse ou down-conversion en anglais) à l'aide d'une porteuse générée par un oscillateur local (signal OL), comme on peut le voir dans la Figure A.1. Le signal de sortie obtenu est appelé fréquence image (signal FI). En pratique, le mélangeur réalise une multiplication entre la porteuse RF et OL afin de générer le signal FI. Dans le cas idéal, le formalisme mathématique correspondant respectivement au signal RF (S_{RF}), OL (S_{OL}) et FI (S_{FI}) est donné par l'équation (A.1) ([76]).

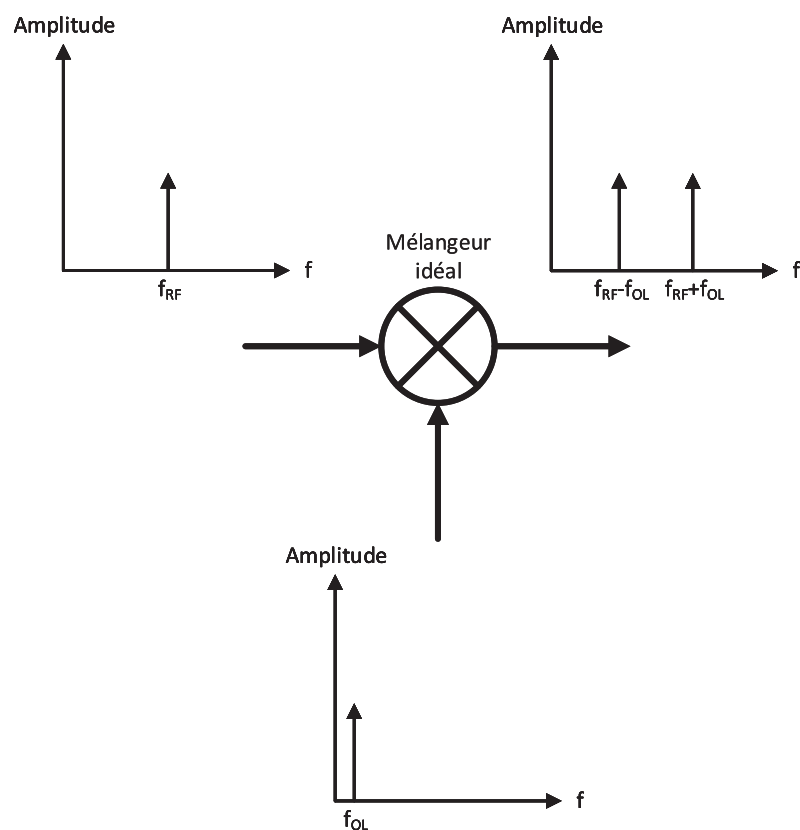


FIGURE A.1: Fonctionnement du mélangeur idéal

$$\begin{cases} S_{RF} = A_{RF} \sin(2\pi f_{RF} t) \\ S_{OL} = A_{OL} \sin(2\pi f_{OL} t) \\ S_{FI} = S_{RF} S_{OL} = \frac{A_{RF} A_{OL}}{2} \left[\cos(2\pi(f_{RF} - f_{OL})t) - \cos(2\pi(f_{RF} + f_{OL})t) \right] \end{cases} \quad (\text{A.1})$$

Le mélangeur étant conçu avec des éléments non-linéaires (transistors ou diodes), le signal de sortie n'est pas composé uniquement de la contribution FI [77] : il comprend également les harmoniques de l'OL et de la RF ($n \times S_{RF}$ et $n \times S_{OL}$, n entier non nul) ainsi que des combinaisons linéaires des signaux d'entrée ($\pm m \times S_{RF} \pm n \times S_{OL}$) appelées raies parasites (ou spurious en anglais). Une illustration du fonctionnement du mélangeur réel est donnée dans la Figure A.2. Ces contributions parasites doivent être filtrées.

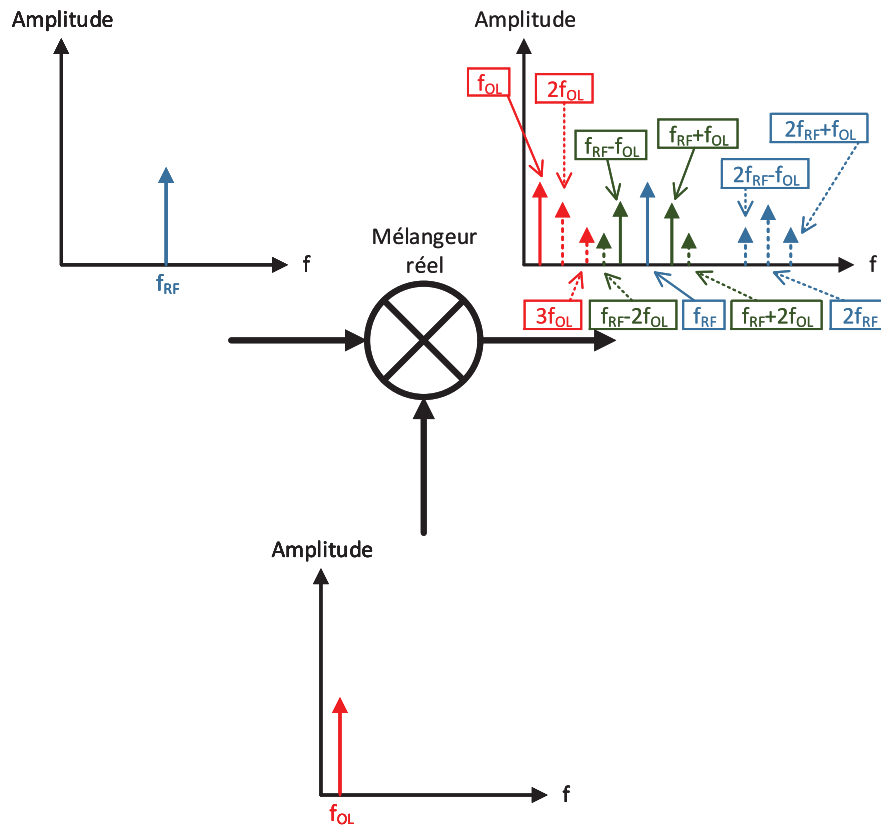


FIGURE A.2: Fonctionnement du mélangeur réel

Les figures de mérite du mélangeur sont listées ci-dessous [78] :

- ☞ les pertes de conversion (pour un transistor modèle froid) ou le gain de conversion (pour un transistor modèle chaud), qui est le rapport entre la puissance délivrée à la sortie (signal FI) et la puissance disponible en entrée (signal RF) ;
- ☞ le facteur de bruit, qui est la contribution en bruit ajoutée par le mélangeur au signal d'entrée RF. En pratique, cette valeur est très proche de la valeur des pertes de conversion ;
- ☞ l'isolation des ports : en effet, la puissance injectée par l'oscillateur local est relativement élevée (typiquement autour de 10 dBm) et peut fuiter dans les ports RF et FI. Une isolation des différents accès doit donc être réalisée ;

- ☞ la puissance du signal RF au point de compression : au-delà de cette valeur de puissance, on retrouve les harmoniques du signal RF dans le signal FI ;
- ☞ la variation possible de la puissance de l'OL pour un fonctionnement correct du mélangeur ;
- ☞ la variation dynamique, qui correspond à la variation maximale possible de la puissance du signal RF ;
- ☞ le point d'interception en entrée, qui est relié à la puissance du signal RF lorsque les produits d'intermodulation apparaissent ;
- ☞ l'intermodulation d'ordre 3, lorsque deux signaux de même amplitude sont injectés au niveau du port RF.

La conception du mélangeur est réalisée en deux parties :

- ① le choix du transistor afin d'obtenir le signal FI (conversion basse et/ou conversion haute) ;
- ② la partie passive permettant d'adapter les ports et de filtrer les signaux parasites.

Avant de passer à la conception du mélangeur, en adaptant la nouvelle méthode de synthèse et de conception (précédemment validée pour l'amplificateur faible bruit filtrant), nous allons montrer les topologies existantes utilisant une diode ou un transistor.

3 Bref état de l'art sur les topologies de mélangeur

Il existe deux architectures principales pour les mélangeurs : les mélangeurs passifs et actifs.

Le mélangeur passif, le plus connu et le plus simple à réaliser, est constitué d'une diode, avec les signaux RF et OL à l'anode et le signal FI à la cathode, comme le montre la Figure A.3. En effet, le courant qui traverse une diode est de nature exponentielle en fonction de la tension appliquée à ses bornes (équation (A.2)) (I_S étant le courant de saturation de la diode, q est la charge élémentaire d'un électron égale à $1.6 \times 10^{-19} C$, n est le facteur de qualité de la diode, k est la constante de Boltzmann égale à $1.38 \times 10^{-23} J/K$ et T est la température en Kelvin). En faisant un développement en série de Taylor de la fonction exponentielle, on obtient l'expression du signal au port FI (a est la pulsation du signal RF et b est la pulsation du signal OL).

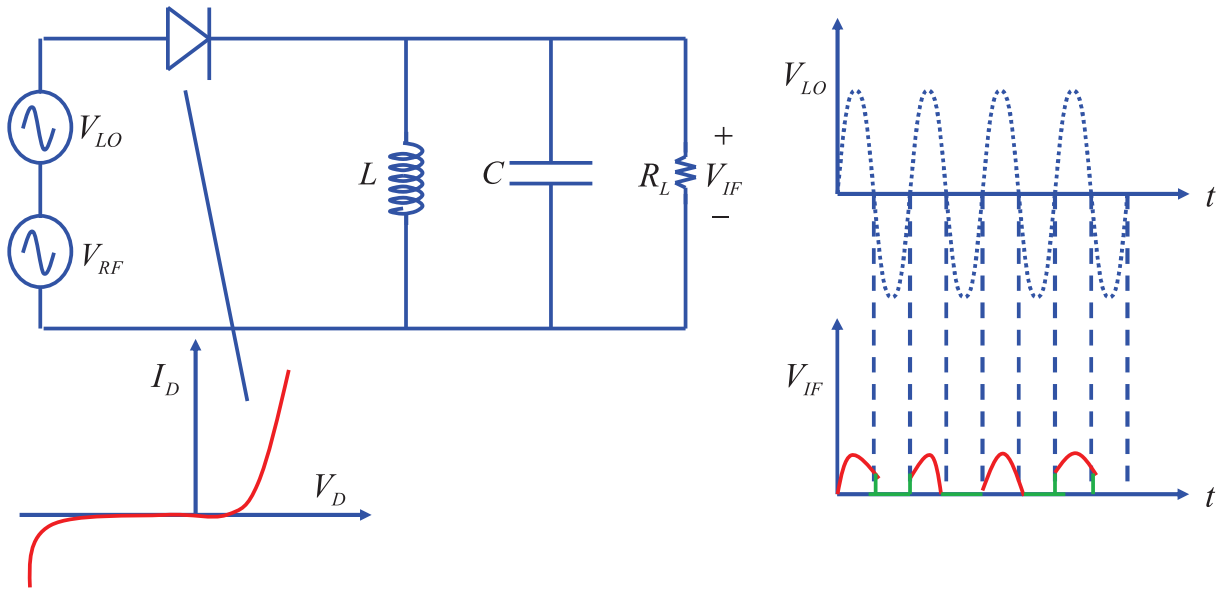


FIGURE A.3: Mélangeur passif comportant une diode [16]

$$\left\{ \begin{array}{l} I_{diode} = I_S \left(e^{\frac{qV_{diode}}{nkT}} - 1 \right) \\ e^x = \sum_{i=0}^{\infty} \frac{x^i}{i!} \\ e^x - 1 \approx x + \frac{x^2}{2} \\ V_{IF} = \cos((a-b)t) - \cos((a+b)t) + \dots \end{array} \right. \quad (A.2)$$

Le mélangeur actif est constitué d'un transistor et utilise la transconductance g_m et/ou la conductance de sortie g_d (voir équation (A.3)).

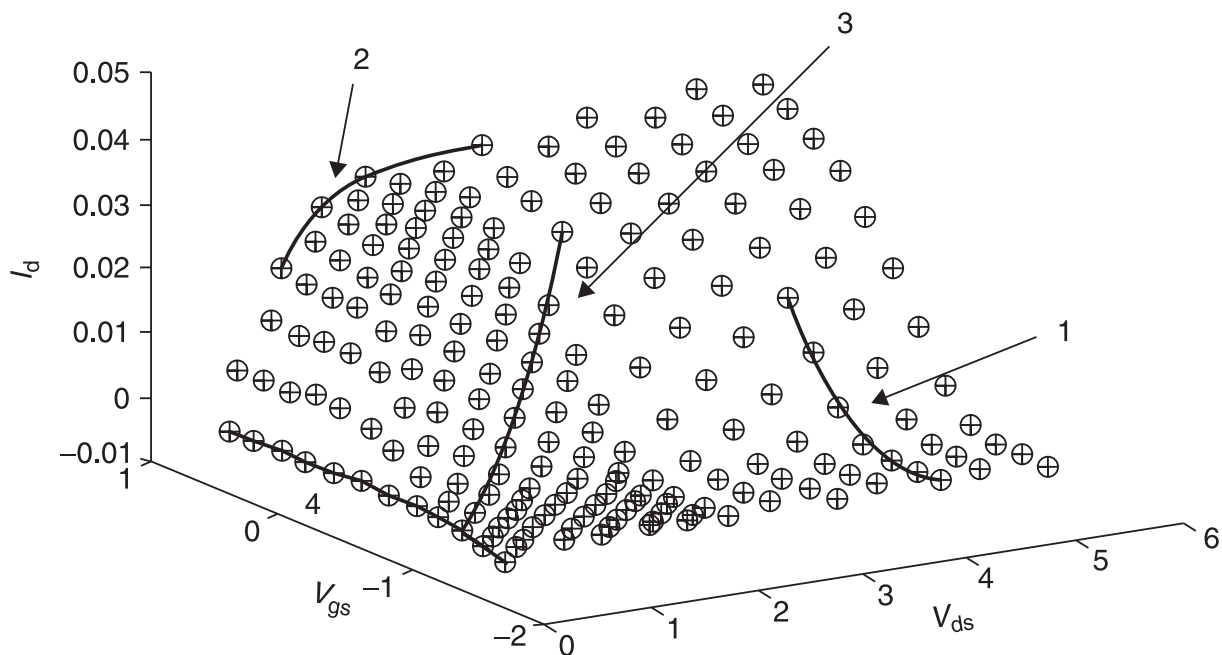


FIGURE A.4: Polarisation de différentes configurations pour le mélangeur actif comportant un transistor [17]

- 1 : mélangeur de grille
- 2 : mélangeur de drain
- 3 : mélangeur de source
- 4 : mélangeur résistif

$$\begin{cases} g_m = \left. \frac{\delta I_d}{\delta V_{gs}} \right|_{V_{ds}=\text{constante}} \\ g_d = \left. \frac{\delta I_d}{\delta V_{ds}} \right|_{V_{gs}=\text{constante}} \end{cases} \quad (\text{A.3})$$

La polarisation des quatre montages principaux utilisés pour la fonction mélange avec un seul transistor est montrée dans la Figure A.4 et leurs topologies dans la Figure A.5 (IN correspondant au port RF et OUT au signal FI) [17] :

- ① la première topologie est le mélangeur de grille. La tension de drain est maintenue constante, ce qui permet d'utiliser principalement la transconductance du transistor. C'est un montage source commune, avec les signaux RF et OL au niveau de la grille et le signal FI est récupéré au niveau du drain. Il ne permet pas d'obtenir une isolation intrinsèque entre les ports OL et RF et l'isolation des ports OL et FI est très mauvaise. Cependant, grâce à un bon coefficient de réflexion inverse (S_{12}), les ports RF et FI sont isolés ;

- ② la deuxième topologie est le mélangeur de drain. Le signal RF est situé au niveau de la grille et les signaux OL et FI au niveau du drain. Le transistor est monté en source commune. Ce montage utilise la transconductance et la conductance de sortie du transistor grâce à la modulation du signal OL. Il n'y a pas d'isolation intrinsèque entre les ports OL et FI et cette topologie possède une mauvaise isolation entre les ports RF-OL et OL-FI. Cependant, grâce à un bon coefficient de réflexion inverse (S_{12}), les ports RF et FI sont isolés ;
- ③ la troisième topologie est le mélangeur de source. Le signal RF est injecté sur la grille, le signal OL sur la source et le signal FI est récupéré sur le drain. Ce montage utilise la transconductance et la conductance de sortie du transistor grâce à la modulation du signal OL. Il n'y a pas d'isolation intrinsèque entre les ports OL et FI et il a également une mauvaise isolation entre les ports RF-OL et OL-FI. Cependant, grâce à un bon coefficient de réflexion inverse (S_{12}), les ports RF et FI sont isolés ;
- ④ la quatrième topologie est le mélangeur résistif. Le signal OL est injecté sur la grille, le signal RF sur le drain et le signal FI est récupéré sur le drain. Ce montage utilise la conductance de sortie du transistor grâce à la modulation du signal OL, avec une tension drain-source nulle (modèle froid du transistor). À la fréquence fondamentale et aux harmoniques du signal OL, la source est court-circuitée. L'isolation est modérée entre les ports OL et RF ainsi qu'entre les ports OL et FI : le transistor n'a pas de gain mais la capacité grille-source a une valeur importante avec $V_{DS} = 0V$, ce qui a pour conséquence un couplage non négligeable. Il n'y a pas d'isolation intrinsèque entre les ports RF et FI. Par contre, les conversions sont très linéaires car le transistor se situe dans sa région ohmique. Ce montage est très utilisé pour des applications avec peu d'intermodulation.

D'autres topologies existent avec plusieurs diodes ou transistors comme les mélangeurs équilibrés [79] [80], ou utilisant les cellules de Gilbert [81]. Dans le cadre de cette thèse, nous nous sommes focalisés sur une topologie à un transistor. Nous allons donc adapter et appliquer la méthode de synthèse et de conception au mélangeur résistif.

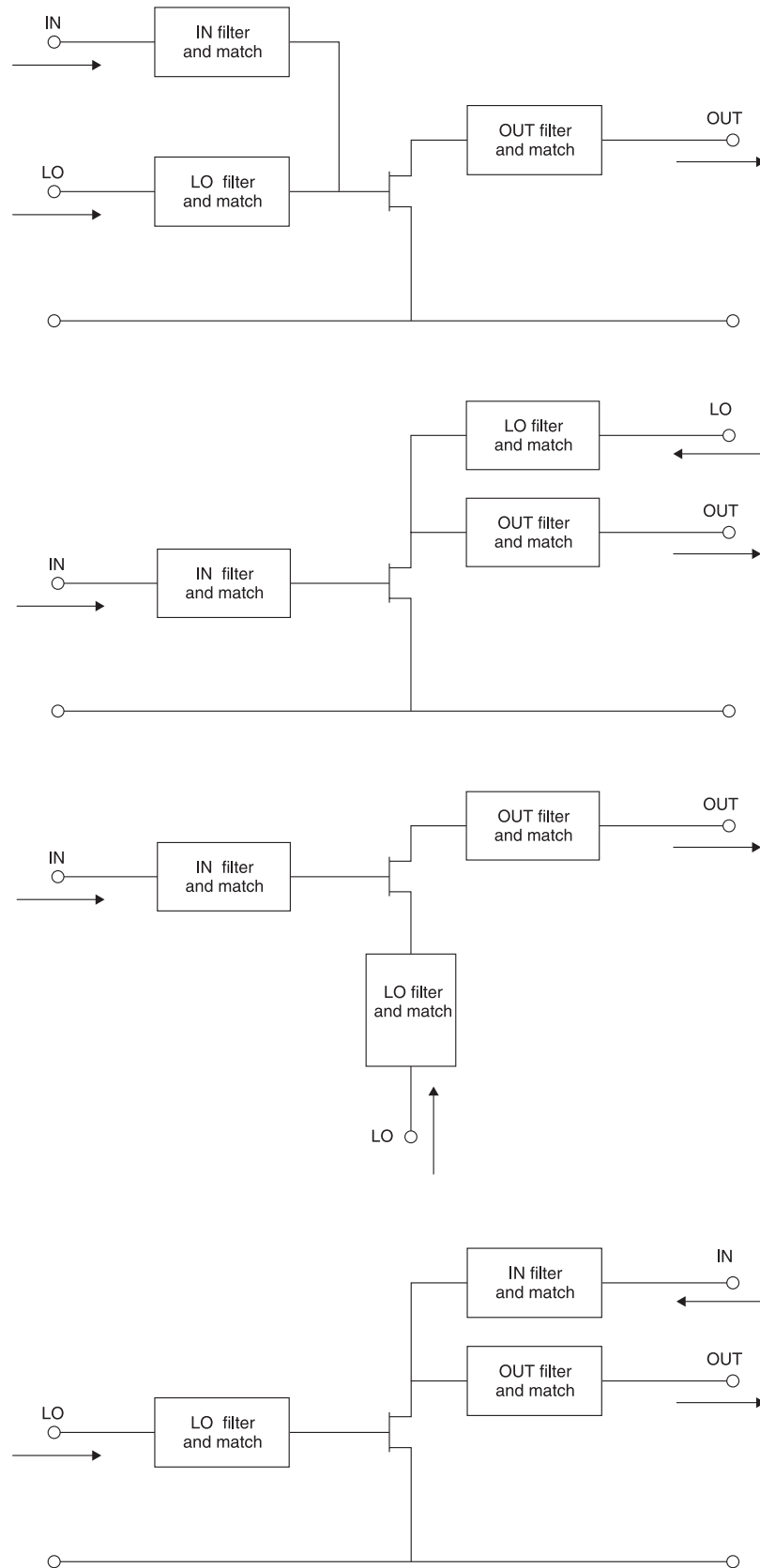


FIGURE A.5: De haut en bas : schéma du mélangeur de grille, de drain, de source et résistif [17]

4 Nouvelle méthode de synthèse et de conception appliquée au mélangeur résistif MMIC

Cette nouvelle méthode de synthèse et de conception appliquée au mélangeur résistif est illustrée par un organigramme donné dans la Figure A.6.

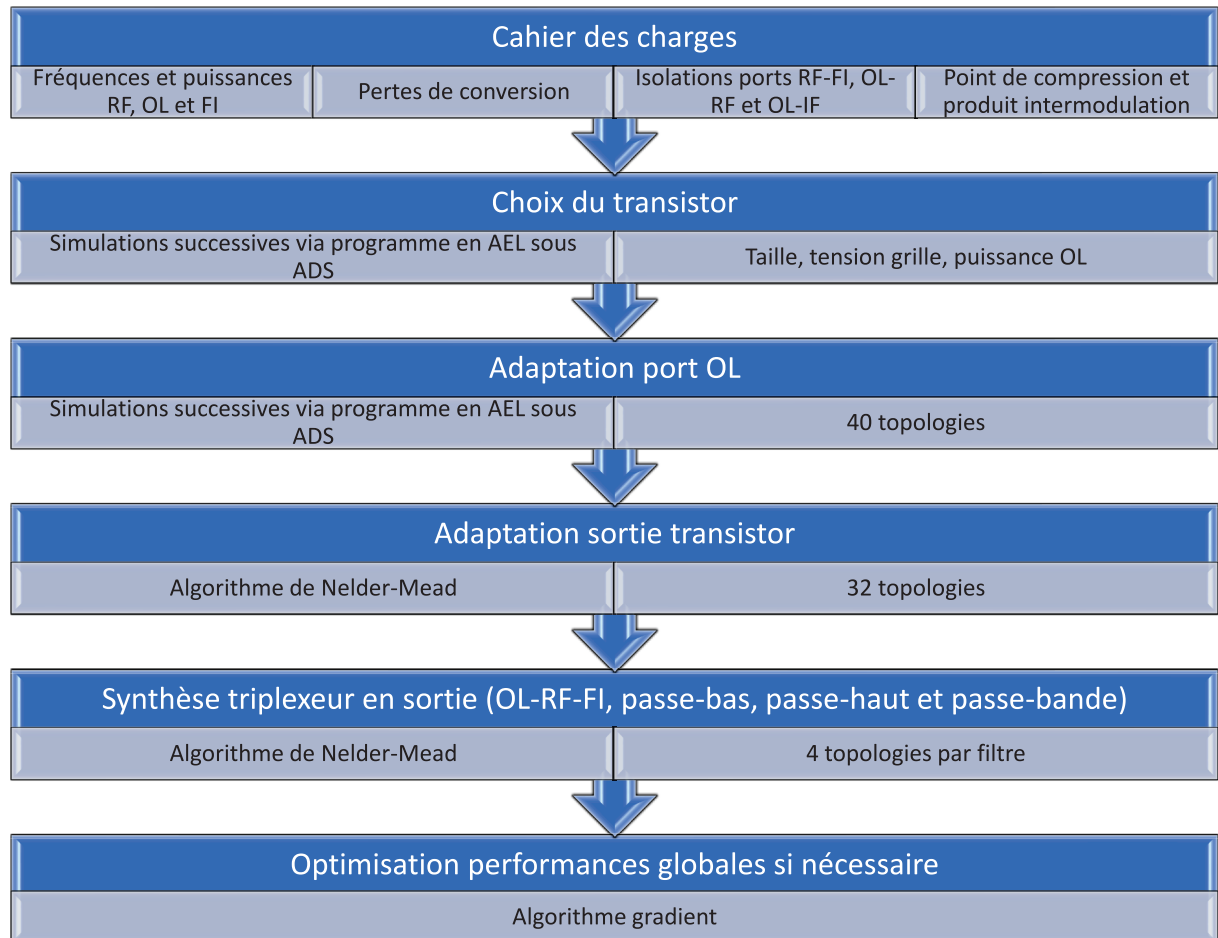


FIGURE A.6: Organigramme pour la conception du mélangeur résistif

Les principales étapes, qui seront détaillées par la suite, sont les suivantes :

- ① choisir le transistor permettant d'avoir le meilleur compromis entre des pertes de conversion les plus faibles possibles et une impédance vue depuis le port OL (grille du transistor) la plus proche possible de 50Ω ;
- ② réaliser le réseau d'adaptation au niveau du port OL, en limitant la remontée des pertes de conversion ;
- ③ concevoir le réseau d'adaptation à la sortie du transistor, en adaptant à l'impédance du port FI sur une très large bande de fréquences (fréquences OL, RF et FI) ;
- ④ dimensionner le triplexeur de sortie afin d'adapter aux fréquences RF et FI et de filtrer les contributions RF et OL ;

- ⑤ optimiser les performances globales du mélangeur résistif si nécessaire afin d'obtenir les niveaux requis en termes de pertes de conversion, d'adaptation, d'isolation, de non-linéarités et de filtrage.

Le cahier des charges pour la conception du mélangeur résistif est montré dans le Tableau A.1.

Spécifications	Valeurs
Fréquence RF (GHz)	12.7-14.8
Fréquence FI (GHz)	10.7-12.75
Fréquence OL (GHz)	0.88-3.85
Puissance OL (dBm)	< 10
Puissance RF (dBm)	-25
Pertes de conversion (dB)	< 10
Adaptation ports OL, RF et FI (dB)	< -15
Isolation ports RF-OL et FI-OL (dB)	> 20
Isolation ports RF-FI (dB)	> 10

Tableau A.1: Spécifications pour la conception du mélangeur résistif

Nous allons maintenant détailler chacune des étapes décrites précédemment et montrer les résultats de simulation électrique et électromagnétique du circuit issu de la méthodologie.

4.1 Choix du transistor

Le niveau des pertes de conversion est l'une des spécifications les plus importantes à tenir pour le mélangeur résistif. Pour cela, le choix du transistor est primordial. Trois paramètres sont à considérer :

- ☞ le dimensionnement du transistor (nombre de doigts et largeur de grille, la longueur de grille étant généralement fixe pour une filière donnée) ;
- ☞ la valeur de la tension de grille (la tension de drain est à 0 V pour un transistor modèle froid) ;
- ☞ la puissance de l'OL.

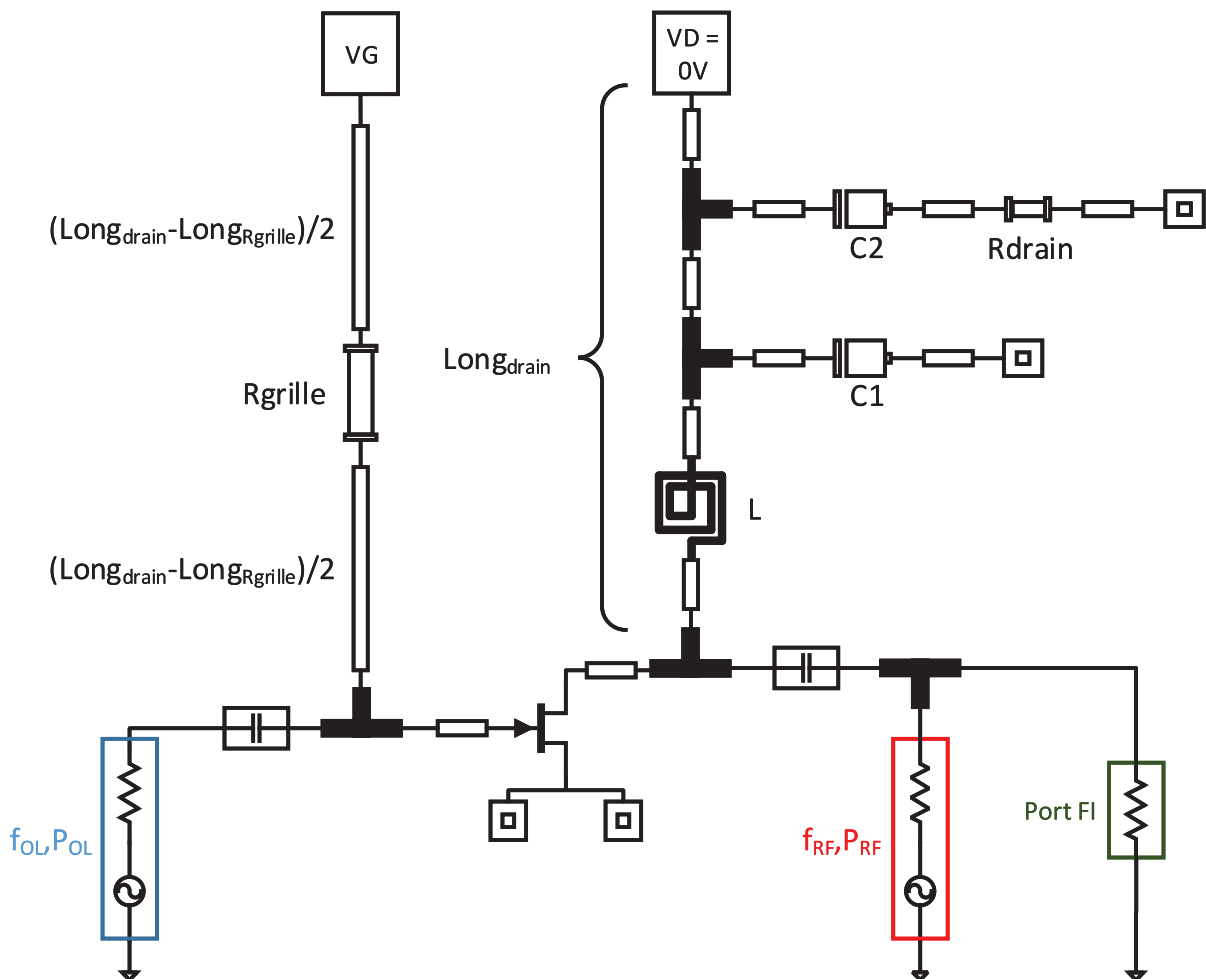


FIGURE A.7: Circuit permettant de choisir le transistor optimal pour le mélangeur résistif

Le schéma électrique permettant de déterminer ces valeurs est montré dans la Figure A.7. Il est composé du transistor modèle froid deux ports (les deux ports de source sont reliés à la masse par des vias), des lignes de connexion et des accès de polarisation de grille

et de drain. Le circuit de polarisation de drain a été présenté dans le chapitre II. Pour le circuit de polarisation de grille, dans le cas du mélangeur et par souci d'une meilleure intégration, une forte résistance (quelques centaines ou milliers d'Ohms) est suffisante. La capacité de liaison en entrée (ici idéale et de forte valeur dans un premier temps) permet de séparer la tension continue provenant de l'accès de grille du générateur du signal OL en entrée. La capacité de liaison en sortie est nécessaire bien que la tension d'alimentation soit de 0 V pour éviter tout retour de signal continu vers le générateur de signal RF.

Ce choix doit aussi tenir compte de l'impédance vue depuis le générateur de signal OL qui doit être proche de 50Ω .

4.2 Choix des réseaux d'adaptation (port OL et en sortie du transistor)

Une fois que le transistor, la tension de grille et la puissance de l'OL ont été choisis, il faut dimensionner les réseaux d'adaptation, qui se situent à l'entrée et à la sortie du transistor, comme le montre la Figure A.8.

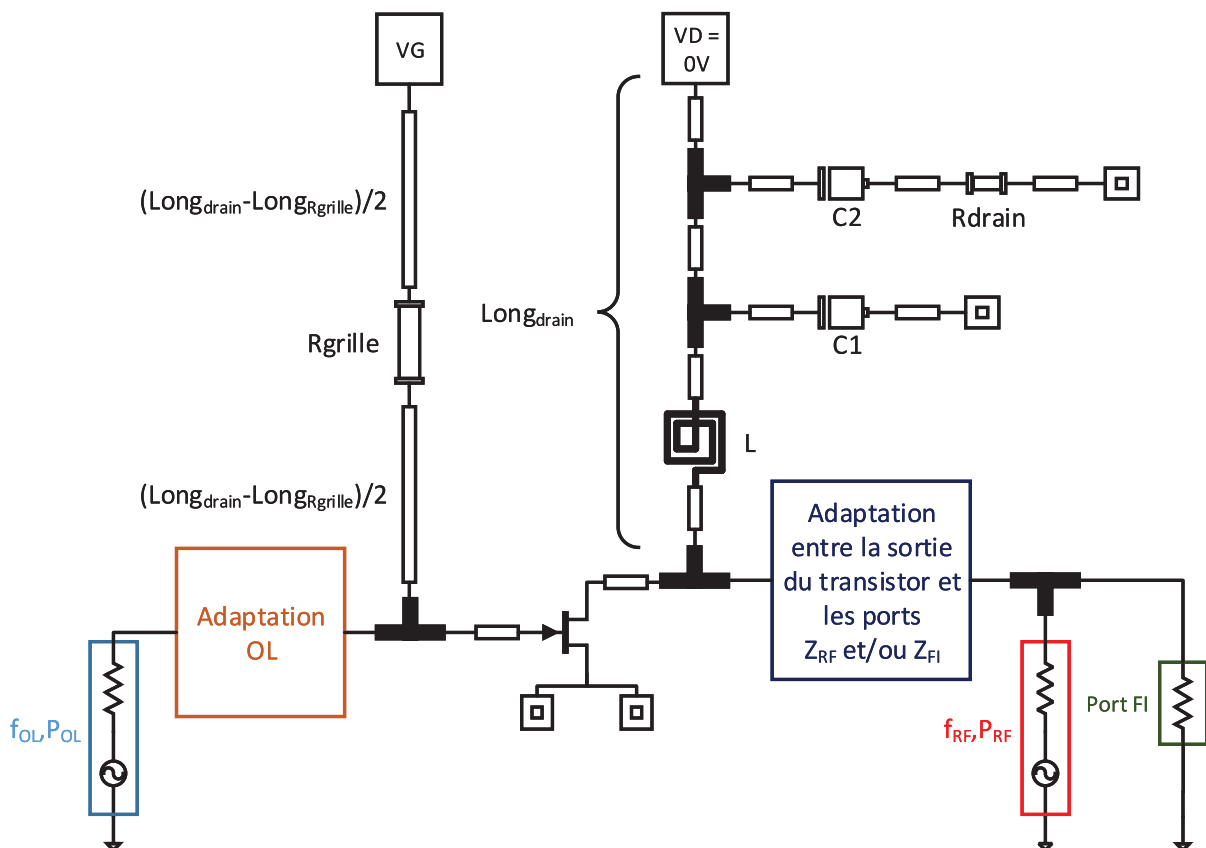


FIGURE A.8: Schéma du mélangeur résistif, incluant les réseaux d'adaptation en entrée et en sortie du transistor

Le réseau d'adaptation au niveau du port OL doit être dimensionné à l'aide des paramètres S grand signal car la puissance appliquée par l'OL n'est pas négligeable (en général autour de 10 dBm). De plus, ce réseau doit obligatoirement comporter une capacité série, qui aura une fonction de capacité de liaison. Une autre difficulté réside dans l'utilisation de composants en configuration parallèle : pour que la remontée des pertes de conversion soit limitée, il faut que l'impédance en parallèle soit suffisamment grande (comportement proche du circuit ouvert) (voir équation (A.4)). Dans le cas contraire, une bonne partie du signal provenant de l'OL passerait dans le via du composant monté en parallèle, l'autre partie irait vers le transistor. Les pertes de conversion augmenteraient fortement.

$$\begin{cases} Z_{L_{idéale}} = jL_{idéale}\omega, \text{ circuit ouvert si } Z_{L_{idéale}} \rightarrow \infty \Leftrightarrow L_{idéale} \rightarrow \infty \\ Z_{C_{idéale}} = \frac{-j}{C_{idéale}\omega} \text{ circuit ouvert si } Z_{C_{idéale}} \rightarrow \infty \Leftrightarrow C_{idéale} \rightarrow 0 \\ Z_{R_{idéale}} = R_{idéale} \text{ circuit ouvert si } Z_{R_{idéale}} \rightarrow \infty \Leftrightarrow R_{idéale} \rightarrow \infty \end{cases} \quad (\text{A.4})$$

Afin de déterminer le réseau d'adaptation (port OL) et les valeurs optimales des composants passifs, 40 topologies peuvent être simulées successivement via un programme écrit en AEL sous ADS, incluant des inductances, des capacités, des résistances, les lignes de connexion et les jonctions en T. La fonction coût pour la détermination de la topologies et des valeurs optimales des composants passifs est donnée par l'équation (A.5) (j étant le nombre de fréquences échantillonnées dans la bande OL). Elle consiste à minimiser la somme des distances entre les impédances d'entrée du réseau d'adaptation et le conjugué des impédances d'entrée du mélangeur, pour chacune des fréquences échantillonnées.

$$\epsilon = \sum_{i=1}^j \sqrt{[\Re(Z_{entrée\ réseau_i}) - \Re(Z_{entrée\ mélangeur_i}^*)]^2 + [\Im(Z_{entrée\ réseau_i}) - \Im(Z_{entrée\ mélangeur_i}^*)]^2} \quad (\text{A.5})$$

Concernant l'adaptation en sortie du transistor, on considère que les paramètres S grand et petit signal sont identiques car les puissances RF et FI sont très inférieures à celle de l'OL. Afin de faciliter la conception du triplexeur, la sortie du transistor devra être adaptée à l'impédance de référence du port FI. 32 topologies sont utilisées, incluant des capacités (dont une capacité de liaison), des inductances et des résistances.

L'étape suivante consiste à dimensionner le triplexeur en sortie du mélangeur. Le fonctionnement d'un triplexeur est identique à celui d'un démultiplexeur 1 vers 3 : il permet de diviser une voie de transmission en trois voies distinctes. Son emplacement dans le mélangeur résistif et son schéma de principe sont mentionnés dans la Figure A.9.

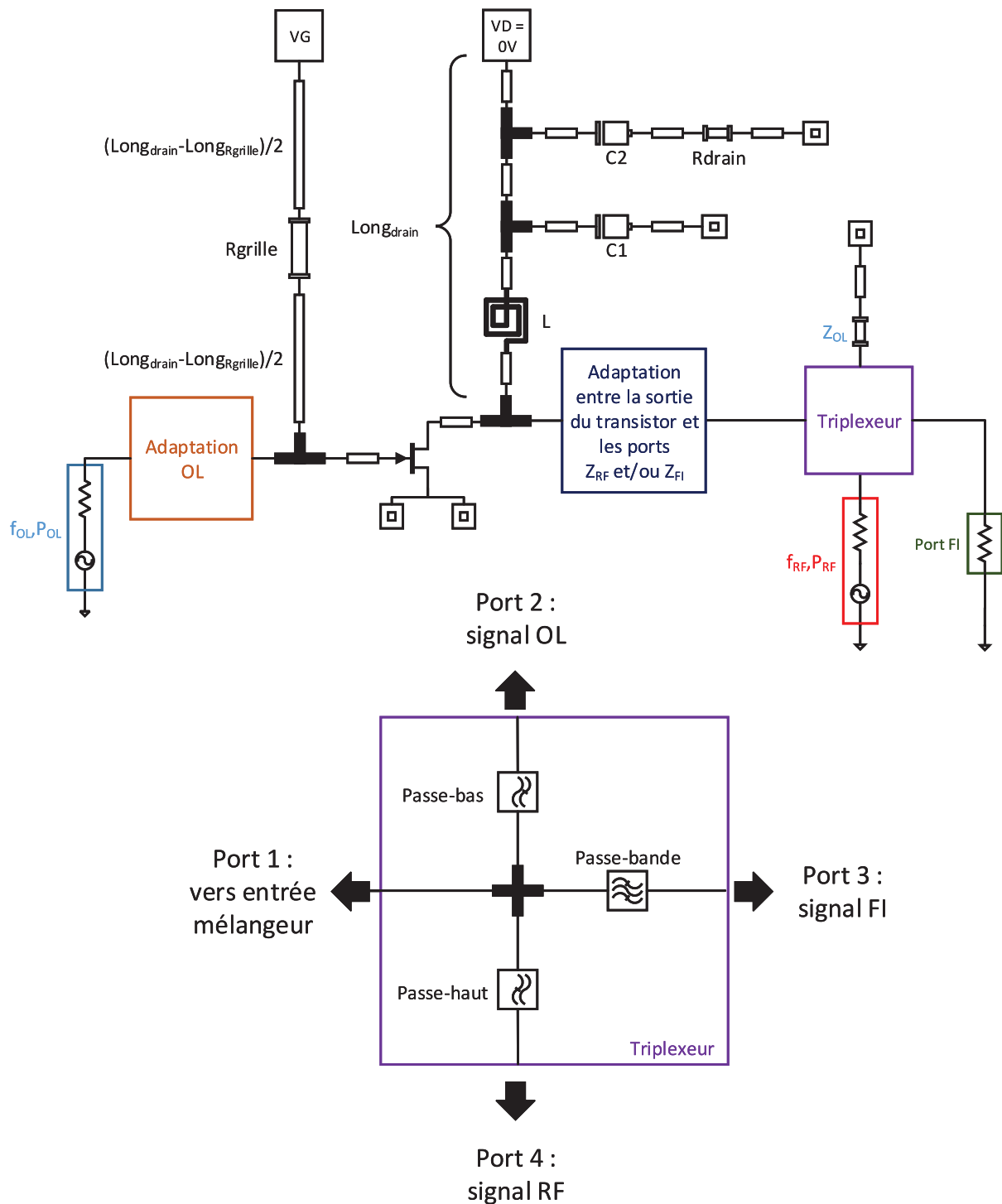


FIGURE A.9: Positionnement et schéma de principe du triplexeur de sortie dans le mélangeur résistif

4.3 Méthode de synthèse pour le triplexeur de sortie

La Figure A.10 montre la simulation d'un triplexeur réalisé sous ADS (en éléments idéaux), à partir des fréquences OL, RF et FI données par le cahier des charges (Tableau A.1). L'accès 1 correspond à la sortie du transistor. Afin que le mélange se réalise et que l'on récupère le signal FI, il faut adapter le port 1 aux fréquences OL, RF et FI. Le niveau d'adaptation obtenu de ce port est inférieur à -10 dB. L'accès 2 est, quant à lui, terminé par l'impédance Z_{OL} (identique à l'impédance du générateur du signal OL) et comporte un filtre passe-bas. Il permet de diriger la contribution OL parasite vers l'impédance Z_{OL} et non pas vers le port FI. L'accès 3 est l'accès de sortie du mélangeur. Il possède un filtre passe-bande afin de conserver uniquement le signal utile. Enfin, le port 4 est relié au générateur de signal RF. Il possède un filtre passe-haut, qui permet que le signal OL ne soit pas renvoyé vers le générateur de signal RF.

Un autre programme écrit sous Scilab, est capable de choisir la topologie (il en existe 16 avec des filtres d'ordre 3 ou d'ordre 5 avec le premier élément en série ou en parallèle) et les valeurs des composants passifs optimaux. La fonction coût est donnée par l'équation (A.6) ($dBS11_{init}$, $dBS22_{init}$, $dBS33_{init}$ et $dBS44_{init}$ sont respectivement les niveaux d'adaptation minimales au niveau du port 1 aux fréquences OL, RF et FI, au niveau du port 2 aux fréquences OL, au niveau du port 3 aux fréquences FI et au niveau du port 4 aux fréquences RF).

$$\begin{aligned} \epsilon = & \max(dBS11([fmin_{OL}; fmax_{OL}] \cup [fmin_{FI}; fmax_{FI}] \cup [fmin_{RF}; fmax_{RF}])) - dB_{S11_{init}} \\ & + \max(dBS22([fmin_{OL}; fmax_{OL}])) - dB_{S22_{init}} \\ & + \max(dBS33([fmin_{FI}; fmax_{FI}])) - dB_{S33_{init}} \\ & + \max(dBS44([fmin_{RF}; fmax_{RF}])) - dB_{S44_{init}} \end{aligned} \tag{A.6}$$

Une fois que les parties actives et passives du mélangeur ont été conçues et assemblées, une optimisation globale des performances peut être nécessaire.

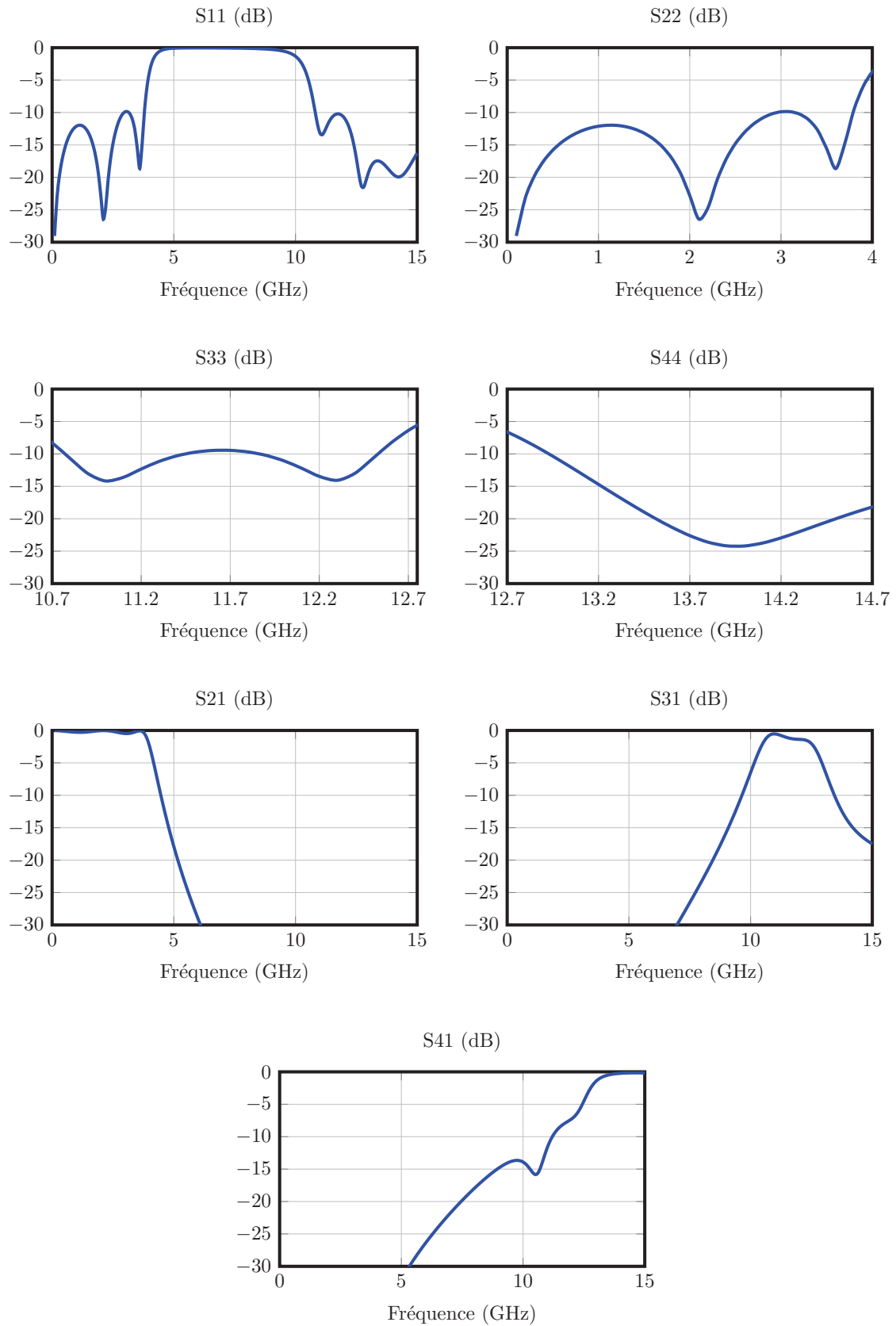


FIGURE A.10: Résultats de simulation d'un triplexeur en éléments idéaux (numéros des accès identiques à la Figure A.9)

4.4 Optimisation des performances globales

Sachant que l'impédance de sortie du transistor n'est pas forcément adaptée à l'impédance du port FI sur une très large bande de fréquences, que l'on a réalisé une approximation en petit signal pour la conception du triplexeur et que l'on a modifié la sortie du mélangeur, il est nécessaire de faire une optimisation globale du dispositif. Toutes les valeurs des composants passifs peuvent être optimisées via un algorithme de type gradient, sauf pour les composants participant aux circuits de polarisation de grille et de drain.

Nous allons maintenant appliquer cette méthode pour réaliser le mélangeur résistif à partir du cahier des charges donné au début de ce chapitre.

5 Résultats préliminaires issus de la méthodologie

Le mélangeur résistif a été conçu avec la technologie UMS PH25 en Arséniure de Gallium (AsGa). Nous allons en présenter les premiers résultats.

■ Choix du transistor optimal :

- ☞ tension de grille VG égale à 0.3 V ;
- ☞ taille du transistor $N \times W$ égale à $4 \times 40 \mu\text{m}$;
- ☞ résistance de grille égale à 500Ω ;
- ☞ une puissance de l'OL égale à 9.5 dBm.

■ Ajout des réseaux d'adaptation (port OL et sortie transistor)

- ☞ La topologie optimale pour le réseau d'adaptation au niveau du port OL est illustrée par la Figure A.11. Ce circuit est composé d'une résistance en parallèle, de deux capacités (en série et en parallèle) et d'une inductance en série.

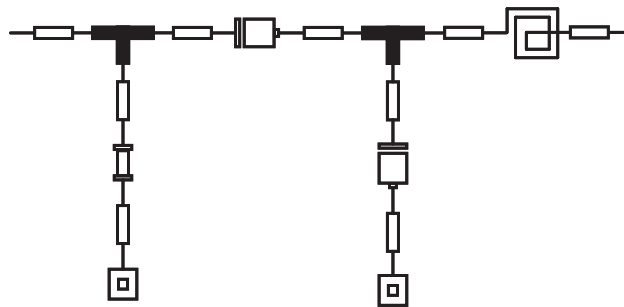


FIGURE A.11: Topologie optimale pour l'adaptation du port OL

- ☞ Le réseau d'adaptation en sortie du transistor est illustré par la Figure A.12. Il est constitué d'une résistance en série, de deux capacités (en série et en parallèle) et d'une inductance en série

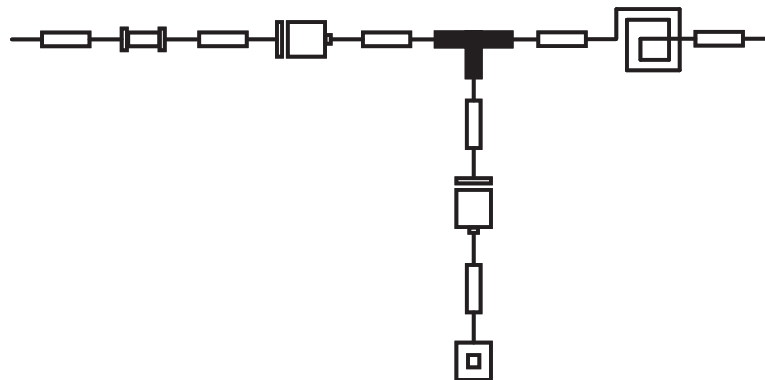


FIGURE A.12: Topologie optimale pour l'adaptation en sortie du transistor

- Ajout du triplexeur de sortie : son rôle est d'isoler la voie RF de la voie FI tout en dissipant la puissance présente à la fréquence OL dans une charge résistive. L'illustration du triplexeur de sortie est présentée dans la Figure A.13. Ce circuit est composé initialement d'un filtre passe-haut, d'un filtre passe-bas et d'un filtre passe-bande d'ordre 5 avec le premier élément en série. Les topologies et les valeurs des composants passifs ont été données par le programme Scilab. Afin d'obtenir un meilleur niveau d'adaptation au niveau des ports RF et FI, une inductance en parallèle et une capacité en parallèle ont été respectivement ajoutées.

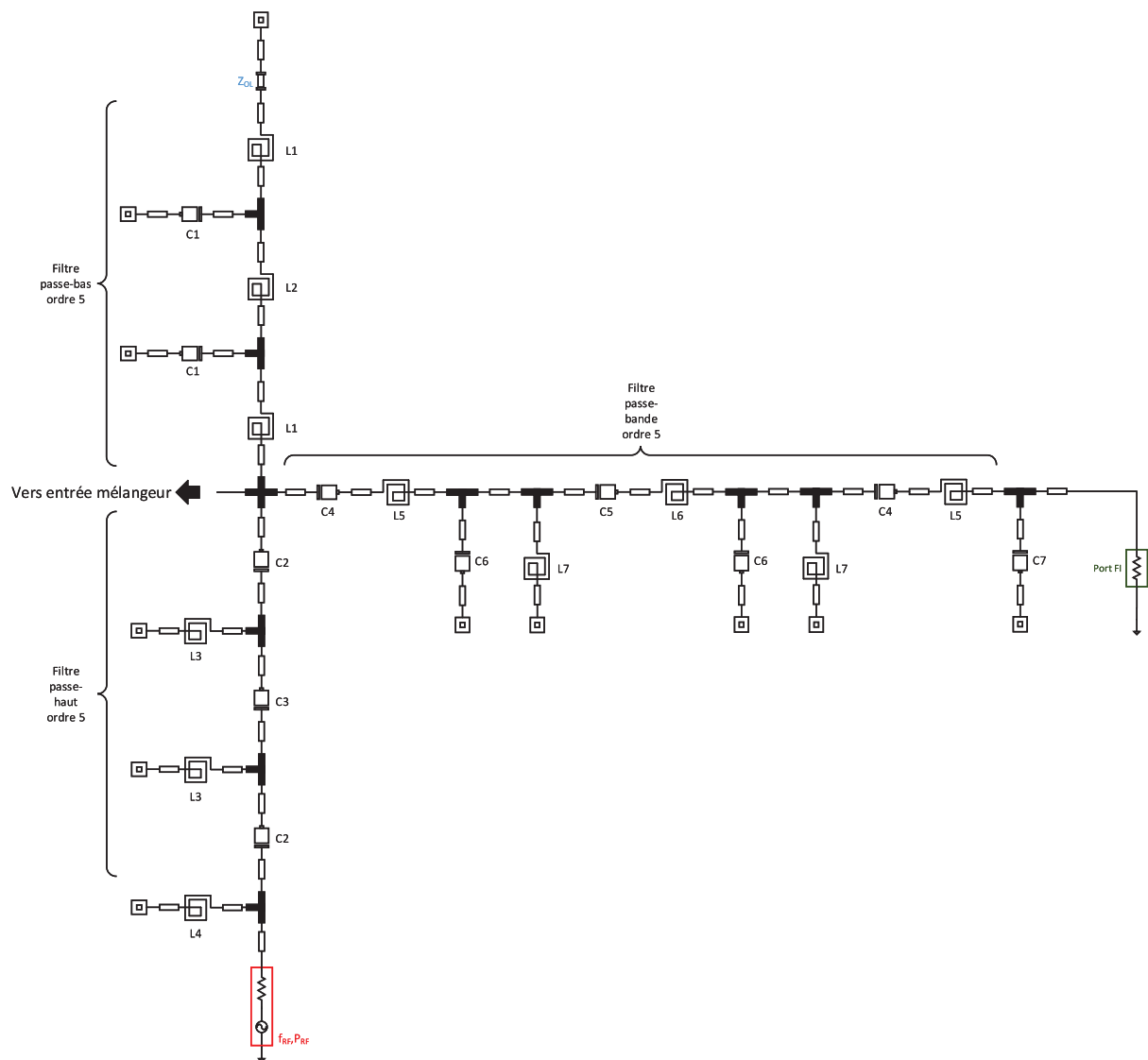


FIGURE A.13: Schéma du triplexeur final

Après la conception du triplexeur, on peut extraire le dessin de la puce du mélangeur résistif complet (Figure A.14). La superficie de la puce est de $4.7\text{ mm} \times 2.2\text{ mm}$. Le pad de gauche correspond au port OL, celui du haut au port RF et celui de droite au port FI. Les seules modifications apportées au dessin de la puce, issu de la méthodologie, concernent la taille des capacités et l'orientation des inductances planaires, dans le but de respecter les règles de conception (DRC).

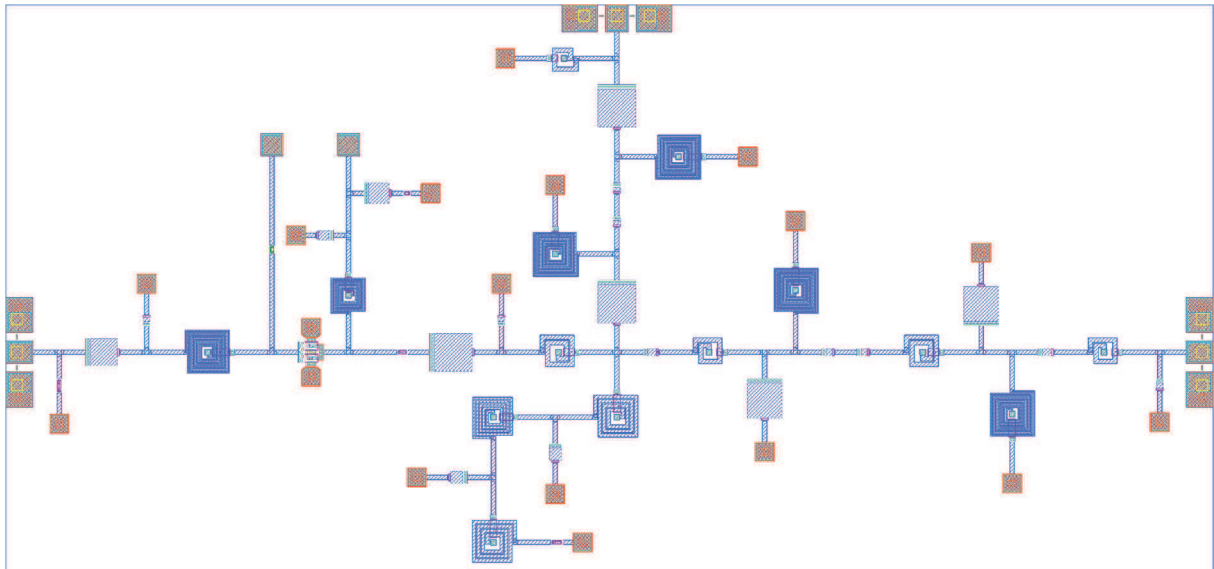


FIGURE A.14: Dessin de la puce, issu de la méthodologie, pour le mélangeur résistif MMIC

Les simulations électrique et électromagnétique du niveau des pertes de conversion de ce mélangeur sont données dans le Tableau A.2. On remarque que l'on obtient un niveau maximal respectivement de 35.67 dB et de 40.55 dB. Ces différences sont dûes notamment à la proximité des inductances planaires qui composent l'adaptation de sortie, le filtre passe-bas et le filtre passe-haut du triplexeur.

On retrouve certainement ce même problème pour l'adaptation des ports OL, RF et FI. D'après la Figure A.15, les impédances vues depuis ces ports sont relativement proches de $50\ \Omega$ en simulation électrique. Cependant, en simulation électromagnétique, on observe des différences importantes sur les ports RF et FI.

Le niveau d'adaptation est inférieur à -15 dB au port OL et à -13 dB au port RF en simulation électrique. Ces niveaux sont quasiment identiques en simulation électromagnétique, comme le montre le Tableau A.3. Pour ce qui est du port FI, une amélioration est à apporter pour obtenir une valeur inférieure ou égale à -15 dB (Tableau A.4).

Pertes de conversion (dB), simulation électrique							
$f_{RF}(GHz) \backslash f_{OL}(GHz)$	0.88	1.38	1.88	2.38	2.88	3.38	3.85
12.7	24.99	24.14	21.74	20.85	20.48	24.69	33.57
13.2	26.53	24.35	22.48	19.92	18.84	20.12	26.83
13.7	29.43	25.93	23.82	19.85	18.73	19.11	23.27
14.2	32.57	28.80	25.74	20.80	19.42	19.49	22.68
14.7	35.21	31.96	28.53	23.00	20.78	20.45	22.90
14.8	35.67	32.55	29.12	23.57	21.17	20.69	22.98
Pertes de conversion (dB), simulation électromagnétique							
$f_{RF}(GHz) \backslash f_{OL}(GHz)$	0.88	1.38	1.88	2.38	2.88	3.38	3.85
12.7	27.94	25.91	25.57	22.78	23.23	26.60	32.57
13.2	30.82	27.03	25.67	22.15	22.07	23.39	28.03
13.7	34.41	30.17	26.82	22.67	22.11	22.44	25.06
14.2	37.60	33.94	29.57	24.79	22.55	22.28	23.88
14.7	40.13	37.41	32.84	28.35	24.19	22.35	23.38
14.8	40.55	38.06	33.48	29.14	24.73	22.47	23.31

Tableau A.2: Résultats de simulation électrique et électromagnétique des pertes de conversion du mélangeur complet en fonction des fréquences RF et OL

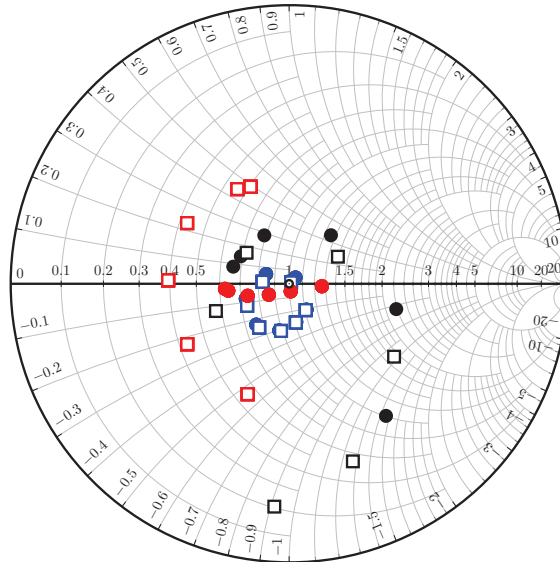


FIGURE A.15: Impédances vues depuis le port OL (bleu), depuis le port RF (rouge) et depuis le port FI (noir), à partir de la simulation électrique (points) et de la simulation électromagnétique (carrés) pour le mélangeur complet

Simulation électrique							
$f_{OL}(GHz)$	0.88	1.38	1.88	2.38	2.88	3.38	3.85
Adaptation port OL (dB)	-19	-17	-15	-15	-16	-21	-30
Adaptation port RF (dB)	-19	-31	-22	-16	-13	-13	-19
Simulation électromagnétique							
$f_{OL}(GHz)$	0.88	1.38	1.88	2.38	2.88	3.38	3.85
Adaptation port OL (dB)	-19	-17	-15	-14	-15	-20	-42
Adaptation port RF (dB)	-19	-31	-22	-16	-13	-13	-19

Tableau A.3: Résultats de simulation électrique et électromagnétique du niveau d'adaptation des ports OL et RF du mélangeur complet en fonction de la fréquence OL

Fréquences FI (GHz)	Adaptation port FI (dB) simulation électrique	Adaptation port FI (dB) simulation électromagnétique
10.8	-13.6	-11.0
11.2	-14.0	-14.5
11.6	-14.2	-14.0
12.0	-12.8	-6.8
12.4	-8.1	-3.4
12.8	-4.6	-1.9

Tableau A.4: Résultats de simulation électrique et électromagnétique du niveau d'adaptation du port FI du mélangeur complet en fonction de la fréquence FI

Le niveau d'isolation est conforme aux performances attendues (supérieur à 20 dB du port OL vers RF et du port OL vers FI, supérieur à 10 dB du port RF vers le port FI), que ce soit en simulation électrique ou en simulation électromagnétique, comme le montre le Tableau A.5. D'après la Figure A.16, la simulation électrique et la simulation électromagnétique ont des performances comparables. On remarque que le signal RF est toujours présent à cause du niveau d'adaptation insuffisant du port FI. Par contre, le signal OL a bien été filtré et le signal utile possède une amplitude égale à -45 dBm.

Enfin, les Figures A.17 et A.18 représentent le facteur de bruit du circuit, en fonction des fréquences RF et OL, respectivement en simulation électrique et électromagnétique. Son niveau est plus important en simulation électromagnétique du fait de la plus grande désadaptation des ports.

Simulation électrique							
$f_{OL}(GHz)$	0.88	1.38	1.88	2.38	2.88	3.38	3.85
Isolation (dB)							
Port OL vers RF	105.7	95.4	86.4	78.8	72.1	68.5	69.5
Port OL vers FI	126.7	122.2	118.4	116.8	118.4	130.5	140.4
$f_{RF}(GHz)$	12.7	13.2	13.7	14.2	14.7	14.8	
Isolation (dB)							
Port RF vers FI	11.7	14.2	16.6	18.9	20.7	21.0	
Simulation électromagnétique							
$f_{OL}(GHz)$	0.88	1.38	1.88	2.38	2.88	3.38	3.85
Isolation (dB)							
Port OL vers RF	83.40	80.26	77.23	72.33	65.88	61.25	60.94
Port OL vers FI	99.15	91.58	86.46	82.46	79.05	76.11	74.12
$f_{RF}(GHz)$	12.7	13.2	13.7	14.2	14.7	14.8	
Isolation (dB)							
Port RF vers FI	13.3	15.5	17.3	18.7	19.7	19.9	

Tableau A.5: Résultats de simulation électrique et électromagnétique de l'isolation des ports OL vers RF, OL vers FI et RF vers FI pour le mélangeur complet

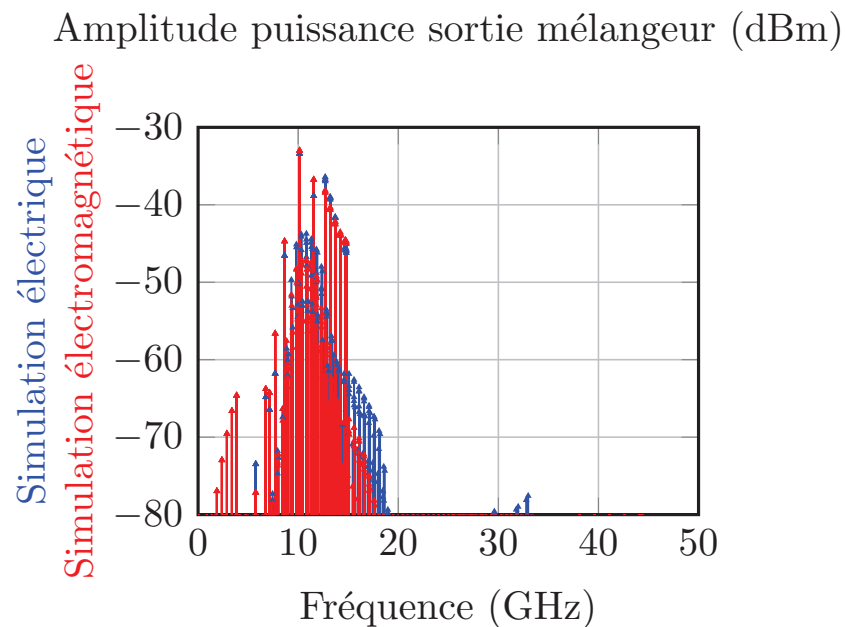


FIGURE A.16: Résultats de simulation électrique et électromagnétique de l'amplitude de la puissance de sortie du mélangeur complet (port FI)

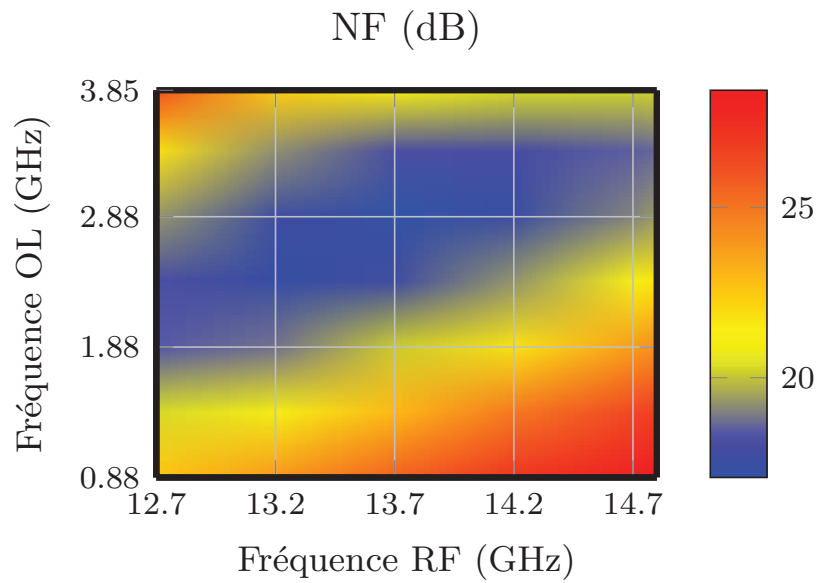


FIGURE A.17: Résultats de simulation électrique du facteur de bruit au niveau du port FI du mélangeur complet

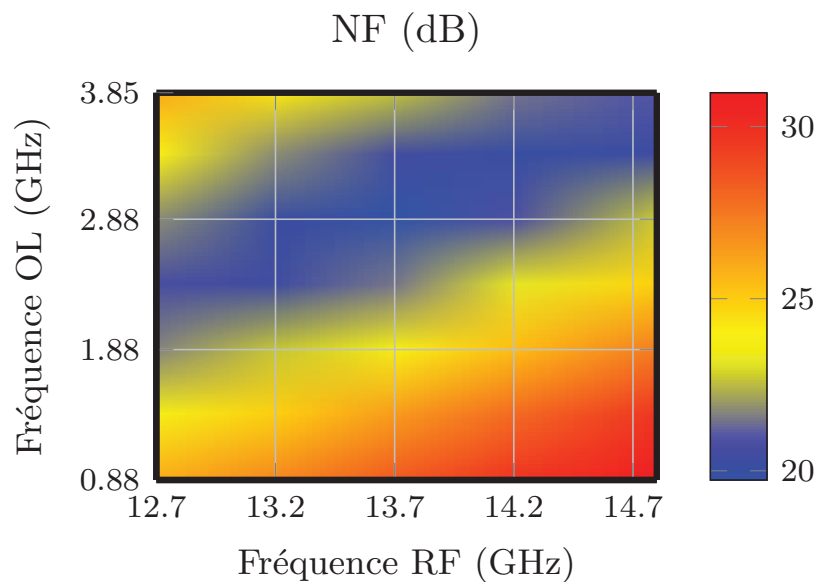


FIGURE A.18: Résultats de simulation électromagnétique du facteur de bruit au niveau du port FI du mélangeur complet

6 Conclusion

Après avoir validé la nouvelle méthode de synthèse et de conception à la fonction amplification faible bruit filtrant, ce chapitre a présenté une nouvelle application dédiée à la fonction mélange. Après une étude bibliographique et afin de valider la méthode pour un mélangeur à un seul transistor, il a été décidé de choisir la topologie résistive. Les étapes de conception du mélangeur résistif MMIC sont les suivantes :

- ① utiliser un programme écrit en AEL pour ADS, afin de simuler successivement les différentes tailles, les polarisations du transistor et valeurs de la résistance connectée à l'accès de grille. Une étape préalable consiste à dimensionner l'accès de polarisation de drain, de la même façon que pour l'amplificateur faible bruit filtrant. Le choix optimal du transistor est un compromis entre les impédances vues depuis le port OL (idéalement 50Ω) et une remontée limitée des pertes de conversion ;
- ② exécuter une autre routine écrite en AEL sous ADS afin de simuler successivement les différentes topologies pour l'adaptation du port OL, en limitant également la remontée des pertes de conversion ;
- ③ lancer un code sous Scilab afin de dimensionner le réseau d'adaptation à la sortie du transistor (adaptation au port FI). Le but étant de réaliser une adaptation très large bande (fréquences OL, RF et FI) ;
- ④ démarrer un autre programme écrit sous Scilab pour synthétiser le triplexeur de sortie, afin de filtrer les contributions OL et RF et de ne conserver uniquement le signal utile à la sortie du mélangeur ;
- ⑤ optimiser les performances globales du mélangeur résistif si nécessaire.

Comme pour l'amplificateur faible bruit filtrant, un dessin de la puce est obtenu après utilisation de la méthodologie. Dans notre cas, il mesure $4.7\text{ mm} \times 2.2\text{ mm}$. Les performances du dispositif sont une première étape de conception et doivent être améliorées notamment en réduisant la surface occupée. Le Tableau A.6 donne un résumé des performances des simulations électrique et électromagnétique.

Spécifications	Valeurs	Simulation électrique	Simulation électromagnétique
Fréquence RF (GHz)	12.7-14.8		
Fréquence FI (GHz)	10.7-12.75		
Fréquence OL (GHz)	0.88-3.85		
Puissance OL (dBm)	< 10	9.5	
Puissance RF (dBm)	-25		
Pertes de conversion (dB)	< 10	< 36	< 41
Adaptation ports OL et RF (dB)	< -15	< -13	
Adaptation port FI (dB)	< -15	< -4.6	< -1.9
Isolation ports RF-OL et FI-OL (dB)	> 20	> 68.5	> 60.9
Isolation ports RF-FI (dB)	> 10	> 11.7	> 13.3

Tableau A.6: Comparaison des performances finales du mélangeur résistif MMIC par rapport aux spécifications initiales

Une amélioration des pertes de conversion, du filtrage des fréquences RF et du niveau d'adaptation des ports OL, RF et FI est nécessaire pour obtenir un comportement optimal du mélangeur résistif MMIC.

En résumé, la nouvelle méthode de synthèse et de conception a été appliquée à un circuit purement non-linéaire : le mélangeur résistif. Le nouveau flot de conception pour ce circuit est le suivant :

- ① choisir le transistor optimal permettant d'avoir le compromis entre le niveau des pertes de conversion et le niveau d'adaptation du port OL (simulation successive avec un programme écrit en AEL, utilisant l'algorithme gradient) ;
- ② choisir le réseau d'adaptation au niveau du port OL qui autorise le meilleur compromis entre la remontée des pertes de conversion et le niveau d'adaptation (simulation successive avec un programme écrit en AEL, utilisant l'algorithme gradient) ;

- ③ dimensionner le réseau d'adaptation en sortie du transistor qui permet d'adapter à l'impédance du port FI sur une très large bande de fréquences (programme écrit sous Scilab, utilisant l'algorithme de Nelder-Mead) ;
- ④ utiliser la méthode de synthèse pour concevoir le triplexeur de sortie, afin d'obtenir uniquement le signal FI utile. Les contributions RF et OL étant filtrées et les ports RF et FI étant adaptés (programme écrit sous Scilab, utilisant l'algorithme de Nelder-Mead).

Les premiers résultats de simulation du mélangeur résistif montrent que cette méthode ouvre des perspectives intéressantes à la technique de synthèse des circuits actifs intégrés. Elle reste perfectible et devra être généralisée pour la conception de topologies de mélangeurs plus complexes.

Annexe

Chapitre **B**

Annexe : Conception d'un Amplificateur faible bruit filtrant en bande Ka

Sommaire

1	Autre illustration de la méthode de synthèse et de conception : conception d'un amplificateur faible bruit filtrant en bande Ka, technologie UMS PH10 (AsGa)	146
1.1	Résultats de simulation issus de la méthodologie	146
1.2	Résultats de simulation issus de l'optimisation de la surface de puce	161
2	Conclusion	165

1 Autre illustration de la méthode de synthèse et de conception : conception d'un amplificateur faible bruit filtrant en bande Ka, technologie UMS PH10 (AsGa)

Une autre application de la méthode a été réalisée afin de satisfaire aux critères d'un autre cahier des charges (indiqué dans le Tableau III.1) et en utilisant une autre filière technologique d'UMS : la PH10. Certaines modifications ont dû être apportées à la méthode car les modèles des composants passifs sont différents et un autre type de capacité est disponible : la "capacité over via". Elle possède un via sur le deuxième port. Ce composant sera utilisé pour les accès de polarisation de grille et de drain. Il a l'avantage améliorer légèrement la compacité de la puce.

1.1 Résultats de simulation issus de la méthodologie

1.1.1 Conception des étages

À partir de ces considérations, on dimensionne les transistors et les accès de polarisation. Les résultats sont donnés par le Tableau B.1. Le schéma électrique du premier étage est donné par la Figure B.1. Les principales différences entre ce circuit et celui du premier étage du LNA filtrant en bande Ku sont l'utilisation d'une ligne de transmission à la place d'une inductance planaire pour les accès de polarisation de grille et de drain (afin de limiter le couplage électromagnétique engendré par une inductance spirale autour de 36 GHz), l'utilisation des "capacités over via" et la suppression de la résistance en sortie. En effet, les résultats de simulation du schéma électrique de la Figure B.2 confirment que la résistance de sortie n'est pas nécessaire car le premier étage est déjà inconditionnellement stable jusqu'à 60 GHz sans rajouter le réseau d'adaptation en entrée. Le gain maximal est supérieur à 4.3 dB dans la bande utile de 35.5 GHz à 36 GHz. Le facteur de bruit minimum est inférieur à 1.18 dB. Enfin, les niveaux d'adaptation en entrée et en sortie sont respectivement inférieurs à -10.5 dB et à -12.9 dB.

Caractéristiques \ Étage	1	2	3
Taille transistor	$6 \times 20 \mu\text{m}$	$2 \times 40 \mu\text{m}$	$2 \times 30 \mu\text{m}$
Tension alimentation (V)	3		
Tension grille (mV)	-100	0	
Courant drain (mA)	11.0	11.7	10.3

Tableau B.1: Polarisation et taille des transistors du LNA filtrant en bande Ka

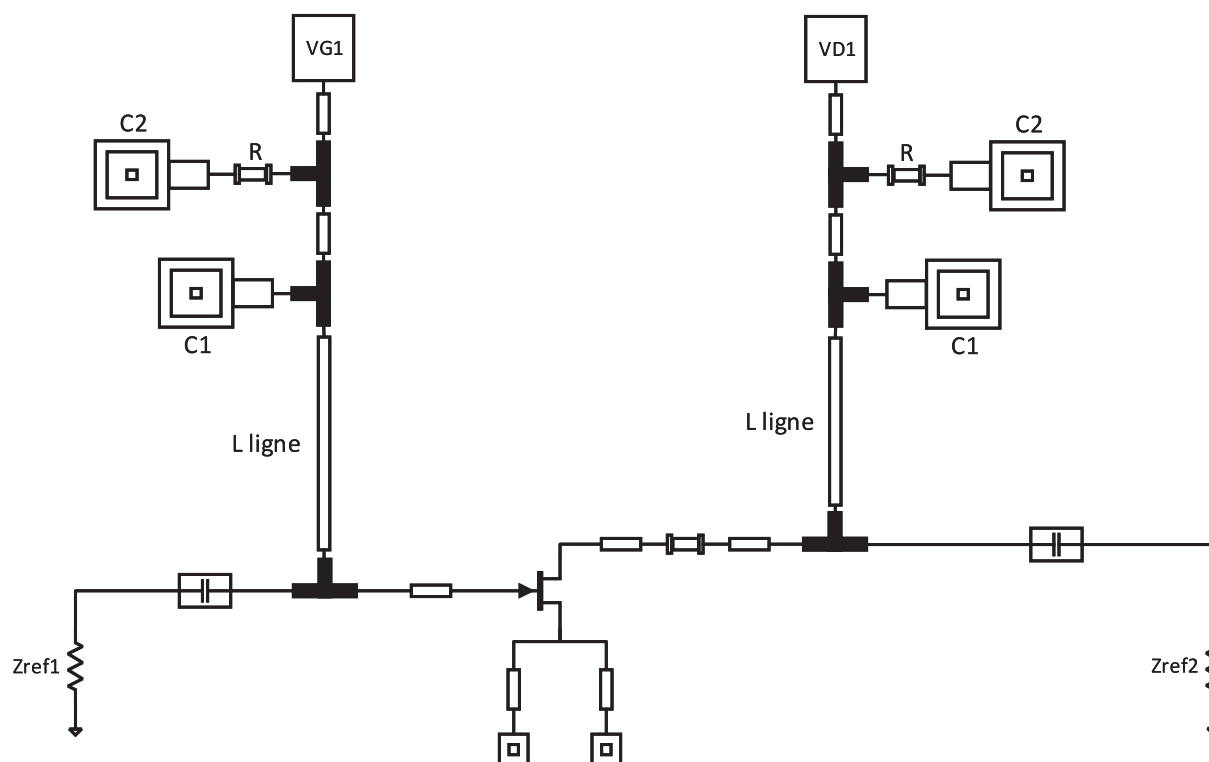


FIGURE B.1: Circuit constituant le premier étage du LNA filtrant en bande Ka

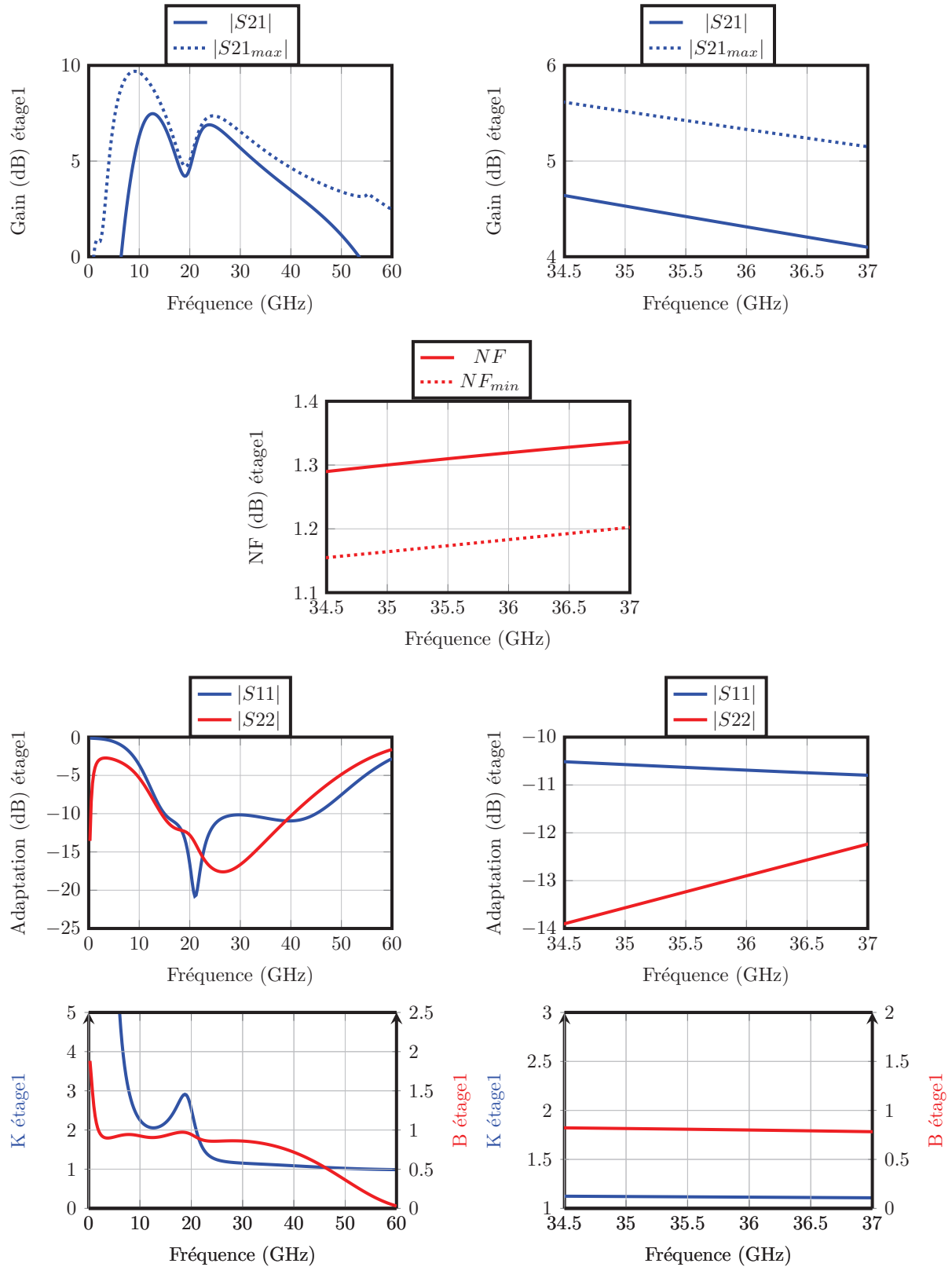


FIGURE B.2: Résultats de la simulation électrique, issus de la méthodologie, pour le premier étage du LNA filtrant en bande Ka

Le deuxième étage, comme montré dans la Figure B.3, est presque identique au premier. Seule une ligne de connexion et une capacité série ont été ajoutés, toujours afin de séparer la polarisation provenant du drain du deuxième étage et celle provenant de la grille du troisième étage. Les résultats de simulation de cet étage sont illustrés dans la Figure B.4. La stabilité inconditionnelle est assurée jusqu'à 50 GHz. Le niveau de gain maximal a augmenté de 2 dB et le facteur de bruit minimum a également augmenté de 0.1 dB. Le niveau d'adaptation s'est dégradé avec un niveau respectivement inférieur à -7.8 dB en entrée et inférieur à -7.2 dB en sortie.

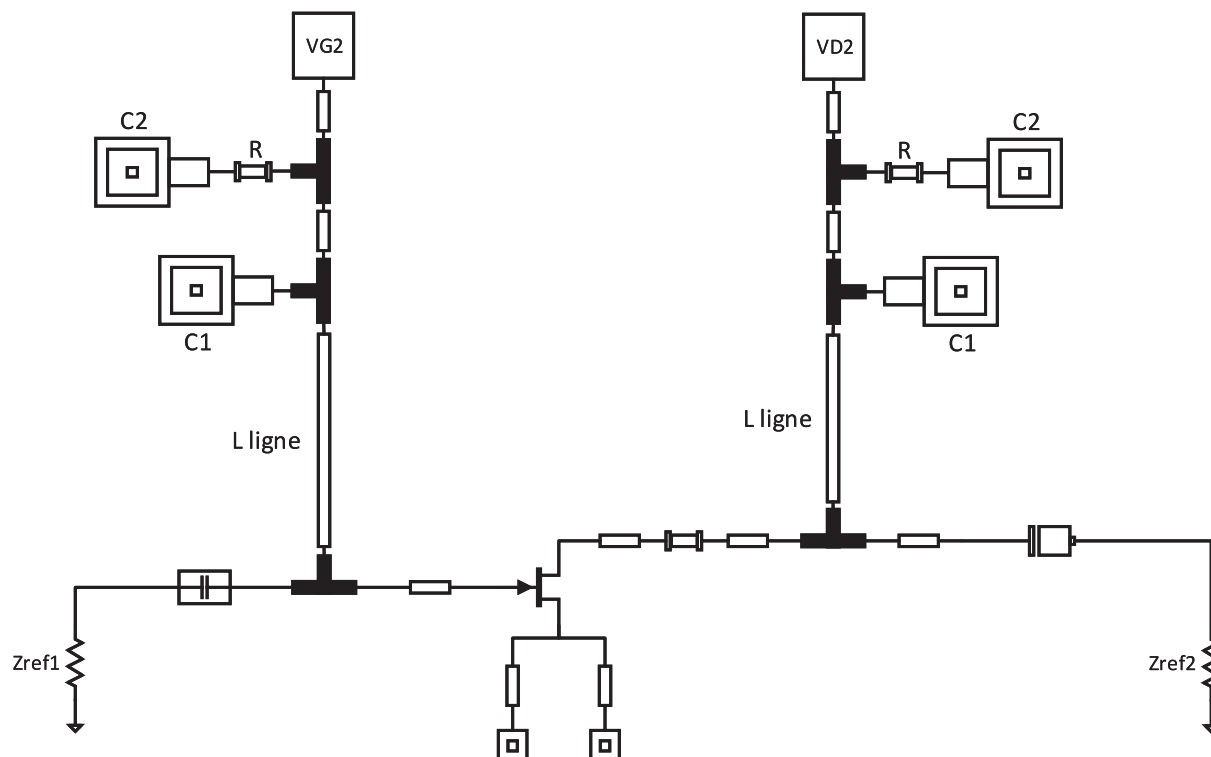


FIGURE B.3: Circuit constituant le deuxième étage du LNA filtrant en bande Ka

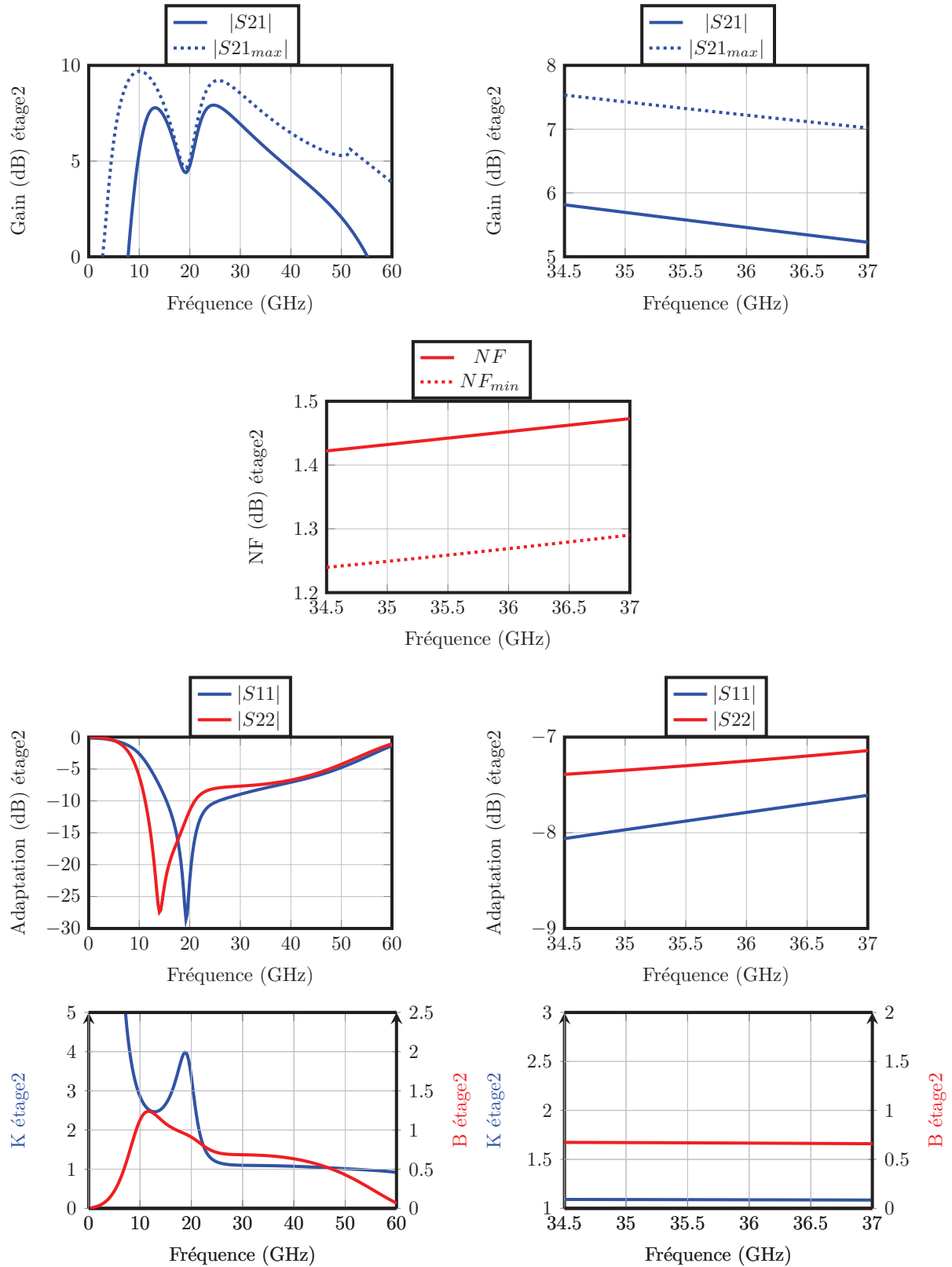


FIGURE B.4: Résultats de la simulation électrique, issus de la méthodologie, pour le deuxième étage du LNA filtrant en bande Ka

Concernant le troisième étage (Figure B.5), il ressemble beaucoup au premier, avec une résistance en sortie de l'étage afin d'assurer la stabilité inconditionnelle jusqu'à 60 GHz. En contrepartie, cela pénalise le niveau de gain et de bruit. Les résultats dans la Figure B.6 montrent un niveau de gain maximal comparable à celui du deuxième étage, alors qu'il faudrait qu'il soit plus élevé pour atteindre 20 dB pour l'ensemble de l'amplificateur. Le facteur de bruit a augmenté de 0.1 dB par rapport au deuxième étage, mais sa contribution est très limitée sur le facteur de bruit de l'amplificateur total (formule de Friis). Le niveau d'adaptation en entrée et en sortie est correct sans réseaux d'adaptation complémentaires avec une valeur autour de -6.2 dB en entrée et autour de -7.5 dB en sortie.

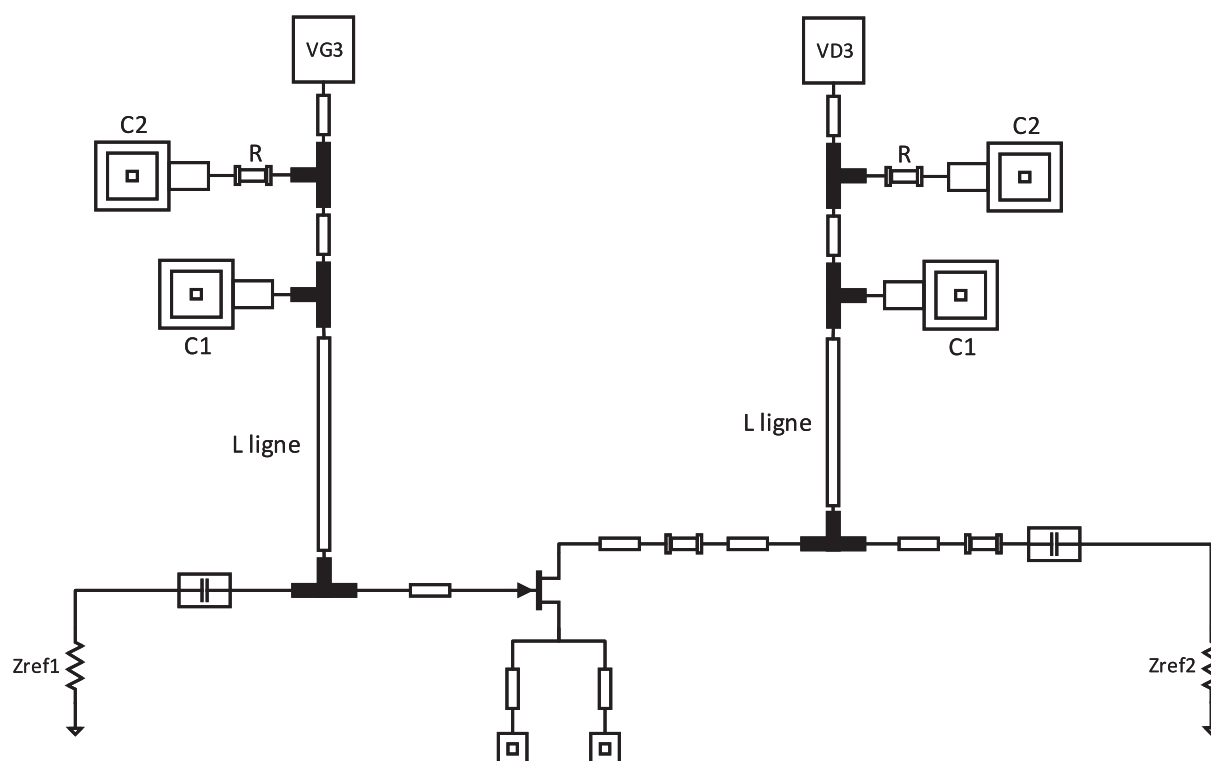


FIGURE B.5: Circuit constituant le troisième étage du LNA filtrant en bande Ka

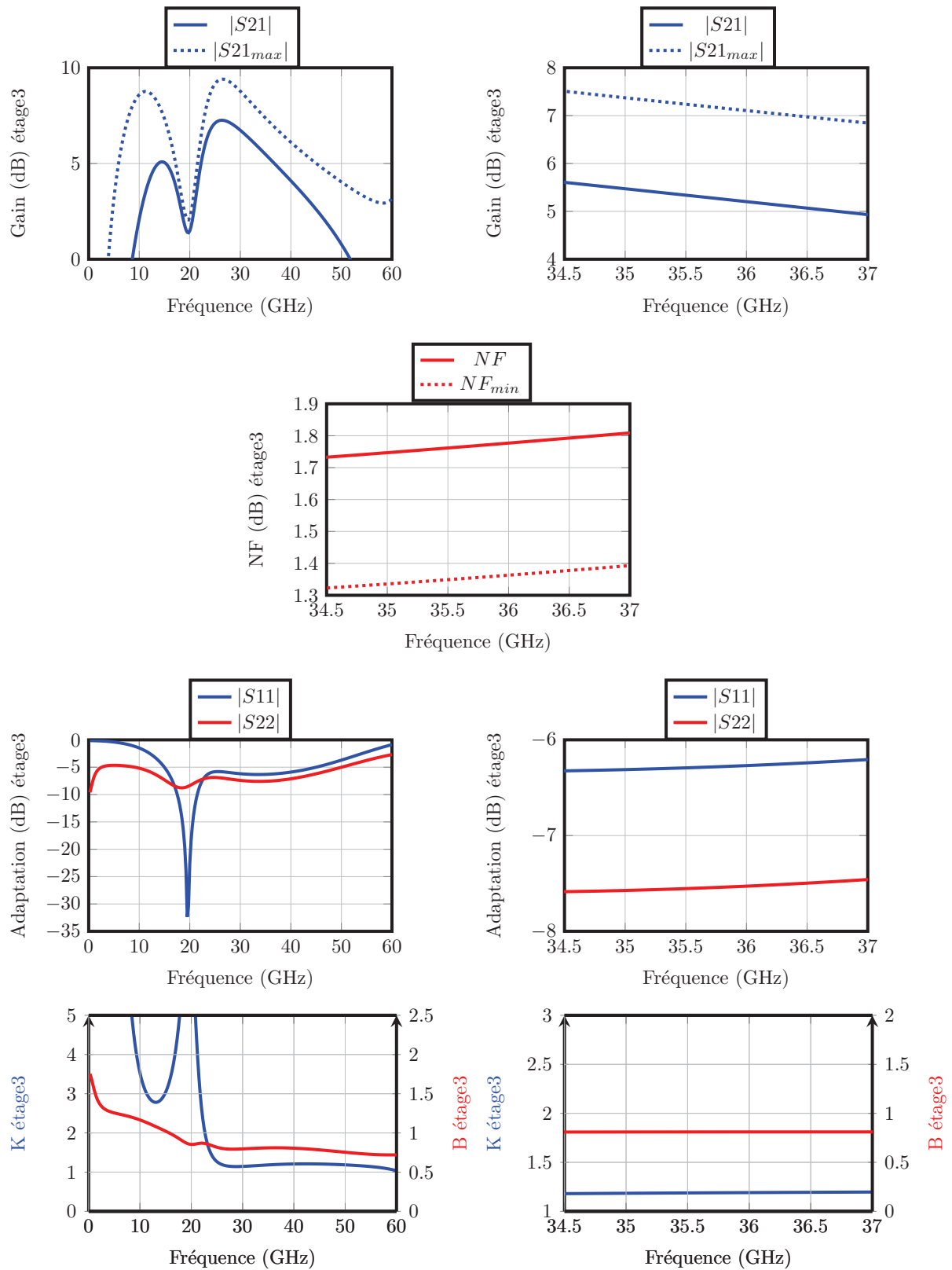


FIGURE B.6: Résultats de la simulation électrique, issus de la méthodologie, pour le troisième étage du LNA filtrant en bande Ka

1.1.2 Ajout du réseau d'adaptation d'entrée et des réseaux d'adaptation filtrants

Comme pour les accès de polarisation de grille et de drain, les inductances planaires ne sont pas utilisées dans les réseaux d'entrée et des réseaux d'adaptation filtrants. Elles sont remplacées par des lignes de transmission. Ces réseaux sont présentés dans la Figure B.7. Celui d'entrée est constitué d'une ligne en circuit ouvert en parallèle avec une capacité et une autre ligne en circuit ouvert. Cette topologie permet d'avoir des pertes limitées.

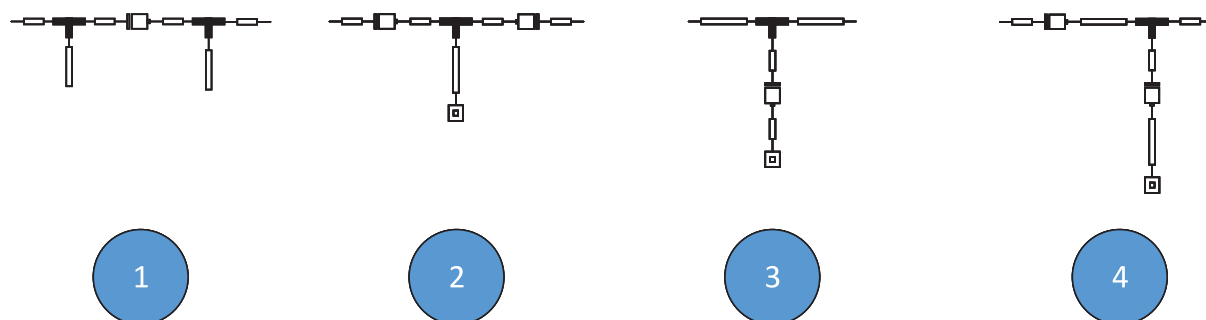


FIGURE B.7: Réseaux d'adaptation utilisés pour la conception du LNA en bande Ka : entrée (1), inter-étages 1 (2), inter-étages 2 (3) et sortie (4)

Les performances des réseaux d'adaptation filtrants sont présentées dans la Figure B.8. La principale difficulté, comme pour l'amplificateur faible bruit filtrant en bande Ku, est d'obtenir le gabarit du filtre, des pertes d'insertion faibles et une bonne adaptation dans la bande. Or ici, on remarque que le passe-haut possède une fréquence de coupure trop basse (autour de 10 GHz). Mais ses pertes d'insertion sont faibles (environ 0.25 dB) et son niveau d'adaptation entrée-sortie est inférieur à -18 dB. Le passe-bas possède également un comportement passe-haut et possède approximativement les mêmes caractéristiques pour les pertes d'insertion et le niveau d'adaptation en entrée et en sortie. Pour ce qui est du passe-bande, il lui manque le zéro de transmission à droite (qui est situé à une fréquence supérieure). Il possède des pertes d'insertion identiques aux deux autres topologies et son niveau d'adaptation en entrée et en sortie est encore meilleur (inférieur à -20 dB).

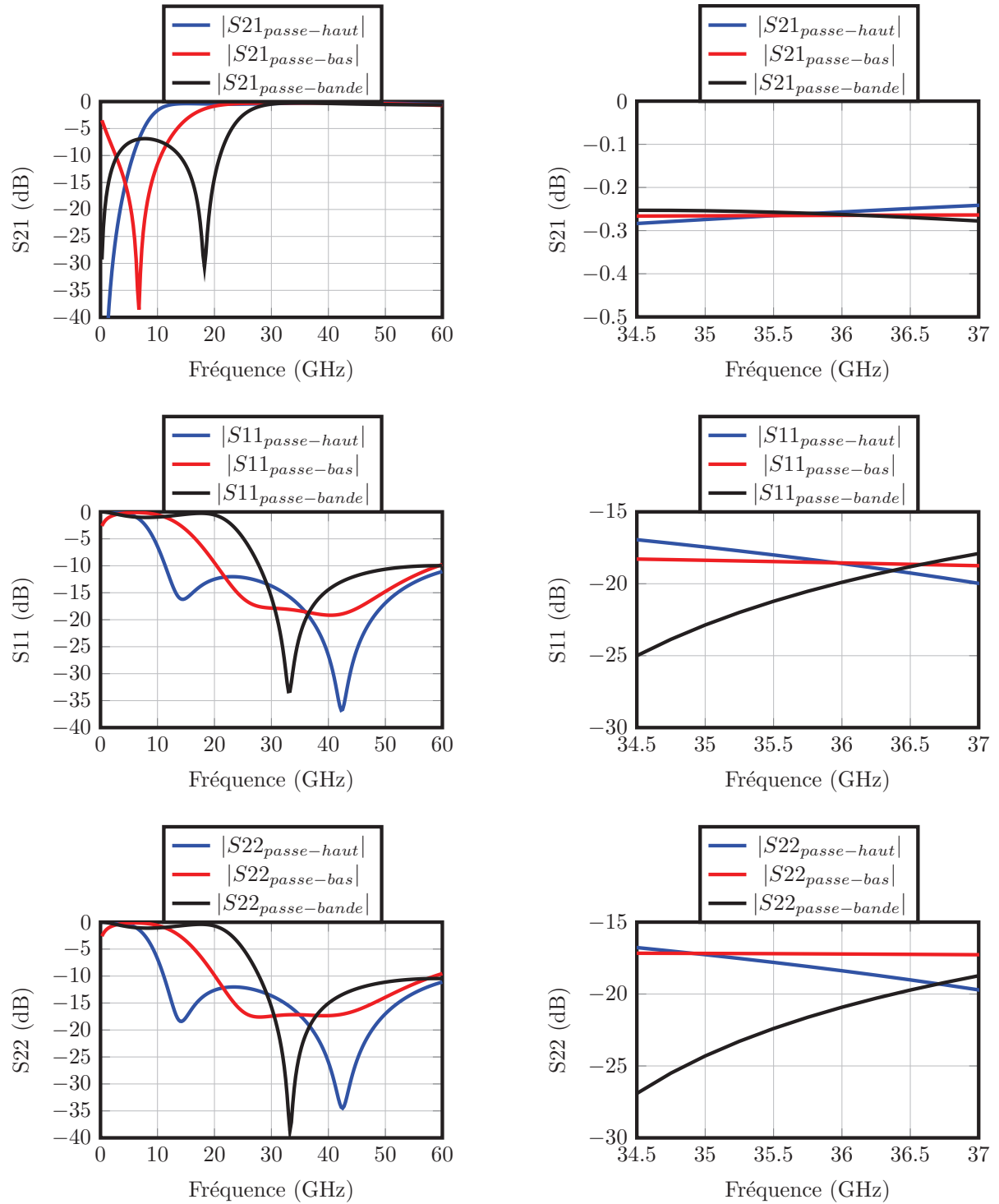


FIGURE B.8: Performances en paramètres S des réseaux d'adaptation filtrants pour le LNA en bande Ka

Le dessin de la puce, issu de la méthodologie, est illustré par la Figure B.9. Sa superficie est de $3 \text{ mm} \times 1.9 \text{ mm}$. On peut remarquer que les largeurs des résistances (participant à la stabilité inconditionnelle de chacun des étages sur une très large bande de fonctionnement) sont plus grandes que les largeurs des lignes de transmission. Ceci est dû à leurs très faibles valeurs (quelques Ohms) et au fait qu'il faut respecter une longueur minimale entre les deux contacts de la résistance (règle de conception).

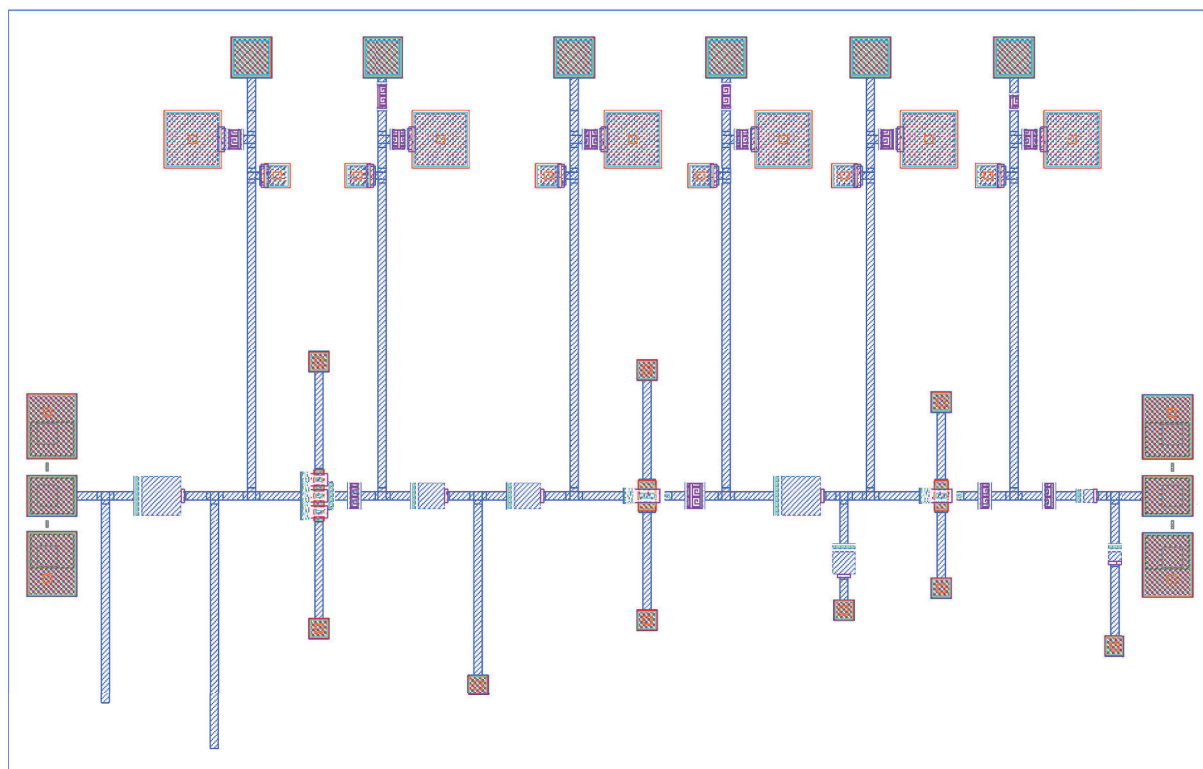


FIGURE B.9: Dessin de la puce, issu de la méthodologie, pour le LNA filtrant en bande Ka, avec respect des règles de conception (DRC)

Les performances électriques du circuit synthétisé sont présentées dans la Figure B.10. L'ensemble est inconditionnellement stable. Les niveaux d'adaptation en entrée et en sortie sont respectivement inférieures à -11 dB et à -9 dB . Le facteur de bruit est inférieur à $1,9 \text{ dB}$. Le gain obtenu est un peu faible, mais suffisamment proche du niveau requis pour que les spécifications soient satisfaites après optimisation globale au niveau du dessin des masques.

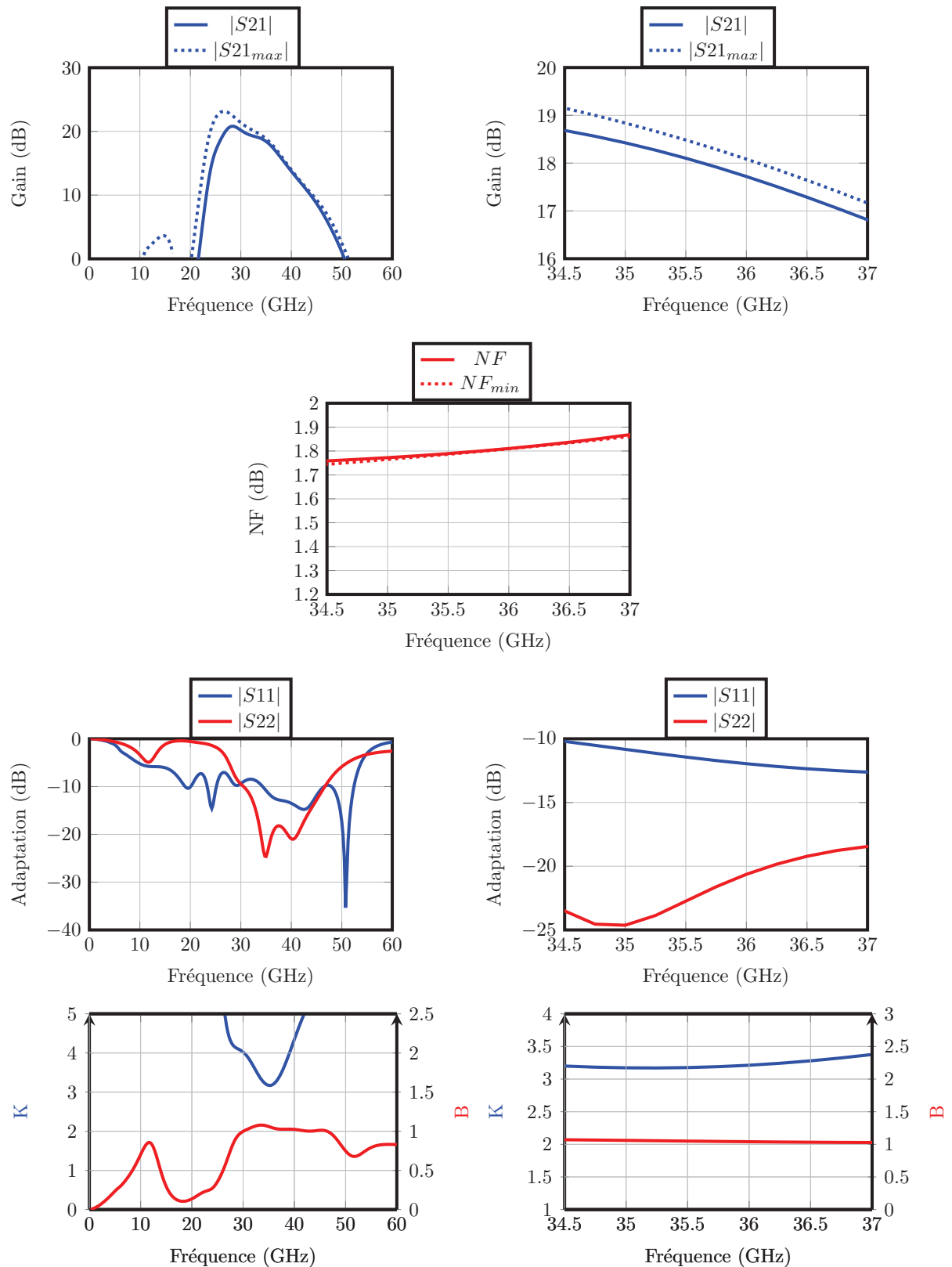


FIGURE B.10: Résultats de la simulation électrique, issus de la méthodologie, pour le LNA filtrant complet en bande Ka

1.1.3 Optimisation des performances

La comparaison des performances en simulation électrique et électromagnétique est faite avec la Figure B.11. On obtient bien le gabarit filtrant souhaité même pour des fréquences supérieures à la bande utile (0 dB de gain entre 0 GHz et 25 GHz ainsi que pour des fréquences supérieures à 45 GHz). Le niveau de gain dépasse 20 dB et atteint même 23,2 dB en simulation électromagnétique. Le niveau de bruit est, quant à lui, inférieur à 1.85 dB et le niveau d'adaptation entrée-sortie est bien inférieur à -15 dB. La stabilité inconditionnelle est assurée sur toute la bande pour l'amplificateur complet.

La méthode pour optimiser les performances globales de l'amplificateur faible bruit filtrant en bande Ka est la même que celle utilisée pour l'amplificateur faible bruit filtrant en bande Ku. Le tracé des zones d'instabilité pour chacun des étages (Figure B.12) montre qu'une amélioration du circuit doit être obtenue pour le premier et le deuxième étage. En effet, les zones concernées ne sont plus au bord de l'abaque de Smith mais s'en rapprochent du centre.

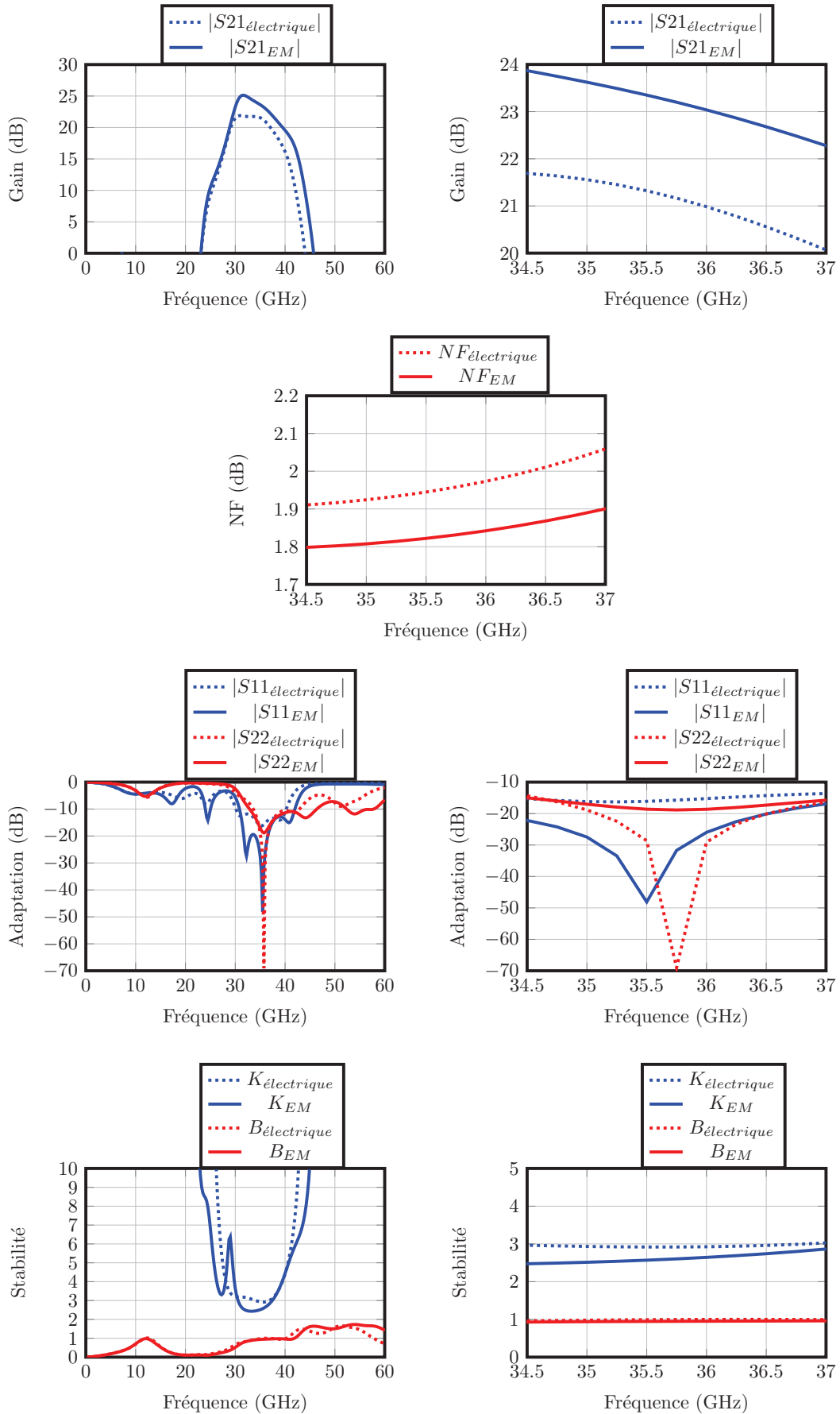


FIGURE B.11: Résultats de la simulation électrique et électromagnétique, après optimisation, pour le LNA filtrant complet en bande Ka

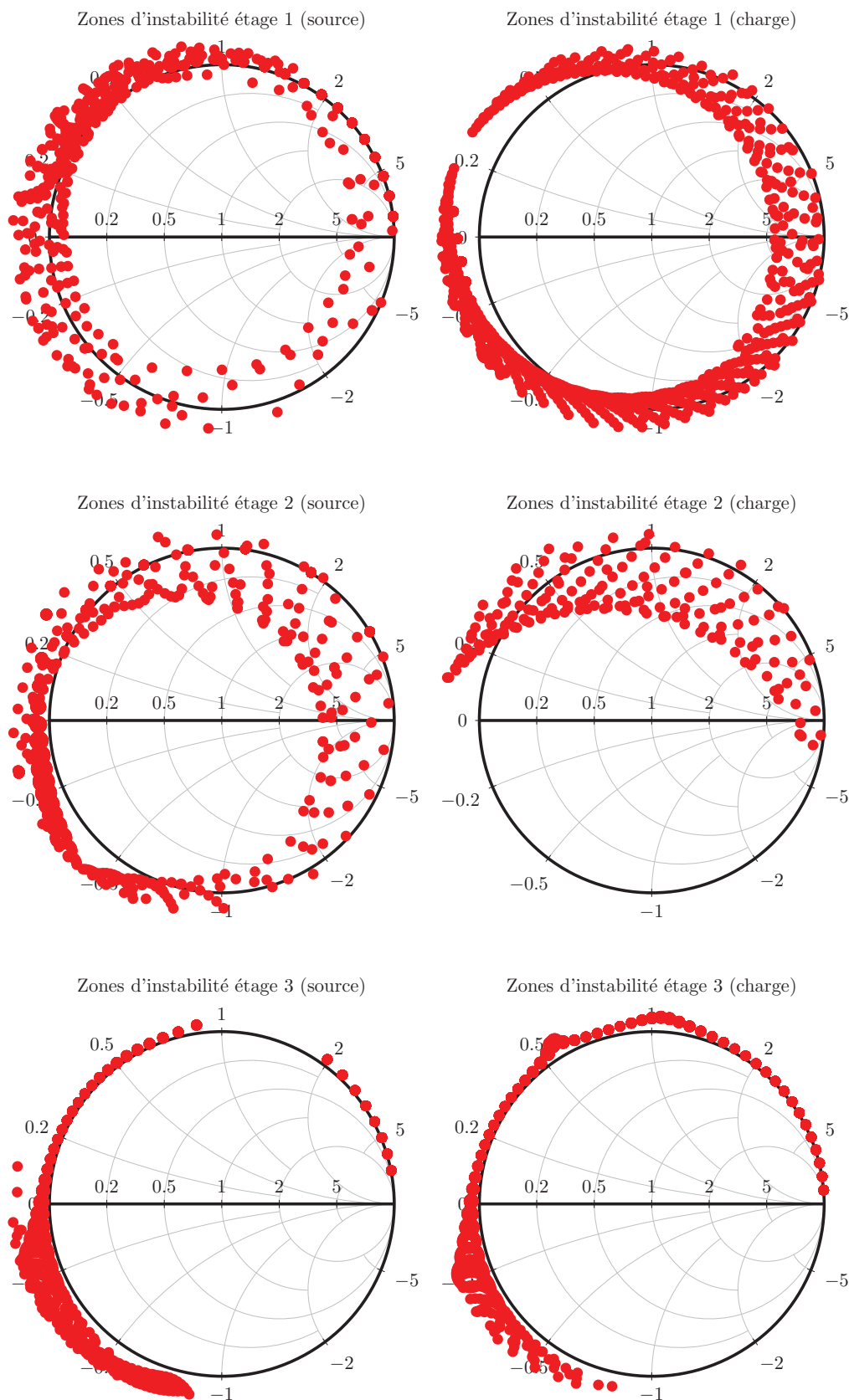


FIGURE B.12: Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation, pour chacun des étages constituant le LNA filtrant en bande Ka (fréquence comprise entre 0.5 GHz et 60 GHz)

La simulation électromagnétique des puissances d'entrée et de sortie au point de compression est montrée dans la Figure B.13. La puissance d'entrée est comprise entre -12 dBm et -11.7 dBm et la puissance de sortie est égale à 10.3 dBm, ce qui est largement au-dessus du minimum attendu dans le cahier des charges.

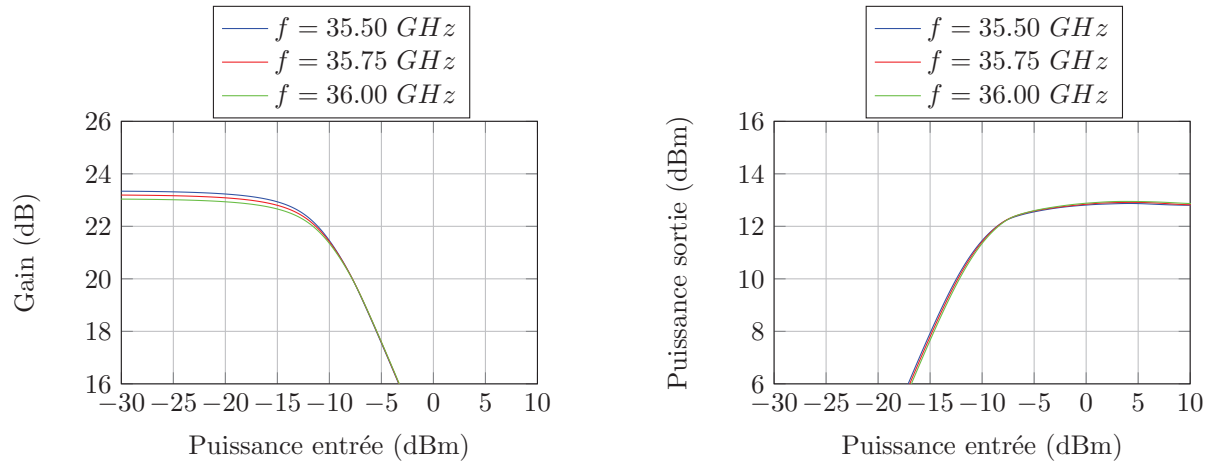


FIGURE B.13: Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ka

Spécifications	Niveau requis	Résultats EM
Bande de fréquences (GHz)	35.5-36	
Facteur de bruit (dB)	< 1.7	< 1.85
Gain et platitude (dB)	> 20 ± 1	23.2 ± 0.15
Variation du gain (dB)	< 0.4 / 500 MHz	< 0.3 / 500 MHz
Adaptation entrée / sortie (dB)	< -15	< -26 (entrée) < -19 (sortie)
Tension d'alimentation (V)	3	
Consommation DC (mW)	< 175	99
Puissance de sortie au point de compression (dBm)	> 5	10.3

Tableau B.2: Comparaison entre les performances du LNA filtrant en bande Ka et les spécifications, issue de la méthodologie et après optimisation

La comparaison des performances et des niveaux de spécifications attendus est montrée dans le Tableau B.2. Toutes les spécifications sont respectées, mise à part pour le niveau du facteur de bruit qui est légèrement trop élevé.

1.2 Résultats de simulation issus de l'optimisation de la surface de puce

Le dessin de la puce issu de la méthodologie et après optimisation aurait pu être envoyé en fabrication dans un lancement multi-projets PH10 et une taille de $3.4 \text{ mm} \times 2.4 \text{ mm}$ comme pour l'amplificateur faible bruit en bande Ku. Mais avec toute la surface de puce non utilisée et pour réduire les coûts en vue d'une possible fabrication, il a été décidé de réduire la taille de la puce à $3.4 \text{ mm} \times 1.4 \text{ mm}$. Son dessin est donné dans la Figure B.14.

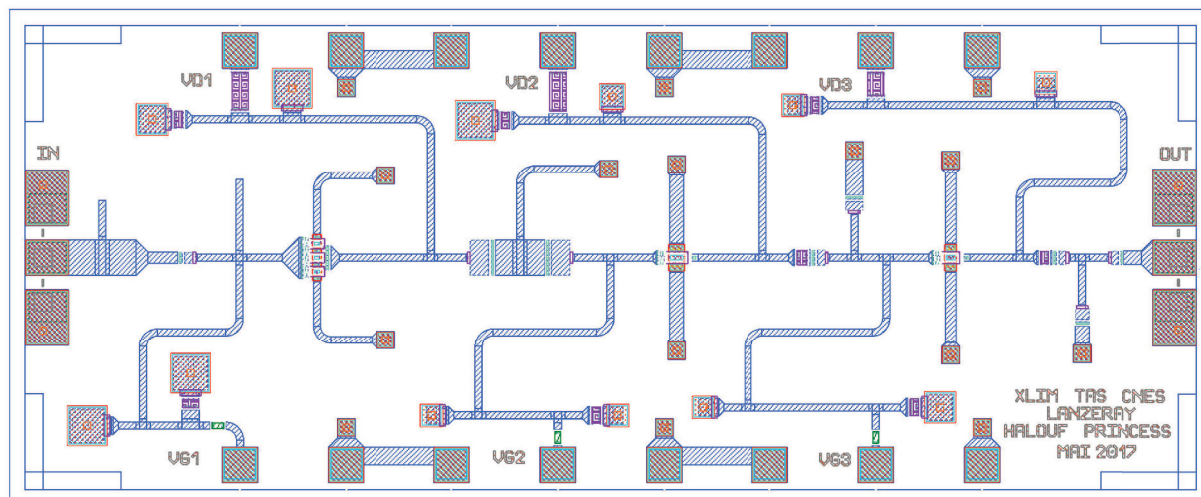


FIGURE B.14: Dessin de la puce, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ka

Les performances globales de cet amplificateur sont montrées dans la Figure B.15. On obtient un gabarit filtrant qui doit être amélioré pour des fréquences supérieures à la bande utile. Le niveau de gain est de 21.7 dB, avec une platitude de $\pm 0.25 \text{ dB}$ et un facteur de bruit inférieur à 1.65 dB. Le niveau d'adaptation est correct en entrée (inférieur à -10 dB) et est excellent en sortie (inférieur à -25 dB). L'amplificateur est globalement inconditionnellement stable de 0 GHz à 60 GHz.

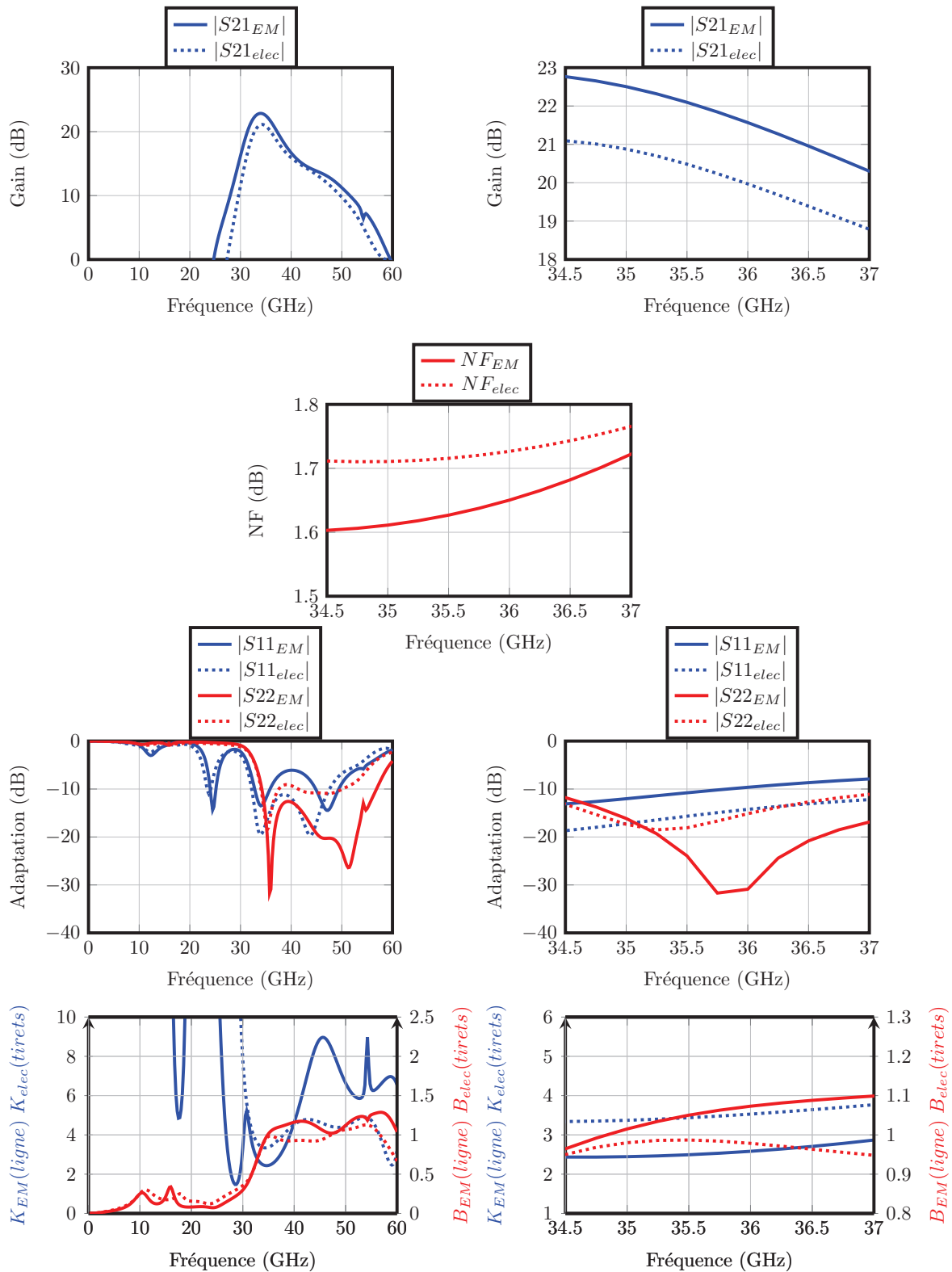


FIGURE B.15: Résultats des simulations électrique et électromagnétique, après optimisation de la surface de puce consommée, pour le LNA filtrant en bande Ka

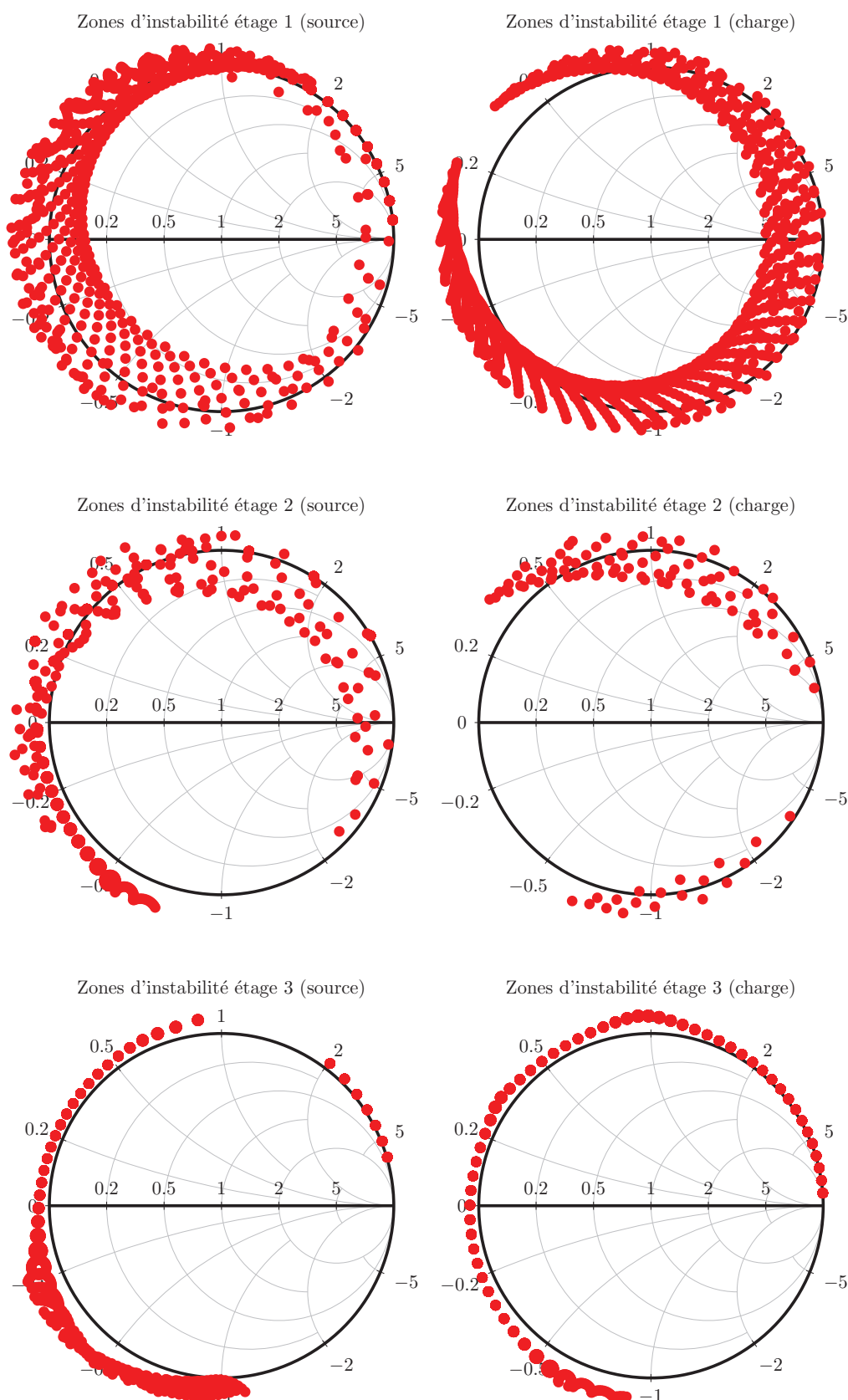


FIGURE B.16: Étude des zones d'instabilité (simulation électromagnétique), au niveau de la source et de la charge, après optimisation de la surface de puce consommée, pour chacun des étages constituant le LNA filtrant en bande Ka (fréquence comprise entre 0.5 GHz et 60 GHz)

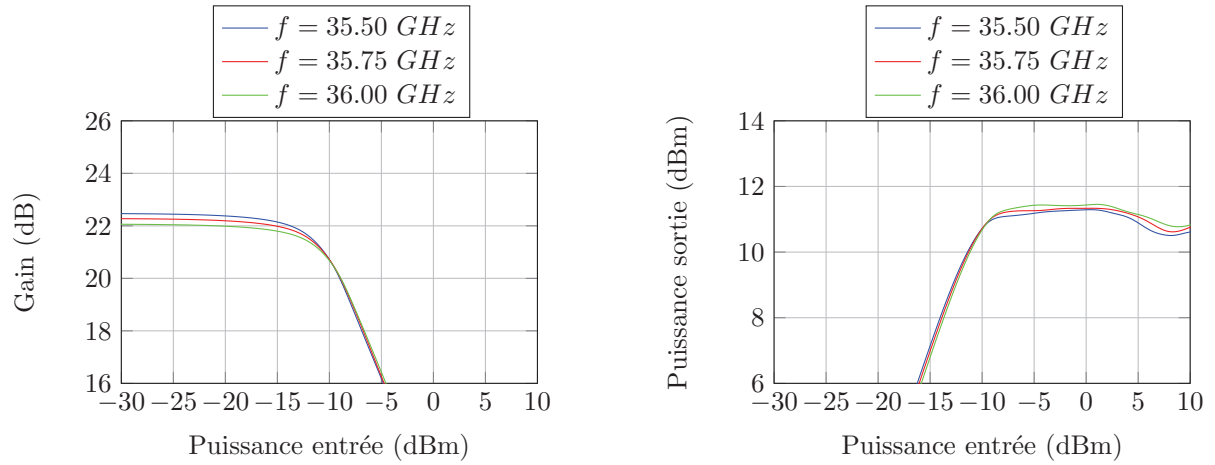


FIGURE B.17: Gain et puissance de sortie (simulation électromagnétique) en fonction de la puissance d'entrée, après optimisation, pour le LNA filtrant en bande Ka

La simulation électromagnétique au point de compression est visible sur la Figure B.17. Pour une puissance d'entrée comprise entre -11.5 dBm et -10.8 dBm, on observe une puissance de sortie comprise entre 9.9 dBm et 10.2 dBm.

2 Conclusion

Les performances de l'amplificateur conçu et optimisé, afin de respecter la contrainte de surface occupée, sont résumées dans le Tableau B.3

Spécifications	Niveau requis	Résultats EM1	Résultats EM2
Bande de fréquences (GHz)	35.5-36		
Facteur de bruit (dB)	< 1.7	< 1.85	< 1.65
Gain et platitude (dB)	$> 20 \pm 1$	23.2 ± 0.15	21.7 ± 0.25
Variation du gain (dB)	< 0.4 / 500 MHz	< 0.3 / 500 MHz	< 0.5 / 500 MHz
Adaptation entrée / sortie (dB)	< -15	< -26 (entrée) < -19 (sortie)	< -10 (entrée) < -25 (sortie)
Tension d'alimentation (V)	3		
Consommation DC (mW)	< 175	99	99
Puissance de sortie au point de compression (dBm)	> 5	> 10	> 9.9

Tableau B.3: Comparaison entre les performances, en simulation électromagnétique, du LNA filtrant en bande Ka et les spécifications, avant (EM1) et après (EM2) optimisation de la surface de puce consommée

En se référant au cahier de charges, des améliorations doivent être apportées sur le gabarit filtrant, la variation du gain et l'adaptation en entrée. La réduction de surface a aussi dégradé le respect du critère de stabilité inconditionnelle pour les deux premiers étages. Cependant, une comparaison des performances obtenues par le circuit synthétisé et optimisé avec l'état de l'art (Tableau B.4) montre que les performances obtenues sont très bien situées.

Référence	Technologie	Fréquence (GHz)	NF (dB)	S21 (dB)	S11 (dB)	S22 (dB)	F_{out1dB} (dBm)	Taille puce (mm × mm) [nb étages]
[82] (simulation)	AsGa 0.10µm	26-36	< 1.8	33	< -12	< -12	NC	1.30 × 2.80 [4]
[32] (mesure)	AlGaIn / GaN 0.25µm	28	4	18	-12	< -6.5	> 12.5	3.00 × 2.00 [4]
[83] (* mesure, ** simulation)	CMOS 180 nm	32	**4.62	*10.2	*< -13.3	*< -13.4	NC	0.74 × 0.50 [3]
[84] (mesure)	InAs/AlSb mHEMT 0.25µm substrat AsGa	34-36	2.1	21.8	< -8	< -18	NC	1,50 × 0,70 [3]
[85] (mesure)	InP HEMT 0,10µm	26-40	≈1.5	> 21	< -10	< -8	NC	2,10 × 0,82 [3]
[86] (mesure)	SiGe BiCMOS	35	6	16,8	-11	-15	NC	NC [3]
[87] (mesure)	FDSOI CMOS 180 nm	35	8,8	6,5	NC	NC	-1,6	2,00 × 2,25 [3]
[88] (mesure)	GaN HEMT	28-39,2	< 2	> 24	< -15	< -5	NC	3,12 × 1,12 [3]
[89] (post-simulation)	GaAs mHEMT 70 nm	26-30	< 1,16	28	< -20	< -15	NC	1,50 × 1,00 [3]
[90] (mesure)	AlGaAs / InGaAs pHEMT 0.10µm	28-38	< 2,9	21	< -5	< -5	NC	1,30 × 2,60 [2]
[91] (mesure)	CMOS 65 nm	19,4-26,7	< 6	> 15	NC	NC	NC	0,68 × 0,60 [2]
[48] (mesure)	SiGeC BiCMOS 0,25µm	30	2	11,4	-13	-11,8	-1	1,00 × 0,70 [2]
[92] (mesure)	CMOS 180 nm	27,7-28,7	< 5,4	> 7,3	< -5,8	< -4,5	NC	0,84 × 0,72 [2]
[93] (mesure)	InGaAs pHEMT 0,15µm	29-43	< 3,3	14,2	< -10	< -6	NC	0,65 × 0,72 [2]
[94] (mesure)	GaAs pHEMT 0,15µm	27,3-32,6	3,8 (30 GHz)	> 8	< -4	< -6	NC	NC [2]
[95] (mesure)	GaAs pHEMT 0,15µm	27,3-32,6	< 4,8	> 8	< -10	< -7,57	NC	1,60 × 0,90 [2]
[96] (mesure)	SiGe HBT 0,12µm	33-34	< 3	26	< -12	< -20	-6	0,30 × 0,30 [2]
Ce Travail (simulation)	GaAs 0.10µm	35,5-36	< 1,65	21.7	< -10	< -25	> 9.9	3,4 × 1,4 [3]

Tableau B.4: État de l'art sur les amplificateurs faible bruit MMIC en bande Ka

Bibliographie

- [1] GLCommunications, “Satellite communications - applications, testing, test tools,” <https://www.gl.com/telecom-test-solutions/testing-satellite-communications.html>, 2016.
- [2] ESA, “Satellite frequency bands,” http://www.esa.int/Our_Activities/Telecommunications_Integrated_Applications/Satellite_frequency_bands, 2013.
- [3] Keysight, “Using the fieldfox all-in-one analyzer in the maintenance and troubleshooting of satellite earth stations,” <http://about.keysight.com/en/newsroom/backgrounders/FieldFoxsatellite/>, 2015.
- [4] L. Zhou, “Architecture of broadband multistandard low noise amplifier with optimal management of power consumption,” Thèses, Université de Cergy Pontoise, Mar. 2015. [Online]. Available : <https://tel.archives-ouvertes.fr/tel-01362329>
- [5] M. Saad El Dine, “Linéarisation des amplificateurs de puissance à haut rendement en combinant les techniques de pré distorsion numérique et le contrôle de polarisation,” Ph.D. dissertation, Université de Limoges, 2011.
- [6] A. Sabban, *Wideband RF Technologies and Antennas in Microwave Frequencies*. John Wiley & Sons, 2016.
- [7] V. Armengaud, “Méthodes originales de conception d’amplificateurs microondes faible bruit,” Ph.D. dissertation, Université de Limoges, 2008.
- [8] H. Carlin, “A new approach to gain-bandwidth problems,” *IEEE Transactions on Circuits and Systems*, vol. 24, no. 4, pp. 170–175, 1977.
- [9] B. S. Yarman and H. J. Carlin, “A simplified "real frequency" technique applied to broad-band multistage microwave amplifiers,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 30, no. 12, pp. 2216–2222, Dec 1982.
- [10] R. Eliasson, “Design of a balanced x-band low-noise amplifier using a gm/c process,” Master’s thesis, Linköping University, Department of Science and Technology, The Institute of Technology, 2006.

-
- [11] S. Wang and B.-Z. Huang, “K-band cmos lna with interference-rejection using q-enhanced notch filter,” *IEICE Electronics Express*, vol. 9, no. 11, pp. 938–944, 2012.
- [12] G. Haobijam and R. P. Palathinkal, *Design and analysis of spiral inductors*. Springer, 2014.
- [13] J. Li, R. Ma, L. Han, R. Yang, and W. Zhang, “A co-design study of low noise amplifier and band-pass filter,” in *2012 International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, vol. 2, May 2012, pp. 1–3.
- [14] R. J. Cameron, “General coupling matrix synthesis methods for chebyshev filtering functions,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 4, pp. 433–442, Apr 1999.
- [15] A. Basti, “Développement de méthodes de synthèse pour la conception de filtres hyperfréquences compacts et optimisés en pertes,” Ph.D. dissertation, Université de Limoges, 2014.
- [16] D. Chen, “Mixer design,” class.ece.iastate.edu/djchen/ee507/Mixer%20Design.pdf, 2008.
- [17] F. Giannini and G. Leuzzi, *Non-linear microwave circuit design*. John Wiley & Sons, 2004.
- [18] Algani, “Circuits actifs linéaires : amplificateur petit signal,” http://easytp.cnam.fr/algani/images/MMIC_ESCPI_CNAM_2.pdf, 2012.
- [19] UMS, “Build your own solution with ums,” http://http://www.ums-gaas.com/telechargement/1606_Brochure_Foundry_2016.pdf, 2016.
- [20] T. Das, “Practical considerations for low noise amplifier design,” *Freescale Semiconductor*, 2013.
- [21] T.-K. Nguyen, C.-H. Kim, G.-J. Ihm, M.-S. Yang, and S.-G. Lee, “Cmos low-noise amplifier design optimization techniques,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433–1442, May 2004.
- [22] M. Aloisio, P. Angeletti, F. Coromina, and R. D. Gaudenzi, “Technological challenges of future broadband telecommunication satellites in q/v-band,” in *2012 IEEE International Conference on Wireless Information Technology and Systems (ICWITS)*, Nov 2012, pp. 1–4.
- [23] C. Riva, C. Capsoni, L. Luini, M. Luccini, R. Nebuloni, and A. Martellucci, “The challenge of using the w band in satellite communication,” *International Journal of Satellite Communications and Networking*, vol. 32, no. 3, pp. 187–200, 2014. [Online]. Available : <http://dx.doi.org/10.1002/sat.1050>
- [24] P. Harati, B. Schoch, A. Tessmann, D. Schwantuschke, R. Henneberger, H. Czekala, T. Zwick, and I. Kallfass, “Is e-band satellite communication viable? : Advances in

- modern solid-state technology open up the next frequency band for satcom,” *IEEE Microwave Magazine*, vol. 18, no. 7, pp. 64–76, Nov 2017.
- [25] S. Gribaldo, “Modélisation non-linéaire et en bruit de composants micro-ondes pour applications à faible bruit de phase,” Thèses, Université Paul Sabatier - Toulouse III, Jul. 2008. [Online]. Available : <https://tel.archives-ouvertes.fr/tel-00339514>
- [26] W. Struble and A. Platzker, “A rigorous yet simple method for determining stability of linear n-port networks [and mmic application],” in *15th Annual GaAs IC Symposium*, Oct 1993, pp. 251–254.
- [27] A. Anakabe, J. M. Collantes, J. Portilla, J. Jugo, A. Mallet, L. Lapierre, and J. P. Fraysse, “Analysis and elimination of parametric oscillations in monolithic power amplifiers,” in *2002 IEEE MTT-S International Microwave Symposium Digest (Cat. No.02CH37278)*, vol. 3, June 2002, pp. 2181–2184 vol.3.
- [28] A. Grebennikov, *RF and microwave power amplifier design*. McGraw-Hill Professional, 2015.
- [29] B. Liu, K. Ma, S. Mou, and F. Meng, “A ku-band lna in 0.35 μ m sige bicmos technology,” in *2017 International Workshop on Electromagnetics : Applications and Student Innovation Competition*, May 2017, pp. 168–170.
- [30] D. Resca, F. Scappaviva, C. Florian, S. Rochette, J. L. Muraro, V. di Giacomo Brunel, C. Chang, and D. Baglieri, “A robust ku-band low noise amplifier using an industrial 0.25 μ m algan/gan on sic process,” in *2013 European Microwave Conference*, Oct 2013, pp. 1467–1470.
- [31] F. Guo and Z. Yao, “Design of a ku-band algan/gan low noise amplifier,” in *Proceedings of 2014 3rd Asia-Pacific Conference on Antennas and Propagation*, July 2014, pp. 1406–1408.
- [32] E. M. Suijker, M. Rodenburg, J. A. Hoogland, M. van Heijningen, M. Seelmann-Eggebert, R. Quay, P. Bruckner, and F. E. van Vliet, “Robust algan/gan low noise amplifier mmics for c-, ku- and ka-band space applications,” in *2009 Annual IEEE Compound Semiconductor Integrated Circuit Symposium*, Oct 2009, pp. 1–4.
- [33] S.-J. Yu, W.-C. Hsu, C.-S. Lee, C.-S. Chang, C.-L. Wu, and C.-H. Chang, “A ku-band three-stage mmic low-noise amplifier with superiorly low thermal-sensitivity coefficients,” *Microwave and Optical Technology Letters*, vol. 49, no. 7, pp. 1637–1641, 2007. [Online]. Available : <http://dx.doi.org/10.1002/mop.22543>
- [34] S. Kawasaki, H. Seita, M. Kawashima, M. Hori, K. Satoh, and Y. Suzuki, “A high-gain and low-noise mmic amplifier module for a ku-band compact active integrated antenna,” in *2010 Asia-Pacific Microwave Conference*, Dec 2010, pp. 1497–1500.

-
- [35] K. Yamanaka, K. Yamauchi, K. Mori, Y. Ikeda, H. Ikematsu, N. Tanahashi, and T. Takagi, "Ku-band low noise mmic amplifier with bias circuit for compensation of temperature dependence and process variation," in *2002 IEEE MTT-S International Microwave Symposium Digest (Cat. No.02CH37278)*, vol. 3, June 2002, pp. 1427–1430 vol.3.
- [36] W. Lu, C. Zhao, Y. Yu, Z. Jiang, Y. Wu, H. Liu, and K. Kang, "A ku-band cmos lna with transformer feedforward gm-boosting technique," in *2016 IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications (IMWS-AMP)*, July 2016, pp. 1–3.
- [37] C.-K. Park, M.-G. Kim, C.-H. Kim, and S. Hong, "Ku-band low noise amplifier with using short-stub esd protection," in *IEEE MTT-S International Microwave Symposium Digest, 2003*, vol. 1, June 2003, pp. A157–A160 vol.1.
- [38] K.-L. Deng, M.-D. Tsai, C.-S. Lin, K.-Y. Lin, H. Wang, S. H. Wang, W. Y. Lien, and G. J. Chem, "A ku-band cmos low-noise amplifier," in *2005 IEEE International Wkshp on Radio-Frequency Integration Technology : Integrated Circuits for Wideband Comm Wireless Sensor Networks*, Nov 2005, pp. 183–186.
- [39] W. L. Chen, S. F. Chang, G. W. Huang, Y. S. Jean, and T. H. Yeh, "A ku-band interference-rejection cmos low-noise amplifier using current-reused stacked common-gate topology," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 10, pp. 718–720, Oct 2007.
- [40] F. Ellinger and H. Jackel, "Low-cost bicmos variable gain lna at ku-band with ultra-low power consumption," *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 2, pp. 702–708, Feb 2004.
- [41] Keysight, "Using automated assistants in impedance matching utility," <http://edadocs.software.keysight.com/display/ads2009/Using+Automated+Assistants+in+Impedance+Matching+Utility#UsingAutomatedAssistantsinImpedanceMatchingUtility-SynthesisTechnique>, 2009.
- [42] V. Belevitch, "Elementary applications of the scattering formalism in network design," *IRE Transactions on Circuit Theory*, vol. 3, no. 2, pp. 97–104, Jun 1956.
- [43] R. Borowiec, "Some aspects of using simplified real frequency technique," in *2016 21st International Conference on Microwave, Radar and Wireless Communications (MIKON)*, May 2016, pp. 1–4.
- [44] R. Kopru, "FSRFT - Fast simplified real frequency technique via selective target data approach for broadband double matching," *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 64, no. 2, pp. 141–145, 2017.
- [45] A. Perennec, A. N. Olomo, P. Jarry, and R. Soares, "Optimization of gain, vswr and noise of the broadband multistage microwave mmic amplifier by the real frequency
-

- method : synthesis in lumped and distributed elements,” in *IEEE International Digest on Microwave Symposium*, May 1990, pp. 363–366 vol.1.
- [46] W. L. Jung and J.-H. Chiu, “Stable broadband microwave amplifier design using the simplified real frequency technique,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 41, no. 2, pp. 336–340, Feb 1993.
- [47] R. Harrington, *Field Computation by Moment Methods*, ser. IEEE/OUP Series on Electromagnetic Wave Theory. Oxford University Press, USA, 1993. [Online]. Available : <https://books.google.fr/books?id=IwRRAAAAMAAJ>
- [48] L. Ma, J. Zhou, and Z. Yu, “Design of a high-efficiency dual-band harmonic-tuned power amplifier via simplified real frequency technique,” in *2015 Asia-Pacific Microwave Conference (APMC)*, vol. 3, Dec 2015, pp. 1–3.
- [49] D. Y. T. Wu, F. Mkadem, and S. Boumaiza, “Design of a broadband and highly efficient 45w gan power amplifier via simplified real frequency technique,” in *2010 IEEE MTT-S International Microwave Symposium*, May 2010, pp. 1090–1093.
- [50] H. An, B. Nauwelaers, and A. V. de Capelle, “Matching network design of microstrip antennas with simplified real frequency technique,” *Electronics Letters*, vol. 27, no. 24, pp. 2295–2297, Nov 1991.
- [51] H. An, G. Dierickx, E. Bamps, B. Nauwelaers, and A. V. de Capelle, “Active microstrip antenna design with the simplified real frequency technique,” in *1993 Eighth International Conference on Antennas and Propagation*, 1993, pp. 299–302 vol.1.
- [52] H. An, B. K. J. C. Nauwelaers, and A. R. V. de Capelle, “Broadband active microstrip antenna design with the simplified real frequency technique,” *IEEE Transactions on Antennas and Propagation*, vol. 42, no. 12, pp. 1612–1619, Dec 1994.
- [53] K. Yegin and A. Q. Martin, “On the design of broad-band loaded wire antennas using the simplified real frequency technique and a genetic algorithm,” *IEEE Transactions on Antennas and Propagation*, vol. 51, no. 2, pp. 220–228, Feb 2003.
- [54] X. Wang, Z. Niu, and Y. Liu, “Matching network design for a double band pifa antenna via simplified real frequency technique,” in *2009 International Conference on Microwave Technology and Computational Electromagnetics (ICMTCE 2009)*, Nov 2009, pp. 92–94.
- [55] L. Zhu, B. Wu, and C. Sheng, “Real frequency technique applied to the synthesis of lumped broad-band matching networks with arbitrary nonuniform losses for mmics,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, no. 12, pp. 1614–1620, Dec 1988.
- [56] S. Darlington, “Synthesis of reactance 4-poles which produce prescribed insertion loss characteristics : Including special applications to filter design,” *Studies in Applied Mathematics*, vol. 18, no. 1-4, pp. 257–353, 1939.

-
- [57] J. Chen and J. J. Liou, "On-chip spiral inductors for rf applications : an overview," *Semiconductor Technology and Science*, vol. 4, pp. 149–167, 2004.
- [58] N. M. Nguyen and R. G. Meyer, "Si ic-compatible inductors and lc passive filters," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 4, pp. 1028–1031, Aug 1990.
- [59] C. P. Yue and S. S. Wong, "Physical modeling of spiral inductors on silicon," *IEEE Transactions on Electron Devices*, vol. 47, no. 3, pp. 560–568, Mar 2000.
- [60] K. Gupta, *Microstrip Lines and Slotlines*, ser. ARTECH HOUSE ANTENNAS AND PROPAGATION LIBRARY. Artech House, 1996. [Online]. Available : <https://books.google.fr/books?id=gqeHQgAACAAJ>
- [61] I. J. Bahl, *Lumped elements for RF and microwave circuits*. Artech house, 2003.
- [62] N. G. Einspruch and W. R. Wisseman, *GaAs Microelectronics : VLSI Electronics Microstructure Science*. Academic Press, 2014, vol. 11.
- [63] F. Korndorfer and V. Muhlhaus, "Lumped modeling of integrated mim capacitors for rf applications," in *2016 88th ARFTG Microwave Measurement Conference (ARFTG)*, Dec 2016, pp. 1–4.
- [64] P. Tiwat, Y. Tingting, L. Guoguo, C. Xiaojuan, and L. Xinyu, "Mim serie capacitor model for mmic design application," in *2013 International Workshop on Microwave and Millimeter Wave Circuits and System Technology*, Oct 2013, pp. 475–478.
- [65] I. Robertson, S. Lucyszyn, and I. of Electrical Engineers, *RFIC and MMIC Design and Technology*, ser. IET circuits, devices and systems series. Institution of Engineering and Technology, 2001. [Online]. Available : <https://books.google.fr/books?id=x2mVUztRZsAC>
- [66] T. H. Lee, *Planar microwave engineering : a practical guide to theory, measurement, and circuits*. Cambridge University Press, 2004, vol. 1.
- [67] A. Kumar and N. P. Pathak, "Coupled stepped-impedance resonator (csir) based concurrent dual band filtering lna for wireless applications," in *2015 IEEE MTT-S International Microwave and RF Conference (IMaRC)*, Dec 2015, pp. 262–265.
- [68] I. Hunter, *Theory and design of microwave filters*. Iet, 2001, no. 48.
- [69] A. C. Guyette, I. C. Hunter, and R. D. Pollard, "The design of microwave bandpass filters using resonators with nonuniform q," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 11, pp. 3914–3922, Nov 2006.
- [70] C.-M. Tsai and H.-M. Lee, "The effects of component q distribution on microwave filters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 4, pp. 1545–1553, June 2006.
-

- [71] M. Meng and I. C. Hunter, "The design of parallel connected filter networks with non-uniform q resonators," in *2012 IEEE/MTT-S International Microwave Symposium Digest*, June 2012, pp. 1–3.
- [72] M. Oldoni, G. Macchiarella, G. G. Gentili, and C. Ernst, "A new approach to the synthesis of microwave lossy filters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, no. 5, pp. 1222–1229, May 2010.
- [73] D. A. Frickey, "Conversions between s, z, y, h, abcd, and t parameters which are valid for complex source and load impedances," *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 2, pp. 205–211, Feb 1994.
- [74] A. Ferrero, U. Pisani, and K. J. Kerwin, "A new implementation of a multiport automatic network analyzer," *IEEE Transactions on Microwave Theory and Techniques*, vol. 40, no. 11, pp. 2078–2085, Nov 1992.
- [75] G. Gonzalez and O. J. Sosa, "On the design of a series-feedback network in a transistor negative-resistance oscillator," *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 1, pp. 42–47, Jan 1999.
- [76] G. Manganaro and D. M. Leenaerts, *Advances in analog and RF IC design for wireless communication systems*. Academic Press, 2013.
- [77] J. Thouras, "Improvement of photonic RF frequency down converter performance based on semiconductors : Applications in satellite payloads," Thèses, Université de Limoges, Dec. 2016. [Online]. Available : <https://tel.archives-ouvertes.fr/tel-01469755>
- [78] W. A. Davis, *Radio Frequency Circuit Design, Second Edition*. John Wiley Sons, Inc., 2011.
- [79] N. T. P. Nguyen, S. V. Tran, D. B. Nguyen, and L. Mai, "Design and implement a single balanced mixer at s band," in *2015 International Conference on Advanced Technologies for Communications (ATC)*, Oct 2015, pp. 637–641.
- [80] R. S. Michaelsen, T. K. Johansen, K. M. Tamborg, and V. Zhurbenko, "A sige bicmos double-balanced mixer with active balun for x-band doppler radar," in *2015 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC)*, Nov 2015, pp. 1–5.
- [81] H. L. Kao, C. L. Cho, C. L. Tseng, H. C. Chiu, and Y. Y. Chen, "67-80 ghz double-balanced gilbert-cell mixer in 0.1 μm gaas pHEMT technology," *Electronics Letters*, vol. 52, no. 4, pp. 291–293, 2016.
- [82] D. Cuadrado-Calle, D. George, and G. Fuller, "A gaas ka-band (26-36 ghz) lna for radio astronomy," in *2014 IEEE International Microwave and RF Conference (IMaRC)*, Dec 2014, pp. 301–303.

-
- [83] S.-H. Yen, Y.-S. Lin, and C.-C. Chen, "A ka-band low noise amplifier using standard 0.18 μm cmos technology for ka-band communication system applications," in *2006 Asia-Pacific Microwave Conference*, Dec 2006, pp. 317–319.
- [84] J. B. Hacker, J. Bergman, G. Nagy, G. Sullivan, C. Kadow, H.-K. Lin, A. C. Gossard, M. Rodwell, and B. Brar, "An ultra-low power inas/alnb hemt ka-band low-noise amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 4, pp. 156–158, April 2004.
- [85] Y. I. Tang, N. Wadefalk, M. A. Morgan, and S. Weinreb, "Full ka-band high performance inp mmic lna module," in *2006 IEEE MTT-S International Microwave Symposium Digest*, June 2006, pp. 81–84.
- [86] P. J. Riemer, B. R. Buhrow, J. D. Coker, B. A. Randall, R. W. Techentin, B. K. Gilbert, and E. S. Daniel, "Ka-band (35 ghz) 3-stage sigeb hbt low noise amplifier," in *IEEE MTT-S International Microwave Symposium Digest, 2005.*, June 2005, pp. 4 pp.–.
- [87] P. J. Riemer, J. F. Prairie, B. R. Buhrow, C. I. Chen, C. L. Keast, P. W. Wyatt, B. A. Randall, B. K. Gilbert, and E. S. Daniel, "Ka-band (35 ghz) low-noise 180 nm soi cmos amplifier," in *2006 IEEE international SOI Conference Proceedings*, Oct 2006, pp. 125–126.
- [88] M. Micovic, D. Brown, D. Regan, J. Wong, J. Tai, A. Kurdoghlian, F. Herrault, Y. Tang, S. D. Burnham, H. Fung, A. Schmitz, I. Khalaf, D. Santos, E. Prophet, H. Bracamontes, C. McGuire, and R. Grabar, "Ka-band lna mmic's realized in fmax 62; 580 ghz gan hemt technology," in *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, Oct 2016, pp. 1–4.
- [89] X. Cheng, L. Zhang, and X. Deng, "Ka-band low noise amplifier using 70 nm mhemt process for wideband communication," in *2017 China Semiconductor Technology International Conference (CSTIC)*, March 2017, pp. 1–2.
- [90] P. Mahmoudidaryan and A. Medi, "Codesign of ka-band integrated limiter and low noise amplifier," *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 9, pp. 2843–2852, Sept 2016.
- [91] H. Y. Chang, C. H. Lin, Y. C. Liu, Y. L. Yeh, K. Chen, and S. H. Wu, "65-nm cmos dual-gate device for ka-band broadband low-noise amplifier and high-accuracy quadrature voltage-controlled oscillator," *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 6, pp. 2402–2413, June 2013.
- [92] Z.-Y. Huang, "A ka-band cmos low-noise amplifier for ka-band communication system," in *Proceedings of the World Congress on Engineering and Computer Science*, vol. 2, 2010.

- [93] Y. H. Yu, W. H. Hsu, and Y. J. E. Chen, “A ka-band low noise amplifier using forward combining technique,” *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 12, pp. 672–674, Dec 2010.
- [94] C. S. Cheng, C. C. Wei, H. C. Chiu, Y. C. Chiang, J. S. Fu, and C. S. Wu, “A ka-band monolithic cpw-mode t/r modules using 0.15 μm gate-length gaas pHEMT technology,” in *2008 Global Symposium on Millimeter Waves*, April 2008, pp. 87–90.
- [95] W. Chia-Song, C. Chien-Huang, L. Hsing-Chung, L. Tah-Yeong, and W. Hsien-Ming, “A ka-band low-noise amplifier with a coplanar waveguide (cpw) structure with 0.15- μm gaas pHEMT technology,” *Journal of Semiconductors*, vol. 31, no. 1, p. 015005, 2010.
- [96] B. W. Min and G. M. Rebeiz, “Ka-band sige hbt low noise amplifier design for simultaneous noise and input power matching,” *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 12, pp. 891–893, Dec 2007.

Publication relative à ces travaux

- ✉ S. Lanzeray, B. Jarry, J. Lintignat, S. Bila, V. Armengaud, L. Lapierre, D. Langrez, *Conception semi-automatique d'amplificateur faible bruit MMIC utilisant les modèles de fonderie des composants passifs*, 20èmes Journées Nationales Micro-Ondes, 2017, Saint-Malo
- ✉ S. Lanzeray, B. Jarry, J. Lintignat, S. Bila, D. Langrez, S. Delcourt, V. Armengaud, L. Lapierre, *An Innovative and Semi-Automatic Synthesis Method for Designing RF Low Noise Filtering Amplifiers Using MMIC Technology*, IEEE Transactions on Microwave Theory and Techniques, 2018 (en cours de soumission)

Résumé

Méthodologie de CAO innovante pour la conception de MMICs prenant en compte les pertes des éléments réactifs des technologies intégrées

L'augmentation du nombre d'appareils communicants et du débit de données a pour conséquence une montée en fréquence des dispositifs micro-ondes, notamment dans le secteur du spatial. L'optimisation des modules existants n'est pas toujours suffisante. Il faut donc synthétiser de nouveaux circuits. Cependant, la plupart des méthodes de synthèse existantes, incluses dans les logiciels de CAO, ne prennent pas en compte les modèles à pertes des fondeurs. Or, plus la fréquence de fonctionnement est élevée, plus leurs prises en compte est indispensable.

Cette thèse propose une nouvelle méthode de synthèse et de conception pour les circuits faible bruit intégrés (amplificateur faible bruit et mélangeur). Elle prend en compte les modèles à pertes des composants passifs des fondeurs, les lignes de connexion, les jonctions et elle combine plusieurs fonctions comme l'amplification et le filtrage ainsi que le mélange et le filtrage. Elle a été validée en simulation et en mesure.

Mots clés : synthèses à pertes, amplificateur faible bruit filtrant MMIC, mélangeur résistif MMIC, bande Ku, bande Ka, modèles à pertes, programmation AEL

Abstract

Innovative CAD methodology for low noise MMICs, including lossy passive component models from foundries

Due to the evolution of wireless systems and data rate, it is necessary to increase microwave operating frequencies, especially in space industry. Optimization of existing circuit topologies are always not enough and therefore, we need to synthesize new circuits. Unfortunately, most of the existing synthesis methods, including in CAD softwares, are only based on lossless passive component models. With the increase of operating frequency, we need to take the effect of losses in the passive component models during synthesis.

This thesis introduces a new synthesis and design method for low noise integrated circuits (low noise amplifier and mixer). Lossy passive component models from foundries, connecting wires, junctions and co-design (amplification and filtering or mixing and filtering) are included. The design procedure was validated by simulations and measurements.

Key words : lossy synthesis, MMIC LNA, MMIC resistive mixer, Ku-band, Ka-band, lossy passive component models, AEL programming
