



HAL
open science

Fonction normally-on, normally-off compatible de la technologie HEMT GaN pour des applications de puissance, hyperfréquences

Linh Trinh Xuan

► **To cite this version:**

Linh Trinh Xuan. Fonction normally-on, normally-off compatible de la technologie HEMT GaN pour des applications de puissance, hyperfréquences. Electronique. Université de Limoges, 2018. Français. NNT : 2018LIMO0106 . tel-02056773

HAL Id: tel-02056773

<https://theses.hal.science/tel-02056773>

Submitted on 4 Mar 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Limoges

ED 610 - Sciences et Ingénierie des Systèmes, Mathématiques,
Informatique (SISMI)

XLIM UMR CNRS 7252

Thèse pour obtenir le grade de
Docteur de l'Université de Limoges

Sciences et Ingénierie pour l'Information – Électronique des Hautes Fréquences,
Photonique et systèmes

Présentée et soutenue par
Linh TRINH XUAN

Le 18 décembre 2018

Fonction normally-on, normally-off compatible de la technologie HEMT GaN pour des applications de puissance, hyperfréquences

Thèse dirigée par Raymond QUÉRÉ et Philippe BOUYASSE

JURY :

Présidente du jury Mme Nathalie LABAT	Professeur	IMS Bordeaux
Rapporteurs M. Christophe GAQUIÈRE M. Jean-Guy TARTARIN	Professeur Professeur	IEMN Lille LAAS Toulouse
Examineurs M. Raphaël AUBRY M. Hervé BLANCK M. Philippe BOUYASSE M. Sylvain DELAGE M. Raymond QUÉRÉ	Ingénieur Ingénieur Maître de Conférences Ingénieur Professeur émérite	TRT UMS GmbH XLIM III-V Lab XLIM

À ma famille et mes amis,

Pour atteindre la vérité, il faut une fois dans la vie se défaire de toutes les opinions qu'on a reçues, et reconstruire de nouveau tout le système de ses connaissances.

René Descartes

Remerciements

Ces travaux de thèse se sont déroulés au sein du laboratoire commun MITIC, entre le laboratoire XLIM de l'Université de Limoges, à Brive-la-Gaillarde, et le GIE III-V Lab, à Marcoussis puis à Palaiseau.

Je tiens d'abord à remercier Messieurs Dominique Pons, Philippe Bois et Sylvain Delage pour m'avoir permis d'entreprendre cette thèse au III-V Lab et m'avoir accueilli au sein de leur équipe, mais aussi pour m'avoir ouvert la voie professionnelle dans la recherche et le développement des HEMTs GaN.

Je tiens également à remercier Messieurs Raymond Quéré et Philippe Bouysse d'avoir supervisé ces travaux en tant que directeurs de thèse, et de m'avoir permis de séjourner et travailler au département C2S2 d'XLIM à Brive durant le déménagement du III-V Lab. Je leur suis particulièrement reconnaissant de m'avoir aidé et soutenu sans faille jusqu'au bout de ces longues années.

Je remercie évidemment Messieurs Raphaël Aubry, Nicolas Michel et Sylvain Delage, ingénieurs au III-V Lab, pour avoir encadré ces travaux. Merci pour votre aide et vos conseils, votre expertise technique et votre clairvoyance qui m'ont permis de progresser tant sur le plan professionnel que personnel.

J'adresse mes plus vifs remerciements à Monsieur Christophe Gaquière, Professeur à l'IEMN de Lille, ainsi qu'à Monsieur Jean-Guy Tartarin, Professeur au LAAS de Toulouse, de l'honneur qu'ils m'ont fait en acceptant de rapporter ce travail.

J'exprime ma gratitude à Madame Nathalie Labat, Professeure à l'IMS de Bordeaux, et à Monsieur Hervé Blanck, ingénieur à UMS GmbH, pour avoir pris part au jury de cette thèse.

Merci à tous mes collègues de Marcoussis, Brive et Palaiseau dont l'aide précieuse a rendu ce travail possible, en particulier Piero et Olivier pour la fabrication des plaques, Didier, Mourad et Stéphane pour la caractérisation des composants et Sylvain Laurent pour l'initiation aux multiples instruments de mesure de Brive. À mes amis et partenaires de bureau, thésards de Brive avec qui j'ai passé d'agréables moments en Corrèze. Merci aussi aux personnels administratifs, Marie, Marie-Claude et Pascale pour leur accueil chaleureux et leur aide.

Enfin je souhaite remercier toute ma famille ainsi que mes amis qui m'ont toujours aimé et soutenu.

Droits d'auteurs

Cette création est mise à disposition selon le Contrat :

« **Attribution-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** »

disponible en ligne : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>



Table des matières

Remerciements	7
Droits d’auteurs	8
Table des matières	9
Table des illustrations	11
Table des tableaux	19
Introduction	21
Chapitre I. La technologie HEMT GaN	23
I.1. Semiconducteurs à base de nitrure	23
I.1.1. Propriétés physiques	23
I.1.2. Polarisation et hétérostructures	30
I.1.3. Épitaxie	35
I.2. HEMTs GaN	41
I.2.1. Généralités	41
I.2.2. Principe de fonctionnement	46
I.2.3. Fonctionnement hyperfréquence	59
I.3. Phénomènes électrothermiques dans les HEMTs GaN.....	66
I.3.1. Effets thermiques	66
I.3.2. Effets de pièges.....	68
I.3.3. Dégradation des HEMTs	73
Chapitre II. La fonctionnalité <i>normally-off</i>	77
II.1. Contexte	77
II.1.1. Fonctionnalités <i>normally-on</i> , <i>normally-off</i>	77
II.1.2. Nécessité de la fonctionnalité <i>normally-off</i>	78
II.1.3. Etat de l’art des HEMTs GaN <i>normally-off</i>	80
II.1.4. Résultats précédemment obtenus au III-V Lab	83
II.2. Principales solutions technologiques.....	85
II.2.1. Modification de la barrière	85
II.2.2. Implantation de fluor	87
II.2.3. Ingénierie de bande.....	89
II.2.4. Diélectrique de grille	91
II.2.5. Autres solutions.....	92
II.2.6. Tableau récapitulatif	95
II.3. Problématique et choix technologiques	97
II.3.1. Introduction : l’amplificateur à polarisation dynamique (<i>envelope tracking</i>)	97
II.3.2. Objectifs et cahier des charges.....	101
II.3.3. Solutions adoptées	102
II.3.4. Analyse de l’état de l’art.....	103
Chapitre III. Technologie HEMT GaN <i>normally-on</i> / <i>normally-off</i>	107
III.1. Présentation générale	107
III.1.1. Epitaxies standards pour les applications de puissance hyperfréquence	107
III.1.2. Procédé technologique	108
III.1.3. Variations technologiques.....	111
III.2. Technologies de fabrication microélectronique.....	112
III.2.1. Lithographie.....	112
III.2.2. Évaporation sous vide	115

III.2.3. Procédés à base de plasma	116
III.3. Étapes de fabrication communes <i>normally-on / normally-off</i>	120
III.3.1. Marques d'alignement	120
III.3.2. Contacts ohmiques.....	120
III.3.3. Isolation.....	124
III.3.4. Grilles <i>normally-on</i>	125
III.3.5. Passivation / nitrure de grille <i>normally-off</i>	126
III.3.6. Ouverture de passivation.....	126
III.3.7. Interconnexions	127
III.4. Briques technologiques spécifiques <i>normally-off</i>	128
III.4.1. Lithographie du <i>recess</i> de grille	128
III.4.2. Gravure du nitrure de grille	129
III.4.3. Gravure du <i>recess</i> de grille.....	132
III.4.4. Implantation de fluor	140
III.4.5. Dépôt d'oxyde de grille Al ₂ O ₃	144
III.4.6. Lithographie du métal de grille <i>normally-off</i>	148
III.4.7. Recuit de grille <i>normally-off</i>	151
III.5. Conclusion du Chapitre	154
III.5.1. Analyse MET-EDX des structures A et I	154
III.5.2. Conclusion et perspectives	158
Chapitre IV. Caractérisation électrique de HEMT GaN <i>normally-on / normally-off</i>	159
IV.1. Caractérisation de la diode de grille.....	159
IV.1.1. Courant de grille.....	159
IV.1.2. Capacité de grille	161
IV.2. Caractérisation DC	168
IV.2.1. Caractéristiques de transfert	168
IV.2.2. Paramètres DC	174
IV.3. Caractérisation en mode impulsionnel	179
IV.3.1. Mesures I-V.....	179
IV.3.2. Mesures à différents points de repos.....	181
IV.4. Caractérisation hyperfréquence	183
IV.4.1. Paramètres S	183
IV.4.2. Paramètres S à basse fréquence pour extraction des paramètres de modèle ..	187
IV.4.3. Mesures de puissance <i>load-pull</i>	188
IV.5. Caractérisation avancée des pièges	191
IV.5.1. Paramètres S BF, dispersion de l'admittance de sortie	191
IV.5.2. Transitoire de la résistance R _{ON}	193
IV.6. Conclusion du Chapitre	198
Conclusion	199
Références bibliographiques	203
Publications et communications	213

Table des illustrations

Figure I.1 – Structure cristalline wurtzite des semiconducteurs à base de nitrure, ici représentée avec un polarité Ga. Les paramètres de maille, axes et plans importants sont indiqués. Adapté de [1].	23
Figure I.2 – Diagramme E_g – paramètre de maille pour les nitrures et autres semiconducteurs. Les traits représentent les valeurs pour les composés ternaires en tenant compte de paramètres de courbure. Adapté de [6].	25
Figure I.3 – Vitesses de dérive en fonction du champ électrique pour (a) le GaN et l'InN, adapté de [10], et (b) le GaAs, adapté de [11]. Ces résultats proviennent de simulations Monte-Carlo.	27
Figure I.4 – Mobilité et densité de porteurs en fonction de la température, mesurés par effet Hall sur une structure AlGaIn/GaN sur saphir. Depuis [12].	29
Figure I.5 – Origine de la polarisation spontanée : résultante des moments dipolaires des liaisons covalentes entre un atome III et ses 4 atomes voisins N.	31
Figure I.6 – Relations entre propriétés électriques et élastiques d'un cristal. Adapté de [14], [15].	31
Figure I.7 – Distribution de charges équivalente pour un cristal de nitrure non contraint.	33
Figure I.8 – Modes de croissance épitaxiale : (a) deux matériaux avec différents paramètres de maille, (b) croissance pseudomorphique, la couche supérieure est contrainte en tension et adopte le paramètre du matériau du dessous, (c) croissance relaxée, la couche supérieure relaxe les contraintes en incorporant une dislocation à l'interface. Adapté de [17].	33
Figure I.9 – Hétérostructure AlGaIn/GaN : polarisations associées et formation du 2DEG.	34
Figure I.10 – Densités de charges induites par polarisation pour : (a) une hétérostructure AlGaIn/GaN à différents degrés de relaxation et (b) une hétérostructure InAlN/GaN, avec les diverses polarisations.	35
Figure I.11 – Schéma des réactions de surface en MOCVD. Adapté de [18].	36
Figure I.12 – Ensemble des techniques de caractérisation d'une structure HEMT. De [2].	37
Figure I.13 – Image AFM $2,5 \mu\text{m} \times 5 \mu\text{m}$ de la surface d'une structure HEMT AlGaIn/GaN sur SiC. Mise en évidence de trous dus à des dislocations.	40
Figure I.14 – Comparaison de différentes technologies selon les axes puissance (tension de claquage V_b) et fréquence de fonctionnement (fréquence de coupure f_T). La technologie HEMT GaN est représentée en vert sous la dénomination « GaN HFET ». Adapté de [38].	43
Figure I.15 – Résultats <i>load-pull</i> pour un HEMT AlGaIn/GaN $6 \times 50 \mu\text{m}$ mesuré à 30 GHz CW. Les conditions sont : $V_{DSQ} = 20 \text{ V}$, $I_{DSQ} = 75 \text{ mA/mm}$.	44
Figure I.16 – Résultats <i>load-pull</i> pour un HEMT (Ga)InAlN/GaN $2 \times 50 \mu\text{m}$ mesuré à 30 GHz CW. Les conditions sont : $V_{DSQ} = 15/20 \text{ V}$, $I_{DSQ} = 200 \text{ mA/mm}$.	45
Figure I.17 – Schéma en coupe d'un HEMT GaN révélant sa structure épitaxiale.	47
Figure I.18 – Polarisation et charges aux interfaces au sein d'une structure HEMT. Si la barrière est composée d' $\text{In}_{0,18}\text{Al}_{0,82}\text{N}$ alors la couche 3 n'est pas contrainte et ne possède pas de polarisation piézoélectrique.	49

Figure I.19 – Schéma algorithmique utilisé dans (a) la méthode de Poisson et (b) la méthode de Schrödinger-Poisson. Nous reproduisons ici la procédure pour les électrons, mais celle pour les trous est similaire. Adapté de [51], [52].	51
Figure I.20 – Puit triangulaire et énergies (E_0 , E_1) et densités volumiques (ρ_0/e , ρ_1/e) associées aux 2 premières sous-bandes. La densité totale ρ_{2DEG} et le niveau de Fermi E_F sont également représentées.	53
Figure I.21 – Simulation d'une structure HEMT à $V_{GS} = 0$ V : (a) distribution de charges, (b) champ électrique et (c) diagramme de bandes (de conduction uniquement).	54
Figure I.22 – Détail des bandes de conduction au voisinage de l'hétérojonction pour différents V_G .	55
Figure I.23 – Densité du 2DEG n_s en fonction de V_G .	55
Figure I.24 – Modèle de formation du 2DEG par ionisation de donneurs en surface : diagrammes de bandes d'une structure HEMT avec une barrière (a) plus fine et (b) plus épaisse que l'épaisseur critique t_{cr} . Adapté de [55].	56
Figure I.25 – (a) Caractéristiques de transfert et (b) réseaux IV d'un HEMT GaN.	57
Figure I.26 – Quadripôle, courants et tensions d'entrée et de sortie.	59
Figure I.27 – Schéma de principe d'un transistor monté en source commune pour l'amplification d'ondes RF avec un fonctionnement en classe A, AB, B ou C.	60
Figure I.28 – Schéma électrique petit-signal du modèle linéaire classique à 8 paramètres.	64
Figure I.29 – Schéma électrique grand-signal du modèle non-linéaire GAMM prenant en compte les effets électrothermiques. Réalisé sous ADS. Adapté de Jardel.	65
Figure I.30 – Simulation thermique en régime stationnaire sur un transistor $8 \times 125 \mu\text{m}$, à $P_{diss} = 5$ W/mm et $T_{ambiante} = 50$ °C : (a) zone modélisée (quart de transistor pour profiter des symétries thermiques) et (b) détail d'un doigt. Modélisation par éléments finis réalisée sous ANSYS. Depuis [58].	66
Figure I.31 – Réseaux IV en régimes DC et impulsionnel d'un HEMT InAlN/GaN $6 \times 50 \mu\text{m}$, mettant en évidence les effets thermiques.	67
Figure I.32 – Interactions possibles entre un piège profond et les bandes d'énergie : (a) capture d'électron, (b) émission d'électron, (c) capture de trou et (d) émission de trou.	69
Figure I.33 – Illustration du concept de section efficace de capture d'un piège à électrons.	70
Figure I.34 – Mise en évidence des phénomènes de (a) <i>gate-lag</i> et (b) <i>drain-lag</i> lors d'impulsions en tension (respectivement V_{GS} et V_{DS}) sur un HEMT AlGaIn/GaN $8 \times 75 \mu\text{m}$. À noter les constantes de temps très différentes. De [57], [59].	72
Figure I.35 – Mécanismes de dégradation identifiés sur les HEMTs GaN. En rouge sont indiqués les mécanismes activés thermiquement, en vert les mécanismes activés électriquement, et en bleu les mécanismes propres à la technologie GaN. Adapté de [63].	74
Figure I.36 – Distribution du potentiel électrique dans la section d'un HEMT AlGaIn/GaN. De [65].	75
Figure II.1 – Variantes de transistors : caractéristiques de transfert et réseaux IV. Adapté de [68].	77

Figure II.2 – Porte logique NOR et inverseur utilisant (a) une technologie de transistors E/D (DCFL) et (b) une technologie de transistors <i>normally-on</i> uniquement (BFL). Adapté de [70].	79
Figure II.3 – MMIC multifonction en bande S d'un module T/R d'antenne réseau à commande de phase : (a) photographie de la puce en technologie GaAs E/D et (b) schéma fonctionnel. De [71].	79
Figure II.4 – Domaines d'utilisation des différentes technologies HEMT dans le cadre d'une filière GaN intégrée, selon les axes puissance – fréquence.....	80
Figure II.5 – MMIC multifonction d'un HPA en bande S comprenant un SMPS, pour module T/R de radar AESA : (a) photographie de la puce en technologie GaAs et (b) son équivalent plausible en technologie GaN intégré. Adapté de [72].	80
Figure II.6 – Évolution annuelle du nombre de publications relatives aux HEMTs GaN <i>normally-off</i>	81
Figure II.7 – Acteurs de la recherche sur les HEMTs GaN <i>normally-off</i> : (a) répartition des publications par pays et par continent, (b) représentation des acteurs avec plus de 2 publications affiliées.	82
Figure II.8 – Résultats précédemment obtenus au III-V Lab sur MOS-HEMTs à <i>recess</i> de grille : (a) caractéristiques de transfert et (b) transconductance pour 3 variantes de gravure, (c) réseau IV pour un E-mode 45sec et (d) courants de fuite et mesure de claquage pour les 3 variantes.....	84
Figure II.9 – Simulations de HEMT AlGaIn/GaN pour différentes épaisseurs de barrière : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN à barrière fine en encart et (b) courbes $n_S - V_{GS}$	85
Figure II.10 – Schémas de principe (a) d'un HEMT à <i>recess</i> de grille et (b) d'un MOS-HEMT à <i>recess</i> de grille.	86
Figure II.11 – Simulations de HEMT AlGaIn/GaN pour différentes compositions de barrière : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN en encart et (b) courbes $n_S - V_{GS}$	87
Figure II.12 – Simulations de HEMT AlGaIn/GaN implantés pour différentes doses d'ions F ⁻ : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN implanté en encart et (b) courbes $n_S - V_{GS}$	88
Figure II.13 – Simulations de HEMT AlGaIn/GaN implantés pour différentes profondeurs d'implantation : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN implanté en encart et (b) courbes $n_S - V_{GS}$	89
Figure II.14 – Simulations de HEMT AlGaIn/GaN avec différents <i>cap-layers</i> : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN à <i>cap-layer</i> en encart et (b) courbes $n_S - V_{GS}$	89
Figure II.15 – Simulations de HEMT AlGaIn/GaN avec différents <i>cap-layers</i> dopés p : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN à <i>cap-layer</i> dopé p en encart et (b) courbes $n_S - V_{GS}$	90
Figure II.16 – Montage hybride cascode.....	93
Figure II.17 – (a) Schéma de principe d'un HEMT à jonction tunnel et (b) simulations de bande de conduction au niveau de la jonction Schottky de source, pour différents V_{GS}	94

Figure II.18 – Schéma de principe d'un FinFET : (a) coupe longitudinale selon l'axe source-drain et (b) coupe transversale perpendiculaire à l'axe source drain.	94
Figure II.19 – Illustration de la polarisation de drain : (a) sans suivi d'enveloppe, (b) avec suivi discret d'enveloppe et (c) avec suivi continu d'enveloppe. Le courant DC I_{DS0} est supposé constant quel que soit le niveau d'entrée, ce qui est valable dans la zone non compressée.....	97
Figure II.20 – Schéma fonctionnel d'un amplificateur de puissance RF avec polarisation dynamique de drain, avec détection d'enveloppe analogique ou génération d'enveloppe à partir de signaux IQ. Adapté de [111].	98
Figure II.21 – Fonctionnement en régime de commutation : (a) points de fonctionnement aux états OFF et ON sur les réseaux IV, (b) chronogrammes des tensions V_{GS} et V_{DS} et courant I_{DS}	99
Figure II.22 – Schéma fonctionnel d'un modulateur de polarisation de drain utilisant une topologie boost. Adapté de [111].	100
Figure II.23 – Filières épitaxiales dans les publications sur les HEMTs GaN <i>normally-off</i> : (a) répartition par filière, (b) évolution annuelle par filière.....	103
Figure II.24 – Répartition des publications <i>normally-off</i> en fonction de la longueur de grille des composants fabriqués.....	104
Figure II.25 – Performances à l'état de l'art : (a) selon les axes $I_{DS,max}$ et V_{th} , (b) selon les axes f_T et V_b . Les performances issues des travaux de cette thèse sont représentées par des croix.....	106
Figure III.1 – Structures épitaxiales AlGaIn/GaN « A » et (Ga)InAlN/GaN « I » à la base de nos travaux.....	107
Figure III.2 - Images AFM de la surface des structures A et I.	108
Figure III.3 – Process flow de la technologie HEMT GaN <i>normally-on/normally-off</i>	110
Figure III.4 – Variations technologiques par portion de plaque	111
Figure III.5 – Procédé de <i>lift-off</i>	114
Figure III.6 – Schéma de principe de la gravure ionique réactive (RIE) au sein d'un système CCP-RIE (sans bobine) ou ICP-RIE. Adapté de [137].	117
Figure III.7 – Gravure RIE : mécanismes de gravure et défauts dans le profil de gravure... 118	118
Figure III.8 – Images AFM de la surface de la structure I avant et après plasma N ₂ de nettoyage.	119
Figure III.9 – (a) Hauteur de barrière Schottky en fonction du travail de sortie pour divers métaux sur n-GaN et p-GaN, (b) représentation du multicouche habituellement employé pour les contacts ohmiques de HEMTs GaN. Adapté de [138].	120
Figure III.10 – Image par microscope optique d'un transistor 2×75 μm présentant des nodules le long des contacts ohmiques, surtout pour le doigt inférieur.	122
Figure III.11 – Principe de la mesure TLM.	123
Figure III.12 – Cartographies de R_C et R_{sh} , mesurées par la méthode TLM.	124

Figure III.13 – Cartographies du courant d'isolation à 10 V mesuré sur structures PCM interdigitées.....	125
Figure III.14 – Étapes spécifiques pour la réalisation de la grille MOS <i>normally-off</i>	128
Figure III.15 – Gravure fluorée : mesures de réflectométrie par interférométrie laser.	129
Figure III.16 – Gravure fluorée : (a) image MEB du profil de gravure avec résine, (b) image MEB d'une coupe FIB d'une gravure.....	130
Figure III.17 – Gravure fluorée : homogénéité sur wafer Si 3 pouces.....	130
Figure III.18 – Gravure fluorée : motifs de <i>recess</i> sur structure A avant et après regravure fluorée.....	131
Figure III.19 – Gravure fluorée : fonds de gravure sur structure I avant et après bain d'HCl.....	131
Figure III.20 – Gravure fluorée : spectrographie Auger de fonds de gravure pour (a) un plasma RIE CHF ₃ /SF ₆ et (b) un plasma ICP-RIE SF ₆ /O ₂	132
Figure III.21 – Gravure chlorée : images MEB de quelques échantillons du Tableau III.3. Mise en évidence du phénomène de trenching.....	133
Figure III.22 – Gravure chlorée du <i>recess</i> de grille : chronogrammes des paramètres plasma pour un allumage en plusieurs étapes.....	135
Figure III.23 – Gravure chlorée: profondeur de gravure en fonction du temps de gravure pour (a) le GaN et autres semiconducteurs III-N de barrière, et (b) le SiN déposé par ICPCVD.	136
Figure III.24 – Gravure chlorée : homogénéité sur wafer 3 pouces.....	136
Figure III.25 – Gravure chlorée de <i>recess</i> de contact ohmique: influence du (a) <i>DC bias</i> et (b) temps de gravure, sur la résistance de contact ohmique.....	137
Figure III.26 – Gravure chlorée : évolution du <i>DC bias</i> associé aux plasmas « <i>recess</i> de grille 10W » et « conditionnement 50W » au cours d'une période de 16 mois.....	138
Figure III.27 – Gravure chlorée : images AFM du fond de gravure après gravure chlorée pendant 20 s, en variant la puissance RF de 10 W à 20 W. Plaque I.....	139
Figure III.28 – Gravure chlorée : motifs de <i>recess</i> sur structure A, variante A-2nm, et coupe associée.....	140
Figure III.29 – Implantation de fluor : <i>DC bias</i> en fonction de la puissance RF pour un plasma RIE CF ₄	141
Figure III.30 – Implantation de fluor : simulations SRIM du profil d'implantation pour différentes cibles et <i>DC bias</i>	142
Figure III.31 – Implantation de fluor : mesures ToF-SIMS des profils d'implantation pour plusieurs échantillons avec variation des conditions de plasma.....	143
Figure III.32 – Implantation de fluor : mesures ToF-SIMS des profils d'implantation pour plusieurs échantillons avec variation du recuit après implantation.....	144
Figure III.33 – Mesures XRD en configuration $\theta/2\theta$, réalisées sur d'échantillons d'Al ₂ O ₃ déposé par ALD sur substrat Si, recuits à différentes températures.....	147
Figure III.34 – Images AFM de la surface d'échantillons d'Al ₂ O ₃ déposé par ALD sur substrat Si, recuits à différentes températures.....	147

Figure III.35 – Images MEB avec tilt d'un bicouche de résine LOR10A + S1805 sur échantillon Si, insolé avec des motifs de grilles 1 μm , avec différents temps de développement. En encarts : zone à l'intérieur des grilles. Une couche d'or a été déposée par flash pour faciliter l'imagerie MEB.	149
Figure III.36 – Configurations possibles de grille <i>normally-off</i> : (a) métal à cheval sur le <i>recess</i> , (b) métal à l'intérieur du <i>recess</i>	150
Figure III.37 – Détails du masque représentant différents types de grille <i>normally-off</i> réalisées sur la plaque A.	150
Figure III.38 – Caractéristiques de transfert à $V_{DS} = 5 \text{ V}$ avant et après recuit thermique, pour la structure A, en échelle linéaire (à gauche) et semi-logarithmique (à droite).	151
Figure III.39 – Caractéristiques de transfert à $V_{DS} = 5 \text{ V}$ avant et après recuit thermique, pour la structure I, en échelle linéaire (à gauche) et semi-logarithmique (à droite).	152
Figure III.40 – Illustration de l'effet des états d'interface sur les caractéristiques de transfert.	153
Figure III.41 – Vues en coupe par imagerie MET de grilles <i>normally-off</i> sur les structures A et I.	154
Figure III.42 – Vues en coupe par spectroscopie EDX de grilles <i>normally-off</i> sur les structures A et I.	156
Figure IV.1 – Caractéristiques de diode en polarisation (a) inverse et (b) directe, en échelle semi-logarithmique et linéaire.	160
Figure IV.2 – Graphes de (a) Fowler-Nordheim et (b) Poole-Frenkel associés à la mesure ci-dessus.	161
Figure IV.3 – Caractéristiques de transfert d'un transistor avec grille MOS de la plaque A et d'un transistor avec grille Schottky issue d'une plaque à l'épi-structure « A » équivalente.	164
Figure IV.4 – Circuits équivalents en considération lors de mesures de capacités de grille : (a) circuit de grille tenant compte de pièges d'interface, (b) simplification de (a), et (c) circuit mesuré. De [100].	162
Figure IV.5 – Mesures de capacité sur les différentes variantes de <i>recess</i> de la plaque A : (a) capacité et (b) conductance parallèles associés au circuit mesuré.	163
Figure IV.6 – Mesures de capacité (a) avant et (b) après recuit de grille à 350 °C pendant 1 h sous atmosphère de N_2 , pour les différentes variantes de <i>recess</i> de la plaque A.	164
Figure IV.7 – Phénomène de dispersion et d'hystérésis lors des mesures de capacité de grille.	165
Figure IV.8 – Dispersion du pic de conductance parallèle associé au circuit équivalent simplifié (b) de la Figure IV.4, pour les 4 variantes de <i>recess</i> de la plaque A.	166
Figure IV.9 – Constante de temps et densité d'états d'interface extraites des mesures ci-dessus, en fonction de la tension de grille appliquée, pour les 4 variantes de <i>recess</i> de la plaque A.	167
Figure IV.10 – Estimation de la distribution d'états d'interface en fonction de leur énergie d'activation, pour les 4 variantes de <i>recess</i> de la plaque A.	167

Figure IV.11 – Caractéristiques de transfert de transistors pour les différentes variantes technologiques de la plaque A, en échelle (a) linéaire et (b) semi-logarithmique.....	168
Figure IV.12 – Caractéristiques de transfert de transistors avec les différentes variantes de grille de la plaque A, en échelle (a) linéaire et (b) semi-logarithmique.	170
Figure IV.13 – Caractéristiques de transfert de transistors pour les différentes variantes technologiques de la plaque I, en échelle (a) linéaire et (b) semi-logarithmique.	171
Figure IV.14 – Caractéristiques de transfert de transistors avec les différentes variantes de grille de la plaque I, en échelle (a) linéaire et (b) semi-logarithmique.....	172
Figure IV.15 – Caractéristiques de transfert de transistors à différentes tensions de drain, pour différentes variantes de grilles des plaques A et I.....	173
Figure IV.16 – Phénomène d’hystérésis dans les caractéristiques de transfert, pour des transistors des plaques (a) A et (b) I.....	174
Figure IV.17 – Paramètres DC – tension de seuil, courant de drain maximal et transconductance maximale – pour les différentes variantes de <i>recess</i> de la plaque A.	175
Figure IV.18 – Simulation de la tension de seuil en fonction de l’épaisseur de barrière et d’intercouche restante après <i>recess</i> de grille. L’outil utilisé est celui développé dans la partie I.2.2.3.	176
Figure IV.19 – Paramètres DC – tension de seuil, transconductance maximale et courant de grille minimal – pour les différentes variantes technologiques de la plaque I et pour des transistors <i>normally-on</i> et <i>normally-off</i>	177
Figure IV.20 – Paramètres DC – tension de seuil et transconductance maximale – pour différentes températures et durées de recuit de grille sur la plaque I.	179
Figure IV.21 – Mesures I-V en mode impulsionnel sur un transistor <i>normally-off</i> de la plaque A : (a) caractéristiques de transfert et (b) réseau $I_{DS} - V_{DS}$	180
Figure IV.22 – Mesures I-V en mode impulsionnel sur un transistor <i>normally-off</i> de la plaque I : (a) caractéristiques de transfert et (b) réseaux de sortie $I_{DS} - V_{DS}$	181
Figure IV.23 – Mesures I- V_{GS} en mode impulsionnel à différents points de repos, sur (a) un transistor avec grille MOS de la plaque A et (b) un transistor avec grille Schottky issue d’une plaque à l’épi-structure « A » équivalente.	182
Figure IV.24 – Décalage de la tension de seuil et densité d’états d’interface associée, extrait des mesures ci-dessus.	183
Figure IV.25 – Mesures RF petit-signal pour les différentes variantes de <i>recess</i> de la plaque A : (a) gain transducique (MSG/MAG) et (b) gain en courant.	184
Figure IV.26 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d’oscillation – pour les différentes variantes de <i>recess</i> de la plaque A.	184
Figure IV.27 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d’oscillation – pour les différentes variantes de grille de la plaque A.	185
Figure IV.28 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d’oscillation – pour les différentes variantes technologiques de la plaque I.	186
Figure IV.29 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d’oscillation – pour les différentes variantes de grille de la plaque I.	186

Figure IV.30 – Paramètres du schéma électrique petit-signal, extrait de mesures de paramètres S à faible fréquence sur un transistor <i>normally-off</i> de la plaque A, pour différentes tensions de drain.....	188
Figure IV.31 – Mesures <i>Load-pull</i> à 3 GHz CW sur un transistor <i>normally-off</i> de la plaque A : (a) puissance de sortie, PAE et gain en puissance et (b) courants de drain et de grille, en fonction de la puissance d'entrée.	189
Figure IV.32 – Paramètres de puissance issus de mesures <i>Load-pull</i> – puissance de sortie et PAE – pour différents transistors <i>normally-off</i> de la plaque A, à différents points de polarisation.....	190
Figure IV.33 – Dispersion de l'admittance de sortie à différentes températures, pour des transistors (a) <i>normally-off</i> et (b) <i>normally-on</i> de la plaque A.....	191
Figure IV.34 – Dispersion de l'admittance de sortie à différentes températures, pour un transistor avec grille Schottky sur une epi-structure « A ».	192
Figure IV.35 – Dispersion de l'admittance de sortie à différentes températures, pour un transistor <i>normally-off</i> de la plaque A à une tension de drain plus élevée par rapport à celle de la Figure IV.33.....	192
Figure IV.36 – Graphe d'Arrhenius associé à la dispersion de l'admittance de sortie, à partir des mesures ci-dessus.....	193
Figure IV.37 – Schéma descriptif du banc de mesure du transitoire de R_{on}	194
Figure IV.38 – Chronogramme des impulsions générées pour la polarisation du transistor lors de la mesure du transitoire de R_{ON}	194
Figure IV.39 – Mesure du transitoire de R_{ON} à différentes températures, pour un transistor <i>normally-on</i> de la plaque A.....	195
Figure IV.40 – Transitoire de R_{ON} normalisé, à différentes températures, pour des transistors (a) <i>normally-off</i> et (b) <i>normally-on</i> de la plaque A.....	196
Figure IV.41 – Transitoire de R_{ON} normalisé, à différentes températures, pour un transistor avec grille Schottky sur une epi-structure « A ».	196
Figure IV.42 – Graphe d'Arrhenius associé au transitoire de R_{ON} , à partir des mesures ci-dessus.....	197
Figure IV.43 – Transitoire de R_{ON} normalisé, à différentes conditions à l'état OFF, pour un transistor <i>normally-on</i> de la plaque A.	197

Table des tableaux

Tableau I.1 – Paramètres de maille et constantes élastiques des nitrures. Valeurs issues de [2], [3].	24
Tableau I.2 – Paramètres physiques du GaN et autres semiconducteurs utilisés pour les applications de puissance hyperfréquence. Valeurs prises de [13].	29
Tableau I.3 – Figures de mérite du GaN et autres semiconducteurs utilisés pour les applications de puissance hyperfréquence. Valeurs prises de [13].	30
Tableau I.4 – Polarisation spontanée, constantes piézoélectriques et permittivités relatives des nitrures. Valeurs prises de [16].	32
Tableau I.5 – Propriétés physiques importantes de différents matériaux de substrats communément utilisés pour l'épitaxie du GaN. Repris de [2].	38
Tableau II.1 – Résultats précédemment obtenus au III-V Lab sur MOS-HEMTs à <i>recess</i> de grille : paramètres clés pour les 3 variantes de gravure.	84
Tableau II.2 – Avantages et inconvénients des solutions technologiques présentées pour l'obtention de la fonctionnalité <i>normally-off</i> .	95
Tableau II.3 – Classement des publications recensées selon les solutions technologiques.	96
Tableau II.4 – Sélection de publications <i>normally-off</i> : longueur de grille $L_G < 1 \mu\text{m}$, <i>recess</i> de grille et/ou implantation d'ions F^- et/ou avec diélectrique de grille.	105
Tableau III.1 – Résines utilisées durant nos travaux.	112
Tableau III.2 – Bicouches de résines utilisées durant nos travaux.	114
Tableau III.3 – Gravure chlorée : expérimentations sur les conditions de plasma.	133
Tableau III.4 – Gravure chlorée : variante de <i>recess</i> de grille sur plaques A et I.	140
Tableau III.5 – Propriétés électroniques de matériaux isolants utilisés comme diélectrique de grille. Valeurs extraites de [83].	145
Tableau III.6 – Indices de réfraction et épaisseurs mesurées par ellipsométrie d' Al_2O_3 déposé par ALD recuits à différentes températures.	148
Tableau III.7 – Champs de claquage et permittivités électriques mesurées sur diodes MIM d' Al_2O_3 déposé par ALD recuits à différentes températures. Du mémoire de Faryssy.	148
Tableau III.8 – Inventaire des types de grille fabriqués sur les plaques A et I.	151
Tableau III.9 – Caractéristiques géométriques des composants imagés par MET, en comparaison avec les valeurs attendues.	155
Tableau IV.1 – Performances des MOS-HEMTs <i>normally-off</i> fabriqués durant nos travaux de thèse.	198

Introduction

Les problématiques liées à l'énergie font partie des enjeux majeurs du XXI^e siècle. En effet face à la pression démographique et aux risques environnementaux et systémiques liés au changement climatique global, il est devenu urgent de trouver des solutions pérennes sur toute la chaîne de l'énergie : production, transformation et distribution. Dans ce domaine, de nombreuses transitions technologiques ont été opérées durant ces dernières années. L'une d'elle a consisté à remplacer les composants électroniques classiques de conversion d'énergie (tubes à vide) par des circuits à base de semiconducteurs, dont le fer de lance est le silicium. Ce dernier est à son tour en passe d'être supplanté par des technologies plus efficaces en termes de rendement énergétique, tels que celles basées sur les semiconducteurs à grand-*gap*.

Dans le même temps, nous avons assisté au cours de ces dernières décennies à des progrès spectaculaires dans le domaine des technologies de l'information qui ont contribué à une croissance exponentielle des quantités de données, appareils connectés et utilisateurs de réseaux. Cette explosion de l'interconnectivité pousse aujourd'hui le secteur des télécommunications dans ses retranchements. De nouvelles technologies permettant des échanges massifs de données doivent être développées pour établir de nouveaux relais de croissance, parmi lesquelles figure la 5G, qui est amenée à occuper le domaine des hautes fréquences entre 24 GHz et 86 GHz. Là encore, les semiconducteurs à grand-*gap* ont un rôle important à jouer.

Les deux thématiques, énergie et information, sont en fait étroitement liées. Ainsi, les circuits fonctionnant à plus haute fréquence d'horloge ont besoin de plus d'énergie, et l'atténuation des signaux électromagnétiques à plus hautes fréquences dans un milieu de propagation est plus importante, donc les amplificateurs en amont des antennes doivent délivrer plus de puissance. De manière réciproque, l'efficacité énergétique est aujourd'hui de plus en plus soutenue par l'utilisation de l'intelligence artificielle, qui demande de grands volumes de données (*big data*) pour bâtir sa connaissance. Il semble donc naturel et souhaitable de vouloir intégrer les deux composantes – puissance et hyperfréquence – dans nos systèmes électroniques.

Au sein des semiconducteurs à grand-*gap*, le nitrure de gallium (GaN) et autres semiconducteurs nitrurés (III-N), aujourd'hui déjà massivement employés dans l'industrie optoélectronique, sont également très prometteurs pour les applications électroniques. Les propriétés physiques remarquables des III-N leur confèrent une grande polyvalence, et ils sont destinés aussi bien aux applications de puissance que d'hyperfréquence. Les transistors à haute mobilité électronique (HEMTs) à base de GaN désignent une technologie en plein essor dans le domaine télécom civil mais aussi militaire et spatial. Le groupement d'intérêt économique (GIE) III-V Lab, établi par Thales, Nokia et le CEA Leti, fait figure de leader européen de la recherche et développement des HEMTs GaN hyperfréquences. C'est dans le cadre du laboratoire commun MITIC entre le III-V Lab et l'institut CNRS XLIM que s'est déroulée cette thèse CIFRE, dont l'objet est le développement d'une technologie HEMT GaN intégrée disposant de fonctions « *normally-off / normally-on* », et compatible avec la technologie hyperfréquence du III-V Lab.

Les HEMTs GaN conventionnels sont à l'état passant pour une polarisation de grille nulle, i.e. *normally-on*, car il se produit naturellement un gaz bidimensionnel d'électrons (2DEG) à l'hétérojonction au sein la structure épitaxiée. Toutefois, pour l'électronique de puissance, une fonctionnalité *normally-off* avec une tension de seuil positive est souhaitable afin de simplifier

les circuits et disposer d'une meilleure sûreté en cas de défaut d'alimentation. De nombreuses solutions technologiques aboutissant à la réalisation de HEMTs GaN *normally-off* ont été rapportées et prouvées dans la littérature scientifique de ces dernières années. L'intégration monolithique de HEMTs *normally-off* conjointement à des HEMTs *normally-on* hyperfréquences est cependant rarement démontrée, intégration qui pourrait pourtant ouvrir la voie à l'implémentation de fonctions de conversion de puissance, d'amplification hyperfréquence et de circuits logiques au sein d'une même puce. Ces travaux de thèse visent à démontrer cette intégration monolithique, et s'inscrivent donc dans la dynamique générale évoquée précédemment.

Le présent manuscrit est divisé en quatre chapitres organisés comme suit :

Le premier chapitre présente d'abord les propriétés physiques des semiconducteurs III-N et des structures à hétérojonctions de ces matériaux. Nous introduisons ensuite le principe de fonctionnement des HEMTs GaN après en avoir brièvement précisé le contexte historique. Une étude approfondie du composant permet alors d'établir l'expression théorique de la tension de seuil en fonction de paramètres technologiques. Nous terminons en évoquant les phénomènes électrothermiques qui peuvent limiter le fonctionnement des HEMTs GaN.

Dans le deuxième chapitre, nous commençons par revenir sur la fonctionnalité *normally-off* avant d'en préciser les applications potentielles et l'état de l'art. S'ensuit une revue bibliographique des solutions technologiques rapportées pour la réalisation de la fonction *normally-off* en technologie HEMT GaN. Un cas concret d'application d'une technologie *normally-on / normally-off* est ensuite exposé, l'*envelope tracking*, servant de base à l'établissement d'un cahier des charges. Nous évaluons alors l'approche technologique la plus adaptée pour la fabrication d'une technologie co-intégrée.

Le procédé technologique développé et expérimenté au III-V Lab au cours de ces travaux est décrit dans le troisième chapitre. Les 2 structures épitaxiales employées sont d'abord présentées, ainsi que les variantes technologiques planifiées. Nous introduisons ensuite quelques techniques de fabrication microélectronique importantes pour ces travaux, puis nous détaillons chaque étape du procédé technologique en précisant les difficultés rencontrées et les solutions apportées. Nous rapportons les résultats d'analyses physiques effectuées tout au long de la chaîne de fabrication, qui nous permettent de vérifier ou d'optimiser chacune des étapes.

Enfin le quatrième chapitre présente les résultats des caractérisations électriques réalisées sur les composants fabriqués. Des mesures en régime DC, impulsionnel et hyperfréquence sont exposées. L'identification de variantes technologiques à fonctionnalité *normally-off* pour les 2 structures épitaxiales est rapporté. Vient alors un exposé des mesures de caractérisation de pièges, dont les techniques ont été développées et appliquées à XLIM.

Chapitre I. La technologie HEMT GaN

I.1. Semiconducteurs à base de nitrure

Les semiconducteurs à base de nitrure (abrégé nitrures) regroupent le nitrure de gallium (GaN), d'aluminium (AlN) et d'indium (InN) ainsi que les composés ternaires (AlGaN, InGaN et InAlN) et quaternaires (GaInAlN) en résultant. Cette partie présente les propriétés importantes de ces matériaux pour les applications en électronique.

I.1.1. Propriétés physiques

I.1.1.1. Structure cristalline

Les nitrures peuvent se présenter sous 3 structures cristalline différentes : wurtzite (symétrie hexagonale), zinc-blende et rock-salt (symétrie cubique). La structure wurtzite est la phase thermodynamiquement la plus stable et est celle utilisée dans la plupart des travaux en électronique. Elle consiste en un empilement compact alternant des plans d'atomes du groupe III (Ga, Al ou In) et des plans d'atomes N dans la direction $[0001]^1$ selon une séquence $AaBbAaBbAa \dots$ où majuscules et minuscules représentent les 2 éléments chimiques. Chaque atome a des liaisons avec ses 4 atomes voisins aux coins d'un tétraèdre régulier. La Figure I.1 présente une maille hexagonale d'une structure wurtzite avec les 2 paramètres de maille a et c . Le paramètre u désigne la position de l'atome N selon la direction $[0001]$ rapporté à c . Pour une structure idéale à empilement compact, les valeurs de c/a et de u sont respectivement de $\sqrt{8/3} \approx 1,63$ et $3/8 = 0,375$.

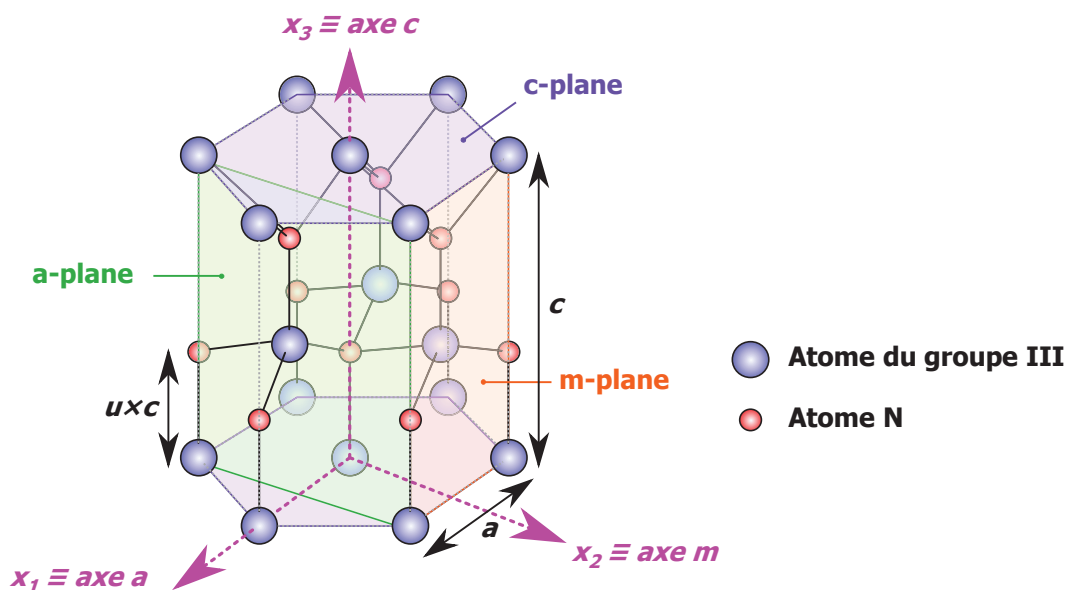


Figure I.1 – Structure cristalline wurtzite des semiconducteurs à base de nitrure, ici représentée avec une polarité Ga. Les paramètres de maille, axes et plans importants sont indiqués. Adapté de [1].

¹ Notation de Miller-Bravais à 4 indices $(hkil)$ avec $i = -(h + k)$, où les indices h , k et l sont identiques aux indices de Miller correspondants. Cette notation est utile en symétrie hexagonale, l'indice redondant i permettant de reconnaître les plans ou directions similaires par permutation circulaire des 3 premiers indices. Ainsi la similitude entre les plans $(110) \equiv (11\bar{2}0)$ et $(\bar{1}\bar{2}0) \equiv (\bar{1}\bar{2}10)$ est plus apparente avec cette notation.

Les paramètres de maille des différents nitrures sont indiqués dans le Tableau I.1. Il apparaît que le GaN, puis l'InN, puis l'AlN présentent une structure cristalline de moins en moins idéale à mesure que c/a et u s'éloignent des valeurs citées ci-dessus. Cette non-idéalité a des conséquences importantes comme nous aurons l'occasion de le voir.

Tableau I.1 – Paramètres de maille et constantes élastiques des nitrures. Valeurs issues de [2], [3].

	a (Å)	c (Å)	c/a	u	C_{33} (GPa)	C_{13} (GPa)
GaN	3,189	5,185	1,626	0,376	405	103
AlN	3,112	4,982	1,600	0,380	373	108
InN	3,538	5,702	1,612	0,377	224	92

Pour les composés ternaires, ces paramètres seront interpolés selon la loi de Vegard. De manière générale, pour un composé ternaire $A_xB_{1-x}N$, un paramètre physique p sera alors calculé de la façon suivante :

$$p(A_xB_{1-x}N) = x p(AN) + (1 - x) p(BN) - b_p x(1 - x) \quad (1.1)$$

où b_p est un éventuel paramètre de courbure, représentatif d'une non-linéarité d'ordre 2.

Par la suite, les différents vecteurs et tenseurs seront exprimés dans la base hexagonale. Les axes (x_1, x_2, x_3) sont définis de la manière suivante :

- x_1 parallèle à $[2\bar{1}\bar{1}0]$, aussi appelé axe a .
- x_2 parallèle à $[01\bar{1}0]$, aussi appelé axe m .
- x_3 parallèle à $[0001]$, aussi appelé axe c .

Les vecteurs unitaires associés seront notés (e_1, e_2, e_3) . Le plan (0001) est appelé plan basal. La structure wurtzite n'est pas centro-symétrique, c'est-à-dire que les directions $[0001]$ et $[000\bar{1}]$ ne sont pas équivalentes. La direction $[0001]$ est alors définie parallèle à l'axe c , depuis l'atome III à l'atome N qui y est lié. Les cristaux épitaxiés selon cette direction sont dits de polarité Ga, sinon ils sont de polarité N. Cet aspect s'avère important car les propriétés physiques et chimiques des surfaces des nitrures diffèrent selon leur polarité.

I.1.1.2. Propriétés mécaniques

Le Tableau I.1 présente également les propriétés élastiques des nitrures. Le tenseur des contraintes est relié au tenseur des déformations par le tenseur des constantes élastiques selon la loi linéaire de Hooke : $\sigma_{ij} = C_{ijkl}\epsilon_{kl}$ (en utilisant la convention de sommation d'Einstein²). Du fait des propriétés de symétrie, le tenseur C_{ijkl} peut être représenté sous la forme d'une matrice 6×6 symétrique, et la loi de Hooke peut s'écrire : $\sigma_i = C_{ij}\epsilon_j$ (en utilisant la notation de Voigt³). De plus, pour une structure hexagonale, plusieurs coefficients de la matrice C deviennent nuls et finalement :

$$\begin{pmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{pmatrix} = \begin{pmatrix} C_{11} & C_{12} & C_{13} & 0 & 0 & 0 \\ C_{12} & C_{11} & C_{13} & 0 & 0 & 0 \\ C_{13} & C_{13} & C_{33} & 0 & 0 & 0 \\ 0 & 0 & 0 & C_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & C_{55} & 0 \\ 0 & 0 & 0 & 0 & 0 & 1/2(C_{11} - C_{22}) \end{pmatrix} \begin{pmatrix} \epsilon_1 \\ \epsilon_2 \\ \epsilon_3 \\ \epsilon_4 \\ \epsilon_5 \\ \epsilon_6 \end{pmatrix} \quad (1.2)$$

² Convention de sommation d'Einstein : $\sigma_{ij} = \sum_{k,l=1}^3 C_{ijkl}\epsilon_{kl}$ pour tout $(i,j) \in \llbracket 1,3 \rrbracket^2$.

³ Convention de Voigt : substitution des couples d'indice (i,j) par un simple indice k selon le schéma suivant. $1 \leftrightarrow (1,1)$; $2 \leftrightarrow (2,2)$; $3 \leftrightarrow (3,3)$; $4 \leftrightarrow (2,3)$; $5 \leftrightarrow (1,3)$; $6 \leftrightarrow (1,2)$.

Dans le cas pratique de matériaux épitaxiés selon l'axe c et contraints uniformément dans le plan basal, les déformations ϵ_1 et ϵ_2 sont égales, et l'existence d'une surface libre – le matériau est libre de s'étendre ou de se contracter selon l'axe c – signifie que σ_3 est nul, ce qui implique :

$$\epsilon_3 = -2 \frac{C_{13}}{C_{33}} \epsilon_1 \quad (1.3)$$

I.1.1.3. Propriétés électroniques

I.1.1.3.1. Structure de bande

Les nitrures sont des semiconducteurs à grand gap direct, ce qui en font par ailleurs des matériaux de choix pour les applications optoélectroniques puisque des recombinaisons de paires électron-trou peuvent se produire sans échange de phonons⁴. La bande interdite E_g pour les nitrures est reportée sur la Figure I.2. Elle varie de façon significative, valant 0,75 eV pour l'InN [4] (valeur révisée de 2002, nombreuses divergences avant cette date), 3,42 eV pour le GaN et jusqu'à 6,20 eV pour l'AlN [3]. La bande interdite des composés ternaires est interpolée par la loi de Vegard en incluant un paramètre de courbure. Des multi-puits quantiques à base d'AlGaN/GaN et d'InGaN/GaN sont utilisés pour fabriquer des LEDs et diodes lasers pouvant en théorie émettre de l'infrarouge à l'ultraviolet en contrôlant la composition des couches. Cependant, il est en pratique difficile d'obtenir des couches à forte teneur en indium, et les composants optoélectroniques à base de nitrures n'émettent généralement qu'à des longueurs d'onde plus courtes celle du vert (570 – 520 nm) [5].

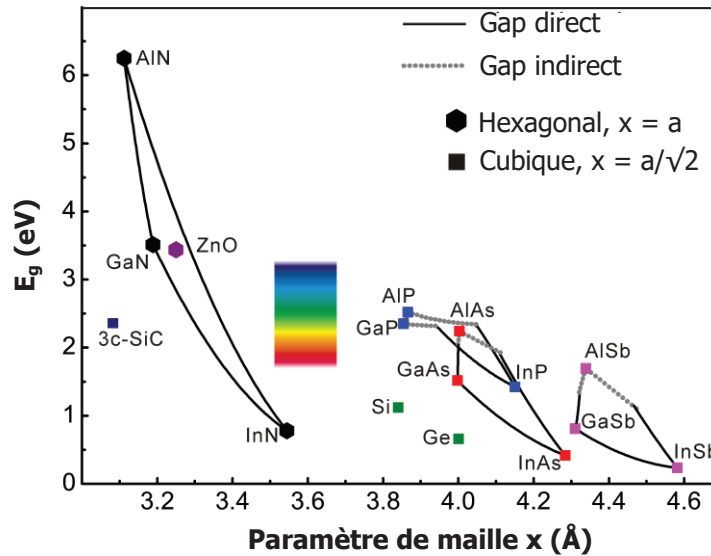


Figure I.2 – Diagramme E_g – paramètre de maille pour les nitrures et autres semiconducteurs. Les traits représentent les valeurs pour les composés ternaires en tenant compte de paramètres de courbure. Adapté de [6].

Les grands $gaps$ du GaN et de l'AlN permettent à ces matériaux de disposer de champs de claquage E_b élevés, de 3,3 MV/cm pour le GaN [7], à 11,7 MV/cm pour l'AlN [8]. Le phénomène de claquage a lieu lorsque les porteurs libres acquièrent suffisamment d'énergie pour provoquer des ionisations d'atomes du réseau par impacts en chaîne. Il y a alors effet

⁴ Un phonon est un quantum d'énergie de vibration du réseau cristallin. Il s'agit de quasi-particules.

d'avalanche, i.e. augmentation exponentielle du courant, amenant finalement au claquage, et le matériau devient irréversiblement conducteur.

À l'hétérojonction entre 2 nitrures, il existe une discontinuité de bande ΔE_g égale à la différence de *gap* entre les 2 matériaux, pouvant être représentée comme la somme d'une discontinuité de bande de conduction ΔE_C et d'une discontinuité de bande de valence ΔE_V . Les valeurs de ces discontinuités sont sujet à discussion. De notre part, nous considérerons l'approximation couramment utilisée [9] : $\Delta E_C = 0,7\Delta E_g$ et $\Delta E_V = 0,3\Delta E_g$ pour nos travaux.

Pour les nitrures sous leurs formes hexagonales, le minimum de la bande de conduction et le maximum de la bande de valence se situent au point Γ au centre de la zone de Brillouin. La dispersion de la bande de conduction autour de ce point est quasi-parabolique, et l'approximation de la masse effective est valable pour les électrons, avec une légère distinction entre les vecteurs d'onde parallèles et transverses à l'axe c . La situation est plus complexe pour les trous car la bande de valence se divise en 3 sous-bandes autour de Γ à cause du champ interne au cristal et du couplage spin-orbite. La masse effective des électrons transverses m^* vaut 0,20 m_0 pour le GaN, 0,40 m_0 pour l'AlN et 0,11 m_0 pour l'InN [3]. Ces faibles valeurs sont sources d'une grande mobilité des électrons dans ces matériaux.

I.1.1.3.2. Transport électronique

Pour les applications en électronique, le transport électronique⁵ dans les semiconducteurs est généralement décrit par le modèle de dérive-diffusion qui est une déclinaison de l'équation semi-classique du transport de Boltzmann. Ce modèle décrit le courant total \mathbf{J} (ou plus exactement sa densité volumique) sous l'action d'un champ \mathbf{E} en régime quasi-stationnaire comme étant la résultante de 2 composantes, le courant de dérive \mathbf{J}^{drift} et le courant de diffusion \mathbf{J}^{diff} :

$$\mathbf{J} = \mathbf{J}^{drift} + \mathbf{J}^{diff} = en\mathbf{v}_d(\mathbf{E}) + eD\nabla n \quad (1.4)$$

où e est la charge élémentaire, n la densité volumique d'électrons, et \mathbf{v}_d et D sont explicités ci-après.

La dérive des électrons résulte de l'accélération communiquée par le champ électrique \mathbf{E} et de la décélération subie lors d'interactions (collisions) avec des défauts cristallins, des impuretés ou des phonons, après un libre parcours moyen (temps entre collisions τ_c). Ces collisions peuvent être de nature élastique (changement de direction sans perte d'énergie) ou inélastique (perte d'énergie par émission de phonons optiques). La vitesse moyenne des électrons sous l'action de \mathbf{E} , également appelée vitesse de dérive \mathbf{v}_d , est décrite par la relation :

$$\mathbf{v}_d(\mathbf{E}) = \mu(\mathbf{E})\mathbf{E} \quad (1.5)$$

où μ est la mobilité électronique en $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, dépendante de \mathbf{E} pour les fortes valeurs, liée à la conductivité électrique $\sigma = en\mu$. La Figure I.3 présente les vitesses de dérive en fonction du champ électrique pour le GaN et l'InN, ainsi que le GaAs. L'évolution est la même pour les 3 matériaux : ① pour les faibles champs, \mathbf{v}_d est proportionnelle à \mathbf{E} , la mobilité électronique est indépendante du champ et vaut $\mu_0 \approx e\tau_c/2m^*$, ② \mathbf{v}_d atteint un pic et ③ \mathbf{v}_d décroît pour

⁵ Nous ne considérons pas le transport de trous dans cette partie, car nous nous intéresserons exclusivement à des semiconducteurs de type n et à des composants unipolaires. Néanmoins la description qui suit peut se transposer aux trous et au transport bipolaire.

atteindre une valeur asymptotique justement nommée vitesse de saturation v_{sat} . Cette dernière décroissance provient de l'effet Gunn, c'est-à-dire de transferts des électrons plus énergétiques dans des vallées adjacentes à la vallée Γ , dans lesquelles leur masse effective est accrue. Le phénomène de saturation intervient lorsque les électrons acquièrent suffisamment d'énergie cinétique pour émettre un phonon optique avec perte d'énergie entre les collisions, limitant ainsi leur vitesse. Par rapport au GaAs, on constate pour le GaN que le pic de survitesse survient pour un champ électrique bien plus important. Les valeurs de μ_0 et v_{sat} pour le GaN et autres semiconducteurs sont données dans le Tableau I.2.

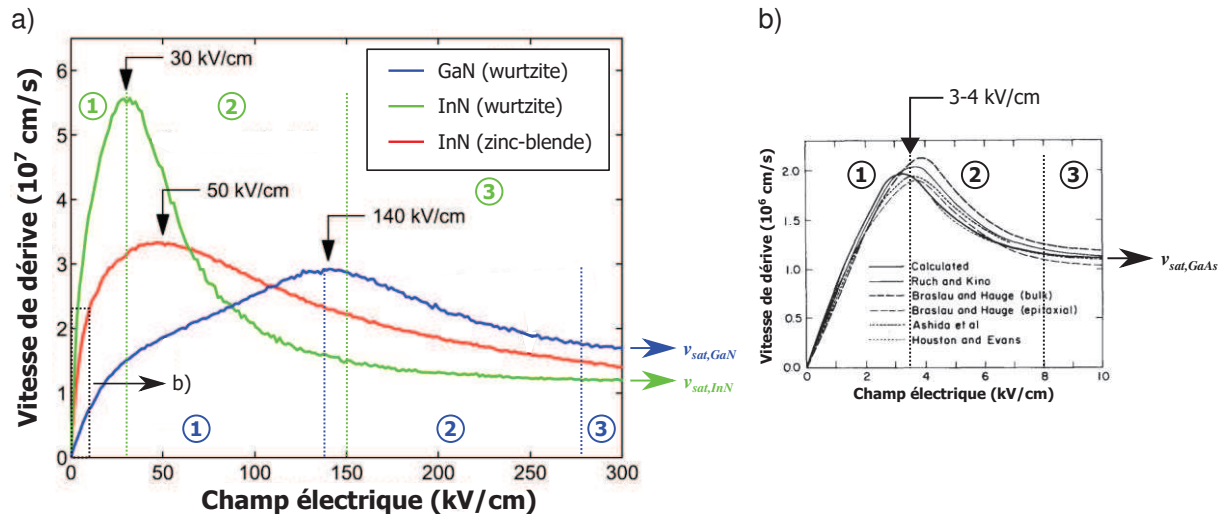


Figure I.3 – Vitesses de dérive en fonction du champ électrique pour (a) le GaN et l'InN, adapté de [10], et (b) le GaAs, adapté de [11]. Ces résultats proviennent de simulations Monte-Carlo.

Le courant de diffusion correspond au mouvement des électrons en réponse à un gradient de concentration, exprimé par la loi de Fick : $J^{diff} = eD\nabla n$, où D est le coefficient de diffusion des électrons. La relation d'Einstein précise le lien entre diffusion et dérive, tous deux régis par des mécanismes de collision :

$$D = \frac{k_B T}{e} \mu \quad (I.6)$$

Le modèle de dérive-diffusion constitue une bonne première approche mais comporte quelques limites. Tout d'abord, il ne s'applique plus pour des variations rapides du champ électrique car les électrons se trouvent alors en régime transitoire. La vitesse des électrons peut alors être sensiblement plus importante que la vitesse de dérive car les collisions deviennent négligeables. Ensuite, ce modèle semi-classique ne tient pas compte des effets quantiques comme le courant par effet tunnel, qui peut être important lorsque les dimensions caractéristiques en jeu sont réduites.

I.1.1.4. Propriétés thermiques

I.1.1.4.1. Conductivité thermique

La loi de Fourier décrit le mécanisme de conduction thermique, c'est-à-dire la diffusion des phonons, au sein d'un matériau. Elle stipule que la densité de flux de chaleur q_{cond} est proportionnelle au gradient de température : $q_{cond} = -\kappa\nabla T$, où le facteur κ est la conductivité thermique du matériau. Les nitrures sont de bons conducteurs thermiques, ce qui les rend particulièrement intéressants pour les applications de puissance où la dissipation par effet

Joule est importante. Les valeurs de κ à 300 K sont données dans le Tableau I.2 pour les nitrures et autres semiconducteurs.

La conductivité thermique dépend elle-même de la température. À mesure que cette dernière augmente, la densité de phonons s'accroît, donnant lieu à plus d'interactions phonon-phonon, entraînant une réduction du libre parcours moyen des phonons et donc une chute de κ . Le modèle empirique classique décrivant le comportement de κ pour les températures supérieures à 300 K est donné par la relation : $\kappa(T) = \kappa_{300K} \cdot (T/300)^{-\alpha}$, où α est un coefficient positif propre au matériau. De même, la conductivité thermique est fortement affectée par la qualité cristalline du matériau. En effet, une grande densité de défauts structuraux favorise les interactions phonons-défauts et entraîne une diminution de κ .

Le transfert thermique de la puissance dissipée dans les composants électroniques de puissance est principalement dominé par le mécanisme de conduction. Les contributions de la convection et de la radiation, n'ayant lieu qu'à la surface libre de la puce, ne représentent que quelques centièmes de la puissance dissipée et sont usuellement négligées par les thermiciens. Dans l'approximation d'un matériau isotrope à caractéristiques thermiques constantes, l'équation bilan de la chaleur s'écrit :

$$\rho c_p \frac{\partial T}{\partial t} = \nabla \cdot \mathbf{q}_{cond} + \dot{q}_V = \lambda \nabla^2 T + \dot{q}_V \quad (1.7)$$

où ρ est la masse volumique du matériau, c_p est la chaleur spécifique massique, et \dot{q}_V est la puissance volumique des sources internes.

I.1.1.4.2. Dépendance des paramètres physiques selon la température

Tous les paramètres physiques précédemment évoqués sont susceptibles de présenter une dépendance selon la température. Parmi les plus importants figurent le *gap* et la mobilité électronique. L'évolution du *gap* avec la température est décrite empiriquement par l'équation de Varshni : $E_g(T) = E_g(0) - \alpha T^2 / (T + \beta)$, où $E_g(0)$ est la valeur du *gap* à 0 K, et α et β sont les paramètres de Varshni, tous deux positifs. Le *gap* décroît donc en fonction de la température.

Le transport électronique est affecté par la température de la même manière que le transfert thermique, car la densité de phonons augmente avec la température. La Figure I.4 présente des mesures de mobilité électronique par effet Hall dans le GaN, mettant en évidence une chute avec d'un facteur 10 entre les températures de 100 K et 500 K. Ces mesures concordent avec le modèle empirique classique : $\mu(T) = \mu_{300K} \cdot (T/300)^{-a}$, où a est un coefficient positif lié au matériau. Les phonons optiques inélastiques dominent aux températures supérieures à 150 K. Ce mécanisme étant intrinsèquement lié au matériau, la chute de la mobilité électronique pour les hautes températures est inévitable et ne peut être atténuée par une meilleure qualité cristalline du matériau. Il est donc indispensable de maîtriser l'aspect thermique des composants électroniques.

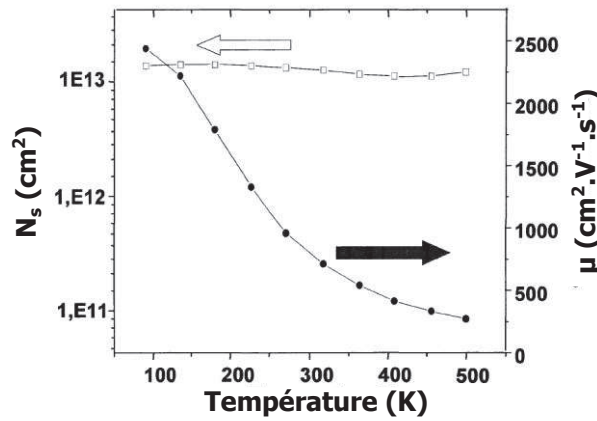


Figure I.4 – Mobilité et densité de porteurs en fonction de la température, mesurés par effet Hall sur une structure AlGa_N/Ga_N sur saphir. Depuis [12].

I.1.1.5. Comparatif avec d'autres semiconducteurs

Le Tableau I.2 récapitule les propriétés physiques essentielles du GaN en le comparant à d'autres semiconducteurs. On relève que le grand *gap*, le champ de claquage élevé et la bonne conductivité thermique des nitrures les privilégient pour les applications de puissance, de même que la grande mobilité électrique et la forte vitesse de saturation les dotent d'un fort potentiel pour les applications hyperfréquences.

Tableau I.2 – Paramètres physiques du GaN et autres semiconducteurs utilisés pour les applications de puissance hyperfréquence. Valeurs prises de [13].

	μ_0 ($\text{cm}^2/\text{V}^{-1} \cdot \text{s}^{-1}$)	v_{sat} ($\times 10^7$ cm/s)	ϵ_r	E_g (eV)	E_b (kV/cm)	κ_{300K} ($\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-1}$)
GaN	2000	2,2	8,9	3,4	3300	1,3
Si	1300	1,0	11,4	1,1	300	1,5
GaAs	5000	1,0	13,1	1,4	400	0,46
SiC	260	2	9,7	2,9	2500	4,9
InP	5400	1,0	12,5	1,35	500	0,7

Fonctionnement hyperfréquence
Fonctionnement haute tension / haute puissance

Nous pouvons quantifier cet avantage des nitrures en exploitant les divers facteurs de mérite utilisées dans la littérature, permettant de comparer plusieurs matériaux. Le Tableau I.3 présente les principaux facteurs de mérite normalisés par rapport au silicium pour le GaN et différents semiconducteurs. JFoM est le facteur de mérite de Johnson pour les applications hautes fréquences. BFoM et BHFoM sont les facteurs de mérite de Baliga pour la commutation de puissance et la commutation de puissance à hautes fréquences respectivement. KFoM est le facteur de mérite de Keyes qui considère les limitations thermiques lors de la commutation. Enfin CFoM est un facteur de mérite combinée qui prend en compte les aspects hautes fréquences, hautes puissances et hautes températures simultanément. Cette comparaison confirme bien l'avantage des nitrures dans les applications de puissance et d'hyperfréquence.

Tableau I.3 – Figures de mérite du GaN et autres semiconducteurs utilisés pour les applications de puissance hyperfréquence. Valeurs prises de [13].

	JFoM	BFoM	BHFFoM	KFoM	CFoM	T_{max} (°C)
GaN	270-480	17-34	86-172	1,4	108-290	700
Si	1.0	1.0	1.0	1.0	1.0	300
GaAs	2	13	10	0,4	4	300
SiC	324-400	6-12	57-76	4,5-4,8	275-310	600

I.1.2. Polarisation et hétérostructures

I.1.2.1. Polarisation spontanée et piézoélectrique

La structure wurtzite est l'une des 10 classes cristallines à pouvoir présenter des propriétés de pyroélectricité et piézoélectricité, et les nitrures possèdent donc des polarisations spontanée et piézoélectrique. La polarisation \vec{P} est une grandeur macroscopique désignant la densité de dipôles électriques. En un point M du matériau :

$$P(M) = \frac{dp}{d\Lambda} \quad (I.8)$$

où dp est le moment dipolaire de l'élément de volume $d\Lambda$ autour de M . Les dipôles électriques microscopiques apparaissent à l'échelle des liaisons atomiques lorsque le barycentre des charges positives (noyaux) diffère du barycentre des charges négatives (nuages électroniques). La polarisation peut avoir diverses origines, et nous nous attacherons ici à décrire les polarisations dites spontanées et piézoélectriques, à distinguer de la polarisabilité diélectrique, i.e. la polarisation dépendante du champ électrique extérieur $P^{DI}(E)$. Cette dernière est caractérisée par la permittivité relative ϵ_r dont les valeurs pour les différents nitrures sont reportées dans le Tableau I.4.

I.1.2.1.1. Polarisation spontanée

La polarisation spontanée trouve son origine dans l'absence de symétrie d'inversion de la structure wurtzite et la nature polaire des liaisons III-N. L'explication est donnée en Figure I.5. La différence d'électronégativité entre les atomes III ($\chi_{III} \approx 1,6-1,8$) et l'atome N ($\chi_N \approx 3$) induit un caractère ionique de la liaison se manifestant sous la forme d'un moment dipolaire dirigé du site N vers le site III. Dans une maille unitaire, la somme des moments dipolaires a une composante nulle dans le plan basal et une composante non nulle selon l'axe c si la structure wurtzite n'est pas idéale, ce qui est le cas des nitrures. Il en résulte une polarisation négative spontanée $P^{SP} = P^{SP} e_3$. « Spontanée » signifie qu'elle est présente à l'équilibre thermodynamique en l'absence de contraintes, et « négative » indique que le vecteur polarisation est opposé à la direction [0001]. Pour les composés ternaires, il faut prendre en compte un paramètre de courbure dans la loi de Vegard car la polarisation spontanée dépend fortement de la structure microscopique du matériau.

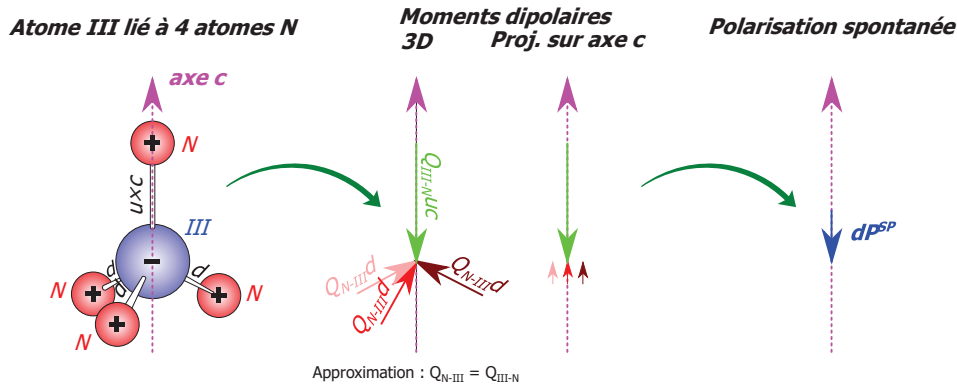


Figure I.5 – Origine de la polarisation spontanée : résultante des moments dipolaires des liaisons covalentes entre un atome III et ses 4 atomes voisins N.

I.1.2.1.2. Polarisation piézoélectrique

La polarisation piézoélectrique est quant à elle induite lorsque le matériau est soumis à une contrainte. Elle provient du déplacement relatif entre les 2 sous-réseaux ainsi que de la déformation du nuage électronique des atomes lors de la contrainte. Le diagramme présenté en Figure I.6 montre les relations générales entre les différentes propriétés électromécaniques d'un matériau. L'effet piézoélectrique indirect (partie droite du diagramme) sera par la suite ignoré.

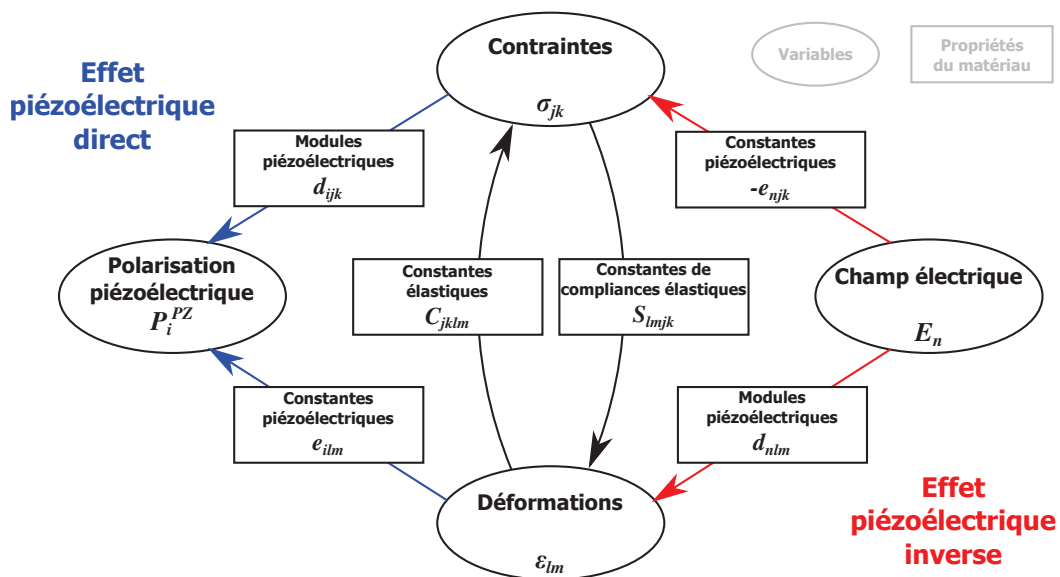


Figure I.6 – Relations entre propriétés électriques et élastiques d'un cristal. Adapté de [14], [15].

La polarisation piézoélectrique est liée au tenseur des déformations par le tenseur des constantes piézoélectriques par la relation suivante : $P_i^{PZ} = e_{ij}\epsilon_j$. Pour la structure wurtzite, les modules piézoélectriques non nuls sont $e_{15} = e_{24}$, $e_{31} = e_{32}$ et e_{33} . Dans le cas de matériaux contraints uniformément dans le plan basal étudié auparavant, la polarisation piézoélectrique est alors uniquement selon l'axe c , et :

$$P^{PZ} = P^{PZ} e_3, \quad P^{PZ} = 2 e_{31}\epsilon_1 + e_{33}\epsilon_3 = 2 \left(e_{31} - e_{33} \frac{C_{13}}{C_{33}} \right) \epsilon_1 \quad (I.9)$$

$$P^{PZ} = 2 \left(e_{31} - e_{33} \frac{C_{13}}{C_{33}} \right) \left(\frac{a - a_0}{a_0} \right) \quad (I.10)$$

où a et a_0 correspondent aux paramètres de maille du matériau contraint et au repos. Le premier terme entre parenthèses est négatif pour tous les nitrures, donc leur polarisation piézoélectrique est positive lorsqu'ils sont contraints en compression, et négative lorsqu'ils sont contraints en tension.

Les polarisations spontanées et les constantes piézoélectriques e_{31} et e_{33} des nitrures, calculées *ab initio* par divers groupes, sont indiquées dans le Tableau I.4. Leurs valeurs absolues augmentent à mesure que le cristal est de moins en moins idéal, du GaN à l'AlN jusqu'à l'InN. Les nitrures diffèrent considérablement des autres semiconducteurs III-V (phosphures, arséniures, antimoniures) : leurs constantes piézoélectriques y sont supérieures de près d'un ordre de grandeur, et de signe opposé. Les effets de polarisation y sont donc bien plus importants.

Tableau I.4 – Polarisations spontanées, constantes piézoélectriques et permittivités relatives des nitrures. Valeurs prises de [16].

	P^{SP} (C.m ⁻²)	e_{33} (C.m ⁻²)	e_{31} (C.m ⁻²)	ϵ_r
GaN	-0,029	0,73	-0,49	8,9
AlN	-0,081	1,46	-0,60	8,5
InN	-0,032	0,97	-0,57	15,3

I.1.2.2. Distribution de charges équivalente dans un matériau polarisé

Le potentiel électrique créé par la polarisation d'un matériau de volume Λ et de surface fermée Σ est, par application de la loi de Coulomb :

$$V(M) = \frac{1}{4\pi\epsilon_0} \iiint_{\Lambda} \frac{\mathbf{P}(A) \cdot \mathbf{r}}{r^3} d\Lambda, \quad \mathbf{r} = \mathbf{AM} \quad (I.11)$$

En remarquant que $\frac{\mathbf{r}}{r^3} = \nabla \frac{1}{r}$ et en utilisant la relation d'analyse vectorielle $\nabla \cdot (f\mathbf{a}) = f\nabla \cdot \mathbf{a} + \mathbf{a} \cdot \nabla f$ on a :

$$V(M) = \frac{1}{4\pi\epsilon_0} \iiint_{\Lambda} \frac{-\nabla \cdot \mathbf{P}}{r} d\Lambda + \frac{1}{4\pi\epsilon_0} \iiint_{\Lambda} -\nabla \cdot \frac{\mathbf{P}}{r} d\Lambda \quad (I.12)$$

$$V(M) = \frac{1}{4\pi\epsilon_0} \iiint_{\Lambda} \frac{-\nabla \cdot \mathbf{P}}{r} d\Lambda + \frac{1}{4\pi\epsilon_0} \iint_{\Sigma} \frac{\mathbf{P} \cdot \mathbf{n}}{r} d\Sigma \quad (I.13)$$

où \mathbf{n} est le vecteur unitaire normal à la surface unitaire $d\Sigma$, et orienté vers l'extérieur. Nous reconnaissons là le potentiel créé par une distribution de charges de densité volumique $\rho_b = -\nabla \cdot \mathbf{P}$ et de densité surfacique $\sigma_b = \mathbf{P} \cdot \mathbf{n}$. La polarisation d'un matériau se manifeste donc de manière identique à cette distribution de charges dite équivalente. L'indice b dénote le caractère lié (*bound*) de ces charges par opposition au porteurs libres. Le champ électrique résultant est de direction opposée à la polarisation, il est ainsi parfois appelé champ de dépoliarisation. Dans le cas d'un cristal de nitrure présentant une polarisation uniforme en son sein, la densité volumique équivalente est nulle et il y a apparition de charges surfaciques équivalentes de densité $|\mathbf{P}^{SP} + \mathbf{P}^{PZ}| = |\mathbf{P}^{TOT}|$ en valeur absolue et de signes opposés sur les surfaces (0001) et (000 $\bar{1}$). La Figure I.7 représente ces charges surfaciques équivalentes pour un volume de nitrure présentant uniquement une polarisation spontanée.

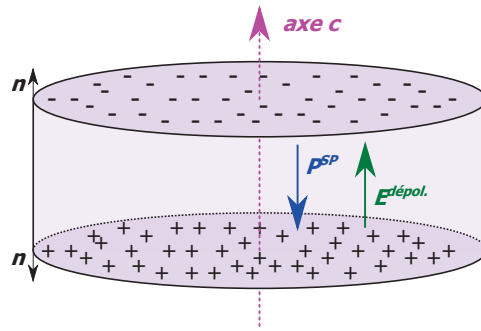


Figure I.7 – Distribution de charges équivalente pour un cristal de nitrure non contraint.

I.1.2.3. Hétérostructures

Considérons maintenant un empilement de plusieurs couches de nitrures différents i.e. une hétérostructure. Les charges surfaciques équivalentes s'additionnent aux hétérojonctions (interfaces entre 2 semiconducteurs différents). Ces charges surfaciques aux interfaces, qui résultent de la différence de polarisation entre les 2 matériaux adjacents, sont appelées charges induites par polarisation. Nous allons maintenant étudier 2 hétérostructures essentielles pour l'électronique à base de nitrure : ① AlGaN/GaN et ② InAlN/GaN. Dans les 2 cas, nous considérerons que les diverses couches ont la même polarité Ga et que le GaN est « massif » et n'est donc pas contraint

I.1.2.3.1. AlGaN/GaN

L'AlGaN a un paramètre de maille a plus petit que celui du GaN quel que soit sa composition. Pour une couche mince d'épaisseur inférieure à 30 nm et à teneur en aluminium inférieure à 30 %, nous faisons l'hypothèse que l'AlGaN adopte le paramètre de maille du GaN en accommodant entièrement la contrainte sous forme d'énergie élastique, la croissance étant alors qualifiée de pseudomorphique. Pour les couches plus épaisses ou à composition en aluminium plus élevée, la croissance est dite relaxée car la contrainte est partiellement relaxée par la génération de dislocations à l'interface ou de « crevasses » à la surface. On peut introduire un degré de relaxation $r(x_{Al})$ pour signifier que $a_0(AlGaN) < a(AlGaN) < a_0(GaN)$, entrant en compte dans le calcul de la polarisation piézoélectrique. Les 2 modes de croissance épitaxiale, pseudomorphique et relaxée, sont représentés en Figure I.8.

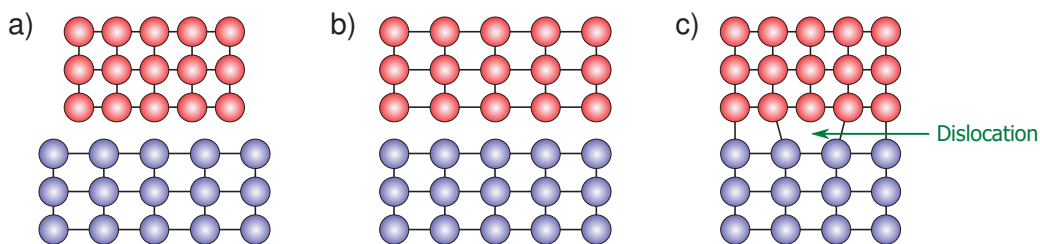


Figure I.8 – Modes de croissance épitaxiale : (a) deux matériaux avec différents paramètres de maille, (b) croissance pseudomorphique, la couche supérieure est contrainte en tension et adopte le paramètre du matériau du dessous, (c) croissance relaxée, la couche supérieure relaxe les contraintes en incorporant une dislocation à l'interface. Adapté de [17].

La Figure I.9 présente les polarisations présentes dans la structure AlGaN/GaN. La couche d'AlGaN est contrainte en tension, et la polarisation piézoélectrique est négative tout comme la polarisation spontanée, leurs effets cumulent. À l'hétérojonction, la densité de charges induites par polarisation $\sigma_{AlGaN/GaN}$ a pour valeur :

$$\sigma_{AlGaN/GaN} = \mathbf{P}^{TOT}(AlGaN) \cdot \mathbf{n}_{int}(AlGaN) + \mathbf{P}^{TOT}(GaN) \cdot \mathbf{n}_{int}(GaN) \quad (I.14)$$

$$\sigma_{AlGaN/GaN} = |P^{TOT}(AlGaN)| - |P^{TOT}(GaN)| \quad (I.15)$$

$$\sigma_{AlGaN/GaN} = |P^{SP}(AlGaN) + P^{PZ}(AlGaN)| - |P^{SP}(GaN)| > 0 \quad (I.16)$$

Ces charges positives attirent alors des électrons libres au voisinage de l'hétérojonction qui sont ensuite confinés dans le GaN sous l'effet d'un puit de potentiel, le GaN possédant un plus petit *gap* que l'AlGaN. Si la discontinuité de bande est suffisamment grande et que la rugosité de l'interface est faible, alors le confinement des électrons donne naissance à un gaz bidimensionnel d'électrons, abrégé 2DEG pour *2D electron gas*, de densité surfacique n_s proche de $\sigma_{AlGaN/GaN}/e$, qui compense les charges induites par polarisation. L'origine de ces électrons libres sera traitée ultérieurement. C'est ce 2DEG, composé d'électrons à haute mobilité (le GaN n'étant pas dopé et donc de haute qualité cristalline), qui est le fondement du fonctionnement des transistors à haute mobilité électronique.

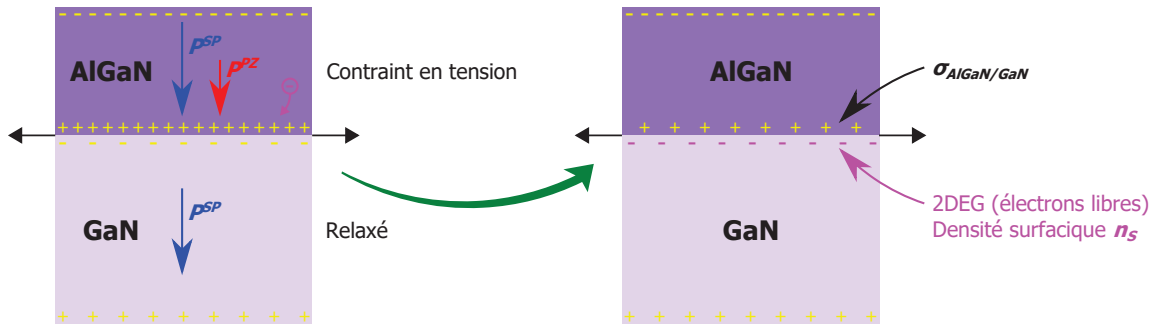


Figure I.9 – Hétérostructure AlGaN/GaN : polarisations associées et formation du 2DEG.

La densité de charges induites par polarisation croît en fonction de la composition en aluminium de l'AlGaN à mesure que le désaccord de maille et donc $P^{PZ}(AlGaN)$ augmentent en valeur absolue. La densité du 2DEG, n_s , peut donc être contrôlée par la composition en aluminium de l'AlGaN x_{Al} . La Figure I.10 (a) présente $\sigma_{AlGaN/GaN}/e$ en fonction de x_{Al} , pour différents degrés de relaxation. La courbe en noir a été calculée en tenant compte d'une variation empirique du degré de relaxation avec x_{Al} (en encadré), et montre une chute de $\sigma_{AlGaN/GaN}$ pour des teneurs élevées en aluminium.

I.1.2.3.2. InAlN/GaN

L'hétérostructure InAlN/GaN est analogue à la structure AlGaN/GaN, et à l'hétérojonction se forment des charges induites par polarisation $\sigma_{InAlN/GaN}$. En adoptant le même raisonnement que précédemment, nous obtenons :

$$\sigma_{InAlN/GaN} = |P^{SP}(InAlN) + P^{PZ}(InAlN)| - |P^{SP}(GaN)| \quad (I.17)$$

La Figure I.10 (b) présente cette densité de charges, ainsi que les diverses polarisations, en fonction de la composition en indium de l'InAlN. Nous voyons alors que les charges induites par polarisation peuvent être soit positives à forte composition en aluminium, auquel cas il y a formation d'un 2DEG, soit négatives à forte composition en indium, et il y a alors théoriquement formation d'un 2DHG (*2D hole gas*). Cependant le désaccord de maille important entre l'InN et le GaN exclut une croissance pseudomorphique de couches d'InAlN à forte teneur en indium sur GaN. Par ailleurs nous remarquons que l'InAlN est en accord de maille avec le GaN pour

une composition en indium d'à peu près 18 %. En ce point la polarisation piézoélectrique de l'InAlN est nulle car la couche n'est pas contrainte, et $\sigma_{InAlN/GaN}$ est de l'ordre de $0,05 \text{ C/m}^2$ ce qui est supérieur à la densité $\sigma_{AlGaN/GaN}$ sur une grande plage de composition en aluminium. L'hétérostructure $In_{0,18}Al_{0,82}N/GaN$ permet donc d'obtenir un 2DEG plus dense qu'avec les hétérostructures AlGaN/GaN, tout en étant adaptée en paramètre de maille, ce qui permet de s'affranchir des considérations de croissance pseudomorphique. Elle est donc très avantageuse pour les HEMTs.

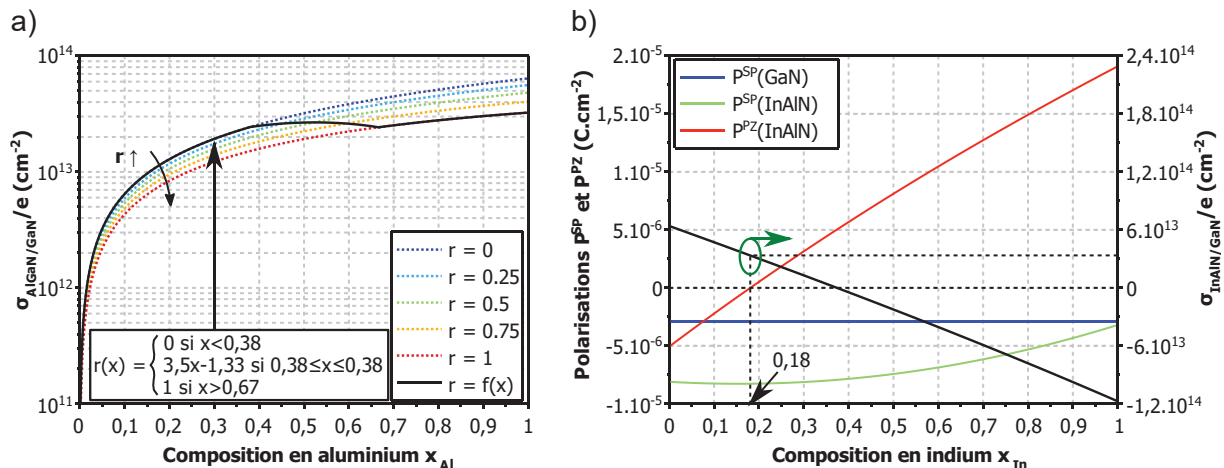


Figure I.10 – Densités de charges induites par polarisation pour : (a) une hétérostructure AlGaN/GaN à différents degrés de relaxation et (b) une hétérostructure InAlN/GaN, avec les diverses polarisations.

I.1.3. Épitaxie

Dans cette partie nous présentons les moyens techniques mis en œuvre pour la croissance de structures pour l'électronique à base de nitrures. Comme nous l'avons vu précédemment, le GaN est à la base de ces structures, et nous avons d'ailleurs supposé qu'il était « massif ». Nous nous intéresserons donc plus particulièrement à la croissance du GaN.

I.1.3.1. Techniques de croissance

I.1.3.1.1. Généralités

La croissance du GaN est usuellement réalisée soit par épitaxie par jet moléculaire (MBE, pour *molecular beam epitaxy*) soit par épitaxie en phase vapeur aux organométalliques (MOVPE, pour *metalorganic vapour phase epitaxy* ou MOCVD, pour *metalorganic chemical vapour deposition*). La MBE est une technique sous ultravide (UHV pour *ultra high vacuum*) et à basse température à partir de sources solides, gazeuses, ou plasma. Elle permet un contrôle très précis de la quantité de matière déposée et de la stœchiométrie. Les couches obtenues ont alors une bonne cristallinité, mais la croissance est lente (inférieure au micromètre par heure) et la technique est peu adaptée à la production à grande échelle. La MBE peut être utilisée pour le dépôt de fines couches cristallines lors de la fabrication de composants, par exemple pour la recroissance de contacts ohmiques dopés n^+ , en mettant à profit la faible température de croissance et la bonne prise d'épitaxie. Les structures épitaxiées au III-V Lab et utilisées dans ce travail ont été réalisées par MOVPE.

I.1.3.1.2. MOVPE

La MOVPE est une technique de croissance basée sur l'acheminement de molécules précurseurs par un gaz vecteur à la surface d'un substrat chauffé. Dans les bonnes conditions

thermodynamiques, les molécules se pyrolysent au contact du substrat, les éléments souhaités se déposent sur la surface en formant une couche cristalline, et les résidus des précurseurs sont évacués par le gaz vecteur. La particularité de la MOVPE est d'utiliser des précurseurs organométalliques. Pour le dépôt de nitrures, les précurseurs les plus souvent utilisés sont les tri-alkyl (méthyl ou éthyl) pour les atomes du groupe III et l'ammoniac NH_3 pour les atomes N, obtenus par craquage à haute température. La croissance cristalline résulte de réactions physico-chimiques complexes à la surface du substrat dont les principales sont résumées dans la Figure I.11. La croissance des nitrures par MOVPE se fait généralement à faible pression (50 – 500 mbar) et haute température (900-1200°C), et la vitesse de croissance peut atteindre quelques micromètres par heure.

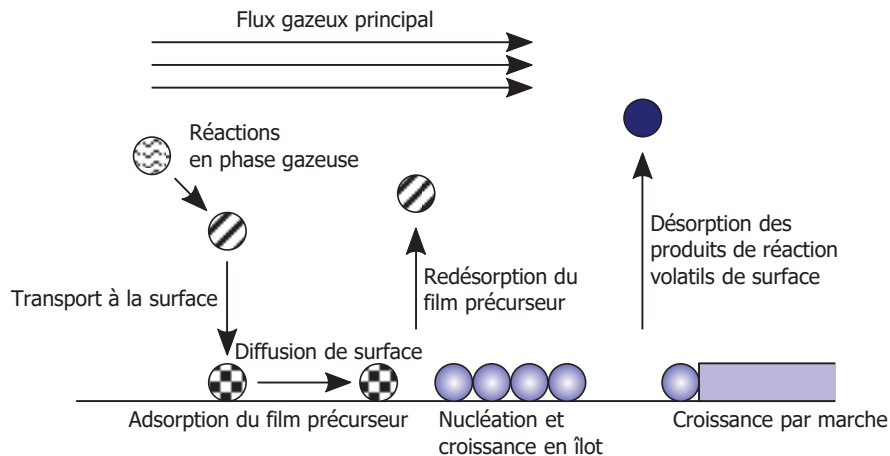


Figure I.11 – Schéma des réactions de surface en MOVPE. Adapté de [18].

I.1.3.1.3. Réacteur Aixtron CCS

Le réacteur utilisé dans le cadre de ce travail est un modèle *multiwafer* d'Aixtron CCS (*Close-Coupled Showerhead*) [2]. Il comprend : ① des bulleurs pour le stockage des précurseurs triméthyl TMGa, TMAI (liquides) et TMIIn (solide), ainsi que du CP_2Mg (pour le dopage p à base de Mg), ② des lignes de NH_3 et SiH_4 (pour le dopage n à base de Si) et ③ des lignes de N_2 et H_2 comme gaz vecteurs. Le réacteur est vertical, c'est-à-dire que le flux de gaz est perpendiculaire aux substrats. Les précurseurs pour les atomes du groupe III et ceux pour les atomes N arrivent séparément par des petits tubes dispersés sur la surface d'un « pommeau de douche » placé à moins de 2 cm du suscepteur (porte-substrats) chauffé. Ce design CCS permet d'éviter les réactions parasites avant l'injection des gaz dans la chambre. Les suscepteurs disponibles peuvent accommoder différentes tailles de substrats : 19×2", 7×3", 4×4" et 1×6", pour une production relativement à grande échelle. Enfin le réacteur est équipé d'une pompe sèche et d'un *scrubber* pour l'évacuation et le traitement des résidus. Le contrôle *in-situ* de la croissance, i.e. des épaisseurs des couches et du rayon de courbure du wafer, est réalisé par mesures optiques de réflectance. L'utilisation de techniques de diffraction électronique plus précises comme le RHEED ou LEED est prohibée, car le libre parcours moyen des électrons est trop court aux pressions de croissance en MOVPE.

I.1.3.2. Techniques de caractérisation

I.1.3.2.1. Généralités

Au sortir du réacteur, plusieurs mesures peuvent être réalisées sur la plaquette épitaxiée pour analyser la structure. Le schéma en Figure I.12 résume les techniques principalement utilisées pour caractériser chaque élément d'une structure épitaxiale HEMT. Un sous-ensemble de mesures non-destructives et rapides, que l'on détaillera après, est effectué systématiquement sur chaque plaque. D'autres techniques avancées sont réalisées par des laboratoires externes. Il s'agit avant tout de techniques de spectroscopie : de masse à ionisation secondaire (SIMS), par électrons Auger (AES), par photo-électrons (XPS), de rétrodiffusion Rutherford (RBS), et de techniques de microscopie électronique : à balayage (SEM ou MEB) avec détection des électrons rétrodiffusés (ECCI, pour *electron channeling contrast imaging*) et bien sûr en transmission (TEM) parfois couplée avec une analyse dispersive en énergie des rayons X (EDX) pour une observation spatialement résolue des espèces chimiques. Quelques-unes de ces techniques seront utilisées dans le cadre de notre travail.

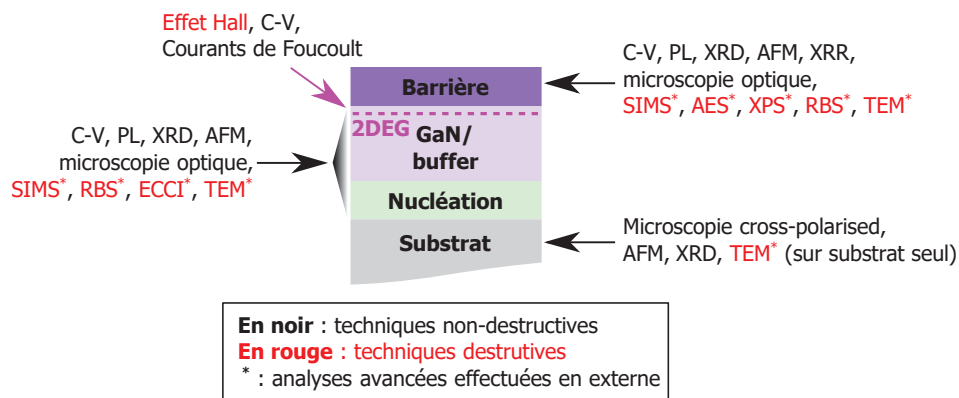


Figure I.12 – Ensemble des techniques de caractérisation d'une structure HEMT. De [2].

I.1.3.2.2. Analyse structurale

Pour l'analyse structurale, on utilise la microscopie optique en lumière blanche ou polarisée (*cross-polarised*, contraste d'interférence ou Nomarski, etc.), la profilométrie à stylet pour le rayon de courbure ex-situ, la diffraction et réflectivité des rayons X (XRD et XRR) pour la qualité cristalline et les paramètres de maille et de composition. De plus, l'interférométrie en lumière blanche et la photoluminescence (PL) permettent d'obtenir des cartographies de plaques pour l'épaisseur des couches et le spectre PL, ce dernier renseignant sur la qualité cristalline. Enfin la microscopie à force atomique (AFM) permet de connaître l'état de la surface de la structure épitaxiée : sa rugosité, le nombre de défauts de type « trous » (voir ci-après) permettant de remonter à la densité de dislocations et donc à la qualité cristalline. Au cours de notre travail, l'AFM sera également utilisée en cours de fabrication du composant et le lecteur trouvera plus de détails dans le Chapitre III afférent.

I.1.3.2.3. Propriétés électriques

Pour l'étude des HEMTs, il est capital de connaître les propriétés électriques du 2DEG présent dans la structure, et notamment la densité et la mobilité du 2DEG n_s et μ , la résistance de

couche⁶ R_{sh} et la tension de seuil V_{th} . Les 3 premières grandeurs sont reliées par la relation : $R_{sh} = 1/en_S\mu$. Seule une mesure par effet Hall, destructive car impliquant la réalisation de contacts ohmiques, permet de connaître simultanément n_S et μ . La mesure des courants de Foucault sans contact (*Eddy-current contactless*) permet d'accéder directement à R_{sh} . Les systèmes disponibles peuvent réaliser des cartographies de plaques pour R_{sh} pour l'évaluation de l'uniformité des propriétés électriques. Enfin la caractérisation capacité-tension (C-V) par sonde au mercure liquide permet de relever V_{th} et de mesurer $n_S = \int_{V_{th}}^0 C(V)dV$, et l'on peut alors remonter à μ .

I.1.3.3. Substrats

Des substrats GaN quasi-natifs sont actuellement obtenus par croissance de GaN épais sur substrat étranger suivi d'un amincissement par ablation laser ou couche sacrificielle, avec des densités de dislocation très faibles, de l'ordre de 10^6 cm^{-2} . Néanmoins la production de ces substrats de haute qualité cristalline en GaN natif reste difficile et onéreuse en dépit d'efforts considérables entrepris ces dernières années. C'est pourquoi la plupart des travaux dans le domaine de l'électronique à base de nitrures sont basés sur du GaN épitaxié sur des substrats d'autres matériaux commercialement disponibles. On parle alors d'hétéroépitaxie, par opposition à l'homoépitaxie. Les substrats les plus couramment utilisés sont le saphir $\alpha\text{-Al}_2\text{O}_3$, le silicium Si (111) et le carbure de silicium SiC (sous les polytypes 4H et 6H). Le Tableau I.5 présente les caractéristiques principales de ces différents matériaux, en comparaison avec le GaN et l'AlN.

Tableau I.5 – Propriétés physiques importantes de différents matériaux de substrats communément utilisés pour l'épitaxie du GaN. Repris de [2].

	Paramètres de maille (Å)		$\frac{a_{sub} - a_{GaN}}{a_{GaN}}$	Conductivité thermique κ_{300K} ($\text{W.cm}^{-1}.\text{K}^{-1}$)	Coefficients d'expansion thermique ($\times 10^{-6} \text{ K}^{-1}$)	
	a_0	c_0			$\Delta a/a$	$\Delta c/c$
GaN	3,189	5,185		2,3	5,59	3,17
AlN	3,112	4,982	-2,7 %	3,2	4,2	5,3
$\alpha\text{-Al}_2\text{O}_3$	4,758	12,991	+33 %	0,3-0,5	7,5	8,5
$\alpha\text{-Al}_2\text{O}_3, 30^\circ$	2,747		-16 %			
4H-SiC	3,073	10,053	-3,8 %	4,9	4,2	4,68
6H-SiC						
Si (111)	3,839	3,136	17 %	1,5	3,59	3,59

Le paramètre clé pour l'obtention d'une bonne hétéroépitaxie est le désaccord de maille dans le plan basal entre le GaN et le matériau du substrat. Plus il est petit, plus la densité de dislocations sera faible, garantissant une bonne qualité cristalline. Les caractéristiques thermiques comme la stabilité thermique, la conductivité thermique et les coefficients de dilatation thermique sont également à prendre en considération, car la température de croissance est élevée et les différences de comportement vis-à-vis de la thermique sont des sources supplémentaires de dislocations lors du refroidissement à température ambiante.

⁶ La résistance de couche R_{sh} désigne la résistance longitudinale d'un carré de matériau. Elle s'exprime en Ω/\square . La résistance d'un quelconque rectangle de matériau de longueur l et de largeur w sera alors $R = wR_{sh}/l$.

I.1.3.3.1. Substrat saphir

De par son coût relativement peu élevé et sa disponibilité à différentes tailles (jusqu'à 150 mm), le substrat saphir est très souvent utilisé pour l'épithaxie du GaN, notamment pour l'optoélectronique. Cependant, le désaccord de maille (+33 %, réduit à -16 % lorsqu'il est tourné de 30°) et les différences de coefficients de dilatation thermique sont importants, et la faible conductivité thermique fait du saphir un substrat peu recommandable pour l'électronique de puissance RF. Des structures de tests sur substrats saphir ont néanmoins été utilisées au cours de nos travaux pour le développement et la validation de procédés technologiques.

I.1.3.3.2. Substrat silicium

Le silicium a l'avantage d'être au centre d'une filière au poids économique considérable, ce qui permet aux substrats Si d'avoir un très faible coût, une qualité cristalline très élevée et une bonne reproductibilité. Il est possible de réaliser une épithaxie de GaN sur du silicium (111) qui présente une surface à symétrie hexagonale (le Si a une structure cubique), mais la qualité cristalline des couches obtenues reste inférieure à celles épithaxiées sur carbure de silicium. Des solutions ont été proposées pour réduire la densité de défauts, comme par exemple la technique ELOG⁷ (*epitaxial layer overgrowth*) [19], mais elles sont pour le moment réservées au domaine de l'optoélectronique. Des substrats Si ont été utilisés dans nos travaux pour le développement de divers procédés technologiques.

I.1.3.3.3. Substrat carbure de silicium

Le carbure de silicium est un excellent choix de matériau de substrat pour la croissance du GaN : le désaccord de maille est faible (2,7 %) et ses coefficients de dilatation thermique sont proches de ceux du GaN. De plus, sa bonne conductivité thermique le privilégie pour les applications de puissance RF. Des substrats semi-isolants existent pour l'électronique ainsi que des substrats dopés n pour l'optoélectronique. Le SiC a cependant quelques inconvénients : il est dur donc difficile à polir et à cliver, sa qualité cristalline est inférieure à celle du silicium et son coût est élevé. Malgré cela il reste aujourd'hui le meilleur substrat pour l'électronique de puissance hautes fréquences, et le SiC constitue notre choix de substrat exclusif pour nos épithaxies de structures pour HEMTs GaN.

I.1.3.4. Défauts cristallins

L'hétéroépithaxie est la source de nombreux défauts cristallins dans les couches de nitrure, à cause de la rugosité des surfaces et du désaccord de maille. Dans le cas de l'hétéroépithaxie de GaN sur SiC, la densité de dislocations atteint 10^8 – 10^9 cm⁻², là où elle n'est que de 10^2 – 10^4 cm⁻² pour l'homoépithaxie de GaAs, et pratiquement nulle pour l'homoépithaxie de silicium. Les dislocations se forment soit par continuité des dislocations de croissance relaxée à l'hétérointerface (voir Figure I.8), soit par coalescence des îlots lors de la phase initiale de croissance dite 3D. Elles se propagent à travers le matériau, et peuvent alors se manifester à la surface sous la forme de défauts tels qu'illustrés sur la Figure I.13, qui est une image AFM de la surface d'une structure AlGaIn/GaN sur SiC utilisée dans nos travaux. Ces « trous »

⁷ La technique ELOG consiste à faire croître le semiconducteur III-V par-dessus un masque de diélectrique (Si_xN_y ou de SiO₂). La croissance est alors latérale dans les ouvertures du masque, et la propagation des dislocations se cantonne dans ces fenêtres. Le matériau épithaxié au-dessus du masque présente une bonne qualité cristalline. Il en résulte une alternance de bandes de matériau à haute et à basse densité de dislocations. Des améliorations de cette technique sont possibles pour éviter les zones à haute densité de dislocations (*double ELOG* etc.).

rappellent des défauts surfaciques appelés *V-pits* en forme de pyramides inversées à la terminaison de dislocations, typiquement rencontrés sur des structures InGaN/GaN [20]. D'autres défauts sont imputables à l'hétéroépitaxie, comme les défauts d'empilement (laissant apparaître localement une structure zinc-blende) et les domaines d'inversion.

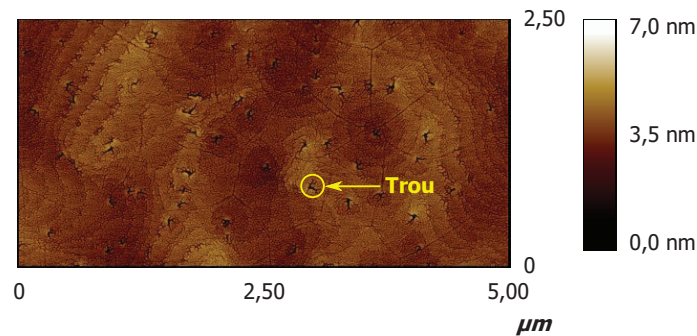


Figure I.13 – Image AFM 2,5 µm × 5 µm de la surface d'une structure HEMT AlGaIn/GaN sur SiC. Mise en évidence de trous dus à des dislocations.

La technique MOVPE est également source de défauts cristallins de type ponctuel – lacunes, défauts interstitiels ou incorporation d'atomes étrangers (impuretés) – du fait de la présence d'espèces non souhaitées dans la chambre du réacteur pendant la croissance. Par exemple, les couches InAlN épitaxiées par le réacteur Aixtron CCS présentent une concentration non négligeable de gallium, comme l'attestent des résultats de mesures SIMS et XPS.

Enfin le substrat lui-même peut être source de défauts cristallins. Ainsi les défauts dits *micropipes* – dislocations de type vis avec un cœur creux i.e. un grand vecteur de Burger – dans les substrats SiC se répercutent dans les couches épitaxiées. Récemment les fonderies SiC ont concentré leurs efforts sur la réduction de ces défauts néfastes, débouchant sur la mise sur le marché de substrats quasiment sans *micropipe*. Le polissage de la surface peut aussi porter préjudice à la qualité cristalline : un polissage purement physique produit des rayures profondes et il faut alors lui préférer un polissage chimico-physique résultant en une rugosité de surface à l'échelle d'une marche atomique.

Tous ces défauts cristallins dégradent les propriétés du matériau et se manifestent dans le fonctionnement des composants électroniques. La mobilité électronique peut ainsi chuter à cause de la densité de dislocations et d'impuretés [21]. Les dislocations ont aussi été identifiées comme étant électriquement actifs, générant des courants non désirables au travers de diodes Schottky [22]. Les défauts surfaciques décrits auparavant peuvent fortement nuire à la tenue en tension des composants électroniques [23]. Les défauts ponctuels sont assimilables à des pièges électroniques que l'on décrira ultérieurement, et sont responsables de phénomènes non souhaitables comme des courants de fuite. Toutefois il a été remarqué, pour les composants optoélectroniques GaN, que leurs performances semblent singulièrement peu affectées par les dislocations. En effet, les LED fonctionnelles sont fabriquées sur des épitaxies de GaN sur Si présentent pourtant des densités de dislocations jusqu'à 10^{11} cm^{-2} , ce qui est bien supérieur à ce qui peut être toléré dans le cas d'autres semiconducteurs III-V ou II-VI [24].

I.2. HEMTs GaN

Cette partie traite du composant électronique au cœur de notre travail, le transistor à haute mobilité électronique, ou HEMT (*high electron mobility transistor*). Il est également connu sous d'autres acronymes dans la littérature : HFET (*heterojunction field effect transistor*), et historiquement MODFET (*modulation-doped FET*) et TEGFET (*two-dimensional electron gas FET*).

I.2.1. Généralités

I.2.1.1. Historique des HEMTs

I.2.1.1.1. Genèse

Les premiers HEMTs furent fabriqués en 1980 de manière quasi-simultanée par l'équipe de Mimura (Fujitsu) au Japon [25], et celle de Delagebeaudeuf et Nuyen (Thomson CSF, futur Thales) en France [26], à la suite de l'observation de 2DEG à haute mobilité dans des super-réseaux n-AlGaAs/GaAs par Dingle et al. (Bell Laboratories) en 1978 [27]. Cette invention eut lieu dans un contexte de développement considérable de la MBE pour la croissance d'hétérostructures avec ingénierie de bande, qui avait auparavant donné naissance au laser à hétérojonction, au transistor bipolaire à hétérojonction (HBT) et autres composants électroniques et optoélectroniques pour les applications de communication.

I.2.1.1.2. HEMT GaAs

Les HEMTs furent d'abord réalisés avec l'hétérostructure AlGaAs/GaAs, et connurent un développement rapide avec la perspective d'applications en électronique numérique à haute fréquence, mais ne purent rivaliser avec la technologie Si CMOS en termes de densité d'intégration, de faible consommation d'énergie et d'économies d'échelle. Après une première démonstration au sein de LNAs (*low noise amplifier*) pour la radioastronomie, leur supériorité en matière de bruit et de gain haute fréquence par rapport à la technologie MESFET (*metal semiconductor FET*) GaAs fut reconnue et les HEMTs remplacèrent ces dernières dans divers domaines RF : télécommunications terrestres et spatiales (LNAs pour la chaîne de réception), radars militaires etc. La filière HEMT GaAs connut ensuite diverses innovations technologiques comme le pHEMT (*pseudomorphic HEMT*), permettant une meilleure mobilité des électrons grâce à un canal InGaAs ultrafin et pseudomorphique, et le dopage delta de la barrière AlGaAs contribuant à la réduction d'échelle de ces transistors et à leur tenue en tension. Les circuits à base de HEMTs GaAs sont maintenant commercialement distribués, avec un marché mondial estimé à 1,3 milliards de dollars en 2011 [28].

I.2.1.1.3. HEMT GaN

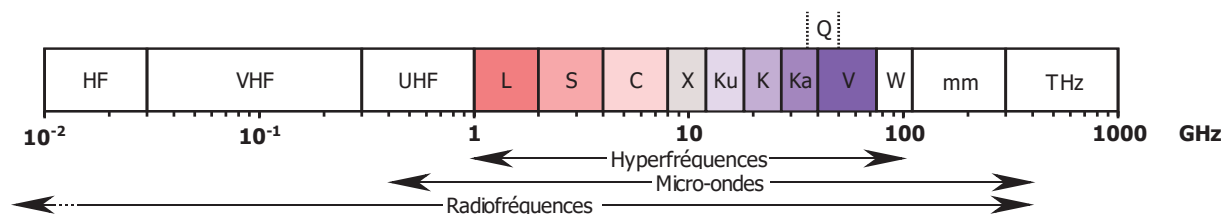
Les HEMTs et la haute mobilité électronique de 2DEG ont depuis été démontrés sur d'autres systèmes de semiconducteurs, comme InAlAs/InGaAs et AlSb/InAs sur substrat InP ou GaAs (nommés alors mHEMT pour *metamorphic HEMT*), SiGe/Si, et enfin les nitrures : AlGaIn/GaN, InAlN/GaN, GaInAlN/GaN ou encore AlN/GaN. La filière HEMT GaN est particulièrement intéressante car la meilleure tenue en tension du GaN par rapport au GaAs permet de réaliser des HEMTs pour des applications de forte puissance et haute fréquence. Le premier HEMT AlGaIn/GaN fut rapporté par Khan et son équipe (APA Optics) en 1993 [29] et arrivèrent rapidement à maturité pour être aujourd'hui largement commercialisés. L'utilisation d'une barrière InAlN fut proposée par Kuzmik en 2001 [30], et le premier HEMT InAlN/GaN date de 2004 [31]. Rappelons ici les 2 principaux avantages de la barrière InAlN par rapport à la

barrière AlGaIn : le possible accord de maille entre barrière et canal GaN, ainsi qu'une polarisation totale plus élevée engendrant un 2DEG plus dense. Le HEMT GaInAlN/GaN est une variante de cette dernière. Khan proposa cette hétérostructure pour les HEMTs en 2000 [32], et la première réalisation remonte à 2005 [33]. Le choix du quaternaire GaInAlN apporte un degré de liberté supplémentaire pour ajuster l'accord de maille et le diagramme de bande. Enfin le HEMT AlN/GaN est la version la plus récente des HEMTs GaN. La structure AlN/GaN permet en théorie d'atteindre de très fortes densités et mobilités électroniques de 2DEG [34], mais se révèle difficile à croître en raison de l'important désaccord de maille entre l'AlN et le GaN. La plupart des structures AlN/GaN sont d'ailleurs recouvertes d'une couche de nitrure de silicium déposée *in-situ* dans le réacteur MOCVD. Depuis les années 2000, quelques équipes développent des HEMTs AlN/GaN, notamment pour des applications de très hautes fréquences [35]–[37].

I.2.1.2. Marché du HEMT GaN

Les HEMTs GaN trouvent leur utilité dans une large gamme d'applications de fortes puissances et hautes fréquences⁸. Dans le domaine de l'hyperfréquence, ils sont utilisés dans les HPAs (*high-power amplifier*) et les LNAs (*low-noise amplifier*). Récemment, la R&D des HEMTs GaN s'est également tournée vers le secteur de l'électronique de puissance : SMPS (*switch-mode power supply*), drivers, etc. Les HEMTs GaN se situent donc dans le créneau des MOSFETs Si (LDMOS) et SiGe (BiCMOS), des HBTs SiGe, GaAs et InP, des HEMTs GaAs et InP et des MESFETs SiC. La Figure I.14 compare quelques-unes de ces technologies selon les axes puissance et fréquence de fonctionnement, et nous pouvons constater le bon compromis qu'offre le HEMT GaN. Notons par ailleurs qu'il existe au sein de chaque technologie un compromis général entre puissance et fréquence : pour atteindre de hautes fréquences il faut miniaturiser les composants, entraînant par là une baisse de la tension de claquage et donc *in fine* une baisse de la puissance maximale délivrable.

⁸ À ce propos il convient de faire un point sur la nomenclature relative à l'électronique haute fréquence. Le terme « radiofréquence » (RF) couvre les ondes radio basse fréquence (3 kHz – 0,3 GHz) et les « microondes », également appelés « hyperfréquences » (0,3 GHz – 300 GHz). Les ondes plus courtes sont ensuite les ondes térahertz (THz) puis le lointain infrarouge (FIR). Le spectre hyperfréquence est découpé en bandes de fréquences. Nous utiliserons par la suite la terminologie de l'IEEE présentée dans la figure ci-dessous. Dans la pratique les termes RF, hyperfréquence et microonde seront utilisés de façon synonyme.



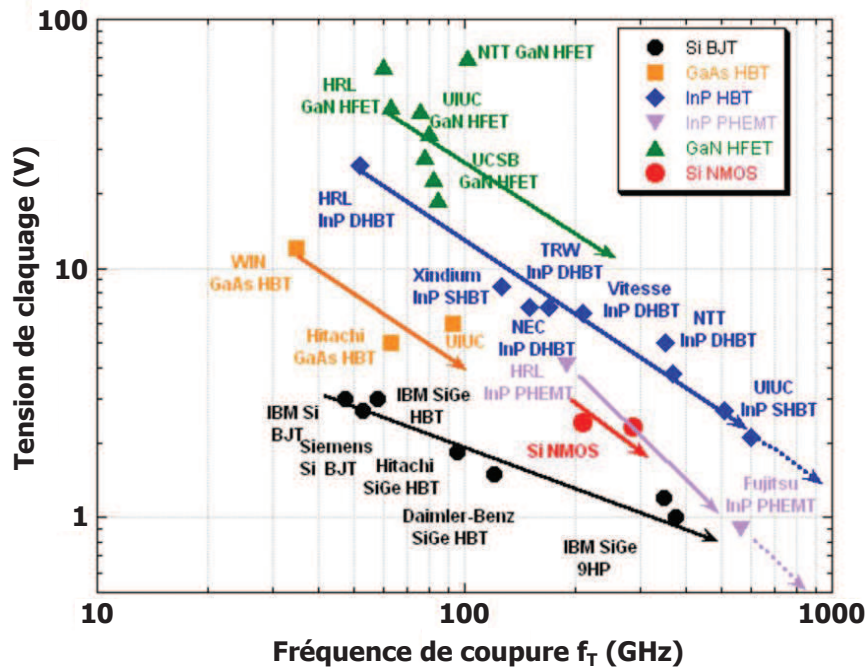


Figure I.14 – Comparaison de différentes technologies selon les axes puissance (tension de claquage V_b) et fréquence de fonctionnement (fréquence de coupure f_T). La technologie HEMT GaN est représentée en vert sous la dénomination « GaN HFET ». Adapté de [38].

Le HEMT GaN est une technologie arrivée récemment à maturité, qui s'apprête à pénétrer de nombreux marchés, avec d'ores et déjà de nombreuses implémentations. À l'heure actuelle, le plus gros marché potentiel pour les HEMTs GaN concerne les stations de base destinées aux télécommunications (téléphonie mobile, télévision, réseau sans fil) où ils sont amenés à supplanter les composants Si RF pour les nouvelles normes (5G) [39]. Le marché des communications spatiales (*satcom*) peut également bénéficier des HEMTs GaN pour remplacer les technologies tubes à vide (TWT, klystron) et HEMT GaAs. L'ESA a prouvé la maturité de ces composants avec la démonstration d'un premier système de télémétrie utilisant des SSPAs (*solid-state power amplifier*) GaN européens en bande X [40]. Dans le domaine automobile, le HEMT GaN a un fort potentiel non seulement dans la chaîne de distribution d'énergie (convertisseurs DC-DC) pour les véhicules électriques, mais également pour la détection d'obstacles (LiDAR) pour les véhicules autonomes [41]. Enfin les HEMTs GaN suscitent un grand intérêt pour les applications militaires, pour les radars et autres dispositifs de guerre électronique (contre-mesures, renseignement électronique, liaison satellite etc.), où ils présentent un avantage considérable par rapport à la technologie HEMT GaAs en termes de puissance de sortie et de densité de puissance. La compacité des HPAs GaN peut être exploitée pour réaliser des architectures performantes comme les radars à antenne active (*AESA pour active electronically scanned array*) [42], où chaque élément d'un réseau d'antennes dispose de sa propre source d'alimentation à phase synchronisée, ce qui permet une directivité élevée et la possibilité de suivre plusieurs cibles simultanément. Actuellement la priorité est donnée à la montée en fréquence, en bande Ka et au-delà en bande millimétrique, tout en gardant une adaptabilité large bande. Le but est d'augmenter la précision et la résolution des radars et de réduire la taille des antennes.

I.2.1.3. HEMTs au III-V Lab

I.2.1.3.1. Applications

L'équipe microélectronique GaN du III-V Lab est spécialisée dans la R&D de HEMTs GaN pour les applications de défense et de télécommunications (*satcom*). Elle agit en étroite collaboration avec Thales et UMS, fonderie GaAs et GaN, leader européen. L'axe directeur de la R&D est la montée en fréquence, et pour cela le laboratoire travaille sur 2 filières technologiques : les HEMTs AlGaN/GaN (filière AlGaN) et InAlN/GaN (filière InAlN). Le III-V Lab est également coordinateur et acteur de plusieurs projets français et européens dont l'un des enjeux principaux est de créer et garantir une filière GaN exclusivement européenne pour s'affranchir de dépendances technologiques dans le secteur de la défense. Au cours des dernières années le laboratoire a su constamment améliorer ses résultats et est parvenu à s'imposer comme une référence en ce qui concerne les HEMTs GaN hyperfréquences.

Les Figure I.15 et Figure I.16 présentent des résultats de caractérisation de puissance (*Load-pull*, voir partie I.2.3.2) à 30 GHz CW obtenus sur des composants des filières AlGaN et InAlN. Notons que les épitaxies utilisées sont quasi identiques à celles qui ont servi de base à nos travaux. Nous relevons sur la Figure I.15 une puissance de sortie de 3,5 W/mm associée au maximum de PAE (39 %) pour le HEMT AlGaN/GaN. Le composant InAlN/GaN délivre quant à lui 5 W/mm au maximum de PAE (39 %) et possède donc un gain en puissance supérieur, confirmant les avantages de la filière InAlN. Le lecteur pourra se référer à la publication [43].

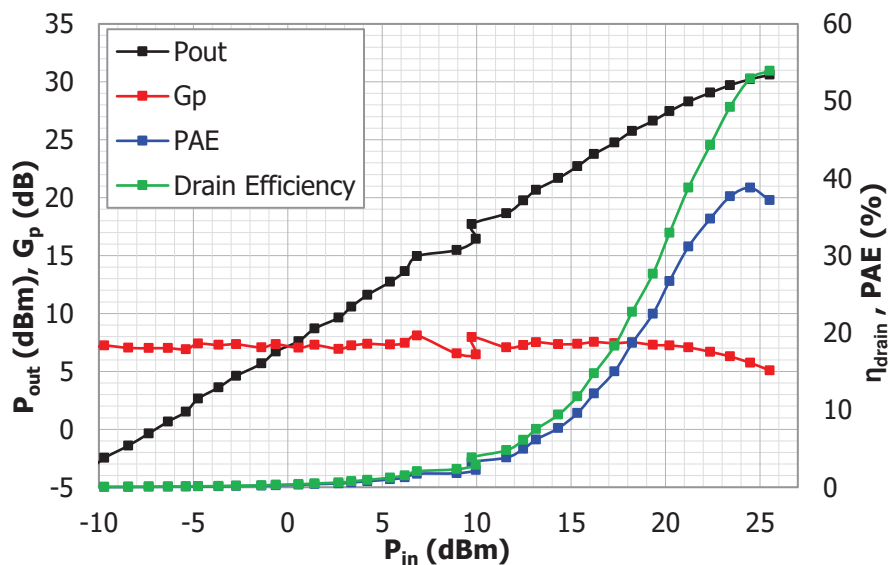


Figure I.15 – Résultats *load-pull* pour un HEMT AlGaN/GaN 6x50 µm mesuré à 30 GHz CW. Les conditions sont : $V_{DSQ} = 20$ V, $I_{DSQ} = 75$ mA/mm.

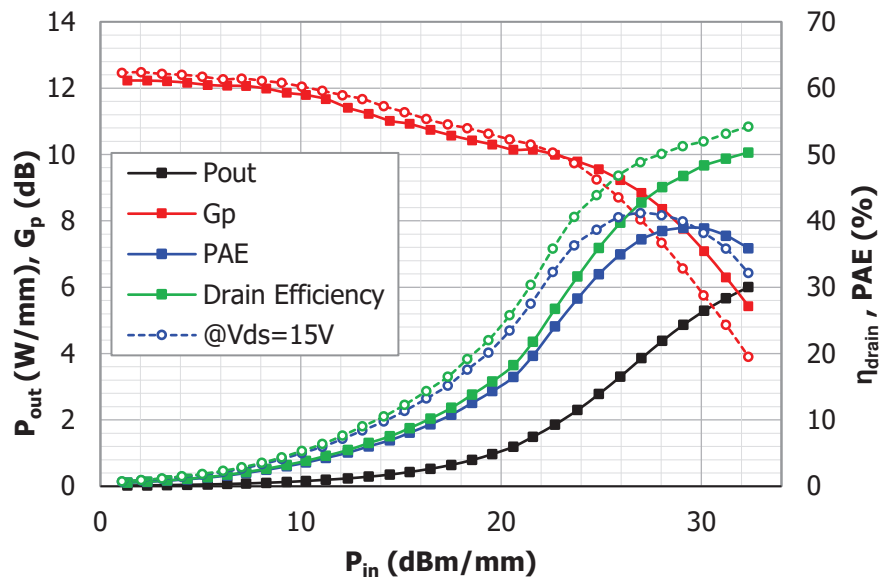


Figure I.16 – Résultats *load-pull* pour un HEMT (Ga)InAlN/GaN $2 \times 50 \mu\text{m}$ mesuré à 30 GHz CW. Les conditions sont : $V_{DSQ} = 15/20 \text{ V}$, $I_{DSQ} = 200 \text{ mA/mm}$.

I.2.1.3.2. Cycle de développement des HEMTs

Au sein du III-V Lab, la recherche et développement des HEMTs est organisée comme suit.

1. Le **cahier des charges** est produit au sein d'un projet réunissant universitaires, partenaires industriels et potentiels clients.
2. Des **simulations physiques** *ab initio* des structures HEMT sont réalisées à l'aide d'outils numériques de TCAO comme ATLAS de Silvaco [44] ou Sentaurus de Synopsys [45]. Ces logiciels résolvent les équations de base du transistor (Poisson, Schrödinger, dérive-diffusion, continuité) grâce à des méthodes de résolution par éléments finis sur un maillage 3D. La partie I.2.2 présente un calcul analytique allégé en 1D pour comprendre le principe de fonctionnement d'un HEMT.
3. L'**épitaxie** des structures validées est ensuite réalisée, et la qualité cristalline des matériaux est évaluée à l'aide de plusieurs techniques telle qu'elle a été mentionnée en partie I.1.3.
4. La **fabrication** (technologie) des composants suit plusieurs étapes successives réalisées en salle blanche. Ce sera le sujet du Chapitre III.
5. La **caractérisation électrique** des composants sur plaque (*on-wafer*) est faite. Outre les mesures systématiques en régime DC et petit-signal (parties I.2.2.4 et I.2.3.1) donnant lieu à des cartographies de plaque, on effectue également des mesures en régime impulsionnel (partie I.3.2) pour évaluer l'impact des pièges. Sur les transistors valides ayant passé certains critères de tri, on poursuit la caractérisation notamment avec des mesures *Load-pull* (partie I.2.3.2). Les transistors performants peuvent être découpés à la scie diamant puis mis en boîtier pour permettre des mesures en conditions réelles de fonctionnement.
6. La **fiabilité** consiste ensuite à évaluer la durée de vie et à identifier les mécanismes de dégradation des composants. Nous en discuterons en partie I.3.3.

7. La **modélisation** des composants s'attache à faire concorder des modèles électriques donnés avec les mesures précédentes. Les modèles peuvent avoir un caractère plus ou moins physique ou comportemental (mathématique et abstrait). Ils sont implémentés à l'aide de logiciels d'EDA comme *Advance Design System* de Keysight ou Cadence. Il en sera question en partie I.2.3.3 et au Chapitre IV.

8. La **conception** de circuits amplificateurs MMIC est réalisée à partir des modèles de composants susnommés, d'abord en éléments discrets. La géométrie du circuit est ensuite optimisée pour prendre en compte les aspects électromagnétiques RF des éléments passifs. Elle aboutit à la production des dessins de masque (*layout*) utilisés en technologie.

Notons que ce découpage n'est pas figé et que la R&D ne suit pas obligatoirement cet ordre.

I.2.2. Principe de fonctionnement

I.2.2.1. Généralités

Les HEMTs sont des transistors horizontaux à effet de champ mettant à profit les propriétés de haute mobilité électronique d'un 2DEG à l'hétérojonction entre 2 couches de semiconducteurs de *gaps* différents appelées barrière (*grand-gap*) et canal (*petit-gap*). Ils sont très similaires aux MESFETs dont ils ne se différencient que par l'hétérojonction. La Figure I.17 présente une vue en coupe du composant. Il se compose classiquement de 2 électrodes de contacts ohmiques (la source et le drain) et d'une électrode de contact Schottky (la grille)⁹. Les principaux paramètres géométriques de ces transistors sont la longueur grille-source L_{GS} , la longueur grille-drain L_{GD} , la longueur de grille L_G , l'espace source-drain $L_{SD} = L_{GS} + L_G + L_{GD}$ et le développement (ou largeur) total(e) de grille W_G en comptant les éventuels multiples doigts : $W_G = n_{doigts} \times W_{doigt}$. Nous définissons par ailleurs l'axe z parallèle à l'axe c de croissance des matériaux épitaxiés mais de direction opposée, l'axe y longitudinal (source-drain) et l'axe x transversal. L'origine des z est prise au niveau de l'hétérojonction.

⁹ Un contact métal-semiconducteur peut être soit ohmique soit redresseur (Schottky). Entre un métal et un semiconducteur de type n de travaux de sortie $e\Phi_m$ et $e\Phi_s$ respectivement, le contact est redresseur si $\Phi_m > \Phi_s$ et ohmique si $\Phi_m < \Phi_s$. Un contact ohmique est caractérisé par une résistance R_C . Un contact Schottky est caractérisé par une barrière de potentiel $e\Phi_b$ à l'interface : $e\Phi_b = e\Phi_m - e\chi$, où $e\chi$ est l'affinité électronique du semiconducteur.

Une grande densité d'états d'interface est à l'origine d'un phénomène appelé ancrage du niveau de Fermi. L'échange de porteurs se fait alors entre le métal et les états d'interface, et la barrière ne dépend plus de la nature du métal : $e\Phi_b = E_g - e\Phi_0$, où Φ_0 est la distance du niveau de Fermi au sommet de la BV, en surface, avant la mise en équilibre, et traduit la population initiale des états d'interface/surface. Dans la pratique, pour réaliser un contact ohmique sur un semiconducteur de type n, on dépose le métal sur une région surdopée n++. C'est le principe de la recroissance de caissons n++ pour les contacts ohmiques des HEMTs performants.

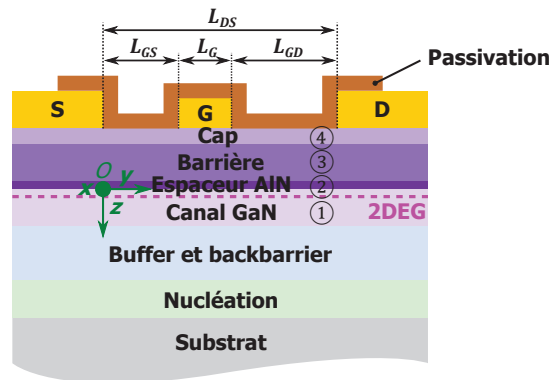


Figure I.17 – Schéma en coupe d'un HEMT GaN révélant sa structure épitaxiale.

Les HEMTs GaN développés au III-V Lab reposent sur les hétérostructures AlGaIn/GaN et InAlN/GaN vues auparavant. Pour nos applications, la structure complète est optimisée pour un fonctionnement hyperfréquence et comporte ainsi quelques couches de matériaux supplémentaires.

I.2.2.2. Structure épitaxiale d'un HEMT GaN hyperfréquence

I.2.2.2.1. Substrat

Comme nous l'avons vu dans la partie précédente, nous choisissons pour nos épitaxies un substrat SiC en raison de ses propriétés supérieures aux autres types de substrat.

I.2.2.2.2. Couches de nucléation

La croissance du GaN directement sur SiC conduit à une croissance en îlots, très rugueuse, due à un mauvais mouillage. Les couches de nucléation permettent de faire la transition entre le substrat et le GaN tout en limitant la courbure de la plaque finale par gestion des contraintes. Il s'agit en général d'une couche d'AlN qui peut être suivie de super-réseaux AlGaIn/GaN.

I.2.2.2.3. Tampon GaN (et *backbarrier*) (couche 1)

Située au-dessus de la couche de nucléation et en-dessous du canal GaN, la couche tampon (ou *buffer*) GaN doit être : ① suffisamment épaisse (> 500 nm) pour être totalement relaxée avec une faible densité de dislocations, faisant office de GaN « massif », et ② électriquement isolante pour limiter la conduction parasite lors du fonctionnement du composant. Cette dernière propriété peut être obtenue par compensation du dopage n résiduel du GaN par des dopants accepteurs profonds, comme le carbone ou le fer, et/ou par l'utilisation d'une couche dite de *backbarrier*, typiquement en AlGaIn ou InGaIn, permettant un double confinement du 2DEG dans le canal.

I.2.2.2.4. Canal GaN (couche 1)

Il s'agit de la couche petit-*gap* qui accueille le 2DEG. Il doit donc être fondamentalement non-dopé et avoir une excellente qualité cristalline. Il est parfois confondu avec le *buffer* GaN, et le canal désigne alors les quelques dizaines de nanomètres supérieures de matériau de *buffer* non dopé.

I.2.2.2.5. Espaceur AlN (couche 2)

L'espaceur AlN entre le canal GaN et la barrière permet de mieux confiner le 2DEG – grâce à une différence de *gap* ΔE_C entre l'AlN et le GaN élevée – et de créer une barrière de potentiel

supplémentaire pour séparer des donneurs ionisés du 2DEG. La mobilité des porteurs dans le 2DEG en est améliorée. Son épaisseur est habituellement comprise entre 1 nm et 2 nm.

I.2.2.2.6. Barrière (couche 3)

Comme nous l'avons vu précédemment, la barrière est la couche grand-*gap* AlGaIn ou InAlN (ou parfois AlN) qui est à l'origine du puit de potentiel à l'hétérojonction.

I.2.2.2.7. *Cap-layer* (couche 4)

Cette dernière couche de nitrure revêt un double rôle physique et électrique. D'une part il permet de stabiliser la surface de la barrière et de la protéger contre une éventuelle oxydation. La morphologie de la surface des épitaxies peut par ailleurs en être radicalement améliorée. Des images AFM attestent d'une disparition de craquelures pour des structures à barrière AlN avec *cap-layer* GaN, certainement grâce à une meilleure gestion des contraintes des 2 côtés de la barrière. D'autre part la *cap-layer* met à profit les effets de polarisation afin de rehausser la hauteur de barrière Schottky de $e\Phi_b$ à $e\Phi_{b,eff}$, et permet ainsi une réduction des courants de fuite de grille. Une augmentation de l'épaisseur du *cap-layer* aura l'avantage de réduire les courants de fuite, mais en contrepartie d'une diminution de la densité du 2DEG. Par ce compromis, la couche de *cap-layer* fait généralement entre 1 nm et 2 nm. La fonction de stabilisation et protection de la barrière peut être autrement assurée par l'emploi d'une couche de passivation SiN ou SiO₂ déposée *in-situ* pendant la croissance épitaxiale ou lors de la technologie du composant, ce sur quoi nous reviendrons ultérieurement.

I.2.2.3. Étude de la structure HEMT GaN

Dans cette partie nous analysons la structure HEMT GaN, et exposons les équations fondamentales du fonctionnement du HEMT GaN. Pour cela, nous allons développer un modèle 1D en nous plaçant sous l'électrode grille (transistor intrinsèque), le long de l'axe z , en ne considérant aucune dépendance selon les axes x et y . Nous nous limitons aux couches numérotées 1 (*canal/buffer*) à 4 (*cap-layer*). À une couche i , nous assignons une épaisseur t_i et une constante diélectrique ϵ_i . Par ailleurs l'électrode de grille est polarisée à V_G par rapport au reste de la structure.

I.2.2.3.1. Effets de polarisation et charges

Comme nous l'avons vu au paragraphe I.A.2, les polarisations des différentes couches de nitrures induisent des charges surfaciques $\sigma_{2/1}$, $\sigma_{3/2}$, $\sigma_{4/3}$ et σ_4 aux interfaces, donnant naissance à un 2DEG de densité surfacique n_s et de densité volumique de charge ρ_{2DEG} ¹⁰ à l'hétérojonction canal/barrière. La Figure I.18 présente la répartition de ces charges dans la structure HEMT GaN. Nous faisons l'hypothèse que les couches ne contiennent pas de dopants et que les seules charges en présence sont celles que l'on a représentées. Nous faisons donc abstraction des porteurs libres en dehors du 2DEG, ce qui est valable tant que les bandes de conduction et de valence sont éloignées du niveau de Fermi, c'est-à-dire en régime de fonctionnement « normal » du transistor.

¹⁰ Un 2DEG parfait n'aurait pas d'extension selon l'axe z et se caractériserait uniquement par une densité surfacique d'électrons n_s ou une densité surfacique de charge σ_s . En réalité la distribution de charge a bien une extension latérale $\rho_{2DEG}(z)$. La relation liant les 2 notions est la suivante :

$$-en_s = \sigma_s = \int_{2DEG} \rho_{2DEG}(z) dz.$$

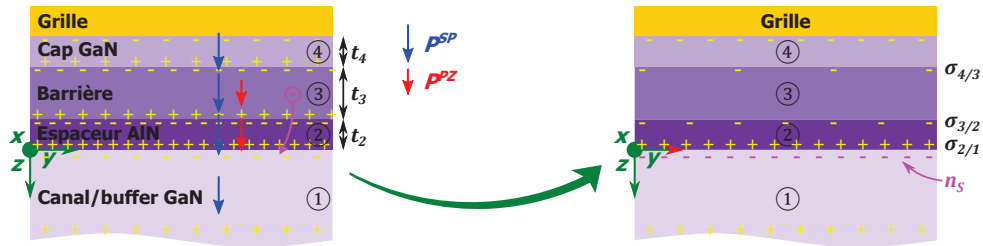


Figure I.18 – Polarisation et charges aux interfaces au sein d'une structure HEMT. Si la barrière est composée d' $\text{In}_{0,18}\text{Al}_{0,82}\text{N}$ alors la couche 3 n'est pas contrainte et ne possède pas de polarisation piézoélectrique.

I.2.2.3.2. Champ électrique et potentiel électrostatique

La distribution des charges étant à présent connue, la résolution de l'équation de Poisson permet d'établir le potentiel électrostatique φ à travers la structure. En prenant en compte des polarisations spontanée et piézoélectrique \mathbf{P}^{TOT} d'une part et de la polarisabilité du matériau diélectrique $\mathbf{P}^{DI}(\mathbf{E})$ d'autre part, le champ de déplacement électrique \mathbf{D} s'exprime :

$$\mathbf{D} = \varepsilon_0 \mathbf{E} + \mathbf{P}^{DI}(\mathbf{E}) + \mathbf{P}^{TOT} = \varepsilon_0 \mathbf{E} + \varepsilon_0 \chi \mathbf{E} + \mathbf{P}^{TOT} = \varepsilon \mathbf{E} + \mathbf{P}^{TOT} \quad (I.18)$$

avec $\varepsilon = \varepsilon_0(1 + \chi) = \varepsilon_0 \varepsilon_r$, ε la constante diélectrique du matériau, ε_0 la permittivité du vide, χ la polarisabilité du matériau et ε_r la permittivité relative du matériau. La loi de Gauss s'écrit : $\nabla \cdot \mathbf{D} = \rho_f$, où ρ_f est la densité volumique de charges libres (*free*), c'est-à-dire les porteurs libres et les dopants ionisés associés (qui ne sont pas *stricto sensu* libres). Dans notre cas on ne considère que les électrons du 2DEG : $\rho_f = \rho_{2DEG}$. En introduisant le potentiel électrostatique φ , défini par : $\mathbf{E} = -\nabla\varphi$, on obtient finalement l'équation de Poisson :

$$\boxed{\varepsilon \nabla^2 \varphi = -\rho_{2DEG} + \nabla \cdot \mathbf{P}^{TOT}} \quad (I.19)$$

Le terme $\nabla \cdot \mathbf{P}^{TOT}$ correspond aux charges induites par polarisation. À l'interface entre 2 matériaux différents, il y a discontinuité de \mathbf{P}^{TOT} , et $\nabla \cdot \mathbf{P}^{TOT}$ désigne alors la distribution de Dirac (i.e. distribution surfacique) multipliée par la différence de polarisation. Nous retrouvons bien les effets de polarisation décrits auparavant en termes de charges liées σ_b .

I.2.2.3.3. Diagramme de bandes

Le diagramme de bandes ou d'énergie (E_C et E_V) à travers la structure s'obtient en additionnant l'énergie électrostatique ($-e\varphi$) et les offsets de bandes de conduction et de valence (ΔE_C et ΔE_V). Les 2 conditions aux limites sont ① le niveau de Fermi du métal $E_{F,m} = E_{F,sc} - eV_G$ et la barrière Schottky Φ_b entre le métal et le GaN du *cap-layer* (condition de Dirichlet) et ② le champ électrique nul au voisinage du *buffer* semi-isolant (condition de Neumann). La bande de conduction « plonge » de ΔE_{C-F} sous le niveau de Fermi E_F à l'hétérojonction par discontinuité de bande, donnant naissance au 2DEG. Ce dernier influence en retour le diagramme de bandes via le potentiel électrostatique.

Pour obtenir les caractéristiques du 2DEG n_S et ρ_{2DEG} et tracer rigoureusement le diagramme de bandes, il est possible de coupler l'équation de Poisson (I.19) avec une statistique de Boltzmann reliant ρ_{2DEG} à la position de la bande de conduction par rapport au niveau de Fermi. On utilise alors un algorithme itératif de recherche de point fixe partant d'une hypothèse initiale pour converger vers une solution numérique. Il s'agit de la méthode dite de Poisson, décrite sur la Figure I.19 (a). Néanmoins il est plus judicieux de prendre en compte les effets

quantiques de confinement dans le puit de potentiel pour lier la densité ρ_{2DEG} au niveau de Fermi [46]. C'est cette méthode, dite de Schrödinger-Poisson, que nous allons maintenant décrire.

Dans un premier temps, on établit une expression de n_S en fonction de V_G et de ΔE_{C-F} en invoquant entre autres la loi de Gauss dans le canal :

$$n_S(V_G, \Delta E_{C-F}) = \frac{1}{eD_2} \left(V_G - V_{th} - \frac{\Delta E_{C-F}}{e} \right) \quad (1.20)$$

$$\text{où } V_{th} = \frac{1}{e} \Phi_b - \frac{1}{e} (\Delta E_{C_{1,2}} + \Delta E_{C_{2,3}} + \Delta E_{C_{3,4}}) - (\sigma_{2/1} D_2 + \sigma_{3/2} D_3 + \sigma_{4/3} D_4) \quad (1.21)$$

$$\text{avec } \Delta E_{C_{ij}} = E_{C_j} - E_{C_i}, D_2 = \frac{t_2}{\varepsilon_2} + \frac{t_3}{\varepsilon_3} + \frac{t_4}{\varepsilon_4}, D_3 = \frac{t_3}{\varepsilon_3} + \frac{t_4}{\varepsilon_4}, \text{ et } D_4 = \frac{t_4}{\varepsilon_4}.$$

V_{th} est la tension de seuil du transistor (*threshold voltage*). Il s'agit de la tension à appliquer sur la grille pour obtenir un diagramme de bandes plates, pour lequel il n'y a plus de 2DEG, le champ électrique étant alors nul dans le canal. Le lecteur pourra se référer à la thèse de Vellas [47] pour les détails sur l'établissement de cette expression, en s'aidant éventuellement des résultats obtenus *a posteriori* en Figure I.21.

I.2.2.3.4. Confinement du puit de potentiel

I.2.2.3.4.1. Équation de Schrödinger

En appliquant l'équation de De Broglie, la largeur associée aux électrons du canal est : $\lambda_{\text{électrons}} = h/p = h/\sqrt{2m^*(E - E_C)}$ dont la valeur numérique est de l'ordre de la dizaine d'ångströms, c'est-à-dire de l'ordre de la largeur du puit de potentiel. Les électrons ont donc un comportement quantique, ils sont représentés par une fonction d'onde $\psi(r)$ et leurs niveaux d'énergie sont quantifiés. La résolution de l'équation de Schrödinger va permettre de trouver ces niveaux d'énergie (valeurs propres) ainsi que la densité spatiale des électrons (module au carré des vecteurs propres). Dans l'approximation de la masse effective, l'équation de Schrödinger pour les électrons s'écrit ainsi :

$$\hat{H}\psi = -\frac{\hbar^2}{2m^*} \nabla^2 \psi(r) + V(r)\psi(r) = E\psi(r) \quad (1.22)$$

où $V(r) = E_C(r)/e$ est le niveau d'énergie du bas de la bande de conduction. Dans l'hypothèse d'un confinement uniquement selon l'axe z , on peut poser : $\psi(r) = \xi(z) \exp(j(k_x x + k_y y))$, l'énergie cinétique se décompose : $E = E_z + (\hbar^2/2m^*) (k_x^2 + k_y^2)$, et l'équation de Schrödinger se réécrit :

$$-\frac{\hbar^2}{2m^*} \frac{d^2 \xi(z)}{dz^2} + \frac{E_C(z)}{e} \xi(z) = E_z \xi(z) \quad (1.23)$$

Pour établir n_S , ρ_{2DEG} et le diagramme de bandes en prenant en compte les effets quantiques, on peut utiliser un algorithme de résolution auto-cohérente des équations de Poisson (1.19) et de Schrödinger (1.23) dont le principe est illustré sur la Figure I.19 (b). C'est la base des logiciels de calcul de structure de bandes comme *1D Poisson* [48], *nextnano* [49] ou *BandEng* [50]. Dans le cas général, l'ensemble des porteurs de densité ρ_f est pris en compte. En pratique il est courant de définir une zone de confinement quantique où la résolution de l'équation de Schrödinger est justifiée, pour réduire les temps de calcul. Pour la suite nous

choisissons d'utiliser une hypothèse simplificatrice supplémentaire pour alléger la résolution de l'équation de Schrödinger et établir une relation analytique entre n_s et V_G .

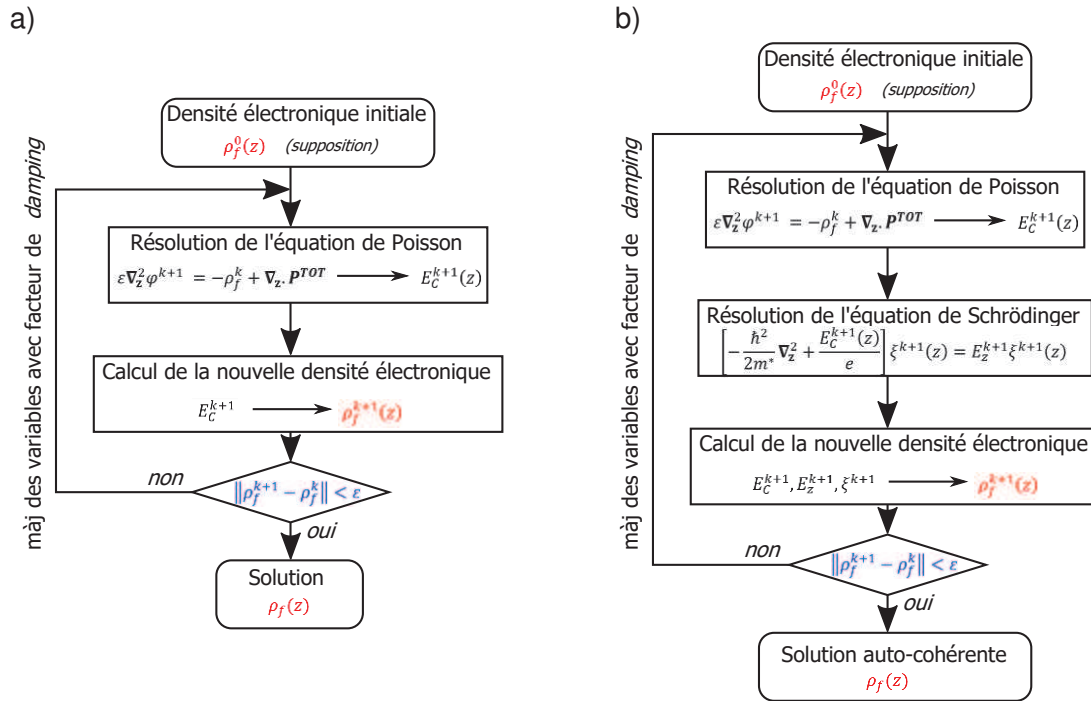


Figure I.19 – Schéma algorithmique utilisé dans (a) la méthode de Poisson et (b) la méthode de Schrödinger-Poisson. Nous reproduisons ici la procédure pour les électrons, mais celle pour les trous est similaire. Adapté de [51], [52].

I.2.2.3.4.2. Hypothèse du puit triangulaire

On peut simplifier la résolution en considérant un puit de potentiel triangulaire à l'interface canal/barrière : $V(z > 0) = eE_{eff}z$ (¹¹) où $E_{eff} = en_s/\epsilon_1$ est la valeur du champ électrique à l'interface. La barrière de potentiel est infinie en $z = 0$. L'équation de Schrödinger se réduit alors à :

$$\frac{d^2\xi(u)}{dz^2} - u\xi(u) = 0 \quad (1.24)$$

en effectuant le changement de variables $u = (2m^*eE_{eff}/\hbar^2)^{1/3}(z - E_z/eE_{eff})$. Les solutions mathématiques sont les combinaisons linéaires de fonctions d'Airy $Ai(u)$ et $Bi(u)$. Les fonctions $Bi(u)$ sont à proscrire car divergentes. L'une des conditions aux limites est $\xi(z = 0) = 0$ car il n'y a pas de pénétration de la fonction d'onde dans la barrière de potentiel infinie. Par ailleurs les zéros de la fonction $Ai(u)$ sont approchés par $u_i = -((3\pi/2)(i + 3/4))^{2/3}$ [53]. L'identification de $u(z = 0)$ et des u_i permet de conclure que l'énergie E_z est quantifiée selon les valeurs E_i suivantes :

$$E_i = \left(\frac{\hbar^2}{2m^*}\right)^{1/3} \left(\frac{3\pi e E_{eff}}{2} \left(i + \frac{3}{4}\right)\right)^{2/3} \quad (1.25)$$

¹¹ La référence des énergies est prise au bas de la bande de conduction à l'hétérojonction.

$$E_i = \gamma_i n_s^{2/3}, \text{ avec } \gamma_i = \left(\frac{\hbar^2}{2m^*} \right)^{1/3} \left(\frac{3\pi e^2}{2\epsilon_1} \left(i + \frac{3}{4} \right) \right)^{2/3} \quad (1.26)$$

L'énergie cinétique totale des électrons s'organise donc en sous-bandes i d'énergie minimale E_i . Les fonctions d'onde propres sont données par :

$$\xi_i(z) = C \cdot Ai \left(\left(\frac{2m^* e E_{eff}}{\hbar^2} \right)^{1/3} \left(z - \frac{E_i}{e E_{eff}} \right) \right) \quad (1.27)$$

où C est une constante de normalisation.

I.2.2.3.4.3. Densité d'électrons

La population de la sous-bande i est donnée par la relation suivante :

$$n_i = \int_{E_i}^{\infty} g_i(E) f_{FD}(E) dE \quad (1.28)$$

où $g_i(E)$ est la densité d'états dans la sous-bande i , et $f_{FD}(E) = 1/(1 + \exp((E - \Delta E_{C-F})/k_B T))$ est la distribution de Fermi-Dirac. En tenant compte du confinement des électrons dans le plan xy , on montre que $g_i(E)$ est constant et vaut $m^*/\pi\hbar^2$. Alors :

$$n_i = \frac{m^* k_B T}{\pi \hbar^2} \ln \left(1 + \exp \left(- \frac{E_i - \Delta E_{C-F}}{k_B T} \right) \right) \quad (1.29)$$

La densité surfacique d'électron dans le canal s'obtient en additionnant les populations de chaque sous-bande :

$$n_S(\Delta E_{C-F}) = \sum_i \frac{m^* k_B T}{\pi \hbar^2} \ln \left(1 + \exp \left(- \frac{E_i - \Delta E_{C-F}}{k_B T} \right) \right) \quad (1.30)$$

Par ailleurs la répartition spatiale réelle des électrons le long de l'axe z est donnée par :

$$\rho_{2DEG}(z) = \sum_i \frac{m^* k_B T}{\pi \hbar^2} \ln \left(1 + \exp \left(- \frac{E_i - \Delta E_{C-F}}{k_B T} \right) \right) |\xi_i(z)|^2 = \sum_i \rho_i(z) \quad (1.31)$$

La Figure I.20 présente le puit triangulaire avec les énergies et les densités volumiques associées aux 2 premières sous-bandes pour la structure simulée que l'on présentera dans la partie suivante.

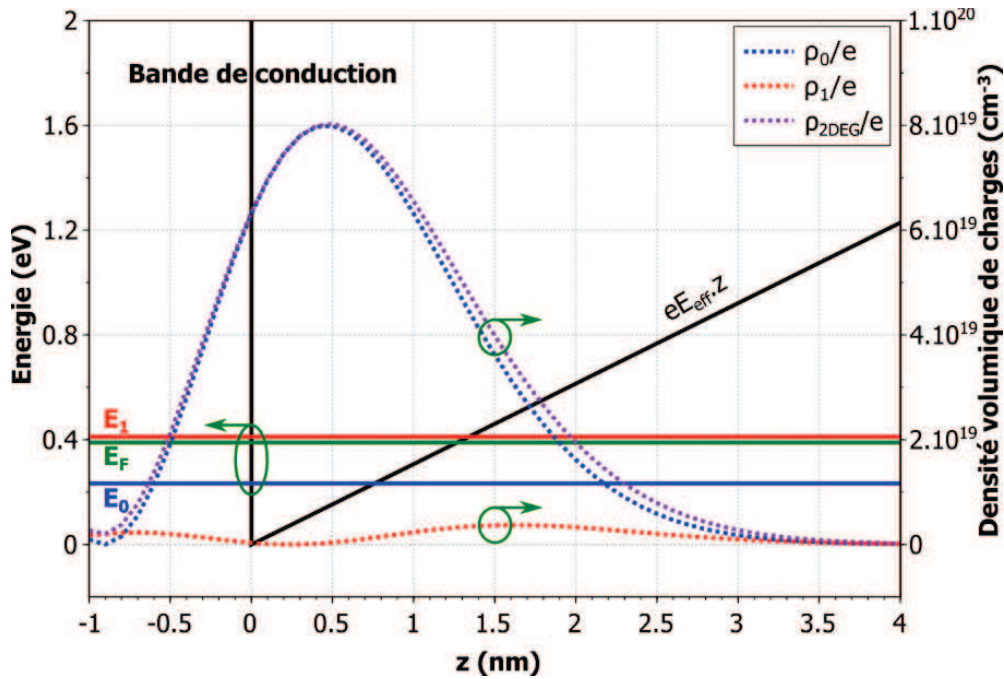


Figure I.20 – Puit triangulaire et énergies (E_0 , E_1) et densités volumiques (ρ_0/e , ρ_1/e) associées aux 2 premières sous-bandes. La densité totale ρ_{2DEG} et le niveau de Fermi E_F sont également représentés.

I.2.2.3.5. Résolution des équations de Schrödinger-Poisson avec hypothèse du puit triangulaire

Récapitulons les 2 équations importantes que nous avons venons de voir :

$$n_S(V_G, \Delta E_{C-F}) = \frac{1}{eD} \left(V_G - V_{th} - \frac{\Delta E_{C-F}}{e} \right) \Rightarrow \Delta E_{C-F} = f_1(n_S, V_G) \quad (I.32)$$

$$n_S(\Delta E_{C-F}) = \sum_i \frac{m^* k_B T}{\pi \hbar^2} \ln \left(1 + \exp \left(- \frac{E_i - \Delta E_{C-F}}{k_B T} \right) \right) = f_2(\Delta E_{C-F}) \quad (I.33)$$

Pour un V_G donné, on peut minimiser la fonction suivante : $f(n_S) = n_S - f_2 \circ f_1(n_S, V_G)$ à l'aide d'algorithmes d'optimisation. Cette méthode permet de trouver une densité n_S satisfaisant les équations de Poisson et de Schrödinger. On peut ensuite injecter n_S dans l'équation (I.31) pour obtenir ρ_{2DEG} , et finalement tracer le diagramme de bandes. La Figure I.21 trace les diagrammes de charges, de champ électrique et de bandes selon l'axe z , de la structure suivante : *cap-layer* GaN / barrière $\text{Al}_{0,25}\text{Ga}_{0,75}\text{N}$ / espaceur AlN / canal GaN avec $t_4 = 2$ nm, $t_3 = 21$ nm et $t_2 = 2$ nm. $\Phi_b = 1,5$ eV.

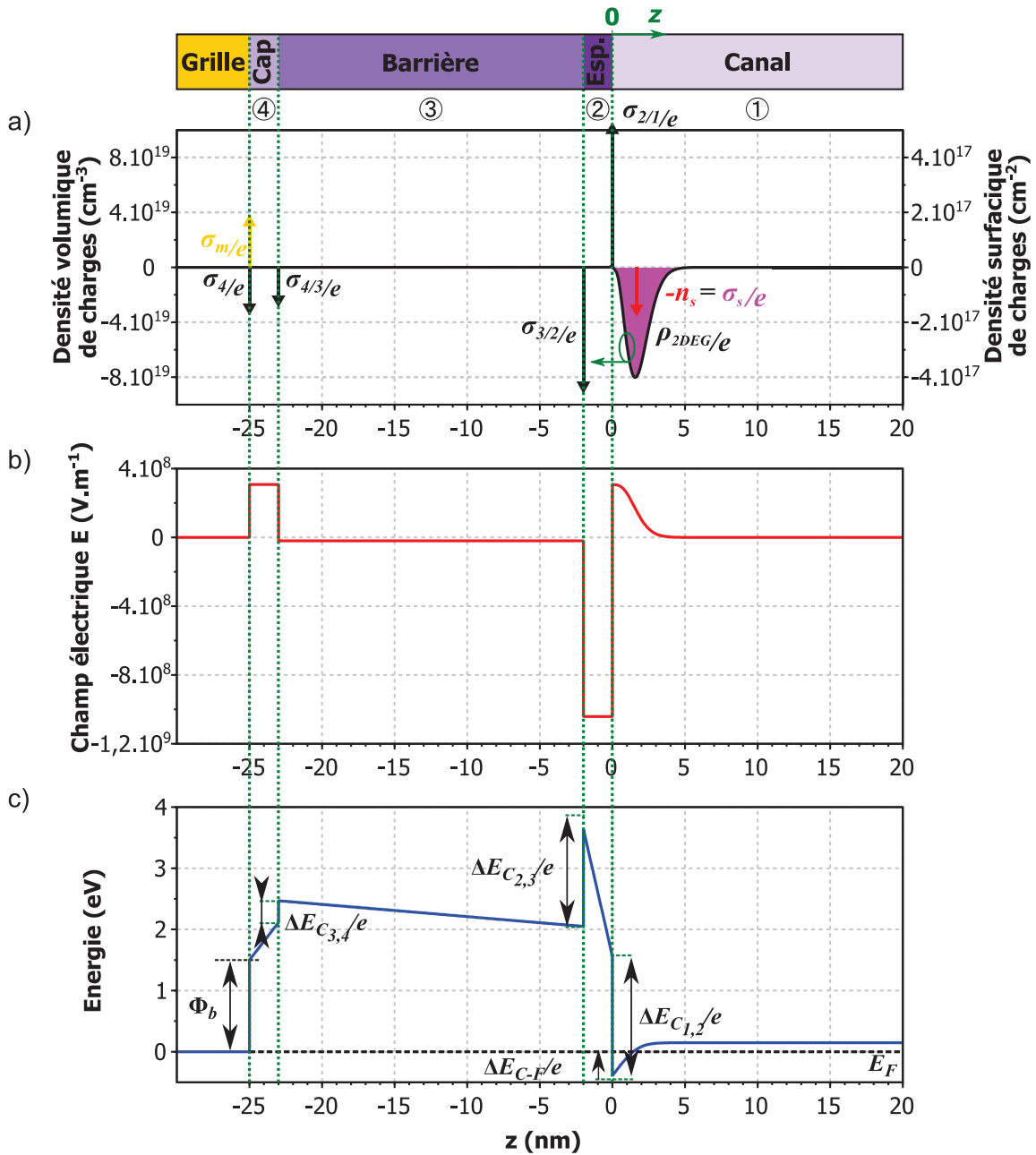


Figure I.21 – Simulation d’une structure HEMT à $V_{GS} = 0 \text{ V}$: (a) distribution de charges, (b) champ électrique et (c) diagramme de bandes (de conduction uniquement).

I.2.2.3.6. Commande de grille

Le diagramme précédent présentait les résultats à $V_G = 0 \text{ V}$, et l’on peut constater que pour la structure HEMT simulée, le 2DEG est bien présent, ce qui dénote une fonctionnalité *normally-on* sur laquelle nous aurons l’occasion de revenir. Pour d’autres valeurs de V_G , une approximation simple consiste à remplacer Φ_b par $\Phi_b - V_G$, dans l’hypothèse où le courant à travers la diode de grille est négligeable. On s’aperçoit alors que la bande de conduction se relève lorsque V_G diminue vers les valeurs plus négatives, ce qui a pour conséquence de dépléter le 2DEG. La Figure I.22 trace les bandes de conduction associées à une V_G variant de 0 V à -8 V .

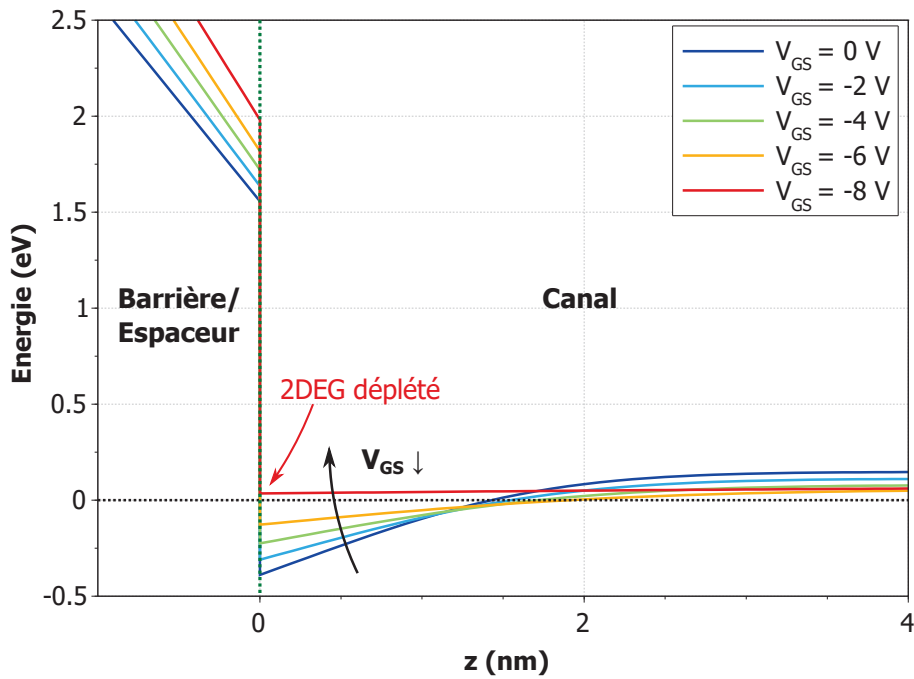


Figure I.22 – Détail des bandes de conduction au voisinage de l’hétérojonction pour différents V_G .

En réitérant les calculs précédents pour une certaine plage de V_G , on obtient la courbe de n_S en fonction de V_G comme celle présentée en Figure I.23 résultant de la structure simulée précédente. On y distingue une zone de déplétion totale avant V_{th} , où la densité du 2DEG est nulle, et une zone d’inversion (déplétion partielle) au-delà de V_{th} , où elle croît avec V_G . Cela prouve bien une commande de grille et l’appellation de tension de seuil pour V_{th} . En poussant l’analyse, on montre qu’on peut discerner une zone de faible inversion (faibles densités) où $n_S \propto \exp(V_G - V_{th})$, et une zone de forte inversion où $n_S \propto (V_G - V_{th})$, avec une pente assimilable à une capacité de grille C_G [54]. La valeur de cette dernière est proche de $\epsilon_{bar}W_G L_G / t_{bar}$ puisque le 2DEG est équivalent à un métal (avec une forte densité d’électrons libres) séparé d’une distance d’à peu près t_{bar} de l’électrode de grille.

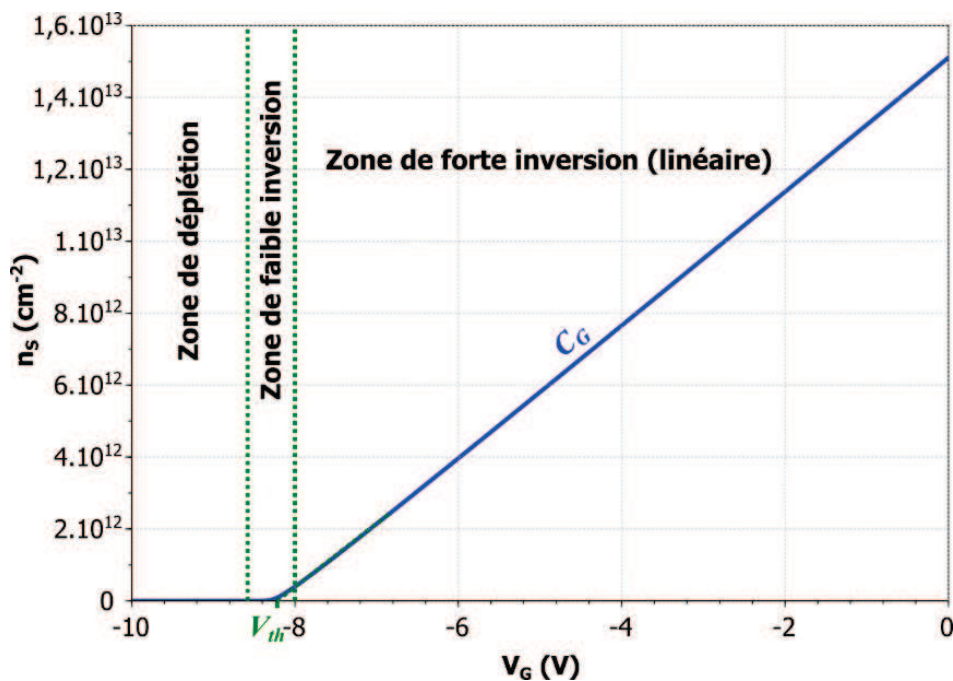


Figure I.23 – Densité du 2DEG n_S en fonction de V_G .

L'application d'une tension V_{DS} crée un champ électrique longitudinal E et entraîne un courant de drain I_{DS} décrit par le modèle de dérive-diffusion. Pour connaître son expression analytique exacte, il convient de développer un modèle 2D prenant en compte les variations longitudinales du potentiel et les conditions aux bords de grille déterminées par les résistances d'accès. On montre alors qu'il existe une zone linéaire pour de faibles V_{DS} et une zone de saturation dès que le champ électrique est supérieur à une certaine valeur. Cependant, au vu de la complexité du problème, il est beaucoup plus fiable et fréquent de recourir à des outils de simulations numériques reposant sur des méthodes de résolution par éléments finis sur un maillage 2D ou 3D.

I.2.2.3.7. Origine du 2DEG

Jusqu'à présent nous avons supposé l'existence du 2DEG sans se poser la question de son origine. Le présent paragraphe apporte des explications en ce sens. Dans un HEMT AlGaAs/GaAs, le canal GaAs est « dopé » par des électrons provenant de donneurs de la barrière AlGaAs fortement dopée n , phénomène appelé *modulation-doping*. Cette séparation spatiale des électrons libres de leurs donneurs ionisés est la cause de leur grande mobilité. Les HEMTs GaN ne reposent pas sur le *modulation-doping*, puisqu'un 2DEG est bien observé dans ces hétérostructures que les barrières soient dopées ou pas. Les électrons libres sont en fait une conséquence de la polarisation des nitrures : les charges induites par polarisation créent un champ électrique dans la barrière qui va ioniser des donneurs en surface (également appelés états de surface) et attirer les électrons, phénomène appelé *polarisation-doping*. Cette interaction entre le champ induit par polarisation et ces états de surface est la plus communément admise pour expliquer l'origine du 2DEG dans les HEMTs GaN. En considérant un niveau des états de surface E_D en dessous de la bande de conduction de la barrière et en traçant le diagramme de bandes de la structure, nous rendons compte de l'existence d'une épaisseur critique t_{cr} à partir de laquelle le niveau de Fermi à la surface est suffisamment profond pour ioniser les états de surface et donner naissance au 2DEG [55]. Ceci est illustré sur la Figure I.24, et l'épaisseur critique est alors : $t_{cr} = (E_D - \Delta E_C)\epsilon_{bar}/\sigma_{bar/GaN}$. Notons que pour une croissance de la barrière au-delà de t_{cr} , les états restent en surface et le niveau de Fermi est ancré.

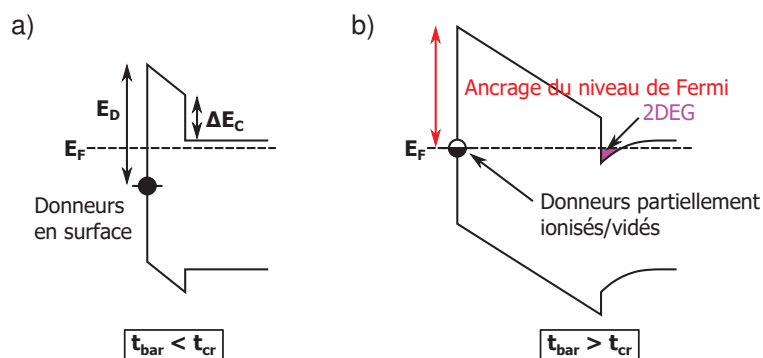


Figure I.24 – Modèle de formation du 2DEG par ionisation de donneurs en surface : diagrammes de bandes d'une structure HEMT avec une barrière (a) plus fine et (b) plus épaisse que l'épaisseur critique t_{cr} . Adapté de [55].

Les états de surface que nous venons d'évoquer proviennent des liaisons pendantes et de la reconstruction de la surface (états de surface intrinsèques) et de l'adsorption d'atomes étrangers comme l'oxygène (états de surface extrinsèques). Ces phénomènes créent des bandes d'énergie étroites à très forte densité d'états situées dans le *gap*.

I.2.2.4. Fonctionnement statique (régime DC)

I.2.2.4.1. Caractéristiques courants-tensions

Note : pour pouvoir comparer les performances de transistors aux développements différents, il est utile de ramener les courants, les puissances et autres paramètres dépendant des courants, à 1 mm de développement de grille. Par la suite nous utiliserons exclusivement ces grandeurs normalisées.

La Figure I.25 présente les courbes $I_{DS} - V_{GS}$ à V_{DS} constant (caractéristiques de transfert) et $I_{DS} - V_{DS}$ à V_{GS} constant (réseaux IV) d'un transistor HEMT standard. Elles mettent en exergue 3 phénomènes limitatifs non pris en compte jusqu'à maintenant et qui restreignent la plage de fonctionnement du composant :

- Le « ralentissement » de I_{DS} à partir d'une certaine valeur de V_{GS} , qui se traduit par une diminution de la transconductance $g_m = dI_{DS}/dV_{GS}$ après avoir atteint un pic. En effet, la diode Schottky de grille devient polarisée en direct et donc passante, les électrons du canal peuvent alors fuir vers la grille, participant à un courant de grille $I_G = I_{GS} + I_{GD} \approx I_{GS}$ (que l'on explicitera ci-après) et ne plus contribuer ainsi au courant de drain. On fixe ainsi une valeur maximale $V_{GS,max} < \Phi_b$ à ne pas dépasser pour éviter un courant de grille trop important nuisible pour le gain en puissance et responsable de dégradations irréversibles.
- La saturation de I_{DS} à sa valeur maximale $I_{DS,max}$ à partir d'une certaine valeur de V_{DS} dite tension de coude $V_{DS,coude}$. Cela est dû à la saturation de la vitesse de dérive (voir partie I.1.1.3) et non pas au pinch-off du canal comme c'est le cas pour les MOSFETs, ce dernier survenant plus loin en V_{DS} pour les HEMTs. On définit la résistance à l'état passant R_{ON} comme la résistance du canal dans la zone linéaire : $R_{ON} = V_{DS,coude}/I_{DS,max}$.
- La croissance subitement exponentielle de I_{DS} pour de plus fortes valeurs de V_{DS} . On se trouve alors en régime d'avalanche pouvant amener à terme à la destruction du composant. On fixe donc naturellement une valeur maximale $V_{DS,max} < V_b$ à ne pas dépasser.

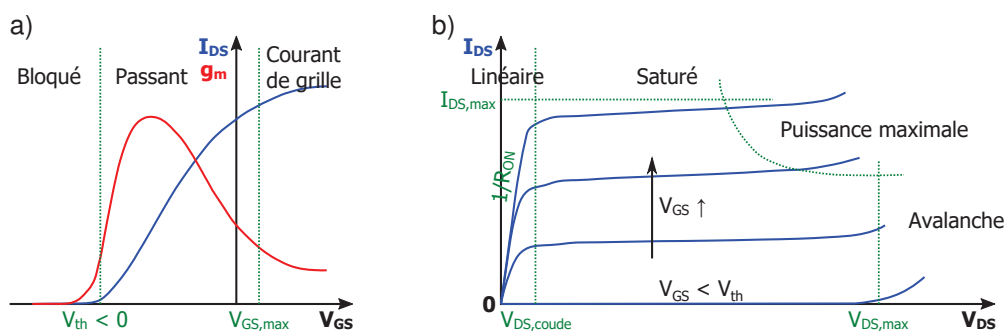


Figure I.25 – (a) Caractéristiques de transfert et (b) réseaux IV d'un HEMT GaN.

D'autres phénomènes limitatifs sont moins remarquables au premier abord, comme l'effet de canal court (*short channel effect*) : pour des grilles courtes, V_{th} est fortement dépendante de V_{DS} , elle diminue à mesure que V_{DS} augmente. Cet effet est responsable d'une augmentation linéaire du courant de drain dans la zone de saturation. Par ailleurs les HEMTs sont soumis à des phénomènes électrothermiques complexes qui ne sont pas forcément visibles sur les caractéristiques courants-tensions, et qui font l'objet de la partie suivante.

I.2.2.4.2. Courant de grille

Au travers d'un contact Schottky tel que celui de grille, plusieurs mécanismes de conduction existent selon la polarisation V_G appliquée [56]. Lorsque la diode est polarisée en **direct** ($V_G > 0$), l'émission thermoïonique (TE), ou émission Schottky, est le phénomène prépondérant. Elle traduit le passage thermiquement induit d'électrons du semiconducteur vers le métal lorsque leur énergie dépasse le potentiel de *built-in*¹², cette dernière pouvant être abaissée sous l'action de V_G . L'expression du courant associé, du métal vers le semiconducteur, est :

$$J_{TE} = J_0 \left(\exp\left(\frac{eV_G}{\eta k_B T}\right) - 1 \right), \quad J_0 = A^* T^2 \exp\left(-\frac{e\Phi_b}{k_B T}\right) \quad (1.34)$$

où J_0 est le courant de saturation en inverse, $A^* = 4\pi e m^* k_B^2 / h^3$ est la constante de Richardson effective, η le facteur d'idéalité. Φ_b et η varient avec la température. À noter que pour des champs importants, la barrière peut être réduite par effet Schottky d'une valeur $\Delta\Phi_b = \sqrt{eE/4\pi\epsilon_0\epsilon_r}$.

Lorsque la diode est polarisée en **inverse** ($V_G < 0$), le courant de grille, négatif, peut être supérieur en valeur absolue à celui prédit par émission TE. Notons que cette dernière décrit cette fois-ci le passage (ou l'injection) d'électrons du métal vers la grille par-dessus la barrière Schottky Φ_b . D'autres phénomènes interviennent alors, selon la température et les champs électriques appliqués :

- Le courant par effet tunnel de Fowler-Nordheim (FN) en présence de larges champs qui forment une barrière de potentiel triangulaire :

$$J_{FN} = AE^2 \exp\left(-\frac{B}{E}\right), \quad A = \frac{m}{m^*} \frac{e^3}{8\pi h \Phi_b}, \quad B = \frac{8\pi\sqrt{2m^*(q\Phi_b)^3}}{3eh} \quad (1.35)$$

À noter qu'un courant par effet tunnel direct peut également s'établir à travers la couche de barrière lorsqu'elle est suffisamment fine. En outre, les phénomènes d'effet tunnel étant indépendants de la température, ces courants sont prépondérants à basse température.

- L'émission de Poole-Frenkel (PF) à haute température et forts champs, décrivant un courant par émission thermoïonique d'électrons depuis les pièges dans le volume du semiconducteur :

$$J_{PF} = CE \exp\left(\frac{-e(\Phi_t - \sqrt{eE/\pi\epsilon_{HF}})}{kT}\right) \quad (1.36)$$

Le mécanisme étant similaire à celui de l'émission TE, elle est parfois appelée émission Schottky interne (i.e. volumique).

- Le courant par effet tunnel (TAT) assisté par des pièges J_{TAT} . Il est le pendant volumique de l'émission de FN, et est donc exacerbé par de forts champs.

Chacun de ces mécanismes peut être évalué en menant des mesures du courant de grille en fonction de V_{GS} et de T , puis en traçant les graphes appropriés, comme par exemple $\ln(J_G)$ en fonction de V_G en direct pour obtenir les caractéristiques Φ_b et η d'émission TE. Avec l'émission TE, on observe une augmentation exponentielle du courant de grille en direct. Il faut cependant retenir qu'en régime de fonctionnement du transistor, la diode de grille est le plus

¹² Le potentiel de *built-in* est le potentiel qui s'établit à travers la zone de déplétion à l'équilibre thermodynamique d'une jonction pn ou d'une jonction Schottky. Cette zone de déplétion résulte d'une part d'un courant de diffusion d'électrons vers le métal ou la zone dopée p et d'autre part d'un courant de dérive d'électrons induit par les donneurs ionisés de la zone dopée n.

souvent polarisée en inverse puisque la tension appliquée à la grille est le plus fréquemment négative (tension de seuil négative). Même lorsque la tension V_{GS} est légèrement positive, la diode de grille reste polarisée en inverse car il faut également prendre en compte la chute de potentiel $V_{DS} > 0$ le long de l'espace source-drain. Par ailleurs lorsque V_{GS} est inférieure à la tension de seuil du transistor, les électrons arrivant au drain sont uniquement ceux injectés par la grille, et on définit alors le courant de fuite (de grille) $I_{GL} \approx I_{GD} = -I_{DL}$. Il a été proposé que le courant de fuite est principalement dû à l'effet tunnel assisté par les pièges dans la barrière J_{TAT} , notamment aux bords de la grille où le champ électrique est important.

I.2.3. Fonctionnement hyperfréquence

I.2.3.1. Fonctionnement linéaire (régime petit-signal)

Pour de petites perturbations (petits signaux) hyperfréquences autour d'un point de polarisation DC, comme par exemple en amplification faible bruit (LNA), nous pouvons faire l'hypothèse d'un fonctionnement linéaire. Le principe de superposition s'applique alors, et la réponse du transistor à un petit signal d'entrée est la somme des réponses à sa composante DC et à ses composantes RF sinusoïdales.

I.2.3.1.1. Paramètres S

Considérons un quadripôle actif (Figure I.26) soumis à une excitation purement sinusoïdale à la pulsation ω . Par la suite nous utiliserons la notation complexe pour les grandeurs physiques.



Figure I.26 – Quadripôle, courants et tensions d'entrée et de sortie.

La réponse fréquentielle d'un quadripôle est usuellement connue au travers de la matrice impédance $[Z](\omega)$, ou son inverse la matrice admittance $[Y](\omega)$, reliant le courant à la tension. Pour connaître les termes de ces matrices, il convient de réaliser des mesures en circuit ouvert ou en court-circuit. Or au-dessus de 100 MHz la condition de circuit ouvert ou fermé est difficile voire impossible à réaliser à cause des capacités et inductances parasites, tous les éléments se comportent comme des lignes de transmission. De plus la mise en court-circuit ou en circuit ouvert de quadripôle possédant du gain conduit souvent à des phénomènes d'oscillation. Par ailleurs à haute fréquence, et pour des circuits dont la dimension est de l'ordre de la longueur d'onde, les tensions et courants sont difficilement mesurables et n'ont que peu d'intérêt. Pour toutes ces raisons, la conception de circuits hyperfréquences s'appuie sur la caractérisation d'une autre matrice : les paramètres $S(\omega)$ (*scattering parameters*) ou paramètres de répartition. Les paramètres S se basent sur le concept d'onde. Pour un quadripôle relié en entrée et en sortie à une impédance de référence Z_0 (le plus souvent 50Ω), les expressions des ondes incidentes a_1 et a_2 et réfléchies b_1 et b_2 sont les suivantes :

$$a_i = \frac{1}{2} \left(\frac{V_i}{\sqrt{Z_0}} + \sqrt{Z_0} I_i \right), \quad b_i = \frac{1}{2} \left(\frac{V_i}{\sqrt{Z_0}} - \sqrt{Z_0} I_i \right) \quad (I.37)$$

La matrice de paramètres S, $[S]$, est alors définie par la relation suivante :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (1.38)$$

S_{11} et S_{22} sont les coefficients de réflexion en entrée / sortie lorsque la sortie / l'entrée est adaptée, S_{21} et S_{12} sont les coefficients de transmission direct / inverse lorsque la sortie / l'entrée est adaptée. Les propriétés mathématiques de la matrice S (symétrie, unitaire ou non) sont révélatrices des propriétés du composant (réciprocité, sans ou avec pertes). S_{12} est idéalement nul : la sortie est alors parfaitement isolée de l'entrée, on dit que le transistor est unilatéral. Dans la réalité, il y a couplage capacitif et résistif entre l'entrée et la sortie (responsable de l'effet Miller), et S_{12} n'est pas nul. L'impédance d'entrée dépend de la charge en sortie, ce qui peut conduire à des oscillations instables du transistor.

Ces paramètres peuvent être précisément mesurés à l'aide d'un analyseur de réseaux vectoriels (VNA pour *vector network analyser*) en configuration 2-ports adaptés sur Z_0 , composé de coupleurs directionnels sensibles aux rapports de puissances et aux déphasages. Une étape de calibrage est nécessaire, durant laquelle 4 mesures d'étalonnage (*short, open, load, thru* ou SOLT) sont réalisées pour corriger les 12 termes d'erreur dus aux imperfections des coupleurs directionnels et aux effets parasites des lignes d'accès et des plots. Les paramètres S mesurés doivent être « dé-embeddés » pour éventuellement changer de plans de référence. Les paramètres S interviennent dans l'expression de nombreux paramètres, parmi lesquels les gains.

I.2.3.1.2. Gains et stabilité

L'utilisation d'un transistor HEMT pour l'amplification de signaux hyperfréquence repose en général sur le schéma de principe présenté en Figure I.27. Le transistor est monté en source commune, l'entrée se fait sur la grille et la sortie sur le drain.

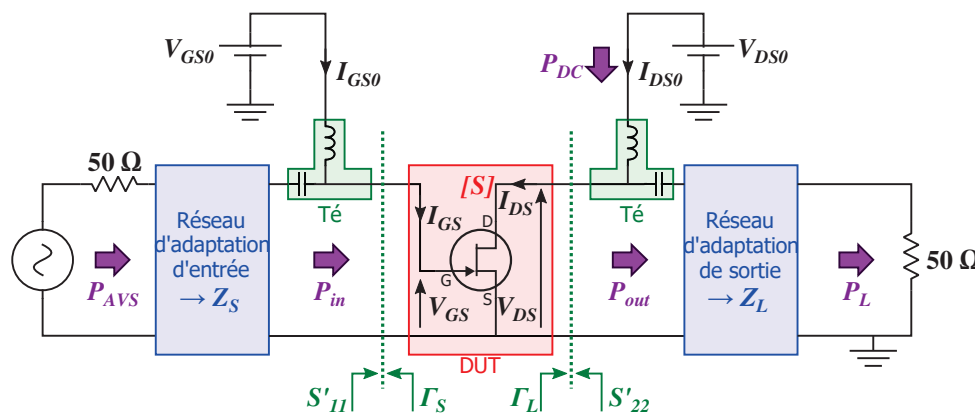


Figure I.27 – Schéma de principe d'un transistor monté en source commune pour l'amplification d'ondes RF avec un fonctionnement en classe A, AB, B ou C.

Dans cette configuration, le transistor est polarisé à $(V_{GS0}; V_{DS0})$ par des sources DC délivrant une puissance statique $P_{DC} = V_{GS0}I_{G0} + V_{DS0}I_{D0}$. Le transistor est inséré entre 2 circuits d'adaptation d'impédance Q_e et Q_s afin de présenter à ses bornes, à partir de l'impédance de référence $Z_0 = 50 \Omega$, les impédances de source Z_S et de charge Z_L souhaitées. Un générateur à la source, de puissance disponible P_{AVS} , fournit un signal de puissance P_{in} à l'entrée du transistor ($P_{in} = P_{AVS}$ s'il y a adaptation optimale). Le transistor fournit en sortie un signal amplifié de puissance P_{out} délivrée à la charge Z_L qui en absorbe une puissance P_L .

I.2.3.1.2.1. Gain transducique, stabilité et f_{max}

Le gain transducique G_T est défini comme étant le rapport entre P_L et P_{AVS} . Dans le formalisme des paramètres S et des coefficients de réflexion¹³, son expression est :

$$G_T = \frac{|S_{21}|^2(1 - |\Gamma_S|^2)(1 - |\Gamma_L|^2)}{|1 - S_{11}\Gamma_S|^2|1 - S_{22}\Gamma_L|^2} = \frac{|S_{21}|^2(1 - |\Gamma_S|^2)(1 - |\Gamma_L|^2)}{|1 - S'_{11}\Gamma_S|^2|1 - S_{22}\Gamma_L|^2} \quad (I.39)$$

avec $S'_{11} = S_{11} + S_{12}S_{21}\Gamma_L/(1 - S_{22}\Gamma_L)$ et $S'_{22} = S_{22} + S_{12}S_{21}\Gamma_S/(1 - S_{11}\Gamma_S)$ coefficients de réflexion d'entrée / de sortie, du transistor lorsqu'il est fermé par l'impédance Z_L en sortie / Z_S en entrée. Ce gain est maximal lorsque l'adaptation est optimale, c'est-à-dire quand $\Gamma_S = S'_{11*}$ et $\Gamma_L = S'_{22*}$. Cependant une analyse mathématique de ces expressions montre que cela ne peut pas toujours être possible, cela dépend de la valeur du coefficient K suivant dit facteur de stabilité de Rollet :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|}{2|S_{12}S_{21}|} \quad (I.40)$$

où $\Delta = S_{11}S_{22} - S_{12}S_{21}$ est le déterminant de la matrice $[S]$. Ce facteur est un invariant du transistor, il ne dépend pas des plans de référence de mesure ni même du choix des ports 1 et 2.

Si $K > 1$, l'adaptation est possible et le gain transducique peut atteindre sa valeur maximale, également appelé MAG (pour *maximum available gain*). Deux cas se présentent :

- Si $|\Delta| < 1$, alors le transistor est inconditionnellement stable, c'est-à-dire stable quelles que soient les impédances Z_S et Z_L , et :

$$MAG = \frac{|S_{21}|}{|S_{12}|} (K - \sqrt{K^2 - 1}) \quad (I.41)$$

- Si $|\Delta| > 1$, alors le transistor est conditionnellement stable, c'est-à-dire stable pour certaines valeurs de Z_S et Z_L , graphiquement définies par des cercles de stabilité sur l'abaque de Smith¹⁴, et :

$$MAG = \frac{|S_{21}|}{|S_{12}|} (K + \sqrt{K^2 - 1}) \quad (I.42)$$

Si $K \leq 1$, le transistor est soit conditionnellement stable, soit inadaptable. On définit le gain maximum stable, ou MSG (pour *maximum stable gain*) :

$$MSG = \frac{|S_{21}|}{|S_{12}|} \quad (I.43)$$

¹³ Dans le domaine hyperfréquence, les signaux électriques sont des ondes se propageant le long de lignes de transmission, il y a donc des phénomènes de réflexion et de transmission aux interfaces. Pour un élément d'impédance Z on définit un coefficient de réflexion Γ par rapport à l'impédance caractéristique Z_0 de la manière suivante :

$$\Gamma = \frac{Z - Z_0}{Z + Z_0}$$

¹⁴ L'abaque de Smith est un outil graphique utilisé par les concepteurs de circuits microonde. Il s'agit d'une représentation sur le plan complexe des coefficients de réflexion, et donc par transformation géométrique des impédances ou des admittances réduites (normalisées par rapport à Z_0). Il est souvent utilisé pour représenter des lieux, par exemple des courbes iso-gains ou encore l'ensemble des points pour une gamme de fréquence.

Il est possible d'augmenter le facteur K aux fréquences de travail par l'ajout d'éléments passifs, au détriment du gain du transistor. La fréquence pour laquelle MAG est unitaire, ou de 0 dB¹⁵, est appelée fréquence maximale d'oscillation, ou f_{max} . Sa valeur est extrapolée à partir de la courbe MSG/MAG en fonction de la fréquence, en considérant le plus souvent une pente de -20 dB/décade pour MAG.

I.2.3.1.2.2. Gain en courant et f_T

On définit le gain en courant à sortie court-circuitée $h_{21} = I_{out}/I_{in}$ lorsque $V_{out} = 0$ V. Sa relation avec les paramètres S est la suivante :

$$|h_{21}|^2 = \left| \frac{-2S_{21}}{(1 - S_{11})(1 - S_{22}) + S_{12}S_{21}} \right|^2 \quad (I.44)$$

La fréquence pour laquelle $|h_{21}|^2$ est unitaire, ou de 0 dB, est appelée fréquence de coupure, ou f_T . Il est possible d'estimer f_T à partir des éléments du schéma électrique équivalent petit-signal (Figure I.28) :

$$f_T \approx \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (I.45)$$

I.2.3.1.2.3. Gain unilatéral de Mason

Le gain unilatéral de Mason, noté U , est un invariant du transistor, qui est souvent mentionné dans les spécifications de transistors comme facteur de mérite. Cependant sa mesure nécessite de neutrodiner le transistor (compenser l'effet de S_{12} par des circuits passifs sans pertes), ce qui est difficile à réaliser aux fréquences élevées. Par conséquent ce gain n'est pas utilisé pour les HEMTs.

I.2.3.2. Fonctionnement non-linéaire (régime grand-signal)

En amplification de puissance, le composant actif est rapidement appelé à fonctionner en régime non-linéaire à cause des importantes excursions de tension et de courant (grand-signal). Dans ces conditions les paramètres S petit-signal ne reflètent plus la réalité. L'évaluation du transistor se fera alors à l'aide d'autres métriques mesurées par d'autres techniques.

I.2.3.2.1. Gains et rendements

Avant de nous intéresser aux phénomènes non-linéaires, nous donnons ici les définitions de divers gains et rendements utilisés en caractérisation grand-signal. En reprenant le schéma de principe de la Figure I.27, le bilan de puissance s'écrit : $P_{out} = P_{in} + P_{DC} - P_{diss}$ où P_{diss} est la puissance dissipée dans le transistor. On définit alors :

- le gain en puissance : $G_p = P_{out}/P_{in}$,
- le rendement de drain : $\eta = P_{out}/P_{DC}$,

¹⁵ Pour une grandeur homogène à une puissance, on exprime le niveau relatif b par rapport à a en décibels : $X_{dB} = 10 \log_{10}(b/a)$. En électronique on exprime également un niveau b par rapport à une puissance de référence de 1 W en dB ou par rapport à une puissance de référence de 1 mW en dBm. Pour les grandeurs de champs, dont le carré est proportionnel à une puissance, le facteur 10 sera remplacé par un facteur 20.

- le rendement en puissance ajoutée (PAE pour *power added efficiency*), métrique de référence pour les composants RF : $PAE = (P_{out} - P_{in})/P_{DC} = \eta(1 - 1/G_p)$.

Ces 2 derniers rendements sont une mesure de l'efficacité du transistor à transformer l'énergie DC en énergie RF avec le moins de puissance dissipée possible : $P_{diss} = P_{DC}(1 - PAE)$.

I.2.3.2.2. Phénomènes non-linéaires

En grand-signal, l'excursion de la tension de grille peut aller au-delà de la tension de seuil, provoquant un intervalle de temps de non-conduction à chaque période. De même l'excursion de la tension de drain peut dépasser la tension de coude, induisant des distorsions du signal, générant des harmoniques de la fréquence de fonctionnement. Il y a donc limitation du courant de drain en valeurs crête-à-crête, à l'origine du phénomène de compression. À mesure que la puissance d'entrée augmente, la puissance de sortie croît linéairement puis sature et le gain en puissance baisse. La PAE suit une évolution en cloche, elle atteint son maximum dans la zone de compression. La valeur maximale de saturation de la puissance de sortie peut être approximée par la formule suivante (moyenne quadratique) :

$$P_{out,sat,classe A} = \frac{1}{2} \frac{\Delta I}{2} \frac{\Delta V}{2} = \frac{1}{8} I_{sat} (V_{DS,max} - V_{DS,coude}) \quad (1.46)$$

Par ailleurs, il est à noter que le choix du point de polarisation ($V_{GS0}; V_{DS0}$) et des impédances présentées en entrée et en sortie conditionnent grandement le fonctionnement du transistor. Ces éléments définissent en effet l'allure du cycle $I_{DS} - V_{GS}$ et du cycle de charge $I_{DS} - V_{DS}$, c'est-à-dire les excursions en courant et en tension. Dans le cas de signaux sinusoïdaux, lorsque l'on abaisse V_{GS0} depuis $(V_{GS,max} + V_{th})/2$ jusqu'en deçà de V_{th} , le transistor conduit de moins en moins durant une période. On dit alors que l'on passe d'une classe de fonctionnement A à AB puis B puis enfin C. Le rendement de drain de l'amplificateur augmente aux dépens de sa linéarité et de sa puissance de sortie. D'autres classes de fonctionnement à haut rendement et haute puissance de sortie existent où le transistor est utilisé en commutation, c'est-à-dire en amplification de signaux créneaux.

I.2.3.2.3. Mesures *Load-pull*

La mesure des puissances entrantes et sortantes d'un transistor est réalisée en fixant une impédance présentée en entrée, et en faisant varier la charge présentée en sortie. Cette approche est appelée *load-pull*. La variation de la charge en sortie peut être faite de manière passive à l'aide d'un *tuner*, ou active en injectant une onde réfléchie, forçant donc le coefficient de réflexion en sortie. Par ailleurs il est important de considérer non seulement la charge présentée à la fréquence fondamentale, mais également celles à ses harmoniques, au vu du caractère non-linéaire du fonctionnement grand-signal. Le balayage de la charge permet ensuite de tracer les contours de gain sur l'abaque de Smith.

I.2.3.3. Schéma électrique équivalent

Dans cette partie nous présentons les schémas électriques utilisés pour la modélisation phénoménologique du comportement électrique des HEMTs. Le terme « phénoménologique » se réfère au fait que la plupart des paramètres de ces modèles possèdent une signification physique, ce qui permet une meilleure compréhension du fonctionnement des transistors et de leurs voies d'amélioration. L'extraction des paramètres à partir des mesures réalisées sur un HEMT sera détaillée ultérieurement.

I.2.3.3.1. Schéma électrique petit-signal

La Figure I.28 présente le schéma électrique petit-signal des HEMTs. Il s'agit d'un modèle linéaire à 8 paramètres pour ce qui concerne le transistor intrinsèque. Les 6 paramètres (C_{GS} , R_i , C_{GD} , R_{GD} , C_{DS} et R_{DS}) correspondent au couplage électrique entre les différentes électrodes, modélisé par des circuits RC, et les 2 autres caractérisent la source de courant : $I_{DS} = g_m V_{GS,int}(t - \tau)$. Les paramètres g_m et R_{DS} ont une dépendance selon V_{GS} et V_{DS} respectivement. Cette source de courant est en général affinée afin de reproduire le plus fidèlement possible les courbes IV, en utilisant par exemple le modèle de Tajima, d'Angelov ou de Jardel. Il est possible de compléter ce schéma par 2 diodes (I_{GS} et I_{GD}) reflétant la jonction Schottky entre la grille et le semiconducteur. À cette partie intrinsèque s'ajoute des éléments rendant compte des éléments parasites des accès grille, source et drain (R_g , L_g , C_{pg} , R_s , L_s , R_d , L_d et C_{pd}). Le schéma résultant est appelé schéma extrinsèque équivalent.

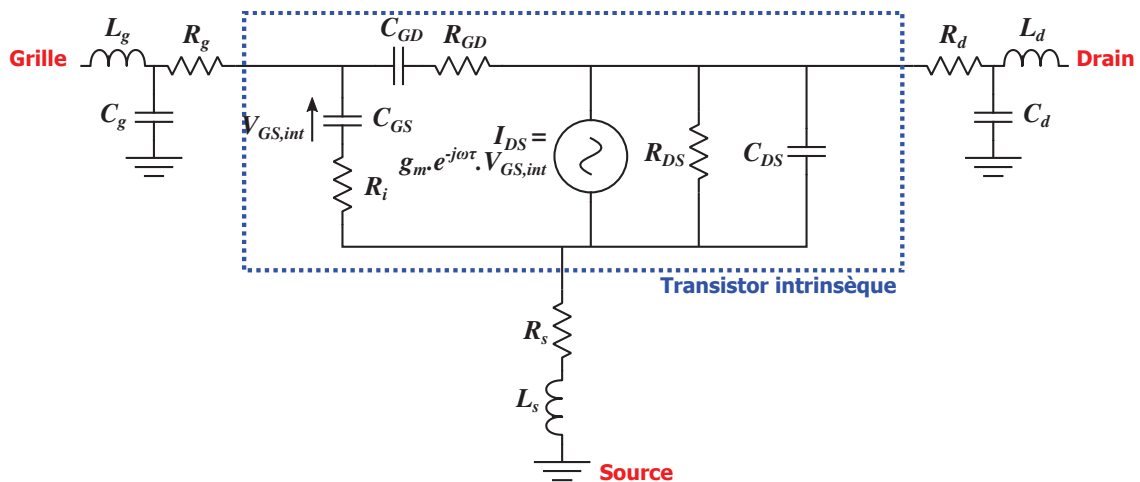


Figure I.28 – Schéma électrique petit-signal du modèle linéaire classique à 8 paramètres.

Les paramètres extrinsèques sont indépendants du point de repos et peuvent donc être extraits à partir d'une seule mesure de paramètres S à un seul point de polarisation. Ce n'est pas le cas de tous les paramètres intrinsèques. Tous les paramètres sont cependant bien indépendants de la fréquence.

I.2.3.3.2. Schéma électrique grand-signal

En régime grand-signal, il est nécessaire d'inclure les effets non-linéaires dans le schéma électrique équivalent. Pour cela on ajoute aux capacités C_{GS} et C_{GD} une dépendance selon V_{GS} et V_{GD} respectivement (modèle 1D) ou simultanément (modèle 2D). De plus, pour tenir compte des effets électrothermiques qui seront présentés dans la prochaine partie et qui sont surtout visibles en fonctionnement grand-signal, on peut ① ajouter une dépendance en température¹⁶ aux sources de courant I_{GS} , I_{GD} et I_{DS} et aux résistances R_s , R_d et R_{GD} (modèle thermique) et ② ajouter des sous-circuits RC non-linéaires rendant compte des pièges (modèle de pièges). On obtient alors le schéma électrique grand-signal présenté en Figure I.29, base du modèle GAMM développé au laboratoire XLIM [57].

¹⁶ La variable température est implémentée dans le modèle électrique au moyen d'un circuit thermique RC approprié permettant le calcul de T à partir de la puissance électrique dissipée.

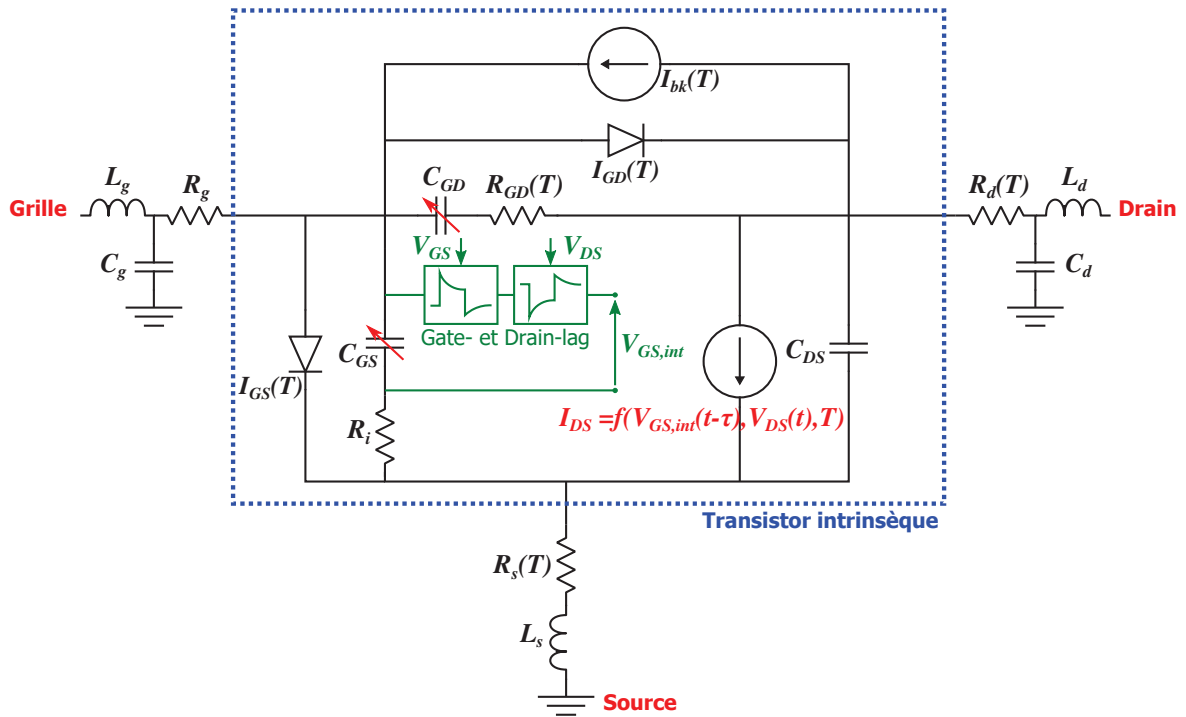


Figure I.29 – Schéma électrique grand-signal du modèle non-linéaire GAMM prenant en compte les effets électrothermiques. Réalisé sous ADS. Adapté de Jardel.

I.3. Phénomènes électrothermiques dans les HEMTs GaN

Le fonctionnement réel d'un HEMT peut en fait largement différer de sa description idéale donnée dans les parties précédentes. Cette partie présente les effets limitatifs responsables de cette déviation : les effets thermiques et les effets de pièges. Les mécanismes de dégradation irréversible des HEMTs seront ensuite détaillés.

I.3.1. Effets thermiques

I.3.1.1. Température au sein des HEMTs

L'auto-échauffement dans un HEMT peut être très important en raison des fortes puissances mises en jeu. La puissance volumique dissipée par effet Joule en un point du canal est : $dP_{diss} = \mathbf{J} \cdot \mathbf{E}$, où \mathbf{J} et \mathbf{E} sont la densité de courant et le champ électrique en ce point. La résolution de l'équation de la chaleur (équation (1.7) avec $\dot{q}_V = dP_{diss}$), permet d'obtenir le profil de température au sein de la structure. La Figure I.30 présente une simulation numérique par éléments finis, permettant de constater un gradient de température et l'existence d'un point chaud à proximité de la grille résultant de forts champs.

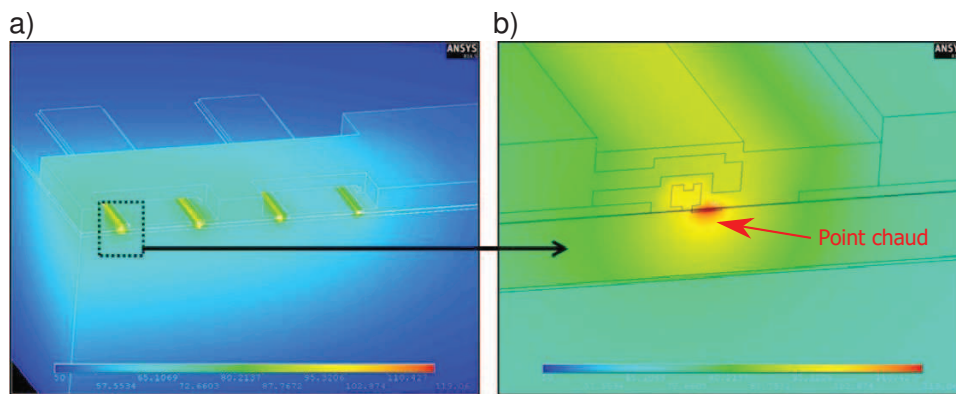


Figure I.30 – Simulation thermique en régime stationnaire sur un transistor $8 \times 125 \mu\text{m}$, à $P_{diss} = 5 \text{ W/mm}$ et $T_{ambiante} = 50 \text{ °C}$: (a) zone modélisée (quart de transistor pour profiter des symétries thermiques) et (b) détail d'un doigt. Modélisation par éléments finis réalisée sous ANSYS. Depuis [58].

Le profil de température dépend de la polarisation du transistor : pour 2 points de polarisation ($V_{DS}; I_{DS}$) donnant une même puissance dissipée $P_{diss} = V_{DS}I_{DS}$, les distributions de courant et de champ électrique peuvent être différentes et donner lieu à un profil de température différent. Pour pallier cette complexité, nous ne prenons en compte que la température du point chaud, également appelée température de jonction $T_{jonction}$ (en référence aux jonctions pn des MOSFETs) ou plus rigoureusement température maximale de canal T_{canal} , dépendant uniquement de P_{diss} . C'est cette grandeur globale, macroscopique, qui sera la mesure de l'état thermique du transistor. On a alors :

$$T_{canal} = T_{ambiante} + R_{th}(T_{ambiante})P_{diss} \quad (1.47)$$

où R_{th} est la résistance thermique entre la jonction et l'atmosphère ambiante, constituée de plusieurs résistances thermiques $R_{th,i}$ en série représentant les différentes couches. Sa valeur, obtenue par intégration de la loi de Fourier, est une donnée propre au transistor qui dépend de la conductivité thermique $\kappa(T)$ et de la géométrie. Pour le régime transitoire, nous pouvons raisonner par analogie avec les circuits électriques en introduisant des capacités

thermiques $C_{th,i}$ en parallèle. La variation temporelle de la température est alors multi-exponentielle, avec des constantes de temps $\tau_{th,i} = R_{th,i}C_{th,i}$.

I.3.1.2. Mise en évidence des effets thermiques

De manière générale, de nombreux paramètres physiques dépendent de la température. Les performances du transistor sont dégradées à haute température, c'est-à-dire à haute puissance dissipée et/ou à température ambiante élevée. La mise en évidence de ces effets peut donc se faire d'abord en jouant sur la température ambiante, par le moyen d'un *chuck* thermique. La mesure des caractéristiques courant-tension permet alors de constater une diminution du courant de sortie à mesure que la température augmente, qui est causée par la chute de la mobilité électronique.

Il est également possible d'observer ces effets par la caractérisation du composant en régime impulsionnel (pulsé) en comparaison avec le régime DC comme l'illustre la Figure I.31. La caractérisation en régime impulsionnel consiste à polariser le composant à un point ($V_{GSQ}; V_{DSQ}$) dit de repos (*quiescent bias point*), pas forcément à l'état OFF, puis d'appliquer des impulsions de tensions aux points de mesure ($V_{GS,i}; V_{DS,i}$) en revenant toujours au point de repos, de manière périodique. Les mesures peuvent être de différentes natures et nous aurons l'occasion de travailler sur des mesures de caractéristiques IV pulsées (PIV) et de paramètres S pulsés. De manière générale la durée de mesure Δt_m est choisie suffisamment courte pour s'affranchir des effets de régimes transitoires induits par la température (effets dispersifs), i.e. $\Delta t_m < \tau_{th,i}$. Si nous choisissons de plus des points de repos à l'état OFF, c'est-à-dire sans puissance dissipée, alors nous pouvons assimiler les caractéristiques pulsées à celles du composant sans les effets thermiques. En principe nous pourrions choisir n'importe quel point de repos à l'état OFF, mais les effets de pièges, que nous verrons dans le paragraphe suivant, amènent des différences supplémentaires entre ces points. Le point de repos (0V ; 0V) permet de restreindre les effets de pièges. L'écart de courant en chaque point ($V_{GS,i}; V_{DS,i}$) provient de la puissance dissipée en régime DC : $P_{diss,i}^{DC} = V_{DS,i}(I_{DS,i}^{pulsé} - I_{DS,i}^{DC})$.

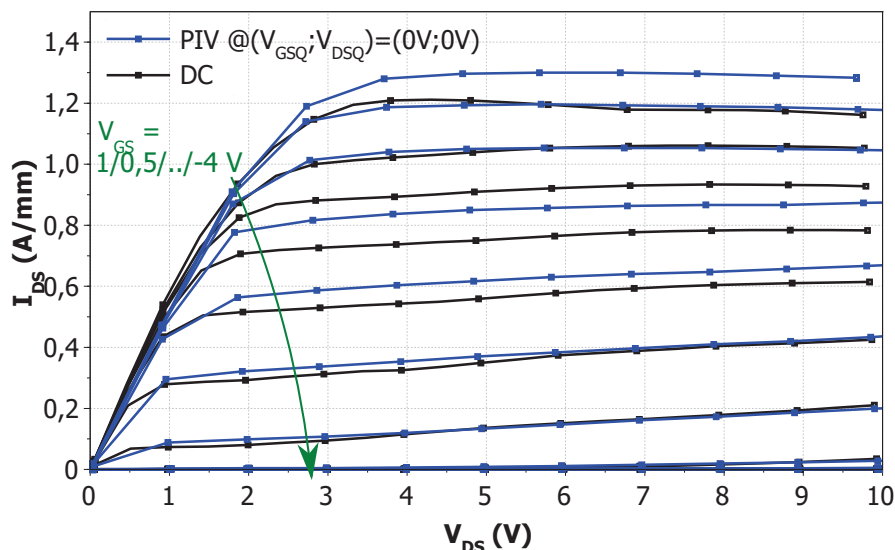


Figure I.31 – Réseaux IV en régimes DC et impulsionnel d'un HEMT InAlN/GaN 6x50 µm, mettant en évidence les effets thermiques.

I.3.2. Effets de pièges

Le comportement d'un HEMT GaN en régime dynamique est grandement différent de son comportement statique. Par exemple, après le passage d'un état OFF à un état ON (commutation), le transistor subit en général une chute du courant de drain (*current-collapse*) par rapport à la valeur DC attendue. En fonctionnement RF, la puissance de sortie est bien inférieure à la puissance DC, phénomène appelé dispersion DC-RF ou encore *knee-walkout*. Les HEMTs GaN subissent en réalité des effets de pièges présents dans la structure du composant.

I.3.2.1. Origine et description physique des pièges

Le terme « piège » traduit un défaut électrique dans le composant susceptible d'interagir avec les électrons libres et empêcher son bon fonctionnement. Les pièges trouvent leurs origines dans les défauts structuraux présents dans les cristaux non parfaits : défaut interstitiel, lacune, impureté interstitielle ou substitutionnelle, dislocation, défaut d'empilement, précipités. Les nitrures, comme nous l'avons vu, sont particulièrement denses en défauts. Lorsque la périodicité du cristal semiconducteur est perturbée par l'un de ces défauts, il y a apparition de niveaux d'énergie discrets à l'intérieur de la bande interdite qui vont interagir avec les bandes de conduction (BC) et de valence (BV) et modifier la population des porteurs libres. C'est le principe de base du dopage : l'incorporation d'atomes étrangers spécifiques crée des niveaux d'énergie à proximité des bandes d'énergie (donneurs peu profonds ou accepteurs profonds) qui dopent les populations de porteurs. Lorsque des défauts non souhaités sont présents dans le matériau, il y a soit dopage non intentionnel, soit apparition de niveaux d'énergie profonds appelés pièges.

Les interactions entre un piège et les bandes de conduction et de valence sont résumées dans la Figure I.32. Un piège vide (occupé par un trou) peut capturer un électron de la BC (a) ou émettre un trou vers la BV, i.e. capturer un électron de la BV (d). Un piège occupé (vide de trou) peut émettre un électron vers la BC (b) ou capturer un trou de la BV, i.e. émettre un électron vers la BV (c). En combinant ces événements, plusieurs mécanismes se dégagent. La génération/recombinaison de paires électrons-trous assistée par des niveaux profonds correspond à (b) suivi de (d) et à (a) suivi de (c) respectivement. Ces mécanismes font intervenir les 2 bandes d'énergie et sont décrits par la théorie de Shockley-Read-Hall. Ces défauts sont alors nommés centres de génération/recombinaison, et jouent un rôle prépondérant dans les semiconducteurs à *gap* indirect et pour les applications en optoélectronique où les recombinaisons non radiatives sont à éviter. Deux autres mécanismes existent : le piégeage, ou capture/émission, d'électrons (a) suivi de (b), et le piégeage de trous (c) suivi de (d). Dans ces cas les défauts sont des pièges à proprement parler. La nature des mécanismes ayant effectivement lieu dépend de nombreux paramètres : le niveau du piège, le niveau de Fermi, le dopage, la température... Dans le cadre de nos composants, nous nous focaliserons sur le piégeage d'électrons.

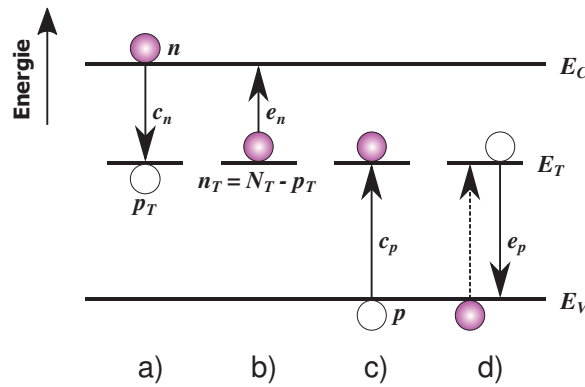


Figure 1.32 – Interactions possibles entre un piège profond et les bandes d'énergie : (a) capture d'électron, (b) émission d'électron, (c) capture de trou et (d) émission de trou.

Notons enfin qu'il existe 2 types de pièges : ① les pièges donneurs, chargés positivement quand ils sont vides et neutres lorsqu'ils sont occupés et ② les pièges accepteurs, neutres quand ils sont vides et chargés négativement lorsqu'ils sont occupés. La terminologie utilisée est similaire à celle des dopants : un dopant donneur neutre est susceptible de donner un électron vers la BC, un dopant accepteur neutre est susceptible de donner un trou vers la BV, i.e. d'accepter un électron de la BV.

I.3.2.2. Modélisation mathématique des pièges

Un piège est caractérisé par une densité d'états N_T et une énergie E_T (on parle également d'énergie d'activation E_a par rapport à la bande de conduction : $E_a = E_C - E_T$). La probabilité d'occupation d'un piège suit une statistique de Fermi-Dirac, la densité d'états occupés s'exprime par $n_T = N_T / (1 + \beta \exp((E_T - E_F) / k_B T))$ où β est un facteur de dégénérescence de spin typiquement égal à 2. La densité d'états libres est notée $p_T = N_T - n_T$. Les pièges peu profonds (E_a inférieur au kV) favorisent les échanges d'électrons avec la bande de conduction alors que les pièges profonds (E_a proche de E_g) échangent plus facilement des trous avec la bande de valence. Considérons maintenant uniquement le piégeage d'électrons.

Le phénomène de capture des électrons est modélisé par la notion de section efficace de capture σ_n , illustré sur la Figure 1.33. Nous considérons un état sans courant (transistor polarisé à l'état OFF), les électrons sont uniquement animés d'une vitesse thermique v_{th} . Pour une durée infinitésimale δt , les électrons susceptibles d'être capturés sont contenus dans le cylindre vert de section σ_n et de longueur $v_{th} \delta t$. Il y en a donc $\sigma_n v_{th} n \delta t$ où n est la densité d'électrons libres à proximité du piège. La variation du nombre de pièges occupés δn_T associée à ces captures est obtenue en multipliant cette dernière quantité par le nombre de pièges libres p_T , et donc :

$$\left. \frac{\delta n_T}{\delta t} \right|_{capture} = \sigma_n v_{th} n p_T = c_n n p_T = - \left. \frac{\delta p_T}{\delta t} \right|_{capture} \quad (1.48)$$

où $c_n = \sigma_n v_{th}$ est le coefficient de capture des électrons. Il s'agit une équation du premier ordre, dont la solution p_T suit une décroissance exponentielle avec une constante de temps de capture des électrons : $\tau_{c_n} = 1 / c_n n$ (en faisant l'approximation que n est une constante).

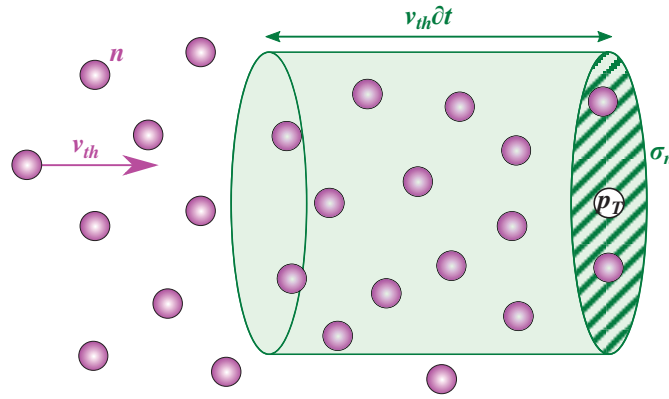


Figure I.33 – Illustration du concept de section efficace de capture d'un piège à électrons.

L'émission quant à elle ne dépend que du nombre de pièges occupés n_T car la densité effective d'états disponibles de la BC N_C est très élevée par rapport à n_T . De manière analogue à ce qui précède, nous établissons l'équation différentielle régissant l'émission d'électrons et le coefficient d'émission des électrons e_n :

$$\left. \frac{\partial n_T}{\partial t} \right|_{\text{émission}} = -e_n n_T \quad (I.49)$$

Il s'agit une équation du premier ordre, dont la solution suit une décroissance exponentielle avec une constante de temps d'émission des électrons : $\tau_{e_n} = 1/e_n$. En additionnant les 2 contributions, il vient :

$$\frac{\partial n_T}{\partial t} = c_n(N_T - n_T) - e_n n_T \quad (I.50)$$

Le principe de l'équilibre détaillé stipule que cette quantité est nulle, d'où $e_n = c_n(N_T/n_T - 1)$. La densité d'électrons libres est liée à l'énergie de Fermi par la statistique de Boltzmann : $n = N_C \exp((E_F - E_C)/k_B T)$ où N_C est la densité effective d'états de la BC. Finalement nous obtenons les 2 constantes de temps :

$$\tau_{c_n} = \frac{\exp((E_C - E_F)/k_B T)}{\sigma_n v_{th} N_C}, \quad \tau_{e_n} = \frac{\exp((E_C - E_T)/k_B T)}{\beta \sigma_n v_{th} N_C} \quad (I.51)$$

On constate alors que τ_{c_n} dépend du niveau de Fermi alors que τ_{e_n} ne dépend que de l'énergie d'activation du piège. La capture peut donc être rapide ou lente selon la position de E_F qui peut être modifiée en polarisant le matériau, alors que l'émission a une constante de temps $\tau_n = \tau_{e_n}$ caractéristique du piège. Les termes v_{th} et N_C présentent une dépendance vis-à-vis de la température :

$$v_{th} = \left(\frac{3k_B T}{m_n} \right)^{\frac{1}{2}}, \quad N_C = 2 \left(\frac{2\pi m^* k_B T}{h^2} \right)^{\frac{3}{2}} \quad (I.52)$$

Il vient alors :

$$\boxed{\tau_n T^2 = \frac{\exp(E_a/k_B T)}{\beta \sigma_n \gamma_n}} \quad (I.53)$$

où $\gamma_n = (v_{th}/T^{1/2})(N_C/T^{3/2})$ est un terme indépendant de la température. Nous reconnaissons là une loi d'Arrhenius, connue des chimistes, qui établit la dépendance en

température de la constante de temps d'émission et la relie à la profondeur du piège. Par la suite nous parlerons de pièges « rapides » ou « courts » peu profonds et de pièges « lents » ou « longs » très profonds. Dans la réalité, il n'y a pas qu'un ni même plusieurs niveaux de pièges discrets et il faut alors considérer un continuum de pièges de densité d'états $D_t(E)$. La charge d'espace ou de surface résultant de l'occupation des pièges est établie par la condition de neutralité et son énergie associée E_{CNL} , fonction de la répartition énergétique des accepteurs et donneurs : $Q_t = e \int_{E_{CNL}}^{E_F} D_t(E) dE$.

La constante de temps d'émission est par ailleurs dépendante du champ électrique imposé : il s'agit de l'effet Poole-Frenkel. Cette dépendance se traduit par la notion d'énergie d'activation apparente. Pour un champ électrique E donné, l'énergie d'activation apparente est :

$$E_a(E) = E_a(0) + \sqrt{\frac{e^3 E}{\pi \epsilon_{HF}}} \quad (1.54)$$

Dans les structures HEMTs, les électrons sont spatialement confinés et peuvent être plus ou moins éloignés des pièges, ces derniers pouvant se trouver en surface, dans le *buffer*, aux interfaces etc. Les mécanismes de piégeage sont alors plus complexes et doivent inclure des phénomènes de transport de charges, comme l'émission thermoionique ou l'effet tunnel, en amont et en aval de la capture/émission par le piège à proprement parler. Par ailleurs les mécanismes de piégeages ont lieu non seulement avec les électrons du canal, mais également avec ceux de la grille. Il est important de considérer tous ces aspects pour connaître l'état des pièges à une polarisation donnée. Pour cela, le tracé du diagramme de bandes peut aider.

1.3.2.3. Mise en évidence des pièges

Les phénomènes de capture/émission par les pièges sont mis en évidence lors du passage d'une polarisation à une autre, durant lequel les pièges passent d'un état d'équilibre à un autre avec un certain régime transitoire (effets dispersifs). Plus précisément, lorsque le transistor reste soumis à une polarisation pendant suffisamment longtemps, on atteint un état d'équilibre, la capture et l'émission se compensent. Lorsque l'on change la polarisation, la position relative du niveau de Fermi au voisinage des pièges change, l'équilibre est rompu. L'état des pièges répond à ce changement soit par des captures supplémentaires (en cas de hausse du niveau de Fermi) soit par des émissions d'électrons (en cas de baisse du niveau de Fermi) par les pièges alors éloignés de E_F , en vertu des relations (1.51). Cette dynamique des pièges affecte les caractéristiques électriques du transistor de manière double : ① un électron émis/capturé participera ou ne participera pas aux courants, et ② le piège ainsi vidé/rempli affecte la répartition des charges et donc le profil de potentiel et les courants.

Parmi les effets concrets de pièges sur le courant de drain, citons le *gate-lag* et le *drain-lag*, qui désignent des régimes transitoires du courant de drain en réponse à un échelon de tension de grille ou de drain respectivement. Le *gate-lag* est usuellement associé à des effets de pièges de surface et d'interface proches de la grille, provoquant l'apparition d'une grille secondaire virtuelle induisant une déplétion du 2DEG et donc une diminution du courant [59]. Cette grille secondaire est couplée à la grille primaire par un réseau RC, d'où le régime transitoire dans la récupération du courant. Quant au *drain-lag*, il est attribué aux pièges situés dans le *buffer*, d'où son appellation de *backgating* par certaines publications pour suggérer

l'apparition d'une grille virtuelle en dessous du canal [60]. La Figure I.34 présente les transitoires de courant de drain correspondants à ces effets sur un HEMT classique.

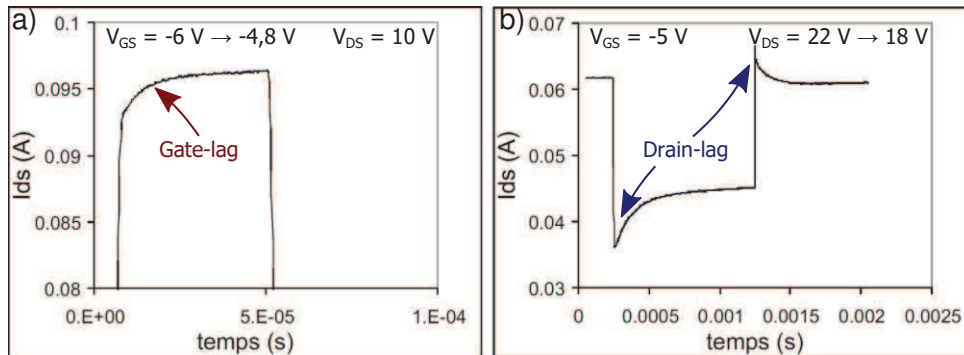


Figure I.34 – Mise en évidence des phénomènes de (a) *gate-lag* et (b) *drain-lag* lors d'impulsions en tension (respectivement V_{GS} et V_{DS}) sur un HEMT AlGaIn/GaN $8 \times 75 \mu\text{m}$. À noter les constantes de temps très différentes. De [57], [59].

Les mesures PIV présentées précédemment permettent également de mettre en évidence ces effets. En principe la durée de mesure Δt_m , en plus d'être suffisamment courte pour s'affranchir des effets thermiques dispersifs, est choisie de telle sorte que la mesure tienne compte des captures mais pas des émissions, i.e. $\tau_{c_n} < \Delta t_m < \tau_n$. En choisissant judicieusement les points de repos de façon à privilégier tels ou tels pièges, on trace des caractéristiques IV représentatifs de l'état de ces pièges. On parvient ainsi à remonter aux effets de *gate-lag* et de *drain-lag* par comparaison entre les différents réseaux. Plus de détails seront donnés au Chapitre IV.

Enfin les mesures DC permettent de mettre en évidence l'effet de coude (*kink effect*) qui est également causé par des pièges. Ces derniers capturent des électrons du canal puis les libèrent soudainement à une tension V_{DS} donnée, ce qui donne lieu aux « bosses » caractéristiques sur les réseaux DC. Un coude peut aussi apparaître sur les courbes $I_{DS} - V_{GS}$. Elle est associée à la capture par des pièges donneurs en surface et à un phénomène d'ancrage du niveau de Fermi par les pièges : ainsi dans la plage de V_{GS} durant laquelle les pièges se remplissent, la grille ne module plus le 2DEG.

I.3.2.4. Spectroscopie des pièges

Les pièges peuvent être également caractérisés directement, on parlera alors de spectroscopie de pièges. Les techniques de spectroscopie s'appuient sur la loi d'Arrhénius en mesurant la constante de temps d'émission pour différentes températures de jonction, en utilisant un chuck thermique. Le tracé de $\ln(\tau_n T^2)$ en fonction de $1/k_B T$, appelé graphe d'Arrhenius, permet ensuite d'extraire la signature du piège E_a et σ_n par évaluation de la pente et de l'ordonnée à l'origine.

Parmi les techniques historiquement utilisées dans la littérature figurent la DLTS (*deep level transient spectroscopy*) de la capacité de grille ou du courant de drain, la DLOS (*deep level optical spectroscopy*) et les mesures de transitoire de courant. Les mesures de bruit électronique basse fréquence du courant de drain ou de grille permettent également d'identifier les centres de génération/recombinaison responsables de fluctuations de charges, en prenant soin de décorrélérer les influences du bruit thermique, du bruit de grenaille et du bruit en $1/f$. Au cours de ce travail nous avons utilisé une technique nouvellement développée reposant sur la dispersion de l'admittance de sortie basse fréquence, ainsi que des mesures de

transitoire de résistance à l'état ON. Pour les structures avec oxyde de grille, d'autres techniques existent pour la caractérisation des pièges à l'interface, reposant pour la plupart sur des mesures de capacité de grille. Nous y reviendrons au Chapitre IV lorsque nous présenterons les mesures de nos composants.

I.3.3. Dégradation des HEMTs

I.3.3.1. Fiabilité du composant

La fiabilité d'un composant est définie par son aptitude (sa probabilité) à accomplir sa fonction dans des conditions et pendant une période de temps déterminées par le cahier des charges, sans qu'il n'y ait de défaillance. Il ne faut pas la confondre avec la robustesse d'un composant qui désigne sa capacité à fonctionner en dehors des conditions spécifiées par le constructeur à n'importe quel moment de sa vie. La défaillance d'un transistor peut se traduire soit par la destruction du composant (court-circuit grille-drain par exemple), soit par la dégradation des caractéristiques physiques entraînant une baisse des performances électriques en deçà d'un critère d'acceptabilité (chute de 10 % par exemple). Dans le domaine de la défense, le cahier des charges stipule une durée de vie souvent supérieure à 20 ans pour une température de canal entre 175 °C et 225 °C [61]. De façon pratique les études de fiabilité reposent sur le monitoring de plusieurs paramètres indicateurs de performance (statiques ou hyperfréquence) d'un certain nombre de transistors sous différents scénarios de fonctionnement. La mortalité est alors extrapolée puis modélisée par des lois statistiques permettant ensuite de générer un certain nombre de métriques, comme la durée de vie moyenne (MTTF pour *mean time to failure*) dépendante des conditions environnementales. Pour l'évaluation de systèmes complets, plusieurs méthodologies existent, comme celle proposée par le guide FIDES établi par la DGA (Direction Générale de l'Armement) [62].

Le taux de défaillance d'un composant, i.e. le nombre de défaillance par unité de temps, suit une évolution temporelle dite en baignoire en 3 parties successives : ① une première zone à haut taux de défaillance dû à des défauts de jeunesse qui se manifestent rapidement (mortalité infantile), ② une zone à taux de défaillance constant (vie utile) et ③ une dernière zone à haut taux de défaillance dû au vieillissement du composant (fin de vie). Des tests de courtes durées permettent d'écarter les composants souffrant de mortalité infantile, souvent due à des erreurs de conception (côtes sur/sous-dimensionnées...) ou de fabrication (lithographie mal définie...). On prête en général une attention particulière à la zone de vieillissement du composant dans laquelle les défaillances proviennent de sources de dégradation intrinsèques aux matériaux. Différents mécanismes de dégradation peuvent alors être identifiés, pour la plupart schématisés sur la Figure I.35. Nous allons maintenant brièvement présenter ces mécanismes suivant les catégories suivantes : ① les mécanismes activés thermiquement (en rouge sur la figure), ② les mécanismes activés électriquement (en vert), et ③ les mécanismes propres à la technologie GaN (en bleu).

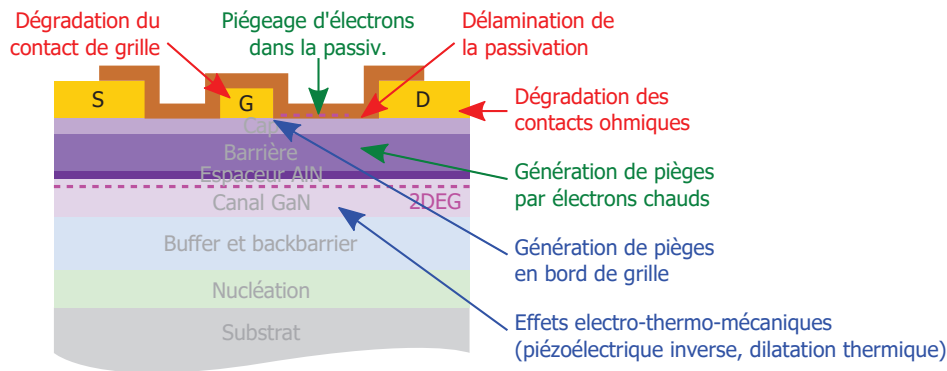


Figure I.35 – Mécanismes de dégradation identifiés sur les HEMTs GaN. En rouge sont indiqués les mécanismes activés thermiquement, en vert les mécanismes activés électriquement, et en bleu les mécanismes propres à la technologie GaN. Adapté de [63].

I.3.3.2. Mécanismes de dégradation

I.3.3.2.1. Mécanismes activés thermiquement

La température élevée du composant est à l'origine de phénomènes de dégradation au niveau des électrodes qui comportent des empilements de divers métaux susceptibles de changer de phase de manière irréversible. Le *gate sinking*, qui correspond à la diffusion du métal de grille dans le semiconducteur, est particulièrement délétère sur la qualité du contact Schottky car des effets de pointes peuvent générer des courants de fuite de grille. Par ailleurs la couche de passivation peut être sujette à une délamination (décollement) à cause des températures élevées atteintes à l'interface. L'impact de la thermique sur la durée de vie du composant est généralement bien modélisé par la loi d'Arrhenius présentée auparavant : $MTTF \propto \tau = A \exp(-E_a/k_B T)$. Cette loi est d'ailleurs utilisée en fiabilité pour accélérer le vieillissement des composants en les soumettant à des températures élevées.

I.3.3.2.2. Mécanismes activés électriquement

Le champ électrique n'est pas uniforme le long de l'axe source-drain. En particulier, le champ est plus intense au pied de grille côté drain, comme nous pouvons le constater sur la Figure I.36. Pour de fortes tensions de drain, les électrons de cette zone peuvent acquérir une énergie très supérieure à leur énergie thermique $3/2 k_B T$. Ces électrons dits « chauds » sont responsables de plusieurs phénomènes de dégradation des composants. Ils peuvent d'abord amener au claquage du matériau (cf. partie I.1.1.3), intervenant à une tension de drain dite de claquage du composant $V_b = \epsilon L_{eff} E_b^2 / 2q n_s$ [64]. Ils peuvent également être capturés par des pièges très profonds, créant ainsi des zones de charges qui vont modifier durablement les performances du composant (voir ci-après). Enfin, les électrons chauds peuvent générer des pièges dans la structure. Pour toutes ces raisons, le fonctionnement du transistor est généralement limité en tension de drain à une valeur $V_{DS,max} < V_b/2$. La durée de vie du composant peut être estimée en fonction de la tension de drain par le modèle de Takeda, qui prend en compte l'injection de porteurs chauds : $MTTF \propto \tau \propto e/V_{DS}$. Par ailleurs des phénomènes d'électromigration peuvent se manifester pour de forts niveaux de courant, dont les effets sont modélisables par la loi empirique de Black : $MTTF \propto \tau = A J^{-n} \exp(-E_a/kT)$.

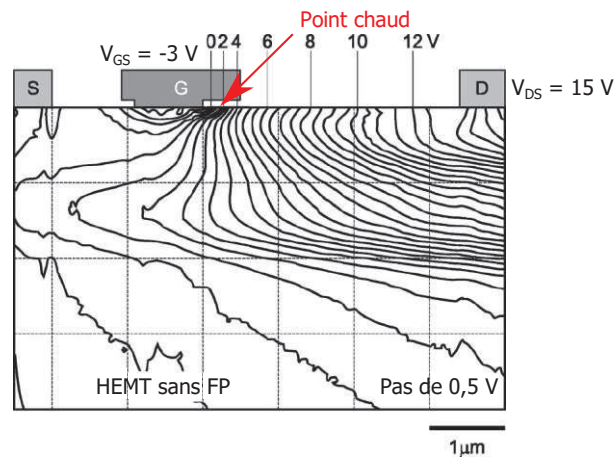


Figure I.36 – Distribution du potentiel électrique dans la section d'un HEMT AlGaN/GaN. De [65].

I.3.3.2.3. Mécanismes propres à la technologie GaN

Si les mécanismes présentés jusqu'à maintenant ont déjà été observés sur d'autres composants et d'autres semiconducteurs (Si, GaAs, InP, SiC...), la technologie HEMT GaN introduit des mécanismes de dégradation spécifiques du fait des propriétés inédites des nitrures. Les composants HEMTs GaN peuvent ainsi être soumis à l'effet piézoélectrique inverse : l'application d'un champ intense (surtout en sortie de grille comme nous l'avons vu) induit une surcontrainte mécanique sur le matériau, faisant apparaître des défauts cristallins (et donc des pièges) ou des crevasses à plus grande échelle. Notons également que le grand *gap* des nitrures est responsable de l'impact important des effets de pièges dans les composants à base de nitrures. En effet, ces matériaux sont susceptibles de présenter des pièges très profonds, avec des constantes de temps d'émission pouvant atteindre plusieurs jours. Dans ce contexte, et même si le mécanisme de piégeage est supposé réversible, les pièges sont des sources de dégradation car les porteurs piégés pendant de très longues périodes affectent durablement les performances du transistor. Nous pouvons citer en exemple le phénomène de grille virtuelle, où des charges négatives piégées dans l'espace grille-drain déplètent le 2DEG et provoquent une réduction du courant de drain. Les pièges peuvent également assister d'autres phénomènes physiques comme la conduction de surface et la conduction par effet tunnel, qui peuvent tous deux conduire à des courants de grille plus importants.

I.3.3.3. Solutions technologiques

I.3.3.3.1. Le management thermique contre les dégradations d'origine thermique

Diverses solutions existent pour drainer efficacement la chaleur des HEMTs générée lors de leur fonctionnement. La première est l'utilisation de substrats SiC qui, comme nous l'avons vu, disposent de la meilleure conductivité thermique. Le substrat peut de plus être aminci et être reporté sur radiateur thermique en fin de process. Pour drainer les calories par le « haut », il est possible d'utiliser un montage flip-chip qui consiste à retourner le composant et l'accoler à un conducteur thermique comme l'AlN, ou encore déposer une couche de matériau conducteur comme le BN en fin de process. Enfin les choix concernant le *packaging* final sont cruciaux pour le management thermique.

I.3.3.3.2. Les plaques de champ et autres solutions contre les dégradations d'origine électrique

Les plaques de champ, ou *field-plate*, sont des extensions de l'électrode de grille ou de l'électrode de source qui se positionnent en porte-à-faux au-dessus de l'espace grille-drain ou source-drain. Ces extensions métalliques modifient la distribution du champ électrique et permettent d'en atténuer les extrema, notamment en sortie de grille côté drain. Leur première implémentation sur HEMT GaN est à attribuer à une équipe de l'université de UCSB [66], inspirée par des réalisations antérieures sur jonction p-n et sur HEMT GaAs. Les plaques de champ ont pour conséquence d'augmenter la tension de claquage et de diminuer la capture d'électrons chauds par les pièges. Par contre elles augmentent la surface des électrodes et donc les capacités, ce qui porte préjudice aux performances RF.

Pour repousser la tension de claquage du composant, on peut augmenter L_{GD} . Cela se fait au détriment du R_{ON} du composant et de ses performances hyperfréquences. De manière générale on choisit L_{GS} et L_{GD} les plus courts possibles pour minimiser R_S et R_D , en tenant compte des valeurs prises par V_{GS} et V_{DS} lors du fonctionnement. Il en résulte une géométrie typiquement asymétrique avec $L_{GS} < L_{GD}$, cette dernière longueur étant adaptée à la gamme de tension d'utilisation du transistor.

Il est également recommandable de diminuer la densité de porteurs dans le canal, avec néanmoins un impact négatif sur le courant maximal. En effet il a été démontré pour les MESFETs GaAs, puis confirmé pour les HEMTs AlGaIn/GaN, que la tension de claquage est inversement proportionnelle à n_s (voir relation à la page 74). On peut contrôler cette densité de porteurs en jouant sur la composition de la barrière. Dès lors on choisira le meilleur compromis $I_{DS,max} - V_b$, en gardant à l'esprit qu'il est préférable, à puissance constante, d'avoir un faible courant avec une forte tension afin de permettre une adaptation en sortie plus facilement réalisable.

I.3.3.3.3. La passivation de surface contre les dégradations dues aux pièges

L'application d'une couche de passivation à la surface de la structure HEMT permet de neutraliser en partie les pièges à la surface pour réduire leurs impacts néfastes. Depuis la première passivation Si_xN_y réalisée par une équipe de l'université de Cornell [67], de nombreuses variantes ont été réalisées, utilisant d'autres matériaux (SiO_2 , Al_2O_3 , HfO_2 , AlN, Sc_2O_3 , MgO, Gd_2O_3 , encapsulation par polymère BCB etc.) ou des combinaisons de ces matériaux, déposés par différentes techniques *in-situ* (dans le réacteur de croissance MOCVD) ou *ex-situ* (pendant la fabrication du composant, le plus souvent par dépôt chimique en phase vapeur, PECVD). Plusieurs effets bénéfiques de la passivation ont été démontrés, dont l'augmentation du courant de drain, la suppression du *current collapse* et des effets de *lag* etc. La stabilité thermique est l'un des critères les plus importants pour le choix de la passivation en raison des risques de délamination. La tenue au champ électrique est également primordiale, car un claquage de la passivation entraîne un court-circuit grille-drain. Enfin, la composition de la couche doit être bien choisie, car elle est garante de la stabilité chimique et des réactions qu'il peut y avoir à la surface (diffusion d'atomes par exemple).

Chapitre II. La fonctionnalité *normally-off*

II.1. Contexte

II.1.1. Fonctionnalités *normally-on*, *normally-off*

Dans les structures HEMTs classiques présentées jusqu'à maintenant, le 2DEG existe même en l'absence de polarisation de grille ($V_G = 0\text{ V}$). Il faut alors appliquer une tension négative sur la grille afin de couper le canal et mettre le transistor à l'état OFF. En d'autres termes la tension de seuil V_{th} est négative, autour de -6 V pour les HEMTs AlGaIn/GaN et -4 V pour les HEMTs InAlN/GaN conventionnels. On dit alors que le transistor est *normally-on*, i.e. à l'état ON à $V_G = 0\text{ V}$. D'autres utilisent le terme de *depletion-mode*¹⁷ (*D-mode*) pour indiquer que l'action de V_G est de dépléter le canal de ses porteurs. Pourtant, comme nous allons le voir, il peut s'avérer nécessaire d'avoir des transistors *normally-off*, i.e. à l'état OFF à $V_G = 0\text{ V}$, ou *enhancement-mode* (*E-mode*), où l'action de V_G est d'accroître la conductivité du canal.

Attention, il ne faut pas confondre les notions *normally-on/normally-off* avec celles de type-n/type-p, qui désignent la nature des porteurs (électron/trou) qui constituent le courant unipolaire, indiquant la direction de V_G qui permet d'ouvrir ou de fermer le canal. La Figure I.1 schématise les différents fonctionnements possibles des transistors. Les HEMTs sont historiquement des transistors de type-n. La difficulté du dopage p dans les semiconducteurs III-N a entravé le développement de HHMTs GaN (*high hole mobility transistor*) complémentaires aux HEMTs GaN, et en dépit de quelques publications récentes qui sont parvenues à démontrer des HHMTs opérationnels, les performances restent encore assez limitées.

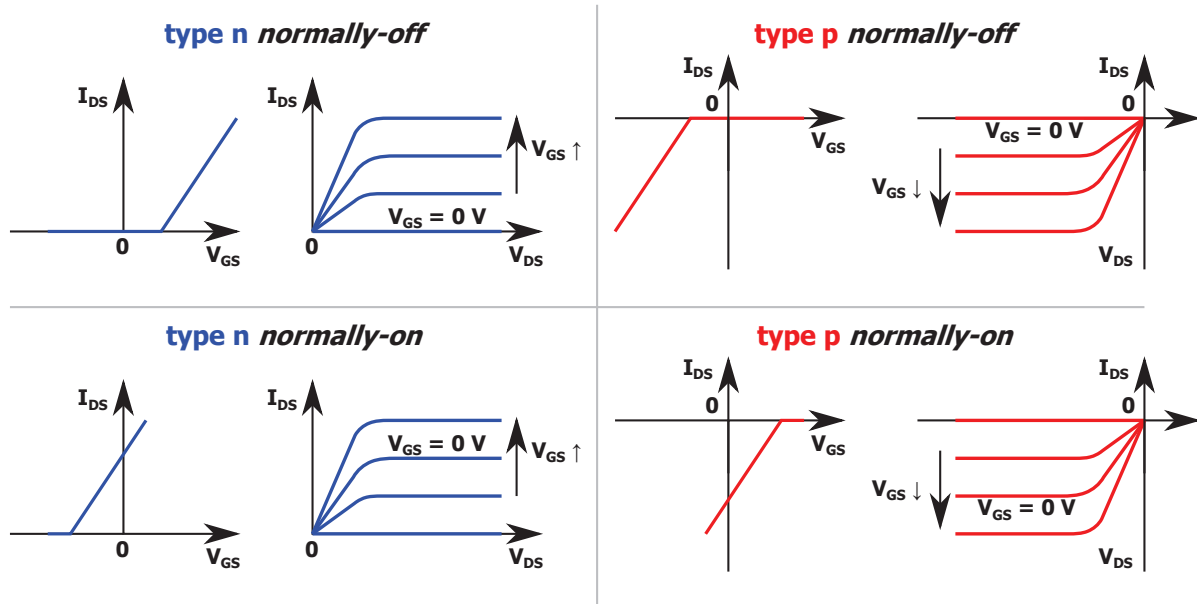


Figure II.1 – Variantes de transistors : caractéristiques de transfert et réseaux IV. Adapté de [68].

¹⁷ Les termes de *depletion-* et *enhancement-* mode sont en général utilisés pour les applications numériques alors que les termes de *normally-on* et *normally-off* leur sont préférés dans le domaine des composants de puissance.

II.1.2. Nécessité de la fonctionnalité *normally-off*

On distingue 2 domaines majeurs dans lesquels la fonctionnalité *normally-off* est nécessaire : ① les applications de puissance en régime de commutation, et ② les applications de logique numérique par cointégration *normally-on/normally-off* (E/D).

II.1.2.1. *Normally-off* pour les applications de puissance

Pour les applications de puissance, la fonctionnalité *normally-off* est grandement souhaitable en particulier en régime de commutation basse/moyenne fréquence pour la conversion d'énergie. La principale raison invoquée est la sécurité accrue, puisqu'avec des composants *normally-off*, une panne sur la commande de grille a pour conséquence d'ouvrir le circuit et donc de protéger la charge en aval. Par ailleurs, les composants *normally-off* sont attractifs en commutation en ce qu'ils consomment peu d'énergie à l'état de repos. Enfin la plupart des circuits de puissance sont conçus pour des technologies *normally-off* comme le MOSFET Si. Pour assurer la compatibilité avec les HEMTs GaN *normally-on*, les concepteurs doivent alors incorporer des éléments supplémentaires pour fournir une polarisation de grille négative. Les HEMTs GaN *normally-off* sont donc désirables pour s'accommoder d'une seule source de polarisation positive et réduire la complexité des circuits.

De manière générale, les HEMTs GaN *normally-off* seraient préférables pour toute application de haute puissance et/ou haute fréquence s'ils n'étaient malheureusement pas moins performants que leurs versions *normally-on*. C'est pourquoi leur champ d'application se restreint pour le moment à la commutation de puissance.

II.1.2.2. Co-intégration *normally-on/normally-off* (E/D) pour les applications numériques

Jusqu'à présent nous avons considéré des composants *normally-off* discrets éventuellement reportables sur des circuits microondes. Il est cependant souhaitable de disposer d'une technologie intégrant composants *normally-off* et *normally-on* (E/D) de façon monolithique, sur un même wafer. D'une part, certaines topologies de circuits de puissance, comme les *bridges*, requièrent l'utilisation conjointe de transistors *normally-on* et *normally-off* de puissance. Mais surtout, la complémentarité des 2 fonctionnalités E/D permet la réalisation de circuits logiques performants pour la commande numérique des fonctions de puissance hyperfréquence, qui ne peuvent se faire en logique complémentaire p/n par absence de HHMT. Ainsi la technologie HEMT GaAs E/D a par le passé permis l'émergence de circuits logiques DCFL (*Direct Coupled FET Logic*) et SCFL (*Source Coupled FET Logic*). La première famille logique s'est rapidement imposée pour les applications basse puissance LSI et VLSI (*Very Large Scale Integration*) à haute complexité, tandis que la seconde famille est préférée pour les applications à très haute fréquence [69].

À ce propos, il existe une famille logique, appelée BFL (*Buffered FET Logic*), qui utilise uniquement des transistors *normally-on* par addition de diodes de décalage. Cette solution présente néanmoins plusieurs inconvénients. Pour illustrer ce point, la Figure II.2 présente la fonction logique OR (porte NOR et inverseur) réalisée d'une part en DCFL et d'autre part en BFL. On y voit le net avantage de la technologie intégrée E/D qui n'utilise que 5 transistors au lieu de 7 transistors et 2 diodes. Notons par ailleurs que le DCFL permet une dissipation de puissance bien moindre que le BFL.

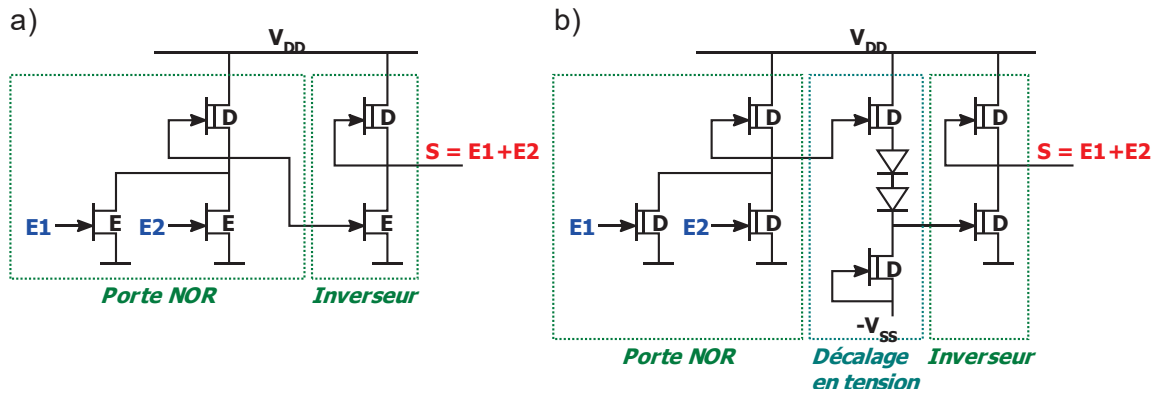


Figure II.2 – Porte logique NOR et inverseur utilisant (a) une technologie de transistors E/D (DCFL) et (b) une technologie de transistors *normally-on* uniquement (BFL). Adapté de [70].

La Figure II.3 présente un autre cas d'utilisation de la logique DCFL [71]. Il s'agit d'une puce multifonction en technologie GaAs E/D (WIN Semiconductor PD50-01) pour des modules Transmission/Réception (T/R) d'une antenne réseau à commande de phase¹⁸, ayant vocation à être utilisée dans les stations de base telecom. Grâce à la logique DCFL, il est possible de réaliser un multiplexeur et donc une interface série-parallèle permettant de commander un déphaseur et un atténuateur avec seulement 5 bits de commande là où une interface parallèle BFL en nécessiterait 21. Le nombre de plots d'entrées-sorties de la puce est ainsi réduit, tout comme la complexité des interconnexions. Notons par ailleurs que dans cet exemple, la totalité des fonctions hyperfréquence, i.e. les PAs, l'atténuateur et le déphaseur, est réalisée avec des transistors GaAs *normally-off* en régime d'amplification ou de commutation, requérant une alimentation à une seule polarité fournie par l'*active bias circuit*.

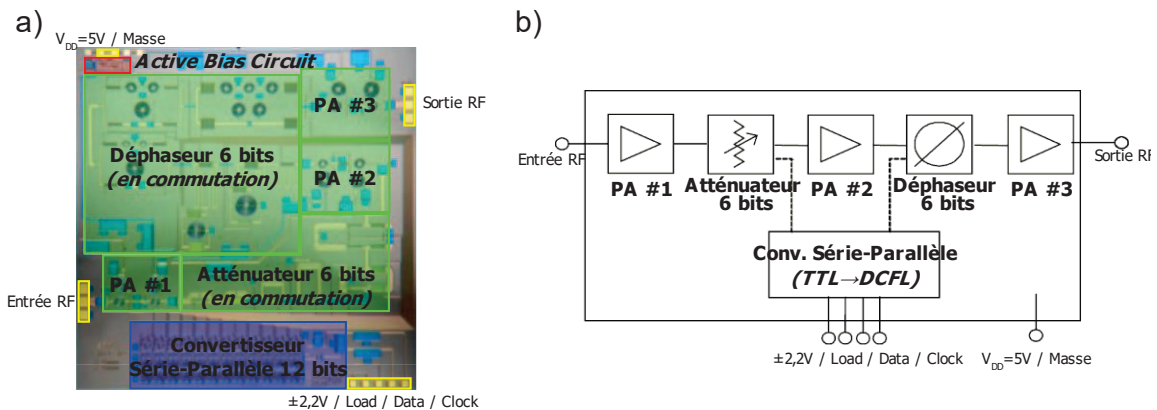


Figure II.3 – MMIC multifonction en bande S d'un module T/R d'antenne réseau à commande de phase : (a) photographie de la puce en technologie GaAs E/D et (b) schéma fonctionnel. De [71].

II.1.2.3. Filière HEMT GaN intégrée

Le développement des technologies HEMT GaN *normally-off* de puissance et HEMT GaN E/D sont des étapes essentielles vers l'intégration de fonctions de plus en plus nombreuses au sein d'un unique MMIC. On peut ainsi considérer la perspective à plus ou moins long terme d'une filière HEMT GaN comprenant plusieurs types de transistors intégrables de façon monolithique : ① *normally-on* pour les fonctions hyperfréquences (HPA), ② *normally-off* (et éventuellement *normally-on*) pour les modules de puissance (alimentation) et ③ E/D pour les

¹⁸ Une antenne réseau à commande de phase fonctionne sur le même principe que les AESA pour les radars. Ce terme est préféré dans le domaine des télécoms.

circuits numériques (commande des fonctions hyperfréquences). La Figure II.4 reprend les utilisations possibles de ces transistors selon les axes puissance et fréquence.

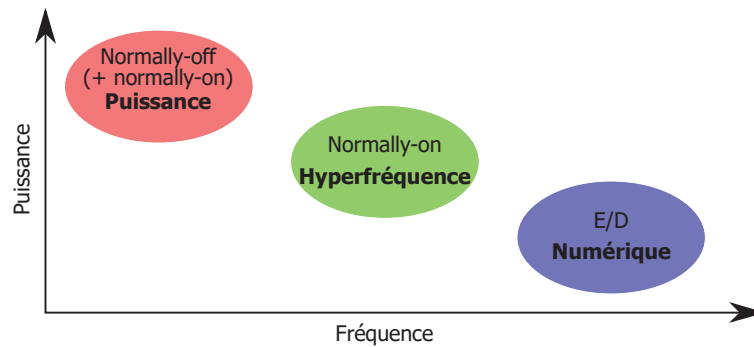


Figure II.4 – Domaines d’utilisation des différentes technologies HEMT dans le cadre d’une filière GaN intégrée, selon les axes puissance – fréquence.

En guise d’illustration, la Figure II.5 présente un MMIC multifonction de HPA pour un module T/R discret de radar AESA, comprenant en plus du circuit microonde une alimentation à découpage et un circuit de contrôle numérique [72]. Actuellement réalisé en technologie GaAs *normally-on* (WIN Semiconductor PP50-20), il serait fortement souhaitable d’aboutir à une puce équivalente en technologie GaN intégrée plus compacte, plus simple, plus efficace et plus fiable.

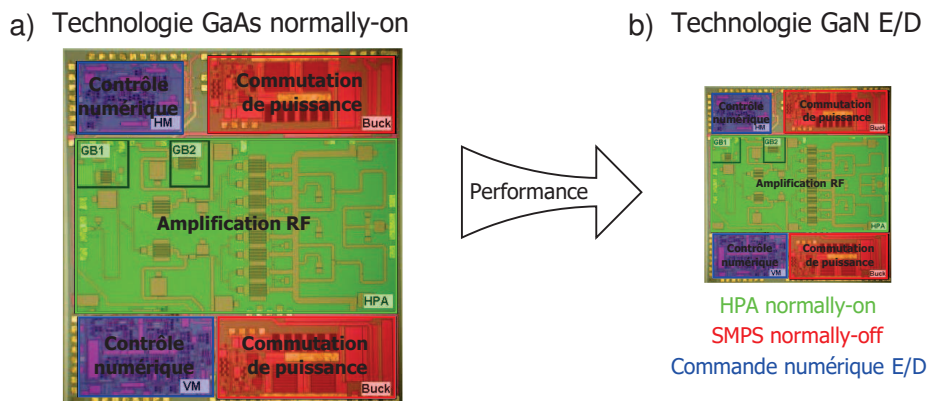


Figure II.5 – MMIC multifonction d’un HPA en bande S comprenant un SMPS, pour module T/R de radar AESA : (a) photographie de la puce en technologie GaAs et (b) son équivalent plausible en technologie GaN intégré. Adapté de [72].

II.1.3. Etat de l’art des HEMTs GaN *normally-off*

II.1.3.1. Synthèse bibliographique

Nous avons compilé les résultats de 120 publications sur les HEMTs GaN *normally-off*. La liste a été complétée en utilisant les moteurs de recherche en ligne des principaux éditeurs scientifiques : IEEE, *American Institute of Physics* (AIP), *Institute of Physics* (IOP), Wiley, Elsevier, avec les mots-clés : « HEMT », « HFET », « GaN », « *normally-off* » et « E-mode », de façon à avoir la vue la plus représentative possible sur l’état de l’art de ces composants.

II.1.3.2. Généralités

Présentons maintenant quelques statistiques générales sur les publications compilées. La Figure II.6 présente l'évolution annuelle du nombre de publications portant sur les HEMTs GaN *normally-off*. Depuis la première publication de Khan et al. en 1996 [73], nous observons une progression des efforts de recherche dans les années 2000 avec accélération dans la 2^e moitié de la décennie, aboutissant à un pic de publications en 2010. Depuis lors l'activité de recherche reste à peu près constante avec en moyenne une quinzaine de publications par an. Précisons que la synthèse est arrêtée à l'année 2015 ce qui explique le nombre réduit de publications compilées pour cette année.

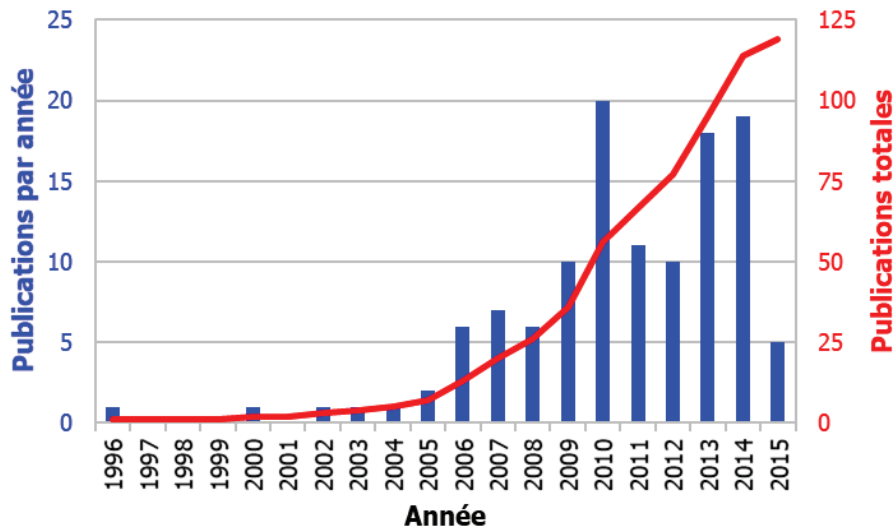


Figure II.6 – Évolution annuelle du nombre de publications relatives aux HEMTs GaN *normally-off*.

La Figure II.7 (a) présente la répartition des publications par pays et continents. Nous pouvons constater que la recherche sur les HEMTs GaN *normally-off* est particulièrement intense en Asie de l'Est puisque près de 60% des publications en proviennent. Les États-Unis sont également un acteur majeur avec près d'un tiers des publications. Enfin l'Europe complète le tableau en réunissant environ 12% des publications. La Figure II.7 (b) présente les institutions d'affiliation comprenant plus de 2 publications en premier auteur. Le même constat concernant la répartition géographique peut être fait. Nous pouvons en outre voir que les acteurs de la recherche sont aussi bien universitaires (p. ex. HKUST) qu'industriels (p. ex. HRL Laboratories détenu par Boeing et General Motors), avec également la présence d'institutions mixtes comme l'IMEC. Cela témoigne d'un intérêt à tous les niveaux de développement et de riches collaborations public/privé avec de nombreux projets et partenariats.

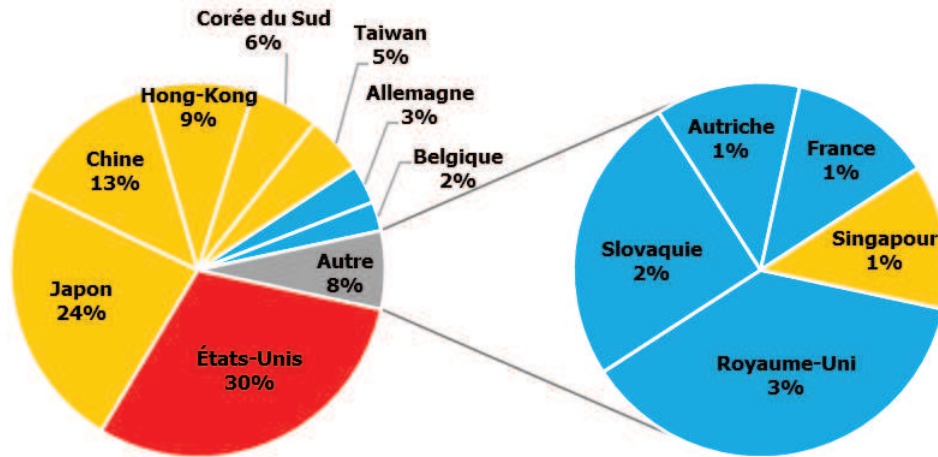


Figure II.7 – Acteurs de la recherche sur les HEMTs GaN *normally-off* : (a) répartition des publications par pays et par continent, (b) représentation des acteurs avec plus de 2 publications affiliées.

II.1.3.3. Axes de recherche

La recherche sur les HEMTs GaN *normally-off* se décline selon 2 axes reflétant les 2 cas d'utilisation illustrés précédemment : les HEMTs GaN *normally-off* pour les applications de puissance, et la technologie HEMT GaN E/D pour les applications numériques.

II.1.3.4. HEMTs GaN *normally-off*

Les HEMTs GaN *normally-off* font l'objet d'efforts soutenus de R&D depuis maintenant plus de 10 ans, de la part d'acteurs académiques, étatiques et industriels. Ainsi plusieurs laboratoires universitaires et industriels européens, américains et asiatiques sont fortement impliqués dans ces recherches. Parmi les plus gros contributeurs, citons l'IMEC, FBH (et Infineon) et TU Wien pour l'Europe, UCSB, MIT et UND (et Qorvo, ex TriQuint) pour les États-Unis, et HKUST, Nagoya IT et Fujitsu pour l'Asie. Ces recherches sont souvent en partie subventionnées par des institutions comme l'UE, l'ESA ou la DARPA, au travers divers contrats de partenariat et projets : *HiPoSwitch* [74], *PowerBase* [75] (UE) et *Microscale Power Conversion* (MPC) [76] (É.-U.) pour les applications de puissance, *MORGaN* [77] (UE) pour

les composants à barrière InAlN. Elles ont débouché sur une multitude de propositions et de réalisations de solutions technologiques sur lesquelles nous reviendrons dans la partie suivante.

II.1.3.5. Co-intégration (E/D)

Des efforts importants sont engagés dans le développement d'une technologie HEMT GaN co-intégrée E/D. Mentionnons notamment le projet américain *Nitride Electronic NeXt-Generation Technology* (NeXT) [78] de la DARPA, orienté spécifiquement vers l'électronique numérique à très haute fréquence pour des circuits à signaux mixtes hautement performants pour le domaine militaire (communication, guerre électronique, senseurs). Ce programme vise des fréquences de coupure de 300-500 GHz et 200-400 GHz pour les composants *normally-on* et *normally-off* respectivement, avec un JFoM ($f_T \cdot V_{bk}$) de 5 THz.V, et exige une uniformité et un rendement de fabrication suffisamment bons pour démontrer un circuit numérique à plusieurs centaines de composants. Pour atteindre cet objectif, les laboratoires impliqués (HRL, Northrop Grumman et Qorvo) pratiquent une mise à l'échelle (*scaling*) agressif du composant avec l'utilisation de techniques avancées : structures épitaxiales optimisées, passivation par diélectriques innovants, recroissance de contacts ohmiques. Notons cependant que l'intégration n'est pas véritablement monolithique mais résulte de la croissance sélective (*selective area (re)growth* ou *SAG*) par MBE de structure *normally-off* au sein d'une structure *normally-on* gravée. Notons que le programme NeXT a servi de tremplin au programme MPC actuellement en cours [76], qui a pour objet la réalisation d'un HPA à polarisation dynamique en bande X ou au-delà délivrant une puissance de sortie de 5 W pour un PAE composite de 75 %. Il est alors prévu que les transistors précédemment réalisés servent à la partie numérique / signaux mixte tandis que des transistors « upscalé » et optimisés pour la tenue en tension servent à la commutation de puissance.

II.1.3.6. Disponibilité commerciale

En ce qui concerne les HEMTs GaN *normally-off* pour les applications de puissance, seuls quelques composants sont sur le marché pour le moment, ciblant majoritairement les applications de conversion d'énergie. Il s'agit en majorité de montages hybrides cascades vendus entre autres par Infineon (ou plutôt International Rectifier, acquis en 2015) [79], et Transphorm (issue de chercheurs de UCSB) [80]. Certaines firmes comme GaN Systems, EPC (fondée par un ancien ingénieur d'IR), Infineon et Panasonic proposent des HEMTs GaN *normally-off* utilisant des couches dopées p comme le suggèrent les brevets et articles qui leurs sont associés [81], [82].

D'autre part, la filière HEMT GaN E/D pour les applications numériques n'a pas encore acquis la maturité suffisante pour être disponible commercialement. Plusieurs fonderies proposent cependant des technologies HEMT GaAs E/D : ED02AH d'OMMIC ($f_T = 73$ GHz, $V_{bk} = 8$ V), TQP25 de Qorvo ($f_T = 45$ GHz, $V_b = 12$ V), ou encore PD50-01 de WIN Semiconductor ($f_T = 32$ GHz, $V_b = 16$ V).

II.1.4. Résultats précédemment obtenus au III-V Lab

Des travaux sur des HEMTs GaN *normally-off* ont été effectués durant la thèse de Mage Malela-Massamba au III-V Lab [83]. Des MOSHEMT à *recess* de grille ont été fabriqués sur une épitaxie AlGaIn/GaN sur substrat Si dédiée à la commutation de puissance. Dans ces composants, l'oxyde de grille a été formé par oxydation thermique de la surface de la barrière et dépôt additionnel par IAD (*Ion Assisted Deposition*) de 10 nm d'Al₂O₃. Le *recess* de grille a été gravé par ICP (*Inductively Coupled Plasma*) chloré suivant 3 variantes de durée de gravure

(*D-mode 0 s*, *E-mode 25 s* et *E-mode 35 s*). Enfin les composants ont été recuits thermiquement. L'ensemble du process a été réalisé par lithographie optique UV, et les dimensions caractéristiques sont les suivantes : $L_G = 1 \mu\text{m}$, $L_{GS} = 1 \mu\text{m}$ et $L_{GD} = 20 \mu\text{m}$ et $W = 2 \times 1 \text{ mm}$. La Figure II.8 et le Tableau I.1 présentent les performances électriques obtenues. On peut souligner pour les composants les plus gravés un V_{th} de +1.8 V, un courant de drain de 274 mA/mm, un pic de transconductance extrinsèque de 132 mS/mm et une tension de claquage supérieure à 200 V. Ces composants se prêtent particulièrement bien aux applications de puissance, mais sont trop larges pour la commutation à haute fréquence ou la commande numérique.

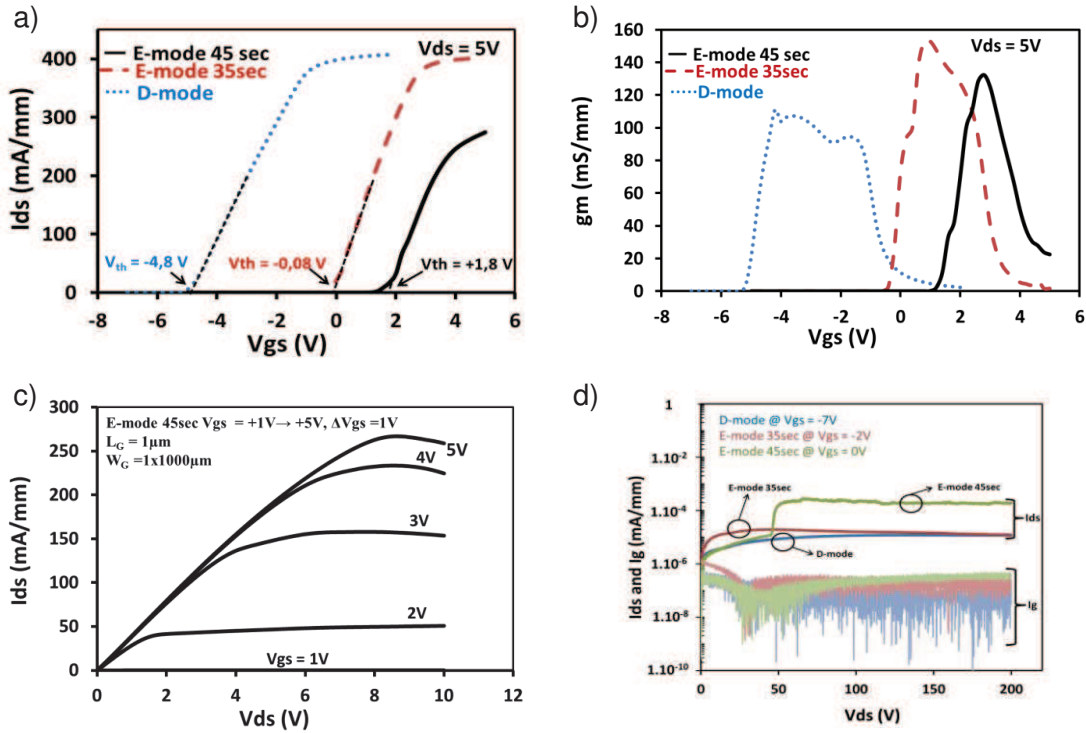


Figure II.8 – Résultats précédemment obtenus au III-V Lab sur MOS-HEMTs à *recess* de grille : (a) caractéristiques de transfert et (b) transconductance pour 3 variantes de gravure, (c) réseau IV pour un E-mode 45sec et (d) courants de fuite et mesure de claquage pour les 3 variantes.

Tableau II.1 – Résultats précédemment obtenus au III-V Lab sur MOS-HEMTs à *recess* de grille : paramètres clés pour les 3 variantes de gravure.

	D-mode	E-mode 35sec	E-mode 45sec
V_{th} (V)	-4,8	-0,08	+1,8
$I_{DS,max}$ (mA/mm)	407 @ $V_{GS} = +2 \text{ V}$	402 @ $V_{GS} = +5 \text{ V}$	274 @ $V_{GS} = +5 \text{ V}$
$g_{m,max}$ (mS/mm)	111	153	132
R_{ON} ($\Omega \cdot \text{mm}$)	15,1	15,3	25,3
I_{ON}/I_{OFF}	$4,6 \times 10^9$	$8,5 \times 10^9$	$3,3 \times 10^9$

II.2. Principales solutions technologiques

Nous allons maintenant étudier les différentes solutions technologiques pour l'obtention de HEMT GaN *normally-off* que nous avons recensées. Partons d'une structure de référence, celle d'un HEMT *normally-on* composée simplement d'un canal GaN et d'une couche de barrière. Il est utile de se rappeler la formule de la tension de seuil d'une telle structure :

$$V_{th,réf} = \frac{\Phi_b}{e} - \frac{\Delta E_{C_{GaN,bar}}}{e} - \frac{t_{bar}}{\epsilon_{bar}} \sigma_{bar/GaN} \quad (II.1)$$

Tout au long de cette partie, nous utiliserons des simulations de diagrammes de bandes pour appuyer notre propos. Ces simulations ont été réalisées avec le logiciel 1D Poisson [48], avec si possible résolution de l'équation de Schrödinger pour les porteurs dans le canal et statistique de Boltzmann pour les porteurs et éventuels dopants en dehors du canal. Notons cependant que les résultats obtenus sont purement qualitatifs, car en pratique les valeurs de V_{th} et de n_S peuvent largement différer en raison de certains aspects limitants non pris en compte, comme par exemple les états d'interfaces.

II.2.1. Modification de la barrière

Pour cette famille de solutions, on cherche simplement à jouer sur l'un des termes de l'expression précédente.

II.2.1.1. Barrière fine

Le moyen le plus simple de décaler V_{th} vers les valeurs positives est de réduire l'épaisseur de la barrière t_{bar} . Historiquement cette approche a permis l'obtention des tout premiers HEMTs GaN *normally-off* comportant une barrière $Al_{0,1}Ga_{0,9}N$ fine de 10 nm et démontrant un V_{th} très légèrement positif de 0,05 V [73]. Attention, cette approche n'a aucune incidence sur les effets piézoélectriques, à moins de considérer une relaxation des contraintes dans la barrière qui serait moins importante pour les barrières fines. La Figure II.9 présente les diagrammes de bandes et les courbes $n_S - V_{GS}$ pour différentes épaisseurs d'une barrière $Al_{0,25}Ga_{0,75}N$.

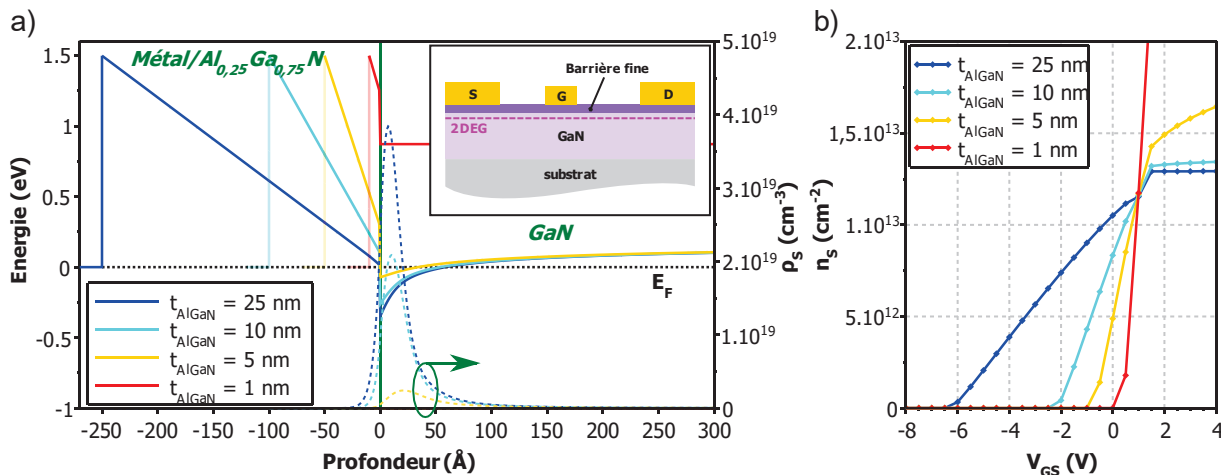


Figure II.9 – Simulations de HEMT AlGaIn/GaN pour différentes épaisseurs de barrière : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN à barrière fine en encart et (b) courbes $n_S - V_{GS}$.

Comme escompté, V_{th} croît lorsque t_{AlGaIn} s'amenuise, et l'on a $\partial V_{th} / \partial t_{bar} = \sigma_{bar/GaN} / \epsilon_b$, ce qui donne -0,28 V/nm pour une barrière $Al_{0,25}Ga_{0,75}N$ et -0,50 V/nm pour une barrière

$\text{In}_{0,18}\text{Al}_{0,82}\text{N}$. L'affinement de la barrière est cependant limité par le courant de grille par effet tunnel qui apparaît pour des épaisseurs très fines.

II.2.1.2. Recess de grille

Les structures à barrières fines ont l'inconvénient de produire des 2DEG de faibles densités, ce qui augmente la résistance à l'état passant R_{ON} et limite fortement le courant de drain. Pour pallier cela, il est possible de recourir à une structure dite à *recess* de grille [84]. Dans cette dernière, la barrière est localement gravée sous le pied de grille, donnant naissance à une sorte de renforcement¹⁹ illustré sur la Figure II.10. De ce fait, un 2DEG à forte densité est maintenu dans les zones d'accès de source et de drain, alors que la commande de grille se fait sur une barrière amincie, retenant alors une fonctionnalité *normally-off*. Cette solution est la plus prisée actuellement car elle permet un bon compromis entre niveau de courant et tension de seuil. Toutefois le contrôle de l'étape de gravure est critique et il est indispensable de maîtriser la répétabilité et l'homogénéité du process sous peine d'une grande dispersion entre composants. Plus de détails sur les difficultés inhérentes à cette solution seront donnés ultérieurement.

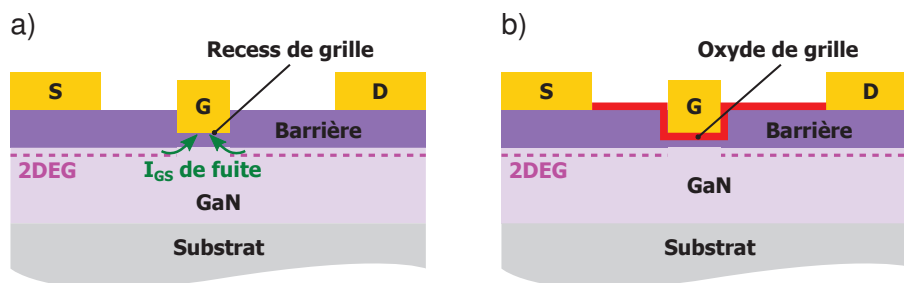


Figure II.10 – Schémas de principe (a) d'un HEMT à *recess* de grille et (b) d'un MOS-HEMT à *recess* de grille.

Certaines publications relatent une gravure complète de la barrière voire une surgravure du canal sous-jacent [85]. Il y a alors extinction du 2DEG sous la grille, et le composant est plutôt assimilable à un MESFET ou un MOSFET s'il y a addition d'un oxyde de grille. Une tension de grille positive a alors pour conséquence de créer un canal d'accumulation à l'interface métal-semiconducteur reliant les canaux 2DEG à haute mobilité des accès de source et de drain. Or le GaN n'étant que légèrement dopé n de manière non-intentionnelle, ce canal d'accumulation est bien moins dense, et ces composants présentent donc de faibles courants de drain faibles et de fortes R_{ON} , quoique nettement *normally-off*.

II.2.1.3. Barrière à composition altérée

La croissance de barrière avec différentes compositions permet de modifier les effets de polarisation dans la barrière, et donc $\sigma_{bar/GaN}$. Comme le montre la Figure II.11, la diminution de la teneur en aluminium d'une barrière AlGaIn permet de décaler V_{th} vers les valeurs positives, mais au détriment de la densité du 2DEG (à de très faibles teneurs en aluminium, le 2DEG risque même de ne plus se former à cause d'un puit de potentiel trop peu prononcé). Pour les barrières InAlN l'augmentation de la teneur en indium produira les mêmes effets. Notons que certains groupes utilisent des barrières ultrafines à très haute teneur en aluminium [86], [87], voire des barrières AlN [88], [89], pour obtenir un comportement *normally-off* tout en maintenant un n_S élevé.

¹⁹ Il s'agit là de la signification littérale du mot anglais *recess*.

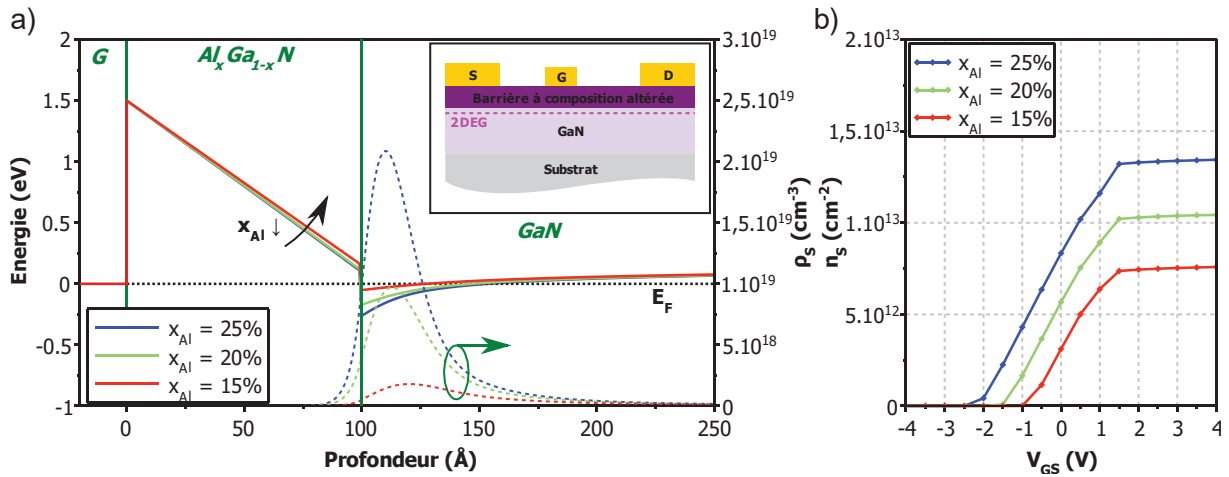


Figure II.11 – Simulations de HEMT AlGaIn/GaN pour différentes compositions de barrière : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN en encart et (b) courbes $n_s - V_{GS}$.

II.2.1.4. Grille à hauteur de barrière altérée

Enfin, nous nous apercevons qu'il est possible de changer V_{th} si l'on parvient à jouer sur la hauteur de barrière Schottky Φ_b [86]. Cela peut se faire par le choix de différents empilements métalliques de grille, l'utilisation de recuits de grille favorisant un alliage approprié ou le dépôt d'une couche de matériau entre la barrière et la grille de sorte à modifier le potentiel de surface du semiconducteur. En pratique cela reste complexe en raison des nombreux phénomènes de surface/d'interface comme l'ancrage du niveau de Fermi. En raisonnant sur la formule ou sur un diagramme de bandes plates, on conclut que V_{th} est positive si et seulement si $\Phi_b/e > \Delta E_{C_{GaIn,bar}}/e + t_{bar}\sigma_{bar/GaN}/\epsilon_{bar}$, ce qui fait 7,6 eV pour une barrière $Al_{0,25}Ga_{0,75}N$ de 25 nm d'épaisseur et 5,2 eV pour une barrière $In_{0,18}Al_{0,82}N$ de 8 nm d'épaisseur. Ces valeurs sont bien au-delà des hauteurs de barrière atteignables, et l'on voit donc que cette solution ne peut s'appliquer seule pour obtenir un composant *normally-off*, mais peut y participer.

II.2.2. Implantation de fluor

Initiée puis développée par l'équipe de K. Chen de l'université des sciences et techniques de Hong-Kong (HKUST), l'implantation de fluor dans le volume de la barrière permet d'obtenir des transistors *normally-off* [90]. Le fluor implanté, très électronégatif, se lie avec un électron environnant pour former des ions fluorure F^- . Ce mécanisme sera examiné plus en détail au Chapitre III. L'implantation est le plus souvent faite au moyen d'un traitement plasma RIE, mais l'utilisation d'un véritable implanteur ionique à haute énergie a également été rapportée. Dans la lignée du *recess* de grille, le traitement est effectué localement sous la grille pour éviter ainsi de forts R_{ON} et de faibles I_{DS} . Cette technique souffre d'un scepticisme vis-à-vis de la stabilité thermique des espèces implantées, même s'il a été récemment démontré une stabilité jusqu'à 200 °C en utilisant conjointement une implantation de fluor, un *recess* et un oxyde de grille [91]. Notons que les composants fabriqués selon cette technique sont quasi-exclusivement dédiés à la haute puissance plutôt qu'à la haute fréquence.

D'un point de vue théorique, l'expression de V_{th} pour une structure de référence implantée est $V_{th} = V_{th,ref} - \varphi_{F^-}$, où $e\varphi_{F^-}$ désigne le décalage de bande de conduction causé par l'implantation [92]. Il est admis que la contribution principale de ce décalage est la courbure de bande due à l'effet électrostatique des ions négatifs plutôt qu'un éventuel changement de potentiel de surface. En prenant l'origine de l'axe z à la surface, on a donc :

$$\varphi_{F^-} = \int_0^{t_{bar}} \frac{z}{\varepsilon_{bar}} \rho_{F^-}(z) dz \left(+ \int_{t_{bar}}^{t_{bar}+t_{can}} \left(\frac{t_{bar}}{\varepsilon_{bar}} + \frac{z-t_{bar}}{\varepsilon_{can}} \right) \rho_{F^-}(z) dz \right) \quad (II.2)$$

où $\rho_{F^-}(z)$ est la densité de charges volumique effective, négative. Le terme entre parenthèses n'apparaît que s'il y a implantation au-delà de l'hétérojonction. Le logiciel de simulation de bande est capable de simuler un profil d'implantation d'ions à partir d'une dose, d'une profondeur et d'un *stragglings*²⁰ d'implantation en utilisant la théorie Lindhard-Scharff-Schiøtt (LSS). La Figure II.12 trace les diagrammes de bandes et les courbes $n_s - V_{GS}$ pour une barrière $Al_{0,25}Ga_{0,75}N$ de 25 nm d'épaisseur, pour différentes doses d'implantation à une profondeur de 100 nm et un *stragglings* de 100 nm.

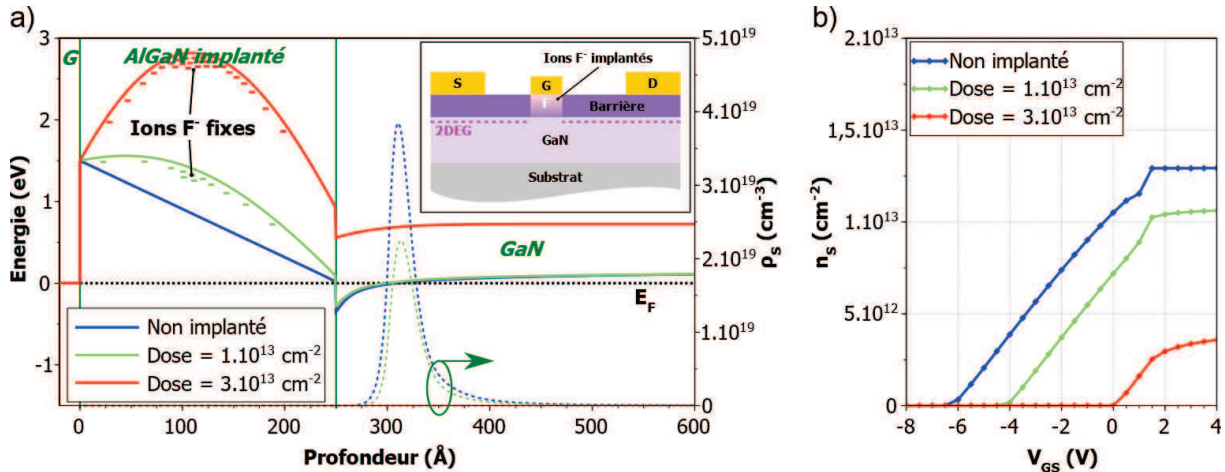


Figure II.12 – Simulations de HEMT AlGaIn/GaN implantés pour différentes doses d'ions F^- : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN implanté en encart et (b) courbes $n_s - V_{GS}$.

La Figure II.13 reprend ces mêmes courbes pour différentes profondeurs d'implantation, avec une dose de 3×10^{13} cm⁻² et un *stragglings* de 100 nm. Nous pouvons constater qu'il est souhaitable d'implanter une forte dose au plus près du canal. Cependant, l'implantation dans le canal perturbe fortement le réseau et entraîne une baisse de la mobilité des électrons. Il est donc nécessaire de réaliser des simulations d'implantation afin d'optimiser le profil de charges.

²⁰ Le *stragglings* désigne la dispersion de la distribution de charge à l'intérieur du matériau, il est assimilable à l'écart-type de la distribution.

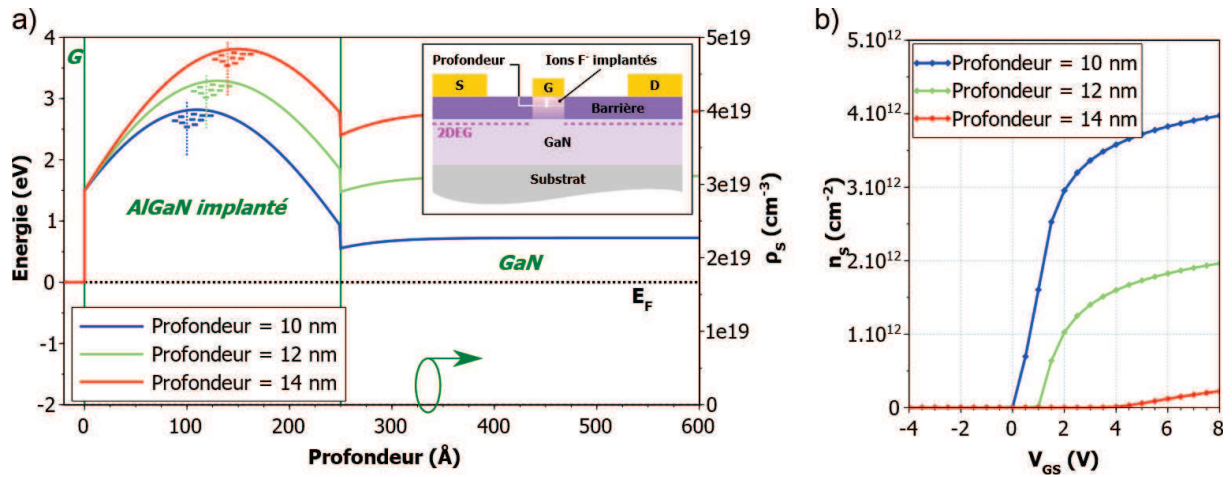


Figure II.13 – Simulations de HEMT AlGaIn/GaN implantés pour différentes profondeurs d’implantation : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN implanté en encart et (b) courbes $n_s - V_{GS}$.

II.2.3. Ingénierie de bande

Les solutions présentées ici utilisent des couches épitaxiales supplémentaires dans leurs structures de façon à relever la bande de conduction.

II.2.3.1. Cap-layer

Le principe de cette solution est d’augmenter le potentiel à l’entrée de la barrière, que l’on notera $\Phi_{b,eff}$ par similitude avec la hauteur de barrière Schottky Φ_b , en utilisant un *cap-layer* adéquat composé d’une ou de plusieurs couches. De même que la modification de Φ_b seule ne peut suffire à rendre un composant *normally-off*, la solution présente devra s’accompagner d’autres approches pour obtenir un V_{th} positif. Parmi les *cap-layers* rapportées, citons le GaN [93] et l’InGaIn [94], cette dernière bénéficiant d’un effet piézoélectrique supplémentaire pour relever $\Phi_{b,eff}$. Il est possible de graver le *cap-layer* dans les zones d’accès pour encore une fois éviter de forts R_{ON} et de faibles I_{DS} . La Figure II.14 présente les diagrammes de bandes et les courbes $n_s - V_{GS}$ associés à l’utilisation de *cap-layers* GaN et In_{0,23}Ga_{0,77}N de 4 nm d’épaisseur.

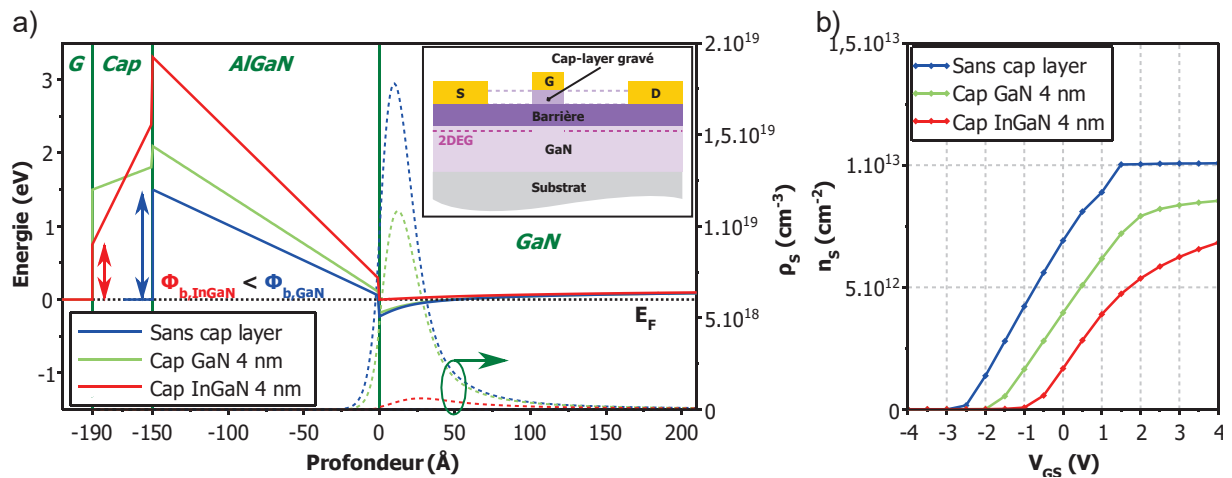


Figure II.14 – Simulations de HEMT AlGaIn/GaN avec différents *cap-layers* : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN à cap-layer en encart et (b) courbes $n_s - V_{GS}$.

Les *cap-layers* ont l'inconvénient notable de baisser la capacité de grille, et donc la transconductance, par 2 mécanismes : l'augmentation de l'épaisseur des couches et la réduction de la densité du 2DEG, puisque ce même 2DEG réduit le champ au sein du *cap-layer* qui relève la bande de conduction.

D'après la formule (I.21), nous pouvons établir l'expression de $\Phi_{b,eff}$ pour l'utilisation d'un *cap-layer* :

$$\Phi_{b,eff} = \Phi_{b,cap} - \Delta E_{C_{bar,cap}} - e \frac{t_{cap}}{\epsilon_{cap}} (\sigma_{bar/GaN} + \sigma_{cap/bar}) \quad (II.3)$$

Si le *cap-layer* est une couche de GaN, le deuxième terme de cette expression s'annule (structure « symétrique »), et V_{th} ne dépend pas de l'épaisseur du *cap-layer*. En considérant que la hauteur de barrière Schottky sur GaN est proche de celle sur barrière AlGaIn, on conclut alors que la tension de seuil est relevée de $\Delta E_{C_{bar,cap}}/e$, soit environ 0,5 V. Pour d'autres *cap-layer* (structures « asymétriques »), V_{th} varie en fonction de l'épaisseur selon le signe de $\sigma_{bar/GaN} + \sigma_{cap/bar}$. Pour un *cap-layer* InGaIn, ce dernier est négatif, et l'on bénéficie d'un effet piézoélectrique supplémentaire pour relever $\Phi_{b,eff}$.

II.2.3.2. Cap-layer dopé p

L'utilisation d'un *cap-layer* GaN ne relève la barrière que de manière substantielle, quelle que soit son épaisseur. L'idée ici est alors de doper le *cap-layer* afin que son niveau de Fermi soit proche du haut de sa bande de valence. Ce dopage p peut bien sûr être adopté pour d'autres *cap-layers*, par exemple InGaIn [95] ou encore AlGaIn [96]. La structure de grille contient alors une jonction pn, et un courant d'injection de trous apparaît à travers la grille lorsque V_{GS} dépasse le potentiel de *built-in* de cette jonction. Cette contribution supplémentaire au courant source-drain vaut à ce composant l'appellation de GIT pour *gate-injection transistor* [96].

Comme nous pouvons le voir sur les diagrammes de bandes présentés en Figure II.15, il y a pour ces structures une ou 2 zones de charges d'espace, ou zones de déplétion, dont la théorie montre que l'extension dépend du potentiel appliqué et de la concentration du dopage. Il faut alors veiller à ce que le *cap-layer* soit suffisamment fin et peu dopé pour que la polarisation de grille puisse moduler cette extension jusqu'à la barrière, mais suffisamment épais et dopé pour que le semiconducteur soit p dans le volume et que le potentiel de *built-in* soit élevé.

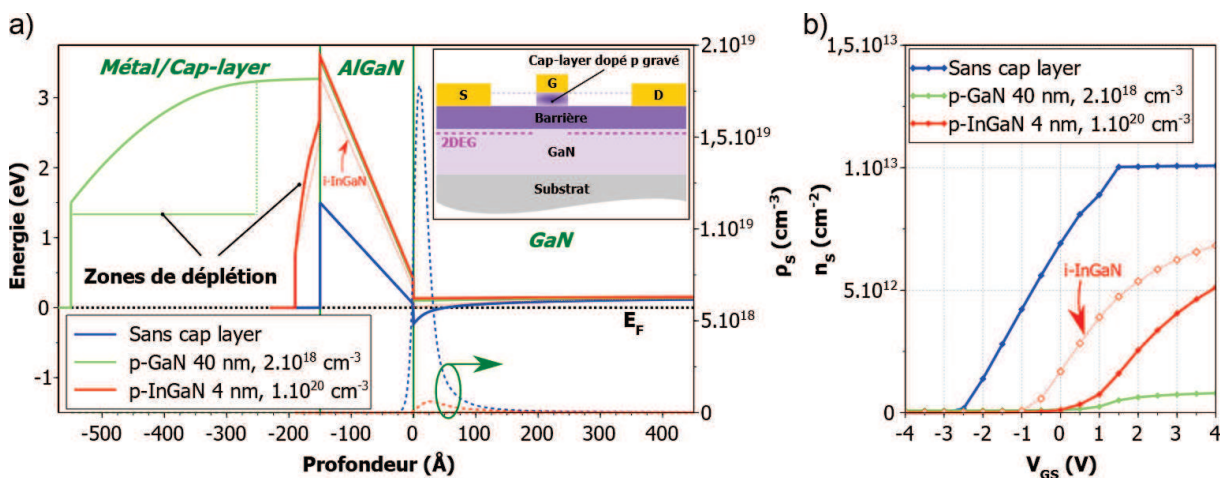


Figure II.15 – Simulations de HEMT AlGaIn/GaN avec différents *cap-layers* dopés p : (a) diagrammes de bandes à $V_{GS} = 0$ V, structure HEMT GaN à *cap-layer* dopé p en encart et (b) courbes $n_s - V_{GS}$.

II.2.3.3. Backbarrier

Le rôle principal d'un *backbarrier* est d'offrir un meilleur confinement du 2DEG à « l'arrière » pour éviter les courants de fuite à travers les couches inférieures. Cependant le *backbarrier* peut aussi relever la bande de conduction au niveau du 2DEG, facilitant ainsi un fonctionnement *normally-off*, notamment avec des couches de canal fines. Les *backbarriers* sont le plus souvent réalisées en AlGaIn [97], en InGaIn [98], voire en p-GaN [99]. Cependant leur utilisation doit être concomitante à d'autres solutions pour parvenir à un fonctionnement *normally-off*.

II.2.4. Diélectrique de grille

Cette solution consiste à intercaler une couche mince de diélectrique entre le semiconducteur et le métal de grille, appelé ainsi diélectrique de grille. Le contact de grille consiste alors en une interface métal-oxyde-semiconducteur (MOS) ou métal-isolant-semiconducteur (MIS) selon que la nature du diélectrique. Notons que cette terminologie est issue de la technologie Si pour laquelle le terme de MOS est réservé à l'oxyde natif SiO₂. Dans le cas de HEMTs GaN il est alors coutume d'utiliser le terme MOS-HEMT si le diélectrique de grille est un oxyde d'un élément III comme l'Al₂O₃ ou le Ga₂O₃, et MIS-HEMT si le diélectrique de grille est un autre isolant, même s'il contient de l'oxygène.

En principe l'ajout d'un diélectrique de grille est semblable à l'utilisation d'un *cap-layer* si l'on assimile le diélectrique à un semiconducteur à très grand *gap*. La formule théorique (II.3) s'applique donc. Néanmoins, d'un point de vue pratique le dépôt d'un diélectrique de grille ex-situ est très différent d'une croissance épitaxiale d'un *cap-layer* au sein même du réacteur. Il apparaît dès lors ① des charges à l'interface diélectrique-semiconducteur $\sigma_{di/bar}$, et ② des charges volumiques au sein du diélectrique ρ_{di} avec une distribution que l'on considère ici uniforme pour simplifier. L'expression de V_{th} devient alors :

$$V_{th} = V_{th,réf} - \frac{1}{e} \Delta E_{C_{bar,di}} - \frac{t_{di}}{\epsilon_{di}} (\sigma_{bar/GaN} + \sigma_{di/bar}) - \frac{t_{di}^2}{2\epsilon_{di}} \rho_{di} \quad (II.4)$$

Ici les charges à l'interface $\sigma_{di/bar}$ ont des origines multiples et ne résultent pas seulement d'effets de polarisation [100]. On peut le décomposer en 4 termes :

$$\sigma_{di/bar} = \sigma_{bar} + \sigma_d + \sigma_{it} + \sigma_{f,int} \quad (II.5)$$

Définissons les différents termes :

- $\sigma_{bar} = -|P^{TOT}(bar)| < 0$ est la densité de charges surfaciques équivalentes à la surface de la barrière (dues à la polarisation de la barrière, voir partie I.1.2.2) ;
- $\sigma_d > 0$ est la densité de donneurs ionisés responsables du 2DEG comme vu précédemment ;
- $\sigma_{it} = f(V_G)$ représente les charges dues à des pièges d'interface. Ces derniers ont une densité spectrale $D_{it}(E)$ au sein la bande interdite, et répondent à la tension V_G ;
- $\sigma_{f,int}$ est la densité de charges fixes à l'interface.

Nous utiliserons cette classification des charges à l'interface diélectrique-semiconducteur dans les parties suivantes portant sur leur caractérisation.

En dérivant l'expression (II.4) par rapport à l'épaisseur de diélectrique t_{di} , on obtient :

$$\frac{\partial V_{th}}{\partial t_{di}} = -\frac{1}{\varepsilon_{di}} (\sigma_{bar/GaN} + \sigma_{di/bar} + \rho_{di} t_{di}) \quad (II.6)$$

Nous voyons alors comment l'utilisation d'un diélectrique de grille peut en théorie décaler positivement la tension de seuil. On peut dans un premier temps influencer sur les charges surfaciques en rendant $\sigma_{di/bar}$ plus négatif que $-\sigma_{bar/GaN}$. Pour cela on peut jouer sur $\sigma_{f,int}$ en utilisant des traitements de surface avant dépôt du diélectrique, comme par exemple un traitement fluoré comme le démontre l'équipe de Palacios. Il est également possible de charger le diélectrique dans son volume et ainsi rendre ρ_{di} négatif. Ainsi Freedman et al. ont décrit comment une polarisation de la grille à +6 V pendant 1 s peut charger un oxyde de grille en électrons et ainsi rendre un MOS-HEMT *normally-off* en décalant V_{th} de 4,9 V [101]. D'autres équipes ont rapporté le même phénomène en utilisant des grilles flottantes. La structure consiste alors en un empilement Grille de contrôle / Oxyde épais bloquant / Grille flottante / Oxyde fin tunnel / semiconducteur [102]. Cette structure est inspirée des composants logiques utilisés dans mémoires flash. Un pulse dit de programmation sur la grille de contrôle, typiquement au-delà de +10 V pendant quelques centaines de millisecondes, charge la grille flottante en électrons. La rétention de ces électrons dans la grille flottante peut être améliorée en utilisant des diélectriques à haute permittivité (*high- κ*).

Il faut cependant noter que dans la grande majorité des publications compilées sur les HEMTs GaN *normally-off*, le diélectrique de grille est utilisé seulement en conjonction avec d'autres techniques. Dans ces cas le diélectrique de grille ne permet pas d'atteindre la fonctionnalité *normally-off*, ou n'est du moins pas utilisé dans cette optique, car il est en réalité complexe d'appliquer les solutions établies précédemment. Le diélectrique est alors plutôt employé afin de disposer d'un contact de grille MOS ou MIS dans le but principal de diminuer les courants de fuite de grille. Cela s'avère nécessaire en particulier lorsque l'épaisseur de barrière est fine, par exemple pour un composant avec *recess* de grille, et que les courants de grilles par effet tunnel deviennent importants. De plus, une diode MOS ou MIS possède un potentiel de *built-in* plus élevé qu'une diode Schottky, et donc la conduction par émission thermoionique en polarisation directe y est moins importante, c'est-à-dire que la tension de *turn-on*²¹ y est plus élevée. Cela revêt une grande importance pour les composants *normally-off* puisque l'excursion de la tension V_{GS} est alors amenée à se faire exclusivement dans le domaine positif. La tension V_{GS} peut alors atteindre des valeurs élevées, polarisant fortement la diode de grille en direct et induisant de forts courants de grille dans le cas d'une diode Schottky.

II.2.5. Autres solutions

II.2.5.1. Montage cascode

Le montage hybride cascode est basé sur l'association d'un MOSFET Si *normally-off* en série avec un HEMT *normally-on* classique comme le montre la Figure II.16. Dans cette configuration le MOSFET commande la grille du HEMT. Lorsque la tension de grille du MOSFET est positive, ce dernier est passant, le HEMT voit alors une polarisation de grille quasi nulle. Les 2 composants sont alors à l'état passant. Lorsque la tension de grille du MOSFET est nulle, il est bloqué et une tension négative se crée entre la source et la grille du HEMT, le rendant également bloqué. Cette solution hybride est handicapée par le R_{ON} du

²¹ La tension de *turn-on* est la tension à appliquer aux bornes d'une diode afin que le courant atteigne une certaine valeur de seuil, fixée arbitrairement.

MOSFET, mais est satisfaisante pour les hautes tensions supérieures à 200 V où la contribution du MOSFET est négligeable.

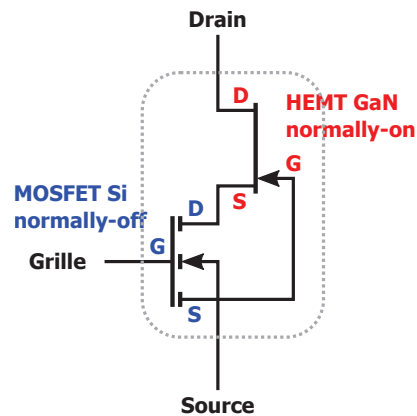


Figure II.16 – Montage hybride cascade.

II.2.5.2. III-N à différentes directions de croissance

Les HEMTs GaN classiques reposent sur une croissance du matériau selon l'axe c , appelé axe polaire car les diverses polarisations lui sont parallèles. D'un autre côté le choix d'un axe de croissance non-polaire amène à une structure où les effets de polarisation se manifestent parallèlement à l'hétérojonction. On a alors un composant fondamentalement proche d'un HEMT GaAs, avec les multiples avantages que confèrent le GaN. Des tentatives de HEMTs *normally-off* ont été menées avec des matériaux épitaxiés selon les axes non polaires a [103] et m [104]. Ces expériences ont été fructueuses, aboutissant effectivement à des V_{th} positifs, en revanche les courants obtenus sont assez faibles, de l'ordre de 10–100 mA/mm. D'autre part les performances de ces composants sont très sensibles au placement de la grille et du composant, puisqu'il y a non équivalence des directions longitudinales à cause de la symétrie du cristal et des effets de polarisation. Enfin ces composants sont difficilement intégrables avec la technologie GaN actuelle qui repose exclusivement sur des épitaxies selon l'axe c .

II.2.5.3. III-N à polarité N

Il est possible de réaliser des structures HEMTs GaN en épitaxiant des matériaux à polarité N. Dans ce cas la structure est inversée : la barrière est située en dessous du canal et la grille est posée directement soit sur le canal, soit sur un *cap-layer*, soit enfin sur un oxyde de grille (le plus fréquent), conférant à ces composants un confinement avantageux du 2DEG. Quelques publications récentes témoignent de la fabrication ou de la simulation de HEMTs GaN à polarité N possédant la fonctionnalité *normally-off* [105]. Les structures mentionnées ont la particularité de posséder des couches de canal fines (GaN ou InN) et un *cap-layer* relevant la bande de conduction par effet piézoélectrique. Cela a pour conséquence de dépléter le 2DEG de manière analogue au *backbarrier* en polarité Ga.

II.2.5.4. HEMT à jonction tunnel

Cette solution désigne un HEMT dans lequel le contact de source est une jonction Schottky alors que le contact de drain reste ohmique. Une partie de l'électrode de grille est au-dessus de la jonction Schottky, de sorte que la polarisation de grille influe sur la courbure de la bande de conduction et donc sur l'épaisseur de la jonction tunnel ainsi formée au niveau de la source, comme illustré sur la Figure II.17. Pour les tensions de grille négatives, la courbure est peu marquée et il n'y a pas de courant à travers la diode Schottky de source. Au fur-et-à-mesure

que la tension augmente, la courbure devient plus prononcée et un courant de drain par effet tunnel apparaît. Bien que des composants à $L_G = 2 \mu\text{m}$ plutôt performants aient été rapportés [106], il reste à savoir s'il est possible d'employer des grilles plus courtes, pour la montée en fréquence, capables d'induire le même phénomène tunnel.

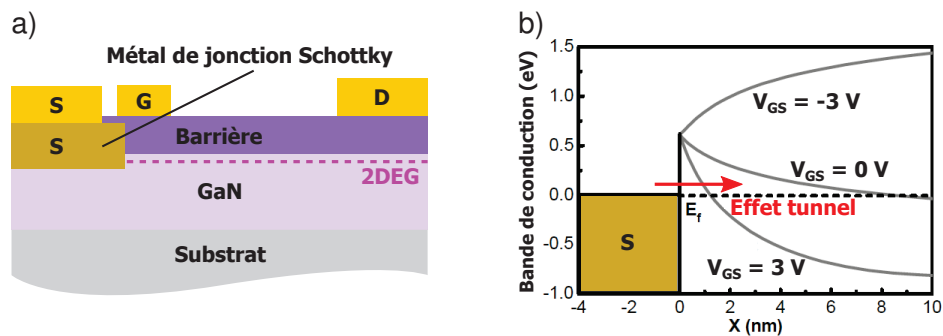


Figure II.17 – (a) Schéma de principe d'un HEMT à jonction tunnel et (b) simulations de bande de conduction au niveau de la jonction Schottky de source, pour différents V_{GS} .

II.2.5.5. FinFET

Un *FinFET* (parfois appelé *TriGate FET*) désigne un transistor dans lequel le canal est très réduit en largeur W_{fin} , grâce à une isolation par méssa appropriée, comme illustré sur la Figure II.18. Le canal ressemble alors à un aileron (en anglais *fin*), et la grille est posée non seulement au-dessus mais également sur les côtés du canal, résultant en un contrôle accru de la grille par effet de champs latéraux (zones de déplétion sur les côtés). En appliquant ce schéma à une structure HEMT GaN, on parvient de plus relaxer les contraintes dans la barrière. Les 2 effets combinés décalent positivement V_{th} tout en réduisant les effets de canal court et les courants de fuite, permettant l'usage de grilles courtes. L'intensité de ce décalage dépend de la largeur W_{fin} , et l'on peut alors aboutir à une fonctionnalité *normally-off* pour des valeurs suffisamment faibles de cette dimension [107].

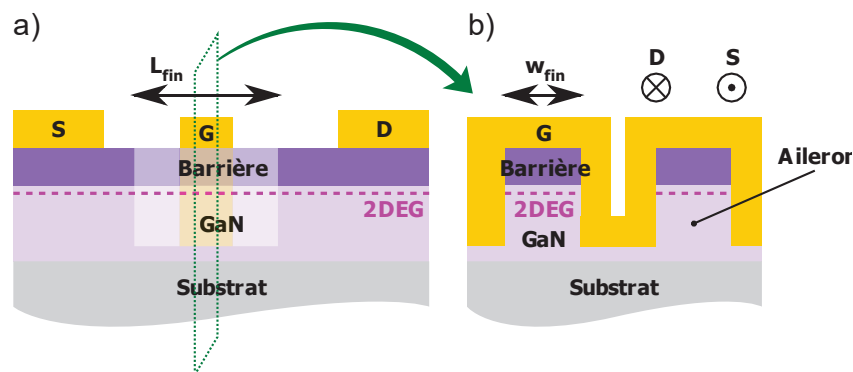


Figure II.18 – Schéma de principe d'un FinFET : (a) coupe longitudinale selon l'axe source-drain et (b) coupe transversale perpendiculaire à l'axe source drain.

Cette technique peut en outre être combinée avec un *recess* de grille pour amplifier le décalage de V_{th} . En pratique plusieurs ailerons sont réalisés côte-à-côte, ce qui aboutit à une structure en créneaux. La fabrication de ces composants peut être réalisée aussi bien par une approche *bottom-up* (avec recroissance sélective des ailerons) que par une approche *top-down* (en gravant les ailerons). Le développement de *FinFET* GaN est relativement récent et suscite un fort intérêt pour la montée en fréquence, coïncidant avec la mise sur le marché de

FinFET Si pour les nœuds technologiques sub-32 nm. Dans une perspective future, ce type de composant pourrait évoluer avec l'utilisation de canaux nanofils et d'une grille englobant ces nanofils, design également appelé *gate-all-around FET* [108].

II.2.5.6. Composants verticaux

Les structures verticales reposent sur l'utilisation de jonctions npn ou pnp par couches empilées. Les composants verticaux bien établis incluent les MOSFET et les IGBT Si, qui possèdent de faibles R_{ON} et de fortes tensions de claquage, ce qui en font des dispositifs idéaux pour les applications de haute puissance. Pour le GaN, les travaux de recherche sur ce sujet sont encore relativement nouveaux, et plusieurs structures verticales ont été proposées, certaines comportant des hétérojonctions pour tirer profit du 2DEG. Les composants verticaux ont l'avantage notable d'avoir un V_{th} intrinsèquement positif, bien qu'il faille faire attention pour celles utilisant une hétérojonction [109].

II.2.6. Tableau récapitulatif

Le Tableau II.2 résume les avantages et inconvénients de chacune des techniques qui ont été présentées, en insistant sur la possibilité de co-intégration E/D.

Tableau II.2 – Avantages et inconvénients des solutions technologiques présentées pour l'obtention de la fonctionnalité *normally-off*.

	Avantages	Inconvénients
Barrière fine	Réalisé durant l'épitaxie seulement.	Pas co-intégréable. 2DEG déplété dans les zones d'accès → fort R_{ON} , faible I_{DS} .
Recess de grille	Co-intégréable. Réalisé en une seule étape techno. 2DEG non déplété dans les zones d'accès → faible R_{ON} , fort I_{DS} .	Courants de fuite ↑. Gravure nécessaire pour <i>normally-off</i> → uniformité, répétabilité, pièges. Impuretés → mobilité ↓.
Composition altérée	Réalisé durant l'épitaxie seulement.	Pas co-intégréable. 2DEG déplété dans les zones d'accès + faible n_s maximal → fort R_{ON} , très faible I_{DS} .
Grille à Φ_b altéré	Co-intégréable.	Ne suffit pas pour <i>normally-off</i>. Difficulté d'obtenir de fortes Φ_b .
Implantation de F⁻	Co-intégréable. Réalisé en une seule étape techno.	Stabilité thermique des ions. Pièges.
Cap-layer (éventuellement dopée p)	Co-intégréable en gravant sélectivement le <i>cap-layer</i> pour les composants <i>normally-on</i> .	Co-intégréable mais process <i>normally-on</i> modifié. Ne suffit pas pour <i>normally-off</i>. Difficulté du dopage p.
Backbarrier (éventuellement avec canal fin)	Réalisé durant l'épitaxie seulement. Courants de fuite ↓.	Pas co-intégréable. Ne suffit pas pour <i>normally-off</i>. Difficulté d'épitaxie de canal fin.
Diélectrique de grille	Co-intégréable. Augmente la tension de turn-on de la diode de grille. Courants de fuite ↓.	Ne suffit pas pour <i>normally-off</i>. Risque d'effets de pièges aux interfaces et dans le volume.
Montage cascode	Facile à réaliser : ne nécessite pas de développement nouveau.	Pas co-intégréable. MOSFET Si → très fort R_{ON} .

III-N à différentes directions de croissance		Pas co-intégrable. Filière nouvelle. Pas d'effets de polarisation → courants très faibles. Forte sensibilité selon l'alignement. Difficultés d'épitaxies.
III-N à polarité N	Performances intéressantes, proches de HEMTs à polarité Ga.	Pas co-intégrable. Filière nouvelle. Difficultés d'épitaxies.
HEMT à jonction tunnel	Co-intégrable. Performances intéressantes.	Modulation de la jonction tunnel → limité à des grilles longues ? Filière nouvelle.
FinFET	Co-intégrable. Performances intéressantes. Possibilité de réaliser des grilles très courtes.	Filière nouvelle.

Le Tableau II.3 classe les articles de la synthèse bibliographique présentée dans la partie précédente suivant les différentes solutions technologiques. Certaines publications rapportent des solutions multiples et sont donc comptabilisées plusieurs fois. Nous pouvons alors constater que les efforts ont été principalement portés sur le *recess* de grille et l'implantation d'ions fluorés. Une grande partie des composants démontrés font également appel à un diélectrique de grille afin de bénéficier de courants de fuite réduit et d'une tension de *turn-on* de diode plus positive.

Tableau II.3 – Classement des publications recensées selon les solutions technologiques.

	Nombre	Pourcentage
Barrière fine	11	9%
Recess de grille	59	50%
Barrière à composition altérée	7	6%
Grille à Φ_b altéré	1	1%
Implantation d'ions F⁻	23	19%
Cap-layer	4	3%
Cap-layer dopé p	11	9%
Diélectrique de grille	56	47%
III-N à différentes directions de croissance	2	2%
III-N à polarité N	1	1%
HEMT à jonction tunnel	1	1%
FinFET	4	3%

II.3. Problématique et choix technologiques

II.3.1. Introduction : l'amplificateur à polarisation dynamique (*envelope tracking*)

Dans cette partie nous allons traiter un thème activement étudié dans le domaine de la conception d'amplificateurs hyperfréquences, l'*envelope tracking*. Nous allons voir qu'il s'agit d'un cas d'utilisation possible de la fonctionnalité *normally-off*, qui nous servira de base pour définir un cahier des charges.

II.3.1.1. Contexte

Dans une perspective de débits de données toujours plus hauts, les signaux télécom utilisent des formats de modulation complexes utilisant de plus en plus de symboles avec modulation d'amplitude. Il en résulte en contrepartie des signaux disposant d'un spectre large bande ainsi que des variations importantes de la puissance instantanée d'enveloppe, qui se traduit par un fort rapport entre la puissance crête et la puissance moyenne (PAPR, pour *peak to average ratio*) supérieur à 6 dB [110]. Les structures d'amplificateurs traditionnelles sont alors doublement handicapées : ① la spécificité d'un fonctionnement large-bande implique une diminution du rendement, ② la modulation d'amplitude entraîne des critères de linéarité qui impliquent que l'on ne peut pas se mettre en compression. Il faut alors se placer en recul de puissance d'entrée (*input back-off*) par rapport à la puissance de sortie maximale (P_{sat}), et l'amplificateur n'atteint son rendement maximal que sur la puissance crête du signal d'entrée et subit des pertes par effet Joule ailleurs. Pour un PAPR élevé, le rendement moyen est mauvais. Plusieurs architectures d'amplificateur ont été proposées pour pallier ces problèmes, basées soit sur la combinaison de 2 sous-amplificateurs dédiés (par exemple l'architecture Doherty), soit sur la polarisation dynamique de l'amplificateur. Cette dernière consiste à moduler la polarisation de drain – plus rarement celle de grille – en fonction de l'enveloppe du signal de façon à augmenter son rendement. La technique dite de suivi d'enveloppe (*envelope tracking*), illustrée en Figure II.19, repose sur la polarisation dynamique de drain sur plusieurs niveaux discrets ou de manière continue.

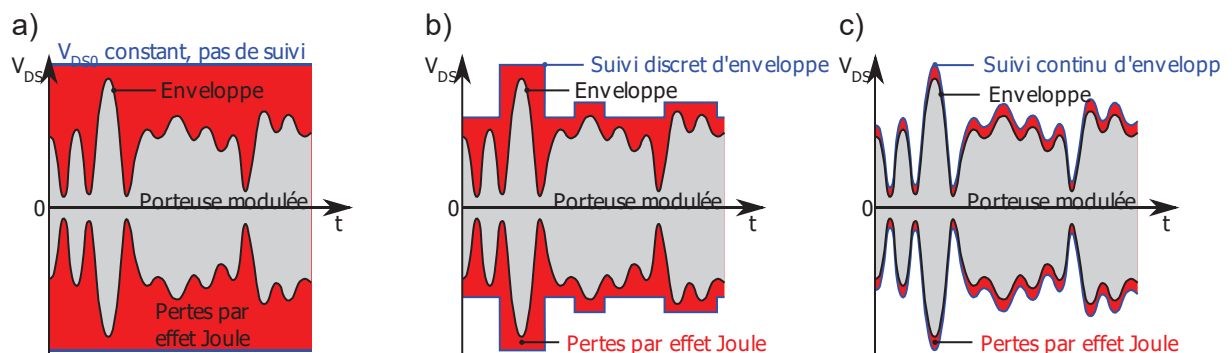


Figure II.19 – Illustration de la polarisation de drain : (a) sans suivi d'enveloppe, (b) avec suivi discret d'enveloppe et (c) avec suivi continu d'enveloppe. Le courant DC I_{DS0} est supposé constant quel que soit le niveau d'entrée, ce qui est valable dans la zone non compressée.

II.3.1.2. Modulateur de polarisation dynamique

Le schéma fonctionnel d'un amplificateur à polarisation dynamique de drain est décrit sur la Figure II.20. Dans cette configuration, la polarisation de drain est modulée en fonction de la puissance d'enveloppe instantanée, en se plaçant soit au point de maximum de rendement soit à gain constant, pour privilégier soit l'efficacité énergétique soit la linéarité. Une loi de

commande $V_{DS0} = f(P_{in, envelope})$ est d'abord extraite par des caractérisations *load-pull* initiales, puis ensuite implémentée de manière analogique ou numérique au sein du circuit de mise en forme, en tenant également compte du gain en tension du modulateur de drain. En se basant sur le schéma du montage, on établit le rendement de l'ensemble : $\eta_{total} = P_{out}/P_{DC} = P_{out}/P_{DC, modulé} \cdot P_{DC, modulé}/P_{DC} = \eta_{PA} \cdot \eta_{modulateur}$. Le terme η_{PA} est amélioré comme on l'a vu précédemment. On comprend alors que c'est le modulateur de polarisation de drain qui constitue le point dur de cette architecture. Il doit répondre à plusieurs critères : ① avoir un très bon rendement ($> 90\%$) pour rendre l'*envelope tracking* suffisamment intéressant d'un point de vue énergétique, ② fournir la puissance nécessaire au fonctionnement du PA, ③ avoir un temps de réponse suffisamment faible, i.e. une bande passante suffisamment large, pour suivre les variations d'enveloppe et ④ être peu sensible aux variations de charges car l'amplificateur de puissance change d'impédance au gré de la puissance du signal d'entrée. Notons que ce dernier point peut être résolu en ajoutant une polarisation dynamique de grille pour lisser les variations temporelles de R_{DS0} .

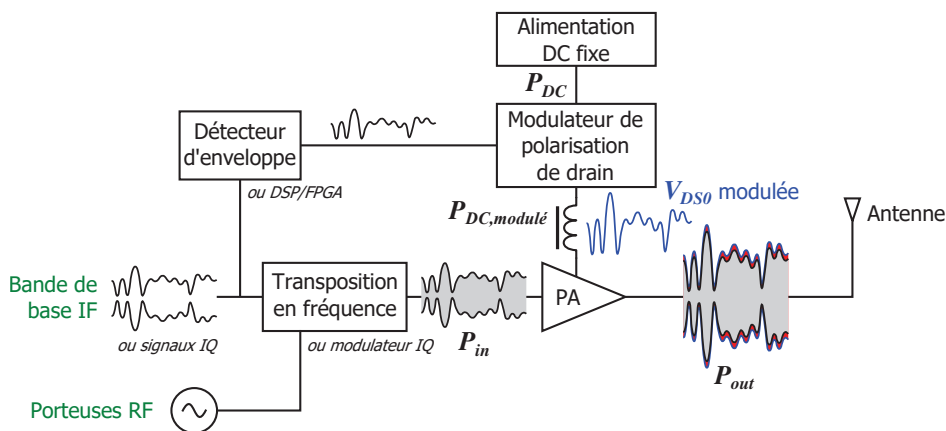


Figure II.20 – Schéma fonctionnel d'un amplificateur de puissance RF avec polarisation dynamique de drain, avec détection d'enveloppe analogique ou génération d'enveloppe à partir de signaux IQ.

Adapté de [111].

Un modulateur de polarisation est en fait un convertisseur DC/DC ou plutôt « DC/BF », et plusieurs architectures existent. Les contraintes de conception précédemment évoquées orientent le choix vers un modulateur d'alimentation à découpage non-isolé. En effet les modules linéaires ne peuvent délivrer de fortes variations de tension de sortie, et les alimentations à découpage isolées ne présentent pas d'intérêt particulier pour notre cas où les facteurs de conversion en tension ne sont pas élevés, et souffrent de plus de pertes supplémentaires liées au transformateur. En toute généralité, les topologies d'alimentation à découpage reposent sur l'utilisation d'un transistor de puissance en régime de commutation, commandé par un signal carré modulé de type PWM ou PFM (*pulse width modulation* ou *pulse frequency modulation*), dont le fonctionnement est résumé en Figure II.21. Le rendement de l'alimentation à découpage est directement associé aux pertes par effet Joule du transistor de puissance. En raisonnant sur le chronogramme, il vient :

$$P_{\text{effet Joule}} = \frac{1}{T_0} \int_0^{T_0} V_{DS}(t) I_{DS}(t) dt \quad (\text{II.7})$$

$$P_{\text{effet Joule}} \approx \alpha \cdot V_{DS,ON} I_{DS,ON} + (1 - \alpha) V_{DS,OFF} I_{DS,OFF} + \frac{1}{2} V_{DS,ON} I_{DS,ON} (t_m + t_d) f_0 \quad (\text{II.8})$$

$$P_{\text{effet Joule}} \approx \underbrace{\alpha \cdot R_{ON} I_{DS,ON}^2}_{\text{Pertes statiques}} + \underbrace{\frac{1}{2} V_{DS,ON} I_{DS,ON} \left(\frac{Q_G}{I_{GS,ON}} + \frac{Q_G}{I_{GS,OFF}} \right)}_{\text{Pertes dynamiques (de commutation)}} f_0 \quad (II.9)$$

$$\text{avec } Q_G = \int_{V_{GS,OFF}}^{V_{GS,ON}} C_{iss}(V) dV \approx C_{iss}(V_{GS,ON} - V_{th}) \text{ où } C_{iss} = C_{GS} + C_{GD}. \quad (II.10)$$

On remarque alors une composante statique, i.e. les pertes en régime établi à l'état ON et l'état OFF, et une composante dynamique, i.e. les pertes de commutation lorsque tension et courant coexistent en régime transitoire. Pour minimiser ces pertes, il faut alors disposer d'une faible résistance à l'état passant R_{ON} , de courts temps de montée et de descente $t_m \approx t_d \approx t_{\text{commut}}$, et commuter à la plus faible fréquence f_0 possible. Pour raccourcir les temps de commutation, il est nécessaire d'avoir d'une faible capacité d'entrée (de grille) et de commander convenablement le transistor, c'est-à-dire être capable de charger et décharger rapidement sa capacité d'entrée ou de grille, notée C_{iss} ou C_G . Il faut donc disposer en amont de la grille un circuit de commande de grille, ou *driver de grille*, ayant la capacité de délivrer et tirer un courant important égal à $I_{GS} = Q_G/t_{\text{commut}}$.

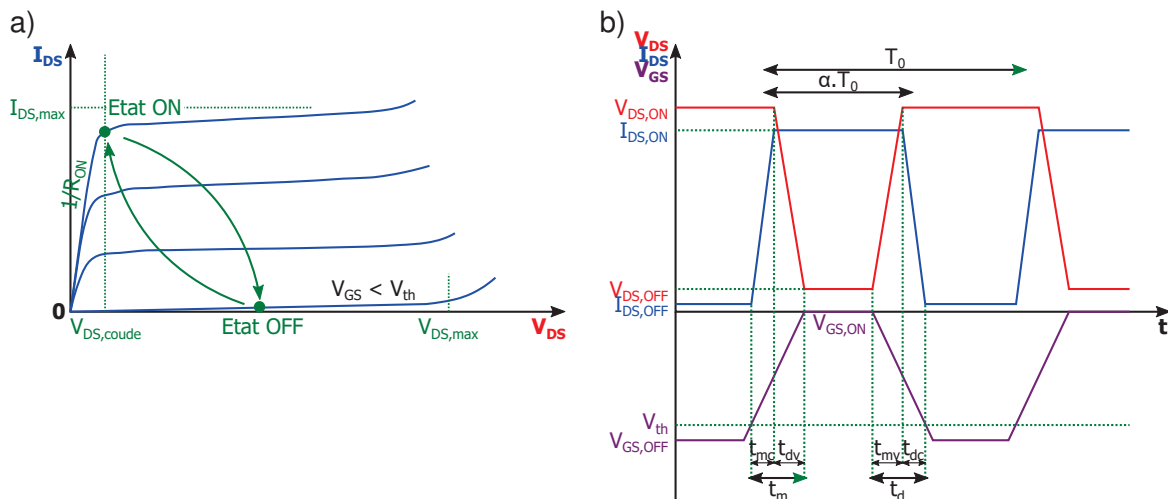


Figure II.21 – Fonctionnement en régime de commutation : (a) points de fonctionnement aux états OFF et ON sur les réseaux IV, (b) chronogrammes des tensions V_{GS} et V_{DS} et courant I_{DS} .

Dans ses travaux de thèse [111], Delias présente un modulateur de polarisation de drain basé sur une topologie dite *boost* et un driver de grille en topologie dite *push-pull*, dont le schéma de principe est présenté en Figure II.22. Le driver de grille combiné avec sommateur-inverseur analogique génère, par effet de comparateur à seuil, un signal PWM de rapport cyclique α fonction de la tension d'enveloppe $V_{\text{enveloppe}}$ en entrée, à une fréquence fixée par le signal d'horloge PWM. Ce signal PWM commande le transistor de puissance en commutation, et selon son état, il y a soit emmagasinage d'énergie dans l'inductance L soit transfert d'énergie entre cette inductance et les capacités C . Il en résulte une tension $V_{\text{sortie}} = V_{DC}/(1 - \alpha)$ (en mode continu CCM) plus élevée et un courant de sortie plus faible, d'où le nom de convertisseur *boost*, i.e. élévateur de tension.

II.3.1.3. Apport d'une technologie GaN *normally-off*

Sur le circuit précédent, l'apport d'une technologie GaN *normally-off* pourrait se révéler être très intéressant. Tout d'abord, remplacer le transistor T_P par un transistor *normally-off* de puissance conférerait les avantages suivants :

- Une sécurité supplémentaire sur le circuit *boost* en cas de panne du driver de grille :
 - T_P se retrouve alors à l'état OFF (ouvert) et on évite sa détérioration possible en DC,
 - $V_{sortie} = V_{DC}$ car $\alpha = 0$, et on évite une tension $V_{DS0,modulé} = V_{sortie}$ trop élevé qui risquerait de compromettre l'amplificateur de puissance en aval.
- Une réduction de complexité du circuit car on peut s'affranchir du rail de tension négative et de son régulateur.

À cause de la configuration en *bridge*, il est nécessaire de garder le transistor T_1 *normally-on* et la résistance R_p d'auto-polarisation faute de disposer d'une technologie complémentaire de type p (HHMT). Cependant on peut tout à fait utiliser une technologie *normally-off* pour le transistor T_2 , ce qui permettrait de repenser le circuit de mise en forme du signal qui commande ce transistor et simplifier davantage le circuit. Plusieurs options sont alors possibles :

- Retirer la fonction inverseur et échanger T_2 et le couple $(T_1 ; R_p)$, ce qui préserve la fonction de comparateur de seuil analogique avec l'avantage de ne pas avoir à générer et amplifier de signaux carrés à haute fréquence.
- Garder ou inverser le placement de T_2 et $(T_1 ; R_p)$, et retirer totalement le circuit de mise en forme en attaquant directement le transistor T_2 avec un signal PWM sorti d'un DSP/FPGA, par exemple en logique TTL. L'avantage est un circuit considérablement simplifié. L'inconvénient est qu'il y a plus de contraintes sur la technologie E/D : compatibilité avec la logique TTL d'une part, et forte linéarité sur une gamme élargie de fréquence d'autre part, car on se trouve alors en régime d'amplification de formes d'onde carrés (classe D).

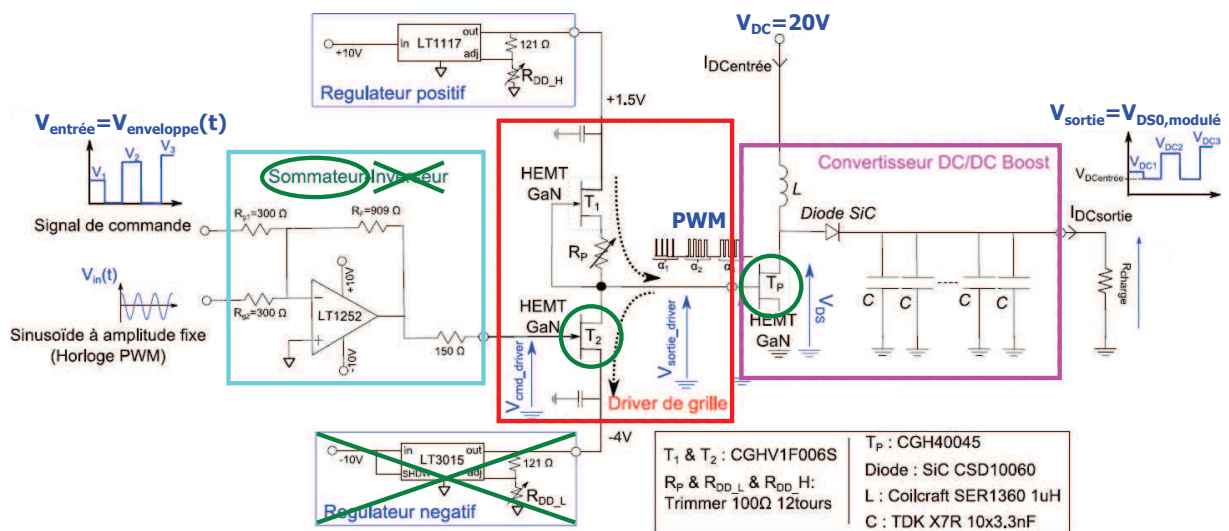


Figure II.22 – Schéma fonctionnel d'un modulateur de polarisation de drain utilisant une topologie boost. Adapté de [111].

II.3.1.4. Spécifications requises pour une technologie GaN *normally-off*

Reprenons maintenant les 3 premiers critères parmi les 4 exprimés auparavant (partie II.3.1) sur le modulateur de polarisation de drain. Ils se traduisent alors en conditions à remplir par la technologie GaN *normally-off* destinée à être utilisée dans le circuit précédent :

1. Avoir un rendement important, i.e. des pertes faibles :
 - Pertes statiques faibles, i.e. R_{ON} faible,
 - Temps de commutation faible, i.e. C_G faible,
 - Fréquence de commutation f_0 la plus faible possible. Ce critère n'implique pas forcément de contrainte sur la technologie, car l'on pourra toujours faire fonctionner un composant à une fréquence plus faible que sa fréquence de coupure.
2. Fournir une puissance suffisante au bon fonctionnement du PA :
 V_b de l'ordre de 2 fois la tension d'utilisation finale, c'est-à-dire dans notre cas au moins 50 V.
3. Pouvoir suivre les variations d'enveloppe :
 Fonctionner à une fréquence de commutation f_0 suffisamment importante. Faisons l'approximation suivante : pour pouvoir reproduire fidèlement l'enveloppe, il faut échantillonner au minimum à 10 fois la fréquence maximale en bande de base f_{BB} (théorème de Shannon). Ainsi les fréquences d'horloge PWM et f_0 sont supérieures à $10f_{BB}$. Ensuite, pour des signaux carrés, il faut prendre en compte un certain nombre d'harmoniques à amplifier, au moins 10. Par conséquent il est nécessaire que notre composant dispose d'une fréquence de coupure f_T d'au moins $100f_{BB}$. Si l'on considère par exemple un signal LTE 20 MHz pour lequel 95 % de la puissance spectrale se trouve entre 0 et 20 MHz, il faut alors que f_T soit d'au moins 2 GHz. Il en résulte un compromis à chercher avec le critère 1.c. qui conduit au choix d'une fréquence de commutation f_0 optimale.

Ajoutons à cela un 4^e critère relatif aux caractéristiques du signal d'entrée, et un 5^e critère relatif à la topologie du circuit requérant de transistors *normally-on* et *normally-off* :

4. Être pilotable par un signal digital de type TTL ou CMOS, par exemple en sortie de DSP/FPGA :
 L'état bas correspond à V_{GS} entre 0 et 1 V, l'état haut à V_{GS} entre 2 et $V_{DD} = 3$ V. La tension de seuil V_{th} du transistor doit donc se situer entre 1 et 2 V, idéalement à 1,5 V.
5. Être intégrable de façon monolithique avec des composants *normally-on* de puissance.

II.3.2. Objectifs et cahier des charges

Le but de ce travail de thèse est de développer des **technologies HEMTs GaN *normally-off* compatibles avec les épitaxies dédiées et les process de fabrication des HEMTs GaN *normally-on* hyperfréquences** développés et optimisés au III-V Lab. L'objectif poursuivi est l'établissement d'une technologie HEMT GaN permettant l'intégration au sein d'un unique MMIC ① des fonctions d'amplification hyperfréquence, réalisées avec des HEMTs GaN *normally-on*, ② des modules d'alimentation en puissance, réalisées avec des HEMTs GaN *normally-off* (et éventuellement *normally-on*), **et/ou** ③ des circuits numériques pour la commande des fonctions précédentes, réalisées avec les composants E/D. Comme il a été décrit dans les paragraphes précédents et la partie I.C.1, cela répond au besoin d'*envelope tracking* pour réduire la consommation des stations de base télécom (civil) ainsi qu'à une problématique d'intégration d'HPAs dans une matrice pour radars AESA (défense).

Nos travaux ont ainsi porté sur le développement de technologies HEMTs GaN *normally-off* compatibles pouvant convenir à 2 utilisations finales distinctes : la commutation de puissance

et la logique numérique²². À partir de ce qui a été vu, nous pouvons établir un cahier des charges :

1. Fabrication compatible avec les épitaxies et process de fabrication des HEMTs GaN *normally-on* hyperfréquence du III-V Lab,
2. Tension de seuil V_{th} comprise entre 1 et 2 V,
3. Courant de drain proche de celui des composants *normally-on* (pour faciliter le design de circuits utilisant les 2 types de composants),
4. Résistance à l'état passant R_{ON} minimale,
5. Capacité de grille C_G minimale,
6. Tension de claquage V_b supérieure à 50 V pour la commutation de puissance, ou supérieure à $2V_{DD} = 6$ V pour la logique numérique,
7. Fréquence de coupure f_T supérieure à 2 GHz pour la commutation de puissance, ou maximale pour la logique numérique.

On ne s'attardera pas sur les performances en régime grand-signal (gain, PAE etc.) car ces composants n'ont pas vocation à être utilisés en régime d'amplification.

II.3.3. Solutions adoptées

En nous reportant aux tableaux récapitulatifs présentés précédemment, il apparaît que les 2 solutions *normally-off* que sont le *recess* de grille et l'implantation d'ions F^- localement sous la grille répondent au critère 1 de co-intégrabilité. Elles sont également les plus largement étudiées. L'emploi d'un diélectrique de grille s'avère en outre nécessaire pour les raisons invoquées précédemment, bien que cela induise une augmentation de la capacité de grille C_G , portant préjudice au critère 5.

Le III-V Lab dispose de 2 filières technologiques pour les composants HEMTs *normally-on* hyperfréquences, correspondant aux structures AlGaIn/GaN et InAlN/GaN. Nous avons donc développé 2 solutions technologiques pour la réalisation de HEMTs *normally-off* co-intégrables E/D :

1. Le MOS-HEMT avec *recess* de grille sur une structure épitaxiale *normally-on* hyperfréquence avec barrière AlGaIn,
2. Le MOS-HEMT avec *recess* de grille et à implantation locale d'ions F^- sur structure épitaxiale *normally-on* hyperfréquence avec barrière (Ga)InAlN.

Le cumul du *recess* de grille et de l'implantation d'ions F^- s'est révélé nécessaire pour obtenir la fonctionnalité *normally-off* sur barrière (Ga)InAlN, et donc pour répondre au critère 2 du cahier des charges. Par ailleurs nous avons tout intérêt à réduire autant que possible la longueur de grille L_G pour bénéficier d'une faible capacité de grille $C_G \propto L_G/t_{bar}$ (critère 5), d'autant plus que l'épaisseur de barrière t_{bar} est réduite par *recess* de grille. Notons ici l'avantage indéniable du GaN sur l'actuelle technologie Si, puisque les HEMTs GaN disposent de capacités de grille à peu près 10 fois inférieures à celle des MOSFETs Si. Une diminution de L_G permet également de disposer d'une haute fréquence de coupure $f_T \propto 1/L_G$ (critère 7). Il faudra cependant trouver un compromis avec le critère de tenue en tension (critère 6) qui empêche une réduction trop poussée de la taille du transistor. Nous avons fait le choix d'une longueur de grille standard de 0,4 μm en nous basant sur un design disponible dédié aux

²² Nous nous sommes concentrés sur le développement de transistors *normally-off* uniquement. Pour une possible technologie E/D, l'obtention de transistors *normally-on* complémentaires pourra être l'affaire d'un « upscaling » des HEMTs *normally-on* hyperfréquences existants pour « s'abaisser » aux caractéristiques des composants *normally-off* que l'on a obtenus.

transistors *normally-on* hyperfréquences. La géométrie de ces composants n'est donc pas optimisée pour la tenue en tension, avec une distance source-drain de $3,15\ \mu\text{m}$. En ce qui concerne le critère 4, nous pouvons y répondre soit par mise en parallèle de composants (augmenter le développement W_G), soit en optimisant la technologie pour atteindre un R_{ON} intrinsèque faible, par exemple en minimisant la résistance de contact R_C ou en minimisant les éventuels dégâts apportés au canal sous la grille pendant l'étape de *recess* de grille. Cela permet également de satisfaire le critère 2.

Nous allons dans le chapitre suivant détailler les procédés technologiques pour la réalisation de ces 2 composants, en nous concentrant particulièrement sur les briques technologiques spécifiques au *normally-off*. Avant cela revenons sur la synthèse bibliographique précédente pour situer l'état de l'art par rapport aux objectifs et au cahier des charges que nous sommes fixés.

II.3.4. Analyse de l'état de l'art

II.3.4.1. Classement par filière technologique et par application

La Figure II.23 (a) présente la répartition des publications revues en fonction des épitaxies utilisées. Nous pouvons constater que la grande majorité des composants *normally-off* ont été réalisés sur structure AlGaIn/GaN, ce qui semble logique au regard de la relative maturité de cette filière. Malgré de nombreux efforts portés ces dernières années en direction des HEMTs *normally-on* sur barrières InAlN, (Ga)InAlN ou AlN, on remarque en Figure II.23 (b) que la recherche de composants *normally-off* sur ces mêmes structures peine à décoller. Nos travaux de recherche s'inscrivent donc dans un cadre à haut potentiel d'innovation.

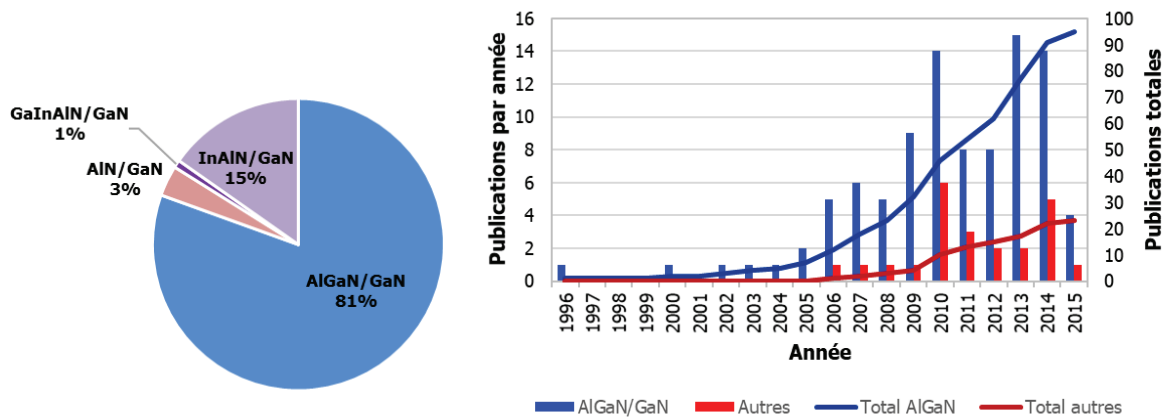


Figure II.23 – Filières épitaxiales dans les publications sur les HEMTs GaN *normally-off* : (a) répartition par filière, (b) évolution annuelle par filière.

Comme nous l'avons décrit précédemment, il existe 2 axes de recherche sur les HEMTs GaN *normally-off* en fonction des applications visées : les applications de puissance et les applications numériques à très hautes fréquences. Pour représenter le domaine dans lequel se classe chacune des publications étudiées, il est utile de prendre comme mesure la longueur de grille L_G des composants fabriqués. Cela nous renseigne en effet sur la fréquence d'utilisation finale visée, et donc indirectement sur la puissance délivrée en vertu du compromis fréquence-puissance. L'histogramme en Figure II.24 classe les publications en fonction du logarithme de la longueur de grille (exprimée en mètre). Nous constatons que la plupart des composants rapportés ont une longueur de grille supérieure à $0,5\ \mu\text{m}$ (i.e. $\log_{10}(L_G)$ supérieur à 6,3) et sont donc conçus pour des applications de puissance. Le choix que nous avons fait

d'une longueur de grille de 400 nm, comme nous allons le voir, apparaît comme étant atypique, mais répond aux besoins évoqués plus haut.

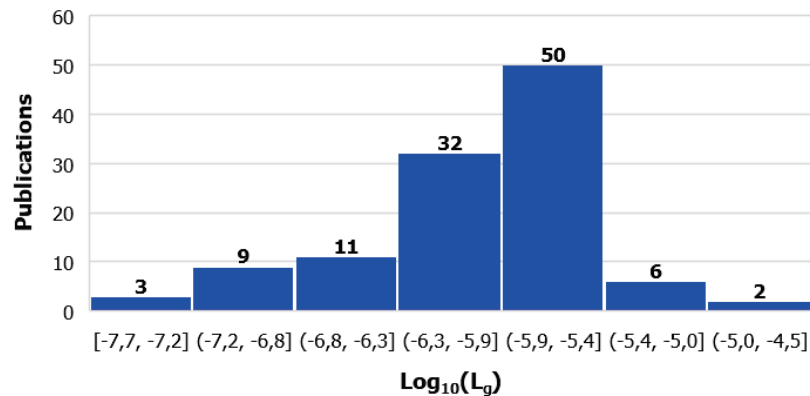


Figure II.24 – Répartition des publications *normally-off* en fonction de la longueur de grille des composants fabriqués.

II.3.4.2. Performances

En nous concentrant maintenant sur les publications présentant des composants avec des longueurs de grille inférieures ou égales à 1 μm , i.e. submicroniques, nous pouvons réduire l'ensemble au Tableau II.4 ci-dessous comprenant 24 publications. Nous y avons par ailleurs ajouté les résultats obtenus précédemment au III-V Lab. Cette liste nous permettra ultérieurement de nous positionner face aux résultats déjà publiés. Curieusement en ayant fait ce tri, il apparaît que peu de composants ont été réalisés avec diélectrique de grille : seulement 4 sur 25, à comparer aux 47 % lorsque l'on prend en compte l'ensemble des publications compilées.

Tableau II.4 – Sélection de publications *normally-off* : longueur de grille $L_g < 1 \mu\text{m}$, *recess* de grille et/ou implantation d'ions F⁻ et/ou avec diélectrique de grille.

Référence	Solution technologique	Filière	L_g (μm)	V_{th} (V)	$I_{DS,max}$ (mA/mm)	$g_{m,max}$ (mS/mm)	R_{ON} ($\Omega.\text{mm}$)	BV (V)	f_T (GHz)	f_{max} (GHz)
Adachi 2008 [112]	<i>Recess</i>	AlGaIn	0,6	0,5	648	236		131	17	56
Basu 2008 [113]	Implantation F	AlGaIn	0,25	0,22	250	148			8	38
Cai 2005 [90]	Implantation F	AlGaIn	1	0,9	313	148			10,1	34,3
Chen 2010 [114]	Implantation F	AlGaIn	1	0,6	350	115			7,1	22,3
Chu 2008 [115]	<i>Recess</i>	AlGaIn	0,4	0,5	280		3,4	90	23	63
Guo 2012 [116]	Grille MOS thermique	InAlN	0,3	0,8	600	179				
Im 2010 [117]	<i>Recess</i> , grille MOS	AlGaIn	0,25	2	353		9,7	40		
Kumar 2003 [118]	<i>Recess</i>	AlGaIn	1	0,07	475	248			8	26
Lanford 2005 [84]	<i>Recess</i>	AlGaIn	1	0,47	455	310			10	32
Lim 2013 [119]	<i>Recess</i> , Implantation F	AlGaIn	0,5	0,2	163	330		115	18	66
Lu 2010 [120]	<i>Recess</i> , grille MOS	AlGaIn	0,09	2,9	434	143		643		
Malela-Massamba	<i>Recess</i> , grille MOS	AlGaIn	1	1,8	274	132	26			
Maroldt 2009 [121]	<i>Recess</i>	AlGaIn	0,25	0,1	990	540	2,76		39	74
Medjdoub 2008 [122]	Implantation F	InAlN	0,25	0	600	290				
Moon 2002 [123]	<i>Recess</i>	AlGaIn	0,2	0	100	85		80	24	45
Ohki 2009 [124]	<i>Recess</i>	AlGaIn	0,5	0,25	520	255	6,1	336		
Palacios 2006 [125]	<i>Recess</i>	AlGaIn	0,16	0,1	1200	400	0,5	55	86	152
Schuette 2013 [126]	<i>Recess</i>	InAlN	0,02	0,3	2000	1000	0,25	10,7	359	347
Song B. 2012 [127]	<i>Recess</i>	InAlN	0,03	0,5	1600	1306	0,55		225	250
Song D. 2007 [128]	Implantation F	AlGaIn	1	0,75	300	150			14	35
Song X. 2014 [129]	Implantation F	InAlN	0,3	0,86	450	210			29,4	37,6
Tang 2010 [130]	<i>Recess</i>	InAlN	0,14	0,29	1840	920	1,05	37,4	94	176
Wang R. 2006 [131]	Implant. F, grille MIS	AlGaIn	1	2	420	125	5,67		13,3	23,3
Wang R. 2010 [132]	<i>Recess</i>	InAlN	0,15	0,4	1900	800		29	65	100
Wang R. 2011 [133]	<i>Recess</i>	InAlN	0,15	1,2	700	420				

La Figure II.25 permet de se représenter l'état de l'art pour les composants *normally-off* submicroniques. Il s'agit de graphes XY où chaque point représente les résultats d'une publication. Nous pouvons ainsi nous rendre compte qu'il existe une certaine tendance concernant le courant maximal selon la tension de seuil, et pour un V_{th} visé de 1,5 V, il faut s'attendre à un courant $I_{DS,max}$ de l'ordre de 500 mA/mm avec une barrière AlGaN, et peut-être un peu plus avec barrière InAlN. En nous intéressant maintenant aux performances suivant les axes puissance-fréquence, nous faisons le constat que seules quelques publications fournissent BV et f_T . Néanmoins nous pouvons voir que les épitaxies à barrière AlGaN permettent d'obtenir un bon fonctionnement à haute tension, alors que la filière InAlN semble plutôt réservée aux composants à haute fréquence, i.e. pour l'électronique numérique.

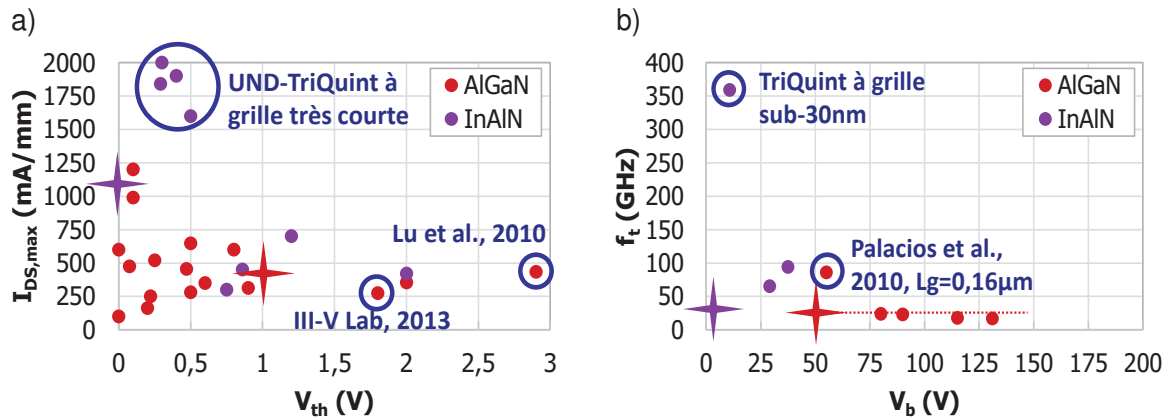


Figure II.25 – Performances à l'état de l'art : (a) selon les axes $I_{DS,max}$ et V_{th} , (b) selon les axes f_T et V_b . Les performances issues des travaux de cette thèse sont représentées par des croix.

Nous avons également reporté sur la Figure II.25 les performances des composants *normally-off* fabriqués et caractérisés au cours de nos travaux. Nous pouvons voir que nous sommes placés favorablement par rapport à l'état de l'art, même si des possibilités d'améliorations sont envisageables pour ce qui concerne la tenue en tension. Nous aurons l'occasion de rediscuter de ces résultats en conclusion de cette thèse.

Chapitre III. Technologie HEMT GaN *normally-on / normally-off*

III.1. Présentation générale

III.1.1. Epitaxies standards pour les applications de puissance hyperfréquence

III.1.1.1. Description des structures

Les 2 structures épitaxiales que nous avons utilisées au cours de nos travaux sont décrites en Figure III.1. Leur croissance a été effectuée au III-V Lab par l'équipe de Piero Gamarra. Il s'agit d'une part d'une structure AlGaIn/GaN, que l'on nommera « A », et d'autre part d'une structure (Ga)InAlN/GaN²³ que l'on désignera par « I ». Ces 2 structures correspondent aux 2 filières HEMT GaN du III-V Lab, et ont été conçues pour la réalisation de composants hyperfréquences performants en bande Ka. Elles possèdent toutes deux une intercouche AlN et un *buffer* GaN fortement dopé C, qui ont pour fonction de confiner efficacement le 2DEG. Comme nous l'avons évoqué dans la partie I.2.2, le dopage C permet de compenser le dopage n résiduel, et il a été démontré que ce type de *buffer* permet une réduction des courants de fuite de grille et de drain et donc une meilleure tenue en tension, mais que des phénomènes de pièges peuvent pénaliser le fonctionnement dynamique [134]. Ces effets négatifs peuvent être atténués en adaptant la distance entre le 2DEG et le dopage C via l'épaisseur de la couche canal GaN. Notons qu'un confinement supplémentaire pourrait être apporté par la croissance d'une barrière grand-*gap*, par exemple en AlGaIn, derrière le canal. On parle alors de *back-barrier*, solution aujourd'hui fréquemment utilisée pour les applications hyperfréquences.

Structure AlGaIn/GaN "A"

Cap layer GaN	2 nm
Barrière $\text{Al}_{0,25}\text{Ga}_{0,75}\text{N}$	21 nm
Intercouche AlN	2 nm
Canal GaN n.i.d.	60 nm
Buffer GaN:C	60 nm
GaN n.i.d.	1,66 μm
MQW AlGaIn/GaN	
Nucléation AlN	
Substrat SiC 3"	349 μm

$$R_{\text{sh}} = 335 \Omega/\square \pm 3,2\%$$

$$n_{\text{s}} = 7,8 \times 10^{12} \text{ cm}^{-2}, V_{\text{p}} = -4 \text{ V}$$

Structure (Ga)InAlN/GaN "I"

Barrière $(\text{Ga})\text{In}_{18,5\%}\text{AlN}$	6,2 nm
Intercouche AlN	1,5 nm
Canal GaN n.i.d.	45 nm
Buffer GaN:C $1 \times 10^{18} \text{ cm}^{-3}$	1,77 μm
MQW AlGaIn/GaN	
Nucléation AlN	
Substrat SiC 3"	356 μm

$$R_{\text{sh}} = 205 \Omega/\square \pm 5,2\%$$

$$n_{\text{s}} = 1,9 \times 10^{13} \text{ cm}^{-2}, V_{\text{p}} = -3 \text{ V}$$

Figure III.1 – Structures épitaxiales AlGaIn/GaN « A » et (Ga)InAlN/GaN « I » à la base de nos travaux.

²³ Des mesures XPS ont montré que les couches de barrière InAlN crues par MOCVD au III-V Lab contenaient du Ga en proportion non-négligeable. L'origine du Ga est attribuée à la configuration « showerhead » du réacteur de dépôt. Nous utiliserons la formule (Ga)InAlN pour indiquer que cette incorporation de Ga n'est pas intentionnelle.

Les valeurs de R_{sh} et de n_s , extraites respectivement par sonde Lehighon sans contact et par mesure C-V au mercure, concordent : la structure I bénéficie d'un 2DEG plus dense grâce à la barrière (Ga)InAlN. La tension de pincement obtenue par C-V est plus positive pour la structure I, ce qui est cohérent avec une barrière plus fine.

III.1.1.2. Caractérisations des épitaxies

Les structures épitaxiées ont été caractérisées par AFM. La Figure III.2 présente la surface des structures A et I. Les 2 surfaces présentent des motifs semblables à des terrasses, représentant différentes couches atomiques. Dans le cas de la structure A, l'agencement de ces terrasses diffère selon la position au sein de la plaque : elles forment des îlots circulaires au centre, et sont parallèles côte-à-côte au bord de plaque, ce qui suggère une distribution non-uniforme de l'écoulement des gaz au cours de la croissance. En outre nous remarquons que les bordures des terrasses semblent plus marquées et rugueuses dans le cas de la structure A, par opposition à celles de la structure I.

Les 2 surfaces sont par ailleurs ponctuées de nombreuses crevasses aux diverses formes. Elles sont compactes et « pointues » pour la structure A, tandis que longilignes et courbées sur la structure I. Nous comptons environ 200 défauts pour les 2 images combinées de la structure A et à peu près 250 défauts sur l'image de la structure I, ce qui fait une densité de défauts de $8 \times 10^8 \text{ cm}^{-2}$ et de $1 \times 10^9 \text{ cm}^{-2}$ pour les structures A et I respectivement. Le calcul statistique de la rugosité RMS (*root mean square*) dresse un constat similaire, avec 0,5 nm et de 0,7 nm pour les structures A et I respectivement. Nous observons donc que la structure I possède légèrement plus de défauts, malgré l'avantage théorique des paramètres de maille égaux entre InAlN et GaN.

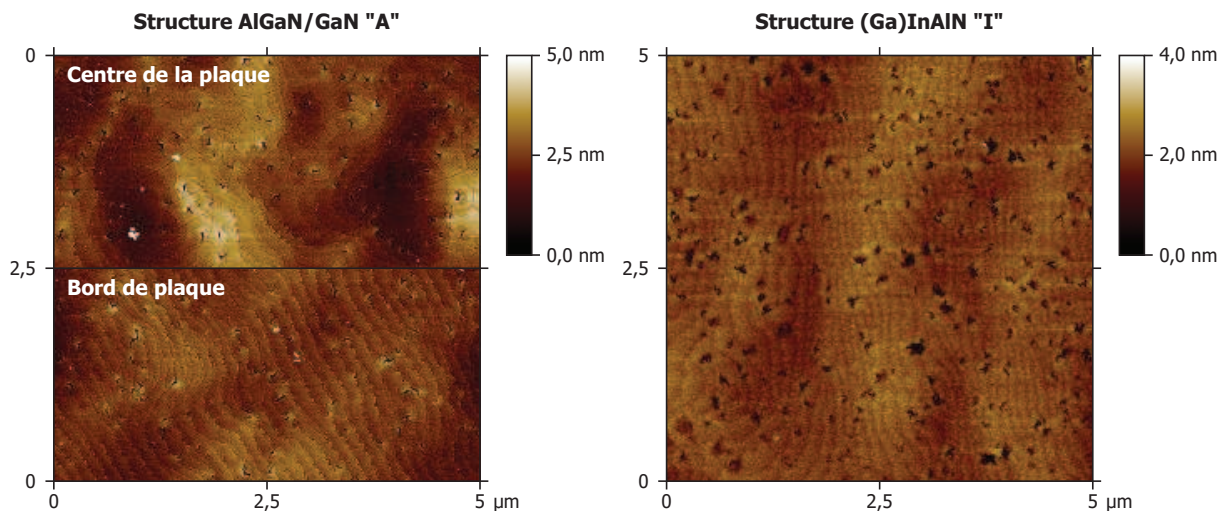


Figure III.2 - Images AFM de la surface des structures A et I.

III.1.2. Procédé technologique

La Figure III.3 présente le déroulement des étapes de fabrication pour notre technologie HEMT GaN *normally-on/normally-off*. Les schémas en coupe à droite du diagramme sont divisés en 2 blocs et illustrent la fabrication conjointe ① d'un composant MOS-HEMT à *recess* de grille (implanté au fluor pour la structure I) *normally-off* et ② d'un composant HEMT standard *normally-on* hyperfréquence (dont seule la grille est représentée). Cette Figure prouve donc la co-intégrabilité de notre technologie, exigée précédemment dans le cahier des charges.

La partie encadrée en rouge est spécifique aux composants *normally-off*, elle fera l'objet de la partie III.4. Le reste du procédé est commun aux 2 types de composants et sera traité dans la partie III.3.

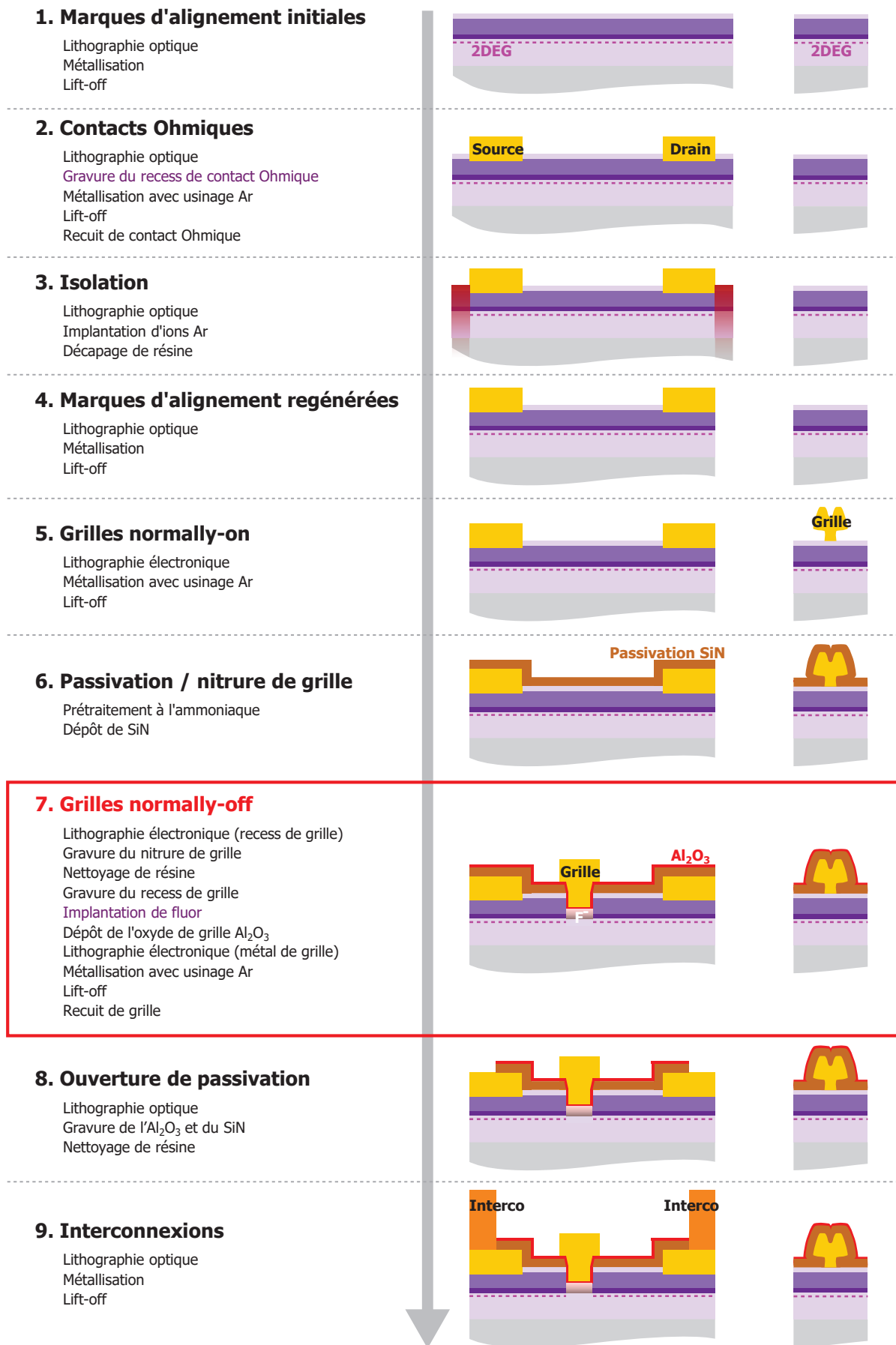


Figure III.3 – Process flow de la technologie HEMT GaN *normally-on/normally-off*

III.1.3. Variations technologiques

III.1.3.1. Variation par portion de plaque

Pour chacune des 2 structures épitaxiales, nous avons réalisé des variations du process technologique en séparant différentes portions de plaque schématisées en Figure III.4. Nous y définissons également les noms de code des variantes de process, qui seront utilisés par la suite. Ainsi la mention « X nm » fait référence à l'épaisseur de barrière après gravure du *recess* de grille (en incluant l'intercouche AlN), et la mention « F##s » désigne une implantation de fluor durant ## s. Plus de détails seront donnés dans les parties III.4.3 et III.4.4.

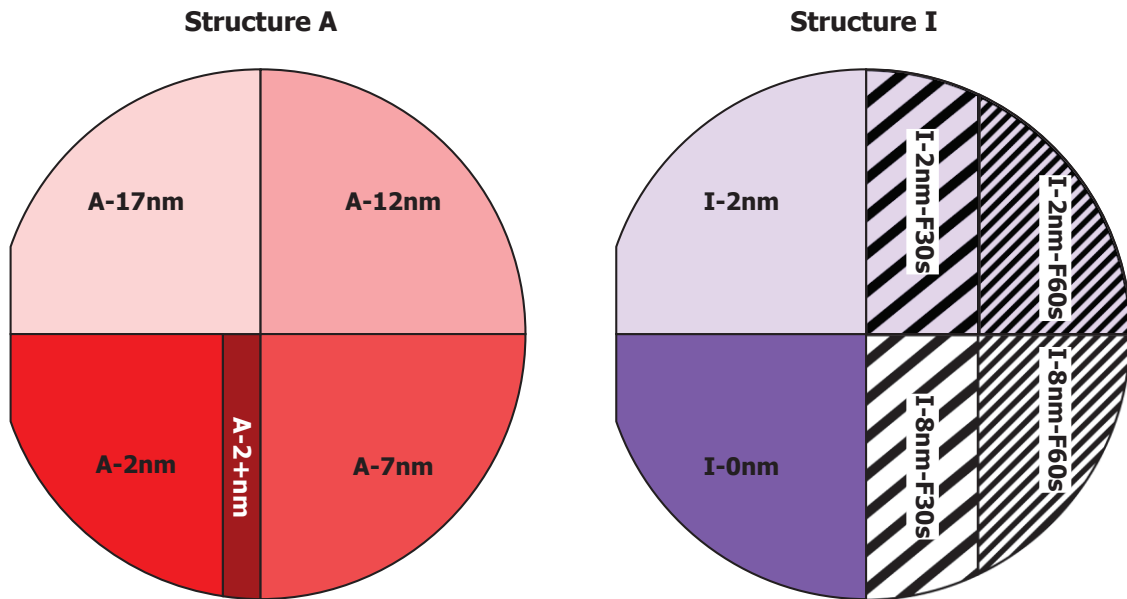


Figure III.4 – Variations technologiques par portion de plaque

III.1.3.2. Autres expériences menées

Au cours de nos travaux, nous avons eu à notre disposition 3 plaques épitaxiales avec la structure I, mais la description précédente porte uniquement sur la dernière plaque ayant produit les résultats les plus aboutis. Les 2 autres plaques « I » antérieures ont permis d'affiner et d'optimiser le process sur barrière (Ga)InAlN/GaN pour laquelle la fonctionnalité *normally-off* s'est révélée plus difficile à obtenir. Sur la première de ces plaques nous avons évalué 2 profondeurs de *recess* (épaisseur restante de 3 nm et 1 nm) et 2 plasmas chlorés différents (à base de N₂ ou de O₂). Sur la 2^e plaque « I » nous avons procédé à une oxydation thermique de la barrière après *recess* de grille dans l'optique de réduire davantage l'épaisseur de barrière restante et de disposer d'un oxyde de grille plus stable. Ces 2 plaques nous ont permis d'une part de disqualifier le plasma chloré à base de O₂ et l'oxydation thermique²⁴. D'autre part, la fonctionnalité *normally-off* n'ayant pas été obtenue, cela nous a conduit à évaluer l'implantation fluorée sur la 3^e et dernière plaque « I » à laquelle nous ferons à présent uniquement allusion.

²⁴ L'oxydation thermique désigne une oxydation superficielle engendrée par recuit thermique sous atmosphère de O₂. Elle a été reportée par quelques équipes sur des structures épitaxiales InAlN/GaN, avec ou sans *recess* [135], [136].

III.2. Technologies de fabrication microélectronique

III.2.1. Lithographie

III.2.1.1. Principe

La lithographie est le procédé de base commun à quasiment toutes les étapes technologiques, permettant de réaliser des motifs à l'aide de résines photo- ou électro- sensibles.

Après un recuit de déshydratation initial, la première étape consiste à enduire la plaque de résine à l'aide d'une technique dite de *spin-coating*, sur une tournette dont les caractéristiques de rotation (temps, vitesse, accélération) sont spécifiquement programmées pour étaler la résine de manière uniforme et obtenir l'épaisseur désirée. Les résines se composent de polymères dilués dans des solvants tels que l'anisole ou le PGMEA, ainsi que de composés photo- ou électro- actifs. Un recuit après enduction permet d'éliminer une partie des solvants, de réticuler les chaînes de polymères et de durcir ainsi la résine. Les résines employées dans nos travaux sont indiquées dans le Tableau III.1 avec les épaisseurs obtenues et leurs utilisations. Nous reviendrons sur les 2 premières résines utilisées en bicouche pour favoriser le *lift-off* de motifs métalliques. Pour certaines résines très fines, il est possible d'utiliser un promoteur d'adhérence dont l'action est d'augmenter la rugosité de la surface et donc sa mouillabilité.

Tableau III.1 – Résines utilisées durant nos travaux.

Nom	Type	Spin-coating	Épaisseur	Utilisation
LOR10A	Non sensible	30 s à 4000 tr/min, acc. 1000 tr/min/s	1,0 μm	Couche inférieure pour métallisation
S18xy, xy = 05 / 13 / 18 / 28	Optique	30 s à 4000 tr/min, acc. 1000 tr/min/s	x,y μm	Couche supérieure pour métallisation
SPR 700 1.0	Optique	30 s à 4000 tr/min, acc. 1000 tr/min/s	1 μm	Monocouche pour gravure
PMMA 950K A4	Électronique	90 s à 2600 tr/min, acc. 1500 tr/min/s	280 nm	Monocouche pour gravure
PMMA 950K A9	Électronique	90 s à 2600 tr/min, acc. 1500 tr/min/s	1,2 μm	Monocouche pour métallisation

La deuxième étape du procédé de lithographie est l'insolation qui permet de modifier la solubilité de la résine au sein des motifs, par l'action des composés photo- ou électro- actifs. Nous disposons au III-V Lab de 2 équipements d'insolation que nous avons utilisés durant nos travaux, optique et électronique. Le premier, appelé stepper, permet l'impression d'un motif à travers un photomasque (ou réticule) en quartz contenant l'image négative ou positive dudit motif, selon les propriétés de la résine qui est alors qualifiée de positive ou négative. La caractéristique du stepper est de disposer de motorisations permettant, pas-à-pas, de dupliquer le motif plusieurs fois sur la plaque. Contrairement à l'aligneur de masque manuel, il n'y a pas de contact entre la plaque et le photomasque, ce qui permet d'éviter les contaminations et les altérations de la résine. Le modèle de notre stepper est un Canon FPA-3000 i4 utilisant une source UV proche (i-line, 365 nm), permettant la réalisation de motifs avec une résolution d'au moins 400 nm. Pour les motifs plus petits, comme les grilles de nos transistors, nous utilisons une lithographie électronique (*e-beam*) reposant sur le balayage d'un faisceau d'électrons sous vide à la surface d'une résine électro-sensible. Cette technique permet théoriquement la réalisation de motifs plus fins que 100 nm. Elle a néanmoins l'inconvénient d'être plus longue que la photolithographie au stepper, ce qui requiert

d'optimiser les motifs à graver (pas de surfaces superflues). Après insolation, il est possible de pratiquer un recuit afin d'éviter le phénomène d'ondulation des flancs de résine dû aux ondes stationnaires, surtout lorsque la surface est très réfléchissante.

L'étape suivante est le développement, durant laquelle on plonge la plaque dans une solution spécifique appelée développeur pour enlever la résine dans les zones exposées (résine positive) ou non-exposées (résine négative). La nature de la solution est importante, car certains développeurs peuvent contaminer voire même graver le matériau sous-jacent. Les développeurs que nous utilisons sont sans métaux et à base d'hydroxyde de tetramethylammonium (TMAH). Il s'agit de la solution MF319 pour les résines optiques et MIBK pour nos résines électroniques. Après un temps de développement optimisé, durant lequel la plaque est agitée sans interruption pour désaturer la solution à proximité de la résine, il est important de bien rincer la plaque à l'eau désionisée pour enlever les résidus de résine et le développeur et ainsi éviter que la réaction continue au risque d'élargir les motifs. Si l'on constate qu'il reste de la résine au sein des motifs ou que les motifs ne sont pas assez ouverts, après inspection au microscope optique ou à l'AFM, il est possible d'utiliser un traitement plasma supplémentaire dit de délaquage : torche plasma O₂, ou plasma RIE à base de N₂ que nous avons expérimenté lors de nos travaux.

La plaque subit ensuite le process désiré selon l'étape de fabrication du composant : implantation ionique, dépôt de couches minces de métaux, de diélectriques ou d'oxydes, ou gravure du matériau sous-jacent. Nous détaillerons ci-après quelques techniques de dépôt et de gravure que nous avons pu utiliser. Enfin la dernière étape consiste à retirer la résine restante, le plus souvent en utilisant des solvants (acétone, propanol). De même qu'au développement, des traitements plasma additionnels sont réalisés s'il reste des résidus de résine, notamment lorsque la résine a pu subir des altérations par exemple lors d'une implantation ionique ou lors d'une gravure. On parle alors de décapage.

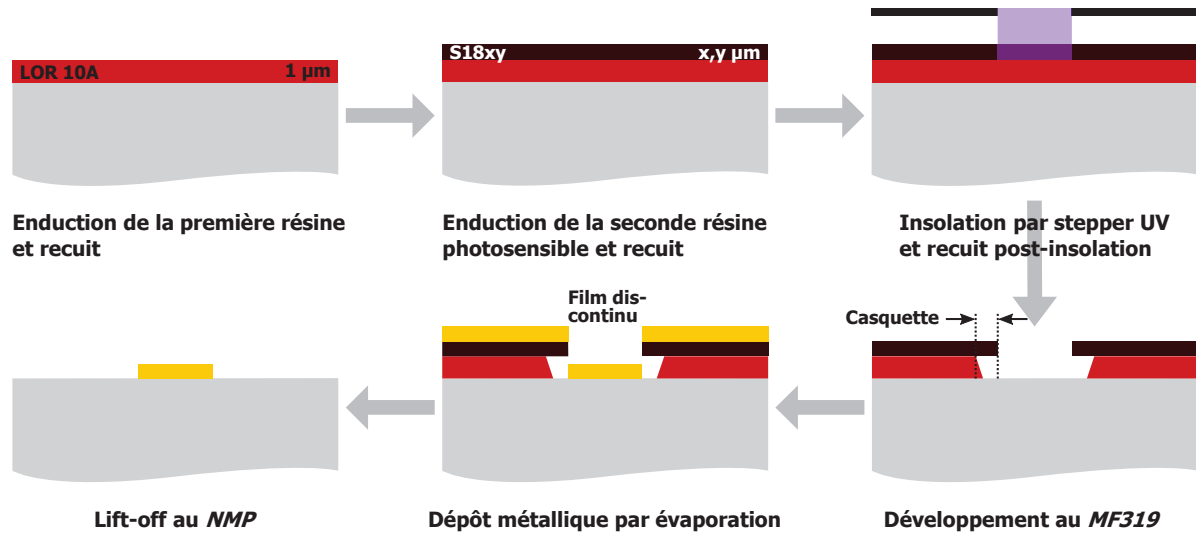
III.2.1.2. Technique du *lift-off*

Pour la réalisation de motifs métalliques dans l'industrie Si, le métal est déposé pleine plaque avant d'être gravé à l'extérieur des motifs à l'aide d'une lithographie simple. Cependant nous ne pouvons pas nous permettre de reproduire cette technique car une gravure dénaturerait la surface et l'hétérojonction de nos structures sensibles. C'est pourquoi nous utilisons dans notre cas un procédé dit de *lift-off*, dont le principe est présenté en Figure III.5. Cette technique repose sur le décollement (*lift-off*) du film de métal par dissolution de la résine sous-jacente avec un solvant.

Pour cela nous employons une bicouche²⁵ de résine telle que décrite dans les 2 premiers schémas. Nous nous limitons ici au cas d'une lithographie optique. La résine inférieure n'est pas photosensible mais soluble dans le développeur. Nous utilisons une résine LOR10A (*Lift-Off Resist*) basée sur le PMGI. La résine supérieure est photosensible et positive, il s'agit dans nos travaux d'une résine de la famille Shipley S18. L'insolation de cette dernière au stepper établit la côte du motif, et le développement provoque non seulement l'ouverture de la résine supérieure mais également une sous-gravure isotrope de la LOR10A. Il en résulte un profil en porte-à-faux qui favorise la rupture du film métallique et facilite l'infiltration du solvant pour le *lift-off*, à savoir le N-Methyl-2-pyrrolidone (NMP) dans notre cas. La longueur de ladite casquette, représentée sur le schéma, peut être vérifiée au microscope optique par simple

²⁵ L'utilisation d'une monocouche de résine possédant un profil négatif est également envisageable. Un tel profil peut s'obtenir par exemple en réalisant une inversion d'image (*image reversal*).

manipulation de la distance focale, et représente un bon indicateur de la qualité du *lift-off*. Elle ne doit toutefois pas être excessive pour éviter tout effondrement de la structure après métallisation.

Figure III.5 – Procédé de *lift-off*.

L'ensemble des bicouches de résines utilisés dans nos travaux sont listés dans le Tableau III.2. La résine inférieure LOR10A a une épaisseur standard de 1 µm, mais il est possible de la déposer 2 fois de suite pour atteindre une épaisseur totale d'environ 3 µm, nécessaire pour les métallisations épaisses. Le choix de la résine supérieure est également motivé par l'épaisseur de métallisation. En effet la structure en porte-à-faux doit supporter le poids du métal déposé, et donc l'épaisseur de la résine supérieure doit être dimensionnée en conséquence. Enfin notons qu'une bicouche est également utilisée pour l'implantation ionique, mais dans ce cas précis le but est de protéger la résine inférieure lors du bombardement ionique afin de pouvoir enlever plus facilement la résine. Plus de détails seront apportés dans la partie III.3.3 sur l'isolation des composants.

Tableau III.2 – Bicouches de résines utilisées durant nos travaux.

Nom	Spin-coating	Épaisseur	Utilisation
LOR10A + S1805	30 s à 4000 tr/min, acc. 1000 tr/min/s	1,4 µm	Métallisations fines, par exemple contacts ohmiques
LOR10A + S1813	30 s à 4000 tr/min, acc. 1000 tr/min/s	2,1 µm	Métallisation moyennes, par exemple interco. fines
LOR10A + LOR10A + S1813	30 s à 2000 tr/min (LOR10A), 30 s à 4000 tr/min (S1813), acc. 1000 tr/min/s	4,0 µm	Métallisations épaisses, par exemple interco. épaisses
LOR10A + S1828	30 s à 4000 tr/min, acc. 1000 tr/min/s	4,2 µm	Implantation ionique

Remarquons que nous n'avons pas utilisé de bicouche de résines électroniques, bien que la grille soit réalisée par lithographie électronique et requière un *lift-off*. Cela est justifié dans le cas de nos travaux par le choix d'une technologie de grille longue (400 nm) pour laquelle une monocouche épaisse répond à nos besoins. Dans le cas de grille plus courtes, par exemple pour des composants *normally-on* hyperfréquence, une bicouche est nécessaire non pas pour faciliter le *lift-off* mais pour obtenir un profil en T ou en forme de champignon afin d'augmenter

la section de métal et ainsi réduire la résistance de grille. Une tricouche de résine peut alors être utilisée pour obtenir l'effet de casquette.

III.2.1.3. Jeu de masques

L'ensemble des photomasques et des masques électroniques constituent un jeu de masques qui définit le design des réticules et donc des composants et circuits fabriqués. Leur conception est réalisée en amont par ordinateur, au moyen de logiciels de CAO, et est traduite en fichiers informatiques dont le standard industriel est le *Graphic Database System* (GDS). Pour nos travaux, nous nous sommes servis de jeux de masques préexistants, initialement destinés aux développements hyperfréquences du III-V Lab. Nous avons utilisé 2 jeux différents pour les structures A et I, et par conséquent l'inventaire des topologies disponibles pour chacune des 2 plaques est quelque peu différent.

Par ailleurs, si la modification du GDS est coûteuse pour les niveaux de lithographie optique, elle est plus simple à mettre en œuvre pour les niveaux de lithographie électronique qui ne nécessitent pas de masques physiques. C'est pourquoi nous avons pu, pour les 2 jeux de masque, concevoir nos propres modules de grilles. Certains aspects du design sont restés néanmoins fixés, comme les distances source-drain (contacts ohmiques réalisés par lithographie optique) ou la liste des topologies existantes.

III.2.2. Évaporation sous vide

L'évaporation sous vide est une technique de dépôt de couches minces qui est utilisée dans nos process pour tous les films métalliques constituant nos composants. Le principe est relativement simple : il s'agit d'évaporer une source par chauffage, et de condenser la matière évaporée sur le substrat. La chambre est sous un vide poussé, de l'ordre de 0,1 mTorr²⁶, afin de garantir un libre parcours moyen élevé nécessaire pour que les particules évaporées interagissent le moins possible entre elles. La déposition est alors anisotropique, ce qui facilite par la suite le *lift-off*. Différentes méthodes existent pour chauffer la source, et celle que nous employons est la méthode par faisceau d'électrons : les électrons issus d'un filament sont accélérés puis dirigés par champ magnétique vers un creuset dans lequel sont disposés des billes de métal. Pour un dépôt rapide d'or pour faciliter les observations MEB, il est courant d'utiliser la méthode flash dans lequel la source est directement sous forme d'un filament au travers duquel on fait passer un courant pour provoquer son évaporation. D'autres techniques de dépôt métallique existent dans l'industrie électronique, notamment la pulvérisation cathodique. Cependant cette dernière ne permet pas d'atteindre la même pureté des couches métalliques, peut contribuer à des dégâts de surface par plasma et peut conduire à un mauvais *lift-off* à cause de films trop recouvrants.

Nous utilisons au III-V Lab un bâti d'évaporation sous vide Plassys équipé d'un canon à Argon. Ce dernier équipement permet de réaliser une légère gravure physique *in-situ*, ou usinage, de la surface du substrat avant de déposer le métal. Le bâti dispose de sources Al, Ti, Ni, Mo, Pd, Pt, Au.

²⁶ 1 mTorr = 0,13 Pa = $1,3 \times 10^{-3}$ mBar. Le Torr est une unité couramment utilisée en physique et ingénierie de l'ultravide.

III.2.3. Procédés à base de plasma

Les plasmas sont omniprésents dans la fabrication de composants électronique. Ils sont en particulier utilisés dans les techniques de gravure sèche ou de dépôt sous vide en phase vapeur. Nous allons maintenant en introduire quelques éléments.

III.2.3.1. Gravure ionique réactive

La gravure ionique réactive (RIE) est une technique de gravure sèche consistant à disposer le matériau ciblé au contact d'un plasma. Les réactions ayant lieu à la surface du matériau peuvent être non seulement de nature physique, comme c'est le cas lors d'un usinage à l'argon, mais également chimique, comme pour une gravure humide. Les 2 types de gravures physiques et chimiques ne possèdent pas les mêmes caractéristiques : une gravure chimique sera plutôt isotrope et rapide, avec une grande sélectivité entre le matériau à graver et le masque de gravure, alors qu'une gravure physique sera en général anisotrope, lente, et de faible sélectivité.

Dans nos process, nous devons souvent graver des motifs aux dimensions critiques, comme par exemple la longueur de grille, et il est alors impératif de garder la côte entre la résine et le matériau gravé, favorisant dès lors une gravure physique. C'est d'ailleurs la raison pour laquelle la gravure humide n'est pas utilisée dans nos travaux. Cependant une gravure uniquement physique peut avoir des effets délétères : elle peut endommager la surface voire le volume du matériau à graver, ce qui peut être critique dans le cas d'une gravure de semiconducteur s'il y a perturbation du réseau cristallin, et elle peut occasionner des défauts géométriques du profil de gravure comme nous le verrons par la suite. La gravure RIE constitue donc une excellente solution en ce qu'elle combine les 2 aspects physiques et chimiques.

Le plasma d'un RIE est généré par un phénomène d'ionisation par avalanche aboutissant à une décharge luminescente. En soumettant un gaz à un champ électrique rapidement oscillant, les électrons se dissocient des noyaux qui deviennent alors des cations, car leur masse est bien plus faible et ils peuvent donc répondre aux variations rapides du champ électrique. Les électrons libres ainsi créés vont bombarder d'autres espèces. Il peut alors se produire plusieurs phénomènes : ionisation d'un atome en cation, association atome-électron en anion, dissociation d'une molécule en radicaux libres, ou excitation-désexcitation d'un électron d'une couche électronique inférieure et émission d'un photon. Ce dernier mécanisme confère au plasma une lumière d'une certaine couleur caractéristique des espèces en présence. En définitive, le plasma est composé d'électrons, d'ions, de radicaux libres et d'atomes et molécules non ionisés. La proportion d'ions dans le plasma est appelée degré d'ionisation. La densité d'ions (égale à la densité d'électrons) est définie comme la densité de plasma.

Il existe aujourd'hui plusieurs systèmes RIE. La méthode de génération de plasma la plus courante est le couplage capacitif (CCP), réalisé en utilisant des plaques parallèles. Dans cette configuration, illustrée en Figure III.6 (sans la bobine dont la fonction sera détaillée ci-après), l'anode reliée à la masse est constituée par les parois du réacteur. La cathode inférieure, sur laquelle est posée (clampée) le wafer, est polarisée par un générateur RF à 13,56 MHz²⁷ par l'intermédiaire d'un circuit d'adaptation d'impédance comprenant une capacité isolant le générateur de l'électrode. Lors de l'allumage du plasma, les électrons mobiles migrent vers

²⁷ Fréquence réservée aux applications industrielles par la *Federal Communication Commission* (FCC) américaine.

les électrodes et, dans le cas de la cathode, s'y accumulent. Cela entraîne un potentiel d'autopolarisation négatif $-V_{dc}$ appelé *DC bias* qui dépend des gaz employés, de la puissance RF du générateur, de la pression et du ratio des surfaces des électrodes. Au voisinage de la cathode se crée alors une zone déplétée d'électrons car la somme du *DC bias* négatif et de la tension RF est négative la plupart du temps. Cette zone est appelée *ion sheath* ou *dark space* car elle n'est peuplée que d'ions et qu'aucune lumière ne s'en échappe. C'est dans cette zone que les cations sont accélérés par une différence de potentiel $V_{plasma} + V_{dc}$ où V_{plasma} désigne le potentiel du plasma²⁸, positif et de magnitude inférieure V_{dc} .

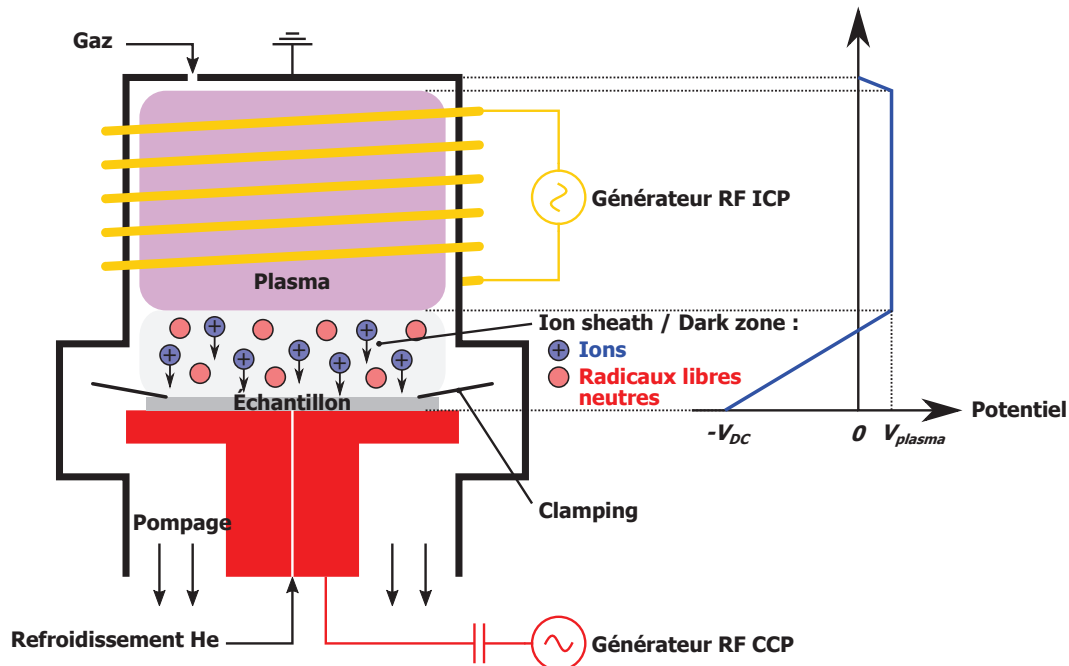


Figure III.6 – Schéma de principe de la gravure ionique réactive (RIE) au sein d'un système CCP-RIE (sans bobine) ou ICP-RIE. Adapté de [137].

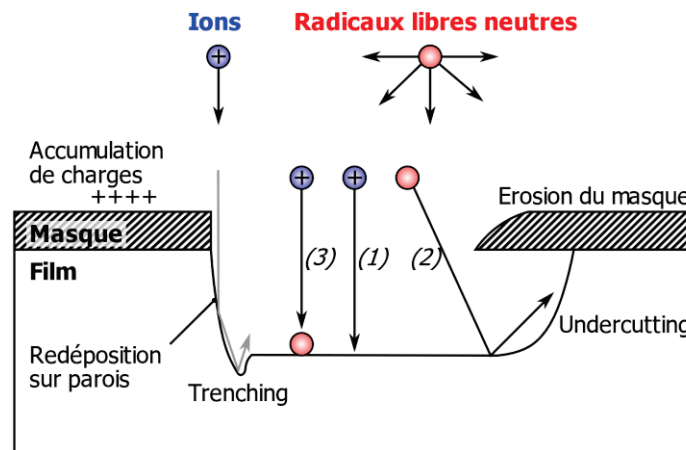
Nous pouvons désormais examiner les composantes de gravure physique et chimique plus en détail. Les cations, entraînés par le potentiel dans l'*ion sheath*, bombardent la plaque avec une grande directivité et sont responsables de l'aspect physique de la gravure. Ces cations proviennent en général des gaz nobles monoatomiques comme l' Ar^+ , mais peuvent également provenir d'ionisation de molécules comme le CF_3^+ . Le caractère chimique de la gravure est quant à lui apporté par les radicaux libres neutres très réactifs. Par ailleurs il se produit également un deuxième mécanisme de gravure chimique favorisée par le bombardement d'ions, ce dernier agissant comme catalyseur des réactions de surface soit en élevant localement la température, soit en nettoyant la surface des sous-produits de gravure qui freinent l'action chimique. On obtient alors à la fois l'anisotropie du bombardement ionique et la sélectivité de la gravure par les radicaux libres. Les 3 différents mécanismes de gravures susmentionnés sont représentés sur la Figure III.7.

Pour un système CCP, l'énergie des ions et la densité de plasma sont étroitement liées, et dépendent de la puissance RF. Pour obtenir une anisotropie suffisante, il faut favoriser la gravure physique, et donc augmenter la densité de plasma (et l'énergie des ions) via la puissance RF au risque d'engendrer des dégâts de surface. De plus, la pression à l'intérieur

²⁸ Le plasma étant conducteur, il est équipotentiel, et aucun champ électrique n'y règne. Le champ RF ne s'applique que sur une épaisseur de peau où s'effectue alors tout le transfert d'énergie.

d'un réacteur CCP doit être maintenue au-delà d'un minimum d'environ 10 mTorr afin de garantir un plasma stable, car le degré d'ionisation est seulement de l'ordre de 10^{-6} à 10^{-4} . La solution de couplage inductif (ICP) permet de pallier ces problèmes. Ce système consiste à placer une bobine autour de la chambre, tel qu'il est décrit dans la Figure III.6, qui est également reliée à un générateur RF fonctionnant en général aux alentours de 2 MHz et délivrant une puissance dite puissance ICP. La technique est ainsi appelée ICP-RIE et sera à la base des gravures de *recess* de grille dans nos travaux. En vertu de l'équation de Maxwell-Faraday, le champ magnétique oscillant créé par le bobinage induit un champ électrique à l'intérieur du plasma, contenu dans le plan des spires, qui confère aux électrons du plasma une vitesse radiale en sus de leur vitesse verticale. Avec cette source d'énergie additionnelle, on peut alors augmenter la densité de plasma sans influencer sur l'énergie des ions, et l'on dispose donc d'un degré de liberté supplémentaire. De surcroît le degré d'ionisation peut typiquement atteindre 5 à 10 %. Il devient dès lors possible d'utiliser de très basses pressions, jusqu'à 1 mTorr, tout en ayant un plasma dense et stable. Le libre parcours moyen est accru, les collisions sont plus rares et l'anisotropie est donc améliorée. Notons qu'un réacteur ICP-RIE peut également être utilisé en mode purement RIE ou purement ICP. L'ICP-RIE fait partie de la famille des techniques RIE à haute densité de plasma qui comprend également l'*electron cyclotron resonance* RIE par microondes (ECR-RIE) et le *magnetically-enhanced* RIE (MERIE). En abaissant davantage la pression vers 0,1 mTorr, on entre dans la classe des techniques d'*ion beam etching* (IBE) dont fait partie l'usinage à l'argon.

Les gravures plasma peuvent engendrer des défauts dans le profil de gravure, dont on peut voir un aperçu en Figure III.7. Parmi les principaux défauts géométriques, citons ① le *trenching*, dû à la réflexion d'ions en incidence rasante à la paroi de la résine, et ② l'*undercutting*, qui provient soit d'une gravure chimique isotrope, soit de la réflexion d'ions qui frappent la surface avec un angle non nul. Notons également le redépôt ou la formation de sous-produits de gravure sur les parois qui peut se produire lorsque les conditions de pression et de température ne permettent pas leurs désorptions.



- (1) **Gravure physique** : anisotropique et non sélective
 (2) **Gravure chimique** : isotropique et sélective
 (3) **Gravure chimique assistée par les ions** : anisotropique et sélective

Figure III.7 – Gravure RIE : mécanismes de gravure et défauts dans le profil de gravure.

Plusieurs réacteurs de RIE sont utilisés au III-V Lab :

- Un réacteur de (CCP)-RIE Nextral NE 100 : utilisé dans nos process pour toutes les ouvertures de passivation avant interconnexion, et pour les nettoyages de résidus de résine à l'O₂,

- Un réacteur ICP-RIE Sentech SI-500, avec précurseurs à base de fluor : utilisé dans nos travaux pour la gravure de la passivation SiN / masque de gravure du *recess* de grille, et de manière plus générale pour les nettoyages de fond de résine au plasma à base de N₂.
- Un réacteur ICP-RIE Oxford PlasmaLab 100, avec précurseurs à base de chlore : utilisé dans nos travaux pour toutes les gravures du semiconducteur : *recess* de grille et *recess* de contact ohmique le cas échéant.

En aparté, la Figure III.8 rend compte de l'efficacité d'un plasma de nettoyage à base de N₂ que nous expérimenté dans nos travaux. Le bâti ICP-RIE est utilisé en mode purement ICP, ce qui permet d'avoir un plasma dense tout en minimisant l'énergie des ions et donc les dégâts potentiel portés à la surface. Ce plasma est particulièrement efficace pour enlever des résidus de résine ou une oxydation surfacique et ainsi recouvrir la surface épitaxiale initiale.

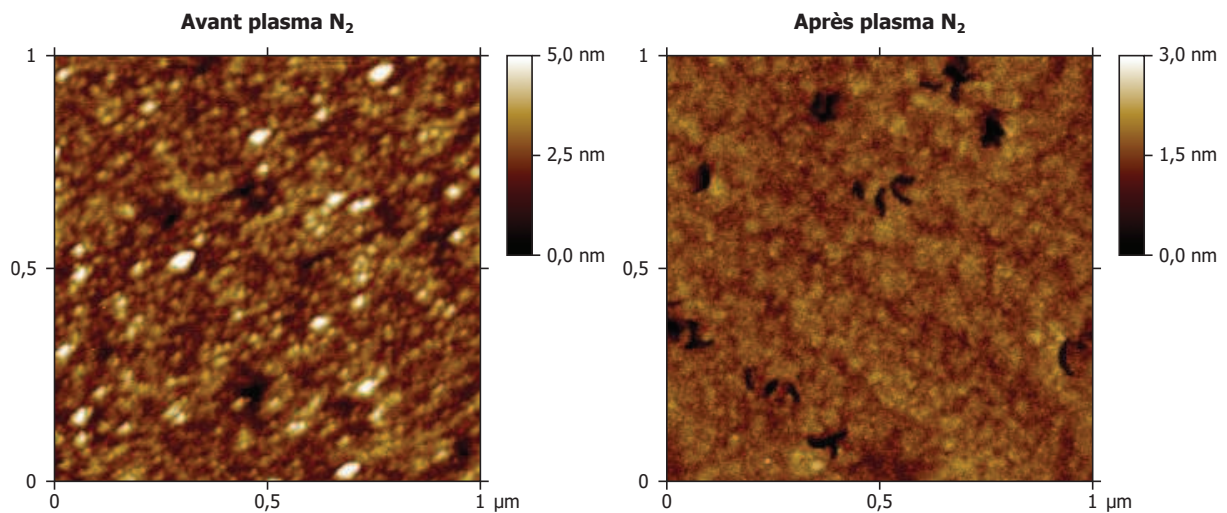


Figure III.8 – Images AFM de la surface de la structure I avant et après plasma N₂ de nettoyage.

III.2.3.2. Dépôt chimique en phase vapeur assisté par plasma

Le principe du dépôt chimique en phase vapeur assisté par plasma (PECVD) est le même que celui sous-jacent à la RIE. Les réactions de déposition seront en revanche privilégiées en utilisant les précurseurs gazeux appropriés, et en opérant à des conditions de pression et température favorables aux réactions de surface. Le montage est également inversé : l'électrode inférieure sur laquelle est posée le wafer est reliée à la masse, et l'électrode supérieure au générateur RF. Il n'y a donc plus de *dark space* en face de la plaque, pas de bombardement ionique et donc pas de gravure physique ni de gravure chimique assistée par les ions.

De même que pour la RIE, le système ICP permet l'obtention de densités accrues de plasma et donc de couches minces plus denses. La technique est alors appelée ICP-CVD. Nous utilisons au III-V Lab un réacteur ICP-CVD Alcatel 601D pour nos dépôts de passivation SiN / masque de *recess* de grille. Pour les échantillons de test et d'optimisation de process nous avons eu accès à un réacteur PECVD Nextral ND 200 permettant le dépôt de SiN ou de SiO₂.

III.3. Étapes de fabrication communes *normally-on* / *normally-off*

III.3.1. Marques d'alignement

Les marques d'alignement (aux étapes 1 et 4 du process flow en Figure III.3) sont très importantes pour la bonne marche du procédé de lithographie. Les marques initiales sont réalisées en toute première lithographie avec un alignement grossier sur le méplat de plaque. Elles sont fabriquées en titane Ti avec une épaisseur de 250 nm et permettent l'alignement des contacts ohmiques et de l'isolation. Le changement de morphologie des marques initiales après recuit de contact ohmique à haute température peut contrarier la procédure d'alignement du faisceau e-beam. C'est pourquoi des marques d'alignement régénérées sont fabriquées après isolation avec un empilement Ti/Pt/Au de 20/50/200 nm.

L'ensemble de ces marques permettent d'obtenir une précision d'alignement d'environ 500 nm par lithographie optique au stepper et d'environ 100 nm par lithographie électronique.

III.3.2. Contacts ohmiques

III.3.2.1. Principe

La fabrication de contacts ohmiques pour les HEMTs GaN a été largement étudiée [138]. Une large majorité des groupes de recherche utilise un empilement métallique de Ti/Ai/Ni/Au dont les propriétés sont à présent bien connues et que nous allons maintenant brièvement introduire.

Notons tout d'abord qu'il n'existe pas de consensus quant à l'ancrage du niveau de Fermi dans les nitrures. Si la différence d'électronégativité du GaN (1,87 eV entre les éléments Ga et N) laisse penser qu'il n'y a pas d'ancrage du niveau de Fermi, d'autres études ont suggéré le contraire, en invoquant la présence d'états de surface, surtout pour les hétérostructures. Indépendamment de cette question, l'utilisation d'un métal à faible travail de sortie favorise la création d'un contact ohmique. La Figure III.9-a présente les hauteurs de barrière Schottky pour divers métaux, sur n-GaN ou p-GaN.

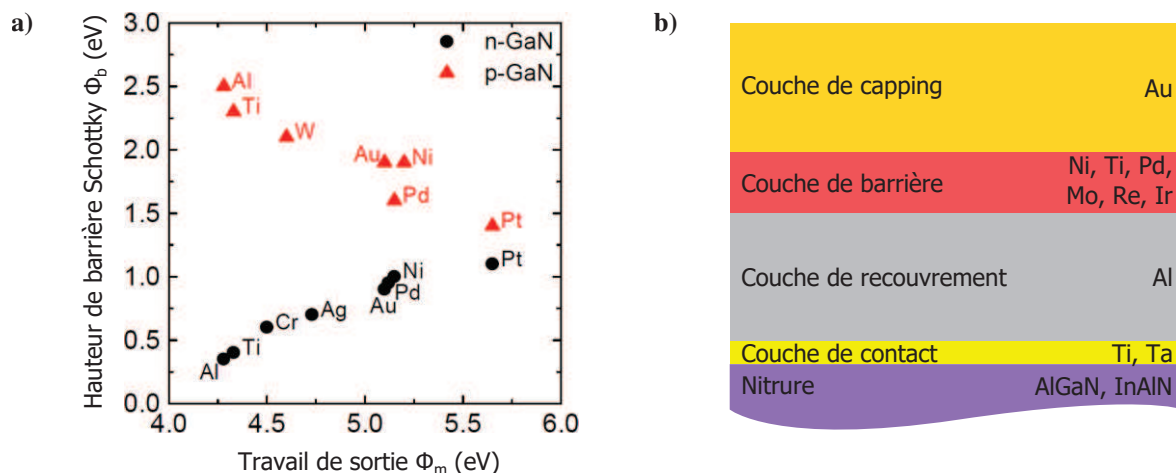


Figure III.9 – (a) Hauteur de barrière Schottky en fonction du travail de sortie pour divers métaux sur n-GaN et p-GaN, (b) représentation du multicouche habituellement employé pour les contacts ohmiques de HEMTs GaN. Adapté de [138].

Le titane Ti est choisi comme métal de contact ohmique non seulement pour son faible travail de sortie²⁹, mais aussi parce que c'est d'un matériau réfractaire, et enfin en raison de sa capacité à réagir avec le GaN lors d'un recuit à haute température pour former du nitrure de titane TiN au travail de sortie encore plus faible que celui du Ti. Par ailleurs, lors de la formation du TiN, des atomes d'azote migrent du GaN vers le TiN, laissant derrière des lacunes N qui agissent comme des donneurs et s'apparentent donc à un dopage n. Des contacts ohmiques à base de Ta sont également utilisés par certains groupes, et le même phénomène se produit avec la formation de nitrure de tantale TaN.

Une monocouche de Ti thermiquement recuite n'est cependant pas souhaitable à cause de problèmes de corrosion et de volumes creux présents à l'interface. C'est pourquoi les contacts ohmiques sur GaN sont en général constitués d'un empilement de plusieurs métaux, le plus souvent au nombre de 4 tel que décrit sur la Figure III.9 (b). Explicitons le rôle de chacune des couches.

Après le dépôt de la première couche Ti, dite de contact, vient celle d'une couche d'aluminium Al de recouvrement. Ces 2 premières couches s'allient durant le recuit thermique pour former des phases métalliques à faible travail de sortie et plus résistantes à l'oxydation. Si l'on se limite à cette bicouche métallique, des problèmes de rugosité et d'oxydation interviennent durant le recuit thermique. Il s'avère donc nécessaire d'employer des multicouches plus complexes.

La 3^e couche a pour rôle de faire barrière contre l'interdiffusion entre la couche d'aluminium inférieure et la 4^e couche d'or supérieure, qui pourrait être gravement dommageable (formation de peste pourpre et blanche à faible conductivité). On utilise alors un métal à forte température de fusion comme le nickel Ni. L'épaisseur de cette couche est optimisée pour ne pas détériorer la conductivité du contact, le nickel ayant une relative faible conductivité, et pour garantir une bonne morphologie de surface. Enfin la 4^e couche d'or protège les autres métaux contre l'oxydation tout en bénéficiant d'une excellente conductivité.

III.3.2.2. Contacts ohmiques pour HEMTs GaN au III-V Lab

Le séquentiel métallique utilisé au III-V Lab dépend de la structure épitaxiale : il s'agit d'un empilement Ti/Al/Ni/Au d'épaisseur 12/100/40/100 nm pour la structure A, et d'un empilement Ti/Al/Ni/Au/Ti/Pt d'épaisseur 15/100/40/12/10/45 nm pour la structure I. Les 2 couches supérieures de Ti/Pt pour la structure I permettent d'obtenir la rugosité et le contraste nécessaire au réaligement des marques au stepper. La métallisation est précédée d'un usinage à l'argon Ar à 300 eV pendant 4x2 min qui permet une légère gravure de la barrière. Le métal d'électrode est ainsi rapproché du 2DEG et la résistance du contact ohmique est réduite. Pour la structure I, il s'avère que l'usinage à l'Ar n'est pas suffisant, et une gravure au plasma chloré d'un *recess* de contact ohmique est alors nécessaire. Le métal est alors davantage rapproché du 2DEG, mais il faut faire attention car une gravure trop prononcée peut conduire à l'épuisement total du 2DEG et nuire à la résistance de contact ohmique. Les détails de cette étape de gravure de *recess* de grille seront précisés dans la partie III.4.3. Après *lift-off*, la plaque subit un recuit thermique à haute température sous atmosphère d'azote permettant d'allier l'empilement métallique. La température et la durée du recuit dépendent encore de l'épitaxie, elles sont de 870 °C pendant 30 s et de 850 °C pendant 60 s pour les structures A et I respectivement. La rampe de montée en température est de 5 °C/s pour les

²⁹ Notons que le travail de sortie du titane, de valeur 4,33 eV, reste supérieur à celui du GaN qui est à 4,1 eV. Les conditions nécessaires ne sont donc pas réunies pour garantir un comportement de contact ohmique idéal.

2 variantes. Les paramètres de recuit thermique sont optimisés pour minimiser la rugosité des contacts ohmiques.

Après recuit thermique, des défauts métalliques sous forme de « nodules » peuvent apparaître le long des bords de contacts ohmiques, comme le montre la Figure III.10. L'origine de ces nodules n'est pas établie avec certitude, mais il semblerait qu'elle soit corrélée à de multiples facteurs comme l'épitaxie, la profondeur de *recess* de contact ohmique ou la température locale lors du recuit (qui n'est pas uniforme à travers la plaque). Ces nodules peuvent être critiques pour le composant, d'une part parce qu'un court-circuit risque alors de s'établir entre la grille et la source et d'autre part en raison de l'effet de pointe qui peut entraîner un claquage dans l'espace grille-drain.

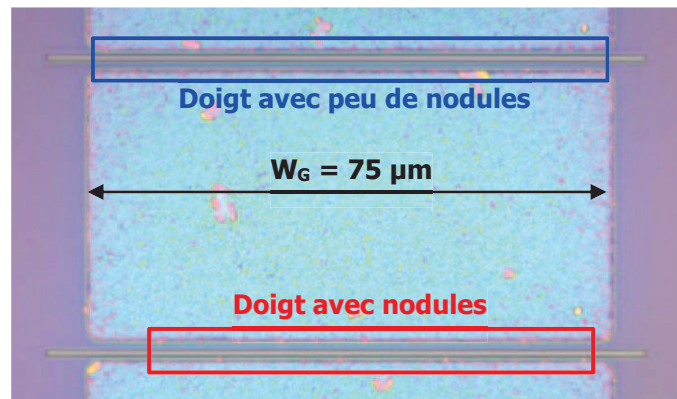


Figure III.10 – Image par microscope optique d'un transistor $2 \times 75 \mu\text{m}$ présentant des nodules le long des contacts ohmiques, surtout pour le doigt inférieur.

III.3.2.3. Mesures TLM

La résistance de contact ohmique R_C est évaluée par la méthode dite de *Transmission Line* ou *Transfer Line* (TLM), décrite en Figure III.11, qui permet par ailleurs d'établir la résistance de couche R_{sh} . Au moyen d'une technique à 4 pointes, la résistance est mesurée entre plusieurs plots de contact Ohmique séparés d'une distance variable. En tenant compte du schéma électrique équivalent, on remarque que l'on peut obtenir R_C et R_{sh} en traçant la résistance en fonction de la distance séparant les plots. Après régression linéaire, on identifie alors R_C et R_{sh} à la pente et l'ordonnée à l'origine de la droite ainsi obtenue. Une analyse plus poussée permet de déterminer la longueur de transfert L_T qui correspond à la distance latérale en dessous du contact ohmique sur laquelle se concentre la plupart des lignes de courant verticales. Cette longueur L_T est généralement très petite par rapport aux dimensions des électrodes de contact ohmique, de l'ordre de 1-3 μm dans notre cas. Dans cette hypothèse, l'expression suivante lie R_C , R_{sh} et la résistance spécifique de contact ρ_C ³⁰:

$$R_C = \sqrt{\rho_C R_{sh}}$$

³⁰ La résistance spécifique de contact ρ_C est utilisée comme métrique pour les transistors de puissance, qui sont le plus souvent des composants verticaux. Elle est donc indiquée dans la plupart des publications sur les HEMTs GaN pour des applications de puissance. Elle est le plus souvent exprimée en Ω/cm^2 .

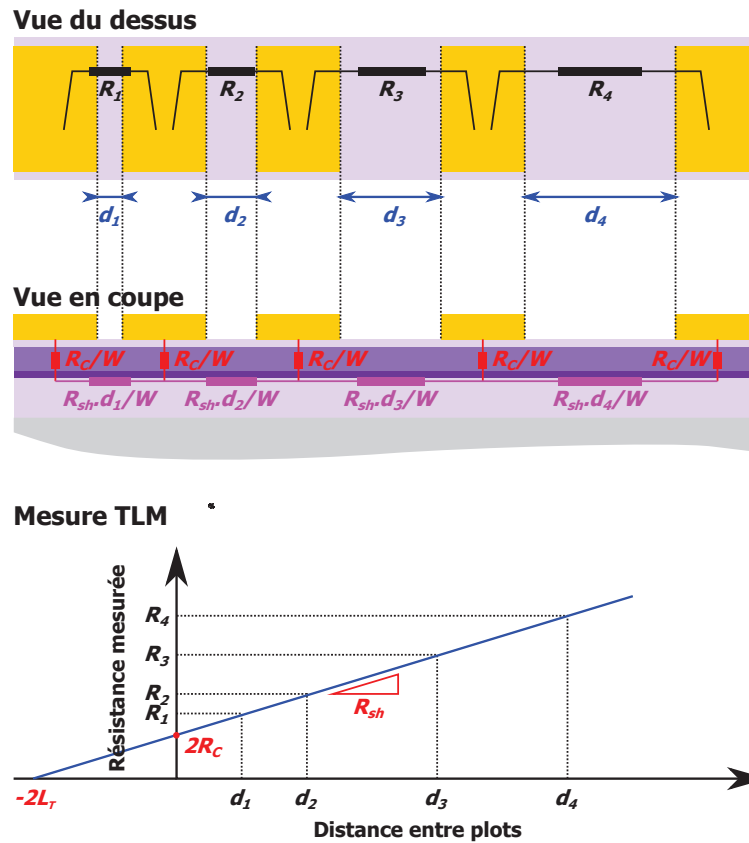


Figure III.11 – Principe de la mesure TLM.

Les motifs TLM sont reproduits sur chaque réticule de la plaque afin d'avoir une cartographie des paramètres R_C et R_{sh} . Ces motifs font partie d'un ensemble de composants de test dédiés au *Process Control Monitoring* (PCM) permettant l'évaluation de divers paramètres technologiques à travers la plaque par l'intermédiaire de tests sous pointes automatiques réalisés à différents niveaux de fabrication.

Les cartographies de R_C et de R_{sh} obtenues lors de nos travaux sur les 2 structures sont présentées en Figure III.12. Les valeurs moyennes de R_C sont de $0,5 \Omega \cdot \text{mm}$ pour les 2 structures. Il faut préciser que nous avons réalisé sur la plaque I une variation du *recess* de contact ohmique par quart de plaque, comme précisé sur la Figure III.12. Cependant nous constatons que cela n'engendre pas de différences significatives en termes de R_C , sauf éventuellement pour le quart sud-ouest avec $0,57 \Omega \cdot \text{mm}$ de moyenne qui explique la valeur plus élevée de l'écart-type pour la structure I. Pour la structure A, nous remarquons une distribution de R_C à symétrie radiale, les meilleures valeurs se trouvant en bord de plaque. Cela pourrait refléter la distribution en température lors du recuit thermique.

En ce qui concerne R_{sh} , il faut constater que les valeurs TLM sont considérablement plus élevées que celles mesurées par sonde Leighton et présentées en Figure III.1, pour rappel $335 \Omega/\square$ et $205 \Omega/\square$ pour les structures A et I respectivement. Cette différence, de l'ordre de 50% pour les 2 structures, est attribuable au recuit de contact ohmique qui altère la surface des épi-structures. Notons la distribution également radiale de R_{sh} sur la structure I qui tend à confirmer ce phénomène.

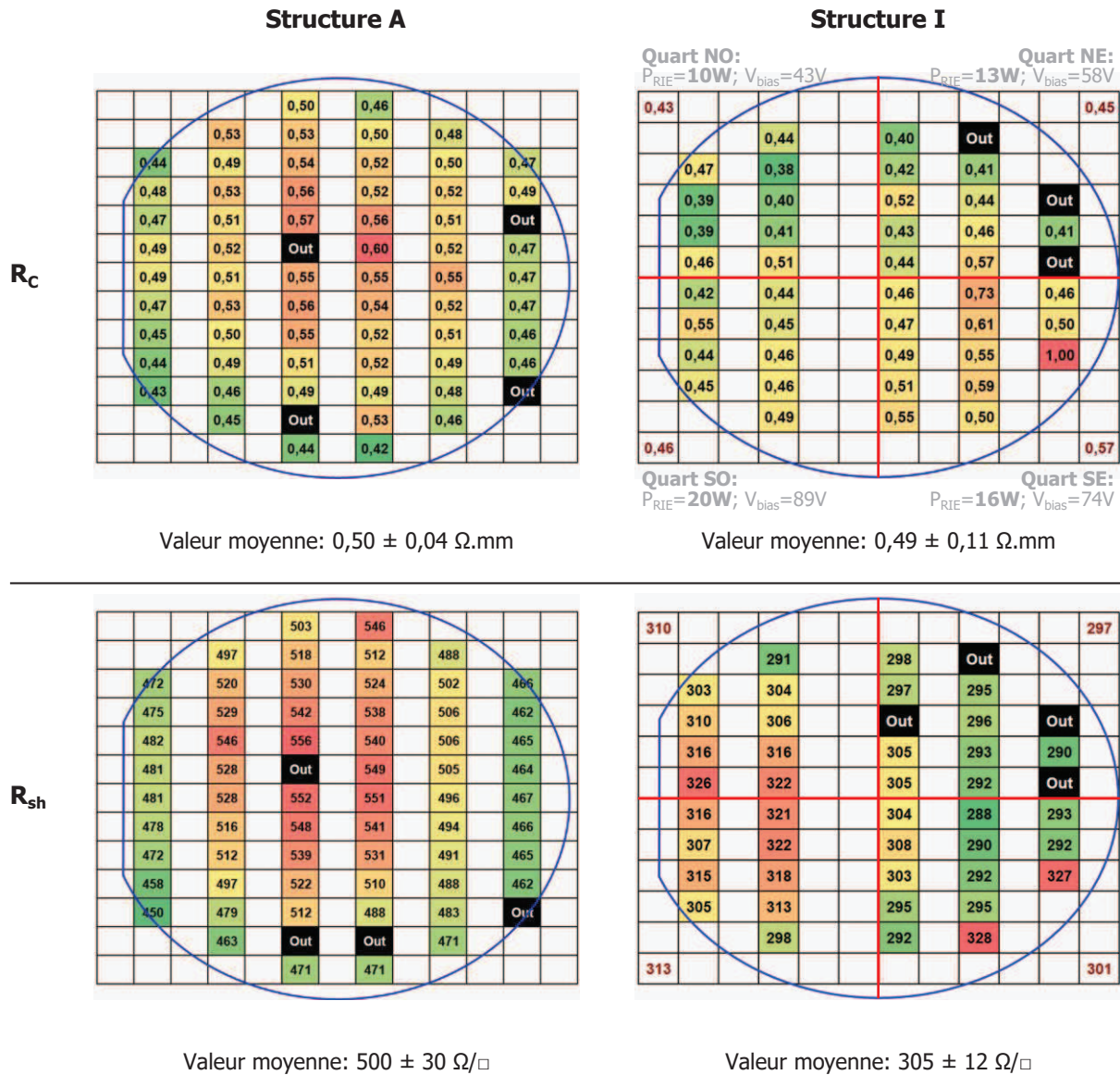


Figure III.12 – Cartographies de R_c et R_{sh} , mesurées par la méthode TLM.

Les contacts ohmiques peuvent être améliorées en employant une technique dite de croissance qui consiste à graver les couches épitaxiales, à l'emplacement des contacts ohmiques, avant de réaliser une croissance par MBE d'un caisson GaN dopé n+, permettant une jonction de très faible résistance entre le 2DEG et l'électrode métallique.

III.3.3. Isolation

L'isolation des composants consiste à limiter l'extension spatiale du 2DEG, et donc les courants électriques, à l'espace source-drain. Il s'agit donc de détruire le 2DEG en dehors des zones actives, ce pour quoi il existe 2 techniques : ① l'implantation d'ions qui détruit le réseau cristallin par bombardement, et ② la gravure des couches épitaxiales, qui forme une « méssa » aux frontières des zones actives. Nous avons choisi dans nos travaux la première solution, en utilisant une implantation d'ions argon Ar^+ avec une énergie d'implantation de 160 keV.

La performance de l'isolation est évaluée sur des motifs PCM comprenant 2 méandres métalliques interdigités séparés par une bande étroite de semiconducteur isolé. Le courant mesuré entre les 2 méandres pour une certaine tension témoigne de l'isolation des couches de semiconducteur sous-jacentes. La Figure III.13 présente les cartographies du courant

d'isolation mesuré à 10 V. Nous voyons que les valeurs atteintes sur la structure I sont bien meilleures que celles sur la structure A avec près de 5 décades de différences. Cependant les courants d'isolations élevés de la structure A n'ont pas eu d'effet conséquent sur les courants de fuite des transistors, possiblement en raison de l'utilisation supplémentaire de l'oxyde de grille. Les raisons de cette mauvaise isolation ne sont pas connues.

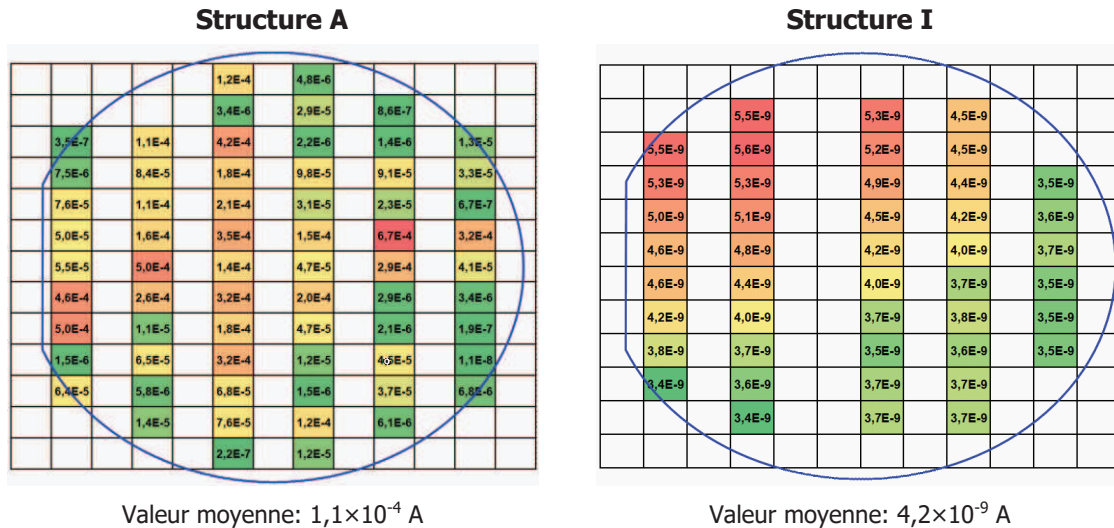


Figure III.13 – Cartographies du courant d'isolation à 10 V mesuré sur structures PCM interdigitées.

L'isolation peut être compromise lors d'un traitement à haute température. Nous en avons fait l'expérience sur l'une des 2 autres plaques I où nous avons voulu expérimenter une oxydation thermique du semiconducteur après ouverture du nitrure de grille. Le traitement consistait en 2 recuits thermiques consécutifs à 800 °C pendant 30 min, sous 2 atmosphères différentes (oxygène et argon). La valeur du courant d'isolation à 10 V est alors montée à plus de 30 mA. Le réseau cristallin a pu donc être partiellement rétabli sous l'environnement des recuits thermiques.

III.3.4. Grilles *normally-on*

Nous en venons maintenant au module de grille des composants *normally-on*, qu'il s'agisse des transistors hyperfréquence pour amplification de puissance, ou des composants complémentaires aux transistors *normally-off* des circuits logiques.

Lors de nos travaux, nous nous sommes passés de cette étape pour la structure A afin d'accélérer l'avancement de la plaque. Sur la structure I, nous avons réalisé des grilles *normally-on* sur une sélection de composants, avec une lithographie électronique sur résine monocouche. Le profil de grille qui en résulte n'est alors pas en forme de champignon comme indiqué sur la Figure III.3, mais rectangulaire afin de permettre une comparaison directe avec les composants *normally-off* au même profil de grille. Les performances obtenues par ces composants *normally-on* ne sont donc pas comparables à celles des transistors hyperfréquences communément fabriqués par le III-V Lab. Par ailleurs nous avons incorporé différentes longueurs de grille *normally-on* lors de la conception du masque électronique, nominalement 0,4 μm , 0,7 μm et 1 μm .

Le métal de grille est ensuite évaporé, après un léger usinage à l'Ar à 170 eV pendant 2 min qui permet de nettoyer les résidus de résine et d'assurer une meilleure adhésion du métal sur le semiconducteur. Le choix du métal est fait en tenant compte du travail de sortie, et dans l'optique de réaliser un contact Schottky avec la plus haute barrière possible pour limiter les

courants de fuite. La Figure III.9 (a) guidé ce choix vers le nickel Ni et le platine Pt. Nous avons employé pour nos travaux une bicouche de Pt/Au d'épaisseur 20/400 nm, la couche supérieure d'Au permettant une réduction de la résistance de grille nécessaire au fonctionnement aux hautes fréquences.

Le *lift-off* de motifs aussi fins que des grilles peut être délicat, et il est par ailleurs fortement déconseillé d'utiliser des ultrasons au risque de compromettre la structure des grilles. Dans ce cas nous utilisons dans un bain de NMP chaud de plusieurs heures, suivi si nécessaire d'un jet d'acétone au pistolet.

III.3.5. Passivation / nitrure de grille *normally-off*

Une couche diélectrique est à présent déposée pleine plaque. Cette couche a 2 fonctions importantes : ① elle passive la surface du semiconducteur et protège la grille des composants *normally-on*, et ② elle sert de masque de gravure pour la gravure ultérieure du *recess* de grille et définit par là même le pied de grille, on dit alors qu'il s'agit d'un nitrure de grille.

Pour satisfaire la première fonction, le III-V Lab a mis au point une bicouche de SiN déposée par ICP-CVD et PECVD, d'épaisseur totale de 150 nm, et a démontré des performances remarquables en termes de réduction d'effet de pièges, attestées par des mesures PIV [43]. Un bain d'ammoniaque NH_4OH dilué est utilisé comme traitement de surface préliminaire. Des analyses XPS ont en effet montré que cette solution est plus efficace que l'acide chlorhydrique HCl ou l'acide fluorhydrique HF pour désoxyder la surface du semiconducteur, et permet donc de limiter les effets de pièges. La première couche de SiN déposée par ICP-CVD est particulièrement importante : les composants passivés avec la bicouche produisent des gate- et drain- lags 5 fois inférieurs à ceux des transistors passivés avec une monocouche déposée uniquement par PECVD. Nous avons donc retenu le dépôt par ICP-CVD pour nos couches de passivation / nitrure de grille. Le 2^e rôle de la couche de SiN impose des contraintes sur le choix de son épaisseur. En effet, l'ouverture du masque SiN et la gravure du semiconducteur à travers ces ouvertures se complique lorsque le rapport d'aspect des ouvertures est élevé, à cause de la nature isotropique des plasmas utilisés. Il faut donc choisir une épaisseur ni trop épaisse, pour garantir un bon rapport d'aspect, et ni trop fine afin que le masque ne soit pas totalement consommé après gravure du semiconducteur. Ajoutons également que dans le cas de la structure I, le nitrure de grille restant doit pouvoir bloquer les ions fluor lors de l'implantation qui s'ensuit. Sur la base de compromis, nous avons opté pour une épaisseur de SiN de 30 nm pour la structure A, et 40 nm pour la structure I.

III.3.6. Ouverture de passivation

Passons les étapes technologiques propres au composants *normally-off*, qui seront détaillées dans la prochaine partie. Considérons que les modules de grille des transistors, aussi bien *normally-on* que *normally-off*, sont réalisés. Les couches d'oxyde de grille et de SiN recouvrent les contacts ohmiques, et il s'agit maintenant de graver des ouvertures pour pouvoir établir un contact avec le métal d'interconnexions (voir ci-après). Il n'y a pas de contraintes particulières sur cette gravure, hormis le fait que le SiN doit impérativement être totalement gravé car un faux-contact n'est pas rattrapable après le dépôt des interconnexions. Nous réalisons cette gravure avec un plasma RIE à base de CHF_3 et de SF_6 au moyen du réacteur Nextral NE 100. Une puissance RIE de 40 W permet d'atteindre une tension V_{bias} de plus de 240 V garantissant une vitesse de gravure élevée. Après gravure, nous contrôlons que l'ouverture est complète en effectuant un test électrique avec 2 pointes posées à l'intérieur

d'une ouverture quelconque. Si la résistance mesurée n'est pas presque nulle, la plaque est de nouveau gravée, autant de fois que nécessaire.

III.3.7. Interconnexions

Le niveau d'interconnexion comporte les lignes RF entre les différents composants actifs et passifs au sein des circuits MMIC. Il permet également de relier les circuits ou les transistors intrinsèques (zones actives) à des plots de grandes tailles, facilitant le câblage par fil et les mesures sous pointes. Il existe 2 principaux types de lignes RF utilisées dans la technologie GaN : les lignes coplanaires et les micro-ruban (ou *microstrip*). Avec la première option, les lignes de signal et de masse sont situées sur la face avant, disposées de manière parallèle, avec une épaisseur de métal et un espacement calculés pour obtenir une impédance de référence de 50Ω . Dans le cas d'une technologie micro-ruban, la masse est constituée par la face arrière de la plaque, alors métallisée, et connectée à la face avant par des vias-trous métallisés. La fabrication de tels éléments nécessite une chaîne de fabrication dédiée, avec des procédés lourds comme l'amincissement ou la gravure du substrat SiC.

Dans le cadre de nos travaux, nous nous sommes uniquement intéressés à des transistors discrets coplanaires. Les interconnexions sont constituées d'un empilement métallique de Ti/Pt/Au d'épaisseur 50/50/1000 nm, déposé par évaporation sous vide.

III.4. Briques technologiques spécifiques *normally-off*

Présentons maintenant les différentes briques technologiques spécifiques aux transistors *normally-off*, qui pour la plupart ont été spécialement développés dans le cadre de ces travaux. La Figure III.14 rappelle le détail de ces étapes de procédé technologique.

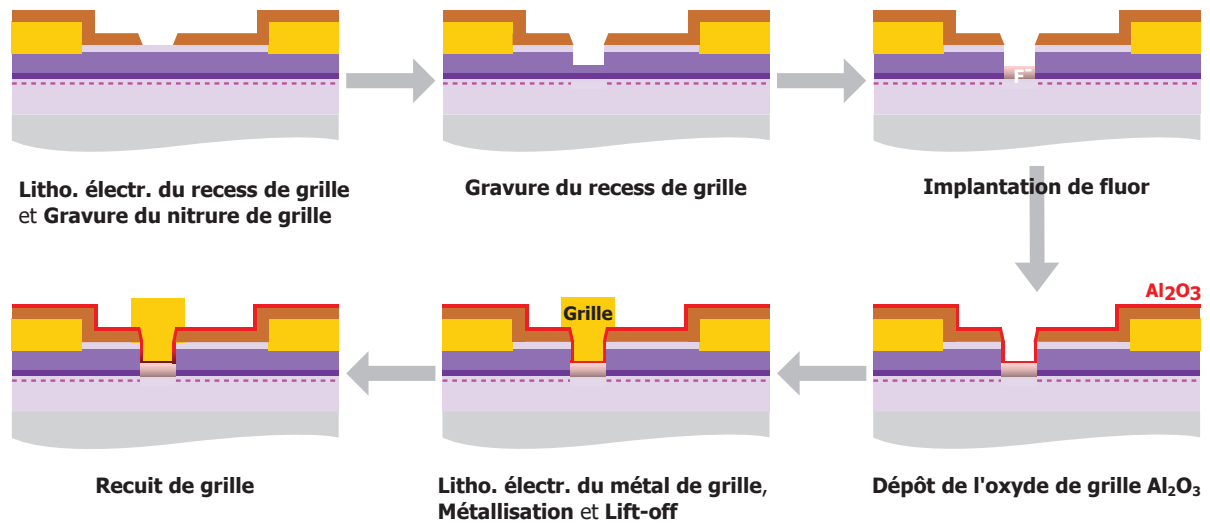


Figure III.14 – Étapes spécifiques pour la réalisation de la grille MOS *normally-off*.

III.4.1. Lithographie du *recess* de grille

Nous avons dans un premier temps envisagé une lithographie optique pour le *recess* de grille, disposant pour cela d'un photomasque contenant des motifs de grilles de longueur $0,7 \mu\text{m}$ théoriquement réalisables avec notre stepper. Nous avons alors utilisé une monocouche de S1805 tourné à 6000 tr/min (avec promoteur d'adhérence PRIMER) afin d'obtenir une fine épaisseur de 450 nm , ce qui constitue un prérequis pour la réalisation de motifs submicroniques. Nous avons ensuite ajusté les paramètres d'exposition en variant suivant une matrice de doses et de focus, et avons abouti aux valeurs optimales de 470 J/m^2 et $0,5 \mu\text{m}$. Le résultat était alors satisfaisant, avec des flancs de résine au profil négatif. Néanmoins nous avons souhaité diminuer la longueur de *recess* de nos composants et nous nous sommes donc tournés vers une lithographie électronique. Notons de plus que la lithographie électronique permet de varier longueur de *recess* de grille pour chaque composant en éditant simplement le fichier GDS.

Sur la structure A, nous n'avons pas mis à profit cette dernière possibilité, et nous avons réalisé sur tous les composants un *recess* de grille de longueur nominale $0,3 \mu\text{m}$ (pour une longueur réelle L_r de $0,4 \mu\text{m}$ après gravure, voir parties suivantes). Pour la plaque I, nous avons dessiné différents *recess* de grille avec des longueurs nominales de $0,3 \mu\text{m}$, $0,6 \mu\text{m}$ et $0,9 \mu\text{m}$ (pour les longueurs réelles L_r , ajouter $0,1 \mu\text{m}$). En effet, nous avons constaté lors d'essais précédents sur structure I que la fonctionnalité *normally-off* était difficile à obtenir avec des longueurs de *recess* de $0,3 \mu\text{m}$, mais plus aisément atteignable avec des longueurs plus élevées.

III.4.2. Gravure du nitrure de grille

III.4.2.1. Gravure par plasma ICP-RIE SF₆/O₂

Au début de nos travaux, le III-V Lab venait de faire l'acquisition d'un bâti ICP-RIE Sentech SI-500. Jusqu'alors, les gravures sèches de diélectriques étaient faites dans le réacteur RIE Nextral NE 100 en utilisant le plasma CHF₃/SF₆ décrit dans la partie précédente sur l'ouverture de passivation. Bien que ce plasma ait été transféré sur le nouveau bâti avec succès, nous avons besoin d'une gravure moins agressive pour le nitrure de grille. Il a donc été jugé préférable d'expérimenter un autre plasma fluoré à base de SF₆ et de O₂ et de profiter ainsi des capacités ICP du réacteur Sentech pour atténuer la composante physique de la gravure.

Un tel plasma SF₆/O₂ a déjà été développé au cours de travaux de thèse antérieurs [83], sur un autre bâti ICP-RIE. Nous avons donc reporté les paramètres existants sur notre nouveau réacteur : débit volumique de SF₆/O₂ de 100/5 sccm, pression de 3 Pa, puissance ICP de 100 W, puissance RIE de 25 W et température de 20 °C, pour une tension V_{bias} résultante de l'ordre de 60 V. Nous avons ensuite effectué une campagne d'essais sur divers films diélectriques et substrats. Le bâti Sentech SI-500 est équipé d'un interféromètre à laser permettant de mesurer la réflectométrie de la couche gravée en temps réel, et ainsi de détecter la fin de gravure. La Figure III.15 illustre 2 exemples d'une telle mesure sur des couches de SiN déposées par ICP-CVD (identique à nos nitrures de grille) d'épaisseur 110 nm sur une épi-structure AlGaIn/GaN sur substrat saphir. Nous pouvons extraire de ce graphique un temps de gravure de 120 s, ce qui correspond à une vitesse de gravure de 55 nm/min. La profondeur de gravure de 110 nm a par ailleurs été vérifiée au profilomètre. La vitesse de gravure du plasma SF₆/O₂ dépend fortement du matériau cible. Elle monte ainsi à 145 nm/min pour un SiN déposé par PECVD, mais n'est que de 5,2 nm/min pour un SiO₂ déposé par PECVD. Il semble que le substrat sur lequel se trouve la couche à graver joue également un rôle important, avec une vitesse plus élevée sur Si que sur des substrats SiC ou saphir épitaxiés. Enfin les dimensions des motifs à graver, ou plus exactement leur rapport d'aspect, influe sur la vitesse de gravure, les petits motifs étant plus lents à graver que les gros. Il faut y faire particulièrement attention pour notre process, car les motifs de *recess* sont très fins alors que la détection de fin de gravure est effectuée sur des plus gros motifs pouvant accommoder la taille du faisceau laser. Nous veillerons donc à appliquer un temps de surgravure additionnel pour toutes nos gravures.

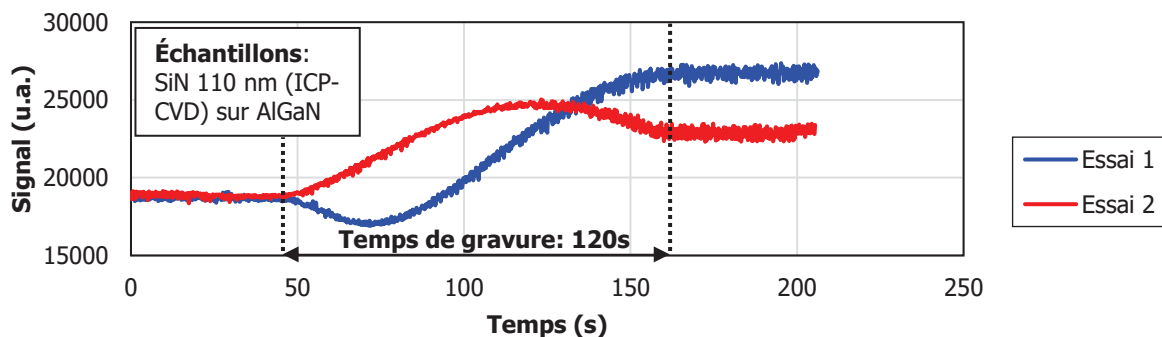


Figure III.15 – Gravure fluorée : mesures de réflectométrie par interférométrie laser.

La Figure III.16 présente des images MEB du profil de gravure sur 2 plaques d'essai. Sur l'image de gauche, obtenue par clivage de la plaque Si, nous constatons que le plasma SF₆/O₂

engendre un phénomène d'*undercutting* prononcé qui est la conséquence de l'utilisation d'un plasma dense ICP, à forte composante chimique et isotrope. Nous remarquons cependant que le Si inférieur a été aussi massivement gravé. L'*undercutting* a donc pu se produire ou s'accroître au moment de cette gravure du Si, et l'élargissement de l'ouverture du SiN ne devrait donc pas être si pénalisant. L'inclinaison des flancs de gravure, déjà visible sur cette coupe, est confirmée par l'image MEB de la coupe FIB à droite de la Figure sur un échantillon plus proche de notre process.

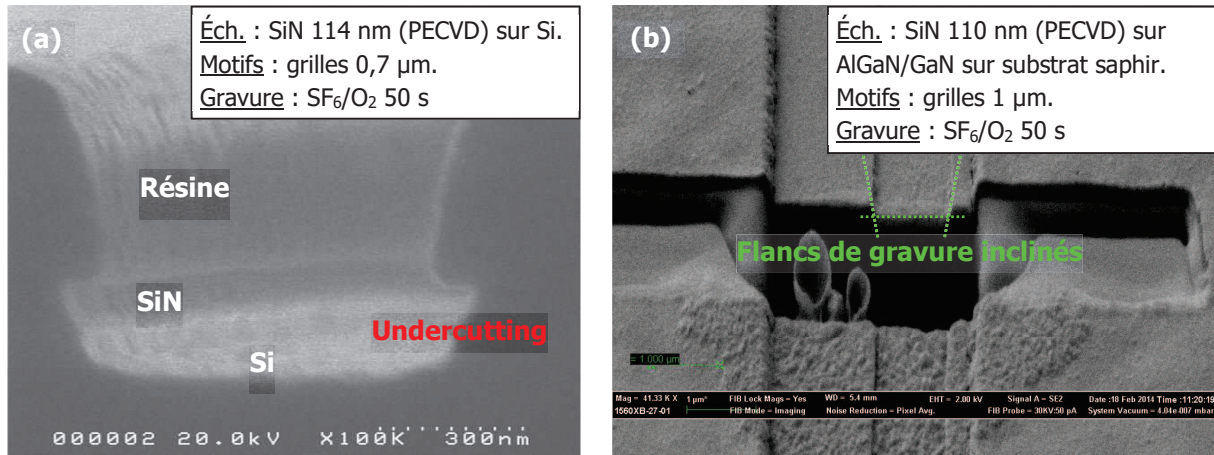


Figure III.16 – Gravure fluorée : (a) image MEB du profil de gravure avec résine, (b) image MEB d'une coupe FIB d'une gravure.

En ce qui concerne l'homogénéité de gravure de ce plasma SF₆/O₂, la Figure III.17 présente des mesures au profilomètre réalisées le long du diamètre d'une plaque d'essai Si 3 pouces. Nous relevons une excellente homogénéité avec un écart-type de 0,6% et une amplitude de 2,7% entre le centre, plus profondément gravé, et le bord de la plaque.

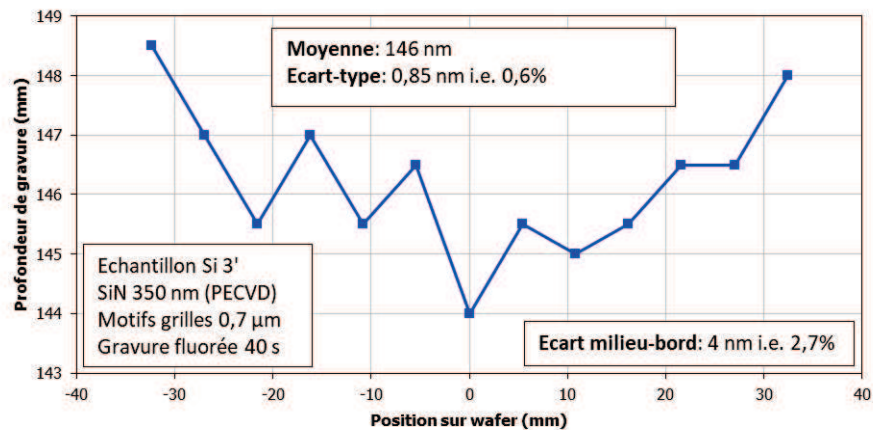


Figure III.17 – Gravure fluorée : homogénéité sur wafer Si 3 pouces.

III.4.2.2. Gravure du nitrure de grille sur structures A et I

Sur la plaque A, nous devons graver un nitrure de grille de 30 nm d'épaisseur, et avons donc choisi de réaliser une gravure de 45 s pour limiter la surgravure et éviter l'*undercutting* et l'élargissement du pied de grille. Cependant nous avons par erreur programmé une durée de 15 s, et avons constaté après démontage de la résine qu'il restait malheureusement des résidus de SiN dans les fonds de gravure, comme le montre la Figure III.18. Nous avons donc

décidé de regravure la plaque, sans résinage, pour 15 s supplémentaires, et nous sommes parvenus à enlever ces résidus. La hauteur de marche a toutefois été réduite à environ 17 nm. Nous constatons que la côte nominale de 300 nm est élargie à 350 nm après la première gravure, et 400 nm après la regravure.

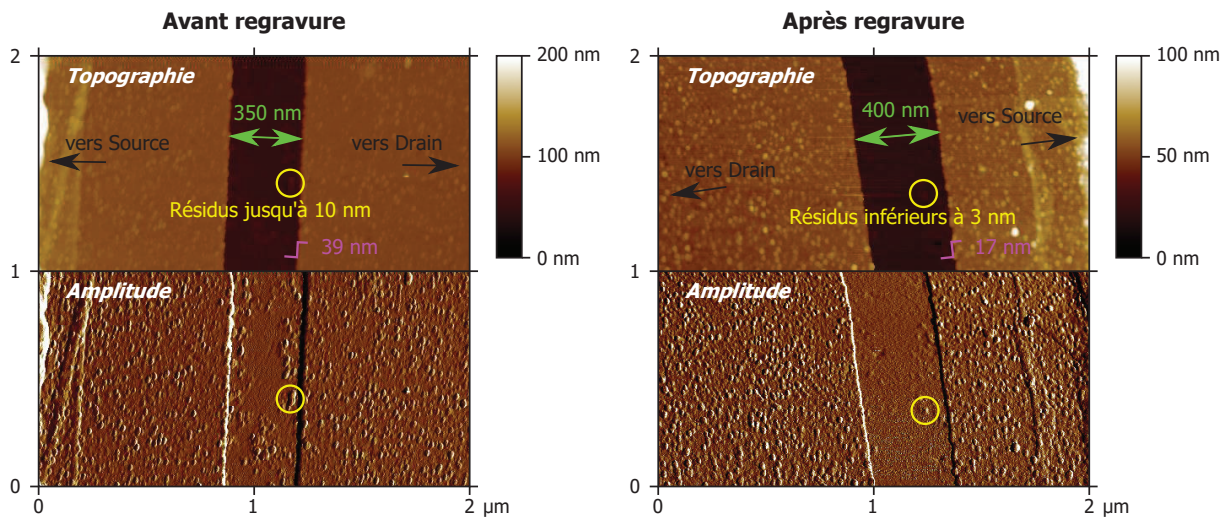


Figure III.18 – Gravure fluorée : motifs de *recess* sur structure A avant et après regravure fluorée.

Pour la plaque I, nous avons ajusté l'épaisseur du SiN à 40 nm, et avons choisi un temps de gravure de 60 s en ayant remarqué au préalable que le phénomène d'undercutting n'était pas (ou peu) marqué sur les plaques précédentes. Comme le montrent les images AFM de la Figure III.19, nous avons découvert des défauts au fond des motifs après gravure, possiblement des produits de gravure, que nous avons pu nettoyer avec un bain d'HCl dilué. Dans le cas de la structure A, ces défauts ponctuels ne se sont pas manifestés et le fond de gravure est très propre, quasiment identique à la surface initiale de l'épi-structure.

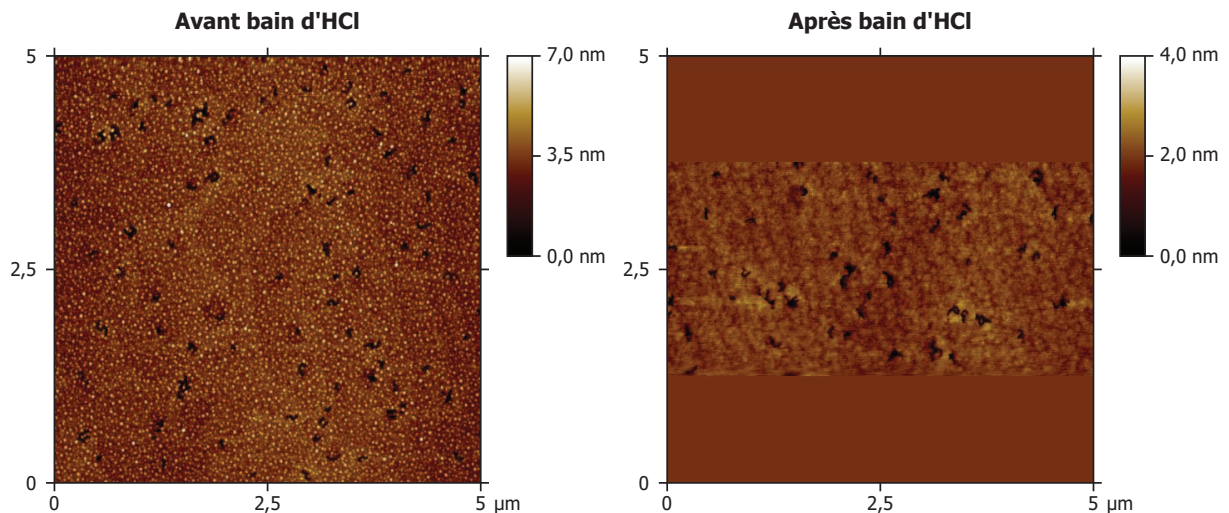


Figure III.19 – Gravure fluorée : fonds de gravure sur structure I avant et après bain d'HCl.

III.4.2.3. Étude par spectrographie Auger de la contamination par réacteur ICP-RIE

Au cours de la phase de développement sur le nouveau bâti ICP-RIE Sentech SI-500, des problèmes de contamination par le réacteur ont été décelés par des collaborateurs utilisant des plasmas et de matériaux divers. Une rugosité des fonds de gravure a été mise en lumière par des observations au microscope optique à fort grossissement. Nous avons voulu

déterminer précisément l'ampleur du phénomène, et avons mené une étude par spectrographie Auger des fonds de gravures par différents plasmas. Les échantillons ont été préparés en gravant longuement (20 min) plusieurs morceaux de plaque de GaN sur saphir. La Figure III.20 présente 2 spectres correspondant aux plasmas CHF_3/SF_6 , utilisé pour l'ouverture de passivation, et SF_6/O_2 , employé pour notre gravure du nitrure de grille. Nous constatons alors que le premier engendre une contamination aux éléments fluor F et aluminium Al, tandis que l'autre plasma ne laisse que des traces de F.

La contamination à l'Al provient des portes-substrats dont le revêtement contient ce même matériau. Elle a été aperçue pour un autre plasma RIE à base de CHF_3/O_2 . La solution a alors été de commander et d'utiliser d'autres portes-substrats en quartz ou en carbone. Il faut noter que nous ne sommes a priori pas concernés par cette problématique, sans vraiment en connaître la raison. Cela pourrait être notre utilisation d'un plasma ICP ou le fait de ne pas utiliser de CHF_3 , mais il se pourrait aussi qu'un mauvais rapport signal sur bruit ait masqué la contamination à l'Al. La présence de F dans les fonds de gravure est beaucoup moins surprenante au vu de la nature des gaz utilisés dans ces plasmas, mais il est toujours intéressant de le reconnaître.

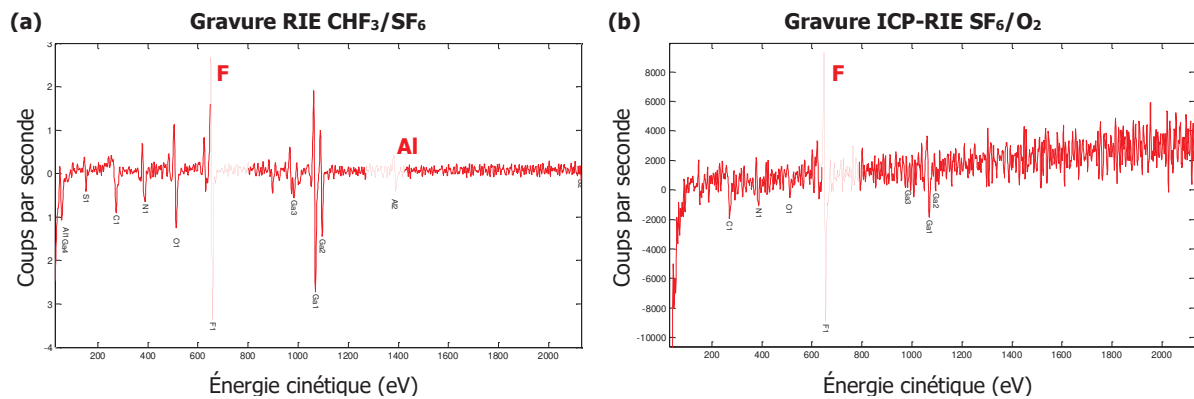


Figure III.20 – Gravure fluorée : spectrographie Auger de fonds de gravure pour (a) un plasma RIE CHF_3/SF_6 et (b) un plasma ICP-RIE SF_6/O_2 .

III.4.3. Gravure du *recess* de grille

III.4.3.1. Optimisation de paramètres de plasma chloré

Le développement de gravures plasma à base de chlore était une thématique générale au III-V Lab au début de nos travaux, en raison de l'accession nouvelle à un réacteur ICP-RIE Oxford Plasmalab 100. C'est dans ce contexte que nous avons développé et optimisé des plasmas pour la gravure du *recess* de contact ohmique et celle du *recess* de grille. En outre, nous avons contribué à la création d'un plasma de gravure de méssa pour d'autres technologies GaN, dont les détails ne seront pas discutés ici.

Pour le *recess* de contact ohmique et de grille, l'objectif est de disposer d'un plasma ① à faible vitesse de gravure (pour un contrôle précis de la profondeur de l'ordre de quelques nanomètres), ② anisotropique (pour éviter l'élargissement des structures) et ③ sélectif entre la barrière $(\text{Ga})\text{InAlN}$ ou AlGaIn et le masque de gravure SiN ainsi que l'intercouche AlN . En tenant compte de ces besoins, nous sommes partis d'un plasma de référence et avons procédé à 8 itérations successives. Le Tableau III.3 liste les variations des paramètres correspondant aux 9 essais sur des échantillons nommés A à I, provenant d'une plaque test

de GaN épitaxié sur substrat SiC. Un masque de SiO₂ de 340 nm d'épaisseur a été utilisé, car les propriétés de ce matériau étaient mieux connues que celles du SiN, et parce qu'il est plus facile de démonter un tel masque par gravure chimique au *buffered oxide etchant* (BOE). Après une lithographie optique de motifs de test (composants passifs, diodes), nous avons ouvert le masque par un plasma RIE CHF₃/SF₆. Pour chaque test de gravure, nous avons mesuré la hauteur de marche à l'AFM avant et après démontage du masque au BOE afin de déterminer les vitesses de gravure du SiO₂ et du GaN, et avons observé les échantillons au MEB pour révéler les éventuels problèmes de trenching, tel qu'illustré sur la Figure III.21.

Tableau III.3 – Gravure chlorée : expérimentations sur les conditions de plasma.

Échantillon	Cl ₂ (sccm)	Ar (sccm)	N ₂ (sccm)	P (mT)	P _{ICP} (W)	P _{RIE} (W)	V _{bias} (V)	T (°C)	Durée (s)	Allumage	Vitesse de grav. GaN (nm/min)	Vitesse de grav. SiO ₂ (nm/min)	Trenching
A	4	12	2	2,4	1000	30	55	20	600	auto	99	14	Non
B	4	12	2	2,4	500	30	52	20	600	auto	94	15	Modéré
C	4	12	2	1	800	30	75	20	480	auto	76	18	Fort
D	4	24	2	1	800	30	84	20	480	auto	58	16	Fort
E	4	4	20	6	800	30	150	20	300	auto	109	13	Non
F	4	40	20	2	800	20	80	20	300	auto	33	6	Non
G	4	100	20	4	800	20	81	20	300	auto	24	3,5	Non
H	0	100	20	4	800	20	96	20	600	auto	6	2	Fort
I	4	100	20	4	800	10	60	20	300	auto	13	n/a	Non

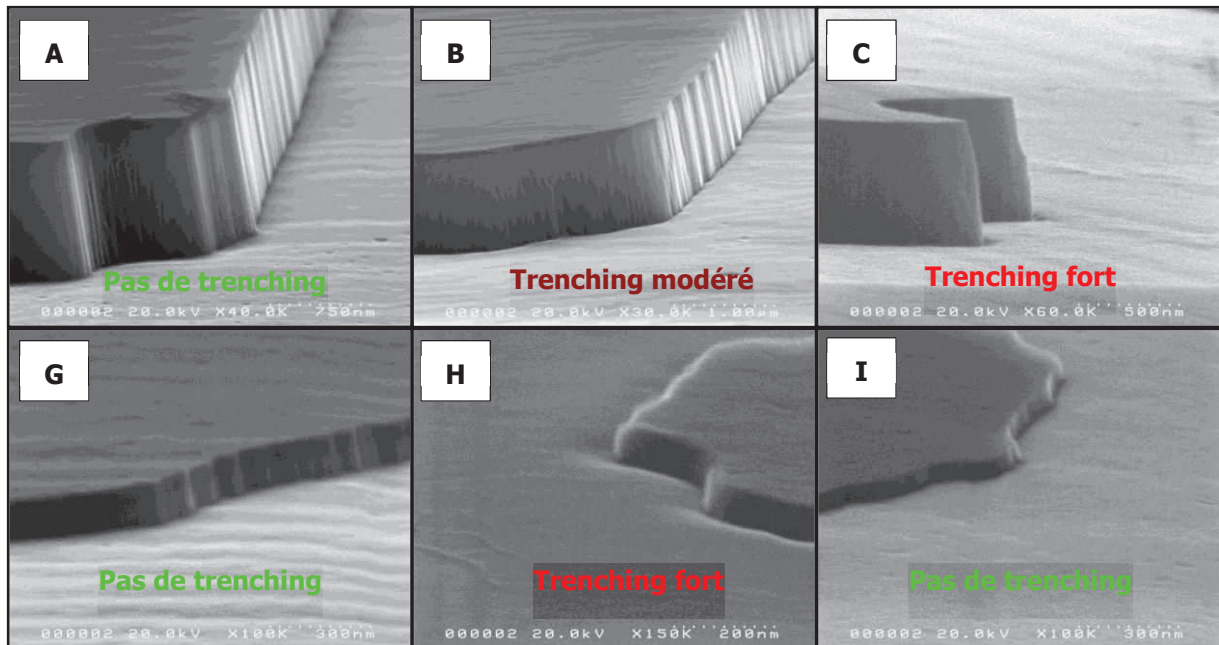


Figure III.21 – Gravure chlorée : images MEB de quelques échantillons du Tableau III.3. Mise en évidence du phénomène de trenching.

À partir des données des échantillons A à C, nous pouvons conclure qu'abaisser la puissance ICP P_{ICP} provoque l'apparition de trenching (A et B), et que réduire la pression de la chambre P aggrave ce même phénomène (B et C). Notons que ces 2 actions ont pour conséquence de réduire la densité du plasma, comme expliqué dans la partie théorique précédente. Nous

avons donc fixé P_{ICP} à 800 W dans un premier temps, afin de garantir une certaine densité de plasma, et nous sommes concentrés sur la réduction de la vitesse de gravure. Nous pouvons constater qu'une dilution du Cl_2 permet d'accomplir cet objectif, en comparant les échantillons C et D, ou F et G pour lesquels nous avons également abaissé la puissance RF. Les débits utilisés sur l'échantillon G correspondent au maximum de dilution de chlore possible sur le bâti, c'est-à-dire à un débit maximal autorisé par les *mass-flow controllers* (MFC) pour le N_2 (20 sccm) et l'Ar (100 sccm), et un débit minimal pour le Cl_2 (4 sccm). Sur l'échantillon H, nous avons voulu essayer un plasma sans chlore, et donc purement physique, et avons atteint une vitesse de gravure minimale mais malheureusement accompagnée d'un fort trenching. Cela nous indique comme attendu que le trenching est favorisé par la composante plutôt physique que chimique du plasma, et qu'il convient de maintenir le chlore. Finalement, nous avons abouti à une vitesse de gravure relativement faible en abaissant la puissance RF à 10 W, ce que nous avons accompli sur l'échantillon I. Pour les derniers échantillons, nous avons fixé la pression à 4 mTorr pour éviter le trenching causé par une anisotropie importante à trop basse pression, tout en gardant un caractère suffisamment anisotrope.

Les paramètres utilisés lors de cette dernière expérimentation sont ceux que nous avons retenu pour la gravure du *recess* de grille. Notons que des essais ultérieurs ont été fait à 60 °C, pour une assurer une meilleure compatibilité avec les autres process réalisés sur ce bâti, la plupart à 60 °C, en s'affranchissant du conditionnement en température. Ce changement de température n'a pas de grande influence sur les gravures, et a donc été adopté pour le *recess* de grille. Pour la gravure du *recess* de contacts ohmiques, nous avons initialement utilisé ces mêmes conditions (avec une température de 20 °C), mais avons par la suite adapté la puissance RF afin de maintenir un *DC bias* constant (voir ci-après).

Lors de cette optimisation, nous avons également travaillé avec des plasmas chlorés avec ajout de O_2 au lieu de N_2 . Les vitesses de gravures obtenues étaient alors très faibles, de l'ordre de 3 nm/min pour le GaN, mais le plasma était fortement isotrope, causant l'élargissement des côtes et l'arrondissement des angles. De plus, un tel plasma provoquait parfois la gravure et la redéposition du Si composant le porte-substrat, contaminant non seulement l'échantillon mais aussi la chambre.

III.4.3.2. Gravure par plasma ICP-RIE $Cl_2/Ar/N_2$

III.4.3.2.1. Optimisation de la séquence d'allumage du plasma

De manière générale, il est difficile d'initier le plasma avec un gaz à faible pression, car il se produit alors peu de collisions entre espèces, pourtant nécessaires à l'allumage. Lors des essais précédents, nous avons utilisé un allumage automatique, qui désigne une option proposée par le logiciel pilote d'élever temporairement la pression dans la chambre pour pouvoir allumer le plasma avant de l'abaisser à sa valeur de consigne. Cette approche possède cependant plusieurs inconvénients : elle engendre une phase non-contrôlée durant laquelle la vitesse de gravure n'est pas connue, et où l'isotropie est plus élevée (à cause de la plus forte pression). D'autre part nous avons observé qu'avec une P_{RF} de 10 W, l'allumage pouvait parfois rater même sous haute pression.

Nous avons donc mis au point une séquence manuelle qui a finalement permis un allumage sûr, s'affranchissant de tous les inconvénients cités ci-dessus. La Figure III.22 présente les chronogrammes des divers paramètres lors de cette séquence d'allumage manuelle. Après un pompage de la chambre permettant d'atteindre un vide satisfaisant, le N_2 est injecté, seul, à 20 mTorr, pendant une certaine durée de stabilisation pour atteindre un régime considéré

comme permanent. Un plasma de N_2 est alors initié à une P_{ICP} de 800 W (inchangée tout au long de la séquence) et une P_{RF} de 20 W, à 20 mTorr. La valve de la pompe est alors immédiatement ouverte pour diminuer la pression à sa valeur de consigne, et la P_{RF} est ensuite réduite à 10 W. De cette manière, la phase d'allumage, bien que non totalement contrôlée, ne peut nuire à la gravure puisqu'il consiste en un simple plasma N_2 . Ce dernier possède en outre l'avantage de nettoyer *in-situ* les fonds de motifs avant leur gravure. À l'issue d'un temps de plasma N_2 défini, les autres gaz sont injectés simultanément, en l'espace d'environ 5 s, et la gravure commence alors. Ce court intervalle de 5 s n'est pas compté dans le temps de gravure total, même si l'on peut soutenir qu'une gravure non-contrôlée s'y produit. Enfin, après le temps de plasma requis, la chambre est pompée et purgée au N_2 .

Notons que toutes ces étapes ont été optimisées en réduisant le plus possible l'usage des boucles de rétroaction : les consignes sur la valve papillon pour la pression sont données directement en termes d'angle d'ouverture, et les capacités de couplage au plasma sont initialisées au plus proche des valeurs normalement utilisées. Cela permet de limiter au mieux les temps d'allumage du plasma et d'éviter les régimes transitoires non-contrôlés.

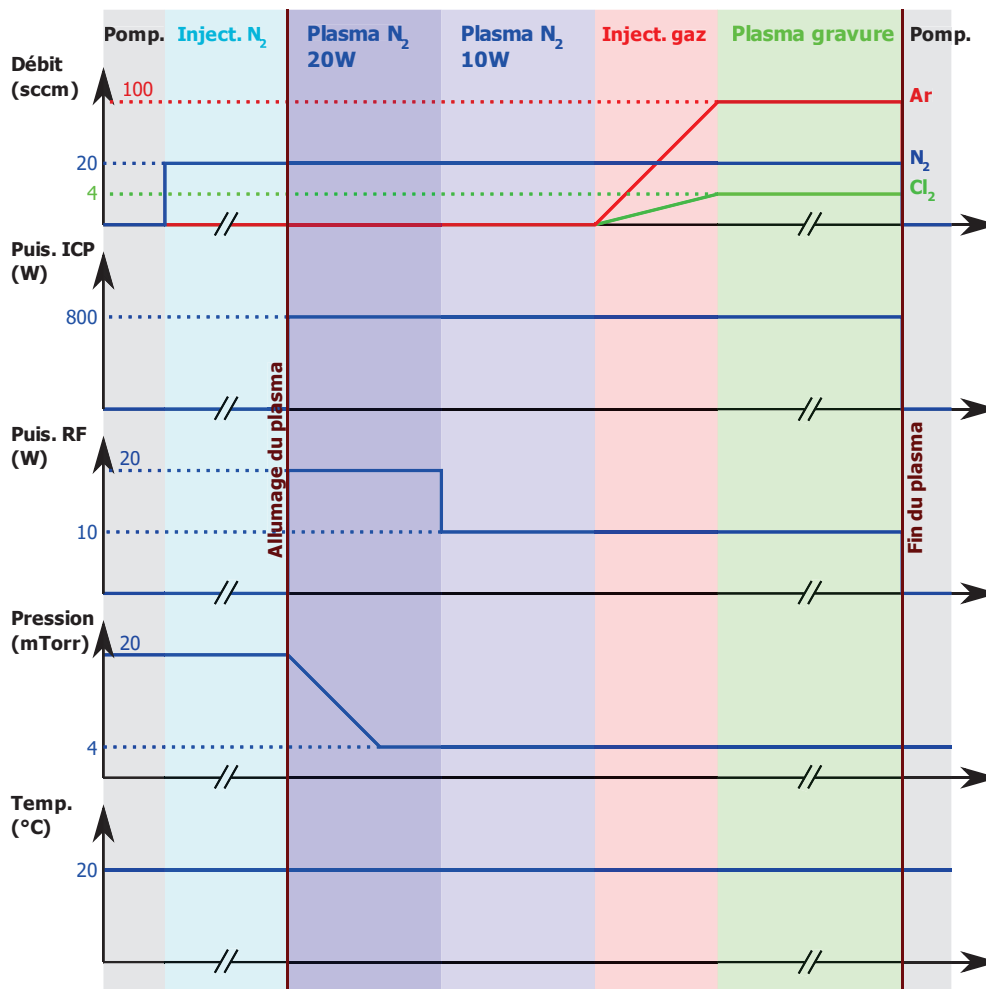


Figure III.22 – Gravure chlorée du *recess* de grille : chronogrammes des paramètres plasma pour un allumage en plusieurs étapes.

III.4.3.2.2. Sélectivité, vitesse de gravure et homogénéité

À travers plusieurs essais sur des matériaux et des substrats différents, nous avons pu constater que les vitesses de gravure étaient pratiquement identiques entre le GaN, le

(Ga)InAlN et l'AlGaN. Conséquemment, même si nous n'avons pas disposé d'échantillon d'AlN pur à graver, nous considérons que la sélectivité entre la barrière et l'AlN est nulle, et que nous ne pouvons pas utiliser l'intercouche comme couche de fin de gravure. Toutes nos gravures de *recess* ou de contact ohmique ont donc été réglées par le temps de plasma de gravure, en partant d'une spécification sur la profondeur de gravure et en connaissant la vitesse de gravure. Par contraste la sélectivité avec le masque SiN est satisfaisante, comme nous allons le voir en comparant les vitesses de gravure.

La Figure III.23 indique les profondeurs de gravure obtenues pour différentes itérations du plasma $\text{Cl}_2/\text{Ar}/\text{N}_2$ sur des plaques « réelles », i.e. épi-structures sur SiC et masque SiN par ICPCVD. Nous remarquons que la gravure du plasma chloré tend à s'accélérer, probablement à cause de l'échauffement de la surface à graver sous l'action du plasma incident. Pour la première minute, nous relevons une vitesse de gravure de 13,7 nm/min pour le GaN et autres III-N, et près de 2 nm/min pour le SiN déposé par ICPCVD, ce qui donne une sélectivité du GaN sur le SiN d'environ 6.

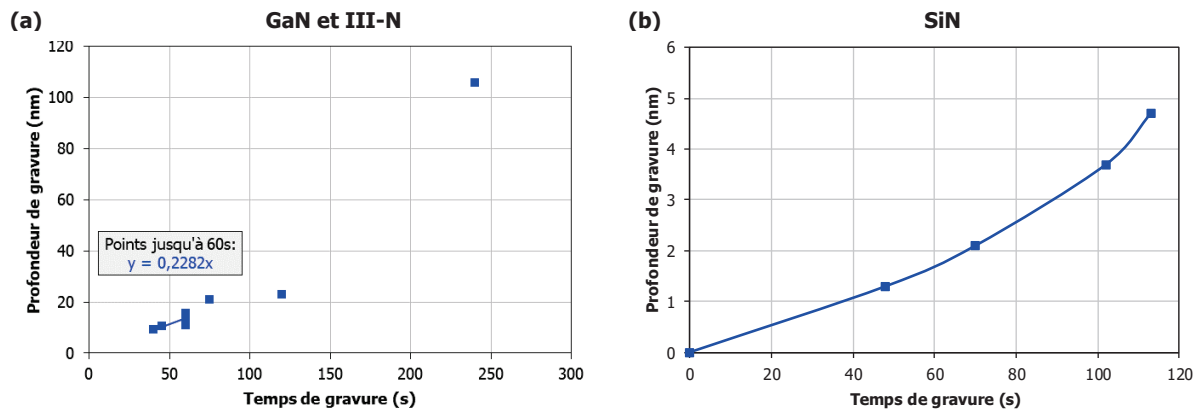


Figure III.23 – Gravure chlorée: profondeur de gravure en fonction du temps de gravure pour (a) le GaN et autres semiconducteurs III-N de barrière, et (b) le SiN déposé par ICPCVD.

La Figure III.24 trace la profondeur de gravure du plasma chloré pour différents points régulièrement espacés le long du diamètre d'une plaque AlGaN/GaN sur substrat saphir 3 pouces. L'homogénéité est bonne, avec un écart-type de 1,58%. Nous remarquons un gradient de profondeur le long du diamètre, mais nous n'en connaissons pas la raison.

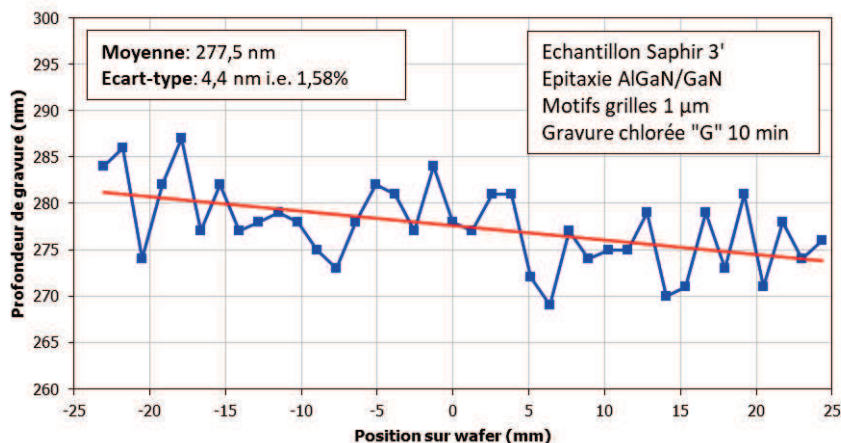


Figure III.24 – Gravure chlorée : homogénéité sur wafer 3 pouces.

III.4.3.2.3. Résultats sur les contacts ohmiques

Plusieurs expériences ont été menées sur les *recess* de contact ohmique pour les épitaxies à barrière (Ga)InAlN, également sur des plaques extérieures à nos travaux. La Figure III.25 présente les résistances de contact ohmique R_C associées à des variations de certains paramètres du plasma de gravure : le *DC bias* (par l'intermédiaire de P_{RF}) et le temps de gravure.

Sur le premier graphique, nous constatons que R_C semble très légèrement augmenter avec le *DC bias*, de manière très peu sensible à part pour l'avant-dernier point des 2 plaques à environ 75 V. Il faut cependant être prudent, car les 2 plaques sont issues de la même campagne d'épitaxie, et il pourrait donc s'agir d'une inhomogénéité de l'épi-structure, sachant que l'avant-dernier point correspond dans les 2 cas à une variante effectuée sur le quart sud-est. La plaque I de nos travaux figure d'ailleurs parmi ces plaques, et un aperçu plus détaillé de R_C a été donné dans la partie III.3.2.

Nous relevons sur le graphique de droite que R_C augmente également avec le temps de gravure excepté pour une des plaques. Là encore nous pouvons relativiser cette différence de comportement en remarquant que cette dernière plaque possède une épi-structure plus épaisse avec *cap-layer* GaN, à l'inverse des 3 autres plaques, et que le *DC bias* y est anormalement bas, pour des raisons qui seront exposées dans la prochaine partie. Nous pouvons donc supposer que les épaisseurs de barrière restantes après gravure sont plus importantes sur cette plaque, et que la décroissance de R_C traduit une amélioration de la résistance entre un *recess* très superficiel et un *recess* de profondeur moyenne. Pour les autres plaques, la croissance de R_C indique une dégradation de la résistance au-delà d'une certaine profondeur de *recess*. L'existence d'une profondeur optimale peut s'expliquer par la concomitance de 2 phénomènes concurrents affectant R_C lors de la gravure du *recess* : ① le rapprochement entre le métal de contact ohmique et le 2DEG, et ② la diminution de la densité du 2DEG sous l'effet de l'amincissement de la barrière supérieure.

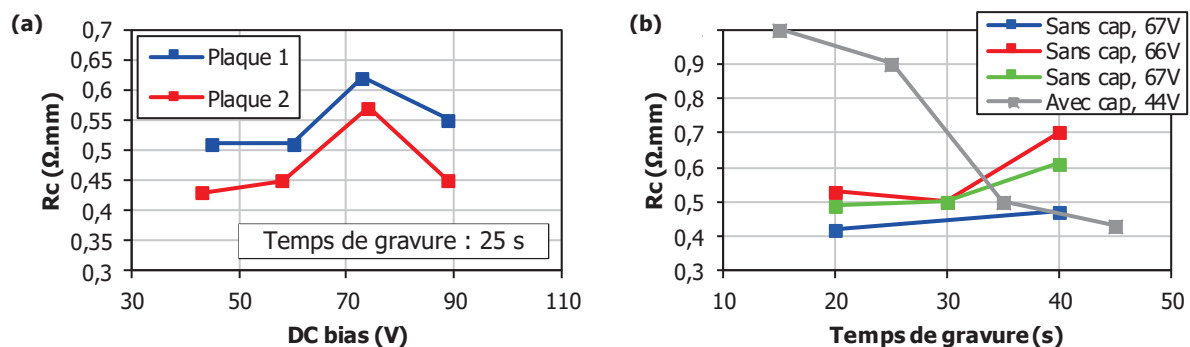


Figure III.25 – Gravure chlorée de *recess* de contact ohmique: influence du (a) *DC bias* et (b) temps de gravure, sur la résistance de contact ohmique.

III.4.3.3. Difficultés relatives à la gravure au plasma chloré

La chute du *DC bias* évoquée dans la partie précédente est la conséquence de l'instabilité du plasma, pour des conditions données, au cours du temps. La Figure III.26 trace l'évolution du *DC bias* pour 2 plasmas chlorés différents au cours d'une période de 16 mois. Le « conditionnement 50W » correspond à un plasma chloré à fort P_{RF} utilisé avant chaque gravure chlorée sur GaN pour conditionner la chambre. Nous voyons que le *DC bias* suit une tendance générale à la baisse dans les 2 cas, ponctuée de quelques remontées. Ces dernières

coïncident en réalité avec les nettoyages manuels périodiques du réacteur. Il semble alors que l'état de la chambre, i.e. les produits de gravure présents sur les parois, induit une baisse du $DC\ bias$ pour nos process, qui n'est par ailleurs pas significative pour les autres process à haute puissance réalisés sur ce bâti. En reprenant l'exemple précédent, la 4^e plaque de la Figure III.25-b a été gravée plus d'un mois après les 2 premières, avec un $DC\ bias$ diminué. La 3^e plaque de la même figure a été gravée encore après, mais en ayant pris le soin d'adapter P_{RF} afin de recouvrer le $DC\ bias$ usuel. Cette approche a été adoptée pour tous les *recess* de contact ohmique, en incluant dans le protocole une calibration préalable de P_{RF} en fonction du $DC\ bias$ du « conditionnement 50W ».

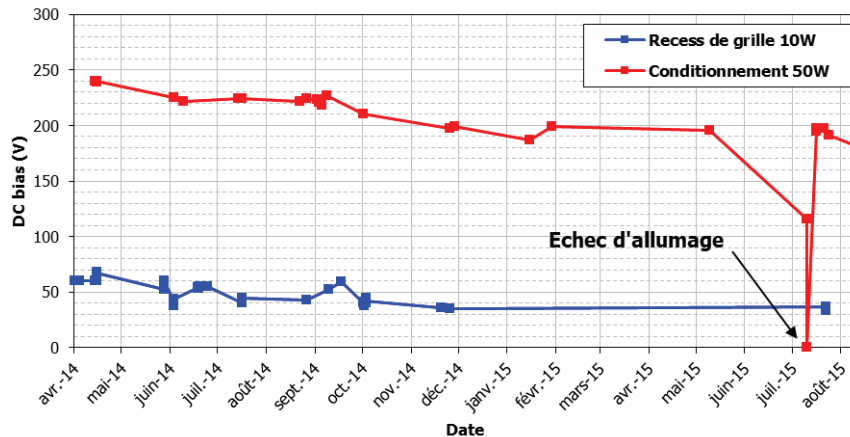


Figure III.26 – Gravure chlorée : évolution du $DC\ bias$ associé aux plasmas « *recess* de grille 10W » et « conditionnement 50W » au cours d'une période de 16 mois.

Une autre difficulté relative aux gravures chlorées est illustrée par la Figure III.27, qui présente des images AFM prises sur la plaque I après gravure du *recess* de contact ohmique, par 4 variantes de P_{RF} . Nous y constatons que le plasma chloré laisse des résidus en forme d'anneau à la surface des fonds de gravure, et que leur densité semble croître avec la P_{RF} . Ces défauts, peut-être issus d'un micro-masquage pendant la gravure du *recess*, pourraient entraîner des phénomènes de piège dans le composant final ou encore des effets de pointe du champ électrique à cause d'une rugosité accrue. Rappelons que le *recess* de grille est réalisé avec les mêmes conditions de plasma à une P_{RF} de 10 W.

Notons que les gravures chlorées sur III-N laissent cristaux de $GaCl_x$, $AlCl_x$, ou $InCl_x$ parfois suffisamment gros pour être visibles au microscope optique. Ces produits de gravure sont solubles dans l'eau, et donc facilement éliminés en rinçant la plaque à l'eau immédiatement après gravure. Les traces de contamination illustrées en Figure III.27 sont néanmoins présentes après rinçage.

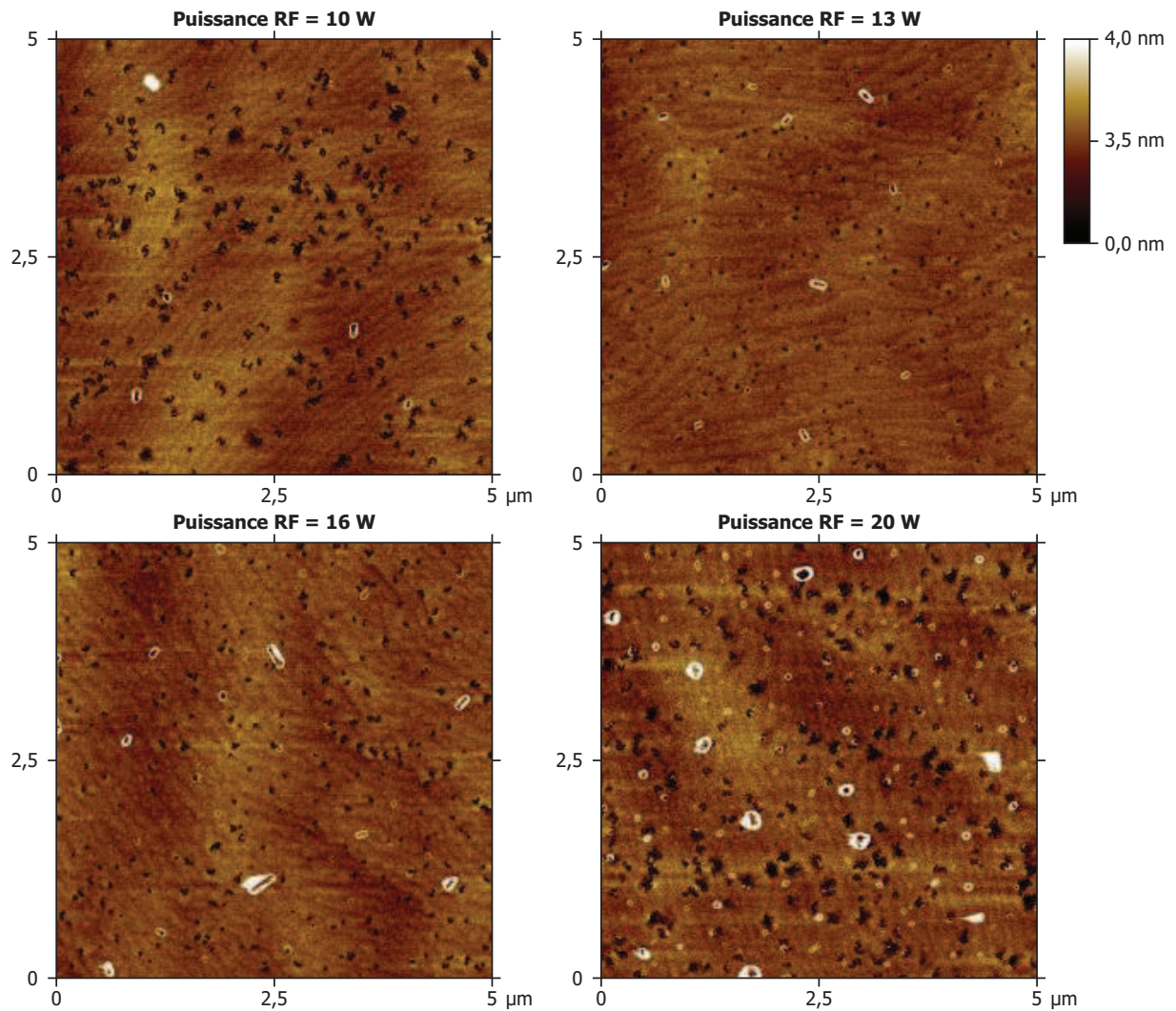


Figure III.27 – Gravure chlorée : images AFM du fond de gravure après gravure chlorée pendant 20 s, en variant la puissance RF de 10 W à 20 W. Plaque I.

III.4.3.4. Gravure du *recess* de grille sur structures A et I

Pour produire les variantes de profondeur de *recess* de grille conformément à la Figure III.4, nous avons adapté les temps de gravure de *recess* de grille en considérant une vitesse de 13,7 nm/min. Pour aboutir à une variation par quart de plaque, nous avons utilisé un cache en silicium qui masquait les 3 quarts de la plaque pendant la gravure. La Figure III.28 présente un exemple d'image AFM obtenue après gravure, sur la structure A, pour la variante A-2nm où le *recess* de grille a été le plus long. Nous remarquons un léger agrandissement des dimensions latérales, mais cela reste négligeable devant l'élargissement dû à l'ouverture du nitrure de grille (300 nm à 400 nm). La profondeur mesurée tient compte de l'épaisseur de SiN restant après gravure puisque le nitrure de grille n'est pas démonté, servant également de passivation. Pour rappel, les épaisseurs de départ des masques SiN sont de 17 nm et 40 nm respectivement pour les plaques A et I.

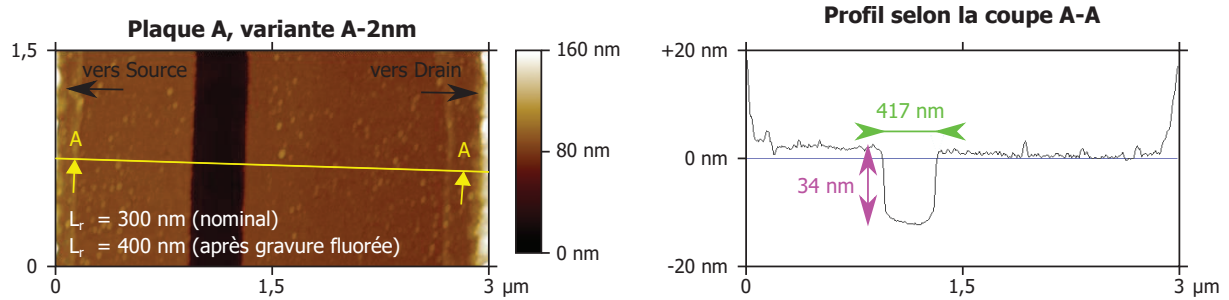


Figure III.28 – Gravure chlorée : motifs de *recess* sur structure A, variante A-2nm, et coupe associée. Les détails des mesures AFM après gravure chlorée des différentes variantes de *recess* de grille sont indiquées dans le Tableau III.4.

Tableau III.4 – Gravure chlorée : variante de *recess* de grille sur plaques A et I.

Variante	Profondeur visée (nm)	Temps de gravure (s)	V_{bias} (V)	Profondeur de gravure + épaisseur SiN (nm)	Longueur du <i>recess</i> de grille (nm)
A-17nm	8	35 + 13	41	22,4	398
A-12nm	13	57 + 13	41	26,6	398
A-7nm	18	89 + 13	41	30,0	404
A-2nm	23	100 + 13	41	34,0	417
I-8nm	Pas de gravure de <i>recess</i> de grille				
I-2nm	5,7	25	37		
I-0nm	7,7	34	33		

Sur la plaque A, nous avons procédé à une re-gravure pendant 13 s pleine plaque après avoir constaté par AFM que les profondeurs étaient en deçà des valeurs ciblées. Les profondeurs mesurées sont bien en accord avec les valeurs ciblées et avec la vitesse de gravure du SiN indiquée précédemment. Pour la plaque I, nous ne disposons malheureusement pas des données AFM, mais des gravures similaires sur le même matériau ont permis de conclure au respect avéré des profondeurs de gravure.

III.4.4. Implantation de fluor

III.4.4.1. Implantation par plasma RIE CF_4

Comme nous l'avons évoqué dans la partie II.2.2, la plupart des groupes de recherche ayant abordé le thème de l'implantation de fluor pour la fonctionnalité *normally-off* utilise un traitement plasma RIE au lieu d'un véritable implanteur ionique. La majorité des plasmas rapportés est à base de CF_4 , bien qu'il soit également fait mention du précurseur CHF_3 . Nous avons donc développé un plasma RIE CF_4 sur le bâti ICP-RIE Sentech SI-500. Nous utilisons le réacteur en mode RIE pur, avec une P_{ICP} nulle, afin de ① réduire la densité de plasma pour maximiser le libre parcours moyen et donc la directivité (anisotropie) des ions incidents, et ② limiter la gravure chimique pouvant attaquer le nitrure de grille de façon isotropique. Les paramètres du plasma ont été repris depuis la littérature : débit volumique de CF_4 de 40 sccm, pression de 5,13 Pa et température de 20 °C. La variable restante à déterminer est la P_{RF} , elle a été choisie en vue de produire une certaine valeur de *DC bias* (voir paragraphe suivant). La Figure III.29 présente la courbe empirique reliant ces 2 paramètres.

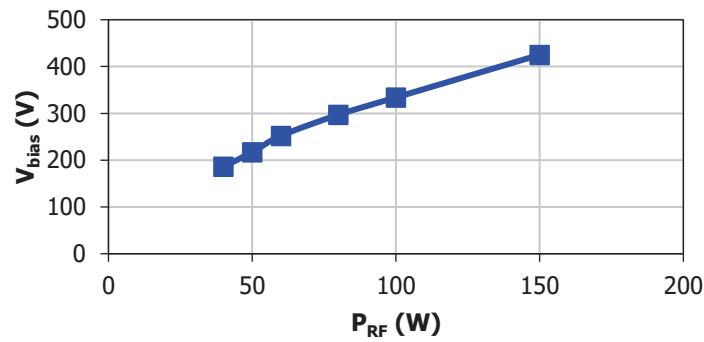


Figure III.29 – Implantation de fluor : *DC bias* en fonction de la puissance RF pour un plasma RIE CF₄.

III.4.4.2. Simulations SRIM du profil d'implantation

Pour que les ions fluorine parviennent à décaler effectivement la tension de seuil, il faut que l'implantation se fasse au plus proche du 2DEG, et que la dose soit la plus élevée possible, comme nous l'avons vu dans la partie II.2.2. L'épaisseur de barrière étant réduite par *recess* sur certaines parties de la plaque I à implanter, il est nécessaire d'ajuster le *DC bias* afin de ne pas dégrader l'hétérostructure sous la grille. Pour ce faire, nous avons utilisé un outil de simulation de profil d'implantation appelé *Stopping and Range of Ions in Matter* (SRIM) [139], reposant sur la méthode de Monte-Carlo pour calculer les interactions entre ions et atomes cibles.

La Figure III.30 présente les profils d'implantation de fluorine simulés pour un *DC bias* de 200 V sur les structures correspondant aux variantes de *recess* I-8nm et I-2nm (a, b), et sur une cible SiN de 5 nm d'épaisseur (c). Une simulation à 300 V sur variante I-2nm est également reproduite (d). Nous remarquons que la cible I-2nm est la structure la plus critique : pour une implantation à 300 V, la queue de la distribution déborde sur le canal GaN, ce qui n'est pas souhaitable. Nous avons ainsi opté pour un *DC bias* de 200 V, correspondant à une P_{RF} de 50 W.

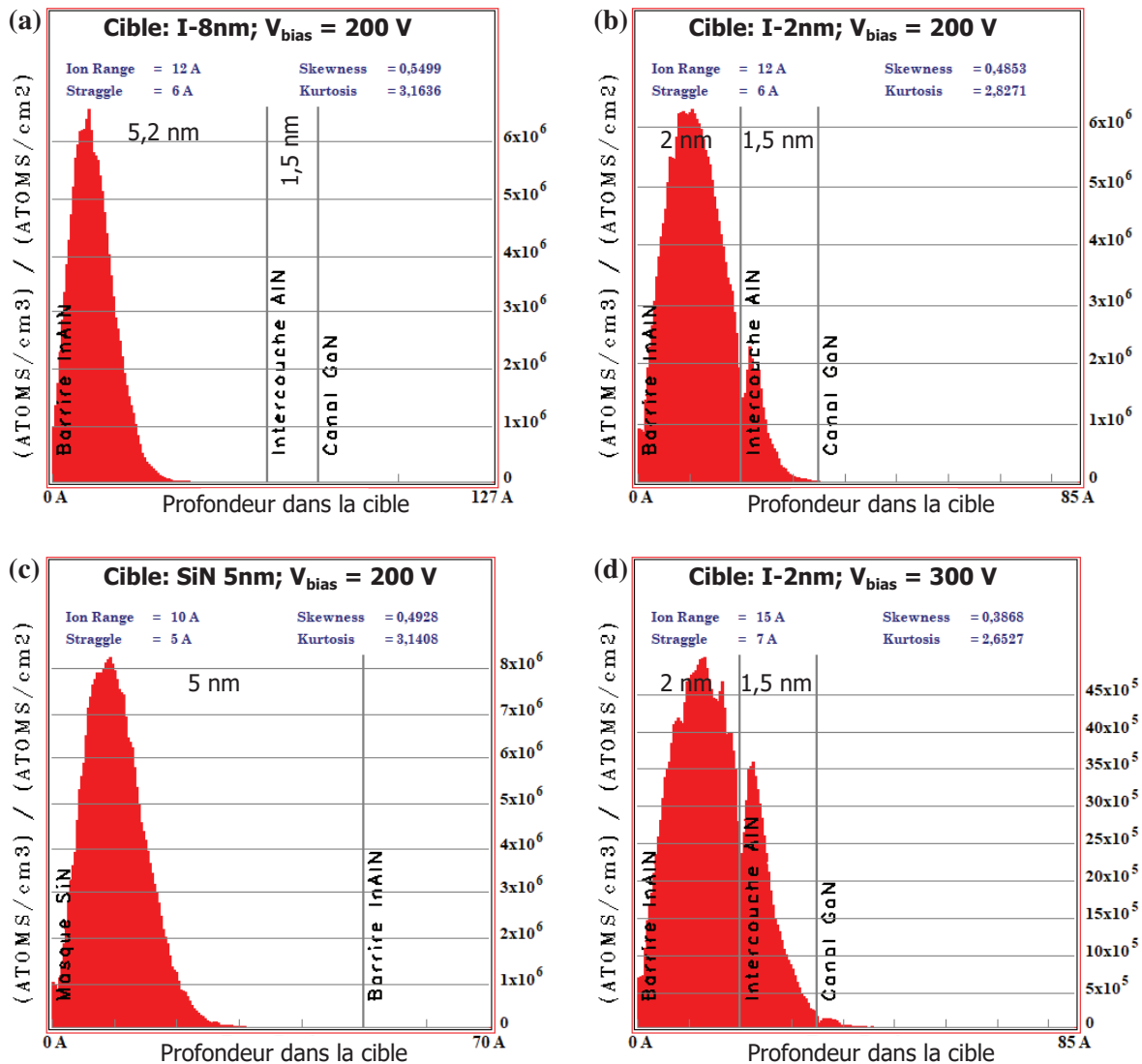


Figure III.30 – Implantation de fluor : simulations SRIM du profil d'implantation pour différentes cibles et DC bias.

III.4.4.3. Étude par ToF-SIMS de l'implantation de fluor

Afin de valider les résultats de simulation précédents, nous avons mené une étude par *Time-of-Flight Secondary Ion Mass Spectrometry* (ToF-SIMS) d'échantillons implantés comprenant une épitaxie de (Ga)InAlN sur substrat SiC. Les mesures ont été faites à l'université technique slovaque (STUBA).

La Figure III.31 montre les profils de concentration d'ions F^- mesurés pour différentes conditions de plasma RIE CF_4 . Les échantillons ont tous été recuit à 450 °C pendant 5 min après implantation, pour répliquer le process *normally-off*. L'abscisse représente le temps de pulvérisation et non pas la profondeur dans l'échantillon, mais nous pouvons considérer ces 2 grandeurs proportionnelles en première approximation (vitesse de pulvérisation constante pour tous les III-N). Nous remarquons d'abord d'importants artefacts de mesure, révélés par les échantillons de référence, non-implantés, dont les profils ne sont pourtant pas uniformément nuls. En particulier, nous remarquons 2 zones de pics, l'un pour les temps initiaux et l'autre vers 150 s. Les premiers pics sont dus à la contamination de la surface de l'échantillon, notamment par l'oxygène ambiant, et le second pic indique le début de l'intercouche AlN, et provient du fait que la pulvérisation sur AlN produit plus d'ions que sur

(Ga)InAlN en raison du taux d'aluminium accru. Il est alors plus intéressant de comparer les profils d'implantation normalisés, obtenus en divisant par la courbe de référence, tel que tracé à la droite de la Figure III.31. L'augmentation de la durée d'implantation entraîne logiquement celle de la concentration en F^- . La bosse visible sur la courbe correspondant au plasma 50W-60s est probablement due à une anomalie de mesure. De façon plus remarquable, le doublement de P_{RF} s'accompagne d'une croissance similaire de la concentration, mais sans impact significatif sur la profondeur d'implantation. Ce dernier constat est toutefois validé par les observations précédentes : un changement de P_{RF} de 50 W à 100 W n'augmente le *DC bias* que de 200 V à 300 V (Figure III.29), et la distance d'implantation moyenne de 12 Å à 15 Å (Figure III.30).

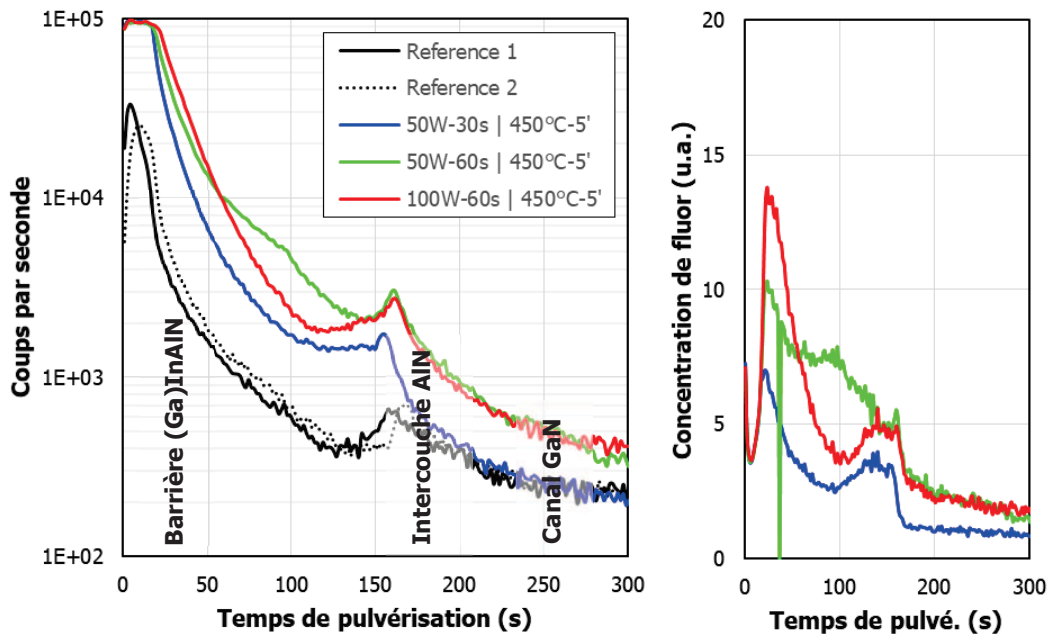


Figure III.31 – Implantation de fluor : mesures ToF-SIMS des profils d'implantation pour plusieurs échantillons avec variation des conditions de plasma.

Les effets du recuit thermique post-implantation sont visibles sur la Figure III.32. Nous constatons que la concentration est fortement réduite après recuit dans tout le volume implanté, et que l'ampleur de cette réduction dépend du budget thermique appliqué. Cela signifie une faible stabilité des ions F^- implantés, à contre-courant des observations et déclarations de certains groupes de recherche, qui pourrait éventuellement se manifester en cas de forte puissance dissipée. Dans tous les cas nous prendrons soin de choisir le recuit thermique le plus léger possible.

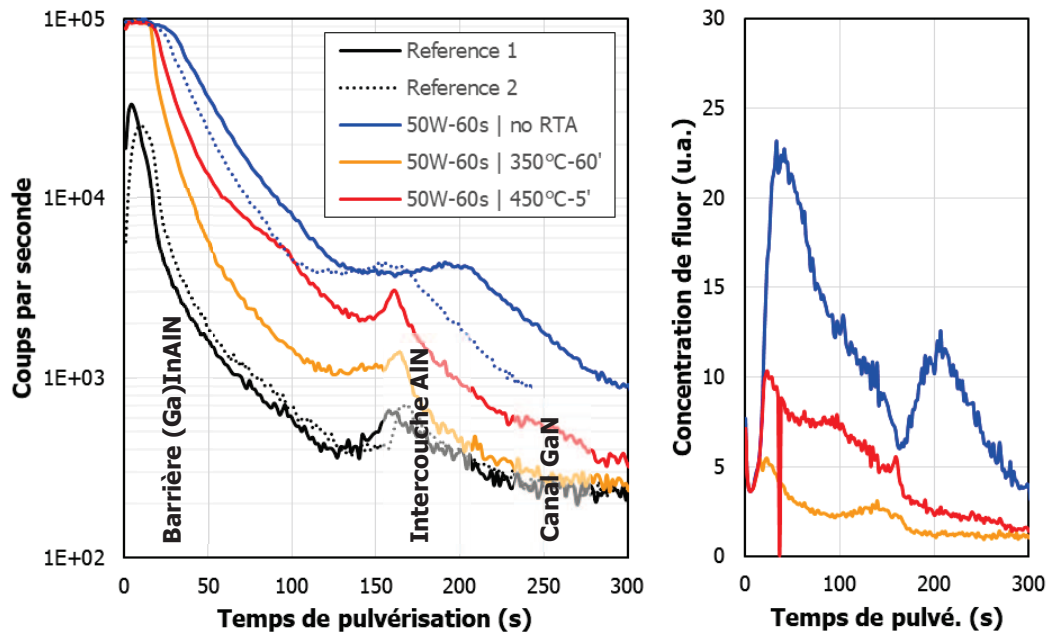


Figure III.32 – Implantation de fluor : mesures ToF-SIMS des profils d'implantation pour plusieurs échantillons avec variation du recuit après implantation.

III.4.4.4. Implantation de fluor sur la plaque I

Comme indiqué sur la Figure III.4, nous avons réalisé 2 variantes d'implantation de fluor sur des tranches à l'est et à l'extrême-est de la plaque I. Pour ce faire nous avons d'abord appliqué notre plasma RIE CF_4 pendant 30 s sur la moitié est, en utilisant un cache, puis nous avons répété l'implantation sur l'extrémité est. Pour les 2 implantations, le *DC bias* obtenu est de l'ordre de 220 V. Par ailleurs nous avons déterminé une vitesse de gravure de 25 nm/min pour le SiN de nitrure de grille, ce qui nous laisse une certaine marge, même pour la variante de 60 s d'implantation. La Figure III.30-c nous indique en effet qu'une fine couche de SiN de 5 nm suffit amplement à bloquer les ions incidents. Rappelons que l'épaisseur initiale de SiN est de 40 nm,

III.4.5. Dépôt d'oxyde de grille Al_2O_3

III.4.5.1. Diélectrique de grille

Différents matériaux peuvent être utilisés en tant que diélectrique de grille. Le Tableau III.5 présente quelques-unes des options possibles en détaillant les propriétés électriques pertinentes pour notre choix. La fonction principale du diélectrique de grille est de limiter les courants de fuite, ce qui nous amène à augmenter son épaisseur t_{di} . Cependant, cela entraîne une diminution de la capacité de grille $C_G \sim \epsilon_{di}/t_{di}$, et donc aussi celle de la transconductance du composant, en vertu de la courbe établie en Figure I.23. De plus, l'utilisation d'un diélectrique trop épais pourrait compromettre la fonctionnalité *normally-off*, d'après les explications présentées en partie II.2.4. Nous sommes ici confrontés à la même problématique que celle rencontrée par l'industrie Si lors du *scaling* agressif de ses composants, et la solution a été d'utiliser des matériaux diélectriques à forte permittivité électrique (*high- κ*). Nos critères de sélection sont alors ① une grande permittivité électrique ϵ_r , ② un fort champ de claquage E_b , car le pic d'intensité du champ électrique se trouve justement sous la grille, et ③ une grande discontinuité de bande de conduction ΔE_C par rapport à la barrière, pour confiner les électrons du 2DEG et donc réduire les courants de fuite.

Tableau III.5 – Propriétés électroniques de matériaux isolants utilisés comme diélectrique de grille. Valeurs extraites de [83].

	ϵ_r	E_b (MV/cm)	E_g (eV)	ΔE_C avec GaN (eV) [140]
GaN	9,5	3,3	3,4	-
SiO ₂	3,9	10	8,0	2,5
Si ₃ N ₄	7,5	10	5,1	
Al ₂ O ₃	10	> 10	8,9	2,1
Ga ₂ O ₃	10	3	5,4	0,5
HfO ₂	45-150	4	5,7	1,1
ZrO ₂	15-30	4	7,8	1,1

À la lecture de ce tableau, il apparaît que l'alumine Al₂O₃ est un très bon candidat pour notre diélectrique de grille. Les oxydes d'hafnium HfO₂ et de zirconium ZrO₂, populaires dans l'industrie Si, possèdent des valeurs très élevées de ϵ_r , mais en contrepartie leurs E_b et leurs ΔE_C sont faibles³¹. Notons également le très faible ΔE_C pour l'oxyde de gallium Ga₂O₃ qui décourage l'emploi d'un oxyde natif, que l'on pourrait former par exemple avec un recuit thermique sous atmosphère de O₂. L'Al₂O₃ a en outre l'avantage d'avoir une bonne stabilité thermique, et par sa composition chimique la garantie d'une meilleure compatibilité avec les matériaux de barrière, AlGaN ou (Ga)InAlN.

III.4.5.2. Technique (PE-)ALD et Al₂O₃

Introduite en 1977 sous le nom d'Atomic Layer Epitaxy (ALE), l'Atomic Layer Deposition (ALD) est une technique de dépôt chimique en phase vapeur (CVD) de multiples matériaux. Elle possède de nombreux avantages par rapport aux autres procédés CVD, notamment des plus faibles températures de dépôt ainsi qu'un contrôle accru des vitesses de dépôt et de la composition des films, ce qui en fait une technique de choix pour les applications où la qualité des matériaux est primordiale. L'ALD consiste à répéter une séquence où l'on alterne les gaz précurseurs auquel le substrat est exposé, mettant en jeu des « demi-réactions » chimiques irréversibles et auto-limitées avec la surface (chimisorption). Chaque demi-réaction entraîne la formation d'une mono-couche de l'espèce considérée, et la séquence entière forme une mono-couche du matériau désiré. La chambre du réacteur est purgée avec un gaz inerte entre chaque exposition pour minimiser toute contamination. La stœchiométrie du film est maîtrisée par la nature auto-limitée des demi-réactions. Les vitesses de dépôt typiquement obtenues sont de l'ordre de l'angström par cycle.

Dans le cas de l'Al₂O₃, les principaux précurseurs reportés jusqu'à présent en littérature sont le chlorure d'aluminium (AlCl₃) ou le tri-méthyl-aluminium (TMA) pour l'aluminium, et l'eau (H₂O), le dioxygène (O₂) sous forme plasma ou l'ozone (O₃) pour l'oxygène. L'utilisation de plasma permet d'utiliser certains précurseurs qui ne seraient pas assez réactifs sous forme gazeuse. Le chlorure d'aluminium ayant été progressivement abandonné, il y a à ce jour 2 process standards d'ALD de l'Al₂O₃ : TMA/H₂O, appelé communément « ALD thermique », développé à la fin des années 1980, et TMA/plasma O₂, appelé plasma-enhanced ALD (PE-ALD), qui est une technique plus récente. Cet Al₂O₃ est à présent couramment utilisé en tant que diélectrique, couche protectrice ou couche de barrière en micro-électronique (transistors, MEMS, cellules photovoltaïque DSSC, etc.) [142].

³¹ Il existe une relation empirique entre la permittivité électrique ϵ_r et le champ de claquage E_b : $E_b \sim 1/\sqrt{\epsilon_r}$ [141]. L'optimisation de l'un de ces paramètres se fait donc au détriment de l'autre.

III.4.5.3. Dépôts d'Al₂O₃ par PE-ALD sur les plaques A et I

Pour tous les avantages cités précédemment, nous avons préféré l'ALD aux autres techniques de déposition disponibles pour l'Al₂O₃ (PECVD, Ion Assisted Deposition). Les dépôts ont été réalisés par le CEA LETI, avec un procédé PE-ALD, car il a été démontré que les films ainsi obtenus garantissaient un meilleur comportement électrique (en termes de tension de seuil et de courants de fuite) par rapport à ceux déposés par ALD thermique sur le même bâti [143]. L'épaisseur a été fixée à 7 nm après recommandation des ingénieurs du CEA LETI.

III.4.5.4. Étude d'Al₂O₃ déposé par PE-ALD après différents recuits thermiques

Après avoir remarqué un changement net des caractéristiques électriques après différents recuits de grille (voir partie suivante), nous avons souhaité déterminer si cela était dû à une modification structurale dans le volume de l'oxyde et/ou à un changement au niveau de l'interface oxyde/semiconducteur. Pour évaluer la première hypothèse, nous avons mené une étude par diffractométrie par rayons X (DRX) sur des échantillons d'oxyde recuits à différentes températures pendant 5 min sous atmosphère d'azote. Les fragments analysés proviennent d'une plaque Si (100) de 3 pouces sur laquelle un film d'Al₂O₃ de 50 nm a été déposé (suivant le même procédé que celui employé pour nos oxydes de grille).

Les phases les plus stables de l'Al₂O₃ sont listées ci-après :

- α-Al₂O₃ (saphir) : structure hexagonale, romboédrique, c = 1,299 nm, a = 0,476 nm ;
- γ-Al₂O₃ : structure cubique faces centrées (cfc), a = 0,792 nm ;
- κ-Al₂O₃ : structure orthorhombique, c = 0,893–0,902 nm, a = 0,483 nm ;
- σ-Al₂O₃ : structure cubique-spinel, a₀ = 0,794 nm.

La Figure III.33 présente les résultats des mesures XRD en configuration $\theta/2\theta$ d'échantillons recuits à des températures de 800 °C à 1100°C. Nous y relevons l'apparition de pics à partir d'une température de recuit de 800°C, correspondant aux plans réticulaires (111) et (222) de la phase cfc γ. C'est le signe qu'une cristallisation, ou micro-cristallisation, s'est produite, avec la formation de phases γ-Al₂O₃ orientées selon l'axe [111]. Certains groupes de recherches ont également observé ce phénomène, parfois avec la formation de phases différentes. Il est également rapporté en littérature que les caractéristiques de cristallisation dépendent de paramètres tels que l'épaisseur de l'Al₂O₃ [144], le matériau sur lequel il est déposé [145], ou encore le rapport d'aspect des structures sous-jacentes [146]. Notons que d'autres échantillons recuits à des températures plus basses, de l'ordre de 450 °C, ne montrent pas de cristallisation.

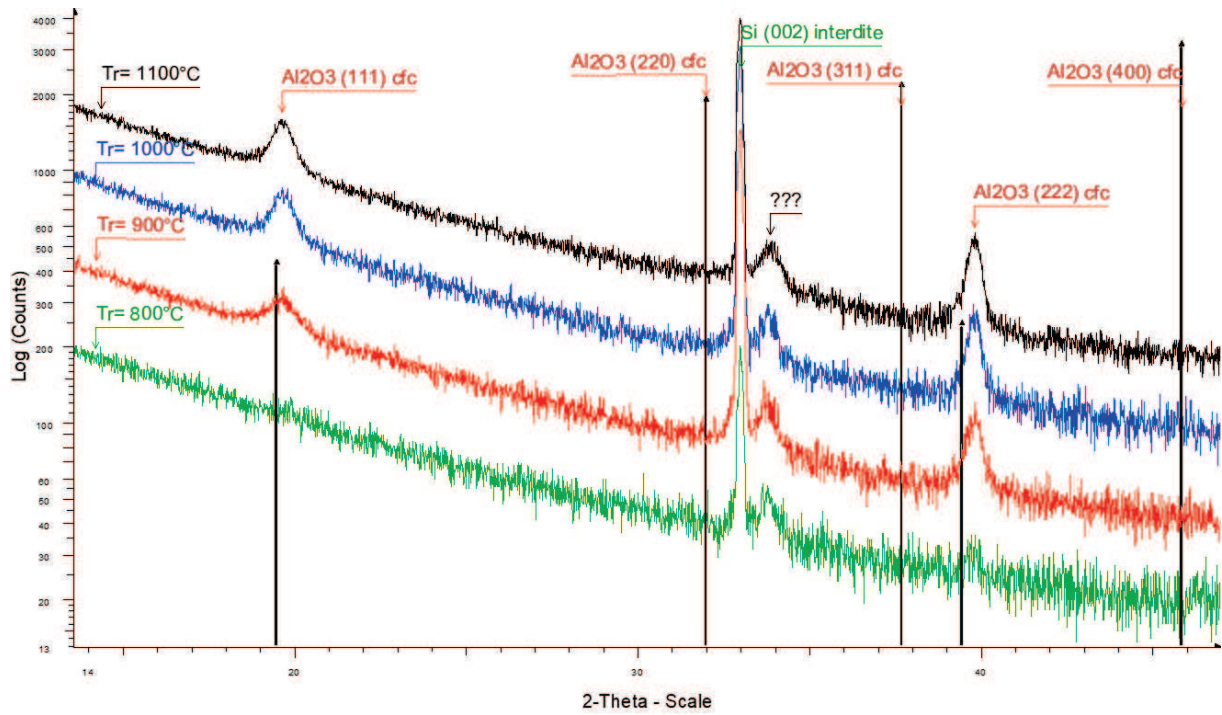


Figure III.33 – Mesures XRD en configuration $\theta/2\theta$, réalisées sur d'échantillons d'Al₂O₃ déposé par ALD sur substrat Si, recuits à différentes températures.

Les images AFM correspondant à chacun de ces échantillons se trouvent en Figure III.34. Nous y voyons bien la formation de domaines imbriqués, accompagnée d'une augmentation de la rugosité, surtout à 800 °C. Il est également intéressant de relever la présence de « trous » sur les échantillons recuits dont le diamètre et la profondeur diminuent avec la température.

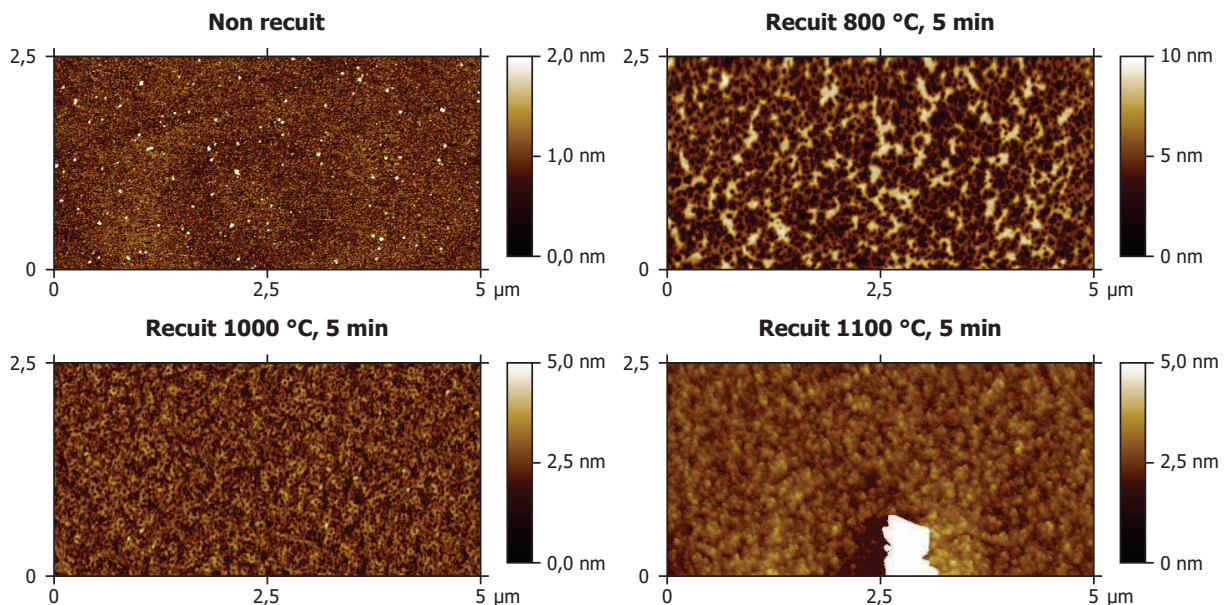


Figure III.34 – Images AFM de la surface d'échantillons d'Al₂O₃ déposé par ALD sur substrat Si, recuits à différentes températures.

Le Tableau III.6 présente les résultats de mesures d'ellipsométrie sur ces échantillons recuits. À mesure que la température de recuit augmente, l'épaisseur de la couche d'oxyde diminue alors que son indice de réfraction (à une longueur d'onde de 630 nm) augmente. Nous

pouvons alors conclure à une densification du matériau due à la désorption d'atomes de la couche, et donc hypothétiquement à un changement de composition en plus de la cristallisation découverte précédemment.

Tableau III.6 – Indices de réfraction et épaisseurs mesurées par ellipsométrie d' Al_2O_3 déposé par ALD recuits à différentes températures.

Échantillon	Indice de réfraction	Épaisseur (nm)
Non recuit (substrat saphir)	1,652	47,9
Non recuit (substrat Si)	1,641	48,4
Recuit à 800 °C, 5 min	1,663	45,5
Recuit à 900 °C, 5 min	1,700	42,3
Recuit à 1000 °C, 5 min	1,704	42,1

Une étude complémentaire a été effectuée au III-V Lab pour déterminer la tenue en tension et la constante diélectrique de films recuits à de plus basses températures, par le biais de mesures sur des diodes métal-isolant-métal (MIM). Le Tableau III.7 montre que le recuit entraîne une diminution de E_b accompagnée d'une augmentation de la ϵ_r , ce qui pourrait avoir un lien avec la formation de joints de grain facilitant la conduction électrique.

Tableau III.7 – Champs de claquage et permittivités électriques mesurées sur diodes MIM d' Al_2O_3 déposé par ALD recuits à différentes températures. Du mémoire de Faryssy.

Échantillon	E_b (MV/cm)	ϵ_r
Non recuit	7,4	8,8
Recuit à 400 °C, 5 min	6,8	9,0
Recuit à 450 °C, 5 min	6,4	11,3

À l'issue de cette étude sur des échantillons recuits, nous concluons qu'il y a bien une modification structurale de l' Al_2O_3 , bien qu'elle ne soit visible qu'à des hautes températures de recuit supérieures à 800 °C. En pratique, de tels recuits ne peuvent être pratiqués à ce stade du process, sous risque de fortement compromettre la stabilité mécanique du nitrure et du métal de grille. L'amélioration des performances électriques des transistors après recuit à plus basse température, que nous décrirons ultérieurement, pourraient donc plutôt s'expliquer que par un changement au niveau de l'interface entre l'oxyde de grille et le semiconducteur.

III.4.6. Lithographie du métal de grille *normally-off*

III.4.6.1. Développement d'une lithographie optique pour grilles de 1 μm

Nous avons d'abord envisagé une lithographie optique de grille, à l'aide d'un photomasque existant contenant des grilles de longueur 1 μm . Nous avons alors utilisé la même bicouche de résine que celle employée pour les contacts ohmiques (LOR10A + S1805, voir Tableau III.2), les mêmes paramètres d'insolation au stepper (dose de 450 J/m², focus de +0,5 μm), et nous avons expérimenté différents temps de développement. La Figure III.35 présente les résultats de ces expériences sur une plaque Si d'essai. Une fine couche d'or a été déposée après développement pour faciliter l'observation au MEB. Nous constatons que pour les temps les plus courts, 1 min 45 s et 2 min, le pied de la résine LOR10A empiète sur l'ouverture, ce qui pourrait nuire au *lift-off* de grille. Pour les temps de développement plus longs, le profil de résine est acceptable.

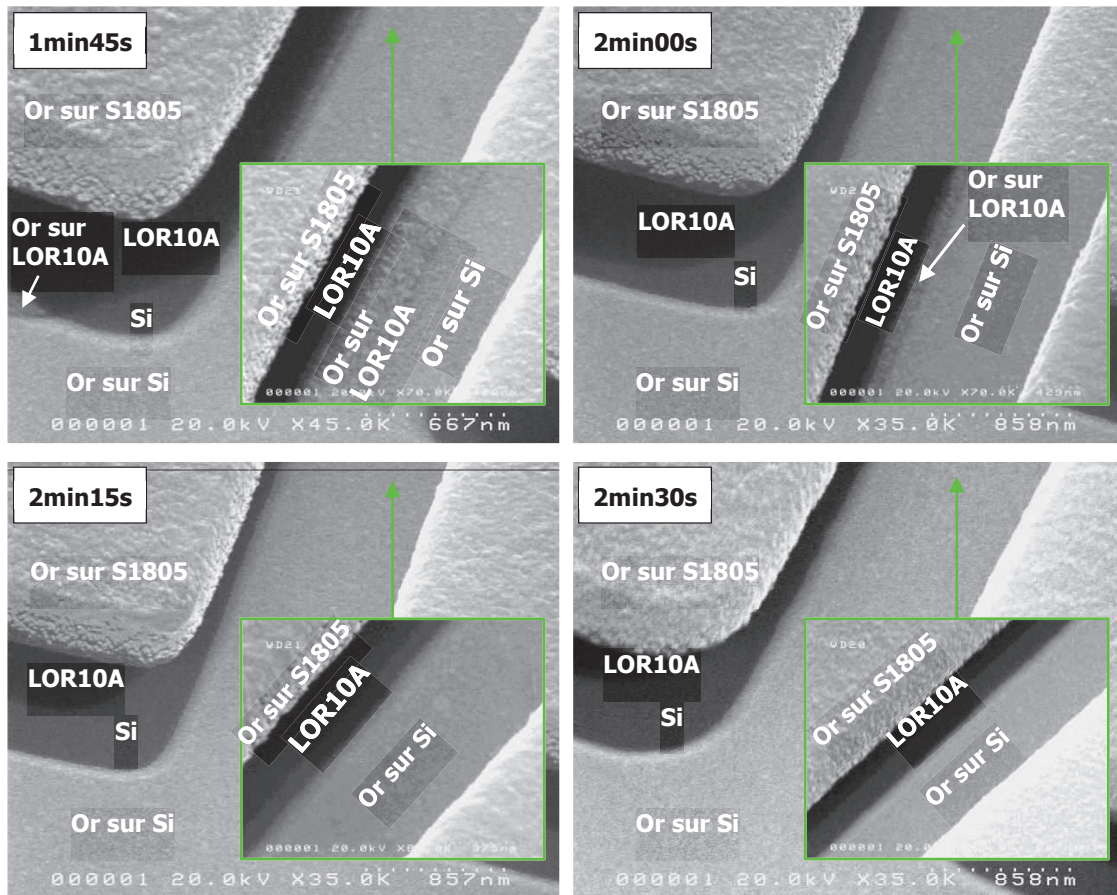


Figure III.35 – Images MEB avec tilt d'un bicouche de résine LOR10A + S1805 sur échantillon Si, insolé avec des motifs de grilles 1 μm , avec différents temps de développement. En encarts : zone à l'intérieur des grilles. Une couche d'or a été déposée par flash pour faciliter l'imagerie MEB.

Cependant cette méthode a pour inconvénient de fixer la longueur de métallisation L_m à 1 μm , ce qui limite les configurations possibles comme nous allons maintenant le voir.

III.4.6.2. Configurations de grilles *normally-off*

Avec une lithographie électronique séparée et dédiée au métal de grille *normally-off*, nous disposons d'une certaine liberté en jouant sur le dessin de ce niveau par rapport à celui du *recess* de grille. En particulier, il nous est possible de choisir entre les 2 configurations schématisées sur la Figure III.36. La première option (a) est de disposer le métal de grille à cheval sur le *recess*. La grille a alors une forme en T et la longueur de grille L_G est définie comme étant la longueur du *recess* L_r . L'inconvénient de cette solution est l'augmentation de la capacité de grille, matérialisée par l'apparition de 2 capacités de bord supplémentaires C_{GS+} et C_{GD+} . En revanche la totalité de l'extension du 2DEG sous la grille est commandable, ce qui garantit une faible résistance R_{ON} . L'option adjacente (b) consiste à déposer le métal de grille à l'intérieur du *recess*, avec ainsi $L_G = l_m$. Ce faisant, la grille a une forme en I et les capacités de bord parasites sont minimisées, mais nous remarquons alors l'existence de 2 zones de part et d'autre du métal où le 2DEG est déplété en raison du *recess*, mais n'est pas commandable par la grille. Cela se traduit par une forte augmentation de la résistance de canal, et donc de R_{ON} , très préjudiciable. Compte tenu de notre cahier des charges, nous avons privilégié le bon fonctionnement en mode de commutation (et donc un faible R_{ON}) aux performances aux

hautes fréquences (i.e. faible capacité de grille), et avons donc choisi la 1^{ère} variante pour la majorité des composants fabriqués, tout en gardant la 2^e pour une sélection de grilles³².

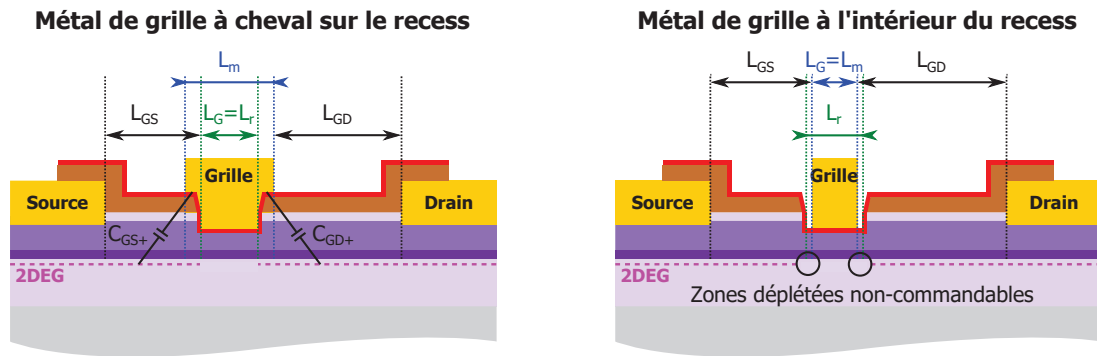


Figure III.36 – Configurations possibles de grille *normally-off* : (a) métal à cheval sur le *recess*, (b) métal à l'intérieur du *recess*.

La Figure III.37 présente les différents types de grille conçus sur le masque de la structure A. À partir d'un *recess* de longueur 0,4 μm , nous avons fait plus ou moins déborder le métal de grille, avec des L_m de 0,6 μm (grille standard) ainsi que 0,3 μm , 0,4 μm et 0,5 μm .

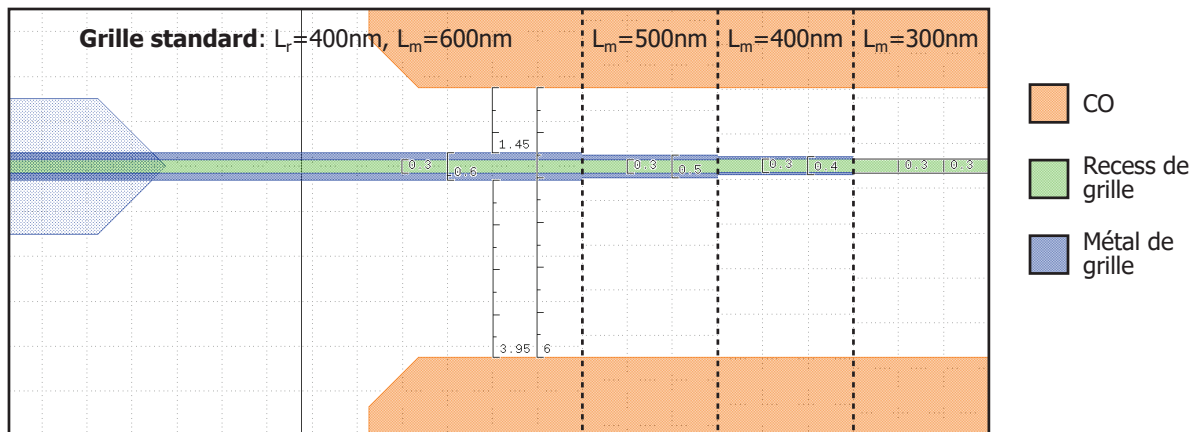


Figure III.37 – Détails du masque représentant différents types de grille *normally-off* réalisées sur la plaque A.

Pour la plaque I, nous avons préféré faire varier la longueur de grille pour les raisons évoquées précédemment. Le Tableau III.8 dresse l'inventaire des différents types de grille produits sur les structures A et I. Ceux marqués en gras désignent les grilles de référence, plus reproduites que les autres. Notons par ailleurs les variantes *normally-on* pour la plaque I. La dénomination codée sera utilisée dans le chapitre suivant.

³² En toute généralité, la situation idéale serait le cas limite pour lequel $L_G = L_r = L_m$. Cependant, pour se prémunir des effets de l'alignement imparfait entre les 2 niveaux de *recess* et de métal de grille, il est indispensable de surcoter L_m pour se retrouver dans le premier cas favorable.

Tableau III.8 – Inventaire des types de grille fabriqués sur les plaques A et I.

	L_r (μm)	L_m (μm)	L_G (μm)	Variante	Dénomination
Plaque A	0,4	0,6	0,4		r04m06
	0,4	0,3	0,3		r04m03
	0,4	0,4	0,4		r04m04
	0,4	0,5	0,4		r04m05
Plaque I	0,4	0,6	0,4		r04m06
	0,7	0,9	0,7		r07m09
	1,0	1,2	1,0		r10m12
	0,4	0,3	0,3	Grille à l'intérieur du <i>recess</i>	r04m03
	0,7	0,6	0,6	Grille à l'intérieur du <i>recess</i>	r07m06
	0,7	0,4	0,4	Grille à l'intérieur du <i>recess</i>	r07m04
			0,4	Normally-on	non-g04
			0,7	Normally-on	non-g07
		1,0	Normally-on	non-g10	

La métallisation et le *lift-off* des grilles *normally-off* sont suivent les mêmes procédés que ceux décrits dans la partie III.3.4 pour les grilles *normally-on*.

III.4.7. Recuit de grille *normally-off*

Après fabrication des composants, nous avons unanimement constaté que les courants obtenus étaient faibles, surtout pour les variantes où les *recess* sont les plus profonds. Par ailleurs quelques groupes de recherche considèrent que la gravure du *recess* dans la barrière conduit à une hausse de la rugosité et une contamination à l'interface entre l'oxyde de grille et le semiconducteur. Un recuit thermique post-grille s'avère alors primordial pour recouvrir des bonnes propriétés d'interface.

Sur la structure A, nous avons appliqué une série de 2 recuits successifs sur la totalité de la plaque, le premier à 350 °C pendant 60 min sous atmosphère d'azote, et le second à 450 °C pendant 5 min. La Figure III.38 donne un aperçu des bienfaits de ces traitements thermiques à l'aide de caractéristiques de transfert DC sur grille standard avant et après recuit, sur la variante la plus gravée, A-2nm. Le premier recuit tout particulièrement permet un décalage positif de la tension de seuil de l'ordre de +1 V, et surtout une augmentation du courant de drain de près de 40%. Le 2^e recuit a peu d'effets visibles dans l'état ON du transistor, mais le courant de fuite de drain a augmenté de presque 2 décades tout en restant à un bas niveau.

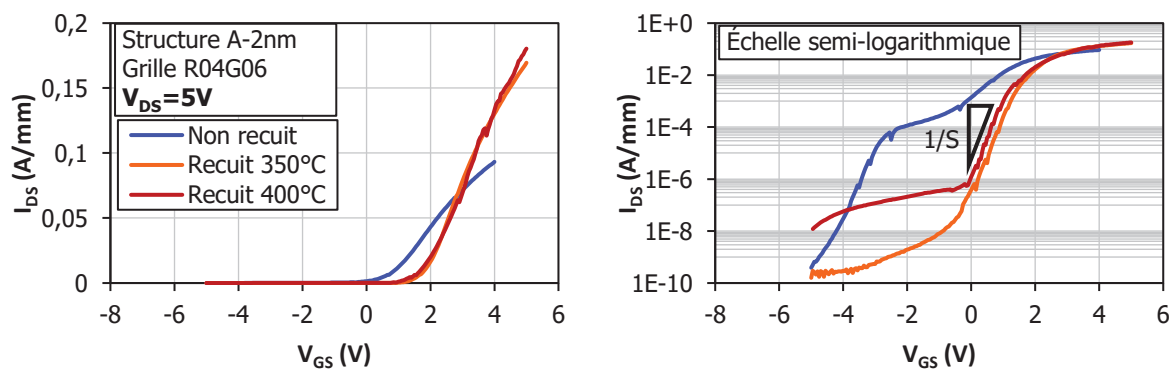


Figure III.38 – Caractéristiques de transfert à $V_{DS} = 5 V$ avant et après recuit thermique, pour la structure A, en échelle linéaire (à gauche) et semi-logarithmique (à droite).

La Figure III.39 présente les mêmes courbes pour la structure I, variante I-2nm-F60s. Cette fois-ci, nous avons découpé la plaque par réticule avant quelconque recuit, puis nous avons effectué une variation des conditions de recuits sur une sélection de réticules : 350 °C pendant 60 min, 400 °C, 425 °C et 450 °C (pendant 5 min pour les 3 dernières variantes). Pour tous ces recuits, nous avons observé une augmentation du courant de drain de l'ordre de 20%, mais sans décalage significatif de la tension de seuil, comme il est montré sur la figure. Nous avons également constaté que les différents budgets thermiques avaient à peu près la même influence sur les performances électriques, ce qui suggère qu'il y a un effet de seuil.

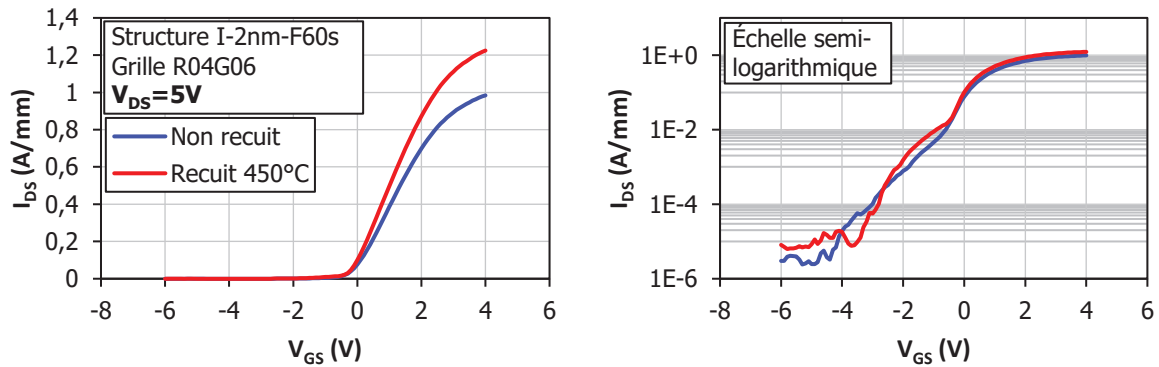


Figure III.39 – Caractéristiques de transfert à $V_{DS} = 5$ V avant et après recuit thermique, pour la structure I, en échelle linéaire (à gauche) et semi-logarithmique (à droite).

Examinons maintenant les caractéristiques de pincement. L'inverse de la pente de la courbe de I_{DS} en fonction de V_{GS} en échelle semi-logarithmique, dans le domaine des V_{GS} inférieurs à V_{th} , est appelé *subthreshold-slope*, noté S et exprimé en mV/décade. Cette grandeur S nous informe sur la qualité du pincement (elle est d'autant meilleure que S est bas) mais aussi sur les états d'interface entre l'oxyde de grille et le semiconducteur, de densité surfacique de charge σ_{it} ³³. Le principe est illustré en Figure III.40. Lors du balayage de V_{GS} , le niveau de Fermi à l'interface remonte une portion de la bande interdite et certains pièges se remplissent alors, modifiant σ_{it} et entraînant une diminution du courant I_{DS} (ou, de façon équivalente, un décalage positif de V_{th}) d'amplitude proportionnelle à D_{it} . Il en résulte alors un « aplatissement » de la courbe et donc une valeur de S plus ou moins grande selon D_{it} . Un changement de S signale alors une modification de la densité de pièges selon la formule théorique suivante, établie historiquement pour les MOSFET Si :

$$\Delta D_{it} = \frac{C_{di}}{\ln(10) q k_B T} \Delta S$$

³³ Les états d'interface ont été introduits dans la partie I.3.2. Ils sont caractérisés par une distribution à l'intérieur de la bande interdite, $D_{it}(E)$, produisant une charge surfacique de densité $\sigma_{it} = qD_{it}$.

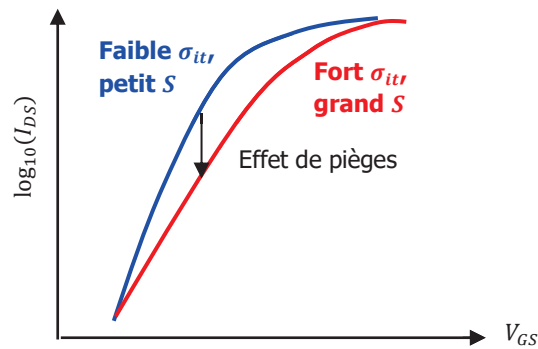


Figure III.40 – Illustration de l'effet des états d'interface sur les caractéristiques de transfert.

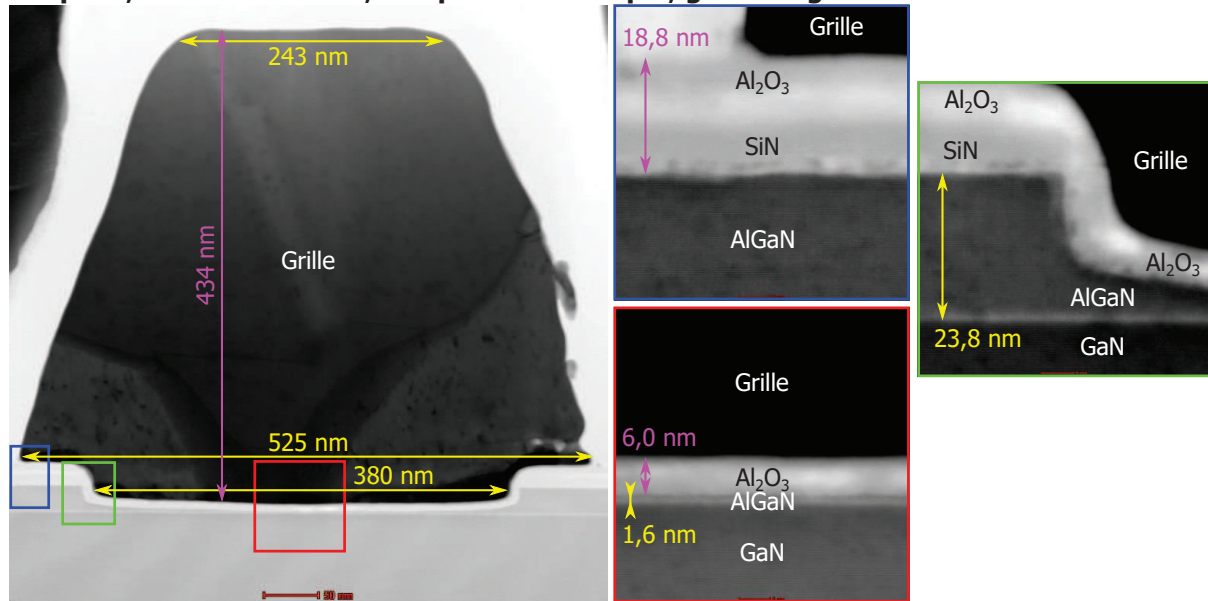
Sur la Figure III.38, nous pouvons voir pour la structure A une nette amélioration du pincement après recuit, ainsi qu'une diminution de S même s'il est difficile de faire correspondre $\log_{10}(I_{DS})$ à une droite pour le transistor non recuit. En employant la formule précédente il devient alors évident que le recuit a eu pour action de diminuer la densité des états d'interface, peut-être grâce à la désorption de contaminants issus des gravures. Le décalage positif de la tension de seuil n'est toutefois pas compatible avec une diminution de σ_{it} , et d'autres phénomènes concomitants ont donc dû se produire. Remarquons que la courbe du transistor non-recuit présente une allure anormale en échelle semi-logarithmique, avec une sorte de plateau intermédiaire entre les états OFF et ON. Cette défaillance de pincement pourrait être due à une rugosité d'interface qui affecterait la commande de grille. Nous pouvons alors supposer que le recuit thermique a déclenché une reconstruction de l'interface, et faisons l'hypothèse qu'il s'agit là de l'origine du décalage positif de la tension de seuil. Pour la structure I, nous n'observons pas d'effet si drastique du recuit sur le pincement du transistor, ce qui pourrait s'expliquer par un temps de gravure du *recess* moins long (barrière plus fine) qui aurait engendré moins de dommages à l'interface entre l'oxyde de grille et le semiconduteur.

III.5. Conclusion du Chapitre

III.5.1. Analyse MET-EDX des structures A et I

Après avoir fabriqué et mesuré les composants sur les structures A et I, nous avons sélectionné 2 transistors sur les variantes les plus prometteuses A-2nm et I-2nm-F60s pour y réaliser des analyses en microscopie électronique en transmission (MET) au CEA Leti. La Figure III.41 présente les images obtenues pour chacun des 2 échantillons : une vue en coupe de la grille ainsi que 3 images à plus fort grossissement présentant les détails du semiconducteur en bord de *recess*, sous chapeau de grille et sous le pied de grille. D'autres régions ont également été imagées, comme le contact ohmique, mais sans résultat intéressant.

Plaque A, variante A-2⁺nm, composant 2×250µm, grille r04g06



Plaque I, variante I-2nm-F60s, composant 4×40µm, grille r04g06

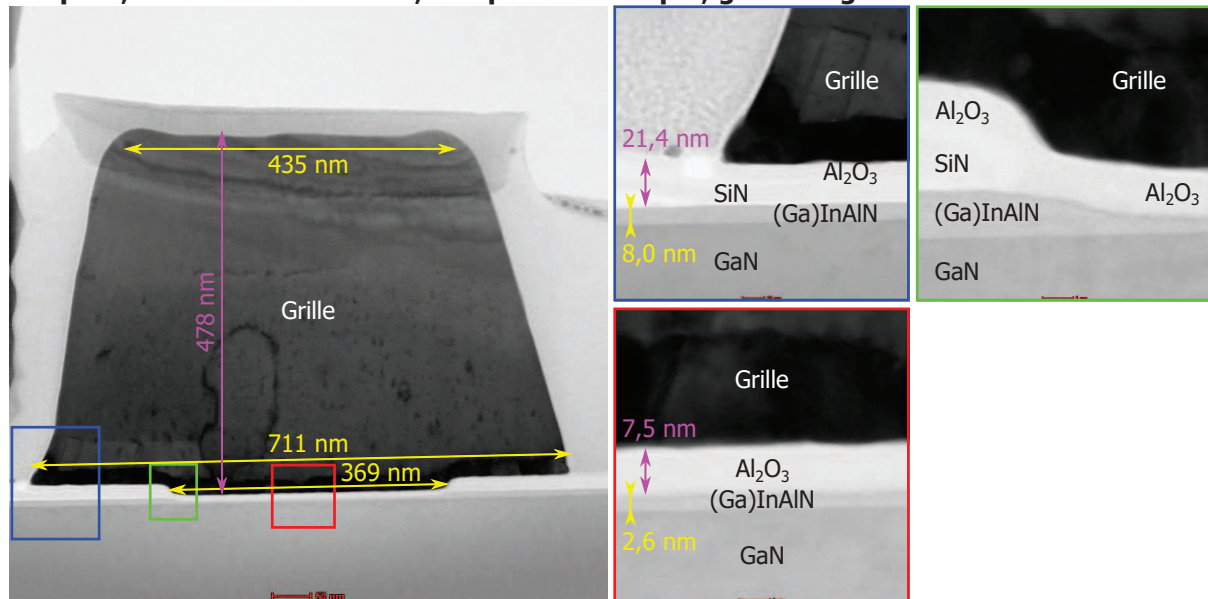


Figure III.41 – Vues en coupe par imagerie MET de grilles *normally-off* sur les structures A et I.

Nous remarquons d'abord un très bon alignement du métal de grille sur le *recess*, pour les 2 structures, attestant la qualité de notre lithographie électronique. Les zones de *recess* révèlent des flancs arrondis, et le fond de gravure est légèrement concave sur la structure A, ce qui indique que les gravures plasma ne sont pas uniformes dans les petits motifs que sont les *recess*.

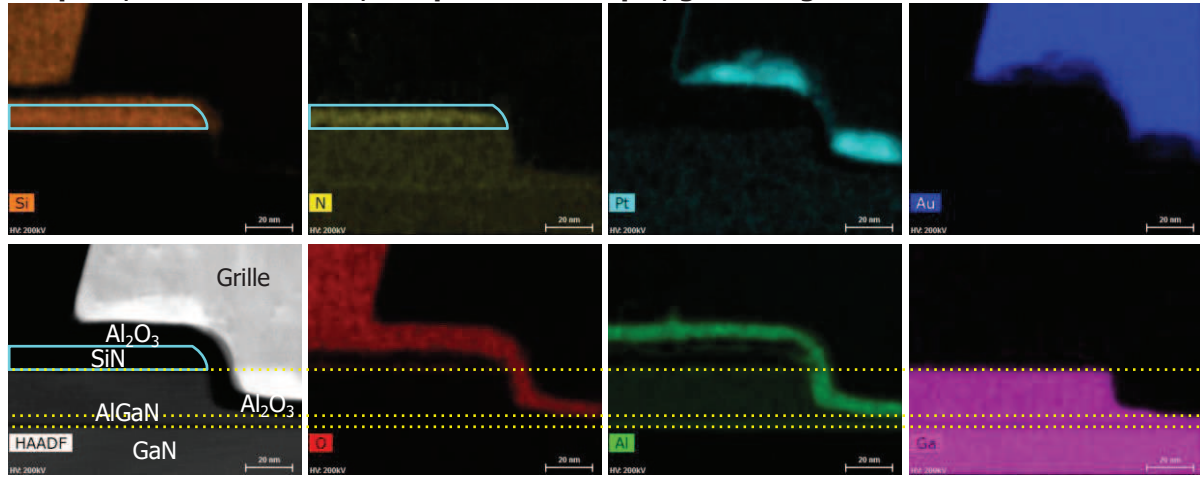
Le Tableau III.9 présente les dimensions caractéristiques mesurées sur les images MET précédentes en comparaison avec les valeurs attendues. Nous remarquons une excellente conformité de notre process, avec des écarts inférieurs à 10% aux valeurs attendues pour toutes les dimensions relatives au *recess* de grille. Des écarts un peu plus importants sont relevés pour le process ALD Al_2O_3 et la lithographie et métallisation de grille *normally-off*. Remarquons que même avec cette bonne conformité du process, l'épaisseur de barrière restante, qui est un paramètre primordial pour l'obtention de la fonctionnalité *normally-off*, présente une erreur plus importante de -20 % et +30 % respectivement pour les structures A et I. En effet nous sommes ici en présence de variantes à *recess* profonds, avec des épaisseurs attendues très petites de 2 nm, ce qui contribue à un écart relatif mathématiquement important. Cela illustre la difficulté d'obtenir un process suffisamment conforme pour réaliser des MOS-HEMTs à *recess* de grille.

Tableau III.9 – Caractéristiques géométriques des composants imagés par MET, en comparaison avec les valeurs attendues.

Mesure	Structure A			Structure I		
	Valeur mesurée (nm)	Valeur attendue (nm)	Ecart relatif (%)	Valeur mesurée (nm)	Valeur attendue (nm)	Ecart relatif (%)
Épaisseur de barrière	23,8	25	-5 %	8	7,7	4 %
Profondeur de <i>recess</i>	22,2	23	-3 %	5,4	5,7	-5 %
Épaisseur de barrière restante	1,6	2 ⁺	-20 %	2,6	2	+30 %
Longueur de <i>recess</i> L_r	380	400	-5 %	369	400	-8 %
Épaisseur de SiN	12,8	14	-9 %	13,9	14	-1 %
Épaisseur d'Al_2O_3	6	7	-14 %	7,5	7	7 %
Épaisseur de métal	434	420	3 %	478	420	14 %
Longueur de métal L_m	525	600	-13 %	711	600	19 %

Conjointement au MET, le CEA Leti dispose de capacités de spectroscopie dispersive en énergie par rayons X (EDX) permettant d'identifier les éléments chimiques en analysant le spectre des rayons X émis par l'échantillon après excitation par le faisceau d'électron. Cette technique a été employée sur nos 2 échantillons et a produit les images disposées sur la Figure III.41, présentant l'agencement des éléments Si, N, Pt, Au, O, Al et Ga avec une très bonne résolution spatiale. Des images MET (HAADF) sont également incluses comme références.

Plaque A, variante A-2⁺nm, composant 2×250µm, grille r04g06



Plaque I, variante I-2nm-F60s, composant 4×40µm, grille r04g06

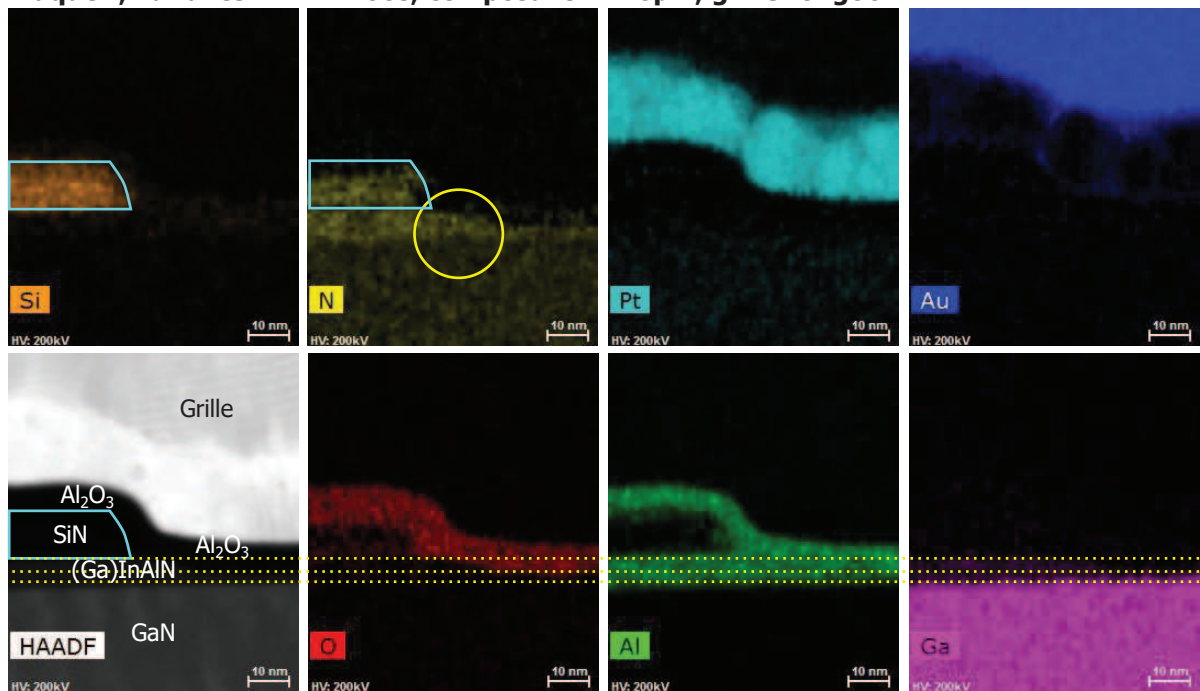


Figure III.42 – Vues en coupe par spectroscopie EDX de grilles *normally-off* sur les structures A et I.

En ce qui concerne les éléments métalliques, nous ne relevons pas de migration de métal de la grille vers le semiconducteur, qui est une anomalie typique de la technologie HEMT GaN. Les images pour les éléments Si et N nous montrent que le nitrure de grille est plutôt bien défini pour les 2 échantillons, avec un profil incliné comme décrit dans la partie III.4.2. En revanche nous remarquons que la couche d' Al_2O_3 est légèrement courbée vers le haut au pied du *recess*, et il semble pour la structure I que la barrière (Ga)InAlN n'ait pas été gravée à proximité du bord de *recess* (cercle jaune). Ces éléments pointent alors vers une mauvaise uniformité du plasma chloré.

III.5.2. Conclusion et perspectives

Les briques technologiques développées durant nos travaux et présentés dans ce chapitre ont permis la mise au point d'un procédé de fabrication d'une technologie HEMT GaN *normally-on/normally-off* monolithique, mise en pratique sur 2 structures A et I. La géométrie des composants conçus est bien conforme à nos attentes, ce qui prouve un procédé mature et reproductible de plaque à plaque. Le point le plus critique de notre chaîne de fabrication se trouve au niveau de la gravure chlorée du *recess* de grille dans le semiconducteur. Si les conditions du plasma ont été optimisées pour une gravure anisotropique à faible vitesse, compatible avec des épi-structures à barrière fine, nous avons vu dans les images MET et EDX qu'elle n'était pas totalement uniforme à l'intérieur de nos motifs de *recess*. Il y a donc des possibilités d'amélioration à cette étape critique pour la fonctionnalité *normally-off*.

Nous proposons ici quelques approches pour de futurs développements sur la gravure chlorée de la barrière. En premier lieu, il convient de constater que les gaz utilisés dans notre plasma chloré, les Cl_2 , Ar et N_2 , n'est pas une combinaison de précurseurs très reportée dans la littérature. Le composé chloré le plus usité se trouve être le trichlorure de bore BCl_3 , qui a l'avantage d'être moins réactif que le Cl_2 ³⁴, ce qui est une propriété très intéressante pour nos gravures très peu profondes [147]. Les 2 gaz chlorés sont souvent utilisés en parallèle car un plasma contenant uniquement du BCl_3 peut être trop lent. Un bon ratio des débits des 2 gaz permet alors au BCl_3 d'inhiber suffisamment la gravure pour nos applications. Au cours de nos travaux nous ne disposons pas de ligne de BCl_3 , cependant une telle ligne est planifiée sur le réacteur ICP-RIE Oxford PlasmaLab 100, de sorte qu'une telle gravure pourra être employée lors de futurs développements. Une autre technique de gravure de *recess* de grille s'intitulant « digital etching » est employée par plusieurs groupes de recherche [148], [149]. Elle consiste à répéter des cycles en alternant entre oxydation et désoxydation, en utilisant par exemple une torche plasma O_2 pour oxyder le semiconducteur de façon superficielle, puis un bain de HCl pour enlever l'oxyde ainsi formé. L'avantage est de disposer d'un contrôle très précis du process car chaque cycle ne grave que très peu de matière, avec par exemple une valeur de 0,4 nm/cycle reportée pour un *recess* sur barrière AlGaIn. De plus, il est possible d'effectuer des mesures électriques entre chaque cycle, et donc d'adapter la gravure selon les performances attendues.

³⁴ Le BCl_3 possède une énergie de dissociation plus importante que le Cl_2 , et produit donc moins de radicaux et d'ions. La composante chimique, qui est le mécanisme principal de la gravure chlorée des semiconducteurs III-N, est donc moins importante avec le BCl_3 , et la vitesse de gravure est réduite.

Chapitre IV. Caractérisation électrique de HEMT GaN *normally-on / normally-off*

IV.1. Caractérisation de la diode de grille

IV.1.1. Courant de grille

Nous avons d'abord voulu évaluer les performances de notre oxyde de grille Al_2O_3 . Pour cela, nous avons effectué des mesures de différentes diodes MOS sur la structure A. La Figure IV.1 présente les caractéristiques en polarisation directe et inverse typiquement obtenues. Le composant en question est une diode PCM de surface $200 \times 200 \mu\text{m}^2$. Notons que nous n'avons pas observé d'influence notable de la profondeur du *recess* de grille sur les caractéristiques de diode, même pour la variante A-2nm fortement gravée, ce qui témoigne de la qualité de l'oxyde de grille Al_2O_3 . Du fait de la faible épaisseur de l'oxyde (7 nm), il a fallu faire attention, lors du posage des pointes, à ne pas exercer de trop forte pression sur l'électrode supérieure qui pourrait « percer » l' Al_2O_3 . Une solution technologique permettant de s'affranchir de ces difficultés serait de réaliser un plot de mesure dédié, relié à l'électrode supérieure par un pilier-pont.

Sur le graphique en échelle linéaire, nous constatons une tension de claquage en inverse de l'ordre de -40 V, et en direct de près de +8 V. À propos, nous montrons ici des mesures sur 2 composants vierges différents pour les balayages en inverse et en direct, car les diodes sont irréversiblement endommagées après que le phénomène de claquage a eu lieu. En échelle semi-logarithmique, nous constatons que le courant reste d'abord à peu près constant en polarisation directe, avant d'augmenter fortement après une tension de *built-in* d'environ +4 V, constituant alors la limite supérieure de la tension de grille lors de l'opération de nos transistors. Néanmoins il ne devrait pas y avoir de dégradation irréversible entre +4V et +8V de tension de grille. En polarisation inverse, le courant augmente exponentiellement d'environ 1 décade entre l'origine et la tension de claquage.

Structure A | Diode MOS 200×200 μm²

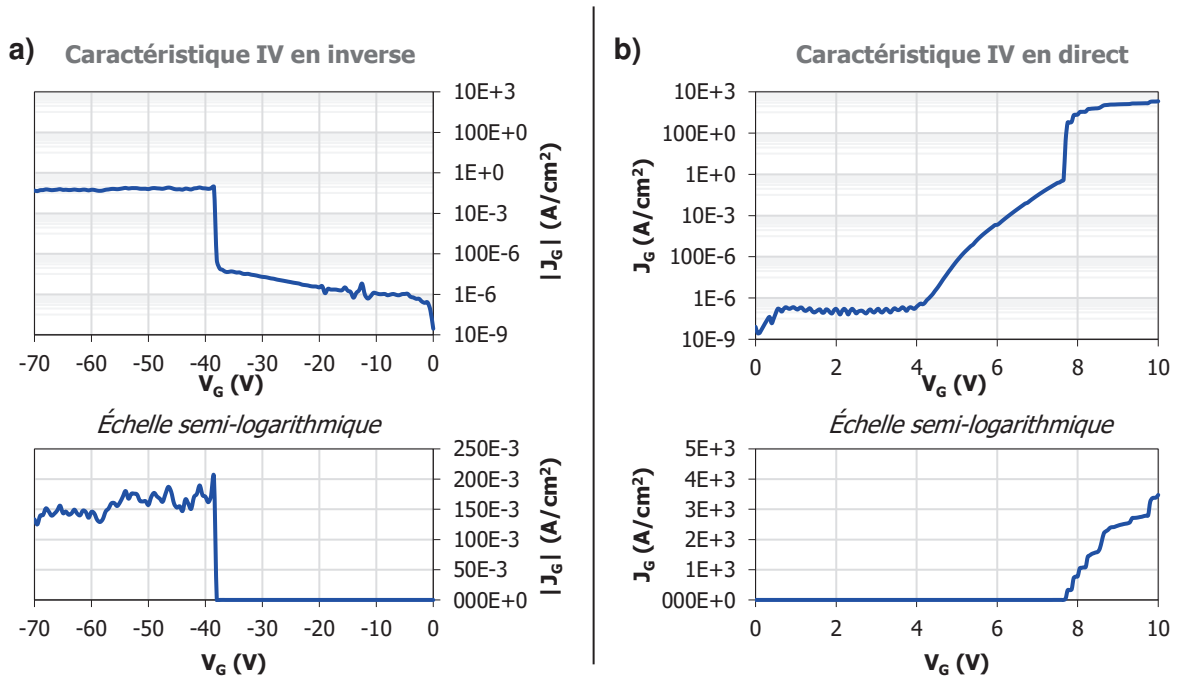


Figure IV.1 – Caractéristiques de diode en polarisation (a) inverse et (b) directe, en échelle semi-logarithmique et linéaire.

Tentons maintenant d'identifier les mécanismes de conduction ayant cours dans notre module de grille MOS. En polarisation directe, une émission thermoïonique devrait se traduire par une droite strictement croissante sur la courbe de I_G - V_G en échelle semi-logarithmique, d'après l'équation (I.34) avec l'approximation $V_G \gg k_B T/e$ (0,26 mV à température ambiante). Il semblerait que cela soit cas pour un domaine restreint de faibles V_G comprises entre 0 V et 0,8 V, cependant l'application numérique résulte alors en un facteur d'idéalité de près de 10, et nous sommes donc probablement pénalisés par le bruit de mesure. En polarisation inverse, une représentation avec des paramètres composites peut nous aider à reconnaître les mécanismes de Fowler-Nordheim et de Poole-Frenkel, en nous servant des équations (I.35) et (I.36). Ainsi sur la Figure IV.2, nous devrions reconnaître une droite strictement décroissante sur le graphe dit de Fowler-Nordheim en (a), et une droite strictement croissante sur le graphe dit de Poole-Frenkel en (b). Nous concluons alors qu'il n'y a pas de courant par effet tunnel de FN, et que l'émission de PF semble se produire pour une plage de tension de grille entre -20 V et -35 V, la pente correspondant à peu près à la valeur théorique de $e^{3/2}/(\pi^{1/2}\epsilon_{HF}^{1/2}k_B T)$.

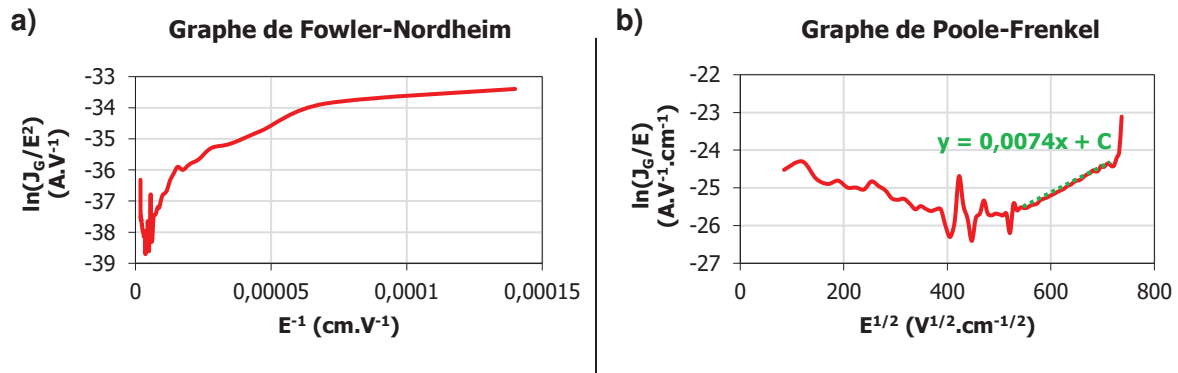


Figure IV.2 – Graphes de (a) Fowler-Nordheim et (b) Poole-Frenkel associés à la mesure ci-dessus.

Pour évaluer les avantages d’une grille MOS en termes de courants de fuite, la Figure IV.3 présente les caractéristiques de transfert d’un composant MOS-HEMT de la plaque A en comparaison avec un transistor HEMT à grille Schottky fabriqué sur une épi-structure « A » similaire. Nous constatons que l’utilisation de l’oxyde de grille Al₂O₃ se traduit par une réduction de 5 décades des courants de fuite, permettant aux MOS-HEMT de disposer d’un rapport de courant à l’état passant / état bloqué, I_{on}/I_{off} , de près de 10 décades. Des précisions seront apportées dans les parties suivantes.

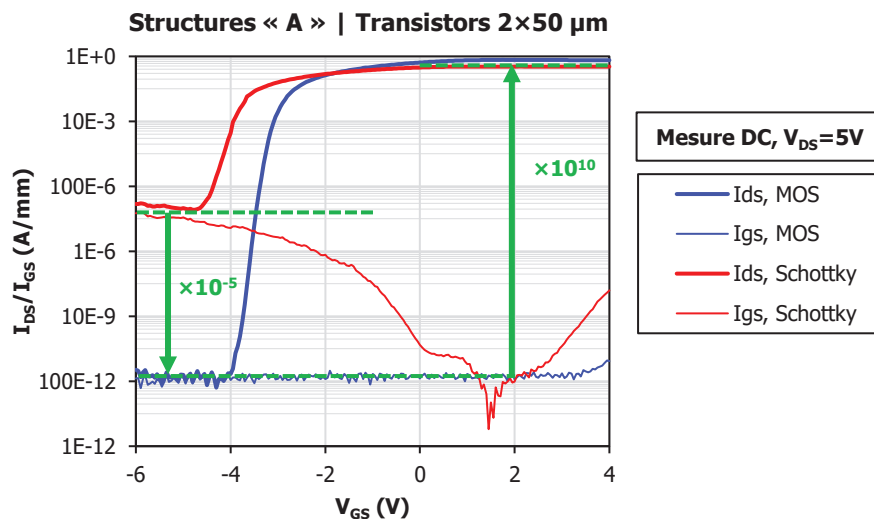


Figure IV.3 – Caractéristiques de transfert d’un transistor avec grille MOS de la plaque A et d’un transistor avec grille Schottky issue d’une plaque à l’épi-structure « A » équivalente.

IV.1.2. Capacité de grille

IV.1.2.1. Mesures C-V

Toujours dans l’optique de caractériser les modules de grille MOS, nous avons effectué des mesures de capacité à l’aide d’un analyseur paramétrique Keithley 4200-SCS équipé d’un module 4200-CVU et munie d’une carte à pointes hyperfréquences. Le principe de ces mesures repose sur l’utilisation d’un petit-signal AC (dans notre cas de 20 mV d’amplitude) superposé à une tension de polarisation DC pour déterminer l’impédance et l’identifier aux éléments d’un circuit modèle. La Figure IV.4 (c) présente le circuit communément utilisé : une capacité C_m et une résistance R_m (ou conductance G_m) mis en parallèle. Le circuit en (a)

présente un modèle simple de grille de MOS-HEMT, avec une capacité d'oxyde C_{ox} , une capacité de barrière C_{bar} et d'une branche parallèle comprenant une capacité $C_{it} = qD_{it}$ et une résistance R_{it} modélisant les effets de pièges d'interfaces (avec une seule constante de temps $R_{it}C_{it}$). Nous reviendrons sur ce modèle ultérieurement.

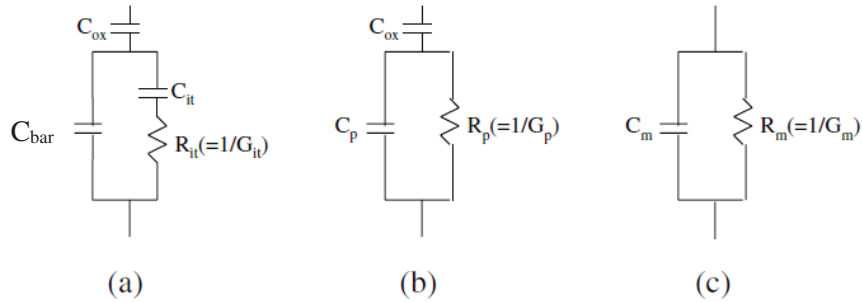


Figure IV.4 – Circuits équivalents en considération lors de mesures de capacités de grille : (a) circuit de grille tenant compte de pièges d'interface, (b) simplification de (a), et (c) circuit mesuré. De [100].

Sur la Figure IV.5 sont tracées les courbes de C_m et de G_m en fonction de la tension V_G , mesurées à une fréquence de 100 Hz sur des diodes PCM de $200 \times 200 \mu\text{m}^2$ des différentes variantes de *recess* de la plaque A. La conductance G_m possède un pic qui correspond au courant de déplacement créé lors de la formation du 2DEG dans le canal sous la grille, et la capacité C_m atteint dans le même temps un plateau signifiant l'accumulation des électrons à l'hétérojonction. La capacité mesurée consiste alors en la mise en série de C_{ox} et C_{bar} , i.e. $C_{ox}C_{bar}/(C_{ox} + C_{bar})$. Nous pouvons estimer C_{ox} en prenant 9 et 7 nm comme valeurs respectives pour la permittivité relative et l'épaisseur de la couche d' Al_2O_3 . En relevant les valeurs de la capacité de plateau, indiquées sur la Figure IV.5 (a), et en faisant l'hypothèse supplémentaire que la permittivité relative de la barrière est également de 9, nous pouvons évaluer l'épaisseur de barrière restante. Nous trouvons alors 14,2 nm, 11,7 nm, 7,5 nm et 2,7 nm pour les variantes A-17nm, A-12nm, A-7nm et A-5nm respectivement. Ces valeurs correspondent assez bien aux profondeurs de *recess* visées pour la plaque A.

Pour une telle structure de grille MOS, plusieurs groupes ont rapporté l'existence d'une 2^e hausse de la capacité pour des tensions V_G positives [150]. Ce phénomène est dû à l'accumulation d'électrons à l'interface oxide/semiconducteur via la capture d'électrons du 2DEG par les pièges d'interface par effet tunnel, qualifié de *spill-over*. La capacité atteint alors un nouveau plateau correspondant à C_{ox} . Nous n'avons pas vraiment observé ce phénomène, même s'il semblerait que nous en apercevions une amorce, comme encadré sur les courbes des variantes A-12nm et A-7nm. Cependant la limitation de l'excursion de V_G à +4 V nous empêche de confirmer cette observation. En effet, comme nous l'avons vu, pour des tensions V_G supérieures à +4 V, le courant de grille devient important et le modèle simple du circuit parallèle, considéré jusqu'à présent, n'est plus valable.

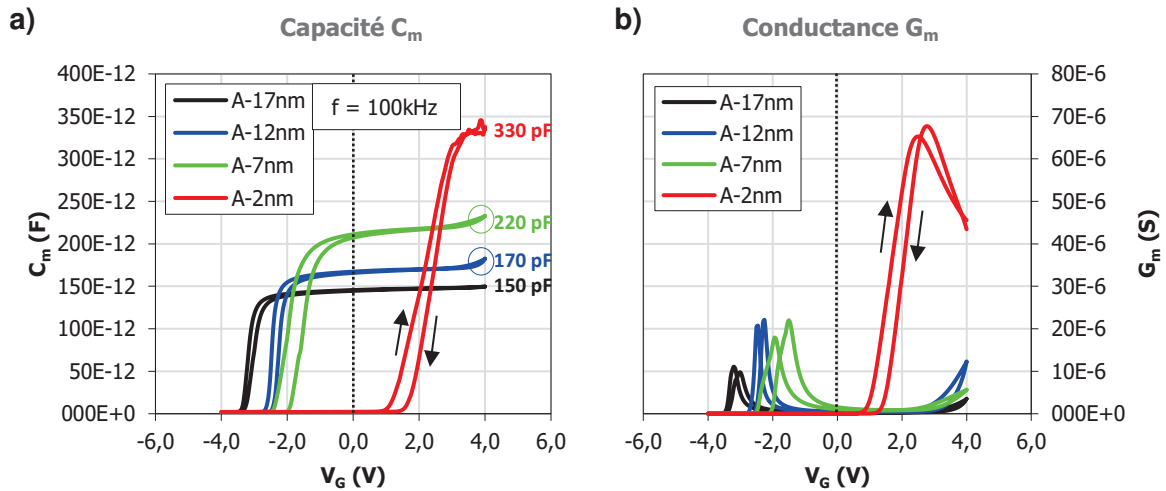
Structure A | Diode MOS 200×200 μm²

Figure IV.5 – Mesures de capacité sur les différentes variantes de *recess* de la plaque A : (a) capacité et (b) conductance parallèles associés au circuit mesuré.

Les mesures de capacités nous ont permis de mettre en évidence la nécessité du recuit de grille pour la technologie MOS-HEMT. La Figure IV.5 présente les courbes $C_m(V_G)$ mesurées sur les mêmes diodes PCM de la plaque A, avant et après recuit de grille à 350 °C pendant 1 h. En se focalisant sur la variante A-2nm, nous constatons que la montée de C_m est plus nette après recuit, préfigurant de meilleures caractéristiques de pincement, par ailleurs confirmées par la Figure III.38. Le plateau est alors atteint à $V_G = +4\text{ V}$, indiquant la formation complète du 2DEG sous la grille pour la tension de grille maximale, ce qui n'était pas le cas avant recuit de grille. Pour les autres variantes de *recess*, nous observons avant recuit de grille que la montée de C_m s'effectue pour des tensions positives de V_G , ce qui n'est pas cohérent avec les mesures $I_{DS} - V_{GS}$ réalisées à ce moment-là. L'application du recuit de grille a alors permis de retrouver des caractéristiques concordantes, possiblement grâce à une reconstruction de l'interface oxyde/barrière et une évacuation des impuretés dues aux gravures plasma. À présent nous ne ferons allusion qu'à des composants recuits, que ce soit sur la plaque A ou la plaque I, sauf mention contraire.

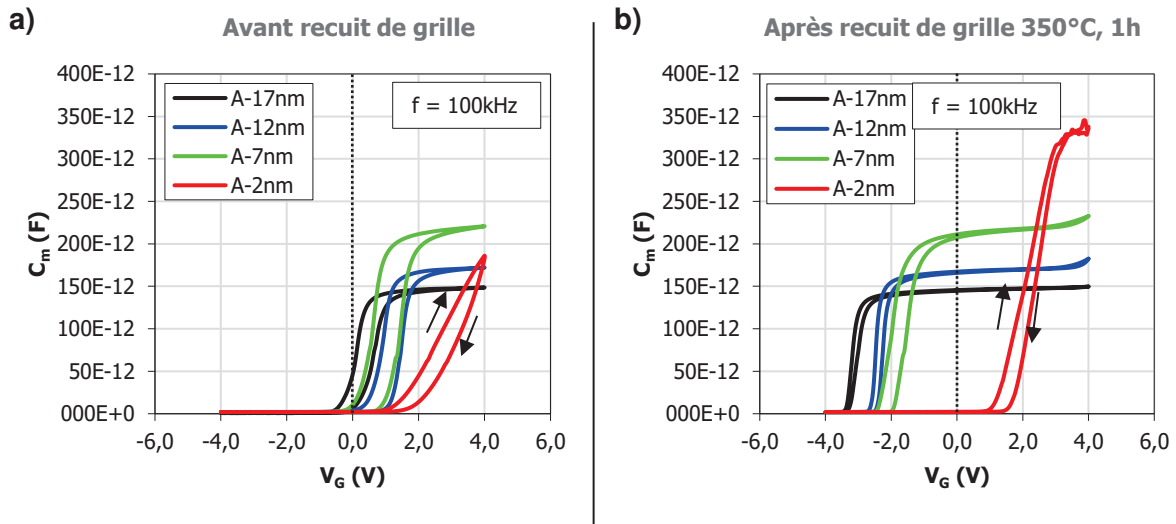
Structure A | Diode MOS 200×200 μm^2 

Figure IV.6 – Mesures de capacité (a) avant et (b) après recuit de grille à 350 °C pendant 1 h sous atmosphère de N_2 , pour les différentes variantes de *recess* de la plaque A.

IV.1.2.2. Phénomène de dispersion

Il est connu que les mesures de capacité MOS peuvent être sujets à des phénomènes de dispersion, c'est-à-dire une dépendance en fréquence, dus aux effets de pièges aux interfaces. La Figure IV.7 présente la capacité mesurée C_m pour des balayages de la tension appliquée V_G avec différentes fréquences de signal AC, sur un composant « GTLM » de la variante A-2nm. Nous constatons un « tassement » de C_m à mesure que la fréquence augmente. Le phénomène est similaire à ce qui a été décrit pour le *subthreshold-slope* en partie III.4.7. Lors de l'application d'un petit-signal de fréquence f_{AC} , les pièges situés aux interfaces oxide/barrière et barrière/canal, et proches du niveau de Fermi $E_F(V_G)$ se chargent et déchargent au gré des crêtes et des creux du signal AC. Si la capture d'électron est très rapide, l'émission se fait par contre avec une certaine constante de temps (voir partie I.3.2.2). Par conséquent seuls les pièges suffisamment rapides, avec une constante de temps τ inférieure à $1/f_{AC}$, parviennent à « répondre » au signal et à effectivement se décharger. Ces pièges sont responsables de la capacité C_{it} et conduisent à une surestimation de la capacité de grille et un décalage négatif de la tension de seuil. En revanche, les pièges plus lents se remplissent durant la mesure et affectent la répartition des charges durant la mesure, provoquant un tassement de la transition.

Considérons alors 2 cas limites :

- Pour une fréquence f_{AC} très faible, tous les pièges sont suffisamment rapides et se chargent et déchargent durant la mesure. Il n'y a pas de changement de la répartition des charges, tout se passe comme s'il n'y avait pas de pièges. La montée de C_m est alors rapide. Il s'agit de l'approximation quasi-statique.
- Pour une fréquence f_{AC} très élevée, tous les pièges sont lents, c'est-à-dire qu'ils ne se déchargent pas durant la mesure, ce qui altère la répartition des charges et provoque un tassement de la montée de C_m . Une telle configuration permet d'estimer l'ensemble des pièges présents à l'interface.

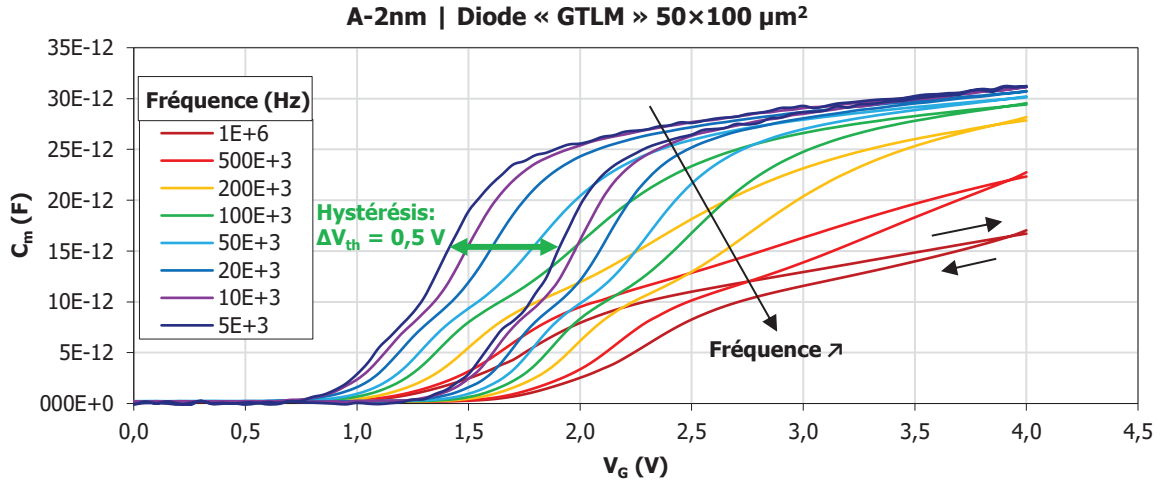


Figure IV.7 – Phénomène de dispersion et d’hystérésis lors des mesures de capacité de grille.

La Figure IV.7 met en exergue un autre phénomène qui peut être remarqué sur toutes les courbes de C_m : une hystérésis qui se produit entre les balayages en montée et en descente de V_G , et qui se traduit par un décalage de la montée de C_m . Cette hystérésis est engendrée par un mécanisme de piégeage dans l’oxyde, comme nous aurons l’occasion de le voir ultérieurement.

IV.1.2.3. Application de la méthode de la conductance

Il existe de nombreuses méthodes basées sur les mesures de capacités à différentes fréquences f_{AC} pour caractériser les pièges aux interfaces, parmi lesquelles la méthode de Terman à haute fréquence, méthode de Castagné-Vapaille à haute et basse fréquences et la méthode de la conductance [151]. D’autres groupes utilisent également des mesures à différentes température, ou des mesures assistées par photons (d’énergie inférieure à la bande interdite de la barrière) pour sonder les pièges profonds avec plus de détail.

La méthode de la conductance, proposée par Nicollian et Goetzberger en 1967 [152], est une des techniques les plus sensibles pour caractériser les pièges aux interfaces. Elle repose sur l’analyse de la dispersion de la conductance plutôt que celle de la capacité. Les phénomènes de capture-émission des pièges se traduisent par une augmentation de la conductance du réseau de pièges G_p ³⁵. En reprenant les circuits (a) et (b) de la Figure IV.4, on peut établir la correspondance suivante :

$$\frac{G_p}{\omega} = \frac{e\omega\tau_{it}D_{it}}{1 + (\omega\tau_{it})^2} \quad (IV.1)$$

où $\omega = 2\pi f_{AC}$ est la pulsation du signal AC.

Par ailleurs la même quantité G_p/ω peut se déduire des grandeurs mesurées, par la relation suivante, obtenue identification des circuits (b) et (c) de la Figure IV.4 :

$$\frac{G_p}{\omega} = \frac{\omega G_m C_{ox}^2}{G_m^2 + (\omega(C_m - C_{ox}))^2} \quad (IV.2)$$

³⁵ Pour les pièges à l’interface oxide/semiconducteur, cette augmentation de la conductance peut être assimilée à des pertes dans le diélectrique (*lossy dielectric*).

La Figure IV.8 présente les courbes de G_p/ω en fonction de la fréquence f_{AC} pour des diodes MOS de chacune des variantes de *recess* de la plaque A. Chaque courbe représente une valeur de V_G . Nous observons des lobes dont le centre se déplace dans le domaine fréquentiel.

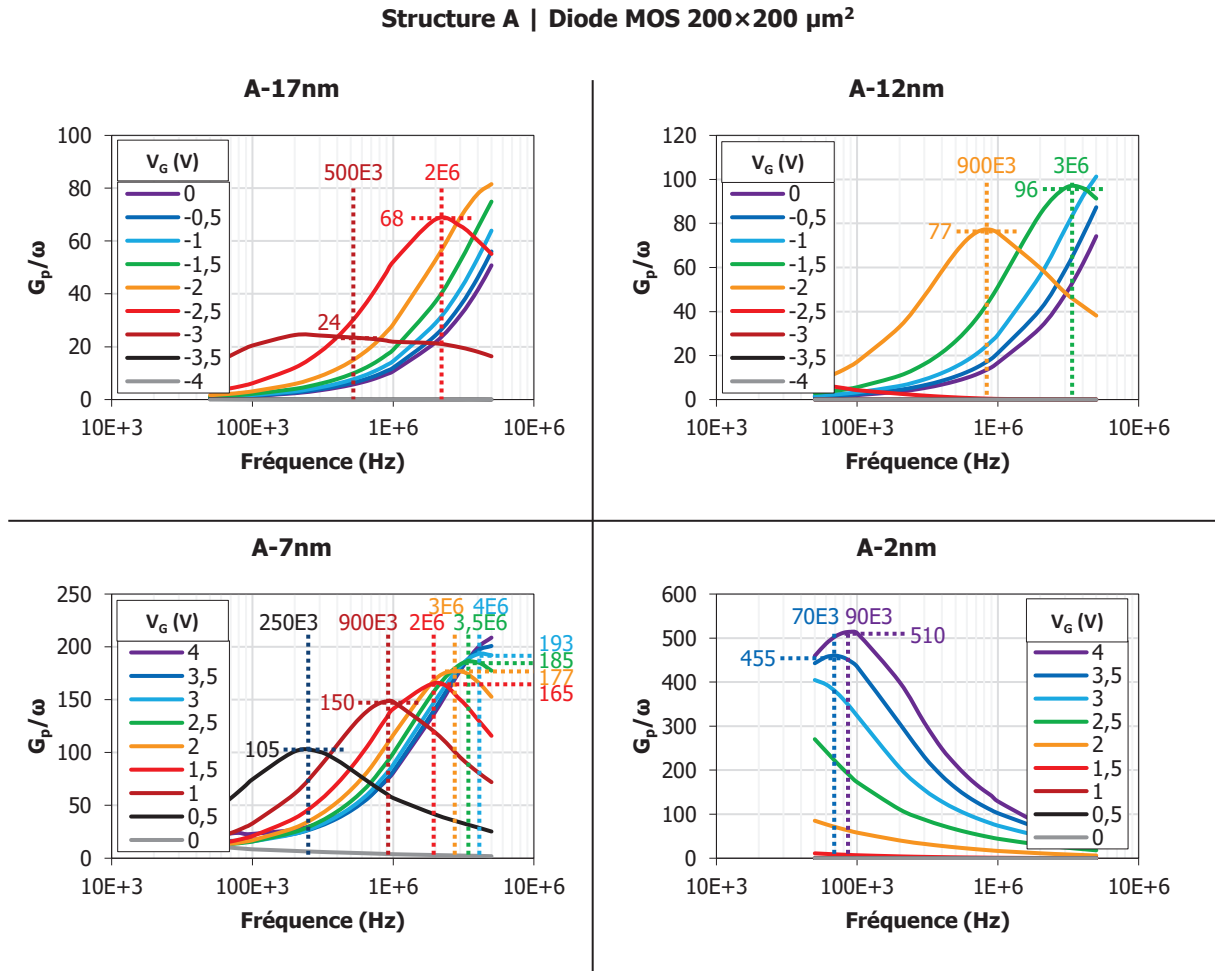


Figure IV.8 – Dispersion du pic de conductance parallèle associé au circuit équivalent simplifié (b) de la Figure IV.4, pour les 4 variantes de *recess* de la plaque A.

L'équation (IV.1) fait apparaître une fonction du type $x \rightarrow x/(1 + x^2)$ dont la courbe, avec une échelle logarithmique pour l'axe des abscisses, s'apparente à une cloche avec un maximum pour $x = 1$. Cela correspond bien à l'allure des courbes de G_p/ω que nous venons de voir. En étudiant le maximum de chaque lobe, nous pouvons donc extraire τ_{it} à partir de leur position sur l'axe des fréquences, et D_{it} à partir de la valeur atteinte sur l'axe des ordonnées : $D_{it} = 2(G_p/\omega)_{max}/q$.³⁶ La Figure IV.9 reporte les valeurs de τ_{it} et D_{it} extraites des lobes de la Figure précédente, pour les 4 variantes de *recess*. Notons que les valeurs de D_{it} semblent légèrement faibles par rapport à celles rapportées dans la littérature [153], avec une différence d'une décade.

³⁶ Pour un modèle tenant compte d'un continuum de pièges, plus proche de la réalité, le facteur 2 est remplacé par 2,5.

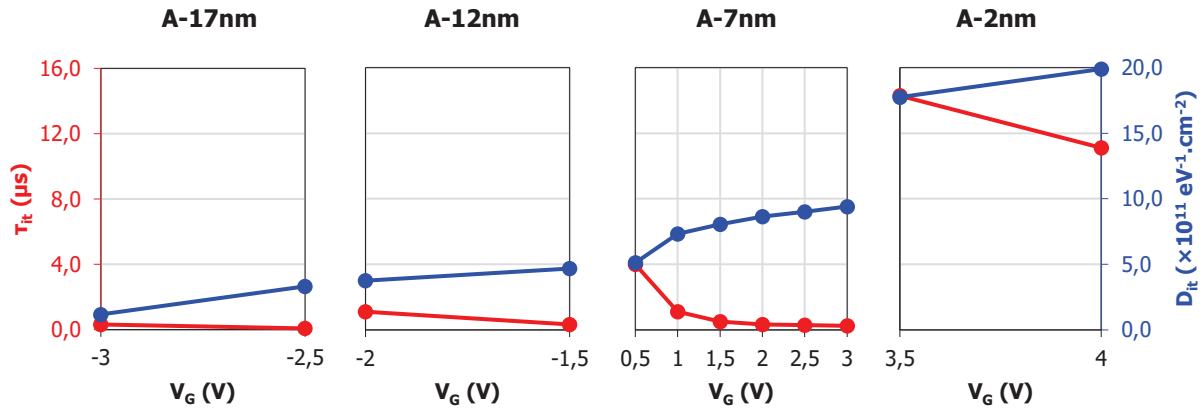


Figure IV.9 – Constante de temps et densité d'états d'interface extraites des mesures ci-dessus, en fonction de la tension de grille appliquée, pour les 4 variantes de *recess* de la plaque A.

En utilisant l'équation (1.53) présentée dans le premier chapitre, nous pouvons associer à une constante de temps donnée une énergie d'activation E_a du piège, i.e. la profondeur de son niveau dans la bande interdite par rapport à la bande de conduction. Nous réalisons cet exercice dans la Figure IV.10 en traçant la densité d'états d'interfaces D_{it} en fonction de E_a . Nous remarquons, à même niveau d'énergie, une densité D_{it} croissante avec la profondeur du *recess*. Nous concluons alors que les pièges détectés par la méthode de conductance sont liés au *recess* de grille, et plus précisément aux altérations de la surface de la barrière dues à la gravure plasma du *recess*. Notons que pour la variante A-2nm, ces résultats sont à considérer avec précaution. En effet, les lobes de G_p/ω exploitables pour cette variante sont associés à des tensions V_G uniquement positives. Or, comme nous le verrons, il y a pour les V_G positives un phénomène concomitant de piégeage par l'oxyde de grille. Il est alors impossible de discriminer les effets des pièges d'interfaces, de densité surfacique $\sigma_{it} = qD_{it}$, et ceux des pièges dans le volume de l'oxyde, de densité surfacique $\sigma_{ox} = t_{ox}\rho_{ox}$.

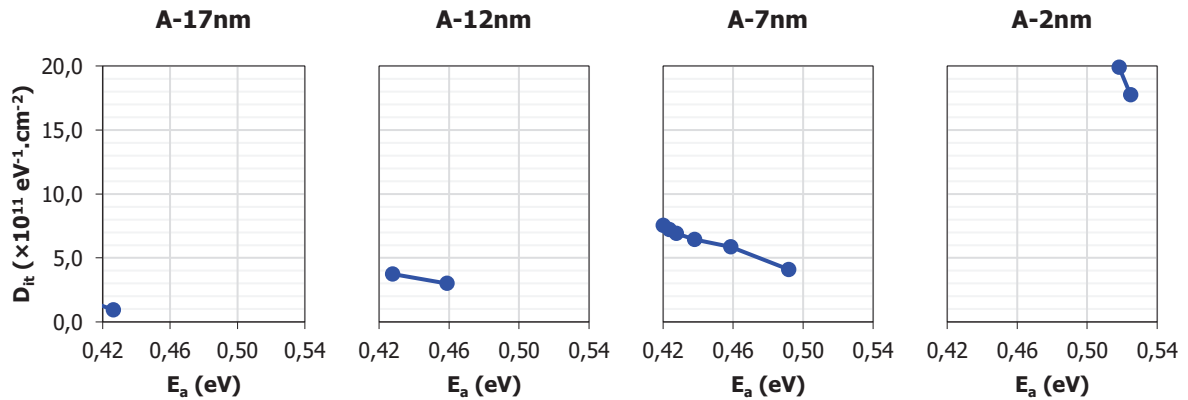


Figure IV.10 – Estimation de la distribution d'états d'interface en fonction de leur énergie d'activation, pour les 4 variantes de *recess* de la plaque A.

IV.2. Caractérisation DC

IV.2.1. Caractéristiques de transfert

IV.2.1.1. Structure A

IV.2.1.1.1. Par variante de *recess*

Les caractéristiques de transfert à $V_{DS} = 5$ V ont été mesurées pour des composants de topologie 1×50 μm et de type de grille standard r04m06 sur les différentes variantes de *recess* de la plaque A, à l'aide d'un appareil de mesure Keithley 4200-SCS et d'un banc manuel à 3 pointes. Les courbes obtenues sont tracées sur la Figure IV.11, en échelle linéaire et semi-logarithmique. Nous voyons que les variantes A-17nm, A-12nm et A-7nm ont produit des transistors *normally-on*, avec des courants de drain et de grille assez similaire. Leur tension de seuil se situe autour de -4 V, et évolue de près de 1 V dans le sens positif entre A-17nm et A-7nm, ce qui correspond à l'effet attendu de la profondeur de *recess*. En revanche la variante A-2nm nous a permis d'atteindre la fonctionnalité *normally-off*, avec néanmoins un courant de drain fortement réduit, d'environ 130 mA/mm à $V_{GS} = +4$ V, ce qui constitue une réduction d'un facteur 8. La transconductance est également diminuée d'un facteur 6. Pour expliquer le changement significatif qui se produit entre les variantes A-7nm et A-2nm, nous avançons que nous avons probablement commencé à graver l'intercouche AlN de 2 nm pour cette dernière variante, ce qui a été confirmé par les analyses MET présentées dans le chapitre précédent. Nous émettons alors l'hypothèse que cette intercouche AlN, à forte polarisation spontanée et piézoélectrique, est responsable du caractère *normally-on* des composants quand bien même « recessées » des variantes A-17nm, A-12nm et A-7nm, et qu'il est difficile voire impossible d'atteindre une tension de seuil positive sans la graver (nous reviendrons sur cette hypothèse dans une partie ultérieure). Dès que l'on a commencé à graver l'AlN, les caractéristiques électriques changent de façon abrupte.

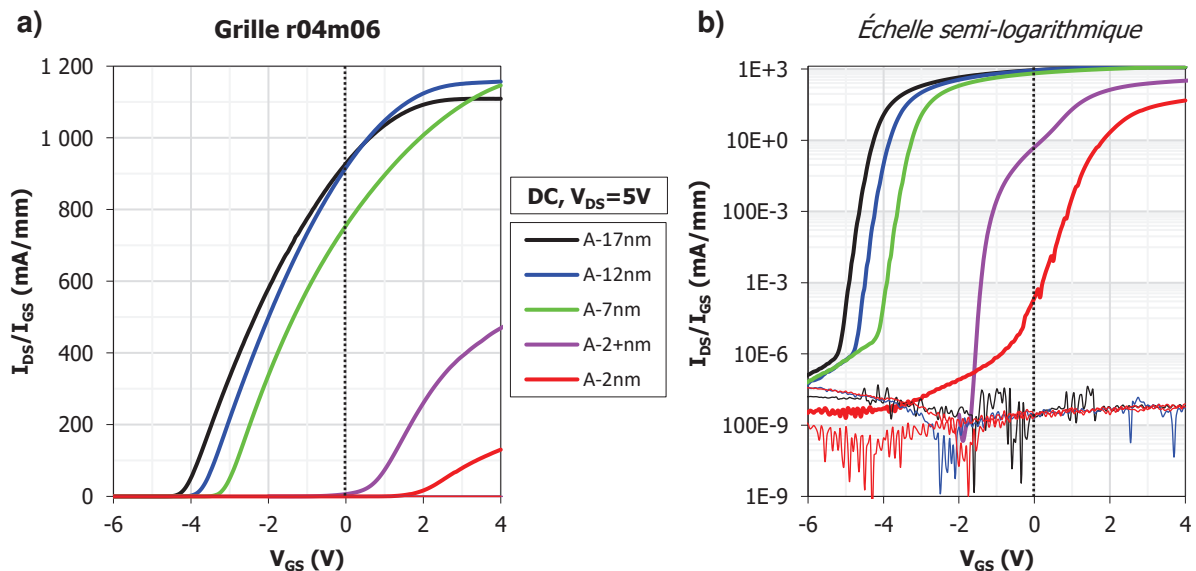


Figure IV.11 – Caractéristiques de transfert de transistors pour les différentes variantes technologiques de la plaque A, en échelle (a) linéaire et (b) semi-logarithmique.

Pour illustrer le caractère délicat de la gravure de l'intercouche AlN et la dépendance sensible des paramètres électriques, évoquons maintenant la variante A-2+nm. Cette variante est

quelque peu spéciale car elle n'a pas été initialement prévue dans notre plan d'expérience. Cette pseudo variante correspond en fait à une unique tranche de transistors (de largeur d'environ 1 mm) située à la limite est du quart sud-ouest de la plaque A (variante A-2nm). Nous avons remarqué que les transistors se trouvant dans cette zone étaient *normally-off*, mais avec un bien meilleur courant de drain comme le montre la Figure IV.11. Nous pensons que le fait d'utiliser un cache Si pendant la gravure du *recess* de grille a probablement altéré les conditions locales du plasma, et que la profondeur de *recess* a été moins importante dans cette zone, d'où le nom de A-2⁺nm pour suggérer qu'il reste un peu plus de 2 nm d'intercouche AlN et de barrière AlGaIn. Nous voyons alors comment une profondeur très légèrement inférieure à celle de la variante A-2nm conduit à une évolution drastique des caractéristiques électriques, avec un courant de drain près de 3 fois supérieur à $V_{GS} = +4$ V, et une tension de seuil décalée négativement de plus de 1 V.

Sur le graphique en échelle semi-logarithmique, nous constatons que les courants de grille sont très faibles comme attendus, de l'ordre de 0,1 nA/mm, et que le rapport I_{on}/I_{off} se situe autour de 10^{10} pour les composants des 3 premières variantes. Nous remarquons également que le pincement n'est pas clairement défini – la rupture de pente de $\log(I_{DS})$ n'est pas en angle droit – pour les variantes A-17nm, A-12nm, A-7nm et A-2nm. Cependant il pourrait s'agir d'artefacts de mesure car des mesures ultérieures (comme celle de la variante A-2⁺nm) ne présentent pas ce problème.

IV.2.1.1.2. Par variante de grille

Considérons maintenant les différentes variantes de grille que nous avons réalisées sur la plaque A, listées précédemment dans le tableau yy. Notons que l'équipement de mesure est ici différent de celui utilisé dans la partie précédente : il s'agit d'un banc automatisé dit « TC1000 », muni de pointes RF (et donc capable de mesurer des composants à 2 doigts) et rattaché des alimentations DC, un appareil de mesure DC et un VNA. Ce banc a été utilisé pour mesurer une vaste sélection de composants selon la séquence suivante :

1. Caractéristiques de transfert à $V_{DS} = 5$ V, avec balayage de V_{GS} de -8 V à +4 V,
2. Paramètres S à $V_{DS} = 5$ V et $I_{DS} = 100$ mA/mm, de 0,5 GHz à 70 GHz,
3. Paramètres S à $V_{DS} = 5$ V et $I_{DS} = 200$ mA/mm, de 0,5 GHz à 70 GHz,
4. Caractéristiques de transfert à $V_{DS} = 5$ V, avec balayage de V_{GS} de -8 V à +4 V (une deuxième fois, pour voir s'il y a eu dégradation durant les mesures de paramètres S).

La Figure IV.12 présente les caractéristiques de transfert (mesure ①) pour les différents types de grille de la plaque A, sur la variante A-2nm. Nous constatons que la longueur de métallisation n'a pas d'influence sur les courants de drain et de grille, tant que qu'elle est supérieure à la longueur de *recess*, comme en témoigne la superposition des courbes associées aux grilles r04m04, r04m05 et r04m06. Dans le cas contraire, comme pour la grille r04m03, le courant de drain diminue ainsi que la transconductance, sans pour autant affecter ni le courant de grille ni la tension de seuil. Nous sommes donc confortés dans le choix de la configuration de grille que nous avons fait dans le chapitre précédent.

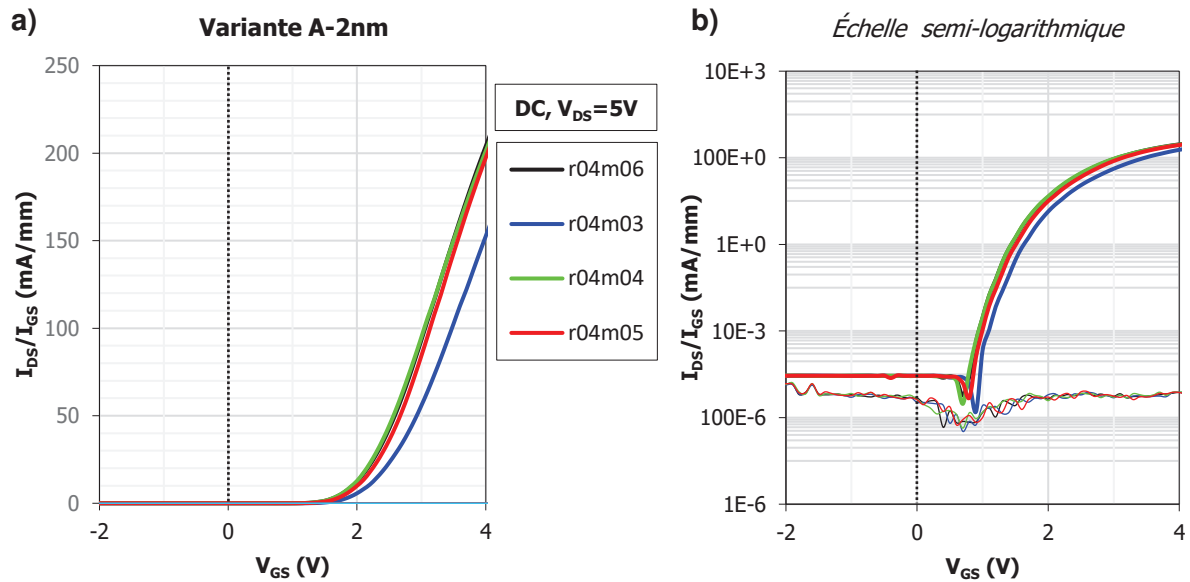


Figure IV.12 – Caractéristiques de transfert de transistors avec les différentes variantes de grille de la plaque A, en échelle (a) linéaire et (b) semi-logarithmique.

IV.2.1.2. Structure I

IV.2.1.2.1. Par variante technologique

Les caractéristiques de transfert à $V_{DS} = 5$ V, mesurées sur des composants 2×50 μm à grille r04m06 pour toutes les variantes technologiques de la plaque I, sont tracées sur la Figure IV.13. Nous avons arrangé les variantes dans la légende par ordre croissant de tension de seuil, à savoir I-8nm-F30s, I-8nm-F60s, I-2nm, I-0nm, I-2nm-F30s et I-2nm-F60s. Nous remarquons d'abord que ni le traitement fluoré, ni le *recess* de grille, ne parviennent à atteindre la fonctionnalité *normally-off* s'ils sont employés seuls même s'ils contribuent à un décalage positif de la tension de seuil. En revanche l'application simultanée des 2 solutions technologiques permet d'obtenir les résultats les plus encourageant, et les transistors de la variante I-2nm-F60s peuvent être considérés, certes de justesse, comme *normally-off*. Nous constatons ensuite que toutes les variantes présentent des courants de drain de niveau similaire autour de 1200 mA/mm, y compris la variante fortement « recessée » I-0nm, par contraste avec les observations sur la plaque A. Une explication possible est que la gravure du *recess* de grille été moins profonde que prévu sur cette plaque, comme cela a été confirmé dans le chapitre précédent, et que l'on a donc pas commencé à graver l'intercouche AlN. Enfin nous constatons que les courants de grilles, bien que très faibles, aux alentours de 100 nA/mm (sauf pour les variantes I-2nm et I-0nm, voir ci-après), sont tout de même plus de 1000 fois plus importants que ceux relevés sur la structure A.

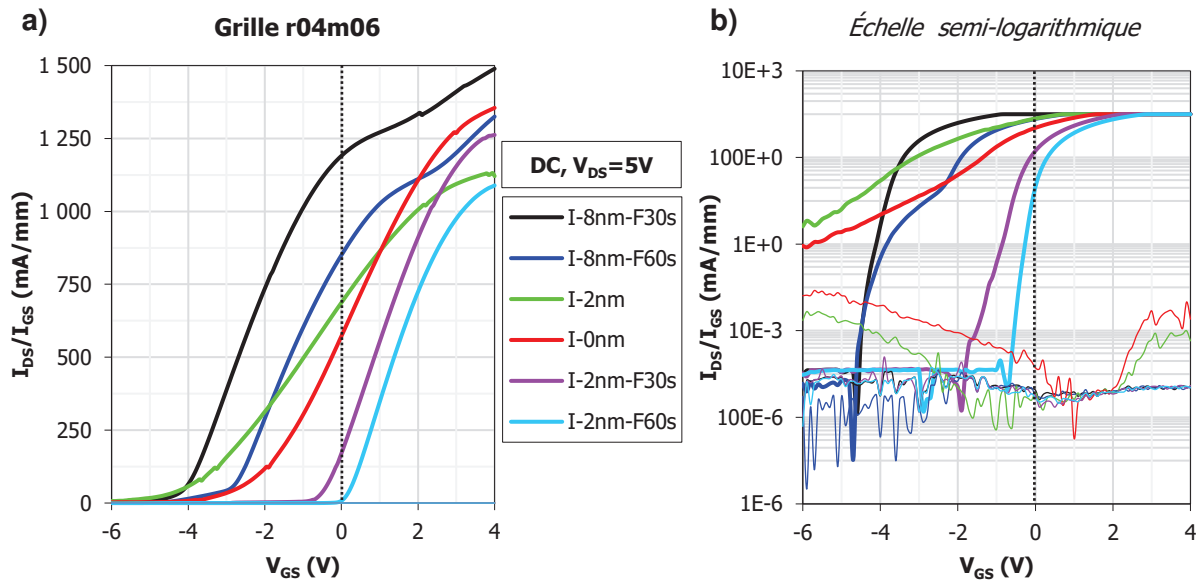


Figure IV.13 – Caractéristiques de transfert de transistors pour les différentes variantes technologiques de la plaque I, en échelle (a) linéaire et (b) semi-logarithmique.

En regardant le détail de chaque courbe, il apparaît que l'application seule d'un *recess* de grille dégrade fortement la zone de pincement du transistor, avec un *subthreshold-slope* très élevé. Il semblerait qu'il y ait pour les variantes I-2nm et I-0nm un mécanisme de conduction parallèle à l'état off. Les diodes de grille sont également détériorées, avec des caractéristiques qui s'apparentent plus à un contact Schottky que MOS. Le traitement fluoré n'a pas ces effets négatifs comme le montre les courbes des variantes I-8nm-F30s et I-8nm-F60s. Il est alors intéressant de remarquer que l'utilisation du *recess* de grille en conjonction avec le traitement fluoré permet de recouvrer de bonnes caractéristiques de pincement. Nous n'avons pas trouvé d'explication plausible à ce phénomène.

IV.2.1.2.2. Par variante de grille

Les caractéristiques de transfert des différentes variantes de grilles fabriquées sur la plaque I, mesurée selon les conditions ① présentées précédemment, sont affichées en Figure IV.14. Sur l'échelle linéaire, un écrêtage est visible pour les courants de drain à partir de 1 A/mm. Cela correspond simplement à la limite supérieure fixée par l'appareil de mesure décrit dans la section IV.2.1.1.2. Nous remarquons d'abord 2 groupes, correspondant aux transistors *normally-on* et *normally-off*. Les différences entre ces 2 groupes sont assez notables : les transistors *normally-off* affichent une tension de seuil décalée positivement de près de 2 V, et leur grille MOS leur confère un courant de grille et un courant I_{off} réduit de 3 décades par rapport à leurs homologues *normally-on* à grille Schottky. Par ailleurs, nous avons ici la preuve d'une intégration monolithique de transistors *normally-on* et *normally-off*, puisque tous ces composants sont issus de la même variante technologique et ont donc suivi la même séquence de fabrication.

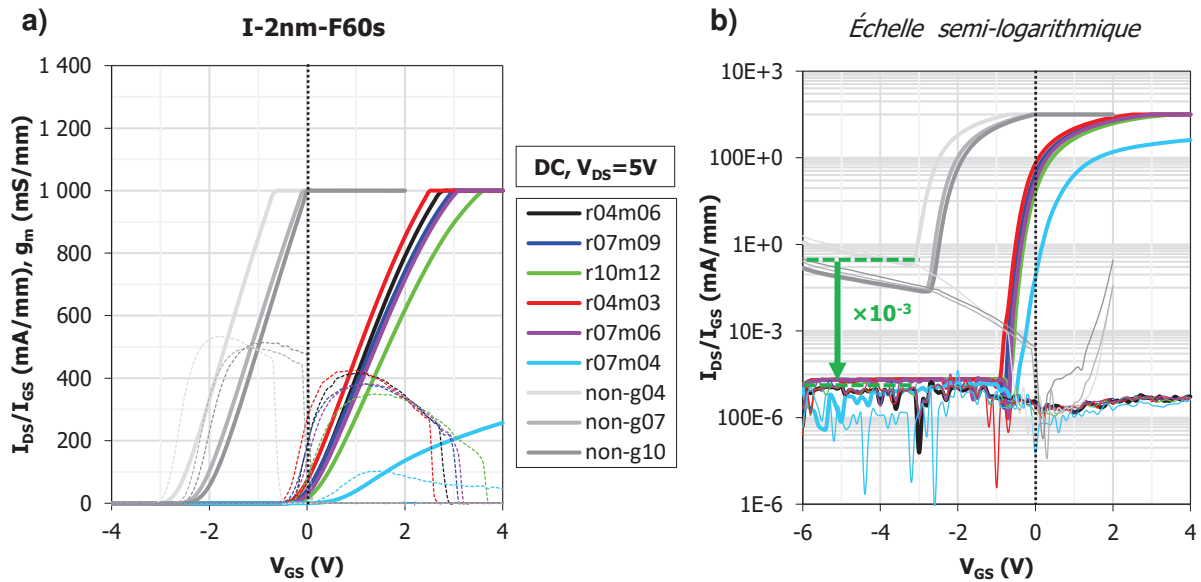


Figure IV.14 – Caractéristiques de transfert de transistors avec les différentes variantes de grille de la plaque I, en échelle (a) linéaire et (b) semi-logarithmique.

Au sein des transistors *normally-on*, nous remarquons que la variante de grille de longueur 400 nm présente une tension de pincement plus négative et un courant de fuite plus légèrement plus important que celles de longueur 700 nm ou 1 μm . Pour les transistors *normally-off*, nous constatons peu de différences entre les grilles de longueurs différentes (variantes r04m06, r07m09 et r10m12) ainsi qu'avec les grilles dont la longueur de métallisation est légèrement inférieure à celle du *recess* (variantes r04m03 et r07m06). Cela contraste avec les observations sur la plaque A où la variante r04m03 possédait un courant de drain nettement inférieur à celui de la grille r04m03. La raison plausible est la lithographie de métallisation de grille, qui a résulté en un léger sur-côtage par rapport aux dimensions nominales sur la plaque I, là où il y a eu au contraire un sous-côtage sur la plaque A, comme le montre les images MET présentées dans le chapitre précédent. D'ailleurs la variante avec le métal de grille complètement à l'intérieur du *recess*, r07m04, résulte en un courant de drain et une transconductance fortement réduits, comme attendu. Enfin les grilles les plus longues, par exemple r10m12, produisent une transconductance légèrement plus faible, de l'ordre de 350 mS/mm au lieu de 400 mS/mm.

IV.2.1.3. Limites identifiées par mesures DC

IV.2.1.3.1. Tenue en tension

Jusqu'à présent, nous nous sommes limités qu'à des mesures DC à $V_{DS} = 5\text{ V}$. Intéressons-nous maintenant aux caractéristiques de transfert mesurées à de plus fortes tensions de drain. La Figure IV.15 présente de telles mesures effectuées sur des transistors des variantes les plus intéressantes, A-2nm et I-2nm-F60s. Nous pouvons voir que sur la plaque A, les transistors sont robustes au moins jusqu'à $V_{DS} = 10\text{ V}$. Le courant de drain maximum passe de 200 mA/mm à $V_{DS} = 5\text{ V}$ à plus de 300 mA/mm à $V_{DS} = 10\text{ V}$ ou 15 V. La courbe du courant de drain remesurée à $V_{DS} = 5\text{ V}$ se superpose à peu près sur la courbe initiale, mais le courant de grille s'est dégradé lors de la mesure à $V_{DS} = 15\text{ V}$ comme nous pouvons le voir dans l'encart en échelle semi-logarithmique.

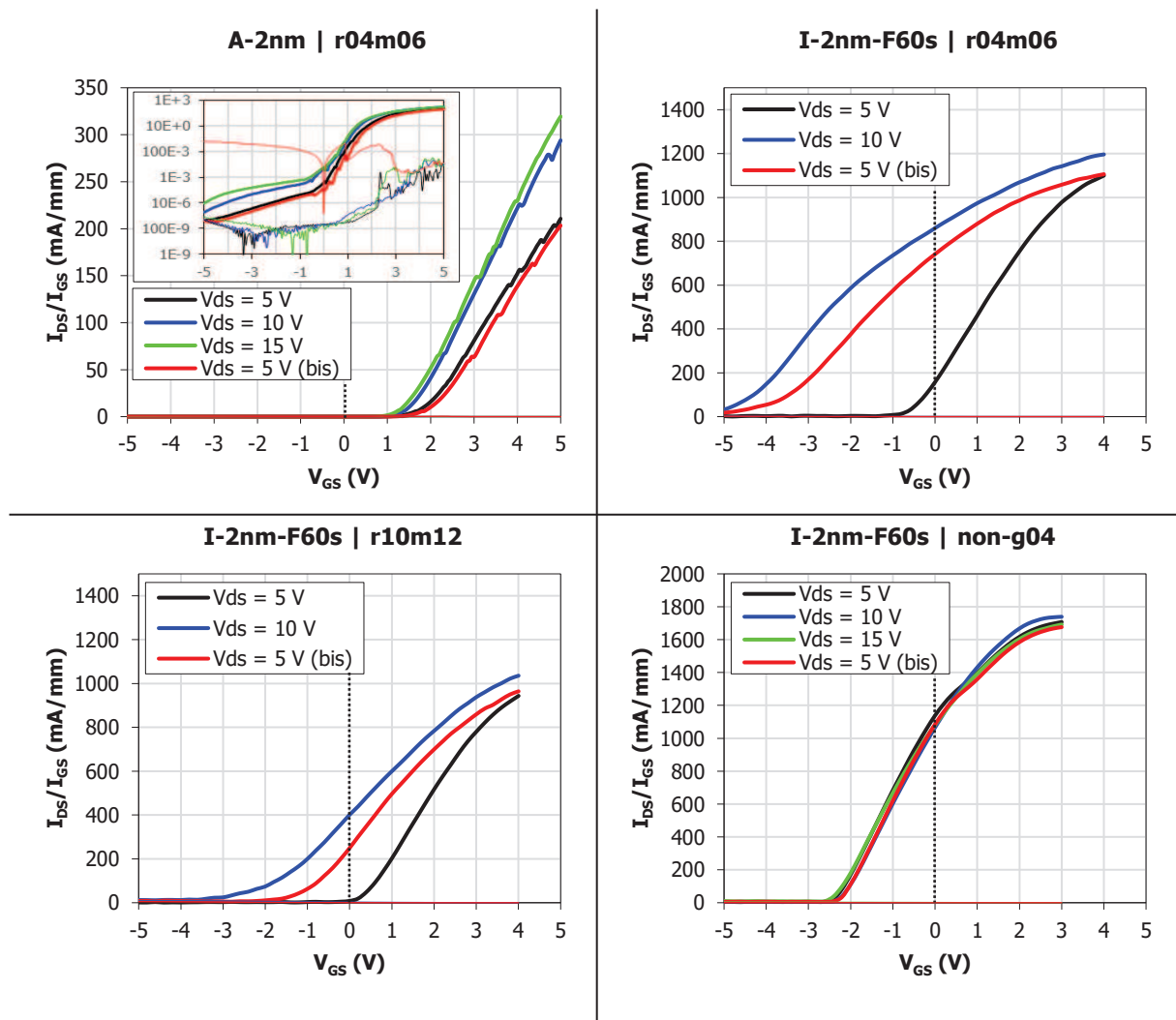


Figure IV.15 – Caractéristiques de transfert de transistors à différentes tensions de drain, pour différentes variantes de grilles des plaques A et I.

La situation est quelque peu différente pour la plaque I. Les mesures montrent que les transistors *normally-off* de cette plaque se dégradent lors de l'application d'une tension de drain de 10 V. La courbe à $V_{DS} = 10$ V présente en effet des caractéristiques de pincement fortement détériorées, et la mesure finale montre clairement que le transistor ne retrouve pas ses propriétés initiales. Cette dégradation est un peu moins prononcée pour les grilles les plus longues, par exemple ici pour la variante r10m12 par rapport à la variante r04m06. Cela suggère des effets de canal court qui pourraient être résolus en améliorant les propriétés de la couche tampon (*buffer*). Notons que les transistors *normally-on* de cette même plaque I présentent néanmoins une bonne tenue en tension jusqu'au moins 15 V. L'application des briques technologiques *normally-off* a donc fragilisé les composants et a peut-être révélé et accentué les problèmes liés au *buffer*.

IV.2.1.3.2. Phénomène d'hystérésis

Les mesures DC présentées jusqu'à maintenant ont été faites en balayant V_{GS} depuis les valeurs négatives vers les tensions positives. Regardons alors ce qu'il se passe lorsque le balayage est effectué dans la direction inverse. La Figure IV.16 trace les caractéristiques de transfert en double-balayage : V_{GS} augmente d'abord de -5 V à +5 V puis retourne à -5 V. Nous pouvons voir pour les 2 plaques un phénomène d'hystérésis, la courbe correspondant au

balayage décroissant présentant un décalage positif de la tension de seuil ainsi qu'un meilleur courant de fuite (visible notamment sur la plaque A). Cette hystérésis a déjà été évoqué dans la partie IV.1.2.2 sur les mesures de capacité, et nous y reviendrons lorsque nous aborderons les caractérisations en mode impulsif.

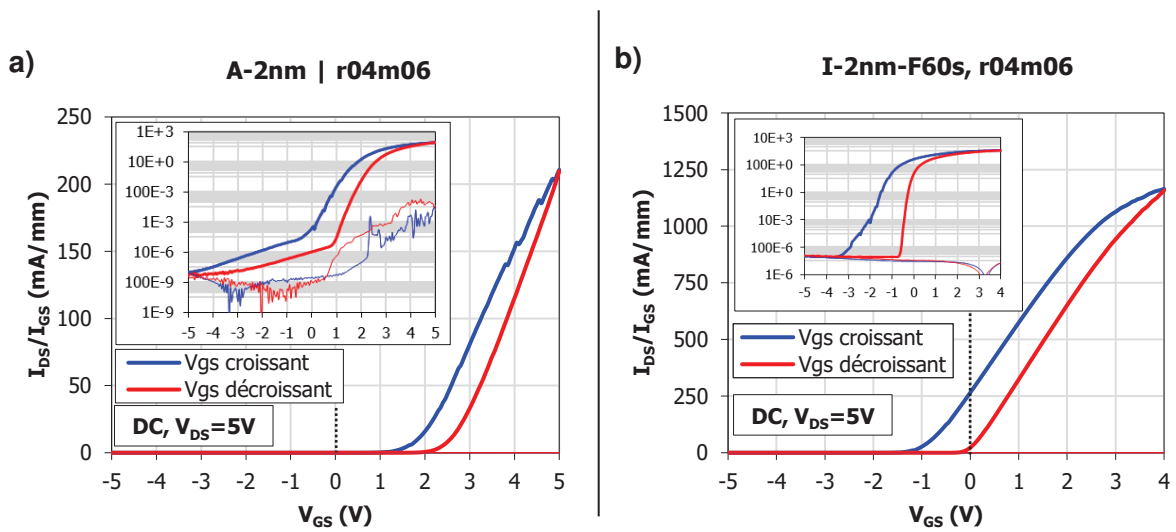


Figure IV.16 – Phénomène d'hystérésis dans les caractéristiques de transfert, pour des transistors des plaques (a) A et (b) I.

IV.2.2. Paramètres DC

Les mesures automatiques présentées dans la partie IV.2.1.1.2 nous ont permis de récolter des données sur une multitude de transistors des plaques A et I pour dresser des statistiques fiables. Le nombre de transistors mesurés est en effet de 675 et 320 pour les plaques A et I respectivement, et couvre l'ensemble des variations de process technologique, de grille et de recuit de grille. Dans les 2 sections suivantes nous discuterons des paramètres DC extraits de la mesure ① de la séquence évoquée précédemment.

IV.2.2.1. Structure A

IV.2.2.1.1. Par variante technologique

La Figure IV.17 présente quelques paramètres DC de composants à grille r04m06 des différentes variantes de *recess* de la structure A. Sur cette plaque, nous avons séparé les composants se situant aux limites entre les différents quarts de plaque, pour lesquels la gravure du *recess* de grille a pu être ne pas se produire à cause du masque Si utilisé. Ces transistors sont regroupés sous l'appellation « Sans *recess* » bien que certains d'entre eux ont sûrement été gravés mais de manière indéfinie.

Pour la tension de seuil, nous avons utilisé 2 méthodes pour son extraction. La première consiste à prendre la tension V_{GS} pour laquelle le courant de drain est de 1 mA/mm, appelée V_{th_1mA} . La seconde consiste à considérer la tangente à la courbe $I_{DS}(V_{GS})$ au point où la transconductance est maximale, puis prendre l'intersection entre cette tangente et l'axe des V_{GS} , appelé $V_{th_tangente}$. Cette dernière méthode est couramment employée dans les publications ayant trait aux HEMTs GaN *normally-off*. Nous remarquons que $V_{th_tangente}$ est typiquement plus élevé (plus positive) que V_{th_1mA} . En effet, la totalité des composants

mesurés présentent une courbure de $I_{DS}(V_{GS})$ au niveau du seuil, et $V_{th_tangente}$ a donc tendance à surestimer la tension de seuil. L'écart entre V_{th_1mA} et $V_{th_tangente}$ nous renseigne alors sur la qualité du pincement, c'est-à-dire le degré de courbure de $I_{DS}(V_{GS})$. Nous constatons que cet écart est de l'ordre de 0,5 V dans notre cas (sauf pour la variante A-2⁺nm pour laquelle elle est de 1 V), et que par ailleurs les positions relatives entre les différentes variantes de *recess* restent inchangées. Nous nous référons alors inconditionnellement à l'un ou l'autre paramètre pour faire allusion à la tension de seuil. Au niveau quantitatif, nous relevons une valeur de $V_{th_tangente}$ de près de +1 V pour la variante A-2⁺nm et +2 V pour A-2nm.

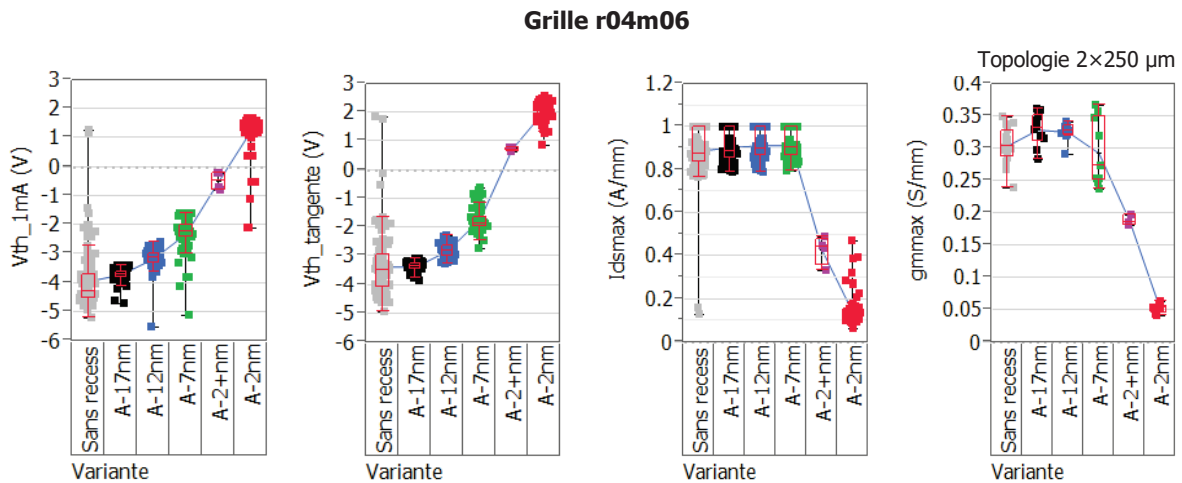


Figure IV.17 – Paramètres DC – tension de seuil, courant de drain maximal et transconductance maximale – pour les différentes variantes de *recess* de la plaque A.

Évoquons maintenant I_{dsmax} et g_{max} . Pour ces paramètres, nous avons simplement considéré la valeur maximale du courant de drain et de la transconductance sur la toute la plage de V_{GS} . Ces 2 paramètres diminuent fortement pour les variantes *normally-off* A-2⁺nm et A-2nm, comme nous avons déjà pu l'observer sur les caractéristiques de transfert. I_{dsmax} est saturé à 1 A/mm pour les 4 premières variantes à cause de la limitation de l'appareil de mesure. Pour les variantes A-2nm et A-2⁺nm, nous relevons respectivement 200 mA/mm et 400 mA/mm pour I_{dsmax} . En ce qui concerne g_{max} , sa valeur passe d'environ 325 mS/mm pour les 4 premières variantes, à 200 mS/mm et seulement 50 mS/mm pour les variantes A-2nm et A-2⁺nm. Notons que pour g_{max} , nous avons dû filtrer les différentes topologies de transistor pour n'en garder qu'une (ici 2×250 μm) pour notre analyse, car nous avons constaté que g_{max} en dépend fortement. Nous constatons donc qu'il existe un compromis entre la tension de seuil et le courant de drain (et la transconductance). La variante A-2⁺nm semble cependant plus intéressante car la perte de 1 V de $V_{th_tangente}$ est largement compensée par le doublement de I_{dsmax} et le g_{max} bien plus élevé.

IV.2.2.1.2. Comparaison avec des résultats de simulation

Le *recess* de grille le plus profond sur la variante A-2nm a permis un décalage positif de la tension de seuil de près de 6 V par rapport aux composants sans *recess*. Dans le chapitre 2, nous avons évoqué une valeur de $\partial V_{th}/\partial t_{bar}$ de -0,50 V/nm dans le cas d'une barrière AlGaIn. En considérant que nous avons gravé près de 23 nm de barrière pour la variante A-2nm, nous nous attendrions à un décalage de plus de 10 V, bien plus important que ce que nous avons obtenu. En outre, comme nous l'avons déjà fait remarquer, il n'y a un fort décalage de la

tension de seuil qu'à partir des variantes A-2⁺nm et A-2nm. Pour confirmer l'hypothèse précédente que ces observations sont dues à l'intercouche AlN, nous avons simulé la tension de seuil sur une structure « A » avec différentes profondeurs de *recess*, à l'aide de l'outil que nous avons développé dans la partie I.2.2.3. La Figure IV.18 présente les résultats de cette simulation numérique au modèle très simplifié – qui ne prend notamment pas en compte les effets de pièges – mais qui peut néanmoins nous servir de guide qualitatif. Nous constatons une rupture de pente dans l'évolution de la tension de seuil dès que l'intercouche AlN est gravée, semblable à celle que l'on peut discerner sur la Figure IV.17 entre les variantes A-7nm et A-2⁺nm. De plus, le cap-layer GaN influe aussi sur l'évolution de la tension de seuil : tant que l'on ne grave que cette couche, la tension de seuil n'augmente pas (structure symétrique). Cela explique pourquoi le décalage entre les composants sans *recess* et ceux de la variante A-17nm est moins important que celui entre les variantes A-17nm et A-17nm.

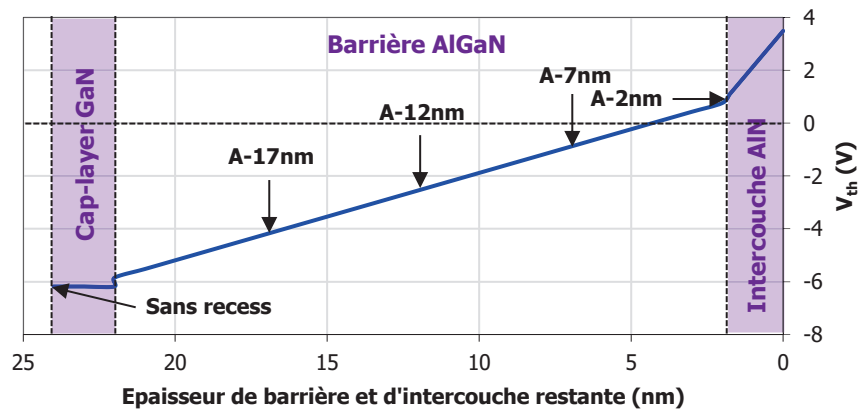


Figure IV.18 – Simulation de la tension de seuil en fonction de l'épaisseur de barrière et d'intercouche restante après *recess* de grille. L'outil utilisé est celui développé dans la partie I.2.2.3.

Il s'avère donc important de prendre toutes les composantes de l'épi-structure en considération. Nous suggérons qu'une épi-structure sans cap-layer et sans intercouche serait plus adéquate pour la fabrication de composants *normally-off*.

IV.2.2.2. Structure I

IV.2.2.2.1. Par variante technologique

Les paramètres DC pour les variantes technologiques de la plaque I sont présentés sur la Figure IV.19. En plus des composants à grille r04m06, nous avons également représenté les transistors *normally-on* non-g04. Pour ces derniers, nous vérifions bien que leur tension de seuil, autour de -2,3 V, ne dépend presque pas de la variante technologique considérée. Le léger décalage négatif de $V_{th_tangente}$ pour les variantes I-2nm-F30s et I-2nm-F60s pourrait être dû à l'implantation d'ion fluorés dans la couche de passivation SiN, celle-ci ayant été par ailleurs amincie par la gravure du *recess* de grille. La proximité des ions fluorés avec le canal aurait donc pour effet de légèrement dépléter le 2DEG, contribuant ainsi à ce décalage négatif de $V_{th_tangente}$. Pour les composants *normally-off*, nous avons déjà évoqué le positionnement relatif de chaque variante en termes de tension de seuil. Quantitativement, il apparaît qu'un traitement fluoré plus long est plus efficace qu'une gravure de *recess* plus profonde pour décaler positivement $V_{th_tangente}$. L'efficacité du traitement fluoré est d'ailleurs très visible en comparant les variantes I-2nm et I-2nm-F30s et en constatant un décalage de près de +2 V de la tension de seuil.

Il est peut-être frappant de remarquer que certains transistors à grille r04m06 des variantes I-8nm-F30s, I-8nm-F60s et I-2nm présentent en fait une tension de seuil plus négative que leurs variantes non-g04. Il faut néanmoins se rappeler que ces 2 types de transistors présentent des grilles différentes, MOS pour r04m06 et Schottky pour non-g04. Nous avons vu dans la partie II.2.4 que l'adjonction d'un diélectrique de grille pouvait décaler positivement ou négativement la tension de seuil selon la nature des charges à l'interface. Dans notre cas, il se pourrait que nous soyons en présence de charges positives à l'interface oxyde/semiconducteur, dues aux divers plasmas ou au dépôt PE-ALD, qui expliqueraient ce décalage négatif.

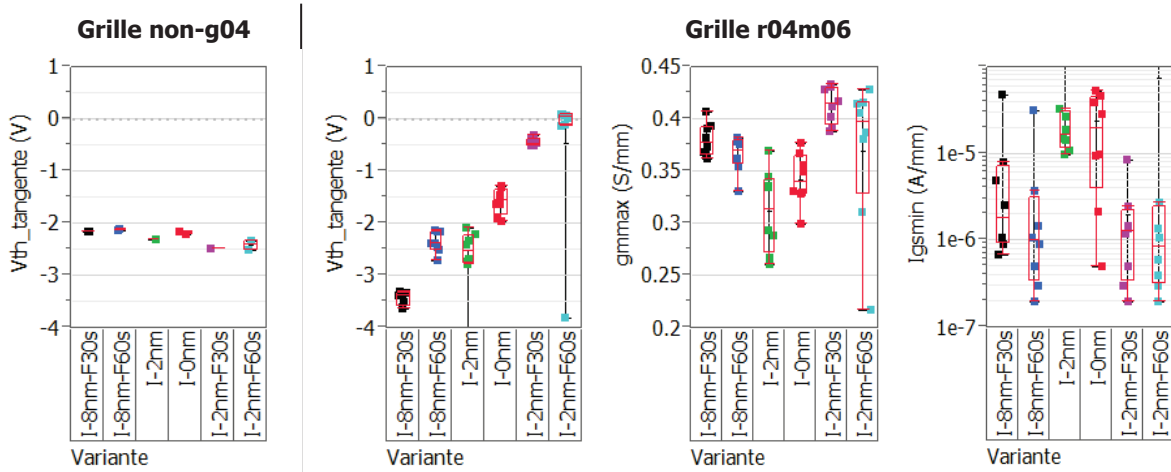


Figure IV.19 – Paramètres DC – tension de seuil, transconductance maximale et courant de grille minimal – pour les différentes variantes technologiques de la plaque I et pour des transistors *normally-on* et *normally-off*.

Concernant gm_{max} , nous remarquons avec satisfaction que les variantes « les plus *normally-off* » présentent également les transconductances les plus élevées, avec près de 425 mS/mm pour les variantes I-2nm-F30s et I-2nm-F60s. Nous n'avons pas pu comparer I_{dsmax} car tous les transistors produisent des courants de plus de 1 A/mm. Nous savons cependant que les courants de fuite sur la plaque I sont plus importants que ceux de la plaque A, et il est donc pertinent de considérer I_{gsmin} , le minimum (négatif) du courant de grille, sachant qu'il se situe probablement au-delà du seuil de sensibilité de l'appareil. Nous voyons que I_{gsmin} est d'au plus 1 μ A/mm pour les variantes I-2nm-F30s et I-2nm-F60s, et qu'il est supérieur à 10 μ A/mm pour les variantes I-2nm et I-0nm sans traitement fluoré. À cet égard, en examinant les variantes I-8nm-F30s et I-8nm-F60s, nous constatons une diminution de I_{gsmin} , ce qui prouve que le traitement fluoré permet d'améliorer les courants de fuite et les caractéristiques de pincement.

IV.2.2.2.2. Estimation des charges implantées lors du traitement fluoré

Nous pouvons reprendre l'équation (II.2) pour évaluer la densité de charges négatives implantées pour chacune des variantes avec traitement fluoré, à partir du décalage induit de la tension de seuil ΔV_{th} . Pour simplifier, nous supposons ici une distribution de charges implantées uniforme $\rho_{F^-} = -en_{F^-}$ au sein de la barrière restante. En tenant compte de l'oxyde de grille (non chargé), l'équation devient alors :

$$\Delta V_{th} = -\varphi_{F^-} = en_{F^-} \int_0^{t_{bar}} \left(\frac{t_{ox}}{\epsilon_{ox}} + \frac{z}{\epsilon_{bar}} \right) dz = en_{F^-} \left(\frac{t_{bar}t_{ox}}{\epsilon_{ox}} + \frac{t_{bar}^2}{2\epsilon_{bar}} \right) \quad (IV.3)$$

Il vient alors :

$$n_{F^-} = \frac{2\Delta V_{th}\epsilon_{ox}\epsilon_{bar}}{et_{bar}(\epsilon_{ox}t_{bar} + 2\epsilon_{bar}t_{ox})} \quad (IV.4)$$

En considérant des écarts de tension de seuil de +2 V et +0,5 V entre les variantes I-2nm, I-2nm-F30s et I-2nm-F60s, nous calculons une densité volumique n_{F^-} de $7,8 \times 10^{19} \text{ cm}^{-3}$ et $9,7 \times 10^{19} \text{ cm}^{-3}$ pour les variantes I-2nm-F30s et I-2nm-F60s respectivement, ce qui donne une densité surfacique de $1,6 \times 10^{13} \text{ cm}^{-2}$ et $1,9 \times 10^{13} \text{ cm}^{-2}$. Nous voyons donc que le nombre de charges négatives implantées n'est pas proportionnel au temps de traitement plasma, il y a un effet de saturation.

Si nous nous intéressons aux variantes I-8nm-F30s et I-8nm-F60s avec 8 nm de barrière et 0,5 V de différence de tension de seuil, nous trouvons qu'une charge surfacique de $7,8 \times 10^{12} \text{ cm}^{-2}$ est implantée pendant les 30 s de traitement plasma supplémentaires, sous hypothèse d'une portée d'implantation de 2 nm. Le même calcul donne $3,9 \times 10^{12} \text{ cm}^{-2}$ pour les variantes I-2nm-F30s et I-2nm-F60s, et l'on constate donc que la dose implantée, à traitement fluoré égal, semble plus importante pour la barrière épaisse de 8 nm. Il serait alors intéressant d'expérimenter des plasmas plus longs, de durée supérieure à 2 min, pour tenter d'atteindre la fonctionnalité *normally-off* sur barrière épaisse.

IV.2.2.2.3. Par variante de recuit

Comme nous l'avons évoqué précédemment, nous avons effectué une campagne de recuit de grille plus extensive sur la plaque I, et nous avons fait des mesures automatiques sur plusieurs réticules découpés et recuits individuellement. Nous pouvons alors tirer quelques conclusions sur l'effet du recuit de grille sur les caractéristiques DC des transistors. La Figure IV.20 affiche une sélection de paramètres DC de transistors à grille non-g04 et r04m06 de la variante I-2nm-F60s pour différents budgets thermiques de recuit sous atmosphère de N_2 .

Sur les transistors *normally-on*, nous constatons une diminution progressive de la tension de pincement pour des budgets thermiques plus importants, sans que cela ne perturbe la transconductance de façon significative. $V_{th_tangente}$ est de -2,2 V sans recuit et se stabilise autour de -2,6 V pour les recuits à 425 °C et 450 °C pendant 5 min. Ce décalage de la tension de seuil pourrait s'expliquer par la désorption d'ion fluorine dans le volume de la couche de passivation SiN durant le recuit. Par contraste, la tension de seuil des composants *normally-off* n'évolue pas pour les faibles budgets thermiques, mais commence à diminuer à partir du recuit à 425 °C pendant 5 min. La transconductance augmente depuis une valeur initiale de 350 mS/mm sans recuit et jusqu'à 425 mS/mm après un recuit à 450 °C pendant 5 min. Le meilleur compromis est trouvé pour le recuit à 400 °C pendant 5 min, pour lequel $V_{th_tangente}$ reste autour de 0 V et g_{mmax} atteint 400 mS/mm. Il faut donc veiller à ne pas effectuer de recuit à trop fort budget thermique au risque de perdre la fonctionnalité *normally-off*, vraisemblablement à cause de la désorption des ions fluorine. La stabilité thermique de ces ions, ici autour de 400 °C, est proche des valeurs rapportées par l'équipe de Medjdoub [122].

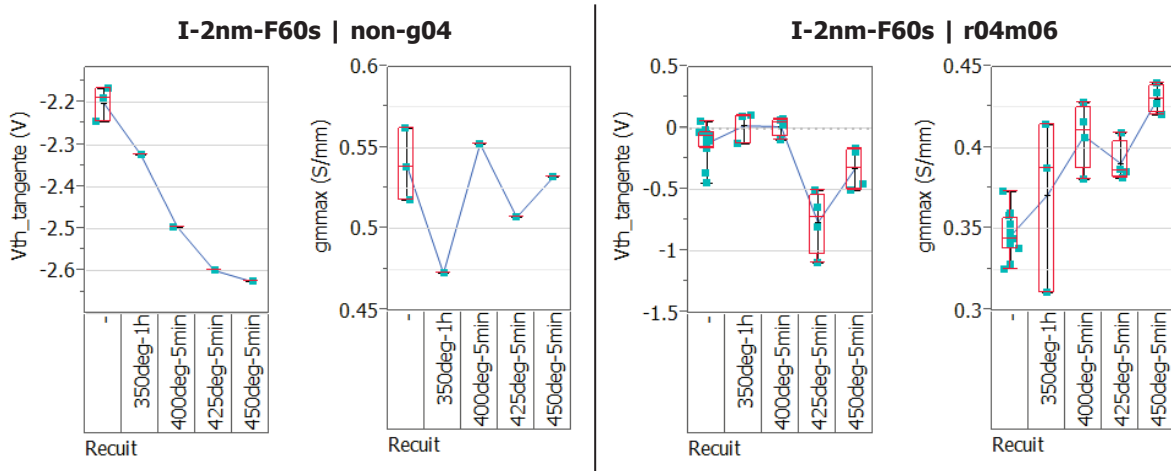


Figure IV.20 – Paramètres DC – tension de seuil et transconductance maximale – pour différentes températures et durées de recuit de grille sur la plaque I.

IV.3. Caractérisation en mode impulsionnel

IV.3.1. Mesures I-V

IV.3.1.1. Structure A

Une vaste campagne de mesures en mode impulsionnelle a été menée sur les composants de la plaque A et I, à l'aide d'un banc AMCAD BiLT. Les impulsions de drain et de grille sont synchronisées, avec une période de 1 ms et une durée d'impulsion de 1 μ s.

La Figure IV.21 présente les caractéristiques de transfert à $V_{DS} = 5$ V et les réseaux de sortie en mode impulsionnel, sur un composant 2×250 μ m de la variante A-2⁺nm. Les points de repos ont dû ici être adaptés en raison du fonctionnement *normally-off*. Pour un transistor *normally-on* classique, les points de polarisation au repos ($V_{GSQ}; V_{DSQ}$) typiquement choisis sont les suivants : ① (0 V ; 0 V) pour le point de référence, ② (V_p ; 0 V) et ③ (V_p ; V_{DS0}). Les effets de pièges sont alors déterminés en comparant les mesures ① et ② pour le *gate-lag* et les mesures ② et ③ pour le *drain-lag* à V_{DS0} . Tous ces points de polarisation sont par ailleurs à l'état OFF, ou « froids », c'est-à-dire qu'aucune puissance n'y est dissipée, ce qui minimise la contribution des phénomènes thermiques pour se focaliser sur les effets de pièges. Cependant pour un composant *normally-off* comme c'est le cas ici, les points ① et ② sont confondus. Nous ne pouvons donc pas déterminer le *gate-lag* dans le sens usuel du terme. En régime de fonctionnement du transistor, la grille est polarisée à une tension positive, et cela conduit à des phénomènes sur lesquels nous reviendrons, mais qui ne peuvent pas être appelés *gate-lag*. Nous traçons donc ici les courbes associés aux points de repos (0 V ; 0 V), (0 V ; 10 V) et (0 V ; 15 V) pour évaluer le *drain-lag* à 10 V et 15 V. De plus nous avons inséré les courbes en régime DC et notamment le réseau de sortie DC que nous n'avons pas eu l'occasion d'introduire dans la partie précédente.

Nous remarquons de grandes différences entre les mesures DC et celles en régime impulsionnel. D'une manière générale les courants de drain en régime impulsionnel sont bien plus importants que ceux en régime DC, ce qui prouve que le composant souffre d'effets de pièges importants. Sur les caractéristiques de transfert, nous relevons un courant de drain maximal de 450 mA/mm en DC à $V_{GS} = +5$ V, alors que ce même courant est de 850 A/mm en impulsions pour le point de référence. La transconductance maximale est également relevé de 175 mS/mm à 250 mS/mm. Le pincement du transistor est également plus prononcé en

régime impulsionnel. Ces observations concordent avec les réseaux IV sur la droite de la Figure. La résistance R_{ON} est meilleure en régime impulsionnel, passant d'environ $5 \Omega \cdot \text{mm}$ en DC à $4 \Omega \cdot \text{mm}$. Nous remarquons de plus un phénomène de *kink* sur le réseau IV DC, sous la forme de « bosses » de courant pour des tensions V_{DS} de l'ordre de 5 V.

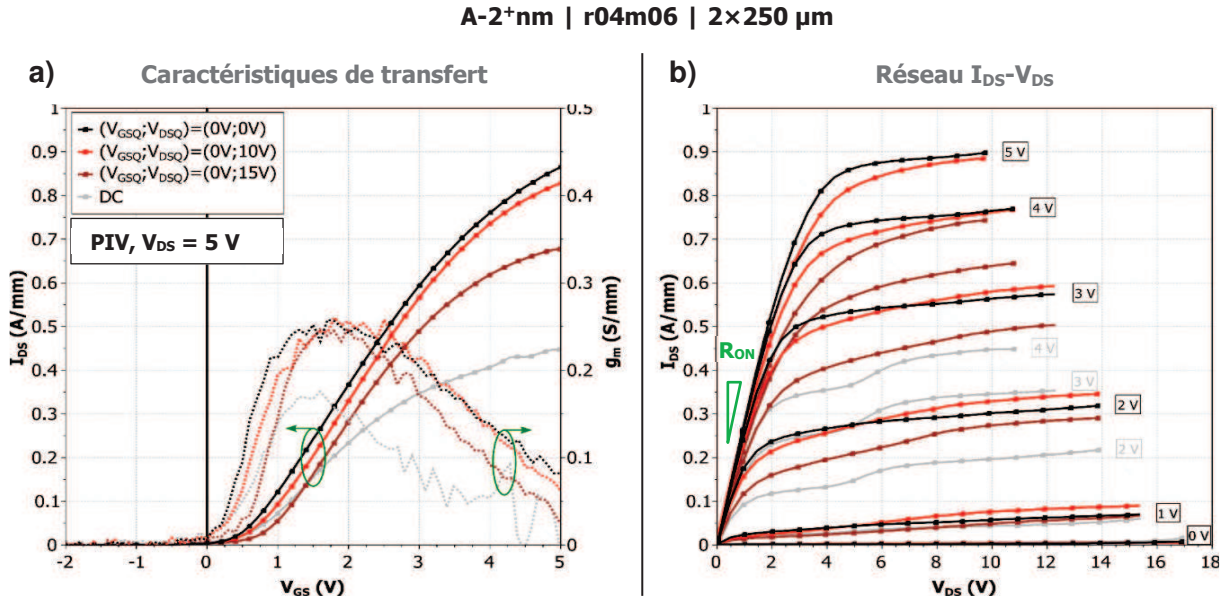


Figure IV.21 – Mesures I-V en mode impulsionnel sur un transistor *normally-off* de la plaque A : (a) caractéristiques de transfert et (b) réseau $I_{DS} - V_{DS}$.

En ne retenant que les mesures en mode impulsionnel, nous constatons une légère baisse du courant de drain pour le point (0 V ; 10 V) par rapport au point de référence (0 V ; 0 V), accompagnée d'un élargissement de la zone du coude dans le réseau de sortie. Ces dégradations s'aggravent pour le point (0 V ; 15 V) et sont typiques d'un phénomène de *drain-lag*. Il est possible de quantifier ces effets de *drain-lag* en considérant la perte relative de puissance maximale en classe A associée au réseau (0 V ; V_{DSQ}). Avec cette méthode³⁷, nous obtenons une valeur de *drain-lag DL* de 7 % à $V_{DS} = 10$ V et 25 % à $V_{DS} = 15$ V, ce qui nous informe d'une manifestation prononcée des effets de pièges entre 10 V et 15 V.

IV.3.1.2. Structure I

Sur la Figure IV.22 sont tracées les caractéristiques de transfert à $V_{DS} = 5$ V et les réseaux de sortie en mode impulsionnel, pour un composant $2 \times 30 \mu\text{m}$ de la variante *normally-off* I-2nm-F60s. En régime impulsionnel, il nous est permis d'explorer les domaines de V_{GS} et de V_{DS} qui ne sont pas sondables en DC sous peine de dégradation du composant par effet électrothermique. C'est pourquoi nous avons pu ici faire varier V_{GS} et V_{DS} respectivement jusqu'à +7 V et 10 V alors que nous avons vu dans les parties précédentes qu'il fallait se limiter à +4-5 V de V_{GS} pour éviter un courant de grille trop important, et à 5 V de V_{DS} à cause des problèmes de tenue en tension des composants *normally-off* de la plaque I. Ces excursions

³⁷ La puissance maximale en classe A est déterminée sur le graphe $I_{DS} - V_{DS}$ par l'aire (ou plus exactement sa moitié) du triangle délimité par l'axe des abscisses, la droite $V_{DS} = V_{coudé}$ et la droite de charge passant par (0 A ; V_{DS0}) et ($I_{DS,coudé}$; $V_{coudé}$). Plutôt que d'essayer de chercher visuellement le coude, il est préférable de trouver le maximum des aires des triangles en faisant varier le « coude » sur chaque point de la courbe $I_{DS}(V_{DS})$.

en dehors du domaine DC, bien que cela n'ait pas de sens car le transistor ne peut y fonctionner, permettent de révéler le potentiel de notre technologie si l'on arrive à s'affranchir des obstacles mentionnés ci-dessus. Bien entendu, la tension V_{DSQ} du point de repos ne peut toutefois pas dépasser 5 V, et nous n'avons donc mesuré le composant qu'aux points (0 V ; 0 V) et (0 V ; 5 V) (le point (+4 V ; 0 V) sera discuté dans la partie suivante). Les courbes en régime DC sont là encore affichées, et nous pouvons tirer les mêmes conclusions que sur la plaque A, à savoir que les courants en mode impulsionnel sont plus importants que ceux en DC. La différence de courant n'est cependant pas aussi prononcée que précédemment : on passe en effet de 1,2 A/mm en DC à 1,5 A/mm à $V_{GS} = +4$ V, ce qui loin du doublement de courant que nous avons vu sur la plaque A. Nous pouvons également apercevoir l'amorce du phénomène de *kink* sur le réseau IV DC, avec une augmentation du courant de drain autour de $V_{DS} = 5$ V. Quant à la résistance R_{ON} , elle ne change que très légèrement, passant de 1,8 Ω .mm en DC à 1,7 Ω .mm en mode impulsionnel.

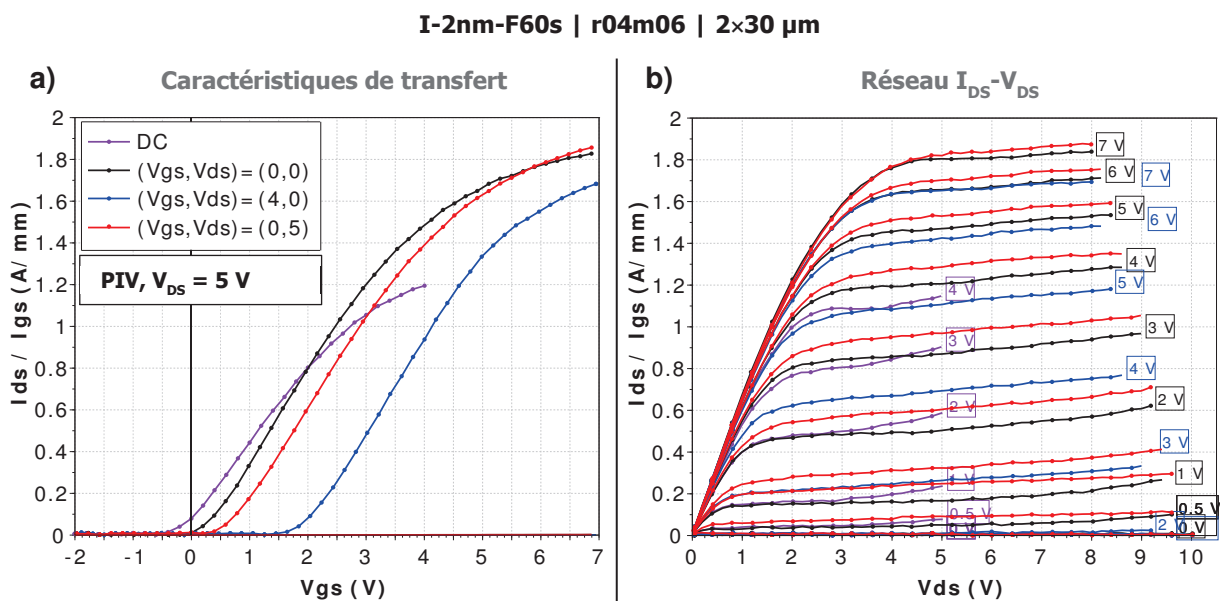


Figure IV.22 – Mesures I-V en mode impulsionnel sur un transistor *normally-off* de la plaque I : (a) caractéristiques de transfert et (b) réseaux de sortie $I_{DS} - V_{DS}$.

Les courbes aux 2 points de repos (0 V ; 0 V) et (0 V ; 5 V) sont assez proches, et la dernière présente parfois même un courant supérieur à la première. Cela est particulièrement visible sur les réseaux de sortie, pour lesquels le calcul du *drain-lag* selon la méthodologie précédente donnerait des valeurs négatives. La discordance entre les caractéristiques de transfert et les réseaux IV, en ce qui concerne le positionnement de chaque courbe, provient probablement de la séquence de mesure qui a pu induire des effets de charge.

IV.3.2. Mesures à différents points de repos

La Figure IV.23 (a) présente des caractéristiques de transfert en mode impulsionnel, mesurés à différents points de repos pour lesquels nous avons fait varier V_{GSQ} vers les valeurs positives. Le composant est identique à celui considéré dans la partie IV.3.1.1, à savoir une topologie $2 \times 250 \mu\text{m}$ de grille r04m06 de la variante A-2nm. Ces mesures visent à déterminer ce qu'il se passe lorsque le transistor est en mode d'opération. Nous constatons un décalage des caractéristiques de transfert vers la droite à mesure que V_{GSQ} augmente. Ce phénomène est aussi observé pour les autres composants à grille MOS de la plaque A et de la plaque I (voir

Figure IV.22), mais pas sur des composants à grille Schottky comme celui présenté sur la Figure IV.23 (b), fabriqué sur une épitaxie de type « A », ou les composants *normally-on* de la plaque I. Par ailleurs ce décalage de V_{th} nous rappelle les effets du traitement fluoré qui implante des charges négatives sous la grille. Nous faisons donc l'hypothèse suivante : le décalage de V_{th} est dû à la capture d'électrons par des pièges dans le volume de l'oxyde pour les tensions de grille positives. Cela est d'ailleurs compatible du point de vue du diagramme de bandes, puisque sous l'action d'une tension V_G positive, les bandes d'énergie « descendent », et les niveaux de pièges à l'intérieur de la bande interdite peuvent passer sous le niveau de Fermi et donc se remplir.

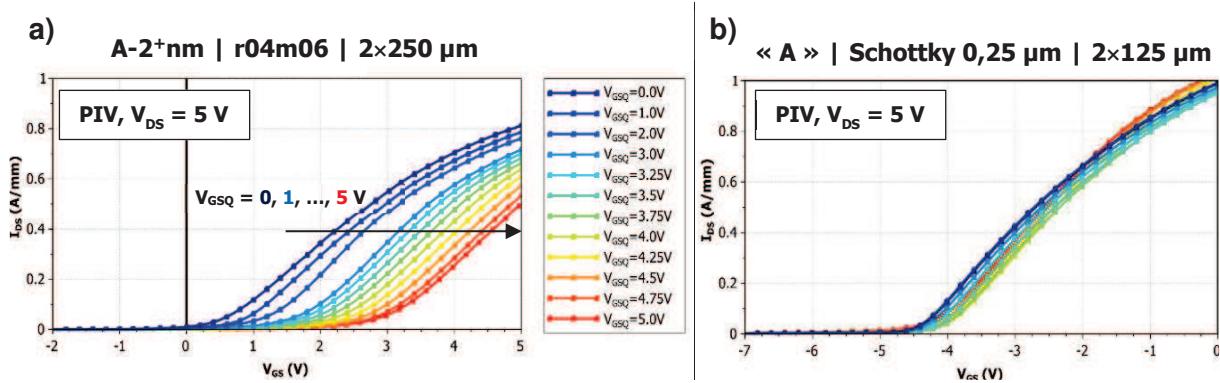


Figure IV.23 – Mesures I- V_{GS} en mode impulsif à différents points de repos, sur (a) un transistor avec grille MOS de la plaque A et (b) un transistor avec grille Schottky issue d'une plaque à l'épi-structure « A » équivalente.

Nous pouvons estimer la densité surfacique de charges piégées à partir du décalage de la tension de seuil ΔV_{th} par rapport à la première courbe à (0 V ; 0 V). Nous pouvons reprendre l'équation (IV.3) et l'adapter pour le cas d'une distribution ρ_{ox} uniformément répartie dans le volume de l'oxyde, de densité surfacique équivalente $\sigma_{ox} = t_{ox}\rho_{ox}$. Nous obtenons alors l'expression suivante :

$$\sigma_{ox} = \frac{2\Delta V_{th}\epsilon_{ox}}{et_{ox}} \quad (IV.5)$$

La Figure IV.24 (a) présente les ΔV_{th} (tension de seuil calculée au sens de la tangente) et les σ_{it} obtenus pour les différentes tensions V_{GSQ} , pour le composant précédent de la variante A-2+nm. Nous constatons alors une accélération du phénomène du décalage de V_{th} , qui pourrait être associé ① soit à une distribution énergétique des pièges $\sigma_{ox}(E)$ non uniforme au sein de la bande interdite, avec une densité plus importante proche de la bande de conduction, ② soit à une distribution spatiale des pièges non uniforme au sein de l'oxyde, avec une densité plus importante proche de la surface. La densité surfacique atteint $3,5 \times 10^{14} \text{ cm}^{-2}$ à $V_{GSQ} = +5V$. Si l'on refait l'exercice pour le composant Schottky, en Figure IV.24 (b), nous ne voyons qu'une légère évolution de V_{th} à partir de $V_{GSQ} = +3V$, avec un pic de densité surfacique de $0,5 \times 10^{14} \text{ cm}^{-2}$. Nous confirmons donc qu'il s'agit d'un phénomène spécifique à l'oxyde de grille.

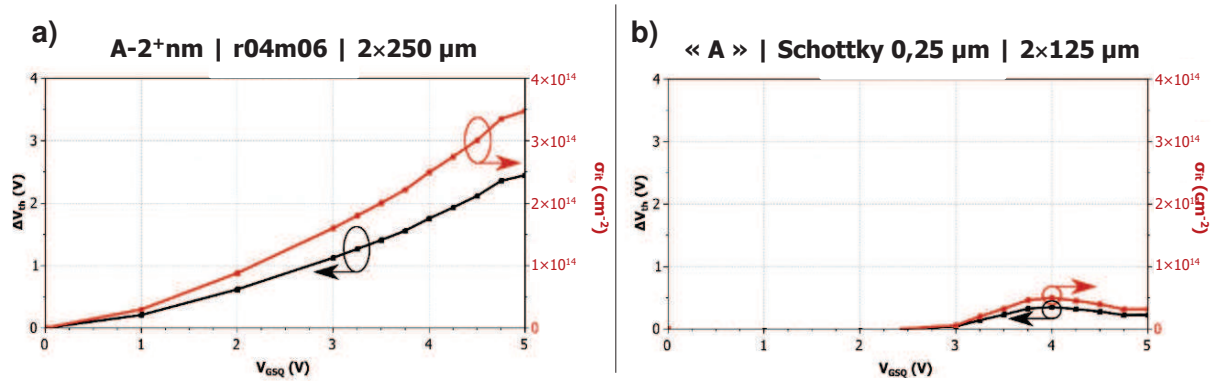


Figure IV.24 – Décalage de la tension de seuil et densité d'états d'interface associée, extrait des mesures ci-dessus.

Notons que ce décalage de V_{th} , ou de façon équivalente cette réduction de I_{DS} sous l'action de capture d'électrons dans l'oxyde, explique pourquoi les courants en régime DC sont inférieurs à ceux en régime impulsionnel. En effet à mesure que V_{GS} progresse dans le domaine positif, de plus en plus de charges sont capturées, ce qui donne à la courbe $I_{DS}(V_{GS})$ cet aspect « tassé ». En régime impulsionnel, les pièges n'ont pas le temps de se remplir, et nous en déduisons que le temps de capture de ces pièges est supérieur à la durée d'impulsion de 1 μs que nous avons ici utilisée. Il serait intéressant de répéter l'expérience avec des durées d'impulsion plus longues pour déterminer le temps de capture. Enfin ce phénomène est aussi à l'origine des hystérésis de capacité et de courant que nous avons rapportés dans les parties précédentes.

IV.4. Caractérisation hyperfréquence

IV.4.1. Paramètres S

IV.4.1.1. Structure A

IV.4.1.1.1. Par variante de *recess*

Les paramètres S petit-signal jusqu'à une fréquence de 70 GHz ont été acquis au cours des mesures automatiques dont la séquence a été décrite précédemment. Nous avons choisi 2 points de polarisation distincts, tous deux à $V_{DS} = 5$ V, avec des courants I_{DS} de 100 mA/mm et 200 mA/mm. La Figure IV.25 présente les gains en puissance et en courant extraits des mesures à $I_{DS} = 100$ mA/mm, pour des composants 2×250 μm à grille r04m06 des différentes variantes de *recess* de la plaque A. Les paramètres S ont été « dé-embeddés », c'est-à-dire que la contribution des lignes d'interconnexions ont été retirées, en connaissant la longueur de ces lignes ainsi que l'indice de réfraction du substrat les séparant. Cette Figure est l'occasion de se représenter graphiquement les fréquences f_T et f_{max} qui ont été introduites dans la partie I.2.3.1. Pour des raisons techniques, le VNA n'a pas pu monter au-delà de 20 GHz lors de certaines mesures, comme ici pour les transistors de la variante A-2+nm. Au cas où la courbe de gain de traverse pas l'axe unitaire de 0 dB, nous pouvons toutefois extrapoler les valeurs de f_T et f_{max} à partir d'une droite de -20 dB/décade.

Grille r04m06, topologie 2x250 µm

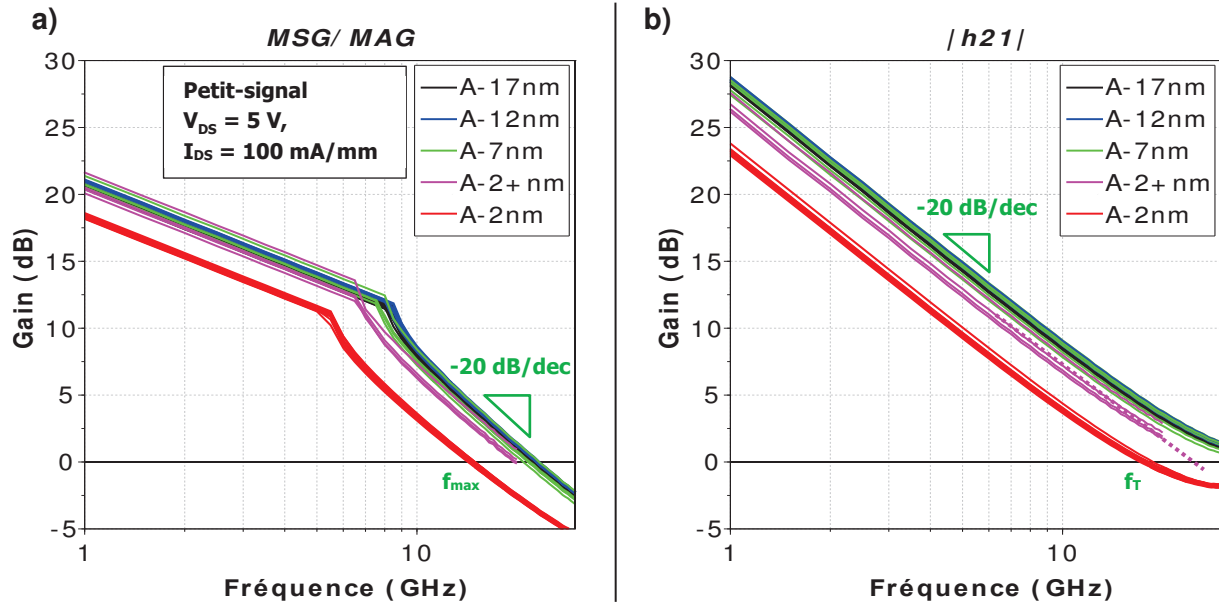


Figure IV.25 – Mesures RF petit-signal pour les différentes variantes de *recess* de la plaque A : (a) gain transductique (MSG/MAG) et (b) gain en courant.

Les valeurs de f_T et f_{max} , pour les 2 points de polarisation, sont reportés sur la Figure IV.26 pour chacune des variantes de *recess* de la plaque A. Remarquons d'abord que le point de polarisation a très peu d'effet sur ces paramètres. Nous ne ferons donc pas la distinction entre les deux. Conformément à la Figure ci-dessus, nous observons des fréquences f_T et f_{max} assez similaires pour les 4 premières variantes, avec des valeurs autour de 45 GHz et 22 GHz respectivement. f_T est probablement surestimée du fait de la courbure du gain en courant vers les fréquences élevées visible sur la Figure IV.25.

Grille r04m06, topologie 2x250 µm

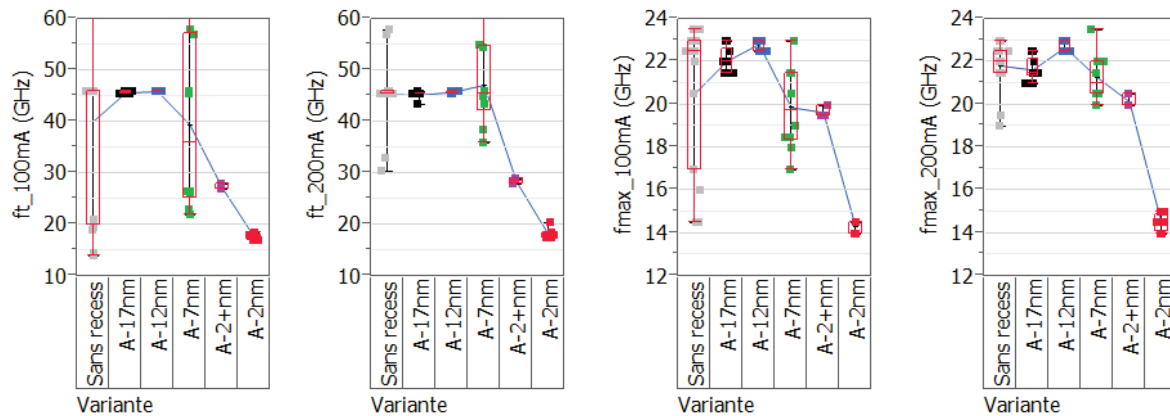


Figure IV.26 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d'oscillation – pour les différentes variantes de *recess* de la plaque A.

Pour les variantes *normally-off* A-2+nm et A-2nm, f_T chute à 28 GHz et 18 GHz respectivement, ce qui peut être vu comme une conséquence directe de l'amointrissement de la transconductance. De manière analogue, f_{max} descend pour ces variantes à 20 GHz et 14 GHz.

IV.4.1.1.2. Par variante de grille

La comparaison de f_T et f_{max} pour les différentes configurations de grille s'avère plus intéressante. La Figure IV.27 expose leurs valeurs, extraites seulement des mesures à $I_{DS} = 100$ mA/mm, par variante de grille, sur la variante de *recess* A-2nm. Une seule topologie de transistor, 2×50 μm , est ici retenue pour éviter les variations dues aux différents développements. Nous constatons une diminution régulière de f_T et f_{max} à mesure que la longueur de métallisation croît. Ce phénomène est dû aux capacités de bord induites par le profil en T de la grille, dont les effets sur la capacité de grille C_G vont en s'accroissant avec la longueur de métallisation, i.e. la longueur de « l'aile ». En sachant que $f_T \propto 1/C_G$, nous calculons alors que la variante r04m06 a une capacité C_G augmentée de 23 % par rapport à celle de la variante r04m04 pour laquelle le métal et le *recess* de grille sont alignés. La variante r04m03, avec la grille légèrement à l'intérieur du *recess*, possède une C_G diminuée de 10 %. Nous soulignons donc ici l'importance du choix de la configuration de grille dans le cas où le transistor est amené à être utilisé pour des applications de hautes fréquences. Compte tenu des performances DC très similaires des variantes r04m04, r04m05 et r04m06, il serait peut-être plus judicieux de choisir la variante r04m04 comme référence, mais l'on encourt alors un risque lors de l'alignement des lithographies électroniques de *recess* et de grille *normally-off*.

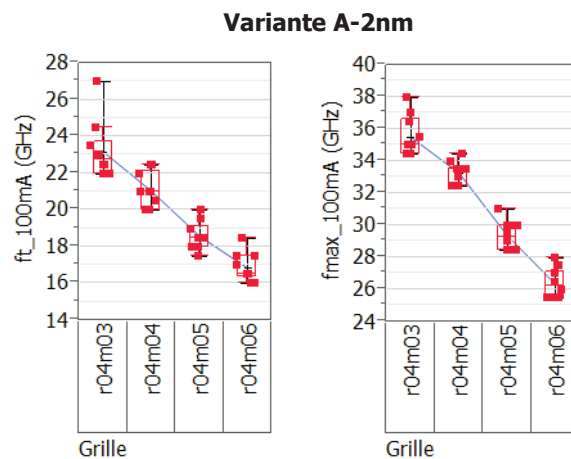


Figure IV.27 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d'oscillation – pour les différentes variantes de grille de la plaque A.

IV.4.1.2. Structure I

IV.4.1.2.1. Par variante technologique

Les paramètres f_T et f_{max} pour des transistors à grille r04m06 de différentes variantes technologiques de la plaque I sont présentés dans la Figure IV.28. Les conclusions sont ici moins évidentes, mais nous pouvons déclarer que l'application d'un plus long traitement fluoré a un impact négatif sur les performances à haute fréquence, comme le montre la diminution de f_T et f_{max} d'environ 7,5 GHz entre les variantes I-8nm-F30s et I-8nm-60s, ou entre les variantes I-2nm-F30s et I-2nm-F60s. Une baisse de la transconductance g_{mmax} , quoique d'amplitude plus faible (voir Figure IV.19), pourrait expliquer ce phénomène. Nous constatons par ailleurs qu'il y a des différences plus prononcées entre les mesures aux 2 points de polarisation que ce que nous avons pu observer sur la plaque A. Les fréquences f_T et f_{max} , et donc les gains, sont plus élevés à $I_{DS} = 200$ mA/mm qu'à 100 mA/mm. Nous ne connaissons

pas la raison de ces différences. Pour la variante *normally-off* I-nm-F60s, les valeurs de f_T et de f_{max} à $I_{DS} = 200$ mA/mm sont d'environ 35 GHz et 40 GHz.

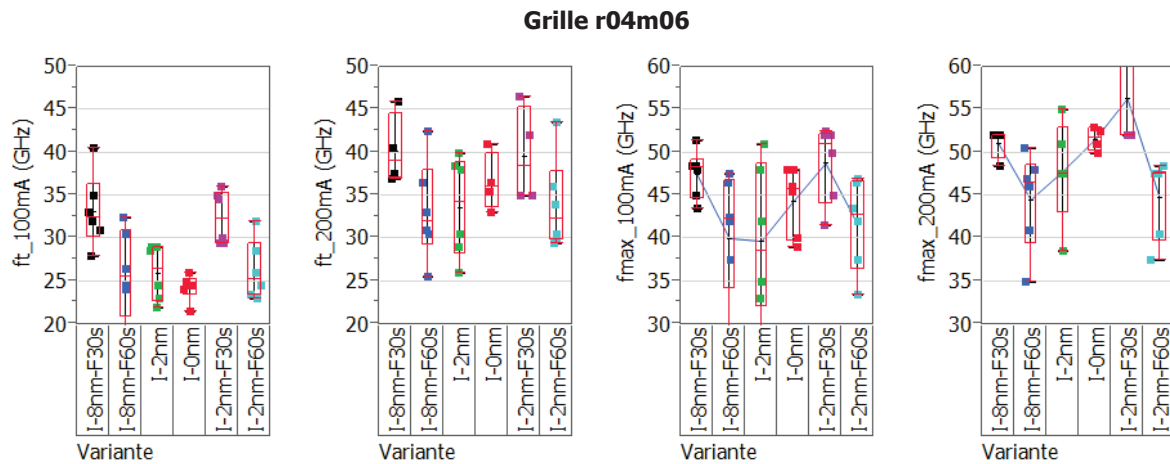


Figure IV.28 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d'oscillation – pour les différentes variantes technologiques de la plaque I.

IV.4.1.2.2. Par variante de grille

La Figure IV.29 présente les f_T et f_{max} pour les différentes variantes de grilles de variante technologique I-2nm-F60s. Nous observons une diminution de ces paramètres pour les grilles de plus en plus longues, autant sur les variantes *normally-off* r04m06, r07m09 et r10m12 que sur les variantes *normally-on* non-g04, non-g07 et non-g10. Cela s'explique facilement comme la conséquence de la réduction de la longueur de grille, puisque $f_T \propto 1/C_G \propto 1/L_G$. D'ailleurs la diminution de f_T et f_{max} est plus prononcée entre 400 nm et 700 nm qu'entre 700 nm et 1 μ m de longueur de grille, ce qui est fidèle à la relation inverse entre f_T et L_G . Les valeurs de f_T pour une grille *normally-off* de longueur donnée sont à peu près identiques à celles de leur homologue *normally-on*. Cela est intrigant car pour les grilles *normally-off*, ① l'amincissement de la barrière sous la grille avec le *recess*, ② la présence d'un oxyde de grille à haute constante diélectrique, et ③ le profil en T induisant des capacités de bord, devraient contribuer à une forte hausse de C_G et donc une baisse de f_T . Notons cependant que f_{max} est effectivement inférieure pour les grilles *normally-off* que pour les grilles *normally-on*.

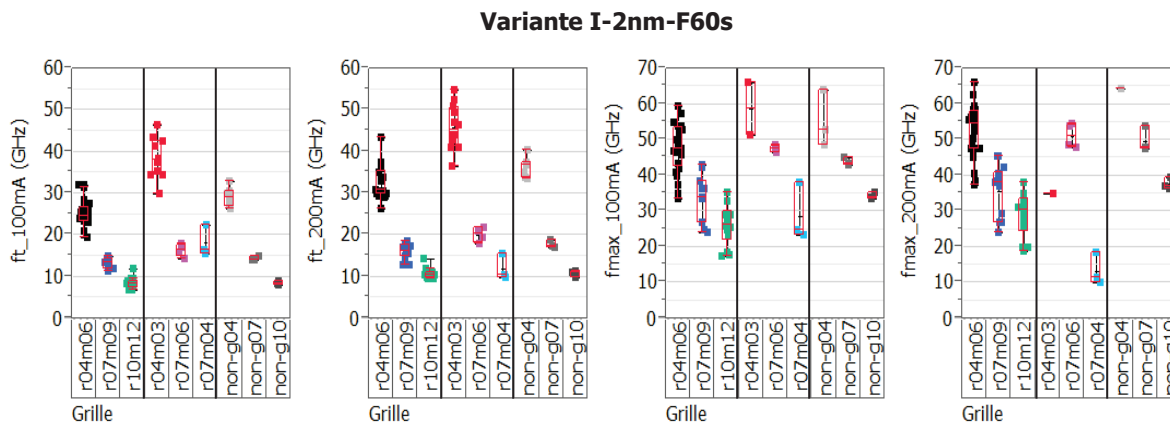


Figure IV.29 – Paramètres RF petit-signal – fréquence de coupure et fréquence maximale d'oscillation – pour les différentes variantes de grille de la plaque I.

En examinant les variantes de grille où le métal est à l'intérieur du *recess*, nous remarquons une nouvelle fois les effets de bord puisque les f_T et f_{max} sont plus élevées pour les variantes r04m03 et r07m06 que pour les variantes r04m06 et r07m09. Pour la variante r07m04, nous constatons une dépendance avec le courant de drain du point de polarisation. En effet, alors que f_T et f_{max} augmentent entre 100 mA/mm et 200 mA/mm pour toutes les autres variantes de grille, l'évolution est inversée pour cette variante r07m04. Cet effet indésirable pourrait handicaper le choix de cette configuration de grille pour des applications à haute fréquence.

IV.4.2. Paramètres S à basse fréquence pour extraction des paramètres de modèle

En guise de premier pas vers l'élaboration d'un modèle électrique, nous avons procédé à des mesures de paramètres S à basse fréquence sur des transistors de la variante A-2⁺nm. Il s'agit d'une méthode simple et rapide pour extraire les 8 paramètres intrinsèques du modèle petit-signal présenté en Figure I.28. Le domaine des basses fréquences permet de s'affranchir des effets des éléments extrinsèques. Les paramètres intrinsèques peuvent alors être calculés à partir des paramètres d'admittance, de matrice [Y], eux-mêmes dérivés des paramètres S [154]. Leurs expressions sont les suivantes [57] :

$$C_{GS} = \frac{\text{imag}(Y_{11} + Y_{12})}{\omega} \quad (\text{IV.6})$$

$$C_{GD} = -\frac{\text{imag}(Y_{12})}{\omega} \quad (\text{IV.7})$$

$$C_{DS} = \frac{\text{imag}(Y_{12} + Y_{22})}{\omega} \quad (\text{IV.8})$$

$$g_m = \text{real}(Y_{21}) \quad (\text{IV.9})$$

$$R_{DS} = G_d = \text{real}(Y_{12} + Y_{22}) \quad (\text{IV.10})$$

$$R_{GD} = -\frac{\text{real}(Y_{12})}{C_{GD}^2 \omega^2} \quad (\text{IV.11})$$

$$R_i = \frac{\text{real}(Y_{11} + Y_{12})}{C_{GS}^2 \omega^2} \quad (\text{IV.12})$$

$$\tau = -\frac{1}{\omega} \arctan\left(\frac{B + AR_i C_{GS} \omega}{A - BR_i C_{GS} \omega}\right) \quad (\text{IV.13})$$

avec $A = \text{real}(Y_{21} - Y_{12})$ et $B = \text{imag}(Y_{21} - Y_{12})$.

Les paramètres S ont été mesurés à l'aide d'un VNA Keysight E5061B entre 1 MHz et 3 GHz, après calibrage SOLT. La Figure IV.30 trace les paramètres intrinsèques en fonction de la fréquence, obtenus sur un transistor 2×250 μm à grille r04m06 *normally-off*. Différents points de polarisation sont affichés, à $I_{DS} = 300$ mA/mm constant et V_{DS} de 3 V à 15 V par pas de 2 V. Nous vérifions d'abord que les paramètres sont bien indépendants de la fréquence, ce qui nous conforte dans notre approche simplifiée.

Pour la plupart des paramètres, nous observons une évolution rapide entre $V_{DS} = 3$ V et 7 V suivie d'une convergence. Cela coïncide avec les valeurs de V_{DS} pour lequel nous avons remarqué précédemment le phénomène de *kink*. Le paramètre g_m atteint un maximum de 310 mS/mm en $V_{DS} = 5$ V avant de diminuer en s'accroissant. Cela nous indique que la tension d'utilisation optimale pour des applications de hautes fréquences se situe vers 5 V. Les valeurs des 5 premiers paramètres sont compatibles avec celles obtenues par une méthode d'extraction plus avancée sur des HEMTs similaires du III-V Lab. Enfin, les paramètres R_{GD} ,

R_i et τ sont plus sensibles à la fréquence, avec parfois des excursions dans le domaine négatif, et il est difficile d'en tirer une valeur unique.

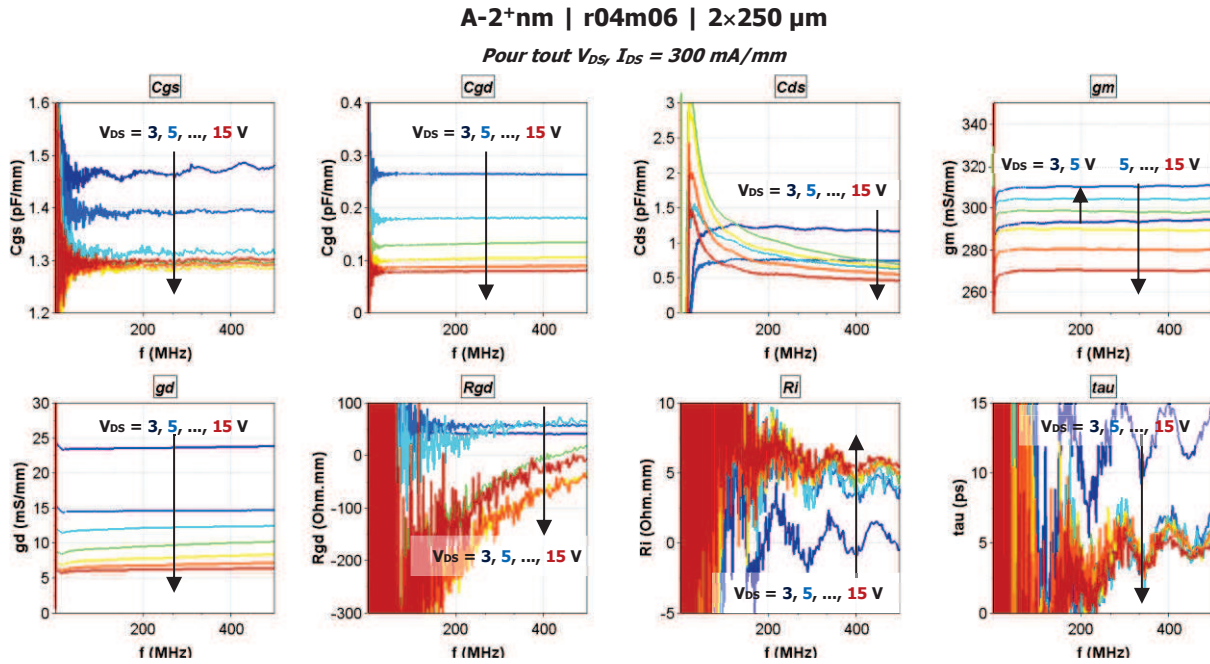


Figure IV.30 – Paramètres du schéma électrique petit-signal, extrait de mesures de paramètres S à faible fréquence sur un transistor *normally-off* de la plaque A, pour différentes tensions de drain.

Nous pouvons brièvement évoquer le paramètre extrinsèque R_G . Des mesures DC de la résistance de grille sur des transistors PCM avec des grilles r04m06 de 100 μm de large donnent une valeur de 18,0 Ω pour la plaque A et 12,6 Ω pour la plaque I, indépendamment de la variante technologique considérée. Cette différence peut s'expliquer par la section de grille pour chacune des 2 structures, qui a été visualisée par MET dans chapitre précédent. Pour rappel, la longueur de métallisation est plus élevée sur la plaque I que sur la plaque A, résultant alors en une section plus large et donc une R_G plus faible. Par ailleurs les mêmes mesures ont montré une résistance de grille de 46,1 Ω pour les grilles r04m03 de la plaque A.

IV.4.3. Mesures de puissance *load-pull*

Des mesures de puissance *load-pull* à 3 GHz CW ont été effectuées sur une sélection de composants *normally-off* de la variante A2⁺nm, en profitant d'un créneau durant lequel le banc était calibré pour cette fréquence relativement basse. Bien que notre technologie *normally-off* n'ait pas vocation à être utilisé pour des applications de puissance, ces mesures nous permettent d'évaluer l'impact du process *normally-off* en comparant avec les résultats obtenus par le III-V Lab sur des épi-structures similaires. Les mesures ont été faites sur des transistors 2×250 μm à grille r04m06 et r04m03, à plusieurs points de polarisation de $V_{DS} = 5 \text{ V}$ à 22,5 V.

La Figure IV.31 présente les paramètres de puissance usuels – la puissance de sortie P_{out} , le gain en puissance G_p et le rendement PAE – ainsi que le courant DC de drain I_d et de grille I_g mesurés durant le balayage de la puissance d'entrée P_{in} , pour 2 impédances de sortie maximisant soit P_{out} (« $\max(P_{out})$ ») soit PAE (« $\max(PAE)$ »). La grille considérée est la variante r04m06, et le point de polarisation est $I_{DS} = 200 \text{ mA/mm}$, $V_{DS} = 20 \text{ V}$. Nous constatons d'entrée que les courbes pour ces 2 configurations sont quasiment identiques, même si le coefficient de réflexion est différent : $0,44 \angle 18,9^\circ$ pour $\max(P_{out})$ et $0,55 \angle 14,4^\circ$ pour $\max(PAE)$. Sur la plage de P_{in} de -12 dBm à 16 dBm, la PAE n'atteint pas son maximum, mais

le transistor entre très tôt en compression, dès -8 dBm, pour finir à 8 dB de compression à 16 dBm de P_{in} . La P_{out} atteint 29,5 dBm, soit 0,89 W ou encore 1,8 W/mm en compression maximale, avec une PAE associée de 44 %. Sur les courbes de droite, nous voyons que le I_g passe par un maximum positif à environ 10 dBm de P_{in} qui correspond donc à une polarisation de la grille en direct. Les différences entre les 2 configurations de charges de sortie sont ici plus visibles, mais les valeurs de I_g restent en dessous de 5 $\mu\text{A}/\text{mm}$ en valeur absolue sur tout le balayage de P_{in} , ce qui est très satisfaisant.

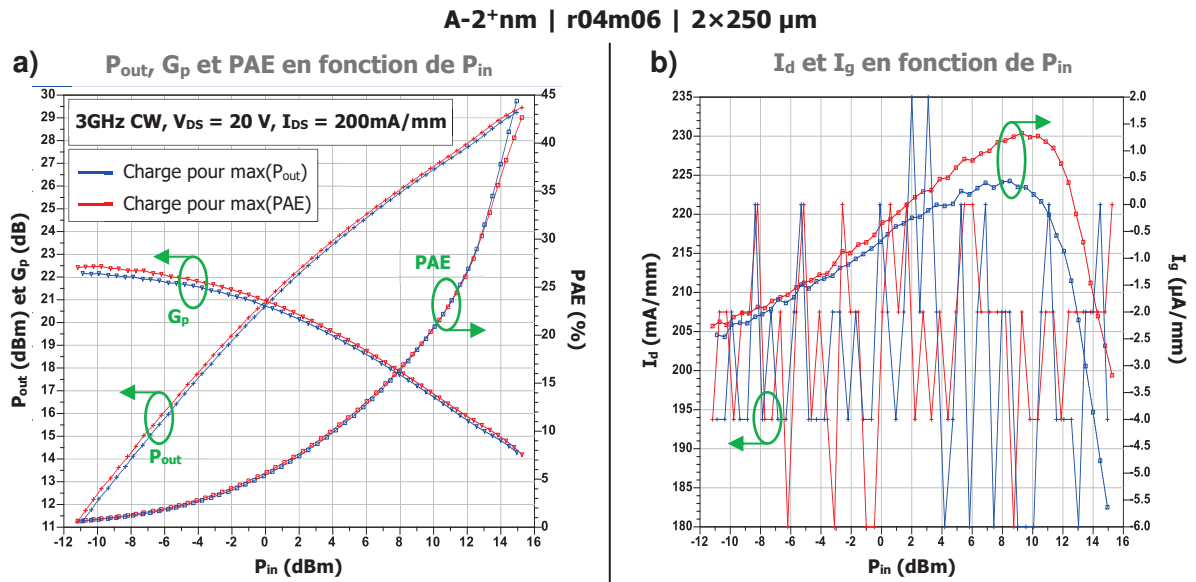


Figure IV.31 – Mesures *Load-pull* à 3 GHz CW sur un transistor *normally-off* de la plaque A : (a) puissance de sortie, PAE et gain en puissance et (b) courants de drain et de grille, en fonction de la puissance d'entrée.

En comparant ces résultats avec ceux exposés en Figure I.15 pour un HEMT hyperfréquence du III-V Lab sur une épi-structure similaire, nous remarquons une forte chute de P_{out} sur notre composant *normally-off*, qui s'explique par un manque de courant de drain. En effet nous disposons ici d'un courant de drain maximum d'environ 400 mA/mm, à comparer aux valeurs supérieures à 1 A/mm sur les transistors hyperfréquences *normally-on*. Ce faible courant de drain explique par ailleurs pourquoi la compression est atteinte si rapidement.

La Figure IV.32 présente les valeurs de P_{out} et PAE obtenues pour tous les transistors caractérisés, à tous les points de polarisation de notre campagne de mesures *load-pull*. Les différents points correspondent à différents niveaux de compression de 0 dB à 8 dB par pas de 1 dB. Tous les composants n'ont pas été caractérisés de la même façon : nous nous sommes concentrés sur les V_{DS} faibles sur le composant à grille r04m03, tandis que les 2 transistors à grille nous ont servi pour les plus forts V_{DS} . L'ensemble des mesures nous donne néanmoins un aperçu global des performances en puissance de notre technologie *normally-off* A-2nm. La P_{out} croît régulièrement lorsque l'on augmente V_{DS} , et atteint 1,8 W/mm à 22,5 V. La progression est cependant ralentie après 15 V de V_{DS} . La PAE suit à peu près l'évolution inverse, partant de 55 % pour finir à environ 40 %. Il faut cependant se rappeler que la valeur maximale de PAE n'est ici pas atteinte durant le balayage de P_{in} . La P_{out} et la PAE dépendent aussi de I_{DS} , la première croît et la deuxième décroît lorsque l'on augmente I_{DS} . Il s'agit d'effets connus lorsque l'on passe d'une classe AB profonde à une classe A ou AB peu profonde. En comparant les différents composants, nous remarquons que le transistor à grille r04m03

présente moins de puissance que celui à grille r04m06, ce qui est cohérent avec les différences dans leur courant de drain maximal (150 mA/mm contre 200 mA/mm pour la variante A-2nm, cf. Figure IV.12).

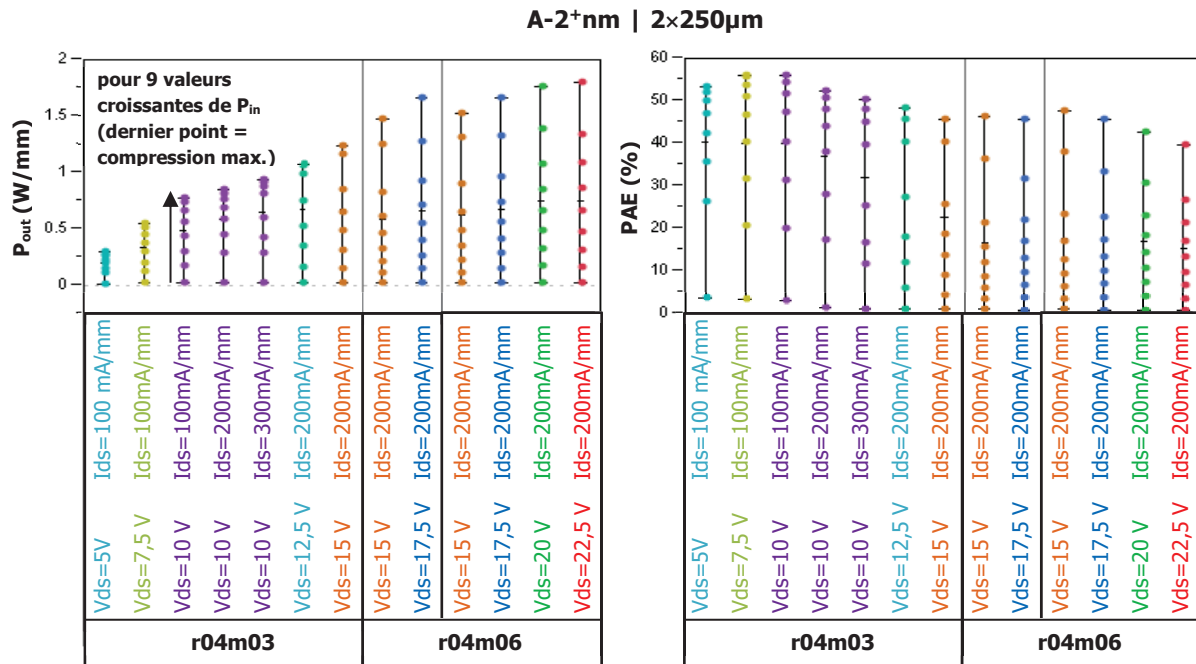


Figure IV.32 – Paramètres de puissance issus de mesures *Load-pull* – puissance de sortie et PAE – pour différents transistors *normally-off* de la plaque A, à différents points de polarisation.

Lors de toutes ces mesures, les courants de grille sont restés en dessous de 10 $\mu\text{A}/\text{mm}$ en valeur absolue sans se dégrader, même pour un fort V_{DS} de 22,5 V, ce qui démontre le bénéfice apporté par l'oxyde de grille. De surcroît, l'excursion RF de V_{DS} s'étend bien au-delà du point de polarisation, et l'on peut sans doute considérer que nos composants sont robustes jusqu'au moins 2 fois le point de polarisation V_{DS} , soit 45 V. En ce qui concerne les courants de drain, nous avons observé qu'il diminue progressivement lorsque V_{DS} croît, ce qui peut être la conséquence d'effets de pièges associés au *drain-lag* comme nous l'avons vu dans la partie IV.3.1.1, ou encore d'effets thermiques. Enfin nous pouvons mentionner que pour les 2 composants à grille r04m06, les coefficients de réflexion optimaux sont très proches, par exemple $0,45 \angle 32,9^\circ$ et $0,45 \angle 34,7^\circ$ pour $\max(PAE)$ à $V_{DS} = 15 \text{ V}$, ce qui nous rassure dans la reproductibilité de notre process technologique.

IV.5. Caractérisation avancée des pièges

IV.5.1. Paramètres S BF, dispersion de l'admittance de sortie

Une méthode de caractérisation de pièges basée sur des mesures de paramètres S à basse fréquence a été développée au sein du laboratoire XLIM. Elle repose sur la dispersion du pic d'admittance de sortie (ou plus précisément sa partie imaginaire) dans le domaine des basses fréquences. Des mesures à différentes températures permettent ensuite d'extraire une signature de piège. Pour plus de détails sur le banc de mesure et la méthodologie employée, le lecteur pourra se référer à la thèse de Potier [155].

Nous avons utilisé cette technique sur quelques composants de la plaque A, sur une plage de température de chuck thermique de 25 °C à 150 °C et pour différents points de polarisation³⁸. La Figure IV.33 présente les admittances de sortie en fonction de la fréquence pour différentes températures, pour des transistors à grille r04m06 des variantes A-2nm et A-17nm. Le point de polarisation de $I_{DS} = 75$ mA/mm et $V_{DS} = 10$ V. Sur l'allure des courbes, nous distinguons pour les 2 composants un pic dans le domaine 10^2 – 10^5 Hz qui se déplace vers les hautes fréquences avec la température. Ce lobe est bien la signature d'un niveau de piège qui semble être présent pour les 2 composants. Il existe un 2^e lobe plus difficile à discerner, centré sur environ 30 Hz, qui est immobile au regard de la température, et dont la forme est parfois convexe, parfois concave.

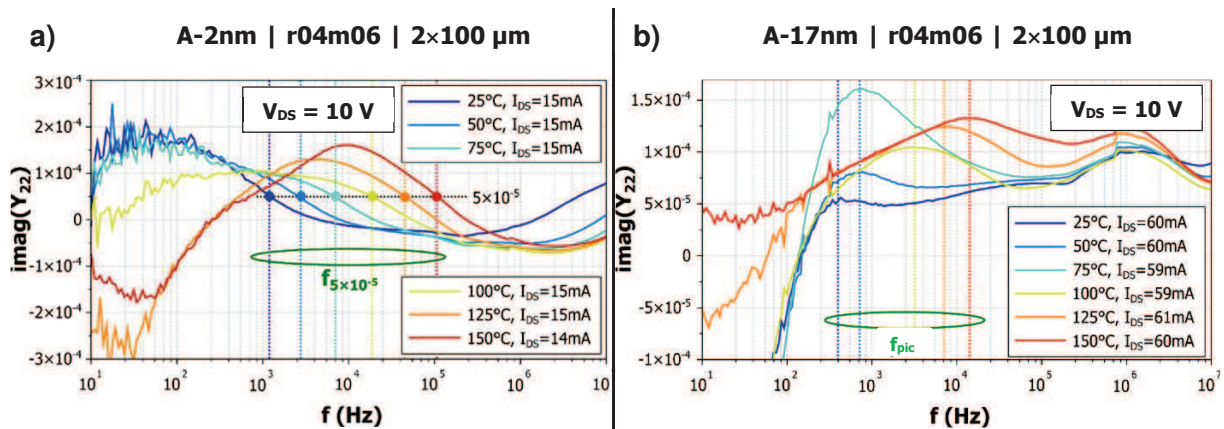


Figure IV.33 – Dispersion de l'admittance de sortie à différentes températures, pour des transistors (a) *normally-off* et (b) *normally-on* de la plaque A.

Sur la Figure IV.34, nous avons tracé les mêmes courbes mesurées sur un composant *normally-on* à grille Schottky fabriqué sur une épi-structure de type « A ». Cette fois-ci, nous n'observons pas le premier pic « mobile », bien que le deuxième pic « immobile » soit présent. Nous en déduisons que le premier est la signature d'un piège caractéristique de nos composants « recessés » à grille MOS, alors que le deuxième est dû à un piège relatif à la configuration de la mesure ou à l'épi-structure.

³⁸ Pour un point de polarisation (V_{DS} ; I_{DS}) donné, nous devons faire attention à adapter V_{GS} à chaque température pour retrouver le niveau demandé de I_{DS} , car le courant de drain a tendance à baisser sous l'effet de la chaleur. Si l'on oublie ce point, alors la puissance dissipée est différente à chaque température, ainsi que la configuration des pièges, et l'analyse spectroscopique est compromise.

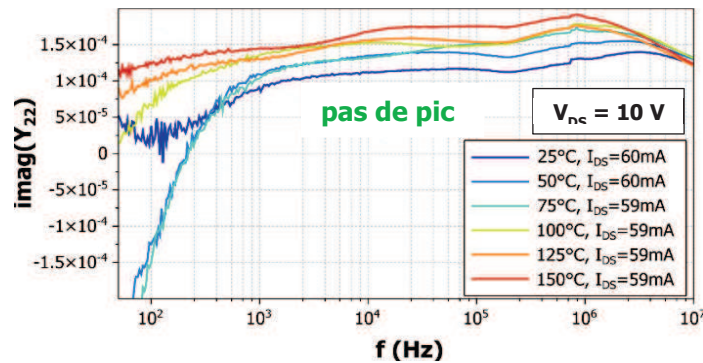
Structure « A » sans recess | Grille Schottky 0,25 μm | 2x50 μm 

Figure IV.34 – Dispersion de l'admittance de sortie à différentes températures, pour un transistor avec grille Schottky sur une epi-structure « A ».

Nous pouvons voir l'influence et l'importance de la tension de polarisation V_{DS} sur la Figure IV.35, où sont exposées les courbes mesurées sur le même composant que celui de la Figure IV.33 (a) à une tension de 15 V au lieu de 10 V. Nous constatons alors la disparition du pic « mobile », et en fait une quasi-superposition des lobes pour toutes les températures. L'effet de Poole-Frenkel à forts champs électriques, observé dans d'autres travaux sous la forme d'un décalage des lobes vers la droite, n'est ici pas détecté.

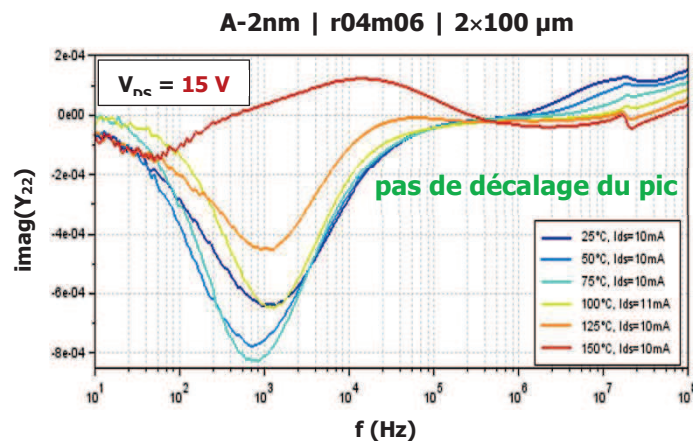


Figure IV.35 – Dispersion de l'admittance de sortie à différentes températures, pour un transistor *normally-off* de la plaque A à une tension de drain plus élevée par rapport à celle de la Figure IV.33.

En reconsidérant la Figure IV.33, nous pouvons extraire des constantes de temps pour chaque courbe afin de tracer un graphe d'Arrhenius. Usuellement la position du pic est prise comme mesure de la constante de temps. Si cela est possible pour le composant de la variante A-17nm, la lecture de cette position est plus compliquée pour le transistor de la variante A-2nm pour lequel le premier pic est perturbé par le deuxième pour les températures les plus basses. Pour pallier cette difficulté, nous avons considéré pour ce dernier composant les fréquences associées une valeur arbitraire de l'admittance de sortie, à savoir ici 5×10^{-5} S. La Figure IV.36 présente le graphe d'Arrhenius résultant, où l'on relève une pente similaire pour les 2 pièges, et donc des énergies d'activation proches, de valeur 0,34 eV et 0,30 eV pour les variantes A-2nm et A-17nm respectivement. Cette gamme d'énergie d'activation est associée dans la littérature à des pièges à la surface de la barrière AlGaIn [156]. Cette identification doit être cependant prise avec précaution car il faut se rappeler que ce piège n'a pas été décelé sur le

composant à grille Schottky, pourtant fabriqué sur une épi-structure « A ». Il est toutefois possible que l'effet de ces pièges soit révélé ou amplifié sous l'action de la gravure du *recess* de grille ou du dépôt de l'oxyde de grille.

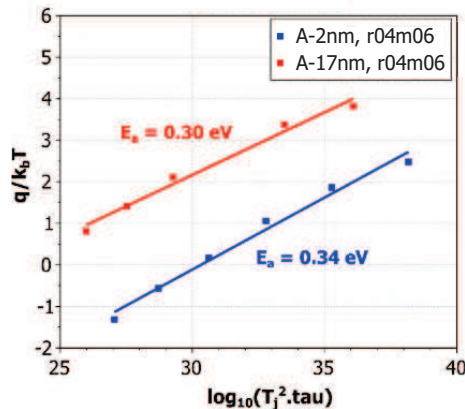
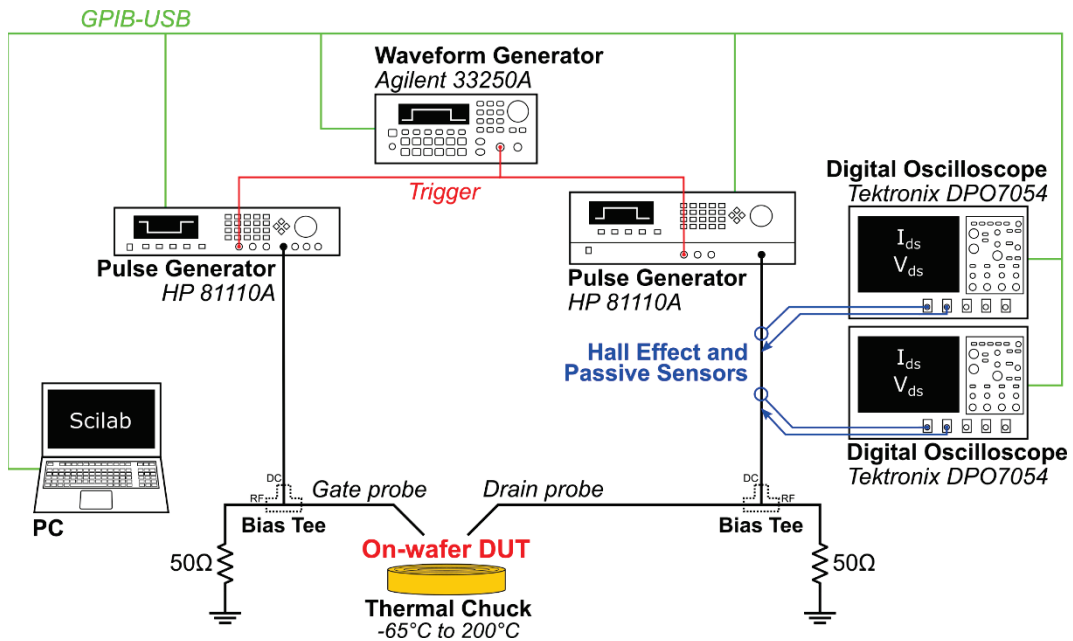


Figure IV.36 – Graphe d'Arrhenius associé à la dispersion de l'admittance de sortie, à partir des mesures ci-dessus.

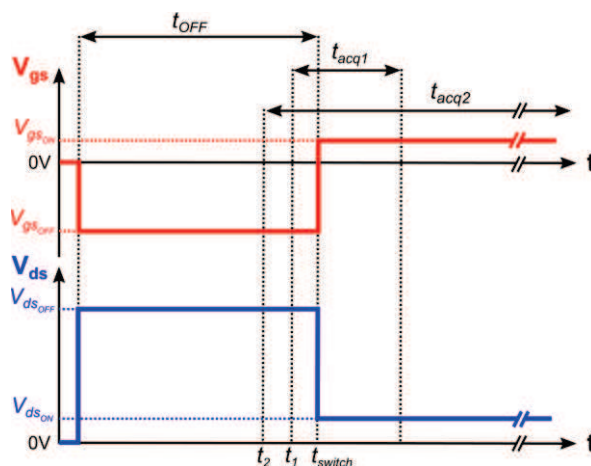
IV.5.2. Transitoire de la résistance R_{ON}

Afin d'évaluer notre technologie *normally-on / normally-off* au regard de ses potentielles futures applications, nous avons voulu soumettre nos composants à un mode de commutation, et mesurer alors le régime transitoire de la résistance R_{ON} . Comme nous l'avons vu, R_{ON} est un paramètre essentiel lorsqu'il s'agit de concevoir des circuits de commutation performants. Pour cela nous avons monté un banc de mesure de transitoire de courant et de tension, dont le synoptique est présenté sur la Figure IV.37. Les composantes principales de ce banc sont : ① 2 générateurs d'impulsions HP 81110A, délivrant les polarisations de grille et de drain, et ② 2 oscilloscopes Tektronix DPO7054 munis de sondes de tension et de courant (sondes à effet Hall). L'ensemble est synchronisé par l'intermédiaire d'un générateur de formes d'onde Agilent 33250A et piloté par ordinateur (logiciel Scilab) avec le protocole GPIB. Pour les générateurs d'impulsions, nous avons mesuré un temps de montée et de descente de 50 ns. Chaque oscilloscope acquiert durant une fenêtre de temps différente s'étalant sur 6 décades, le premier entre 10^{-8} s et 10^{-2} s, le deuxième entre 10^{-4} s et 10^2 s. La fusion des 2 acquisitions permet alors d'obtenir un transitoire composite sur 10 décades. Un traitement des données est nécessaire pour alléger les fichiers et raccourcir les temps de calcul, sachant que chaque fichier de données brutes contient plusieurs millions de points de mesure linéairement répartis dans le temps. Le composant à mesurer est disposé sur un chuck thermique dont la température peut être variée de -65 °C à 200 °C.

Ce travail sur le transitoire de R_{ON} , parfois qualifié de dynamique pour se démarquer du R_{ON} statique, s'inspire largement d'autres expériences rapportées dans la littérature, notamment par l'équipe de Del Alamo [157], [158]. Cette méthodologie s'inscrit aussi dans la famille des techniques de DLTS, et est notamment proche du I-DLTS ou DLTS en courant (pour cette dernière, le courant est maintenu constant par une boucle d'asservissement).


 Figure IV.37 – Schéma descriptif du banc de mesure du transitoire de R_{on} .

Le chronogramme des impulsions de tension présentées au composant sont schématisées sur la Figure IV.38. Après une durée t_{OFF} durant laquelle le composant est maintenu à l'état OFF, nous faisons basculer le transistor à un état ON. Le premier oscilloscope est déclenché en amont de ce basculement pour capturer cet évènement et être sûr de ne pas rater le début du transitoire. Il peut être utile de retourner à la Figure II.21 où nous avons exposé le principe du fonctionnement en régime de commutation. Au cours de notre campagne de mesures, nous avons fait varier t_{OFF} et $V_{DS,OFF}$ afin de déterminer si le chargement des pièges durant l'état OFF était dépendant de ces paramètres. Nous avons pris une tension $V_{DS,ON}$ de +1 V pour se positionner avant le coude et être certain de mesurer la résistance R_{ON} . Les tensions $V_{GS,OFF}$ et $V_{GS,ON}$ ont été choisies en fonction du composant considéré, par exemple 0 V et +4 V pour un transistor *normally-off*.


 Figure IV.38 – Chronogramme des impulsions générées pour la polarisation du transistor lors de la mesure du transitoire de R_{ON} .

La Figure IV.39 présente les transitoires de R_{ON} obtenus sur un composant à grille r04m06 de la variante A-17nm, pour 6 températures régulièrement espacées comprises entre 25 °C et 150 °C. Les paramètres de l'état OFF t_{OFF} et $V_{DS,OFF}$ sont fixées à 20 s et 15 V. Comme nous

pouvons nous y attendre, le R_{ON} augmente avec la température puisque le courant de drain diminue. Pour une meilleure comparaison de ces courbes à différentes températures, il peut être utile de traiter de valeurs normalisées, c'est-à-dire de diviser chaque courbe par la valeur initiale de R_{ON} pour une température donnée. Nous pourrions ainsi directement lire l'évolution de R_{ON} sans se soucier des différences de niveau, qui ne sont dues qu'aux effets thermiques (chute de mobilité dans le canal) et non pas aux pièges. En raison des oscillations qui se produisent à des temps compris entre 10^{-8} s et 10^{-6} s, nous avons choisi un temps initial de référence de 1 μ s pour la normalisation.

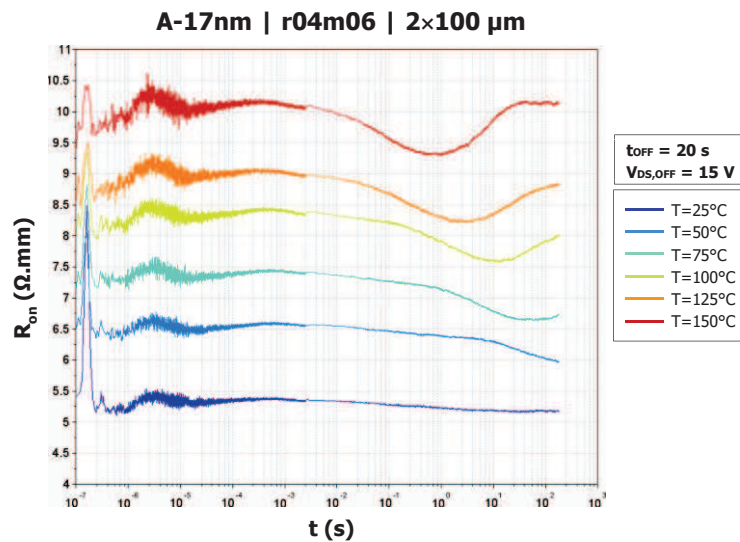


Figure IV.39 – Mesure du transitoire de R_{ON} à différentes températures, pour un transistor *normally-on* de la plaque A.

Les transitoires de R_{ON} normalisés sont présentés sur la Figure IV.40 pour des composants à grille r04m06 des variantes A-2nm (*normally-off*) et A-17nm (*normally-on*). L'allure des courbes est radicalement différente entre les 2 transistors : R_{ON} augmente pour le premier, alors qu'il diminue (du moins au début) pour le second. Le comportement de R_{ON} pour le premier transistor *normally-on* pourrait être dû à la polarisation de grille à l'état ON $V_{GS,ON}$ positive, qui engendrait la capture de charges dans l'oxyde et la diminution du courant de drain, comme nous l'avons vu. Cependant cela n'explique pas le renversement de concavité du transitoire qui a lieu pour des températures supérieures à 100 °C. Notons que le transistor n'est pas foncièrement dégradé après la série de mesures jusqu'à 150 °C, comme le montre la courbe correspondant à la remesure à 25 °C, qui est assez proche de la courbe initiale. Pour le composant de la variante A-17nm, nous observons des lobes qui se déplacent vers la gauche sur l'axe temporel, ce qui est compatible avec la signature d'un piège. Malheureusement ces lobes se situent à la limite de la fenêtre d'acquisition, et ne sont visibles que pour des températures supérieures à 100 °C. Il serait souhaitable de poursuivre les mesures dans le temps pour voir si les lobes sont également présents pour des températures inférieures à 100 °C.

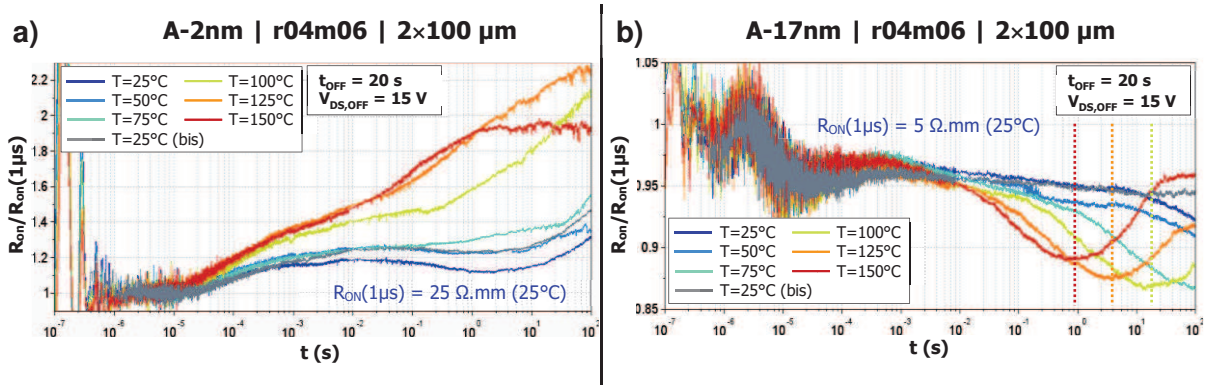


Figure IV.40 – Transitoire de R_{ON} normalisé, à différentes températures, pour des transistors (a) *normally-off* et (b) *normally-on* de la plaque A.

Comme lors des mesures d'admittance de sortie à basse fréquence, nous avons mesuré les transitoires de R_{ON} également sur des composants *normally-on* à grille Schottky d'une épi-structure de type « A ». Les résultats sont présentés sur la Figure IV.41. Nous trouvons des formes de transitoire très similaires à celles du composant précédent de la variante A-17nm, à l'exception du lobe. À y regarder de plus près il semblerait que ce lobe soit présent aux hautes températures, mais avec une amplitude nettement réduite. Le phénomène associé à ce lobe pourrait donc être caractéristique de l'épi-structure, mais exacerbé par le process de MOS-HEMT à *recess* de grille.

Structure « A » sans *recess* | Grille Schottky 0,25 μm | 2x50 μm

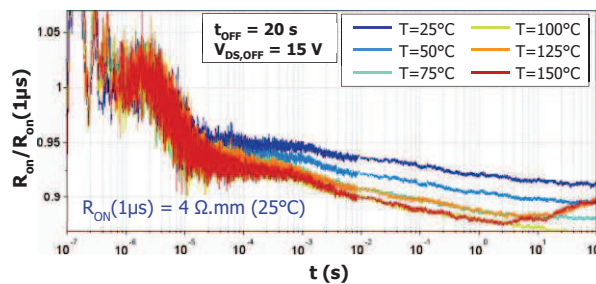


Figure IV.41 – Transitoire de R_{ON} normalisé, à différentes températures, pour un transistor avec grille Schottky sur une épi-structure « A ».

Sur la Figure IV.40 (b), nous pouvons relever les positions des pics et tenter de tracer le graphe d'Arrhenius correspondant, qui est présenté en Figure IV.42. La pente de la droite est extrêmement raide, ce qui donne une valeur aberrante d'énergie d'activation qui ne correspond bien entendu à aucun piège physique. Nous avons également voulu extraire des constantes de temps à partir des transitoires de courant du composant de la variante A-2nm, de la Figure IV.40 (a). Pour cela nous avons essayé d'approximer les transitoires par une somme d'exponentielles décroissantes, telle que l'a rapportée l'équipe de Del Alamo [158]. Cette dernière a utilisé une méthode des moindres carrés pour calculer un spectre de constantes de temps, mais cette technique est très gourmande en ressources informatiques car le problème mathématique – l'approximation par somme d'exponentielles – est mal conditionné³⁹. Nous nous sommes alors tournés vers la méthode de Padé-Laplace, qui repose

³⁹ Un problème mal conditionné est un problème pour lequel la solution est fortement dépendante des données d'entrée, et donc difficile à résoudre si la précision sur les données n'est pas suffisante. Dans le cas présent, le fort conditionnement vient l'existence de plusieurs sommes d'exponentielles pouvant approximer une fonction donnée.

sur l'approximation de la transformée de Laplace d'une fonction donnée par les coefficients de Padé, suivi de l'identification des pôles et des résidus de la transformée de Laplace analytique du modèle de somme d'exponentielles, qui est une fonction rationnelle [159]. Cette technique a l'avantage d'être économe en calculs. Si nous avons réussi à implémenter cette méthode numérique sous environnement informatique (Scilab), son application sur nos données n'a pas été fructueux, et nous ne pouvons donc pas tracer de graphe d'Arrhenius pour le composant *normally-off* de la variante A-2nm.

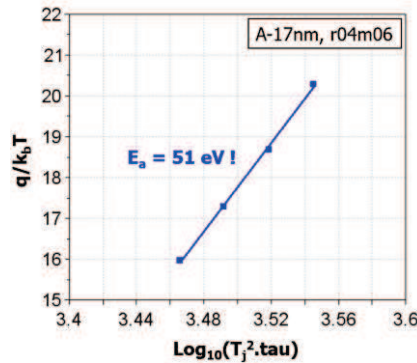


Figure IV.42 – Graphe d'Arrhenius associé au transitoire de R_{ON} , à partir des mesures ci-dessus.

Au sujet des variations de t_{OFF} et $V_{DS,OFF}$, nous n'avons pas observé de grande influence de ces paramètres sur les formes de transitoire. La Figure IV.43 expose un exemple des transitoires obtenus avec différentes conditions à l'état OFF, avec des durées t_{OFF} de 20 s et 60 s et des tensions $V_{DS,OFF}$ de 10 V et 15 V, sur un composant de la variante A-17nm.

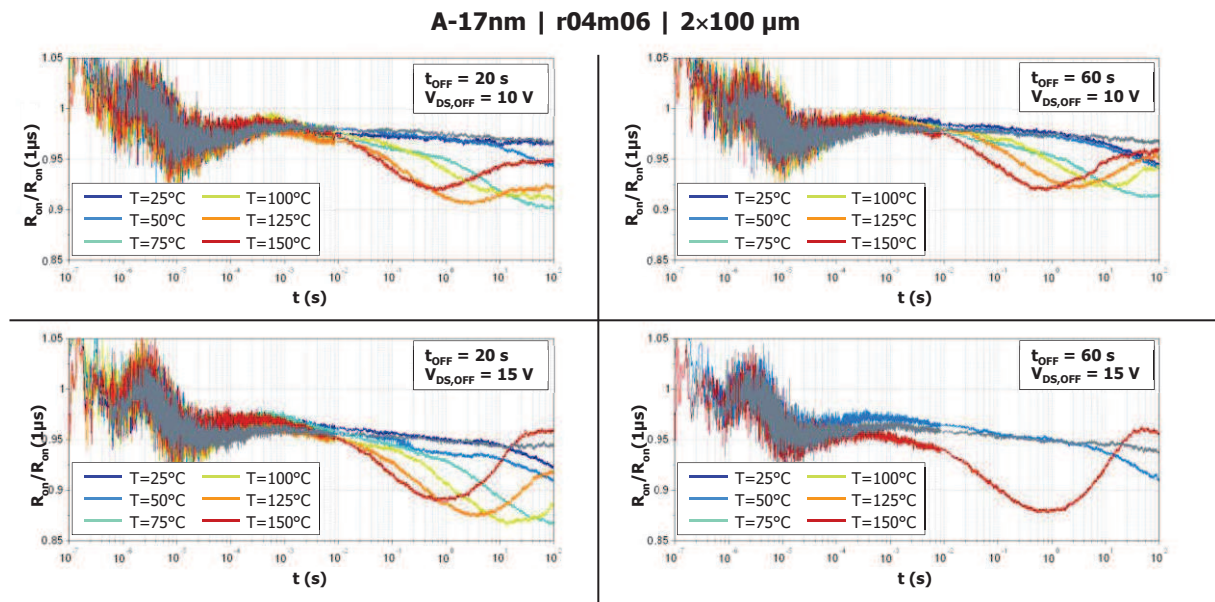


Figure IV.43 – Transitoire de R_{ON} normalisé, à différentes conditions à l'état OFF, pour un transistor *normally-on* de la plaque A.

L'aspect général des courbes est identique quel que soit l'état OFF, nous pouvons seulement relever que les lobes sont plus prononcés pour des durées t_{OFF} plus longue et des tensions $V_{DS,OFF}$ plus élevées. En particulier nous ne constatons pas de changement de comportement entre 10 V et 15 V tel que celui observé lors des mesures d'admittance de sortie à basse fréquence.

IV.6. Conclusion du Chapitre

Nous avons confirmé dans ce chapitre l'obtention de composants MOS-HEMTs à *recess* de grille *normally-off* sur les plaques A et I. Sur la première, la variante A-2+nm est plus intéressante que la variante A-2nm, également *normally-off*, en raison de niveaux de courant bien plus importants. Sur la plaque I, seule la variante I-2nm-F60s nous a permis d'obtenir la fonctionnalité *normally-off*. Le Tableau III.7 récapitule les performances mesurées par caractérisations en régime DC, impulsionnel, et hyperfréquences, sur les transistors de ces variantes (à grille r04m06).

Tableau IV.1 – Performances des MOS-HEMTs *normally-off* fabriqués durant nos travaux de thèse.

	V_{th} (V)	I_{dsmax} (mA/mm)	g_{mmax} (mS/mm)	I_{gsmin} (μ A/mm)	$R_{ON DC}$ (Ohm.mm)	f_T (GHz)	f_{max} (GHz)	<i>drain-lag</i> (%)	P_{out} (W/mm)	PAE (%)
A-2+nm	1	400	200	10^{-4}	4	28	20	7	1,8	44
I-2nm-F60s	0	1100	400	1	1,8	35	40	-	n/a	n/a

Seule la tension de seuil des transistors *normally-off* de la plaque I ne respecte pas notre cahier des charges, qui requiert une valeur comprise entre +1 V et +2 V. Par ailleurs sur cette plaque, la tenue en tension des composants est assez faible puisque l'on ne peut polariser au-delà de $V_{DS} = 5$ V sans risquer de compromettre son fonctionnement. Ces points faibles traduisent le manque de maturité de la technologie HEMT InAlN/GaN qui est somme toute assez nouvelle. La poursuite de l'amélioration de notre process, par exemple avec des temps de traitement fluoré plus longs, accompagnée d'une optimisation de l'épi-structure permettant un meilleur confinement du 2DEG, pourrait amener à des résultats intéressants.

En revanche les composants *normally-off* obtenus sur la plaque A sont plutôt satisfaisants. Tous les critères de notre cahier des charges sont remplis. Les transistors sont robustes jusqu'au moins 45 V, et les courants de grille sont très faibles grâce à l'emploi de l'oxyde de grille. Nous pourrions tout de même suggérer de recommencer l'expérience avec une épi-structure sans intercouche AlN pour obtenir plus facilement la fonctionnalité *normally-off*.

Différentes méthodes de caractérisation nous ont permis de mettre en évidence la présence de nombreux effets de pièges qui peuvent entraver le bon fonctionnement des MOS-HEMTs *normally-off*. Le plus remarquable d'entre eux est sûrement la capture de charges dans le volume de l'oxyde lorsque la polarisation de grille est positive. Ce phénomène limite sérieusement le courant de drain en mode de fonctionnement, et se trouve à l'origine d'effets d'hystérésis indésirables. Une optimisation de la couche d' Al_2O_3 , ainsi que l'utilisation d'un traitement physique ou chimique de la surface avant dépôt, pourrait remédier à ce problème. Des indices pointent également vers des pièges issus de la gravure du *recess*, et nous avons déjà évoqué dans le chapitre précédent plusieurs moyens d'améliorer notre procédé.

Conclusion

Ce manuscrit a présenté dans le détail les travaux de thèse ayant eu pour objet la recherche et développement d'une technologie co-intégrée HEMT GaN *normally-on/normally-off* compatible avec les matériaux et procédés technologiques de la technologie *normally-on* hyperfréquence. Cette thèse a été effectuée dans le cadre d'une thèse CIFRE en partenariat avec le laboratoire CNRS XLIM, département C2S2, et le GIE III-V Lab.

Dans le premier chapitre, un exposé des propriétés physiques des semiconducteurs III-N nous a permis d'identifier leurs avantages et défauts par rapport à d'autres systèmes matériels. Nous avons vu que les III-N jouissent d'excellents facteurs de mérite, tant pour les applications de puissance qu'hyperfréquence. Le principal inconvénient des III-N est l'absence de substrats natif, et donc la présence d'une forte densité de dislocations et autres défauts cristallins dans les couches épitaxiées, potentiellement électriquement actifs. Nous avons ensuite considéré les hétérojonctions entre une barrière AlGaIn ou InAlN et un canal GaN, qui sont les structures de base des HEMTs GaN, et avons expliqué la formation d'un 2DEG sous l'action des effets de polarisations piézoélectriques et spontanées. L'analyse a alors été approfondie en introduisant les diagrammes de bande à travers l'hétérojonction, et une équation fondamentale, liant la tension de seuil aux caractéristiques de l'épi-structure, a été établie. Nous avons alors apporté des éléments de compréhension générale sur le fonctionnement du transistor en régime DC et hyperfréquence, pour ensuite introduire les effets électrothermiques limitatifs, en particulier les effets de pièges qui touchent particulièrement la filière HEMT GaN justement en raison des défauts d'épitaxie.

Le deuxième chapitre a d'abord posé le contexte de la fonctionnalité *normally-off*, puis a précisé la nécessité d'une telle fonctionnalité. Nous avons alors vu qu'il existait 2 domaines d'utilisation majeurs : les applications de puissance, et les circuits de logique E-/D- mode en combinaison avec des transistors *normally-on*. Cela nous a amené à imaginer une filière GaN complètement intégrée, où les fonctions de puissance, de logique et d'hyperfréquence pourraient coexister au sein du même MMIC. L'avènement d'une telle filière serait fortement souhaitable, et est rendue possible par la polyvalence des III-N. Une revue bibliographique a ensuite été proposée, dans laquelle nous avons dressé la liste de l'ensemble des solutions technologiques pour l'obtention de HEMTs GaN *normally-off*, en insistant sur la compréhension du principe théorique de chacune d'entre elles. Pour cela la dérivation du modèle de HEMT classique, vue au chapitre précédent, nous a été très utile. Afin d'établir un cahier des charges pour notre technologie *normally-on / normally-off*, nous avons présenté un cas d'utilisation potentiel basé sur des travaux réalisés à XLIM sur la polarisation dynamique de drain (*envelope tracking*). Cela nous a permis de dégager un certain nombre de critères sur lesquels nos composants devront être jugés. Suite à cela nous sommes revenus sur les solutions technologiques de notre revue bibliographique, pour évaluer quelle option est la plus adéquate pour la fonctionnalité *normally-off*. Nous avons finalement opté pour la technologie de MOS-HEMT à *recess* de grille, et éventuellement à traitement fluoré, non seulement car elle permet la co-intégration de composants *normally-on* et *normally-off*, mais aussi parce qu'il s'agit des solutions les plus rapportées en littérature.

Nous avons commencé dans le troisième chapitre par spécifier les 2 épi-structures à barrières AlGaIn et (Ga)InAlN qui ont été à la base de nos travaux. Il est important de souligner que ces structures sont dédiées aux applications hyperfréquences. Le III-V Lab a par ailleurs communiqué des résultats de HEMTs hyperfréquences réalisés sur chacune de ces épitaxies. Nous avons ensuite présenté notre procédé de fabrication de HEMTs *normally-on* en insistant

sur la compatibilité avec le process *normally-on* standard du III-V Lab. Nous avons alors exposé les variations technologiques que nous avons planifiées sur des zones données des 2 plaques : variation de profondeur de *recess* de grille, et variation additionnelle de traitement fluoré pour la plaque à barrière (Ga)InAlN, l'expérience ayant montré que la fonctionnalité *normally-off* est plus difficile à obtenir sur cette barrière. Le principe de quelques techniques de fabrication microélectronique que nous avons jugées importantes pour nos travaux, comme les procédés à base de plasma, ont été introduits. Par la suite, nous avons décrit chacune des étapes technologiques composant notre procédé de fabrication. Nous avons essentiellement travaillé sur les briques technologiques spécifiques aux composants *normally-off* : l'ouverture de passivation, la gravure de *recess* de grille dans le semiconducteur, le traitement fluoré. Nous avons eu la chance de bénéficier d'un certain nombre d'analyses physiques qui nous ont informé sur notre process, comme le ToF-SIMS ou la DRX. Enfin des images MET en fin de process ont montré une excellente conformité de notre procédé technologique, bien que la gravure du *recess* de grille puisse être encore améliorée.

Dans le quatrième chapitre nous avons rapporté les résultats de caractérisations électriques menées aussi bien au III-V Lab qu'à XLIM. Des mesures sur des diodes de grille MOS de la plaque à barrière AlGaIn ont révélé les avantages de l'oxyde de grille Al₂O₃ déposé par PE-ALD au CEA Leti, puisque les courants de fuite obtenus sont 5 décades inférieurs à ceux d'un composant à grille Schottky classique. Sur la plaque I, les résultats sont un peu retrait, mais les courants de fuite de l'ordre de 1 μ A/mm restent très satisfaisants. Les caractérisations en régime DC, impulsionnel et hyperfréquence ont permis d'identifier et de caractériser des composants *normally-off* sur les 2 plaques. Sur la structure à barrière AlGaIn, un *recess* de grille profond ne laissant qu'un peu plus de 2 nm de barrière a été nécessaire. Les transistors de cette variante ont de bonnes performances, avec une tension de seuil de +1 V et un courant maximal de 400 mA/mm. Ils sont de plus assez robustes, comme en témoigne les mesures de *load-pull* jusqu'à 22,5 V. Pour la structure à barrière (Ga)InAlN, la conjonction d'un *recess* et d'un traitement fluoré s'est révélé nécessaire pour obtenir une fonctionnalité *normally-off*. Les composants fabriqués selon ce procédé possèdent une tension de seuil tout juste de 0 V, mais un courant de drain élevé de 1100 mA/mm, du niveau de celui des composants *normally-on*. Ces transistors souffrent par contre d'une faible tenue en tension, comprise entre 5 V et 10 V. Les performances petit-signal des MOS-HEMTs *normally-off* des 2 épi-structures sont satisfaisantes, et du reste ces composants n'ont pas vocation à être utilisés à haute fréquence. Des efforts ont été entrepris pour tenter de caractériser les pièges au sein de nos MOS-HEMTs. Des mesures de l'admittance de sortie à basse fréquence ont été effectuées, selon une méthodologie mise au point à XLIM. Elles nous ont permis de trouver une signature de piège spécifique aux transistors à grille MOS. Cela concorde avec les résultats d'autres mesures en mode impulsionnel, à l'issue desquelles nous avons postulé l'existence d'un mécanisme de capture d'électrons au sein de l'oxyde de grille pour des polarisations de grille positives. Il apparaît en définitive que l'emploi de cet oxyde soit malheureusement à double tranchant, bloquant effectivement les courants de fuite, mais provoquant également une diminution des courants de drain et des phénomènes d'hystérésis associés.

Pour conclure, les objectifs initiaux ont été atteints lors de ces travaux de thèse. Un procédé technologique de MOS-HEMT *normally-off* à *recess* de grille a été mis au point, respectant la compatibilité avec les épi-structures et le process HEMT *normally-on* hyperfréquence du III-V Lab. Ensuite la fabrication de transistors *normally-off* suivant ce procédé, sur barrière AlGaIn et (Ga)InAlN, a été démontrée. En guise de perspectives, nous pouvons mentionner plusieurs suggestions d'amélioration possible du process de MOS-HEMT à *recess* de grille. La première consiste à développer un plasma de *recess* de grille qui soit le plus uniforme et le plus lent

possible. L'oxyde de grille, qui constitue l'un des points faibles majeurs des composants de ces travaux, pourrait être optimisé en considérant des traitements de surface préliminaires, ou des conditions différentes de dépôt. Enfin le développement de nouvelles épi-structures pour les applications à très haute fréquence, avec de meilleures propriétés de confinement, pourrait également bénéficier à une potentielle future technologie MOS-HEMT *normally-off* à *recess* de grille. Ce travail d'optimisation des épitaxies fait par ailleurs partie des axes de travail du III-V Lab.

Références bibliographiques

- [1] Y. Taniyasu et M. Kasu, « Improved Emission Efficiency of 210-nm Deep-ultraviolet Aluminum Nitride Light-emitting Diode », vol. 8, n° 8, p. 5, 2010.
- [2] P. Gamarra, « Étude de composés semiconducteurs III-N à forte teneur en indium : application à l'optimisation des hétérostructures pour transistors à effet de champ piézo-électriques (HEMT) », thesis, Lyon 1, 2013.
- [3] « NSM Archive - Physical Properties of Semiconductors ». [En ligne]. Disponible sur: <http://www.ioffe.ru/SVA/NSM/Semicond/>. [Consulté le: 25-nov-2018].
- [4] T. Matsuoka, H. Okamoto, M. Nakao, H. Harima, et E. Kurimoto, « Optical bandgap energy of wurtzite InN », *Applied Physics Letters*, vol. 81, n° 7, p. 1246-1248, août 2002.
- [5] M. Alevli, « Growth and Characterization of Indium Nitride Layers Grown by High-Pressure Chemical Vapor Deposition », p. 216.
- [6] L. Zhen-Yu Liu, « Advanced Transmission Electron Microscopy of GaN-based Materials and Devices », University of Cambridge, Department of Materials Science and Metallurgy, 2011.
- [7] S. J. Pearton, J. C. Zolper, R. J. Shul, et F. Ren, « GaN: Processing, defects, and devices », *Journal of Applied Physics*, vol. 86, n° 1, p. 1-78, juin 1999.
- [8] H. Okumura, « Present Status and Future Prospect of Widegap Semiconductor High-Power Devices », *Japanese Journal of Applied Physics*, vol. 45, n° 10A, p. 7565-7586, oct. 2006.
- [9] O. Ambacher *et al.*, « Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures », *Journal of Applied Physics*, vol. 85, n° 6, p. 3222-3233, mars 1999.
- [10] W. A. Hadi, P. K. Guram, M. S. Shur, et S. K. O'Leary, « Steady-state and transient electron transport within wurtzite and zinc-blende indium nitride », *Journal of Applied Physics*, vol. 113, n° 11, p. 113709, mars 2013.
- [11] J. S. Blakemore, « Semiconducting and other major properties of gallium arsenide », *Journal of Applied Physics*, vol. 53, n° 10, p. R123-R181, oct. 1982.
- [12] R. Aubry, « Étude des aspects électrothermiques de la filière HEMT AlGaIn/GaN pour application de puissance hyperfréquence », thesis, Lille 1, 2004.
- [13] R. Brown, « A novel AlGaIn/GaN based enhancement-mode high electron mobility transistor with sub-critical barrier thickness », PhD, University of Glasgow, 2015.
- [14] D. Balaz, « Current collapse and device degradation in AlGaIn/GaN heterostructure field effect transistors », PhD, University of Glasgow, 2011.
- [15] J. F. Nye, *Physical Properties of Crystals: Their Representation by Tensors and Matrices*. Oxford, New York: Oxford University Press, 1985.
- [16] F. Bernardini, V. Fiorentini, et D. Vanderbilt, « Spontaneous polarization and piezoelectric constants of III-V nitrides », *Physical Review B*, vol. 56, n° 16, p. R10024-R10027, oct. 1997.
- [17] P. D. Cherns, « A transmission electron microscopy study of AlGaIn/GaN heterostructures / Peter Cherns. », University of Cambridge, Department of Materials Science and Metallurgy, 2007.
- [18] W. Kern, *Thin Film Processes II*. Elsevier, 2012.
- [19] B. Kim *et al.*, « Epitaxial Lateral Overgrowth of GaN on Si (111) Substrates Using High-Dose, N⁺ Ion Implantation », *Chemical Vapor Deposition*, vol. 16, n° 1-3, p. 80-84, mars 2010.

- [20] J. Smalc-Koziorowska, E. Grzanka, R. Czernecki, D. Schiavon, et M. Leszczyński, « Elimination of trench defects and V-pits from InGaN/GaN structures », *Applied Physics Letters*, vol. 106, n° 10, p. 101905, mars 2015.
- [21] R. P. Joshi, V. Sridhara, B. Jogai, P. Shah, et R. D. del Rosario, « Analysis of dislocation scattering on electron mobility in GaN high electron mobility transistors », *Journal of Applied Physics*, vol. 93, n° 12, p. 10046-10052, juin 2003.
- [22] H. Zhang, E. J. Miller, et E. T. Yu, « Analysis of leakage current mechanisms in Schottky contacts to GaN and Al_{0.25}Ga_{0.75}N/GaN grown by molecular-beam epitaxy », *Journal of Applied Physics*, vol. 99, n° 2, p. 023703, janv. 2006.
- [23] T. Egawa, « Heteroepitaxial growth and power electronics using AlGaIn/GaN HEMT on Si », in *2012 International Electron Devices Meeting*, San Francisco, CA, USA, 2012, p. 27.1.1-27.1.4.
- [24] S. D. Lester, F. A. Ponce, M. G. Craford, et D. A. Steigerwald, « High dislocation densities in high efficiency GaN-based light-emitting diodes », *Appl. Phys. Lett.*, vol. 66, n° 10, p. 1249-1251, mars 1995.
- [25] T. Mimura, « The early history of the high electron mobility transistor (HEMT) », *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, n° 3, p. 780-782, mars 2002.
- [26] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviro, J. Chaplart, et N. T. Linh, « Two-dimensional electron gas m.e.s.f.e.t. structure », *Electronics Letters*, vol. 16, n° 17, p. 667-668, août 1980.
- [27] R. Dingle, H. L. Störmer, A. C. Gossard, et W. Wiegmann, « Electron mobilities in modulation-doped semiconductor heterojunction superlattices », *Appl. Phys. Lett.*, vol. 33, n° 7, p. 665-667, oct. 1978.
- [28] J. A. del Alamo, « The High-Electron Mobility Transistor at 30: Impressive Accomplishments and Exciting Prospects. », présenté à 2011 International Conference on Compound Semiconductor Manufacturing Technology, Indian Wells, California, 2011.
- [29] M. Asif Khan, A. Bhattarai, J. N. Kuznia, et D. T. Olson, « High electron mobility transistor based on a GaN-Al_xGa_{1-x}N heterojunction », *Appl. Phys. Lett.*, vol. 63, n° 9, p. 1214-1215, août 1993.
- [30] J. Kuzmik, « Power electronics on InAlN/(In)GaIn: Prospect for a record performance », *IEEE Electron Device Letters*, vol. 22, n° 11, p. 510-512, nov. 2001.
- [31] A. Dadgar *et al.*, « High-sheet-charge-carrier-density AlInNGaN field-effect transistors on Si(111) », *Appl. Phys. Lett.*, vol. 85, n° 22, p. 5400-5402, nov. 2004.
- [32] M. Asif Khan *et al.*, « Energy Band/Lattice Mismatch Engineering in Quaternary AlInGaIn/GaN Heterostructure », *physica status solidi (a)*, vol. 176, n° 1, p. 227-230, nov. 1999.
- [33] Y. Liu, H. Jiang, S. Arulkumaran, T. Egawa, B. Zhang, et H. Ishikawa, « Demonstration of undoped quaternary AlInGaIn/GaN heterostructure field-effect transistor on sapphire substrate », *Applied Physics Letters*, vol. 86, n° 22, p. 223510, mai 2005.
- [34] Y. Cao et D. Jena, « High-mobility window for two-dimensional electron gases at ultrathin AlN/GaN heterojunctions », *Applied Physics Letters*, vol. 90, n° 18, p. 182112, avr. 2007.
- [35] M. Higashiwaki, T. Mimura, et T. Matsui, « AlN/GaN Insulated-Gate HFETs Using Cat-CVD SiN », *IEEE Electron Device Letters*, vol. 27, n° 9, p. 719-721, sept. 2006.

- [36] T. Zimmermann *et al.*, « AlN/GaN Insulated-Gate HEMTs With 2.3 A/mm Output Current and 480 mS/mm Transconductance », *IEEE Electron Device Letters*, vol. 29, n° 7, p. 661-664, juill. 2008.
- [37] F. Medjdoub, M. Zegaoui, D. Ducatteau, N. Rolland, et P. A. Rolland, « High-Performance Low-Leakage-Current AlN/GaN HEMTs Grown on Silicon Substrate », *IEEE Electron Device Letters*, vol. 32, n° 7, p. 874-876, juill. 2011.
- [38] W. J. Snodgrass et M. Feng, « Nano-scale Type-II InP / GaAsSb DHBTs to Reach THz Cutoff Frequencies », 2008.
- [39] T. Kikkawa, M. Kanamura, T. Ohki, K. Imanishi, K. Watanabe, et K. Joshin, « Current Status and Future Prospects of GaN HEMTs for High Power and High Frequency Applications », *ECS Transactions*, vol. 50, n° 3, p. 323-332, mars 2013.
- [40] A. R. Barnes et F. Vitobello, « ESA perspective on the industrialisation of European GaN technology for space application », in *2014 9th European Microwave Integrated Circuit Conference*, Rome, Italy, 2014, p. 233-236.
- [41] A. Lidow, « Gallium Nitride Transistors Drive Automotive Applications », *Power Electronics Europe*, vol. 2015, n° 3, p. 28-30.
- [42] A. Bettidi *et al.*, « Innovative T/R module in state-of-the-art GaN technology », 2008, p. 1-5.
- [43] R. Aubry *et al.*, « ICP-CVD SiN Passivation for High-Power RF InAlGaN/GaN/SiC HEMT », *IEEE Electron Device Letters*, vol. 37, n° 5, p. 629-632, mai 2016.
- [44] Silvaco, « Atlas - Device Simulation Framework ». [En ligne]. Disponible sur: https://www.silvaco.com/products/tcad/device_simulation/atlas/atlas.html. [Consulté le: 27-nov-2018].
- [45] Synopsys, « Sentaurus Device ». [En ligne]. Disponible sur: <https://www.synopsys.com/silicon/tcad/device-simulation/sentaurus-device.html>. [Consulté le: 27-nov-2018].
- [46] D. Delagebeaudeuf et N. T. Linh, « Metal-(n) AlGaAs-GaAs two-dimensional electron gas FET », *IEEE Transactions on Electron Devices*, vol. 29, n° 6, p. 955-960, juin 1982.
- [47] N. Vellas, « Études expérimentales de transistors HFET de la filière nitrure de gallium pour des applications de puissances hyperfréquences », thesis, Lille 1, 2003.
- [48] G. Snider, « 1D Poisson ». [En ligne]. Disponible sur: <https://www3.nd.edu/~gsnider/>. [Consulté le: 28-nov-2018].
- [49] nextnano, « nextnano++ ». [En ligne]. Disponible sur: <https://www.nextnano.de/nextnanoplus/>. [Consulté le: 28-nov-2018].
- [50] M. Grundmann, « Band Engineering ». [En ligne]. Disponible sur: <http://my.ece.ucsb.edu/mgrundmann/bandeng/>. [Consulté le: 28-nov-2018].
- [51] P. Ellinghaus, « Simulation of GaN/AlGaIn heterostructures for a HEMT simulator », Master Thesis, University of l'Aquila, 2011.
- [52] W. Göss, « Hole Trapping and the Negative Bias Temperature Instability », TU Wien, 2011.
- [53] M. Abramowitz et I. A. Stegun, Éd., *Handbook of Mathematical Functions: with Formulas, Graphs, and Mathematical Tables*, 0009-Revised edition éd. New York, NY: Dover Publications, 1965.
- [54] Rashmi, A. Kranti, S. Haldar, et R. S. Gupta, « An accurate charge control model for spontaneous and piezoelectric polarization dependent two-dimensional electron gas sheet charge density of lattice-mismatched AlGaIn/GaN HEMTs », *Solid-State Electronics*, vol. 46, n° 5, p. 621-630, mai 2002.

- [55] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, et U. K. Mishra, « Polarization effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistors », *Applied Physics Letters*, vol. 77, n° 2, p. 250-252, juill. 2000.
- [56] F.-C. Chiu, « A Review on Conduction Mechanisms in Dielectric Films », *Advances in Materials Science and Engineering*, vol. 2014, p. 18, 2014.
- [57] O. Jardel, « Contribution à la modélisation des transistors pour l'amplification de puissance aux fréquences microondes : développement d'un nouveau modèle électrothermique de HEMT AlGaIn/GaN incluant les effets de pièges », thesis, Limoges, 2008.
- [58] L. Baczkowski, « Modélisation et caractérisation thermique de transistors de puissance hyperfréquence GaN et conséquences sur la fiabilité de modules radars d'émission/réception en bande X », thesis, Lille 1, 2015.
- [59] R. Vetury, « Polarization Induced 2DEG in AlGaIn/GaN HEMTs: On the origin, DC and transient characterization », University of California Santa Barbara, 2000.
- [60] O. Jardel *et al.*, « A Drain-lag Model for AlGaIn/GaN Power HEMTs », in *2007 IEEE/MTT-S International Microwave Symposium*, 2007, p. 601-604.
- [61] A. Divay, « Étude de la fiabilité à long terme des transistors HEMT à base de GaN », phdthesis, Université de Rouen, 2015.
- [62] FIDES, « FIDES Guide ». [En ligne]. Disponible sur: <https://www.fides-reliability.org/en/node/6>. [Consulté le: 28-nov-2018].
- [63] G. Meneghesso *et al.*, « Reliability issues of Gallium Nitride High Electron Mobility Transistors », *International Journal of Microwave and Wireless Technologies*, vol. 2, n° 01, p. 39, avr. 2010.
- [64] S. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. DiLorenzo, et W. O. Schlosser, « Control of gate—Drain avalanche in GaAs MESFET's », *IEEE Transactions on Electron Devices*, vol. 27, n° 6, p. 1013-1018, juin 1980.
- [65] A. Wakejima *et al.*, « Observation of cross-sectional electric field for GaN-based field effect transistor with field-modulating plate », *Applied Physics Letters*, vol. 90, n° 21, p. 213504, mai 2007.
- [66] N.-Q. Zhang, S. Keller, G. Parish, S. Heikman, S. P. DenBaars, et U. K. Mishra, « High breakdown GaN HEMT with overlapping gate structure », *IEEE Electron Device Letters*, vol. 21, n° 9, p. 421-423, sept. 2000.
- [67] B. M. Green, K. K. Chu, E. M. Chumbes, J. A. Smart, J. R. Shealy, et L. F. Eastman, « The effect of surface passivation on the microwave characteristics of undoped AlGaIn/GaN HEMTs », *IEEE Electron Device Letters*, vol. 21, n° 6, p. 268-270, juin 2000.
- [68] S. M. Sze et K. K. Ng, *Physics of semiconductor devices*, 3rd ed. Hoboken, N.J: Wiley-Interscience, 2007.
- [69] N. G. Einspruch et W. R. Wisseman, *GaAs Microelectronics: VLSI Electronics Microstructure Science*. Academic Press, 2014.
- [70] M. S. Shur, *GaAs Devices and Circuits*. Springer Science & Business Media, 2013.
- [71] J.-C. Jeong, « An S-Band Multifunction Chip with a Simple Interface for Active Phased Array Base Station Antennas », *ETRI Journal*, vol. 35, n° 3, p. 378-385, juin 2013.
- [72] G. van der Bent, P. de Hek, S. Geurts, H. Brouzes, et F. E. van Vliet, « S-Band Class-F Power Amplifier with Integrated Switched Mode Power Supply », in *2012 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, La Jolla, CA, USA, 2012, p. 1-4.

- [73] M. A. Khan *et al.*, « Enhancement and depletion mode GaN/AlGaIn heterostructure field effect transistors », *Applied Physics Letters*, vol. 68, n° 4, p. 514-516, janv. 1996.
- [74] « HiPoSwitch (FP7-ICT) - GaN-based normally-off high power switching transistor for efficient power converters », *CORDIS | European Commission*. [En ligne]. Disponible sur: https://cordis.europa.eu/project/rcn/100325_en.html. [Consulté le: 28-nov-2018].
- [75] « PowerBase (H2020) - Enhanced substrates and GaN pilot lines enabling compact power applications », *CORDIS | European Commission*. [En ligne]. Disponible sur: https://cordis.europa.eu/project/rcn/197902_en.html. [Consulté le: 28-nov-2018].
- [76] J. D. Albrecht, A. Kane, et T.-H. Chang, « DARPA's Microscale Power Conversion Program », in *2012 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, La Jolla, CA, USA, 2012, p. 1-4.
- [77] « MORGaN (FP7-NMP) - Materials for Robust Gallium Nitride | Projects | FP7-NMP », *CORDIS | European Commission*. [En ligne]. Disponible sur: https://cordis.europa.eu/project/rcn/89921_en.html. [Consulté le: 28-nov-2018].
- [78] J. D. Albrecht, T. Chang, A. S. Kane, et M. J. Rosker, « DARPA's Nitride Electronic NeXt Generation Technology Program », in *2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2010, p. 1-4.
- [79] E. Persson, « How 600 V GaN Transistors Improve Power Supply Efficiency and Density », *Power Electronics Europe*, vol. 2015, n° 2, p. 22-24, mars-2015.
- [80] « GaN Training », *Transphorm*. [En ligne]. Disponible sur: <https://www.transphormusa.com/en/gan-training/>. [Consulté le: 28-nov-2018].
- [81] A. Lidow, R. Beach, A. Nakata, J. Cao, et G. Y. Zhao, « Enhancement mode GaN HEMT device and method for fabricating the same », US8404508B2, 26-mars-2013.
- [82] « Enhancement Mode and Cascode Configuration GaN-on-Silicon Platforms », *LIGHTimes Online*, 19-mars-2015. [En ligne]. Disponible sur: <http://www.solidstatelighting.net/enhancement-mode-and-cascode-configuration-gan-on-silicon-platforms/>. [Consulté le: 28-nov-2018].
- [83] E. Malela-Massamba, « Développement et caractérisation de modules Technologiques sur semiconducteur GaN : application à la réalisation de cathodes froides et de transistor HEMT AlGaIn/GAN », thesis, Lyon, 2016.
- [84] W. B. Lanford, T. Tanaka, Y. Otoki, et I. Adesida, « Recessed-gate enhancement-mode GaN HEMT with high threshold voltage », *Electronics Letters*, vol. 41, n° 7, p. 449, 2005.
- [85] K. Tang, Z. Li, T. P. Chow, Y. Niiyama, T. Nomura, et S. Yoshida, « Enhancement-mode GaN hybrid MOS-HEMTs with breakdown voltage of 1300V », in *2009 21st International Symposium on Power Semiconductor Devices & IC's*, Barcelona, Spain, 2009, p. 279-282.
- [86] G. Li *et al.*, « Threshold Voltage Control in Al_{0.72}Ga_{0.28}N/AlN/GaN HEMTs by Work-Function Engineering », *IEEE Electron Device Letters*, vol. 31, n° 9, p. 954-956, sept. 2010.
- [87] K. Shinohara *et al.*, « Deeply-scaled self-aligned-gate GaN DH-HEMTs with ultrahigh cutoff frequency », in *2011 International Electron Devices Meeting*, Washington, DC, USA, 2011, p. 19.1.1-19.1.4.
- [88] M. Higashiwaki, T. Mimura, et T. Matsui, « Enhancement-Mode AlN/GaN HFETs Using Cat-CVD SiN », *IEEE Transactions on Electron Devices*, vol. 54, n° 6, p. 1566-1570, juin 2007.
- [89] F. Medjdoub *et al.*, « Low On-Resistance High-Breakdown Normally Off AlN/GaN/AlGaIn DHFET on Si Substrate », *IEEE Electron Device Letters*, vol. 31, n° 2, p. 111-113, févr. 2010.

- [90] Yong Cai, Yugang Zhou, K. J. Chen, et K. M. Lau, « High-performance enhancement-mode AlGa_N/Ga_N HEMTs using fluoride-based plasma treatment », *IEEE Electron Device Letters*, vol. 26, n° 7, p. 435-437, juill. 2005.
- [91] C. Liu *et al.*, « Normally-off Ga_N MIS-HEMT with improved thermal stability in DC and dynamic performance », in *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2015, p. 213-216.
- [92] Y. Zhang, M. Sun, S. J. Joglekar, T. Fujishima, et T. Palacios, « Threshold voltage control by gate oxide thickness in fluorinated Ga_N metal-oxide-semiconductor high-electron-mobility transistors », *Applied Physics Letters*, vol. 103, n° 3, p. 033524, juill. 2013.
- [93] T. Fujii *et al.*, « Control of Threshold Voltage of Enhancement-Mode AlGa_N/Ga_N Junction Heterostructure Field-Effect Transistors Using p-Ga_N Gate Contact », *Japanese Journal of Applied Physics*, vol. 46, n° 1, p. 115-118, janv. 2007.
- [94] T. Mizutani, M. Ito, S. Kishimoto, et F. Nakamura, « AlGa_N/Ga_N HEMTs With Thin InGa_N Cap Layer for Normally Off Operation », *IEEE Electron Device Letters*, vol. 28, n° 7, p. 549-551, juill. 2007.
- [95] T. Mizutani, H. Yamada, S. Kishimoto, et F. Nakamura, « Normally off AlGa_N/Ga_N high electron mobility transistors with p-InGa_N cap layer », *Journal of Applied Physics*, vol. 113, n° 3, p. 034502, janv. 2013.
- [96] Y. Uemoto *et al.*, « Gate Injection Transistor (GIT)—A Normally-off AlGa_N/Ga_N Power Transistor Using Conductivity Modulation », *IEEE Transactions on Electron Devices*, vol. 54, n° 12, p. 3393-3399, 2007.
- [97] M. Micovic *et al.*, « Ga_N Double Heterojunction Field Effect Transistor For Microwave and Millimeterwave Power Applications », p. 4.
- [98] T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, et U. K. Mishra, « AlGa_N/Ga_N high electron mobility transistors with InGa_N back-barriers », *IEEE Electron Device Letters*, vol. 27, n° 1, p. 13-15, janv. 2006.
- [99] S. Adak, A. Sarkar, S. Swain, H. Pardeshi, S. K. Pati, et C. K. Sarkar, « High performance AlIn_N/AlN/Ga_N p-Ga_N back barrier Gate-Recessed Enhancement-Mode HEMT », *Superlattices and Microstructures*, vol. 75, p. 347-357, nov. 2014.
- [100] *Semiconductor Material and Device Characterization*. Hoboken, NJ, USA: John Wiley & Sons, Inc., 2005.
- [101] J. J. Freedman, T. Kubo, et T. Egawa, « High Drain Current Density E-Mode Al₂O₃/AlGa_N/Ga_N MOS-HEMT on Si With Enhanced Power Device Figure-of-Merit », *IEEE Transactions on Electron Devices*, vol. 60, n° 10, p. 3079-3083, oct. 2013.
- [102] B. Lee *et al.*, « Normally-off AlGa_N/Ga_N-on-Si MOSHFETs with Ta_N floating gates and ALD SiO₂ tunnel dielectrics », in *2010 International Electron Devices Meeting, San Francisco, CA, USA, 2010*, p. 20.6.1-20.6.4.
- [103] M. Kuroda, H. Ishida, T. Ueda, et T. Tanaka, « Nonpolar (11-20) plane AlGa_N/Ga_N heterojunction field effect transistors on (1-102) plane sapphire », *Journal of Applied Physics*, vol. 102, n° 9, p. 093703, nov. 2007.
- [104] T. Fujiwara *et al.*, « Enhancement-Mode m-plane AlGa_N/Ga_N Heterojunction Field-Effect Transistors », *Applied Physics Express*, vol. 2, n° 1, p. 011001, janv. 2009.
- [105] U. Singiseti, M. H. Wong, et U. K. Mishra, « High-performance N-polar Ga_N enhancement-mode device technology », *Semiconductor Science and Technology*, vol. 28, n° 7, p. 074006, juill. 2013.

- [106] L. Yuan, H. Chen, et K. J. Chen, « Normally Off AlGaIn/GaN Metal–2DEG Tunnel-Junction Field-Effect Transistors », *IEEE Electron Device Letters*, vol. 32, n° 3, p. 303-305, mars 2011.
- [107] M. A. Alsharif, R. Granzner, et F. Schwierz, « Theoretical Investigation of Trigate AlGaIn/GaN HEMTs », *IEEE Transactions on Electron Devices*, vol. 60, n° 10, p. 3335-3341, oct. 2013.
- [108] Y. Li *et al.*, « Dopant-Free GaN/AlN/AlGaIn Radial Nanowire Heterostructures as High Electron Mobility Transistors », *Nano Letters*, vol. 6, n° 7, p. 1468-1473, juill. 2006.
- [109] Y. Zhang, « Simulation and Fabrication of GaN-Based Vertical and Lateral *Normally-off* Power Transistors », Master Thesis, MIT, 2013.
- [110] B. Kim *et al.*, « Push the Envelope: Design Concepts for Envelope-Tracking Power Amplifiers », *IEEE Microwave Magazine*, vol. 14, n° 3, p. 68-81, 2013.
- [111] A. Delias, « Polarisation dynamique de drain et de grille d'un amplificateur RF GaN appliquée à un fonctionnement RF impulsif à plusieurs niveaux », thesis, Limoges, 2015.
- [112] T. Adachi, T. Deguchi, A. Nakagawa, Y. Terada, et T. Egawa, « High-Performance E-Mode AlGaIn/GaN HEMTs with LT-GaN Cap Layer Using Gate *Recess* Techniques », in *2008 Device Research Conference*, Santa Barbara, CA, USA, 2008, p. 129-130.
- [113] A. Basu, M. Yan, V. Kumar, et I. Adesida, « Technology for Non-*Recessed* Short Gate Length E-Mode AlGaIn/GaN High-Electron Mobility Transistors », présenté à CS MANTECH, 2008, p. 4.
- [114] H. Chen, M. Wang, et K. J. Chen, « Enhancement-mode AlGaIn/GaN HEMTs Fabricated by Standard Fluorine Ion Implantation », p. 4, 2010.
- [115] Rongming Chu, Zhen Chen, S. P. DenBaars, et U. K. Mishra, « V-Gate GaN HEMTs With Engineered Buffer for Normally Off Operation », *IEEE Electron Device Letters*, vol. 29, n° 11, p. 1184-1186, nov. 2008.
- [116] G. Gu *et al.*, « Enhancement-mode InAlN/GaN MISHEMT with low gate leakage current », *Journal of Semiconductors*, vol. 33, n° 6, p. 064004, juin 2012.
- [117] Ki-Sik Im *et al.*, « Normally Off GaN MOSFET Based on AlGaIn/GaN Heterostructure With Extremely High 2DEG Density Grown on Silicon Substrate », *IEEE Electron Device Letters*, vol. 31, n° 3, p. 192-194, mars 2010.
- [118] V. Kumar, A. Kuliev, T. Tanaka, Y. Otoki, et I. Adesida, « High transconductance enhancement-mode AlGaIn/GaN HEMTs on SiC substrate », *Electronics Letters*, vol. 39, n° 24, p. 1758, 2003.
- [119] J.-W. Lim *et al.*, « Fabrication of enhancement-mode AlGaIn/GaN high electron mobility transistors using double plasma treatment », *Thin Solid Films*, vol. 547, p. 106-110, nov. 2013.
- [120] B. Lu, O. I. Saadat, et T. Palacios, « High-Performance Integrated Dual-Gate AlGaIn/GaN Enhancement-Mode Transistor », *IEEE Electron Device Letters*, vol. 31, n° 9, p. 990-992, sept. 2010.
- [121] S. Maroldt *et al.*, « Gate-*Recessed* AlGaIn/GaN Based Enhancement-Mode High Electron Mobility Transistors for High Frequency Operation », *Japanese Journal of Applied Physics*, vol. 48, n° 4, p. 04C083, avr. 2009.
- [122] F. Medjdoub *et al.*, « Effect of fluoride plasma treatment on InAlN/GaN HEMTs », *Electronics Letters*, vol. 44, n° 11, p. 696, 2008.
- [123] J. S. Moon *et al.*, « Submicron enhancement-mode AlGaIn/GaN HEMTs », in *60th DRC. Conference Digest Device Research Conference*, Santa Barbara, CA, USA, 2002, p. 23-24.

- [124] T. Ohki *et al.*, « An over 100 W AlGaIn/GaN enhancement-mode HEMT power amplifier with piezoelectric-induced cap structure », *physica status solidi (c)*, vol. 6, n° 6, p. 1365-1368, juin 2009.
- [125] T. Palacios, C.-S. Suh, A. Chakraborty, S. Keller, S. P. DenBaars, et U. K. Mishra, « High-performance E-mode AlGaIn/GaN HEMTs », *IEEE Electron Device Letters*, vol. 27, n° 6, p. 428-430, juin 2006.
- [126] M. L. Schuette *et al.*, « Gate-recessed integrated E/D GaN HEMT technology with $f_t/f_{max} > 300$ GHz », *IEEE Electron Device Letters*, vol. 34, n° 6, p. 741-743, juin 2013.
- [127] B. Song *et al.*, « Monolithically integrated E/D-mode InAlN HEMTs with $f_t/f_{max} > 200/220$ GHz », in *70th Device Research Conference*, 2012, p. 1-2.
- [128] D. Song, J. Liu, Z. Cheng, W. C. W. Tang, K. M. Lau, et K. J. Chen, « Normally Off AlGaIn/GaN Low-Density Drain HEMT (LDD-HEMT) With Enhanced Breakdown Voltage and Reduced Current Collapse », *IEEE Electron Device Letters*, vol. 28, n° 3, p. 189-191, mars 2007.
- [129] X. Song *et al.*, « DC and RF characteristics of enhancement-mode InAlN/GaN HEMT with fluorine treatment », *Journal of Semiconductors*, vol. 35, n° 4, p. 044002, avr. 2014.
- [130] Yong Tang *et al.*, « High-performance monolithically-integrated E/D mode InAlN/AlN/GaN HEMTs for mixed-signal applications », in *2010 International Electron Devices Meeting*, San Francisco, CA, USA, 2010, p. 30.4.1-30.4.4.
- [131] R. Wang, Y. Cai, C.-W. Tang, K. M. Lau, et K. J. Chen, « Enhancement-Mode SiN/AlGaIn/GaN MISHFETs », *IEEE Electron Device Letters*, vol. 27, n° 10, p. 793-795, oct. 2006.
- [132] R. Wang *et al.*, « Gate-Recessed Enhancement-Mode InAlN/AlN/GaN HEMTs With 1.9-A/mm Drain Current Density and 800-mS/mm Transconductance », *IEEE Electron Device Letters*, vol. 31, n° 12, p. 1383-1385, déc. 2010.
- [133] R. Wang *et al.*, « Enhancement-Mode InAlN/AlN/GaN HEMTs With $1E-12$ A/mm Leakage Current and $1E12$ on/off Current Ratio », *IEEE Electron Device Letters*, vol. 32, n° 3, p. 309-311, mars 2011.
- [134] P. Gamarra, C. Lacam, M. Tordjman, J. Splettstösser, B. Schauwecker, et M.-A. di Forte-Poisson, « Optimisation of a carbon doped buffer layer for AlGaIn/GaN HEMT devices », *Journal of Crystal Growth*, vol. 414, p. 232-236, mars 2015.
- [135] M. Alomari *et al.*, « InAlN/GaN MOSHEMT With Self-Aligned Thermally Generated Oxide Recess », *IEEE Electron Device Letters*, vol. 30, n° 11, p. 1131-1133, nov. 2009.
- [136] A. Banerjee, S. Taking, D. MacFarlane, A. Dabiran, et E. Wasige, « Development of enhancement mode AlGaIn/GaN MOS-HEMTs using localized gate-foot oxidation », in *The 5th European Microwave Integrated Circuits Conference*, 2010, p. 302-305.
- [137] K. Nojiri, *Dry Etching Technology for Semiconductors*. Cham: Springer International Publishing, 2015.
- [138] G. Greco, F. Iucolano, et F. Roccaforte, « Ohmic contacts to Gallium Nitride materials », *Applied Surface Science*, vol. 383, p. 324-345, oct. 2016.
- [139] J. F. Ziegler, M. D. Ziegler, et J. P. Biersack, « SRIM - The stopping and range of ions in matter (2010) », *Nuclear Instruments and Methods in Physics Research B*, vol. 268, p. 1818-1823, juin 2010.
- [140] J. Robertson et B. Falabretti, « Band offsets of high K gate oxides on III-V semiconductors », *Journal of Applied Physics*, vol. 100, n° 1, p. 014111, juill. 2006.
- [141] J. McPherson, J. Kim, A. Shanware, H. Mogul, et J. Rodriguez, « Proposed universal relationship between dielectric breakdown and dielectric constant », in *Digest. International Electron Devices Meeting*, 2002, p. 633-636.

- [142] V. Miikkulainen, M. Leskelä, M. Ritala, et R. L. Puurunen, « Crystallinity of inorganic films grown by atomic layer deposition: Overview and general trends », *Journal of Applied Physics*, vol. 113, n° 2, p. 021301, janv. 2013.
- [143] R. Meunier, A. Torres, M. Charles, E. Morvan, M. Plissonnier, et F. Morancho, « AlGaIn/GaN MIS-HEMT gate structure improvement using Al₂O₃ deposited by PEALD », présenté à 224th ECS Meeting, San Francisco, 2013, p. 269-277.
- [144] S. Jakschik, U. Schroeder, T. Hecht, M. Gutsche, H. Seidl, et J. W. Bartha, « Crystallization behavior of thin ALD-Al₂O₃ films », *Thin Solid Films*, vol. 425, n° 1-2, p. 216-220, févr. 2003.
- [145] Y. Hori, C. Mizue, et T. Hashizume, « Process Conditions for Improvement of Electrical Properties of Al₂O₃/n-GaN Structures Prepared by Atomic Layer Deposition », *Japanese Journal of Applied Physics*, vol. 49, n° 8, p. 080201, août 2010.
- [146] S. M. Prokes, M. B. Katz, et M. E. Twigg, « Growth of crystalline Al₂O₃ via thermal atomic layer deposition: Nanomaterial phase stabilization », *APL Materials*, vol. 2, n° 3, p. 032105, mars 2014.
- [147] S. J. Pearton, R. J. Shul, et F. Ren, « A Review of Dry Etching of GaN and Related Materials », *Materials Research Society Internet Journal of Nitride Semiconductor Research*, vol. 5, n° 1, ed 2000.
- [148] S. D. Burnham *et al.*, « Gate-recessed normally-off GaN-on-Si HEMT using a new O₂-BCl₃ digital etching technique », *physica status solidi (c)*, vol. 7, n° 7-8, p. 2010-2012, juin 2010.
- [149] Y. Wang *et al.*, « High-Performance Normally-off Al₂O₃/GaN MOSFET Using a Wet Etching-Based Gate Recess Technique », *IEEE Electron Device Letters*, vol. 34, n° 11, p. 1370-1372, nov. 2013.
- [150] M. Fagerlind *et al.*, « Investigation of the interface between silicon nitride passivations and AlGaIn/AlN/GaN heterostructures by C(V) characterization of metal-insulator-semiconductor-heterostructure capacitors », *Journal of Applied Physics*, vol. 108, n° 1, p. 014508, juill. 2010.
- [151] R. Engel-Herbert, Y. Hwang, et S. Stemmer, « Comparison of methods to quantify interface trap densities at dielectric/III-V semiconductor interfaces », *Journal of Applied Physics*, vol. 108, n° 12, p. 124101, déc. 2010.
- [152] E. H. Nicollian et A. Goetzberger, « Mos conductance technique for measuring surface state parameters », *Appl. Phys. Lett.*, vol. 7, n° 8, p. 216-219, oct. 1965.
- [153] X.-H. Ma, J.-J. Zhu, X.-Y. Liao, T. Yue, W.-W. Chen, et Y. Hao, « Quantitative characterization of interface traps in Al₂O₃/AlGaIn/GaN metal-oxide-semiconductor high-electron-mobility transistors by dynamic capacitance dispersion technique », *Applied Physics Letters*, vol. 103, n° 3, p. 033510, juill. 2013.
- [154] D. A. Frickey, « Conversions Between S, Z, Y, h, ABCD, and T-Parameters which are Valid for Complex Source and Load Impedances », *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES MTT*, vol. 42, n° 2, p. 205, 1994.
- [155] C. Potier, « Caractérisation et modélisation des pièges par des mesures de dispersion basse-fréquence dans les technologies HEMT InAlN/GaN pour l'amplification de puissance en gamme millimétrique », thesis, Limoges, 2016.
- [156] D. Bisi *et al.*, « Deep-Level Characterization in GaN HEMTs-Part I: Advantages and Limitations of Drain Current Transient Measurements », *IEEE Transactions on Electron Devices*, vol. 60, n° 10, p. 3166-3175, oct. 2013.
- [157] D. Jin et J. A. del Alamo, « Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs », in *2012 24th International Symposium on Power Semiconductor Devices and ICs*, Bruges, Belgium, 2012, p. 333-336.

- [158] D. Jin et J. A. del Alamo, « Methodology for the Study of Dynamic ON-Resistance in High-Voltage GaN Field-Effect Transistors », *IEEE Transactions on Electron Devices*, vol. 60, n° 10, p. 3190-3196, oct. 2013.
- [159] E. Yeramian et P. Claverie, « Analysis of multiexponential functions without a hypothesis as to the number of components », *Nature*, vol. 326, n° 6109, p. 169-174, mars 1987.

Publications et communications

- L. Trinh Xuan**, R. Aubry, N. Michel, O. Patard, J.-C. Jacquet, S. Piotrowicz, M. Oualli, P. Gamarra, C. Potier, D. Lancereau, S. L. Delage, S. Laurent, P. Bouysse, R. Quéré, « *Normally-off AlGaIn/GaN Recessed MOS-HEMTs on Normally-on Epitaxial Structures for Microwave Power Applications* », *2016 11th European Microwave Integrated Circuits Conference (EuMIC)*, London, UK, sept. 2016, pp. 65-68.
- L. Trinh Xuan**, R. Aubry, N. Michel, O. Patard, J.-C. Jacquet, S. Piotrowicz, M. Oualli, P. Gamarra, C. Lacam, D. Lancereau, S. L. Delage, P. Bouysse and R. Quéré, « *Normally-off InAlGaIn/AlIn/GaN Recessed MOS-HEMTs on Normally-on Epitaxial Structures for Microwave Power Applications* », *2016 Workshop on Compound Semiconductor Devices and Integrated Circuits*, Aveiro, Portugal, juin 2016.
- R. Aubry, J. C. Jacquet, M. Oualli, O. Patard, S. Piotrowicz, E. Chartier, N. Michel, **L. Trinh Xuan**, D. Lancereau, C. Potier, M. Magis, P. Gamarra, C. Lacam, O. Jardel, C. Dua et S. L. Delage, « *ICP-CVD SiN Passivation for High-Power RF InAlGaIn/GaN/SiC HEMT* », *IEEE Electron Device Letters*, vol. 37, n° 5, p. 629-632, mai 2016.
- L. Trinh Xuan**, R. Aubry, N. Michel, O. Patard, J.-C. Jacquet, S. Piotrowicz, M. Oualli, P. Gamarra, C. Lacam, C. Potier, D. Lancereau, S. L. Delage, P. Bouysse et R. Quéré, « *Transistors HEMT normally-off, normally-on compatibles de la technologie nitrure de gallium pour des applications de puissance hyperfréquence* », *19^e Journées Nationales du Réseau Doctoral en Micro-nanoélectronique*, Toulouse, France, mai 2016.
- L. Trinh Xuan**, R. Aubry, N. Michel, S. Piotrowicz, D. Lancereau, P. Gamarra, C. Lacam, M. Oualli, A. Torres, P. Bouysse, R. Quéré and S. L. Delage, « *Normally-off/Normally-on HEMT suitable for AlGaIn/GaN and In(Ga)AlIn/GaN RF structures for high power microwave applications* », *2016 Spring Meeting of the European Materials Research Society*, Lille, France, mai 2016.

Fonction normally-on, normally-off compatible de la technologie HEMT GaN pour des applications de puissance, hyperfréquences

Ce document présente les travaux de thèse ayant pour objet la recherche et développement d'une technologie co-intégrée HEMT GaN *normally-on/normally-off* compatible avec les matériaux et procédés technologiques de la technologie *normally-on* hyperfréquence. Un exposé théorique et une revue de l'état de l'art permettent d'abord d'entrevoir les différentes solutions technologiques qui s'offrent à nous, tout en affirmant et en précisant les applications visées. Différentes briques technologiques sont ensuite développées pour la fabrication de MOS-HEMTs GaN à *recess* de grille sur des épi-structures à barrière AlGaIn ou (Ga)InAlN dédiées aux applications hyperfréquences. Nous insistons sur la possibilité d'intégrer les 2 fonctionnalités *normally-off* et *normally-on* de manière monolithique. Les échantillons ainsi réalisés sont ensuite caractérisés électriquement de manière conventionnelle, mais aussi en utilisant des techniques avancées de spectroscopie de pièges comme les paramètres S à basse fréquence et la mesure du transitoire de R_{ON} . Bien que certains phénomènes de piégeage dans l'oxyde de grille soient mis en évidence, les résultats sont très satisfaisants : des composants *normally-off* sont obtenus pour les 2 structures, et les performances sont au niveau de l'état de l'art mondial, avec plusieurs pistes d'amélioration en perspective.

Mots-clés : *normally-off, normally-on, intégration monolithique, GaN, HEMT, E-mode, D-mode, InAlN, AlGaIn, état de l'art, simulation, fabrication, caractérisation, effets de pièges.*

Normally-on / Normally-off Integrated Operation on GaN HEMT Technology for Power and Microwave Applications

This document reports on research and development efforts towards a normally-on/normally-off integrated GaN HEMT technology that remains compatible with the material and processing dedicated to normally-on microwave devices. Following several theoretical considerations, the state-of-the-art is presented, which gives a perspective on the available technological solutions and helps define the specifications and the targeted applications. The development and optimization of new process steps enables the fabrication of gate-recessed MOS-HEMTs on epi-structures with AlGaIn or (Ga)InAlN barrier, monolithically integrable with normally-on transistors. The samples are electrically characterized by means of standard measurements and more advanced trap spectroscopy techniques such as low-frequency S-parameters or R_{ON} transient monitoring. In spite of oxide-related trapping phenomena, the results are very promising: normally-off devices are obtained for both structures, and the performances are in line with literature accounts while identified possible improvements can be explored.

Keywords: *normally-off, normally-on, monolithic integration, GaN, HEMT, E-mode, D-mode, InAlN, AlGaIn, state-of-the-art, simulation, processing, characterization, trapping effects.*

