



**HAL**  
open science

# Terminaisons verticales de jonction remplies avec des couches diélectriques isolantes pour des application haute tension utilisant des composants grand-gap de forte puissance

Thi Thanh Huyen Nguyen Bui

## ► To cite this version:

Thi Thanh Huyen Nguyen Bui. Terminaisons verticales de jonction remplies avec des couches diélectriques isolantes pour des application haute tension utilisant des composants grand-gap de forte puissance. Electronique. Université de Lyon, 2018. Français. NNT : 2018LYSEI061 . tel-02061320

**HAL Id: tel-02061320**

**<https://theses.hal.science/tel-02061320>**

Submitted on 8 Mar 2019

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



# INSA

N°d'ordre NNT : 2018LYSEI061

**THESE de DOCTORAT DE L'UNIVERSITE DE LYON**  
opérée au sein de  
**(INSA de Lyon)**

**Ecole Doctorale EEA N° 160**  
**(Électronique, Électrotechnique, Automatique)**

**Spécialité/ discipline de doctorat : Génie électrique**

Soutenue publiquement le 12/07/2018, par :  
**(Thi Thanh Huyen BUI)**

---

**Terminaisons verticales de jonction remplies avec  
des couches diélectriques isolantes pour des  
application haute tension utilisant des  
composants grand-gap de forte puissance**

---

Devant le jury composé de :

LEFEBVRE, Stéphane Professeur, SATIE, Paris **Président**

GHEERAERT, Etienne Professeur, Institut NEEL, Grenoble

LEFEBVRE, Stéphane Professeur, SATIE, Paris

ISOIRD, Karine Maitre de conférences, LAAS, Toulouse

LAZAR, Mihai Chargé de recherche CNRS, INSA de Lyon, Villeurbanne

AUGE, Jean-Louis Maitre de conférences, INSA de Lyon, Villeurbanne

**Rapporteur**

**Rapporteur**

**Examineur**

**Examineur**

**Examineur**

MOREL, Hervé

Directeur de recherche CNRS, INSA de Lyon

Directeur de thèse



**Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020**

<b>SIGLE</b>	<b>ECOLE DOCTORALE</b>	<b>NOM ET COORDONNEES DU RESPONSABLE</b>
<b>CHIMIE</b>	<b>CHIMIE DE LYON</b> <a href="http://www.edchimie-lyon.fr">http://www.edchimie-lyon.fr</a> Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage <a href="mailto:secretariat@edchimie-lyon.fr">secretariat@edchimie-lyon.fr</a> INSA : R. GOURDON	<b>M. Stéphane DANIELE</b> Institut de recherches sur la catalyse et l'environnement de Lyon IRCELYON-UMR 5256 Équipe CDFA 2 Avenue Albert EINSTEIN 69 626 Villeurbanne CEDEX <a href="mailto:directeur@edchimie-lyon.fr">directeur@edchimie-lyon.fr</a>
<b>E.E.A.</b>	<b>ÉLECTRONIQUE, ÉLECTROTECHNIQUE, AUTOMATIQUE</b> <a href="http://edeea.ec-lyon.fr">http://edeea.ec-lyon.fr</a> Sec. : M.C. HAVGOUDOUKIAN <a href="mailto:ecole-doctorale.eea@ec-lyon.fr">ecole-doctorale.eea@ec-lyon.fr</a>	<b>M. Gérard SCORLETTI</b> École Centrale de Lyon 36 Avenue Guy DE COLLONGUE 69 134 Écully Tél : 04.72.18.60.97 Fax 04.78.43.37.17 <a href="mailto:gerard.scorletti@ec-lyon.fr">gerard.scorletti@ec-lyon.fr</a>
<b>E2M2</b>	<b>ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODÉLISATION</b> <a href="http://e2m2.universite-lyon.fr">http://e2m2.universite-lyon.fr</a> Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : H. CHARLES <a href="mailto:secretariat.e2m2@univ-lyon1.fr">secretariat.e2m2@univ-lyon1.fr</a>	<b>M. Philippe NORMAND</b> UMR 5557 Lab. d'Ecologie Microbienne Université Claude Bernard Lyon 1 Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69 622 Villeurbanne CEDEX <a href="mailto:philippe.normand@univ-lyon1.fr">philippe.normand@univ-lyon1.fr</a>
<b>EDISS</b>	<b>INTERDISCIPLINAIRE SCIENCES-SANTÉ</b> <a href="http://www.ediss-lyon.fr">http://www.ediss-lyon.fr</a> Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : M. LAGARDE <a href="mailto:secretariat.ediss@univ-lyon1.fr">secretariat.ediss@univ-lyon1.fr</a>	<b>Mme Emmanuelle CANET-SOULAS</b> INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment IMBL 11 Avenue Jean CAPELLE INSA de Lyon 69 621 Villeurbanne Tél : 04.72.68.49.09 Fax : 04.72.68.49.16 <a href="mailto:emmanuelle.canet@univ-lyon1.fr">emmanuelle.canet@univ-lyon1.fr</a>
<b>INFOMATHS</b>	<b>INFORMATIQUE ET MATHÉMATIQUES</b> <a href="http://edinfomaths.universite-lyon.fr">http://edinfomaths.universite-lyon.fr</a> Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 Fax : 04.72.43.16.87 <a href="mailto:infomaths@univ-lyon1.fr">infomaths@univ-lyon1.fr</a>	<b>M. Luca ZAMBONI</b> Bât. Braconnier 43 Boulevard du 11 novembre 1918 69 622 Villeurbanne CEDEX Tél : 04.26.23.45.52 <a href="mailto:zamboni@maths.univ-lyon1.fr">zamboni@maths.univ-lyon1.fr</a>
<b>Matériaux</b>	<b>MATÉRIAUX DE LYON</b> <a href="http://ed34.universite-lyon.fr">http://ed34.universite-lyon.fr</a> Sec. : Marion COMBE Tél : 04.72.43.71.70 Fax : 04.72.43.87.12 Bât. Direction <a href="mailto:ed.materiaux@insa-lyon.fr">ed.materiaux@insa-lyon.fr</a>	<b>M. Jean-Yves BUFFIÈRE</b> INSA de Lyon MATEIS - Bât. Saint-Exupéry 7 Avenue Jean CAPELLE 69 621 Villeurbanne CEDEX Tél : 04.72.43.71.70 Fax : 04.72.43.85.28 <a href="mailto:jean-yves.buffiere@insa-lyon.fr">jean-yves.buffiere@insa-lyon.fr</a>
<b>MEGA</b>	<b>MÉCANIQUE, ÉNERGÉTIQUE, GÉNIE CIVIL, ACOUSTIQUE</b> <a href="http://edmega.universite-lyon.fr">http://edmega.universite-lyon.fr</a> Sec. : Marion COMBE Tél : 04.72.43.71.70 Fax : 04.72.43.87.12 Bât. Direction <a href="mailto:mega@insa-lyon.fr">mega@insa-lyon.fr</a>	<b>M. Jocelyn BONJOUR</b> INSA de Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69 621 Villeurbanne CEDEX <a href="mailto:jocelyn.bonjour@insa-lyon.fr">jocelyn.bonjour@insa-lyon.fr</a>
<b>ScSo</b>	<b>ScSo*</b> <a href="http://ed483.univ-lyon2.fr">http://ed483.univ-lyon2.fr</a> Sec. : Viviane POLSINELLI Brigitte DUBOIS INSA : J.Y. TOUSSAINT Tél : 04.78.69.72.76 <a href="mailto:viviane.polsinelli@univ-lyon2.fr">viviane.polsinelli@univ-lyon2.fr</a>	<b>M. Christian MONTES</b> Université Lyon 2 86 Rue Pasteur 69 365 Lyon CEDEX 07 <a href="mailto:christian.montes@univ-lyon2.fr">christian.montes@univ-lyon2.fr</a>

\*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie



## **Résumé :**

Le développement de l'énergie renouvelable loin des zones urbaines demande le transport d'une grande quantité d'énergie sur de longues distances. Le transport d'électricité en courant continu haute tension (HVDC) présente beaucoup d'avantages par rapport à celui en courant alternatif. Dans ce contexte il est nécessaire de développer des convertisseurs de puissance constitués par des composants électroniques très haute tension, 10 à 30 kV.

Si les composants en silicium ne peuvent pas atteindre ces objectifs, le carbure de silicium (SiC) se positionne comme un matériau semiconducteur alternatif prometteur.

Pour supporter des tensions élevées, une région de "drift", relativement large et peu dopée constitue le cœur du composant de puissance. En pratique l'obtention d'une tension de blocage effective dépend de plusieurs facteurs et surtout de la conception d'une terminaison de jonction adaptée.

Cette thèse présente une méthode pour améliorer la tenue en tension des composants en SiC basée sur l'utilisation des terminaisons de jonctions : Deep Trench Termination. Cette méthode utilise une tranchée gravée profonde en périphérie du composant, remplie avec un matériau diélectrique pour supporter l'étalement des lignes équipotentielles.

La conception de la diode avec cette terminaison a été faite par simulation TCAD, avec deux niveaux de tension 3 et 20 kV. Les travaux ont pris en compte les caractéristiques du matériau, les charges à l'interface de la tranchée et les limites technologiques pour la fabrication.

Ce travail a abouti sur la fabrication de démonstrateurs et leur caractérisation pour valider notre conception. Lors de la réalisation de ces structures, la gravure plasma du SiC a été optimisée dans un bâti ICP de manière à obtenir une vitesse de gravure élevée et en conservant une qualité électronique de l'état des surfaces gravées. Cette qualité est confirmée par les résultats de caractérisation obtenus avec des tenues en tension proches de celle idéale.

**Mots-Clés:** Carbure de silicium, Terminaisons verticales, Deep Trench Termination, Gravure profonde, Simulation Sentaurus.

## **Abstract**

The development of renewable energy away from urban areas requires the transmission of a large amount of energy over long distances. High Voltage Direct Current (HVDC) power transmission has many advantages over AC power transmission. In this context, it is necessary to develop power converters based on high voltage power electronic components, 10 to 30 kV. If silicon components cannot achieve these objectives, silicon carbide (SiC) is positioned as a promising alternative semiconductor material.

To support high voltages, a drift region, relatively wide and lightly doped is the heart of the power component. In practice obtaining an effective blocking voltage depends on several factors and especially the design of a suitable junction termination.

This thesis presents a method to improve the voltage withstand of SiC components based on the use of junction terminations: Deep Trench Termination. This method uses a trench deep etching around the periphery of the component, filled with a dielectric material to support the spreading of the equipotential lines.

The design of the diode with this termination was done by TCAD simulation, with two voltage levels 3 and 20 kV. The work took into account the characteristics of the material, the interface charge of the trench and the technological limits for the fabrication.

This work resulted in the fabrication of demonstrators and their characterization to validate the design. During the production of these structures, plasma etching of SiC has been optimized in an ICP reactor so as to obtain a high etching rate and maintaining an electronic quality of the state of etched surfaces. This quality is confirmed by the results of characterization obtained with blocking voltage close to the ideal one.





---

# TABLE DES MATIÈRES

TABLE DES MATIÈRES	viii
LISTE DES FIGURES	xiii
LISTE DES TABLEAUX	xix
INTRODUCTION GÉNÉRALE	1
1 INTRODUCTION SUR LE SiC ET LES TECHNIQUES DE TERMINAISON POUR LES COMPOSANTS DE PUISSANCE	5
1.1 PROPRIÉTÉS DU SiC . . . . .	6
1.1.1 Structure cristalline et polytypes du SiC . . . . .	7
1.1.2 Propriétés mécaniques et thermiques du SiC . . . . .	8
1.1.3 Propriétés électroniques du SiC . . . . .	8
1.2 TECHNOLOGIE DE FABRICATION SiC . . . . .	14
1.2.1 Croissance de couches épitaxiales . . . . .	15
1.2.2 Dopage du SiC . . . . .	16
1.2.3 Contacts métalliques sur SiC . . . . .	17
1.2.4 Gravure SiC . . . . .	17
1.2.5 Passivation . . . . .	18
1.2.6 Packaging . . . . .	20
1.3 TENUE EN TENSION . . . . .	21
1.3.1 Définition du claquage par avalanche . . . . .	21
1.3.2 Résistances spécifiques à l'état passants . . . . .	25
1.3.3 Optimisation du couple "épaisseur / dopage" . . . . .	27
1.4 TECHNIQUE DE TERMINAISON . . . . .	28

---

1.4.1	Anneaux de garde (Anneaux diviseurs de champ) . . . . .	30
1.4.2	Extension de jonction implantée (JTE) . . . . .	32
1.4.3	Plaque de champ . . . . .	34
1.4.4	Couche semi-résistive SIPOS . . . . .	36
1.4.5	Technique RESURF . . . . .	36
1.4.6	Technique de terminaison en biseau ou MESA . . . . .	37
1.4.7	Technique Deep Trench Termination (DT2) . . . . .	39
1.5	CONCLUSION . . . . .	42
<b>2</b>	<b>CONCEPTION D'UNE DIODE PIN EN SiC AVEC UNE PROTECTION DT2</b>	<b>45</b>
2.1	INTRODUCTION . . . . .	45
2.2	LE LOGICIEL SENTAURUS . . . . .	46
2.2.1	Sentaurus Structure Editor . . . . .	46
2.2.2	Sentaurus Device . . . . .	48
2.3	STRUCTURE D'UNE DIODE DE PUISSANCE . . . . .	49
2.4	FONCTIONNEMENT D'UNE DIODE . . . . .	51
2.4.1	Diode à l'équilibre . . . . .	51
2.4.2	Fonctionnement en direct . . . . .	52
2.4.3	Fonctionnement en inverse . . . . .	53
2.5	DIMENSIONNEMENT D'UNE COUCHE "DRIFT" POUR LA TENUE EN TENSION 3 kV . . . . .	54
2.6	CONCEPTION DE LA PROTECTION PÉRIPHÉRIQUE DT2 D'UNE DIODE PIN 3 kV . . . . .	55
2.6.1	Présentation de la terminaison mesa . . . . .	56
2.6.2	Structure simulée de la terminaison DT2 simulée . . . . .	57
2.6.3	Influence de l'angle de gravure . . . . .	58
2.6.4	Influence de la profondeur et largeur de gravure . . . . .	60
2.6.5	Influence du matériau isolant pour remplir la tranchée . . . . .	62
2.6.6	Terminaison de jonction à tranchée profonde avec une plaque de champ . . . . .	65

---

2.6.7	Terminaison de jonction à tranchée profonde avec une couche JTE autour de la tranchée . . . . .	66
2.6.8	Optimisation de la dose pour la couche JTE . . . . .	68
2.6.9	Propriétés électriques de l'interface SiC/diélectrique . . . . .	70
2.6.10	Influence des charges à l'interface . . . . .	77
2.6.11	Conclusion . . . . .	81
2.7	CONCEPTION D'UNE PROTECTION PÉRIPHÉRIQUE DT <sub>2</sub> POUR UNE DIODE PiN 25kV . . . . .	82
2.7.1	Influence de la profondeur et de la largeur de gravure . . . . .	83
2.7.2	Terminaison de jonction à tranchée profonde avec une couche JTE autour de la tranchée . . . . .	84
2.7.3	Terminaison de jonction à tranchée profonde avec une couche JTE autour de la tranchée + SiO <sub>2</sub> + diélectrique dans la tranchée . . . . .	86
2.7.4	Terminaison de jonction qui utilise la packaging comme une terminaison . . . . .	87
2.7.5	Conclusion . . . . .	89
2.8	CONCLUSION . . . . .	91
3	RÉALISATION D'UNE PROTECTION PÉRIPHÉRIQUE DT <sub>2</sub> POUR COMPOSANT SiC . . . . .	93
3.1	INTRODUCTION . . . . .	93
3.2	GRAVURE PROFONDE DU SiC . . . . .	95
3.2.1	Mécanismes de gravure plasma dans le SiC et réacteurs . . . . .	95
3.2.2	Synthèse des études précédentes au laboratoire sur la gravure plasma du SiC . . . . .	103
3.2.3	Optimisation du procédé de gravure profonde du SiC dans un bâti ICP . . . . .	108
3.3	PROCESSUS TECHNOLOGIQUE POUR LES DIODES SiC PiN DT <sub>2</sub> 3kV ET CARACTÉRISATION ÉLECTRIQUE . . . . .	116
3.3.1	Nettoyage de surface . . . . .	116
3.3.2	Photolithographie classique UV . . . . .	117

---

3.3.3	Technique "liff-off" . . . . .	120
3.3.4	Dépôt du masque métallique . . . . .	122
3.3.5	Gravure du SiC avec le réacteur ICP . . . . .	122
3.3.6	Dépôt de parylene dans les tranchées . . . . .	123
3.3.7	Caractérisation électrique des diodes SiC DT2 . . . . .	124
3.4	CONCLUSION DU CHAPITRE 3 . . . . .	125
	<b>CONCLUSION GÉNÉRALE ET PERSPECTIVES</b>	<b>129</b>
	<b>BIBLIOGRAPHIE</b>	<b>133</b>



---

## LISTE DES FIGURES

1.1	"Paire" SiC (Raynaud 2007) . . . . .	7
1.2	Séquence d'empilement des principaux polytypes de SiC (Tournier 2007) . . . . .	8
1.3	Évolution de la concentration intrinsèque en fonction de la température, en tenant compte de la variation de $E_g$ avec la température (Raynaud 2007). . . . .	10
1.4	Structure de composant SiC protégé par JTE avec les couches de passivation y compris les paramètres technologiques (Diaham <i>et al.</i> 2009) . . . . .	19
1.5	Module d'électronique de puissance standard . . . . .	20
1.6	Accélération et multiplication des porteurs dans une zone de charge d'espace. . . . .	22
1.7	Extension de charge d'espace, les coordonnées et limites dimensionnelles. . . . .	23
1.8	Dépendance des coefficients d'ionisation en fonction du champ électrique du SiC-4H (Nguyen 2011). . . . .	25
1.9	Évolution des intégrales d'ionisation des trous et des électrons en fonction de la tension appliquées sur une jonction en polarisation inverse. . . . .	26
1.10	Répartition du champ électrique au claquage dans une diode $P^+N^-N^+$ : jonction plane en limitation de charge d'espace (tronquée)(a,) et jonction plane infinie (b,) (non tronquée). . . . .	28
1.11	Distribution de champ électrique dans une structure avec un anneau flottant (Leturcq 2000). . . . .	30

---

1.12	Extensions de jonction implantées. Influence de la dose de dopant dans la zone P (Leturcq 2000). . . . .	33
1.13	Protection par plaque de champ (Leturcq 2000). . . . .	35
1.14	Plaque de champ résistive (SIPOS) (Leturcq 2000). . . . .	37
1.15	Terminaison "Resurf" (Leturcq 2000). . . . .	38
1.16	Terminaison biseau positif (Leturcq 2000). . . . .	38
1.17	Terminaison biseau négatif (Leturcq 2000). . . . .	39
1.18	Technique de termination de jonction à tranchée profonde et couche JTE $P^-$ autour de la tranchée (Dragomirescu 2001). .	40
1.19	Tenue en tension en fonction de largeur et profondeur de la tranchée (Dragomirescu 2001). . . . .	41
2.1	Diagramme pour simuler la structure d'un composant semi-conducteur . . . . .	47
2.2	Maillage optimisé de la structure simulée, vue globale de la protection périphérique. . . . .	48
2.3	Maillage optimisé de la structure simulée à l'interface SiC/diélectrique. . . . .	48
2.4	Structure 3D d'une diode bipolaire de puissance avec tranchée.	50
2.5	Structure d'une diode bipolaire de puissance. . . . .	51
2.6	Allure du profil de dopage . . . . .	51
2.7	Extension des Z.C.E à l'équilibre ( $V_f = 0$ ) et sous polarisation directe ( $V_f \neq 0$ ). . . . .	52
2.8	Extension des Z.C.E à l'équilibre ( $V_f = 0$ ) et sous polarisation inverse ( $V_f \neq 0$ ) . . . . .	53
2.9	Tension de claquage en fonction du dopage et de l'épaisseur de la zone de "drift". . . . .	55
2.10	Structure diode planar. . . . .	56
2.11	Terminaison diode mesa. . . . .	57
2.12	Structure simulée avec une terminaison DT2 . . . . .	58
2.13	Structure gravure positive . . . . .	59

---

2.14	Distribution des équipotentiellles au moment claquage . . . . .	59
2.15	Tenue en tension $V_{br}$ en fonction de $\alpha$ pour différents épaisseur de gravure . . . . .	60
2.16	La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par $SiO_2$ ) . . . . .	61
2.17	La tenue en tension en fonction de la profondeur de la tranchée (remplie du $SiO_2$ ; largeur de la tranchée $W_T = 60 \mu m$ ) . . . . .	62
2.18	La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par vide) . . . . .	64
2.19	La tenue en tension en fonction de la constante diélectrique pour une tranchée optimale . . . . .	65
2.20	La tenue en tension en fonction de la constante diélectrique pour une tranchée optimale . . . . .	66
2.21	DT2 avec JTE . . . . .	67
2.22	Distribution des équipotentiellles sans JTE et avec JTE . . . . .	67
2.23	Distribution des équipotentiellles dans le cas d'une JTE avec un dopage trop faible . . . . .	68
2.24	Distribution des équipotentiellles dans le cas d'une JTE avec un dopage optimal . . . . .	68
2.25	Distribution des équipotentiellles dans le cas d'une JTE avec un dopage trop grand . . . . .	69
2.26	Coupe latérale du module du champ électrique au moment du claquage . . . . .	70
2.27	La tenue en tension en fonction de profondeur et la dose de couche JTE (largeur de la tranchée $20 \mu m$ ) . . . . .	71
2.28	La tenue en tension en fonction de profondeur et la dose de couche JTE (largeur de la tranchée $60 \mu m$ ) . . . . .	72
2.29	Schéma des mécanismes piégeage, dépiégeage, recombinaison, génération. . . . .	73
2.30	Densité états interface en fonction de énergy dans le SiC band gap pour SiC-4H, SiC-6H (Saks <i>et al.</i> 2000) . . . . .	74



---

2.31	Les différents types de charges et leurs localisations. Remarque : les états d'interface sont qualifiés de défauts intrinsèques. . . . .	76
2.32	Influence de l'insertion de charges fixes sur la tenue en tension de la diode DT2. . . . .	77
2.33	Distribution des équipotentiels dans le cas $C_1 = -10^{12} \text{ cm}^{-2}$ , $C_2 = -5 \times 10^{12} \text{ cm}^{-2}$ et $C_3 = -4 \times 10^{13} \text{ cm}^{-2}$ . . . . .	78
2.34	Distribution de champ dans le SiC en fonction de la concentration de charges négatives. . . . .	80
2.35	Distribution du champ électrique pour une dose de $C_3 = -4 \times 10^{13} \text{ cm}^{-2}$ . . . . .	80
2.36	Distribution des équipotentiels dans le cas $C_1 = 1 \times 10^{12} \text{ cm}^{-2}$ , $C_2 = 4 \times 10^{12} \text{ cm}^{-2}$ . . . . .	81
2.37	Structure diode PiN 25kV avec JTE modulée (Niwa <i>et al.</i> 2012a)	83
2.38	Structure de la diode PiN 25kV avec la tranchée remplie par l'isolant . . . . .	83
2.39	La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par SiO <sub>2</sub> ) . . . . .	84
2.40	La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par BCB) . . . . .	85
2.41	Structure diode PiN 25kV DT2 et JTE. . . . .	85
2.42	Structure diode PiN 25kV DT2 et JTE. Courant de fuite lors de l'arrêt de la simulation (à gauche) et répartition du champ électrique (à droite) . . . . .	86
2.43	Structure diode PiN 25kV DT2 et JTE, SiO <sub>2</sub> . . . . .	87
2.44	Distribution du champ électrique au moment de claquage dans la diode 25 kV avec DT2, JTE et SiO <sub>2</sub> . . . . .	88
2.45	Le structure nouveau de la diode utilisant le packaging comme terminaison . . . . .	88
2.46	Distribution des équipotentiels au claquage pour la diode utilisant le packaging comme terminaison. . . . .	90

---

2.47	Distribution du champ électrique AA' pour la diode utilisant le packaging comme terminaison. . . . .	90
3.1	Mécanismes de gravure plasma (Vang 2006a) . . . . .	96
3.2	Sélectivité des masques de gravure dans un plasma SF <sub>6</sub> /O <sub>2</sub> .	99
3.3	Réacteurs plasmas RIE (Vang 2006b) . . . . .	100
3.4	Réacteurs plasmas ICP (Vang 2006b) . . . . .	102
3.5	Bâtis de gravure plasma utilisés sur la plateforme Nanolyon dans les études précédentes au laboratoire : RIE Nextral NEE110 (à gauche), Oxford NGP80 (à droite). . . . .	103
3.6	Courbe expérimentale profondeur de gravure RIE avec SF <sub>6</sub> /O <sub>2</sub> à 250 W en fonction de la durée (Lazar <i>et al.</i> 2006). .	104
3.7	Images AFM qui présentent la rugosification de la surface du SiC après des gravures RIE à 250 W durant 10 min (a) et 20 min (b) (Lazar <i>et al.</i> 2006). . . . .	105
3.8	L'influence de la pression du réacteur RIE sur la vitesse de gravure et sur la sélectivité du masque nickel avec un plasma SF <sub>6</sub> /O <sub>2</sub> à une puissance de 250 W (Morel <i>et al.</i> 2005). . . . .	106
3.9	Images MEB sur des échantillons SiC-4H gravés avec un plasma RIE SF <sub>6</sub> /O <sub>2</sub> à 100 W avec la présence du phénomène de "trenching" (à gauche) et à 250 W sans "trenching" (à droite) (Simescu <i>et al.</i> 2010). . . . .	106
3.10	Micromasking produit par le dépôt de particules en provenance du masque métallique (Lazar <i>et al.</i> 2011). . . . .	107
3.11	Images MEB de surfaces gravées très lisses et avec des motifs serrés obtenus en utilisant un masquage Ni/Si (Laariedh 2013). .	108
3.12	Image du bâti ICP ETREM utilisé dans cette étude . . . . .	109
3.13	Optimisation des paramètres de gravure ICP avec plasma SF <sub>6</sub> pour la réalisation de tranchées profondes en SiC. Influence du débit de SF <sub>6</sub> . . . . .	110

---

3.14	Optimisation des paramètres de gravure ICP avec plasma $SF_6$ pour la réalisation de tranchées profondes en SiC. Influence de la pression. . . . .	111
3.15	Optimisation des paramètres de gravure ICP avec plasma $SF_6$ pour la réalisation de tranchées profondes en SiC. Influence du bias, tension de polarisation du port-échantillon $RF_2$ . . . . .	111
3.16	Optimisation des paramètres de gravure ICP avec plasma $SF_6$ pour la réalisation de tranchées profondes en SiC. Influence du taux d'oxygène. . . . .	112
3.17	Image MEB des flancs de gravure pour les tranchées $\approx 23\mu m$ que nous avons réalisé avec le procédé ICP. . . . .	113
3.18	Image MEB sur une zone révélatrices de défauts et une image plus globale d'un plot gravé sur une surface partiellement utilisée sur une étape technologique précédente. . . . .	114
3.19	Process photolithographie avec des résines positives et négatives . . . . .	118
3.20	Images prises avec microscope optique : a) masque Cr-verre sale avant nettoyage, b) report de ces saletés sur nos échantillons. Laariedh (2013) . . . . .	120
3.21	Images prises avec microscope optique d'un masque Cr-verre après nettoyage Laariedh (2013) . . . . .	120
3.22	Images prises avec microscope optique d'un masque Cr-verre après nettoyage. . . . .	121
3.23	Présentation schématique des étapes technologiques pour la fabrication des diodes SiC PiN DT2. . . . .	123
3.24	Test sous pointes avec le banc Signatone S-1160 du laboratoire d'une puce SiC. . . . .	125
3.25	Test en inverse des diodes SiC DT2 avant le dépôt de parylène.125	
3.26	Tenue en tension de 3 kV sur les diodes SiC DT2 obtenue après dépôt de parylène. . . . .	126

---

# Liste des tableaux

1.1	Variation du gap en fonction de la température . . . . .	9
1.2	Paramètres $N_C$ , $N_V$ et $n_i$ calculés à 300 K (Raynaud 2007) . .	10
1.3	Énergies d'activation des principaux dopants (Raynaud 2007)	11
1.4	Paramètres $N_C$ , $N_V$ et $n_i$ calculés à 300 K (Raynaud 2007) . .	12
1.5	Les constantes pour calculer les coefficients d'ionisation pour SiC-4H. . . . .	23



---

# INTRODUCTION GÉNÉRALE

**A**ujourd'hui, le développement très rapide de l'énergie renouvelable pose un problème pour transporter une grande quantité d'énergie sur des longues distances ou par câbles, car les centrales qui produisent l'énergie renouvelable sont souvent loin des zones urbaines, comme les centrales éoliennes offshore, hydrauliques, solaires, thermiques... Dans ce domaine, le transport d'électricité par un courant continu haute tension (HVDC) présente beaucoup d'avantages par rapport à celui en courant alternatif (HVAC).

D'abord, un avantage économique vient de la réduction des pertes. Pour les lignes aériennes de transport électricité, sans effet de peau, la résistance en courant continu des lignes est plus faible qu'en courant alternatif. En plus, la puissance réactive n'existe pas en courant continu, donc il n'y a pas de pertes Joule dues au transport de la puissance réactive. Le courant est donc seulement limité par les capacités thermiques des conducteurs. Le système de ligne de transmission en courant continu ne nécessite que 2 conducteurs au lieu de 3, donc le coût pour construire est aussi diminué. Toutefois, le courant continu haute tension implique des postes de conversion aux deux extrémités pour se raccorder aux réseaux alternatifs.

D'un point de vue distribution sur longues distances, l'HVDC est l'unique possibilité pour transporter de l'électricité dans des câbles enterrés ou sous-marins sur des distances supérieures à environ 100 km. Les câbles AC ont en effet un comportement capacitif. Leurs charges et décharges finissent par consommer l'intégralité du courant disponible à

cause de la valeur capacitive très grande du câble. Autrement dit la puissance transportée par le câble devient intégralement réactive, et donc finit par empêcher le transport de la puissance active, qui est recherchée. Afin de réduire cet effet capacitif, on installe dans les liaisons classiques en courant alternatif des réactances de compensation, ce qui est coûteux. Par contre en courant continu, aucune puissance réactive n'est produite dans le câble, et l'intérêt du continu, qui en est exempt, croît avec la distance de transport.

Un autre avantage important de la technique HVDC réside dans le problème de la connexion des réseaux avec deux fréquences différentes, par exemple 50 Hz et d'autres à 60 Hz. Une station en courant continu haute tension permet d'échanger de l'énergie entre les deux réseaux sans les connecter directement et donc en évitant la propagation des instabilités d'un réseau à l'autre. De manière plus générale, la stabilité des réseaux est améliorée, le flux d'énergie s'interrompant si une instabilité ou un défaut est détecté d'un côté de la liaison, qui ne se propage donc pas.

Pour les lignes aériennes, les lignes HVDC n'ont pas besoin de compensation sur des longues distances. La stabilité de la tension mais aussi la stabilité de la centrale ne sont pas menacées, les pertes en lignes sont également réduites. Le contrôle de la transmission d'énergie est plus facile.

En dehors de toute considération technique, le choix économique d'utiliser ou pas du courant continu pour une liaison de grande longueur dépend en particulier de trois paramètres :

- le coût supplémentaire des stations de conversion
- les pertes de ces stations de conversion
- les pertes en ligne

Il en résulte donc une longueur de ligne au-delà de laquelle un projet de ligne à courant continu est rentable. On estime en général cette lon-

gueur à 500 km environ pour une ligne aérienne et 10 à 50 km pour une ligne par câbles.

En parallèle avec le développement du système HVDC, il faut se focaliser aussi sur le développement du convertisseur électronique de puissance, qui est constitué par des composants électroniques utilisés en forte puissance. L'histoire de l'électronique de puissance a commencé depuis des années 1960 avec des composants en silicium (Si). Les premières diodes de puissance apparaissent en 1956. Ensuite au début des années 1970, des transistors bipolaires et thyristors sont arrivés. Le thyristor - GTO, le transistor MOS et l'IGBT sont développés dans les années 80-90. Les composants en silicium sont limités dans les applications industrielles à 3.5 kV, 6.5 kV voire 8 kV selon les cas. La limite pratique est une marge de tension par rapport à l'emballage thermique. Un système de refroidissement thermique efficace est donc indispensable. Les besoins existent pour les futures applications à haute tension (traction, réseau...) surtout pour des composants à très haute tension, c'est à dire 10 kV, 15 kV voire 30 kV. Le silicium ne pourra pas atteindre ces objectifs. Le carbure de silicium (SiC) se positionne comme un candidat très prometteur pour ces objectifs à haute tension.

Le carbure de silicium est un matériau semi-conducteur grand gap, qui possède de bonnes propriétés physiques telles qu'une importante largeur de bande d'énergie interdite, une bonne mobilité, et une bonne conductivité thermique. Il permet d'obtenir des composants fonctionnant dans des conditions de hautes températures, hautes fréquences, et fortes puissances en milieu hostile. Le laboratoire Ampère fait des recherches depuis plusieurs dizaines d'années sur le SiC, y compris des recherches sur le domaine des composants haute tension et très haute tension (au delà de 10 kV) appliqué pour les transmissions HVDC.

Les travaux de recherche présentés ici se situent dans ce contexte. Pour supporter des tensions élevées, une région relativement large et peu do-



pée est utilisée pour permettre à la zone de charge d'espace de s'étendre suffisamment. Cette région, dont la désignation générique est la zone de "drift", constitue le coeur du composant de puissance. La tension de blocage théorique du composant est définie par le dopage et l'épaisseur de la zone de "drift". Cette tension théorique est limitée essentiellement par le mécanisme d'avalanche. Par contre en pratique l'obtention d'une tension de blocage effective proche de la valeur théorique dépend de plusieurs facteurs : courant inverse, dont l'origine principale est la génération thermique dans la zone de charge d'espace, contournement de la jonction par claquage prématuré intervenant sur les bords, courants de fuite superficiels. La conception de terminaisons de jonction adaptées, la passivation, la concentration des centres de génération-recombinaison...sont d'autres facteurs. Enfin, il faut prévoir que la tenue en tension définie en régime statique peut être altérée en régime transitoire par l'effet de la charge d'espace des porteurs en transit, avec, en certains cas, des conséquences destructives (avalanche dynamique) (Leturcq 2000).

Dans cette thèse, nous voulons présenter une méthode pour améliorer la tenue en tension des composants en SiC basée sur l'utilisation des terminaisons de jonctions : Deep Trench Termination. Cette méthode utilise une tranchée gravée profonde au niveau périphérique du composant, avec un matériau diélectrique remplissant la tranchée pour supporter toutes les lignes équipotentielles.

---

# Chapitre 1

## INTRODUCTION SUR LE SiC ET LES TECHNIQUES DE TERMINAISON POUR LES COMPOSANTS DE PUISSANCE

Près d'un siècle après la découverte des propriétés semi-conductrices du SiC en 1907, le silicium est toujours le semi-conducteur le plus utilisé du fait de son développement technologique et de ses propriétés électriques et physiques. Mais avec l'évolution des besoins en électronique de puissance de plus en plus exigeants, le silicium a atteint ses limites physiques exploitables dans l'électronique de puissance nécessitant de forts courants et de hautes tensions. Précisément, il n'est plus fiable du point de vue électrique au delà de 200 °C à 600 V et connaît de sérieuses défaillances de son environnement et du matériau à partir de 500 °C. De plus, ses propriétés physiques montrent qu'il n'est pas possible de maintenir une forte tenue en tension en inverse avec une faible chute de tension à l'état passant et une commutation rapide notamment dans les conditions extrêmes (hautes températures, radiation et milieux chimiques...). On a

deux solutions pour résoudre ce problème : améliorer la conception du composant, ou trouver un autre matériau qui peut remplacer le silicium.

Ainsi, une solution est d'employer un matériau grand-gap qui semble mieux approprié. Les propriétés physiques de ce matériau (champ électrique critique, conductivité thermique élevée, vitesse de saturation des porteurs importante...) en font un matériau bien adapté pour l'électronique de haute puissance, haute température et haute fréquence. Parmi ces matériaux grand-gap, le SiC, le diamant et le GaN sont des candidats avec les propriétés les plus attractives, mais ils ont encore des limites en termes de disponibilité de substrats et de maturité de la technologie qui font qu'aujourd'hui ces semi-conducteurs sont moins avancés que le silicium. Toutefois, ces dernières années 1990-2016, la maturité technologique du SiC a permis de réaliser une gamme assez large de composants de puissance (diode, transistors bipolaires, JFET, MOSFET, IGBT...). Une filière SiC est en train d'émerger sur les différents continents. Les plus avancées sont CREE Research aux États-Unis, devenu Wolfspeed, INFINEON et STMicroelectronics en Europe, Rohm, Mitsubishi, CRIEPI et Toyota au Japon. Le premier composant de puissance en SiC disponible sur le marché en 2001 par les sociétés Microsemi et Infineon technologies a été la diode Schottky. Aujourd'hui, des MOSFET 1700 V - 50 A sont disponibles. Les MOSFET 6,5 kV - 50 A sont en phase d'industrialisation.

Dans ce premier chapitre, nous rappelons les principales propriétés du SiC. Un état de l'art des technologies de fabrication SiC, la notion de la tenue en tension de composant et les méthodes de protection périphérique réalisées sur le SiC sont ensuite présentés.

## 1.1 PROPRIÉTÉS DU SiC

Le carbure de silicium est un matériau ancien, trouvé dans les météorites et qui n'existe pas à l'état naturel sur la terre. La synthèse du matériau présente cependant beaucoup de difficultés : la température mise en jeu

lors de la synthèse est très élevée, le nombre de polytypes important (près de 200) et leurs conditions d'obtention sont très sensibles aux conditions de température et de pression. Nous rappelons dans un premier temps les propriétés principales du SiC.

### 1.1.1 Structure cristalline et polytypes du SiC

Le carbure de silicium est un matériau cristallin formé par l'empilement alterné de plans compacts de paires C-Si (Fig 1.1). Les différentes séquences d'empilement de ces plans donnent des cristaux différents appelés polytypes. On dénombre plus de 200 polytypes pour le SiC.

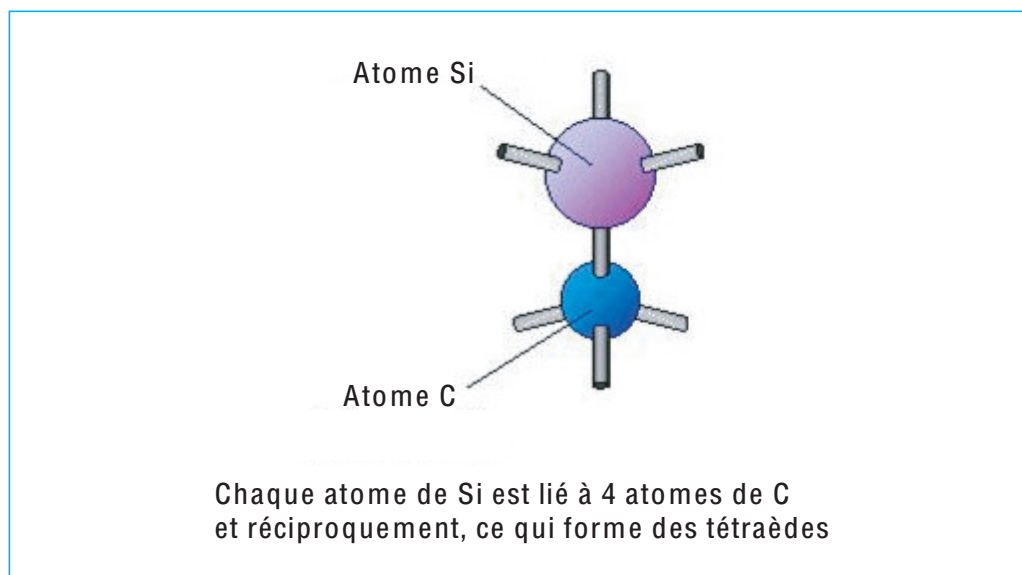


FIGURE 1.1 – "Paire" SiC (Raynaud 2007)

Selon la notation de Ramsdell (Raynaud 2007), les polytypes sont nommés par NX, où N est le nombre de couches constituant la période et X désigne la structure cristallographique : H (hexagonale), R (rhomboédrique) ou C (cubique). Les plus intéressants sont les polytypes 6H, 4H, et 3C car ils présentent les propriétés particulièrement recherchées dans la fabrication des composants de puissance.

La figure 1.2 suivante présente la structure de base du SiC et les séquences d'empilement des principaux polytypes de SiC (Tournier 2007).

Aujourd'hui, tous les composants de puissance industrialisés utilisent du 4H.

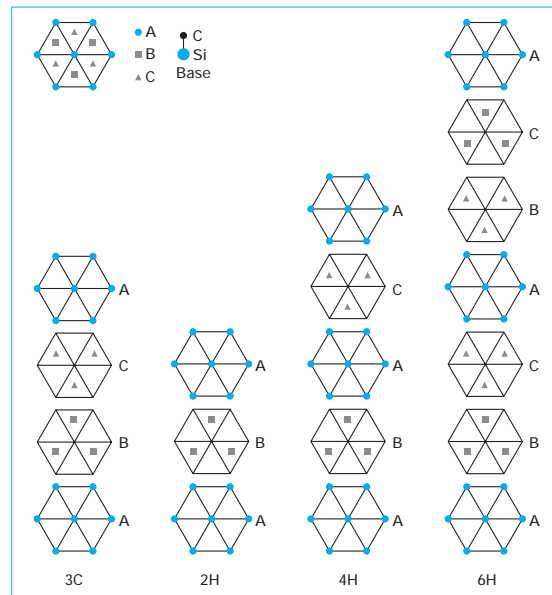


FIGURE 1.2 – Séquence d'empilement des principaux polytypes de SiC (Tournier 2007)

### 1.1.2 Propriétés mécaniques et thermiques du SiC

Le carbure de silicium possède une énergie de liaison élevée Si-C ( $\sim 6$  eV) permettant d'obtenir une grande stabilité chimique et physique à haute température (jusqu'à  $1300^{\circ}\text{C}$ ), ainsi qu'une grande résistance aux radiations. Cela permet l'utilisation des composants SiC dans des environnements hostiles tels que les installations nucléaires ou spatiales. De plus, il a aussi une très bonne conductivité thermique, elle est comparable à celle du cuivre, qui permet une meilleure évacuation de la chaleur au sein des composants, favorisant la montée en puissance ou en fréquence des composants.

### 1.1.3 Propriétés électroniques du SiC

#### 1.1.3.1 Énergie de la bande interdite

Le SiC est un semi-conducteur à bande d'énergie interdite indirecte. Sa valeur de bande interdite ( $E_{gap}$ ) est de l'ordre de 3 eV, environ trois

fois celle du silicium. Le gap décroît linéairement en température comme indiqué dans le Tableau 1.1 (Raynaud 2007).

Tableau 1.1 – Variation du gap en fonction de la température

Polytypes	$E_g$ à 0K(eV)	$E_g$ en fonction de T(K)
SiC-6H	3,02	$2,925-3,3 \times 10^{-4}(T - 300)$
SiC-4H	3,26	$3,165-3,3 \times 10^{-4}(T - 300)$
SiC-3C	2,37	$2,2-5,8 \times 10^{-4}(T - 300)$

### 1.1.3.2 Concentration des porteurs intrinsèques et densités d'états

La concentration des porteurs intrinsèques  $n_i$  de SiC est extrêmement faible comparée à celle du Silicium, en raison du grand gap de ce matériau. C'est un paramètre important car il détermine la limite supérieure de la température de fonctionnement des composants. En plus, il conditionne pour une bonne part l'intensité des courants de fuite en inverse des jonctions bipolaires ou Schottky. Ce paramètre est lié à la largeur de la bande interdite ainsi qu'aux densités effectives d'états de la bande de conduction  $N_C$  et bande de valence  $N_V$  :

$$n_i = \sqrt{N_V N_C} \exp\left(\frac{-E_g}{2kT}\right) \quad (1.1)$$

Avec :

$$N_C = 2M_C \left(\frac{2m_{dos,n}KT\pi}{h^2}\right)^{\frac{3}{2}} \quad (1.2)$$

Et :

$$N_V = 2M_V \left(\frac{2m_{dos,p}KT\pi}{h^2}\right)^{\frac{3}{2}} \quad (1.3)$$

Où :

—  $M_C, M_V$  : nombre de minima équivalents dans les bandes de conduction et de valence

- $m_{dos,n}, m_{dos,p}$  : masses effectives de densité d'états des électrons et des trous
- $K$  : constante de Boltzmann
- $h$  : constante de Planck

La concentration  $n_i$  à température ambiante est indiquée dans le tableau 1.2.

Tableau 1.2 – Paramètres  $N_C, N_V$  et  $n_i$  calculés à 300 K (Raynaud 2007)

Polytypes	SiC-6H	SiC-4H	SiC-3C
$N_C (cm^{-3})$	$8,65 \times 10^{19}$	$1,68 \times 10^{19}$	$1,56 \times 10^{19}$
$N_V (cm^{-3})$	$3,3 \times 10^{19}$	$3,3 \times 10^{19}$	$3,3 \times 10^{19}$
$n_i (cm^{-3})$	$1,44 \times 10^{-5}$	$6,12 \times 10^{-8}$	7,54

D'après la figure 1.3 (Raynaud 2007), on voit l'évolution de la concentration intrinsèque en fonction de la température, en tenant compte de la variation de  $E_g$  avec la température. Lorsqu'elle dépasse le dopage de la région faiblement dopée le composant ne peut plus fonctionner. Pour le SiC-6H et 4H, la concentration intrinsèque reste très inférieure, aux dopages généralement utilisés ( $> 10^{14} cm^{-3}$ ). Par conséquent, le SiC fonctionne en régime extrinsèque jusqu'à 1000 K (700 °C) ou plus.

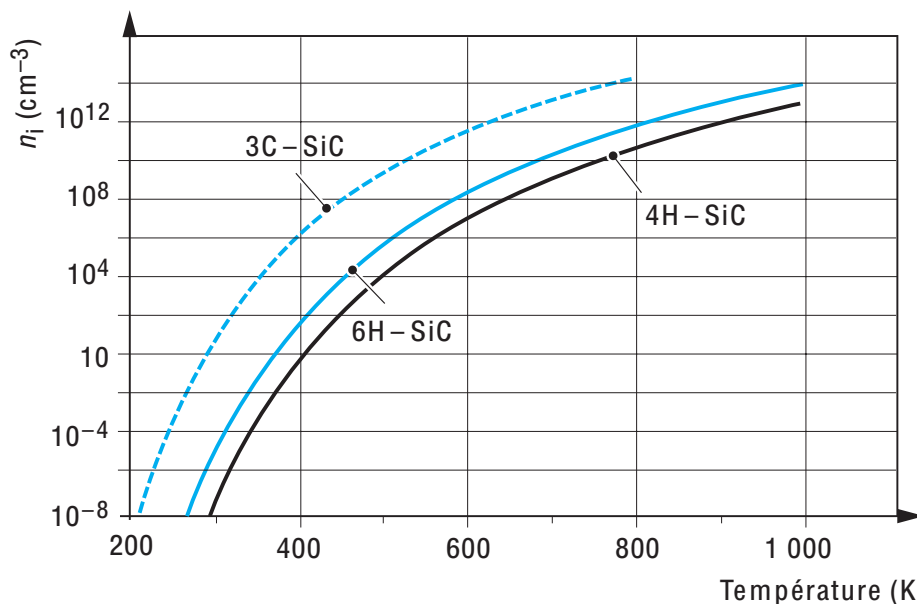


FIGURE 1.3 – Évolution de la concentration intrinsèque en fonction de la température, en tenant compte de la variation de  $E_g$  avec la température (Raynaud 2007).

### 1.1.3.3 Énergie d'activation et ionisation incomplète des dopants

L'énergie d'activation est la différence d'énergie entre le niveau discret introduit par l'impureté et la bande de conduction pour les impuretés donneuses et la bande de valence pour les impuretés dopantes acceptrices. Pour le SiC, l'énergie d'activation des dopants est bien supérieure à celle observée dans le Si pour un même dopant. Pour SiC, à température ambiante tous les dopants ne sont pas ionisés. Ce point de "gel des porteurs" ("freeze-out of carriers") peut être observé que vers 100 K, dans le cas du Si. Nous parlons alors d'ionisation incomplète des dopants. Cette propriété du SiC influence de façon significative les caractéristiques des composants, car elle peut conduire à une augmentation de la résistance série et à une diminution de l'injection des porteurs. Le pourcentage de dopants ionisés à une température donnée dépend peu de la compensation et diminue avec l'augmentation du dopage. Les énergies d'activation des principaux dopants et les calculs du pourcentage de dopants ionisés sont présentés dans la tableau 1.3.

Tableau 1.3 – Énergies d'activation des principaux dopants (Raynaud 2007)

Impuretés	Polytypes	SiC-6H	SiC-4H	SiC-3C
Azote	Sites occupés Énergies	C $E_{dh} = 81$ $E_{dk1} = 138$ $E_{dk2} = 142$	C $E_{dh} = 52$ $E_{dk} = 92$	C et Si $E_{dk} = 56,5$
Aluminium	Sites occupés Énergies	Si $E_{ah} = 239$ $E_{ak1,2} = 249$	Si $E_a = 191$	Si $E_a = 254$

- On note  $E_{dhi}$  et  $E_{dKi}$  les énergies d'activation des donneurs dans les  $i$  sites hexagonaux (indices h) et  $j$  sites cubiques (indice k) respectivement.
- On note  $E_{ahi}$  et  $E_{aki}$  les énergies d'activation des accepteurs dans ces mêmes sites hexagonaux et cubiques.



### 1.1.3.4 Mobilité des porteurs

La mobilité des porteurs est importante si l'on veut déterminer les résistances des couches de SiC que l'on utilise pour réaliser des composants. Les calculs théoriques de la mobilité des porteurs nécessitent de résoudre l'équation de transport de Boltzmann, ce qui se fait généralement dans le cadre de l'approximation du temps de relaxation. Alors, on peut calculer le tenseur de conductivité en fonction du champ électrique, et par la suite la mobilité. Ces calculs demeurent valables pour le SiC, en adaptant les paramètres. La mobilité sous champ faible, que l'on appelle par la suite mobilité  $\mu$  est définie par :

$$v = \mu F \quad (1.4)$$

Où :  $v$  est la vitesse des porteurs et  $F$  est le champ électrique. La mobilité sous fort champ électrique  $F$  peut être décrite comme suit :

$$\mu = \frac{\mu_{LF}}{\left(1 + \left[\frac{\mu_{LF} \cdot F}{v_{sat}}\right]^\alpha\right)^{\frac{1}{\alpha}}} \quad (1.5)$$

avec :  $\mu_{LF}$  est la mobilité sous champ faible décrite ci-dessus et  $v_{sat}$  est la vitesse de saturation de porteurs.

Les valeurs des paramètres  $\alpha$  et  $v_{sat}$  dans les directions parallèles et orthogonales à l'axe sont présentées dans le tableau 1.4 (Raynaud 2007). Ces valeurs sont soit théoriques, déterminées par des simulations de type Monte-Carlo (MC), soit expérimentales.

Tableau 1.4 – Paramètres  $N_C$ ,  $N_V$  et  $n_i$  calculés à 300 K (Raynaud 2007)

Polytypes	SiC-6H expérimental	SiC-6H simulation MC	SiC-4H expérimental	SiC-4H simulation MC
$\alpha \perp$ (MC)	1,09	0,9	0,825	0,84
$\alpha //$ (MC)		1,4		1,11
$v_{sat} \perp$ ( $cm.s^{-1}$ )	$2 \times 10^7$	$1,9 \times 10^7$	$2,08 \times 10^7$	$2,1 \times 10^7$
$v_{sat} //$ ( $cm.s^{-1}$ )		$6 \times 10^6$		$1,7 \times 10^7$

### 1.1.3.5 Champ critique

Le champ électrique de claquage du SiC ( $\sim 2,5$  MV/cm) est environ 10 fois plus élevé que celui du Silicium ( $\sim 0,2$  MV/cm).

La tension de claquage pour une diode plane "non-punch-through" (NPT) de surface infinie est donnée par :

$$V_B = \frac{E_C W_B}{2} = \left( \frac{q N_D}{2\epsilon} \right) W_B^2 \quad (1.6)$$

On voit bien que, avec la même valeur de tenue en tension, l'épaisseur de la région de désertion  $W_B$  sera environ 10 fois plus mince que pour le silicium, et le dopage  $N_D$  sera environ 100 fois plus élevé (équation 1.6). Ainsi, il en résulte une diminution de la taille du composant donc du système de refroidissement par rapport à ceux des composants Si. Par contre, si l'on fixe la taille du composant, le champ critique élevé confère une tensions de blocage plus élevée et un meilleur compromis entre la tenue en tension avec la résistance à l'état passant.

$$R_{ON} = \frac{W_B}{q\mu_n N_D} = \frac{4V_B^2}{\epsilon\mu_n E_C^3} \quad (1.7)$$

Le champ de claquage est donné par la formule :

Pour le polytype 4H (Konstantinov *et al.* 1997) :

$$F_c = \frac{2,49 \cdot 10^6}{1 - 0,25 \lg(N_{D,A}/10^{22})} \quad (1.8)$$

Pour le polytype 4H (Raghunathan et Baliga 1999) :

$$F_c = 1,64 \cdot 10^4 \cdot (N_D/10^6)^{1/7} \quad (1.9)$$

Pour le polytype 6H (Raghunathan et Baliga 1999)

$$F_c = 1,52 \cdot 10^4 \cdot (N_D/10^6)^{1/7} \quad (1.10)$$

### 1.1.3.6 Coefficients d'ionisation

Les coefficients d'ionisation présentent l'aptitude des atomes du cristal semi-conducteur à s'ioniser sous l'effet de l'impact d'un électron ou d'un trou chaud (c'est-à-dire fortement énergétique). En effet, sous polarisation inverse, des porteurs minoritaires sont injectés dans la zone de charge d'espace, qui subit un champ électrique intense. Ces porteurs peuvent acquérir une énergie cinétique importante, si leur libre parcours moyen est assez long, et peuvent ioniser les atomes du réseau lors de collisions avec eux sur le chemin, et ensuite libérer un autre porteur. Celui-ci, étant également balayé par le champ électrique, il contribue à augmenter le courant de fuite. Selon l'énergie mise en jeu lors du choc collisionnel, les porteurs libres qui en résultent peuvent eux-mêmes contribuer à ioniser d'autres atomes. Ce phénomène cumulatif s'appelle la multiplication par avalanche, la quelle peut conduire au claquage du composant. Peu de travaux ont été publiés concernant les coefficients d'ionisation des électrons et des trous en SiC. Les valeurs des coefficients d'ionisation dans le SiC-4H obtenues par Konstantinov en 1997 (Konstantinov *et al.* 1997) sont largement utilisées dans les simulateurs pour la conception des composants de puissance en SiC jusqu'à maintenant.

## 1.2 TECHNOLOGIE DE FABRICATION SiC

Les performances des composants en SiC obtenues ne sont pas seulement liées à la technologie de fabrication, mais d'abord liées à la qualité des substrat SiC. Jusqu'à maintenant, la qualité des substrats s'est bien améliorée, mais il reste quand même de nombreux défauts. Les deux familles principales de défauts sont les défauts étendus (les micropipes, les dislocations, les fautes d'empilement dans le plan de base) et les défauts ponctuels. Parmi eux, les défauts micropipes (Hofmann *et al.* 1999) et les dislocations (Blumenau *et al.* 2003) causent un grand impact sur la propriétés mécaniques et surtout électriques du composant. Tout d'abord, la

méthode de "Lely" (Anthony 1958), basée sur la condensation de SiC, permet de faire croître des couches de SiC relativement pures et présentant une faible densité de défauts. La taille du substrat est petite, ce qui rend le rendement d'utilisation de wafer faible, le coût global du composants élevé. D'un point de vue technique, les calibres en courants et en tensions des composants restaient petits.

En 1978 fut montrée une nouvelle méthode dérivée de celle de Lely (Tairov et Tsvetkov 1978) pour obtenir des substrats plus grands en introduisant un germe de SiC monocristallin dans la chambre de croissance. Les vapeurs ne se condensent plus alors de manière aléatoire sur la paroi en graphite mais sur le germe refroidi qui conditionne, par là même, une orientation préférentielle tout au long de la nucléation. En imposant un gradient de température à l'intérieur du réacteur, on constate une amélioration de la qualité des cristaux. Plus récemment, Cree a annoncé en 2012 la commercialisation de la nouvelle génération de substrats de 6 pouces (150 mm) (Cree 2012). Aujourd'hui les micropipes ne sont plus un problème : ils représentent moins de 3 % des sources de défaillances pour des rendements de production de l'ordre de 80 %.

Les différentes techniques et moyens de fabrication employés pour SiC sont similaires à ceux existants pour la filière silicium. Elles ont fait l'objet de développements et optimisations afin d'être adaptées aux spécificités du SiC. Dans le cadre de notre travail, les étapes technologiques importantes sont l'épitaxie, les procédés de dopage, la gravure, le contact ohmique, la passivation et le packaging. Elles révèlent toutes d'une grande complexité. Elles seront abordées par la suite.

### 1.2.1 Croissance de couches épitaxiales

Comme le dopage des substrats SiC est à un niveau élevé (supérieur à  $10^{17} \text{ cm}^{-3}$ ), des couches épitaxiales réalisées à un dopage contrôlé, de type P ou N, sont nécessaires pour assurer les caractéristiques des composants. Ces croissances épitaxiales sont en général des homoépitaxies sur des sub-

strats SiC et dans une moindre mesure, des croissances hétéroépitaxiales sur des substrats silicium. Les méthodes les plus utilisées sont celles par CVD (Chemical Vapor Deposition) en utilisant des gaz comme le silane ( $SiH_4$ ) et le propane ( $C_3H_8$ ) ou le méthane ( $CH_4$ ) ainsi que des précurseurs pour introduire des dopants. Ces croissances se réalisent en général dans des réacteurs verticaux à des températures assez élevées, 1500 à 1600 °C dans le cas des homoépitaxies. Une légère désorientation des substrats est utilisée (off-axis) afin de préserver le polytype du substrat. Ces dernières années des progrès importants sur les composants SiC ont été faits grâce à l'amélioration de la qualité des couches épitaxiales. Ceci s'est produit aussi grâce à l'amélioration de la qualité des substrats SiC, en réduisant les densités des défauts (micropipes, dislocations) et en utilisant des méthodes pour éviter la migration de ces défauts vers les couches épitaxiales.

### 1.2.2 Dopage du SiC

Par rapport au silicium ou d'autres semiconducteurs classiques, le dopage sélectif du SiC ne peut pas être réalisé par diffusion des impuretés à cause de leurs coefficients de diffusion trop faibles. Ainsi, le dopage localisé dans le SiC se réalise en général par implantation ionique. Pour guérir les défauts créés dans le réseau cristallin du SiC et activer les dopants, c'est-à-dire les faire migrer dans des sites substitutionnels, il est nécessaire de réaliser des recuits à très haute température, typiquement autour de 1700 °C. Les dopants utilisés pour doper le SiC sont l'azote et le phosphore pour créer des couches de type N ainsi que l'aluminium et plus rarement le bore pour créer des couches de type P. Les énergies d'ionisation de l'azote et l'aluminium pour le SiC sont données dans le tableau 1.3. Remarquons les valeurs assez élevées de celles pour l'aluminium,  $\sim 200$  meV, qui sont la raison des difficultés pour créer des couches de SiC type P à faible résistivité. Au laboratoire AMPERE plusieurs thèses ont été menées pour étudier et optimiser le dopage par implantation ionique comme celles de Laurent Ottaviani (Ottaviani 1999) et Mihai Lazar (Lazar 2002).

D'autres méthodes alternatives de dopage ont été étudiées comme celle par croissance VLS (Vapeur-Liquide-Solide) (Sejil *et al.* 2017).

### 1.2.3 Contacts métalliques sur SiC

Sur les semiconducteurs à large bande interdite, la réalisation des contacts ohmique est en général difficile à cause des désaccords entre les travaux de sortie des métaux et les affinités électroniques ou les travaux de sortie des semiconducteurs. Dans le cas du SiC c'est surtout le contact ohmique sur le type P qui pose des soucis. Pour les contacts sur le SiC de type N on utilise des métallisations à base de nickel et des résistances spécifiques de contact assez faibles, de l'ordre de  $10^{-6} \Omega \text{ cm}^2$  sont obtenus après un recuit de quelques minutes à rampe de montée rapide jusqu'à 1000 °C. Dans le cas du SiC de type P, des alliages plus complexes sont utilisés, à base d'aluminium, titane et nickel. Des recuits à rampes rapides à plusieurs paliers sont utilisés jusqu'à 800 ou même 1000 °C pour obtenir des résistances spécifiques assez élevées autour de  $10^{-4} \Omega \text{ cm}^2$  en général et pour les meilleures autour de  $10^{-5} \Omega \text{ cm}^2$ . Au laboratoire AMPERE, récemment, des études dans le cadre de plusieurs thèses ont été conduites sur les contacts ohmiques réalisées sur le SiC de type. (Laariedh 2013) (Abi Tannous 2015).

### 1.2.4 Gravure SiC

Parmi les étapes technologies pour la fabrication des composants dans les circuits intégrés, la gravure constitue l'une des étapes clés les plus importantes afin de créer les motifs et les zones actives, la protection périphérique du composant, révéler certains défauts du matériau ou de rafraîchir les surfaces dans les procédés technologiques... Dans notre cas, on s'intéresse à la gravure du SiC pour la mise en place de la protection de type mesa. En général, la gravure se fait soit en voie humide, soit en voie sèche en fonction du matériau gravé et de la conception de composant.

Pour graver du SiC, la gravure sèche par "plasma" est choisie, car, contrairement au silicium, le SiC est un matériau "difficile" à graver à cause de ses excellentes propriétés de résistance chimique et mécaniques (inertie chimique). De plus, la gravure plasma est strictement anisotrope et a une grande sélectivité par rapport au masque utilisé. De ce fait, elle présente des avantages qui répondent aux exigences de la diminution des dimensions critiques des motifs (quelques dizaines de nanomètres) et aussi aux qualités des surfaces gravées (sans contamination, sans dommages cristallins...).

### 1.2.5 Passivation

Les dispositifs haute tension, lors du fonctionnement peuvent rencontrer des limitations liées aux propriétés électriques de leur environnement. Par exemple, pour une diode verticale en polarisation en inverse, un champ électrique élevé apparaît en surface du composant. Ce champ peut conduire au claquage externe de la structure par contournement du champ électrique. Pour réduire le champ électrique et aussi le risque de contournement en surface de composant, on dépose une couche d'isolant possédant un champ électrique de claquage supérieur à celui de l'air... On l'appelle "couche de passivation", la plus répandue est l'oxyde de silicium  $SiO_2$ . Elle sert à la fois à passiver les états de charge présents à l'interface avec le semi-conducteur, mais aussi à protéger cette interface de toute contamination pouvant être une source de défaillance dans le temps. Dans la suite, on détaille respectivement les passivations primaire et secondaire.

#### 1.2.5.1 Passivation Primaire

La couche de passivation primaire  $SiO_2$  est obtenue via une oxydation thermique (quelques 100 nm) à très haute température ( $> 1000$  °C). Cette couche possède généralement un très fort champ de rupture de l'ordre de  $10 - 12$  MV.cm<sup>-1</sup> (Jones et Jones Stephen 2002), (Yano *et al.* 2005). Les densités de charges à l'interface sont très faibles (de l'ordre de  $10^{10}$  cm<sup>-2</sup> dans le

cas du Si, beaucoup plus élevées dans le cas du SiC), ce qui perturbe peu la répartition des équipotentiels à l'intérieur du semiconducteur (Yano *et al.* 2005). Cette couche de passivation permet de réduire fortement le niveau des courants de fuite des composants semiconducteurs sous polarisation inverse.

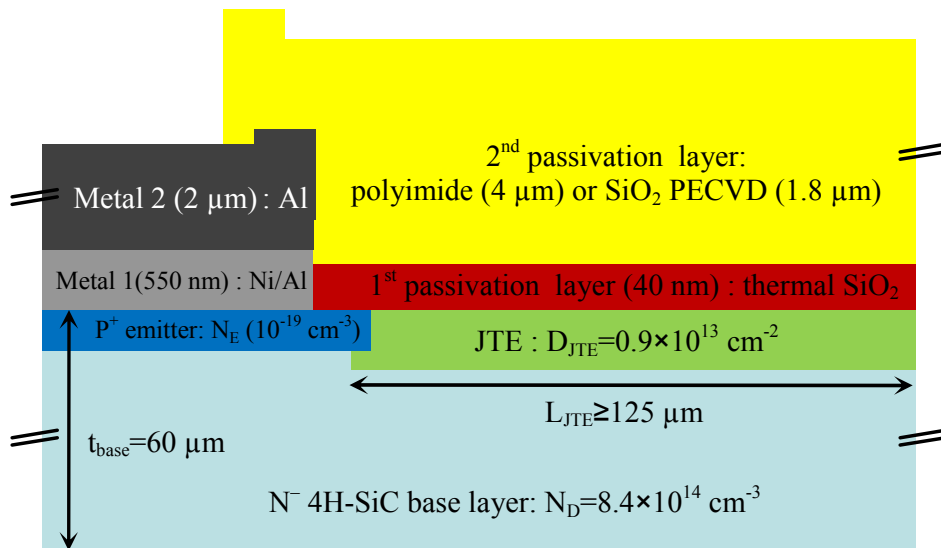


FIGURE 1.4 – Structure de composant SiC protégé par JTE avec les couches de passivation y compris les paramètres technologiques (Diaham *et al.* 2009)

### 1.2.5.2 Passivation Secondaire

C'est la couche de passivation déposée au dessus de la couche primaire avec un dépôt plus épais (plusieurs micromètres d'épaisseur) de manière conforme. Elle doit posséder une excellente propriété diélectrique, un champ de rupture élevé et aussi être capable de supporter les dilatations thermiques sur des dispositifs de grandes dimensions. Cette couche peut être soit des matériaux inorganiques ( $SiO_2$  et/ou  $Si_3N_4$ ) déposés par CVD (Chemical Vapor Deposition), soit des polymères organiques ou les gels silicones. Les plus répandus sont des polymères comme le polyimide (Nuttall *et al.* 2003).



### 1.2.6 Packaging

La puce semi-conductrice est un élément actif d'un module de puissance. Pour le protéger et isoler de son environnement, un packaging (ou boîtier) est indispensable. Le packaging doit évacuer la chaleur que la puce dissipe et transmettre les courants via les terminaux de connection au reste du circuit (bonding). Par exemple, sur la Fig 1.5, les différents éléments de packaging sont présentés. La puce semi-conductrice est brasée sur un substrat céramique métallisé. Le substrat céramique est ensuite fixé sur une semelle. Les deux parties, substrat céramique métallisé et semelle, jouent le rôle d'un support mécanique et assurent et le transfert thermique vers l'extérieur. Des fils de bonding assurent les connections électriques à l'intérieur. Les connections vers l'extérieur sont faites par les brasures sur la partie métallisation du substrat céramique. Enfin, l'assemblage est mis en boîtier, lequel est rempli d'un gel silicone (encapsulation), pour protéger les constituants du module de puissance.

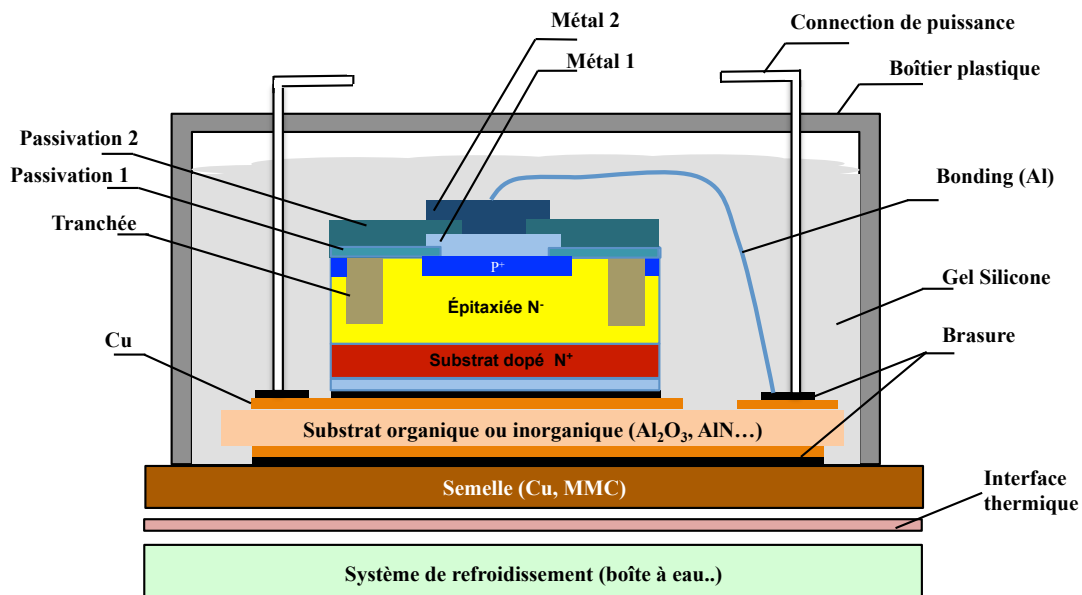


FIGURE 1.5 – Module d'électronique de puissance standard

### 1.3 TENUE EN TENSION

La tenue en tension d'un composant de puissance est l'une de ses caractéristiques les plus importantes. Elle est définie par la tension que les deux contacts principaux (ou une jonction bloquante du dispositif) peut supporter sous polarisation inverse. Cette jonction, en règle générale, est fortement asymétrique. L'une des deux régions, relativement large et peu dopée souvent désignée par le terme générique de "drift", doit permettre à la zone de charge d'espace de s'étendre suffisamment. La couche de "drift" est souvent homogène, de type N de préférence au type P pour des raisons qui tiennent à la plus forte mobilité des électrons ou aux impératifs de la technologie. Elle constitue la région centrale du composant. Les profils types à considérer dans l'étude de la tenue en tension des composants de puissance sont donc des successions  $P^+NN^+$  et  $P^+NP^+$  (ou les successions complémentaires  $N^+PP^+$  et  $N^+PN^+$ ) (Leturcq 2000).

La tenue en tension théorique est définie essentiellement par le mécanisme d'avalanche. Elle dépend principalement de l'épaisseur et du dopage de la couche de "drift" qui tient la tenue en tension, le gradient de concentration d'impuretés dans le cas de jonctions très "graduelles". Mais en fait, la tenue en tension effective est différente de la valeur théorique et cela dépend aussi de plusieurs facteurs comme la méthode de protection périphérique, le type de jonction (plane, cylindrique ou sphérique), le contrôle de la nature et de la concentration des centres de génération - recombinaison, la passivation de la surface du composant... Tout d'abord, nous allons détailler le mécanisme d'avalanche dans le volume du composant.

#### 1.3.1 Définition du claquage par avalanche

Dans une jonction PN polarisée en inverse règne de part et d'autre un champ électrique intense. Lorsque le champ électrique devient suffisamment important, sous l'effet de ce champ, les porteurs sont accélérés dans la zone de charge d'espace. Ils acquièrent de l'énergie pour ioniser

les atomes du réseau et ainsi créer des paires électron-trou, qui accélérées à leur tour peuvent provoquer l'ionisation d'autres atomes. On dit alors qu'il y a une multiplication par avalanche des porteurs (Fig 1.6). Le claquage par avalanche survient lorsque le phénomène de multiplication s'emballe, le courant de fuite tend théoriquement vers l'infini. La tension de claquage est déterminée pour une valeur de courant de fuite donnée. On considère parfois que ces conditions sont satisfaites lorsque l'intégrale d'ionisation est égale à unité (Sze et Gibbons 1966) :

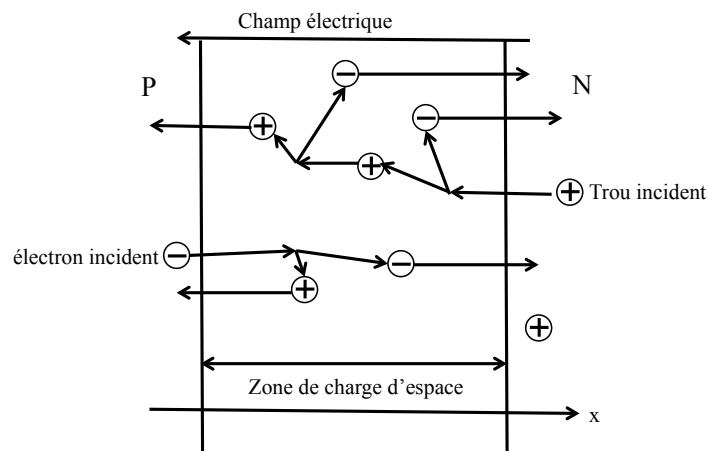


FIGURE 1.6 – Accélération et multiplication des porteurs dans une zone de charge d'espace.

$$I_n = \int_{r_n}^{r_p} \alpha_n \exp \left[ - \int_r^{r_p} (\alpha_n - \alpha_p) dr' \right] dr = 1 \quad (1.11)$$

$$I_p = \int_{r_n}^{r_p} \alpha_p \exp \left[ - \int_{r_n}^r (\alpha_p - \alpha_n) dr' \right] dr = 1 \quad (1.12)$$

Où :

- $r$  est la coordonnée d'espace ( $r_p < r < r_n$ ).
- $r_p$  et  $r_n$  sont les limites des charges d'espace dans les zones N et P.
- $\alpha_n$  et  $\alpha_p$  sont les coefficients d'ionisation des électrons et des trous.

Ces coefficients  $\alpha_n$  et  $\alpha_p$  sont les paramètres fondamentaux permettant de décrire le mécanisme d'avalanche. Ils représentent le nombre probable de collisions d'ionisation que subit un porteur incident, trou ou électron, sur une unité de longueur de parcours. Une première expression appro-

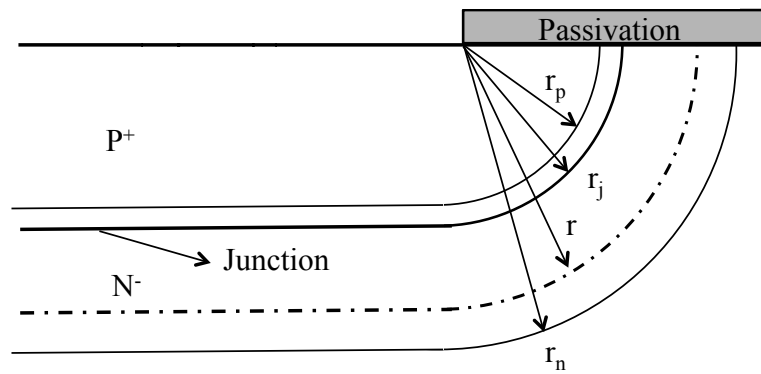


FIGURE 1.7 – Extension de charge d'espace, les coordonnées et limites dimensionnelles.

chée, largement utilisée par le passé, qui permet d'expliciter la relation entre les coefficients d'ionisation et le champ électrique (Chynoweth 1958), est donnée par la forme exponentielle suivante :

$$\alpha_{n,p} = A_{n,p} \exp\left(-\frac{B_{n,p}}{F}\right) \quad (1.13)$$

Où :

- F : champ électrique

-  $A_{n,p}, B_{n,p}$  : des constantes, les valeurs proposées par divers auteurs

sont données dans le tableau 1.5.

Tableau 1.5 – Les constantes pour calculer les coefficients d'ionisation pour SiC-4H.

	Auteur 1	Auteur 2	Auteur 3	Auteur 4	Auteur 5	Auteur 6
$A_n$ ( $cm^{-1}$ )		$1,98 \times 10^6$	$2,78 \times 10^6$	$1,76 \times 10^8$	$0,46 \times 10^6$	$4,1 \times 10^5$
$B_n$ (V/cm)		$(9,46 \times 10^6)^{1,42}$	$(1,05 \times 10^7)^{1,37}$	$3,3 \times 10^7$	$1,78 \times 10^7$	$1,67 \times 10^7$
$A_p$ ( $cm^{-1}$ )	$3,25 \pm 0,3$ $\times 10^6$	$4,36 \times 10^6$	$3,51 \times 10^6$	$3,41 \times 10^8$	$1,56 \times 10^7$	$1,63 \times 10^7$
$B_p$ (V/cm)	$1,79 \pm 0,4$ $\times 10^7$	$(1,14 \times 10^7)^{1,06}$	$(1,03 \times 10^7)^{1,09}$	$2,5 \times 10^7$	$1,72 \times 10^7$	$1,67 \times 10^7$

Auteur 1 : (Raghunathan et Baliga 1997)

Auteur 2 : (Ng *et al.* 2003)

Auteur 3 : (Loh *et al.* 2008)

Auteur 4 : (Hatakeyama *et al.* 2004)

Auteur 5 : (Nguyen *et al.* 2012) - Thèse au laboratoire AMPERE

Auteur 6 : (Konstantinov *et al.* 1998)

La dispersion de ces valeurs est liée principalement à la détermination expérimentale sur des échantillons et au fait, plus fondamental, que les valeurs " $\alpha_{n,p}$ " sont probablement fonction d'autres paramètres que le seul champ électrique. Ces paramètres ont été ensuite vérifiés par une comparaison des résultats expérimentaux avec ceux de simulations et un bon accord a été observé. L'inconvénient majeur de la formulation (équation 1.13) est qu'elle est délicate à intégrer pour le calcul dans les équations 1.11, 1.12).

Jusqu'à maintenant, dans notre laboratoire, les coefficients déterminés expérimentalement par Konstantinov (Konstantinov *et al.* 1998) dans le SiC-4H sont utilisés presque exclusivement. Parce qu'ils donnaient les résultats les plus proches des valeurs expérimentales. Plus récemment, en 2012, NGUYEN (Nguyen *et al.* 2012) a utilisé la technique OBIC (Optical Beam Induced Current) pour déterminer des paramètres du matériau, y compris les coefficients d'ionisation. Tout d'abord, le composant est polarisé en inverse, un faisceau de laser génère des porteurs libres (électrons et trous) dans la zone de charge d'espace (ZCE), ou dans une zone distante de la ZCE de moins d'une longueur de diffusion des porteurs libres. Les porteurs libres ensuite sont séparés, balayés et collectés par les électrodes. Sinon, ils se recombinent. Le courant des porteurs est mesuré à l'aide d'un circuit extérieur. Ensuite, par analysant le courant des porteurs générés, plusieurs paramètres du matériau et du composant sous test peuvent être déduits. Par exemple, la durée de vie des porteurs minoritaires, les coefficients d'ionisation du matériau...

La figure 1.8 montre la dépendance des coefficients en fonction du champ électrique. Ces valeurs correspondent respectivement au champ électrique à partir duquel la multiplication des porteurs commence et ce jusqu'au champ de claquage. Nous avons choisi d'utiliser les coefficients

de Konstantinov applicables entre 2,5-4 MV/cm, ce qui correspond à notre structure.

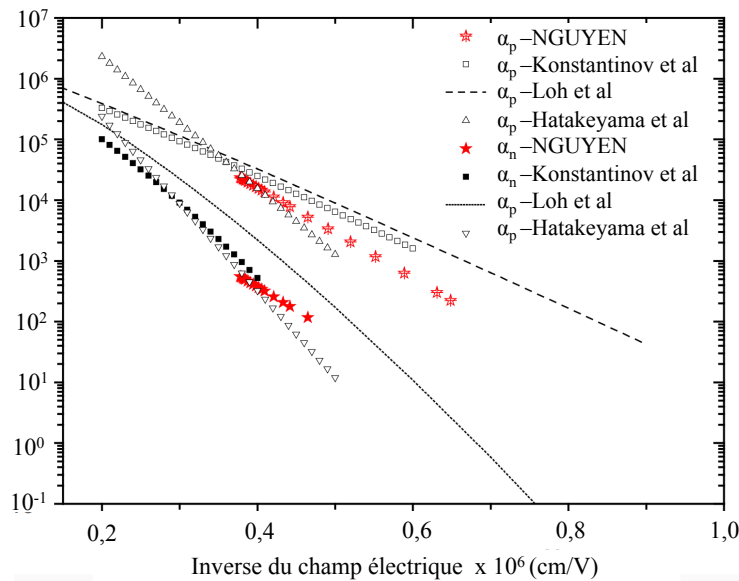


FIGURE 1.8 – Dépendance des coefficients d'ionisation en fonction du champ électrique du SiC-4H (Nguyen 2011).

Dans la simulation, tous les paramètres du composant comme : les caractéristiques physiques (type de matériau, dopage, température...), géométriques (profondeur de jonction, l'épaisseur des couche...), ou électrique (tension appliquée) jouent un rôle dans la valeurs des intégrales d'ionisation. Une exemple d'évolution des ces équations 1.11, 1.12 est présenté sur le Fig 1.9. Les deux équations atteignent la valeur critique 1 ensemble et correspondait à une valeur de tenue en tension de 2300 V.

### 1.3.2 Résistances spécifiques à l'état passants

L'optimisation de la géométrie du composant permet de déterminer la valeur de tenue en tension ( $V_{BR}$ ) et de la résistance à l'état passant ( $R_{ON}$ ) pour satisfaire le compromis entre ces deux valeurs. En effet, les diodes bipolaires sont partiellement handicapées par leur résistance à l'état passant et donc des pertes en conduction en raison de l'épaisseur de la zone volumique faiblement dopée qui doit être suffisamment grande pour sup-

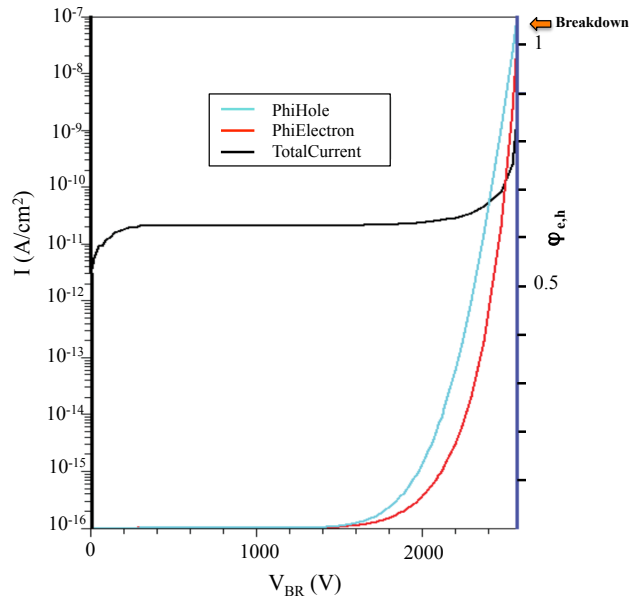


FIGURE 1.9 – Évolution des intégrales d'ionisation des trous et des électrons en fonction de la tension appliquées sur une jonction en polarisation inverse.

porter la tension de blocage. Heureusement l'effet de la forte injection atténue ce phénomène. Toutefois, trouver le meilleur compromis entre ces deux paramètres (résistance à l'état passant/tenue en tension) est un des défis majeurs dans ce domaine de tension.

Par exemple, prenons le cas d'un composant SiC comme un MOSFET protégé par une protection périphérique. Pour diminuer la résistance à l'état passant de ce composant, il suffit d'augmenter la surface active du composant jusqu'à atteindre la résistance voulue. De ce fait, le composant conçu présente une surface trop importante. Cette solution n'est pas envisageable pour de simples raisons de rendement par rapport à l'application et l'intégration, les composants ainsi obtenus pouvant être trop grand avec une utilité pas forcément prouvée. Le paramètre le plus important en conduction n'est donc pas la résistance à l'état passant mais le produit de cette résistance par la surface active " $R_{ON} \cdot S$ ". Ce produit est appelé "résistance passante spécifique", terme inspiré de la littérature anglosaxonne qui l'a baptisé "specific on resistance" Baliga (1987). Il apparaîtrait donc plus judicieux d'exprimer la résistance à état passant en termes de résistance passante spécifique.

### 1.3.3 Optimisation du couple "épaisseur / dopage"

Nous nous concentrerons maintenant sur la couche  $N^-$  de la jonction  $P^+N^-$  pour trouver les expressions "optimales" qui lient la tenue en tension aux deux paramètres, épaisseur et dopage de cette couche. On suppose une jonction  $P^+N^-$  plane. Dans la littérature, plusieurs auteurs ont proposé des expressions approximatives comme (PHAM 1982), (Gharbi 1985), (Beydoun 1994), liant la valeur de la tenue en tension avec l'extension de la zone de charge espace  $W_{ZCE}$  et le dopage  $N_D$  de la couche  $N^-$ . Parmi eux, Gharbi (Gharbi 1985) a montré que ses calculs sont apparus les plus rigoureux car ils sont notamment basés sur des expressions de coefficients d'ionisation  $\alpha_n$  et  $\alpha_p$  non égaux. Les coefficients d'ionisation peuvent aussi être approchés en fonction du champ électrique sous la forme polynomiale suivante. Il a considéré les deux cas de figure type de la jonction  $P^+N^-$  (Fig 1.10) :

1. La jonction plane tronquée (ou "Punch-Through") : Cela veut dire que la limite de la zone de charge d'espace dépasse la zone  $N^-$ , cette zone est alors complètement dépeuplée au moment du claquage (Fig 1.10 a,). Le champ électrique prend une allure trapézoïdale.

$$L_N(cm) = 1,87 \cdot 10^{-6} V_{BR}^{\frac{7}{6}} \quad (1.14)$$

$$N_D(cm^{-3}) = 1,85 \cdot 10^{18} V_{BR}^{-\frac{4}{3}} \quad (1.15)$$

2. La jonction plane non tronquée (ou "Non-Punch-Through") : cela correspond au cas où l'épaisseur de la zone  $N^-$  est plus grande que l'extension de la zone de charge d'espace (Fig 1.10 b,). Le champ électrique prend une allure rectangle.

$$L_N(cm) = 2,44 \cdot 10^{-6} V_{BR}^{\frac{7}{6}} \quad (1.16)$$



$$N_D(cm^{-3}) = 2,16 \cdot 10^{18} V_{BR}^{-\frac{4}{3}} \quad (1.17)$$

En comparant les deux figures 1.10 a, et figure 1.10 b, on voit bien que la tenue en tension dans le cas de la jonction "tronquée" est plus grande par rapport à celle de la jonction "non tronquée", en plus, on peut profiter au maximum de la capacité de tenir une tension par la couche  $N^-$  en optimisant la résistance à l'état passant.

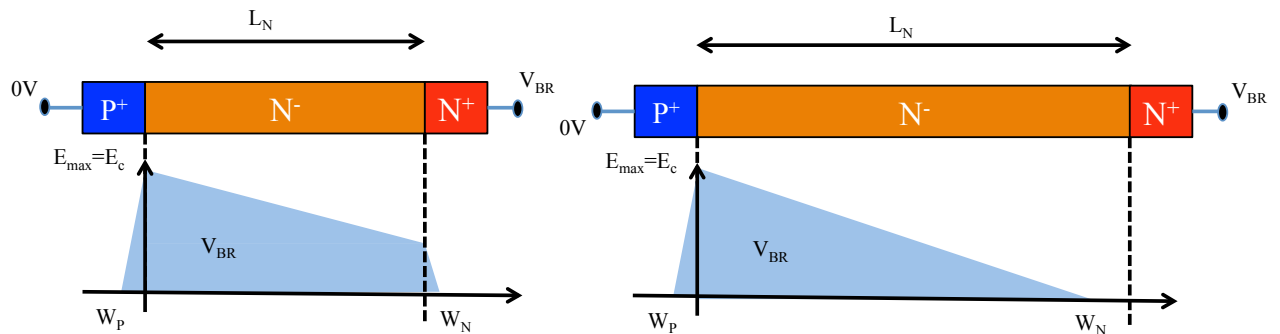


FIGURE 1.10 – Répartition du champ électrique au claquage dans une diode  $P^+N^-N^+$  : jonction plane en limitation de charge d'espace (tronquée)(a,) et jonction plane infinie (b,) (non tronquée/ee).

La tenue en tension est étroitement liée au dopage de la couche épitaxiée  $N^-$  et sa profondeur. En effet, la tenue en tension est proportionnelle avec la résistance du composant, c'est le contraint inattendu.

## 1.4 TECHNIQUE DE TERMINAISON

Pour s'approcher de la tenue en tension théorique (celle d'une jonction plane infinie) du composant, il existe des méthodes de protections pour éliminer les pics de champ électrique élevés qui favorisent le courant de fuite ou rendent fragiles les composants vis-à-vis des surcharges en tension. En effet, les jonctions planes sont définies aussi latéralement . Les lignes des équipotentielles se resserrent en regard des courbures de jonction et donc l'intensité du champ électrique augmente. Ce phénomène appelé : "des effets de bord", peut réduire la tenue en tension en périphérie de jonction à des valeurs beaucoup plus faibles que la tension de claquage

théorique. Il y a deux types de claquage, les claquages superficielles à la surface du composant, ou les claquages localisés au sein du composant (Lefebvre et Miserey 2004).

D'abord, pour éviter les phénomènes de décharges (claquages) à la surface, une passivation du périmètre extérieur du composant est indispensable pour tous les dispositifs en électronique. Cette couche de passivation protège le composant contre les agressions extérieures telles que les contaminations, oxydations, irradiations... En plus, elle est utilisée dans la méthode de protection plaque de champ en tant que une partie de la structure de protection. Pour montrer l'efficacité de la couche passivation, on prend l'exemple d'une diode protégée par JTE. Si la couche JTE est choisie avec la dose optimale, au moment de claquage la différence de potentiel entre les deux extrémités de la poche JTE est égale à la valeur de tenue en tension. Pour obtenir une tenue en tension désirée de l'ordre de 3000 V, il nous faut une longueur de poche JTE au moins de 1000  $\mu\text{m}$  pour que le champ électrique impliquerait par cette tenue en tension ne dépasse pas la valeur critique 0,03  $\text{MV}^{-1}$  (le champ électrique critique de l'air). Cette longueur devient une contrainte, elle augmente la dimension du composant et donc diminue l'efficacité du composant. Si le matériau à l'interface du composant est remplacé par un autre matériau qui a le champ électrique critique supérieur à celui de l'air, et qui peut être déposé facilement sur la surface du composant, la longueur de poche JTE va diminuer. Les candidats idéals sont l'oxyde de silicium ou le nitrure de silicium qui possèdent un champ critique à peu près 100 fois supérieur à celui de l'air (Raynaud 2007). Avec la passivation  $\text{SiO}_2$ , la longueur de la poche JTE va diminuer fortement, et la surfaces du composants est diminuée aussi.

La deuxième contrainte est liée à la courbure des équipotentielles au sein du composant. Il y a deux grandes familles de méthodes de protection exploitées pour assurer la tenue en tension périphérique :

- Des protections "planar" : qui se généralisent pour les jonctions blo-

quantas réalisées par diffusion masquée. C'est-à-dire dans le même plan que la zone active du composant. Il comprend les méthodes : anneaux de garde, extension de jonction implantée (JTE), plaque de de champ...

- Des protection "mesa" : qui ne sont plus guère utilisées que pour les dispositifs de forte puissance en haute tension. Elles comprennent les méthodes : terminaison en biseau, sillons creusés chimiquement...

### 1.4.1 Anneaux de garde (Anneaux diviseurs de champ)

La technique des anneaux de garde a été proposée par Kao (Kao et Wolley 1967). Les anneaux, en effet sont des jonctions annulaires concentriques, qui sont créés par diffusion (ou implantation pour le SiC) en même temps que la jonction principale. Les anneaux ne sont pas connectés et restent flottants pour réduire le champ électrique en surfaces. Kao a montré que, sans anneaux, le champ électrique maximum se situe sur la surface au bord de la jonction principale. Lorsque la tension inverse appliquée augmente, la charge d'espace de la jonction principale s'élargit, la plus grande partie dans la région la moins dopée, en même temps que le champ maximal augmente. Le claquage a lieu lorsque le champ électrique maximal atteint la champ électrique critique  $E_c$ , à ce moment, l'extension de la charge d'espace est  $W$  (Figure 1.11).

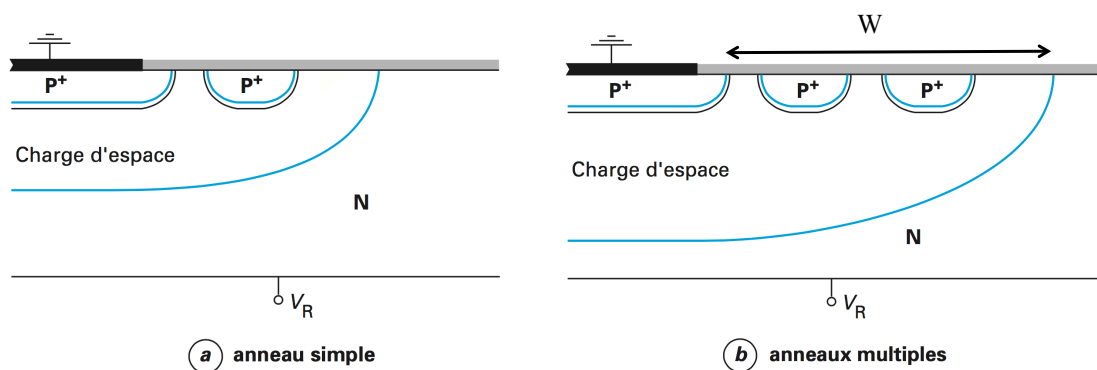


FIGURE 1.11 – Distribution de champ électrique dans une structure avec un anneau flottant (Leturcq 2000).

L'anneau ajouté est calculé pour que la zone de charge d'espace ren-

contre un anneau, avant que le champ électrique n'ait pu atteindre sa valeur critique. Les lignes équipotentiels sont redistribuées de sorte qu'elles contournent la zone d'anneau, les limites des zones de charge d'espace sont ainsi plus larges. De cette manière, les courbures des lignes équipotentiels sont plus allongées, cela a comme effet de réduire le champ électrique en surface du composant en lui permettant de cette manière d'obtenir la tension de claquage optimale pour laquelle le composant a été conçu. Le potentiel de l'anneau est fixé par la distribution de potentiel de la jonction principale  $P^+/N^-$ .

On peut ajouter plusieurs anneaux en fonction de notre besoin. Le nombre d'anneaux est d'autant plus grand que la tension de claquage est élevée. Les distances entre la jonction principale et le premier anneau puis entre les anneaux sont des paramètres critiques qui doivent être soigneusement choisis afin d'approcher la tension de claquage théorique de la jonction plane.

Les auteurs (Adler *et al.* 1977), (Boisson 1985), (Brieger *et al.* 1983) ont montrés que :

- La tenue en tension augmente avec le nombre d'anneaux. Au début, la croissance de la tenue en tension est rapide, puis sature lorsque le nombre d'anneaux est important.

- Les distances optimales entre les anneaux sont croissantes de l'anneau intérieur vers l'anneau extérieur.

- Les charges d'interface affectent significativement sur la tenue en tensions. En effet, les charges modifient fortement l'extension de la zone de charge d'espace. La tenue en tension peut diminuer jusqu'à 30 % lorsque la densité de charges varie de  $5 \times 10^{10}$  à  $5 \times 10^{11} \text{ cm}^{-2}$ . Dans le procédé technologique, la dose de charge devrait être contrôlée. Il faut tenir compte de ce phénomène et des conséquences associés dans la conception du composant.

### 1.4.2 Extension de jonction implantée (JTE)

La méthode de protection par JTE (Junction Termination Extension) a été proposée par Temple (Temple et Tantraporn 1986). Une couche dopée  $P^-$  est implantée à la surface autour de la jonction principale. L'épaisseur de cette couche peut être plus ou moins profonde, mais surtout cette couche doit être moins dopée que celle de la jonction principale, d'où la notion "extension". La couche  $P^-$  est réalisée le plus souvent par la technique d'implantation avec un contrôle précis de la "dose d'implantation" (quantité d'impuretés introduites par unité de surface de cristal, unité  $\text{at}/\text{cm}^{-2}$ ). Sous l'influence de la région  $P^-$ , la limite de la zone de charge d'espace puis les équipotentielles s'étendent davantage dans la partie  $N^-$ . Le pic de champ électrique aux courbures de la jonction principale va diminuer, et de fait, retarder le claquage du composant.

La dose et la largeur de la couche JTE sont bien choisies pour que, sous polarisation inverse, aux niveaux de la tension requise, cette région  $P^-$  se trouve complètement dépeuplée. L'extension de jonction supporte alors latéralement une partie notable de la tension appliquée en inverse. On peut dire que l'optimisation de cette structure est obtenue quand le claquage aura lieu en même temps aux courbures de la jonction principale et la JTE.

La figure 1.12 illustre la structure d'une diode PiN avec terminaison JTE avec ses paramètres : ( $L_{JTE}$  longueur de la poche,  $N_{JTE}$  dose d'implantation de la poche).

La dose de la JTE doit être choisie précisément afin d'avoir la valeur de tenue en tension maximale du composant. En effet, si la concentration de la JTE (égale à la dose de la JTE divisée par la profondeur de la JTE) est trop grande (Figure 1.12 b), l'extension de la jonction est trop limitée. Le claquage sera seulement déplacé de la région A (Figure 1.12) vers la région B à une valeur  $V_{BR}$  nettement inférieure à la tension inverse idéale à laquelle pourra être soumise la jonction principale. La JTE a la même

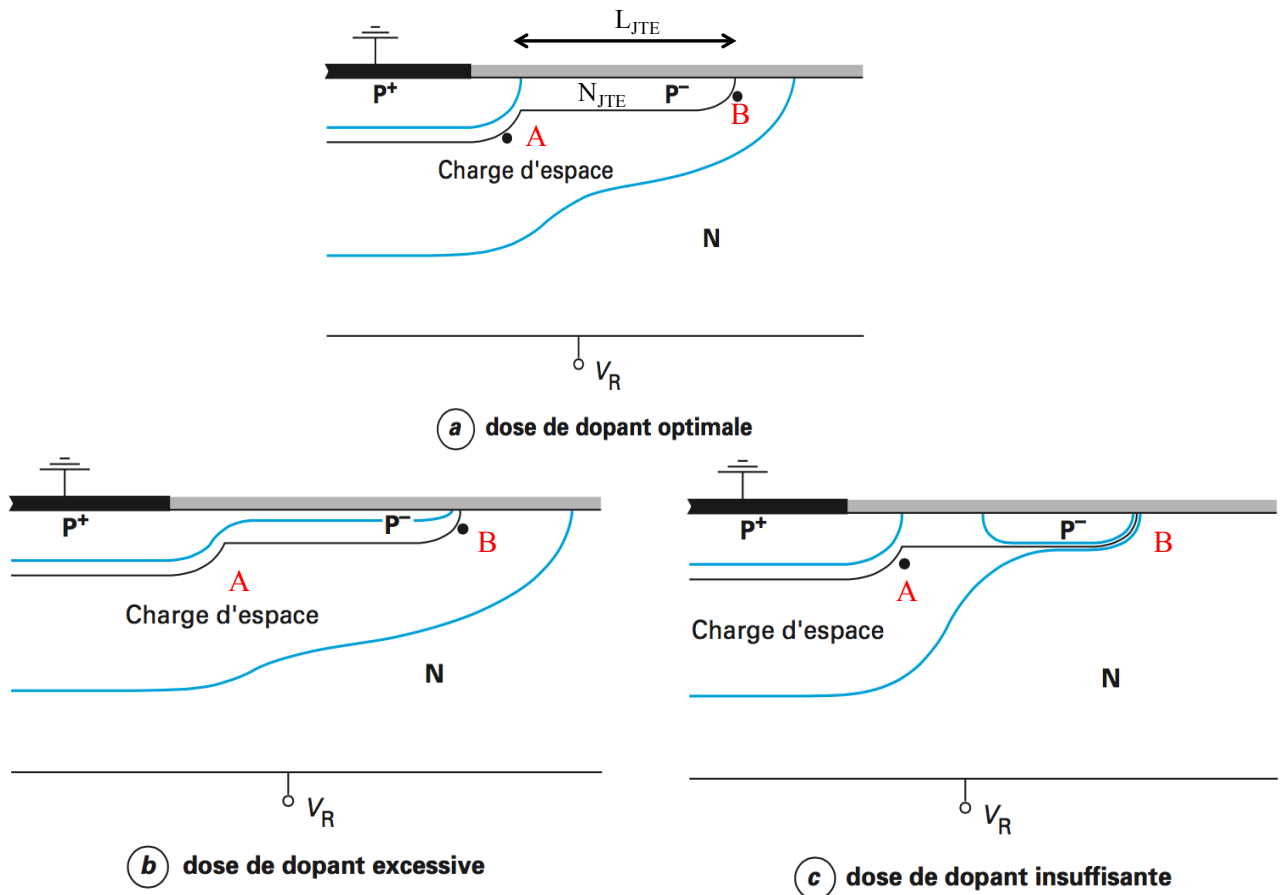


FIGURE 1.12 – Extensions de jonction implantées. Influence de la dose de dopant dans la zone P (Leturcq 2000).

fonction que l’anode. Dans le Figure 1.12 c, la zone de JTE est trop faible, l’extension de jonction trop grande, le dépeuplement de la région  $P^-$  ne sera que partiel ou d’étendue limitée, et le claquage, encore prématuré, se produira en regard de la courbure de la jonction principale. Pour se rapprocher de la tenue en tension en volume, il faut une poche JTE avec la dose bien déterminée, en plus la largeur de la poche JTE doit être suffisamment large.

Les charges d’interface ont un effet très important sur la tenue en tension, car elles modifient la dose de la région implantée. Plusieurs auteurs ont étudié leur influence, et montré que lorsque la densité de charges atteint  $5.10^{11} \text{ cm}^{-2}$ , la tenue en tension perd de 25 % à 50 % (Hwang et

Navon 1984). Il faut tenir compte de ce phénomène dans la conception du composant.

Il y a d'autres recherches sur la méthode de protection de type JTE. La JTE à dopage latéral variable est une solution pour obtenir une protection périphérique efficace et valable dans une large gamme de dopage : JTE triple implantée (Dheilly 2008), la terminaison JTE avec des zones multiples pour se rapprocher du profil graduel optimal (MJTE), ou la terminaison MJTE combinée avec la protection mesa pour les niveaux haute et très haute tension (Niwa *et al.* 2012b). Hiroki a obtenu une diode 21,7 kV avec la terminaison qui inclut deux zones JTE avec un espace modulé en combiné avec la mesa. La largeur de terminaison est seulement de 600  $\mu\text{m}$  ; l'efficacité 81 % est relativement élevée dans la domaine des très hautes tensions.

### 1.4.3 Plaque de champ

La plaque de champ est une terminaison plus simple, proposé par Grove en 1967 (Grove *et al.* 1967). La figure 1.13 illustre la protection utilisée par plaque de champ pour une jonction  $P^+N$ . Il s'agit d'un simple prolongement de l'électrode de contact sur une couche d'oxyde (silice) ou un diélectrique, au-delà du bord de jonction, formant ainsi, en périphérie, une capacité métal/oxyde/semiconducteur.

Sous polarisation inverse, l'extension de la zone de charge d'espace sera modifiée. Les charges sont établies, par la mise à découvert des atomes d'impuretés ionisés, c'est-à-dire l'apparition d'une zone de charge d'espace dépeuplée. Cette charge d'espace prolonge la zone de transition de la jonction, avec allongement des lignes de champ et, corrélativement, réduction de l'intensité du champ en périphérie, et il en résulte une meilleur tenue en tensions (Leturcq 2000).

Plusieurs études (Grove *et al.* 1967), (Rusu et Bulucea 1979) ont montrés que, les pics de champ électrique dans le composant sont là où s'interrompt la plaque de champ et à la courbure de jonction. Ces valeurs de

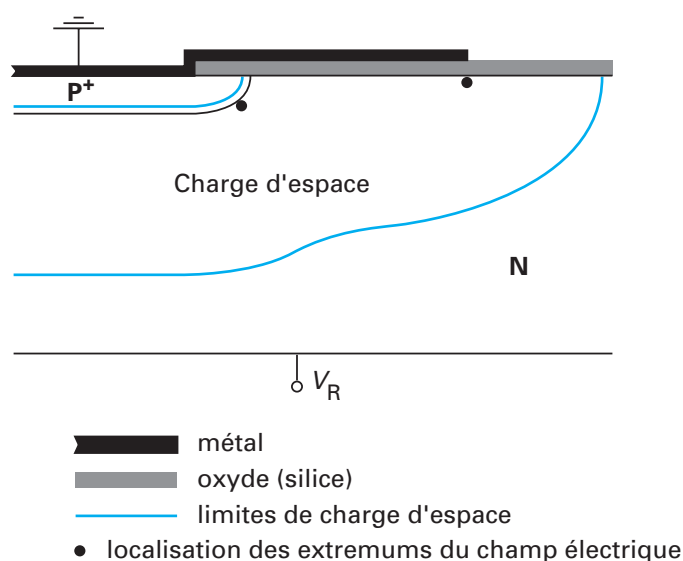


FIGURE 1.13 – Protection par plaque de champ (Leturcq 2000).

pics de champ dépendent de la valeur de l'épaisseur d'oxyde et de l'extension de la plaque de champ. Si l'épaisseur de la couche oxyde est trop importante, l'effet de champ est faible, il n'y a pas d'extension de zone de charge d'espace. L'influence de la plaque de champ sur la jonction sera négligeable et le claquage aura lieu au bord de la jonction à une tenue en tensions très inférieure à celle de la jonction plane. Au contraire, si elle est trop faible, la courbure de jonction est bien protégée mais le claquage aura lieu en surface au bout de l'électrode. L'optimisation de la structure consistera à obtenir un claquage simultanément à la courbure de jonction et aussi à la fin de plaque de champ. Rusu (Rusu et Bulucea 1979) a montré que l'épaisseur d'oxyde optimale est fonction du dopage du substrat (ou de la couche epitaxiale dans notre cas) : elle croit lorsque le dopage du substrat diminue. Pour cette raison, cette terminaison n'est pas appliquée pour les hautes tensions, car l'optimisation entraînerait des oxydes de champ très épais difficiles à réaliser sur le plan technologique.



#### 1.4.4 Couche semi-résistive SIPOS

Cette technique est proposée en 1972 par Clark (Clark et Zoroglu 1972). À base de la technique terminaison par plaque de champ, il a utilisé une couche de matériau de forte résistivité, tel que du silicium semi-isolant et polycristallin "dopé oxygène" (SIPOS), reliant par dessus la couche d'oxyde des contacts suffisamment éloignés, aménagés sur les deux régions  $P^+$  et N de la jonction.

Cette plaque de champ résistive agit fondamentalement comme la précédente, mais la variation radiale de la différence de potentiel entre la plaque de champ et le volume semiconducteur N permet un évanouissement progressif de la charge d'espace dépeuplée, évitant l'apparition de l'extremum de champ en bordure de protection. Par rapport à la plaque de champ simple, les problèmes de dimensionnement se trouvent simplifiés et les performances de tenue en tension améliorées, mais le courant inverse de la jonction se trouve accru par le courant de fuite circulant, dans la plaque résistive, entre les deux contacts. Cet inconvénient peut cependant être fortement réduit par une gravure spiralée de la couche résistive, gravure qui permet d'augmenter considérablement la résistance de la plaque entre ses contacts terminaux, et, par une progression adéquate du rayon vecteur, de moduler à volonté la variation de potentiel radiale en surface.

#### 1.4.5 Technique RESURF

La technique "Resurf" (Reduced surface field) est proposée pour la première fois par Appels en 1979 (Appels et Vaes 1979). Elle est particulièrement intéressante par rapport aux autres techniques grâce à sa simplicité de conception et son efficacité, tant au niveau de l'amélioration de la tension de claquage que au niveau de l'isolation électrique de ce composant par rapport au substrat. Cette dernière propriété fait des composants basés sur la technologie RESURF, et en particulier les transistors MOS latéraux

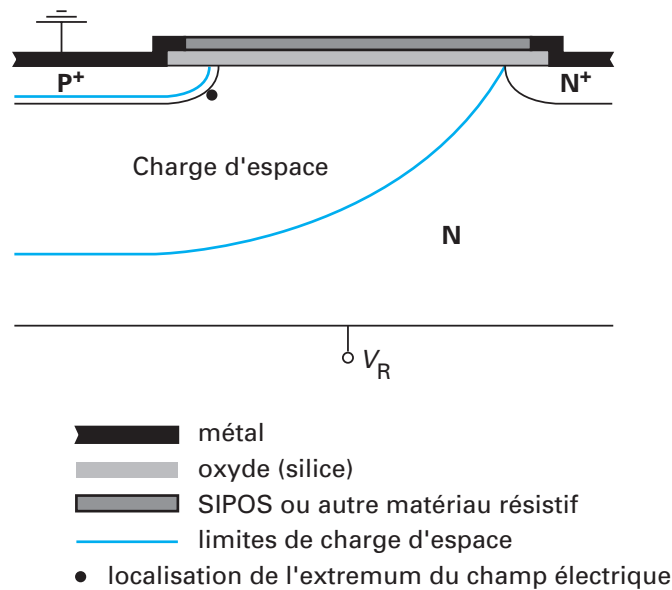


FIGURE 1.14 – Plaque de champ résistive (SIPOS) (Leturcq 2000).

double diffusés (LDMOS) de très bons candidats pour les circuits intégrés latéralement et haute tension.

#### 1.4.6 Technique de terminaison en biseau ou MESA

C'est une technique très courante utilisée pour les composants discrets hautes tensions. On dit biseau positif lorsque le biseau est formé du côté de la jonction qui est la plus dopée. Au contraire, c'est le biseau négatif.

##### 1. Biseau positif :

Le figure 1.16 illustre le biseau positif. Pour maintenir la neutralité des charges des deux cotés de la jonction, il y a un allongement de la limite de zone de charges d'espace. C'est-à-dire, au voisinage de la surface, un réajustement des frontières de la zone de transition pour englober, d'un côté et de l'autre de la jonction métallurgique, des quantités de charge exactement opposées.

Le champ électrique le long du biseau sera plus faible dans le volume du semiconduteur car la largeur de la charge d'espace est plus grande que dans le volume. On peut conclure que le claquage dans le volume du semi-conducteur aura lieu avant le claquage à la surface si le

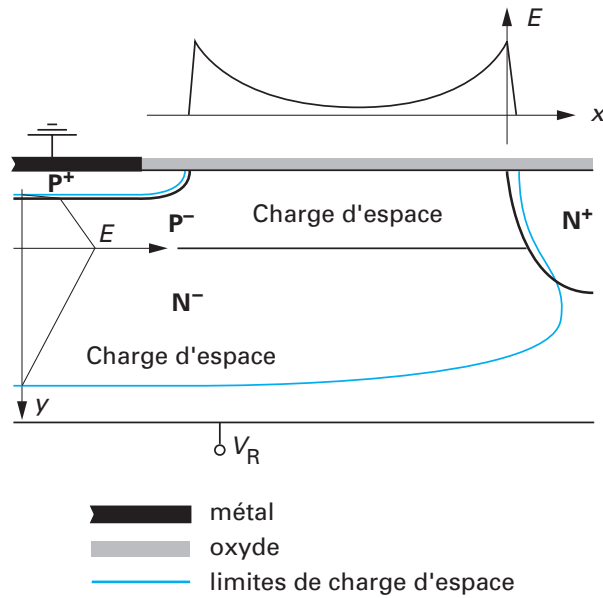


FIGURE 1.15 – Terminaison "Resurf" (Leturcq 2000).

champ électrique à la surface est suffisamment petit par rapport au champ électrique dans le volume.

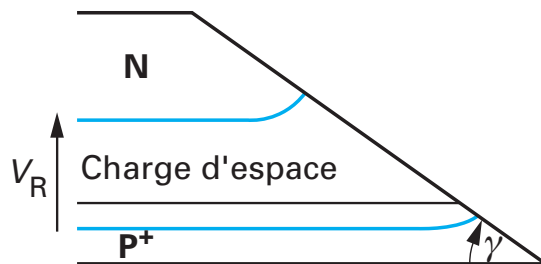


FIGURE 1.16 – Terminaison biseau positif (Leturcq 2000).

## 2. Biseau négatif :

Dans le cas biseau négatif, la région de charge d'espace à la surface du côté moins dopé va décroître, par contre du côté fortement dopé, elle va augmenter. Parce que la largeur de la charge d'espace à la surface est plus petite que dans le volume, le claquage à la surface va se produire avant celui du substrat.

Si l'angle du biseau négatif est très faible, la zone de charge d'espace s'étend très largement du côté moins dopé. On peut arriver à avoir un champ électrique à la surface du composant plus petit que celui dans le

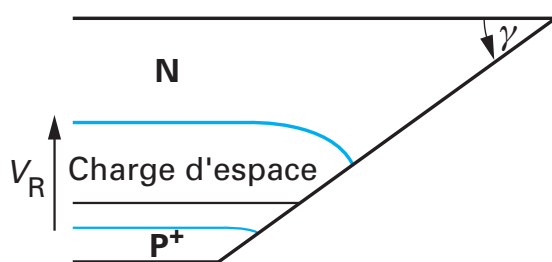


FIGURE 1.17 – Terminaison biseau négatif (Leturcq 2000).

volume. Mais l'inconvénient est la grande surface du composant, donc le prix du composant élevé.

En général dans des composant ayant deux jonctions qui doivent être protégées, on emploie alors à la fois un biseau positif et négatif.

Les biseaux positifs sont plus efficace que les biseaux négatifs. L'efficacité peut aller jusqu'à 95 %, applicable pour les composant très haute tension mais les procédures de technologie sont très complexe, la reproductibilité n'est pas optimale et cette technique est chère. Il faut toutefois signaler que les charges d'interface dans le biseau ont-elles aussi un impact sur la tenue en tension.

#### 1.4.7 Technique Deep Trench Termination (DT2)

Dans la cadre de cette thèse, nous nous concentrerons sur une nouvelle technique de protection de jonction appliquée pour le domaine des hautes tensions ( $> 3000$  V) et surtout très haute tension (10 kV et plus) pour des composants SiC. L'idée de base est d'utiliser la tranchée en SiC pour soutenir la plus grande partie possible du champ électrique. Ceci devrait permettre de réduire la taille (la largeur) des composants. Il s'agit donc d'une variante de la technique du biseau avec  $\gamma = 90^\circ$ .

En 1998, M.Zitouni (Zitouni *et al.* 1998) a publié une nouvelle méthode dans le domaine de terminaison périphérique des composants. Il a gravé une tranche très profonde à la périphérie du composant, qui est ensuite remplie par de l'oxyde pour soutenir la plus grande partie possible du

champ électrique et donc améliorer la tenue en tension. Cette méthode est appliquée pour le composant DMOSFET en silicium, la tenue en tension est de l'ordre de 100 V. A partir de cette l'idée, en 1999, D. Dragomirescu (Dragomirescu 2001) a proposé son idée : une simple extension à haute tension en ajoutant d'autres matériaux diélectriques et une couche JTE autour de la tranchée. La structure est présentés sur la figure 1.18.

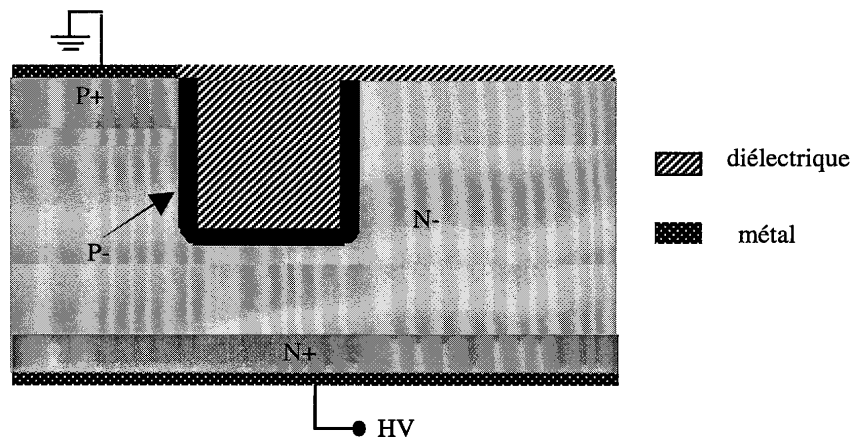


FIGURE 1.18 – Technique de terminaison de jonction à tranchée profonde et couche JTE P<sup>-</sup> autour de la tranchée (Dragomirescu 2001).

Les simulations sont faites pour une diode PiN en Si avec les paramètres : dopage de la couche N<sup>-</sup> est  $2.10^{13} \text{ cm}^{-3}$ , l'épaisseur est  $620 \mu\text{m}$ . Le logiciel POWER2D basé sur les équations de Poisson et l'intégrale d'ionisation a été utilisé. Il a permis d'optimiser les paramètres de largeur et profondeur de la tranchée pour obtenir une structure avec la tenue en tension qui est la plus proche possible de la tenue en tension idéale. On remarque que pour une tranchée : largeur  $400 \mu\text{m}$  et profondeur  $500 \mu\text{m}$ , la tenue en tension est de 2500 V. L'efficacité maximum obtenue est de 50 %. Cette valeur est très basse par rapport à la valeur idéale de 6000 V. Les résultats montrent bien que, pour le domaine des très hautes tensions, l'oxyde simplement rempli n'est pas assez suffisant pour protéger la jonction. Cette technique a atteint ses limites. D. Dragomirescu a proposé une autre solution : remplir la tranchée par un autre diélectrique dont la permittivité relative du diélectrique est la plus faible possible (donc proche de

celle du vide). Sachant que, à l'interface des deux milieux diélectriques, les composantes normales du champ sont dans le rapport inverse des permittivités, on voit immédiatement :

$$\frac{E_{Si}}{E_{Oxide}} = \frac{\epsilon_{Oxide}}{\epsilon_{Si}} \quad (1.18)$$

Les résultats obtenus sont visualisés sur la figure 1.19 :

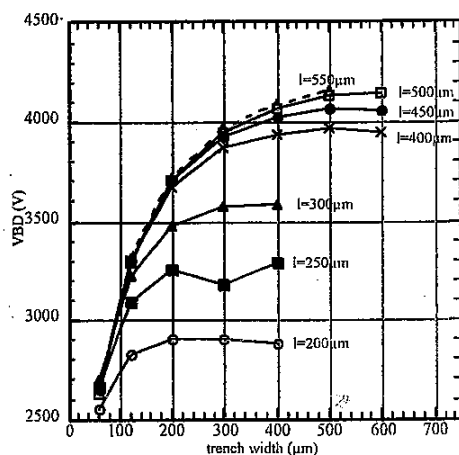


FIGURE 1.19 – Tenue en tension en fonction de largeur et profondeur de la tranchée (Dragomirescu 2001).

Le résultat optimal est une tranchée de 500 µm x 500 µm, la tenue en tension est de 4000 V très proche de la valeur idéale. Actuellement, les résultats ne sont pas encore validés par l'expérience à cause de la difficulté de la technique de gravure.

En 2003, ce concept a été démontré expérimentalement dans la technologie Si (Théolier *et al.* 2009) pour une diode de 1200 V. Ils montrent également la possibilité d'utiliser la BCB (benzocyclobutène) pour remplir la tranchée très profonde. Et puis, plusieurs études ont proposé des résultats supplémentaires sur ce type de protection.

Seto *et al.* (Seto *et al.* 2012) ont dévoilé pour la première fois une relation claire entre la profondeur de la tranchée et la longueur de la tranchée. Kamibaba *et al.* (Kamibaba *et al.* 2010) a fait remarquer que des charges positives en raison des trous accumulés dans la paroi latérale de la tranchée limitent efficacement le champ électrique dans la région de bord de la

puce, qui est le mécanisme clé pour la conception de terminaison DT2. Jusqu'à présent, toutes ces recherches et expérimentations sont appliquées pour le matériau semi-conducteur silicium.

## 1.5 CONCLUSION

Dans le première chapitre nous avons présenté un état d'art sur le carbure de silicium. Les propriétés du SiC montrent l'avantage de l'utilisation du SiC au lieu du Si dans certains domaines d'applications, surtout pour la haute tension et la haute température. Jusqu'à aujourd'hui, le développement des composants de puissance en SiC reste limité par la qualité des substrats. Au-delà de la qualité des substrats, la technologie de fabrication n'est pas encore mature. Il y a des problèmes technologiques qui restent encore à résoudre comme la technique d'implantation ionique, métallisation, la passivation...et surtout la technologie gravure profonde pour SiC. Dans le cadre de cette thèse, les techniques principales concernées par notre étude ont été surtout la technique de gravure, et dans une moindre mesure le packaging, la passivation... Dans la dernière partie de ce chapitre, nous avons présenté la notion "tenue en tension théorique" du composant, et aussi les méthodes principales de protection pour les composants de puissance haute tension. Les contraintes de ces méthodes sont la nécessité d'utiliser une grande surface de composants, pour des niveaux de tension plus grandes. La surface exigeante devient beaucoup plus grande, et diminue donc l'efficacité du fonctionnement du composant. Une nouvelle technique de terminaison Deep Trench Termination utilisée pour les composants Si est proposée pour les composants SiC très haute tension. Cette technique est très prometteuse pour notre objectif de "réduire la taille du composant".

Dans la continuité de ce première chapitre, les travaux de cette thèse seront focalisés sur la partie simulation pour démontrer la faisabilité et l'efficacité de la technique DT2 pour le domaine haute tension SiC. Ensuite,

le travail portera sur la procédure de fabrication des démonstrateurs et la caractérisation. Lors de la réalisation de ces structures, la gravure du SiC était un des points importants notamment pour la mise en place de la protection périphérique. Elle sera optimisée de manière à obtenir la meilleure efficacité de la protection.





---

# Chapitre 2

## CONCEPTION D'UNE DIODE PIN EN SiC AVEC UNE PROTECTION DT<sub>2</sub>

### 2.1 INTRODUCTION

Dans ce chapitre, nous proposons une étude d'une diode PiN verticale en SiC 4H à deux niveaux de tenue en tension 3 kV et 20 kV. La démarche est basée sur la conception réalisée par simulation. De nombreux logiciels disponibles utilisent des approximations plus ou moins fines des équations de la physique des semiconducteurs. Ils relient de façon non empirique les caractéristiques électriques avec les causes physiques qui en sont à l'origine. Les plus récents, qui sont par ailleurs utilisés pratiquement par tous les laboratoires académiques et industriels dans le monde, sont les simulateurs ATLAS de la société SILVACO, et SENTAURUS de la société SYNOPSYS. Dans notre cadre de travail, le logiciel SENTAURUS est utilisé.

La possibilité offerte par cet outil de simulation est de décrire précisément les composants électroniques. Il permet d'obtenir les caractéristiques électriques globales en fonction de l'architecture du composant. Il permet d'accéder aux grandeurs internes aux composants, inaccessibles directement par des mesures, et d'étudier de façon indépendante l'impact des différents phénomènes physiques sur leur fonctionnement global.

Lors de la conception de composants d'électronique de puissance, la protection périphérique du composant est le problème primordial pour la tenue en tension. Une étude précise de la tenue en tension doit terminer la conception du composant. Ainsi, l'environnement proche du composant, des charges d'interfaces entre la couche diélectrique et le SiC, le matériau diélectrique à l'extérieur de la tranchée, le package... sont à prendre en compte.

Des simulations ont été effectuées parallèlement aux mises au point des divers travaux sur les étapes technologiques. Ce chapitre présente donc les étapes de conception et d'optimisation de la structure de protection périphérique Deep Trench Termination ou DT2.

## 2.2 LE LOGICIEL SENTAURUS

Le logiciel SENTAURUS comporte un ensemble d'outils permettant de faire la simulation 2D et 3D de composants semi-conducteurs en se basant sur la méthode des éléments finis. La structure du composant est définie par deux fichiers distincts : le fichier structure correspondant au module Sentaurus Structure Editor et le fichier commande correspondant au module Sentaurus Device Simulator.

La figure 2.1 montre la séquence des modules de simulation, les fichiers "entrées" ou "sorties" nécessaires pour chaque module.

### 2.2.1 Sentaurus Structure Editor

Sentaurus Structure Editor est un module pour définir un composant. Ce composant en 2D ou 3D peut être défini au niveau géométrique, et des caractéristiques des matériaux utilisées (permittivité, dopage...). En plus, Sentaurus Structure génère automatiquement les fichiers d'entrée nécessaires pour le moteur de maillage. Ce moteur va générer un fichier numérique TDR, qui contient les informations géométriques du dispositif. Dans cette information géométrique, des limites, les dimensions du dispositif,

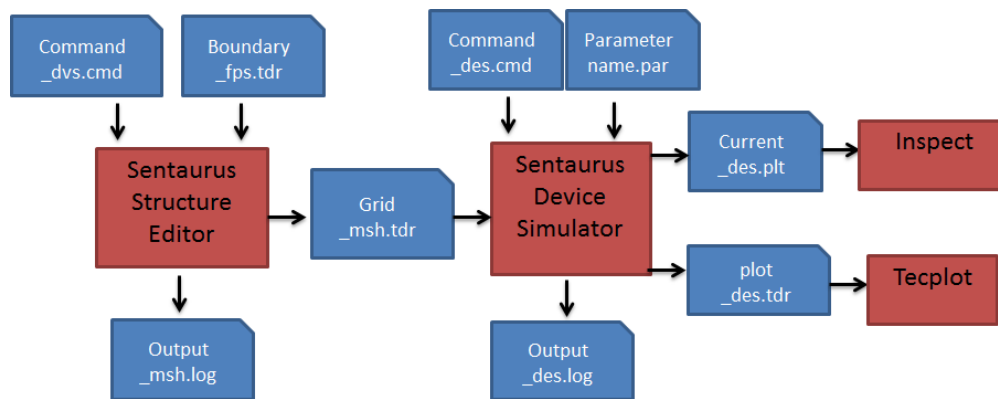


FIGURE 2.1 – Diagramme pour simuler la structure d'un composant semi-conducteur

le profile dopage et des fenêtres de raffinement dans le dispositif, seront décrits.

Pour diminuer le temps de calcul sans faire perdre de précision sur les résultats, le maillage de la structure doit être optimisé. Il est affiné dans les zones actives du composant (où présentant des variations de grandeurs importantes : densité de courant, champ électrique, dopages, charges, résistance thermique ...) ainsi qu'au niveau des contacts (anode et cathode). Dans le reste de la structure, le maillage est "relâché" (la taille du maillage est plus grande).

La figure ci-dessous présente une vue du maillage adopté pour les simulations. Cette configuration de maillage est à adapter selon ce que l'on souhaite étudier (effet des charges en surface, effet thermique...).

Le composant est décrit précisément par sa géométrie et ses paramètres physiques. Ensuite, il doit être divisé par des maillages très fins. De ce fait, ses propriétés physiques sont discrétisées sur un maillage non uniforme de neuds.

Le maillage doit être aussi adapté à la structure du composant. Par exemple, dans la figure 2.3, le maillage à interface du SiC et diélectrique doit être affiné suffisamment, et les bords du maillage triangulaire doivent suivre la jonction entre les deux matériaux.

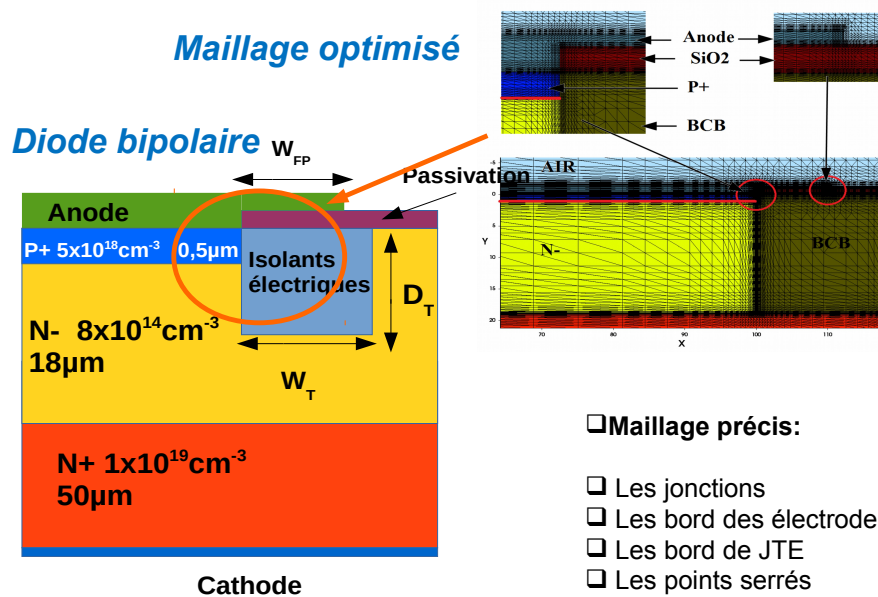


FIGURE 2.2 – Maillage optimisé de la structure simulée, vue globale de la protection périphérique.

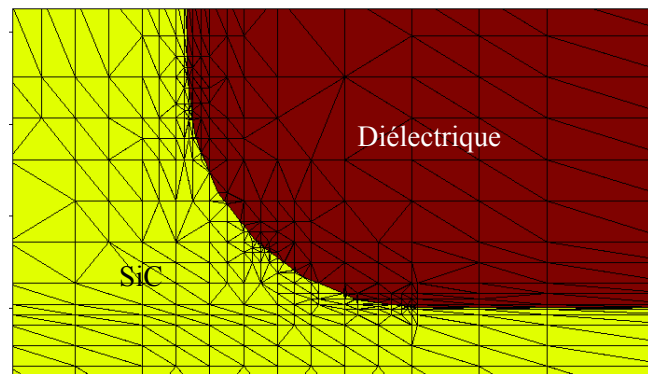


FIGURE 2.3 – Maillage optimisé de la structure simulée à l'interface SiC/diélectrique.

### 2.2.2 Sentaurus Device

Sentaurus Device est capable de simuler le comportement électrique d'un dispositif semi-conducteur isolé ou de plusieurs dispositifs combinés dans un circuit. Les courants aux terminaux, les tensions et les charges sont calculées en utilisant un ensemble d'équations de la physique des semi-conducteurs sur les noeuds du maillage. Sentaurus Device a besoin d'un fichier TDR qui est une sortie du module Sentaurus Structure Editor.

En plus de ce fichier, les fichiers de commandes sont nécessaires pour simuler un dispositif. Dans les fichiers de commande, il est possible de définir les choses suivantes pour la simulation :

- Les noms des fichiers d'entrée qui définissent la structure du dispositif.
- La section d'électrode définit toutes les électrodes à utiliser dans la simulation de dispositif Sentaurus, avec leurs conditions aux limites respectives et les tensions appliquées.
- La section "Physic" permet de choisir des modèles physiques à appliquer à la simulation du dispositif. Les modèles les plus importants sont les modèles de mobilité, les définitions de bande interdite, les modèles de recombinaison électron-trou et les interactions thermiques du réseau avec la concentration intrinsèque des porteurs...
- La section "Plot" spécifie toutes les variables du composant que Sentaurus est capable de calculer. Ainsi, ces données sont enregistrées dans les fichiers de tracé de sortie.
- Pour obtenir des résultats, Sentaurus résout un ensemble d'équations aux dérivées partielles. Étant donné que pour chaque interaction une erreur est calculée, il est possible de définir un certain nombre d'interactions et l'erreur maximale que Sentaurus est autorisé à avoir pour tenter de faire converger sur une solution.
- La section "Solve" définit une séquence de solutions à obtenir par le solveur.
- Enfin, les résultats finaux de simulation peuvent être tracés en utilisant l'outil Inspect.

### 2.3 STRUCTURE D'UNE DIODE DE PUISSANCE

La diode est le composant de puissance le plus simple, non commandable qui autorise le passage d'un courant dès que la tension à ses bornes dépasse un seuil "Threshold voltage". Les diodes sont utilisées dans presque tous les convertisseurs de puissance. Les diodes les plus connues étant la diode bipolaire et la diode Schottky. Mais pour les hautes tensions,

les diodes bipolaires (PiN) sont préférées car la tenue en tension est élevée et le courant de fuite faible.

Une diode PiN est fabriquée par l'association de 3 régions. Sur un substrat fortement dopé  $N^+$ , on fait croître une (ou plusieurs) couche épitaxiée, faiblement dopée, d'épaisseur raisonnable et bien contrôlée de dopage  $N^-$ , dans laquelle une couche  $P^+$  est implantée ou épitaxiée pour former l'anode. La couche centrale  $N^-$  est responsable de la tenue en tension du composant. Le dopage élevé de la couche de l'émetteur  $P^+$  garantit l'ohmicité du contact de l'anode. L'épaisseur du substrat dopé  $N^+$  de l'ordre de 150-400  $\mu\text{m}$  sert à faciliter l'opération de découpe du "wafer". La couche  $P^+$  quant à elle est relativement mince, de l'ordre de 1-10  $\mu\text{m}$ . La zone centrale est très faiblement dopée parfois appelée "intrinsèque" (d'où le nom diode "PiN"). Mais en fait, la zone centrale n'est jamais intrinsèque due à la diffusion non intentionnelle des dopants.

La structure d'une diode PiN en 3D est présentée sur la figure 2.4, et en 2D sur la figure 2.5 avec l'allure du profil de dopage (figure 2.6).

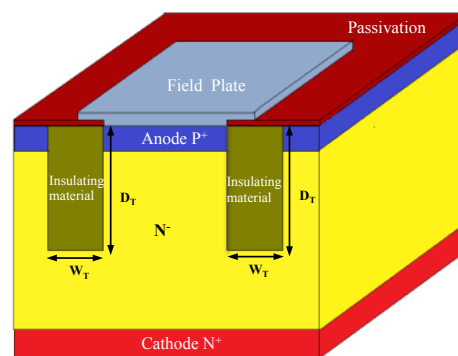


FIGURE 2.4 – Structure 3D d'une diode bipolaire de puissance avec tranchée.

En 2012, la diode bipolaire en SiC possédant la tenue en tension élevée (21,7 kV) a été réalisée par Hiroki Niwa (Niwa *et al.* 2012a). La protection est obtenue par la combinaison de deux méthodes, Mesa et SM-JTE (space-modulated JTE) avec une longueur de poche à l'ordre de 600  $\mu\text{m}$ . L'efficacité obtenue est de 81 %. C'est un résultat très prometteur pour les applications très haute tension.

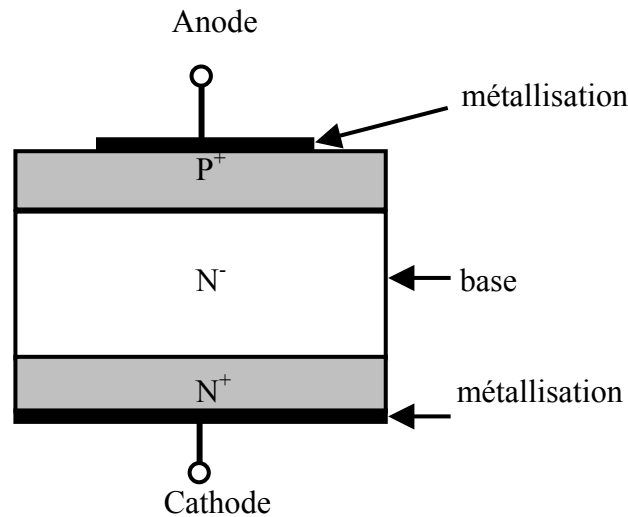


FIGURE 2.5 – Structure d'une diode bipolaire de puissance.

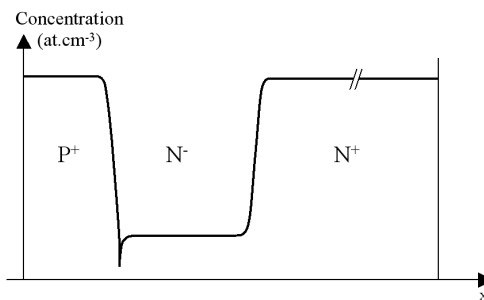


FIGURE 2.6 – Allure du profil de dopage

## 2.4 FONCTIONNEMENT D'UNE DIODE

### 2.4.1 Diode à l'équilibre

Lors de la formation d'une jonction  $P^+/N^-$ , il existe un gradient de concentration entre les zones  $N^-$  et les zones  $P^+$ . Du fait de ce gradient de concentration, par diffusion, les électrons majoritaires de la région dopée  $N^-$  vont se recombiner à la jonction  $P^+/N^-$  avec les trous majoritaires de la région  $P^+$ . La forte diffusion supprime la neutralité électrique de chacune des régions, appauvrie en trous dans la partie de région  $P^+$ , et en électrons dans la partie de région  $N^-$ . Nous avons des ions accepteurs fixes dans la partie  $P^+$  (charge négative), tandis que des ions donneurs fixes dans la partie  $N^-$  (charge positive). On dit que le phénomène de diffusion entraîne donc l'apparition d'une zone de charge d'espace (sans



charges libres). Un champ électrique interne est créé par les atomes ionisés positifs et négatifs. La présence du champ électrique dans la zone de charge d'espace implique un potentiel  $V_d$  aux bornes de cette zone (potentiel de diffusion). Ce potentiel  $V_d$  s'opposera au courant de diffusion des porteurs majoritaires. Donc on peut l'appeler : barrière de diffusion. Par contre, cette barrière de potentiel va favoriser le passage des porteurs minoritaires. Ce phénomène va s'arrêter quand les deux courants antagonistes (diffusion des majoritaires et conduction des minoritaires) s'équilibrent et leur somme est nulle en régime permanent et en l'absence de champ électrique extérieur.

### 2.4.2 Fonctionnement en direct

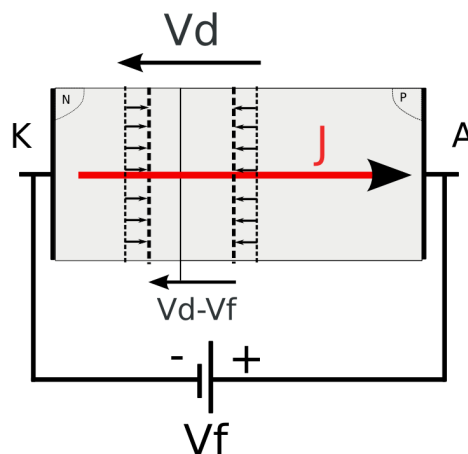


FIGURE 2.7 – Extension des Z.C.E à l'équilibre ( $V_f = 0$ ) et sous polarisation directe ( $V_f \neq 0$ )

Très classiquement, pour polariser la diode en direct, il faut diminuer le champ électrique dans la zone de transition (zone de charge d'espace), ceci implique une réduction de la largeur de la zone de transition. Pour obtenir cette réduction de champ, il faut donc appliquer un champ externe à l'aide d'un générateur en branchant le pôle + sur la zone  $P^+$  et le pôle - sur la zone  $N^-$  (Figure 2.7). On peut annuler les effets du champ interne et permettre au courant de circuler : le phénomène d'attraction des électrons libres de la partie N par les trous de la partie P (diffusion) n'est plus contrarié, et le générateur va pouvoir injecter des électrons dans la zone

$N^-$  et les repomper par la zone  $P^+$ . Le courant total est la somme des deux courants, soit pratiquement le courant direct dû aux porteurs majoritaires dès que la tension atteint la tension de seuil de l'ordre de 3 V pour une diode PiN en SiC.

### 2.4.3 Fonctionnement en inverse

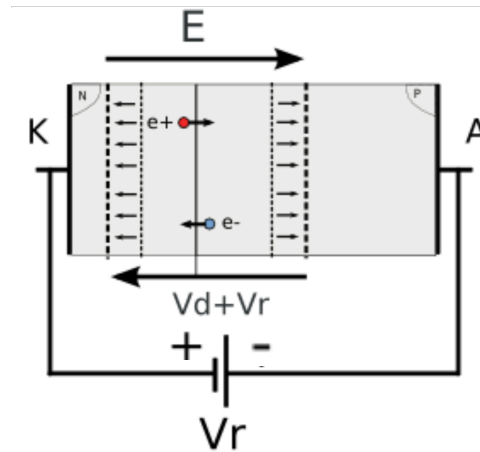


FIGURE 2.8 – Extension des Z.C.E à l'équilibre ( $V_f = 0$ ) et sous polarisation inverse ( $V_f \neq 0$ )

Au contraire, si on branche le générateur dans le sens inverse du cas précédent (Figure 2.8). On va renforcer le champ électrique interne. Les porteurs majoritaires seront empêchés par ce champ, les électrons libres sont repoussés dans la zone N et les trous dans la zone P. La zone de charge d'espace s'élargit en fonction de tension  $V$  du générateur. Par contre, les porteurs minoritaires (trous pour la zone N et électrons libres pour la zone P) peuvent traverser la jonction et reboucler par le générateur : ils forment le courant inverse  $I_r$  avec une valeur très petite par rapport au courant direct (car la densité des porteurs minoritaires est très petite aussi). La zone de charge d'espace avec une tension sur les deux côtés crée ainsi une capacité inversement proportionnelle à cette distance, donc à  $|\sqrt{V}|$ .

## 2.5 DIMENSIONNEMENT D'UNE COUCHE "DRIFT" POUR LA TENUE EN TENSION 3 kV

La conception d'une diode commence par la définition d'un cahier des charges du centre technologique en vue de la réalisation d'un dispositif. Tous les paramètres des couches utilisées tels que le dopage et l'épaisseur seront déterminés mais aussi des paramètres géométriques du composant, des données technologiques comme la profondeur de gravure, largeur de plaque de champ, l'épaisseur de couche passivation...D'abord, pour la tenue en tension de la diode visée, on peut estimer d'une façon analytique les paramètres constitutifs de la couche d'épitaxie qui "tient la tension". Une première étude de la tenue en tension du composant peut être effectuée en considérant la jonction formée entre la couche  $P^+$  de l'électrode de l'anode et l'épitaxie de type  $N^-$  sur le substrat  $N^+$ .

Dans les calculs numériques avec des simulateurs (Sentaurus), les coefficients d'ionisation 1.13 sont utilisés. Les évolutions de la tension de claquage pour différentes épaisseurs de la couche  $N^-$  et en fonction du dopage sont présentées sur la figure 2.9. Pour une valeur de tenue en tension visée, plusieurs couples de valeurs  $L_N, N_D$  sont envisageables. Cependant, le fonctionnement de la diode en polarisation directe doit être optimisé, cela veut dire que la résistance série qu'elle ajoute au composant doit être minimale aussi que possible. Pour satisfaire cette demande, nous pouvons utiliser le facteur de mérite de Baliga (Baliga 1989). Ce facteur ne tient pas compte de l'état de la technologie, mais seulement des propriétés des matériaux. Il permet de comparer les performances des composants, ou de déterminer des "zones privilégiées" d'utilisation en terme de tension. En effet, le facteur de mérite de Baliga traduit le compromis entre la chute de tension à l'état passant et la tension de blocage.

L'expression de ce facteur est :

$$BFM = f\left(\frac{V_B^2}{R_{on,sp}}\right) = \varepsilon\mu E_c^3 \quad (2.1)$$

Les résultats après simulations montrent que, dans la pratique, la zone optimale de l'épaisseur de couche "drift" et son dopage sont situés dans la région de coude "entourée" sur le figure 2.9.

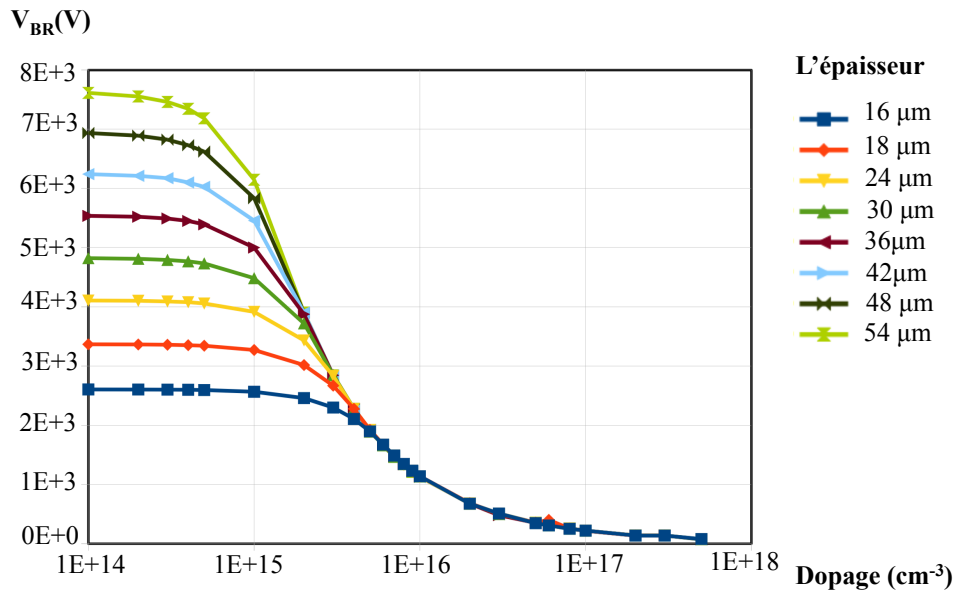


FIGURE 2.9 – Tension de claquage en fonction du dopage et de l'épaisseur de la zone de "drift".

Le "wafer" SiC qui va nous servir dans la partie réalisation a une couche d'épitaxie de 18 μm d'épaisseur, le dopage autour de  $8 \times 10^{14} \text{ cm}^{-3}$ . Ce qui correspond à une tenue en tension de 3,5 kV.

## 2.6 CONCEPTION DE LA PROTECTION PÉRIPHÉRIQUE DT2 D'UNE DIODE PIN 3 kV

En plus de protéger le composant contre les influences environnementales, la protection périphérique du composant est une étape essentielle dans la fabrication d'un composant de puissance. Les techniques sont basées sur la nécessité d'étaler au mieux la charge d'espace déployée par la jonction polarisée en inverse afin de distribuer le potentiel sur la plus

grand volume du composant que possible, et donc de diminuer son gradient, c'est-à-dire le champ électrique.

Tout d'abord, une technique de terminaison très courante dans le domaine très haute tension, reposant sur le principe de la gravure du semi-conducteur, nommée protection "mesa" sera présentée. On va montrer l'influence des différents paramètres tels que la profondeur et l'angle de gravure sur la tenue en tension.

### 2.6.1 Présentation de la terminaison mesa

Pour une diode PiN en SiC, l'anode de type P est réalisé localement par implantation ionique. Si la diode est de type "planar", un point anguleux A est formé. C'est le cas le plus défavorable. Les lignes équipotentiels se regroupent de manière à être orthogonales à la surface du composant. Ceci engendre un champ électrique très élevé dans le composant qui provoque le claquage prématurée en périphérie (point A). La terminaison est présenté sur la figure 2.10.

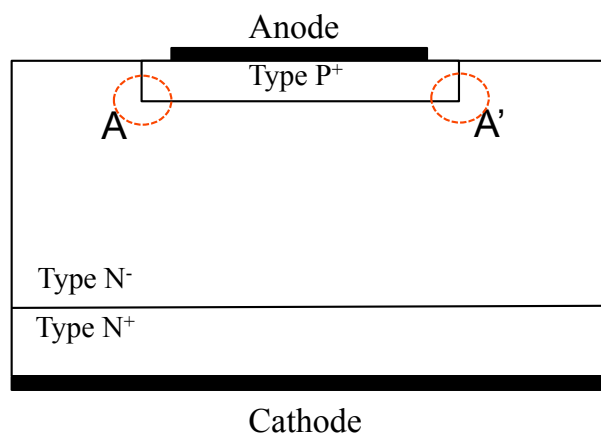


FIGURE 2.10 – Structure diode planar.

Pour éliminer le point anguleux, une terminaison type "mesa" est visée. La figure 2.11 montre la structure en général. En effet, ce type de terminaison se base sur une gravure très profonde. Les lignes équipotentiels sont toujours dans le sens perpendiculaire avec la jonction de la gravure/l'extérieur. Mais le point pic de champ ne tombe plus dans le

composant et permet d'éviter le claquage prématuré. Les paramètres les plus importants à prendre en compte dans ce cas-là sont la profondeur et l'angle  $\alpha$  de gravure.

L'avantage de cette technique est de ne pas nécessiter d'implantation, donc cela minimise les défauts dans le matériau. Mais le contrôle de qualité de la gravure profonde est toujours un problème principal car pour le SiC, la gravure profonde n'est pas aussi facile que le Si.

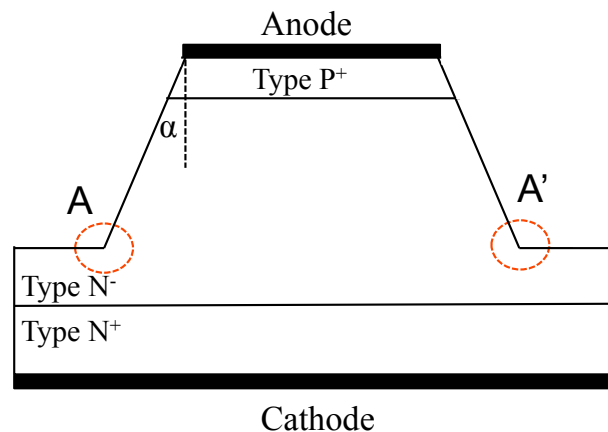


FIGURE 2.11 – Terminaison diode mesa.

### 2.6.2 Structure simulée de la terminaison DT2 simulée

La figure 2.12 présente la structure utilisée pour les simulations de type éléments finis SENTAURUS. La réduction du dispositif au niveau "cellule élémentaire" (en termes de symétrie de potentiel) et même la réduction de l'épaisseur de la couche "substrat" permet d'optimiser le rapport entre la qualité de la simulation (directement liée au nombre de neuds) et le temps de calcul. Les paramètres principaux pour la structure sont :

- L'épaisseur d'oxyde
- Le niveau de dopage du canal
- L'épaisseur de la couche substrat

Pendant les simulations, un contrôle des grandeurs physiques telles que le champ électrique et le courant dans la structure, permettra de dé-

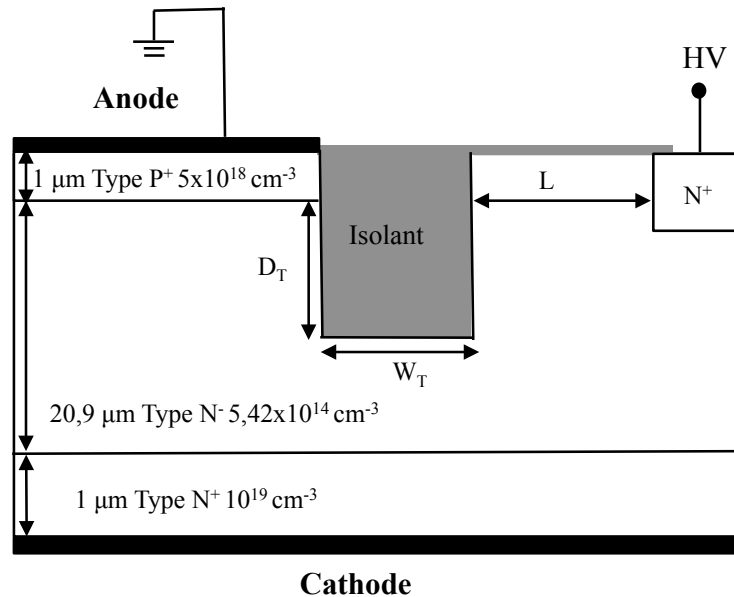


FIGURE 2.12 – Structure simulée avec une terminaison DT2

finir le point d'arrêt de la simulation. La valeur champ électrique est une contrainte "douce" qu'on ne peut pas mettre dans logiciel Sentaurus. Pourtant elle est une valeur très importante à surveiller.

Dans chaque cas d'étude, nous évaluerons l'impact du paramètre concerné sur le champ électrique, le courant de fuite. Et l'analyse de ces grandeurs aux niveaux des points sensibles de la structure.

### 2.6.3 Influence de l'angle de gravure

Tout d'abord, nous allons voir l'influence de l'angle de gravure sur la tenue en tension. Si l'angle de gravure est positif (figure 2.13), cela veut dire que le diamètre de la structure croît à partir de la zone anode vers la cathode. Les lignes équipotentielles se resserrent vers la périphérie du composant. Sur la figure 2.14, on voit les équipotentielles avec un resserrement intense à la fin de la jonction sur la gravure. Le champ électrique intense au pied de la gravure peut engendrer un claquage prématuré du composant. L'effet du point au pied de la gravure aura lieu si la profondeur de gravure inférieure à l'épaisseur de l'épitaxie  $N^-$ .

Pour bien voir l'influence de l'angle de gravure sur la tenue en tension,

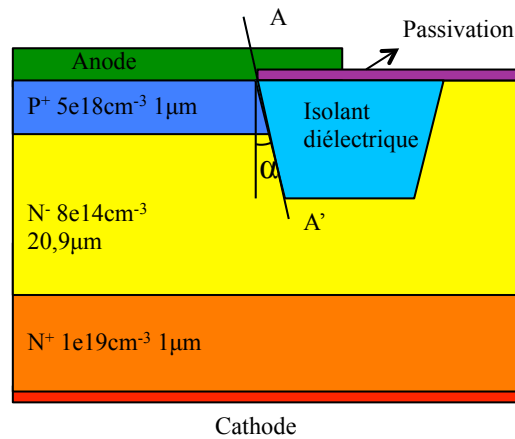


FIGURE 2.13 – Structure gravure positive

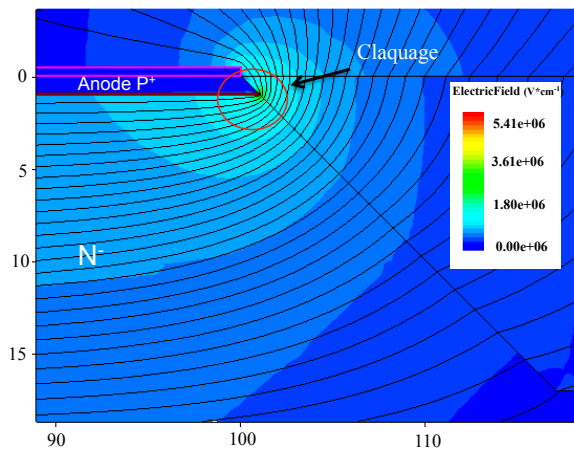


FIGURE 2.14 – Distribution des équipotentiels au moment claquage

les simulations sont faites pour des gravures inférieures ou qui dépassent l'épaisseur de la couche  $N^-$ . Les résultats sont présentés sur la figure 2.15.

On voit bien que, pour chaque valeur de l'angle de gravure, si on grave plus profond, la tenue en tension est plus importante. Si l'on fixe la profondeur de gravure maximale ( $21 \mu\text{m}$ ), l'augmentation de l'angle de gravure engendre une diminution de la tenue en tension. En fait, les lignes équipotentiels sont toujours perpendiculaires avec l'interface SiC/air. L'augmentation de l'angle de gravure engendre un resserrement des lignes équipotentiels, donc une augmentation du pic de champ. La tenue en tension maximale obtenue avec l'angle "nul" veut dire que avec la gravure per-



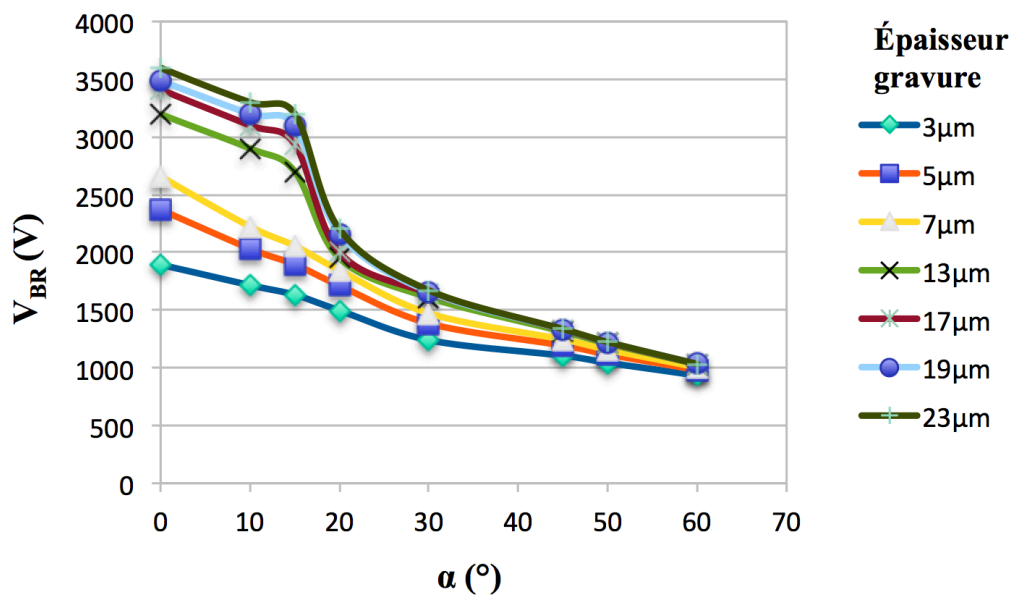


FIGURE 2.15 – Tenue en tension  $V_{br}$  en fonction de  $\alpha$  pour différents épaisseur de gravure

pendiculaire avec surface. À partir de maintenant, toutes les simulations seront faites avec l'angle de gravure "nul".

#### 2.6.4 Influence de la profondeur et largeur de gravure

Dans cette partie, nous allons investiguer l'influence de la géométrie de la tranchée ( $D_T$ ,  $W_T$ ) sur la tenue en tension du composant. En gardant la longueur total de terminaison, c'est-à-dire largeur de la tranchée ( $W_T$ ) + distance entre la fin de la tranchée et le "stop-channel" ( $L$ ) est constante. Nous faisons varier la profondeur ( $D_T$ ) et largeur ( $W_T$ ) de la tranchée. On suppose que le matériau dans la tranchée gravée est du  $\text{SiO}_2$ , un isolant très classique dans la procédée de fabrication des composants SiC. Par simulation bidimensionnelles, nous allons calculer la tension de claquage  $V_{br}$  en fonction de la largeur  $W_T$  et profondeur  $D_T$  de la tranchée. La figure 2.16 confirme une augmentation de façon très significative de la tenue en tension en fonction de la profondeur de la tranchée (pour chaque largeur de la tranchée). L'augmentation de largeur de la tranchée engendre aussi l'augmentation de la tenue en tension mais de façon moins signification par rapport à celle de la profondeur. Et pour chaque profondeur, au-delà

d'une valeur seuil de largeur de tranchée, la largeur de la tranchée n'a plus beaucoup d'influence sur la valeur de  $V_{br}$ . Il apparaît donc une valeur optimale de la largeur de la tranchée pour chaque profondeur.

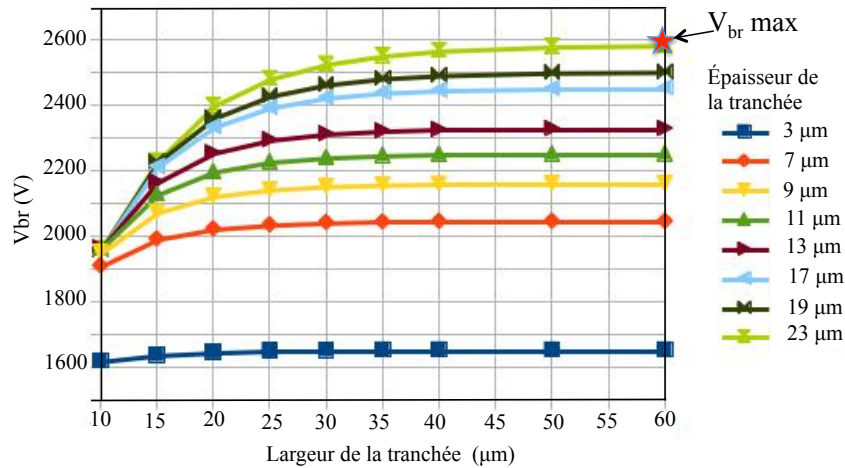


FIGURE 2.16 – La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par  $\text{SiO}_2$ )

En gardant la largeur optimale ( $W_T = 60 \mu\text{m}$ ) pour toutes les profondeurs de la tranchée, nous traçons l'évolution de la tenue en tension en fonction de la profondeur de la tranchée (figure 2.17). L'intervalle d'évolution de la tenue en tension en fonction de la profondeur gravée (1000 V) est plus grande par rapport à celui dû à la variation de la largeur de la tranchée (600 V). On peut dire autrement que la profondeur de la tranchée est un paramètre plus critique.

Celle-ci nous permet d'avoir une grande flexibilité pour les règles de conception. Par exemple, pour une tenue en tension demandée, on peut alors soit choisir la tranchée plus fine pour économiser la surface du composant et graver la tranchée plus profondément, soit choisir une tranchée avec la profondeur de gravure moins profonde et une largeur de la tranchée plus large. Cela veut dire que la conception de terminaisons peut donc être compatible avec plusieurs technologies utilisées

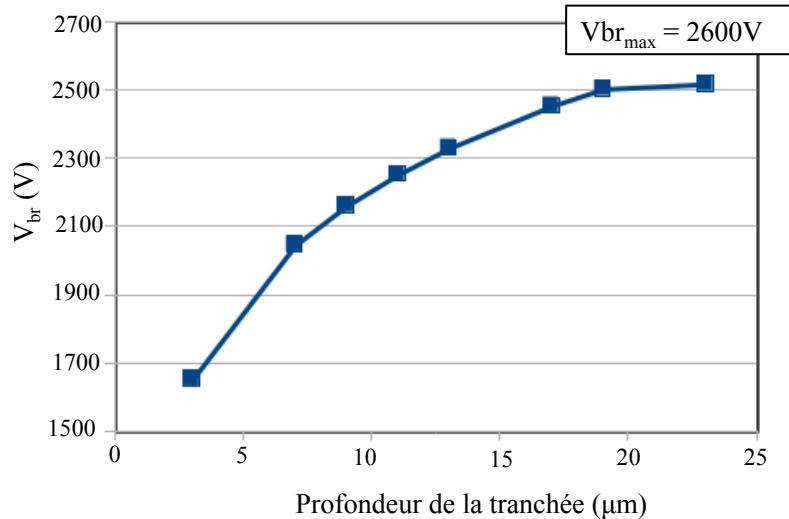


FIGURE 2.17 – La tenue en tension en fonction de la profondeur de la tranchée (remplie du  $SiO_2$ ; largeur de la tranchée  $W_T = 60 \mu m$ )

La tenue en tension maximale obtenue est 2600 V (65 %  $V_{BR}$  idéal) quand la profondeur de la tranchée atteint le substrat ( $D_T = 23 \mu m$ ;  $W_T = 60 \mu m$ ). Cette valeur est encore très petite par rapport à notre objectif. Une autre solution sera proposée pour améliorer l'efficacité de la protection.

### 2.6.5 Influence du matériau isolant pour remplir la tranchée

Nous remarquons que la tranchée "absorbe" presque toutes les lignes équipotentielles; le pic de champ à la courbure de la jonction n'est plus soutenu par le SiC mais par le matériau diélectrique qui remplit la tranchée.

Sachant que, à l'interface des deux milieux diélectriques, en tenant compte des paramètres électriques et électromagnétiques, les composantes tangentielles du champ électrique sont égales. Et les composantes normales du champ électrique sont dans le rapport inverse des permittivités.

$$\frac{E_{SiC}}{E_{diélectrique}} = \frac{\epsilon_{diélectrique}}{\epsilon_{SiC}} \quad (2.2)$$

La silice  $SiO_2$ , dont la permittivité  $\epsilon_{SiO_2} = 3,41 \cdot 10^{-13}$  F/cm, a une rigidité diélectrique de l'ordre de 5 à 10 MV/cm selon la qualité cristalline.

Le SiC avec  $\varepsilon_{SiC} = 9,8 \cdot 10^{-13}$  F/cm, le champ de rupture diélectrique est de l'ordre de 3 MV/cm.

On a l'intérêt de remplacer matériau diélectrique dans la tranchée par un autre matériau diélectrique avec une permittivité plus petite. De ce fait, le champ électrique dans la tranchée devient plus élevé. On peut dire que, la tranchée "absorbe" beaucoup plus les lignes équipotentielles et donc le champ électrique dans le composant SiC diminue, et la tenue en tension est améliorée.

La plus faible permittivité est celle des gaz, soit environ celle du vide ou de l'air. Mais leurs valeurs de rigidités diélectriques sont faibles, à l'ordre de quelques dizaines de kV/cm, sauf du vide ou à haute pression. Cependant, les champs électriques que le matériau doit tenir sont de l'ordre de quelques MV/cm. Dans le premier cas de solutions, on utilise du "vide" pour remplir la tranchée, dont la rigidité ne pose plus le problème.

Les simulations sont faites afin de vérifier l'influence du remplacement du vide par la Silice. Différents essais ont été réalisés et les résultats de simulation suivant apparaissent à la figure 2.18. La variation de la tenue en tension en fonction de la largeur et la profondeur est toujours dans la même tendance qu'avant. Mais la valeur de  $V_{br}$  maximum obtenue est plus élevée, l'efficacité est de l'ordre de 99 %. L'optimum de la profondeur et largeur de la tranchée est toujours  $D_T = 23 \mu\text{m}$  ;  $W_T = 60 \mu\text{m}$ .

Pour réaliser un vide suffisamment "pure" dans la tranchée, nous pouvons d'abord graver une tranchée. Ensuite une encapsulation de la cavité, par exemple avec une plaque de verre collée sur SiC. Cette technologie n'est pas facile, et coûteuse. En plus, avec le temps ce vide à l'intérieur de la tranchée n'est pas parfait, un arc électrique risque d'apparaître et dégrader la tenue en tension du composant. On pense à utiliser un autre diélectrique à faible permittivité et facile pour remplir dans une tranchée très profonde dans le deuxième cas.

Nous présentons dans la figure 2.19 la variation de la tenue en tension avec une tranchée optimale ( $D_T = 23 \mu\text{m}$  ;  $W_T = 60 \mu\text{m}$ ), quand la permitti-

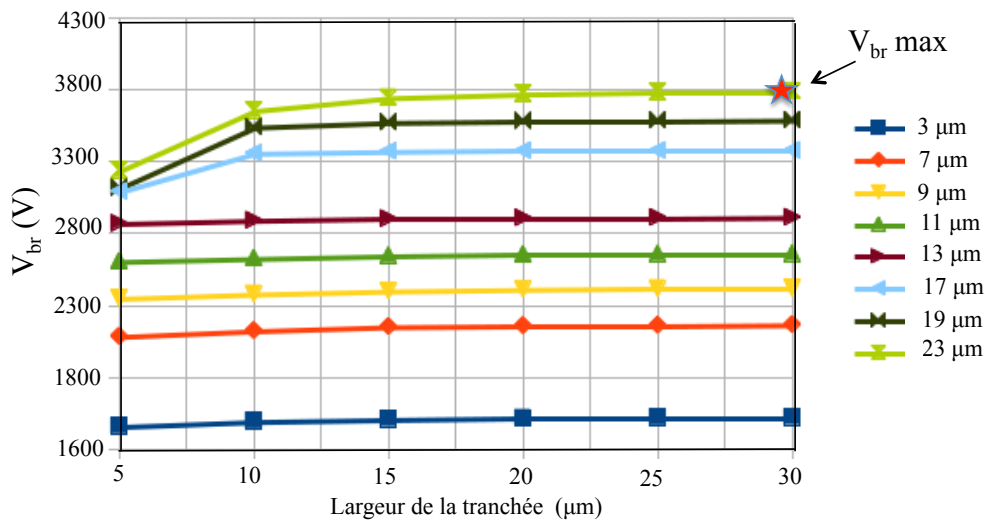


FIGURE 2.18 – La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par vide)

tivité relative du diélectrique passe de 1 (vide) à 4 (Silice). Sur cette même figure, le champ électrique dans la tranchée que le matériau diélectrique devrait tenir est présenté aussi. Ce couple de valeurs " $\epsilon, E_{max}$ " va nous aider à choisir le matériau diélectrique compatible pour notre besoin.

Ainsi on voit que par rapport à la silice il est préférable d'utiliser des couches en BCB (BenzoCycloButène) ou parylène avec des permittivités relatives autour de 3 et des champs critiques  $\sim 5$  MV/cm.

La solution de remplissage d'une tranchée de profondeur de l'ordre de  $20 \mu\text{m}$  par BenzoCycloButène est peut être envisageable après la réussite de Loic Théolier (Théolier *et al.* 2009). Lorsqu'on remplit la tranchée par du BCB, une contrainte importante est ajoutée pour la simulation. C'est un double critère d'arrêt de simulation : soit le courant de fuite augmente jusqu'à  $10^{-6}$  A, soit le champ électrique dans le matériau BCB atteint son valeur critique 5,3 MV/cm. Les résultats de simulation montrent que, le critère d'arrêt par le champ électrique maximum est arrivé avant le courant de fuite. La valeur de tenue en tension maximale obtenue est 3000 V, l'efficacité est 75 %. La tranchée optimale est toujours la même  $D_T = 23 \mu\text{m}$ ;  $W_T = 60 \mu\text{m}$ . Les étapes de la réalisation de cette technologie seront détaillées dans le prochain chapitre.

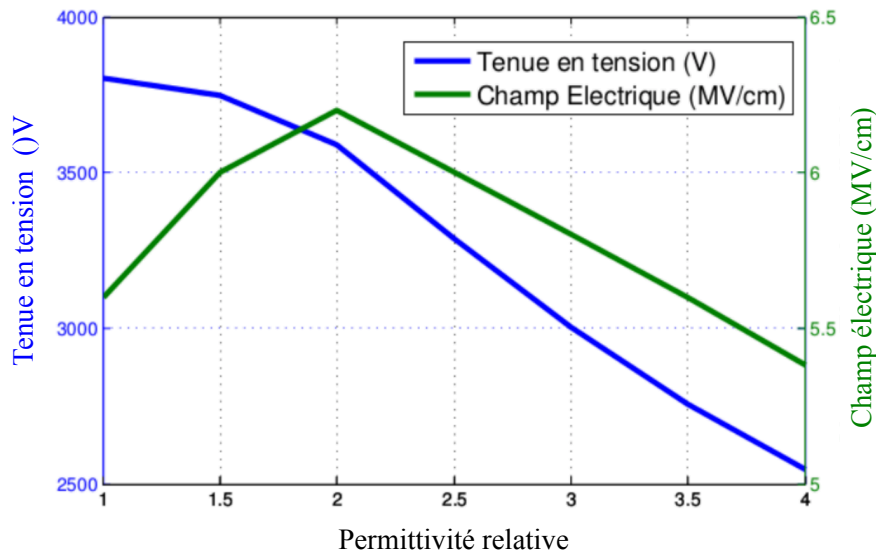


FIGURE 2.19 – La tenue en tension en fonction de la constante diélectrique pour une tranchée optimale

Nous allons maintenant proposer deux autres solutions supplémentaires pour augmenter encore plus l'efficacité de la terminaison, toujours en reposant sur le même principe d'utiliser une tranchée profonde. La première est d'ajouter une plaque de champ au-dessus de la tranchée. La deuxième est d'ajouter une couche  $P^-$  moins dopée autour de la tranchée.

### 2.6.6 Terminaison de jonction à tranchée profonde avec une plaque de champ

Comme nous avons trouvé précédemment, la structure de la tranchée optimale a une largeur  $60 \mu\text{m}$  et une profondeur  $23 \mu\text{m}$ . Le champ électrique maximal dans la tranchée est approximé de la valeur du champ critique du matériau dans la tranchée, le BCB ( $5,3 \text{ MV/cm}$ ). Une plaque de champ est ajoutée pour étaler plus les équipotentielles. Les simulations sont faites pour plusieurs largeur de plaque de champ.

Les résultats de la figure 2.20 montrent que, avec une plaque de champ, la tenue en tension augmente jusqu'à  $3700 \text{ V}$  (l'efficacité  $\approx 99 \%$ ). Le champ électrique dans le SiC diminue, mais le champ électrique dans la tranchée devient trop grand, dépassant la valeur du champ critique du

BCB, et donc le composant serait détruit. On peut dire que la méthode d'ajout d'une plaque de champ n'est pas convenable.

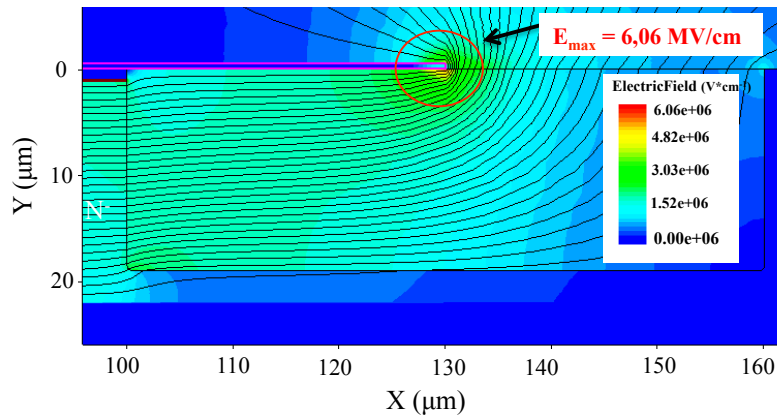


FIGURE 2.20 – La tenue en tension en fonction de la constante diélectrique pour une tranchée optimale

### 2.6.7 Terminaison de jonction à tranchée profonde avec une couche JTE autour de la tranchée

La principale raison pour nous de penser à cette idée vient de la difficulté de la gravure profonde du SiC. On voulait utiliser une tranchée moins profonde par rapport à la solution précédente mais avec l'efficacité de la terminaison qui ne change pas. On propose de créer une couche  $P^-$  implantée autour de la tranchée. Cette couche va se comporter comme une extension de jonction implantée (Junction Termination Extension - JTE) verticale.

La structure que nous proposons est présentée sur la figure 2.21. La profondeur de la tranchée est de  $7 \mu\text{m}$ , la largeur de la tranchée est de  $60 \mu\text{m}$ . Il faut se rappeler que notre étude concerne le cas d'une diode PiN "punch-through", c'est-à-dire avec une jonction en limitation de charge d'espace.

Pour illustrer le fonctionnement de cette technique nous avons simulé la distribution du champ électrique dans la structure sans JTE et avec JTE avec la même profondeur et la même largeur de la tranchée. La dose de la couche JTE varie de  $10^{12} \text{ cm}^{-2}$  jusqu'à  $5 \times 10^{14} \text{ cm}^{-2}$ . La tenue en tension

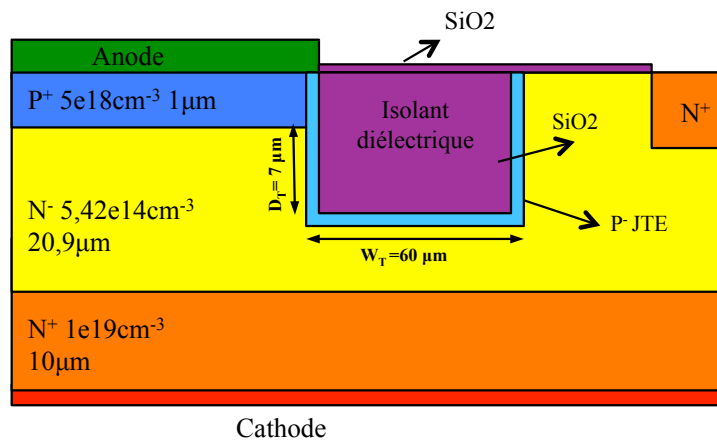


FIGURE 2.21 – DT2 avec JTE

obtenue est fonction de la dose de la JTE, et la valeur  $V_{BR}$  maximale 3200 V correspondant à la dose JTE environ  $9 \times 10^{12} \text{ cm}^{-2}$ , ce qui est beaucoup plus grand par rapport à celle du cas sans JTE (2300 V). On voit bien l'intérêt de cette couche JTE, ce qui aide à étaler plus les lignes équipotentielles et ainsi d'éviter les accroissement locaux du champ électrique dans SiC (figure 2.22).

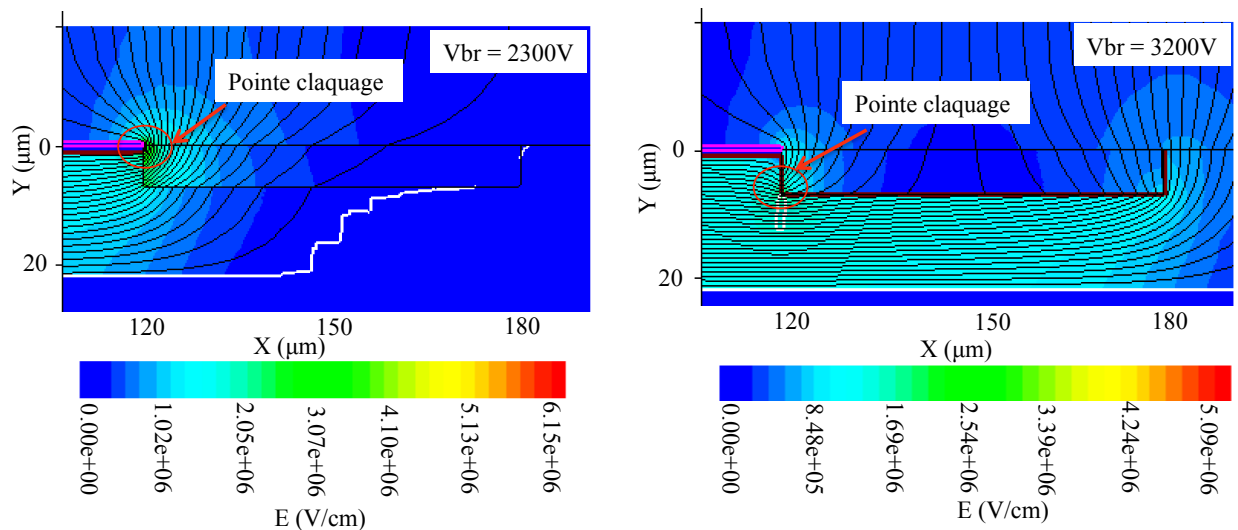


FIGURE 2.22 – Distribution des équipotentielles sans JTE et avec JTE



### 2.6.8 Optimisation de la dose pour la couche JTE

Des simulations sont ensuite réalisées afin de regarder et d'expliquer l'influence de la dose de la couche JTE sur la tenue en tension du composant. Tout d'abord, la structure de la tranchée  $W_T = 60 \mu\text{m}$  et  $D_T = 7 \mu\text{m}$  est choisie. On va changer le dopage de couche JTE, les résultats sont représentés sur les figures 2.23, 2.24, 2.25 correspondant aux trois doses de couche JTE.

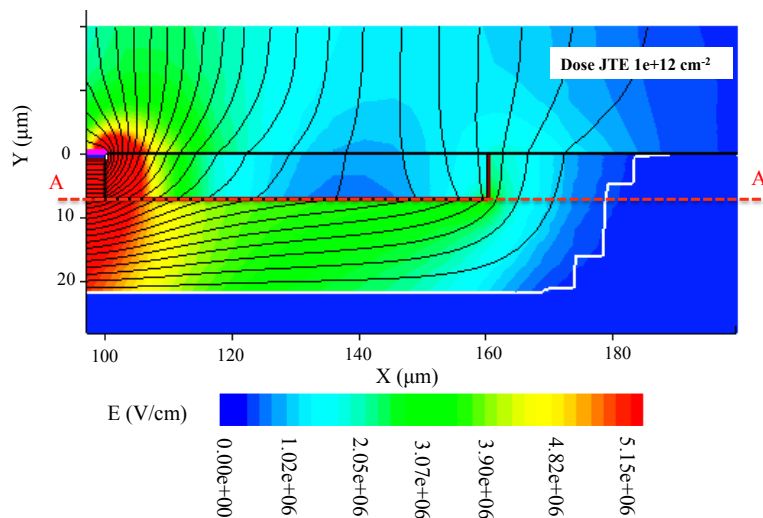


FIGURE 2.23 – Distribution des équipotentiels dans le cas d'une JTE avec un dopage trop faible

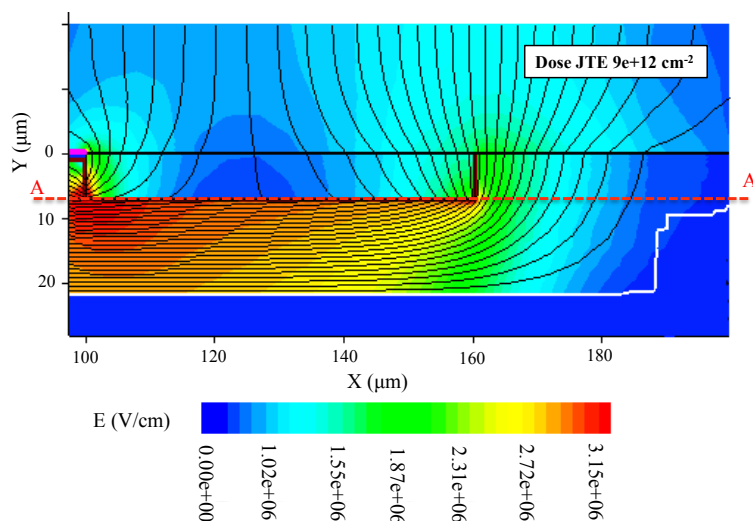


FIGURE 2.24 – Distribution des équipotentiels dans le cas d'une JTE avec un dopage optimal

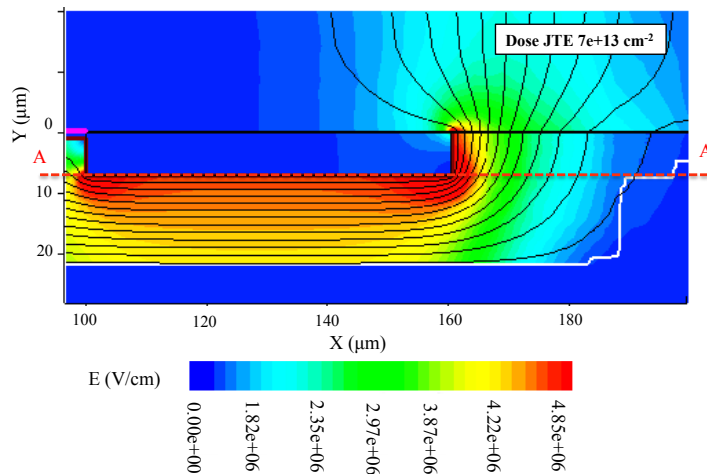


FIGURE 2.25 – Distribution des équipotentielles dans le cas d'une JTE avec un dopage trop grand

Si la dose de la JTE est faible ( $D_{JTE} = 10^{12} \text{ cm}^{-2}$ ), la poche JTE est désertée des porteur trop vers l'anode, le pic de champ élevé est situé en bordure de la jonction principale (rouge) (figure 2.23). Une augmentation de la dose de la JTE ( $D_{JTE} = 9 \times 10^{12} \text{ cm}^{-2}$ ) conduit à un équilibre du champ électrique entre le bord de la jonction principale et l'autre bord de la tranche (figure 2.24). Une augmentation trop forte de la dose de JTE fait que la poche JTE ne se déserte pas du tout, et induit un champ électrique élevé au bord de la JTE en extrémité de la tranche (figure 2.25). Une dose de la JTE optimale va équilibrer les deux pics de champ à la fin de jonction et à la fin de couche JTE, cela veut dire que pour la couche JTE soit pleinement efficace, cette couche doit être déplétée à la bonne tension (ni avant, ni après) et la tenue en tension du composant sera maximale à ce point. Ceci peut s'expliquer comme pour une protection par une JTE latérale normale.

Une coupe latérale du module du champ électrique située à la profondeur de la gravure est réalisée pour comparer les pics du champ électrique le long de cette coupe pour les trois cas (figure 2.26). On voit bien que dans le cas  $D_{JTE} = 9 \times 10^{12} \text{ cm}^{-2}$ , les deux pics de champ électrique au fond de la tranche sont plus petits par rapport aux deux autres cas, donc la tenue en tension est plus importante. En plus les pics dans ce cas sont équilibrés.

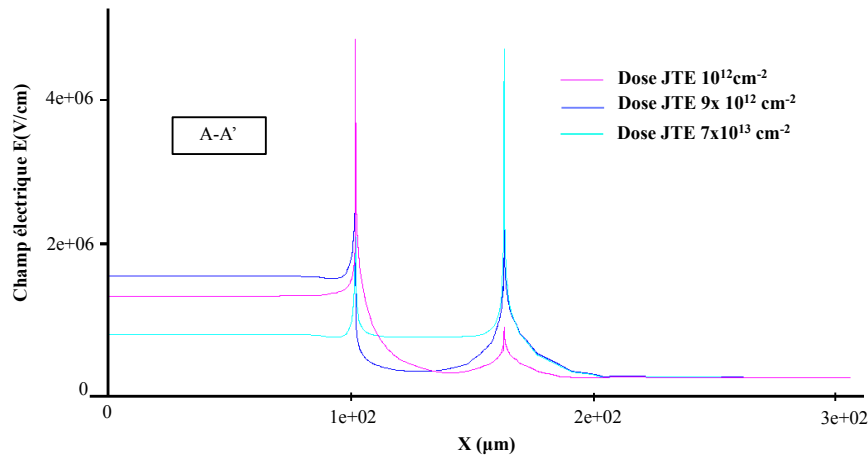


FIGURE 2.26 – Coupe latérale du module du champ électrique au moment du claquage

Ensuite, les simulations sont faites systématiquement pour voir l'influence de la dose de la couche JTE sur la tenue en tension en gardant la largeur de la tranchée fixée à 20 et 60  $\mu\text{m}$ , la profondeur de la tranchée varie de 3 jusqu'à 13  $\mu\text{m}$  (figure 2.27, 2.28).

Dans la figure 2.27, nous voyons que pour chaque profondeur de gravure, il existe une gamme de valeur de la dose de JTE pour que la tenue en tension obtenue soit maximale. La tenue en tension est aussi améliorée si  $D_T$  augmente. La dépendance de la tenue en tension en fonction de la dose de la couche JTE n'est pas du tout aussi forte que dans le cas de la JTE latérale. La tenue en tension reste invariante pour une large gamme de la dose JTE à partir de  $3 \times 10^{12} \text{ cm}^{-2}$  jusqu'à  $10^{13} \text{ cm}^{-2}$ . Ceci va nous laisser une marge de liberté pour s'accommoder des tolérances spécifiques à la réalisation technologique.

La dose optimale se situe autour de  $D_{JTE} = 8 \times 10^{12} \text{ cm}^{-2}$  correspondant à la tenue en tension 3200 V. Pour la fabrication, en considérant que le taux d'activation ne sera pas de 100 %, une dose plus élevée de l'ordre  $10^{13} \text{ cm}^{-2}$  est conseillée.

### 2.6.9 Propriétés électriques de l'interface SiC/diélectrique

L'interface entre le matériau SiC et l'isolant dans la tranchée contient des défauts cristallographiques et des impuretés susceptibles de dégra-

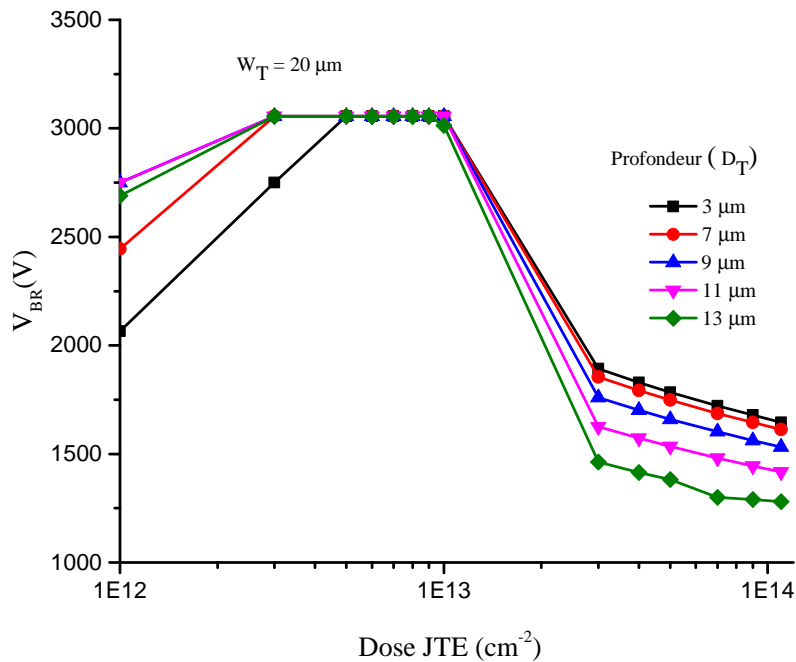


FIGURE 2.27 – La tenue en tension en fonction de profondeur et la dose de couche JTE (largeur de la tranchée 20  $\mu\text{m}$ )

der la performance électrique du composant. En effet, contrairement aux composants unipolaires, les composants bipolaires sont particulièrement sensibles à la présence des défauts dans les zones actives. Leurs influences sont notamment importantes sur la durée de vie des porteurs majoritaires lorsque le composant est polarisé en direct, et sur la tenue en tension en inverse. Nous allons rappeler la nature des défauts dans le semi conducteur SiC et l'isolant qui remplit la tranchée. Les différents types de défauts sont classés en deux types en général.

— Défauts intrinsèques :

Un désaccord de maille entre deux matériaux apparaît lorsque une interface se forme. Il entraîne une perte locale de la périodicité du réseau qui introduit des niveaux d'énergies supplémentaires situés à l'intérieur de la bande interdite. Si ce niveau d'énergie  $E_t$  est proche du niveau inférieur de la bande de conduction  $E_c$  ou proche du haut

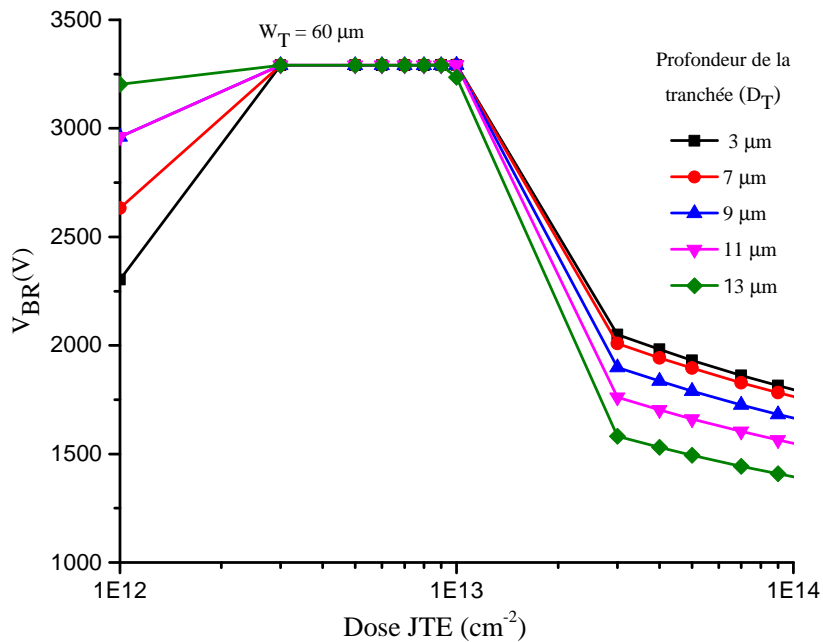


FIGURE 2.28 – La tenue en tension en fonction de profondeur et la dose de couche JTE (largeur de la tranchée  $60 \mu\text{m}$ )

de la bande de valence  $E_v$ , ce défaut, est respectivement un piège à électron ou à trou, qualifié de "peu profond" ou d'état de "queues de bandes". Au contraire, si ce niveau énergie  $E_t$  se situe relativement proche du milieu de la bande interdite, on qualifie ce défaut de "profond". Un défaut (profond ou peu profond) se comporte comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) puis le réémet vers cette même bande (figure 2.29 e,f). Par contre, un défaut "profond" agit en tant que centre de recombinaison indirect lorsqu'il y a des porteurs en excès par rapport à l'état d'équilibre dans le semiconducteur. En plus, quand ce niveau profond capte un électron, la probabilité de capturer un trou est plus importante que celle de renvoyer l'électron. Ils vont faire une recombinaison, c'est donc un centre de recombinaison (figure 2.29 a, suivi par la figure 2.29 c,). Au contraire, lorsque la densité de porteurs est inférieure à sa valeur d'équilibre (dans la zone de

charge d'espace), et le semiconducteur est soumis à une perturbation extérieure qui peut être apportée par une photon, une particule très énergétique (radiation ionisante, porteur chaud) ou un champ électrique intense, des paires électron-trou sont créées pour contribuer au phénomène d'avalanche (figure 2.29 b, suivi par figure 2.29 d,).

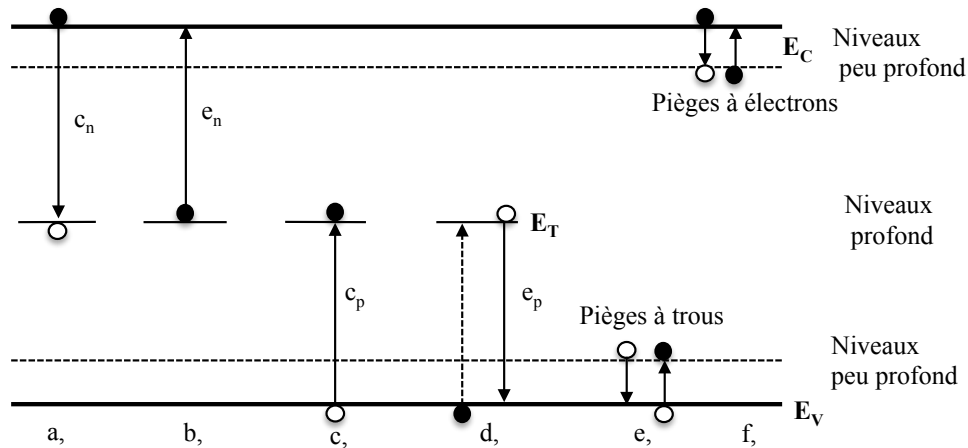


FIGURE 2.29 – Schéma des mécanismes piégeage, dépiégeage, recombinaison, génération.

Pour évaluer ces états d'interfaces, on utilise la notion de densité d'états d'interface, notée  $D_{it}$  qui représente le nombre de défauts électriquement actifs par unité de surface et d'énergie ( $e^{-1}.V^{-1}.cm^{-2}$ ) situés à l'interface semi-conducteur/isolant. Plusieurs méthodes sont utilisées pour quantifier les défauts profonds : la DLTS (Deep Level Transient Spectroscopy), la CDLTS (Conductance Deep Level Transient Spectroscopy), le pompage de charge... Dans la littérature, les recherches de Sakurai (Saks *et al.* 2000) ont montré que la distribution de la densité d'état  $D_{it}(E)$  est en forme de U (figure 2.30). Cela se traduit par des densités d'états plus grandes près au bas de la bande de conduction et du haut de la bande de valence. Les densités des états profonds sont très faibles de l'ordre de  $10^{11}e^{-1}.V^{-1}.cm^{-2}$ .

Une autre notion très importante est celle de "section efficace de capture"  $\sigma_n$  pour les électrons et  $\sigma_p$  pour les trous. Elle traduit la surface

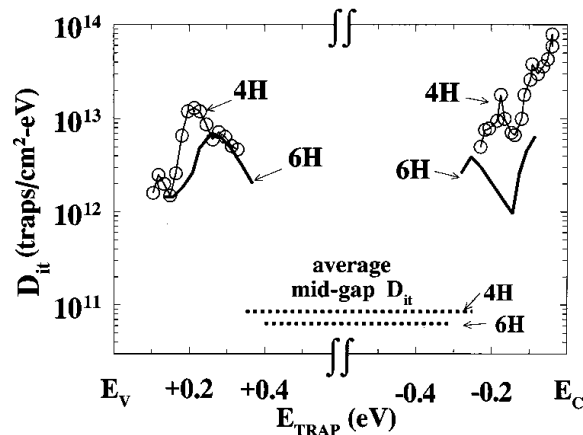


FIGURE 2.30 – Densité états interface en fonction de énergie dans le SiC band gap pour SiC-4H, SiC-6H (Saks et al. 2000)

autour du piège dans laquelle le porteur libre doit s'approcher pour être capturé. Les recherche de (Eades et Swanson 1984), (Tredwell et Viswanathan 1980) par méthode DLTS ont montré que les sections de capture pour les électrons décroissent près de la bande de conduction, et les sections de capture pour les trous augmentent de façon exponentielle, du milieu de la bande interdite vers la bande de valence.

Les taux de capture  $c_n$  et  $c_p$  respectivement pour les électrons et les trous sont définis ainsi :

$$c_n = \sigma_n \cdot n \cdot v_{thn} \quad (2.3)$$

$$c_p = \sigma_p \cdot p \cdot v_{thp} \quad (2.4)$$

- $\sigma_{n,p}$  : les sections efficaces de captures du défaut profond.
- $v_{thn,p}$  : les vitesse thermiques des porteurs.
- $n, p$  : les concentrations respectives d'électrons et de trous dans les bandes d'énergie concernées.

La caractéristique de chaque niveau énergétique dépend non seulement de la section efficace de capture, mais aussi de la concentration des porteurs libres dans le semiconducteur.

Le site se comporte comme un piège à électron si  $c_n > c_p$ , et un piège à trous dans le cas contraire et un site de recombinaison si  $c_n \approx c_p$ .

Tous ces paramètres peuvent être introduits dans l'outil de simulation électrique Synopsys-Sentaurus qui utilise notamment le modèle de recombinaison SRH (Shockley Read Hall). Cet outil de simulation tient également compte de la nature donatrice ou acceptrice des défauts dont l'impact peut modifier localement le niveau de dopage de l'interface.

— Défauts extrinsèques :

Les défauts extrinsèques sont liés à la présence d'atomes étrangers. Les impuretés peuvent pénétrer dans le volume de façon involontaire dans les différentes étapes du procédé technologique. Ils vont créer des charge fixes ou mobiles (ioniques) mais également des pièges...Les dopants introduits dans le SiC peuvent agir comme des pièges.

Les trois types de défauts sont illustrés sur la figure 2.31 ainsi que les états d'interface associés à un défaut intrinsèque.

- o Charge fixe : Positive ou négative, elle est localisée très proche des interfaces isolant-SiC et n'évolue pas. La présence d'une charge fixe à l'interface isolant-SiC est très importante car elle va induire à l'interface isolant-SiC une charge image opposée qui modifie le dopage du SiC localement autour de la charge dans cette région.
- o Charge piégée : Positive ou négative, elle est située dans le volume, loin de l'interface. Sous l'effet de la température ou du champélectrique, ou une combinaison des deux, la charge peut évoluée (piégeage, dépiégeage).
- o Charge mobile ionique : C'est une charge due à la contamination par des impuretés ioniques. Ces impuretés peuvent migrer dans le SiC sous l'effet de la température ou du champélectrique, ou une combinaison des deux.



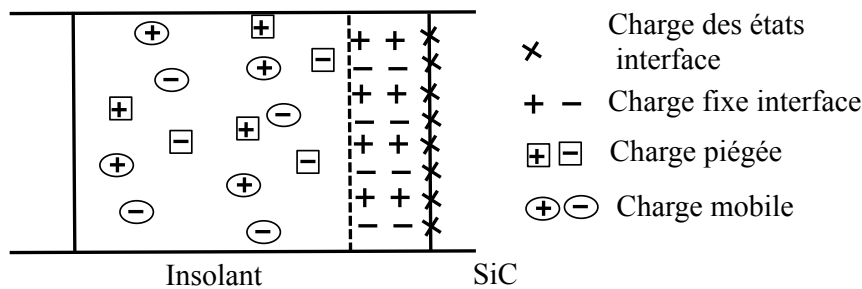


FIGURE 2.31 – Les différents types de charges et leurs localisations. Remarque : les états d'interface sont qualifiés de défauts intrinsèques.

On considère que toutes les charges dans l'isolant, loin de l'interface avec le SiC comme les charges piégées et les charges mobiles ne perturbent pas la tenue en tension du composant car leur temps de réponse  $\tau_c$  (par analogie avec les états d'interface) est particulièrement long. Quand le composant est polarisé en inverse, l'interface du SiC/isolant est couverte par la zone de charge d'espace (sans porteur libres), donc il y a pas de charges d'états d'interface. Par conséquent les variations de la tenue en tension sont dues aux charges fixes à l'interface SiC/isolant et aux états d'interface.

Dans la littérature, les données sur la densité des charges fixes à l'interface SiC/ $SiO_2$  sont très diverses et variées (Raynaud 2001). Une capacité MOS avec l'épaisseur d'oxyde faible (une centaine de nanomètre) est réalisée pour caractériser les états d'interfaces et les charges fixes à interfaces. En général, les densités de charges fixes peuvent varier entre  $[-10^{13}; +10^{13}] \text{ cm}^{-2}$ .

Dans le logiciel SENTAURUS, une quantité précise de charges fixes de type électrons (négative) ou trous (positive) à l'interface sont activées dans la session "physics" du fichier "SDEVICE" par des commandes :

*Physics (MaterialInterface="SiC/Isolant")*

*Traps (Conc = C FixedCharge)*

### 2.6.10 Influence des charges à l'interface

Nous avons fait varier les concentrations de charges fixes négatives et positives sur la gamme  $[-10^{14}; +10^{13}] \text{ cm}^{-2}$  pour évaluer leurs influences sur la tenue en tension du composant. Pour des densités de charges inférieures à  $10^{11} \text{ cm}^{-2}$  de signe positif ou négatif, la tenue en tension du composant évolue très peu. Cette valeur est négligeable devant la dose des dopants de couche l'épitaxie  $N^-$  ( $N_D=5.42 \times 10^{13} \text{ cm}^{-3}$ ), donc il n'y a pas d'évolution de la zone de charge d'espace. Mais en dehors de ces valeurs, la tenue en tension évolue en fonction de la quantité et du signe de charges fixes. Les simulations nous donnent les résultats sur la figure 2.42. Nous avons commencé par une première comparaison entre les doses différentes de charges négatives et la deuxième comparaison entre les doses différentes de charges positives, afin de comprendre l'effet des charges fixes sur la tenue en tension du composant.

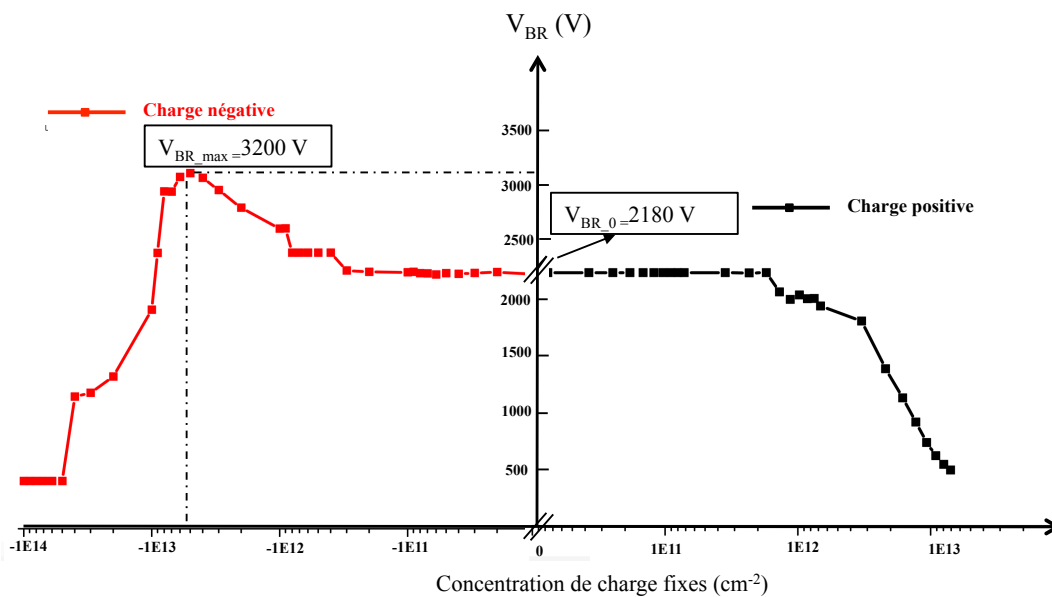


FIGURE 2.32 – Influence de l'insertion de charges fixes sur la tenue en tension de la diode DT2.

— Influence des charges négatives :

La figure 2.42 montre que si les charges sont négatives, la tenue en tension est améliorée. On a choisi 3 doses de charges négatives pour la comparaison :

$$\begin{aligned}
 &+ C_1 = -10^{12} \text{ cm}^{-2} \\
 &+ C_2 = -5 \times 10^{12} \text{ cm}^{-2} \\
 &+ C_3 = -4 \times 10^{13} \text{ cm}^{-2}
 \end{aligned}$$

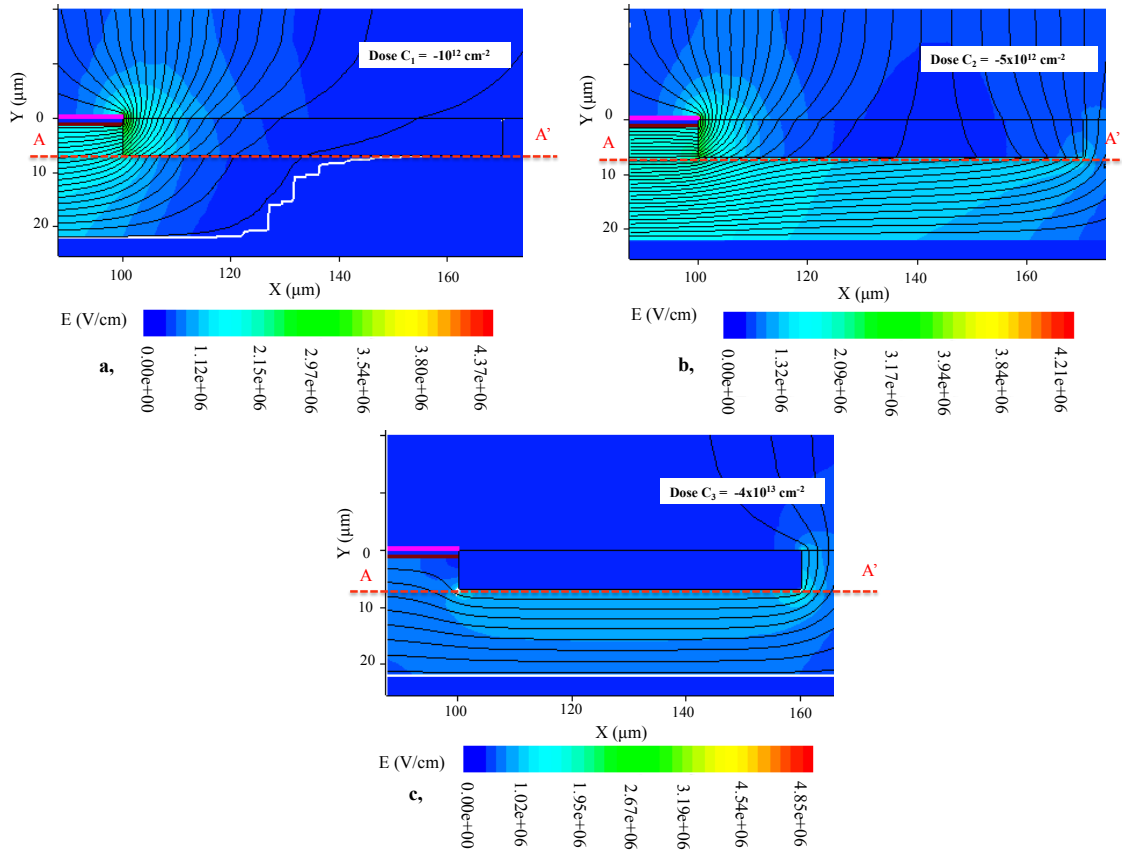


FIGURE 2.33 – Distribution des équipotentiels dans le cas  $C_1 = -10^{12} \text{ cm}^{-2}$ ,  $C_2 = -5 \times 10^{12} \text{ cm}^{-2}$  et  $C_3 = -4 \times 10^{13} \text{ cm}^{-2}$

Nous montrons sur les figures 2.33, les distributions des lignes de potentiel pour les concentrations particulières de charges négatives choisies précédemment.

En effet, ces charges fixes négatives dans le  $\text{SiO}_2$  repoussent les charges négatives dans le SiC, en même temps attirent des trous vers l'interface SiC/isolant pour établir l'équilibre électrostatique. Cette accumulation de trous à l'interface SiC/isolant donne naissance à une nouvelle jonction virtuelle  $P^- / N^-$  le long de la tranchée, ce qui joue le rôle d'une couche JTE. Comme une couche JTE normale, elle implique une plus grande extension de la zone de charges d'espace. Les lignes équipotentiels s'étalent plus largement d'où la tenue

en tension du composant qui augmente. La concentration de cette couche JTE est en fonction de la dose de charges fixes à l'interface. Similaire aux simulations précédentes avec une couche JTE, il existe une densité de charges fixes optimale pour que la tenue en tension obtenue soit maximale.

Les simulations montrent des distributions qui ne sont pas similaires pour les densités de charges fixes  $C_1 = -10^{12} \text{cm}^{-2}$  et  $C_2 = -5 \times 10^{12} \text{cm}^{-2}$ . Le champ électrique dans le SiC le long d'un axe AA' porté par l'interface isolant - SiC au fond de la tranchée montre que le champ est plus important pour le premier cas ( $C_1 = -10^{12} \text{cm}^{-2}$ ) près de la jonction principale. Avec  $C_2 = -5 \times 10^{12} \text{cm}^{-2}$ , le pic de champ électrique près de la jonction principale est plus petit par rapport au cas précédent, la tenue en tension obtenue est maximale 3200 V (figure 2.34).

À partir de cette valeur, la tenue en tension se dégrade lorsque la concentration de charges augmente encore plus. Par exemple dans la figure 2.33 c, ce qui correspond à une dose de charges fixes de  $C_3 = -4 \times 10^{13} \text{cm}^{-2}$ , les lignes de potentiel ne pénètrent pas à l'intérieur de la tranchée car la limite de la zone de charge d'espace est réduite dans la zone virtuelle  $P^-$ . La distribution des lignes de potentiel devient plus serré. Le pic de champ au fond de la tranchée augmente, et donc limite ainsi l'efficacité de la terminaison. On peut visualiser la région de claquage prématurée avec une dose de charges fixes négatives élevée. Une capture du champ électrique dans la structure est enregistrée à la tension de claquage 890 V (correspondant à la dose  $C_3 = -4 \times 10^{13} \text{cm}^{-2}$ ) (figure 2.35).

— Charges positives :

Nous allons choisir deux doses de charge positives pour la comparaison.

- $C_1 = 10^{12} \text{cm}^{-2}$

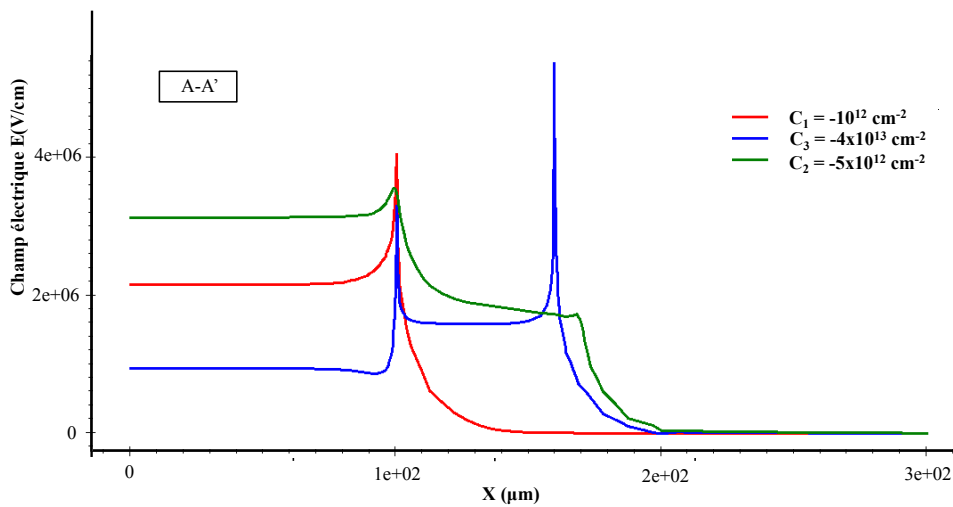


FIGURE 2.34 – Distribution de champ dans le SiC en fonction de la concentration de charges négatives.

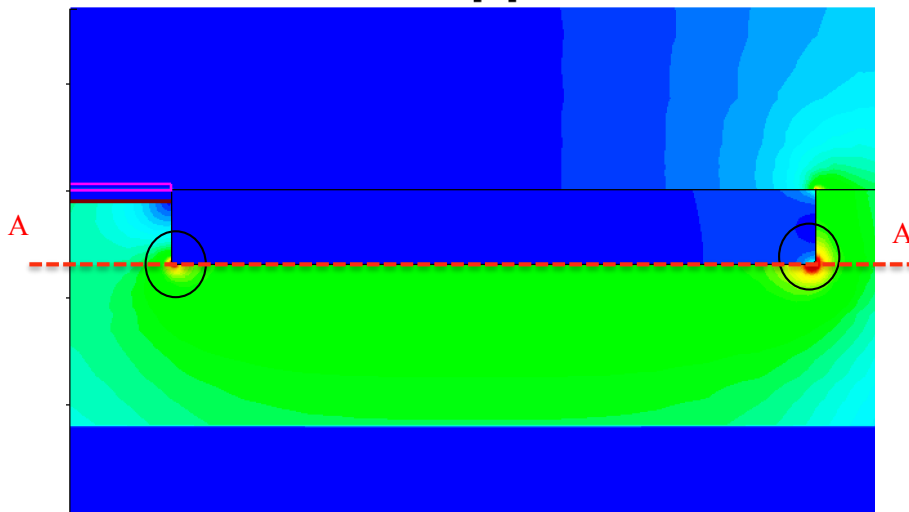


FIGURE 2.35 – Distribution du champ électrique pour une dose de  $C_3 = -4 \times 10^{13} \text{ cm}^{-2}$ .

$$- C_2 = 4 \times 10^{12} \text{ cm}^{-2}$$

La figure 2.36 présente la répartition 2D des lignes de potentiels dans la structure pour les deux doses citées précédemment. Contrairement aux charges les négatives, les charges positives vont attirer les électrons libres dans la couche d'épitaxie, ce qui modifie le dopage de la couche d'épitaxie à coté la jonction principale. Dans ce cas, le dopage  $N^-$  augmente, donc la zone de charge espace est plus pincée à l'interface SiC/isolant, la tenue en tension diminue ainsi que l'efficacité de la terminaison.

D'après la figure 2.36 a, pour une dose insérée de  $C_1 = 10^{12} \text{ cm}^{-2}$ , la déplétion s'étale sur  $40 \mu\text{m}$  dans la tranchée. La tenue en tension du composant est de  $2180 \text{ V}$ . Toutes les charges positives insérées sont recombinées avec des électrons dans la couche d'épitaxie, et surtout ne change pas le dopage de cette couche. Ceci permettant aux lignes de potentiel de s'étaler sur toute la profondeur de la terminaison. Par contre, pour une dose de  $C_2 = 4 \times 10^{12} \text{ cm}^{-2}$  comparable avec dopage de couche  $N^-$ , la tenue en tension est que de  $935 \text{ V}$ . La quantité de charges fixes à l'interface est trop élevée et n'est pas entièrement recombinée avec des trous.

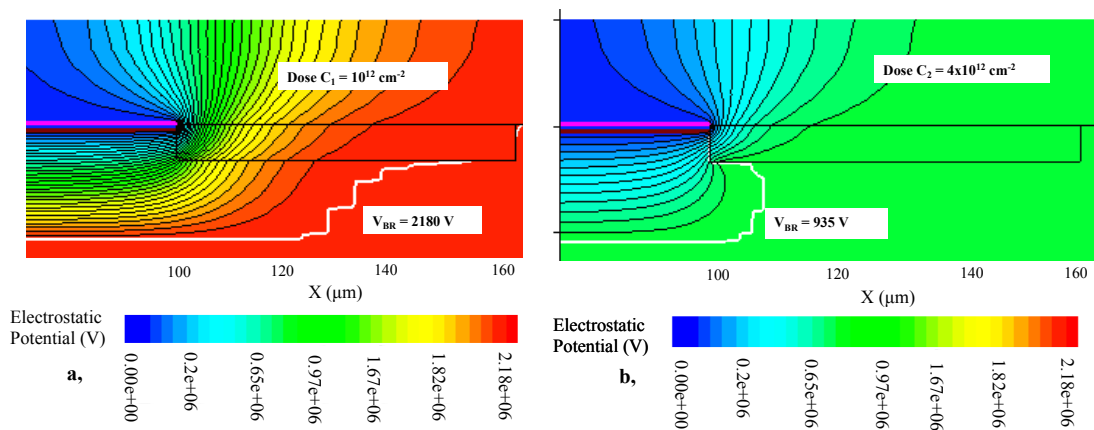


FIGURE 2.36 – Distribution des équipotentielles dans le cas  $C_1 = 1 \times 10^{12} \text{ cm}^{-2}$ ,  $C_2 = 4 \times 10^{12} \text{ cm}^{-2}$

### 2.6.11 Conclusion

Tout d'abord, le travail a été commencé par des simulations pour trouver les paramètres (épaisseur, dopage) de la couche d'épitaxie  $N^-$  pour satisfaire le compromis entre la tenue en tension idéale et la résistance à l'état passant. Ensuite, optimiser une terminaison périphérie du composant a été notre objectif suivant. Deux solutions principales ont été envisagées, la protection de type "mesa" par une tranchée profonde (DT2) et une combinaison entre la DT2 avec une JTE. Les autres solutions comme celle ajoutant une plaque de champ ou le changement du matériau diélectrique dans la tranchée ont été testées aussi pour trouver une conception

optimale. Les simulations montrent aussi la sensibilité de la tenue en tension aux charges fixes à l'interface. Cela veut dire que les conditions de gravure de la tranchée, le dépôt d'isolant dans la tranchée... sont très importantes, et on peut contrôler le procédé technologique pour supprimer ou diminuer son influence sur la tenue en tension du composant.

La valeur de la tenue en tension maximale obtenue est 3200 V (l'efficacité 95 %) qui est approximative avec la tenue en tension quand on utilise la méthode de protection JTE simple. Celle-ci est très utilisée dans le domaine des terminaisons haute tension. La surface de terminaison utilisée pour les deux méthodes sont similaires. Ce résultat pour le moment ne montre pas très clairement l'avantage de diminuer de la surface de terminaison dans cette gamme de tension, mais cette direction quand-même nous aide à ouvrir une piste pour des niveaux de tension plus hautes. Par la suite, cette technique sera appliquée pour un niveau de tension de 25 kV.

## 2.7 CONCEPTION D'UNE PROTECTION PÉRIPHÉRIQUE DT2 POUR UNE DIODE PIN 25KV

Dans littérature plus récente, l'auteur (Niwa *et al.* 2012a) a utilisé la méthode SM-JTE (space-modulated JTE) (figure 2.37) pour obtenir une tenue en tension de 21,7 kV, avec une efficacité de 81 %. La longueur de la terminaison est environ 600  $\mu\text{m}$ . L'épaisseur de la couche d'épitaxie  $N^-$  est de 186  $\mu\text{m}$ , le dopage de  $2,3 \times 10^{14} \text{ cm}^{-3}$ . Pour mieux comparer avec notre résultat, nous allons utiliser les mêmes paramètres de la couche d'épitaxie  $N^-$  dans notre structure.

En général, la règle de conception est similaire pour une diode de niveau 3 kV. Il y a un compromis entre la profondeur et largeur de la tranchée pour une tenue en tension visée. La couche de JTE, l'isolant qui remplit la tranchée, la plaque de champ, les charges d'interface... vont influencer sur la tenue en tension du composant.

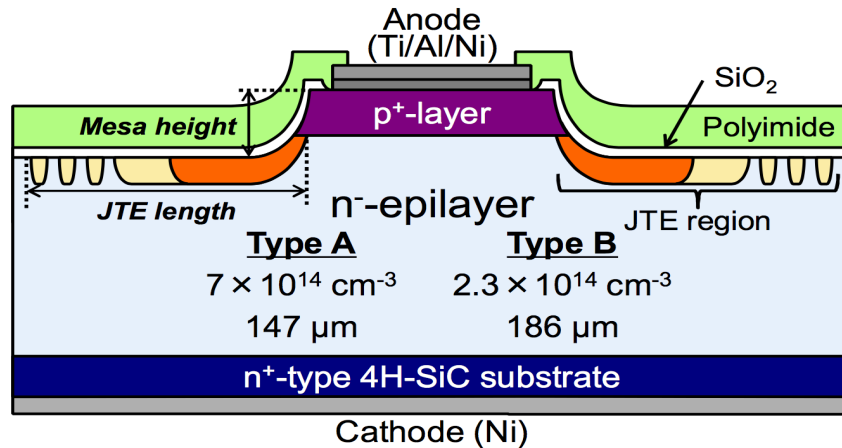


FIGURE 2.37 – Structure diode PiN 25kV avec JTE modulée (Niwa et al. 2012a)

### 2.7.1 Influence de la profondeur et de la largeur de gravure

La structure du composant utilisé pour simulation avec les paramètres sont montrées dans la figure 2.38. Au début la tranchée est remplie par  $\text{SiO}_2$ . La tenue en tension maximale quand la gravure est faite jusqu'au substrat est approximativement 10 kV (figure 2.39).

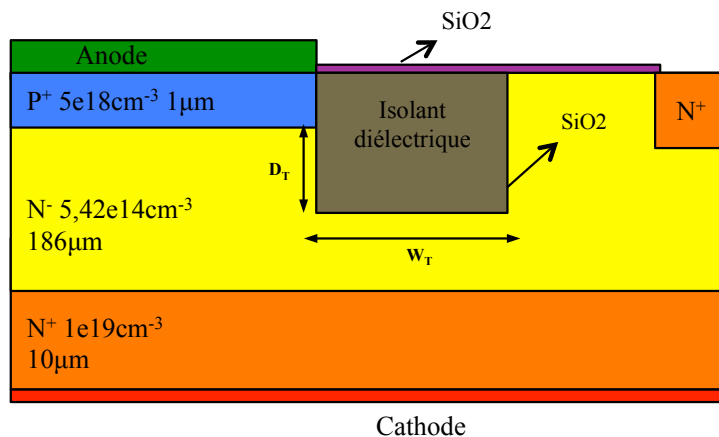


FIGURE 2.38 – Structure de la diode PiN 25kV avec la tranchée remplie par l'isolant

Quand on a changé le matériau  $\text{SiO}_2$  par du BCB, la tenue en tension a augmenté jusqu'à 12 kV (figure 2.40). Dans ce cas, la tenue en tension est limitée par le champ électrique dans la tranchée, qui dépasse la valeur de champ électrique critique du matériau. De ce fait, la solution d'une plaque de champ n'est plus convenable dans ce cas.



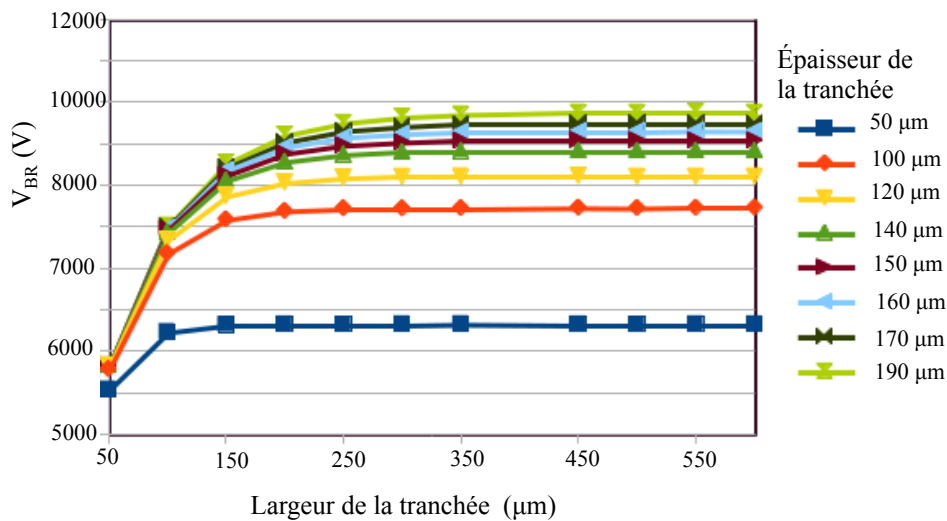


FIGURE 2.39 – La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par  $\text{SiO}_2$ )

Comme on pouvait s'y attendre, la tenue en tension croit avec la profondeur de la tranchée de manière significative. Mais pour chaque profondeur, à partir d'une certaine valeur de la largeur, la tenue en tension n'augmente plus, ce qui nous fixe une largeur optimale. On a vu que la tenue en tension maximale est obtenue si la gravure est faite jusqu'au substrat et que la largeur optimale est autour de  $400 \mu\text{m}$ . Cette valeur de tenue en tension est encore très petite par rapport à la valeur de la tenue en tension idéale (50 %).

La méthode proposée ici pour améliorer la tenue en tension est d'utiliser une couche JTE verticale par implantation autour de la tranchées. Cette technique permet d'envisager des composants protégés par des tranchées avec une profondeur beaucoup plus faible, ce qui est très important à cause de la difficulté de la technique gravure SiC profonde.

### 2.7.2 Terminaison de jonction à tranchée profonde avec une couche JTE autour de la tranchée

La structure du composant utilisé pour simulation est montrées dans la figure 2.41.

Nous retrouvons ici un comportement identique à celui de la couche

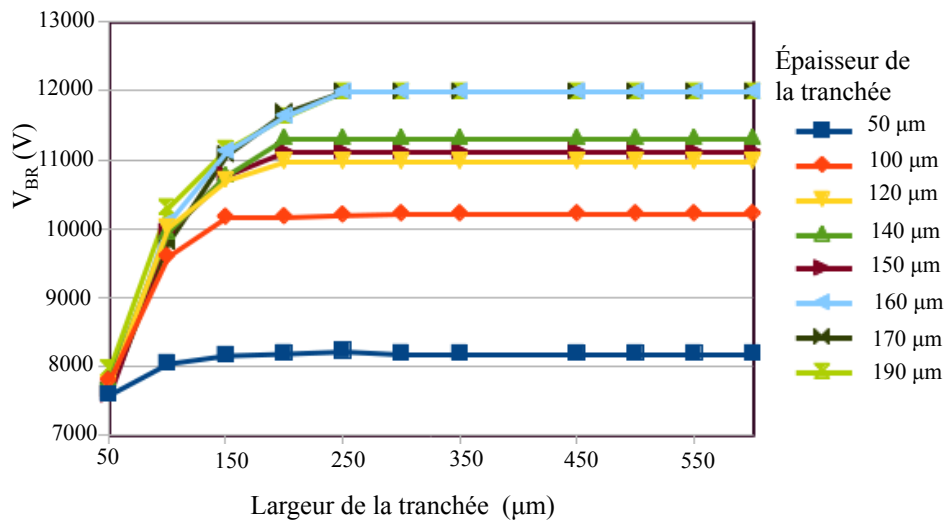


FIGURE 2.40 – La tenue en tension en fonction de la largeur et l'épaisseur de la tranchée (remplie par BCB)

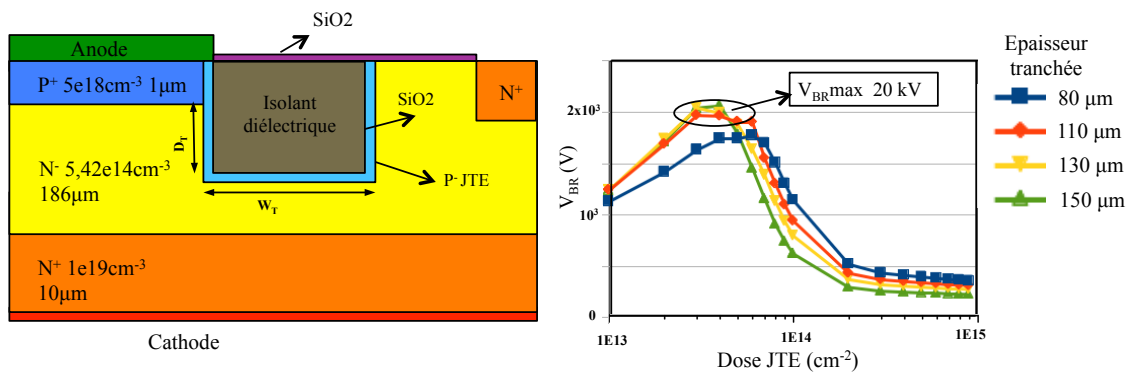


FIGURE 2.41 – Structure diode PiN 25kV DT2 et JTE.

JTE latérale, à savoir que l'efficacité de la technique dépend fortement de la dose de la couche implantée de la JTE. Si la dose est trop faible, la couche JTE est entièrement déplétée pour une tension relativement petite par rapport à la tension idéale. Au contraire si la dose est trop importante, la couche n'est pas déplétée quelle que soit la tension appliquée et elle garde son potentiel à celui imposé par le contact avec l'anode. Dans le cas d'une JTE verticale par rapport aux diodes 3 kV, la tenue en tension optimale est obtenue pour une gamme avec la dose de JTE très étroite, et la marge de liberté laissée pour accommoder les tolérances spécifiques à la réalisation technologique sont très faibles. Plus la tranchée est profonde, plus la tenue en tension augmente et la dose de JTE optimale reste constante autour

de la valeur  $4,5 \times 10^{13} \text{ cm}^{-2}$ . La tenue en tension du composant obtenu est d'environ 20 kV. Notons que dans la simulation, les deux critères d'arrêt (courant de fuite et le champ électrique maximal dans l'isolant) sont prises en comptes en même temps.

La figure 2.42 montre le courant de fuite au moment de l'arrêt de la simulation. On voit bien que le courant de fuite reste encore très petit à environ  $10^{-9} \text{ A}$ . Cela veut dire que le phénomène avalanche n'a pas lieu, et le critère d'arrêt par champ électrique est atteint avant. Dans la figure 2.42, le champ électrique au bord de la zone d'anode a dépassé le champ critique dans l'isolant BCB  $5,3 \text{ MV/cm}$ . Cette zone mesure environ  $0,1 \mu\text{m}$ .

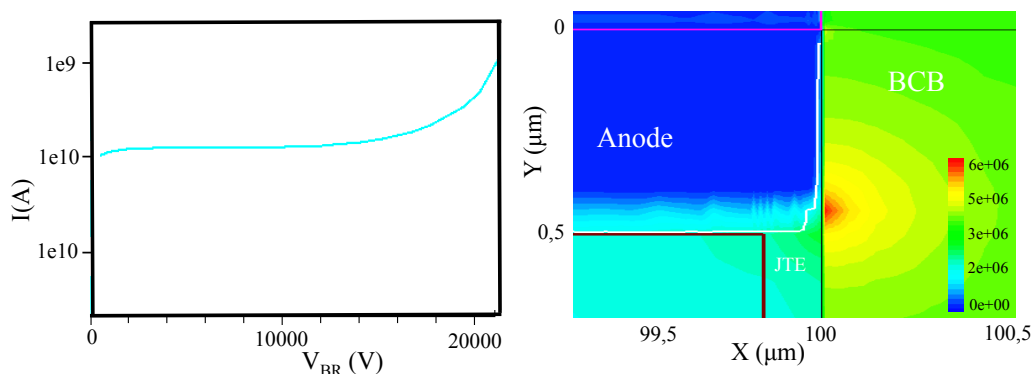


FIGURE 2.42 – Structure diode PiN 25kV DT2 et JTE. Courrant de fuite lors de l'arrêt de la simulation (à gauche) et répartition du champ électrique (à droite)

### 2.7.3 Terminaison de jonction à tranchée profonde avec une couche JTE autour de la tranchée + SiO<sub>2</sub> + diélectrique dans la tranchée

Pour augmenter la tenue en tension du composant, une autre idée qu'on peut avoir pour favoriser la tenue en tension et qui est faisable au niveau technologique est proposée : Utiliser une couche SiO<sub>2</sub> très mince environ  $0,1 \mu\text{m}$ , ce qui est développé par technique oxydation thermique. Cette couche SiO<sub>2</sub> peut subir un champ électrique jusqu'à 10 kV et donc favorise la tenue en tension du composant. Les résultats obtenus après des simulations sont visualisés dans la figure 2.43. La tenue en tension augmente jusqu'à 22 kV. L'efficacité de cette méthode est ainsi environ 90 %.

Dans la cas de la JTE latérale, la tenue en tension optimale est obtenue pour une gamme de dose de JTE très étroite. Entre les doses de JTE de  $2,5 \times 10^{13} \text{ cm}^{-2}$  à  $4 \times 10^{13} \text{ cm}^{-2}$ , la tension varie de 20 kV à 22 kV. Cela veut dire qu'une variation de dose de JTE 15 % conduit à une variation de tension environ 10 %. Par contre, si la variation de la dose dépasse 20 %, la tension diminue à 18 kV. Sur la figure 2.27, on voit bien que le champ électrique est mal réparti le long de la JTE. La JTE n'est déplétée que sur la partie basse, correspondant à une dose de JTE plus élevée. Le pic de champ apparait à l'endroit où cette déplétion s'arrête, le claquage se produira alors ici. On dirait que la marge de liberté laissée pour accommoder les tolérances spécifiques à la réalisation sont assez faibles.

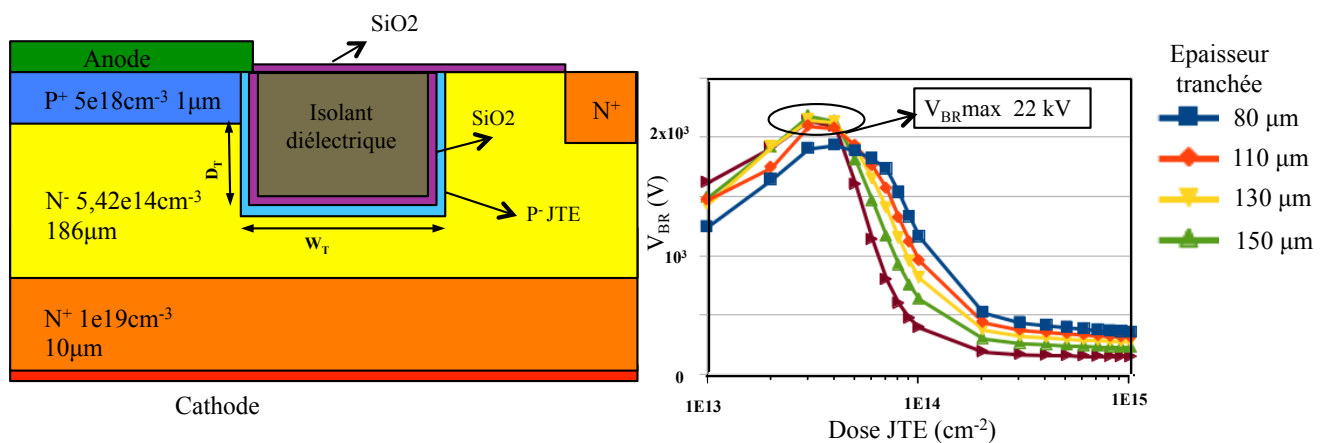


FIGURE 2.43 – Structure diode PiN 25kV DT2 et JTE, SiO<sub>2</sub>

#### 2.7.4 Terminaison de jonction qui utilise la packaging comme une terminaison

Sur la figure 1.5, on peut voir la structure générale d'un composant. Cette structure est constituée d'une puce semi-conductrice, ce qui est un élément actif d'un module de puissance. Pour protéger et isoler le composant de son environnement, un packaging (ou boîtier) est indispensable. Des fils de bonding peuvent assurer les connections électriques à l'intérieur. Les connections vers l'extérieur sont faites par les brasures sur la partie métallisation du substrat céramique. Enfin, l'assemblage est mis

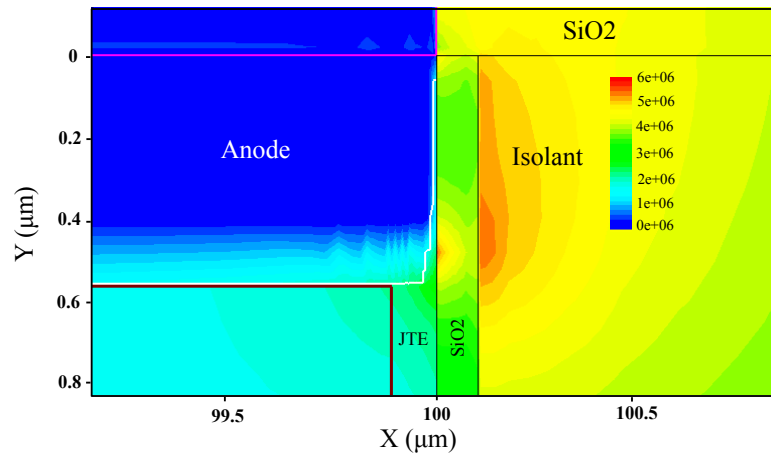


FIGURE 2.44 – Distribution du champ électrique au moment de claquage dans la diode 25 kV avec DT2, JTE et SiO<sub>2</sub>.

en boîtier, lequel est rempli d'un gel silicone (encapsulation). Ce boîtier protège le composant, le circuit les interconnexions contre les environnements corrosifs et solvants, contre les chocs et vibrations, contre les manipulations et agressions mécaniques diverses. Le composant doit rester électriquement fonctionnel.

Dans cette structure traditionnelle, la partie conception du terminaison du composant est déjà terminée avant de mettre en place la puce dans le boîtier.

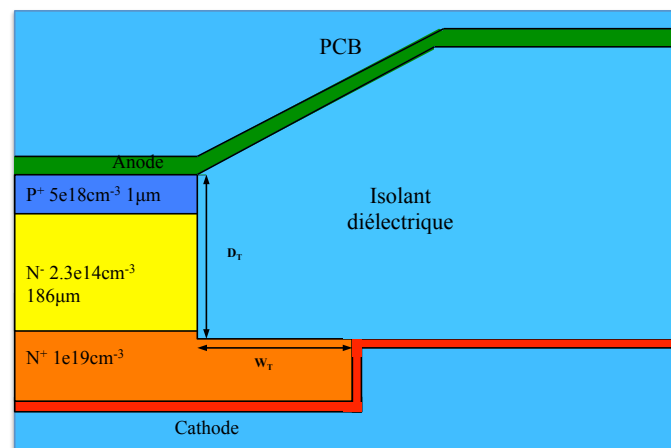


FIGURE 2.45 – Le structure nouveau de la diode utilisant le packaging comme terminaison

Aujourd'hui, la technique de connections utilisée avec des PCB (Printed Circuit Board) flexible devient de plus en plus répandue. L'idée d'utiliser

cette technique pour protéger le composant de puissance à très haute tension devient attractive. Dans cette structure, on peut utiliser un circuit imprimé type PCB (Printed Circuit Board) flexible pour allonger l'anode ou la cathode du composant. En d'autres termes, le PCB flexible est utilisé comme une plaque de champ. La structure visualisée sur la figure 2.45 montre une structure typique de celles que nous proposons. D'abord, la tranchée est gravée pour séparer les composants existants sur le même wafer. Ensuite, l'isolant est rempli dans la tranchée, y compris la surface du composant et la partie PCB. Le packaging du composant joue le rôle de terminaison aussi. Ici, les simulations sont faites avec des paramètres du matériau BCB. La tenue en tension maximale de 25 kV est obtenue quand la tranchée est gravée jusqu'au substrat, et dès que la profondeur de la tranchée dépasse la couche épitaxiale, la tenue en tension ne dépend plus de la largeur de la tranchée. On peut dire que dans cette méthode de protection, la contrainte de la grande surface de terminaison est résolue. On profite de la distance nécessaire pour séparer les composants dans le module de puissance pour protéger le composant.

Le contact de cathode doit approcher le fond de la tranchée et s'allonger pour étaler les équipotentielles dans la partie isolante. L'isolant va supporter une grande partie du champ électrique.

La distribution des équipotentielles est montrée dans la figure 2.46. Une coupe verticale à la jonction entre la partie SiC du composant et la tranchée AA' visualise le pic de champ électrique dans la figure 2.47.

### 2.7.5 Conclusion

Dans cette partie la conception DT2 a été appliquée pour obtenir des composants très haute tension 25 kV. La relation entre la tenue en tension en fonction de largeur, profondeur et le matériau dans la tranchée a été montrée. La tenue en tension maximale est obtenue quand on utilise la méthode DT2 combinée avec une couche JTE verticale, elle est de 22 kV. Ce résultat est comparable avec le résultat obtenu par une équipe au Japon,

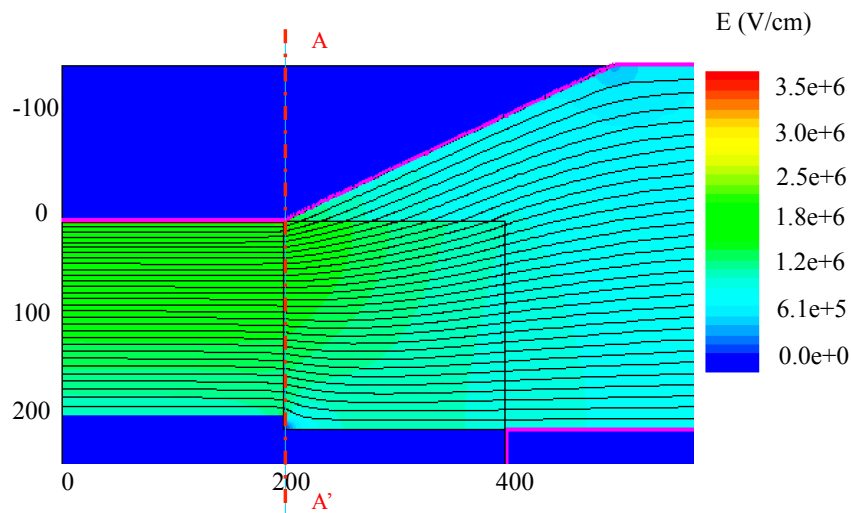


FIGURE 2.46 – Distribution des équipotentiels au claquage pour la diode utilisant le packaging comme terminaison.

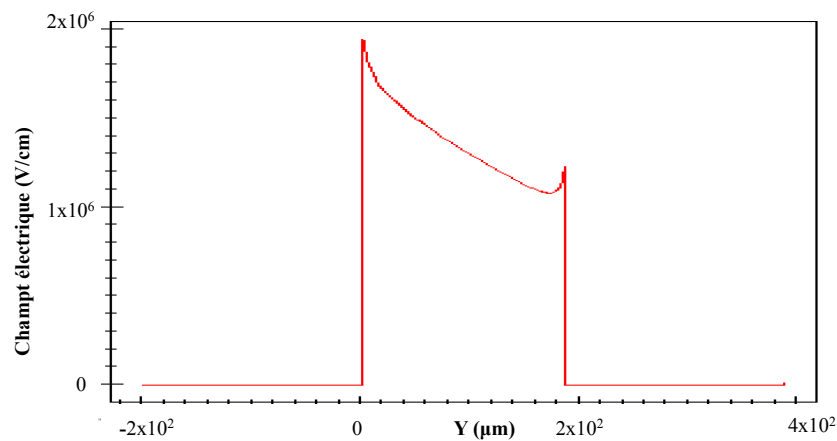


FIGURE 2.47 – Distribution du champ électrique AA' pour la diode utilisant le packaging comme terminaison.

mais la terminaison nécessaire est de seulement  $400\ \mu\text{m}$ , plus petite par rapport aux  $600\ \mu\text{m}$  dans la référence. Donc la surface totale du composant devient plus petite aussi. La difficulté principale de cette technique est la technique de gravure très profonde du SiC. La méthode PCB flexible est aussi envisageable. Le résultat est très prometteur mais il reste des problèmes dans la technique de réalisation à résoudre.

## 2.8 CONCLUSION

Après une brève introduction au logiciel de simulation SENTAURUS, un travail de conception a été réalisé afin de déterminer la géométrie optimale de la diode bipolaire verticale pour une tenue en tension visée pour deux niveaux : 3 kV et 25 KV. Ces travaux de conception ont pris aussi en compte les caractéristiques du matériau et les limites technologiques pour la fabrication.

Nous avons présenté une nouvelle technique de terminaison Deep Trench Termination (DT2). Cette technique utilise une tranchée très profonde avec une couche JTE autour de la tranchée. La dose de la couche JTE doit être bien optimisée pour que la couche JTE soit complètement déplétée afin d'agir comme un répartiteur des lignes d'équipotentiels.

Pour le niveau 3 kV, nous avons une large flexibilité sur le dose de couche JTE optimale et aussi sur la largeur de la tranchée. Celles-ci vont laisser une grande marge pour la technologie de fabrication. L'efficacité est aussi élevée et comparable avec la méthode de protection par JTE. Nous avons également aussi mis en évidence la sensibilité de cette technique vis-à-vis des charges électriques qui peuvent apparaître à l'interface SiC-diélectrique.

Pour le niveau 25 kV, si nous utilisons la méthode DT2 combinée avec JTE, l'efficacité de terminaison obtenue est 90 %. Mais il est important de noter que la longueur de terminaison est seulement 400  $\mu\text{m}$ , plus faible par rapport à tous les autres résultats dans la littérature, 30 % de réduction par rapport le résultat de Hiroki Niwa (Niwa *et al.* 2012a). La méthode d'utiliser le PCB flexible ouvre une nouvelle piste très prometteuse pour les modules de puissance très haute tension.

Pour le chapitre 3, nous allons enfin mettre en place un procédé de réalisation technologique d'une diode avec une terminaison par DT2 à niveau de 3 kV. Les étapes spécifiques pour réaliser la tranchée très profonde, le



dépôt du diélectrique dans la tranchée, les test électrique seront décrites en insistant sur l'étape de gravure plasma du SiC.

---

# Chapitre 3

## RÉALISATION D'UNE PROTECTION PÉRIPHÉRIQUE DT<sub>2</sub> POUR COMPOSANT SiC

### 3.1 INTRODUCTION

Le troisième chapitre est consacré à l'étude de la faisabilité de la technologie de la terminaison DT<sub>2</sub> appliquée aux composants SiC en tenant compte des moyens dont notre plateforme dispose et des échantillons SiC disponibles. Ce dernier point nous a limité à la réalisation des composants avec un calibre de seulement 3 kV. Ce chapitre sera divisé en deux parties. Tout d'abord, nous présenterons une étude préliminaire effectuée en vue de réaliser nos composants. Dans notre cas, la technique la plus importante est la gravure plasma très profonde du SiC. Nous avons effectué une étude approfondie sur cette technique, en tenant compte des travaux qu'ont déjà été réalisés au laboratoire. Nous avons mis en place un nouveau procédé de gravure sur un équipement mieux adapté à nos objectifs. Les méthodes choisies et les résultats obtenus seront exposés. La deuxième partie de ce chapitre présente le procédé technologique complet que nous avons utilisé pour la fabrication des composants. Nous détaillerons les étapes de nettoyage, "spin coating", lithographie, "lift-off", dépôt

de couches métalliques pour la formation des masques de gravure ou des contacts. Ce sont les étapes qui forment les géométries de la tranchée et plus généralement du composant diode PiN. Elles ont un impact très important sur la tenue en tension du composant.

## 3.2 GRAVURE PROFONDE DU SiC

Dans ce paragraphe nous présentons la technique de gravure profonde par plasma du SiC que nous avons développée. Tout d'abord nous présentons quelques notions générales sur le plasma et la gravure sèche du SiC, les mécanismes de gravures chimiques et physiques. Ensuite nous passons brièvement en revue les travaux déjà réalisées au laboratoire en mettant en évidence des phénomènes critiques comme le "trenching" et le "micro-masking". Ensuite nous présenterons l'optimisation du procédé que nous avons mis en place et que nous avons ensuite utilisé pour la fabrication des composants.

### 3.2.1 Mécanismes de gravure plasma dans le SiC et réacteurs

#### 3.2.1.1 Plasma

Le plasma est le quatrième état de matière après les états solide, liquide et gazeux. C'est un milieu qui englobe toutes les espèces différentes. Il consiste des espèces neutres comme atomes ou molécules, des espèces chargées électriquement comme des ions ou des électrons. Cet état de matière est obtenu lorsque l'on soumet un gaz à une excitation sous laquelle il s'ionise. La source énergie de l'excitation peut venir de l'augmentation de la température ou par application d'un champ électrique intense.

Dans la microélectronique, actuellement, les réacteurs plasma utilisent l'excitation électrique. Sous l'accélération d'un champ électrique intense, des électrons peuvent être arrachés sur la dernière couche des atomes. Ceux-ci peuvent alors percuter d'autres atomes et les ioniser. Divers processus peuvent avoir lieu : excitation, ionisation, dissociation, recombinaison ou attachement dans ce milieu. Aujourd'hui, on parle de plasma lorsque la matière que l'on observe contient beaucoup de particules chargées disparates qui peuvent interagir entre elles et avec l'environnement de différentes façons : c'est une "soupe" d'électrons, ions (électro-positifs

et éventuellement électro-négatifs), atomes neutres, radicaux, molécules, clusters et agrégats.

Pour la gravure du SiC, le gaz gravant utilisé est souvent fluorisé ( $SF_6$ ,  $CF_4$ ,  $CHF_3$ ,  $NF_3$ ) ou une combinaison de ces gaz, et parfois de l'oxygène (10 à 50 % y est ajouté).

### 3.2.1.2 Mécanisme de gravure

La gravure par plasma est basée sur une synergie ions/neutres mise en évidence par J.Coburn et H.F. Winters(Coburn et Winters 1979). En effet, elle met en jeu deux types de gravure aux effets complémentaires (Fig.3.1) : Gravure chimique par l'action des espèces neutres ; Gravure physiques par le bombardement énergétique et directionnel des ions à la surface.

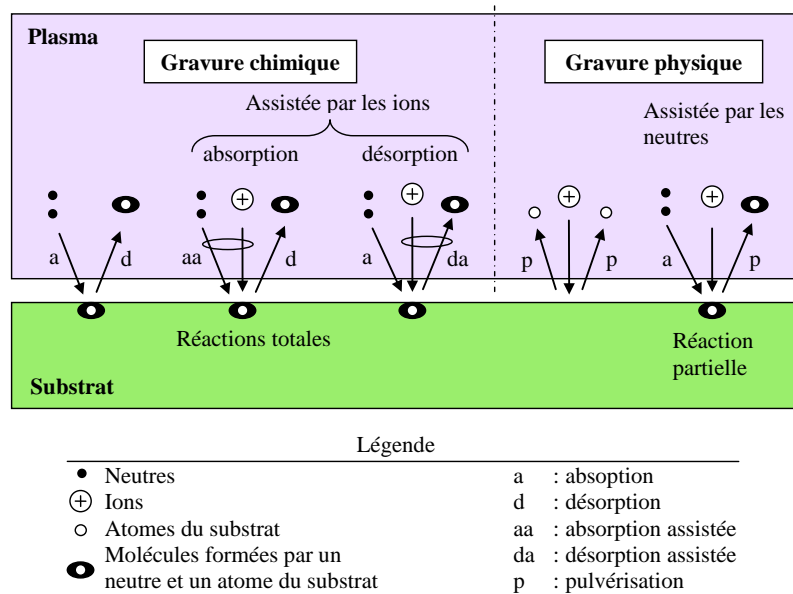


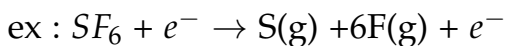
FIGURE 3.1 – Mécanismes de gravure plasma (Vang 2006a)

#### 1. Gravure chimique :

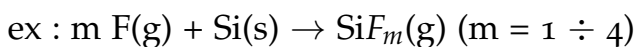
Elle ne dépend que de l'interaction entre le matériau à graver et les espèces réactives générées par le plasma. Cette réaction de gravure spontanée n'est possible que si la réaction est réalisable thermodynamiquement, c'est-à-dire si le bilan de la réaction de gravure est exothermique. En plus, le produit de réaction doit être aussi volatil et stable aux pressions

et températures de travail. Le mécanisme d'une gravure chimique peut se décomposer en quatre étapes décrites ci-après et appuyées sur l'exemple de la gravure du SiC utilisant du  $SF_6$  - le gaz gravant préféré en raison d'une plus forte concentration d'atomes de fluor qui sont réactifs avec les atomes de silicium et de carbone. Les lettres "g" ou "s" indiquent l'état, gaz ou solide, des produits concernés :

- création des radicaux réactifs dans le plasma :



- formation des produits de gravure volatils.



- désorption et pompage des produits de réaction hors du réacteur (d'où réalisation de la gravure).

La réaction chimique peut être assistée par les ions du plasma de deux manières. D'une part, les ions en venant créer du désordre à la surface, peuvent permettre aux neutres et aux atomes du substrat d'interagir plus facilement pour former une espèce volatile. D'autre part, suite à une réaction entre les neutres et les atomes du substrat, les molécules restent faiblement liées à la surface et les ions peuvent permettre une désorption. L'avantage de la gravure chimique est qu'elle a lieu spontanément et qu'elle est très sélective, puisque ses mécanismes sont adaptées à la nature chimique du matériau à graver. De plus, elle ne provoque pas de dommage en volume du matériau en cours de gravure. Par contre, la vitesse de gravure est très lente (quelques nm/s) et totalement isotrope.

## 2. Gravure physique :

La gravure physique est un mécanisme de gravure mécanique, ce qui correspond au bombardement du substrat par les ions issus du plasma. Les ions extraits du plasma sont accélérés et vont heurter la surface du substrat et casser les liaisons des atomes. Ces derniers peuvent alors être expulsés.

Comme la gravure chimique, la gravure physique peut être aussi assistée par la gravure chimique de deux manières. Le premier cas, les ions ont une réactivité avec les atomes du matériau (par exemple  $Cl^+$  ou  $F^+$ ) et se situe entre la gravure physique et la gravure chimique : les ions réactifs, qui se neutralisent à l'approche du substrat, deviennent alors des neutres réactifs très énergétiques qui participent directement à la gravure chimique du matériau. Pour que ce processus soit non négligeable, il faut que le flux d'ions sur la surface soit comparable au flux de neutres, ce qui requiert un plasma à basse pression ( $< 10$  mTorr) et de haute densité ( $10^{11}$  à  $10^{12}$   $cm^{-3}$ ). Dans le deuxième cas, des neutres (gravure chimique) réagissent avec les atomes en surface et fragilisent les liaisons avec les autres atomes du matériau. Ainsi, des ions moins énergétiques peuvent venir pulvériser ces atomes.

La gravure physique présente le grand intérêt d'être anisotrope du fait de la directivité du flux d'ions. Cependant, elle souffre généralement d'une absence de sélectivité (faible différence entre les rendements de pulvérisation des différents matériaux couramment utilisés en micro-électronique) et peut induire dans les matériaux des dégradations conséquentes en raison de l'énergie assez élevée des particules incidentes.

L'atout principal de la gravure plasma est de combiner les deux aspects la gravure chimique et la gravure physique. Elle possède les qualités des deux procédés (anisotropie et sélectivité) tout en minimisant leurs inconvénients, et en favorisant leurs avantages. Les vitesses de gravure obtenues sont jusqu'à 30 fois supérieures aux vitesses obtenues en gravure chimique ou physique séparément, d'où l'intérêt d'utiliser la gravure plasma pour la fabrication de circuits intégrés en SiC.

### 3.2.1.3 Sélectivité de la gravure

La sélectivité de la gravure, correspond au rapport entre la vitesse de gravure de la couche gravée et la vitesse de gravure du masque (protection des zones non gravées).

$$S_i = \frac{V_{SiC}}{V_m} = \frac{e_{SiC}}{e_m} \quad (3.1)$$

Pour un masque, la sélectivité est le critère pour comparer sa résistance au plasma par rapport à celle du matériau à graver. Naturellement, on préfère avoir une gravure profonde avec un masque le plus fin que possible, c'est à dire un masque avec la sélectivité la plus haute que possible. En effet, le choix du masque ne dépend pas que du matériau gravé, elle dépend aussi de la profondeur gravée visée, la qualité du flanc gravé, la qualité de la surface gravée, la température du plasma et la pression dans le réacteur... La Fig 3.2 visualise les sélectivités de plusieurs types de masques dans une gravure plasma du SiC en utilisant les gaz  $SF_6/O_2$  (Vang 2006a).

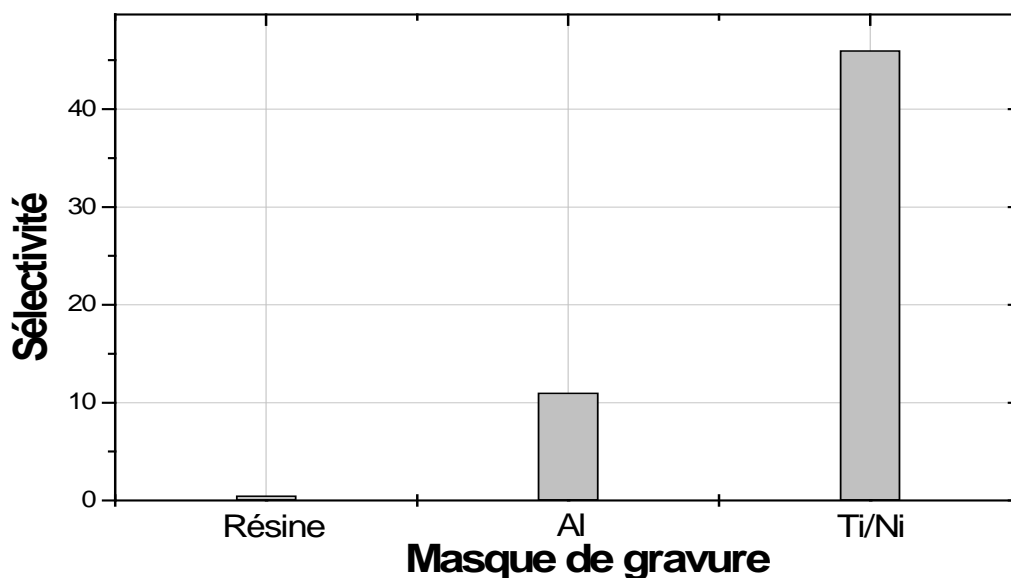


FIGURE 3.2 – Sélectivité des masques de gravure dans un plasma  $SF_6/O_2$



### 3.2.1.4 Les principaux réacteurs

Les réacteurs plasmas, en général, sont des réacteurs radio-fréquences (RF) utilisant une fréquence de 13,56 MHz. Dans le réacteur, le plasma est formé entre deux électrodes générant un champ électromagnétique à une fréquence de 13,56 MHz, dans une gamme de puissance de l'ordre de la centaine de watts. Les réacteurs sont classés en deux catégories : les basses densités (densité électronique  $< 10^{10} \text{ cm}^{-3}$ ) et hautes densités (densité électronique  $> 10^{10} \text{ cm}^{-3}$ ). On a deux types de réacteurs : basse densité (Reactive Ion Etching RIE) et haute densité (ECR, ICP).

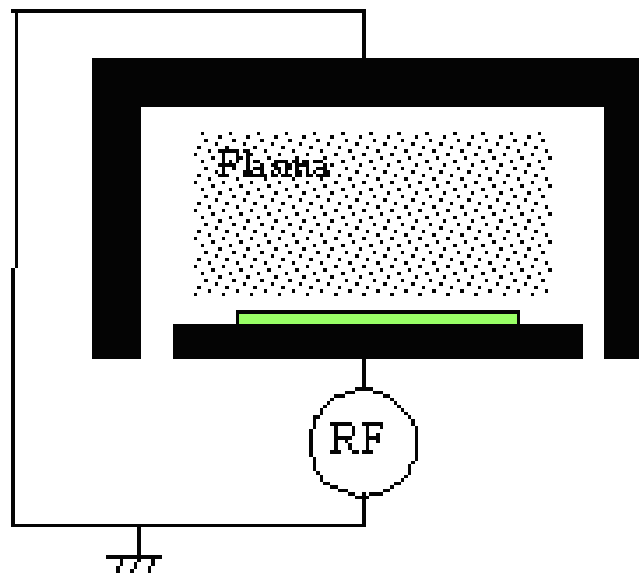


FIGURE 3.3 – Réacteurs plasmas RIE (Vang 2006b)

Dans le réacteur classique basse densité Reactive Ion Etching (RIE) (Figure 3.3), la décharge est produite entre deux électrodes parallèles, le substrat à graver est positionné sur l'électrode inférieure. Une tension RF 13,56 MHz est appliquée entre les deux électrodes. Les électrons soumis au champs électrique alternatif peuvent gagner suffisamment d'énergie pour ioniser les autres atomes pour libérer les nouveaux électrons, et à leur tour, les nouveaux électrons vont participer à l'ionisation du gaz, alors le plasma est maintenu. La pression de travail varie de 20 mTorr à 500 mTorr car les électrons sont accélérés par des champs électriques axiaux et il faut

donc avoir un libre parcours moyen des électrons très inférieur à la distance inter - électrodes pour allumer le plasma. Les premiers résultats de gravure SiC ont été réalisés par RIE, la vitesse de gravure obtenue était faible entre 0.05 - 0.3  $\mu\text{m}/\text{min}$  ( 0.1  $\mu\text{m}/\text{min}$  (Yih *et al.* 1997), 0.18  $\mu\text{m}/\text{min}$  (Casady *et al.* 1996), 0.2  $\mu\text{m}/\text{min}$  (Wolf et Helbig 1996), 0.23  $\mu\text{m}/\text{min}$  (Sheridan *et al.* 2000). La principale limitation de ce réacteur est que la majorité de la puissance est absorbée par les ions.

L'énergie des ions est directement liée à la puissance radiofréquence du bâti pour créer le plasma. Donc la vitesse de gravure ne peut pas être trop élevée. Car, en augmentant la densité du plasma, l'énergie des ions va augmenter en même temps, le phénomène de gravure physique devient écrasant et cause des défauts sur la surface de gravure, affecte négativement les propriétés des matériaux, et ensuite les performances des composants. Par exemple, en 2002, Camara (Camara et Zekentes 2002) a atteint une vitesse de gravure de 0,4  $\mu\text{m}/\text{min}$  avec un plasma  $\text{SF}_6/\text{Ar}$ , la pression de travail assez élevé 200 mTorr. Il a obtenu des défauts électriques importants sur les surfaces gravées. On peut conclure que la vitesse de gravure par RIE est trop faible pour réaliser des gravures profondes en raison de la faible densité électronique du plasma. Alors les chercheurs se sont penchés sur l'utilisation de réacteurs haute densité.

Dans les réacteurs hautes densités, le plasma est généré par couplage de puissance RF (ICP) ou micro-onde au gaz (ECR, DECR). Contrairement aux sources basse densité, ici les électrons absorbent la puissance injectée et nous obtenons un taux d'ionisation beaucoup plus important (et une densité électronique jusqu'à  $10^{12} \text{ cm}^{-3}$ ). La puissance injectée fixe la densité électronique et le flux d'ions alors que l'énergie des ions bombardant le substrat est contrôlée indépendamment par un couplage capacitif (auto-polarisation du substrat). Ce type de réacteurs permet de travailler à fort flux ionique et basse énergie des ions. Ces sources peuvent fonctionner à basse pression (moins de 20 mTorr) car les mécanismes de chauffage des

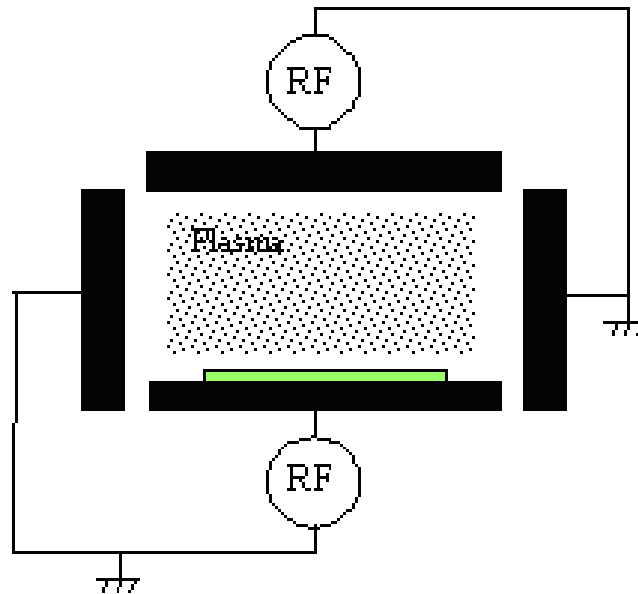


FIGURE 3.4 – Réacteurs plasmas ICP (Vang 2006b)

électrons sont différents de ceux obtenus dans les sources capacitatives. Il est cependant difficile d'obtenir un bombardement ionique très énergétique.

Le réacteur ICP (Fig 3.4) est le plus récent, il nécessite l'utilisation de deux alimentations RF, l'une couplée capacitivement comme dans un réacteur RIE et l'autre de plus forte puissance couplée inductivement. Ce réacteur permet de générer un plasma avec une densité électronique plus élevée et de travailler à plus basse pression. Surtout, cette technique offre la possibilité de contrôler indépendamment l'énergie des ions par le générateur RF basse puissance puis la densité des neutres et des ions du plasma en ajustant la puissance RF couplée inductivement.

De nombreux auteurs ont démontrées que les vitesses de gravure ICP sont supérieures à  $1 \mu\text{m}/\text{min}$ . En 2004 Kim annonce une vitesse de gravure de  $1,5 \mu\text{m}/\text{min}$  avec uniquement le gaz  $\text{SF}_6$  (Kim *et al.* 2004). Plus tard, Robb (Robb *et al.* 2005) a obtenu une vitesse jusqu'à  $2.7 \mu\text{m}/\text{min}$ , le plasma est généré dans la chambre principale par les bobines de types plan avec confinement magnétique multipolaire sur la paroi, en plus, la bobine de source RF est plus proche du substrat. Il y a la possibilité d'une plus grande densité d'ions et de radicaux. Ainsi, l'augmentation de la pro-

tabilité de rupture de liaisons Si-C et la formation des espèces volatiles  $SiF_x$  et  $CF_x$  entraînant finalement une augmentation de vitesse de gravure SiC. La sélectivité maximale d'environ 45 :1 avec le masque Ti/Ni est produit à 10 % d'addition d' $O_2$  sans dégrader la vitesse de gravure.

L'utilisation de réacteurs haute densité permet non seulement une vitesse de gravure supérieure, mais également de minimiser les défauts en surface engendrés par les ions hautement énergétiques.

### 3.2.2 Synthèse des études précédentes au laboratoire sur la gravure plasma du SiC

Ces études ont été réalisées au laboratoire depuis une dizaine d'années par des étudiants de master, doctorants, ingénieur ou post-docs encadrés par les permanents du laboratoire. Ces travaux ont été menés en utilisant des bâtis RIE de la plateforme Nanolyon. La plupart des études ont été effectués en utilisant un bâti RIE Nextral NE 110 (figure 3.5 à gauche) et plus ponctuellement un bâti RIE Oxford (figure 3.5 à droite).



FIGURE 3.5 – Bâtis de gravure plasma utilisés sur la plateforme Nanolyon dans les études précédentes au laboratoire : RIE Nextral NEE110 (à gauche), Oxford NGP80 (à droite).

Pour ces études des plasmas fluorés  $SF_6$  ou mélanges  $SF_6/O_2$  ont été utilisés. Ci-dessous nous présentons les principaux résultats.

#### 3.2.2.1 Vitesse de gravure

Le bâti Nextral NE 110 est un réacteur RIE avec une cathode de 100 mm et limité à une puissance de 300 W. La puissance joue un rôle prin-

cial dans l'augmentation de la vitesse de gravure. Ainsi, la profondeur gravée augmente avec la puissance du réacteur RIE utilisé. La figure 3.6 présente les profondeurs obtenues pour différents temps de gravure dans le SiC, effectuées à 250 W, puissance fixée juste en-dessous de la limite de la machine. Une vitesse de gravure moyenne d'approximativement 0,3  $\mu\text{m}/\text{min}$  a été obtenue pour cette puissance (Lazar *et al.* 2006).

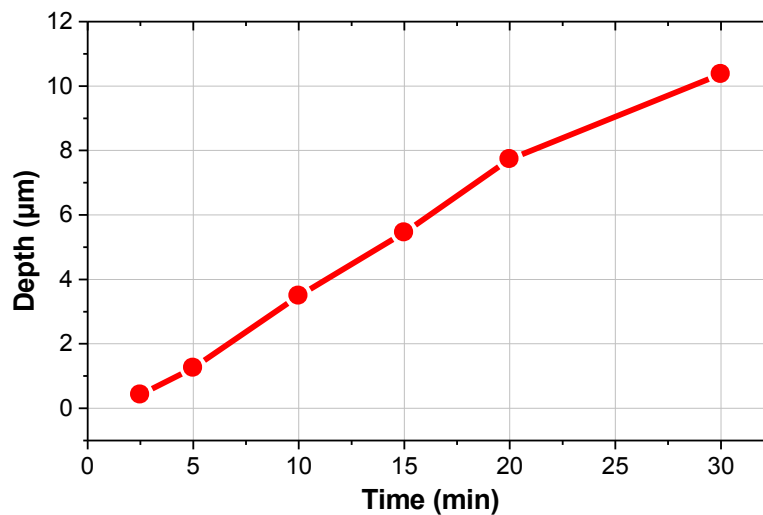


FIGURE 3.6 – Courbe expérimentale profondeur de gravure RIE avec  $\text{SF}_6/\text{O}_2$  à 250 W en fonction de la durée (Lazar *et al.* 2006).

On obtient une profondeur d'environ 10  $\mu\text{m}$  pour une durée de gravure de 30 min. Ceci représente la limite de profondeur pour cette machine à cause des détériorations de surface observées. Pour des durées longues de gravure, une dégradation de la surface a lieu. La rugosité des surfaces gravées mesurées avec un microscope à force atomique (AFM) augmente de 0,20 nm (échantillon non gravé) à seulement 0,30 nm après 10 min mais jusqu'à 0,80 nm après 20 min de gravure à 250 W. La rugosification de la surface peut également être observée dans la figure 3.7.

Pour réaliser la gravure d'une manière sélective, localisée précisément à la surface du SiC, plusieurs types de masques ont été étudiés. Ces masques ont été définis à la surface des échantillons SiC par un procédé de lithographie. Plusieurs types de masques ont été testés comme des résines,

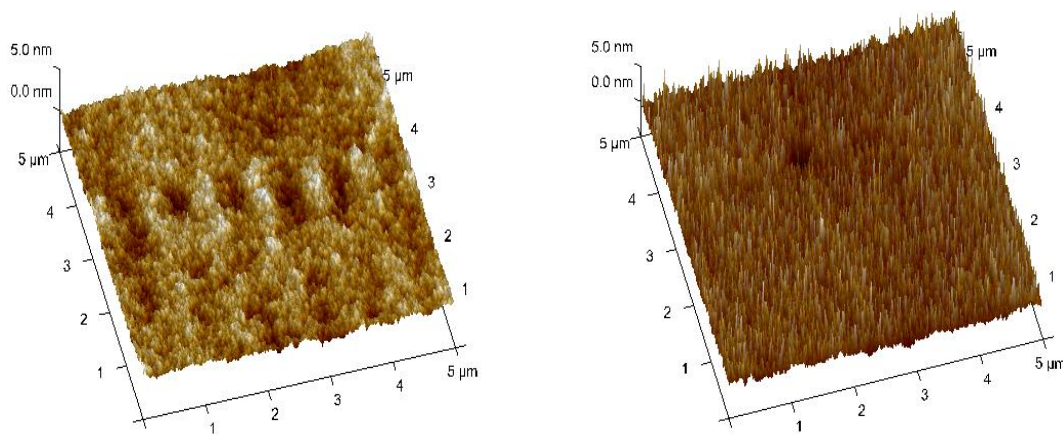


FIGURE 3.7 – Images AFM qui présentent la rugosification de la surface du SiC après des gravures RIE à 250 W durant 10 min (a) et 20 min (b) (Lazar et al. 2006).

l'aluminium ou le nickel. Les meilleurs résultats ont été obtenus avec le nickel (figure 3.2).

L'influence d'autres paramètres comme la pression dans le réacteur RIE, ont été également étudiés. On a obtenue une courbe en cloche (figure 3.8) avec une vitesse de gravure qui augmente avec la pression pour diminuer ensuite. Les faibles pressions correspondent à des mécanismes de gravure physique et les fortes pressions à une gravure essentiellement chimique. Ainsi, on observe qu'il est important d'avoir la présence des deux mécanismes pour augmenter la profondeur des gravures plasma dans le SiC. Le meilleur compromis correspond à une pression de 60-70 mTorr. Dans cette figure 3.8 on observe également la variation de la sélectivité (masque nickel) qui augmente avec la pression, ce qui est attendu avec les mécanismes des gravures chimiques qui deviennent plus importantes.

### 3.2.2.2 Trenching

Le phénomène de "trenching" correspond à une surgravure du matériau en bas du flanc de gravure. Ce phénomène doit être évité, voire limité surtout dans le cas de la formation des protections périphériques mesas. A ces endroits, sous polarisation inverse aura lieu un resserrement des équipotentielles avec l'apparition d'un pic de champ et qui engendra un

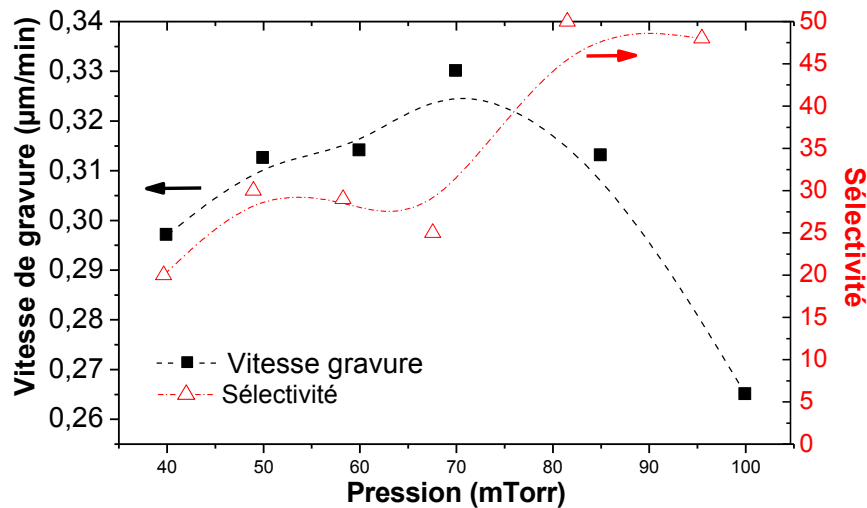


FIGURE 3.8 – L'influence de la pression du réacteur RIE sur la vitesse de gravure et sur la sélectivité du masque nickel avec un plasma  $SF_6/O_2$  à une puissance de 250 W (Morel et al. 2005).

claquage prématuré des composants. Les études au laboratoire sur le bâti RIE Nextral NE 110 ont montré que pour éviter ce phénomène il faut augmenter la puissance dans le réacteur (figure 3.9). Ainsi, si le phénomène de "trenching" est présent pour une gravure réalisée à 100 W, il n'est pas à 250 W.

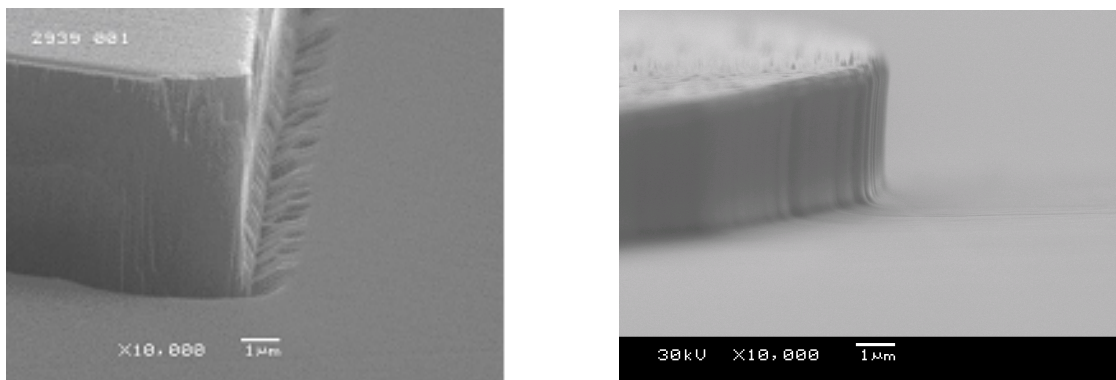


FIGURE 3.9 – Images MEB sur des échantillons SiC-4H gravés avec un plasma RIE  $SF_6/O_2$  à 100 W avec la présence du phénomène de "trenching" (à gauche) et à 250 W sans "trenching" (à droite) (Simescu et al. 2010).

### 3.2.2.3 Micromasking

Les particules pulvérisées des masques métalliques ou tout simplement celles provenant du substrat pendant le procédé de gravure, peuvent se redéposer à la surface du SiC et provoquer un phénomène de "micromasking" (figure 3.10).

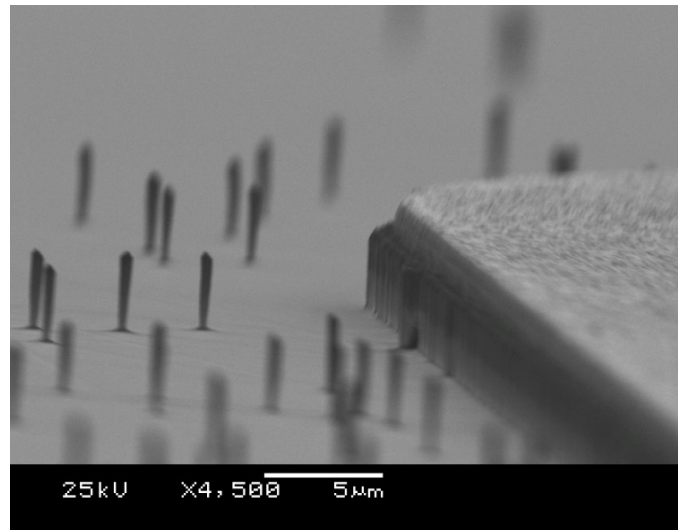


FIGURE 3.10 – Micromasking produit par le dépôt de particules en provenance du masque métallique (Lazar et al. 2011).

Ce phénomène provoquera une rugosification localisée de la surface de SiC gravée qui va générer une forte augmentation des courants de fuites dans les composants réalisés. Pour éviter ce phénomène, des études ont été menées sur la volatilité des espèces produites pendant la gravure plasma du SiC en utilisant différents type de masques (Lazar *et al.* 2011). En se basant sur ces résultats, durant la thèse de Farah Laariedh (Laariedh 2013) un masquage à base d'un empilement Ni/Si a été défini qui permettait de graver des motifs très serrés en évitant le phénomène de micromasking (figure 3.11). Le nickel a été nécessaire pour assurer des profondeurs importantes de gravure et le Si pour assurer la volatilité des espèces. Une fine couche de titane a été également utilisée pour assurer l'accroche du nickel sur le SiC. Les profondeurs maximales visées étaient d'environ 6



$\mu\text{m}$  pour lesquelles un masquage avec une centaine de nm de Ni et une autre pour le Si se sont avérées suffisantes.

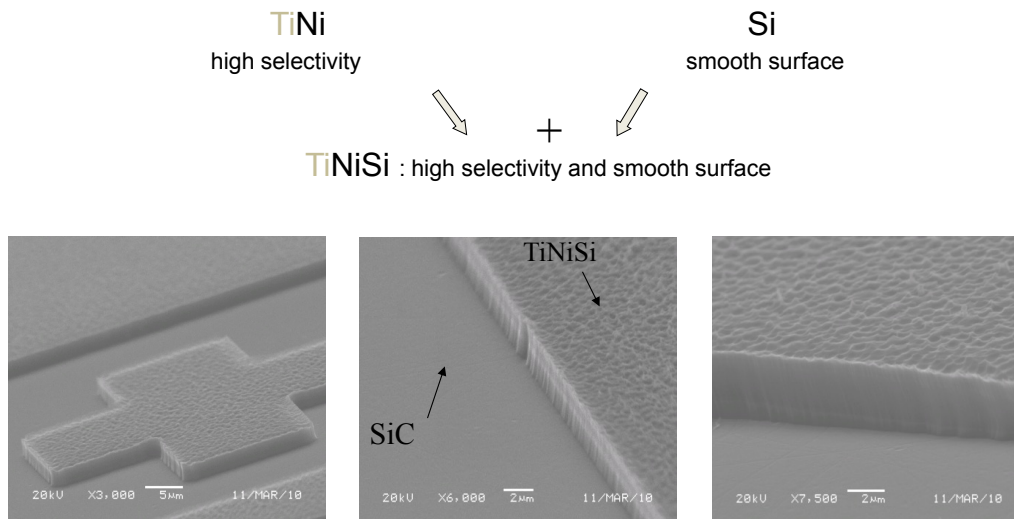


FIGURE 3.11 – Images MEB de surfaces gravées très lisses et avec des motifs serrés obtenus en utilisant un masquage Ni/Si (Laariedh 2013).

### 3.2.3 Optimisation du procédé de gravure profonde du SiC dans un bâti ICP

Lors de cette étude, un bâti ICP (Inductively Coupled Plasma) a été utilisé, il s'agit d'un bâti de marque ETREM, présent dans la salle blanche Nanolyon située au laboratoire INL à l'École Centrale de Lyon. C'est un équipement prévu avec des lignes de gaz pour faire des gravures plasma à la fois fluorés ( $\text{SF}_6$ ,  $\text{CHF}_3$ ) que chlorés ( $\text{Cl}_2$ ). Des procédures de nettoyages ( $\text{Ar-O}_2$ ) sont prévues pour éviter les contaminations entre les deux chimies. L'équipement dispose d'un SAS d'introduction des échantillons (figure 3.12) ainsi que deux générateurs, tous les deux limités à 600 W et prévus avec des boîtes d'accord chacun. Celui utilisé pour générer le plasma inductif nous l'appellerons RF1 et celui pour polariser l'échantillon, RF2 ou bias.

Partant des études mentionnées précédemment nous avons utilisé un masque Ni/Si que nous avons créé à la surface de nos échantillons SiC par un dépôt e-beam et un procédé de lift-off. Pour le procédé de lift-

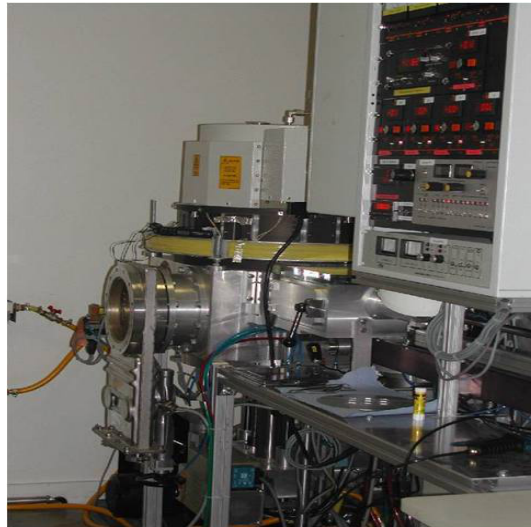


FIGURE 3.12 – Image du bâti ICP ETREM utilisé dans cette étude

off (détaillé dans la deuxième partie du chapitre) nous avons utilisé des résines épaisses négatives pour arriver à "lifter" une épaisseur totale de Ni/Si d'environ  $1\mu\text{m}$ . Les couches de Ni/Si ainsi que celle d'accroche en titane ( $\approx 5\text{ nm}$ ) ont été déposées par canon e-beam, sous ultraviolette, dans un bâti de marque Leybold. La géométrie des masques formés correspondent à la taille des tranchées des composants que nous visons, c'est-à-dire des largeurs de l'ordre de quelques centaines de  $\mu\text{m}$ . Même avec des motifs aussi serrés, la nature des masques utilisées, Ni/Si nous ont permis d'éviter le phénomène de "micromasking" contrairement aux essais que nous avons réalisés en utilisant uniquement du nickel.

Pour l'ensemble de cette étude, nous avons fixé la puissance inductive RF1 à sa valeur maximale, 600 W puisque nous visons la plus forte densité des plasmas pour les gravures profondes dans le SiC. Ci-dessous nous présentons l'optimisation des différents paramètres de la gravure du SiC.

### 3.2.3.1 Débit du $SF_6$

En utilisant uniquement un plasma  $SF_6$  (sans  $O_2$ ) nous avons regardé l'influence du débit du  $SF_6$  sur la vitesse de gravure du SiC (Figure 3.13). Ainsi on observe que la vitesse de gravure augmente d'une façon continue avec le débit du  $SF_6$ , jusqu'au débit maximal que le mass-flow de cette

ligne est prévu de 100 sccm (valeur réelle pour étalonnage  $SF_6$  : 26,18). Ceci montre que le plasma créé pour la gravure du SiC n'est pas saturée en espèces fluorés. Nous gardons ce débit maximal de  $SF_6$  pour la suite de l'étude.

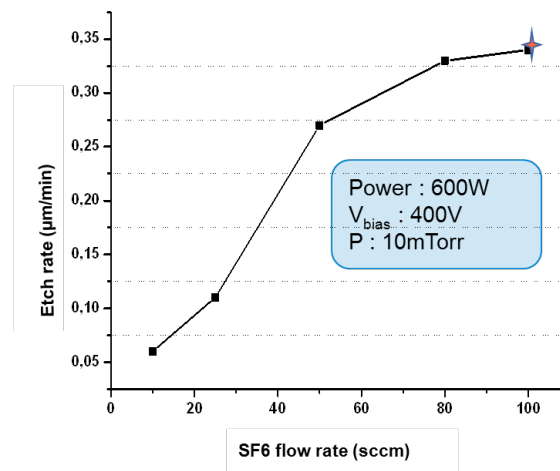


FIGURE 3.13 – Optimisation des paramètres de gravure ICP avec plasma  $SF_6$  pour la réalisation de tranchées profondes en SiC. Influence du débit de  $SF_6$

### 3.2.3.2 Influence de la pression

Il faut d'abord préciser que contrairement aux bâti RIE, le bâti ICP nous permet d'utiliser des pressions beaucoup plus faibles qui sont de l'ordre de quelques mTorr. Nous avons fait varier la pression entre 5 et 20 mTorr, les résultats obtenus sont présentés dans la figure 3.14. On obtient une courbe en cloche avec une vitesse de gravure qui augmente au départ pour diminuer ensuite. Un compromis est à trouver entre les mécanismes physiques qui ont lieu à faible pression, et la gravure chimique qui est essentielle dans le cas de la gravure SiC avec une bonne sélectivité par rapport aux masques. Une bonne dose de gravure physique est aussi nécessaire dans le cas du SiC pour briser la liaison chimique forte Si-C. La pression optimale que nous gardons pour la suite de l'étude est fixée à 10 mTorr.

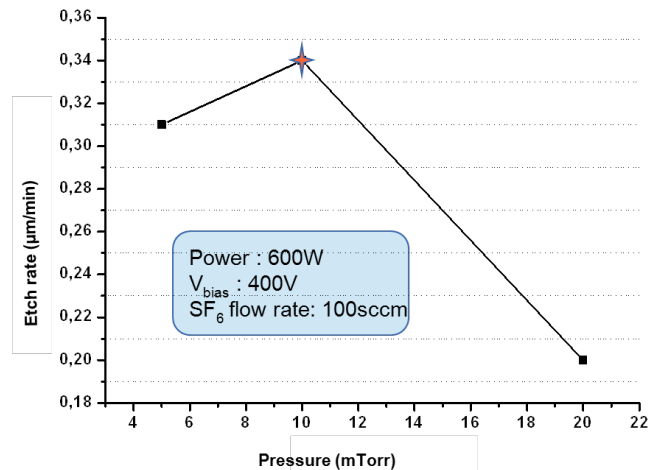


FIGURE 3.14 – Optimisation des paramètres de gravure ICP avec plasma SF<sub>6</sub> pour la réalisation de tranchées profondes en SiC. Influence de la pression.

### 3.2.3.3 Influence du bias, tension de polarisation RF2

En regardant l'influence de la tension de polarisation du port-échantillon avec le générateur capacitif RF2 nous trouvons également une courbe en cloche (figure 3.15). Ceci montre que l'accélération des ions vers les substrats SiC à des tensions trop élevées ne provoque pas une augmentation de la vitesse de gravure.

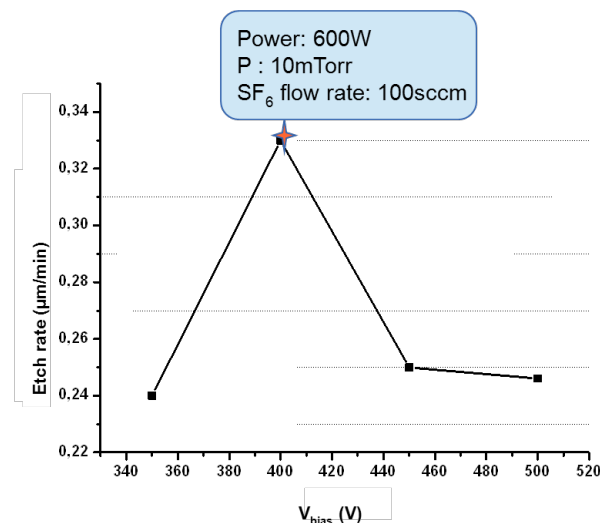


FIGURE 3.15 – Optimisation des paramètres de gravure ICP avec plasma SF<sub>6</sub> pour la réalisation de tranchées profondes en SiC. Influence du bias, tension de polarisation du port-échantillon RF2.

Comme dans le cas de l'étude sur l'influence de la pression il faut

trouver le bon compromis entre les mécanismes physiques et chimiques appliqués pour obtenir la meilleure vitesse de gravure. Diminuer le mécanisme physique aura en plus une influence positive sur la qualité des surfaces gravées obtenues. Malgré la possibilité d'appliquer des tensions de bias plus élevées, pour la suite de l'étude nous gardons une valeur de 400 V.

### 3.2.3.4 Influence du taux d'O<sub>2</sub>

Sur les procédé optimisés précédemment sur les bâtis RIE et d'une manière générale sur les gravures fluorés du SiC on ajoute un taux d'oxygène (?) pour améliorer la vitesse de gravure en améliorant la volatilité des espèces (en formant des CO, CO<sub>2</sub>). Le taux d'O<sub>2</sub> optimal se trouve en général entre 10 et 20%. Dans notre cas, nous avons une diminution de la vitesse de gravure avec le taux d'oxygène ajouté dans le plasma SF<sub>6</sub> ICP. Ceci peut s'expliquer par une certaine contamination de notre réacteur que nous ne maîtrisons pas. Ainsi pour notre procédé optimal ICP nous avons préféré de ne pas ajouter de l'oxygène, en gardant uniquement une chimie SF<sub>6</sub>.

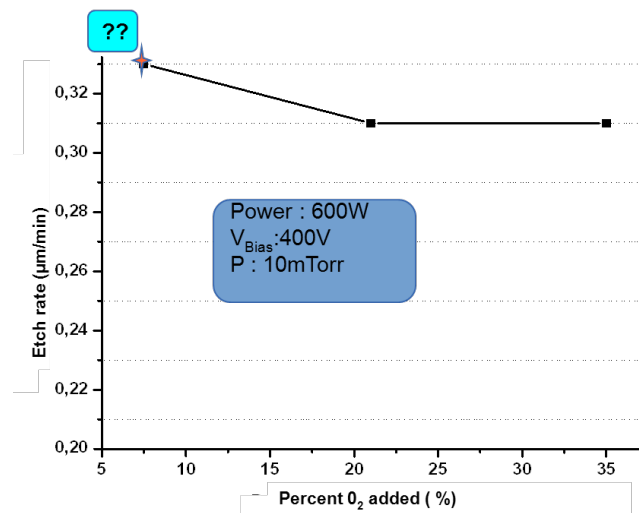


FIGURE 3.16 – Optimisation des paramètres de gravure ICP avec plasma SF<sub>6</sub> pour la réalisation de tranchées profondes en SiC. Influence du taux d'oxygène.

### 3.2.3.5 Surface gravée et tranchée obtenues

En utilisant le procédé optimisé,  $SF_6$  débit maximal, 10 mTorr, 600 W RF<sub>1</sub>, 400V RF<sub>2</sub>, nous l'avons appliqué sur des substrats SiC avec des couches épitaxiales pour réaliser les tranchées profondes dans le SiC. Pour graver  $\approx 23 \mu\text{m}$  nous avons eu besoin d'environ 80 min. Ceci représente une vitesse de  $\approx 0,28 \mu\text{m}/\text{min}$ . C'est une valeur relativement faible pour une gravure ICP. Mais il faut souligner que le générateur inductif RF<sub>1</sub> était limité à une puissance de 600 W. En général pour améliorer la densité du plasma et sa réactivité, on utilise des puissances inductives au-delà de 1000 W.

La Figure 3.17 présente une image au microscope électronique au balayage (MEB) typique des flancs gravés supérieurs à  $20 \mu\text{m}$  que nous avons obtenus. On remarque la verticalité des flancs, les parois non déchiquetés et une surface gravée en bas du flanc également lisse.

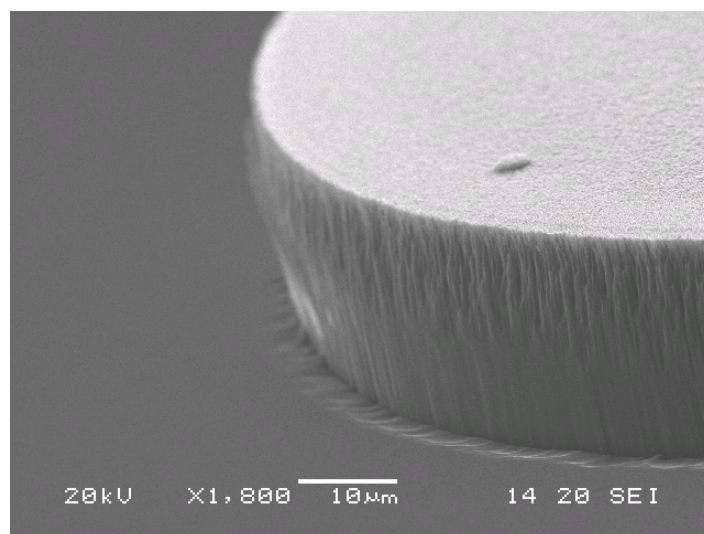


FIGURE 3.17 – Image MEB des flancs de gravure pour les tranchées  $\approx 23 \mu\text{m}$  que nous avons réalisé avec le procédé ICP.

La qualité de notre gravure ICP optimisée est également mise en évidence par les résultats électriques des diodes que nous présentons dans la deuxième partie de ce chapitre. On remarque cependant le "trenching" présent au pied de nos flancs de gravure. L'utilisation d'un générateur

RF1 plus puissant pourrait peut-être aussi nous aider à éviter l'apparition de ce "trenching". Par simulation Sentaurus nous avons montré que si la gravure est effectuée à travers toutes les couches épitaxiales jusqu'à dans le substrat  $N^+$ , l'apparition du "trenching" n'influence pas sur la tenue en tension des diodes DT2. Les résultats expérimentales que nous montrons après le confirme. Enfin signalons que par rapport à la RIE, cette gravure profonde ICP relève les défauts dans les substrats SiC (figure 3.18) que nous avons utilisé pour l'optimisation de ce procédé.

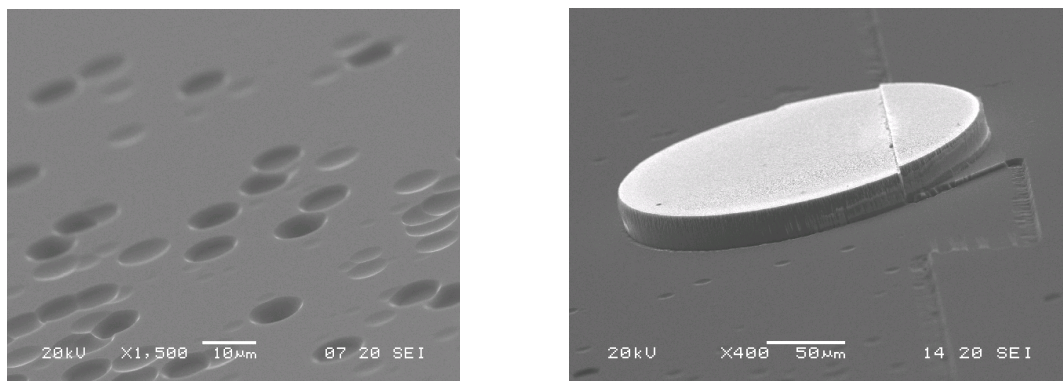


FIGURE 3.18 – Image MEB sur une zone révélatrices de défauts et une image plus globale d'un plot gravé sur une surface partiellement utilisée sur une étape technologique précédente.

A sa droite nous avons ajouté une image d'un plot circulaire que nous avons réalisé sur la surface d'un échantillon SiC qui a vue partiellement une autre étape technologique. On voit l'incidence de l'état initial de la surface de l'échantillon SiC. La révélation des défauts et le trenching ne sont présents que sur la surface qui n'était pas vierge.

### 3.2.3.6 Conclusion

Nous avons profité des recherches précédentes réalisées au laboratoire sur la gravure plasma du SiC en utilisant des réacteurs RIE. La nécessité d'avoir des tranchées très profondes nous a demandé l'optimisation d'un autre procédé de gravure sur l'équipement ICP. Nous avons eu besoin de plusieurs dizaines d'échantillons SiC et d'un nombre multiplié d'essais de gravure pour transférer les procédés RIE sur le nouveau bâti ICP. Finale-

ment, contraints par la puissance maximale du générateur RF<sub>1</sub>, limitée à 600 W, nous avons pu optimiser le procédé de gravure pour la réalisation des diodes SiC PiN DT2 avec un calibre de 3 kV.



### 3.3 PROCESSUS TECHNOLOGIQUE POUR LES DIODES SiC PiN DT2 3kV ET CARACTÉRISATION ÉLECTRIQUE

Le procédé de fabrication a été mis en place centré sur l'étape développée pour la gravure du SiC. Cette étape est nécessaire pour la mise au point de la protection périphérique Deep Trench Terminaison. Dans notre conception, la structure a besoin d'une gravure très profonde autour de 20  $\mu\text{m}$ . Les autres étapes technologiques utilisées dans la fabrication des diodes PiN sont décrites en détails dans les paragraphes suivants.

#### 3.3.1 Nettoyage de surface

Dans notre cadre de travail, le nettoyage de surface est une étape très présente. Un substrat propre évite toute les défaut qui peuvent venir des impuretés. Le nettoyage de surface est nécessaire avant tout les procédés appliqués sur un échantillon et aussi pour toute préparation de surface entre deux étapes technologiques. On peut diviser les nettoyages en 2 types : nettoyage chimique et nettoyage physique.

##### 3.3.1.1 Nettoyage chimique

Pour se débarrasser des impuretés à la surface du SiC-4H, on utilise les mélanges chimiques. Les graisses et des particules organiques, notamment les résines, sont nettoyées par des solvants standards comme l'acétone pendant 5 minutes aux ultrasons. Ensuite, dans l'éthanol ou propanol, ce bain permet de retirer l'acétone et d'enlever des traces apparus lors du séchage. Pour les particules de métaux, le nettoyage agressif avec des solutions acides comme le piranha (ou "caro") est utilisé. La solution piranha est composée d'acide sulfurique et d'eau oxygénée en proportion 2/1. Le mélange est réactionnel et exothermique. Le substrat SiC est trempé dans ce bain pendant 10 minutes, suivi d'un rinçage dans l'eau désionisée. Cette étape est répétée 2 fois.

Un substrat SiC présente toujours un oxyde natif et même le nettoyage

piranha oxyde sa surface. L'élimination du  $SiO_2$  se fait par l'acide fluorhydrique (HF) dilué pendant 2 - 4 minutes, suivi d'un rinçage à l'eau déionisé. Des solutions commerciales Buffer Oxide Etch (BOE) peuvent effectuer le même rôle.

### 3.3.1.2 Nettoyage physique

Le nettoyage physique est la gravure plasma pour éliminer les dernières couches métalliques ou organique qui restent encore sur la surface du substrat SiC. Le substrat SiC est placée dans le bâti pour graver pour une durée limitée, généralement en utilisant des plasma O<sub>2</sub> ou Ar-O<sub>2</sub>.

### 3.3.2 Photolithographie classique UV

La lithographie est une étape technologique nécessaire pour transférer des motifs lors de la conception du composant. Tout d'abord, une couche de la résine photosensible est étalée sur la surface du substrat. Ensuite, un masque fabriqué avec des motifs très bien définis est posé au dessus le substrat. Ce masque est généralement fait sur une plaquette de verre recouverte d'une couche mince de chrome. Il doit être de haute qualité, homogène et présenter une transparence adéquate à l'ultraviolet proche. Une telle méthode permet de descendre à des motifs de l'ordre du micron afin de créer et d'interconnecter des dispositifs élémentaires entre eux et d'améliorer leur intégration. Pour des dimensions plus fines, un masqueur électronique est nécessaire.

Par insolation UV, la partie de la résine exposée va réagir et changer sa structure. La durée de l'insolation dépend de la nature de la résine, normalement de quelques secondes. Pour réaliser un bon développement, il faut immerger la surface à traiter dans la solution. Par agitation du bain, les surfaces insolées se dissolvent dans un temps bien déterminé. Cette durée dépend du type et l'épaisseur de la résine. On ne doit pas dépasser ce temps pour ne pas craindre d'une légère attaque de la résine par le développeur (la partie qu'on voulait garder sur le substrat).

Dans le développement, il est alors possible d'enlever sélectivement soit les parties exposées, soit les parties protégées par le masque Cr/verre en fonctions du caractère de la résine. Plusieurs types de résines sont utilisées, elles sont classées en 2 grandes familles : les résines photosensibles négatives, dont la partie exposée, reste après le développement, et la résine positive dont la partie exposée sera enlevée. Il existe aussi des résines réversibles permettant d'être à la fois positives et négatives. Après développement, le substrat doit subir un rinçage à l'eau désionisée pendant quelques minutes, puis séché à l'azote sec.

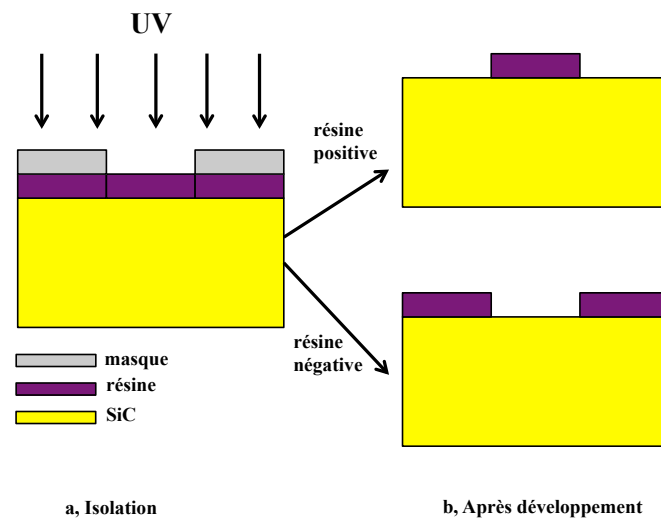


FIGURE 3.19 – Process photolithographie avec des résines positives et négatives

En fonction du procédé de fabrication, l'épaisseur de la couche de résine utilisée sera différente. La résine épaisse peut être utilisée pour un masque de gravure, ou seulement comme une étape intermédiaire dans le process de dépôt par "liff-off". Mais à cause de la sélectivité de la résine très faible vis-à-vis du SiC, une couche de résine  $4 \mu\text{m}$  est nécessaire pour une gravure de SiC d'environ  $1 \mu\text{m}$ . La gravure avec un masque de résine est très convenable pour créer des motifs d'alignement, ce qui n'a pas besoin de gravure profonde. On évite de recourir à un masque de métal et donc réduire une étape du process de fabrication.

Dans notre cadre de travail, l'objectif est d'obtenir une tranchée très

profonde de l'ordre de 20  $\mu\text{m}$ , donc un masque métallique environ 1  $\mu\text{m}$  est obligatoire. Pour obtenir un substrat qui reproduit exactement le dessin du masque après isolation et révélation, la résine doit posséder un certain nombre de qualités importantes comme une bonne adhérence avec la surface du substrat, une grande sensibilité aux rayons UV, grande résolution, bonne résistance mécanique... La résine réversible AZ5214E est choisie parmi d'autres pour les procédés classiques. Elle est très connue et utilisée couramment sur la plateforme NanoLyon de l'ECL. En plus, la lithographie par AZ5214E négative, après le développement présente un angle négatif, rentrant qui facilite les dépôts d'un masque métallique par la technique lift-off.

La résine est déposée par la technique "spin coating" (tournette). En jouant sur la vitesse de rotation (4000 tours/min) et le temps (30 s) lors du dépôt, on a obtenu une épaisseur de résine de l'ordre de 1,2  $\mu\text{m}$ . Le procédé d'inversion (passage de positive à négative) nécessite une étape de recuit 110 °C pendant 90 s, ensuite une insolation pleine plaque pendant 3,5 s; puis recuit supplémentaire 110 °C pendant 60 s, et à la fin une insolation pleine plaque pendant 23 s. Le substrat est ensuite dilué dans un développement AZ-726 MIF environ 25 s, puis l'eau déionisé et séché par azote sec. On obtient un masque de résine avec une géométrie identique mais de polarité inversé avec le masque Cr/verre.

Une remarque très importante que nous devons mentionner pour obtenir un bon masque résine, et ensuite un bon masque métallique pour la suite. Il faut bien nettoyer le masque Cr-verre qui est utilisée pour le report des motifs par photolithographie. En effet, les impuretés peuvent polluer et former des micro-masquages parasites sur le masque Cr-verre. De ce fait, après photolithographie, des micro-plots de résine sont formés sur le substrat (figure 3.20).

Pour éviter ce phénomène, une procédure de nettoyage de nos masques Cr-verre est nécessaire. D'abord par un nettoyage par l'acétone avec ultra-

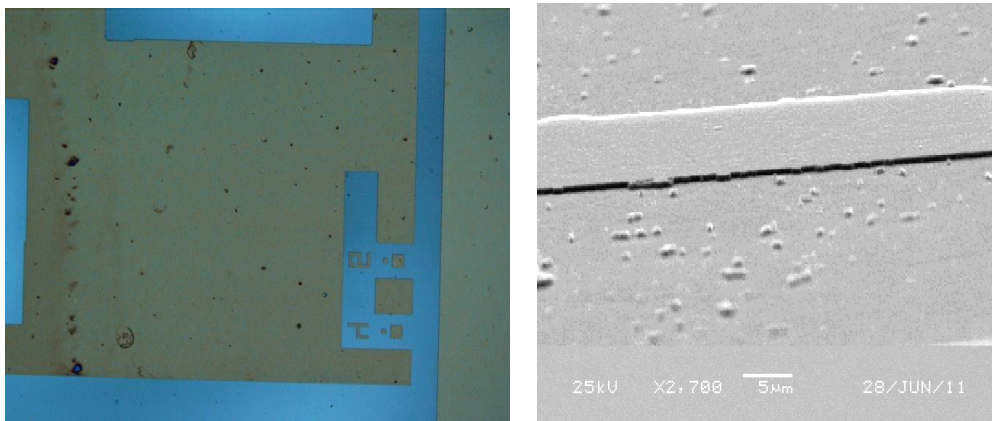


FIGURE 3.20 – Images prises avec microscope optique : a) masque Cr-verre sale avant nettoyage, b) report de ces saletés sur nos échantillons. Laariedh (2013)

sons. Ensuite, un nettoyage agressif par le piranha pour nettoyer et retirer tous les résidus sur nos masques (figure 3.21).

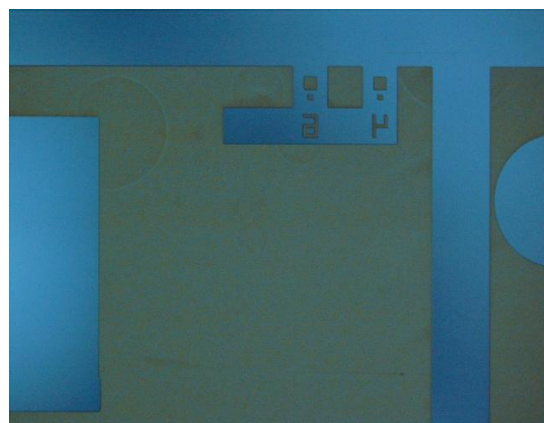


FIGURE 3.21 – Images prises avec microscope optique d'un masque Cr-verre après nettoyage Laariedh (2013)

### 3.3.3 Technique "liff-off"

Le procédé "liff-off" est effectué sur toute la surface de l'échantillon, après la révélation des motifs dans la résine. La couche métallique est déposée au-dessus de la couche résine, à basse température pour ne pas dégrader la couche résine. Une partie du métal déposé n'est pas en contact avec le substrat à cause de la couche résine présente à la surface avant.

Puis, la résine est attaquée par un solvant inerte avec le métal déposé et le semiconducteur SiC. Toutes les parties de dépôt se trouvant au-dessus de la résine sont attaquées aussi et s'en vont avec la résine dissoute.

Pour obtenir un bon masque métallique après développement, l'épaisseur de la couche de métal déposée ne doit pas dépasser la moitié de celle de la résine. Comme cela, on peut avoir une petite espace qui se forme entre les deux niveaux de ces deux couches. Grâce à cela, avec une attaque chimique d'acétone, il est possible d'éliminer entièrement la couche résine par l'espace entre les deux niveaux. De cette manière, la couche de métal qui se trouvait au dessus la résine est retirée et celle sur le substrat reste (figure 3.22).

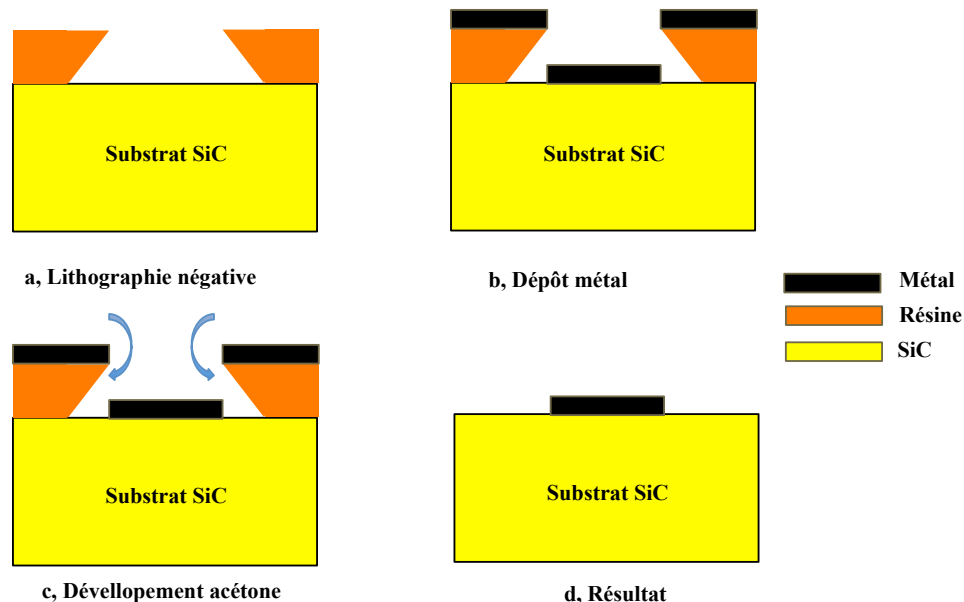


FIGURE 3.22 – Images prises avec microscope optique d'un masque Cr-verre après nettoyage.

Ce procédé "liff-off" permet d'obtenir une meilleure résolution pour transmettre des motifs qu'avec une gravure humide isotrope des couches métalliques. On a besoin que d'une seule attaque chimique lorsqu'il s'agit de plusieurs couches de métaux déposées pour définir les motifs. Il inhibe aussi les surgravures, et évite des nettoyages à base de solution acide à la surface du semiconducteur.

Pour le "liff-off" de nos couches Ni/Si de  $1 \mu\text{m}$  nous avons utilisé la

résine AZNLOF 2070 qui est une résine négative de la même famille que la résine AZ5214 mais qui a une épaisseur  $\sim 7 \mu\text{m}$  mieux adaptée au lift-off des couches métallique  $1 \mu\text{m}$ .

### 3.3.4 Dépôt du masque métallique

Pour obtenir des gravures très profondes dans SiC, tout d'abord il nous faut un masque ayant une sélectivité élevée par rapport au SiC. Les masques en résine photosensible sont éliminés à cause de leur faible sélectivité, inférieure à 1 (figure 3.2), malgré la facilité de la mise en place puisqu'il s'agit d'une simple étape de lithographie.

Le fait d'utiliser des métaux semble plus adapté dans notre cas. En prenant en compte les études précédentes au laboratoire sur les gravures plasma du SiC dans des réacteurs RIE, nous avons choisit l'empilement Ni/Si qui permet d'obtenir une bonne volatilité des espèces. En effet, dans le procédé de gravure, la non volatilité des produits de réaction est souvent à l'origine de phénomène de micromasking qui apparait à la surface gravé, comme nous l'avons rappelé dans les paragraphe précédents.

Pour le dépôt des couches métalliques, nous avons utilisé la machine Leybold, un évaporateur par canon e-beam de notre plateforme Nano-Lyon de l'ECL. La procédure se fait sous une pression très basse à l'ordre de  $10^{-7}$  mbar pour éviter toutes les impuretés qui peuvent venir polluer notre substrat. D'après les résultats de la thèse de Farah Laariedh (Laariedh 2013), une première couche de Titane très fine de l'ordre de  $100 \text{ \AA}$  est déposée pour favoriser l'adhérence entre les couches déposées et le substrat. Le dépôt Ni/Si doit être fait à une vitesse modérée pour ne pas retirer tout l'empilement métallique pendant le retrait de la résine.

### 3.3.5 Gravure du SiC avec le réacteur ICP

Le procédé optimisé pour la gravure ICP présenté en détails précédemment a été utilisé pour graver des tranchées des de l'ordre de 20 à 23  $\mu\text{m}$ .

Nous avons eu deux séries d'échantillons toutes les deux avec une couches épitaxiale P+ en surface avec un dopage  $\approx 10^{19} \text{ cm}^{-3}$  avec une épaisseur d'1  $\mu\text{m}$ . Au-dessous de cette couche se trouve la couche  $N_+$  responsable pour la tenue en tension dont l'épaisseur était de 18  $\mu\text{m}$  et respectivement 21  $\mu\text{m}$  (pour les deux séries d'échantillons) et avec un dopage  $\approx 10^{14} \text{ cm}^{-3}$ . Ces deux couches épitaxiales ont été gravées complètement en ICP avec le plasma  $SF_6$ , 600 W RF1, 10 mTorr, 400 V de bias en RF2, pour arriver jusqu'au substrat  $N^+$ .

La figure 3.23 synthétise le procédé technologique que nous avons décrit jusqu'à maintenant.

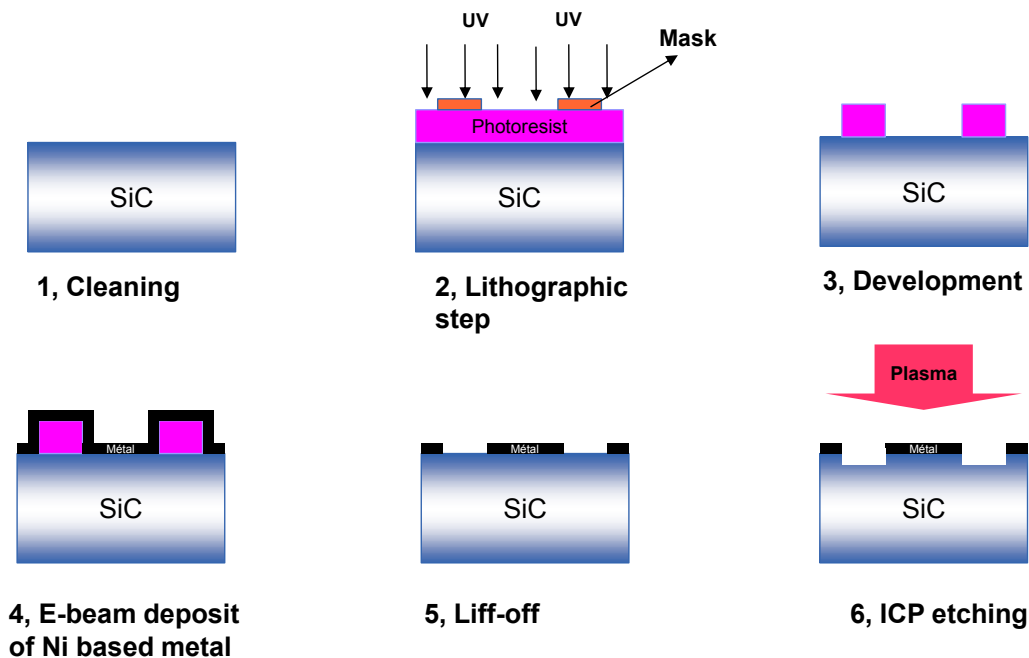


FIGURE 3.23 – Présentation schématique des étapes technologiques pour la fabrication des diodes SiC PiN DT2.

### 3.3.6 Dépôt de parylène dans les tranchées

Avant cette étape, des contacts ohmiques ont été réalisées sur la face arrière des échantillons SiC. Sur la face arrière carbone des substrats  $N^+$  une couche d'une centaine de nm a été déposée par canon e-beam suivi d'un recuit RTA à  $900^{\circ}\text{C}$  réalisé dans le four JIPELEC JETfirst du labora-



toire AMPERE. Le procédé de métallisation pour la formation du contact ohmique est décrit dans Laariedh (2013).

Ensuite, dans les tranchées gravées sur la face avant nous avons décidé de déposer des couches de parylène par la société suisse COMELEC qui s'est offerte de nous déposer ces couches et de les valoriser à travers nos composants. Nous avons choisi cette solution plutôt que de développer une nouvelle étape technologique pour le dépôt du BCB par spin-coating. Nous restons cohérents par rapport à notre travail de simulation présenté dans le chapitre 2, puisque le parylène et le BCB appartiennent à la même famille de diélectriques avec des valeurs proches des constantes diélectriques et champ électrique critique.

Avant le dépôt de parylène nous avons gardé les couches métalliques utilisées comme masques de gravure qui nous ont servi comme électrodes de contact sur la face avant pour les caractérisations électriques que nous présentons ci-après.

### 3.3.7 Caractérisation électrique des diodes SiC DT2

Nous avons utilisé un des bancs Signatone de caractérisation sous pointes du laboratoire (figure 3.24) en utilisant une SMU Keithley 2410 capable de polarisée en inverse jusqu'à 1000 V pour les mesures avant le dépôt des couches de parylène. Après remplissage des tranchées avec du parylène nous avons utilisé une FUG 12kV - 100mA pour polariser en inverse avec des plus fortes tensions.

Avant le dépôt du parylène nous avons testé en inverse nos diodes SiC DT2 jusqu'à 400 V (figure 3.25). Les courants de fuite sont à des niveaux assez faibles, de l'ordre du nA ce qui montre la qualité du procédé de gravure ICP que nous avons mis en place.

Après dépôt du parylène nous avons validé la tenue en tension de 3 kV de nos diodes SiC DT2. La figure 3.26 présente la caractéristique en inverse jusqu'au claquage que nous obtenons.

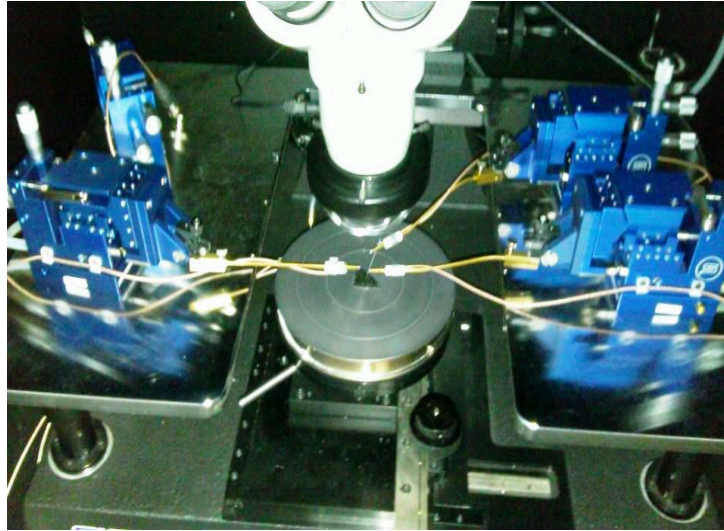


FIGURE 3.24 – Test sous pointes avec le banc Signatone S-1160 du laboratoire d'une puce SiC.

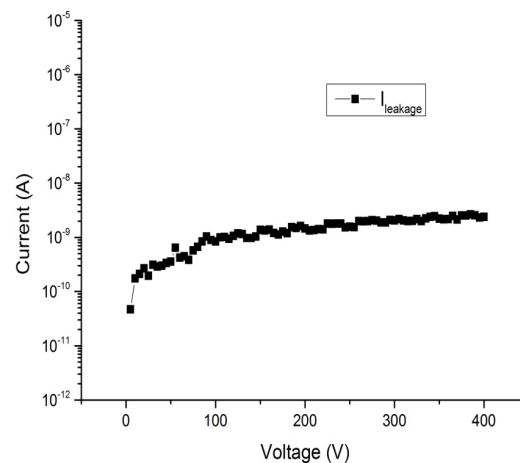


FIGURE 3.25 – Test en inverse des diodes SiC DT2 avant le dépôt de parylène.

### 3.4 CONCLUSION DU CHAPITRE 3

En tenant compte des moyens de notre plateforme et des échantillons SiC disponibles, nous avons pu mettre en place un procédé de réalisation technologique d'une diode avec une terminaison par DT2 à un niveau de 3 kV. Ensuite, les caractérisations des composants pour valider notre conception.

Dans la première partie, une étude préliminaire sur la technique la plus importante en vue de réaliser nos composants est effectuée. Dans notre

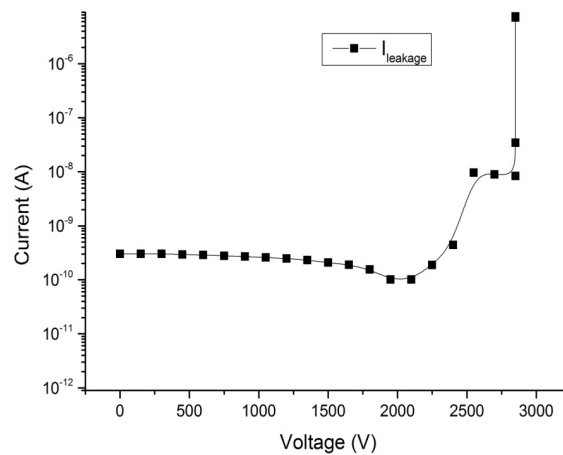


FIGURE 3.26 – Tenue en tension de 3 kV sur les diodes SiC DT2 obtenue après dépôt de parylène.

cas, c'est la technique gravure plasma très profonde dans le SiC. Tout d'abord, nous avons présenté les mécanismes de gravures, les principaux réacteurs avec leurs avantages et leurs inconvénients pour une gravure profonde en SiC. Une synthèse des études précédentes au laboratoire sur la gravure plasma du SiC a été abordée en mettant en évidence des phénomènes critiques de la gravure comme la vitesse de gravure, le trenching, le micromasking... Le bâti ICP a été choisi pour sa vitesse de gravure plus importante et un masque Ti/Ni/Si pour obtenir une haute qualité de surface gravée. Notre travail a consisté à l'optimisation du procédé de gravure d'un bâti de marque ETREM, présent dans la salle blanche Nanolyon située au laboratoire INL à l'École Centrale de Lyon. La puissance RF1 pour générer le plasma inductif a été fixée au maximum de 600 W pour avoir une densité de plasmas plus forte. Tous les autres paramètres ont été optimisés comme la puissance RF2 pour le bias (400 V), le débit SF6 (100 sccm), la pression (10 mTorr), l'influence du taux d'O<sub>2</sub> (0 %) pour obtenir à la fin une vitesse de gravure d'environ 0,28  $\mu\text{m}/\text{min}$ . Ensuite, nous avons détaillé les étapes de nettoyage, "spin coating", lithographie, "lift-off", dépôt de couches métalliques pour la formation des masques de gravure, et puis la gravure et dépôt de parylène dans les tranchées.

La deuxième partie a présenté la caractérisation des diodes en régime inverse. Avant le dépôt du parylène dans les tranchées, le courant de fuite était très faible de l'ordre du nA. Cela nous confirme la qualité du procédé de gravure ICP que nous avons mis en place. Après dépôt du parylène, nous avons obtenu une tenue en tension de la diode d'environ 3 kV, soit environ 85 % de la tenue en tension idéale.



---

# CONCLUSION GÉNÉRALE ET PERSPECTIVES

## CONCLUSION

Les matériaux grand-gap avec leurs propriétés (champ électrique critique, conductivité thermique élevée, vitesse de saturation des porteurs importante...) sont des matériaux bien adaptés pour l'électronique de haute puissance, haute température et haute fréquence. Parmi les matériaux grand-gap, le carbure de silicium est choisi grâce à ses maturités en technologie et disponibilité de substrats et peut être un candidat très prometteur pour des composants à haute tension. Dans ce mémoire, nous avons présenté une méthode pour améliorer la tenue en tension des composants en SiC basée sur l'utilisation des terminaisons de jonctions : Deep Trench Termination. Les travaux de recherche présentés ici se situent dans la conception, la fabrication et la caractérisation d'une diodes bipolaire SiC.

Le première chapitre a présenté sur l'état de art du matériau SiC, les techniques principales concernées par notre étude et surtout la technique de gravure, le packaging, la passivation... La notion de "tenue en tension théorique" du composant a été rappelée avec le mécanisme d'ionisation par avalanche. Ensuite, une étude bibliographique approfondie sur les valeur des coefficients d'ionisation a démontré l'importance de leurs valeurs dans le calcul de la tenue en tension. Dans notre recherche, les coefficients d'ionisation déterminés expérimentalement par Konstantinov (Konstantinov *et al.* 1998) dans le SiC-4H ont été utilisés presque exclusivement.

Les méthodes principales de protection pour les composants de puis-

sance ont été présentées. Pourtant, pour des niveaux de haute et très haute tensions, les contraintes de ces méthodes sont la nécessité d'utiliser une grande surface de composant. Ceci donc diminue l'efficacité du composant. L'objectif principal de cette thèse a été consacré à une nouvelle technique de terminaison : Deep Trench Termination pour améliorer la tenue en tension du composant SiC haute et très haute tension. Cette technique de Deep Trench Termination avait été validée expérimentalement à 1.2 kV pour des composants Si, et est très prometteuse pour notre objectif de "réduire la taille du composant".

Dans le deuxième chapitre, après une brève introduction au logiciel de simulation SENTAURUS, la conception de la diode a été axée sur l'amélioration de la tenue en tension sur les deux niveaux de tension 3 kV et 20 kV. Pour une tranchée verticale, nous avons vérifié que plus la tranchée est profonde plus la tenue en tension est élevée. Il est à noter qu'une gravure dans le SiC possédant une profondeur de plus de 20  $\mu\text{m}$  est très difficile à obtenir notamment avec une rugosité très faible et un flanc de gravure le plus propre possible. Les travaux ont pris aussi en compte les caractéristiques du matériau, les charges à l'interface de la tranchée et les limites technologiques pour la fabrication.

Pour éviter de graver très profond dans SiC, nous avons présenté une nouvelle technique de terminaison Deep Trech Termination (DT2) combinée avec la méthode de protection JTE. Cette technique utilise une tranchée très profonde avec une couche JTE autour de la tranchée. La dose de la couche JTE doit être bien optimisée pour que la couche JTE soit complètement déplétée afin d'agir comme un répartiteur des lignes d'équipotentielles. À 3 kV, une large flexibilité constatée de la dose de la couche JTE optimale et de la largeur de la tranchée va laisser une grande marge pour la technologie de fabrication. L'efficacité de cette technique est élevée (90 % de la tenue en tension de la diode plane équivalente) et comparable à la méthode de protection par JTE traditionnelle. L'influence de la tenue en tension en fonction des charges d'interface a été étudié. Jusqu'à des

charges  $10^{11} \text{ cm}^{-3}$  (positive ou négative), la tenue en tension du composant n'est pratiquement pas affectée.

Pour le niveau de 25 kV, même si nous remplaçons le matériau BCB dans la tranchée et que l'on grave jusqu'au substrat, l'efficacité de la terminaison DT2 seule obtenue est de seulement 50 %. Avec la méthode DT2 combinée avec JTE, l'efficacité de terminaison obtenue est 90 %. Mais il est important de noter que la longueur de terminaison est de seulement  $400 \mu\text{m}$ , plus faible par rapport à tous les autres résultats de la littérature, soit 30 % de réduction par rapport au résultat de Hiroki Niwa (Niwa *et al.* 2012a).

Le chapitre 3 porte sur le procédé de fabrication des démonstrateurs et la caractérisation pour valider notre conception. Lors de la réalisation de ces structures, la gravure du SiC était un des points les plus importants notamment pour la mise en place de la protection périphérique. Elle sera optimisée de manière à obtenir la meilleure efficacité de la protection.

Le bâti ICP a été choisi avec des paramètres optimisés comme la puissance RF2 pour le bias (400 V), le débit de SF6 (100 sccm), la pression (10 mTorr), l'influence du taux d'O<sub>2</sub> (0 %) afin d'avoir une vitesse de gravure environ  $0,28 \mu\text{m}/\text{min}$ . Un masque Ti/Ni/Si a été utilisé pour la haute qualité de surface gravée obtenue. Cette qualité a été confirmée ensuite par les résultats de caractérisation électrique. Nous avons obtenu une tenue en tension de la diode d'environ 3 kV, soit 85 % de la tenue en tension idéale.



## PERSPECTIVES

La poursuite de notre travail pourrait être sur les axes suivants :

- Réaliser une capacité MOS avec une faible épaisseur d'oxide (une centaine de nanomètre) pour caractériser les états d'interfaces et les charges fixes à interfaces.

- Pour la terminaison DT2 combinée avec JTE, l'utilisation de l'immersion plasma pour faire la JTE est une direction de recherche prometteuse (Chynoweth 1958), appliquée récemment au dopage du SiC (Biondo *et al.* 2012).

- Pour les dépôts de diélectrique et assurer la conformité le SiO<sub>2</sub> thermique ou PECVD ainsi que des dépôts ALD Al<sub>2</sub>O<sub>3</sub> devront être étudiés. Le parylène sera aussi une bonne voie à envisager comme couche supplémentaire sur ces dernières.

- Le PCB flexible ouvre aussi une nouvelle piste très prometteuse pour les modules de puissance très haute tension en combinant la protection périphérique de la puce par des plaques de champs au niveau du package.

---

# BIBLIOGRAPHIE

- ABI TANNOUS, T. (2015). *Croissance de la phase MAX sur SiC contact ohmique stable et fiable à haute température*. Thèse de doctorat, Lyon, INSA. (Cité page 17.)
- ADLER, M. S., TEMPLE, V. A., FERRO, A. P. et RUSTAY, R. (1977). Theory and breakdown voltage for planar devices with a single field limiting ring. *Electron Devices, IEEE Transactions on*, 24(2):107–113. (Cité page 31.)
- ANTHONY, L. J. (1958). Sublimation process for manufacturing silicon carbide crystals. US Patent 2,854,364. (Cité page 15.)
- APPELS, J. et VAES, H. (1979). High voltage thin layer devices (resurf devices). In *Electron Devices Meeting, 1979 Internationa*, volume 25, pages 238–241. IEEE. (Cité page 36.)
- BALIGA, B. J. (1989). Power semiconductor device figure of merit for high-frequency applications. *IEEE Electron Device Letters*, 10(10):455–457. (Cité page 54.)
- BALIGA, J. (1987). Modern power devices. (Cité page 26.)
- BEYDOUN, B. (1994). *Simulation et conception des transistors VDMOS de puissance*. Thèse de doctorat. (Cité page 27.)
- BLUMENAU, A., JONES, R., ÖBERG, S., BRIDDON, P. et FRAUENHEIM, T. (2003). Basal plane partial dislocations in silicon carbide. *Physica B : Condensed Matter*, 340:160–164. (Cité page 14.)
- BOISSON, V. (1985). *Etude de la géométrie Optimale des Périphéries des Jonctions Planar*. Thèse de doctorat. (Cité page 31.)

- BRIEGER, K.-P., GERLACH, W. et PELKA, J. (1983). Blocking capability of planar devices with field limiting rings. *Solid-state electronics*, 26(8):739–745. (Cité page 31.)
- CAMARA, N. et ZEKENTES, K. (2002). Study of the reactive ion etching of 6h-sic and 4h-sic in sf 6/ar plasmas by optical emission spectroscopy and laser interferometry. *Solid-State Electronics*, 46(11):1959–1963. (Cité page 101.)
- CASADY, J., LUCKOWSKI, E., BOZACK, M., SHERIDAN, D., JOHNSON, R. et WILLIAMS, J. (1996). Etching of 6h-sic and 4h-sic using nf 3 in a reactive ion etching system. *Journal of the Electrochemical Society*, 143(5):1750–1753. (Cité page 101.)
- CHYNOWETH, A. G. (1958). Ionization rates for electrons and holes in silicon. *Phys. Rev.*, 109:1537–1540. (Cité pages 23 et 132.)
- CLARK, L. et ZOROGLU, D. (1972). Enhancement of breakdown properties of overlay annular diodes by field shaping resistive films. *Solid-State Electronics*, 15(6):653–657. (Cité page 36.)
- COBURN, J. et WINTERS, H. F. (1979). Plasma etching: a discussion of mechanisms. *Journal of Vacuum Science & Technology*, 16(2):391–403. (Cité page 96.)
- CREE (2012). Introduces 150-mm 4h silicon carbide epitaxial wafers. august 30, 2012, <http://www.cree.com/news-and-events/cree-news/press-releases/2012/august/150mm-wafers>. Rapport technique. (Cité page 15.)
- DHEILLY, N. (2008). Protection périphérique performante appliquée à une diode bipolaire sic-4h : Jte triple implantée. *In JCGE*, page xxx. (Cité page 34.)
- DIAHAM, S., LOCATELLI, M. L., LEBEY, T., RAYNAUD, C., LAZAR, M., VANG, H. et PLANSON, D. (2009). Polyimide passivation effect on high voltage

- 4h-sic pin diode breakdown voltage. *In Materials Science Forum*, volume 615, pages 695–698. Trans Tech Publ. (Cité pages xiii et 19.)
- DRAGOMIRESCU, D. M. (2001). *Conception des terminaisons de jonctions pour des dispositifs très haute tension- aspects statiques et dynamiques*. Thèse de doctorat. (Cité pages xiv, 40 et 41.)
- EADES, W. D. et SWANSON, R. M. (1984). Improvements in the determination of interface state density using deep level transient spectroscopy. *Journal of applied physics*, 56(6):1744–1751. (Cité page 74.)
- GHARBI, M. (1985). *La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300 V à 100 V)*. Thèse de doctorat, Thèse de 3ème cycle, Université Paul Sabatier de Toulouse. (Cité page 27.)
- GROVE, A. S., LEISTIKO, O. et HOOPER, W. W. (1967). Effect of surface fields on the breakdown voltage of planar silicon pn junctions. *IEEE Transactions on Electron Devices*, 14(3):157–162. (Cité page 34.)
- HATAKEYAMA, T., WATANABE, T., SHINOHE, T., KOJIMA, K., ARAI, K., SANO, N. *et al.* (2004). Impact ionization coefficients of 4h silicon carbide. *Applied physics letters*, 85(8):1380–1382. (Cité page 23.)
- HOFMANN, D., SCHMITT, E., BICKERMANN, M., KÖLBL, M., WELLMANN, P. et WINNACKER, A. (1999). Analysis on defect generation during the sic bulk growth process. *Materials Science and Engineering : B*, 61:48–53. (Cité page 14.)
- HWANG, K. et NAVON, D. H. (1984). Breakdown voltage optimization of silicon p- $\pi$ -v planar junction diodes. *Electron Devices, IEEE Transactions on*, 31(9):1126–1135. (Cité page 33.)
- JONES, M. H. et JONES STEPHEN, H. (2002). The general properties of si, ge, sige, sio<sub>2</sub> and si<sub>3</sub>n<sub>4</sub>. *Virginia semiconductor*. (Cité page 18.)

- KAMIBABA, R., TAKAHAMA, K. et OMURA, I. (2010). Design of trench termination for high voltage devices. *In 2010 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, pages 107–110. IEEE. (Cité page 41.)
- KAO, Y. et WOLLEY, E. (1967). High-voltage planar pn junctions. *Proceedings of the IEEE*, 55(8):1409–1414. (Cité page 30.)
- KIM, D., LEE, H., PARK, B., KIM, H., SUNG, Y., CHAE, S., KO, Y. et YEOM, G. (2004). High rate etching of 6h-sic in sf 6-based magnetically-enhanced inductively coupled plasmas. *Thin Solid Films*, 447:100–104. (Cité page 102.)
- KONSTANTINOV, A., WAHAB, Q., NORDELL, N. et LINDEFELT, U. (1997). Ionization rates and critical fields in 4h silicon carbide. *Applied Physics Letters*, 71(1):90–92. (Cité pages 13 et 14.)
- KONSTANTINOV, A., WAHAB, Q., NORDELL, N. et LINDEFELT, U. (1998). Study of avalanche breakdown and impact ionization in 4h silicon carbide. *Journal of electronic materials*, 27(4):335–341. (Cité pages 24 et 129.)
- LAARIEDH, F. (2013). *Technologie d'întégration monolithique des JFET latéraux*. Thèse de doctorat, INSA de Lyon. (Cité pages xvii, xviii, 17, 107, 108, 120, 122 et 124.)
- LAZAR, M. B. (2002). *Etude du Dopage par Implantation Ionique d'Aluminium dans le Carbure de Silicium pour la Réalisation de Composants de Puissance*. Thèse de doctorat, Thèse de doctorat, INSA de Lyon. (Cité page 16.)
- LEFEBVRE, S. et MISEREY, F. (2004). *Composants à semi-conducteur pour l'électronique de puissance*. Tec et Doc. (Cité page 29.)
- LETURCQ, P. (2000). Tenue en tension des semi-conducteurs de puissance. *Techniques de l'ingénieur. Génie électrique*, 4(D3104):1–18. (Cité pages xiii, xiv, 4, 21, 30, 33, 34, 35, 37, 38 et 39.)

- LOH, W., NG, B., NG, J., SOLOVIEV, S. I., CHA, H.-Y., SANDVIK, P. M., JOHNSON, C. M. et DAVID, J. P. (2008). Impact ionization coefficients in 4h-sic. *IEEE Transactions on Electron Devices*, 55(8):1984–1990. (Cité page 23.)
- NG, B., DAVID, J. P., TOZER, R. C., REES, G. J., YAN, F., ZHAO, J. H. et WEINER, M. (2003). Nonlocal effects in thin 4h-sic uv avalanche photodiodes. *IEEE Transactions on Electron Devices*, 50(8):1724–1732. (Cité page 23.)
- NGUYEN, D., RAYNAUD, C., LAZAR, M., PÂQUES, G., SCHARNHOLZ, S., DHEILLY, N., TOURNIER, D. et PLANSON, D. (2012). Obic measurements on avalanche diodes in 4h-sic for the determination of impact ionization coefficients. *In Materials Science Forum*, volume 717, pages 545–548. Trans Tech Publ. (Cité pages 23 et 24.)
- NGUYEN, D. M. (2011). *Conception et caractérisation de diodes en SiC pour la détermination des coefficients d'ionisation*. Thèse de doctorat, Lyon, INSA. (Cité pages xiii et 25.)
- NIWA, H., FENG, G., SUDA, J. et KIMOTO, T. (2012a). Breakdown characteristics of 12–20 kv-class 4h-sic pin diodes with improved junction termination structures. *In 2012 24th International Symposium on Power Semiconductor Devices and ICs*, pages 381–384. IEEE. (Cité pages xvi, 50, 82, 83, 91 et 131.)
- NIWA, H., FENG, G., SUDA, J. et KIMOTO, T. (2012b). Breakdown characteristics of 12–20 kv-class 4h-sic pin diodes with improved junction termination structures. *In Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pages 381–384. IEEE. (Cité page 34.)
- NUTTALL, K., BUIU, O. et OBREJA, V. (2003). Surface leakage current related failure of power silicon devices operated at high junction temperature. *Microelectronics Reliability*, 43(9):1913–1918. (Cité page 19.)
- OTTAVIANI, L. (1999). *Realisation de jonctions dans le carbure de silicium 6H par implantation ionique d'aluminium*. Thèse de doctorat. (Cité page 16.)

- PHAM, T. P. (1982). *Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance*. Thèse de doctorat, Thèse de 3ème Cycle, Université Paul Sabatier, Toulouse. (Cité page 27.)
- RAGHUNATHAN, R. et BALIGA, B. J. (1997). Measurement of electron and hole impact ionization coefficients for sic. In *Power Semiconductor Devices and IC's, 1997. ISPSD'97., 1997 IEEE International Symposium on*, pages 173–176. IEEE. (Cité page 23.)
- RAGHUNATHAN, R. et BALIGA, B. J. (1999). Temperature dependence of hole impact ionization coefficients in 4h and 6h-sic. *Solid-State Electronics*, 43(2):199–211. (Cité page 13.)
- RAYNAUD, C. (2001). Silica films on silicon carbide : a review of electrical properties and device applications. *Journal of Non-Crystalline Solids*, 280(1):1–31. (Cité page 76.)
- RAYNAUD, C. (2007). Propriétés physiques et électroniques du carbure de silicium (sic). *Techniques de l'ingénieur. Génie électrique*, 4(D3119). (Cité pages xiii, xix, 7, 9, 10, 11, 12 et 29.)
- ROBB, K., HOPKINS, J., NICHOLLS, G. et LEA, L. (2005). Plasma sources for high-rate etching of sic. *Solid State Technology*, 48(5):61–64. (Cité page 102.)
- RUSU, A. et BULUCEA, C. (1979). Deep-depletion breakdown voltage of silicon-dioxide/silicon mos capacitors. *IEEE Transactions on Electron Devices*, 26(3):201–205. (Cité pages 34 et 35.)
- SAKS, N., MANI, S. et AGARWAL, A. (2000). Interface trap profile near the band edges at the 4h-sic/sio<sub>2</sub> interface. *Applied Physics Letters*, 76(16):2250–2252. (Cité pages xv, 73 et 74.)
- SEJIL, S., LAZAR, M., CAROLE, D., BRYLINSKI, C., PLANSON, D., FERRO, G. et RAYNAUD, C. (2017). Further optimization of vls localized epitaxy for deeper 4h-sic p–n junctions. *physica status solidi (a)*, 214(4). (Cité page 17.)

- SETO, K., KAMIBABA, R., TSUKUDA, M. et OMURA, I. (2012). Universal trench edge termination design. *In 2012 24th International Symposium on Power Semiconductor Devices and ICs*. (Cité page 41.)
- SHERIDAN, D. C., CASADY, J. B., ELLIS, C., SIERGIEJ, R., CRESSLER, J., STRONG, R., URBAN, W., VALEK, W., SEILER, C. et BUHAY, H. (2000). Demonstration of deep (80 $\mu$ m) rie etching of sic for mems and mmic applications. *In Materials Science Forum*, volume 338, pages 1053–1056. Trans Tech Publ. (Cité page 101.)
- SZE, S. et GIBBONS, G. (1966). Effect of junction curvature on breakdown voltage in semiconductors. *Solid-State Electronics*, 9(9):831–845. (Cité page 22.)
- TAIROV, Y. M. et TSVETKOV, V. (1978). Investigation of growth processes of ingots of silicon carbide single crystals. *Journal of crystal growth*, 43(2): 209–212. (Cité page 15.)
- TEMPLE, V. A. et TANTRAPORN, W. (1986). Junction termination extension for near-ideal breakdown voltage in pn junctions. *Electron Devices, IEEE Transactions on*, 33(10):1601–1608. (Cité page 32.)
- THÉOLIER, L., MAHFOZ-KOTB, H., ISOIRD, K., MORANCHO, F., ASSIÉ-SOULEILLE, S. et MAURAN, N. (2009). A new junction termination using a deep trench filled with benzocyclobutene. *IEEE Electron Device Letters*, 30(6):687–689. (Cité pages 41 et 64.)
- TOURNIER, D. (2007). *Composants de Puissance en Sic*. Ed. Techniques Ingénieur. (Cité pages xiii, 7 et 8.)
- TREDWELL, T. et VISWANATHAN, C. (1980). Determination of interface-state parameters in a mos capacitor by dlts. *Solid-State Electronics*, 23(11):1171–1178. (Cité page 74.)



- VANG, H. (2006a). *Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium*. Thèse de doctorat, Villeurbanne, INSA. (Cité pages xvii, 96 et 99.)
- VANG, H. (2006b). *Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium*. ISL. (Cité pages xvii, 100 et 102.)
- WOLF, R. et HELBIG, R. (1996). Reactive ion etching of 6h-sic in sf 6/o 2 and cf 4/o 2 with n 2 additive for device fabrication. *Journal of the Electrochemical Society*, 143(3):1037–1042. (Cité page 101.)
- YANO, H., HATAYAMA, T., URAOKA, Y. et FUYUKI, T. (2005). High temperature no annealing of deposited sio2 and sion films on n-type 4h-sic. *In Materials Science Forum*, volume 483, pages 685–688. Trans Tech Publ. (Cité pages 18 et 19.)
- YIH, P., SAXENA, V. et STECKL, A. (1997). A review of sic reactive ion etching in fluorinated plasmas. *physica status solidi (b)*, 202(1):605–642. (Cité page 101.)
- ZITOUNI, M., MORANCHO, F., TRANDUC, H., ROSSEL, P., BUXO, J. et PAGÈS, I. (1998). A new device for smart power integrated circuits-the trench lateral dmosfet. *In Semiconductor Conference, 1998. CAS'98 Proceedings. 1998 International*, volume 1, pages 137–140. IEEE. (Cité page 39.)
- LAZAR, M., ENOCH, F., LAARIEDH, F., PLANSON, D. et BROSSELDARD, P. (2011). Influence of the masking material and geometry on the 4H-SiC RIE etched surface state. *In Materials Science Forum*, pages 477–480. Trans Tech Publ. (Cité pages xvii et 107.)
- SIMESCU, F., COIFFARD, D., LAZAR, M., BROSSELDARD, P. et PLANSON, D. (2010). Study of trenching formation during SF6/O2 reactive ion etching of 4H-SiC. *Journal of Optoelectronics and Advanced Materials (JOAM)*, 12:766–769. (Cité pages xvii et 106.)

- MOREL, T., CHABOUD, F., VANG, H., BROSELARD, P., CREMILLIEU, P., LECCLERCQ, J.-L., LAZAR, M., PLANSON, D. et SCHARNHOLZ, S. (2005). Gravure RIE profonde du SiC pour la réalisation de composants de puissance. *Matériaux du Génie Electrique - MGE'2005*. (Cité pages xvii et 106.)
- LAZAR, M., VANG, H., BROSELARD, P., RAYNAUD, C., CREMILLIEU, P., LECCLERCQ, J.-L., DESCAMPS, A., SCHARNHOLZ, S. et PLANSON, D.(2006). Deep SiC etching with RIE. *Superlattices and microstructures*, 40:388–392. (Cité pages xvii, 104 et 105.)
- BIONDO, S., OTTAVIANI, L., LAZAR, M. et al. 4H-SiC P+N UV Photodiodes : A Comparison between Beam and Plasma Doping Processes. *Silicon Carbide and Related Materials 2011*, 717:1203–1206. (Cité page 132.)



## FOLIO ADMINISTRATIF

### THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : BUI (nom de jeune fille NGUYEN)  
(avec précision du nom de jeune fille, le cas échéant)

DATE de SOUTENANCE : 12/07/2018

Prénoms : Thi Thanh Huyen

TITRE : Terminaison verticales de jonction remplies avec des couches diélectriques isolantes pour des applications haute tension utilisant des composants grand-gap de forte puissance.

NATURE : Doctorat

Numéro d'ordre : 2018LYSEI061

Ecole doctorale : EEA  
(Electronique, Electrotechnique, Automatique)

Spécialité : Génie Electrique

#### RESUME :

Le développement de l'énergie renouvelable loin des zones urbaines demande le transport d'une grande quantité d'énergie sur de longues distances. Le transport d'électricité en courant continu haute tension (HVDC) présente beaucoup d'avantages par rapport à celui en courant alternatif. Dans ce contexte il est nécessaire de développer des convertisseurs de puissance constitués par des composants électroniques très haute tension, 10 à 30 kV. Si les composants en silicium ne peuvent pas atteindre ces objectifs, le carbure de silicium (SiC) se positionne comme un matériau semiconducteur alternatif prometteur. Pour supporter des tensions élevées, une région de "drift", relativement large et peu dopée constitue le cœur du composant de puissance. En pratique l'obtention d'une tension de blocage effective dépend de plusieurs facteurs et surtout de la conception d'une terminaison de jonction adaptée. Cette thèse présente une méthode pour améliorer la tenue en tension des composants en SiC basée sur l'utilisation des terminaisons de jonctions : Deep Trench Termination. Cette méthode utilise une tranchée gravée profonde en périphérie du composant, remplie avec un matériau diélectrique pour supporter l'étalement des lignes équipotentielles. La conception de la diode avec cette terminaison a été faite par simulation TCAD, avec deux niveaux de tension 3 et 20 kV. Les travaux ont pris en compte les caractéristiques du matériau, les charges à l'interface de la tranchée et les limites technologiques pour la fabrication. Ce travail a abouti sur la fabrication de démonstrateurs et leur caractérisation pour valider notre conception. Lors de la réalisation de ces structures, la gravure plasma du SiC a été optimisée dans un bâti ICP de manière à obtenir une vitesse de gravure élevée et en conservant une qualité électronique de l'état des surfaces gravées. Cette qualité est confirmée par les résultats de caractérisation obtenus avec des tenues en tension proches de celle idéale.

MOTS-CLÉS : Carbure de silicium, Terminaisons verticales, Deep Trench Termination, Gravure profonde, Simulation Sentaurus.

Laboratoire (s) de recherche : Laboratoire Ampère, INSA de Lyon

Directeur de thèse: Hervé MOREL  
Président de jury : LEFEBVRE, Stéphane

#### Composition du jury :

GHEERAERT, Etienne	Professeur, Institut NEEL, Grenoble	Rapporteur
LEFEBVRE, Stéphane	Professeur, SATIE, Paris	Rapporteur
ISOIRD, Karine	Maitre de conférences, LAAS, Toulouse	Examineur
LAZAR, Mihai	Chargé de recherche CNRS, INSA de Lyon, Villeurbanne	Examineur
AUGE, Jean-Louis	Maitre de conférences, INSA de Lyon, Villeurbanne	Examineur
MOREL, Hervé	Directeur de recherche CNRS, INSA de Lyon	Directeur de thèse