



HAL
open science

Intégration 3D de dispositifs mémoires résistives complémentaires dans le back end of line du CMOS

Marina Labalette

► **To cite this version:**

Marina Labalette. Intégration 3D de dispositifs mémoires résistives complémentaires dans le back end of line du CMOS. Electronique. Université de Lyon; Université de Sherbrooke (Québec, Canada), 2018. Français. NNT : 2018LYSEI037 . tel-02067918

HAL Id: tel-02067918

<https://theses.hal.science/tel-02067918v1>

Submitted on 14 Mar 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



UNIVERSITÉ DE
SHERBROOKE

N°d'ordre NNT : 2018LYSEI037

THESE de DOCTORAT DE L'UNIVERSITE DE LYON

opérée au sein de

L'institut national des sciences appliquées de Lyon

En cotutelle internationale avec

L' Université de Sherbrooke

Ecole Doctorale ED160

Electronique électrotechnique et automatique

**Electronique, Micro et Nano-électronique, Optique et Laser /
Dispositifs microélectroniques :**

Soutenue publiquement le 09/05/2018, par :

Marina Catherine Nathalie Labalette

**Intégration 3D de dispositifs mémoires
résistives complémentaires dans le
back-end-of-line du CMOS**

Devant le jury composé de :

Jean Michel PORTAL	Professeur Université Aix-Marseille	Président du jury et rapporteur
Andreas RUEDIGER	Professeur INRS Varennes	Rapporteur
Barbara DE SALVO	Ingénieure de recherche CEA Grenoble	Examinatrice
Abdelkader SOUIFI	Professeur INSA Lyon	Directeur de thèse
Dominique DROUIN	Professeur Université de Sherbrooke	Co-directeur de thèse
Serge ECOFFEY	Professeur Université de Sherbrooke	Invité
Serge BLONKOWSKI	Ingénieur STMicroelectronics	Invité
Simon JEANNOT	Ingénieur STMicroelectronics	Invité

Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON http://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage secretariat@edchimie-lyon.fr INSA : R. GOURDON	M. Stéphane DANIELE Institut de recherches sur la catalyse et l'environnement de Lyon IRCELYON-UMR 5256 Équipe CDFA 2 Avenue Albert EINSTEIN 69 626 Villeurbanne CEDEX directeur@edchimie-lyon.fr
E.E.A.	ÉLECTRONIQUE, ÉLECTROTECHNIQUE, AUTOMATIQUE http://edeea.ec-lyon.fr Sec. : M.C. HAVGOUDOUKIAN ecole-doctorale.eea@ec-lyon.fr	M. Gérard SCORLETTI École Centrale de Lyon 36 Avenue Guy DE COLLONGUE 69 134 Écully Tél : 04.72.18.60.97 Fax 04.78.43.37.17 gerard.scorletti@ec-lyon.fr
E2M2	ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODÉLISATION http://e2m2.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : H. CHARLES secretariat.e2m2@univ-lyon1.fr	M. Philippe NORMAND UMR 5557 Lab. d'Ecologie Microbienne Université Claude Bernard Lyon 1 Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69 622 Villeurbanne CEDEX philippe.normand@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTÉ http://www.ediss-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : M. LAGARDE secretariat.ediss@univ-lyon1.fr	Mme Emmanuelle CANET-SOULAS INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment IMBL 11 Avenue Jean CAPELLE INSA de Lyon 69 621 Villeurbanne Tél : 04.72.68.49.09 Fax : 04.72.68.49.16 emmanuelle.canet@univ-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHÉMATIQUES http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 Fax : 04.72.43.16.87 infomaths@univ-lyon1.fr	M. Luca ZAMBONI Bât. Braconnier 43 Boulevard du 11 novembre 1918 69 622 Villeurbanne CEDEX Tél : 04.26.23.45.52 zamboni@maths.univ-lyon1.fr
Matériaux	MATÉRIAUX DE LYON http://ed34.universite-lyon.fr Sec. : Marion COMBE Tél : 04.72.43.71.70 Fax : 04.72.43.87.12 Bât. Direction ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIÈRE INSA de Lyon MATEIS - Bât. Saint-Exupéry 7 Avenue Jean CAPELLE 69 621 Villeurbanne CEDEX Tél : 04.72.43.71.70 Fax : 04.72.43.85.28 jean-yves.buffiere@insa-lyon.fr
MEGA	MÉCANIQUE, ÉNERGÉTIQUE, GÉNIE CIVIL, ACOUSTIQUE http://edmega.universite-lyon.fr Sec. : Marion COMBE Tél : 04.72.43.71.70 Fax : 04.72.43.87.12 Bât. Direction mega@insa-lyon.fr	M. Jocelyn BONJOUR INSA de Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69 621 Villeurbanne CEDEX jocelyn.bonjour@insa-lyon.fr
ScSo	ScSo* http://ed483.univ-lyon2.fr Sec. : Viviane POLSINELLI Brigitte DUBOIS INSA : J.Y. TOUSSAINT Tél : 04.78.69.72.76 viviane.polsinelli@univ-lyon2.fr	M. Christian MONTES Université Lyon 2 86 Rue Pasteur 69 365 Lyon CEDEX 07 christian.montes@univ-lyon2.fr

ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique,

Cette thèse est accessible à l'adresse : <http://theses.insa-lyon.fr/publication/2018LYSEI037/these.pdf>

© [MCN. Labalette], [2018], INSA Lyon, tous droits réservés

*À ma famille et mes amis, de sang et de cœur,
ceux qui m'ont toujours soutenue.*

RÉSUMÉ

Les dispositifs mémoires résistives, notamment ceux à base d'oxyde de commutation OxRRAM, se placent parmi les dispositifs mémoires émergentes les plus attractifs pour remplacer les technologies dynamic random access memory (DRAM) et Flash grâce à leur faible coût de fabrication, les faibles tensions et courants nécessaires à leur fonctionnement, ainsi que leur fort potentiel d'intégration dans le back end of line (BEOL) de la technologie complementary metal oxide semiconductor (CMOS). Ce dernier avantage réside dans le fait qu'il s'agit de dispositifs à deux terminaux facilement agencables en matrices crossbar. Cependant de gros problèmes de courant de fuite et de courants parasites entravent l'utilisation de ces matrices crossbar, et différentes options sont alors possibles dont le remplacement des dispositifs mémoires unitaires par des dispositifs mémoires résistives complémentaires (CRS). Les CRS ne sont autres que deux dispositifs oxide random access memory (OxRRAM) mis dos à dos et possèdent dans leur caractéristique électrique globale une non-linéarité intrinsèque pour les deux états de stockage '0' et '1' ainsi qu'un comportement auto-redresseur leur permettant de combiner à la fois les avantages d'un sélecteur et d'un transistor associé au point mémoire.

Cette thèse porte alors sur les travaux de fabrication et caractérisations électriques de dispositifs OxRRAM et CRS sur substrats silicium (Si) et puces CMOS provenant de la technologie C040 de STMicroelectronics. Le procédé *nanodamascène* employé pour fabriquer les dispositifs offre deux avantages majeurs : il ne nécessite aucune étape supplémentaire dans la fabrication de CRS par rapport aux dispositifs OxRRAM et il permet d'envisager une intégration 3D monolithique agressive.

Tout d'abord des caractérisations morphologiques de haute résolution ont permis de valider l'intégrité des dispositifs fabriqués.

Ensuite, une étude étendue des caractérisations électriques en mode quasi-statique (QS) et configuration 1R des dispositifs OxRRAM a permis d'appréhender leur fonctionnement et d'étudier les mécanismes de conduction des différents états : Pristine, low resistance state (LRS) et high resistance state (HRS). Puis, la réalisation et la caractérisation en mode QS et pulsé de configurations 1T1R a permis de démontrer l'avantage du transistor de contrôle pour limiter le courant dans la cellule lors des opérations de FORMAGE et de SET, ce qui augmente considérablement le nombre de cycles tout en vérifiant la compatibilité BEOL du procédé.

Enfin, la preuve de concept du fonctionnement de dispositifs CRS fabriqués en utilisant le procédé *nanodamascène* a été validée, et le potentiel d'intégration de tels dispositifs dans des matrices crossbar hautes densités pour de l'intégration 3D monolithique a été discuté.

Les résultats de cette thèse ont permis d'apporter une preuve de concept de la fabrication de dispositifs CRS en utilisant le procédé *nanodamascène*, d'étudier en détails les caractéristiques des OxRRAM les constituant, et ainsi de pouvoir discuter et positionner la technologie CRS pour le stockage de masse de données dans le paysage actuel des technologies mémoires.

Mots-clés : filière CMOS, mémoires résistives OxRRAM, dispositifs CRS, intégration monolithique BEOL, caractérisations en mode QS et pulsé, architecture mémoire haute densité, configuration 1T1R.

ABSTRACT

Oxide-based resistive random access memories (OxRRAM) are considered as promising candidates to replace dynamic random access memory (DRAM) and Flash technologies. They are low cost to fabricate, they require low current and voltage operations, and are highly scalable into the complementary metal oxide semiconductor (CMOS) back end of line (BEOL). This last advantage, essentially due to the two-terminal device characteristic, is really interesting for high density data storage applications. However *sneak paths* issues need first to be solved to allow the development of these high density memories matrix. The use of complementary resistive switching devices (CRS) at each memory point, consisting in two resistive memories fabricated back-to-back, is proposed as an efficient solution to avoid *sneak paths* currents. CRS electrical characteristic exhibit intrinsic non linearity for the two memory states '0' and '1' along with an internal compliance when each OxRRAM is switching from the low resistance state (LRS) to the high resistance state (HRS). Thus, the CRS solution offers the electrical advantages of both selectors and MOS transistors devices, usually needed in series with an OxRRAM device at the memory point.

This thesis is about the fabrication and the electrical characterization of OxRRAM and CRS devices on silicon (Si) and CMOS substrates. The *nanodamascène* process used to fabricate the devices allows to fabricate OxRRAM and CRS devices with the same number of process steps. It also leads to devices with sub micrometric dimensions (typically $30 \times 80 \text{ nm}^2$) fully buried in an oxide layer, paving the way for further 3D monolithic integration.

In a first time, precise morphological analyses on OxRRAM devices allowed to validate the devices integrity. Electrical characterization in DC and 1R configuration allowed to study the memories devices general behavior and the conduction mechanisms inside the switching junction during the different resistive states: the Pristine (initial state), the low resistive state LRS and the high resistive state HRS.

Then, OxRRAM devices were characterized in 1T1R configuration, using DC and AC measurement. The benefit of using a MOS transistor to accurately control the current inside the junction during the FORMING and SET operations was demonstrated and the devices endurance improved significantly.

Finally the proof of concept of CRS devices fabrication using the *nanodamascène* process was validated through a functional CRS device obtained on Si substrate. The potential of integration of CRS devices inside high density BEOL memory matrix was then discussed and compared to others solutions (1T1R, 1S1R structures).

This thesis results brought the proof of concept of CRS devices fabrication using the *nanodamascène* process, allowed to study into details the characteristics of the constituting OxRRAM junctions and enabled to discuss the advantage and the limits of such an option to solve the *sneak paths* problem for high density BEOL data storage applications.

Keywords : oxide based resistive memories OxRRAM, CRS dispositive, CMOS BEOL, 3D monolithic integration, DC and pulsed electrical characterization, high density of integration, 1T1R configuration.

REMERCIEMENTS

Parce que la thèse n'est pas un long fleuve tranquille, elle s'inscrit dans une histoire, la continuité d'une vie, d'un projet, d'une aspiration personnelle. Je remercie en premier lieu celles et ceux qui ont toujours cru en moi et qui m'auront soutenue, de près ou de loin, par des pensées, des faits ou des gestes.

Merci à Dominique, mon directeur québécois, pour avoir su déceler en moi la fibre de l'étudiante au doctorat et m'avoir retenue sur ce sujet de thèse. Sans lui, l'histoire n'aurait vraiment pas été la même. Merci à Serge E., son fidèle acolyte et conseiller (de bonne augure !), pour son soutien infaillible et sa joie de vivre.

Merci à toute l'équipe nanoélectronique pour son support : Gabriel D. pour tout ce qu'il a pu m'apprendre en début de doctorat, Lucas pour son travail sur les mémoires à base de TiO_2 , Emna pour son travail sur le HfO_2 , Bruno pour ses conseils, ses gravures et ses histoires de « picots dans le fond des tranchées ». Ensuite merci à Kader, mon directeur côté français, pour m'avoir sollicitée et encouragée à faire une thèse CIFRE. Merci à mes stagiaires, Pierre-Vincent, Thomas et Patrick, sans qui je n'aurais jamais réussi à accomplir toutes ces expériences. Merci à Yann pour son fidèle soutien et son aide dans la rédaction de mon premier article de journal.

Un énorme merci à tout le personnel des salles blanches du 3IT à Sherbrooke, spécialement à Caro. Sans vous rien ne serait possible ici ! Merci pour votre sérieux, votre gentillesse, votre serviabilité.

Merci à tout le 3IT, spécialement à Richard son actuel directeur, qui contribue énormément à la bonne humeur et au bon vivre au sein du 3IT. Merci à Chantal, Mélanie et Martine, « les filles » comme on les appelle, pour leur gentillesse et l'ensemble des services qu'elles rendent à la communauté pour faciliter la vie au 3IT.

Merci à Simon, mon encadrant ingénieur docteur chez STMicroelectronics. J'ai vraiment travaillé avec les meilleures personnes qu'il soit ! Merci pour ton écoute, tes conseils, ton intérêt, tes blagues et ton sérieux toujours au top !

Un énorme merci à Serge B. pour sa collaboration, ses conseils, ses explications scientifiques. Merci pour toutes ces heures passées à discuter de ton modèle !

Merci à Damien Deleruyelle qui m'a beaucoup aidée lors de mon second séjour à Lyon lorsque j'ai réalisé grand nombre de caractérisations électriques en température.

Merci à Danielle Gagnée pour son support logistique et administratif.

Merci à Christiane, ma chère hôte et colocataire pendant mes années au Québec. Tu as été ma confidente et mon amie ici.

Merci à mes amies proches, Nina, Célia, Émilie, Lily, Pauline, Marion, Magalie. Vous vous êtes toujours intéressées à mon travail et êtes même venues me voir sur le nouveau continent.

Merci à Thomas pour ses pauses-pomme-café et rigolade.

Merci à Quentin, Pierre, François, Joffrey pour avoir été mes acolytes de Sherbrooke.

Merci à mon compagnon de vie, Robin. Ensemble nous avons commencé une belle aventure, et nous la poursuivons. Merci de croire en moi et de me soutenir comme tu le fais au jour le jour.

Enfin merci à ma famille, à ma magnifique famille : ma sœur, mon frère, mes parents, mes grands-parents. C'est grâce à vous que j'en suis là. Vous êtes merveilleux et je suis tellement chanceuse de vous avoir.

Merci à ma petite étoile...

TABLE DES MATIÈRES

CHAPITRE 1	Introduction	1
1.1	Mise en contexte	1
1.2	Problématique	2
1.3	Question de recherche	2
1.4	Hypothèse	2
1.5	Objectifs	2
1.6	Plan du document	3
CHAPITRE 2	État de l'art de la technologie mémoire résistive	5
2.1	Technologies mémoires émergentes	5
2.1.1	Contexte général des technologies mémoires.....	5
2.1.2	Principe de fonctionnement des technologies mémoires émergentes	7
2.1.3	Produits commerciaux des technologies mémoires émergentes	10
2.2	La technologie mémoire résistive	12
2.2.1	Principe de fonctionnement des CBRAM	13
2.2.2	Principe de fonctionnement des OxRRAM	14
2.3	Intérêt et principe de fonctionnement des dispositifs CRS.....	16
2.3.1	Matrices crossbars	16
2.3.2	Dispositifs mémoires résistives complémentaires CRS	19
2.4	Conclusion chapitre 2 et positionnement du sujet de thèse.....	20
CHAPITRE 3	Conception, fabrication et caractérisations morphologiques de mémoires résistives planaires	22
3.1	Fabrication de dispositifs OxRRAM et CRS	22
3.1.1	Fabrication des jonctions résistives.....	22
3.2	Connexion des jonctions résistives.....	24
3.3	Intégration 3D monolithique.....	27
3.3.1	Description des substrats CMOS utilisés.....	28
3.3.2	Procédé d'interconnexion pour les structures 1T1R	29
3.4	Caractérisations morphologiques de dispositifs OxRRAM	30
3.5	Conclusion chapitre 3.....	32
CHAPITRE 4	Caractérisations électriques de dispositifs OxRRAM fabriqués sur substrat Si	34
4.1	Évaluation des résistances d'accès.....	34
4.2	Caractérisations électriques à température ambiante	34
4.2.1	Opération d'électroformage.....	35
4.2.2	Commutations résistives	40
4.3	Études des mécanismes de conduction pour les états vierges, HRS et LRS	46
4.3.1	Étude de l'état Pristine	49
4.3.2	Étude de l'état LRS	52
4.3.3	Étude de l'état HRS.....	53
4.3.4	Conclusion de l'étude des mécanismes de conduction.....	55
4.4	Modélisation et simulation des dispositifs OxRRAM.....	55
4.4.1	Description du modèle	56

4.4.2 Application du modèle à <i>nanofil métallique</i>	59
4.5 Conclusion chapitre 4	61

CHAPITRE 5 Caractérisations électriques de dispositifs OxRRAM fabriqués sur substrats CMOS 63

5.1 Validation du procédé d'intégration.....	63
5.1.1 Vérification de la connexion entre les pads de cuivre et les pads de caractérisations électriques Ti/Al.....	63
5.1.2 Vérification du comportement des transistors MOS.....	64
5.2 Caractérisations électriques en configuration 1R et mode QS.....	65
5.2.1 Impact de la résistance des chemins d'amenées de courant	65
5.2.2 Défaillance de l'état HRS	68
5.2.3 Simulation des phénomènes de SET et RESET	70
5.3 Caractérisations électriques en configuration 1T1R et mode QS	70
5.3.1 Influence du transistor lors de l'électroformage et du SET	72
5.4 Caractérisations électriques en configuration 1T1R et mode pulsé	75
5.4.1 Contexte des mesures.....	75
5.4.2 Opérations de SET et RESET.....	76
5.5 Conclusion chapitre 5	78

CHAPITRE 6 Dispositifs à commutations résistives complémentaires 80

6.1 Caractérisations électriques et simulations.....	80
6.1.1 Caractérisations électriques de dispositifs CRS.....	80
6.1.2 Simulation du comportement d'un dispositif CRS lors de l'application d'un balayage de tension	83
6.2 Intégration de dispositifs CRS dans un procédé de fabrication BEOL	86
6.2.1 Avantages, inconvénients et limites des structures CRS.....	86
6.2.2 Amélioration de nos structures de mémoires	89
6.2.3 Proposition d'un design de CRS en contexte industriel.....	90
6.3 Conclusion chapitre 6	95

CHAPITRE 7 Conclusion 97

7.1 Conclusions générales	97
7.2 Perspectives	99

REFERENCES..... 101

ANNEXE A Procédé de fabrication détaillé de dispositifs OxRRAM et CRS planaires 106

ANNEXE B Analyse STEM EDX de la surface d'arrêt de la gravure SiN sur les électrodes nanométriques de Ti..... 112

ANNEXE C Évaluation de la profondeur résiduelle des tranchées après CMP 115

ANNEXE D	Schéma du montage de caractérisation électrique en configuration 1T1R et mode pulsé	117
ANNEXE E	Principe du calcul de la capacité parallèle du Keithley lors des mesures pulsées 1T1R	117
ANNEXE F	Principe de l'électroformage d'une CRS sans laisser de potentiel flottant	119
ANNEXE G	Dispositifs complementary switching (CS)	120

LISTE DES FIGURES

Figure 2-1	Schéma simplifié de la structure d'un microcontrôleur. Le processeur communique avec les parties mémoires via des bus de données et sa cadence de fonctionnement est dictée par l'horloge interne (fréquence de l'ordre du GHz).....	5
Figure 2-2	(a) Hiérarchie mémoire standard des systèmes de calcul actuels. Les instructions sont données par l'unité logique et arithmétique (ULA) et le processeur (central processeur unit CPU) qui utilisent les registres et les mémoires caches afin d'accélérer les opérations. La DRAM constitue la mémoire centrale de l'architecture et les données non volatiles sont stockées dans les disques durs (HDD ou SSD). (b) Schématisation des structures des cellules de base des technologies DRAM, SRAM et Flash [7][2].	6
Figure 2-3	(a) Cellule de base de la technologie MRAM (b) Cellule de base de la technologie STT-RAM [2].	8
Figure 2-4	(a) Cellule de base de la technologie FeRAM (b) Cellule de base de la technologie PCRAM [2].	9
Figure 2-5	Cellule de base de la technologie RRAM.	9
Figure 2-6	Photo et cross section d'un produit CBRAM de Adesto Technology.[19]	10
Figure 2-7	Produit OxRRAM commercialisé par la société Crossbar. [20]	11
Figure 2-8	Illustration de la technologie 3D XPoint™ de Intel/Micron et photo d'un produit Optane 16 Go vendu au prix de 60 euros sur internet [21].	11
Figure 2-9	Produits MRAM et STT-MRAM des sociétés Everspin et Globalfoundries [22] [23].	12
Figure 2-10	Cross section d'un produit OxRRAM de Panasonic.	12
Figure 2-11	Principe de fonctionnement de la CBRAM basé sur l'oxydoréduction d'espèces métalliques issues de l'électrode active supérieure.	13
Figure 2-12	(a) Schéma de la structure d'une cellule OxRRAM unipolaire. Lors du phénomène de RESET les lacunes d'oxygènes formant le filament conducteur diffusent sous l'effet de la température. (b) Schéma de la caractéristique électrique I-V classique d'une cellule OxRRAM unipolaire.	14
Figure 2-13	(a) Schéma de la structure d'une cellule OxRRAM bipolaire. Les phénomènes de création de paires anion-lacune d'oxygène et migration des anions sous champ électrique sont représentés lors des phénomènes de SET et RESET. (b) Schéma de la caractéristique électrique I-V classique d'une cellule OxRRAM bipolaire.....	15
Figure 2-14	(a) Schéma d'une matrice de cellules NOR Flash. (b) Schéma d'une matrice de cellules mémoires résistives. Le chemin du courant correspondant à la cellule sélectionnée est représenté par une ligne rouge tandis qu'un des chemins de courant de fuite possible est représenté par une ligne en pointillés bleus [48].	16
Figure 2-15	Schémas (a) d'une structure 3D crossbar (b) d'une structure VRRAM. (c) Comparaison du nombre de masques de lithographie nécessaires en fonction du nombre de couches pour des architectures mémoires crossbar et VRRAM [51].	17

- Figure 2-16 (a) Schéma de la cellule de base d'un dispositif CRS constitué de deux dispositifs ReRAM dos à dos. (b) Caractéristique I-V d'un dispositif CRS. (c) Table de polarité des tensions de SET et RESET des dispositifs ReRAM 1 et ReRAM 2 constituant la CRS sachant que la tension est appliquée sur l'électrode passive de la ReRAM 1. (d) Table répertoriant les différentes commutations résistives au sein des dispositifs ReRAM 1 et ReRAM 2 lors de l'application d'une rampe de tension telle que décrite en (b)..... 20
- Figure 3-1 (a) Schéma d'un dispositif CRS fabriqué en utilisant le procédé *nanodamascène*. (b) Schéma d'un dispositif CRS fabriqué par une approche classique d'empilement de matériaux..... 22
- Figure 3-2 Principales étapes du procédé *nanodamascène* pour la fabrication de jonctions résistives Ti/HfO_x/TiN/Ti planaires accompagnées d'observations au SEM et l'AFM..... 24
- Figure 3-3 Image sous Layout editor d'une zone du masque de photolithographie 1.25
- Figure 3-4 Schéma (vue en coupe) et observations SEM (vues de dessus) de dispositifs OxRRAM et CRS..... 26
- Figure 3-5 (a) Schéma (vue en coupe) de la connexion entre les pads de caractérisation et les électrodes nanométriques des dispositifs. (b) Image optique (vue de dessus) du soulèvement métallique des pads de caractérisation électrique. (c) Images AFM (vue de dessus) de dispositifs OxRRAM et CRS fabriqués au centre de la cellule entourée par les pads de caractérisation électrique de (b). 27
- Figure 3-6 Schéma 3D simplifié d'un dispositif CRS dont une des deux OxRRAM le constituant est interconnectée à un transistor MOS en fin de procédé *nanodamascène*..... 28
- Figure 3-7 Vue 3D schématique d'un substrat issu des plaques 300 mm de diamètre provenant de STMicroelectronics et utilisées pour la fabrication de dispositifs. 29
- Figure 3-8 Schémas (vues en coupes) des étapes d'interconnexion et de reprise de contact sur les pads de cuivre des transistors MOS. Le schéma électrique équivalent de la structure 1T1R finale est donné dans le cadre en ligne pointillée bleu. 30
- Figure 3-9 Observations STEM de deux dispositifs OxRRAM fabriqués à 1 an d'intervalle. Les coupes sont réalisées perpendiculaires à la jonction de commutation (la jonction est selon l'axe y, perpendiculaire au plan xz de la coupe). 31
- Figure 3-10 Analyses STEM-EDX des coupes de des deux échantillons de la figure 3-9. La présence de l'élément azote hors de la couche de TiN et de SiN est un artéfact de la mesure 32
- Figure 4-1 Courbe I-V d'un électroformage sur un dispositif OxRRAM Ti/HfO_x/TiN/Ti. La limite de courant est programmée à 100 nA dans l'appareil de mesure mais atteint environ 200 µA en réalité. 36
- Figure 4-2 (a-1) La valeur de la tension d'électroformage est plus faible lors de l'application de la tension sur l'électrode active de l'empilement mémoire. (a-2) La direction de la force du gradient de concentration des atomes de Ti est indépendante de la direction du champ électrique au sein de la

structure. (b) Représentations schématiques du cas idéal et du cas réel des hauteurs de barrières à l'état initial (Pristine) de la jonction de commutation pour l'empilement Ti/HfO_x/TiN considéré dans ces travaux.

- 37
- Figure 4-3 Courbes de dispersion des champs de claquage (d'électroformage) dans une échelle de type Weibull pour les dispositifs Ti/HfO_x/TiN/Ti des lots A, B, C et D fabriqués sur substrats Si. 39
- Figure 4-4 (a) Observation STEM d'une jonction d'un dispositif du lot A-1 caractérisé électriquement sans passivation de la jonction. Le claquage du diélectrique HfO_x provoque un gonflement de la jonction. (b) Cartographie chimique STEM-EDX de cette même jonction résistive révélant une grande quantité d'oxygène dans le gonflement de la jonction après claquage. 41
- Figure 4-5 Courbes I-V représentant le comportement des commutations résistives d'un dispositif de chaque lot A, B et C. Les échelles en courant et tension sont identiques afin de faciliter la comparaison..... 43
- Figure 4-6 Analyses STEM et STEM EDX d'une jonction d'un dispositif mémoire Ti/HfO_x/TiN/Ti du lot D. La profondeur de la tranchée résiduelle est de 26 nm (10 nm plus faible que ce qui est généralement obtenu) après CMP et la totalité du Ti de l'électrode passive TiN/Ti est oxydée..... 44
- Figure 4-7 (a) Test d'endurance pour un dispositif du lot C. La défaillance dans l'état HRS apparaît dès 50 cycles. (b) Test de CVS pour les états LRS et HRS à V=+100 mV pour le même dispositif du lot C pendant 35 min à température ambiante. 45
- Figure 4-8 Illustration des différents mécanismes de conduction Schottky, Fowler Nordheim (FN), Trap Assisted Tunneling (TAT) et Poole-Frenkel (PF) dans une structure MIM. ϕ_b est la hauteur de barrière entre le métal et le diélectrique, ϕ_p est l'énergie des pièges dans le diélectrique et a_p la distance moyenne inter pièges..... 48
- Figure 4-9 Courbes I-V d'un dispositif OxRRAM issu du lot D. Les mesures sont réalisées à 300 K, 320 K, 340 K, 360 K, 170 K et 130 K. L'ordre d'énumération des températures correspond est celui suivi pour les mesures. L'encart interne montre la courbe d'Arrhenius à $V \pm 0.4$ V. ... 49
- Figure 4-10 (a) (b) Mesure de la densité de courant J en fonction du champ électrique E appliqué au sein d'un dispositif OxRRAM D-2 issu du lot D. Les mesures sont réalisées à 77 K, 160 K, 300 K, 350 K et 390 K. La valeur de la densité de courant pour un champ de 0.8 MV/cm à 300 K est de 0.3 A/cm²..... 50
- Figure 4-11 Courbes caractéristiques de différents modes de conduction pour l'échantillon D-3 du lot D à l'état Pristine tracées à partir des mesures I-V en température de la figure 4-10 (a) Courbe $\ln J \propto E$ caractéristique de la conduction de type Schottky (b) Courbe $\ln (J/E^2) \propto 1/E$ caractéristique de la conduction de type FN (c) Courbe $\ln (J/E) \propto E$ caractéristique de la conduction de type PF (d) Courbe $\ln (J) \propto E$ caractéristique de la conduction de type TAT (e) Tableau répertoriant les grandeurs physiques pouvant être extraites à partir des coefficients directeurs et ordonnées à l'origine des différents graphes (a) (b) (c) et (d). En rouge sont les valeurs physiquement insensées..... 51

- Figure 4-12 Courbe I-V de l'état LRS pour un échantillon du lot D mesuré à cinq températures différentes : 77 K, 160 K, 300 K, 350 K and 390 K. 52
- Figure 4-13 Courbes I-V d'un échantillon du lot D pour différentes température (300 K, 350 K et 390 K) en état HRS. La figure (a-1) est en échelle de courant linéaire, la figure (a-2) en échelle de courant logarithmique. 53
- Figure 4-14 Courbes caractéristiques de différents modes de conduction pour l'échantillon D-4 du lot D à l'état HRS tracées à partir des mesures I-V en température de la figure 4-13 (a) Courbe $\ln J \propto E$ caractéristique de la conduction de type Schottky (b) Courbe $\ln (J/E^2) \propto 1/E$ caractéristique de la conduction de type FN (c) Courbe $\ln (J/E) \propto E$ caractéristique de la conduction de type PF (d) Courbe $\ln (J) \propto E$ caractéristique de la conduction de type TAT (e) Tableau répertoriant les grandeurs physiques pouvant être extraites à partir des coefficients directeurs et ordonnées à l'origine des différents graphes (a) (b) (c) et (d). En rouge sont les valeurs sans aucun sens physique. 54
- Figure 4-15 (a) Schéma de l'empilement OxRRAM bipolaire de type Ti/HfO_x/TiN considéré pour la modélisation des mécanismes de commutations résistives par le modèle à *nanofil métallique* de l'équipe de S. Blonkowski. [6] On considère un filament de conduction métallique traversant l'oxyde d'épaisseur tox et de section maximal S_0 . Ce filament contient une zone de constriction de section maximale S_c proche de l'électrode inférieure passive (à une distance $tox - zc$). Les atomes peuvent transférer entre les zones 1 et 2. (b) La section de la zone de constriction $S(t)$ évolue dans le temps lors de l'application d'une tension sur l'électrode active (supérieure) et est proportionnelle au nombre d'atomes dans la constriction. (c) Les énergies potentielles V_1 et V_2 sont respectivement associées aux zones 1 et 2 et on considère les taux de transfert k_1 et k_2 d'une zone à l'autre. 57
- Figure 4-16 (a) Lors de l'opération de RESET une tension négative est appliquée sur l'électrode supérieure en Ti et la force électromigratoire locale qui a tendance à remplir la zone de constriction contrebalance l'effet Joule ce qui rend le RESET plus progressif. (b) lors de l'opération de SET une tension positive est appliquée sur l'électrode active. Dès qu'un atome comble le gap de la constriction il y a un emballement thermique avec l'effet Joule prédominant ce qui induit une augmentation brutale de la section $S(t)$ qui ne sera limitée qu'avec une compliance en courant I_c . 59
- Figure 4-17 Données expérimentales et application du modèle à *nanofil métallique* de S. Blonkowski et *al.* pour des dispositifs OxRRAM : (a) Ti/HfO_x(6 nm mesurés)/TiN de ce travail de thèse (b) Ti/HfO_x(5 nm)/TiN utilisé pour le développement du modèle [6]. (c) Tableau des différents paramètres physiques du modèle ajustés pour décrire les résultats expérimentaux dans le cas de ce travail de thèse et dans le cas des travaux de S. Blonkowski et *al.* 60
- Figure 5-1 (a) Structures de type « daisy chains » à trois contacts fabriquées sur les substrats CMOS en même temps que les dispositifs mémoires. (b) Résultats des caractérisations électriques de ces « daisy chains ». La

	résistance totale entre les contacts 1 et 3 est autour de 7Ω indiquant un bon contact tout le long de l'interconnexion.	64
Figure 5-2	(a-1) I_d-V_d des six transistors MOS utilisés pour fabriquer des structures 1T1R pour V_d entre 0 et 5 V (pas de 0.01 V) et V_g de 1 à 5 V (pas de 1 V). (a-2) Longueurs et largeurs des grilles de ces six transistors MOS chacun interconnecté à un dispositif OxRRAM. (b) I_d-V_d de deux transistors MOS identiques provenant de deux barrettes de transistors MOS différentes, dont l'une a subi le procédé <i>nanodamascène</i> pour fabriquer des dispositifs mémoires mais pas l'autre.	65
Figure 5-3	(a) Caractérisations électriques I-V en configuration 1R pour des dispositifs du lot B fabriqués sur substrat de Si et des dispositifs du lot E fabriqués sur substrat CMOS. On note les valeurs similaires de courants et tensions de SET et RESET. (b-1) Courbes $VO_{xRRAM} = VTOT$ issues des valeurs des courbes I-V en (a) pour un cycle d'un dispositif sur Si et d'un dispositif sur CMOS. Lors du RESET la tension $VTOT$ est entièrement transférée aux bornes du gap entre les deux brins du filament de conduction distants de d . (b-3) Schéma électrique équivalent lors d'une mesure 1R de dispositifs OxRRAM représentant la $R_{série}$ amenée notamment par les chemins d'amenées de courant.	67
Figure 5-4	(a) Représentation de la CDF des résistances des états LRS et HRS pour 30 cycles du dispositif mémoire E-1 Ti/HfO _x /TiN/Ti issu du lot E fabriqué sur substrat CMOS. L'état HRS est toujours plus dispersé que l'état LRS. L'encart montre la CDF dans une échelle log normale inverse (l'abscisse est en échelle log). (b) Schéma électrique équivalent lors d'une mesure 1R de dispositifs OxRRAM. (c-1) Courbe $I = f(VTOT)$ représentant la défaillance de l'état HRS survenant tout de suite après le RESET du cycle 8 pour le dispositif E-2 du lot E. (c-2) Courbe $V_{junction} = f(VTOT)$ pour le même dispositif E-2 lors de la défaillance de l'état HRS.	69
Figure 5-5	Données expérimentales et application du modèle de S. Blonkowski pour le dispositif E-1 du lot B. Le modèle décrit bien le comportement I-V.	70
Figure 5-6	(a) Schéma électrique équivalent lors des caractérisations électriques en mode QS et configuration 1T1R des dispositifs OxRRAM du lot F fabriqués sur substrat CMOS. (b) Courbes I-V obtenues pour un dispositif F-1 représentatif du lot F. Les valeurs de I_{RESET} , V_{SET} et V_{RESET} sont très proches de ce qui a été obtenu pour le lot E sur substrat CMOS mais en caractérisation 1R. (c) Tableau indiquant les polarités des tensions utilisées pour les opérations d'électroformage, de SET et de RESET... ..	71
Figure 5-7	(a) La courbe I_d-V_g d'un transistor permet de connaître le courant maximal pouvant le traverser à un V_d et un V_g donnés. Dans cet exemple $V_d = 2 V$. (b) Représentation schématique de la répartition des tensions lors de l'opération de SET sur une courbe I_d-V_d	73
Figure 5-8	(a) Répartition des tensions $VMOS$, $VR_{série}$, $VO_{xRRAM} = f(VTOT)$ pendant l'opération d'électroformage pour un dispositif F-2 du lot F en structure 1T1R avec $V_g = 0.9 V$. (b) Courbe I_d-V_d pour le MOS 1 interconnecté au dispositif F-2 avec le même $V_g = 0.9 V$ que celui utilisé pour l'opération d'électroformage en (a).	74

- Figure 5-9 (a) $GON = f(I_c \text{ formage})$ lors de l'opération d'électroformage pour plusieurs dispositifs OxRRAM du lot F caractérisés en mode 1T1R. (b) $IRESET = f(I_c SET)$ lors des cycles de commutations résistives pour plusieurs dispositifs OxRRAM du lot F caractérisés en mode 1T1R..... 75
- Figure 5-10 (a) Courbe I-t et V-t d'une opération de SET pour un dispositif OxRRAM F-3 du lot F testé en configuration 1T1R et mode pulsé. L'impulsion appliquée pour le SET est de 1.5 V et 10 μ s. On observe un signal parasite lors de la montée et de la descente de l'impulsion. (b) Courbe I-t et V-t issue de (a) à laquelle on a soustrait le signal parasite. (c) Zoom sur la zone de la courbe (b) correspondant au changement de pente du courant dans le temps de montée de l'impulsion en tension. (d) Courbe R-t et V-t correspondant à la courbe (c). On note que la résistance commence à diminuer autour de 1 V. 77
- Figure 5-11 (a) Courbe I-t et V-t d'une opération de RESET pour un dispositif OxRRAM F-4 du lot F testé en configuration 1T1R et mode pulsé. L'impulsion appliquée pour le RESET est de 3.2 V et 10 μ s. On observe un signal parasite lors de la montée et de la descente de l'impulsion. (b) Courbe I-t et V-t issue de (a) à laquelle on a soustrait le signal parasite. (c) Zoom sur la zone de la courbe (b) correspondant au changement de pente du courant dans la stabilisation du plateau de l'impulsion en tension. (d) Courbe R-t et V-t correspondant à la courbe (c). On note que la résistance commence à augmenter environ 4 μ s après que la tension de 3.2 V est atteinte. 78
- Figure 6-1 (a) Courbe I-V d'un dispositif CRS Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti du lot B. (b) Table des valeurs des tensions V_{th1} , V_{th2} , V_{th3} et V_{th4} correspondant aux phénomènes de SET et de RESET des deux OxRRAM lors de l'application d'une rampe de tension sur l'électrode supérieure (l'électrode passive de l'OxRRAM 1). (c) Table des différents états possibles pour le dispositif CRS. (d) Schématisation de la configuration interne des OxRRAM au sein du dispositif CRS global pendant l'application du balayage en tension. 81
- Figure 6-2 (a) Répartition des tensions aux bornes des OxRRAM 1 et 2 lors du SET de l'OxRRAM 2 à $V_{Appl} = V_{th1}$. (b) Répartition des tensions aux bornes des OxRRAM 1 et 2 lors du RESET de l'OxRRAM 1 à $V_{Appl} = V_{th2}$ 82
- Figure 6-3 (a) Représentation schématique des quatre états théoriquement possibles pour un dispositif CRS. Les variables P et Q représentent les probabilités d'occupation de la zone de contention et valent 0 lorsque le filament est rompu et 1 lorsqu'il est continu. L'état (4) correspondant à P=Q=0 est numériquement impossible et expérimentalement jamais observé. (b) Table répertoriant les différents états possibles pour un dispositif CRS. (c) Courbe du courant I en fonction de la tension V_{appl} appliquée aux bornes de l'ensemble CRS + $R_{série}$ issue de la simulation du comportement d'un dispositif CRS lors de l'application d'une rampe de tension et en utilisant le modèle à *nanofil métallique* [6]. Les données sont tracées pour deux valeurs de $R_{série}$: 50 Ω (trait rouge) et 5 k Ω (trait bleu). 85
- Figure 6-4 (a) Courbe du courant I en fonction de la tension V_{appl} appliquée aux bornes de l'ensemble CRS + $R_{série}$ obtenue expérimentalement sur un

dispositif Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti du lot B fabriqué sur substrat Si. (b) Le modèle à *nanofil métallique* de S. Blonkowski et *al.* est utilisé pour reproduire le comportement du courant en fonction de la tension appliquée aux bornes du même dispositif CRS du lot B. La courbe d'ajustement reproduit fidèlement la courbe obtenue expérimentalement en utilisant une *R*_{série} de 5.5 kΩ ce qui est très proche des 6 kΩ que l'on avait précédemment évalué pour les échantillons du lot B. 86

Figure 6-5 Schéma d'un produit industriel contenant de la mémoire embarquée..... 87

Figure 6-6 Amélioration du design actuel pour diminuer la résistance série apportée par les électrodes..... 90

Figure 6-7 Schéma de l'empilement des puces CMOS arrêtée après le premier niveau de métallisation Métal 1. 91

Figure 6-8 Densité théorique d'une bitcell de CRS fabriquée dans le BEOL en s'inspirant du procédé *nanodamascène* de ce travail de thèse..... 93

LISTE DES TABLEAUX

Tableau 2-1	Tableau comparatif des caractéristiques principales des technologies mémoires émergentes MRAM, STT-RAM, FeRAM, PCRAM et RRAM [2][18].	10
Tableau 4-1	Tableau répertoriant les valeurs de tension et champs d'électroformages pour les lots de dispositifs A, B et D d'épaisseurs de jonctions HfO _x de 10, 6 et 7 nm.	38
Tableau 4-2	Tableau regroupant les tensions d'électroformage et les performances de cyclage des dispositifs du lot A dont seuls ceux issus de l'échantillon A-2 ont été passivés.	40
Tableau 4-3	Tableau regroupant les performances de caractérisations électriques des dispositifs des lot A, B et C ayant respectivement une épaisseur d'oxyde de commutation mesurée de 10, 6 et 9 nm.	42
Tableau 4-4	Tableau regroupant les performances électriques pour les trois lots B, C et D ayant des résistances de chemins d'amenées de courant différentes.	44
Tableau 5-1	Tableau répertoriant les principales caractéristiques obtenues lors des caractérisations électriques sur le lot B des dispositifs fabriqués sur substrat Si et le lot E de dispositifs fabriqués sur substrat CMOS. Les valeurs notables pour le lot E sont écrites en vert.	66
Tableau 5-2	Tableau répertoriant les principales caractéristiques obtenues lors des caractérisations électriques sur les lots E et F des dispositifs fabriqués sur substrat CMOS et caractérisés respectivement en configuration 1R et 1T1R. Les valeurs notables pour le lot F sont écrites en vert.	72
Tableau 6-1	Tableau comparatif des différentes solutions pour l'adressage des dispositifs mémoires OxRRAM au sein de matrices haute densité de stockage.	88
Tableau 6-2	Proposition d'un procédé de fabrication qui permettrait d'intégrer des dispositifs CRS dans le BEOL d'un substrat CMOS en s'inspirant du procédé <i>nanodamascène</i> utilisé pour ce travail de thèse.	92
Tableau 6-3	Proposition d'un procédé de fabrication qui permettrait d'intégrer des dispositifs CRS dans le BEOL d'un substrat CMOS en s'inspirant du procédé classique d'empilement des couches de matériaux.	95

LISTE DES ACRONYMES

Acronyme	Définition
AFM	<i>Atomic Force Microscope</i> - Microscope à force atomique
ALD	<i>Atomic Layer deposition</i> - Déposition par couche atomique
AOE	<i>Advanced Oxide Etching</i> - Procédé de gravure plasma avec un réacteur ICP

BEOL	<i>Back End Of Line</i> - Étapes technologiques de réalisation des interconnexions des puces CMOS
CDF	<i>Cumulative Distribution Function</i> - Fonction de distribution cumulative utilisée dans la représentation de lois statistiques
CMOS	<i>Complementary Metal Oxide Semiconductor</i> - Technologie associant un transistor nMOS avec un pMOS
CMP	<i>Chemical Mechanical Planarization</i> - Polissage chimico-mécanique
CVS	<i>Constant Voltage Stress</i> - Application d'une tension continue pour stresser un dispositif et le faire vieillir
EBL	<i>Electron Beam Lithography</i> - Lithographie par faisceau d'électrons
EFTEM	<i>Energy Filtered Transmission Electron Microscopy</i> - Microscopie électronique à transmission à énergie filtrée
FEOL	<i>Front End Of Line</i> - Unité de fabrication initiale
FN	<i>Fowler Nordheim</i> - Type de courant de conduction dans un oxyde
MEOL	<i>Middle End Of Line</i> - Unité de fabrication entre le FEOL et le BEOL
MIM	<i>Metal-Insulator-Metal</i> - Capacité de type Métal-Isolant-Métal
NA	<i>Non Applicable</i> - Utilisé pour spécifier qu'un calcul ou qu'une conclusion ne peut être appliqué dans ce cas particulier
PECVD	<i>Plasma Enhanced Chemical Vapor Deposition</i> - Dépôt chimique en phase vapeur assisté par plasma
PF	<i>Poole Frenkel</i> - Type de courant de conduction dans un oxyde
PMD	<i>Pre Metal Dielectric</i> - Dielectrique déposé à la fin du FEOL, juste avant le premier niveau de métallisation M1
PSI	<i>Programmation de SET Involontaire</i> - Phénomène qui engendre un SET juste après que le RESET se soit produit.
QS	<i>Quasi Statique</i> - Mode de caractérisation électrique en courant continu
RIE	<i>Reactive Ion Etching</i> - Gravure ionique réactive
RRAM	<i>Resistive Random Access Memory</i> - Composants mémoires dont le fonctionnement est basé sur un changement de résistance électrique
SCM	<i>Storage Class Memory</i> - Composants mémoires dédiés à du stockage de données haute densité
SEM	<i>Scanning Electron Microscopy</i> - Microscope électronique à balayage
STEM-	<i>Scanning Transmission Electron Microscopy energy dispersive X-ray</i>
EDX	Spectroscopie à rayons X à dispersion d'énergie par imagerie TEM
TAT	<i>Trap Assisted Tunneling</i> - Courant de conduction assisté par pièges dans un oxyde
TEM	<i>Transmission Electron Microscopy</i> - Microscope électronique à transmission
TEOS	<i>Tetraethyl Orthosilicate</i> - Oxyde de protection employé dans la microélectronique (très similaire au SiO ₂)
Via	<i>Vertical Interconnect Access</i> - Interconnexion électrique verticale

CHAPITRE 1 Introduction

1.1 Mise en contexte

Depuis l'émergence de la filière CMOS dans les années 1960, l'industrie de la microélectronique évolue constamment cherchant à rester attractive sur le marché des particuliers et des entreprises. La taille des transistors a drastiquement diminué afin d'en augmenter la densité sur une puce et ainsi la puissance de calcul. Cette augmentation, prédite par le cofondateur d'Intel Gordon Moore en 1965 [1], a engendré de nombreux défis comme le besoin de dissiper des fortes densités de chaleurs et se trouve limitée aujourd'hui à la fois par les outils et procédés technologiques et par des phénomènes physiques devenant prépondérant lorsque des petites dimensions sont considérées (phénomènes quantiques).

Pour accompagner et suivre la tendance à cette miniaturisation et à l'augmentation de la puissance de calcul des processeurs les composants mémoires, faisant partie des éléments les plus importants dans les ordinateurs et autres dispositifs électroniques de masse, doivent également évoluer. Le domaine des technologies mémoires émergentes prend alors de l'ampleur [2]. Parmi les nouvelles technologies mémoires, la technologie mémoire résistive à base d'oxyde de commutation est très intéressante pour certaines applications, en particulier pour le stockage de masse de données. Dans cette technologie, le dispositif mémoire OxRRAM est constitué d'une couche d'oxyde de quelques nanomètres déposée entre deux électrodes métalliques et pouvant présenter deux états non volatiles dépendamment de la tension appliquée à ses bornes : l'état hautement résistif ou HRS et l'état faiblement résistif ou LRS.

Les OxRRAM combinent de nombreux avantages : leur effet mémoire est non volatile, elles sont relativement faciles et peu coûteuses à fabriquer, faiblement énergivores (tensions et courants de fonctionnement respectivement de l'ordre du volt et du micro-ampère) et leur technologie est compatible avec le BEOL de la filière CMOS [3]. Le BEOL comprend les interconnexions métalliques (lignes horizontales et verticales appelées VIA pour vertical interconnection access) des composants actifs (transistors, diodes) fabriqués en première partie de procédé appelé front end of line (FEOL). Si des fonctionnalités sont ajoutées comme une fonction détection ou mémoire supplémentaire, un budget thermique inférieur à 450 °C doit alors être respecté afin de ne pas détériorer les performances des transistors FEOL. Les dispositifs OxRRAM étant compatibles BEOL ils pourraient être fabriqués directement sur le même substrat que la partie logique des puces CMOS, au-dessus des transistors par exemple, en envisageant une approche 3D monolithique.

Ensuite, la technologie mémoire résistive possède un fort potentiel d'intégration grâce à la faible taille des cellules OxRRAM (de l'ordre de la dizaine de nm² pour les plus petites) et à ses deux terminaux. Les dispositifs peuvent alors être agencés en matrice à deux terminaux contrairement aux matrices actuelles possédant trois terminaux. En effet, toute technologie mémoire standard actuelle (SRAM, direct RAM (DRAM), Flash, etc) se présente sous forme d'une matrice dont les trois électrodes correspondant aux trois connexions (drain, grille, source) d'un transistor MOS permettent l'adressage du ou des points mémoires désirés. Ainsi l'utilisation d'une technologie mémoire résistive dont le dispositif de base n'a que deux terminaux

permettrait de réaliser des matrices carrées de densité d'intégration supérieure aux matrices actuelles.

1.2 Problématique

La technologie mémoire résistive est une alternative attrayante pour le stockage de masse de données par rapport aux technologies mémoires actuelles. Cependant, lorsqu'agencées en matrices carrées, l'adressage des cellules est perturbé par les courants de fuite le long des lignes des cellules à moitié sélectionnées et non sélectionnées. Pour réduire ces courants de fuite l'association d'un transistor en série à chaque point mémoire de la matrice est très efficace mais le potentiel d'intégration et de réduction de taille de la cellule unitaire se voit alors compromis car trois terminaux sont de nouveaux nécessaires à l'adressage du réseau matriciel de mémoires. De plus, en utilisant des dispositifs dans le FEOL, cette configuration monopolise de la surface sur le substrat Si qui ne peut plus être utilisée pour d'autres fonctions. Deux autres catégories de solutions pour réduire ces courants de fuite existent : la première consiste à associer un élément redresseur à deux terminaux en série avec le point mémoire résistive (diode, sélecteur), mais cette solution nécessite toujours un dispositif limiteur en courant. La seconde consiste à remplacer directement le point mémoire résistive par un point mémoire présentant intrinsèquement à la fois une non-linéarité pour l'état de faible résistance et une aptitude à « s'auto-limiter ». Dans ce dernier cas il s'agit de dispositifs que l'on appelle mémoires résistives complémentaires ou CRS, c'est cette voie qui sera explorée ici.

1.3 Question de recherche

Proposer une filière technologique qui permet de fabriquer des dispositifs OxRRAM et CRS en visant des dimensions agressives et de les étudier en détail afin d'évaluer le potentiel d'intégration des dispositifs CRS dans des matrices de haute densité de stockage d'information pour la filière CMOS.

1.4 Hypothèse

Nous allons utiliser le procédé de fabrication *nanodamascène* précédemment utilisé à l'université de Sherbrooke pour la fabrication de transistors monoélectroniques et de mémoires monoélectroniques [4][5]. Ce procédé nous permettra de fabriquer indifféremment des dispositifs OxRRAM ou CRS sur un même substrat car un même nombre d'étapes est nécessaire dans les deux configurations, ce qui constitue un avantage considérable du procédé. Un autre avantage du procédé *nanodamascène* est qu'il résulte en des dispositifs mémoires enterrés sous une surface plane d'oxyde, facilitant l'intégration 3D monolithique de matrices mémoires.

1.5 Objectifs

Montrer le potentiel d'intégration de dispositifs CRS dans le BEOL d'une filière CMOS pour l'application au stockage de masse de données.

Pour ce faire le projet se divise en trois parties :

1. Fabriquer et étudier des dispositifs OxRRAM aux dimensions agressives sur Si en utilisant le procédé *nanodamascène* :
 - on utilisera des matériaux compatibles BEOL tels que le Ti et le TiN pour les électrodes métalliques et le HfO_x pour l'oxyde de commutation
 - le budget thermique du procédé ne dépassera pas 450 °C.
2. Transférer le procédé *nanodamascène* sur substrat CMOS et valider électriquement l'interconnexion des dispositifs OxRRAM avec les transistors MOS.
3. Apporter une preuve de concept de la fabrication de dispositifs CRS et discuter les avantages et les limites de l'utilisation de matrices de CRS pour fabriquer des matrices mémoires à haute densité d'intégration dans le BEOL de la technologie CMOS.

1.6 Plan du document

Le manuscrit comporte cinq chapitres en plus de cette introduction.

Le chapitre 2 permet de positionner la technologie mémoire résistive à base d'oxyde parmi les technologies mémoires actuelles. Le principe de fonctionnement ainsi que les mécanismes physiques responsables de la commutation résistive dans les dispositifs OxRRAM sont expliqués. L'agencement des dispositifs mémoires en matrices crossbar est présenté et l'avantage des dispositifs CRS est discuté.

Le chapitre 3 présente le procédé *nanodamascène* et la conception des dispositifs mémoires OxRRAM et CRS. L'intégrité des dispositifs fabriqués est vérifiée grâce à des caractérisations morphologiques de haute résolution.

Le chapitre 4 présente l'adaptation et la validation du procédé *nanodamascène* pour la fabrication de dispositifs mémoires résistives sur substrats Si. Le fonctionnement électrique ainsi que les mécanismes de conduction des dispositifs OxRRAM sont étudiés grâce à des caractérisations électriques des dispositifs en configuration 1R à température ambiante et dans une gamme de températures de 77 K à 390 K en mode quasi-statique (QS). De plus, le modèle développé par l'équipe de S. Blonkowski impliquant uniquement la force électromigratoire locale et l'effet Joule pour expliquer la variation de la section du filament de conduction, est utilisé pour reproduire les commutations résistives des dispositifs [6].

Le chapitre 5 traite du transfert du procédé de fabrication *nanodamascène* sur substrats CMOS industriels et de la pertinence de l'interconnexion des dispositifs OxRRAM aux transistors MOS :

- on valide que le procédé *nanodamascène* transféré sur substrat CMOS ne dégrade ni les performances des dispositifs MOS ni celles des dispositifs OxRRAM ainsi fabriqués
- on évalue et discute l'impact de l'ajout du transistor MOS lors des caractérisations électriques 1T1R en mode QS

- on vérifie le fonctionnement des dispositifs OxRRAM en mode pulsé, obligatoire pour des applications industrielles.

Le chapitre 6 apporte la preuve de concept du fonctionnement de dispositifs CRS sur substrats Si et adresse des pistes d'amélioration du design existant. On positionne également dans le domaine des mémoires de stockage haute densité la technologie utilisant des CRS en architecture matricielle.

CHAPITRE 2 État de l'art de la technologie mémoire résistive

Le chapitre 2 permet d'expliquer le besoin de développer de nouvelles technologies mémoires et permet de situer la technologie des mémoires résistives parmi les mémoires émergentes. Les mécanismes physiques à la base de la commutation de résistance et les mécanismes de conduction des grandes familles CBRAM et OxRRAM sont décrits. Le concept et les limites de l'agencement des dispositifs mémoires en matrices crossbar sont exposés. Les dispositifs mémoires CRS sont présentés et positionnés comme solution aux courants de fuite limitant le développement des matrices crossbar.

2.1 Technologies mémoires émergentes

2.1.1 Contexte général des technologies mémoires

La partie mémoire constitue l'un des deux éléments les plus importants pour le fonctionnement d'un ordinateur. En effet, pour fonctionner un microcontrôleur a besoin d'un processeur afin de réaliser les opérations logiques, d'entrée et de sorties afin d'assurer le transfert des flux de données, et de blocs mémoires afin de stocker temporairement les instructions et les données des programmes qu'il exécute et d'accéder aux informations dont il a besoin en temps voulu.

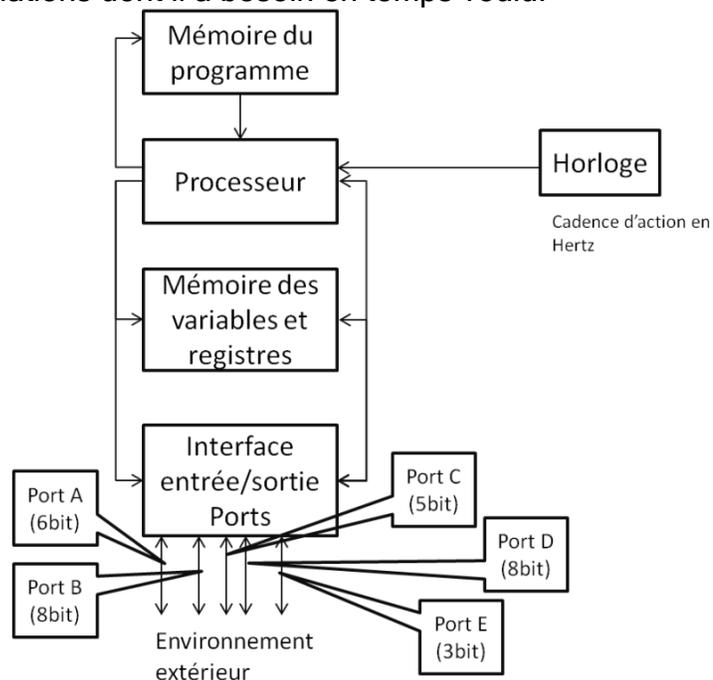


Figure 2-1 Schéma simplifié de la structure d'un microcontrôleur. Le processeur communique avec les parties mémoires via des bus de données et sa cadence de fonctionnement est dictée par l'horloge interne (fréquence de l'ordre du GHz).

Une mémoire est alors une entité capable de stocker deux états différenciables pour un moment de longue durée ou instantanément, la plus petite unité mémoire étant le bit (faisant référence aux états '0' ou '1').

Les principales caractéristiques et critères de performances d'une entité mémoire sont :

- le temps d'accès et la bande passante (aussi appelé taux de transfert)
- le temps d'écriture (représentant le temps nécessaire pour écrire ou effacer un état stocké)
- la volatilité ou la non volatilité soit la capacité à garder les informations stockées une fois l'alimentation coupée. À titre d'information nos clés USB sont garanties pour garder les informations 10 ans.
- la cyclabilité (soit le nombre de cycles maximal de programmation c'est-à-dire d'écriture et d'effacement)
- la puissance consommée ou l'énergie consommée (qui dépend notamment des tensions et des courants nécessaires aux opérations d'écriture, d'effacement et de lecture).

Les catégories de mémoires les plus largement utilisées dans les ordinateurs sont les static random access memory (SRAM), les dynamic random access memory (DRAM) et les technologies à base de grilles flottantes dont particulièrement les mémoires Flash. Chacune d'elle possède des caractéristiques qui lui sont propres, justifiant ainsi leurs utilisations différentes au sein de l'architecture du système de calcul (voir figure 2-2).

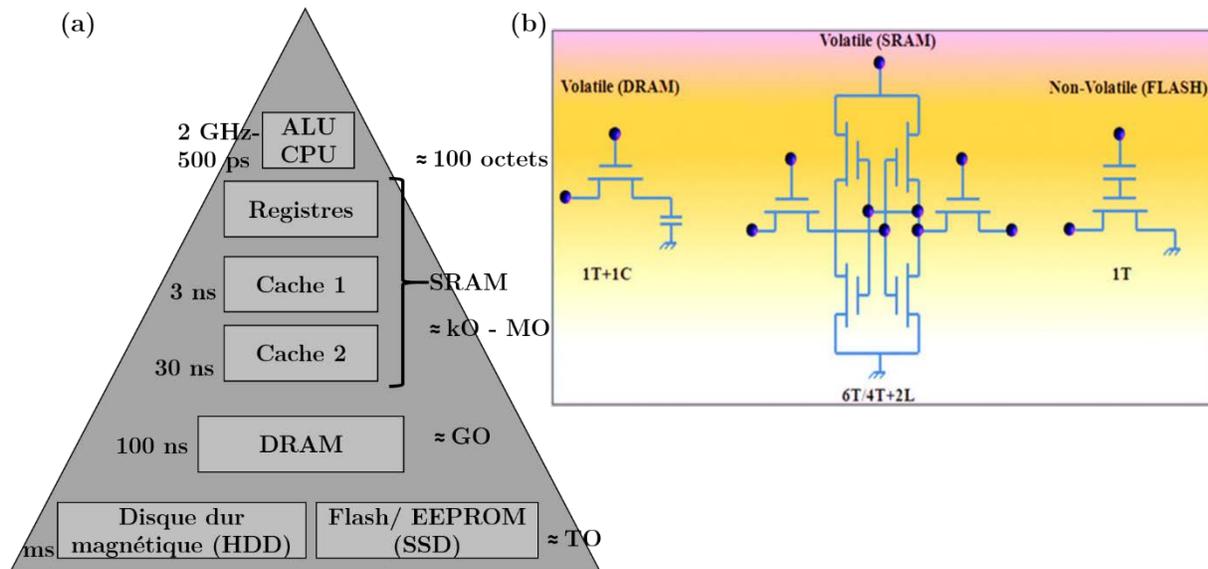


Figure 2-2 (a) Hiérarchie mémoire standard des systèmes de calcul actuels. Les instructions sont données par l'unité logique et arithmétique (ULA) et le processeur (central processeur unit CPU) qui utilisent les registres et les mémoires caches afin d'accélérer les opérations. La DRAM constitue la mémoire centrale de l'architecture et les données non volatiles sont stockées dans les disques durs (HDD ou SSD). (b) Schématisation des structures des cellules de base des technologies DRAM, SRAM et Flash [7][2].

La mémoire volatile SRAM par exemple, dont la cellule unitaire comprend six transistors dont deux couples d'inverseurs, est extrêmement rapide (temps d'accès de l'ordre de la nanoseconde), relativement coûteuse et peu dense. Elle est utilisée pour stocker temporairement des instructions au plus proche du processeur.

La mémoire volatile DRAM, dont la cellule de base est constituée d'un transistor en série avec une capacité de stockage, est beaucoup plus dense que la SRAM, mais environ 10 fois moins rapide et plus énergivore (les capacités de stockage nécessitent d'être rafraîchies toutes les 15 ns). Elle est alors utilisée en tant que mémoire centrale de l'ordinateur.

Enfin, les technologies mémoires non volatiles à grille flottante comme la mémoire Flash, sont extrêmement denses car leur cellule unitaire n'est composée que d'un transistor à double grille, mais beaucoup plus lentes que les DRAM et les SRAM (temps d'écriture de l'ordre de la ms) et possèdent une endurance limitée (nombre de cycles maximal de programmation autour de 10^6). Elles sont alors largement utilisées pour le stockage de masse de données car elles possèdent également l'énorme avantage de garder l'information même une fois l'alimentation éteinte avec des durées de rétention typiquement de l'ordre de 10 ans à des températures de 125°C.

Ainsi, la technologie mémoire idéale serait à la fois non volatile, peu coûteuse, rapide, et de haute densité afin de répondre aux besoins croissants de stockage d'informations des nouvelles applications tout en suivant la tendance générale à la miniaturisation des composants. Une autre grande tendance actuelle étant l'électronique mobile et la réduction de la consommation énergétique, le besoin d'avoir des technologies mémoires vraiment basse consommation est aussi prépondérant.

Dans ce contexte se place l'ensemble des recherches sur les technologies mémoires émergentes qui sont toutes non volatiles et aspirent à être plus rapides et moins énergivores que la mémoire Flash.

Nous allons voir dans la section suivante ces principales nouvelles technologies dont chacune possède ses propres avantages et inconvénients, ne les rendant pas toutes attractives pour les mêmes domaines d'application.

2.1.2 Principe de fonctionnement des technologies mémoires émergentes

Les technologies mémoires non volatiles émergentes mettent en jeu différents principes physiques (magnétorésistance, ferroélectricité etc) et permettent de stocker deux états distincts de résistances mesurables lors du passage d'un courant électrique. On peut classer ces technologies mémoires émergentes en quatre grandes familles :

- La famille des magnetic RAM (MRAM) et spin transfert torque RAM (STT-RAM) dans lesquelles l'information est stockée sous forme de polarisation magnétique. Dans une MRAM la cellule de base est constituée de deux électrodes métalliques séparées par un empilement de couches formant un oxyde tunnel tel que représenté sur la figure 2-3. Une des deux électrodes est de polarisation magnétique fixe tandis que l'autre est libre de modifier sa polarisation lors de l'application d'un champ magnétique. Si les polarisations magnétiques des deux électrodes sont identiques, la résistance au passage d'un courant électrique sera faible. Si les polarisations sont inversées, la résistance électrique sera élevée, selon l'effet de la magnétorésistance géante (GMR) découverte en 1988 [8]. La STT RAM est

l'évolution de la MRAM permettant une taille de cellule unitaire réduite (jusqu'à 4 fois plus petite) car un courant électrique de spins polarisés est utilisé pour modifier la polarisation magnétique de la couche libre par transfert de spins. La MRAM et STTRAM sont des technologies rapides (3 à 20 ns pour les temps de programmation et de lecture), très endurantes ($>10^{15}$ cycles) et peu énergivores. Cependant la technologie de fabrication est tout de même coûteuse et complexe car il faut maîtriser précisément les caractéristiques magnétiques de chacune des couches constituant la jonction magnétorésistive, empilement constitué d'une vingtaine de couches différentes au minimum [2][9].

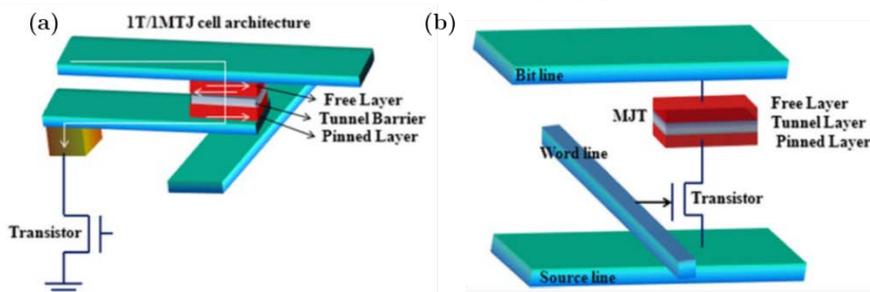


Figure 2-3 (a) Cellule de base de la technologie MRAM (b) Cellule de base de la technologie STT-RAM [2].

1. La famille des ferroelectric RAM (FeRAM) dans lesquelles l'information est stockée sous forme de polarisation ferroélectrique dans la couche d'une capacité en série avec le contact drain d'un transistor (structure identique à celle des DRAM) (voir figure 2-4 (a)). Le titanate de plomb-zirconate (PZT) est généralement utilisé en tant que matériau ferroélectrique. À la différence des DRAM l'information stockée est non volatile et ne nécessite pas d'être rafraîchie, mais le temps de programmation est inférieur à celui de la DRAM et une des lectures est destructive. Une variante récemment envisagée est d'utiliser la polarisation ferroélectrique dans des oxydes de structures MOS (tel que le HfO_2), la modulation de capacités est alors retranscrite en terme de tension de seuil de MOS, augmentant la sensibilité aux variations de polarisations et réduisant potentiellement le coût et la consommation de la cellule mémoire [10].

2. Les mémoires résistives basées sur le changement de phase d'un matériau (PCRAM) dans lesquelles l'information est stockée sous forme de phase amorphe ou cristalline d'un matériau chalcogénide (tel que le GeSbTe) (voir figure 2-4 (b)). Le passage de la phase amorphe résistive à la phase cristalline conductrice est possible en une dizaine de nanosecondes via l'application d'une forte densité de courant. Le nombre de cycles des PCRAM avoisine les 10^{12} , aussi ses caractéristiques lui permettent d'être compétitive avec la technologie Flash.

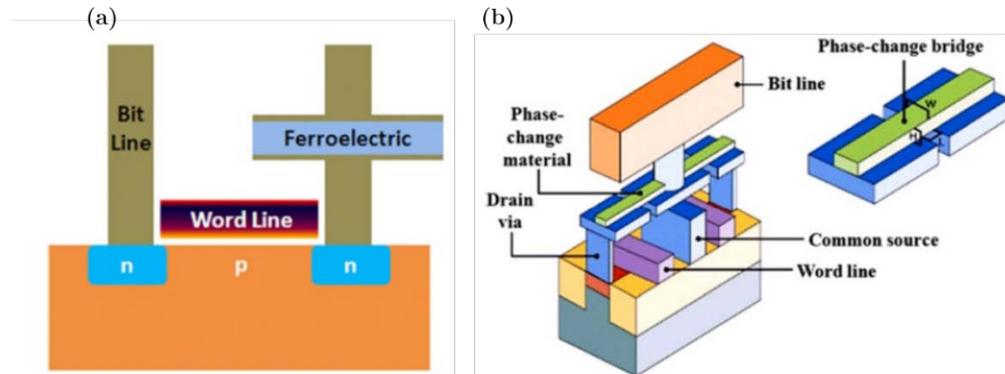


Figure 2-4 (a) Cellule de base de la technologie FeRAM (b) Cellule de base de la technologie PCRAM [2].

- o La famille des mémoires résistives RAM (RRAM) dans lesquelles l'information est stockée sous forme de résistance électrique et dont la cellule unitaire consiste en un empilement de type métal-isolant-métal (MIM) (voir figure 2-5). L'isolant ou couche active présente au moins deux niveaux de résistances qui peuvent être modifiés via l'application d'une tension. La nature de cette couche active est très variée (des commutations résistives ont déjà été observées dans du SiN ou du AlN [3]) cependant les mémoires résistives à base d'oxyde binaires (OxRRAM) tels que TaO_x [11], TiO_x [12] ou HfO_x [13], et celles à base d'électrolyte solide à pont conducteur CBRAM (GeS₂ [14], Al₂O₃ [15]) sont aujourd'hui les technologies les plus prometteuses. La fabrication de cellules RRAM est peu complexe, peu coûteuse et entièrement compatible avec les matériaux de la filière CMOS. Les temps de programmation sont de l'ordre de la nanoseconde voire picoseconde [16][17], concurrençant ceux des mémoires SRAM. Les densités d'intégration accessibles sont plus intéressantes que celles de la technologie Flash car idéalement aucun transistor n'est nécessaire pour le fonctionnement de la cellule unitaire.

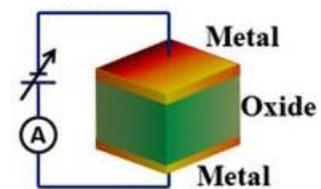


Figure 2-5 Cellule de base de la technologie RRAM.

Pour résumer la technologie RRAM offre des temps de programmation plus courts que ceux de la PCRAM ou de la FeRAM, ainsi qu'une taille de cellule unitaire et un coût de fabrication plus faibles que ceux de la MRAM. Cependant comme la technologie n'est pas encore assez mature et présente des problèmes d'endurance et de répétabilité, son développement en tant que produit industrialisable reste limité (voir tableau 2-1).

	MRAM	STT RAM	FeRAM	PCRAM	RRAM
Taille de cellule (F ²)	25	6 à 20	40 à 20	8	4
Temps de programmation (ns)	3 à 20	2 à 20	50	20/30	1
Temps de lecture (ns)	3 à 20	2 à 20	20 à 80	20 à 50	10 à 50
Endurance	>10 ¹⁵	>10 ¹⁶	10 ¹²	10 ⁹	10 ¹²
Maitrise des mécanismes de commutation	Bonne	Bonne	Bonne	Bonne	Faible
Coût de production	Élevé	Élevé	Moyen	Moyen	Faible

Tableau 2-1 Tableau comparatif des caractéristiques principales des technologies mémoires émergentes MRAM, STT-RAM, FeRAM, PCRAM et RRAM [2][18].

2.1.3 Produits commerciaux des technologies mémoires émergentes

Plusieurs grandes compagnies, pour la plupart américaines, se sont positionnées sur le marché des technologies mémoires émergentes. Ci-dessous sont énumérés brièvement les différents produits commercialisés entre 2015 et 2017 par ces grandes firmes :

- o La compagnie **Adesto** a développé des mémoires CBRAM en configuration 1T1R faisant office d'electrically erased programmable read only memory (EEPROM) embarquées sur des substrats CMOS d'abord 130 nm puis maintenant 45 nm. Les premiers produits (2015) étaient à base de TiN/GeS/Ag et les plus récents (2017) sont à base de Zr/Te/Al. Ces produits commercialisés sous le nom de Mavriq™ consomment jusque 100 fois moins d'énergie et ont un temps de programmation 20 fois supérieur en comparaison à la technologie Flash actuelle, avec un nombre de cycles de programmation garanti jusque 10⁵ [19].

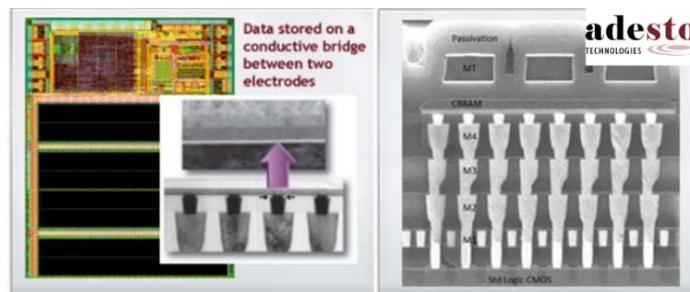


Figure 2-6 Photo et cross section d'un produit CBRAM de Adesto Technology.[19]

- La compagnie **Crossbar** commercialise des dispositifs OxRRAM agencés en matrice crossbar de 2 à 16 Mbits en configuration 1S1R. Elle positionne son produit comme une alternative à la technologie NAND Flash ou une option de

stockage de données haute densité (storage class memory SCM en anglais). Cette technologie est pour l'instant intégrée sur substrats CMOS 40 nm et le sera bientôt sur des substrats 10 nm [20].



Figure 2-7 Produit OxRRAM commercialisé par la société Crossbar. [20]

- Les compagnies **Intel** et **Micron** se sont associées (en 2006) pour commercialiser en 2017 des mémoires PCRAM sous le nom d'Optane, basée sur la technologie 3D Xpoint™. Ces mémoires, agencées en structure crossbar sont aussi rapides que la technologie DRAM, aussi denses et non volatiles que la Flash mais beaucoup moins chères. La compagnie Micron travaille présentement pour commercialiser le produit QuantX, basé lui aussi sur la technologie 3D Xpoint™ [21].

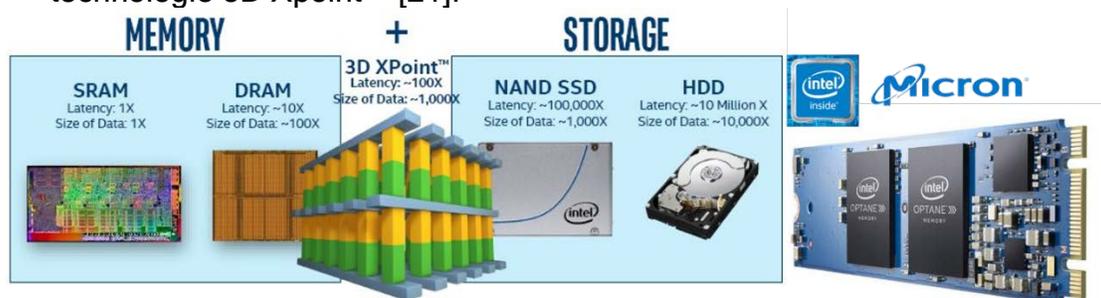


Figure 2-8 Illustration de la technologie 3D XPoint™ de Intel/Micron et photo d'un produit Optane 16 Go vendu au prix de 60 euros sur internet [21].

- La compagnie **Everspin**, leader mondial dans la technologie mémoire magnétique, est associée depuis 2014 à la seconde fonderie la plus importante au monde **Globalfoundries** (la première étant TSMC). Ensemble elles ont mis au point une technologie SST-MRAM plus performante que la première technologie MRAM qu'Everspin avait commercialisée, offrant ainsi une alternative à la technologie Flash embarquée sur des substrats CMOS < 40 nm. Elles ont dévoilé lors de la conférence annuelle VLSI 2017 les résultats d'essais performants d'intégration de matrices de 40 Mb sur des substrats CMOS 22 nm [22]. Elles affirment que l'un des plus gros verrous de cette technologie, lié jusqu'à présent au maintien de l'information en température lors de l'opération de refusion (5 min à 160 °C), a été levé et soulignent des caractéristiques d'endurance de 10^7 cycles et de 20 ns de temps d'accès en lecture. La commercialisation de ces produits est attendue pour fin 2017 ou début 2018.

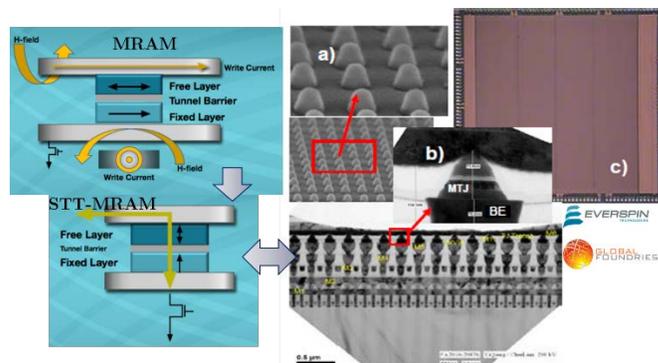


Figure 2-9 Produits MRAM et STT-MRAM des sociétés Everspin et Globalfoundries [22] [23].

- La compagnie japonaise **Panasonic** qui a été la première à commercialiser des OxRRAM à base de Ta/TaO_x en configuration 1T1R sur des substrats CMOS 180 nm (2013), s'est récemment alliée avec la fonderie taiwanaise United Microelectronics Corporation (UMC) afin d'accélérer le transfert de sa technologie sur des substrats 40 nm (commercialisation visée pour fin 2018). Ces produits se positionneraient sur des applications basse consommation (tensions de lecture 0.5 V et courants de fuites 100 nA) et haut débit (temps de programmation de la dizaine de ns).

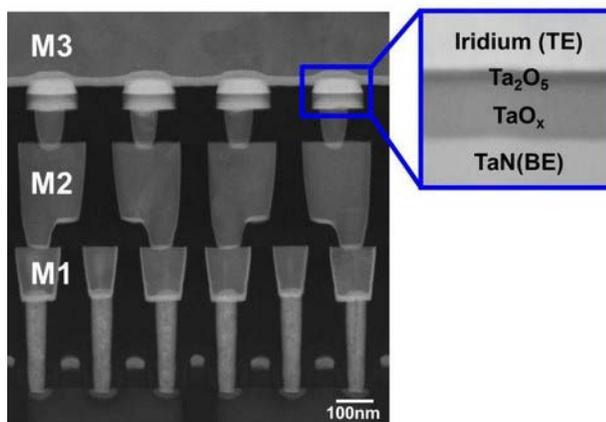


Figure 2-10 Cross section d'un produit OxRRAM de Panasonic.

- Enfin on soulignera que la société **HP**, premier grand groupe à travailler sur les memristors (2008), s'est associée depuis 2015 à la société **Sandisk** dans le but de développer des matrices crossbar de dispositifs RRAM dont pour l'instant aucune communication n'a été faite quant à leur commercialisation.

2.2 La technologie mémoire résistive

Tel que précédemment évoqué la technologie mémoire résistive RRAM est basée sur le changement de résistance d'une couche d'oxyde déposée entre deux électrodes métalliques suite à l'application d'un champ électrique. On parlera de SET pour dénommer le passage de l'état de haute résistance HRS à l'état de faible résistance LRS, et de RESET pour la commutation inverse.

La grande majorité des mémoires résistives est de type filamentaire, ce qui signifie que le changement de résistance repose sur la modulation de la taille d'un filament de conduction créé entre les deux électrodes. La création de ce filament au sein de la couche d'oxyde initialement isolante est amorcée par une étape dite

d'électroformage [24], ce qui revient à réaliser un « claquage » contrôlé de l'oxyde. Cette étape d'électroformage est primordiale pour la stabilité du filament puisque ses propriétés dicteront celles de la cellule mémoire [25][26]. La valeur de la résistance post formage est en effet dépendante des dimensions du filament [27]. Aussi le contrôle de la taille du filament via une limitation du courant traversant la cellule, aussi appelée compliance en courant, est nécessaire afin d'éviter que le « claquage » soit irréversible [28].

La nature de la couche de commutation, ou couche active, ainsi que celle des électrodes métalliques peut être très variée, ainsi les mécanismes physiques responsables du changement de résistances diffèrent selon la composition de la cellule mémoire. On distingue deux grands types de cellules mémoires RRAM : celles à base d'oxyde OxRRAM et celles à pont conducteur (conductive bridge) CBRAM.

2.2.1 Principe de fonctionnement des CBRAM

La cellule mémoire unitaire CBRAM est asymétrique et bipolaire ce qui signifie que le changement de résistance dépend de la polarisation du champ électrique appliqué. Une de ses électrodes est constituée d'un métal actif électrochimiquement tel que l'argent [29] ou le cuivre [15], tandis que le métal constituant la contre électrode est inerte électrochimiquement, tel que le platine ou le tungstène. La couche active est un électrolyte solide favorisant la migration d'espèces ioniques tel que Al_2O_3 [15], GeS_2 ou $Ge_2Sb_2Te_5$ [29]. Le mécanisme de commutation repose sur un phénomène d'oxydoréduction. En effet le filament métallique se crée lors du SET, suite à l'application d'une tension positive sur l'électrode active ce qui entraîne :

- l'oxydation des espèces issues de l'électrode active
- la migration de ces cations métalliques à travers l'électrolyte solide
- leur réduction au niveau de la contre électrode inerte.

L'application d'une tension négative sur l'électrode active lors du RESET entraîne le processus inverse : les atomes métalliques du filament de conduction sont oxydés puis migrent sous l'effet du champ électrique vers l'électrode active où ils sont réduits. La taille du filament est alors diminuée et la cellule se retrouve dans un état de haute résistance HRS.

On peut distinguer deux types de conduction électrique dans les cellules CBRAM : la conduction par le filament métallique de type ohmique, et celle par l'électrolyte solide de type ionique.

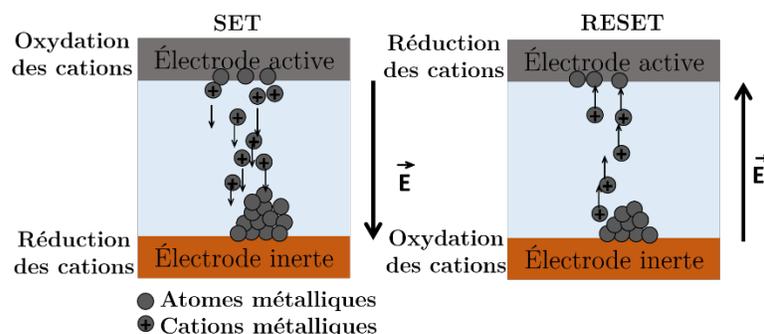


Figure 2-11 Principe de fonctionnement de la CBRAM basé sur l'oxydoréduction d'espèces métalliques issues de l'électrode active supérieure.

2.2.2 Principe de fonctionnement des OxRRAM

Le fonctionnement de la cellule mémoire unitaire OxRRAM est basé sur une modification de l'environnement chimique global de l'oxyde lui-même et non sur un principe d'oxydoréduction comme la CBRAM. Bien qu'un filament conducteur métallique soit aussi présent au sein de la structure, la majorité des modèles proposés pour expliquer les phénomènes de commutation supposent qu'il est formé de lacunes d'oxygènes. La commutation de résistance serait alors due à la modification de la valence des atomes constituant la couche d'oxyde de commutation, souvent un oxyde de métal de transition tel que TiO_2 , HfO_2 ou Ta_2O_5 [30], et le filament serait formé d'atomes métalliques de ces métaux de transition (Ti, Hf ou Ta [31]) ou de phases sous-stœchiométriques de ces oxydes de commutation (telle que la phase Magnéli $\text{Ti}_n\text{O}_{2n-1}$)[32][33].

On distingue les cellules OxRRAM bipolaires des cellules OxRRAM unipolaires.

Les cellules bipolaires sont des structures dissymétriques dont la dissymétrie peut être introduite par des électrodes de métaux différents [34] ou bien par l'utilisation d'un oxyde sous stœchiométrique [35]. Les cellules unipolaires sont généralement symétriques et constituées de deux électrodes de métal inerte tel que le platine ou le tungstène [36].

Dans le cas des cellules unipolaires les changements de résistance SET et RESET se font lors de l'application d'un champ électrique de même polarité mais d'intensités différentes. Ainsi le mécanisme de commutation est davantage lié à la température locale dans le filament, qui peut être très importante étant données les fortes densités de courants impliquées (de la centaine d' $\text{A}/\mu\text{m}^2$), plutôt qu'à la direction du champ électrique entre les électrodes. Lors du RESET par exemple la forte augmentation de la température dans le filament induirait la migration des lacunes d'oxygène et participerait donc à diminuer voire rompre la section du filament métallique [37]. Les transitions résistives sont alors beaucoup plus abruptes que dans les cellules bipolaires.

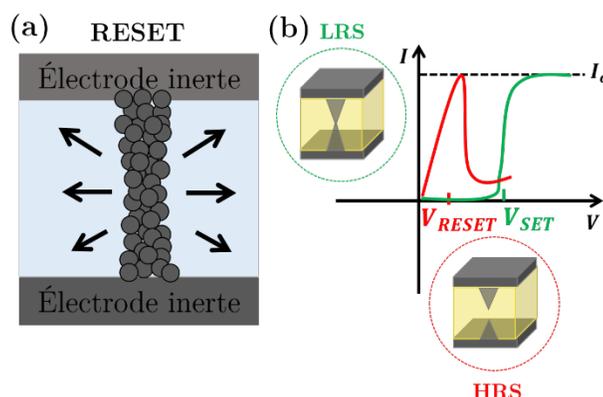


Figure 2-12 (a) Schéma de la structure d'une cellule OxRRAM unipolaire. Lors du phénomène de RESET les lacunes d'oxygènes formant le filament conducteur diffusent sous l'effet de la température. (b) Schéma de la caractéristique électrique I-V classique d'une cellule OxRRAM unipolaire.

Les cellules bipolaires, elles, doivent présenter une asymétrie au niveau de leurs électrodes. Une des électrodes, dite passive, doit être inerte et/ou de faible affinité à l'oxygène afin de ne pas réagir avec l'oxyde de commutation. L'autre électrode, dite active, doit permettre la création d'une couche riche en lacunes d'oxygène au niveau de son interface avec l'oxyde de commutation. Elle peut alors soit être constituée d'un métal présentant une forte affinité à l'oxygène (tel que le Ti) soit être volontairement constituée de deux couches de métaux dont l'un est sous stœchiométrique en oxygène (tel que Hf/HfO_x avec $x < 2$). La taille du filament conducteur, alors constitué de lacunes d'oxygènes, varie en fonction de la modification de la densité de lacunes le constituant. Cette densité peut être modifiée via les processus de création/annihilation de lacunes [38] et/ou de redistribution spatiale des lacunes [39]. Dans tous les cas la température a un rôle non négligeable lors de la commutation et favorise soit la diffusion des lacunes d'oxygènes soit le mécanisme d'oxydoréduction des paires anions/ lacunes d'oxygènes.

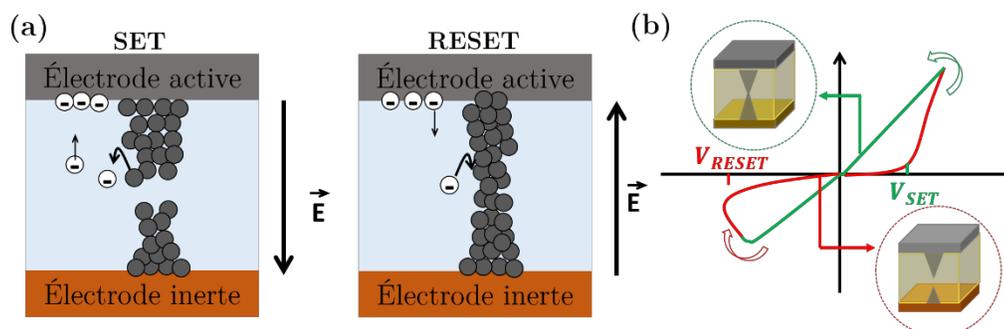


Figure 2-13 (a) Schéma de la structure d'une cellule OxRRAM bipolaire. Les phénomènes de création de paires anion-lacune d'oxygène et migration des anions sous champ électrique sont représentés lors des phénomènes de SET et RESET. (b) Schéma de la caractéristique électrique I-V classique d'une cellule OxRRAM bipolaire.

Cependant, S. Blonkowski et *al.* ont récemment publié un modèle qui permet de décrire les résultats obtenus expérimentalement sur des structures Ti/HfO_x/TiN [6], impliquant le phénomène d'électromigration local lors de la commutation de résistance.

Cette approche diffère des approches jusqu'à présent proposées puisqu'elle ne considère plus les mécanismes de création et/ou diffusion de lacunes d'oxygènes comme étant à l'origine de la formation/destruction du filament, mais implique plutôt la force du « vent d'électrons » (force électromigratoire), pertinente étant données les très fortes densités de courant passant dans le filament de conduction. Nous aurons l'occasion de décrire plus en détail cette approche dans les chapitres 4, 5 et 6 puisque ce modèle a été utilisé afin de reproduire les courbes de SET et RESET des structures Ti/HfO_x/TiN fabriquées lors de ce travail de thèse.

Que ce soit pour les cellules unipolaires ou bipolaires, la conduction pendant l'état LRS via le filament métallique est de type ohmique.

Pour l'état HRS, différents mécanismes de conduction sont proposés dépendamment de la composition et morphologie du filament, et de la configuration de l'état HRS lui-même. En effet dans le cas où on considère que le filament est rompu la conduction entre les deux brins du filament peut être aussi bien limitée par les électrodes (qui sont en réalité les brins du filament eux-mêmes) ou bien limitée par le volume (le diélectrique lui-même). Diverses publications font référence à ces différents

mécanismes de conduction tels que la conduction de type tunnel/Fowler Nordheim, [40], émission Schottky [41], tunnel assisté par pièges TAT [42], Poole-Frenkel [43], ou bien même courant limité par la zone de charges et d'espace [44]. Si on considère que le filament est fortement réduit mais sans être rompu la conduction serait alors davantage de type conduction par point quantique [45].

L'ensemble de ces mécanismes de conduction seront discutés dans le chapitre 4, et on tentera de discriminer ceux présents au sein de nos structures Ti/HfO_x/TiN/Ti.

2.3 Intérêt et principe de fonctionnement des dispositifs CRS

2.3.1 Matrices crossbars

Pour être utilisés, les dispositifs mémoires sont agencés en architecture matricielle et l'adressage ou l'accès à un point mémoire se fait via l'application de tensions spécifiques sur les lignes et colonnes désirées. Ces matrices comportent au minimum trois lignes d'adressage (comme dans le cas de la DRAM ou de la Flash par exemple) qui correspondent aux connexions d'un transistor. Pour la NOR Flash par exemple la word line (WL) est connectée à la grille du transistor, la bit line (BL) est connectée au drain et la source line (SL) est connectée à la source.

Les cellules mémoires OxRRAM possèdent deux terminaux, aussi leur agencement en réseau matriciel ne nécessite que deux lignes d'adressage (WL et BL) ce qui constitue un gros avantage en termes de densité d'intégration. De plus, la fabrication de telles cellules est peu complexe car elle ne nécessite qu'une couche d'oxyde entre deux électrodes métalliques : les matrices 3D crossbar passives constituées de lignes métalliques perpendiculaires séparées par un oxyde de commutation sont ainsi des solutions peu coûteuses et très denses pour réaliser un réseau de dispositifs mémoires OxRRAM (voir figure 2-14) [46]. En effet si on considère F (plus petite dimension réalisable dans un nœud technologique) comme étant la largeur et l'espacement entre deux lignes métalliques alors la surface minimale d'un point mémoire est de $4F^2$, ce qui est légèrement inférieur à la surface d'une cellule Flash ($4.5F^2$) et deux fois inférieur à celle d'une cellule DRAM ($8F^2$) [47].

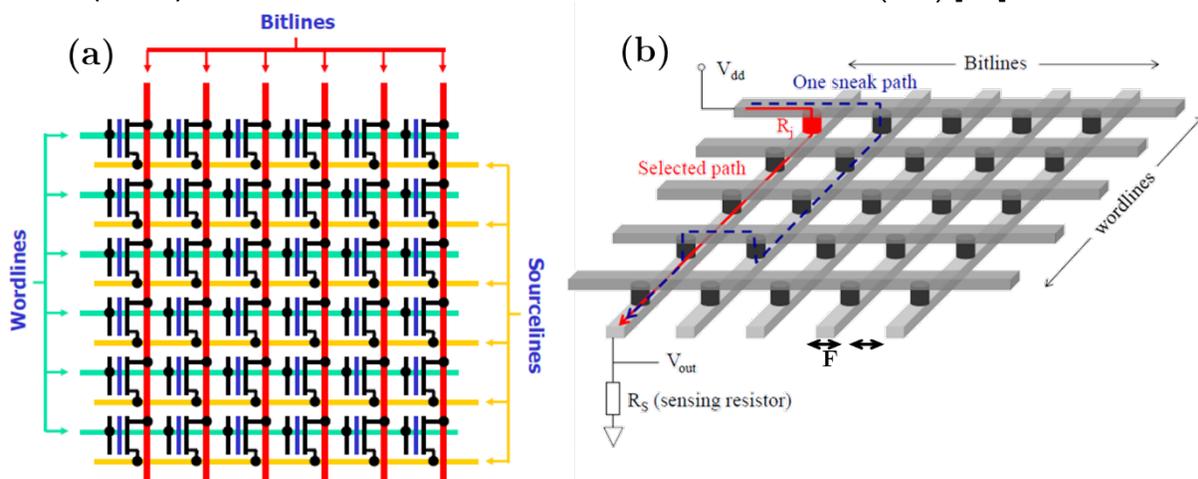


Figure 2-14 (a) Schéma d'une matrice de cellules NOR Flash. (b) Schéma d'une matrice de cellules mémoires résistives. Le chemin du courant correspondant à la cellule

sélectionnée est représenté par une ligne rouge tandis qu'un des chemins de courant de fuite possible est représenté par une ligne en pointillés bleus [48].

Si maintenant on considère l'empilement de plusieurs couches de dispositifs mémoires, la surface occupée d'une cellule sera de $4F^2/n$ avec n le nombre de couches de dispositifs. Une étape de photolithographie supplémentaire est alors nécessaire pour chaque couche ajoutée, augmentant considérablement le prix et la complexité du procédé. C'est alors que l'architecture verticale RRAM (VRRAM), similaire à la technologie verticale NAND Flash (VNAND) [49], a été proposée [50]. Elle réduit considérablement le prix par bit par rapport aux structures 3D crossbar en diminuant le nombre de masques et d'étapes de procédés critiques nécessaires (voir figure 2-15) [51]. Les structures VNAND sont aussi avantageuses pour l'énergie par bit consommée lorsqu'on considère des matrices de grandes tailles (de plus de 450×450 cellules) [52]. Cependant ses performances sont plus dépendantes du nombre de couches empilées que pour les structures crossbar [52], et d'autres challenges y sont associés tel que la maîtrise de l'épaisseur des électrodes métalliques planaires, les exigences de la gravure nécessitant un rapport d'aspect élevé, et l'uniformité des cellules des différentes couches.

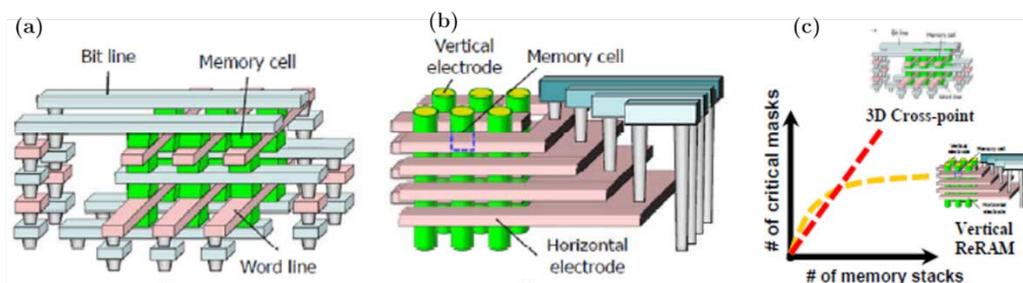


Figure 2-15 Schémas (a) d'une structure 3D crossbar (b) d'une structure VRRAM. (c) Comparaison du nombre de masques de lithographie nécessaires en fonction du nombre de couches pour des architectures mémoires crossbar et VRRAM [51].

Cependant, quelle que soit l'architecture considérée, la commercialisation de ces types de matrice est freinée par la présence de courants de fuite ou *sneak paths* importants. Ces courants de fuite correspondent à des « chemins de courants » non désirés qui pourraient perturber la lecture de la cellule sélectionnée et/ou engendrer l'écriture de cellules non sélectionnées, comme représenté sur la figure 2-14 (b). Ces courants dépendent principalement de la résistance de l'interconnexion entre deux cellules mémoires, de l'état des cellules non sélectionnées de la matrice, de l'état de la cellule sélectionnée et de la taille de la matrice.

Ainsi des conditions sur le design de la matrice s'imposent pour réduire ces courants au minimum, tel qu'avoir un ratio $\frac{R_{interconnexion}}{LRS}$ faible comme discuté dans [53]. La plus importante des conditions cependant est que chaque point mémoire présente une forte non-linéarité dans ses deux états LRS et HRS afin d'être toujours fortement résistif en état de « repos », c'est-à-dire qu'il ne doit pas laisser passer de courant lorsqu'il est à moitié sélectionné ou non sélectionné.

Si l'on considère par exemple la lecture d'un point mémoire avec une tension V_{dd} , les points mémoires situés sur la même ligne et ceux situés sur la même colonne

que ce point mémoire auront un potentiel à leurs bornes de $V_{dd}/2$ ou $V_{dd}/3$ selon les configurations utilisées [53]. Il est important que la somme des courants de fuites à travers tous ces points mémoires «demi-sélectionnés» ($V_{dd}/2$ ou $V_{dd}/3$) soit bien inférieure au courant du point mémoire lu.

Deux solutions sont alors envisageables afin d'atteindre cette non-linéarité :

- **Faire en sorte que le dispositif présente intrinsèquement une forte non-linéarité**, comme c'est le cas pour les dispositifs résistifs complémentaires CRS [54], les structures OxRRAM comportant une barrière tunnel supplémentaire (tel que de l' Al_2O_3 au sein d'une structure Ti/HfO₂/TiN [55]) ou encore les dispositifs complementary switching CS qui sont des structures OxRRAM « modifiées » pour présenter une caractéristique électrique de type CRS (à l'instar de la structure Pt/NbO_y/Nb₂O_{5-x}/WO_x/W [56]). Ce type de dispositif est donc fabriqué directement dans le BEOL de la filière CMOS. Dans le cas d'un dispositif CRS, il possède en plus la fonction de limitation de courant (auto-limitation).
- **Associer au point mémoire un dispositif sélecteur présentant une forte non-linéarité dans sa caractéristique I-V**. Différents types de sélecteurs ont montré des résultats intéressants tels que des sélecteurs à base de silicium (diodes PN [57] ou NPN [58]), des sélecteurs à base de structures MIM [59] [60] ou bien les sélecteurs à base de matériaux chalcogénides dits OTS (ovonic threshold selector) [61][62] tel que celui qui est intégré dans la structure 3D Xpoint™ de Intel et Micron. Ce type de sélecteur à deux terminaux peut éventuellement être intégré dans le BEOL de la filière CMOS mais ne possède pas la fonction de limitation de courant.

Si on prend l'option d'ajouter un dispositif sélecteur à une structure OxRRAM certaines conditions sont à respecter concernant le choix de ce sélecteur :

- il doit présenter un très fort ratio ON/OFF ou ratio de non-linéarité lors de l'opération de lecture. Dans une configuration de programmation $V_{dd}/2$ par exemple il faut que le ratio $V_{dd} / (\frac{V_{dd}}{2})$ soit le plus grand possible afin d'être capable de détecter correctement le courant lu du point mémoire sélectionné sans le confondre avec les points « demi-sélectionnés ».
- Il doit présenter un fort I_{ON} lors de l'opération d'écriture des points mémoires qui requièrent dans le cas des OxRRAM un relativement fort courant (quelques centaines de μA).
- Ses caractéristiques de taille, de polarité de tensions d'opérations, de vitesse et d'endurance doivent être compatibles avec celles du point mémoire.
- Il doit idéalement posséder deux terminaux afin de ne pas compromettre une densité d'intégration agressive.

À cette fonction de sélection, il est important de remarquer que les mémoires OxRRAM exigent un contrôle très précis du courant maximum traversant la cellule mémoire (qu'on appelle courant de compliance I_c), ce qui implique d'avoir un dispositif en série avec la cellule mémoire pour limiter ce courant de compliance. Le dispositif en série peut être l'élément de sélection des lignes et colonnes (comme dans le cas des

structures 1T1R par exemple), ou bien être constitué par un autre élément (tel qu'un MOS d'adressage dans le cas d'utilisation de diodes pour la sélection par exemple).

Toutes ces conditions rendent difficiles de trouver un sélecteur adapté et performant pour la technologie mémoire résistive, aussi dans beaucoup de cas les gens travaillent avec des structures 1T1R pour lesquelles un transistor est connecté à un dispositif mémoire, garantissant un contrôle précis du courant dans la cellule mémoire [28][63][64].

Cette configuration 1T1R n'est pas idéale pour augmenter la densité d'intégration des dispositifs mémoires résistives mais a l'avantage d'être simple à réaliser, efficace et performante puisque le comportement des transistors est maîtrisé.

Dans ce travail de thèse nous avons travaillé avec des configurations 1T1R dans le but d'étudier le fonctionnement des cellules OxRRAM ce qui nous a également permis de prouver la compatibilité BEOL de notre procédé de fabrication (c'est-à-dire que le procédé ne détériore ou ne modifie en aucun cas les performances des dispositifs MOS fabriqués initialement sur le substrat).

2.3.2 Dispositifs mémoires résistives complémentaires CRS

Les dispositifs mémoires intrinsèquement non-linéaires présentent le fort avantage de ne pas nécessiter d'opération d'intégration supplémentaire en comparaison à l'ajout d'un sélecteur associé à un point mémoire, puisqu'ils réalisent à la fois la fonction mémoire et la fonction redresseur/sélecteur. En 2010 l'équipe d'E. Linn et *al.* a ainsi proposé le concept du dispositif CRS, n'étant autre que deux dispositifs ReRAM dos à dos, comme dispositif mémoire intrinsèque non-linéaire [54].

Un dispositif CRS présente la caractéristique I-V de la figure 2-16 (b). Les dispositifs ReRAM accolés doivent partager leur électrode active, électrode centrale de la CRS sur la figure 2-16 (a), afin que l'application d'une tension positive (négative) sur l'électrode supérieure correspondant à l'électrode passive du dispositif ReRAM A ne puisse entraîner que l'opération de RESET (SET) du dispositif 1 et de SET (RESET) du dispositif 2, tel qu'expliqué dans table de la figure 2-16 (c).

Le principe de base du dispositif CRS repose sur celui du pont diviseur de tension, c'est donc le dispositif ReRAM en HRS qui effectue une commutation de résistance en premier si la polarité de la tension le lui permet.

Ainsi le dispositif CRS est toujours en HRS pour des tensions entre V_{th1} et V_{th2} .

Pour une tension de lecture V_{read} entre V_{th1} et V_{th2} , le dispositif CRS change d'état (on lira alors un courant) uniquement s'il était dans l'état '1' (LRS/HRS). Dans le cas où il était dans l'état '0' (HRS/LRS) aucun changement de résistance n'a lieu et donc aucun courant n'est lu, ce qui permet de discriminer les états '1' et '0' bien que le dispositif global soit toujours en HRS.

On note que la lecture est destructrice pour l'état '1' ce qui nécessite de réécrire l'état perdu et engendre une surconsommation d'énergie. Nous adresserons les problématiques et limites des dispositifs CRS plus en détails dans le chapitre 6.

On définit le ratio de non-linéarité $Ratio_{NL}$ d'un dispositif CRS, que l'on souhaite le plus élevé possible, comme le ratio des courants $\frac{I_{ON \text{ à } V_{read}}}{I \text{ à } \frac{1}{2} V_{read}}$.

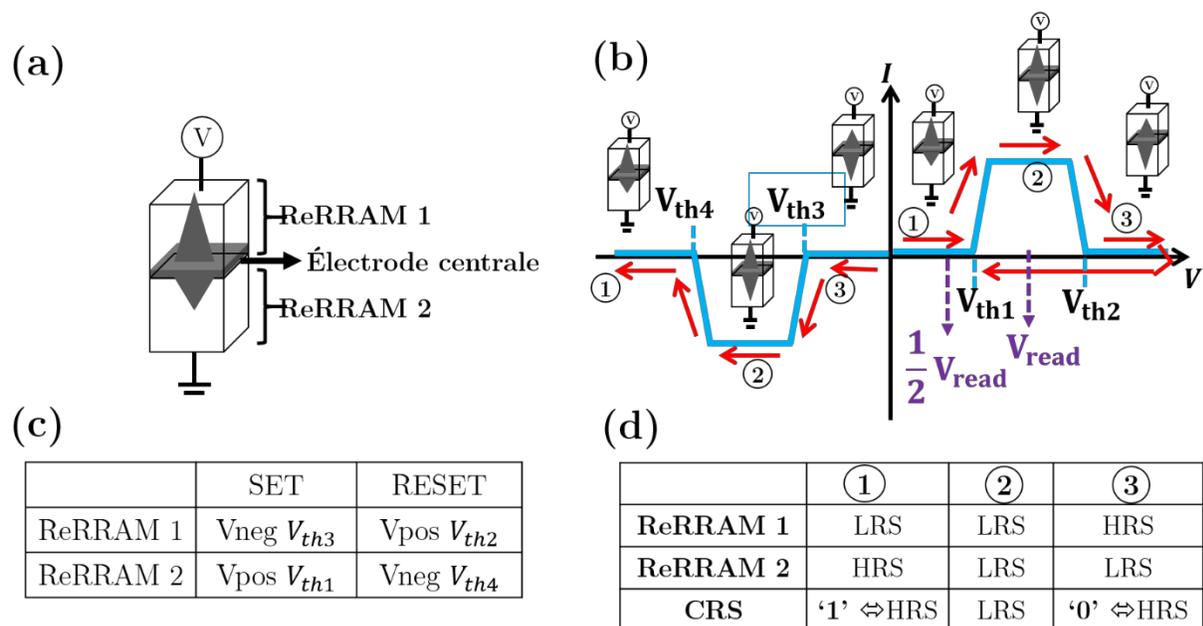


Figure 2-16 (a) Schéma de la cellule de base d'un dispositif CRS constitué de deux dispositifs ReRRAM dos à dos. (b) Caractéristique I-V d'un dispositif CRS. (c) Table de polarité des tensions de SET et RESET des dispositifs ReRAM 1 et ReRAM 2 constituant la CRS sachant que la tension est appliquée sur l'électrode passive de la ReRAM 1. (d) Table répertoriant les différentes commutations résistives au sein des dispositifs ReRAM 1 et ReRAM 2 lors de l'application d'une rampe de tension telle que décrite en (b).

2.4 Conclusion chapitre 2 et positionnement du sujet de thèse

Les technologies mémoires actuelles atteignent des limites en termes de réduction de taille, particulièrement pour la technologie mémoire Flash, et ne sont pas toujours adaptées à toutes les applications. Pour le stockage de masse de données, l'émergence d'une technologie mémoire bas coût, non volatile, de haute densité et peu énergivore boosterait le développement et la vente d'objets électroniques tout en permettant d'augmenter la puissance de nos ordinateurs.

Parmi les technologies émergentes proposées par la communauté scientifique, la technologie des mémoires résistives à base d'oxyde OxRRAM, est particulièrement attrayante pour répondre à cette problématique. En effet, en plus de satisfaire les critères de performance précédemment évoqués, la fabrication de dispositifs OxRRAM est compatible avec le BEOL de la filière CMOS ce qui signifie que les dispositifs peuvent être fabriqués après la fabrication des composants actifs dans le FEOL (transistors, diodes) sans les dégrader ou les contaminer.

Cependant, alors que l'utilisation de dispositifs mémoires résistives en matrice crossbar passive semble être la solution idéale pour atteindre des densités d'intégration supérieures même à celle des cellules Flash actuelles, les problèmes liés au courant de fuite en limitent toujours le développement. Afin de remédier à ces problèmes de courants de fuite l'utilisation de dispositifs CRS en tant que points mémoires présentent le gros avantage d'être peu chers et facile à fabriquer, tout en remplissant intrinsèquement la double fonction de mémoire et de sélecteur.

Dans ce contexte se positionne ce sujet de thèse qui vise l'étude de dispositifs CRS pour être utilisés comme dispositifs de stockage de masse de données dans le BEOL de la filière CMOS.

Cette étude est d'autant plus accessible que le procédé *nanodamascène* est proposé pour fabriquer les dispositifs. En effet ce procédé, détaillé dans le chapitre suivant et en Annexe A, permet de viser des dimensions agressives pour les cellules mémoires (surface de l'ordre de la centaine de nm²) et ne nécessite aucune étape supplémentaire pour fabriquer des dispositifs CRS en comparaison avec des dispositifs unitaires OxRRAM, ce qui n'est pas le cas dans un empilement classique MIMIM nécessitant le double de procédés de lithographie UV par rapport à l'empilement MIM [65].

Aussi, l'étude sera divisée comme suit :

1. Les dispositifs CRS étant formés de deux dispositifs OxRRAM dos à dos, nous allons dans un premier temps étudier les caractéristiques morphologiques et électriques des dispositifs OxRRAM sans transistor de contrôle en mode quasi statique et pulsé puis avec un transistor de contrôle.
2. Ensuite nous allons étudier les caractéristiques d'une cellule CRS et nous pointerons les avantages, inconvénients et difficultés liés au procédé de fabrication de tels dispositifs.

CHAPITRE 3 Conception, fabrication et caractérisations morphologiques de mémoires résistives planaires

Le chapitre 3 décrit l'adaptation du procédé *nanodamascène* pour la fabrication de dispositifs mémoires résistives OxRRAM et CRS d'empilements Ti/HfO_x/TiN/Ti et Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti.

Le procédé de fabrication est d'abord brièvement présenté afin de comprendre les principales étapes qui conduisent à des dispositifs enterrés dans une couche d'oxyde de silicium. Les étapes de ce procédé de fabrication sont détaillées dans une section subséquente.

Le procédé de fabrication complet comprend 52 étapes de microfabrication, 12 étapes de métrologie, 3 masques de lithographie optique et 3 de lithographie électronique.

L'intégration 3D monolithique des dispositifs sur substrats CMOS industriels est ensuite expliquée. Les étapes de fabrication des jonctions résistives ne changent pas, par contre des étapes d'interconnexions sont ajoutées afin d'obtenir des structures 1T1R (1 OxRRAM + 1 transistor MOS).

Des caractérisations morphologiques telles que des observations au microscope à force atomique (AFM), au microscope électronique à balayage (SEM), au microscope électronique à transmission (STEM) et des cartographies chimiques issues de spectroscopie à rayons X à dispersion d'énergie par imagerie TEM (STEM-EDX) sont conduites et permettent de s'assurer de la qualité des dépôts des matériaux et de l'intégrité des jonctions résistives Ti/HfO_x/TiN/Ti.

3.1 Fabrication de dispositifs OxRRAM et CRS

3.1.1 Fabrication des jonctions résistives

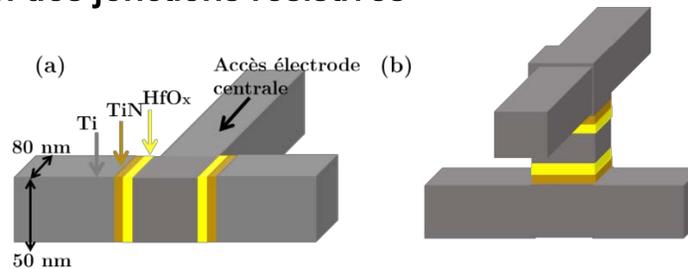


Figure 3-1 (a) Schéma d'un dispositif CRS fabriqué en utilisant le procédé *nanodamascène*. (b) Schéma d'un dispositif CRS fabriqué par une approche classique d'empilement de matériaux.

L'objectif est de fabriquer des dispositifs CRS composés de deux jonctions résistives Ti/HfO_x/TiN/Ti dont les surfaces avoisinent les centaines de nm². L'empilement des matériaux choisis sont similaires à ceux employés par STMicroelectronics lors de travaux sur des matrices d'OxRRAM [66][6].

Le schéma de la figure 3-1 (a) représente les dispositifs CRS que nous avons fabriqués grâce à une version modifiée du procédé *nanodamascène* développé à l'université de Sherbrooke pour la fabrication de transistors et de dispositifs mémoires monoélectroniques [5]. Ce procédé permet d'obtenir des dimensions similaires ou

supérieures à ce qui peut être obtenu avec une lithographie 193 nm utilisée en milieu industriel (motifs de $50 \times 100 \text{ nm}^2$). De plus, comme le montre la figure 3-1 (a) on peut facilement rajouter un accès à l'électrode centrale de la CRS pour pouvoir étudier séparément chacune des jonctions résistives. Ce n'est pas le cas pour les procédés classiques d'empilement des matériaux (figure 3-1 (b)) qui nécessitent alors des procédés de gravures contrôlés pour ne garder que le point central.

La figure 3-2 ci-dessous résume les principales étapes pour la fabrication de dispositifs OxRRAM Ti/HfO_x/TiN/Ti et CRS Ti/TiN/HfO_x/Ti/ HfO_x/TiN/Ti via le procédé *nanodamascène* adapté. Le même nombre d'étapes est requis pour fabriquer l'un ou l'autre des dispositifs, ce qui constitue un réel avantage afin de pouvoir étudier dans un premier temps les performances des dispositifs OxRRAM isolés.

La première étape d'électrolithographie EBL 1 permet de définir la largeur et la profondeur de la jonction de commutation grâce à une gravure assistée par plasma de l'oxyde en utilisant le gaz CF₄.

La seconde étape d'électrolithographie EBL 2 permet de déposer l'électrode centrale dans le cas de la CRS et latérale dans le cas de l'OxRRAM en Ti par soulèvement.

L'étape 3 permet de déposer successivement 10 nm de HfO_x, 10 nm de TiN et 160 nm de Ti afin de constituer la ou les jonction(s) résistive(s).

Une étape de CMP ou polissage mécano-chimique vient ensuite aplanir les jonctions en enlevant toute la matière hors de la tranchée gravée à l'EBL 1. La CMP s'arrête sur la couche d'oxyde et révèle uniquement la surface des jonctions résistives.

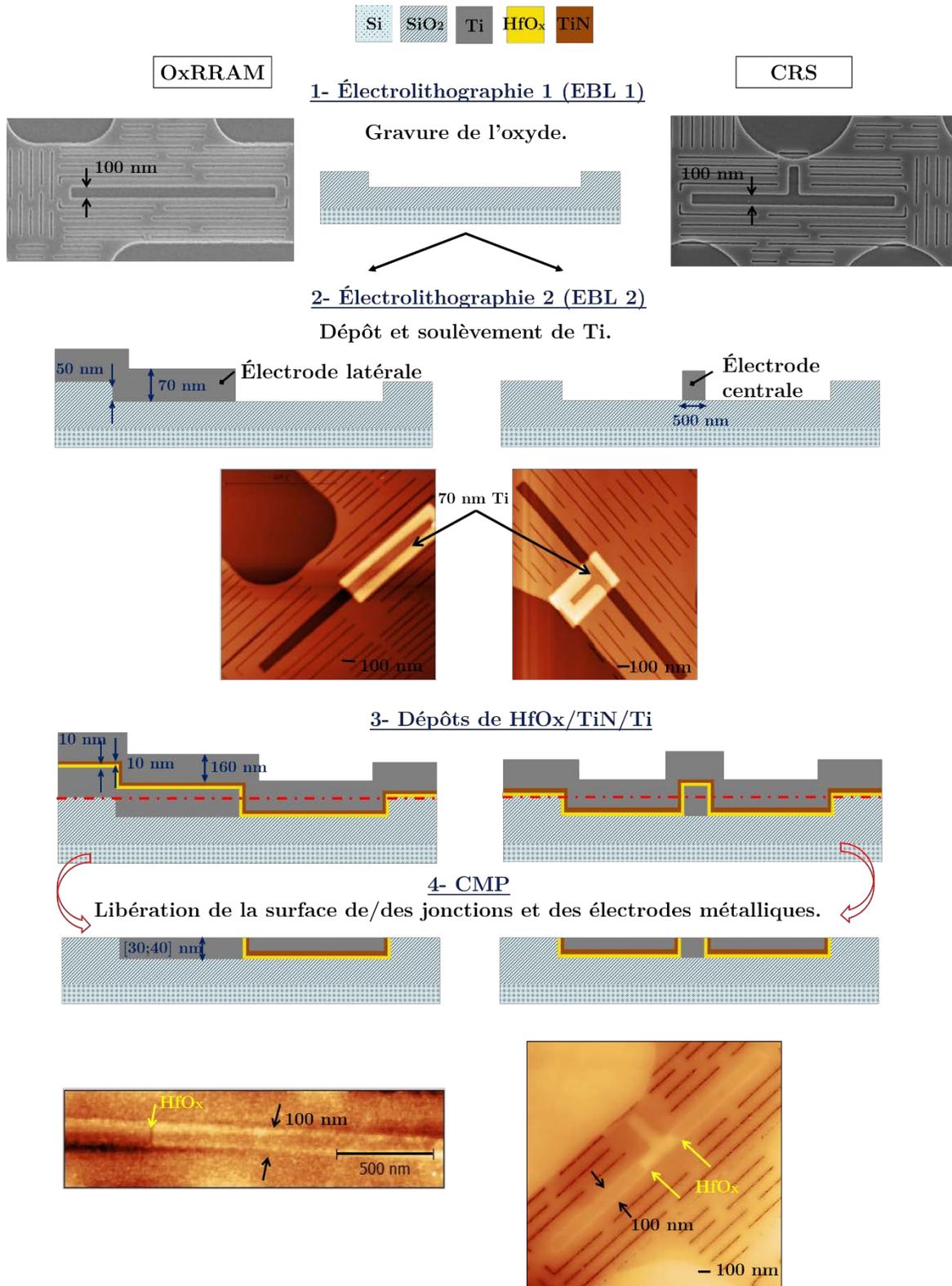


Figure 3-2 Principales étapes du procédé *nanodamascène* pour la fabrication de jonctions résistives Ti/HfO_x/TiN/Ti planaires accompagnées d'observations au SEM et l'AFM.

3.2 Connexion des jonctions résistives

Pour connecter les jonctions résistives fabriquées suivant les étapes mentionnées sur la figure 3-2 ci-dessus, on doit effectuer une étape préalable de photolithographie 1 (UV 1) suivie d'une gravure de l'oxyde. Cela permet de relier les pads de caractérisations électriques de $\approx 200 \times 200 \mu\text{m}^2$ vers la zone où sont fabriqués les dispositifs comme le montre la figure 3-3. Ces chemins d'amenées de courant de $2 \mu\text{m}$ de large et 60 nm de profond seront remplis de métal lors de l'étape de dépôts successifs de HfO_x , TiN et Ti de la figure 3-2. Des motifs sacrificiels (en bleu sur la figure 3-3) sont aussi définis sur toute la surface de l'oxyde en respectant une densité de motifs de 50 % afin de garantir une planarisation homogène lors de la CMP.

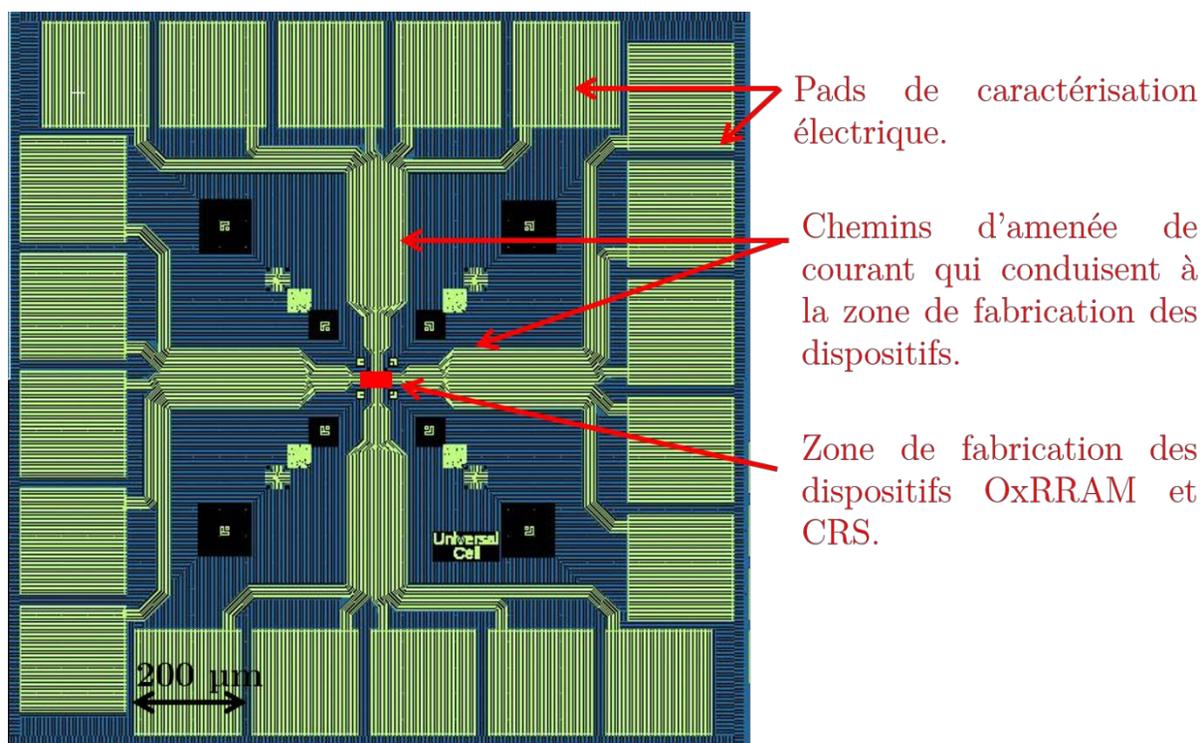


Figure 3-3 Image sous Layout editor d'une zone du masque de photolithographie 1.

Après avoir fabriqué les jonctions on doit ajouter une étape d'électrolithographie EBL 3 pour connecter les électrodes nanométriques des jonctions avec les extrémités des chemins d'amenés UV 1 micrométriques. Cette étape consiste en un soulèvement de 70 nm de Ti , comme le montre la figure 3-4 ci-dessous.

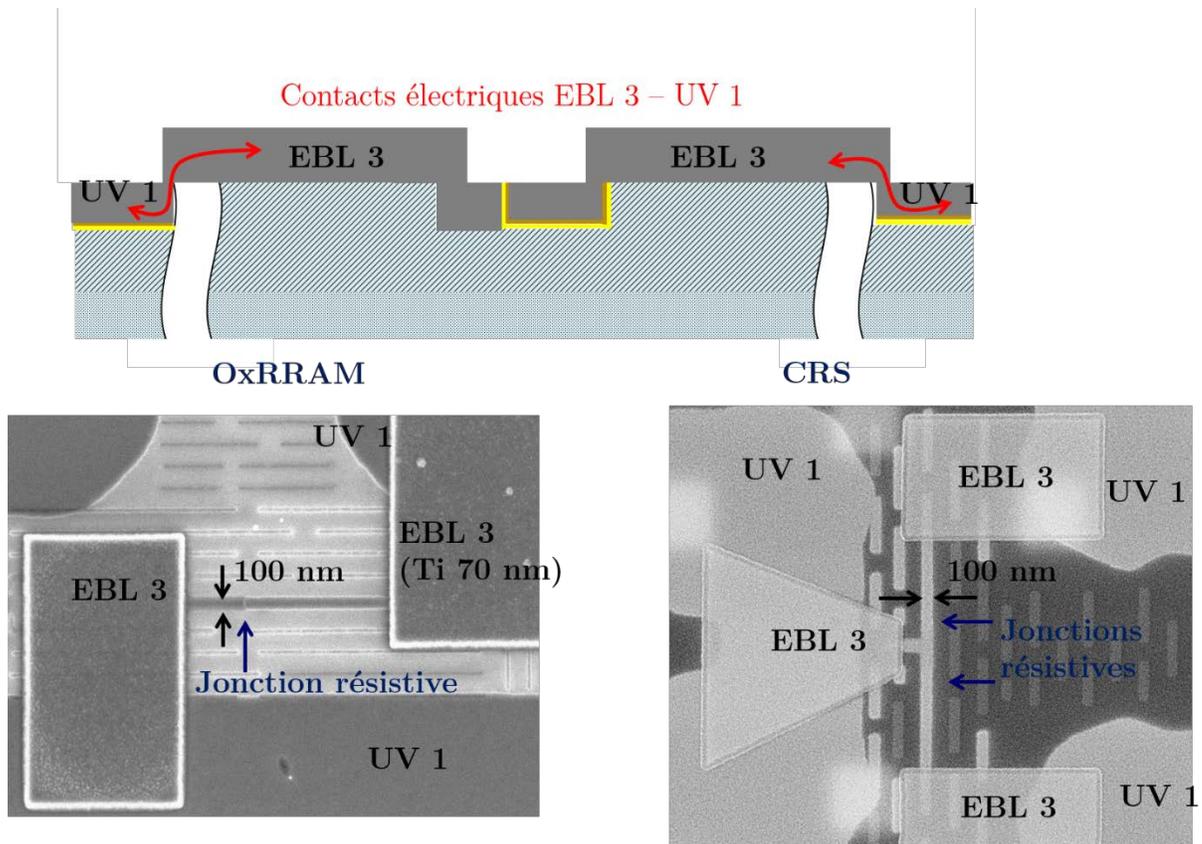


Figure 3-4 Schéma (vue en coupe) et observations SEM (vues de dessus) de dispositifs OxRRAM et CRS.

Une couche de passivation de 80 nm de SiN est ensuite déposée par dépôt chimique en phase vapeur assisté par plasma (PECVD) pour protéger les surfaces des jonctions résistives.

Enfin, une dernière étape de photolithographie (UV 2) est réalisée pour graver cette couche de SiN au niveau des pads de caractérisation électrique et déposer deux couches de Ti/Al qui assurent un bon contact électrique (voir figure 3-5 ci-dessous).

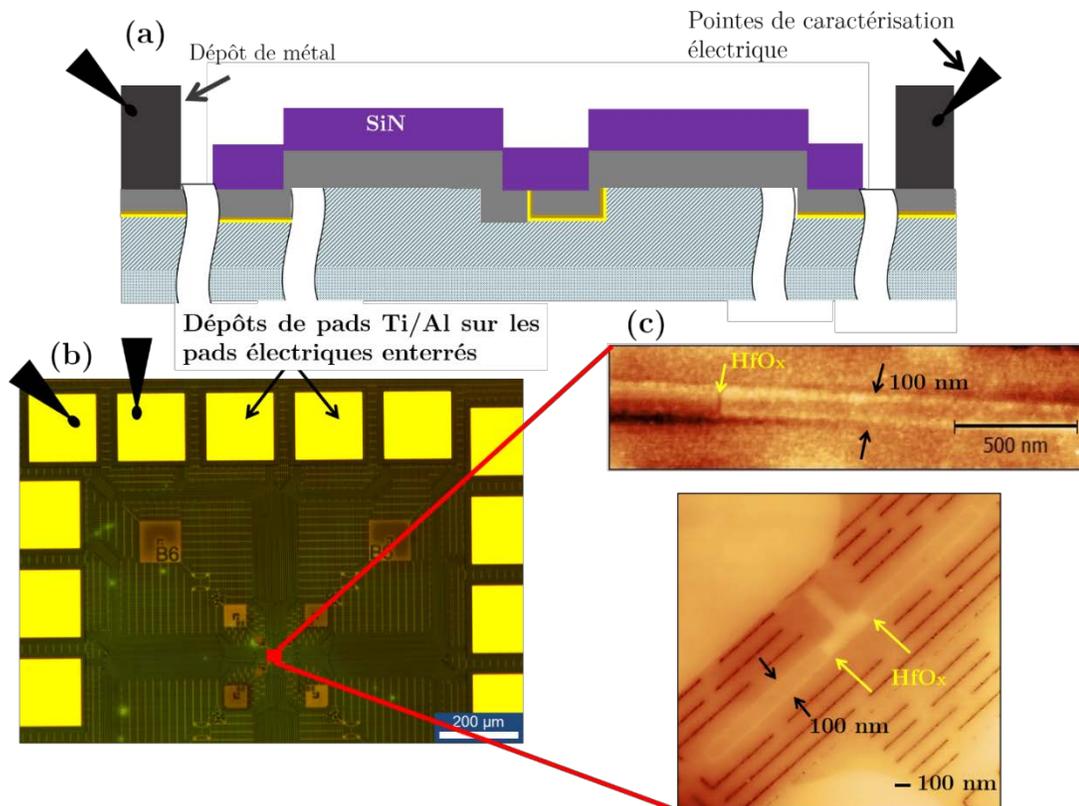


Figure 3-5 (a) Schéma (vue en coupe) de la connexion entre les pads de caractérisation et les électrodes nanométriques des dispositifs. (b) Image optique (vue de dessus) du soulèvement métallique des pads de caractérisation électrique. (c) Images AFM (vue de dessus) de dispositifs OxRRAM et CRS fabriqués au centre de la cellule entourée par les pads de caractérisation électrique de (b).

Le budget thermique du procédé de fabrication ne dépasse pas 450 °C ce qui est compatible avec un procédé BEOL de la filière CMOS.

Le procédé est donné en détails en Annexe A.

3.3 Intégration 3D monolithique

Dans une première partie de cette thèse les dispositifs mémoires ont été fabriqués sur silicium afin de valider le procédé de fabrication mais aussi d'avoir des premières mesures des performances électriques de ces mémoires *nanodamascène*. Par la suite, les mémoires ont été intégrées de façon monolithique (3D monolithique) dans le BEOL de puces CMOS fournies par STMicroelectronics. L'objectif de cette deuxième phase est multiple : i) pouvoir utiliser des transistors MOS pour le contrôle du courant au sein des structures mémoires et ainsi avoir une meilleure idée des performances réelles des mémoires; ii) fournir une preuve de concept de la fabrication 3D monolithique; iii) apporter une première démonstration de la compatibilité des procédés de fabrication avec les requis BEOL du CMOS et la non dégradation des dispositifs FEOL. La figure 3-6 ci-dessous représente schématiquement la structure 1T1R visée.

Par rapport au procédé de fabrication précédemment détaillé, des ajustements ont été apportés concernant :

- l'alignement des étapes de photolithographie et d'électrolithographie afin de fabriquer les dispositifs au-dessus des transistors préalablement choisis
- on a dû ajouter une étape d'interconnexion pour permettre de prendre le contact électrique sur les pads des transistors MOS et de les relier à une des électrodes des dispositifs OxRRAM ou CRS (flèches rouges sur la figure 3-6).

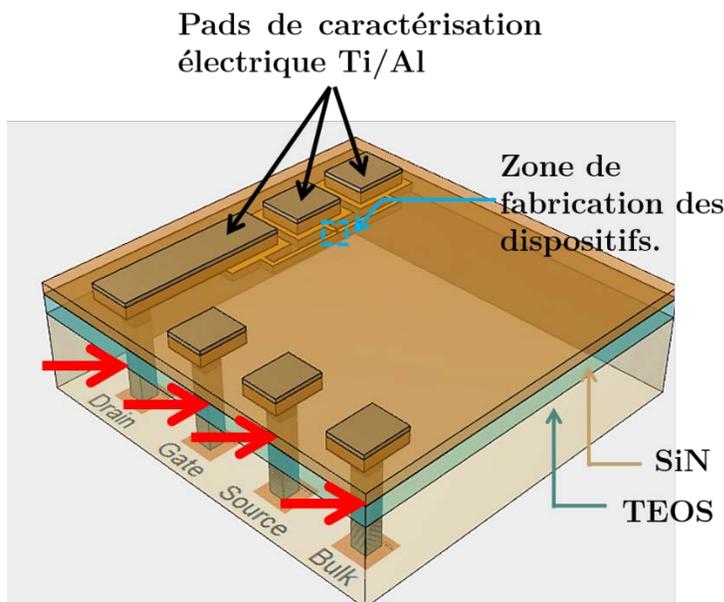


Figure 3-6 Schéma 3D simplifié d'un dispositif CRS dont une des deux OxRRAM le constituant est interconnectée à un transistor MOS en fin de procédé *nanodamascène*.

3.3.1 Description des substrats CMOS utilisés

Les puces CMOS utilisées pour la fabrication des mémoires sont des puces découpées à partir de plaques 300 mm de la technologie C040 de STMicroelectronics (dimension minimale de la grille = 40 nm). La fabrication des circuits pour ces plaques a été arrêtée après le premier niveau de métallisation M1. Au-dessus de ce niveau de métallisation ont été déposées les couches de protection suivantes :

- 35 nm de SiCN faisant office de barrière de diffusion du cuivre
- 242 nm de SiOC poreux ou ultra low k (ULK)
- ~ 28 nm de SiOC dense
- ~ 100 nm d'oxyde PECVD TEOS.

L'empilement de ces couches est schématisé figure 3-7. Les dispositifs mémoires sont donc fabriqués dans la couche de TEOS.

Les puces de 300 mm de diamètre sont découpées en puces de $6 \times 7 \text{ cm}^2$ avec lesquelles on peut travailler sur les équipements de salles blanches du 3IT. Chaque puce de $6 \times 7 \text{ cm}^2$ contient plusieurs zones ou barrettes de transistors MOS qui nous intéressent et que l'on souhaite connecter aux dispositifs OxRRAM et CRS fabriqués dans le BEOL.

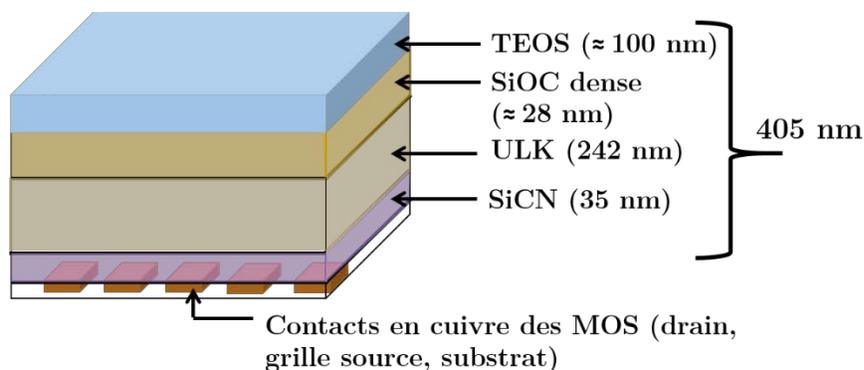


Figure 3-7 Vue 3D schématisée d'un substrat issu des plaques 300 mm de diamètre provenant de STMicroelectronics et utilisées pour la fabrication de dispositifs.

3.3.2 Procédé d'interconnexion pour les structures 1T1R

Le procédé d'interconnexion développé pour relier les pads de cuivre des transistors MOS avec les dispositifs OxRRAM nécessite deux étapes de photolithographie supplémentaires après l'étape de passivation SiN.

- 1- La première étape permet de graver la quasi-totalité des couches de protection au-dessus des contacts en cuivre des drains, grilles, sources, et substrats des transistors. La gravure dure environ 5 min et s'arrête au SiCN. Il s'agit de l'étape 1- sur la figure 3-8 ci-dessous. On utilise un procédé de gravure ionique réactive de même chimie CF_4 pour toutes ces couches.
- 2- La seconde étape de gravure permet de révéler simultanément les pads de contact des transistors et ceux des mémoires. Une étape de soulèvement de Ti/Al permet par la suite de connecter les dispositifs sous forme de structure 1T1R. Le schéma électrique équivalent de cette structure est donné dans le cadre de la figure 3-8.

Une fois ces étapes de photolithographie/gravure/dépôt métalliques réalisées, les dispositifs OxRRAM ont leur électrode passive de TiN/Ti connectée au drain d'un transistor MOS. Les CRS ont également une de leur électrode passive connectée à un MOS. Les électrodes actives de Ti des dispositifs ne sont pas connectées aux MOS et restent accessibles pour l'application d'une tension.

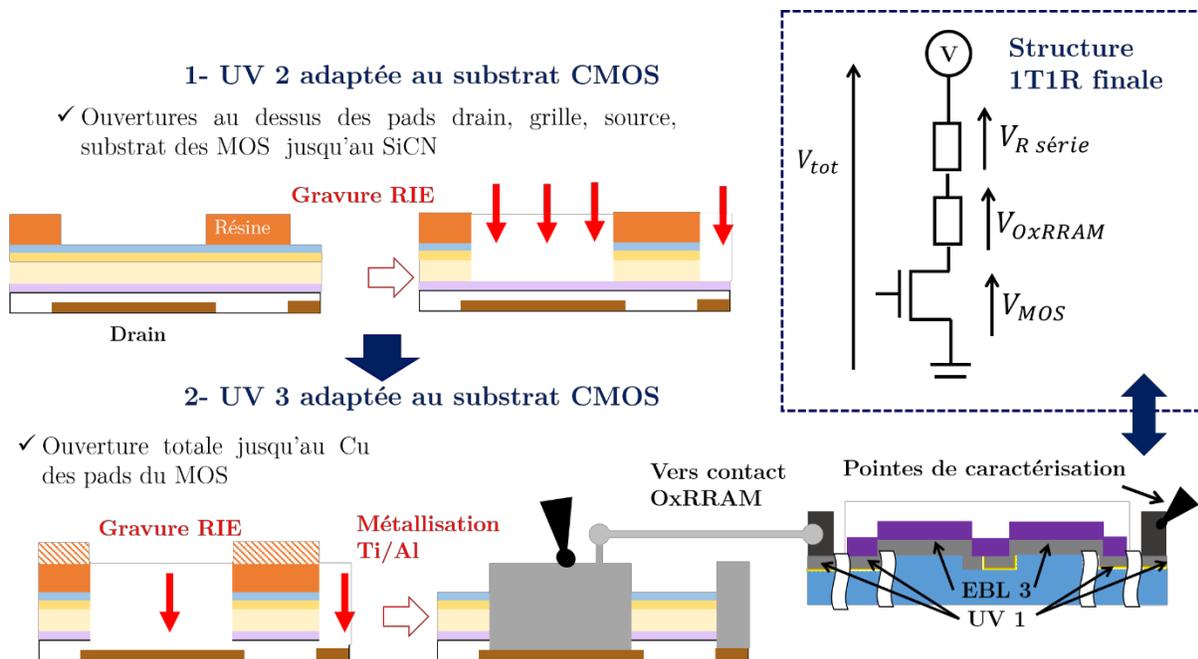


Figure 3-8 Schémas (vues en coupes) des étapes d'interconnexion et de reprise de contact sur les pads de cuivre des transistors MOS. Le schéma électrique équivalent de la structure 1T1R finale est donné dans le cadre en pointillée bleu.

3.4 Caractérisations morphologiques de dispositifs OxRRAM

Le laboratoire de caractérisations physiques de STMicroelectronics a réalisé des caractérisations morphologiques sur les jonctions résistives des dispositifs.

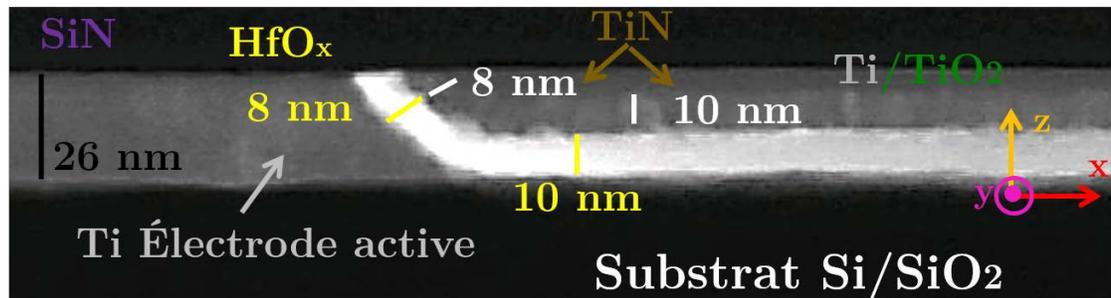
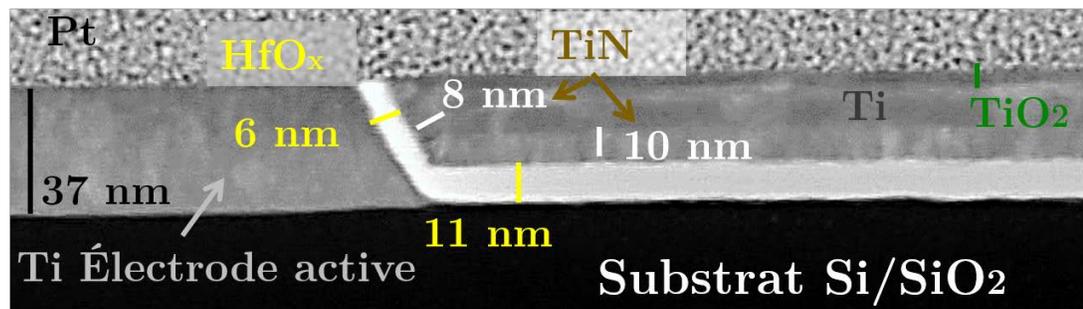
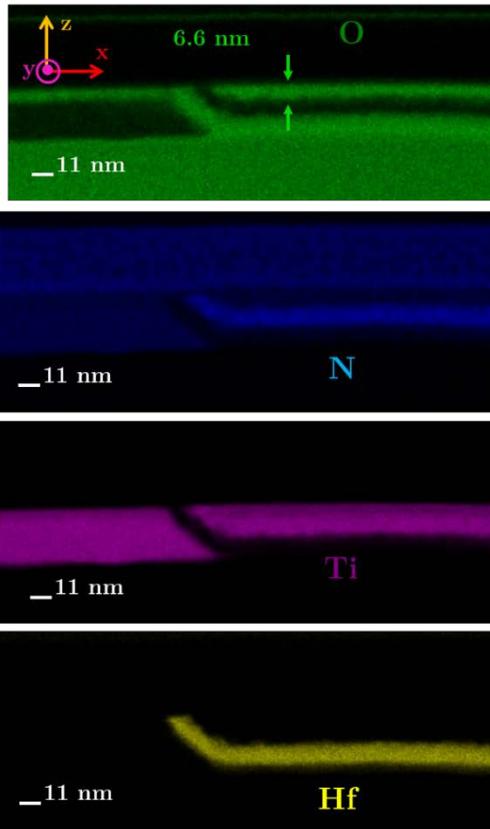
(a) Échantillon 1- Août 2016- coupe observation STEM(b) Échantillon 2- Juin 2015- coupe observation STEM

Figure 3-9 Observations STEM de deux dispositifs OxRRAM fabriqués à 1 an d'intervalle. Les coupes sont réalisées perpendiculaires à la jonction de commutation (la jonction est selon l'axe y, perpendiculaire au plan xz de la coupe).

Les coupes STEM de la figure 3-9 réalisées sur deux échantillons fabriqués à presque une année d'intervalle nous permettent de valider les points suivants :

- On peut obtenir des jonctions résistives d'environ $27 \times 80 \text{ nm}^2$ (la largeur 80 nm est mesurée lors des observations SEM suite à l'étape d'EBL 1, telle que l'indique la figure 3-2).
- La CMP résulte en une surface plane de la jonction de commutation avec des interfaces propres et bien définies. Cette planarité a également été confirmée par de nombreuses caractérisations AFM.
- La profondeur résiduelle après CMP varie d'un échantillon à l'autre : les échantillons 1 et 2 avaient initialement la même profondeur de tranchée de 50 nm lors de la gravure de l'EBL 1 et leur profondeur post CMP diffère de presque 10 nm.
- L'épaisseur des dépôts diffère selon que le matériau se dépose sur le flanc ou sur le fond de la tranchée, la pulvérisation cathodique n'étant pas une technique pour obtenir des dépôts ultra-conformes. Ainsi le HfO_x dont l'épaisseur visée est 10-11 nm dans le fond de la tranchée, résulte en une épaisseur de 6-8 nm sur le flanc de l'électrode active en Ti. De même le TiN, dont l'épaisseur visée est 10 nm résulte en une épaisseur de 8 nm sur le flanc des tranchées.
- Le taux de dépôt est stable dans le temps.

- Il existe un angle de dépôt dans la direction z de l'électrode active en Ti dû au procédé de soulèvement (transfert du profil de la résine de soulèvement). Cet angle n'est pas à première vue gênant et peut être corrigé en utilisant un procédé de dépôt métallique suivi d'une gravure plasma comme dans [67]. On peut par contre imaginer que la surface du dépôt de Ti par évaporation n'est pas parfaitement lisse dans la direction y ce qui pourrait engendrer une forte rugosité de surface par endroit et donc entraîner des zones de concentration préférentielles du champ électrique.



(a) Échantillon 1 Analyses STEM-EDX

Figure 3-10 Analyses STEM-EDX des coupes de des deux échantillons de la figure 3-9. La présence de l'élément azote hors de la couche de TiN et de SiN est un artéfact de la mesure

(b) Échantillon 2- Analyse STEM-EDX

Les analyses STEM-EDX de la figure 3-10 réalisées sur les mêmes échantillons (a) et (b) que ceux de la figure 3-9 révèlent la présence d'une couche d'oxydation en surface des électrodes métalliques. Cette couche d'oxyde d'environ 6 nm est due aux étapes de nettoyage suivant la CMP et à l'étape d'électrolithographie EBL 3 réalisée avant l'étape de passivation SiN.

L'étape d'EBL 3 ne peut être faite après passivation, car la gravure de la passivation SiN résulte en des composés fluorés qui empêchent ensuite un bon contact électrique sur les électrodes nanométriques. (voir Annexe B pour plus de détails).

Il semblerait également que l'interface Ti de l'électrode

active/HfO_x soit un chemin préférentiel pour l'oxydation, ce qui pourrait nuire aux performances des dispositifs.

3.5 Conclusion chapitre 3

Le procédé *nanodamascène* a été adapté avec succès à la fabrication de dispositifs mémoires OxRRAM et CRS aux dimensions de jonctions nanométriques ($\approx 30 \times 80 \text{ nm}^2$ avec 8 ou 6 nm d'HfO_x). 52 étapes de fabrication sont nécessaires que ce soit pour des dispositifs OxRRAM unitaires ou bien CRS. Les dispositifs sont entièrement enterrés dans une matrice d'oxyde (SiO₂ ou TEOS) et la jonction de commutation Ti/HfO_x/TiN/Ti est verticale (avec un filament de conduction qui sera horizontal).

Un procédé d'interconnexion est ajouté pour obtenir des structures 1T1R intégrées par voie monolithique 3D sur puces CMOS.

La morphologie, l'intégrité et la composition chimique de la jonction Ti/HfO_x/TiN/Ti sont vérifiées grâce à des analyses STEM et STEM-EDX, confirmant ainsi la pertinence de l'utilisation du procédé *nanodamascène* pour fabriquer des dispositifs mémoires résistives.

CHAPITRE 4 Caractérisations électriques de dispositifs OxRRAM fabriqués sur substrat Si

Le chapitre 4 présente l'ensemble des caractérisations électriques réalisées sur quatre lots de dispositifs OxRRAM fabriqués par procédé *nanodamascène* sur substrat Si en configuration 1R et mode quasi statique (QS). L'opération d'électroformage et les performances électriques obtenues sont discutées en fonction des différences morphologiques entre les lots. Les mécanismes de conduction dans les états Pristine, LRS et HRS sont étudiés à l'aide de caractérisations électriques en température. Le modèle de simulation développé par l'équipe de S. Blonkowski. [6] impliquant le phénomène d'électromigration des atomes métalliques constituant le filament de conduction est proposé afin de reproduire les mécanismes de commutation pendant les phénomènes de SET et RESET et ainsi d'expliquer la phénoménologie de la commutation résistive.

4.1 Évaluation des résistances d'accès

L'ajout d'électrodes permettant la caractérisation électrique des dispositifs mémoires implique la réalisation de chemins d'amenées de courant de 2 μm de large, une centaine de nm de profondeur et de plusieurs centaines de μm de long depuis les pads de caractérisations électriques jusqu'aux électrodes nanométriques des dispositifs. Les électrodes nanométriques (d'environ 80 nm de large et de 1.4 μm de long) qui conduisent ensuite jusqu'à la jonction résistive présentent elles aussi une résistance à prendre en compte. On a alors une résistance série totale $R_{\text{série}}$ qui vaut :

$$R_{\text{série}} = R_{\text{chemins UV}} + R_{\text{nano électrodes}} \quad [4.1].$$

Pour évaluer les valeurs de ces résistances $R_{\text{chemins UV}}$ et $R_{\text{nano électrodes}}$ il faut connaître la profondeur résiduelle des tranchées après CMP. Des structures de mesure quatre pointes sont alors fabriquées en même temps que les dispositifs pour pouvoir évaluer la quantité de matière consommée par la CMP (voir Annexe C pour les détails).

Une fois les dimensions des électrodes connues on peut retrouver la résistance via la relation $R = \rho L/S$. Notons que l'on reste dans des dimensions supérieures au libre parcours moyen des électrons dans le Ti ou TiN (autour de 10 nm) ce qui permet de négliger les effets des interfaces et des joints de grains dans l'estimation de la résistivité et d'utiliser la loi d'ohm. Typiquement on obtient des résistances $R_{\text{série}}$ entre 6 et 10 k Ω .

4.2 Caractérisations électriques à température ambiante

Les caractérisations électriques sont réalisées à l'aide d'un analyseur paramétrique Keithley 4200 SCS. Le mode continu ou quasi statique (QS) a été utilisé dans un premier temps afin d'étudier en détails les structures OxRRAM en configuration 1R fabriquées à plusieurs reprises dans le temps. La tension est toujours appliquée sur l'électrode active en Ti des dispositifs. L'électroformage est toujours réalisé en tension positive avec une compliance en courant limitée par l'appareil de mesure. Suite à l'électroformage les cycles de commutations sont conduits en

appliquant des rampes ou balayages en tensions, alternativement négatives puis positives de $0\text{ V} \rightarrow V_{stop} \rightarrow 0\text{ V}$.

L'ensemble des valeurs de courants et tensions données dans les tableaux ci-dessous sont relatives aux dispositifs nanométriques. La contribution de la résistance série évoquée à la section 4.1 a été soustraite.

Quatre lots de dispositifs, A B C et D, ont été fabriqués sur substrats Si.

- Le lot A a servi de preuve de concept pour valider que le procédé *nanodamascène* et les matériaux de l'empilement choisis sont adaptés à la fabrication des dispositifs mémoires résistives sur Si. Ces premiers tests ont permis de déterminer les paramètres principaux de courants et tensions des caractérisations électriques en configuration 1R.
- Le lot B nous a permis d'étudier l'impact de la largeur de la tranchée et de l'épaisseur de la jonction de commutation sur les caractérisations électriques. Les largeurs de jonctions sont diminuées par deux (100 nm au lieu de 200 nm) et l'épaisseur d'oxyde de commutation visée dans le fond de la tranchée est diminuée de presque un tiers (10 nm au lieu de 14 nm). Ce lot a également permis de fabriquer les premières structures CRS (se référer au chapitre 6 pour l'analyse des dispositifs CRS sur substrat Si).
- Le lot C a permis de tester la reproductibilité des lots A et B, ainsi que de réaliser des tests d'endurance et de constant voltage stress (CVS).
- Le lot D a principalement servi pour des tests de caractérisations électriques en température dans un but d'étudier les mécanismes de conduction dans la jonction résistive.

Nous allons discuter et comparer l'ensemble des résultats obtenus sur ces lots pour l'opération d'électroformage et pour les commutations résistives dans cette section 4.2. Nous parlerons de l'étude des mécanismes de conduction dans la section 4.3.

4.2.1 Opération d'électroformage

Détermination de la compliance en courant

Dans la littérature il est prouvé que le courant de compliance $I_{c\ formage}$ utilisé lors de l'étape d'électroformage influe sur les niveaux de courants en état LRS et au moment du RESET, en modulant la section du filament de conduction [27]. En effet, on a les relations de proportionnalités inverses $R_{ON} \propto I_{c\ formage}^{-1}$ et $I_{RESET} \propto I_{c\ formage}^{-1}$.

Or, lors des premiers essais sur nos structures en configuration 1R et mode QS nous trouvons qu'un $I_{c\ formage} \approx 100\ \mu\text{A}$ est trop élevé et entraîne le claquage irréversible du dispositif. Nous avons alors déterminé le courant à utiliser pour que le claquage de l'oxyde reste réversible. On trouve qu'un $I_{c\ formage} \approx 100\ \text{nA}$ permet de créer un filament de conduction avec $I_{RESET} \approx -200\ \mu\text{A}$ et LRS ou $R_{ON} \approx 3\ \text{k}\Omega$, tel que représenté sur la courbe de la figure 4-1.

Cette valeur de $I_{c\ formage}$ 1000 fois plus faible que le I_{RESET} indique que l'appareil de mesure est incapable de limiter le courant dans un temps t plus court que le temps

de formation du filament de conduction des dispositifs, auquel s'ajoute le délai supplémentaire RC dû principalement aux câblages et au système de caractérisation. En mode QS le délai entre deux mesures est de l'ordre de la milliseconde. Le temps nécessaire à la formation du filament de conduction, si l'on considère que le filament se crée dans des temps similaires au temps de commutation, est de l'ordre de la nanoseconde. Ces 6 ordres de grandeurs de différence en temps induisent une croissance exacerbée du filament de conduction. Le filament a « le temps » de croître avant que la limitation en courant de l'appareil de mesure vienne interrompre cette croissance.

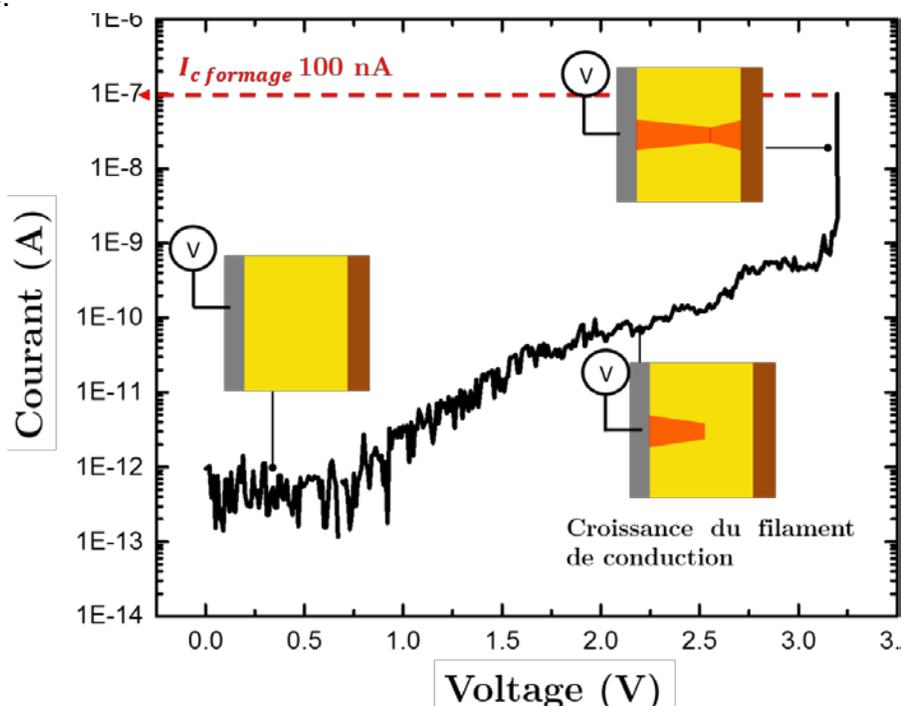


Figure 4-1 Courbe I-V d'un électroformage sur un dispositif OxRRAM Ti/HfO_x/TiN/Ti. La limite de courant est programmée à 100 nA dans l'appareil de mesure mais atteint environ 200 μ A en réalité.

Impact du sens de polarisation lors de l'électroformage

La tension V_f ou le champ E_f nécessaires pour électroformer une structure OxRRAM dépendent principalement de l'épaisseur du diélectrique, de sa constante diélectrique et du nombre de défauts initiaux, ainsi que de la nature des électrodes qui pourront interférer avec l'homogénéité de la couche de diélectrique. En effet, en choisissant pour l'électrode active un métal présentant une forte affinité à l'oxygène tel que du Ti, une couche de TiO_x se crée à l'interface Ti/HfO_x entraînant l'appauvrissement en oxygène (ou l'augmentation en lacunes d'oxygène) d'une partie de la couche de HfO_x initiale. Cette nouvelle structure facilite le processus de création du filament métallique. T. Cabout et *al.* ont montré des tensions de formage deux fois plus faibles pour des structures Ti/HfO_x/TiN comparées à des structures Pt/HfO_x/Pt [36].

La direction de croissance du filament est alors dictée par l'asymétrie introduite par l'électrode active : E. Yalon et *al.* ont montré que la croissance du filament se fait

de l'électrode active vers l'électrode passive quelle que soit la direction du champ électrique d'électroformage E_f [68]. Dans la même idée, J. Joshua et *al.* avaient montré qu'un dispositif à base de TiO_2 conservait des polarités de commutations SET RESET similaires, quelle que soit la polarité de la tension d'électroformage [24]. Par contre, la valeur absolue de la tension elle-même est fonction de sa polarité, pour une application toujours sur la même électrode. Ce phénomène s'explique en considérant les différences d'interfaces c'est à dire de hauteurs de barrières entre l'électrode active ou passive et l'oxyde de commutation, comme représenté sur le schéma de la figure 4-2 (b).

Nous avons observé cette tendance sur nos structures $Ti/HfO_x/TiN/Ti$: quelle que soit la polarité de la tension de formage appliquée sur l'électrode active, les polarités et grandeurs des tensions de commutation de SET et RESET sont inchangées. Cela signifie que le SET se produit toujours lors de l'application de la tension positive sur l'électrode de Ti, que l'électroformage ait été conduit en tension positive ou négative.

Cependant la valeur de la tension d'électroformage est plus faible pour une tension positive. Cette observation laisse supposer que la création du filament est indépendante de la direction du champ électrique E_f au sein de la structure et donc du déplacement d'espèces chargées pendant l'électroformage. L'idée que l'électroformage serait la conséquence de la diffusion d'atomes de Ti issus de l'électrode active est alors plausible puisqu'il ne dépendrait que du gradient de concentration en atomes de titane, dont la direction de la force $J_{diffusion Ti}$ est représentée sur la figure 4-2 (a-2). Ce phénomène a par ailleurs déjà été observé en microélectronique dans le claquage des oxydes de grille de structures MOS HV sous forts champs électrique. On observe alors la présence d'atomes de silicium issus de la grille métallique supérieure qui auraient diffusés dans l'oxyde de grille suite aux forts champs appliqués [69]. Plus récemment H. Jiang et *al.* ont montré l'existence d'un filament métallique riche en Ta et pauvre en O dans la matrice d'oxyde de la structure $Ta/HfO_2/Pt$, suggérant ainsi une forte contribution de l'électrode active dans les mécanismes de commutation [31].

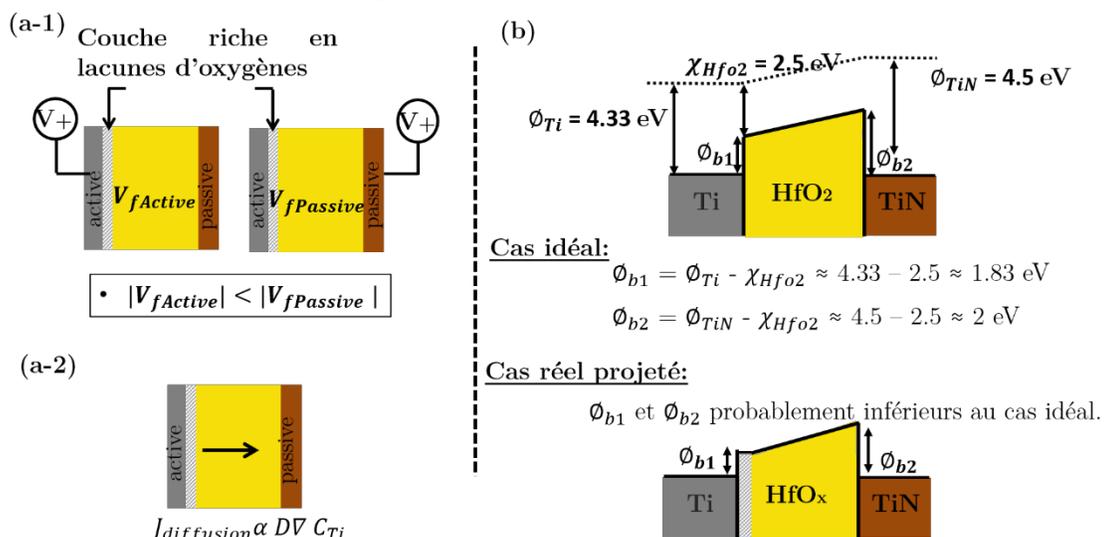


Figure 4-2 (a-1) La valeur de la tension d'électroformage est plus faible lors de l'application de la tension sur l'électrode active de l'empilement mémoire. (a-2) La

direction de la force du gradient de concentration des atomes de Ti est indépendante de la direction du champ électrique au sein de la structure. (b) Représentations schématiques du cas idéal et du cas réel des hauteurs de barrières à l'état initial (Pristine) de la jonction de commutation pour l'empilement Ti/HfO_x/TiN considéré dans ces travaux.

Pour la suite du manuscrit nous considérerons alors l'application de la tension toujours sur l'électrode active en Ti du dispositif mémoire et ce pour l'ensemble des caractérisations électriques. La polarité de la tension d'électroformage sera toujours positive.

Impact de l'épaisseur et de la surface de l'oxyde de commutation

Le tableau ci-dessous regroupe les valeurs des tensions et champs d'électroformage moyens et médians pour les 4 lots A, B, C et D ainsi que la valeur de la surface de la jonction estimée grâce aux coupes STEM sur des échantillons des 4 lots.

La tension V_{f1} est plus élevée pour le lot A d'épaisseur de 10 nm au lieu de 6 nm, mais le champ E_{f1} reste constant autour de 5 MV/cm en moyenne.

LOTS	A	B	C	D
Épaisseur HfO _x visée/mesurée (coupe TEM) (nm)	14/ 10	10/ 6	14/9	10/ 7
Surface de la jonction S_1 (μm^2)	4×10^{-3}	2×10^{-3}	1.5×10^{-3}	1×10^{-3}
V_{f1} moyen/médian (V)	5.5/5.5	3.3/ 3.3	3.9/3.7	3.4/3.5
E_{f1} moyen/médian (MV/cm)	5.5/5.5	5.5/5.5	4.3/4.1	4.9/5
Coefficient directeur de la pente de Weibull des E_{f1}	18	12.2	7.3	12.5

Tableau 4-1 Tableau répertoriant les valeurs de tension et champs d'électroformages pour les lots de dispositifs A, B et D d'épaisseurs de jonctions HfO_x de 10, 6 et 7 nm.

La loi Weibull, communément admise dans le domaine du claquage des oxydes, se base sur la probabilité d'un chemin de percolation au sein de la matrice d'oxyde (création d'un chemin constitué de défauts) et s'exprime selon l'expression suivante [70] [71] :

$$1 - F = \exp\left(-\left(\frac{E_{f1}}{E_{f0}}\right)^\beta \times \frac{S_1}{S_0}\right) \quad [4.2]$$

avec

- F la fonction de distribution cumulative (cumulative distribution function CDF) qui vaut $m/(n + 1)$ pour chaque valeur de $m \in (1; n)$ avec n le nombre total de données de la série
- β le coefficient directeur de la courbe dans une échelle Weibull des champs de claquage de l'échantillon étudié
- E_{f1} et E_{f0} les champs d'électroformages intrinsèques (ou médians) respectivement de l'échantillon étudié et d'un dispositif de référence,
- S_1 et S_0 les surfaces respectivement de l'échantillon étudié et d'un dispositif de référence.

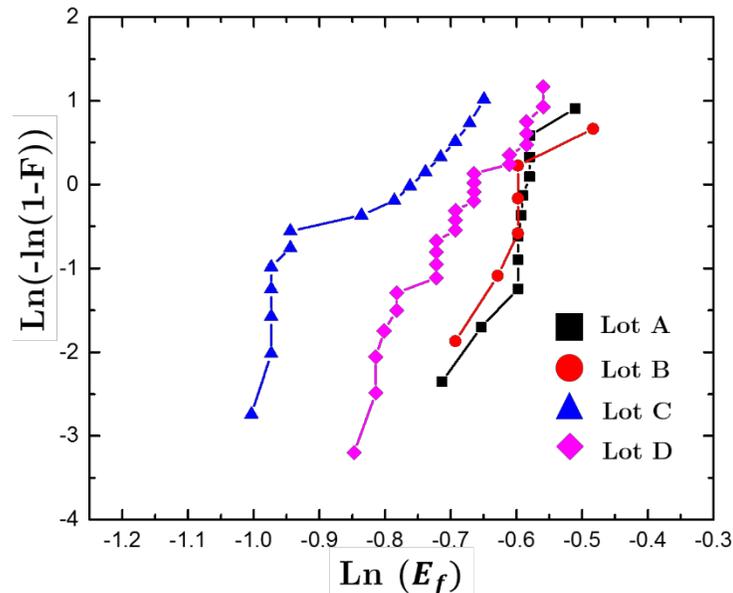


Figure 4-3 Courbes de dispersion des champs de claquage (d'électroformage) dans une échelle de type Weibull pour les dispositifs Ti/HfO_x/TiN/Ti des lots A, B, C et D fabriqués sur substrats Si.

Si on trace les courbes de dispersion des champs de claquages obtenus pour les échantillons des lots A, B et D dans une échelle Weibull simplifiée $\ln(-\ln(1 - F)) = f(\ln(E_f))$, on a une statistique du type de la figure 4-3. Étant donnée l'allure de la courbe de distribution, on retrouve bien que les valeurs médianes et moyennes des champs de claquage sont identiques. Les droites obtenues ont un coefficient directeur β entre 18 pour le lot A et 7 pour le lot C, ce qui donne 12.5 en moyenne. Cette valeur est conforme aux références de la littérature [72].

Pour se comparer à ce que l'on trouve dans la littérature sur des structures d'empilements de matériaux de même nature mais de surfaces S_2 presque 1000 fois plus grandes, on peut, à partir de l'équation [4.2], exprimer l'égalité suivante :

$$\ln\left(\frac{E_{f1}}{E_{f2}}\right) = \frac{1}{\beta} \times \ln\left(\frac{S_2}{S_1}\right) \quad [4.3] \text{ avec :}$$

- E_{f2} le champ de claquage médian de l'oxyde des structures de surfaces S_2
- β le coefficient directeur de la droite de la distribution de type Weibull.

En utilisant les valeurs des travaux de T. Cabout et *al.* [73] sur des structures Ti/HfO_x/TiN de surfaces S_2 de 1 μm^2 et dont le champ d'électroformage $E_{f2} = 2.5 \text{ MV/cm}$, on trouve $\beta \approx 12$.

Le bon ordre de grandeur de β trouvé expérimentalement (moyenne de 12.5) nous rassure quant à la nature intrinsèque de l'électroformage de nos structures.

On préférera travailler avec une épaisseur d'oxyde de 6 nm pour avoir les V_f les plus faibles possibles.

Conclusion sur l'étape d'électroformage

En raison des capacités et résistances séries mais aussi parasites présentes lors de mesures en configuration 1R, le courant de compliance lors de l'étape d'électroformage $I_{c \text{ formage}}$ doit être programmé à 100 nA.

La tension sera toujours appliquée sur l'électrode active en Ti du dispositif Ti/HfO_x/TiN/Ti pour faciliter l'opération d'électroformage avec des tensions les plus basses possibles.

On préférera une épaisseur d'oxyde de 6 nm au lieu de 10 nm pour travailler avec des tensions d'électroformage V_f les plus faibles possibles (autour de 3 V).

Les champs d'électroformages obtenus (≈ 5 MV/cm) sont cohérents avec ce que l'on trouve dans la littérature sur des structures d'empilements similaires mais de surfaces plus grandes.

4.2.2 Commutations résistives

Influence de la passivation de la jonction résistive

Le tableau 4.2 présente l'impact d'une couche de passivation sur les performances des jonctions résistives. Les échantillons A-1 et A-3 du lot A n'ont pas été passivés alors que l'échantillon A-2 a été passivé avec une couche de SiN.

LOT	A		
Échantillons	A-1	A-2	A-3
Passivation	NON	OUI	NON
Nombre de cycles moyen	5	8	2
Proportion de dispositifs avec un nombre de cycles > 5	18 %	36 %	0 %
Proportion de dispositifs avec un nombre de cycles > 5 fonctionnels 10 jours après les premiers tests	2 %	36 %	NA
Endurance maximale (nombre de cycles)	13	16	0
Dispersion des valeurs de V_{SET} et V_{RESET}	50 %	<10 %	NA

Tableau 4-2 Tableau regroupant les tensions d'électroformage et les performances de cyclage des dispositifs du lot A dont seuls ceux issus de l'échantillon A-2 ont été passivés.

On observe que les meilleures performances de cyclage et d'endurance sont obtenues pour les dispositifs passivés du lot A-2 : 36 % de dispositifs cyclent plus de 5 fois vs 18 % et 0 % pour les deux autres lots, et sont toujours performants 10 jours après les premières caractérisations. La dispersion des valeurs de V_{SET} et V_{RESET} du lot A-2 est aussi cinq fois meilleure que pour les autres lots, et l'endurance maximale est atteinte.

De plus des analyses STEM-EDX sur des dispositifs du lot A-1 caractérisés électriquement sans passivation ont révélé que la jonction de commutation se dégrade et réagit avec l'oxygène de l'air ambiant (voir figure 4-4). Ce phénomène, qui a lieu soit dès l'électroformage soit lors des caractérisations électriques, est très probablement accéléré sous champ électrique et n'est pas observé sur des échantillons passivés. Ceci indique que la jonction se dégrade lorsque laissée à l'air et à l'humidité ambiante, et que de l'oxygène serait susceptible de diffuser au niveau de la jonction.

De manière à limiter le temps d'exposition à l'air ambiant, nous avons introduit systématiquement une étape de passivation SiN dans le procédé de fabrication des dispositifs OxRRAM et CRS. A cause d'impératifs de procédé de fabrication, l'étape de

passivation est réalisée après l'étape d'EBL 3 et non après la CMP, ce qui serait le cas idéal (voir l'Annexe B pour l'explication).

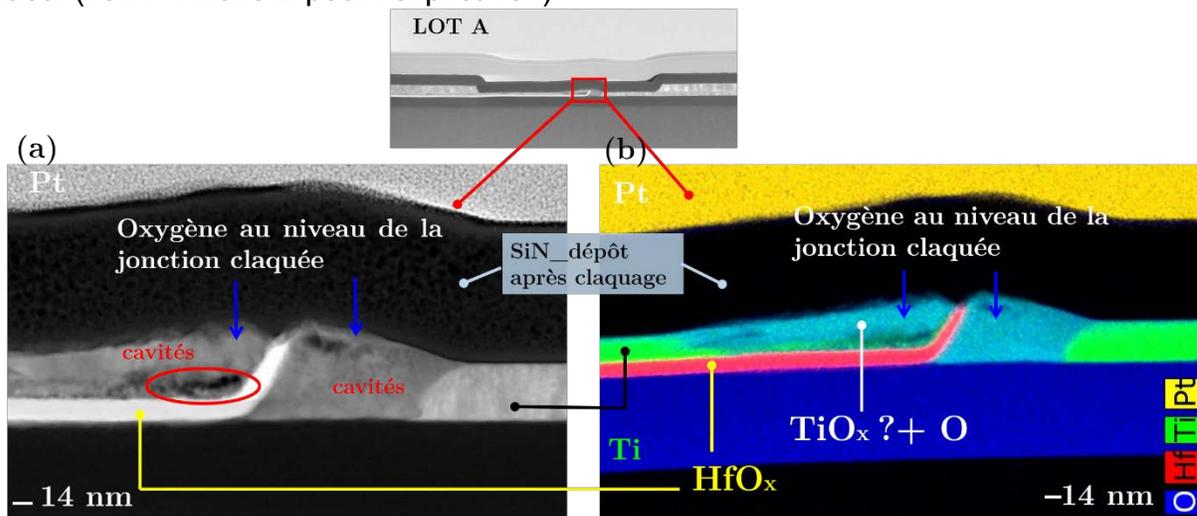


Figure 4-4 (a) Observation STEM d'une jonction d'un dispositif du lot A-1 caractérisé électriquement sans passivation de la jonction. Le claquage du diélectrique HfO_x provoque un gonflement de la jonction. (b) Cartographie chimique STEM-EDX de cette même jonction résistive révélant une grande quantité d'oxygène dans le gonflement de la jonction après claquage.

Influence de l'épaisseur d'oxyde sur les rendements et performances

Le tableau ci-dessous regroupe les performances des dispositifs issus des lots A B et C. Les valeurs du lot D ne sont pas prises en compte dans cette analyse, pour éviter qu'elles biaisent les résultats. En effet comme nous le verrons par la suite la hauteur de tranchée résultante après CMP est trop faible (mauvaise maîtrise du procédé) pour permettre des caractérisations électriques fiables.

LOTS	A	B	C
Épaisseur HfO _x visée/mesurée (coupe TEM) (nm)	14/ 10	10/ 6	14/ 9
Nombre de dispositifs qui cyclent au moins 1 fois	66 %	72%	40 %
Moyenne du nombre de cycles	4	4	6
Proportion de dispos avec un nombre de cycles > 5	13 %	17 %	20 %
Valeurs pour les dispositifs dont le nombre de cycles > 5			
V_{SET} moyen (V)	0.5	0.5	0.5
V_{RESET} moyen (V)	-0.6	-0.6	-0.6
I_{RESET} (μ A)	-150	-140 - -180	-200
LRS (k Ω)	2.5	3	2.5
HRS (k Ω)	100 - 300	80 - 260	30 - 100
Ratio HRS/LRS	40 - 120	25 - 90	12 - 40

Tableau 4-3 Tableau regroupant les performances de caractérisations électriques des dispositifs des lot A, B et C ayant respectivement une épaisseur d'oxyde de commutation mesurée de 10, 6 et 9 nm.

Les tensions et courants de SET et RESET sont cohérents avec ce qu'on peut trouver dans la littérature sur des structures d'empilements similaires [63][73].

Le lot B dont l'épaisseur de la jonction est la plus faible a le plus grand nombre de dispositifs fonctionnels (72 % vs 66 % et 40 %). Cependant le nombre moyen de cycles ainsi que la proportion de dispositifs cyclant plus de cinq fois est à peu près équivalente pour les trois lots (entre 4 et 6 cycles et autour de 17 %).

Cette information nous indique qu'une fois le filament de conduction formé, les commutations résistives sont indépendantes de l'épaisseur d'oxyde et que seule une partie restreinte du filament est impliquée dans les processus de SET et RESET. On peut penser que le meilleur taux de dispositifs fonctionnels post-électroformage pour l'épaisseur d'oxyde la plus faible (6 nm) est lié au fait que V_f est également plus faible et donc moins d'énergie est libérée lors de la création du filament. D'autant plus que le courant lors de l'électroformage est partiellement contrôlé.

La figure 4-5 montre les courbes I-V réalisées pour un des dispositifs de chaque lot en configuration 1R et mode QS. Les valeurs des courants I_{RESET} ($\approx -150 \mu A$) et tensions de SET et RESET (autour de 0.6 et -0.6 V respectivement) sont extrêmement similaires pour les trois dispositifs soulignant des mécanismes de commutation très similaires et appuyant l'hypothèse faite précédemment que seule une partie du filament de conduction est impliqué lors des commutations.

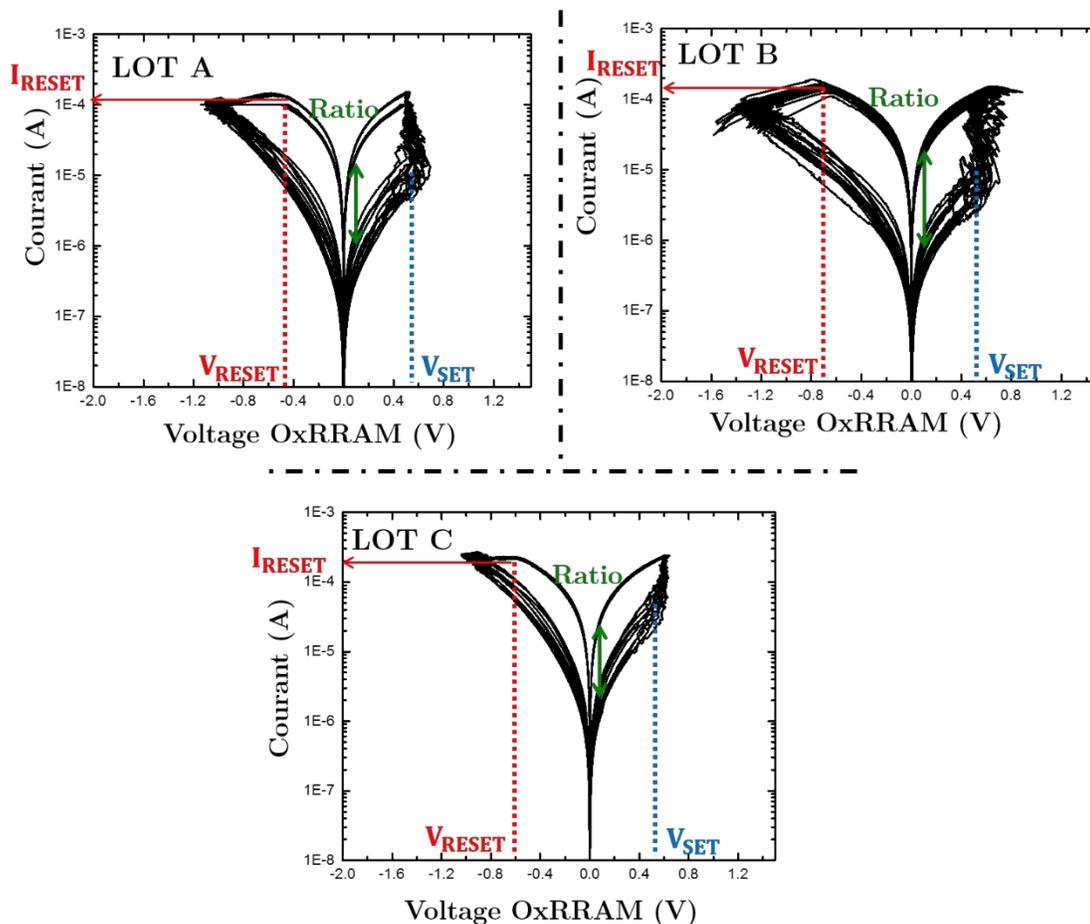


Figure 4-5 Courbes I-V représentant le comportement des commutations résistives d'un dispositif de chaque lot A, B et C. Les échelles en courant et tension sont identiques afin de faciliter la comparaison.

Influence de la profondeur résiduelle après CMP

La résistance des électrodes est variable de puce à puce et dépend de l'épaisseur résiduelle après CMP des tranchées gravées lors des étapes UV 1 et EBL 1 du procédé de fabrication. Un procédé industriel contrôlé utilisant une couche d'arrêt pour la CMP par exemple et des équipements et procédés de gravure dédiés permettrait de s'affranchir de cette variabilité. Le procédé de fabrication utilisé dans ce projet est principalement dédié à la réalisation de preuves de concept.

D'après les résultats du tableau ci-dessous, une résistance d'électrodes élevée diminue le rendement des commutations résistives.

LOTS	B	C	D
Résistance moyenne chemins d'amenées (k Ω)	6.5	7	10
Nombre de dispositifs qui cyclent au moins 1 fois	72%	40 %	22 %
Moyenne du nombre de cycles	4	6	2

Endurance maximale (nombre de cycles)	21	50	18
---------------------------------------	----	----	----

Tableau 4-4 Tableau regroupant les performances électriques pour les trois lots B, C et D ayant des résistances de chemins d'aménées de courant différentes.

Une analyse STEM-EDX de la jonction d'un dispositif du lot D montre en effet une épaisseur de tranchée résiduelle après CMP de 26 nm (environ 10 nm de moins que ce qui est généralement obtenu pour les autres lots B et C) (voir figure 4-6 ci-dessous). L'analyse STEM-EDX permet aussi de révéler que l'épaisseur restante du Ti de l'électrode de TiN/Ti ne fait que 3 - 4 nm ce qui est aussi l'épaisseur de l'oxyde natif de TiO_x en surface de la jonction.

À cause d'un mauvais calibrage profondeur des tranchées/taux de polissage des différents matériaux et temps total de l'opération de CMP, les dispositifs de ce lot D ont une hauteur de tranchée trop faible pour permettre que la conduction au niveau de l'interface $HfO_x/TiN/Ti$ soit assurée par le Ti jusqu'au TiN.

Il est donc crucial de contrôler l'étape de CMP et afin d'améliorer cette résistance on pourrait augmenter la profondeur de gravure lors de l'UV 1.

Plus tard, dans les chapitres 5 et 6, nous verrons que cette résistance de chemins d'aménées de courant élevée perturbe fortement l'opération de RESET.

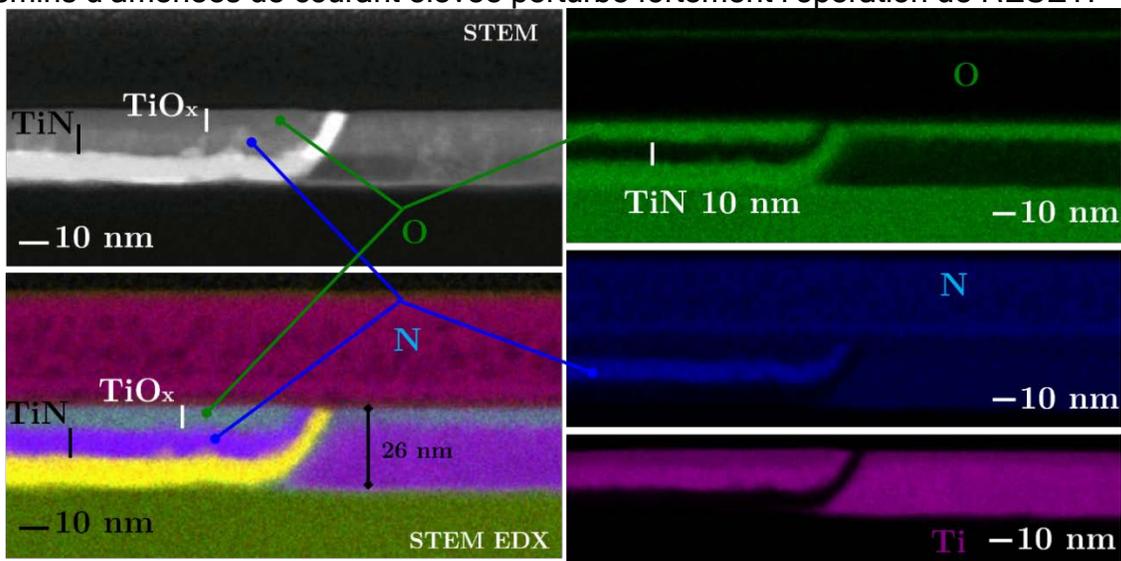


Figure 4-6 Analyses STEM et STEM EDX d'une jonction d'un dispositif mémoire $Ti/HfO_x/TiN/Ti$ du lot D. La profondeur de la tranchée résiduelle est de 26 nm (10 nm plus faible que ce qui est généralement obtenu) après CMP et la totalité du Ti de l'électrode passive TiN/Ti est oxydée.

Endurance d'un dispositif OxRRAM

La figure 4-7 ci-dessous présente les résultats des tests d'endurance et de CVS (Constant Voltage Stress) sur le dispositif OxRRAM du lot C ayant cyclé 50 fois.

On y voit les valeurs de HRS et LRS lues à une tension $V_{read} = +0.1$ mV au cours des cycles de commutations en mode QS. L'instabilité de l'état HRS est clairement plus importante que celle de l'état LRS, et une défaillance dans le cyclage apparaît au bout du 50^{ème} cycle.

L'instabilité du HRS est souvent observée et s'explique de deux façons. Premièrement, le phénomène de RESET est un phénomène auto-limité contrairement au SET qui est auto-entretenu et limité uniquement par la compliance fixe de l'appareil de mesure [40][74][75]. Deuxièmement, la conduction pendant l'état LRS est de type ohmique et donc largement plus stable que la conduction pendant l'état HRS qui dépend de la nature et de l'épaisseur de l'oxyde résiduel entre les deux brins du filament de conduction rompu.

La défaillance au bout du 50^{ème} cycle peut sembler mauvaise, mais considérant que le temps d'un cycle de commutation est de 26 secondes (13 secondes pour le SET et 13 secondes pour le RESET), elle apparaît après 2800 secondes de test, soit après 280×10^6 cycles de pulses de 10 μ s si on considère une étude en configuration pulsée.

Le test de CVS de la figure 4-7 (b) consiste à appliquer une tension continue de 100 mV sur le dispositif préalablement placé dans un état HRS et LRS. On constate que 35 min de test ne détériorent pas les états HRS et LRS, ce qui correspondrait à $\approx 210 \times 10^6$ cycles de lectures lors d'un test en configuration pulsé avec un temps de pulse de 10 μ s. Sachant que les exigences d'endurance en lecture des dispositifs mémoires dans le commerce sont autour de 10^9 cycles, nos résultats sont encourageants.

Des études plus poussées en température sont essentielles pour déterminer les phénomènes de défaillance activés thermiquement.

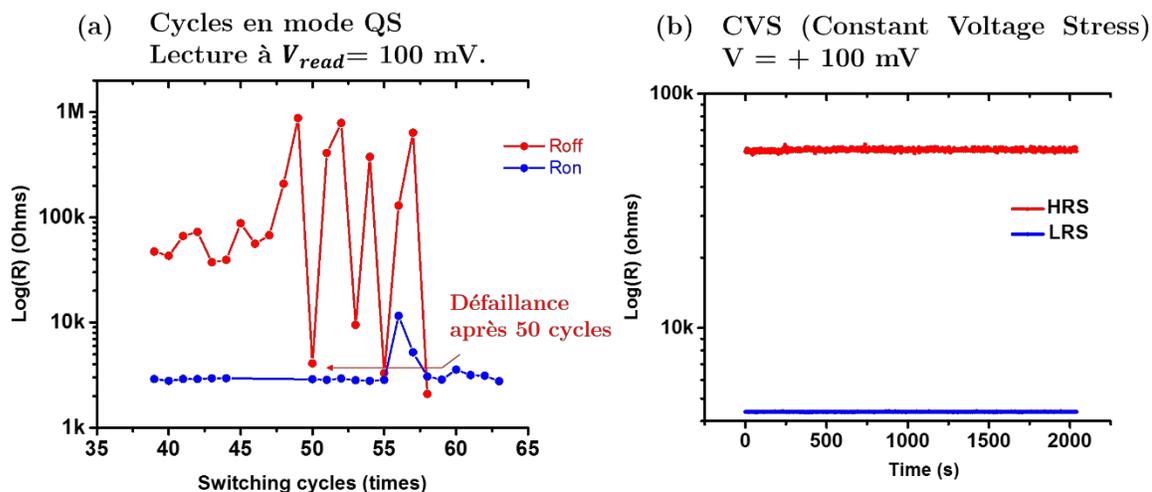


Figure 4-7 (a) Test d'endurance pour un dispositif du lot C. La défaillance dans l'état HRS apparaît dès 50 cycles. (b) Test de CVS pour les états LRS et HRS à $V=+100$ mV pour le même dispositif du lot C pendant 35 min à température ambiante.

Conclusion sur les commutations résistives

La passivation des jonctions de passivation est essentielle afin de limiter le vieillissement des jonctions à l'air et humidité ambiante.

L'épaisseur de l'oxyde de commutation entre 6 et 10 nm n'influence pas les performances des commutations résistives et seule une partie du filament de conduction est impliquée dans les opérations de SET et RESET.

Les résultats obtenus de courant et tensions d'opérations autour de la centaine de μA et de $\pm 0.6\text{ V}$ correspondent à ce que l'on trouve dans la littérature pour des structures d'empilements similaires [63][73].

Une résistance des chemins d'amenées de courant élevée limite les performances des dispositifs d'où la nécessité d'une profondeur de gravure UV 1 assez importante ($> 50\text{ nm}$) et du contrôle de l'étape de CMP.

Les tests d'endurance en mode QS et de CVS conduits sur un dispositif du lot C ayant cyclé 50 fois permettent d'envisager des performances de plus de 1×10^6 de cycles en configuration pulsée.

4.3 Études des mécanismes de conduction pour les états vierges, HRS et LRS

Afin de mieux comprendre les comportements électriques des dispositifs mémoires et de pouvoir discriminer les différents mécanismes de conduction, des mesures en température ont été effectuées sur des échantillons à l'état Pristine (vierge), LRS et HRS.

Les mécanismes de conduction pouvant exister au sein d'un empilement MIM sont classés en deux catégories : les mécanismes limités par les interfaces électrodes-isolant et les mécanismes limités par le volume du diélectrique.

Les mécanismes limités par les interfaces dépendent principalement de la hauteur de barrière entre le métal et le diélectrique et donc de la qualité des interfaces [76]. On en distingue deux principaux :

- La conduction Schottky : les électrons sont injectés dans le diélectrique en passant par-dessus la barrière ϕ_b entre le métal et le diélectrique. Ce mécanisme est généralement observé pour des températures élevées ($> 300\text{ K}$). L'équation de la densité de courant pour une conduction de type Schottky s'écrit :

$$J = A^* T^2 \exp\left[-\frac{q(\phi_b - \sqrt{qE/4\pi\epsilon_0\epsilon_r})}{kT}\right] \quad [4.4] \text{ avec :}$$

- A (en $\text{A/cm}^2.\text{K}^2$) est la constante de Richardson $= \frac{120 m^*}{m_0}$ avec m_0 la masse de l'électron libre (dans le métal), m^* la masse effective de l'électron dans le diélectrique
- q la charge électronique de $1.6 \times 10^{-19}\text{ C}$
- ϕ_b (en eV) la hauteur de barrière entre le métal et le diélectrique
- ϵ_0 (en F/m) la constante diélectrique du vide $= 8.85 \times 10^{-12}\text{ F/m}$, ϵ_r en (F/m) la constante diélectrique de l'oxyde
- E (en V/m) le champ électrique appliqué $= \frac{V_{\text{appliqué}}}{d}$ avec d l'épaisseur du diélectrique.

Ce mécanisme est alors dépendant du carré de la température et la courbe $\ln(J) \propto \sqrt{E}$ est linéaire. La valeur de ϕ_b peut être extraite directement de la valeur de l'ordonnée à l'origine b suivant la relation $b = \ln(A^* T^2) - \frac{q\phi_b}{kT}$.

- La conduction tunnel direct ou Fowler-Nordheim (FN) : les électrons passent d'une électrode métallique à l'autre en franchissant directement la barrière de

diélectrique. La conduction tunnel directe est possible pour des oxydes de faibles épaisseurs (typiquement < 3 nm). Pour des oxydes plus épais, ce phénomène de conduction peut apparaître lors de l'application d'un fort champ électrique qui aura pour effet de triangulariser la barrière de potentiel [72]. L'équation de la densité du courant de conduction de type Fowler Nordheim s'écrit :

$$J = \frac{q^2 m_0 E^2}{8\pi h m^* \phi_b} \exp \left[\frac{-8\pi(2q m_T^*)^{\frac{1}{2}} \phi_b^{\frac{3}{2}}}{3hE} \right] \quad [4.5] \text{ avec :}$$

- m^* (en kg) la masse effective des électrons dans le diélectrique
- $R_m = \frac{m_0}{m^*}$ le ratio des masses effectives des porteurs de charge.
- les autres notations sont identiques à celle utilisée pour le courant Schottky.

La conduction tunnel ou FN dépend très peu de la température, et la courbe $\ln(J/E^2) \propto (1/E)$ est linéaire. Le coefficient directeur a s'exprime en fonction de la hauteur de barrière selon l'expression $a = \frac{-8\pi}{3hq} (2m_T)^{1/2} \phi_b^{3/2}$.

Les mécanismes de conduction limités par le volume du diélectrique dépendent principalement des propriétés électriques du diélectrique et des niveaux de pièges initialement présents dans l'oxyde [76]. On en distingue également deux principaux types :

- o La conduction Poole-Frenkel (PF) : les électrons circulent de pièges en pièges dans le diélectrique en passant par-dessus la barrière d'énergie entre les pièges. Comme ce mécanisme repose principalement sur une activation ou réduction de l'énergie d'activation des pièges sous champ électrique et en température, on observera principalement ce mécanisme lors de l'application de forts champs électriques (> MV/cm) et températures élevées (> 300 K). L'équation de la densité de courant de conduction s'écrit alors :

$$J = q\mu N_c E \exp \left[\frac{-q(\phi_p - \sqrt{qE/\pi\epsilon_r\epsilon_0})}{KT} \right] \quad [4.6] \text{ avec :}$$

- N_c (en cm^{-3}) la densité d'états dans la bande de conduction du diélectrique
- μ (en $\text{cm}^2/\text{V.s}$) la mobilité électronique des porteurs de charge
- $q\phi_p$ (en eV) l'énergie des pièges. Cette dernière peut être extraite en traçant la loi d'Arrhenius $\ln(J/E) \propto 1/T$.

La courbe $\ln(J/E) \propto \sqrt{E}$ est linéaire et le coefficient directeur a permet d'évaluer

la valeur de ϵ_r via l'expression $a = \sqrt{\frac{q^3}{\pi\epsilon_0\epsilon_r}} \times \frac{1}{KT}$.

- o La conduction trap assisted tunneling ou hopping (TAT) : dans la même idée que pour une conduction de type tunnel, les électrons passent de pièges en pièges par effet tunnel à travers la barrière d'énergie les séparant. On observe souvent ce mode de conduction lorsque l'énergie fournie au système n'est pas suffisante pour permettre une conduction de type PF. L'équation de la densité de courant s'écrit :

$$J = qa_p n \vartheta \exp \left[\frac{qaE - E_a}{KT} \right] \quad [4.7] \text{ avec :}$$

- a_p (en m) est la distance moyenne entre deux pièges
 - E_a (en eV) est l'énergie d'activation des pièges.
- La courbe $\ln(J) \propto E$ est linéaire et le coefficient directeur a permet d'évaluer la distance moyenne a_p inter pièges via la relation $a = \frac{a_p kT}{q}$.

La figure 4-8 ci-dessous illustre ces différents mécanismes de conduction.

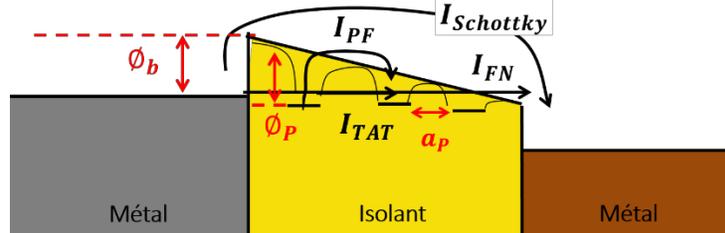


Figure 4-8 Illustration des différents mécanismes de conduction Schottky, Fowler Nordheim (FN), Trap Assisted Tunneling (TAT) et Poole-Frenkel (PF) dans une structure MIM. ϕ_b est la hauteur de barrière entre le métal et le diélectrique, ϕ_p est l'énergie des pièges dans le diélectrique et a_p la distance moyenne inter pièges.

La figure 4-9 montre des mesures de commutations résistives pour un échantillon du lot D permettant de valider le comportement global en température. Le comportement global des commutations résistives ne semble pas influencé par la température. De plus en traçant la courbe d'Arrhenius $\ln J = f\left(\frac{1}{KT}\right)$ on vérifie que le phénomène n'est pas activé en température puisqu'on obtient une droite horizontale de coefficient directeur quasi-nul. Ainsi la prédominance de mécanismes de conduction dépendant peu de la température peut être supposée pour les états LRS et HRS.

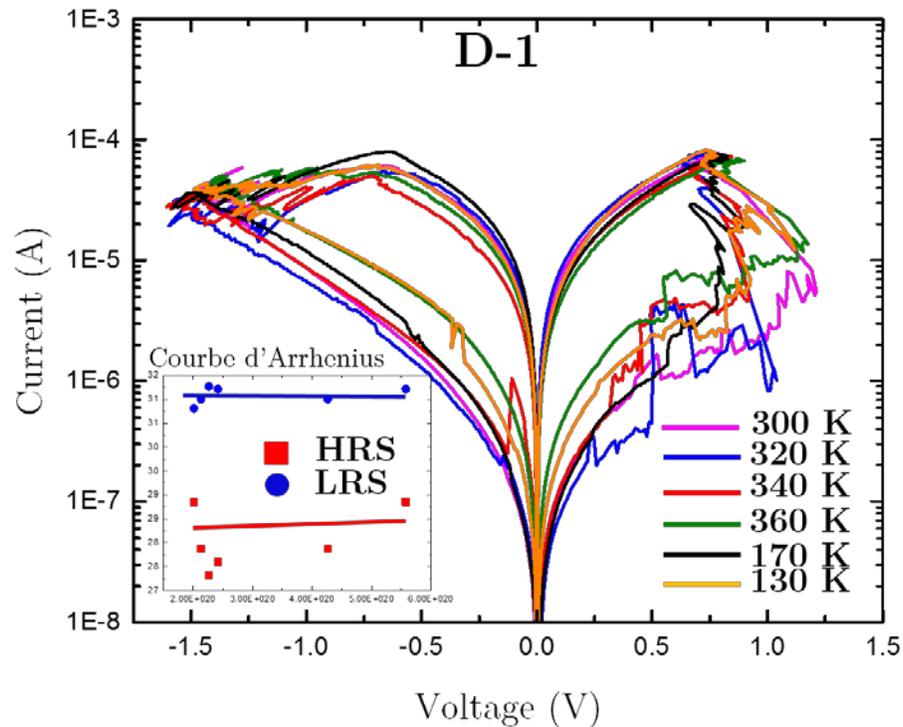


Figure 4-9 Courbes I-V d'un dispositif OxRRAM issu du lot D. Les mesures sont réalisées à 300 K, 320 K, 340 K, 360 K, 170 K et 130 K. L'ordre d'énumération des températures correspond est celui suivi pour les mesures. L'encart interne montre la courbe d'Arrhenius à $V \pm 0.4$ V.

Les études en température pour les différents états sont effectuées sur des dispositifs vierges de tous tests électriques pour l'état Pristine, puis électroformés et mis en état LRS ou HRS pour les autres.

4.3.1 Étude de l'état Pristine

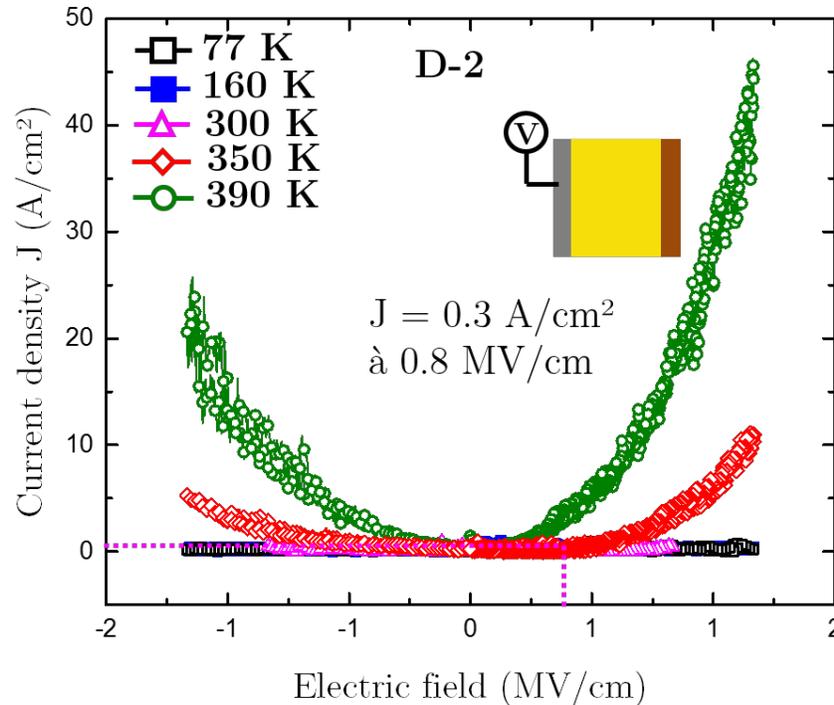


Figure 4-10 (a) (b) Mesure de la densité de courant J en fonction du champ électrique E appliqué au sein d'un dispositif OxRRAM D-2 issu du lot D. Les mesures sont réalisées à 77 K, 160 K, 300 K, 350 K et 390 K. La valeur de la densité de courant pour un champ de 0.8 MV/cm à 300 K est de 0.3 A/cm².

La figure 4-10 représente la densité de courant J en fonction du champ électrique E pour un dispositif OxRRAM du lot D et pour des températures de 77 K, 160 K, 300 K, 350 K et 390 K.

Les valeurs des paramètres surface S et épaisseur d considérées pour ces calculs sont précisément connus grâce aux coupes et analyses STEM et mesures de résistances ($S = 17 \times 80 \text{ nm}^2$ et $d = 8 \text{ nm}$ ou 6 nm).

On note une nette dépendance de la densité de courant avec la température, laissant supposer la prédominance d'un mécanisme de type Schottky. Les valeurs de densités de courant à 0.8 MV/cm sont six ordres de grandeur plus importantes que ce que l'on peut mesurer pour des capacités MIM fabriquées avec des dépôts HfO₂ stœchiométriques [77]. Ceci démontre que notre diélectrique contient de nombreux défauts dans le volume et aux interfaces, ce qui est dû à la qualité de notre dépôt par pulvérisation cathodique sans recuit.

L'asymétrie des courbes en fonction de la polarité de la tension appliquée s'explique par l'asymétrie des interfaces Ti/HfO_x et HfO_x/TiN/Ti.

Afin de vérifier l'hypothèse d'une conduction de type Schottky la courbe $\ln(J) \propto \sqrt{E}$ est tracée pour les valeurs de cet échantillon D-2. Pour comparaison les courbes $\ln(J/E^2) \propto \frac{1}{E}$, $\ln(J/E) \propto \sqrt{E}$ et $\ln(J) \propto E$ caractérisant respectivement des conductions de types FN, PF et TAT sont également données sur la figure 4-11. Les grandeurs physiques pouvant être extraites des coefficients directeurs ou ordonnées à l'origine des courbes d'ajustement sont répertoriées dans le tableau (e) de la figure.

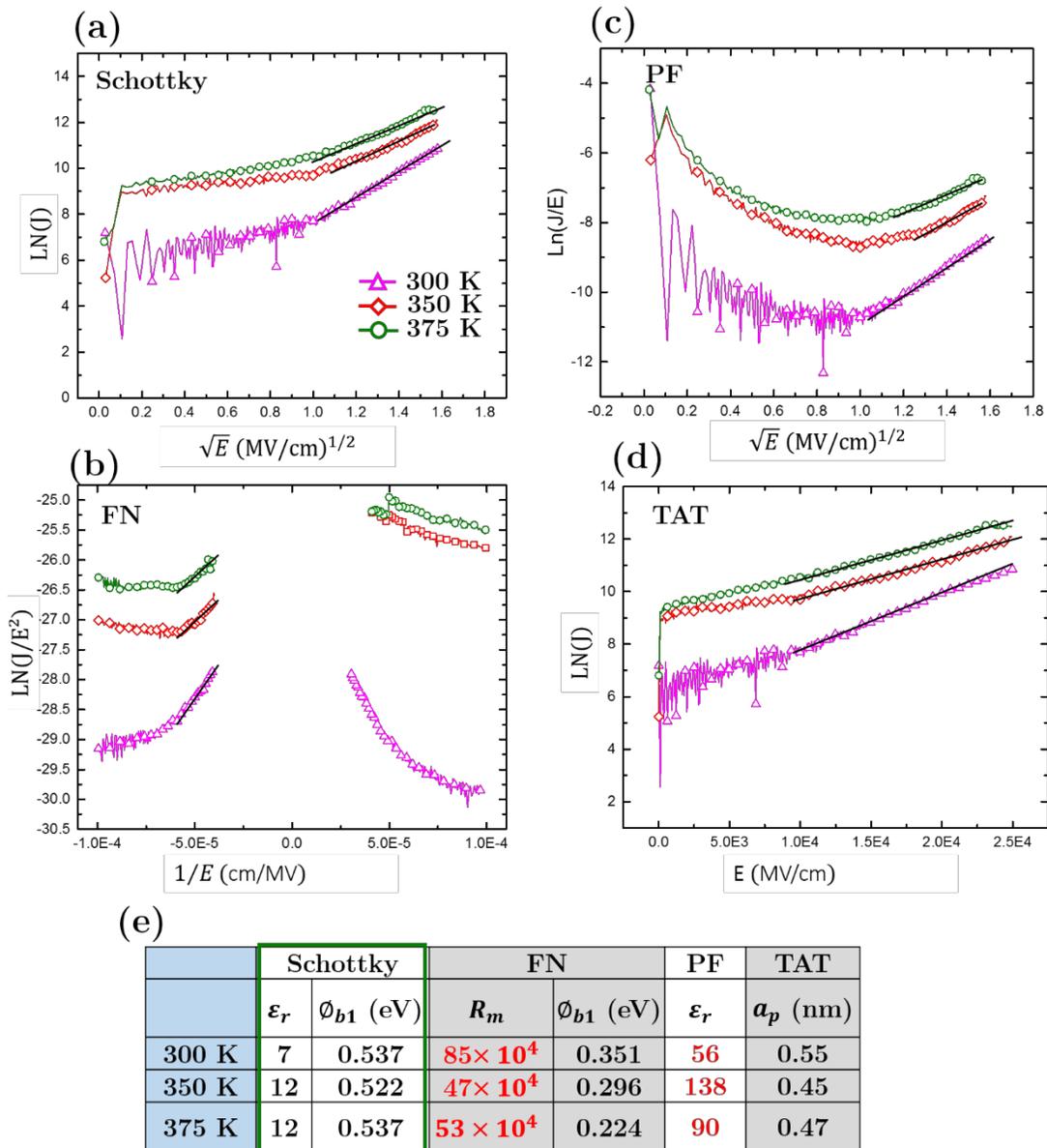


Figure 4-11 Courbes caractéristiques de différents modes de conduction pour l'échantillon D-3 du lot D à l'état Pristine tracées à partir des mesures I-V en température de la figure 4-10 (a) Courbe $\ln(J) \propto \sqrt{E}$ caractéristique de la conduction de type Schottky (b) Courbe $\ln(J/E^2) \propto \frac{1}{E}$ caractéristique de la conduction de type FN (c) Courbe $\ln(J/E) \propto \sqrt{E}$ caractéristique de la conduction de type PF (d) Courbe $\ln(J) \propto E$ caractéristique de la conduction de type TAT (e) Tableau répertoriant les grandeurs physiques pouvant être extraites à partir des coefficients directeurs et ordonnées à l'origine des différents graphes (a) (b) (c) et (d). En rouge sont les valeurs physiquement insensées.

Les grandeurs physiques ϵ_r et ϕ_b extraites des courbes caractéristiques du courant Schottky sont totalement cohérentes avec notre structure. En effet des mesures électriques C-V sur des structures capacités MIM fabriquées avec le même matériau HfO_x donnent une valeur ϵ_r de 14 qui se compare à la permittivité de 12 évaluée sur cet OxRRAM. La hauteur de la barrière $\phi_{b1} = 0.5$ eV pour les trois températures étudiées sous-estime la valeur théorique de 1.83 eV. Ceci indique la

présence d'une couche d'interface entre Ti et HfO_x telle que $\text{Ti/TiO}_y/\text{HfO}_x$ avec y et $x \ll 2$.

Étant données les épaisseurs de la jonction de commutation de 6 ou 8 nm on élimine la possibilité que le courant soit de type tunnel ou FN. Les valeurs incohérentes de R_m renforcent ce constat.

On élimine également la possibilité d'une conduction PF étant données les valeurs extraites de ϵ_r entre 56 et 138 (impossibles car trop élevées).

Pour la modélisation du courant TAT les valeurs de distances moyennes entre deux pièges a_p autour de 0.45 nm sont possibles et donneraient un nombre moyen de 13 pièges sur un chemin rectiligne traversant l'oxyde. Normalement a_p a tendance à diminuer avec la température (activation des niveaux de pièges avec la température), ce que nous observons partiellement : a_p diminue entre 300 K et 350 K mais pas entre 350 K et 375 K.

Nous pouvons conclure que le mécanisme de conduction prédominant pour l'état initial des dispositifs OxRRAM est une conduction de type Schottky avec la possible contribution d'un courant de type TAT.

4.3.2 Étude de l'état LRS

La figure 4-12 représente la conduction au sein d'une structure OxRRAM du lot D pendant l'état LRS et pour des températures de 77 K, 160 K, 300 K, 350 K and 390 K. On note que la conduction ne dépend pas du tout de la température et est linéaire avec la tension appliquée, traduisant une conduction de type ohmique métallique ou plus exactement balistique car les dimensions considérées sont inférieures au libre parcours moyen de l'électron (\approx dizaine de nm). La pente de la courbe nous renseigne sur la conductance de l'état LRS : $G_{ON} \approx 6 \times 10^{-5}$ S.

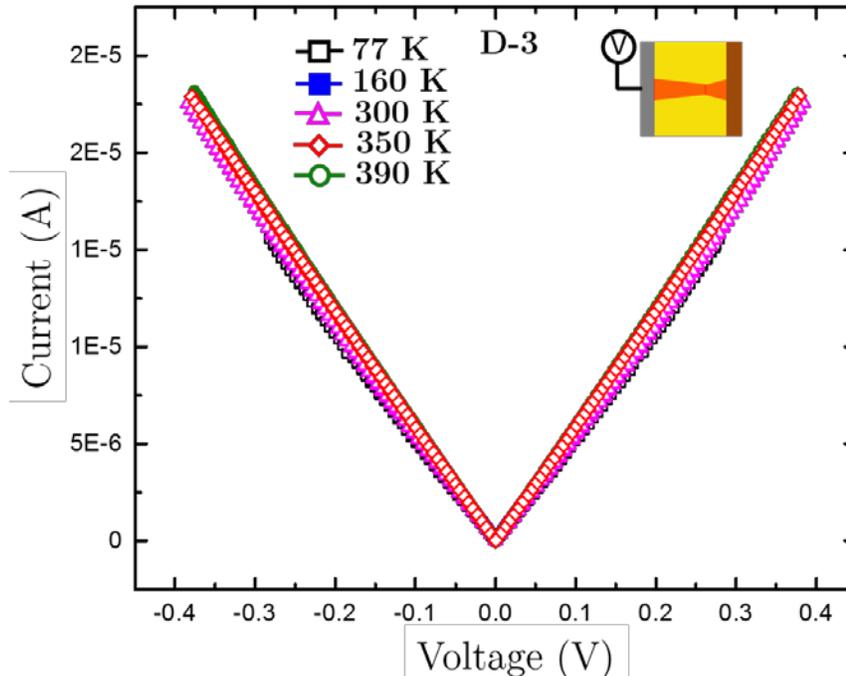


Figure 4-12 Courbe I-V de l'état LRS pour un échantillon du lot D mesuré à cinq températures différentes : 77 K, 160 K, 300 K, 350 K and 390 K.

4.3.3 Étude de l'état HRS

Une étude de la conduction en température de l'état HRS réalisée sur un échantillon du lot D est représentée sur la figure 4-13.

La température ne semble pas jouer un rôle important dans la conduction du courant, ce qui va dans le sens de la première observation des commutations résistives indépendantes de la température (figure 4-9).

Pour confirmer ce point il faudrait poursuivre les tests sur de nouveaux dispositifs. Nous soulignerons cependant que les travaux de thèse de T. Cabout ont également montré que la température n'avait aucun impact sur les commutations résistives des dispositifs OxRRAM Ti/HfO_x/TiN [73].

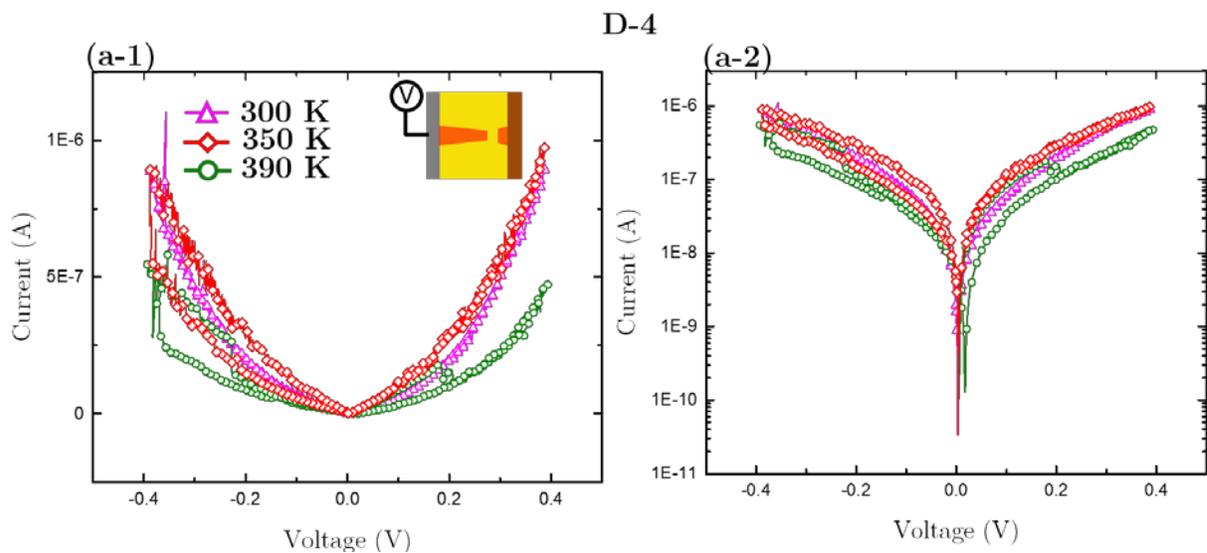


Figure 4-13 Courbes I-V d'un échantillon du lot D pour différentes température (300 K, 350 K et 390 K) en état HRS. La figure (a-1) est en échelle de courant linéaire, la figure (a-2) en échelle de courant logarithmique.

La figure 4-14 représente les courbes caractéristiques des courants Schottky, PF, FN et TAT à partir des mesures I-V du dispositif D-4 ci-dessus à différentes températures. Les valeurs des paramètres surface S et épaisseur d considérés pour ces calculs ne sont pas connus puisqu'il s'agit du gap ou de la constriction entre les deux brins du filament de conduction rompu lors du RESET. Nous les avons alors estimés : $S = 1 \text{ nm}^2$ et $d = 1 \text{ nm}$. Les grandeurs pouvant être extraites directement des courbes d'ajustement sont répertoriées dans le tableau 4-14 (e).

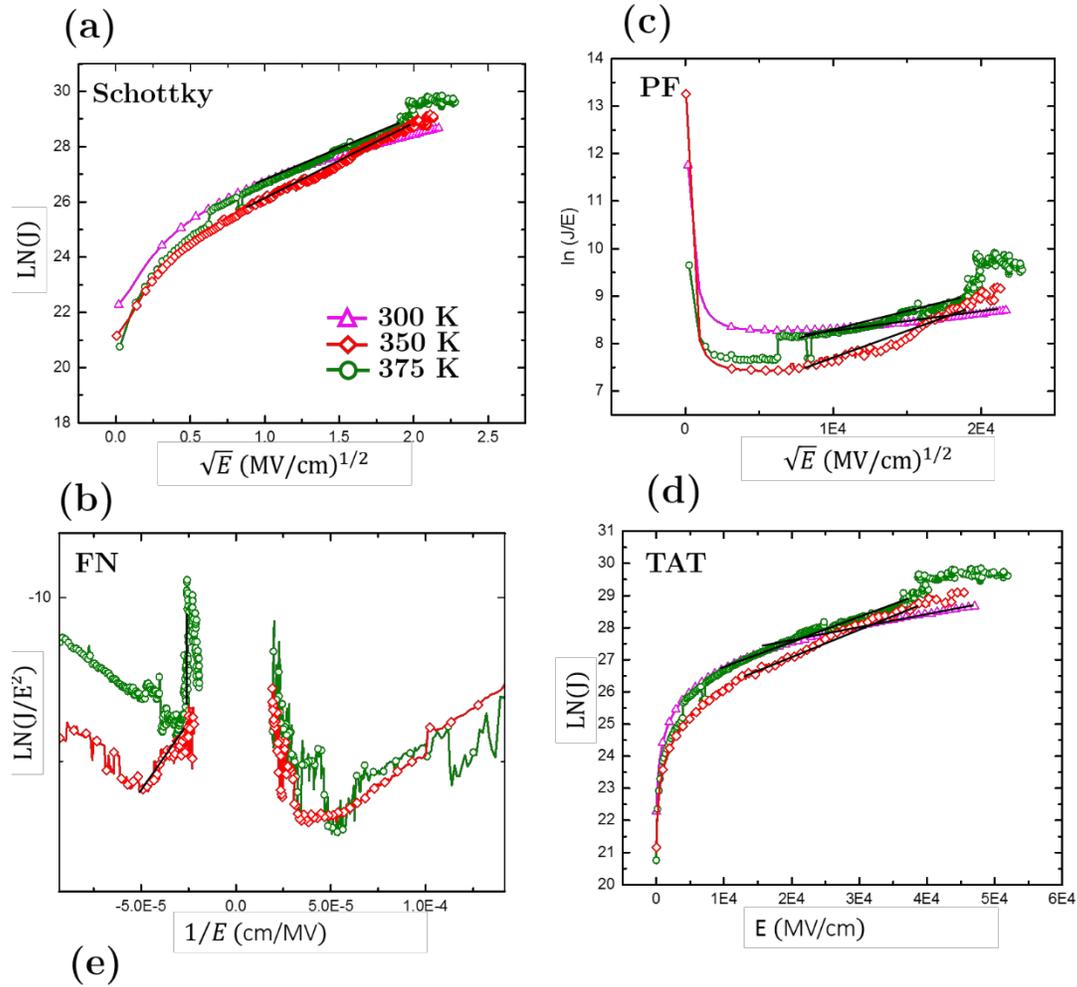


Figure 4-14 Courbes caractéristiques de différents modes de conduction pour l'échantillon D-4 du lot D à l'état HRS tracées à partir des mesures I-V en température de la figure 4-13 (a) Courbe $\ln(J) \propto \sqrt{E}$ caractéristique de la conduction de type Schottky (b) Courbe $\ln(J/E^2) \propto \frac{1}{E}$ caractéristique de la conduction de type FN (c) Courbe $\ln(J/E) \propto \sqrt{E}$ caractéristique de la conduction de type PF (d) Courbe $\ln(J) \propto E$ caractéristique de la conduction de type TAT (e) Tableau répertoriant les grandeurs physiques pouvant être extraites à partir des coefficients directeurs et ordonnées à l'origine des différents graphes (a) (b) (c) et (d). En rouge sont les valeurs sans aucun sens physique.

Les valeurs ϵ_r et ϕ_{b1} extraites des ajustements des courbes $\ln(J/E^2) \propto \frac{1}{E}$ pour une conduction Schottky sont improbables pour la mesure à 300 K, et même si la valeur de ϵ_r autour de 20 pour les températures 350 K et 390 K est possible, les valeurs très faibles ou négatives de ϕ_{b1} ne sont pas convaincantes.

En ce qui concerne le modèle de conduction pour un courant de type PF les valeurs ε_r sont physiquement insensées.

Pour le mode de conduction TAT les valeurs de a_p autour de 0.2 nm sont possibles, d'autant qu'elles sont plus faibles que dans le cas d'une conduction à l'état Pristine. Cependant les valeurs devraient diminuer avec la température ce qui n'est pas le cas.

Étant donnée la faible épaisseur de l'oxyde pendant l'état HRS d'environ 1 nm, nous supposons fortement la présence de courant tunnel direct ou FN. Les valeurs estimées de R_m entre 0.2 et 0.02 et celles de ϕ_{b1} entre 0.185 et 0.405 eV, sont physiquement possibles, appuyant notre hypothèse. Ces valeurs sont proches de celles généralement trouvées dans la littérature autour de 0.2 eV [78][6]. Leur dispersion est très probablement due à l'instabilité des courants en HRS dont une explication possible de ces fluctuations pourrait être liée au vieillissement sous champ à haute température du dispositif. On n'a pas pu extraire les valeurs concernant la courbe à 300 K car la courbe était inexploitable. D'autres mesures doivent être conduites pour valider ces observations.

Suite à ces observations et pour traduire l'indépendance en température du comportement de l'état HRS, nous pouvons conclure qu'une conduction de type FN est prédominante dans nos dispositifs.

4.3.4 Conclusion de l'étude des mécanismes de conduction

Les différentes mesures I-V en température ont permis d'étudier les mécanismes de conduction prédominant dans nos dispositifs.

Le mécanisme de conduction prédominant de l'état Pristine est une conduction de type Schottky avec une augmentation de la densité de courant dans la jonction en fonction de la température. La valeur de la hauteur de barrière entre l'électrode de Ti et le HfO_x serait aux alentours de ≈ 0.5 eV et la constante diélectrique du HfO_x autour de 10.

Le mécanisme de conduction prédominant pour l'état LRS est la conduction ohmique métallique, appuyant l'hypothèse de la conduction filamenteuse dans les OxRRAM.

Pour l'étude de l'état HRS, une conduction de type FN est fortement probable. Ceci impliquerait un filament de conduction rompu lors du RESET. La hauteur de barrière entre un des brins du filament et l'oxyde résiduel HfO_x entre les deux brins est alors estimée autour de ≈ 0.2 eV.

De façon générale la température ne semble pas influencer le phénomène de commutations résistives.

Les valeurs semblables des courants et tensions d'opérations pour tous les lots nous assurent une stabilité dans notre procédé de fabrication autant au niveau de la qualité des matériaux que du réglage des équipements.

4.4 Modélisation et simulation des dispositifs OxRRAM

Il existe de nombreux modèles pour décrire les commutations dans les OxRRAM, la plupart impliquent la migration et la diffusion des lacunes d'oxygènes constituant le filament de conduction sous l'effet du champ électrique. On trouve notamment les modèles de l'équipe de D. Ielmini [74][79], de P. Wong [80], de A. Padovani et *al.* [81] ou encore le modèle de sablier de R. Degraeve et *al.*[82].

Dans notre cas, nous avons observé des conceptions électriques pour les deux états LRS et HRS très peu activées en température, dont ne rendent pas forcément compte les modèles publiés jusqu'à présent. Cependant l'équipe de S. Blonkowski a récemment développé un modèle permettant de rendre compte de cette indépendance en température qu'ils avaient également observée sur des structures d'empilement de matériaux de même nature [6].

Ce modèle se démarque des autres en ce qu'il ne considère pas le rôle des atomes ou lacunes d'oxygènes dans les commutations résistives. Il permet pourtant de décrire fidèlement les opérations de SET et RESET en n'impliquant que la force électromigratoire locale sur les atomes métalliques constituant le filament de conduction et l'effet Joule, afin de contrôler la section de la zone de constriction du filament. Dorénavant, et pour des raisons de simplification de notation, nous appellerons ce modèle : le modèle à *nanofil métallique*.

Le modèle à *nanofil métallique* ne comporte que des paramètres physiques comparables à des quantités mesurées et permet notamment d'établir la relation de proportionnalité communément admise entre la conductance à l'état LRS G_{ON} et le courant de compliance I_c , ainsi qu'entre le courant de RESET I_{RESET} et I_c .

4.4.1 Description du modèle

Le modèle à *nanofil métallique* se base sur la présence d'un filament de conduction métallique au sein d'un oxyde d'épaisseur t_{ox} de part et d'autre des électrodes métalliques, résultant de l'étape d'électroformage. Les phénomènes à l'origine de la formation de ce filament ne sont pas discutés dans le papier, la composition du filament pouvant être du Ti ou du Hf tel qu'explicitement mentionné dans le papier de S. Blonkowski et *al.* [6].

Ce filament contient une zone de constriction positionnée à une distance z_c de l'électrode du haut (électrode active en Ti). La section du filament est S_0 et sa section au niveau de la zone de constriction est S_c . La section S_c est proportionnelle au nombre d'atomes présents dans la constriction. La variable $P=S/S_c$ de probabilité de présence d'atomes au niveau de la zone de constriction est alors utilisée afin de décrire les mouvements des atomes métalliques au niveau de la zone de constriction en fonction des polarités des tensions appliquées au sein de la structure. On parle aussi de taux de transferts entre les zones 1 et 2 (k_1 et k_2 sur la figure 4-15) qui dépendent de la température. La section de la zone de constriction $S(t)$ varie alors en fonction du temps lors de l'application de tensions V , ce qui se traduit en termes de variation de courant au sein du dispositif (lors des mesures I-V).

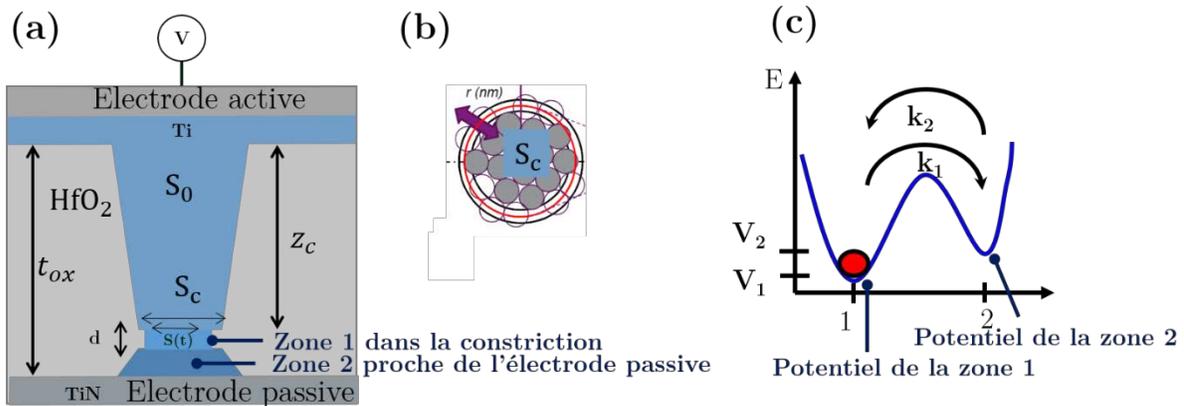


Figure 4-15 (a) Schéma de l'empilement OxRRAM bipolaire de type Ti/HfO_x/TiN considéré pour la modélisation des mécanismes de commutations résistives par le modèle à *nanofil métallique* de l'équipe de S. Blonkowski. [6] On considère un filament de conduction métallique traversant l'oxyde d'épaisseur t_{ox} et de section maximale S_0 . Ce filament contient une zone de constriction de section maximale S_c proche de l'électrode inférieure passive (à une distance $t_{ox} - z_c$). Les atomes peuvent transférer entre les zones 1 et 2. (b) La section de la zone de constriction $S(t)$ évolue dans le temps lors de l'application d'une tension sur l'électrode active (supérieure) et est proportionnelle au nombre d'atomes dans la constriction. (c) Les énergies potentielles V_1 et V_2 sont respectivement associées aux zones 1 et 2 et on considère les taux de transfert k_1 et k_2 d'une zone à l'autre.

Les paramètres physiques relatifs au filament de conduction (conductivité thermique, densité et énergie de Fermi) utilisés pour les calculs sont ceux du Ti mais pourrait être ceux du Hf.

Les paramètres physiques déterminés par les calculs lors de la modélisation sont :

- V_1 et V_2 les puits de potentiels des zones 1 et 2 (en eV)
- λ le libre parcours moyen d'un électron (en nm)
- d l'épaisseur de la zone de constriction (en Å)
- z la position de la zone de constriction $z = t_{ox} - z_c$ (en Å)
- α le couplage électron phonons
- Φ_b la hauteur de barrière entre le bout du filament de conduction et l'oxyde dans la zone de constriction (en eV).

Partons du filament de conduction présent au sein de la structure résultant de l'opération d'électroformage et considérons l'application d'une tension négative sur l'électrode active du haut (figure 4-16 (a)). Le filament étant de nature métallique et connectant les deux électrodes il n'y a aucun champ électrique au sein du filament conducteur lui-même. Par contre la densité de courant J au niveau de la zone de constriction devient très grande ($> 100 \mu A/1 \text{ nm}^2 = 10 \text{ GA/cm}^2$) et la température très élevée. La force électromigratoire locale, qui s'exprime selon :

$$F_{EM} = 2m v_F \frac{\sigma}{q} J \eta \quad [4.8] \text{ avec :}$$

- m la masse de l'électron
- v_F la vitesse de Fermi du métal
- σ la cross section d'un atome
- q la charge d'un électron

– η le facteur de transmission [83],

n'est alors plus négligeable et aura tendance remplir la zone de constriction alors que l'agitation thermique des électrons due à l'effet Joule aura tendance à la vider.

Le fait que la force électromigratoire soit présente permet de rendre le phénomène de RESET plus progressif (moins abrupte) que le SET. Pendant le SET l'emballement thermique du à l'effet Joule est prédominant. Plus le nombre d'atomes dans la constriction diminue lors du RESET plus la température diminue ce qui entraîne la diminution de la densité de courant et donc de l'effet Joule. Lorsque la constriction est vidée le RESET est terminé, et la conduction entre les deux brins du filament se fait à travers le gap résiduel d'oxyde. Le type de conduction serait donc principalement tunnel.

Maintenant considérons l'application d'une tension positive sur l'électrode active en Ti : le champ électrique est alors initialement concentré uniquement au sein du gap d'oxyde (figure 4-16 (b)). Grâce à un couplage électrons phonons efficace la température en bout de filament de conduction augmente jusqu'à ce qu'elle soit suffisante pour engendrer le déplacement d'un atome métallique dans le gap. L'emballement thermique est alors immédiat, étant donnée la tension V_{SET} élevée, et l'effet Joule prédominant entraîne le passage de nombreux atomes dans le gap. La conduction lors de l'état LRS est alors de type balistique (similaire à ohmique mais pour des distances de quelques nm inférieures au libre parcours moyen des électrons) et s'exprime selon la relation de Sharvin semi classique [84] :

$$G_{ON} \approx \frac{2q^2}{h} \times \frac{k_F^2 S_c}{4\pi} \quad [4.9] \text{ avec :}$$

- q la charge électronique de 1.6×10^{-19} C
- h la constante de Planck 6.62×10^{-34} (m²kg)/s
- k_F^2 le vecteur d'onde de Fermi (en m⁻²)
- S_c la section de la zone de constriction en état LRS (en m²).

Si le courant n'est pas limité par une source extérieure la section du filament de conduction n'est pas contrôlée et peut occuper tout le volume de l'oxyde. En pratique, comme nous l'avons déjà plusieurs fois mentionné, l'idéal est d'utiliser un transistor proche du dispositif mémoire afin de limiter le courant I_c dans le filament. Le SET est alors très abrupt comme tout phénomène activé par la température locale.

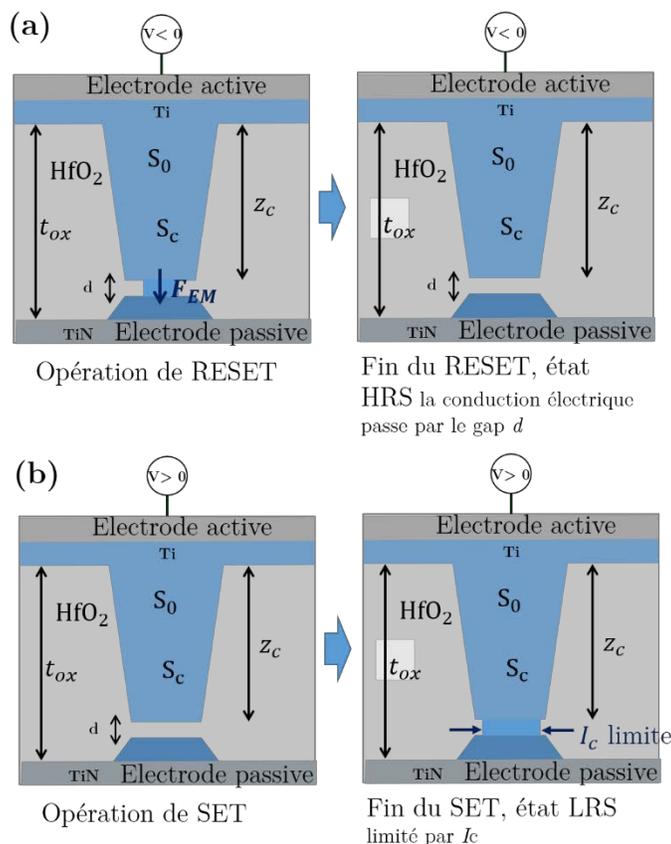


Figure 4-16 (a) Lors de l'opération de RESET une tension négative est appliquée sur l'électrode supérieure en Ti et la force électromigratoire locale qui a tendance à remplir la zone de constriction contrebalance l'effet Joule ce qui rend le RESET plus progressif. (b) lors de l'opération de SET une tension positive est appliquée sur l'électrode active. Dès qu'un atome comble le gap de la constriction il y a un emballement thermique avec l'effet Joule prédominant ce qui induit une augmentation brutale de la section $S(t)$ qui ne sera limitée qu'avec une compliance en courant I_c .

4.4.2 Application du modèle à nanofil métallique

Le modèle à *nanofil métallique* est utilisé pour reproduire les résultats de caractérisations électriques I-V d'un de nos dispositifs avec 6 nm de HfO_x et une résistance série de 6 k Ω . Les résultats sont représentés en figure 4-17.

Les paramètres physiques utilisés pour que le modèle décrive au mieux les données expérimentales dans le cas de nos dispositifs (a) et ceux du travail de l'équipe de S. Blonkowski (b) sont listés dans le tableau (c) de la figure 4-17.

On note que les paramètres trouvés dans le cas (a) pour nos dispositifs sont tous très proches de ceux obtenus initialement dans (b) avec quelques variations physiquement acceptables et explicables :

- Les valeurs de $l=12.5 \text{ \AA}$ et $\phi_b = 0.2 \text{ eV}$ sont identiques. On souligne que la valeur de la hauteur de barrière entre l'extrémité du filament de conduction et l'oxyde résiduel dans le gap est identique à celle estimée lors de l'étude de la conduction dans l'état HRS pour une conduction de type FN (voir conclusion 4.3.4.).

- La position z de la zone de constriction est inférieure dans notre cas (a) ($6 \text{ \AA} < 7.4 \text{ \AA}$) indiquant une constriction plus proche de l'électrode passive en TiN.
- L'épaisseur d du gap résiduel est également plus faible dans notre cas (a) ($3 \text{ \AA} < 4.5 \text{ \AA}$) indiquant une constriction plus étroite.
- Les valeurs de V_1 et V_2 des puits d'énergie des zones 1 et 2 sont dans les intervalles de valeurs donnés dans [6]. On retrouve bien $V_1 < V_2$ sur une échelle d'énergie ce qui indique que la probabilité de passage d'un atome de la zone 2 à la zone 1 serait plus favorable que l'inverse.

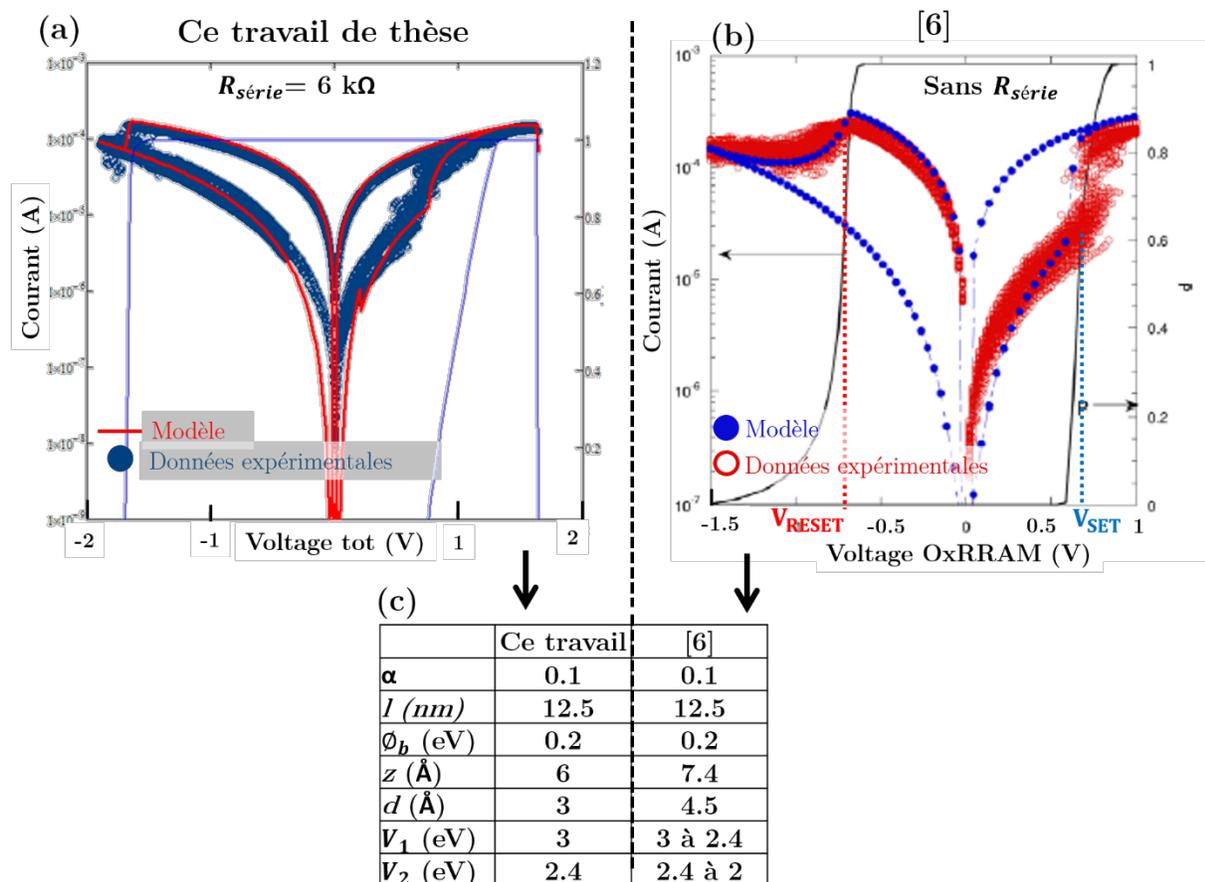


Figure 4-17 Données expérimentales et application du modèle à *nanofil métallique* de S. Blonkowski et *al.* pour des dispositifs OxRRAM : (a) Ti/HfO_x(6 nm mesurés)/TiN de ce travail de thèse (b) Ti/HfO_x(5 nm)/TiN utilisé pour le développement du modèle [6]. (c) Tableau des différents paramètres physiques du modèle ajustés pour décrire les résultats expérimentaux dans le cas de ce travail de thèse et dans le cas des travaux de S. Blonkowski et *al.* .

D'autres modèles de conduction pourraient être employés, et il est toujours difficile de discriminer le modèle le mieux adapté pour décrire les phénomènes ayant lieu dans nos structures. En effet, il faudrait avoir un nombre suffisamment élevé de dispositifs pour pouvoir faire des statistiques plus avancées sur les résultats électriques, ce qui n'était pas notre cas. De plus, il faudrait faire des caractérisations physiques plus précises sur l'empilement lui-même, afin par exemple d'étudier la composition chimique du filament de conduction et de l'oxyde l'entourant. Ces études sont délicates étant

données les très petites dimensions mises en jeu (gap de 1 nm et section du filament autour du nm²).

4.5 Conclusion chapitre 4

Ce chapitre 4 regroupe l'ensemble des caractérisations électriques conduites sur des dispositifs OxRRAM fabriqués par procédé *nanodamascène* sur substrats de Si.

Le contrôle en courant lors de l'opération d'électroformage pour ces structures 1R reste imprécis. La tension d'électroformage augmente avec l'épaisseur d'oxyde (entre 4 et 5 V pour 10 nm d'oxyde et autour de 3 V pour 6 nm) mais le champ de formage (autour de 5 MV/cm) est constant et cohérent avec ce que l'on trouve dans la littérature sur des structures d'empilements similaires mais de surfaces presque 1000 fois plus grandes [36].

Concernant les commutations résistives, les faibles tensions de SET et RESET obtenues ($\approx \pm 0.6$ V) ainsi que les relativement faibles courants de RESET (\approx centaines de μ A) sont dans la gamme de ce qui a été obtenu dans la littérature sur des structures similaires [63] et même sur des surfaces presque 1000 fois supérieures. Ces observations traduisent alors une conduction de type filamentaire au sein de la structure et le fait que seule une partie du filament de conduction est impliquée dans le phénomène de commutation résistive.

Il est important de limiter l'exposition à l'air de la jonction grâce à une couche de passivation afin de prévenir son vieillissement et la dérive de ses performances.

La résistance des électrodes, directement liée à la profondeur résiduelle des tranchées gravées dans l'oxyde du substrat et polies lors de l'opération de CMP, est un paramètre qui impacte négativement les performances d'endurance des dispositifs.

La conduction pendant l'état Pristine est de type Schottky avec une hauteur de barrière entre l'électrode métallique en Ti et l'oxyde HfO_x ≈ 0.5 eV et une constante diélectrique du HfO_x autour de 10.

La conduction pendant l'état LRS est de type balistique dans un conducteur métallique avec une valeur de conductance G_{ON} autour de $\approx 6 \times 10^{-5}$ S. On notera que dans le modèle à *nanofil métallique* la conductance G_{ON} est fonction du courant de compliance I_c selon la relation $G_{ON} = V_c^{-1} \times I_c$ avec $V_c = 0.33$ V ce qui donne numériquement dans notre cas $G_{ON} = 5.7 \times 10^{-5}$ S, donc très proche de ce que nous avons mesuré ($G_{ON} = 6 \times 10^{-5}$). [6]

La conduction dans l'état HRS serait majoritairement de type FN avec une hauteur de barrière entre l'extrémité d'un des brins du filament et l'oxyde résiduel HfO_x autour de ≈ 0.2 eV.

Enfin le modèle à *nanofil métallique* développé par l'équipe de S. Blonkowski, permettant de rendre compte de l'indépendance en température des commutations résistives, est proposé afin de reproduire les comportements des opérations de SET et

RESET au sein de nos structures [6]. Contrairement aux modèles jusqu'à présent publiés, celui-ci ne considère pas la migration des lacunes d'oxygènes mais se base sur le déplacement d'atomes métalliques au sein du filament de conduction suite aux actions combinées de la force électromigratoire locale et de l'effet Joule.

Le modèle décrit fidèlement les résultats expérimentaux et les valeurs physiques obtenues sont toutes cohérentes et très proches des valeurs obtenues pour des structures similaires [73]. De plus la valeur de 0.2 eV pour la hauteur de barrière entre l'extrémité d'un des brins du filament et l'oxyde résiduel HfO_x est retrouvée, renforçant la pertinence du modèle pour décrire les commutations de nos dispositifs.

CHAPITRE 5 Caractérisations électriques de dispositifs OxRRAM fabriqués sur substrats CMOS

Le chapitre 5 rend compte des différents tests électriques réalisés sur les dispositifs OxRRAM Ti/HfO_x/TiN/Ti fabriqués sur substrat CMOS par procédé *nanodamascène*. L'influence de la fabrication des dispositifs au-dessus des transistors MOS est examinée : on vérifie 1/ que le procédé d'interconnexion est performant, 2/ que les performances des transistors ne sont pas détériorées, 3/ que les dispositifs OxRRAM caractérisés en configuration 1R et mode QS sont toujours fonctionnels. Suite à ces validations on caractérise les dispositifs OxRRAM en configuration 1T1R et mode QS. L'utilisation d'un transistor pour limiter le courant au sein du circuit au lieu de la compliance de l'appareil de mesure augmente alors considérablement les performances des dispositifs mémoires. Finalement, des mesures préliminaires en configuration 1T1R et mode pulsé sont réalisées sur les dispositifs afin de confirmer leur possible utilisation au sein de réseaux matriciels de dispositifs mémoires, à l'image de ce qui est utilisé pour des produits commercialisés.

5.1 Validation du procédé d'intégration

5.1.1 Vérification de la connexion entre les pads de cuivre et les pads de caractérisations électriques Ti/Al

Des structures de type « daisy chains » ont été embarquées dans le design du masque des photolithographies afin de s'assurer du bon contact électrique entre les pads et lignes de cuivre fabriqués lors de la première métallisation M1 sur ligne de production STMicroelectronics et les contacts en Ti/Al fabriqués lors de l'UV 3 du procédé *nanodamascène*. La figure 5-1 représente de façon schématique ces « daisy chains » ainsi que les valeurs de résistance mesurées pour les contacts 1-2, 2-3 et 1-3. Les courbes I-V linéaires, indiquant des résistances de l'ordre de quelques ohms, valident le bon contact ohmique entre les pads en Cu et les pads en Ti/Al.

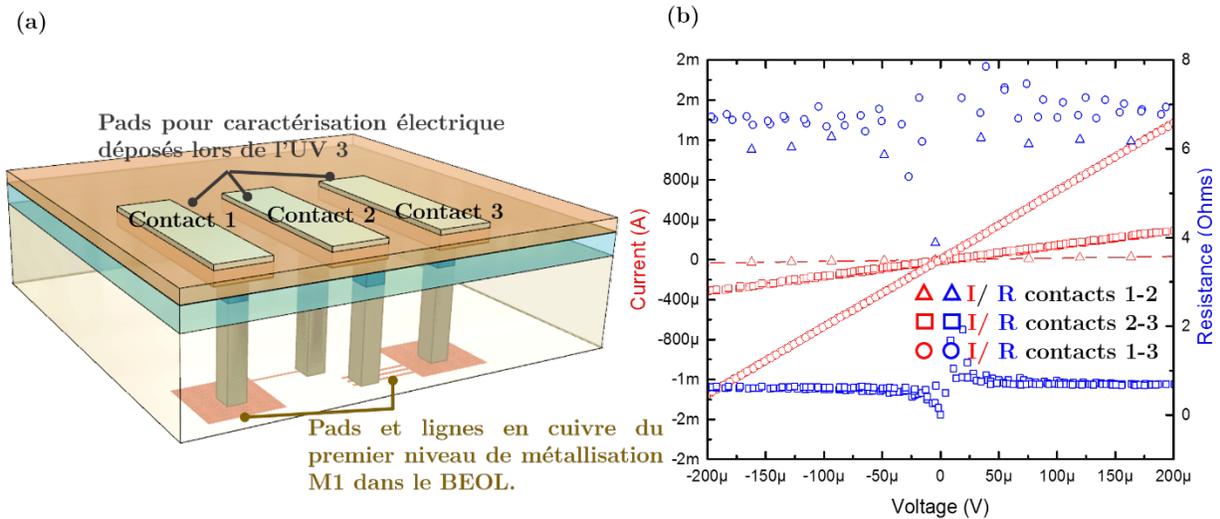


Figure 5-1 (a) Structures de type « daisy chains » à trois contacts fabriquées sur les substrats CMOS en même temps que les dispositifs mémoires. (b) Résultats des caractérisations électriques de ces « daisy chains ». La résistance totale entre les contacts 1 et 3 est autour de 7Ω indiquant un bon contact tout le long de l'interconnexion.

5.1.2 Vérification du comportement des transistors MOS

Préalablement aux caractérisations électriques des dispositifs mémoires, les transistors MOS sont caractérisés afin d'étudier leur plage de fonctionnement et de valider leur intégrité suite au procédé *nanodamascène*. La figure 5-2 (a-1) indique les caractérisations électriques obtenues pour les six transistors MOS utilisés pour fabriquer des structures 1T1R, lors de balayages en tension de drain V_d entre 0 et 5 V avec un pas de 0.01 V et des tensions de grille V_g de 1 à 5 V avec un pas de 1 V. Ces valeurs de courants-tension correspondent aux valeurs attendues et mesurées par STMicroelectronics lors de caractérisations électriques en fin de ligne de production confirmant que le comportement des transistors n'a pas été dégradé par le procédé d'interconnexion.

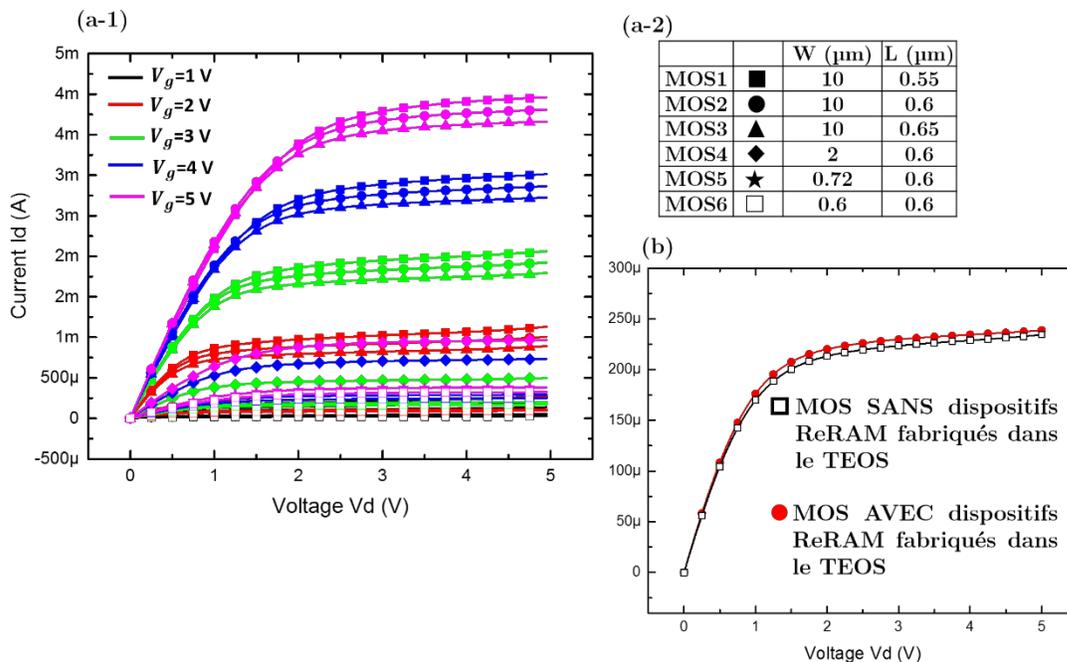


Figure 5-2 (a-1) I_d - V_d des six transistors MOS utilisés pour fabriquer des structures 1T1R pour V_d entre 0 et 5 V (pas de 0.01 V) et V_g de 1 à 5 V (pas de 1 V). (a-2) Longueurs et largeurs des grilles de ces six transistors MOS chacun interconnecté à un dispositif OxRRAM. (b) I_d - V_d de deux transistors MOS identiques provenant de deux barrettes de transistors MOS différentes, dont l'une a subi le procédé *nanodamascène* pour fabriquer des dispositifs mémoires mais pas l'autre.

Ensuite on souhaite vérifier que le procédé de fabrication des dispositifs mémoires ne dégrade pas non plus les performances des transistors. Les courbes I_d - V_d de la figure 5-2 (b) sont issues de la caractérisation électrique de deux MOS identiques provenant de deux barrettes de transistors MOS différentes, dont l'une a subi le procédé *nanodamascène* pour fabriquer des dispositifs mémoires mais pas l'autre. Les valeurs de courants sont extrêmement proches. La faible différence entre les deux courbes est à corrélérer avec la résistance série apportée par les interconnexions qui varient légèrement d'une puce à l'autre.

5.2 Caractérisations électriques en configuration 1R et mode QS

Maintenant que le procédé d'interconnexion est validé et que les performances des transistors MOS sont mesurées, des caractérisations électriques en configuration 1R (dispositifs sur substrat CMOS volontairement non interconnectés aux transistors MOS) sont conduites et comparées à celles obtenues pour des dispositifs sur substrat Si (chapitre 4).

5.2.1 Impact de la résistance des chemins d'amenées de courant

LOTS	B (Si)	E (CMOS 1R)
Épaisseur HfO_x visée/mesurée (coupe TEM) (nm)	10/ 6	10/ NA
Résistance moyenne chemins d'amenées (k Ω)	6.5	3.5

Moyenne du nombre de cycles	4	11
Endurance maximale (nombre de cycles)	21	> 85
Proportion de dispos avec un nombre de cycles > 5	17 %	57 %
Valeurs pour les dispositifs dont le nombre de cycles > 5		
V_{SET} moyen (V)	0.5	0.6
V_{RESET} moyen (V)	-0.6	-0.5
I_{RESET} (μ A)	-140 - -180	-110 - -200
LRS (k Ω)	3	2.8
HRS (k Ω)	80 - 260	40 - 220
Ratio HRS/LRS	25 - 90	15 - 80

Tableau 5-1 Tableau répertoriant les principales caractéristiques obtenues lors des caractérisations électriques sur le lot B des dispositifs fabriqués sur substrat Si et le lot E de dispositifs fabriqués sur substrat CMOS. Les valeurs notables pour le lot E sont écrites en vert.

D'après les valeurs du tableau 5-1 qui permettent de comparer les résultats des lots de dispositifs fabriqués sur substrat Si et sur substrat CMOS, les tensions et courants de SET et RESET obtenus sont identiques quel que soit le substrat, ce à quoi on pouvait s'attendre. En effet les dispositifs sont fabriqués suivant le même procédé de fabrication (détaillé dans le chapitre 3) et caractérisés suivant le même protocole. La seule différence autre que la nature du substrat se trouve dans la valeur de la résistance série $R_{série}$ apportée par le design des chemins d'amenées de courant définis lors de la première photolithographie (qui est plus importante pour le design sur Si).

La différence majeure entre les deux lots concerne alors la résistance des chemins d'accès qui est presque de moitié inférieure pour le design sur CMOS comme l'indiquent les résultats du tableau 5-1 ci-dessus. Cet avantage est à corréliser avec le taux de performance très élevé des dispositifs puisque 57 % d'entre eux cyclent plus de cinq fois alors que le meilleur taux était de 20 % jusqu'à présent pour l'ensemble des dispositifs fabriqués sur Si. D'autant plus que le nombre moyen de cycles est de 11 (il n'avait pas dépassé 6 dans le meilleur des cas sur Si) et que le nombre de cycles maximal est > 85 (quatre fois plus élevé que sur Si).

Ces améliorations de performances sont possibles grâce à la diminution de l'impact de la résistance série $R_{série}$ des chemins d'amenées de courant dans le phénomène de RESET.

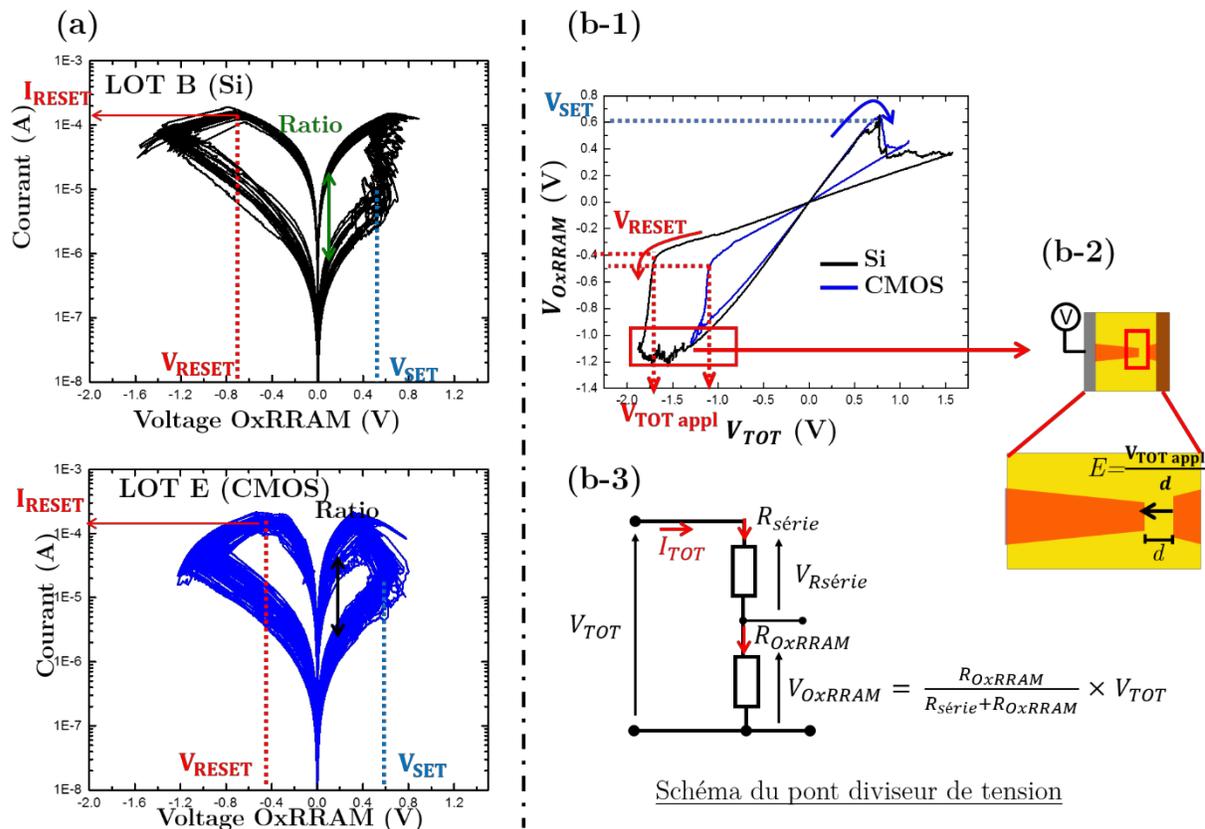


Figure 5-3 (a) Caractérisations électriques I-V en configuration 1R pour des dispositifs du lot B fabriqués sur substrat de Si et des dispositifs du lot E fabriqués sur substrat CMOS. On note les valeurs similaires de courants et tensions de SET et RESET. (b-1) Courbes $V_{OxRRAM} = V_{TOT}$ issues des valeurs des courbes I-V en (a) pour un cycle d'un dispositif sur Si et d'un dispositif sur CMOS. Lors du RESET la tension V_{TOT} est entièrement transférée aux bornes du gap entre les deux brins du filament de conduction distants de d . (b-3) Schéma électrique équivalent lors d'une mesure 1R de dispositifs OxRRAM représentant la $R_{série}$ amenée notamment par les chemins d'amenées de courant.

Pour l'expliquer le circuit électrique équivalent lors des caractérisations électriques en configuration 1R est représenté sur la figure 5-3 (b-3). Il contient deux résistances en série : la résistance totale des chemins d'amenées de courant $R_{série}$ qui est fixée principalement par le design (même si la perte de matière due à la CMP a aussi son importance), et la résistance du dispositif mémoire résistive R_{OxRRAM} qui peut être en HRS ou LRS une fois l'étape d'électroformage réalisée. Lors de l'application de la tension V_{TOT} aux bornes des deux résistances en série le courant I_{TOT} est continu et identique dans les deux résistances.

On peut appliquer la formule du pont diviseur de tension pour calculer la tension V_{OxRRAM} aux bornes du dispositif. On obtient $V_{OxRRAM} = \frac{R_{OxRRAM}}{R_{série} + R_{OxRRAM}} \times V_{TOT}$.

En HRS on a alors $R_{OxRRAM} \gg R_{série}$ et $V_{OxRRAM} \approx V_{TOT}$.

En LRS, comme R_{OxRRAM} et $R_{série}$ sont comparables (\approx quelques $k\Omega$ chacune), on a $V_{OxRRAM} < V_{TOT}$. Ainsi, plus le ratio $\frac{R_{OxRRAM}}{R_{série} + R_{OxRRAM}}$ est faible, plus la perte de tension dans la résistance des chemins d'amenées est importante.

Cet effet de la $R_{série}$ est alors clairement notable sur les courbes de caractérisations électriques I-V lors du passage de l'état LRS à HRS (phénomène de RESET) : en effet la tension V_{TOT} à appliquer pour que $V_{OxRRAM} = V_{RESET}$ est d'autant plus importante que le ratio $\frac{R_{OxRRAM}}{R_{série} + R_{OxRRAM}}$ est faible ou que la valeur de $R_{série}$ est grande. Une fois le RESET effectué cette tension appliquée se retrouve immédiatement aux bornes du dispositif, plus précisément aux bornes du gap résiduel entre les deux brins du filament de conduction rompu (voir figure 5-3 (b-2)). Les figures 5-3 (b-1) (b-2) illustrent directement l'effet de la résistance série lors du RESET : on voit que la tension totale appliquée $V_{TOT appl}$ pour engendrer le RESET est plus importante (≈ 1.5 fois) dans le cas d'un dispositif sur substrat Si que sur substrat CMOS.

Maintenant si on suppose que la conduction électrique est de type FN pour l'état HRS (comme le suggèrent les résultats exposés au chapitre 4 section 4.3), alors une augmentation du champ électrique E au sein du gap entraîne une augmentation en puissance 2 de la densité de courant J dans le gap. En effet comme nous l'avons vu dans le cas du courant FN : $\ln(J/E^2) \propto \frac{1}{E} \Leftrightarrow J \propto E^2 \exp(\frac{1}{E})$, ainsi pour les très grandes valeurs de champs de l'ordre du MV/cm considérées dans cette étude la densité de courant est presque uniquement fonction du carré du champ (limite de l'exponentielle en $0 \approx 1$). Or une forte augmentation de courant dans le gap aura pour effet d'augmenter l'effet Joule et possiblement de ré-entraîner une fermeture du gap (sorte de SET involontaire) ou même un claquage irréversible du gap. Dorénavant on appellera ce phénomène le *PSI* pour *Programmation de SET Involontaire*.

Cet effet de *PSI* est un phénomène très important dans la caractérisation électrique de nos dispositifs, venant perturber l'opération de RESET et étant décuplé par une valeur élevée de résistance série.

La résistance série est alors un paramètre critique à optimiser pour améliorer les performances électriques de nos dispositifs.

5.2.2 Défaillance de l'état HRS

Cependant, malgré l'amélioration des performances pour les dispositifs sur CMOS grâce à la diminution de la résistance des chemins d'amenées de courant $R_{série}$, l'état HRS reste plus instable que l'état LRS. Le graphe de la figure 5-5 (a) montre la dispersion des états HRS et LRS du dispositif mémoire E-1 issu du lot E. On trace la fonction de distribution cumulative CDF en fonction des états résistifs HRS et LRS et on obtient une distribution plus étendue pour l'état hautement résistif. La dispersion des valeurs est très similaire aux résultats obtenus dans [85] sur des structures d'empilements constitués de mêmes matériaux mais de surfaces presque 1000 fois plus élevées. Dans l'encart du graphe on a tracé la fonction normale inverse de la CDF en échelle log pour les états HRS. La courbe obtenue représente la fluctuation géométrique du gap dans le filament de conduction pendant l'état HRS suivant une loi normale, ce qui se traduit par une variation log-normale du courant tunnel.

La valeur la plus faible de l'état HRS n'est pas celle obtenue pour le dernier cycle, aussi on ne peut pas évoquer une dérive de l'état HRS. Par contre le mécanisme de défaillance provient presque toujours de l'état HRS qui se « bloque en LRS » (mécanisme observé également pour les dispositifs sur Si).

La figure 5-5 (c-1) $I = f(V_{TOT})$ montre le comportement typique observé dans ce cas de défaillance du HRS pour un dispositif E-2 issu du lot E, précédemment appelé *PSI*. Les mesures I-V indiquent que le RESET du huitième cycle se passe d'abord correctement (le courant diminue dans la structure de façon similaire au RESET du septième cycle) par contre le courant ré-augmente brutalement tout de suite après, ramenant donc presque aussitôt le dispositif à l'état de LRS. Cette augmentation signe la fermeture du gap (la reconnexion des deux extrémités du filament de conduction) et plus aucun RESET n'est ensuite possible.

La figure 5-5 (c-2) $V_{junction} = f(V_{TOT})$ indique en effet que la tension aux bornes de la jonction Ti/HfO_x/TiN/Ti diminue rapidement après avoir d'abord augmenté lors de l'opération de RESET. Le graphe (c-2) permet aussi de représenter visuellement l'importance de $R_{série}$ par rapport à R_{OxRRAM} (ratio $R_{série}/R_{OxRRAM LRS} = 1.5$) puisque en état LRS on voit $V_{OxRRAM} \ll V_{TOT}$.

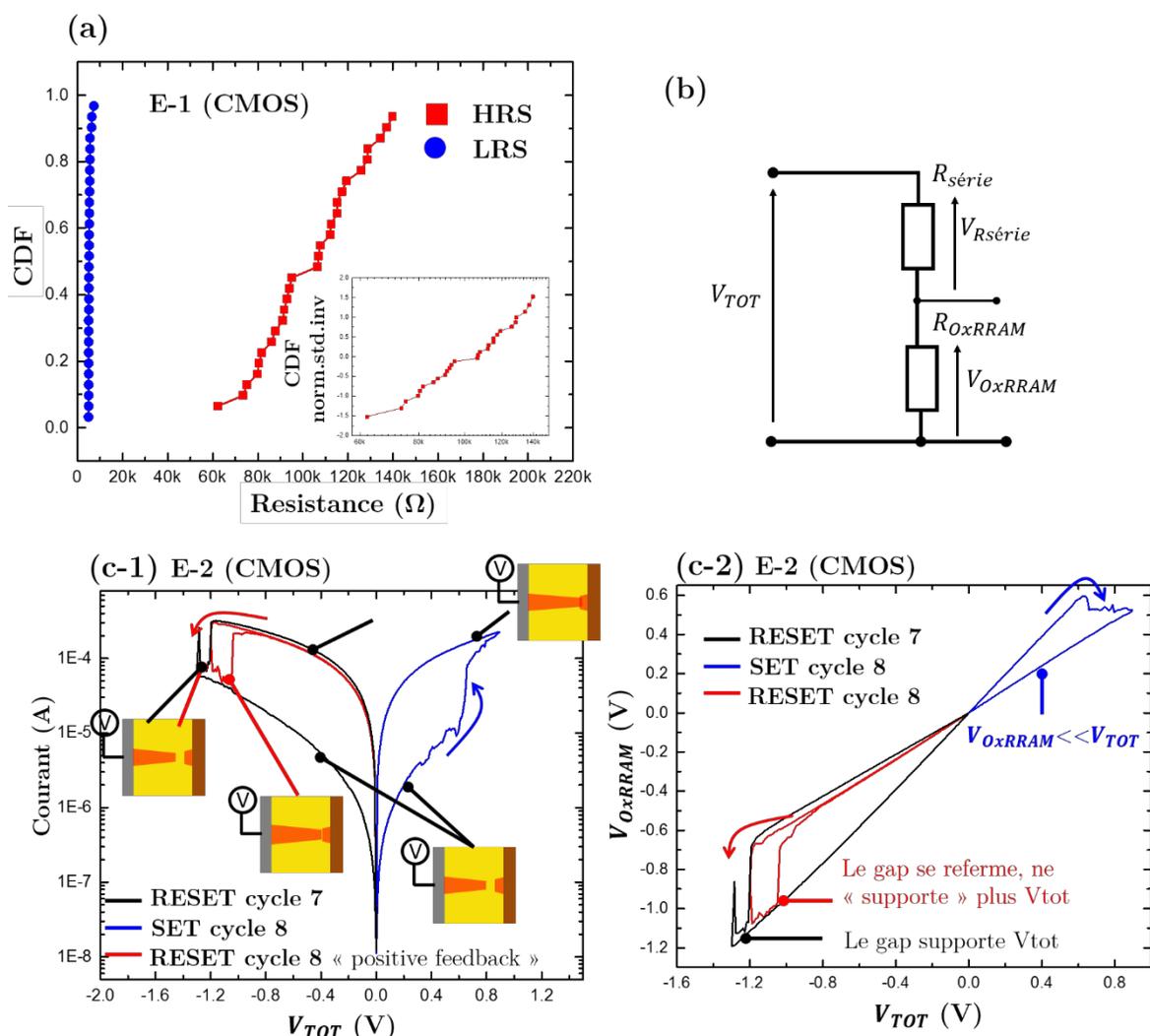


Figure 5-4 (a) Représentation de la CDF des résistances des états LRS et HRS pour 30 cycles du dispositif mémoire E-1 Ti/HfO_x/TiN/Ti issu du lot E fabriqué sur substrat CMOS. L'état HRS est toujours plus dispersé que l'état LRS. L'encart montre la CDF dans une échelle log normale inverse (l'abscisse est en échelle log). (b) Schéma électrique équivalent lors d'une mesure 1R de dispositifs OxRRAM. (c-1) Courbe $I = f(V_{TOT})$ représentant la défaillance de l'état HRS survenant tout de suite après le RESET du cycle

8 pour le dispositif E-2 du lot E. (c-2) Courbe $V_{junction} = f(V_{TOT})$ pour le même dispositif E-2 lors de la défaillance de l'état HRS.

5.2.3 Simulation des phénomènes de SET et RESET

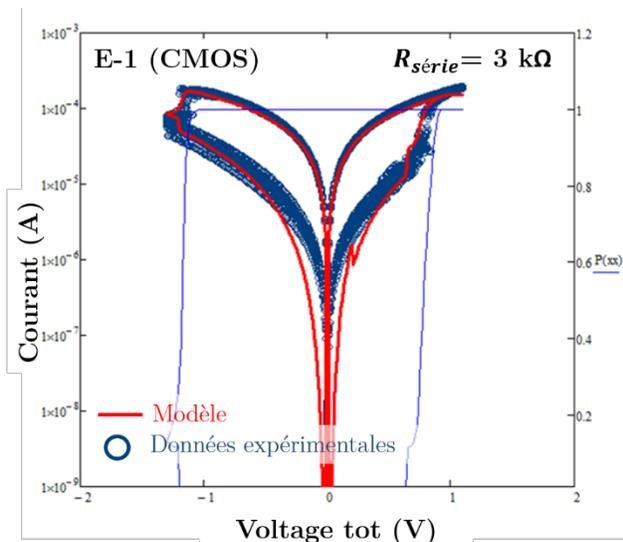


Figure 5-5 Données expérimentales et application du modèle de S. Blonkowski pour le dispositif E-1 du lot B. Le modèle décrit bien le comportement I-V.

Des simulations basées sur le modèle à *nanofil métallique* développé par l'équipe de S. Blonkowski [6] (détails dans le chapitre 4 section 4.4) ont été conduites pour reproduire les résultats des caractérisations électriques du dispositif E-1 issu du lot E. Les paramètres trouvés V_1 et V_2 (puits de potentiels des zones 1 et 2 (en eV)), l (libre parcours moyen d'un électron (en nm)), d (épaisseur de la zone de constriction (en Å)), z (position de la zone de constriction (en Å)), α (couplage électron phonons) et ϕ_b (hauteur de barrière entre le bout du filament de conduction et l'oxyde dans la zone de constriction (en eV)) sont tous similaires à ceux trouvés pour le dispositif du lot B fabriqué sur Si (figure 4-17 (c) du chapitre 4) à la différence près que l'épaisseur tunnel d est réduite

de 0.5 Å. Cette réduction est cohérente si on considère que l'effet de PS lors du RESET est atténué pour les dispositifs sur CMOS : la tension aux bornes du gap résiduel entre les deux extrémités du filament de conduction tout de suite après le RESET est alors moindre que dans le cas de dispositifs sur Si. Ainsi le gap aura moins tendance à « s'agrandir » : c'est l'effet du V_{stop} ($V_{TOT max}$) sur la distance d [86], que l'on peut déceler à travers les valeurs des HRS légèrement inférieures dans le cas des dispositifs sur CMOS par rapport aux dispositifs sur Si.

Le modèle à *nanofil métallique* développé par de l'équipe de S. Blonkowski est alors toujours pertinent pour décrire les commutations résistives au sein de nos dispositifs.

5.3 Caractérisations électriques en configuration 1T1R et mode QS

La compatibilité BEOL du procédé *nanodamascène* est entièrement validée grâce aux bonnes performances des dispositifs sur substrat CMOS évoquées ci-dessus.

Les structures 1T1R pour lesquelles chaque dispositif OxRRAM est interconnecté avec un transistor MOS sont alors prêtes à être caractérisées.

Le schéma électrique équivalent d'une structure 1T1R est donné sur la figure 5-6 (a) : le drain du transistor est connecté à l'électrode passive de TiN/Ti du dispositif OxRRAM.

Les tensions sont appliquées sur la grille V_g et la source V_s du transistor MOS, ainsi que sur l'électrode active supérieure du dispositif OxRRAM $V_{top E}$ ce qui correspond alors à V_{tot} .

Selon les opérations d'électroformage, SET ou RESET effectuées la polarisation des tensions varie. Pour l'opération de RESET on choisit d'appliquer une tension positive sur la source et de mettre $V_{top E}$ à la masse plutôt que d'appliquer une tension négative sur $V_{top E}$ afin de toujours travailler avec les porteurs majoritaires de type n dans notre NMOS (et d'éviter des fuites par le substrat dopé p). On applique une tension sur la grille V_g la plus grande possible afin que le transistor soit en mode ON ou passant.

Les courbes I-V obtenues pour un dispositif OxRRAM Ti/HfO_x (6 nm)/TiN/Ti du lot F en configuration 1T1R sont tracées en figure 5-6 (b). Comme attendu, l'allure des courbes est très proche de celle des dispositifs fabriqués sur CMOS et caractérisées en configuration 1R.

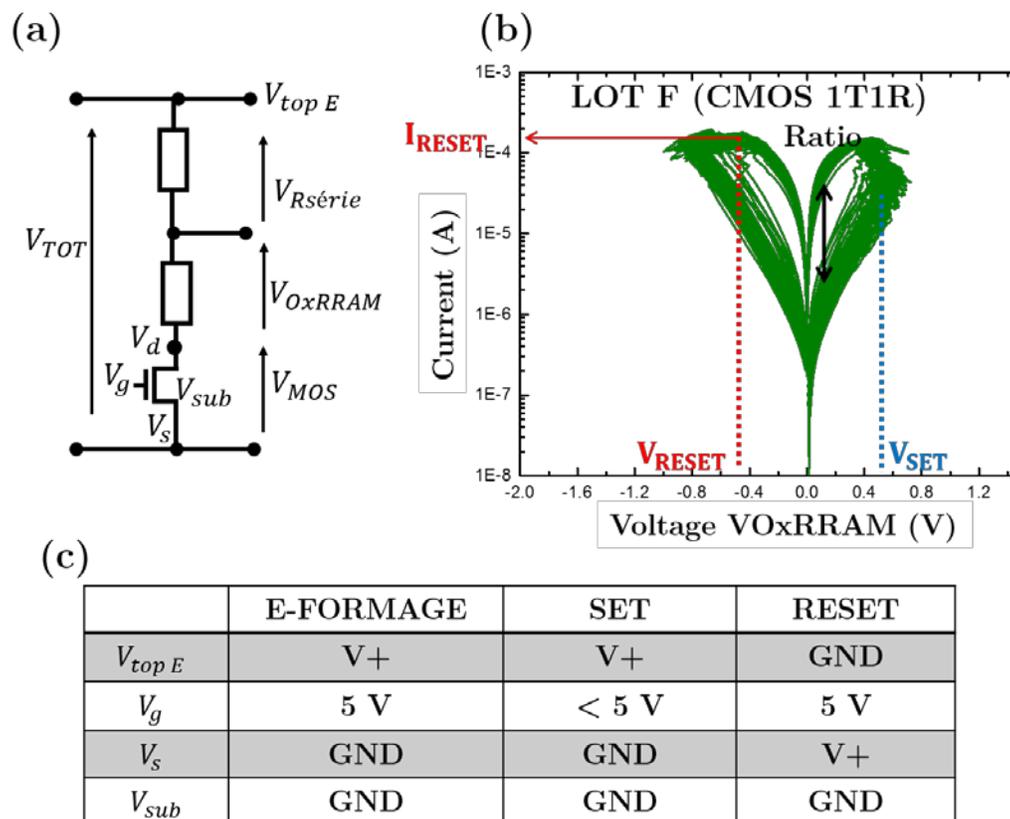


Figure 5-6 (a) Schéma électrique équivalent lors des caractérisations électriques en mode QS et configuration 1T1R des dispositifs OxRRAM du lot F fabriqués sur substrat CMOS. (b) Courbes I-V obtenues pour un dispositif F-1 représentatif du lot F. Les valeurs de I_{RESET} , V_{SET} et V_{RESET} sont très proches de ce qui a été obtenu pour le lot E sur substrat CMOS mais en caractérisation 1R. (c) Tableau indiquant les polarités des tensions utilisées pour les opérations d'électroformage, de SET et de RESET.

5.3.1 Influence du transistor lors de l'électroformage et du SET

Le tableau 5-2 ci-dessous compare les résultats d'endurance de dispositifs fabriqués sur substrats CMOS et caractérisés en configuration 1R et 1T1R.

LOTS	E (CMOS 1R)	F (CMOS 1T1R)
Épaisseur HfO _x visée/mesurée (coupe TEM) (nm)	10/ NA	10/ NA
Moyenne du nombre de cycles	11	22
Endurance maximale (nombre de cycles)	> 85	> 150

Tableau 5-2 Tableau répertoriant les principales caractéristiques obtenues lors des caractérisations électriques sur les lots E et F des dispositifs fabriqués sur substrat CMOS et caractérisés respectivement en configuration 1R et 1T1R. Les valeurs notables pour le lot F sont écrites en vert

L'avantage considérable d'utiliser un transistor au lieu de la source externe de l'appareil de mesure Keithley 4200-SCS pour limiter le courant au sein du dispositif est visible via l'amélioration de l'endurance (> 150 cycles) et de la moyenne du nombre de cycles possible qui a doublé par rapport à celle du lot des configurations 1R simples.

Le transistor dont la fréquence de coupure est entre 1 et 10 GHz permet de limiter efficacement le courant au plus proche de la cellule mémoire qui commute dans des temps avoisinant la ns. Ainsi on peut supposer que la taille du filament de conduction est mieux maîtrisée, et directement limitée par la compliance en courant I_c elle-même fixée par la tension de grille V_g imposée sur le transistor. Avoir le transistor physiquement proche de la cellule mémoire optimise cette régulation de courant dans le circuit en minimisant aussi les effets capacitifs liés à la charge et décharge du dispositif mémoire tel qu'expliqué par K. Kinoshita et *al.* dans [87].

Pour chaque transistor on peut utiliser sa courbe $I_d V_g$ afin de déterminer le courant maximal pouvant le traverser pour une valeur de tension de grille donnée V_g (voir figure 5-7 (a)) et à une tension V_d proche de la tension aux bornes du transistor une fois le filament de conduction formé (typiquement entre 1 et 2 V).

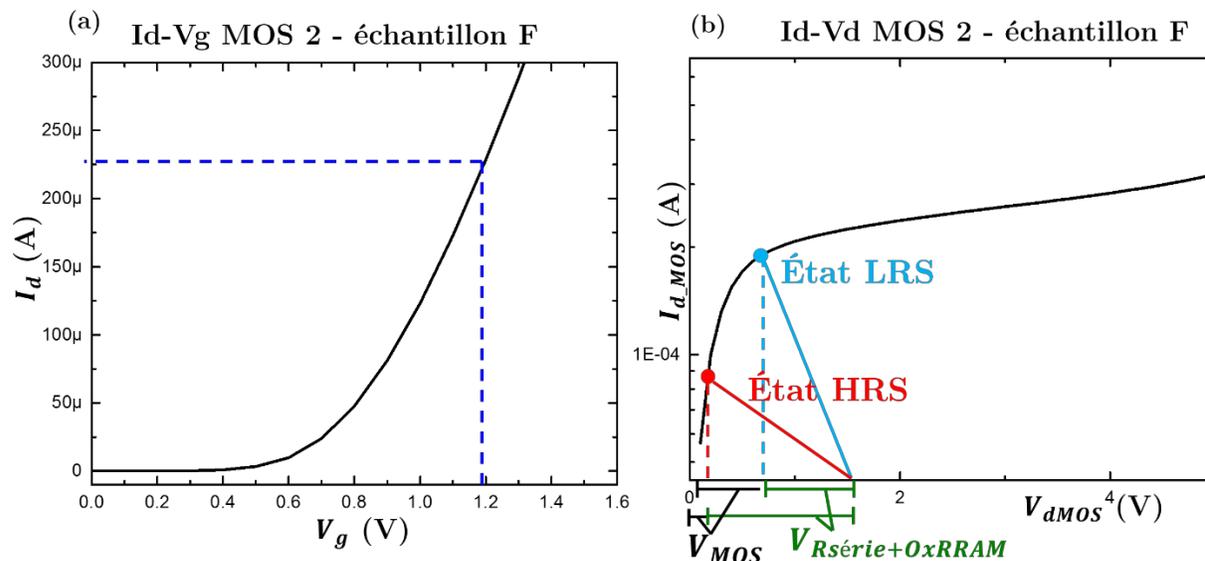


Figure 5-7 (a) La courbe I_d - V_g d'un transistor permet de connaître le courant maximal pouvant le traverser à un V_d et un V_g donnés. Dans cet exemple $V_d = 2$ V. (b) Représentation schématique de la répartition des tensions lors de l'opération de SET sur une courbe I_d - V_d .

La figure 5-8 (a) représente la répartition des tensions aux bornes des trois éléments du schéma électrique équivalent (la $R_{série}$, l'OxRRAM, et le MOS) lors de l'étape d'électroformage pour le dispositif F-2 du lot F. La tension aux bornes du MOS augmente brutalement une fois $V_{formage}$ atteint : le filament de conduction est formé au sein de la structure OxRRAM.

On peut dire que le MOS « prend le relais » pour supporter la tension V_{tot} fournie par le générateur de tension afin d'éviter le claquage irréversible de l'oxyde de commutation. L'idée étant que la tension V_{MOS} qui se trouve à ses bornes tout de suite après l'électroformage soit dans la zone saturée de sa caractéristique I-V pour le V_g utilisé (cf figure 5-8 (b)).

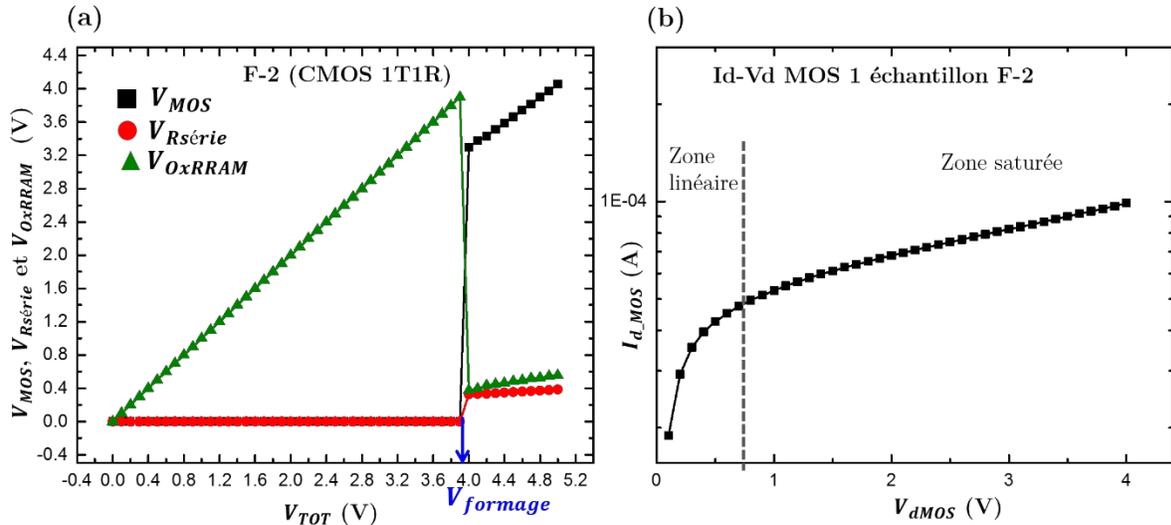


Figure 5-8 (a) Répartition des tensions V_{MOS} , $V_{Rsérie}$, $V_{OxRRAM} = f(V_{TOT})$ pendant l'opération d'électroformage pour un dispositif F-2 du lot F en structure 1T1R avec $V_g = 0.9$ V. (b) Courbe I_d - V_d pour le MOS 1 interconnecté au dispositif F-2 avec le même $V_g = 0.9$ V que celui utilisé pour l'opération d'électroformage en (a).

Pendant l'opération de SET, on peut représenter schématiquement la répartition des tensions d'une part aux bornes du transistor MOS et d'autre part aux bornes de la résistance série et du dispositif OxRRAM tel que sur la figure 5-7 (b). On note que la tension est presque équitablement répartie entre les deux lorsque l'OxRRAM est en LRS.

La courbe de la figure 5-9 (a) trace la conductance de l'état LRS G_{ON} en fonction du courant limite imposé lors de l'électroformage $I_{c\ formage}$. La courbe est linéaire avec une valeur V_c^{-1} du coefficient directeur ≈ 2.9 , ce qui est très proche de la valeur théorique ($V_c^{-1} \approx 3$) du modèle de S. Blonkowski et *al.* [6]. On retrouve ainsi la relation de proportionnalité entre le courant maximal traversant la cellule mémoire lors de la formation du filament et l'état résistif qui en résulte, soulignant l'impact de la limitation en courant lors de la formation du filament de conduction.

Si on trace le courant nécessaire au RESET I_{RESET} en fonction du courant de compliance I_c (figure 5-9 (b)) on obtient également une relation de proportionnalité avec $\alpha \approx 0.75$ au même titre que ce que prévoit le modèle de l'équipe de S. Blonkowski ($\alpha \approx 0.75$) [6] ou de D. Ielmini ($\alpha \approx 1$) [27]. En effet, le courant nécessaire à la rupture du filament est proportionnel à sa section, qui elle-même est proportionnelle à I_c .

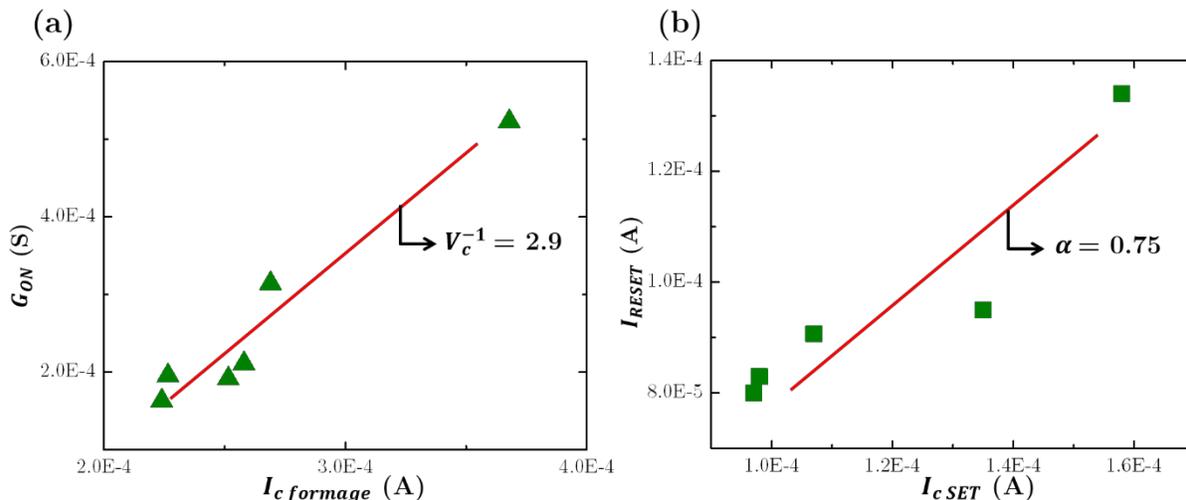


Figure 5-9 (a) $G_{ON} = f(I_{c\ formage})$ lors de l'opération d'électroformage pour plusieurs dispositifs OxRRAM du lot F caractérisés en mode 1T1R. (b) $I_{RESET} = f(I_{c\ SET})$ lors des cycles de commutations résistives pour plusieurs dispositifs OxRRAM du lot F caractérisés en mode 1T1R.

Finalement, nous avons vu que l'utilisation d'un transistor pour limiter le courant dans le dispositif mémoire est extrêmement importante lors des opérations d'électroformage et de SET, et dans le cas où le filament se forme de manière stable nous avons pu réaliser plus de 150 cycles avec notre montage de caractérisation électrique manuel.

5.4 Caractérisations électriques en configuration 1T1R et mode pulsé

5.4.1 Contexte des mesures

Les opérations d'écriture et de lecture au sein d'une matrice de dispositifs mémoires sont réalisées en utilisant des impulsions électriques. La durée d'une impulsion t_p ainsi que les niveaux de tensions V et de courants I nécessaires pour adresser un point mémoire vont définir l'énergie ε consommée pour une opération d'adressage via la relation $\varepsilon = \int P \times dt = \int V \times I \times dt$. Lors d'une opération en mode QS de SET ou de RESET l'énergie consommée est de l'ordre du μJ puisque l'opération dure plusieurs secondes. Pour une opération en mode pulsé avec des durées d'impulsion t_p de l'ordre de la μs ou de la ns , l'énergie consommée sera inférieure au nJ (en considérant les mêmes ordres de grandeurs de courants et tensions). En réalité, l'énergie nécessaire pour engendrer la commutation résistive est la même quel que soit le mode de caractérisation électrique. Lors de caractérisations QS une grande partie de l'énergie consommée est alors perdue (dissipée sous forme de chaleur au sein de la cellule).

Afin de tester nos dispositifs en utilisant des impulsions électriques en configuration 1T1R on a mis en place un montage de caractérisation utilisant les

modules pulse measurement unit (PMU) et source measurement unit (SMU) du Keithley afin de pouvoir à la fois polariser la grille du transistor MOS en tension continue et appliquer une impulsion soit sur le drain lors du SET soit sur la source lors du RESET. Le schéma du montage électrique est donné en Annexe D.

Pour des raisons d'instrument de mesure nous avons fixé le temps de montée t_{rise} et de descente t_{fall} d'une impulsion à 1 μ s et sa durée t_p à 10 μ s. Pour travailler avec des temps plus courts il faudrait adapter le montage afin d'éliminer les effets de pics d'harmoniques et de réflexion de l'onde lors de la génération de l'impulsion. On peut utiliser des structures coplanaires d'impédance constante = 50 Ω pour assurer une bonne transmission du signal jusqu'au dispositif mémoire. Dans la littérature les gens travaillent généralement avec des durées d'impulsion de la dizaine ou centaine de ns [88][89][13], bien que des travaux utilisant un montage adapté pour la génération d'impulsions très hautes fréquences ont montré des commutations résistives sur des OxRRAM en des temps aussi courts que de la centaine de ps [16][17][90].

5.4.2 Opérations de SET et RESET

Alors que les tensions de SET et RESET en mode QS pour nos dispositifs OxRRAM sont autour de ± 0.5 V, on détermine qu'il est nécessaire pour un $t_p = 10$ μ s d'appliquer une tension d'impulsion $V_{p\ SET} = 1.5$ V pour le SET et $V_{p\ RESET} > 3$ V pour le RESET. Ces valeurs de tension sont un compromis avec la durée de l'impulsion. Plusieurs travaux montrent que si la durée t_p diminue alors la tension V_p doit augmenter si on veut atteindre un même niveau de résistance post commutation [88]. Cet effet est davantage visible pour le RESET, pour lequel un effet cumulatif a déjà été mis en évidence : dans [13] C. Ho et *al.* doivent appliquer 44 impulsions de 40 ns pour engendrer un RESET dans leurs structures TiN/HfO_x/TiN alors que 5 pulses sont nécessaires s'ils utilisent un t_p de 80 ns.

La figure 5-10 ci-dessous montre les valeurs de courant mesurées lors de l'application d'une impulsion en tension pour des opérations de SET et de RESET pour deux dispositifs différents du lot F. Les mesures de courant brutes (figures 5-10 (a)) doivent être traitées afin de s'affranchir de la présence de la capacité parallèle évaluée autour de 110 pF et provenant de l'appareil de mesure. Les détails de l'analyse de cette capacité parallèle sont donnés en Annexe E.

Pour le SET on observe un changement de résistance pendant la montée de l'impulsion (figure 5-10 (d)), tandis que pour le RESET le changement subviendrait pendant le plateau de l'impulsion (figure 5-11 (d)). Il semblerait alors que la commutation de HRS à LRS (SET) soit davantage dictée par un champ électrique minimal à atteindre tandis que la commutation de LRS à HRS (RESET) n'est possible que si une certaine quantité d'énergie a pu être accumulée. Similairement à ce que nous observons S. Yu et *al.* observent le RESET au sein de leurs structures TiN/HfO_x/AlO_x/Pt quelques nanosecondes après la fin du temps de montée du créneau de tension, quelles que soient la durée et la grandeur de la tension d'impulsion (-2 V/500 ns ou -2.3 V/50 ns) [89]. C'est également le cas pour S. Kim et *al.* qui observent le RESET 1.3 μ s après le début du plateau de l'impulsion sur leurs structures W/TaO_x/Ta₂O₅/Pt [91].

Dans notre cas nous observons le changement de résistance de LRS à HRS environ 4 μs après la stabilisation du plateau de l'impulsion à 3.2 V (figure 5-11 (d)). La valeur de HRS atteinte ensuite n'est pas stable et nous avons souvent observé l'effet de *PSI* évoqué précédemment qui entraîne alors la fermeture non désirée du gap (un SET en polarisation inverse). En effet la tension qui se retrouve aux bornes de l'OxRRAM lors du RESET en mode pulsé est presque trois fois plus importante qu'en mode QS (3.2 V vs 1.1 V), venant considérablement stresser le gap résiduel entre les deux brins du filament de conduction partiellement ou totalement rompu.

Si on essaie d'estimer l'énergie nécessaire aux opérations de SET et de RESET (c'est-à-dire concernant le temps précédent la commutation) on trouve une énergie 10 fois plus importante pour le RESET (810 pJ) que pour le SET (9 pJ). En effet en combinant une tension d'impulsion $V_{p\text{RESET}}$ de 3.2 V et un état LRS de 10 k Ω pour F-4, des courants jusque 450 μA traversent le dispositif OxRRAM ce qui conduit à des plus hauts niveaux d'énergie.

SET-dispositif F-3

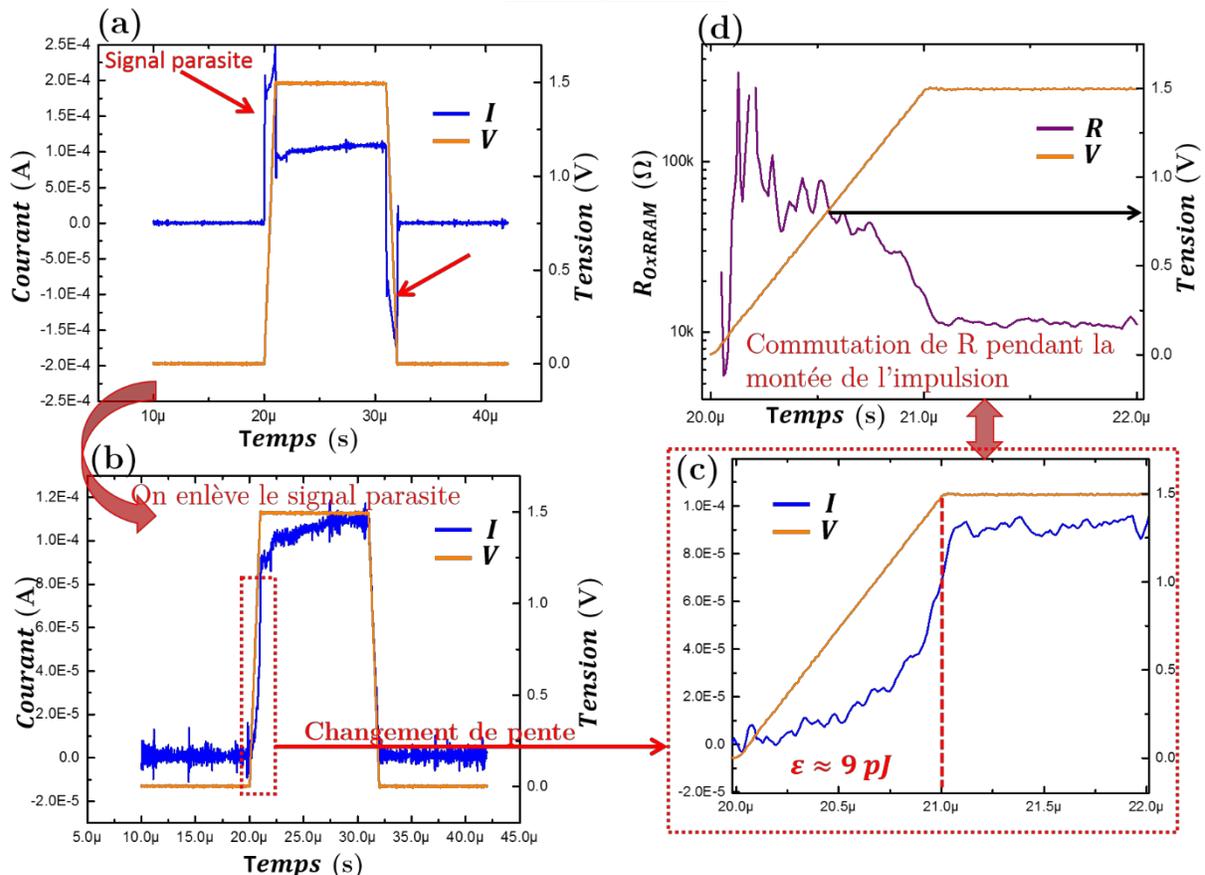


Figure 5-10 (a) Courbe I-t et V-t d'une opération de SET pour un dispositif OxRRAM F-3 du lot F testé en configuration 1T1R et mode pulsé. L'impulsion appliquée pour le SET est de 1.5 V et 10 μs . On observe un signal parasite lors de la montée et de la descente de l'impulsion. (b) Courbe I-t et V-t issue de (a) à laquelle on a soustrait le signal parasite. (c) Zoom sur la zone de la courbe (b) correspondant au changement de pente du courant dans le temps de montée de l'impulsion en tension. (d) Courbe R-t et V-t correspondant à la courbe (c). On note que la résistance commence à diminuer autour de 1 V.

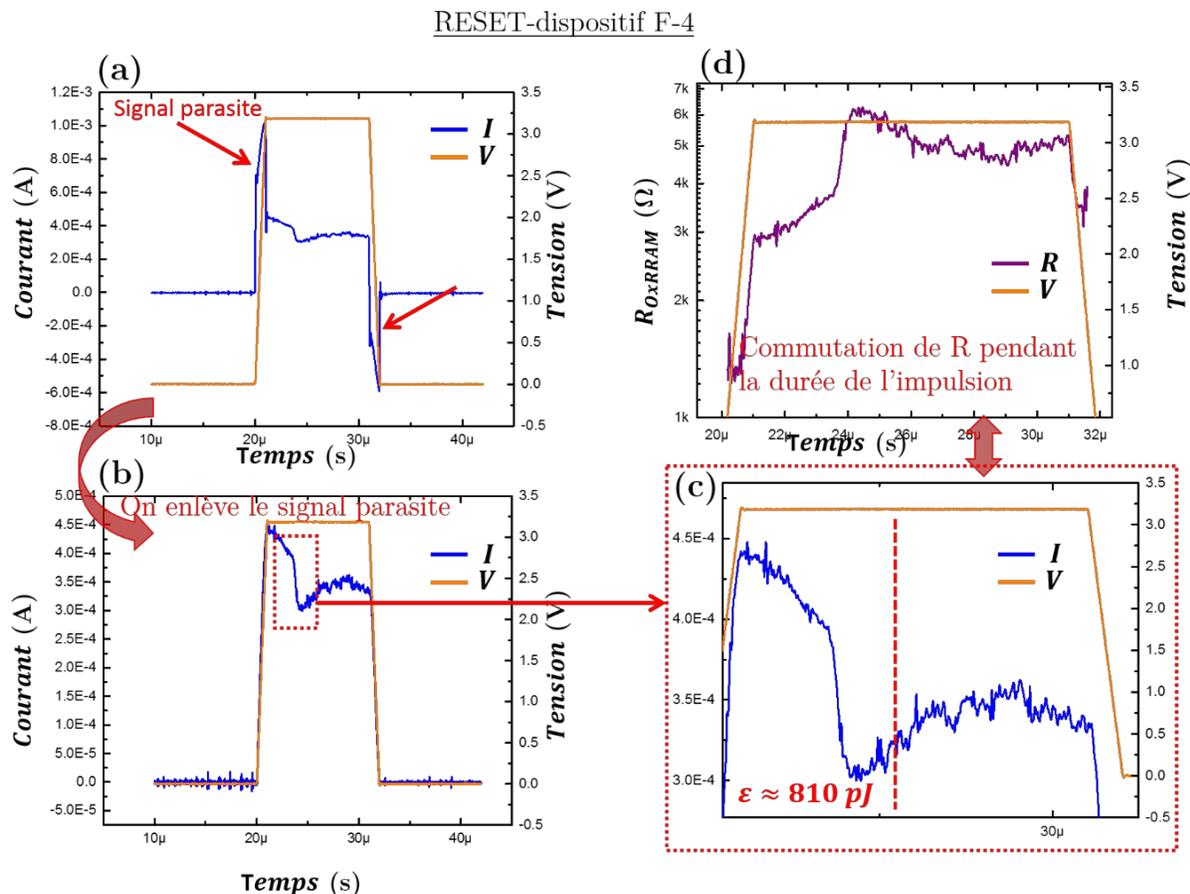


Figure 5-11 (a) Courbe I - t et V - t d'une opération de RESET pour un dispositif OxRRAM F-4 du lot F testé en configuration 1T1R et mode pulsé. L'impulsion appliquée pour le RESET est de 3.2 V et 10 μ s. On observe un signal parasite lors de la montée et de la descente de l'impulsion. (b) Courbe I - t et V - t issue de (a) à laquelle on a soustrait le signal parasite. (c) Zoom sur la zone de la courbe (b) correspondant au changement de pente du courant dans la stabilisation du plateau de l'impulsion en tension. (d) Courbe R - t et V - t correspondant à la courbe (c). On note que la résistance commence à augmenter environ 4 μ s après que la tension de 3.2 V est atteinte.

Ces premiers résultats issus des caractérisations électriques en mode pulsé et configuration 1T1R des dispositifs OxRRAM Ti/HfO_x/TiN/Ti fabriqués sur substrat CMOS sont prometteurs afin d'envisager l'utilisation des dispositifs en agencement matriciel.

Cependant, des difficultés liées à l'opération de RESET (phénomène de PS), ont empêché la réalisation de plusieurs cycles d'affilés limitant ainsi les tests que nous aurions pu réaliser en mode pulsé (test de rétention, de cyclage, de CVS etc.). De plus, dans cette configuration 1T1R la résistance série du transistor MOS en mode ON ou passant lors du RESET s'ajoute à la résistance série totale. Si elle est trop importante (de l'ordre du k Ω pour certains MOS), elle contribuera significativement au phénomène de PS .

5.5 Conclusion chapitre 5

Les dispositifs OxRRAM Ti/HfO_x (6 nm)/TiN/Ti sont fabriqués sur substrats CMOS au-dessus des transistors MOS.

On vérifie que leur fabrication ne détériore pas les performances des transistors MOS grâce à des mesures sur des structures « daisy chains » et des caractérisations électriques sur les MOS eux-mêmes.

Puis on réalise des caractérisations électriques sur les dispositifs en structure 1R et mode QS. L'endurance des dispositifs est améliorée comparé aux dispositifs fabriqués sur Si. Cette amélioration est due à la baisse de la résistance série pour le design des structures sur CMOS. On met alors en relief le phénomène de *PSI* (*Programmation de SET Involontaire*) qui perturbe le RESET en refermant le gap tout de suite après son ouverture, et qui est d'autant plus important que la résistance série est élevée. La résistance série est alors un paramètre très important à maîtriser.

Une fois ces vérifications faites, les dispositifs interconnectés aux transistors sont caractérisés en configuration 1T1R et mode QS. On note le rôle prépondérant du transistor en tant que dispositif limiteur de courant pour les opérations d'électroformage et de SET : l'endurance des dispositifs est encore améliorée en configuration 1T1R par rapport à celle en configuration 1R. Toutefois, il faut faire attention à limiter la résistance série apportée par le MOS lors du RESET qui s'ajoute à la résistance totale et peut donc empirer le phénomène de *PSI*.

Enfin, les dispositifs sont caractérisés en configuration 1T1R et mode pulsé puisque c'est avec des impulsions en tension que les dispositifs mémoires sont adressés au sein des réseaux matriciels en utilisation standard. On parvient à réaliser quelques cycles de SET et RESET en utilisant des impulsions de 10 μs et des valeurs de tensions supérieures aux valeurs de SET RESET en mode QS. Ces tests nécessitent d'être poursuivis sur des structures dont la résistance série est réduite afin de limiter au maximum l'effet de *PSI*.

CHAPITRE 6 Dispositifs à commutations résistives complémentaires

Une fois les dispositifs OxRRAM d'empilement Ti/HfO_x/TiN/Ti fabriqués et caractérisés en configuration 1R et 1T1R, des dispositifs CRS d'empilement Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti sont étudiés sur substrat Si. Rappelons que les dispositifs CRS sont intéressants lors de l'agencement des points mémoires en réseaux matriciels de grandes tailles puisqu'ils apportent la double fonction d'auto-redresseur et auto-limiteur. Dans ce chapitre on étudie les performances des dispositifs CRS fabriqués. On note l'impact négatif de la résistance série sur les performances des dispositifs CRS. Le modèle à *nanofil métallique*, adapté avec succès au comportement résistif des dispositifs CRS, est utilisé pour quantifier cet impact de la résistance série. Les comportements de type CRS mais obtenus sur des dispositifs OxRRAM classiques sans électrodes centrales, appelés simplement CS pour complementary switching, sont discutés.

Enfin, des pistes d'amélioration de notre structure de CRS actuel sont proposées, et la solution de l'architecture CRS en tant que solution aux problèmes de *sneak paths* dans les matrices mémoires est comparée avec d'autres solutions. Afin d'envisager une intégration de nos dispositifs CRS en filière CMOS BEOL un procédé d'intégration est proposé.

6.1 Caractérisations électriques et simulations

6.1.1 Caractérisations électriques de dispositifs CRS

Des dispositifs CRS Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti sont fabriqués sur substrat Si. Comme évoqué dans la section 2.3.2 du chapitre 2 il est important que l'électrode centrale du dispositif soit l'électrode active. En effet, lors de l'application de la tension toujours sur la même électrode supérieure (l'électrode passive du dispositif OxRRAM 1 sur le schéma de la figure 6-1), cela permet d'avoir l'opération de SET uniquement pour l'OxRRAM 2 pour des tensions positives et uniquement pour l'OxRRAM 1 pour des tensions négatives. Les dispositifs doivent également être bipolaires.

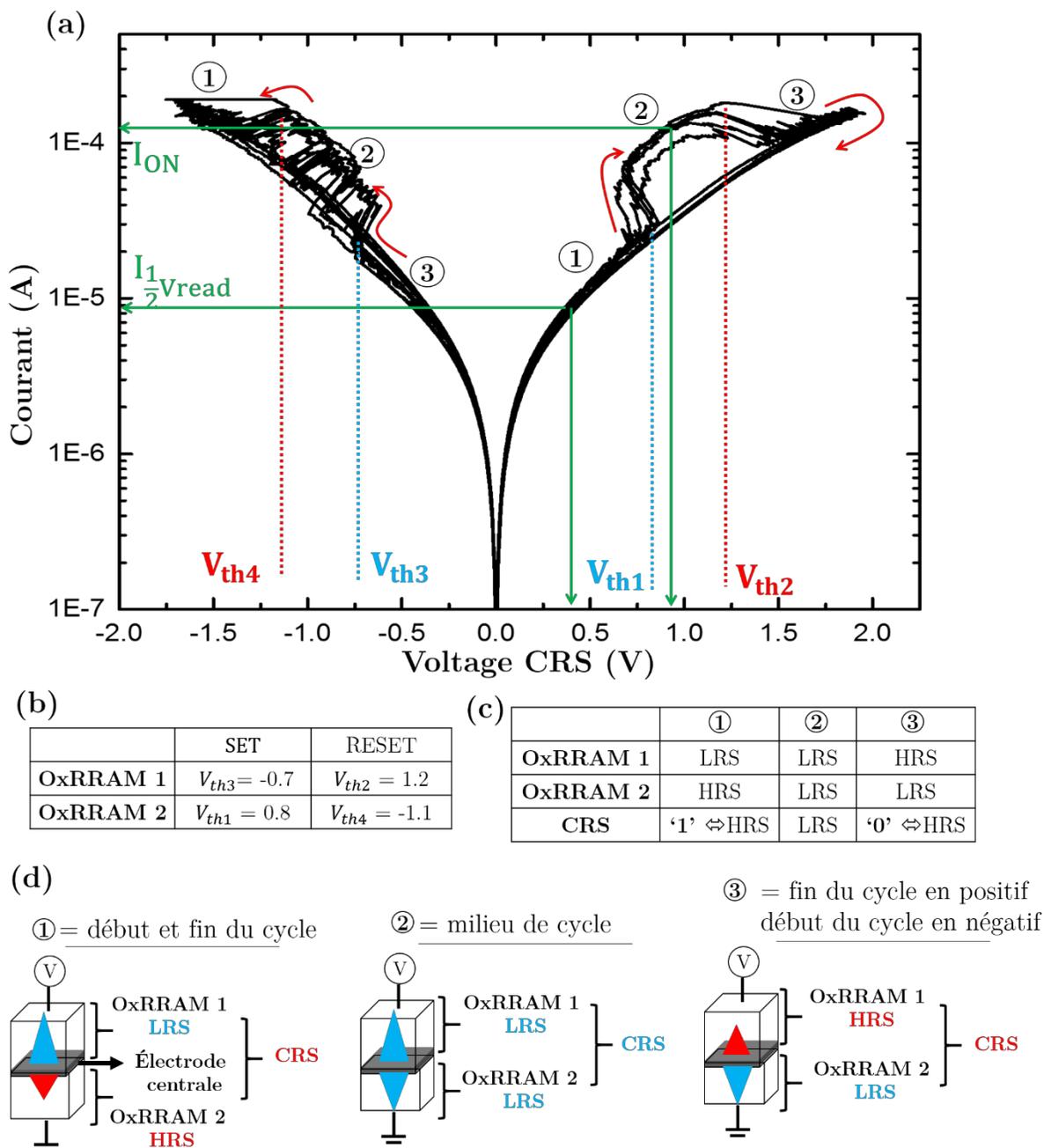


Figure 6-1 (a) Courbe I-V d'un dispositif CRS Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti du lot B. (b) Table des valeurs des tensions V_{th1} , V_{th2} , V_{th3} et V_{th4} correspondant aux phénomènes de SET et de RESET des deux OxRRAM lors de l'application d'une rampe de tension sur l'électrode supérieure (l'électrode passive de l'OxRRAM 1). (c) Table des différents états possibles pour le dispositif CRS. (d) Schématisation de la configuration interne des OxRRAM au sein du dispositif CRS global pendant l'application du balayage en tension.

La figure 6-1 (a) montre les courbes I-V obtenues pour un dispositif CRS après avoir électroformé l'OxRRAM 1 et non l'OxRRAM 2 qui avait une résistance initiale déjà basse (35 kΩ). Les valeurs des tensions V_{th1} , V_{th2} , V_{th3} et V_{th4} sont tout à fait cohérentes. En effet, le dispositif CRS étant lui-même un pont diviseur de tension, on

peut exprimer les tensions théoriques V_{th1} et V_{th2} à partir des valeurs $V_{SET\ Ox\ 2}$ et $V_{RESET\ Ox\ 1}$ des OxRRAM 2 et 1 symétriques. On a alors :

$$V_{SET\ Ox\ 2} = V_{th1} \times \frac{HRS_{Ox\ 2}}{HRS_{Ox\ 2} + LRS_{Ox\ 1}} \Rightarrow V_{th1} = V_{SET\ Ox\ 2} \times \frac{HRS_{Ox\ 2} + LRS_{Ox\ 1}}{HRS_{Ox\ 2}} \quad [6.1]$$

$$V_{RESET\ Ox\ 1} = V_{th2} \times \frac{LRS_{Ox\ 1}}{LRS_{Ox\ 1} + LRS_{Ox\ 2}} \Rightarrow V_{th2} = V_{RESET\ Ox\ 1} \times \frac{LRS_{Ox\ 1} + LRS_{Ox\ 2}}{LRS_{Ox\ 1}} \quad [6.2],$$

La figure 6-2 schématise ces comportements.

Ainsi, si les OxRRAM sont exactement symétriques ($LRS_{Ox\ 1} = LRS_{Ox\ 2}$) et si $HRS \gg LRS$, on a $V_{th1} \approx V_{SET\ Ox\ 2}$ et $V_{th2} = 2 \times V_{RESET\ Ox\ 1}$. Le raisonnement est le même pour V_{th3} et V_{th4} avec les tensions de $V_{RESET\ Ox\ 2}$ et $V_{SET\ Ox\ 1}$ et conduit aux résultats : $V_{th3} \approx V_{SET\ Ox\ 1}$ et $V_{th4} = 2 \times V_{RESET\ Ox\ 2}$.

Dans notre cas on évalue expérimentalement :

$$V_{SET\ Ox\ 1} \approx 0.5\text{ V}, V_{RESET\ Ox\ 1} \approx -0.72\text{ V}, LRS_{Ox\ 1} \approx 11\text{ k}\Omega, HRS_{Ox\ 1} \approx 40\text{ k}\Omega$$

$$V_{SET\ Ox\ 2} \approx 0.5\text{ V}, V_{RESET\ Ox\ 2} \approx -0.6\text{ V}, LRS_{Ox\ 2} \approx 4\text{ k}\Omega, HRS_{Ox\ 2} \approx 64\text{ k}\Omega.$$

En appliquant les formules des équations [6.1] et [6.2] on trouve numériquement $V_{th1} \approx 0.6\text{ V}$ et $V_{th2} \approx 1\text{ V}$. Ces valeurs sont légèrement inférieures à celles que l'on peut lire sur la courbe de la figure 6-1 (a), respectivement 0.8 V et 1.2 V. Dans notre cas, il s'avère que les deux OxRRAM ne sont pas totalement symétriques, et l'allure fluctuante de la courbe pour des tensions négatives traduit notamment la difficulté de l'OxRRAM 2 à réaliser l'opération de RESET. Rappelons que l'OxRRAM 2 avait une résistance initiale déjà basse, pouvant traduire un défaut dans le dépôt de l'oxyde HfO_x .

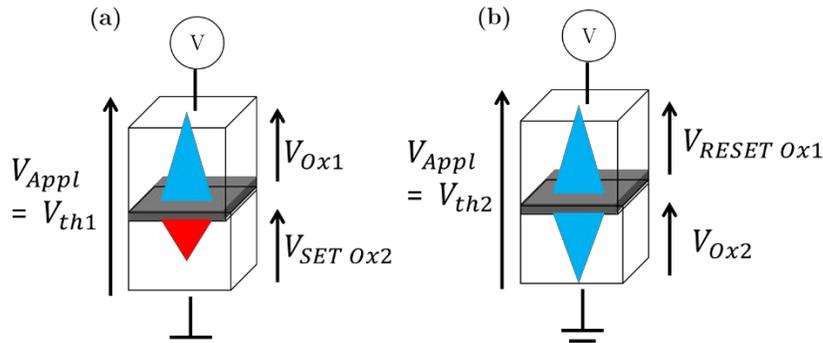


Figure 6-2 (a) Répartition des tensions aux bornes des OxRRAM 1 et 2 lors du SET de l'OxRRAM 2 à $V_{Appl} = V_{th1}$. (b) Répartition des tensions aux bornes des OxRRAM 1 et 2 lors du RESET de l'OxRRAM 1 à $V_{Appl} = V_{th2}$.

On peut exprimer le ratio de non-linéarité $Ratio_{NL}$ qui renseigne sur la capacité du dispositif à discriminer deux états différents tel que : $Ratio_{NL} = \frac{I_{ON\ à\ V_{read}}}{I\ à\ \frac{1}{2}V_{read}}$ [6.3].

En se plaçant à une tension V_{READ} de 0.9 V on obtient un ratio $Ratio_{NL} = 150/7 = 21$, ce qui est dans le même ordre de grandeur que ce qui a été obtenu sur des structures de Pt/Ta₂O_{5-x}/TaO_{2-x}/Pt/ TaO_{2-x}/ Ta₂O_{5-x}/Pt [92]. On cherchera un $Ratio_{NL}$ le plus grand possible. En effet on souhaite qu'il y ait un niveau de courant significatif qui passe dans la structure CRS lorsque les deux dispositifs OxRRAM sont en LRS pour faciliter l'opération de lecture : on parle de l'amélioration du *sensing* ou de la sensibilité de détection. Le risque de confondre l'état ON où les deux OxRRAM sont en LRS avec l'état '0' ou '1' (pour lequel une seule des deux OxRRAM est en LRS) est alors réduit. On rappelle que pour un dispositif CRS les états '0' ou '1' ne font pas référence à l'état de résistance basse ou haute de la cellule globale mais à la composition intrinsèque

des deux OxRRAM la constituant : on différencie l'état pour lequel l'OxRRAM 1 est en LRS et l'OxRRAM 2 en HRS de celui où l'OxRRAM 1 est en HRS et l'OxRRAM 2 en LRS.

Le rendement de la fabrication des CRS a été beaucoup moins élevé que celui des OxRRAM. En effet, pour avoir un dispositif CRS fonctionnel, il faut que les deux OxRRAM dos à dos soient fonctionnels. Avec un rendement moyen des OxRRAM de 50%, le rendement des CRS chute à 25% ou moins. De plus comme chaque dispositif est électroformé séparément via l'électrode centrale, on peut se demander si cette opération d'électroformage peut créer une perturbation pour l'autre dispositif. Nous recommandons dorénavant d'électroformer chaque OxRRAM sans laisser de potentiel flottant sur l'électrode passive non impliquée (voir Annexe F pour détails de cette configuration).

Enfin, l'effet indésirable de la résistance série est encore plus prononcé pour les CRS pour lesquelles la résistance des électrodes est de 5.8 k Ω en comparaison avec les 3.8 k Ω pour un dispositif OxRRAM.

Afin d'évaluer cet impact sur la caractérisation électrique de dispositifs CRS, le modèle à *nanofil métallique* développé par l'équipe de S. Blonkowski est utilisé pour reproduire le comportement d'un dispositif CRS lors d'un balayage en tensions positives et négatives. Les résultats des simulations sont exposés dans la section suivante.

6.1.2 Simulation du comportement d'un dispositif CRS lors de l'application d'un balayage de tension

Impact de la résistance série

Pour être adapté au cas de la CRS, le modèle à *nanofil métallique* doit prendre en compte deux dispositifs Ti/HfO_x/TiN/Ti accolés qui partagent leur électrode active en Ti et qui ont tous les deux été préalablement électroformés. De ce fait il y a deux filaments de conduction au sein de la structure globale, dont leur zone de contention se trouve en vis-à-vis des électrodes du haut et du bas en TiN/Ti.

En reprenant exactement le même système d'équation que dans [6] mais en l'appliquant à la CRS, on peut résoudre de manière auto-cohérente les équations des variables d'états P et Q qui correspondent aux probabilités d'occupation des zones de contention pour chacun des deux dispositifs, tout en tenant compte de la continuité du courant au sein de la structure CRS.

La figure 6-3 (a) ci-dessous illustre les quatre états théoriquement possibles de la CRS selon que les zones P et Q sont occupées ou non. On notera que l'état (4) n'est jamais observé dans les caractéristiques I-V expérimentales des dispositifs, et lors des calculs numériques on observe que cet état est instable. Nous pouvons l'expliquer par le fait qu'il est impossible d'engendrer deux RESET d'affilés dans les deux dispositifs accolés, puisqu'ils ont des polarités de SET et RESET opposées et que la tension est toujours majoritairement répartie aux bornes du dispositif en HRS. Le modèle à *nanofil métallique* décrit donc correctement le comportement que l'on observe empiriquement.

La figure 6-3 (b) est le résultat de la simulation retraçant le courant aux bornes de la CRS lors de l'application d'une rampe de tension V_{appl} positive puis négative de 0 V \rightarrow +3 V \rightarrow 0 V \rightarrow -3 V \rightarrow 0 V et en considérant des résistances série $R_{série}$ de 50 Ω (en rouge) et 5 k Ω (en bleu).

L'influence de la résistance série est alors évaluée grâce au modèle et on constate qu'une résistance série 100 fois plus faible améliore le ratio de non-linéarité $Ratio_{NL}$ d'un facteur 8 environ. D'après la figure 6-3 on a des ratios $Ratio_{NL}$ pour une R de 50 Ω de 500/3 et pour une R de 5 k Ω de 200/10.

On constate également qu'une grande $R_{série}$ augmente la différences des tensions de seuil ΔV_{th} . Il faut alors appliquer des tensions ΔV_{th2} et ΔV_{th4} plus importantes sur l'ensemble CRS + $R_{série}$ pour engendrer une commutation de l'état ON (les deux OxRRAM sont en LRS) vers les états '0' ou '1'. Une fois la commutation faite cette forte tension se retrouve principalement aux bornes de la CRS ce qui est susceptible de favoriser l'effet de *PSI*.

Finalement, on peut conclure qu'une résistance série la plus faible possible est souhaitable pour obtenir un ratio de non-linéarité $Ratio_{NL}$ le plus élevé possible ainsi que pour limiter la gamme de tensions à appliquer pour engendrer les opérations de SET et RESET des deux OxRRAMs.

Grâce à ces caractéristiques électriques on observe expérimentalement que la CRS est un dispositif auto-limité puisqu'il n'a pas besoin de compliance en courant suite au SET de chaque jonction OxRRAM. L'opération de RESET de l'autre joue en effet le rôle de limiteur de courant pour contrôler le SET venant de se produire.

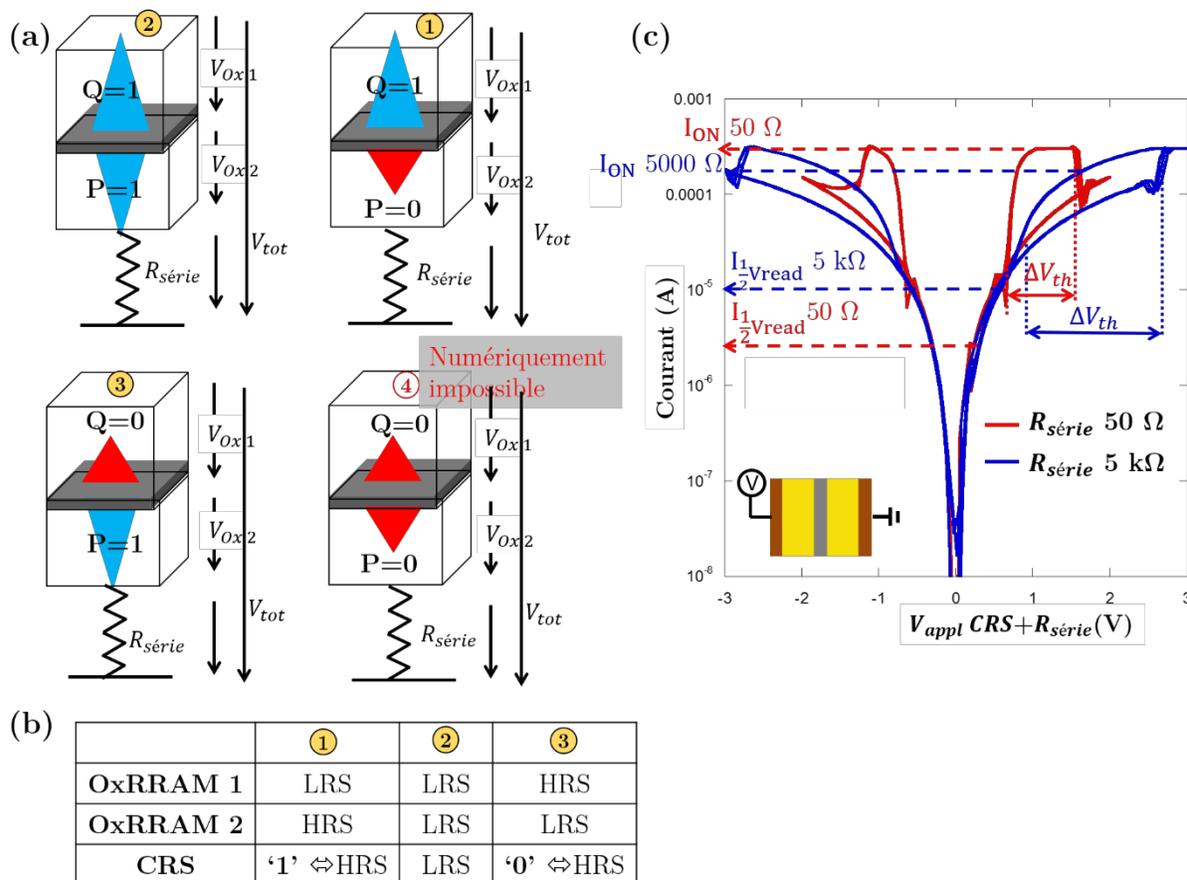


Figure 6-3 (a) Représentation schématisée des quatre états théoriquement possibles pour un dispositif CRS. Les variables P et Q représentent les probabilités d'occupation de la zone de contention et valent 0 lorsque le filament est rompu et 1 lorsqu'il est continu. L'état (4) correspondant à P=Q=0 est numériquement impossible et expérimentalement jamais observé. (b) Table répertoriant les différents états possibles pour un dispositif CRS. (c) Courbe du courant I en fonction de la tension V_{appl} appliquée aux bornes de l'ensemble CRS + $R_{série}$ issue de la simulation du comportement d'un dispositif CRS lors de l'application d'une rampe de tension et en utilisant le modèle à nanofil métallique [6]. Les données sont tracées pour deux valeurs de $R_{série}$: 50 Ω (trait rouge) et 5 k Ω (trait bleu).

Simulation du comportement CRS de nos dispositifs sur Si

Le modèle à nanofil métallique est utilisé pour reproduire les courbes obtenues lors des caractérisations électriques expérimentales sur un dispositif Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti. Afin de mieux comparer la simulation avec les valeurs expérimentales, les courbes I-V de la figure 6-1 sont retracées en utilisant la tension appliquée aux bornes de l'ensemble CRS + $R_{série}$. La figure 6-4 représente les résultats de la simulation qui décrivent fidèlement les résultats expérimentaux. On retrouve les mêmes tensions $V_{th1 appl}$, $V_{th2 appl}$, $V_{th3 appl}$ et $V_{th4 appl}$ avec un léger écart pour les tensions $V_{th2 appl}$ et $V_{th4 appl}$ qui sont plus élevées d'environ 0.2 V pour les résultats de simulations (courbes d'ajustement).

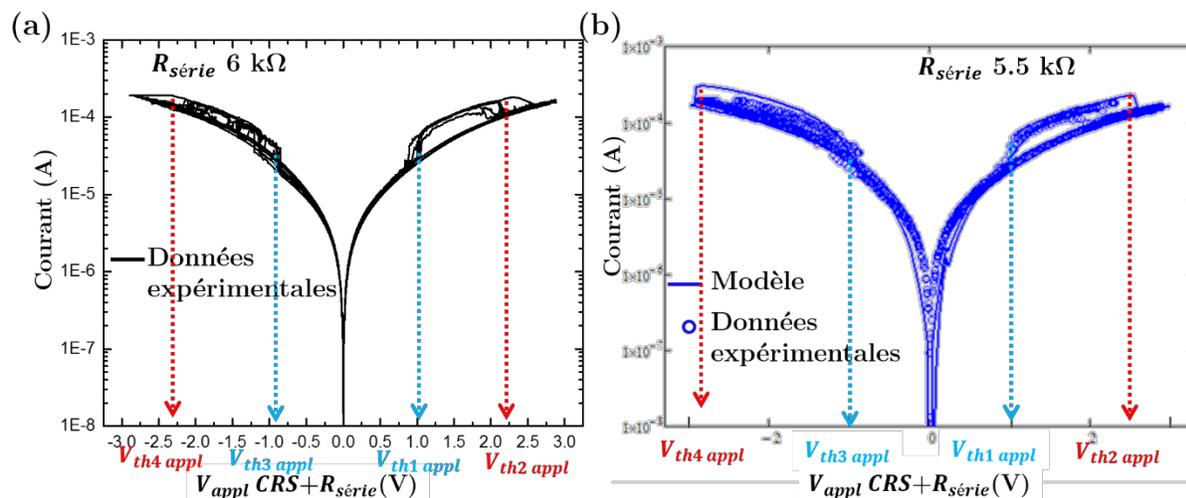


Figure 6-4 (a) Courbe du courant I en fonction de la tension V_{appl} appliquée aux bornes de l'ensemble CRS + $R_{série}$ obtenue expérimentalement sur un dispositif Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti du lot B fabriqué sur substrat Si. (b) Le modèle à *nanofil métallique* de S. Blonkowski et *al.* est utilisé pour reproduire le comportement du courant en fonction de la tension appliquée aux bornes du même dispositif CRS du lot B. La courbe d'ajustement reproduit fidèlement la courbe obtenue expérimentalement en utilisant une $R_{série}$ de 5.5 kΩ ce qui est très proche des 6 kΩ que l'on avait précédemment évalué pour les échantillons du lot B.

Les paramètres physiques utilisés pour réaliser ces simulations sont les mêmes que ceux utilisés pour un dispositif OxRRAM isolé. La seule différence est pour les valeurs V_1 et V_2 des puits de potentiels des zones 1 et 2 qui ont dû être abaissées de 0.2 eV pour des raisons numériques (pour que le modèle converge vers un état stable). Elles valent donc respectivement 2.8 eV et 2.2 eV au lieu de 3 eV et 2.4 eV. La résistance série considérée lors de la simulation pour reproduire au mieux les données expérimentales est de 5.5 kΩ ce qui est très proche des ≈ 6 kΩ évalués expérimentalement.

Lors des caractérisations électriques de dispositifs OxRRAM il nous est arrivé d'observer des comportements de type CRS alors que le dispositif ne contenait pas d'électrode centrale. Nous n'étions pas en mesure de provoquer ce comportement volontairement, ce n'était pas non plus notre objectif. Dans la littérature on trouve de nombreux exemples d'OxRRAM dont le comportement « dévie » vers un comportement de commutations complémentaires (CS pour complementary switching). Il ressort que ce comportement est favorisé lorsque l'empilement est symétrique et que le filament de conduction est en mesure de se rompre et de se restituer des deux côtés des électrodes métalliques. L'annexe G donne plus de détails.

6.2 Intégration de dispositifs CRS dans un procédé de fabrication BEOL

6.2.1 Avantages, inconvénients et limites des structures CRS

Dans la gamme des produits mémoires fabriqués en industrie, on distingue deux grandes familles : celle des mémoires embarquées et celle des mémoires *stand alone*. Les mémoires *stand alone* sont des produits qui ne contiennent qu'un ou plusieurs plans mémoires (matrices mémoires) ainsi que la circuiterie autour nécessaire à leur utilisation telle que les sources d'alimentation, l'électronique reliée à l'adressage et celle reliée au *sensing* c'est-à-dire à la lecture des points mémoires. Les mémoires embarquées, appelées eNVM pour embedded non volatile memory, sont fabriquées pour des produits plus complexes nécessitant une partie logique performante et une partie mémoire.

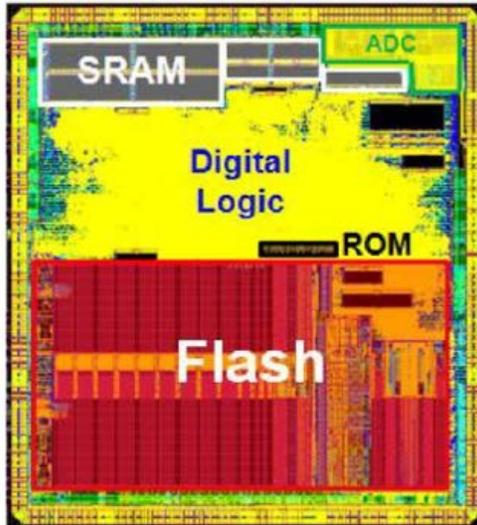


Figure 6-5 Schéma d'un produit industriel contenant de la mémoire embarquée.

Dans ce type de produit l'occupation du Si se répartit entre circuit logique et bloc mémoire qui peut représenter jusque 50 % de la surface totale du Si.

Un des avantages des mémoires résistives OxRRAM est alors qu'elles sont facilement intégrables en BEOL et très denses, ce qui permettrait de libérer de la surface sur le substrat Si jusqu'à présent occupée par le bloc mémoire.

Cet avantage est réel seulement si on ne considère aucun transistor associé à chaque point mémoire. C'est dans ce contexte que la technologie CRS est intéressante.

En effet, tel que nous avons pu le vérifier expérimentalement, les dispositifs CRS sont auto-redresseurs et auto-limiteurs c'est-à-dire qu'ils ne nécessitent donc pas d'être associé avec un transistor MOS.

Le tableau 6-1 ci-dessous permet de positionner la technologie CRS par rapport aux autres solutions pour la réalisation de matrices mémoires résistives de haute densité. Chaque solution est ensuite discutée brièvement.

Solution	<i>Sneak paths</i>	Compliance cyclage	Compliance Electroformage	Commentaires
1R	Très Mauvais	Moyen, géré par les MOS d'adressage, effet parasite	Mauvais (géré par les MOS d'adressage)	Adressage matriciel impossible car R_{OFF}/R_{LRS} trop faible Risque de <i>read disturb</i> important (après plusieurs lectures l'état stocké change de valeur).
1T1R	Très Bon	Très bon	Très bon	Programmation ++ Coût --

				Densité - -
CRS	Bon	Très bon	À optimiser	Compatible BEOL + +. Si <i>forming-free</i> : électroformage maîtrisé. Sinon besoin d'une solution pour électroformer chaque OxRRAM sans détériorer l'autre. Densité + + Coût + + Programmation - (50 % lectures destructrices)
1S1R	Bon	Moyen, géré par les MOS d'adressage, effet parasite	Mauvais (géré par les MOS d'adressage)	Compatible BEOL possible + Adressage faisable mais faible contrôle du SET Coût + Densité ++

Tableau 6-1 Tableau comparatif des différentes solutions pour l'adressage des dispositifs mémoires OxRRAM au sein de matrices haute densité de stockage.

D'après les critères énumérés dans le tableau 6-1 on constate que la technologie CRS est une bonne candidate pour des architectures mémoires haute densité.

La technologie 1T1R est une technologie efficace puisqu'elle permet d'éliminer le problème des *sneak paths* et de contrôler exactement la compliance lors des opérations d'électroformage et de SET. Si on associe un transistor à chaque point mémoire la taille de la cellule mémoire ou bitcell dépend directement de celle du transistor. Pour des technologies OxRRAM actuelles dont les courants de SET et RESET sont autour de 100 - 200 μA cela nécessitera des transistors MOS avec un $W \times L$ de de 0.05 μm^2 pour être capable de délivrer ces courants sans être détérioré.

La technologie 1S1R qui consiste à associer un élément sélecteur à chaque dispositif mémoire afin d'introduire une non-linéarité dans la caractéristique électrique de l'état LRS est intéressante notamment pour réduire les courants de *sneak paths* sans augmenter la taille de la bitcell et peut être implémentée directement dans le BEOL (lors de la fabrication de l'empilement mémoire). Elle ne permet cependant pas le contrôle du courant nécessaire aux technologies OxRRAM (limitation ou compliance en courant) pour les opérations d'électroformage et de SET. La gestion de la compliance doit alors être faite par l'intermédiaire des transistors utilisés pour l'adressage mémoire (Lignes/Colonnes). Dans cette solution le MOS de compliance étant à une distance variable du point mémoire, on peut craindre des effets parasites RC le long des WordLine (lignes) et BitLine (colonnes) qui peuvent détériorer cette gestion de la compliance et créer des non uniformités au sein des matrices mémoires. Le courant maximum traversant les OxRRAM étant le principal modulateur des états HRS et LRS et donc des ratios R_{OFF}/R_{LRS} , cette distribution pourrait être un écueil important de ce type d'approche.

En comparaison la technologie CRS est très intéressante car elle permet de gérer à la fois les aspects de sélection des cellules de la matrice, grâce à sa non-linéarité, et de limitation de courant. Cette gestion a le grand avantage d'être simultanée et locale (sur le point mémoire exactement). Des plans mémoires avec un

grand nombre de points mémoires peuvent ainsi être envisagés sans soucis de *sneak paths* ni de variabilité de courant lié à des parasites électriques dans la matrice.

La technologie CRS possède tout de même un inconvénient majeur lié à l'opération d'électroformage. En effet, dans une matrice mémoire haute densité il n'y aurait pas d'accès à l'électrode centrale de la CRS. L'utilisation de dispositifs *forming-free* c'est-à-dire ne nécessitant pas d'étape d'électroformage prérequis à leur fonctionnement tels que dans [93], réglerait ce problème. Notons que la recherche de dispositifs *forming-free* est une tendance générale afin d'éliminer le besoin de devoir gérer des hauts niveaux de tensions et courants au sein des matrices mémoires. On pourrait aussi optimiser l'opération d'électroformage en utilisant une tension d'électroformage plus faible combinée avec un temps d'application plus long. En effet il est connu dans la littérature que le claquage d'un oxyde est fonction de la tension mais aussi du temps pendant lequel la tension est appliquée [94].

L'autre inconvénient de la technologie CRS est dû au fait qu'une des lectures est destructrice ce qui nécessite des performances de cyclage de lecture et d'écriture plus élevées que les exigences standards (50 % plus élevées), et augmente le temps de lecture. Les exigences en endurance de programmation standards de 10^6 cycles d'écriture/effacement augmenteraient alors à 10^9 cycles, ce qui est un objectif réaliste sachant que des performances jusque 10^{10} cycles ont déjà été démontrées [90]. Pour éviter d'augmenter les temps de lecture des solutions de lectures non destructrices ont été proposées telle que l'utilisation d'éléments résistifs volatiles [95] ou, encore plus récemment, l'utilisation de dispositifs à base de jonctions tunnels ferroélectriques [96].

6.2.2 Amélioration de nos structures de mémoires

Pour poursuivre nos travaux sur les structures OxRRAM ou CRS fabriquées sur substrats CMOS il est nécessaire de diminuer la résistance série de l'ensemble des chemins d'amenées de courant.

- 1.a. Concernant le design du procédé il serait intéressant de :
 - **modifier les électrodes initialement définis en UV 1** afin qu'elles ne soient plus enterrées dans l'oxyde et ne dépendent plus de l'opération de CMP (voir figure 6-6 ci-dessous). On pourrait profiter de l'étape d'UV 3 de remplissage des vias au-dessus des contacts des transistors MOS pour également définir des électrodes (Ti (5 nm)/Al (380 nm)). Cela permettrait de diminuer la résistance série d'un facteur 3000, de 3.2 k Ω à 1 Ω .
 - **diminuer la contribution des nano électrodes enterrées** dans l'oxyde en rapprochant le métal déposé lors de l'EBL 3 au maximum des jonctions pour la reprise de contact (voir figure 6-6 ci-dessous). On pourrait alors diminuer la résistance d'un facteur 10, de 2.6 k Ω à un peu moins de 200 Ω .

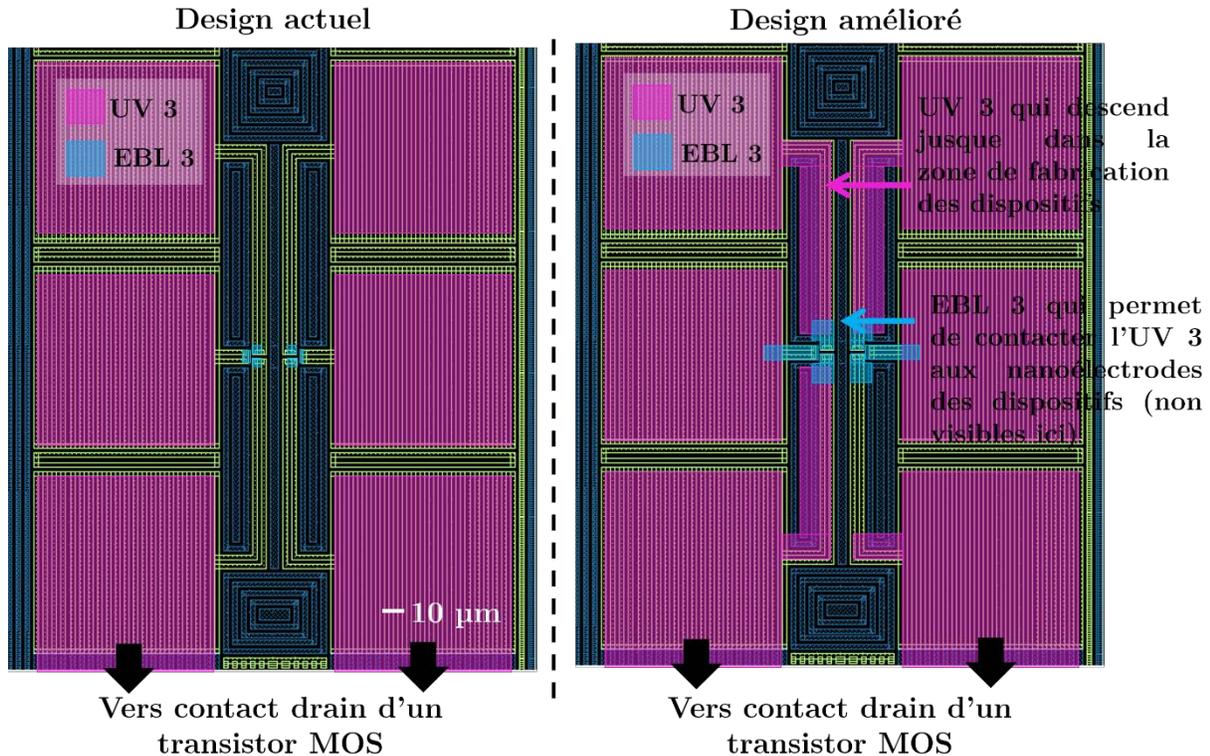


Figure 6-6 Amélioration du design actuel pour diminuer la résistance série apportée par les électrodes.

Ces deux pistes d'amélioration permettraient de réduire au moins d'un facteur 20 la résistance série totale des chemins d'amenées.

1.b. Il faudrait travailler avec des structures transistors MOS dont la **résistance série en mode ON est la plus faible possible** (de la centaine de ohms). Dans notre cas les transistors qui convenaient le mieux étaient ceux d'une longueur de grille W de $10\ \mu\text{m}$ et de largeur de grille L d'au moins $0.55\ \mu\text{m}$. La résistance minimale en mode ON atteignable était alors de $500\ \Omega$.

Pour limiter le temps d'exposition à l'air libre de la jonction de commutation il faudrait passiver la jonction tout de suite après la CMP. Les résultats de caractérisations électriques ont montré que le nombre de cycles diminue drastiquement pour des dispositifs non passivés après simplement 5 jours d'exposition à l'air libre. L'inversion des procédés d'EBL3 et passivation impliquerait une ouverture du SiN par gravure plasma suivie d'une déposition par pulvérisation cathodique de métal avec un nettoyage Argon RF avant le dépôt pour éliminer les résidus en surface (voir Annexe B).

6.2.3 Proposition d'un design de CRS en contexte industriel

Dans un procédé industriel, les transistors MOS sont fabriqués dans le FEOL. Ensuite on réalise les contacts tungstène dans le middle end of line (MEOL). Après le MEOL, les procédés BEOL peuvent commencer et on réalise les premiers niveaux de

lignes et de vias dits Métal 1. On obtient l'empilement de la figure 6-7, qui correspond au niveau auquel nous avons reçu nos substrats CMOS.

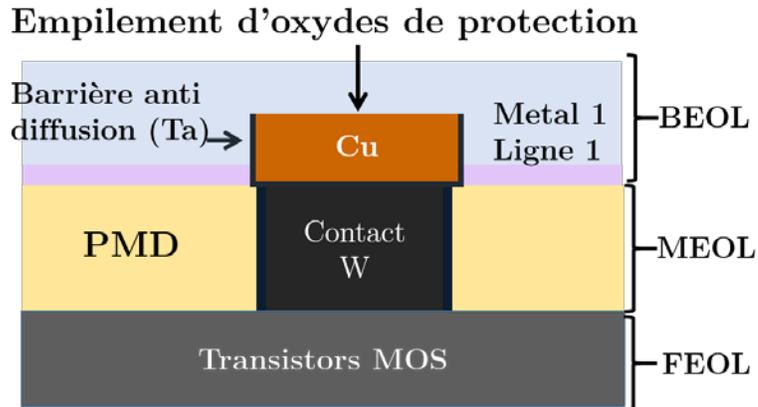
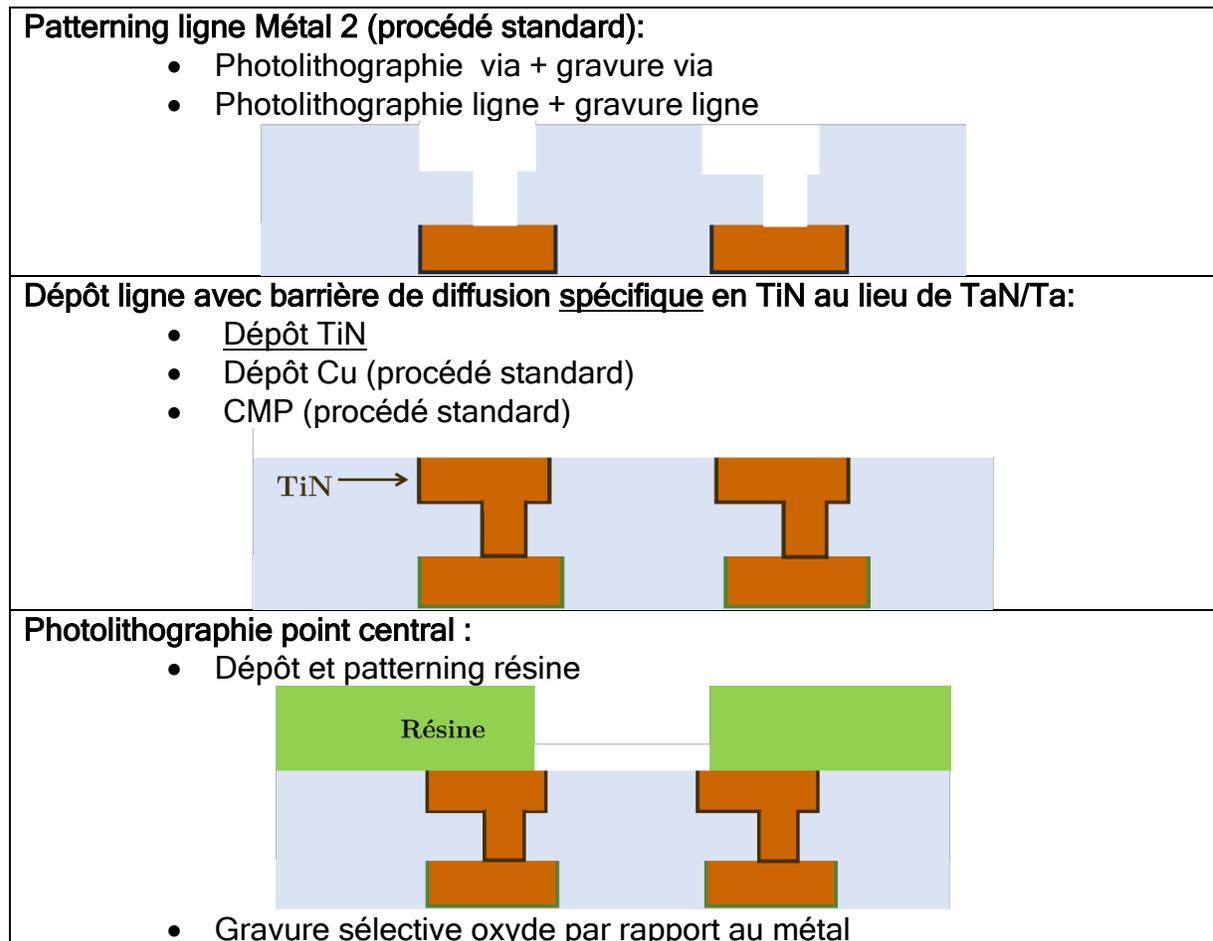


Figure 6-7 Schéma de l'empilement des puces CMOS arrêtée après le premier niveau de métallisation Métal 1.

Nous proposons ici un procédé de fabrication des CRS dans le tableau 6-2 ci-dessous qui pourrait être fait à partir du premier niveau de lignes et vias Métal 1 fait dans le BEOL sur des plaques CMOS. Les étapes « procédés standards » sont celles qui existent déjà dans un flux standard.



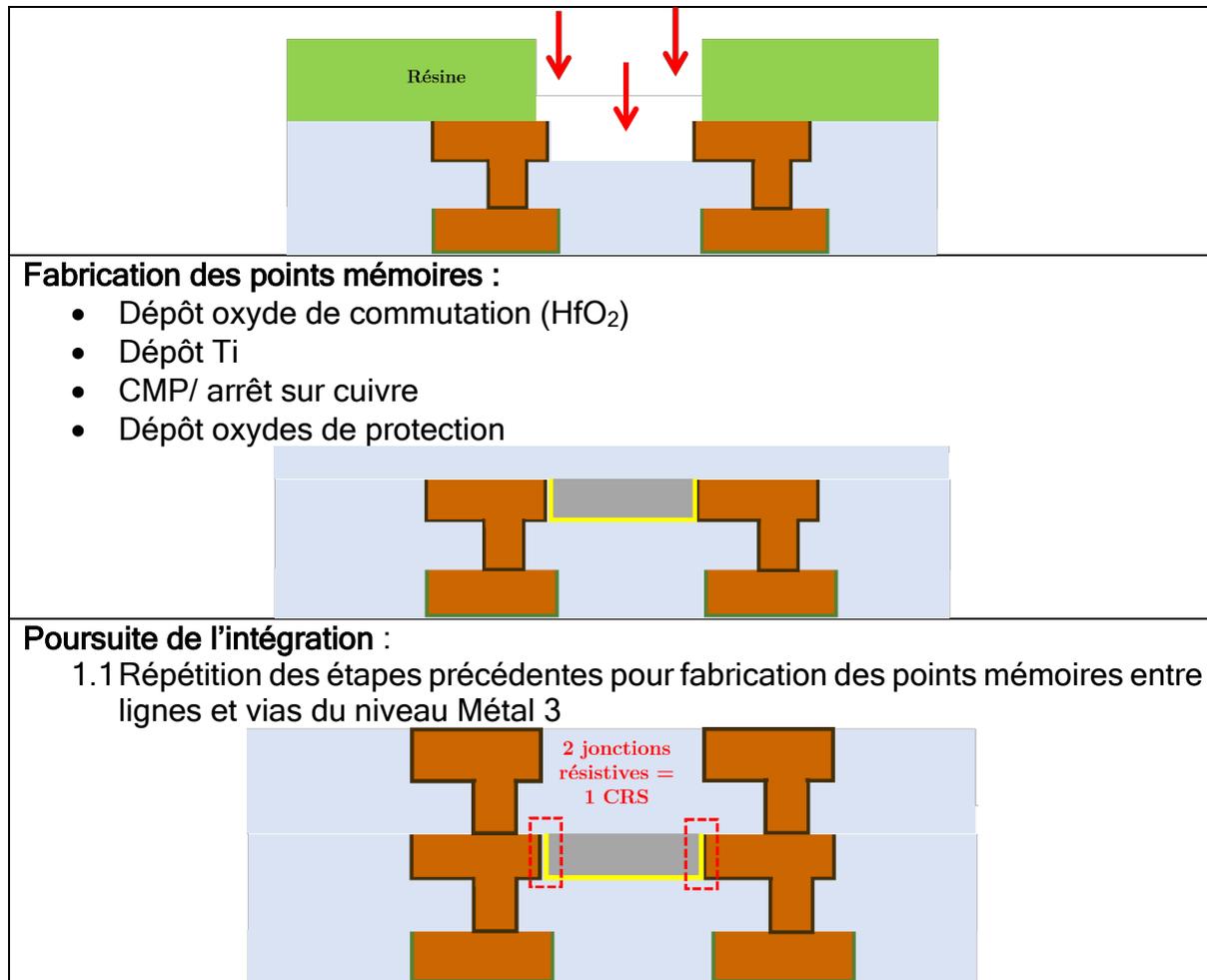


Tableau 6-2 Proposition d'un procédé de fabrication qui permettrait d'intégrer des dispositifs CRS dans le BEOL d'un substrat CMOS en s'inspirant du procédé *nanodamascène* utilisé pour ce travail de thèse.

Cette proposition d'architecture permet de réaliser un réseau de dispositifs CRS avec seulement 1 étape de photolithographie, 1 étape de gravure, 2 étapes de dépôts et 1 étape de CMP supplémentaires. Il faut aussi remplacer le dépôt de la barrière d'anti diffusion du cuivre TaN/Ta par du TiN. Tous les matériaux et procédés proposés sont déjà existants et maîtrisés sur une ligne de fabrication de composants BEOL.

Grâce à ce genre de procédé de fabrication on pourrait atteindre des cellules de densités $9^{\#}$ tel que représenté sur la figure 6-8, f étant le pitch ou la plus petite dimension accessible dans le BEOL (par exemple $f=45$ nm pour un nœud technologique 28 nm).

Lignes métalliques horizontales (WL)

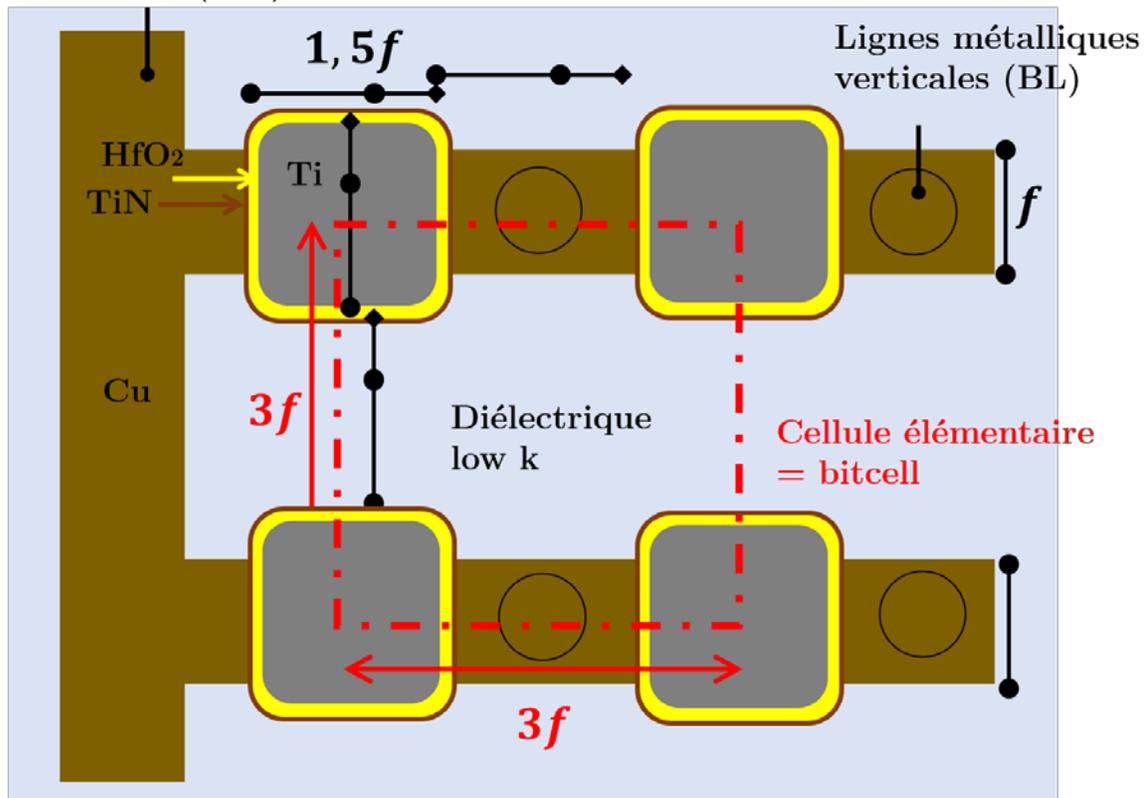


Figure 6-8 Densité théorique d'une bitcell de CRS fabriquée dans le BEOL en s'inspirant du procédé *nanodamascène* de ce travail de thèse.

Il est intéressant de comparer notre proposition avec un procédé crossbar «classique» d'empilement des matériaux et de leurs gravures successives. Le tableau 6-3 ci-dessous résume les principales étapes qui seraient réalisées pour ce genre de procédé.

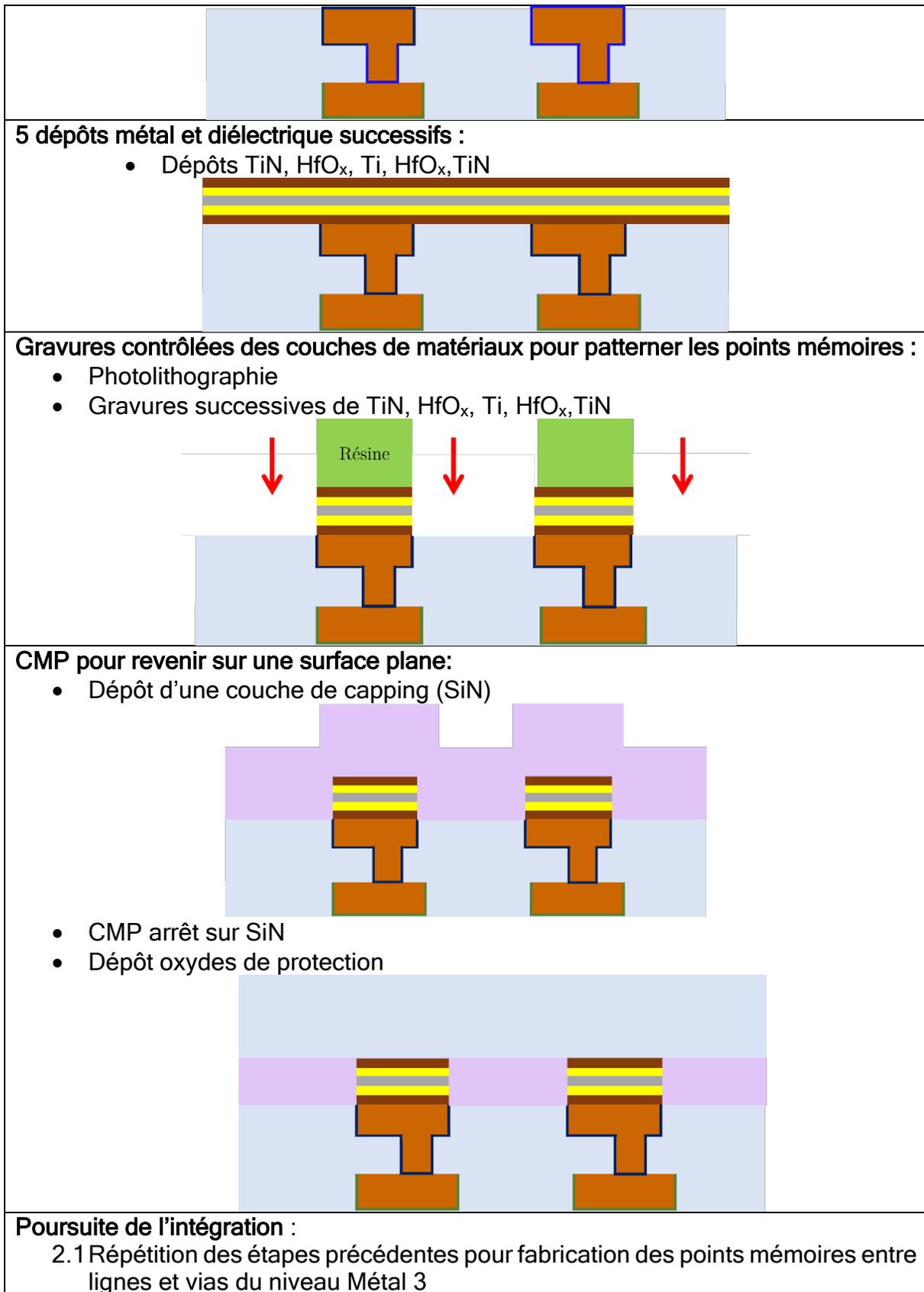
Patterning ligne Métal 2 (procédé standard, inchangé):

- Photolithographie via + gravure via
- Photolithographie ligne + gravure ligne



Dépôt ligne avec barrière de diffusion standard en TaN/Ta:

- Dépôt TaN/Ta
- Dépôt Cu (procédé standard)
- CMP (procédé standard)



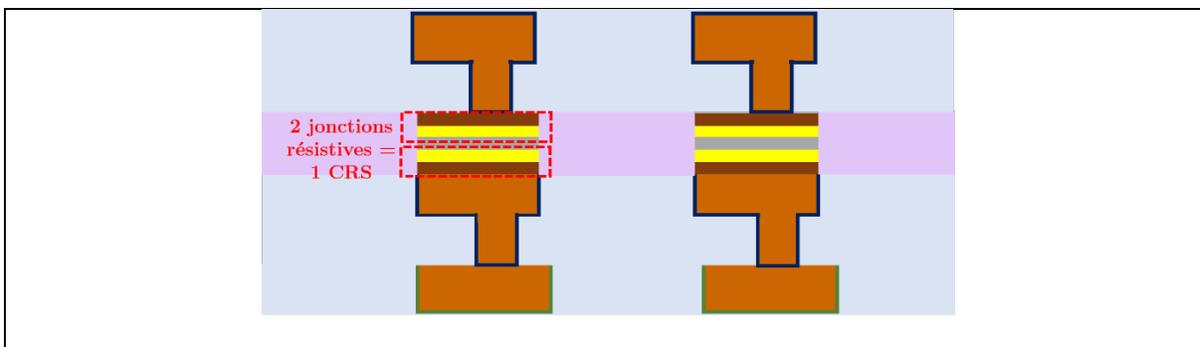


Tableau 6-3 Proposition d'un procédé de fabrication qui permettrait d'intégrer des dispositifs CRS dans le BEOL d'un substrat CMOS en s'inspirant du procédé classique d'empilement des couches de matériaux.

Ce procédé d'empilement des matériaux pour fabriquer des CRS nécessite 5 dépôts de matériaux, 1 étape de photolithographie, 1 étape de gravure, 1 étape de dépôt SiN et 1 étape de CMP. Comme elle comporte 4 dépôts supplémentaires, cette approche est plus coûteuse et nécessite des développements technologiques afin de graver l'empilement de matériaux alternés métal/oxyde, bien que sa densité de 4^p soit intéressante.

6.3 Conclusion chapitre 6

Parmi les différentes solutions mémoires permettant la réalisation de matrices mémoires de très fortes densités de stockage et facilement intégrables au sein de circuits microélectroniques, les CRS représentent une solution ayant de nombreux avantages. Elles sont peu coûteuses à mettre en place dans le BEOL, n'ont pas d'impact sur les procédés et dispositifs FEOL, et permettent un contrôle local et simultané de la sélection des cellules et de la limitation en courant au niveau du point mémoire lui-même.

Dans ce chapitre nous avons apporté une preuve de concept de la fabrication de dispositifs CRS sur Si grâce aux caractérisations électriques encourageantes obtenues sur un empilement Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti. On trouve des tensions de seuils $V_{th1} \approx V_{th3} \approx \pm 0.7$ V et $V_{th2} \approx V_{th4} \approx \pm 1.1$ V cohérentes avec les valeurs des tensions de SET et RESET des OxRRAM constituant la CRS, ainsi qu'un ratio de non-linéarité $Ratio_{NL}$ de 21 en accord avec la littérature pour des structures Pt/Ta₂O_{5-x}/TaO_{2-x}/Pt/ TaO_{2-x}/ Ta₂O_{5-x}/Pt [92].

Les performances de cyclage des dispositifs sont encore une fois limitées principalement à cause de la résistance série inhérente au design.

Le modèle à *nanofil métallique* est alors employé pour étudier l'impact de cette résistance série. On vérifie dans un premier temps que le modèle permet bien de décrire les commutations résistives d'un dispositif CRS. On retrouve alors via la simulation un résultat expérimental. L'état pour lequel les deux OxRRAM sont en HRS ne peut exister de façon stable. Une résistance série élevée abaisse fortement le ratio de non-linéarité, important pour des opérations de lectures efficaces, et favorise l'effet perturbateur de *PSI* en augmentant les tensions ΔV_{th} .

Suite à l'ensemble de ces résultats nous proposons des pistes d'amélioration du design actuel consistant en l'optimisation des masques de photolithographie et électrolithographie pour diminuer la valeur de la $R_{série}$ d'au moins un facteur 20.

Nous avons comparé la technologie CRS par rapport aux autres solutions envisageables pour la fabrication de matrices de dispositifs mémoires haute densité. Les principales limitations des structures 1T1R et 1S1R sont respectivement la dépendance de la taille de la bitcell par rapport à celle du transistor MOS de contrôle et l'impossibilité de limiter le courant lors des opérations de SET. La technologie CRS s'impose alors comme excellente candidate à la réduction des *sneak paths* ainsi qu'au contrôle du courant pour les opérations de SET tout en offrant une très forte densité d'intégration et un bas coût de fabrication. Cependant, l'électrode centrale n'étant pas accessible dans ce type de configuration, on devra trouver une solution pour électroformer chaque OxRRAM sans détériorer l'autre.

Afin de valider que le procédé *nanodamascène* utilisé dans ce travail de thèse est compatible avec ce que l'on pourrait faire en milieu industriel, nous proposons un procédé d'intégration de dispositifs CRS directement dans le BEOL des puces CMOS. Le procédé proposé s'inspirant du procédé *nanodamascène* de ce travail de thèse permettrait d'atteindre des densités d'intégration de 9f et nécessiterait moins d'étapes qu'un procédé standard d'empilements et de gravures successives des matériaux.

CHAPITRE 7 Conclusion

7.1 Conclusions générales

L'objectif de ce travail de thèse était l'étude de structures CRS, composées de deux dispositifs OxRRAM agencés dos à dos, pour des applications de stockage d'information haute densité. Les dispositifs CRS sont intéressants par rapport aux solutions conventionnelles (1T1R, 1S1R) utilisées pour réduire les courants de fuite des matrices mémoires passives à deux terminaux puisqu'ils combinent à la fois le rôle de sélecteur et de limiteur de courant au niveau de la cellule mémoire elle-même. De plus les dispositifs peuvent être intégrés facilement, à moindre coût et de façon agressive dans le BEOL des puces CMOS.

Pour étudier ces dispositifs dans un contexte de laboratoire nous avons proposé un procédé de fabrication compatible avec les procédés BEOL, permettant de fabriquer avec le même nombre d'étapes des structures CRS et OxRRAM avec des surfaces de la centaine de nm².

Le procédé *nanodamascène*, développé à l'Université de Sherbrooke pour la fabrication de transistors et de dispositifs mémoires monoélectroniques [5], est modifié pour fabriquer des dispositifs OxRRAM Ti/HfO_x/TiN/Ti et CRS Ti/TiN/HfO_x/Ti/HfO_x/TiN/Ti. Il permet d'obtenir des dispositifs planaires enterrés dans une matrice d'oxyde après 52 étapes de microfabrication (dont 2 masques de photolithographie et 3 d'électrolithographie). Les matériaux de l'empilement mémoire sont déposés dans une tranchée d'oxyde puis la matière excédante est enlevée grâce à un procédé de CMP. Cette voie diffère de ce qui est fait habituellement : les matériaux de l'empilement sont généralement déposés sur une électrode planaire puis successivement gravés. Grâce au procédé *nanodamascène* nous avons pu fabriquer indifféremment des structures OxRRAM et CRS dont la caractérisation est facilitée via l'accès à l'électrode centrale. L'emploi de la lithographie par faisceau d'électrons pour définir les dimensions de la tranchée initiale dans l'oxyde nous a permis de fabriquer des structures dont le dimensionnel agressif est comparable à ce qui est fait dans la littérature pour des structures OxRRAM [63]. La compatibilité BEOL du procédé *nanodamascène* [4][5] a rendu possible la fabrication par voie 3D monolithique de dispositifs sur substrats CMOS industriels et leur interconnexion avec les transistors du substrat pour former des structures 1T1R.

Les dispositifs sont d'abord fabriqués et caractérisés en mode QS et configuration 1R sur substrat Si. Cela nous a permis d'étudier les performances de nos dispositifs et de valider la qualité des matériaux et techniques de dépôts utilisés. Les résultats de courants et tensions d'opérations obtenus sont conformes à ce qui a déjà été observé dans la littérature sur des structures d'empilement de matériaux similaires [73] ($I_{RESET} \approx 150 \mu\text{A}$, V_{SET} et V_{RESET} autour de $\pm 0.6 \text{ V}$, ratio résistif HRS/LRS entre 20 et 100).

Lors de l'opération d'électroformage on a mis en évidence que l'utilisation seule de la compliance en courant de l'appareil de mesure ne permet pas de contrôler

efficacement le courant dans le dispositif mémoire. On doit alors adapter la compliance de l'appareil de mesure pour contrer l'effet indésirable du délai RC.

Une épaisseur de 6 nm au lieu de 10 nm pour l'oxyde de commutation HfO_x est préférable afin d'avoir une tension d'électroformage la plus faible possible. Les valeurs de tensions de SET et RESET restent identiques pour 6 ou 10 nm d'oxyde ainsi que pour des jonctions de 100 ou 200 nm de large, indiquant l'aspect filamentaire de la conduction dont seule une infime partie est impliquée dans les phénomènes de commutations résistives.

Nous mettons en évidence une forte détérioration de l'endurance des dispositifs lors de l'exposition à l'air de la surface de la jonction. Une étape de passivation SiN est alors introduite dans le procédé de fabrication.

Les résultats des tests d'endurance et de CVS sur les états HRS et LRS en mode QS nous permettent d'envisager des performances de l'ordre du million de cycles de lecture si le mode pulsé était utilisé. Davantage de tests notamment en température doivent être conduits pour compléter cette étude.

Toujours sur substrat Si, des opérations de caractérisations en températures sont conduites sur les dispositifs OxRRAM en mode 1R QS afin d'étudier les mécanismes de conduction pour les états Pristine, LRS et HRS. Les mécanismes de conduction prédominant sont une conduction Schottky pour l'état Pristine, une conduction ohmique métallique ou plus exactement balistique, appuyant l'hypothèse de la conduction filamentaire dans les OxRRAM, pour l'état LRS et une conduction de type FN pour l'état HRS. De façon générale la température ne semble pas influencer le phénomène de commutations résistives C'est à partir de ce postulat que nous avons utilisé le modèle à *nanofil métallique* de S. Blonkowski et *al* pour décrire les commutations résistives de nos dispositifs. Ce modèle implique l'action combinée de la force électromigratoire locale et de l'effet Joule pour entrainer le déplacement des atomes métallique du filament de conduction Les courbes d'ajustement reproduisent fidèlement les comportements de nos structures et toutes les grandeurs utilisées pour la modélisation ont une signification physique mesurable.

Une fois les dispositifs OxRRAM caractérisés sur Si nous avons transféré et adapté le procédé sur substrat CMOS dans l'objectif de fabriquer des structures 1T1R. Lors de caractérisations électriques en configuration 1R et mode QS, on retrouve des résultats similaires à ceux obtenus sur substrat Si avec une nette l'amélioration de l'endurance et du rendement des dispositifs. Cette amélioration est corrélée avec la baisse de la résistance des chemins d'amenés par rapport au design des dispositifs fabriqués sur substrat Si. On introduit alors le phénomène de *PSI* afin d'expliquer la perturbation du RESET lorsque la résistance des chemins d'amenées de courant est trop élevée (> plusieurs k Ω). En effet, si la tension transférée aux bornes du dispositif lorsque le RESET se produit est trop élevée, l'oxyde résiduel entre les deux brins du filament est détérioré, de façon parfois irréversible.

Lors des caractérisations en configuration 1T1R et mode QS on met en évidence l'intérêt d'utiliser un transistor en série avec le dispositif pour limiter le courant dans la structure globale lors des opérations d'électroformage et de SET. Le rendement et l'endurance des dispositifs en configuration 1T1R sont alors doublés par rapport aux structures 1R. Il faut tout de même faire attention à la résistance du MOS en mode ON

en série avec l'OxRRAM lors du RESET qui peut augmenter la valeur totale de $R_{série}$ et donc l'effet du *PSI*.

Des caractérisations en configuration 1T1R pulsé sont ensuite réalisées afin d'étudier les dispositifs dans des conditions d'utilisation qui seraient celles des matrices mémoires haute densité. On note que l'énergie nécessaire pour réaliser une commutation résistive est alors 1000 fois plus faible qu'en configuration QS mais nécessite des tensions d'application supérieures aux tensions de SET et RESET. Le SET semble avoir lieu pendant le temps de montée du créneau de tension ($< 1 \mu s$), pouvant traduire une dépendance à un niveau de champ électrique. Le RESET, lui, semble avoir lieu pendant l'application du créneau lui-même, comme si une certaine quantité d'énergie devait avoir été emmagasinée avant de pouvoir déclencher la rupture du filament de conduction. Ces premiers tests sont satisfaisants mais nécessitent une étude plus poussée pour pouvoir confirmer ces hypothèses.

Enfin, la preuve de concept du fonctionnement d'un dispositif CRS est apportée. On retrouve des tensions et courants de fonctionnement cohérents en se basant sur les caractéristiques des dispositifs unitaires OxRRAM : $V_{th1} \approx V_{SET Ox 2} \approx 0.6 V$ et $V_{th2} = 2 \times V_{RESET Ox 1} \approx 1 V$.

Le modèle à *nanofil métallique* a été adapté au cas des CRS : on s'est notamment assuré de la continuité du courant dans la structure lors des différentes configurations de commutations. Le modèle décrit bien les courbes expérimentales obtenues et permet d'étudier l'impact de la résistance série sur les performances des dispositifs CRS. On voit qu'une grande résistance série est davantage susceptible d'entraîner le phénomène de *PSI* et diminue le ratio de non-linéarité.

On a ensuite discuté et comparé les différentes solutions d'adressage des matrices mémoires hautes densités 1T1R et 1S1R à celle de la technologie CRS. L'avantage fondamental des dispositifs CRS est d'éviter de devoir associer un élément redresseur à chaque point mémoire de la matrice pour limiter les phénomènes de *sneak paths* ou courants de fuites, améliorant de ce fait les performances de coût et de densité d'intégration. Par rapport à la solution 1S1R, la CRS apporte en plus la gestion de la compliance ou limitation en courant indispensable aux opérations d'électroformage et de SET des dispositifs OxRRAM actuels.

Les inconvénients de la technologie CRS sont liés au phénomène d'électroformage ainsi qu'au fait qu'une des lectures est destructrice. Dans ce cas, il devient intéressant de développer des dispositifs *forming-free* [93] et de mettre en place des solutions de lectures non destructrices [96].

Pour finir nous avons proposé un procédé de fabrication transposable sur ligne de production dans le BEOL de la filière CMOS s'inspirant du procédé *nanodamascène* utilisé dans ce travail de thèse. Un tel procédé permettrait d'atteindre des densités d'intégration de $9^{\#}$. Quand on le compare à un procédé plus standard d'empilement et de gravures classiques des matériaux, ce procédé s'avère plus compétitif en termes de coûts de fabrication.

7.2 Perspectives

Ces travaux de thèse valident la pertinence d'envisager les dispositifs CRS comme solution aux courant de fuite *sneak paths* et à la maîtrise de la compliance dans des matrices crossbar de stockage de données haute densité. Des tests de cyclages, de *read disturb* à température ambiante et en température doivent maintenant être conduits pour valider ces performances. Pour conduire ces tests on recommande fortement d'optimiser le design des masques de photolithographie et électrolithographie afin de diminuer la résistance série.

Pour augmenter le rendement des dispositifs CRS on suggère de travailler à optimiser l'étape d'électroformage, ce qui demanderait peut-être moins de développement dans un premier temps. On pourrait combiner une valeur de tension d'électroformage plus faible avec un temps d'application plus long. En parallèle on pourrait travailler à développer des dispositifs *forming-free* [93] ou des dispositifs CS [97].

REFERENCES

- [1] G. E. Moore, "Cramming More Components Onto Integrated Circuits", *Proc. IEEE*, vol. 86, no. 1, pp. 82-85, Jan. 1998.
- [2] J. Meena et al., "Overview of emerging nonvolatile memory technologies", *Nanoscale Res. Lett.*, vol. 9, no. 1, p. 526, 2014.
- [3] F. Pan et al., "Recent progress in resistive random access memories: Materials, switching mechanisms, and performance", *Mater. Sci. Eng. R Reports*, vol. 83, no. 1, pp. 1-59, Sep. 2014.
- [4] N. Jouvet, "Intégration hybride de transistors à un électron sur un nœud technologique CMOS", thèse de doctorat Université de Sherbrooke, 2012.
- [5] M. Guilmain, "Fabrication de mémoire monoélectronique non volatile par une approche de nanogrille flottante", thèse de doctorat Université de Sherbrooke, 2013.
- [6] S. Blonkowski et al., "Bipolar resistive switching from liquid helium to room temperature", *J. Phys. D. Appl. Phys.*, vol. 48, no. 34, p. 345101, Sep. 2015.
- [7] D. Delleruyelle et al., "Technologies memoires pour l'internet des objets", 2017.
- [8] M. N. Baibich et al., "Giant Magnetoresistance of (001)Fe/(001)Cr Magnetic Superlattices", *Phys. Rev. Lett.*, vol. 61, no. 21, pp. 2472-2475, Nov. 1988.
- [9] M. Lapedus, "Four Foundries Back MRAM", *August 23rd, 2017*. [Online]. Available: <https://semiengineering.com/four-foundries-back-mram/>.
- [10] H. Mulaosmanovic et al., "Switching Kinetics in Nanoscale Hafnium Oxide Based Ferroelectric Field-Effect Transistors", *ACS Appl. Mater. Interfaces*, vol. 9, no. 4, pp. 3792-3798, Feb. 2017.
- [11] Z. Wei et al., "Highly reliable TaO_x ReRAM and direct evidence of redox reaction mechanism", in *2008 IEEE International Electron Devices Meeting*, 2008, pp. 1-4.
- [12] A. Prakash et al., "Device Size-Dependent Improved Resistive Switching Memory Performance", *IEEE Trans. Nanotechnol.*, vol. 13, no. 3, pp. 409-417, May 2014.
- [13] C. Ho et al., "Utilizing Sub-5 nm sidewall electrode technology for atomic-scale resistive memory fabrication", in *2014 Symposium on VLSI Technology (VLSI-Technology): Digest of Technical Papers*, 2014, pp. 1-2.
- [14] R. Soni et al., "Integration of 'Ge_xSe_{1-x}' in crossbar arrays for non-volatile memory applications", *Microelectron. Eng.*, vol. 86, no. 4-6, pp. 1054-1056, Apr. 2009.
- [15] A. Belmonte et al., "A Thermally Stable and High-Performance 90-nm Al₂O₃/Cu-based 1T1R CBRAM Cell", *IEEE Trans. Electron Devices*, vol. 60, no. 11, pp. 3690-3695, Nov. 2013.
- [16] A. C. Torrezan et al., "Sub-nanosecond switching of a tantalum oxide memristor", *Nanotechnology*, vol. 22, no. 48, p. 485203, Dec. 2011.
- [17] V. Havel et al., "Ultrafast switching in Ta₂O₅-based resistive memories", in *2016 IEEE Silicon Nanoelectronics Workshop (SNW)*, 2016, no. Iwe li, pp. 82-83.
- [18] International Technology Roadmap for Semiconductors (ITRS), "Emerging Research Devices (ERD)", 2013.
- [19] Adesto, "Technology /IP CBRAM Adesto's resistive RAM Technology." [Online]. Available: <http://www.adestotech.com/about-us/technologyip/>.
- [20] Crossbar Inc, "Crossbar products overview." [Online]. Available: <https://www.crossbar-inc.com/en/technology/reram-overview/>.

- [21] D. Shum *et al.*, "CMOS-embedded STT-MRAM arrays in 2x nm nodes for GP-MCU applications", *2017 Symposium on VLSI Technology*, 2017, pp. T208-T209.
- [22] D. Shum, "CMOS-embedded STT-MRAM Arrays in 2x nm Nodes for GP-MCU applications", *VLSI Symp.*, vol. 85224, no. June, pp. 208-209, 2017.
- [23] Everspin technologies, "Everspin technology Products." [Online]. Available: <https://www.everspin.com/toggle-mram-technology>.
- [24] J. Joshua Yang *et al.*, "The mechanism of electroforming of metal oxide memristive switches", *Nanotechnology*, vol. 20, no. 21, p. 215201, May 2009.
- [25] H. Tseng *et al.*, "Impact of Electroforming Current on Self-Compliance Resistive Switching in an ITO/Gd : SiO_x/TiN Structure", vol. 34, no. 7, pp. 858-860, 2013.
- [26] Y.-T. Chen *et al.*, "Reduced Electroforming Voltage and Enhanced Programming Stability in Resistive Switching of SiO₂ Thin Films", *ECS Solid State Lett.*, vol. 2, no. 5, pp. N18-N20, Mar. 2013.
- [27] D. Ielmini, "Filamentary-switching model in RRAM for time, energy and scaling projections", *2011 International Electron Devices Meeting*, 2011, p. 17.2.1-17.2.4.
- [28] A. Chen, "Switching control of resistive switching devices", *Appl. Phys. Lett.*, vol. 97, no. 26, p. 263505, Dec. 2010.
- [29] D. Deleruyelle *et al.*, "Ge₂Sb₂Te₅ layer used as solid electrolyte in conductive-bridge memory devices fabricated on flexible substrate", *Solid. State. Electron.*, vol. 79, pp. 159-165, Jan. 2013.
- [30] H.-S. P. Wong *et al.*, "Metal-Oxide RRAM", *Proc. IEEE*, vol. 100, no. 6, pp. 1951-1970, Jun. 2012.
- [31] H. Jiang *et al.*, "Sub-10 nm Ta Channel Responsible for Superior Performance of a HfO₂ Memristor", *Sci. Rep.*, vol. 6, no. 1, p. 28525, Sep. 2016.
- [32] D.-H. Kwon *et al.*, "Atomic structure of conducting nanofilaments in TiO₂ resistive switching memory", *Nat. Nanotechnol.*, vol. 5, no. 2, pp. 148-53, Mar. 2010.
- [33] W. Banerjee *et al.*, "Complementary Switching in 3D Resistive Memory Array", *Adv. Electron. Mater.*, vol. 1700287, p. 1700287, Oct. 2017.
- [34] C. Yoshida *et al.*, "High speed resistive switching in Pt/TiO₂/TiN film for nonvolatile memory application", *Appl. Phys. Lett.*, vol. 91, no. 22, p. 223510, Nov. 2007.
- [35] Y. H. Do *et al.*, "Hysteretic bipolar resistive switching characteristics in TiO₂/TiO_{2-x} multilayer homojunctions", *Appl. Phys. Lett.*, vol. 95, no. 9, p. 93507, Aug. 2009.
- [36] T. Cabout *et al.*, "Role of Ti and Pt electrodes on resistance switching variability of HfO₂-based Resistive Random Access Memory", *Thin Solid Films*, vol. 533, pp. 19-23, Apr. 2013.
- [37] U. Russo *et al.*, "Self-Accelerated Thermal Dissolution Model for Reset Programming in Unipolar Resistive-Switching Memory (RRAM) Devices", *IEEE Trans. Electron Devices*, vol. 56, no. 2, pp. 193-200, Feb. 2009.
- [38] M. Bocquet *et al.*, "Robust Compact Model for Bipolar Oxide-Based Resistive Switching Memories", *IEEE Trans. Electron Devices*, vol. 61, no. 3, pp. 674-681, Mar. 2014.
- [39] S. Larentis *et al.*, "Resistive Switching by Voltage-Driven Ion Migration in Bipolar RRAM—Part II: Modeling", *IEEE Trans. Electron Devices*, vol. 59, no. 9, pp. 2468-2475, Sep. 2012.
- [40] A. Benoist *et al.*, "28nm advanced CMOS resistive RAM solution as embedded

- non-volatile memory”, in *2014 IEEE International Reliability Physics Symposium*, 2014, no. Mim, p. 2E.6.1-2E.6.5.
- [41] Y.-E. Syu *et al.*, “Atomic-level quantized reaction of HfO_x memristor”, *Appl. Phys. Lett.*, vol. 102, no. 17, p. 172903, Apr. 2013.
- [42] G. Bersuker *et al.*, “Grain boundary-driven leakage path formation in HfO₂ dielectrics”, *Solid. State. Electron.*, vol. 65-66, no. 1, pp. 146-150, Nov. 2011.
- [43] R. Mahapatra *et al.*, “Temperature impact on switching characteristics of resistive memory devices with HfO_x/TiO_x/HfO_x stack dielectric”, *Microelectron. Eng.*, vol. 138, pp. 118-121, Apr. 2015.
- [44] H. Y. Lee *et al.*, “Low-Power and Nanosecond Switching in Robust Hafnium Oxide Resistive Memory With a Thin Ti Cap”, *IEEE Electron Device Lett.*, vol. 31, no. 1, pp. 44-46, Jan. 2010.
- [45] S. Long *et al.*, “Quantum-size effects in hafnium-oxide resistive switching”, *Appl. Phys. Lett.*, vol. 102, no. 18, p. 183505, May 2013.
- [46] C. Nauenheim *et al.*, “Nano-Crossbar Arrays for Nonvolatile Resistive RAM (RRAM) Applications”, in *2008 8th IEEE Conference on Nanotechnology*, 2008, pp. 464-467.
- [47] L. Baldi *et al.*, “Emerging memories”, *Solid. State. Electron.*, vol. 102, pp. 2-11, Dec. 2014.
- [48] A. Chen, “Memory Selector Devices.”, Global Foundries 2014 [Online] https://nccavs-usergroups.avs.org/wp-content/uploads/TFUG2014/2014_12chen.pdf
- [49] H. Tanaka *et al.*, “Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory”, *2007 IEEE Symposium on VLSI Technology*, 2007, pp. 14-15.
- [50] H. S. Yoon *et al.*, “Vertical cross-point resistance change memory for ultra-high density non-volatile memory applications”, *2009 Symp. VLSI Technol.*, pp. 26-27, 2009.
- [51] S. Park *et al.*, “A non-linear ReRAM cell with sub-1μA ultralow operating current for high density vertical resistive memory (VRRAM)”, in *2012 International Electron Devices Meeting*, 2012, p. 20.8.1-20.8.4.
- [52] L. Zhang *et al.*, “Analysis of vertical cross-point resistive memory (VRRAM) for 3D RRAM design”, *2013 5th IEEE International Memory Workshop*, 2013, pp. 155-158.
- [53] A. Chen, “A comprehensive crossbar array model with solutions for line resistance and nonlinear device characteristics”, *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1318-1326, 2013.
- [54] E. Linn *et al.*, “Complementary resistive switches for passive nanocrossbar memories”, *Nat. Mater.*, vol. 9, no. 5, pp. 403-6, May 2010.
- [55] U. Chand *et al.*, “Mechanism of Nonlinear Switching in HfO₂-Based Crossbar RRAM With Inserting Large Bandgap Tunneling Barrier Layer”, *IEEE Trans. Electron Devices*, vol. 62, no. 11, pp. 3665-3670, Nov. 2015.
- [56] X. Liu *et al.*, “Complementary Resistive Switching in Niobium Oxide-Based Resistive Memory Devices”, *IEEE Electron Device Lett.*, vol. 34, no. 2, pp. 235-237, Feb. 2013.
- [57] J. H. Oh *et al.*, “Full Integration of Highly Manufacturable 512Mb PRAM based on 90nm Technology”, in *2006 International Electron Devices Meeting*, 2006, pp. 1-

- 4.
- [58] V. S. S. Srinivasan *et al.*, "Punchthrough-Diode-Based Bipolar RRAM Selector by Si Epitaxy", *IEEE Electron Device Lett.*, vol. 33, no. 10, pp. 1396-1398, Oct. 2012.
- [59] J. Shin *et al.*, "MIM-type cell selector for high-density and low-power cross-point memory application", *Microelectron. Eng.*, vol. 93, pp. 81-84, May 2012.
- [60] B. Govoreanu *et al.*, "High-Performance Metal-Insulator-Metal Tunnel Diode Selectors", *IEEE Electron Device Lett.*, vol. 35, no. 1, pp. 63-65, Jan. 2014.
- [61] DC Kau *et al.*, "A stackable cross point Phase Change Memory", *2009 IEEE International Electron Devices Meeting (IEDM)*, 2009, pp. 1-4.
- [62] J. Song *et al.*, "Threshold Selector With High Selectivity and Steep Slope for Cross-Point Memory Array", *IEEE Electron Device Lett.*, vol. 36, no. 7, pp. 681-683, Jul. 2015.
- [63] B. Govoreanu *et al.*, "10×10 nm² Hf/HfO_x crossbar resistive RAM with excellent performance, reliability and low-energy operation", in *2011 International Electron Devices Meeting*, 2011, p. 31.6.1-31.6.4.
- [64] M. M. Shulaker *et al.*, "Monolithic 3D integration of logic and memory: Carbon nanotube FETs, resistive RAM, and silicon FETs", in *2014 IEEE International Electron Devices Meeting*, 2014, p. 27.4.1-27.4.4.
- [65] H. Wang *et al.*, "Complementary resistive switching of annealed Ti/Cu₂O/Ti stacks", vol. 45801, pp. 4-7, 1882.
- [66] M. Azzaz *et al.*, "Benefit of Al₂O₃/HfO₂ bilayer for BEOL RRAM integration through 16kb memory cut characterization", pp. 266-269, 2015.
- [67] S. Ecoffey *et al.*, "Technology platform for the fabrication of titanium nanostructures", *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 29, no. 6, p. 06FG06, 2011.
- [68] E. Yalon *et al.*, "Detection of the insulating gap and conductive filament growth direction in resistive memories", *Nanoscale*, vol. 7, no. 37, pp. 15434-41, Sep. 2015.
- [69] L. Zhang *et al.*, "Structural and electrical evolution of gate dielectric breakdown observed by conductive atomic force microscopy", *Appl. Phys. Lett.*, vol. 88, no. 3, p. 32906, Jan. 2006.
- [70] J. H. Stathis, "Percolation models for gate oxide breakdown", *J. Appl. Phys.*, vol. 86, no. 10, pp. 5757-5766, Nov. 1999.
- [71] C. Sire *et al.*, "Statistics of electrical breakdown field in HfO₂ and SiO₂ films from millimeter to nanometer length scales", *Appl. Phys. Lett.*, vol. 91, no. 24, p. 242905, Dec. 2007.
- [72] C. Sire, "Propriétés électriques à l' échelle nanométrique des diélectriques dans les structures MIM et MOS", thèse de doctorat Université Joseph Fourier, Grenoble I, 2009.
- [73] T. Cabout, "Optimisation technologique et caractérisation électrique de mémoires résistives OxRRAM pour applications basse consommation", thèse de doctorat Aix, D E L Université D et CEA Leti, 2014.
- [74] D. Ielmini, "Modeling the Universal Set/Reset Characteristics of Bipolar RRAM by Field- and Temperature-Driven Filament Growth", *IEEE Trans. Electron Devices*, vol. 58, no. 12, pp. 4309-4317, Dec. 2011.
- [75] A. Marchewka *et al.*, "Nanoionic Resistive Switching Memories: On the Physical

- Nature of the Dynamic Reset Process”, *Adv. Electron. Mater.*, vol. 2, no. 1, 2016.
- [76] F. Chiu, “A Review on Conduction Mechanisms in Dielectric Films”, *Adv. Mater. Sci. Eng.*, vol. 2014, pp. 1-18, 2014.
- [77] F. Mondon et al., “Electrical characterisation and reliability of HfO₂ and Al₂O₃-HfO₂ MIM capacitors”, *Microelectron. Reliab.*, vol. 43, no. 8, pp. 1259-1266, Aug. 2003.
- [78] X. Chen et al., “Complementary resistive switching behaviors evolved from bipolar TiN/HfO₂/Pt device”, *Appl. Phys. Lett.*, vol. 108, no. 5, p. 53504, Feb. 2016.
- [79] S. Ambrogio et al., “Analytical Modeling of Oxide-Based Bipolar Resistive Memories and Complementary Resistive Switches”, in *2014 44th European Solid State Device Research Conference (ESSDERC)*, 2014, vol. 61, no. 7, pp. 242-245.
- [80] S. Yu et al., “Characterization and Modeling of the Conduction and Switching Mechanisms of HfO_x Based RRAM”, *Mater. Res. Soc.*, 2014.
- [81] A. Padovani et al., “Microscopic Modeling of HfO_x RRAM Operations: From Forming to Switching”, *IEEE Trans. Electron Devices*, vol. 62, no. 6, pp. 1998-2006, Jun. 2015.
- [82] R. Degraeve et al., “Quantitative model for post-program instabilities in filamentary RRAM”, in *2016 IEEE International Reliability Physics Symposium (IRPS)*, 2016, no. 1, p. 6C-1-1-6C-1-7.
- [83] R. S. Sorbello, “Electromigration and the local transport field in mesoscopic systems”, *Phys. Rev. B*, vol. 39, no. 8, pp. 4984-4996, Mar. 1989.
- [84] M. J. M. de Jong, “Transition from Sharvin to Drude resistance in high-mobility wires”, *Phys. Rev. B*, vol. 49, no. 11, pp. 7778-7781, Mar. 1994.
- [85] S. Blonkowski et al., “Fully Analytical Compact Model of OxRAM Based on Joule Heating and Electromigration for DC and Pulsed Operation”, in *2016 IEEE 8th International Memory Workshop (IMW)*, 2016, pp. 1-5.
- [86] T. Diokh et al., “Investigation of the impact of the oxide thickness and RESET conditions on disturb in HfO₂-RRAM integrated in a 65nm CMOS technology”, in *2013 IEEE International Reliability Physics Symposium (IRPS)*, 2013, p. 5E.4.1-5E.4.4.
- [87] K. Kinoshita et al., “Reduction in the reset current in a resistive random access memory consisting of NiO_x brought about by reducing a parasitic capacitance”, *Appl. Phys. Lett.*, vol. 93, no. 3, p. 33506, Jul. 2008.
- [88] S. Balatti et al., “Pulsed cycling operation and endurance failure of metal-oxide resistive (RRAM)”, pp. 359-362, 2014.
- [89] S. Yu et al., “Investigating the switching dynamics and multilevel capability of bipolar metal oxide resistive switching memory”, *Appl. Phys. Lett.*, vol. 98, no. 10, p. 103514, Mar. 2011.
- [90] H. Y. Lee et al., “Evidence and solution of over-RESET problem for HfO_x based resistive memory with sub-ns switching speed and high endurance”, in *2010 International Electron Devices Meeting*, 2010, p. 19.7.1-19.7.4.
- [91] S. Kim et al., “Physical electro-thermal model of resistive switching in bi-layered resistance-change memory”, *Sci. Rep.*, vol. 3, no. 1, p. 1680, 2013.
- [92] M.-J. Lee et al., “A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta₂O_{5-x}/TaO_{2-x} bilayer structures”, *Nat. Mater.*, vol. 10,

- no. 8, pp. 625-630, Jul. 2011.
- [93] W. Kim et al., "Forming-free metal-oxide ReRAM by oxygen ion implantation process," in 2016 IEEE International Electron Devices Meeting (IEDM), 2016, vol. 5, p. 4.4.1-4.4.4.
- [94] M. Nafria et al., "Breakdown of thin gate silicon dioxide films—A review", *Microelectron. Reliab.*, vol. 36, no. 7-8, pp. 871-905, Jul. 1996.
- [95] J. van den Hurk et al., "Volatile resistance states in electrochemical metallization cells enabling non-destructive readout of complementary resistive switches", *Nanotechnology*, vol. 25, no. 42, p. 425202, Oct. 2014.
- [96] Z. Xi et al., "Non-Destructive Readout Complementary Resistive Switches Based on Ferroelectric Tunnel Junctions", *ACS Appl. Mater. Interfaces*, p. acsami.7b18363, Jan. 2018.
- [97] W. J. Duan et al., "Complementary resistive switching in single sandwich structure for crossbar memory arrays", *J. Appl. Phys.*, vol. 120, no. 8, p. 84502, Aug. 2016.
- [98] Y. Yang et al., "Complementary resistive switching in tantalum oxide-based resistive memory devices," *Appl. Phys. Lett.*, vol. 100, no. 20, p. 203112, 2012.
- [99] F. Nardi et al., "Complementary switching in metal oxides: Toward diode-less crossbar RRAMs", *2011 Int. Electron Devices Meet.*, p. 31.1.1-31.1.4, Dec. 2011.
- [100] F. Nardi et al., "Complementary Switching in Oxide-Based Bipolar Resistive-Switching Random Memory", *IEEE Trans. Electron Devices*, vol. 60, no. 1, pp. 70-77, Jan. 2013.
- [101] X. Chen et al., "Complementary switching on TiN/MgZnO/ZnO/Pt bipolar memory devices for nanocrossbar arrays", *J. Alloys Compd.*, vol. 615, pp. 566-568, Dec. 2014
- [102] . Schonhals et al., "Critical ReRAM Stack Parameters Controlling Complimentary versus Bipolar Resistive Switching", in *2015 IEEE International Memory Workshop (IMW)*, 2015, pp. 1-4.
- [103] L. Zhu et al., "Parasitic resistive switching uncovered from complementary resistive switching in single active-layer oxide memory device", *Semicond. Sci. Technol.*, vol. 26, no. 10, p. 105037, Nov. 2017.
- [104] X. Chen et al., "Complementary resistive switching behaviors evolved from bipolar TiN/HfO₂/Pt device", *Appl. Phys. Lett.*, vol. 108, no. 5, p. 53504, Feb. 2016

ANNEXE A Procédé de fabrication détaillé de dispositifs OxRRAM et CRS planaires

Le tableau ci-dessous répertorie les étapes nécessaires à la fabrication de dispositifs OxRRAM et CRS planaires enterrés dans une couche d'oxyde. On prend l'exemple ici de la fabrication sur substrats CMOS.

1			
Photolithographie 1 ou UV1/ Définition des pads et chemins d'amenées + recouvrement de 50% de la surface de motifs pour une CMP homogène			
Étalement	Déshydratation 5 min 115 °C /Primer d'adhérence 3000 rpm/Résine S1805 5000 rpm/recuit 1 min @ 115 °C	Étaleuse polos ou Brewer	
Exposition EBR et UV 1	EBR péalable : masque #SSE M036/temps d'exposition 5 sec/Puissance (15 mW/cm ²)	Aligneuse AOI 806	
	MF319 / immersion 30 sec	bécher	
	UV1 DORADE masque #SSE M453/Temps d'exposition 3.6sec/Puissance (15 mW/cm ²)/N ₂ hard contact	Aligneuse AOI 806	
	MF319/immersion 30 sec	bécher	
Recuit (SB)	Recuit 3 min @ 125 °C	plaque chauffante	Observation optique post développement.
Gravure AOE	Recette SIO_90 avec descum DESC_UV 30 sec dans AOE (60 nm visés environ 1 min de gravure)	STS AOE	Colle cristalbond sur les bords de l'échantillon pour protéger la chambre AOE d'une contamination au cuivre/ Dummie de TEOS pour mesure ellipso quantité de matériau gravé.
Contrôle visuel/Inspection Optique	Vérification profilomètre mécanique	Profilomètre mécanique	
Nettoyage	Remover (> 2 h) à 70 °C/Acétone 5 min /IPA 5 min/Rinçage eau DI/Plasmaline O2 5 min 150 W/300 mTorr	Bancs humides	Toujours vérifier à l'optique si la surface est propre.
2			
Dicing			
Étalement	Déshydratation 5 min 115 °C /Résine S1813 5000 rpm ou autre résine de protection/recuit 1 min @115 °C	Étaleuse polos ou brewer	
Découpe	Départ de la découpe sur le bord externe de l'échantillon.	Diceuse LC5M	Marques prévues pour découpe 1x1 cm ² invisibles avec optique de la disceuse, d'où l'alignement sur les bords "externes" de l'échantillon.
Nettoyage	Remover (> 2 h) à 70 °C/Acétone 5 min /IPA 5 min/Rinçage eau DI/Plasmaline O ₂ 5 min 150 W/300 mTorr	Bancs humides	
3			
Protection SiO₂ face arrière (FAR) et côtés			
Étalement	Protection face avant (FAV) résine de protection 3000 rpm recuit 115 °C 1 min	Étaleuse polos ou brewer	Passer un qtip sur les bords pour enlever la résine qui aura coulé lors de l'étalement.
Dépôt pulvérisation cathodique	FAR (FAV posée contre plateau de dépôt) 900 nm SiO ₂	SPT 320	Pas besoin de fixer l'échantillon au support de la pulvé.

Nettoyage	Acétone 10 min/IPA 5 min/Rinçage eau DI/Plasmaline O ₂ 5 min 150 W/300 mTorr	Paillasse bancs humides	Observation optique, vérifier que la FAV est propre.
4	Electrolithographie 1 ou EBL 1/ Définition de la largeur et profondeur de tranchées des dispositifs		
Correction UV1	Mesure du décalage UV 1/motifs de ST pour chaque puce de 1 cm ² .	SEM	Faire mesures de correction AVANT étalement l'EBL1. Attention de ne pas mélanger les échantillons !
Étalement	Déshydratation 5 min 115 °C/Primer d'adhérence 3000 rpm/ZEP DR 2.4 5000 rpm/recuit 5 min @180 °C	Étaleuse polos ou Brewer	
Exposition	« Areas doses » 50 µC/cm ² et dummies « lines doses » 0.32 nC/cm	FIB	
Développement	Oxylène 75 sec/MIBK 15 sec/rinçage eau DI	Paillasse bancs humides	Observation optique post développement difficile.
Recuit	Recuit 3 min @ 125 °C		
Gravure AOE	Recette SIO_70 avec descum DESC_ZEP dans AOE (50 nm visés)	STS AOE	Attention 4 min de conditionnement SiO ₉₀ en plus du conditionnement classique/ mettre un dummie TEOS.
Nettoyage	Remover 70 °C > 2 heures/Acétone 5 min /IPA 5 min/Rinçage eau DI/Plasmaline O ₂ 5 min 150 W/300 mTorr	Paillasse bancs humides	
Contrôle visuel/Inspection Optique	AFM sur nanostructures (mesurer profondeur et largeur tranchées). Ellipso sur dummie pleine plaque TEOS. Observations SEM (1 seule cellule, environ 2 kX et max 5 kV).		Observation optique rapide pour vérifier qu'il ne reste pas des résidus carbonés/ refaire un plasma APRES observations SEM de 5 min 150 W 300 mTorr.
5	Electrolithographie 2 ou EBL 2/ Définition de l'électrode active latérale des OxRRAMs ou centrale des CRS		
Étalement	Déshydratation 5 min 115 °C/Primer d'adhérence 3000 rpm/MMA EL6 3500 rpm/recuit 5 min @180 °C/ZEP DR 4.2 5000 rpm/recuit 5 min @180 °C	Étaleuse polos ou Brewer	MMA EL6 conservée au frigo: pipeter la quantité nécessaire à l'étalement et attendre un minimum de 5 min avant d'étaler.
Exposition	« Areas doses » 50 µC/cm ²	FIB	
Développement	Oxylène 75 sec/IPA 5 sec/ IPA:H ₂ O 4:1 7 min/rinçage eau DI	Paillasse bancs humides	l'IPA:H ₂ O 4:1 au frigo: sortir la bouteille la laisser 2 min à l'air ambient puis verser dans un bécher et attendre au moins 5 min avant développement
Descum	40 W/ 800 mTorr/ 24 sec	Plasmaline	
Dépôt Ti (70 nm)	Ti (70 nm, adapter dépôt à la profondeur de la tranchée EBL 1 mesurée, viser 10 nm de plus).	E-beam Intelvac	

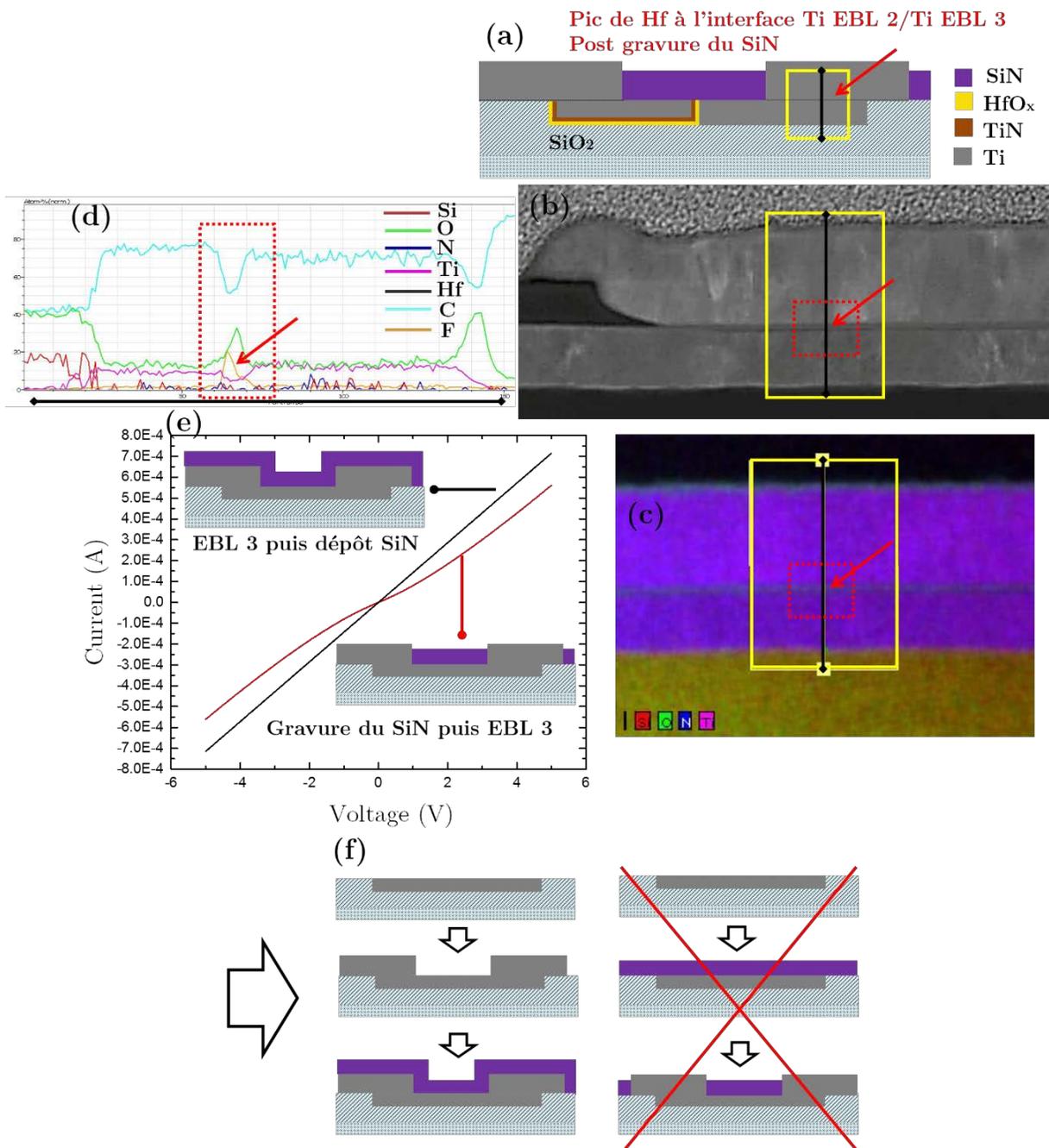
		(salles propres)	
Soulèvement	Remove 1165 > 2heures 70 °C/pipette plastique pour créer une force mécanique sur le Ti qui doit se soulever.	Paillasse bancs humides	Vérifier le soulèvement du métal à la binoculaire lorsque l'échantillon est dans le remove AVANT de poursuivre le nettoyage. Coordonner soulèvement et dépôts par pulvérisation cathodique pour que l'électrode déposée reste le moins longtemps possible à l'air libre.
Nettoyage	Acétone 5 min/IPA 5 min/Rinçage eau DI	Paillasse bancs humides	Observation optique difficile.
6	Dépôts / Définition de l'oxyde de commutation et de/des (l')électrode(s) latérale(s)		
Dépôt oxyde et électrodes de TiN/Ti	HfO ₂ (11 nm visés)/TiN (10 nm visés)/Ti (40 nm @ 40 W +130 nm @ 100 W visés) <u>Conditions :</u> -HfO ₂ / F/9 min/60 W/4.9 mTorr/20 sccm -TiN/RF/23 min/60 W/ 2.4 mTorr/15 sccm -Ti 2 vitesses : RF/temps nécessaire pour remplir tranchée EBL1/40 W/ 2.4 mTorr/15 sccm et RF/temps nécessaire pour hauteur stack Ti total = 170 nm/100 W/2.9 mTorr/20 sccm	SPT 320	
7	CMP		
Polissage	Slurry Allied IPA 1:1 particules de 50 nm de silice		
Contrôle observation SEM	Observation pas au-delà de 3000X	SEM (FIB)	Observer uniquement la cellule F1 par exemple.
8.	Electrolithographie 3 ou EBL 3/ Reprise de contact entre les chemins d'amenées micrométriques et les électrodes nanométriques des dispositifs		
Étalement	Déshydratation 5 min 115 °C/Primer d'adhérence 3000 rpm/MMA EL6 3500 rpm/recuit 5 min @180 °C/ZEP DR 4.2 5000 rpm/recuit 5 min @180 °C	Étaleuse polos ou Brewer	
Exposition	« Areas doses » 50 µC/cm ²		
Développement	Oxylène 75 sec/IPA 5 sec/IPA:H ₂ O 4:1 7 min/rinçage eau DI	Paillasse bancs humides	
Dépôt Ti (70 nm)	Ti (70 nm)	E-beam Intelvac (salles propres)	
Soulèvement	Remove 1165 > 2 heures 70 °C	Paillasse bancs humides	

Nettoyage	Acétone 5 min/IPA 5 min/Rinçage eau DI	Paillasse bancs humides	
9.	Passivation SiN de la jonction		
Dépôt Si₃N₄	Recette HFSiN (épaisseur 80 nm)	PECVD	Mettre un dummie pour connaître épaisseur exacte du dépôt SiN. Le garder pour gravure UV 3.
10.	Photolithographie 2 ou UV 2/ Pré-ouverture des vias interconnexion		
Étalement échantillon + dummie	Déshydratation 5 min 115 °C/Primer d'adhérence 5000 rpm/S1805 5000 rpm/recuit 1 min °C	Plaque chauffante	Le dummie Si/SiO ₂ suit exactement le même procédé que l'échantillon sauf qu'on ne l'expose pas (mais on le développe).
Exposition	Temps d'exposition masque L881B 3,6 sec/Puissance (15mW/ cm ²)	OAI806	Attention utiliser les parties Horiz_Shift pour les puces C et F.
Développement	MF319/2x15sec (pgm 5 polos)	Développeuse Polos	
Descum	Plasma O ₂ 1 min/150 W/300 mTorr	Plasmaline	Mesure ellipso de l'épaisseur de résine sur le dummie après plasma descum.
Contrôle visuel	État général/Alignement/Résidus	ME600L	
Gravure RIE: nettoyage chambre	Nettoyage chambre 400 W/ 15 min/80% O ₂ /pression libre	RIE March1701	
Conditionnement chambre	Conditionnement 300 W/5 min/75% CF ₄ /pression libre	RIE March1701	Conditionnement avec la plaque de gravure dans la chambre
Collage des échantillons	Sur plaque RIE propre	Plaque chauffante	Mettre la plaque 5 min à 85°C sur plaque chauffante puis appliquer colle cristalbond et attendre 2 min avant de coller l'échantillon
Gravure de l'échantillon	300 W/ 300 s/75% CF ₄ /pression libre	RIE March1701	Gravure jusqu'au SiCN environ.
Mesure dummie résine ellipso	Vérifier qu'environ 250 nm de résine sont partis (taux de gravure S1805 50 nm/min)	Ellipsomètre	
Stripping résine	Plasma O ₂ 2min/150 W/300 mTorr	Plasmaline	
	Remover 1165 > 2 heures 70°C/Acétone 5 min (dont 1 en US)/IPA 5 min/Rinçage eau DI	Paillasse banc humide	
Nettoyage chambre	400 W/ 15 min/80% O ₂ /pression libre	RIE March1701	
Inspection AFM	Mesure de l'épaisseur gravée après nettoyage, se placer sur un bord d'ouverture UV2	AFM	Mesures AFM toujours sur le même pad. Rentrer les valeurs dans le fichier sous le dossier sous le public du groupe P:\Public\Nanoélectronique\Gravure\Résultats gravure RIE

11	Photolithographie 3 ou UV 3/ Ouverture des vias interconnexion finale et reprise de contact sur pads de caractérisation électrique		
Étalement	Déshydratation 5 min 115 degrés /Primer d'adhérence 3000 rpm/LOR 5A 3000 rpm/recuit 5 min 150 °C/S1805 5000 rpm/recuit 1 min 115°C	Plaque chauffante	Dummie Si/SiO ₂ suit exactement le même procédé que l'échantillon sauf qu'on ne l'expose pas (mais on le développe)
Exposition	Temps d'exposition masque L881C 3.6 sec/Puissance (15mW/cm ²)	OAI806 (OAI200)	
Développement	MF319/2 × 15sec (pgm 5 polos)	Développeuse Polos	
Descum	Plasma O ₂ 1 min/150 W/300 mTorr	Plasmaline	
Contrôle visuel/Inspection Optique	État général/Alignement/Résidus	ME600L	
Gravure RIE nettoyage de la chambre	Nettoyage chambre 400 W/15 min/80% O ₂ /pression libre	RIE March1701	
Conditionnement	300 W/5 min/75% CF ₄ /pression libre	RIE March1701	
Gravure échantillon	300 W/temps calculé pour passer à travers la passivation SiN et finir de graver le stack jusqu'au cuivre/75% CF ₄ /pression libre	RIE March1701	
Mesure dummie	Vérifier gravure résine (taux de gravure S1805 50 nm/min)	Ellipsométrie mécanique	
Mesure échantillon	Vérifier totalité du stack gravé	AFM	Au-dessus des zones de pads de cuivre : relief des dummies cuivre dans PMD observables
Mesure échantillon	Vérifier passivation gravée	Profilomètre mécanique Dektak	Au-dessus des zones de pads de caractérisation électrique : lignes de Ti de l'UV 1 observables.
Nettoyage chambre	Nettoyage chambre 400 W/15 min/80% O ₂ /pression libre	RIE March1701	
12.	Métallisation		
Dépôt métal	Évaporation de Ti (20 nm) + Al (380 nm)	Évaporateur Edwards (LNN)	Faire dépôt au plus vite après gravure des vias UV 3.
Soulèvement	Remover 1165 > 2 heures 70 °C	Paillasse bancs humides	
Nettoyage	Acétone 5 min/IPA 5 min (dont 1 en US)/Rinçage eau DI	Paillasse bancs humides	Observation optique
Inspection électrique	Vérification du contact électrique avec les « daisy chains »	Station sous pointes	

ANNEXE B Analyse STEM EDX de la surface d'arrêt de la gravure SiN sur les électrodes nanométriques de Ti

Cette annexe explique pourquoi la passivation SiN des jonctions de commutation des dispositifs ne peut être faite AVANT l'étape de dépôt de Ti de l'EBL 3. On rappelle que l'EBL 3 sert à venir contacter les électrodes nanométriques des dispositifs avec les chemins d'amenées de courant micrométriques.



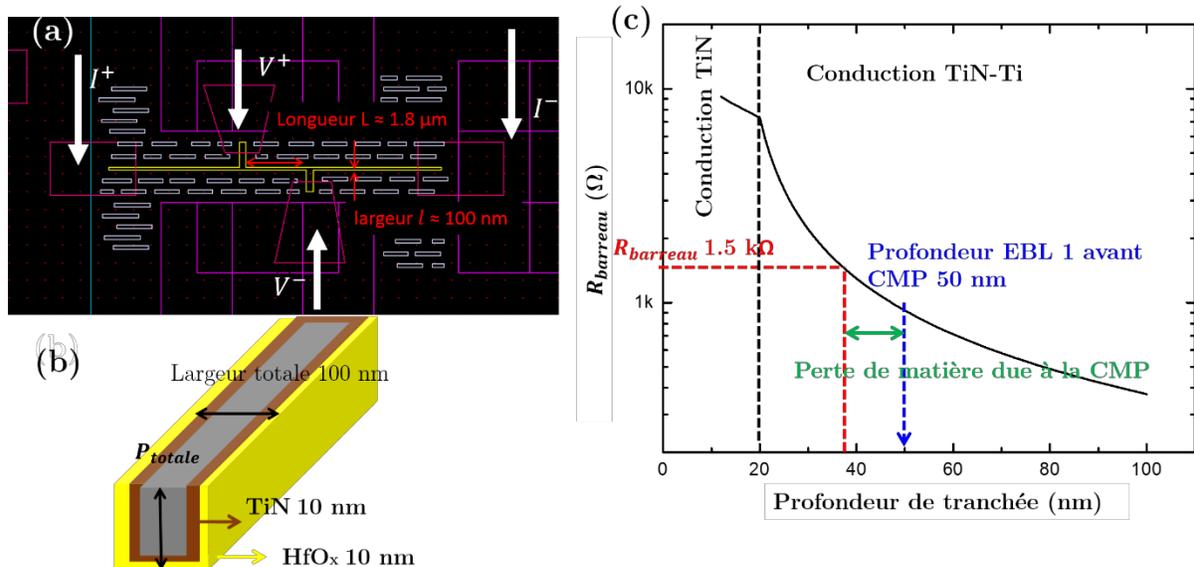
La figure ci-dessus présente les coupes STEM et analyses EDX réalisés au niveau des interfaces de deux couches de Ti déposées à deux moments du procédé de fabrication. Le Ti inférieur (enterré dans l'oxyde) a été déposé lors de l'EBL2 tandis que le Ti supérieur a été déposé lors de l'EBL3, après gravure de la couche de passivation SiN à cet endroit.

L'image en (a) représente schématiquement la zone analysée. L'image (b) est une coupe observée par imagerie STEM. L'image (c) est une image par STEM-EDX de cette même zone de l'image (b) et les résultats des pourcentages atomiques des différents éléments chimiques (Si, O, N, Ti, Hf, C, F) sont montrés en (d).

On note la présence d'un pic de fluor au niveau de l'interface des deux dépôts de Ti, suite à la gravure du SiN à cet endroit-là. Ce pic est absent pour des analyses de cette même zone mais sur des échantillons où la passivation a été faite APRES le dépôt du Ti lors de l'EBL 3. La caractérisation électrique de deux barreaux en titane, chacun ayant suivi l'un des deux process flow de la figure (f), montre en effet que le contact n'est pas ohmique suite à la gravure du SiN. Pour cette raison nous avons choisi de faire le dépôt de la passivation SiN APRES l'étape d'EBL 3.

ANNEXE C Évaluation de la profondeur résiduelle des tranchées après CMP

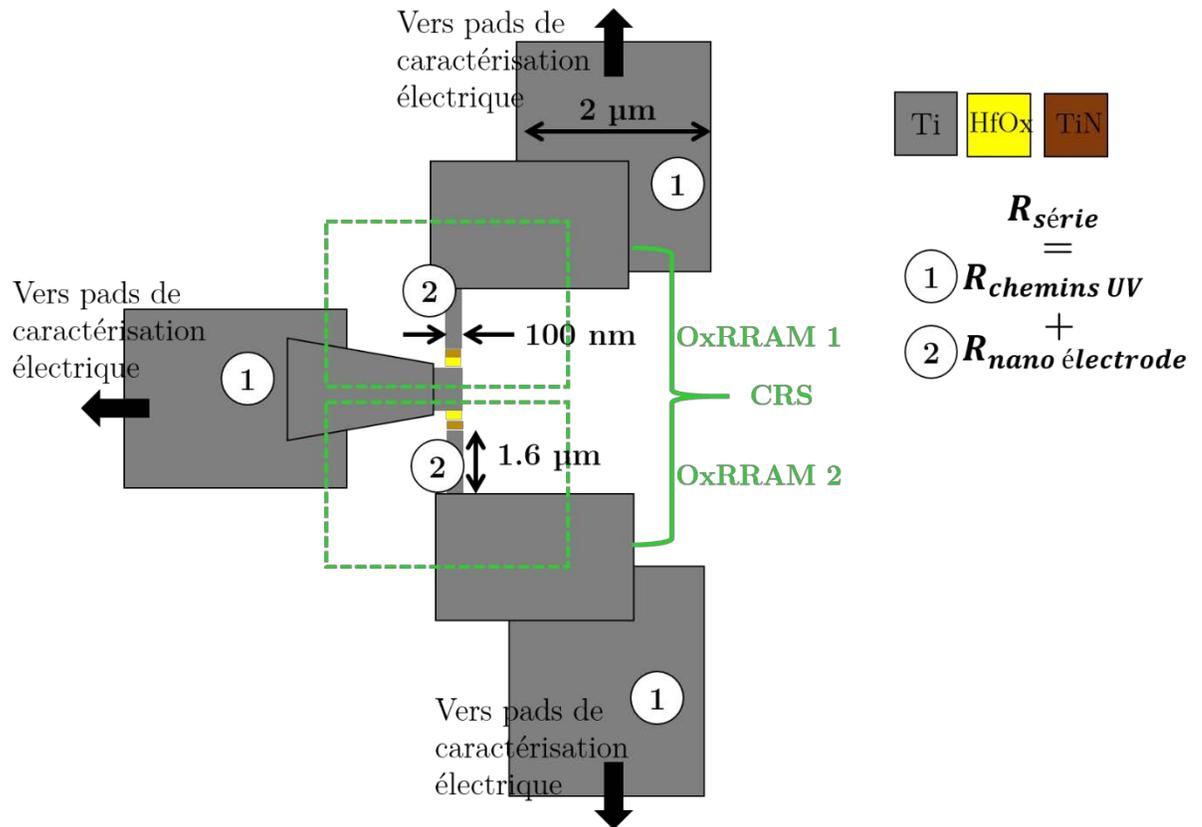
Des structures de mesure quatre points sur un barreau rempli de $\text{HfO}_x/\text{TiN}/\text{Ti}$ ont été fabriquées afin de pouvoir mesurer la profondeur de la tranchée de ce barreau dont on connaît la longueur et la largeur à partir de la mesure de résistance électrique (voir figure ci-dessous).



Le graphe (c) de la figure ci-dessus indique la résistance du barreau mesurée en fonction de sa profondeur totale. Par exemple une $R_{\text{barreau}} = 1.5 \text{ k}\Omega$ mesurée implique une profondeur résiduelle de tranchée après CMP d'environ 37 nm et donc une hauteur de jonction de commutation $\text{Ti}/\text{HfO}_x/\text{TiN}/\text{Ti}$ de 27 nm. Connaissant la profondeur de tranchée gravée lors de la première étape d'électrolithographie (50 nm) on peut évaluer la perte de matière de l'oxyde du substrat suite au procédé de CMP (ici environ 13 nm).

On peut alors trouver la valeur des résistances des électrodes nanométriques (représentées sur la figure ci-dessous par $R_{\text{nano électrodes}}$) dont on connaît les dimensions de longueur et largeur.

De même connaissant la profondeur des tranchées des chemins d'amenées de 2 μm de large gravées lors de l'étape de photolithographie 1 on peut évaluer leur profondeur après CMP en soustrayant la perte de matière précédemment calculée. On trouve alors leur contribution résistive $R_{\text{chemins UV}}$ dans la valeur de $R_{\text{série}}$.



ANNEXE D Schéma du montage de caractérisation électrique en configuration 1T1R et mode pulsé

→ Pointe du Keithley

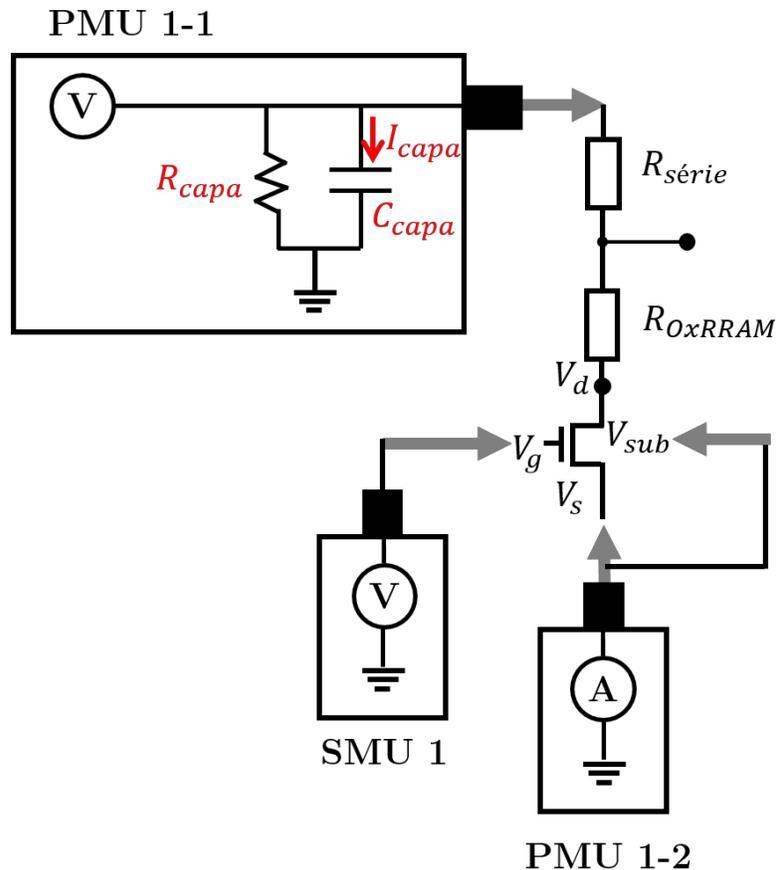
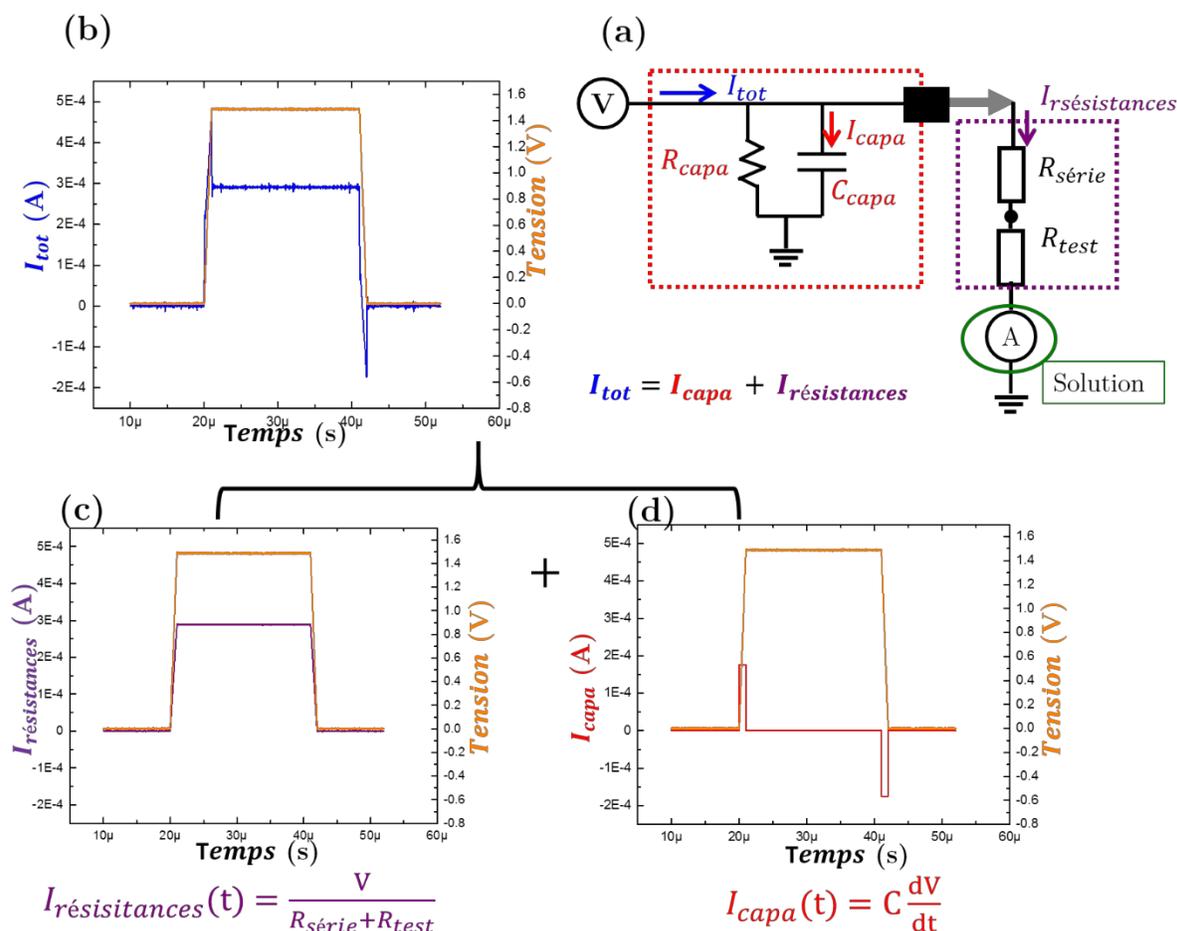


Schéma électrique équivalent utilisé pour les mesures pulsées en configuration 1T1R.

Les modules PMU et SMU du Keithley sont utilisés afin de pouvoir à la fois appliquer une tension continue sur la grille du transistor MOS et un pulse de tension sur l'électrode supérieure de l'OxRRAM (lors du SET) ou sur la source du transistor (lors du RESET). Le substrat est toujours mis au 0 V. Le schéma exposé ici correspond à une opération de SET. Pour une opération de RESET le PMU 1-2 appliquerait le pulse de tension et le PMU 1-1 lierait la valeur de courant tout en imposant un potentiel de 0 V.

ANNEXE E Principe du calcul de la capacité parallèle du Keithley lors des mesures pulsées 1T1R

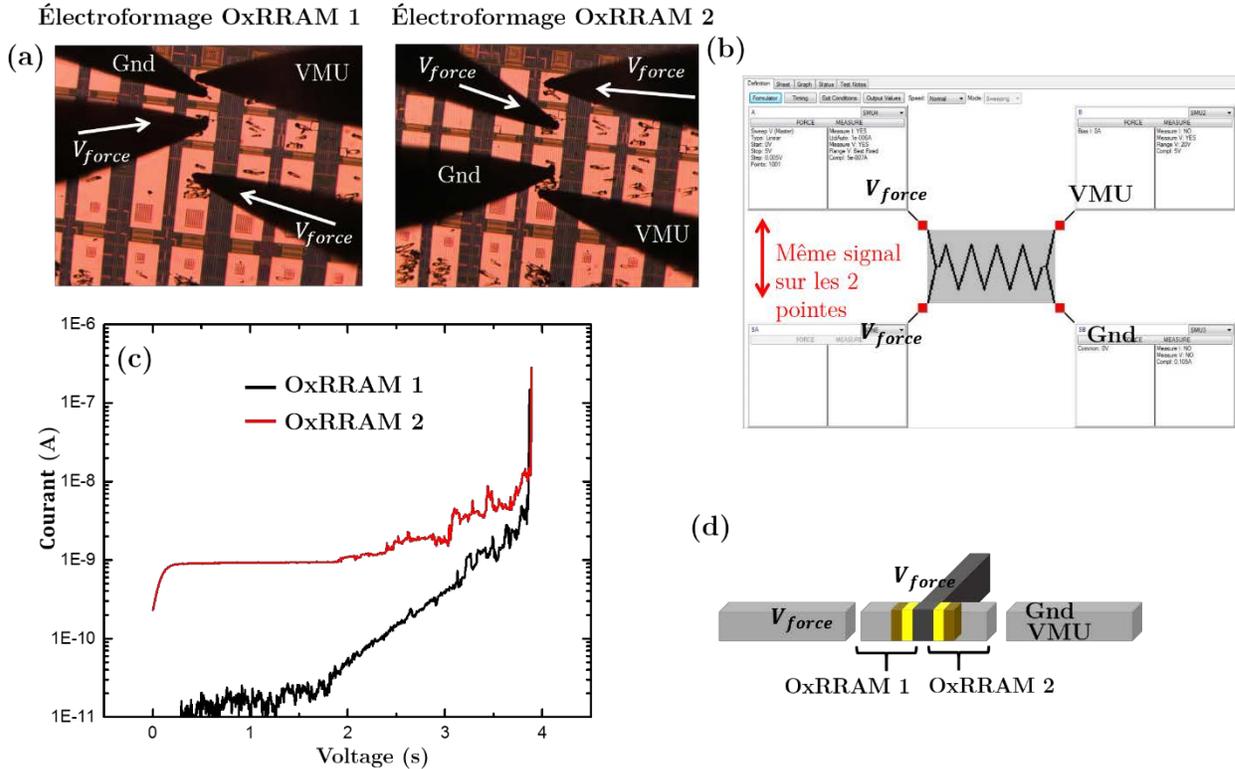


Courbes de courant et tension en fonction du temps obtenues lors de la génération d'une impulsion électrique sur un barreau de résistance $R_{test} = 5.3 \text{ k}\Omega$. (b) Schéma électrique équivalent lors de tests en mode pulsé. (c) Courbe I-V obtenue en ne gardant que la composante du courant lié à la résistance totale (celle des chemins d'aménés $R_{série}$ et celle du barreau de résistance R_{test}) depuis les données en (a). (d) Courbe I-V obtenue en ne gardant que la composante du courant lié à la capacité parallèle C depuis les données en (a).

Lors de l'application d'une impulsion de tension sur un barreau de métal de résistance R_{test} on observe des « pics » dans le courant I_{tot} mesuré. En décomposant les courants constituant I_{tot} on s'aperçoit de la contribution de la capacité parallèle C de l'appareil de mesure. Cette capacité interne au Keithley est évaluée à 110 pF grâce à la relation $C = \frac{I_{capa}}{dV/dt}$ avec $I_{capa} \approx 180 \text{ }\mu\text{A}$ et $dV/dt = 1.5 \text{ V}/1 \text{ }\mu\text{s}$. Afin de s'affranchir de la contribution de la capacité parallèle dans le courant total, la solution consiste à placer la lecture de courant après les dispositifs (résistances ou OxRRAM) et non pas au niveau de la pointe qui génère l'impulsion.

ANNEXE F Principe de l'électroformage d'une CRS sans laisser de potentiel flottant

Dispositif CRS sur substrat CMOS lot F



(a) Photo des configurations utilisées pour les électroformages des dispositifs OxRRAM 1 et 2 via l'électrode centrale de l'empilement. L'électrode qui restait flottante est dorénavant portée au même potentiel que l'électrode centrale. (b) Capture écran du programme de test électrique utilisé sur le Keithley 4200. (c) Courbes I-V des électroformages des OxRRAM 1 et 2. (d) Représentation schématique des tensions appliquées lors de l'électroformage de l'OxRRAM 2.

L'opération d'électroformage des OxRRAM constituant la CRS peut s'avérer source de perturbations. Afin d'éviter que le potentiel de l'électrode passive de l'OxRRAM qui n'est pas en train d'être électroformée ne vienne perturber l'opération il est recommandé de placer ce dernier au même potentiel que l'électrode centrale, telle qu'indiqué sur la figure ci-dessus.

ANNEXE G Dispositifs complementary switching (CS)

1. État de l'art

Depuis quelques années on trouve dans la littérature des observations de comportements de commutations ou switches résistifs complémentaires (CS) sur des structures de type OxRRAM ne comportant pas d'électrode métallique centrale. Le gros avantage de ce type de structure serait de faciliter à la fois le procédé de fabrication pour un empilement vertical classique des matériaux, ainsi que de limiter l'opération d'électroformage à une seule pour la structure globale et donc de régler le problème de l'accès à l'électrode centrale pour la CRS.

En 2012 Y. Yang *et al.* observent qu'une structure de Pd/Ta₂O_{5-x}/TaO_y/Pd, se comportant comme une OxRRAM bipolaire classique lorsque caractérisée entre -1.1 V et +1.1 V, adopte un comportement CRS lorsque la tension de programmation V_{stop} est augmentée jusque -2 et +2 V [98]. Ils invoquent la redistribution des lacunes d'oxygènes dans les deux couches de Ta, dont l'une (Ta₂O_{5-x}) est plus riche en oxygène que l'autre, ce qui peut entraîner la déplétion complète de l'une des deux couches si la tension appliquée est suffisamment importante. Ainsi pour des tensions au-delà de -1.1 V la couche de TaO_y (supérieure) est déplétée et pour des tensions au-delà de +1.1 V c'est la couche de Ta₂O_{5-x} (inférieure) qui est déplétée.

En étudiant l'impact de la concentration en atomes d'oxygènes dans la couche de TaO_y lors du dépôt, ils mettent en relief l'importance d'avoir une structure davantage symétrique afin de favoriser un comportement CRS au détriment d'un comportement de commutations bipolaires. F. Nardi *et al.* reprennent cet aspect et démontrent à l'aide de simulations basées sur la migration de lacunes d'oxygène, la possibilité d'observer un comportement CRS dans un empilement unique constitué de deux électrodes métalliques et de 5 nm d'HfO_x [99][100].

X. Liu *et al.* par exemple observent le même phénomène que Y. Yang *et al.* en travaillant avec des structures très semblables de Pt/Nb₂O_{5-x}/NbO_y/Pt et W/Nb₂O_{5-x}/NbO_y/Pt [56].

En 2014 X. Chen *et al.* obtiennent un comportement CRS sur des structures TiN/MgZnO/ZnO/Pt en appliquant un second électroformage en tension négative [101].

En 2015 A. Schonhals *et al.* observent également un comportement CRS pour des structures de Pt/HfO₂/Hf/Pt et Pt/Ta₂O₅/Ta/Pt uniquement si l'épaisseur de la couche de Hf ou Ta est de 5 nm : si la couche est plus épaisse le dispositif est davantage asymétrique car uniquement une partie de la couche de Hf ou Ta réagit avec le HfO₂ ou Ta₂O₅ du dessous, et on se retrouve dans le cas d'une structure OxRRAM classique constituée d'une électrode active et d'une électrode passive [102].

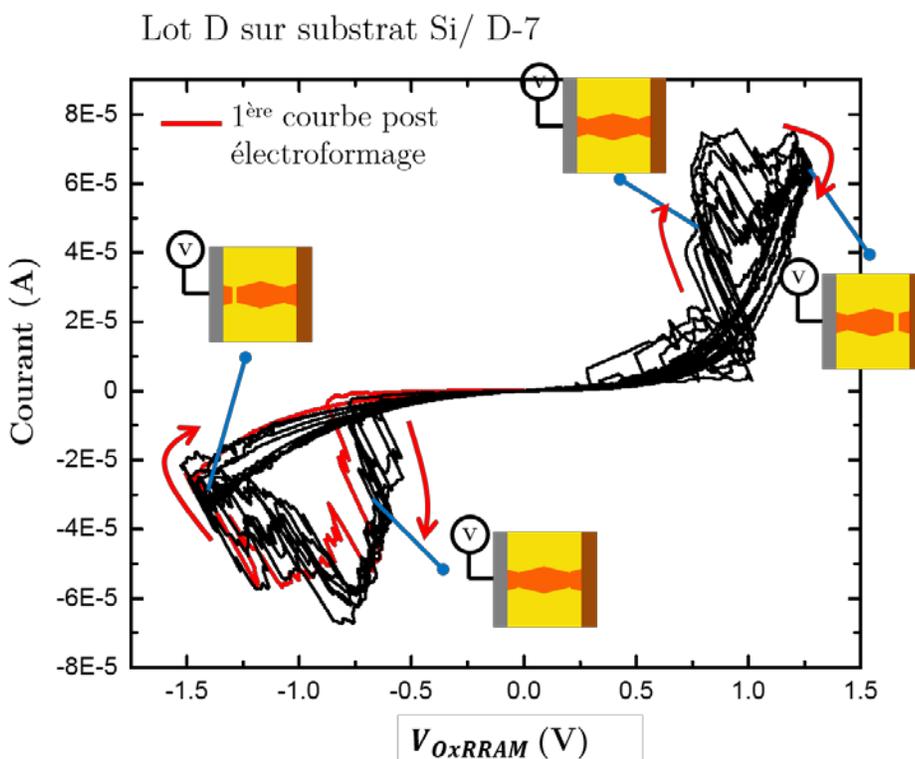
Enfin, L. Zhu *et al.* ont récemment publié sur des structures de Pt/TaO_x/TiN et Pt/HfO_x/TiN qui adoptent un comportement CRS après une dizaine de cycles et si les tensions de caractérisation sont assez élevées (entre -1 V et +0.8 V) [103].

2. Observation de CS au sein de nos structures Ti/HfO_x/TiN/Ti

Il nous est arrivé d'observer des comportements CS sur des dispositifs OxRRAM mais généralement pour un ou deux cycles maximum, ensuite les commutations revenaient telles que pour un dispositif bipolaire standard.

Cependant un des dispositifs du lot D a montré un comportement CS tout de suite après l'opération d'électroformage et l'a conservé (il a pu cycliser 18 fois en mode CS). En effet, le dispositif a d'abord été électroformé en tension positive ($V_f = 3.8$ V), puis il s'est retrouvé en état résistif HRS contrairement au cas standard où les dispositifs sont en LRS en fin d'électroformage. Ensuite, lors de l'application d'une rampe en tension négative le dispositif a effectué un SET puis un RESET successivement, ce qui est caractéristique d'un comportement de CS. Lors des balayages en tension suivants dans les deux polarités, le dispositif a conservé ce comportement de CS avec un SET et un RESET en tension positive et négative.

La figure ci-dessous montre les courbes I-V obtenues en s'affranchissant de la $R_{série}$ évaluée à $8\text{ k}\Omega$ pour cet échantillon. À l'aide de schémas on a essayé de représenter ce que pouvait être la morphologie du filament de conduction au cours des cycles.



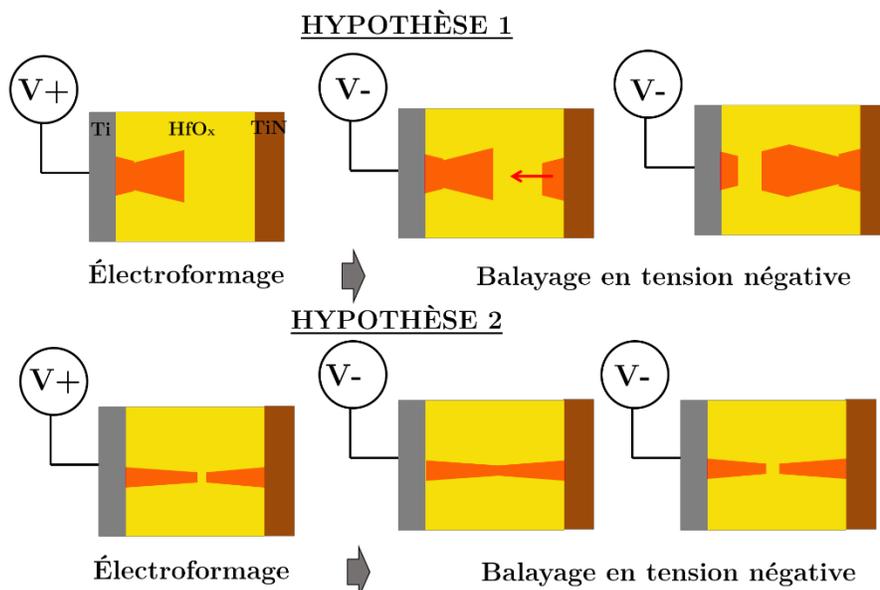
Courbes I-V obtenues sur une structure OxRRAM Ti/HfO_x/TiN/Ti montrant un comportement de CS. Les opérations de SET et RESET sont possibles pour les deux polarités de tension.

On peut imaginer plusieurs hypothèses pour expliquer ce comportement (voir figure ci-dessous):

1. Hypothèse 1 : le filament de conduction s'est formé de telle sorte qu'il y a deux zones de constriction de part et d'autre des électrodes. Lors du premier électroformage le filament n'est pas entièrement formé (d'où l'état HRS post premier

électroformage), il finit de se former lors du balayage en tension négative post électroformage puis se ré ouvre tout de suite mais à un autre endroit (autre zone de constriction, plus proche de l'électrode du haut). On se retrouve alors dans le cas d'un dispositif OxRRAM avec une électrode centrale métallique dans l'oxyde ce qui conduit à un comportement électrique proche de ce qu'on observe dans le cas d'une CRS. Dans cette même idée, X. Chen et *al.* parviennent à conférer à une structure TiN/HfO₂/Pt initialement bipolaire un comportement de CS [104]. Ils réalisent l'opération d'électroformage en deux temps : une de chaque polarité avec un courant de compliance croissant. Le filament de conduction est alors supposément formé de deux bases asymétriques.

2. Hypothèse 2 : le filament de conduction est plus fin que d'habitude et la zone de constriction davantage centrée dans l'oxyde (dispositif symétrique). Le dispositif se comporte alors comme un dispositif unipolaire : le gap au niveau de la zone de constriction est capable de se fermer et s'ouvrir dans les deux polarités



Schémas des deux hypothèses de formation du filament de conduction au sein d'une structure OxRRAM Ti/HfO_x/TiN/Ti arborant un comportement de CS.

Dans le cas des deux hypothèses citées ci-dessus il faut que l'électroformage conduise à la formation d'un filament de conduction de morphologie différente de celle des dispositifs OxRRAM classiques. Or, les interfaces entre les matériaux influencent fortement l'opération d'électroformage (tensions requises, niveaux de courant, peut être également morphologie du filament). Nous pouvons alors supposer que dans certains cas les interfaces de nos matériaux évoluent. Un empilement Ti/HfO_x/TiN peut évoluer en un empilement Ti/TiO_x/HfO_x/TiN par exemple.



FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : Labalette

DATE de SOUTENANCE : 09 mai 2018

Prénoms : Marina Catherine Nathalie

TITRE : Intégration 3D de mémoires résistives complémentaires dans le back-end-of-line du CMOS.

NATURE : Doctorat

Numéro d'ordre : 2018LYSEI037

Ecole doctorale : ED160 : EEA

Spécialité : Electronique, Micro et Nano-électronique, Optique et Laser

RESUME :

À l'aube du 21ème siècle, l'information est devenue le pétrole de notre ère digitale. La gestion, la manipulation et le stockage de données sont de réels challenges. Pour supporter cette réalité, le besoin de technologies mémoires plus efficaces, moins énergivores, moins coûteuses à fabriquer et plus denses que les technologies actuelles s'intensifie. Parmi les technologies mémoires émergentes se trouve la technologie mémoire résistive, dans laquelle l'information est stockée sous forme de résistance électrique au sein d'une couche d'oxyde entre deux électrodes conductrices. Mes travaux de recherche ont consisté à étudier des dispositifs mémoires résistives aux dimensions avoisinant les centaines de nm² et fabriqués de façon originale par rapport au procédé d'empilement classique de matériaux. J'ai conduit mes recherches selon deux axes principaux : d'une part j'ai fabriqué et interconnecté ces dispositifs mémoires sur des substrats industriels pour prouver la compatibilité du procédé avec les requis des filières de production et étudier en détails les performances des dispositifs. D'autre part j'ai apporté la preuve de concept de la fabrication de dispositifs mémoires résistives complémentaires (dits CRS), consistant en deux dispositifs mémoires résistives accolés, en utilisant le même procédé de fabrication original. Ces dispositifs complémentaires constituent une solution performante (peu coûteuse et très dense) aux problèmes de courants de fuite qui freinent jusqu'à présent le développement de matrices mémoires hautes densités.

MOTS-CLÉS :

Filière CMOS, mémoires résistives OxRRAM, dispositifs CRS, intégration monolithique BEOL agressive, caractérisations en mode QS et pulsé, architecture mémoire haute densité, configuration 1T1R.

Laboratoire (s) de recherche :

Institut des Nanotechnologies de Lyon (INL) - UMR CNRS 5270

Laboratoire Nanotechnologies et Nanosystèmes (LN2) - UMI CNRS 3463

Directeur de thèse:

Abdelkader Souifi

Président de jury : Jean Michel Portal, Professeur, Université Aix-Marseille

Composition du jury :

Barbara De Salvo : Ingénieure de recherche, CEA Grenoble

Jean Michel Portal : Professeur, Université Aix-Marseille

Andreas Ruediger : Professeur, INRS Varennes

Dominique Drouin : Professeur, Université de Sherbrooke

Abdelkader Souifi : Professeur, INSA Lyon