



HAL
open science

Effet du vieillissement par fatigue électrothermique sur la compatibilité électromagnétique des composants de puissance à base de SiC

Chawki Douzi

► **To cite this version:**

Chawki Douzi. Effet du vieillissement par fatigue électrothermique sur la compatibilité électromagnétique des composants de puissance à base de SiC. Energie électrique. Normandie Université; Université de Sousse (Tunisie), 2019. Français. NNT : 2019NORMR002 . tel-02082526

HAL Id: tel-02082526

<https://theses.hal.science/tel-02082526v1>

Submitted on 28 Mar 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE EN CO - TUTELLE INTERNATIONALE

Pour obtenir le diplôme de doctorat

Spécialité GENIE ELECTRIQUE

Préparée au sein de l'Université de Rouen Normandie
et de l'Université de Sousse

Effet du vieillissement par fatigue électrothermique sur la compatibilité électromagnétique des composants de puissance à base de SiC

Présentée et soutenue par
Chawki DOUZI

Thèse soutenue publiquement le (date de soutenance)
devant le jury composé de

M. Ali DOUIK	Professeur, ENISO, Université de Sousse	Président
M. Fabien NDAGIJIMANA	Professeur, G2Elab, Université de Grenoble Alpes (UGA) - IUT1 de Grenoble	Rapporteur
M. Ferid KOURDA	Professeur, ENIT, Université de Tunis El Manar	Rapporteur
Mme. Sonia BEN DHIA	Professeur, LAAS CNRS, INSA de Toulouse	Examineur
M. Jaleddine BEN HADJ SLAMA	Professeur, LATIS, ENISO, Université de Sousse	Codirecteur de thèse
M. Moncef KADI	Dr/HDR, IRSEEM, ESIGELEC, Université de Rouen	Codirecteur de thèse

Thèse dirigée par

M. Moncef KADI

ESIGELEC

M. Jaleddine BEN HADJ SLAMA

ENISO



Résumé

Ce travail de recherche porte sur l'étude de l'effet du vieillissement par fatigue électrothermique sur la compatibilité électromagnétique des composants de puissance à base de carbure de silicium. Il est axé sur deux grandes parties ; une partie expérimentale et une autre plus orientée modélisation. Sur le plan expérimental, cette thèse étudie l'effet du vieillissement des transistors à base de carbure de silicium utilisés dans les convertisseurs statiques sur les perturbations électromagnétiques générées par ces convertisseurs. La deuxième partie porte sur la modélisation de ces transistors afin d'émuler l'effet de leur vieillissement sur les perturbations électromagnétiques des modules qu'ils composent. Cette dernière étape repose sur une étude de l'évolution des caractéristiques électriques statiques et dynamiques effectuées sur le composant sous test pour extraire les principaux paramètres intrinsèques du transistor de puissance dégradé après les séries de stress appliquées. En effet, ces paramètres intrinsèques dégradés émulent l'effet du vieillissement et sont représentatifs des principaux phénomènes pouvant influencer les convertisseurs de puissance étudiés. De ce fait, le changement de leurs valeurs dans le modèle du dit composant, décrit en VHDL-AMS et implémenté sur le simulateur de type circuit ANSYS SIMLORER, nous permet d'obtenir un modèle d'un tel composant après vieillissement. Cette étape a permis de valider la méthodologie développée pour la simulation des perturbations électromagnétiques conduites d'un composant sain dans un premier temps et d'un composant vieilli dans un second.

Globalement, cette approche de modélisation innovante développée dans ce travail permet d'aider les concepteurs des convertisseurs statiques à prédire les perturbations électromagnétiques conduites avant et après vieillissement sans passer par la mesure et ses points faibles. Ceci apporte des informations complémentaires sur l'évolution des signatures CEM de tels modules durant sa durée de vie et d'estimer donc le risque lié au vieillissement des composants.

Tables de Matière

Résumé.....	2
Tables de Matière.....	3
Table de figures.....	7
Liste de tableaux.....	10
Liste des symboles.....	11
Introduction générale.....	14
1 État de l'art.....	18
1.1 Introduction.....	18
1.2 Les composants de puissance en carbure de silicium.....	19
1.2.1 Recours aux composants à large bande interdite.....	19
1.2.2 Comparaison des propriétés des matériaux à large bande interdite.....	21
1.2.3 Les interrupteurs de puissance en carbure de silicium.....	22
1.2.4 Le choix de la structure de semi-conducteur en carbure de silicium.....	24
1.2.5 Technologie du MOSFET de puissance en SiC.....	25
1.2.6 Modèle du transistor VDMOS de puissance.....	26
1.3 La compatibilité électromagnétique.....	29
1.4 Les tests du vieillissement standards appliqués aux composants de puissance.....	32
1.4.1 Vieillissements sous contraintes thermiques.....	33
1.4.1.1 Cyclages thermiques passifs.....	33
1.4.1.2 Cyclages thermiques actifs.....	34
1.4.1.3 Choc thermiques.....	34
1.4.1.4 Vieillissement par stockage.....	35
1.4.2 Tests de blocage en hautes température (HTRB : High Temperature Reverse Bias)....	35
1.4.3 Tests à température élevée sous polarisation de grille (HTGB : High Temperature Gate Bias)	36
1.4.4 Les contraintes BTS (Bias Temperature Stress).....	37
1.4.5 Les régimes de court-circuit.....	38
1.5 Un état de l'art qui rassemble les trois grands axes de la thèse deux à deux.....	39
1.5.1 La CEM et les composants de puissance à base de carbure de silicium.....	39
1.5.2 La CEM et les tests de vieillissement.....	40
1.5.3 Les tests de vieillissement et les composants de puissance à base de carbure de silicium	42

Tables de matières

1.5.4	Y a-t-il une bibliographie axée sur les trois axes (CEM, SiC et vieillissement) en même temps ?	44
1.6	Objectif et méthodologie de travail	45
1.6.1	Objectif	45
1.6.2	Méthodologie	46
1.7	Conclusion	49
2	Stratégie de fatigue et étude de la caractérisation électrique statique et dynamique des MOSFET en SiC soumis à des régimes extrêmes de fonctionnement	50
2.1	Introduction	50
2.2	Description des bancs de tests de vieillissement et protocole expérimentale	51
2.2.1	Régime court-circuit	52
2.2.1.1	Mise en œuvre du banc de stress et instrumentation utilisée	52
2.2.1.2	Conditions de test	54
2.2.1.3	Suivi des caractérisations électriques et électromagnétiques	56
2.2.2	HTGB	58
2.2.2.1	Mise en œuvre du banc de stress et instrumentation utilisée	59
2.2.2.2	Conditions de test	60
2.2.2.3	Suivi des caractérisations électromagnétiques	61
2.3	Caractéristiques électriques	62
2.3.1	Caractéristiques électriques statiques	63
2.3.1.1	Les formes d'ondes temporelles au cours du vieillissement en régime de court-circuit	63
2.3.1.1.1	Courant de court-circuit I_{ds}	64
2.3.1.1.2	Tension entre la grille et la source V_{gs}	66
2.3.1.2	Tension de seuil V_{th}	68
2.3.1.3	Résistance à l'état passant R_{dson}	73
2.3.1.4	Courant de fuite de grille I_{gss}	75
2.3.1.5	Courant de fuite de drain I_{dss}	77
2.3.2	Caractéristiques électriques dynamiques	79
2.3.2.1	Capacités extrinsèques	81
2.3.2.1.1	Capacité d'entrée C_{iss}	82
2.3.2.1.2	Capacité de sortie C_{oss}	83
2.3.2.1.3	Capacité de Miller C_{rss}	84
2.3.2.2	Capacités intrinsèques	86
2.3.2.2.1	Capacité entre la grille et la source C_{gs}	86
2.3.2.2.2	Capacité entre le drain et la source C_{ds}	88
2.4	Conclusion	89

3	Étude de la caractérisation électromagnétique conduite des MOSFET en SiC soumis à des régimes extrêmes de fonctionnement.....	90
3.1	Introduction.....	90
3.2	Techniques de mesure des grandeurs électriques et perturbations électromagnétiques conduites	91
3.3	Effets du vieillissement sur les signaux de commutation et sur les PEM conduites.....	99
3.3.1	Effets sur les signaux de commutation	99
3.3.1.1	Courant de drain I_{ds}	100
3.3.1.2	Tension entre drain et source	103
3.3.1.3	Tension de commande V_{gs}	107
3.3.2	Effets sur les formes d'ondes de PEM conduites	108
3.3.2.1	Tension VR1 aux bornes de la résistance R1 du RSIL	109
3.3.2.2	Tension VR2 aux bornes de résistance R2 du RSIL	110
3.3.2.3	Tension en mode commun VMC	111
3.3.2.4	Tension en mode différentiel VMD	113
3.3.3	Sur les spectres de PEM conduites.....	114
3.3.3.1	Tension VR1 aux bornes de R1 du RSIL	114
3.3.3.2	Tension VR2 aux bornes de R2 du RSIL	115
3.3.3.3	Tension en mode commun VMC	116
3.3.3.4	Tension en mode différentiel VMD	117
3.4	Interprétations et analyses générales	119
3.5	Conclusion	121
4	Étude de la caractérisation électromagnétique rayonnée des MOSFET en SiC soumis à des régimes extrêmes de fonctionnement.....	122
4.1	Introduction.....	122
4.2	Techniques de mesure des perturbations électromagnétiques rayonnées.....	123
4.3	Effets des vieillissements sur les PEM rayonnées	128
4.3.1	Effets sur les formes d'ondes temporelles	128
4.3.2	Effets sur les spectres de PEM rayonnées.....	132
4.4	Conclusion	135
5	Application : Modélisation et simulation du MOSFET en SiC avec contraintes CEM combinées au vieillissement.....	136
5.1	Introduction.....	136
5.2	Choix du langage de modélisation et de l'outil de simulation	138
5.2.1	Choix du langage de modélisation	139
5.2.2	Choix de simulateur.....	140
5.3	Modélisation du MOSFET SiC et des circuits étudiés	141
5.3.1	Modèle du transistor VDMOS de puissance.....	141

Tables de matières

5.3.1.1	Courant dans le canal	142
5.3.1.2	Résistance à l'état passant	143
5.3.1.3	La diode interne.....	145
5.3.1.4	Capacités intrinsèques et extrinsèques.....	145
5.3.1.5	Eléments parasites externes	147
5.3.2	Modèle du circuit étudié	148
5.3.3	Le parcours des courants de mode commun	153
5.3.4	Le parcours des courants de mode différentiel	155
5.3.5	L'obtention de la forme spectrale	156
5.4	Effet des tests du vieillissement en régimes de court-circuit sur les paramètres intrinsèques de MOSFET SiC.....	157
5.4.1	Paramètres influençant le comportement statique.....	158
5.4.1.1	La tension de seuil V_{th}	158
5.4.1.2	La résistance à l'état passant R_{dson}	158
5.4.1.3	Le paramètre de correction empirique θ	159
5.4.1.4	La transconductance K_p	160
5.4.2	Paramètres influençant le comportement dynamique.....	161
5.4.2.1	La capacité grille-source C_{gs}	162
5.4.2.2	La capacité de l'oxyde C_{oxd}	162
5.4.2.3	Concentration ND de dopage N	163
5.4.2.4	Le potentiel de construction de la jonction drain-source V_{bi}	165
5.5	Effet des tests du vieillissement en régimes de court-circuit sur les PEM conduites	166
5.5.1	Effets sur les formes d'ondes de PEM conduites	166
5.5.1.1	Tension en mode commun VMC	167
5.5.1.2	Tension en mode différentiel VMD	169
5.5.2	Effets sur les spectres de PEM conduites.....	171
5.6	Conclusion	173
Conclusion générale et perspectives.....		175
Références.....		178

Table de figures

<i>Figure 1.1 Une coupe transversale schématique de la structure du modèle physique du VDMOSFET SiC</i>	26
<i>Figure 1.2 Une coupe verticale de la structure interne du modèle physique du transistor VDMOSFET SiC [Bal10] [MHM+04].</i>	27
<i>Figure 1.3 Schéma électrique équivalent du transistor VDMOSFET SiC</i>	28
<i>Figure 1.4 Schéma synoptique général de la méthodologie de travail</i>	47
<i>Figure 2.1 Schéma de principe du banc de test expérimental de vieillissement en régime de court-circuit</i>	53
<i>Figure 2.2 Photo du banc de test expérimental de vieillissement en régime de court-circuit.</i>	53
<i>Figure 2.3 Interface utilisateur du serveur de programme du banc</i>	54
<i>Figure 2.4 Processus de mesure électrique statique et dynamique pour le chapitre 1 et électromagnétique pour les chapitres 3 et 4.</i>	58
<i>Figure 2.5 Schéma de principe du banc de test expérimental de vieillissement HTGB</i>	59
<i>Figure 2.6 Photo du banc de test expérimental de vieillissement HTGB</i>	60
<i>Figure 2.7 Processus de mesure de PEMC et PEMR avant et après les tests HTGB pour les chapitres 3 et 4</i>	62
<i>Figure 2.8 L'évolution de la forme d'onde temporelle du courant de court-circuit I_{ds} avant et après 2000 cycles répétitifs</i>	64
<i>Figure 2.9 L'évolution de la forme d'onde temporelle du courant de court-circuit I_{ds} avant et après 4000 cycles répétitifs</i>	65
<i>Figure 2.10 L'évolution de la forme d'onde temporelle du courant de court-circuit I_{ds} avant et après 5000 cycles répétitifs</i>	65
<i>Figure 2.11 L'évolution de la forme d'onde temporelle de tension V_{gs} avant et après 2000 cycles répétitifs.</i>	66
<i>Figure 2.12 L'évolution de la forme d'onde temporelle de tension V_{gs} avant et après 4000 cycles répétitifs.</i>	67
<i>Figure 2.13 L'évolution de la forme d'onde temporelle de tension V_{gs} avant et après 5000 cycles répétitifs.</i>	67
<i>Figure 2.14 Schéma de principe du banc de mesure de la tension de seuil</i>	69
<i>Figure 2.15 Photo du banc de mesure de la tension de seuil</i>	69
<i>Figure 2.16 Interface utilisateur du serveur de programme du banc</i>	70
<i>Figure 2.17 Les caractéristiques de transfert I_{ds}-V_{gs} du dispositif sous test (composant 4) données par l'interface LabVIEW en fonction de cycles répétitifs.</i>	70
<i>Figure 2.18 L'évolution de la tension de seuil V_{th} en fonction de cycles répétitifs de court-circuit pour les 4 composants.</i>	71
<i>Figure 2.19 L'évolution de ΔV_{th} en pourcentage avec le nombre de cycles répétitifs de court-circuit pour les 4 composants</i>	73
<i>Figure 2.20 Photo du banc de mesure de caractéristique de sortie I_{ds}-V_{ds}.</i>	73
<i>Figure 2.21 L'évolution de la résistance à l'état passant R_{dson} en fonction de cycles répétitifs de court-circuit pour les 4 composants</i>	74
<i>Figure 2.22 Schéma de principe du banc de mesure du courant de fuite de grille I_{gss}</i>	75
<i>Figure 2.23 Photo du banc de mesure du courant de fuite de grille I_{gss} et de drain I_{dss}</i>	76

<i>Figure 2.24 L'évolution du courant de fuite de la grille I_{gss} en fonction de cycles répétitifs de court-circuit pour les 4 composants</i>	77
<i>Figure 2.25 Schéma de principe du banc de mesure du courant de fuite de drain I_{dss}</i>	78
<i>Figure 2.26 L'évolution du courant de fuite du drain I_{dss} en fonction de cycles répétitifs de court-circuit pour les 4 composants</i>	79
<i>Figure 2.27 Schéma de principe de montage de mesure des capacités intrinsèques et extrinsèques de MOSFET SiC</i>	80
<i>Figure 2.28 Photo du banc de mesure des capacités intrinsèques et extrinsèques de MOSFET SiC</i> ...	81
<i>Figure 2.29 Schéma de principe du banc de mesure des capacités extrinsèques (somme de capacités entre deux contacts)</i>	81
<i>Figure 2.30 Evolution de la capacité d'entrée C_{iss} en fonction de V_{ds} et cycles répétitifs de court-circuit</i>	82
<i>Figure 2.31 Evolution de la capacité de sortie C_{oss} en fonction de V_{ds} et cycles répétitifs de court-circuit</i>	83
<i>Figure 2.32 Evolution de la capacité de Miller $C_{rss}=C_{gd}$ en fonction de $V_{ds}=V_{dg}$ et cycles répétitifs de court-circuit</i>	84
<i>Figure 2.33 Schéma de principe du banc de mesure des capacités intrinsèques (utilisation d'une masse virtuelle)</i>	86
<i>Figure 2.34 Evolution de la capacité entre la grille et la source C_{gs} en fonction de V_{gs} et cycles répétitifs de court-circuit</i>	87
<i>Figure 2.35 Evolution de la capacité entre le drain et la source C_{ds} en fonction de V_{ds} et cycles répétitifs de court-circuit</i>	88
<i>Figure 3.1 Circuit de commande pour le transistor SIC_MOSFET_1</i>	92
<i>Figure 3.2 Schéma électrique équivalent d'un RSIL entre la source d'alimentation et la source de PEM conduites</i>	94
<i>Figure 3.3 Schéma électrique du hacheur série</i>	95
<i>Figure 3.4 Schéma électrique du hacheur parallèle</i>	95
<i>Figure 3.5 Schéma de principe du banc expérimental de mesure des signaux de commutation et des PEM conduites avant et après les tests de vieillissement en régime de court-circuit et HTGB</i>	96
<i>Figure 3.6 Photo du banc expérimental de mesure de signaux de commutation et des PEM conduites avant et après les tests de vieillissement en régime de court-circuit et HTGB</i>	97
<i>Figure 3.7 Processus de mesure des PEM avant et après les tests de vieillissement</i>	98
<i>Figure 3.8 Evolution de la forme d'onde temporelle de I_{ds} avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	100
<i>Figure 3.9 Evolution des séquences di/dt à l'état bloqué et à l'état passant avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	103
<i>Figure 3.10 Evolution de la forme d'onde temporelle de V_{ds} avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	104
<i>Figure 3.11 Evolution des séquences dv/dt à l'état bloqué et à l'état passant avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	106
<i>Figure 3.12 Evolution de la forme d'onde temporelle de V_{gs} avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	107
<i>Figure 3.13 Schéma électrique de circuit de commande</i>	108
<i>Figure 3.14 Evolution de la forme d'onde temporelle de $VR1$ avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	109
<i>Figure 3.15 Evolution de la forme d'onde temporelle de $VR2$ avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur parallèle avec une charge inductive</i>	110

<i>Figure 3.16 Evolution de la forme d'onde temporelle de VMC avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	112
<i>Figure 3.17 Evolution de la forme d'onde temporelle de VMD avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	113
<i>Figure 3.18 Evolution de la forme spectrale de VR1 avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	114
<i>Figure 3.19 Evolution de la forme spectrale de VR2 avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur parallèle avec une charge inductive</i>	116
<i>Figure 3.20 Evolution de la forme spectrale de VMC avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	117
<i>Figure 3.21 Evolution de la forme spectrale de VMD avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	118
<i>Figure 4.1 Sondes magnétiques de mesure des composantes tangentielles Hx et Hy (à gauche) et de la composante normale Hz (à droite).....</i>	124
<i>Figure 4.2 Schéma de principe du banc expérimental de mesure de PEM rayonnées avant et après les tests de vieillissement en régime de court-circuit et HTGB</i>	126
<i>Figure 4.3 Photo du banc expérimental de mesure des PEM rayonnées avant et après les tests de vieillissement en régime de court-circuit et HTGB</i>	127
<i>Figure 4.4 Evolution de la forme d'onde temporelle de VHx avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	129
<i>Figure 4.5 Evolution de la forme d'onde temporelle de VHy avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	130
<i>Figure 4.6 Evolution de la forme d'onde temporelle de VHz avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	131
<i>Figure 4.7 Evolution de la forme spectrale de Hx avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	133
<i>Figure 4.8 Evolution de la forme spectrale de Hy avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	133
<i>Figure 4.9 Evolution de la forme spectrale de Hz avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive</i>	133
<i>Figure 5.1 Schéma électrique du hacheur série avec une représentation de RSIL entre le réseau d'alimentation et la cellule de commutation</i>	150
<i>Figure 5.2 Schéma électrique du hacheur parallèle avec une représentation de RSIL entre le réseau d'alimentation et la cellule de commutation</i>	151
<i>Figure 5.3 Schéma électrique du hacheur série avec une représentation des éléments parasites pris en compte dans la simulation</i>	152
<i>Figure 5.4 Schéma électrique du hacheur parallèle avec une représentation des éléments parasites pris en compte dans la simulation</i>	153
<i>Figure 5.5 Illustration de la boucle de mode commun dans le circuit hacheur série</i>	154
<i>Figure 5.6 Illustration de la boucle de mode différentiel dans le circuit hacheur série</i>	155
<i>Figure 5.7 Evolution de la forme d'onde temporelle de VMC avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	168
<i>Figure 5.8 Evolution de la forme d'onde temporelle de VMD avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	170
<i>Figure 5.9 Evolution de la forme spectrale de VMC avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive</i>	172
<i>Figure 5.10 Evolution de la forme spectrale de VMD avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive.....</i>	172

Liste de tableaux

<i>Tableau 1.1 Comparatif des propriétés physiques des matériaux semi-conducteurs pour les composants de puissance en technologie « grand gap » [OT04] [Nal15].....</i>	<i>22</i>
<i>Tableau 1.2 Description du cahier de charges</i>	<i>48</i>
<i>Tableau 2.1 Récapitulatif de diverses conditions de test de vieillissement en régime de court-circuit</i>	<i>56</i>
<i>Tableau 2.2 Récapitulatif de diverses conditions de test de vieillissement en régime de court-circuit</i>	<i>61</i>
<i>Tableau 2.3 Evolution de V_{th} (valeur) et ΔV_{th} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit du composant 4.....</i>	<i>72</i>
<i>Tableau 2.4 Evolution de C_{iss} (valeur) et ΔC_{iss} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{ds} égale à 0V et 60V</i>	<i>82</i>
<i>Tableau 2.5 Evolution de C_{oss} (valeur) et ΔC_{oss} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{ds} égale à 0V et 60V</i>	<i>83</i>
<i>Tableau 2.6 Evolution de C_{rss} (valeur) et ΔC_{rss} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{ds} égale à 0V et 60V</i>	<i>85</i>
<i>Tableau 2.7 Evolution de C_{gs} (valeur) et ΔC_{gs} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{gs} égale à 0V et 20V</i>	<i>87</i>
<i>Tableau 2.8 Evolution de C_{ds} (valeur) et ΔC_{ds} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{ds} égale à 0V et 60V</i>	<i>88</i>
<i>Tableau 4.1 Evolution des amplitudes des oscillations des tensions V_{Hx}, V_{Hy} et V_{Hz} après 5000 cycles de court-circuit lors de l'ouverture et la fermeture</i>	<i>132</i>
<i>Tableau 4.2 Evolution des amplitudes des raies principales dans les spectres des composantes H_x, H_y et H_z du champ magnétique après 5000 cycles de court-circuit</i>	<i>134</i>
<i>Tableau 5.1 Evolution de V_{th} en fonction du nombre de cycles répétitifs de court-circuit (composant 4)</i>	<i>158</i>
<i>Tableau 5.2 Evolution de R_{dson} en fonction du nombre de cycles répétitifs de court-circuit (composant 4).....</i>	<i>159</i>
<i>Tableau 5.3 Evolution de θ en fonction du nombre de cycles répétitifs de court-circuit (composant 4)</i>	<i>160</i>
<i>Tableau 5.4 Evolution de K_p en fonction du nombre de cycles répétitifs de court-circuit (composant 4)</i>	<i>161</i>
<i>Tableau 5.5 Evolution de C_{gs} en fonction du nombre de cycles répétitifs de court-circuit (composant 4).....</i>	<i>162</i>
<i>Tableau 5.6 Evolution de C_{oxd} en fonction du nombre de cycles répétitifs de court-circuit (composant 4).....</i>	<i>162</i>
<i>Tableau 5.7 Evolution de ϵ_{sic} en fonction du nombre de cycles répétitifs de court-circuit (composant 4).....</i>	<i>164</i>
<i>Tableau 5.8 Evolution de ND en fonction du nombre de cycles répétitifs de court-circuit (composant 4)</i>	<i>164</i>
<i>Tableau 5.9 Evolution de ND en fonction du nombre de cycles répétitifs de court-circuit (composant 4)</i>	<i>165</i>
<i>Tableau 5.10 Mesures et simulations de l'évolution de VMC d'un composant neuf et vieillis</i>	<i>169</i>
<i>Tableau 5.11 Mesures et simulations de l'évolution de VMD d'un composant neuf et vieillis</i>	<i>171</i>

Liste des symboles

Ads	surface équivalente de l'espace entre le drain et la source
Agd	surface équivalente de l'espace entre le drain et la grille
a	largeur de la zone du JFET parasite
BTS	Bias Temperature Stress
C	diamant
Cds	capacité entre le drain et la source
CEM	compatibilité électromagnétique
Cgs	capacité entre la grille et la source
Cgd	capacité entre la grille et le drain
Ciss	capacité d'entrée
Cm	capacité entre la grille et la métallisation de la source
Coss	capacité de sortie
Coxd	capacité d'oxyde
Coss	capacité entre la grille et la région N ⁺ de la source
Crss	capacité de Miller
Ec	énergie critique
FFT	Transformé de Fourier Rapide
GaN	nitride de gallium
GaAs	arséniure de gallium
HTGB	High Temperature Gate Bias
HTRB	High Temperature Reverse Bias
Ids	courant du drain
Idss	courant de fuite du drain
IGBT	Insulated Gate Bipolar Transistor
Igss	courant de fuite de grille
Is	courant de saturation
JBS	Junction Barrier Schottky
Kf	facteur de correction de la transconductance Kp

K_p	transconductance
LCH	longueur du canal,
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
Ncell	nombre de cellules mises en parallèle
ND	concentration de dopage
PEM	perturbations électromagnétiques
P_{vf}	facteur de correction de la tension de pincement $V_{pincement}$
Racc	résistance de la couche d'accumulation
RCH	résistance de la zone active du canal d'inversion
Rd	résistance contact de drain
RDrift	résistance de la région de drift
Rdson	résistance à l'état passant
Rg	résistance de contact de grille
RJFET	résistance de la région de drift entre les deux caissons P
RN+	résistance de diffusion de la couche N+ de la source
Rs	résistance contact de source
RS	résistance série du substrat
RSIL	Réseau stabilisé impédance de ligne
Sactive	surface active de la puce
Si	silicium
SiC	carbure du silicium
SOA	Safe Operating Area
t	épaisseur maximale de la région de drift
Tamb	Température ambiante
Tcritique	durée critique de court-circuit
tD	profondeur de la zone de drift
Tpulse	durée de court-circuit à l'état passant
T _{SOA}	durée de Safe Operating Area
Ut	tension thermodynamique
Vbi	potentiel de construction de la jonction drain-source
VBR	tension de claquage

VDMOS	vertical double diffused MOSFET
Vds	tension entre le drain et la source
Vgs	tension entre la grille et la source
VHDL-AMS	VHSIC (very-high-speed integrated circuits) hardware description language-analog and mixed-signal
VMC	tension de mode commun
VMD	tension de mode différentiel
VR1	tension aux bornes de résistance R1 de RSIL
VR2	tension aux bornes de résistance R2 de RSIL
Vth	tension de seuil
Wcell	largeur de la cellule
Wdsj	largeur de la zone de désertion entre le drain et la source
Wgdj	largeur de la zone de charge d'espace sous la grille
Zcell	longueur de la cellule
ΔV	Variation de la valeur
ϵ_{sic}	permittivité du SiC
θ	paramètre de correction empirique
μ_{inv}	mobilité surfacique des électrons
ρ_D	résistivité de la zone de drift
ρ	résistivité du métal du drain, de source ou de grille

Introduction générale

Depuis plus d'un demi-siècle, l'électronique de puissance fit son apparition, ce qui a contribué à l'émergence des moyens de transport modernes (voiture, avion, train, ...) et à leur développement croissant. Aujourd'hui, le monde de l'électronique de puissance continue à connaître des progrès et développements considérables afin de proposer des systèmes les plus performants possibles en termes de rendement et d'encombrement au regard des puissances mises en jeu. En effet, la demande en électronique de puissance est toujours en constante augmentation. Dans le domaine du transport par exemple (automobile, ferroviaire, aéronautique et spatial...), l'intégration des systèmes de puissance de plus en plus compactes est rendue possible grâce à l'utilisation de nouvelles technologies de composants.

Pour des besoins de rentabilité et de disponibilité pendant leurs vies opérationnelles, les composants de puissance sont appelés à être fortement intégrés tout en restant fiables aux limites de leurs capacités de fonctionnement. D'autre part, ces composants sont souvent soumis à des environnements thermiques et électriques sévères. Ces environnements peuvent altérer profondément les propriétés des semi-conducteurs les constituant, voire même les détruire. La maîtrise de leur fiabilité devient alors incontournable et prépondérante. De nombreuses études sont menées, par les industriels et les laboratoires de recherche, pour analyser les mécanismes de défaillance inhérents à ces composants afin de pouvoir analyser leur processus de vieillissement et donc adopté les stratégies adéquates pour une meilleure sûreté de fonctionnement.

Pour introduire des dispositifs d'électroniques de puissances embarqués dans le domaine du transport, il faut respecter les fortes exigences liées à la compacité et aux fortes densités de puissances résultantes. Pour des fonctionnements à hautes températures pouvant excéder 200°C par exemple, il est impératif d'avoir recours à des solutions de dissipations thermiques encombrantes et sophistiquées afin d'assurer le maintien de la température de jonction des semi-conducteurs en dessous des valeurs critiques.

Parmi les solutions proposées pour réaliser des sauts technologiques dans ce domaine, il est évoqué le remplacement des semi-conducteurs usuellement utilisés et qui sont à base de Silicium par des semi-conducteurs « grand gap » avec de meilleures capacités de dissipations thermiques.

Les transistors à base de carbure de silicium SiC, objet de nos travaux, se distinguent dans les applications de puissance par une meilleure tenue en hautes températures, par une plus grande tension de claquage et enfin par leur bonne vitesse de commutation. Par ailleurs, il est important de rappeler que lors de sa mise sur le marché, tout système électrique ou dispositif électronique doit être conforme à des normes spécifiques de compatibilité électromagnétique (CEM). Pour garantir leur bon fonctionnement tout le long de leur durée de vie, ces exigences en matière de CEM doivent rester conformes aux performances initiales même après vieillissement des composants constitutifs du système.

Dans le cadre de leurs travaux dans le domaine de la fiabilité et la CEM des convertisseurs statiques, les laboratoires LATIS et IRSEEM sont particulièrement intéressés par l'approfondissement des études sur la CEM des modules de puissance à base de SiC. C'est la raison pour laquelle cette thèse a été initiée par ces deux laboratoires en Tunisie et en France. Ces travaux de thèse s'inscrivent dans le cadre d'une étude de potentialité des composants MOSFET SiC disponibles sur le marché. L'étude permet de comparer les principales performances électromagnétiques de ces interrupteurs avant et après des tests de vieillissement accélérés lors de leur intégration dans les systèmes d'alimentation ou de conversion d'énergie. Ces derniers représentent la source de perturbations électromagnétiques la plus importante dans les convertisseurs.

L'objectif de ce travail est l'étude de l'impact du vieillissement de composants de puissance MOSFET en technologie SiC sur les perturbations électromagnétiques conduites et rayonnées générées par les convertisseurs de puissance statiques DC-DC tel que le hacheur série et le hacheur parallèle. En effet, plusieurs travaux sur le vieillissement des composants de puissance ont montré que certains paramètres des composants se dégradent après un vieillissement qui traduit les effets d'un fonctionnement sous contraintes thermiques ou électriques. La dérive de ces paramètres entraîne des variations importantes au niveau des performances électriques statiques et dynamiques du composant. Ce qui influe d'une manière considérable sur le fonctionnement du système et peut dans certains cas mettre en péril sa fiabilité et provoque une défaillance partielle ou une panne totale.

Dans ce contexte, mes travaux de thèse seront présentés dans ce rapport qui s'articule autour de cinq chapitres :

Le premier chapitre aborde l'état de l'art, les enjeux et le contexte de cette étude. Il introduit les différentes contraintes et tests de vieillissement accélérés. Il se focalise ensuite sur le carbure de silicium et met en avant les avantages de ce matériau qui le rendent adapté pour

répondre aux exigences sévères subies par l'électronique de puissance. Pour finir, nous rappelons dans ce chapitre des notions sur la compatibilité électromagnétique en mettant en avant l'objectif et la méthodologie suivie dans ce travail.

Afin de comprendre les origines des perturbations électromagnétiques PEM et leurs évolutions au cours des stress appliqués sur les MOSFET SiC, le deuxième chapitre décrit les stratégies de fatigue et les véhicules de test utilisés dans le cadre de notre étude. De plus, il présente la méthodologie de caractérisation macroscopique avant et après l'application de stress. En effet, d'une part, nous présentons les formes d'ondes temporelles de différentes grandeurs électriques du MOSFET SiC au cours du vieillissement et l'évolution des différents paramètres intrinsèques avant et après vieillissement. D'autre part, nous abordons la caractérisation dynamique à travers la mesure de capacités intrinsèques et extrinsèques de ce composant avant et après stress.

Le troisième chapitre présente les investigations CEM avant et après les tests de vieillissement réalisés sur nos véhicules de test définis dans le chapitre 2. Les résultats que nous détaillons dans ce chapitre concernent l'évolution des niveaux de perturbations électromagnétiques conduites suivis pendant les tests de vieillissement. En préambule de cette analyse, nous exposons les techniques de mesure de perturbations électromagnétiques conduites en mode commun et en mode différentiel et les bancs de mesure utilisés. Nous montrons ensuite l'effet du vieillissement sur les signaux temporels de commutation et sur les ondes et les spectres de tensions images des émissions conduites. Nous exposons les résultats obtenus pour deux convertisseurs statiques avec deux types de charges.

A l'instar des perturbations électromagnétiques conduites, dans le chapitre 4 nous abordons l'effet de tests de vieillissement sur les niveaux de perturbations électromagnétiques rayonnées. Ainsi, dans un premier temps nous détaillons la stratégie de mesure des perturbations électromagnétiques rayonnées tout en décrivant les différentes maquettes expérimentales utilisées pour les mesures de ces paramètres. Dans un deuxième temps, nous présentons les caractérisations électromagnétiques rayonnées en analysant l'évolution de différentes formes d'ondes temporelles de tensions images d'émissions rayonnées et formes spectrales de champs magnétiques de composantes normale et tangentielle associées.

Le cinquième et dernier chapitre de ce mémoire est axé sur la modélisation compacte des composants semi-conducteurs à base de carbure du silicium. En effet, cette partie du manuscrit est consacrée à la modélisation électrique précise du transistor MOSFET vertical à double diffusion (VMOSFET) 4H-SiC fabriqué chez CREE de référence CMF20120D. Le but est de

développer un modèle apte de décrire avec précision le comportement statique et dynamique des transistors MOSFET de puissance en prenant en considération les spécificités du matériau carbure du silicium et l'évolution des paramètres électriques et physiques sous l'influence des contraintes critiques appliquées aux composants. Pour cela ce chapitre se scinde en trois parties. La première partie est consacrée au choix du langage de modélisation pour le développement de ce modèle et le simulateur dans lequel il est implémenté. La deuxième partie présente le modèle analytique développé en VHDL-AMS et implémenté dans un simulateur de type circuit ANSYS Simplorer. La troisième partie aborde quant à elle les résultats de simulations réalisées sous Simplorer avant et après les tests de vieillissement accéléré.

Chapitre 1

1 État de l'art

1.1 Introduction

Dès les années 1950, l'électronique de puissance a vu une évolution autour des semi-conducteurs en silicium. Actuellement, le matériau silicium est énormément utilisé pour la fabrication des composants de puissance avec une production industrielle maîtrisée depuis plusieurs décennies [All06]. Ce matériau dit à petite bande interdite « bandgap » de 1,1 eV et eu égard à sa conductivité thermique, reste suffisant pour réaliser des composants fonctionnant à des températures maximales de l'ordre de 175°C. D'ailleurs, dans [Won99], l'auteur a montré que les températures de jonction des composants à semi-conducteur en silicium ne peuvent pas dépasser les 175°C. L'industrie des semi-conducteurs s'est focalisée depuis quelques années sur des nouveaux matériaux appelés « grand gap » comme le nitrure de gallium et le carbure de silicium. Ces nouveaux matériaux ont permis d'améliorer les performances des convertisseurs de puissance aux niveaux du rendement, des fréquences de fonctionnement, des vitesses de commutation, de leur tenue en tension et enfin de conductivité thermique [MGP+14].

L'étude de ces nouvelles technologies est d'un grand intérêt pour les deux laboratoires de recherche IRSEEM et LATIS, partenaires de mon projet de thèse. La problématique que ces deux laboratoires ont souhaité étudier est liée à l'évolution de la CEM des convertisseurs de puissance à base de composants « grand gap » en fonction du vieillissement de ces technologies. En effet, ces nouvelles filières ne procurent pas aujourd'hui beaucoup de garanties d'un point de vue fiabilité lors de leur utilisation dans des applications de puissance où les contraintes sont critiques. Dans cette optique, il est important de bien comprendre les effets des dégradations, qui interviennent lors du fonctionnement de ces composants, sur la compatibilité électromagnétique pour trouver des nouveaux indicateurs de défaillance liés à ces aspects.

Le titre de ma thèse est l'effet du vieillissement par fatigue électrothermique sur la compatibilité électromagnétique des composants de puissance à base de carbure de silicium. On constate que le sujet porte principalement sur trois grands axes ; les tests de vieillissement,

la compatibilité électromagnétique et les composants de puissance à base de carbure de silicium. Pour cela, l'état de l'art de ce manuscrit se structure autour de ces trois grandes parties.

1.2 Les composants de puissance en carbure de silicium

1.2.1 Recours aux composants à large bande interdite

Les systèmes électroniques ont subi beaucoup de bouleversements technologiques qui permettent d'adapter leur utilisation aux contraintes environnementales et fonctionnelles. Dans les années 1970, les équipements électroniques de puissance ont connu un progrès révolutionnaire des composants de puissance à base de silicium. Dans les années 1980-1990, l'introduction des IGBT et des MOSFET de puissance s'est traduite par une conception de systèmes de plus en plus compacts avec un rendement élevé. Cependant, malgré les fortes innovations passées, aujourd'hui les performances des composants silicium ont atteint leurs limites. D'ailleurs, les applications sous contraintes sévères utilisant des composants de puissance en silicium sont limitées à des convertisseurs de faibles puissances pour éviter le phénomène de l'emballage thermique.

Un saut technologique est incontournable pour pouvoir répondre aux nouvelles exigences dans les domaines du transport (aéronautique, ferroviaire et automobile) et d'une manière générale dans les applications de conversion d'énergie électrique. Pour cela et dans le but d'éviter les problèmes rencontrés par les composants en silicium, la communauté scientifique s'est dirigée depuis quelques années vers de nouvelles technologies à large bande interdite appelées aussi « grand gap » telles que le nitrure de gallium et le carbure de silicium.

Avec l'évolution technologique dans la fabrication de ces composants, la tenue en tension, la vitesse de commutation, la résistance à l'état passant ainsi que la tenue en température ont été les paramètres les plus significativement améliorés par rapport aux composants en silicium. De ce fait, l'intégration de ces composants dans les systèmes embarqués, montre un réel impact sur les performances de l'ensemble du système aux niveaux de la densité de puissance, du rendement, du poids et du coût.

Le fait que les composants à large bande interdite, pouvant fonctionner bien au-delà de la température de fonctionnement du silicium, permet de réduire les éléments de refroidissement

et du coup, une réduction significative au niveau du volume, masse et taille des systèmes embarqués.

La faculté à fonctionner avec une tenue diélectrique importante permet aux composants à large bande interdite d'avoir une épaisseur plus faible et une zone de tenue en tension plus fortement dopée que celle des composants en Si. Ceci permet de diminuer la résistance à l'état passant et par conséquent, ces matériaux deviennent en mesure de réduire les pertes à l'état passant et d'où les pertes par conduction.

Les nouvelles technologies à large bande interdite permettent de placer l'électronique là où elle n'avait jamais été. Ainsi, elles représentent un nouvel engouement des industries pour la fabrication des systèmes adaptés à des contraintes sévères. On peut citer quelques exemples d'applications ciblées par ces systèmes :

- Etant un environnement contraignant, le domaine de l'aéronautique se voit fixer des enjeux d'électrifications majeures [LZ07]. En effet, le progrès du trafic aérien est en augmentation constante [Del11]. En 2004, la puissance électrique embarquée à bord des avions a vu une multiplication par un facteur de 15 avec environ 40kW pour l'avion caravelle et presque 600kW pour l'avion A380 [LFR+05]. En effet, les systèmes hydrauliques et pneumatiques utilisés dans les avions sont en train d'être remplacés par des systèmes plus électriques [Ber08]. Ce remplacement permet de pallier à certains verrous énergétiques majeurs, mais, en contrepartie, l'électronique de puissance va se retrouver confrontée à des contraintes environnementales critiques provenant soit d'une variation de la température ambiante au sol ou en altitude à côté des réacteurs, soit d'un auto-échauffement lors du fonctionnement. Pendant un vol d'avion classique, la température près des réacteurs peut varier de -55°C à 250°C et l'avion doit pouvoir voler, sous des contraintes sévères, 50 000 heures en toute sécurité. Dans ce contexte particulier, la technologie à large bande interdite semble répondre intrinsèquement à toutes ces contraintes.
- Dans le domaine automobile, aujourd'hui, on compte plus d'un milliard de voitures à travers le monde [Pél10]. Avec l'augmentation de la puissance électrique, l'électronique de puissance embarquée à bord fonctionne parfois sous des contraintes thermiques sévères. En plus, les composants semi-conducteurs peuvent être soumis à des cyclages actifs pouvant atteindre 200°C [Dup06]. Il s'avère que la technologie à large bande interdite est un bon candidat pour confronter ces contraintes.

- Le secteur de la prospection pétrolière est un autre exemple d'applications qui exige des composants de puissance fonctionnant sous des conditions critiques et qui pourraient faire appel à des composants « grand gap ».

Il est important de rappeler que faire fonctionner un composant Si à haute température, pendant un laps de temps, est toujours physiquement possible [XLW+13]. Mais les objectifs de recherche visent des solutions autorisant un fonctionnement sous des contraintes critiques sur de longues durées.

1.2.2 Comparaison des propriétés des matériaux à large bande interdite

Le *Tableau 1.1* présente succinctement les principales propriétés physiques des semi-conducteurs dans lequel nous comparons les matériaux semi-conducteurs conventionnels (le silicium Si et l'arséniure de gallium GaAs) avec les matériaux semi-conducteurs à large bande interdite tels que les trois polytypes de carbure de silicium (4H-SiC, 6H-SiC et 3C-SiC) ainsi que le nitrure de gallium GaN et le diamant C [OT04] [Nal15].

Sur le tableau ci-dessous, on peut constater que le diamant est le matériau qui affiche les meilleures performances physiques électriques et thermiques. Il est considéré comme le semi-conducteur idéal, par contre, à l'heure actuelle, c'est un matériau qui n'est qu'au stade de développement et il est impossible de le trouver des composants industrialisés. Il reste donc encore non exploité pour la fabrication de composants électroniques vu la difficulté de son élaboration et son prix.

Concernant les composants commercialisés en GaN, aujourd'hui, ils possèdent une tenue en tension assez importante de l'ordre de 800V [Fon12] [Stu14]. Jusqu'à présent, presque tous les efforts sur les composants GaN ont été concentrés sur les composants latéraux car il est extrêmement difficile d'obtenir de substrat en GaN de bonne qualité. Par contre, pour nos applications visées, on a besoin des composants avec des structures verticales car d'une part ces dernières conduisent à des puces de taille plus petite et d'autre part, les pertes de puissance sont plus faibles. De plus, le GaN reste pénalisé par sa faible conductivité thermique.

Tableau 1.1 Comparatif des propriétés physiques des matériaux semi-conducteurs pour les composants de puissance en technologie « grand gap » [OT04] [Nal15]

	Si	GaAs	4H-SiC	6H-SiC	3C-SiC	GaN	C
Bande interdite Eg (eV)	1,12	1,4	3,2	2,9	2,3	3,39	5,6
Mobilité des électrons μ_N ($\text{cm}^2/\text{V.s}$)	1450	8500	950	415	1000	1000	2200
Mobilité des trous μ_P ($\text{cm}^2/\text{V.s}$)	450	400	115	90	45	350	1800
Vitesse de saturation Vsat (cm/s)	10^7	2.10^7	2.10^7	2.10^7	$2,5.10^7$	2.10^7	3.10^7
Champ électrique critique Ec(V/cm)	3.10^5	4.10^5	3.10^6	$2,5.10^6$	2.10^6	5.10^6	$5,6.10^7$
Conductivité thermique $\lambda(\text{W/cm.K})$	1,3	0,54	5	5	5	1,3	20
Permittivité ϵ_r (F/m)	11	12	10	9,7	9,6	8,9	5,7

Les semi-conducteurs en carbure de silicium présentent alors les propriétés intrinsèques les plus pertinentes ainsi que l'état de maturité technologique le plus avancé pour répondre aux besoins de beaucoup d'industries. Pour cela nous nous sommes concentrés pour mener cette thèse à étudier exclusivement les composants de puissance en carbure de silicium.

1.2.3 Les interrupteurs de puissance en carbure de silicium

Après plus de trente ans de développement, le matériau SiC semble présente le meilleure potentiel pour remplacer le Si comme technologie de transistor dominante en raison de ses qualités supérieures [OT04] [JRA08] :

* Le champ électrique critique des composants en SiC est environ 10 fois supérieur à celui du silicium, ce qui permet le développement d'une structure plus fine à la tension de claquage, et du coup, réduit la résistance à la l'état passant du canal [Cal08].

* Les composants en SiC possèdent une conductivité thermique de 2,8 fois plus élevée que celle du Si, fournissant une densité de courant beaucoup plus élevée à une température de jonction donnée.

* Avec une bande interdite d'environ 3 fois plus large que le Si, les dispositifs en SiC présentent également un courant de fuite significativement plus faible à haute température.

Bien que les avantages du matériau SiC aient été reconnus depuis les années 1980, la technologie était encore immature ce qui a limité son introduction sur le marché du composant de puissance. En 2004, la première commercialisation réussie de diodes JBS (SiC Junction Barrier Schottky) et de modules de puissance de commutation (1200V, 80mW SiC MOSFET de CREE) a été constatée [Das11].

Au cours des dernières années, les dispositifs SiC ont été soumis à des recherches approfondies dans le but d'exploiter les propriétés ci-dessus. Par exemple, dans [KWR+09] [Fun07], des efficacités de convertisseur très élevées ont été rapportées dans des conditions de haute température et de basse fréquence de commutation. Une étude comparative dans [Gla11] montre que les pertes de MOSFET SiC peuvent être réduites d'un facteur allant de deux à cinq, par rapport aux MOSFET Si. Les performances de commutation des composants SiC à enrichissement, fonctionnant avec des fréquences de commutation élevées et des pertes plus faibles, entraînent une augmentation de la densité de puissance par réduction de la taille des dissipateurs thermiques [JPF11]. GUEDON dans [GSM+13] a mené une étude comparative entre un hacheur parallèle conçu à base des transistors en SiC d'un côté et à base des CoolMOS en Si d'autre côté. Il a montré que le convertisseur avec les transistors en SiC présente toujours les meilleures performances avec un fonctionnement au-delà de 96% de rendement pour des puissances de 1kW et à des températures de jonction aux alentours de 100°C.

Aujourd'hui la filière carbure de silicium en électronique de puissance est en plein essor. Des transistors en SiC sont de plus en plus disponibles dans le marché pour des applications telles que la conversion de l'énergie électrique. Plusieurs générations ont vu le jour et présentent des améliorations au niveau des performances sans cesse. Les semi-conducteurs en SiC sont devenus les plus sérieux candidats « grand gap » pour se substituer aux conventionnels MOSFETs et IGBTs.

Dans les applications de forte puissance, grâce à son fort champ critique, les semi-conducteurs en carbure de silicium peuvent remplacer ceux en silicium et permettent de réaliser des composants unipolaires avec des régions de drift de faibles épaisseurs. Ce qui se traduit par

une réduction de la résistance à l'état passant et d'où une diminution significative des pertes par conduction.

Pour les applications de haute fréquence, la supériorité des semi-conducteurs SiC est issue de leur vitesse de saturation importante et aussi de leur surface active réduite menant à des capacités de jonction plus faibles. D'où une diminution significative des pertes par commutation.

Les composants en SiC se caractérisent aussi par leur potentiel à bloquer les fortes tensions avec des faibles niveaux des courants de fuite, par leur faculté à faire circuler un fort courant en minimisant la chute de tension, par leur capacité à commuter entre l'état passant et bloqué d'une manière très rapide avec le moins de pertes possibles.

De plus, les propriétés intrinsèques de matériau SiC sont les plus pertinentes ce qui se traduit par un état de maturité technologique plus avancé pour répondre au besoin des applications d'électronique de puissance de hautes tensions (supérieures à 600V), de hautes températures (supérieures à 175°C) et de hautes fréquences dans des conditions critiques avec des longues durées de fonctionnement.

1.2.4 Le choix de la structure de semi-conducteur en carbure de silicium

Actuellement, plusieurs structures de composants de puissance dans la filière carbure de silicium ont été réalisées. Elles sont classées selon le type de porteur rentrant en jeu dans la conduction. Il existe deux types de composants : les composants unipolaires faisant appel à un seul type de porteur comme les MOSFET et les JFET et les composants bipolaires faisant appel à deux types de porteurs tels que les diodes à barrière de Schottky (SBD), les diodes JBS (Junction Barrier Schottky) et les transistors BJT.

Les conditions d'utilisation définissent quelle sera la structure idéale. En effet, chaque composant présente des avantages pour une application visée. Cependant, l'évolution du marché reste difficile à prévoir avec des fournisseurs de transistors de plus en plus nombreux.

Le MOSFET est un composant unipolaire de type normalement bloqué ce qui le rend facile à utiliser. Il utilise un oxyde comme isolant, il est commandé selon la polarisation de sa jonction grille-source qui lui permet de commuter de l'état bloqué à l'état passant. Quand il n'y a pas de tension appliquée à la grille, la surface de type P joue le rôle d'un isolant en évitant toute circulation de courant entre le drain et la source. En revanche, si une tension entre la grille

et la source est appliquée et qu'elle est suffisamment grande (supérieure à la tension de seuil V_{th}), la surface de type P va voir un canal de conduction de type N formé à proximité de l'oxyde de grille sous l'effet du champ électrique appliqué à la grille. Ce canal va relier électriquement le drain et la source.

Les premiers MOSFETs développés étaient de type latéral mais rapidement remplacés par des structures verticales dans le but d'améliorer la tenue en tension et permettre le passage d'une gamme de courant plus grande ainsi que l'avantage d'une forte intégration avec une faible résistance à l'état passant [BSW+11]. Pour nos applications visées, on a besoin des MOSFETs avec des structures verticales. Parmi les structures verticales disponibles actuellement on note la structure VMOS, la structure DMOS et la structure UMOS.

L'intérêt du MOSFET SiC est souvent affecté par des problèmes liés à la qualité médiocre de l'interface oxyde de grille/semi-conducteur issus de la faible valeur de la barrière entre la bande de conduction du SiC et la bande de conduction de l'oxyde [Kri05]. Ces problématiques mènent à une mobilité des porteurs très faible dans le canal d'inversion ce qui augmente la résistance à l'état passant, fragilise d'avantage la grille et du coup réduit sa fiabilité. Elles ont été traitées notamment au centre de recherche de Barcelone CNM, portant généralement sur l'orientation cristalline du matériau [FMB+14] en accentuant les valeurs de mobilité du canal d'inversion par l'intermédiaire des techniques de nitridation par NO et N₂O [CCG+09].

Malgré ses limites, le MOSFET SiC offre d'excellentes performances notamment celui de la gamme 1200V déjà commercialisée par CREE et il semble être promis à un bel avenir si toutefois, il présente de bons résultats aux tests de fiabilité dans des environnements extrêmement contraignants.

1.2.5 Technologie du MOSFET de puissance en SiC

Le transistor MOSFET admet deux types de structures ; latérale ou verticale [But04] :

- ✚ Dans la structure latérale, le drain, la grille et la source se trouvent sur la même face de silicium (face supérieure). Cette structure se caractérise par sa facilité d'intégration mais ne permet pas de fournir un transfert de puissance élevé vu que la distance entre la source et le drain doit être large pour procurer une bonne tenue en tension inverse. Elle admet une densité de courant inversement proportionnelle à cette longueur.
- ✚ Dans la structure verticale, les points de contacts du drain et de la source se trouvent sur deux faces opposées. Les surfaces de contacts de ces deux connexions peuvent ainsi

s'accroître et la largeur entre elles est réduite. C'est pour cela, la densité de courant est fortement améliorée et la tenue en tension inverse peut être accrue à l'aide d'une zone N- faiblement dopée.

Dans le secteur de l'électronique de puissance, la structure la plus pertinente est la structure verticale grâce à sa faculté de fournir une tenue en tension et une densité de courant élevées. Cette structure devient aujourd'hui la plus connue et répandue dans les transistors MOSFET de puissance. Elle est obtenue par double diffusion sur un substrat épitaxie N⁺, qui apporte une technologie plus simple avec un haut rendement de fabrication.

D'après [Sze02], le VDMOS, grâce à sa structure verticale, permet de faire passer de forts niveaux de courant par un très grand nombre de cellules élémentaires mises en parallèle. Il se caractérise par une grande vitesse de commutation qui traduit l'absence de stockage des porteurs minoritaires. De plus, il dispose d'une impédance d'entrée importante et ainsi une facilité de commande par la grille isolée. Par contre, la chute de tension est un peu élevée à l'état passant à cause de l'absence d'une zone de plasma en forte injection dans la zone N⁻.

La coupe transversale schématisée de la structure du modèle physique du VDMOSFET SiC est présentée sur la *Figure 1.1*.

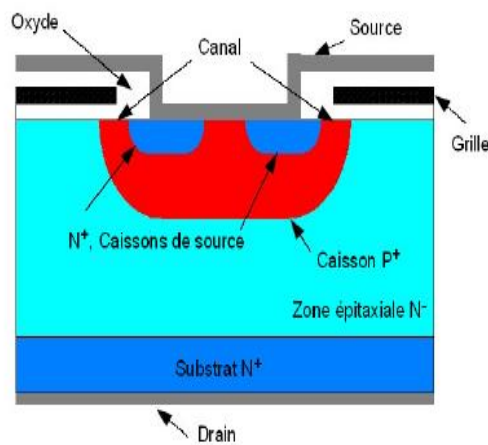


Figure 1.1 Une coupe transversale schématisée de la structure du modèle physique du VDMOSFET SiC

1.2.6 Modèle du transistor VDMOS de puissance

Étant donné l'évolution du progrès technologique et principalement la réduction de dimensions des composants de puissance, les concepteurs et les chercheurs doivent prendre en compte les phénomènes physiques au niveau des différents modèles. Quant au transistor MOSFET de puissance en SiC, actuellement, il existe de nombreux modèles disponibles sur le

marché. Le schéma physique équivalent de la *Figure 1.2* illustre la structure interne du modèle adopté pour modéliser le transistor VDMOSFET SiC de puissance dans le chapitre 5 et qui décrit les régimes de fonctionnement électrique statique et dynamique.

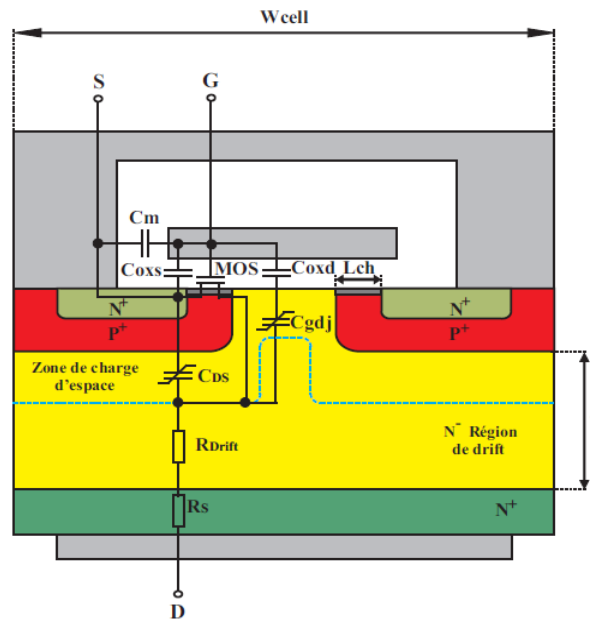


Figure 1.2 Une coupe verticale de la structure interne du modèle physique du transistor VDMOSFET SiC [Bal10] [MHM+04].

Ce modèle est basé sur les travaux de BALIGA dans [Bal10], OTHMAN dans [Oth15] et de MCNUTT dans [MHM+07] qui s'inspirent du modèle original de MCNUTT dans [MHM+04]. Il est assez précis pour la simulation CEM, capable d'être paramétré directement à partir de la mesure sans aucun recours à la fiche technique.

Ce modèle non linéaire, dépend des données physiques, technologiques et géométriques propres à la structure du composant, il comporte plusieurs composantes :

- ✚ Un transistor MOS qui représente la zone active de canal et qui assure la conduction du courant électrique entre le drain et la source. Il constitue le canal d'inversion qui est formé par les porteurs minoritaires (électrons) induits en surface de la zone P⁺ (body), sous l'effet d'une polarisation positive appliquée entre la grille et la source du transistor.
- ✚ Une capacité entre l'oxyde de grille et la source C_{gs}, constituée de deux capacités mises en parallèle : une capacité notée C_{oxs} entre la grille et la région N⁺ de la source, et une capacité appelée Cm entre la grille et la métallisation de la source. Suivant l'hypothèse adoptant la faiblesse de l'épaisseur de zones de charges d'espace qui peuvent apparaître dans les couches N⁺ et P, ces capacités peuvent être considérées comme étant constantes.

- ✚ Une capacité entre la grille et le drain C_{gd} formée de deux capacités mises en série : l'une est de valeur constante, appelée C_{oxd} , composée par la couche d'oxyde et définit la valeur de C_{gd} lorsque le potentiel entre le drain et la source V_{ds} est nul. L'autre est créée par l'extension de la zone de charge d'espace, elle définit la capacité de déplétion de la zone désertée sous la grille du semi-conducteur lorsque le potentiel drain-source V_{ds} est supérieure à la tension grille-source V_{gs} , elle varie fortement avec la tension entre la grille et le drain V_{dg} et elle est notée C_{gdj} .
- ✚ Une capacité variable entre le drain et la source appelée C_{ds} , elle est aussi variable avec l'extension de la zone de charge d'espace.
- ✚ Une résistance de la région de drift située entre le bas des caissons P et la région N^+ du drain. Elle est notée R_{Drift} . Cette région correspond à la zone épitaxie faiblement dopée de type N^- , qui permet aux électrons du canal de circuler verticalement afin d'accéder au drain. Cette zone permet d'assurer la tenue en tension du MOSFET SiC. En d'autres termes, plus la tension de claquage est élevée, plus la résistivité et l'épaisseur de cette zone sont importantes.
- ✚ Une résistance série de la région N^+ du substrat, notée R_s .

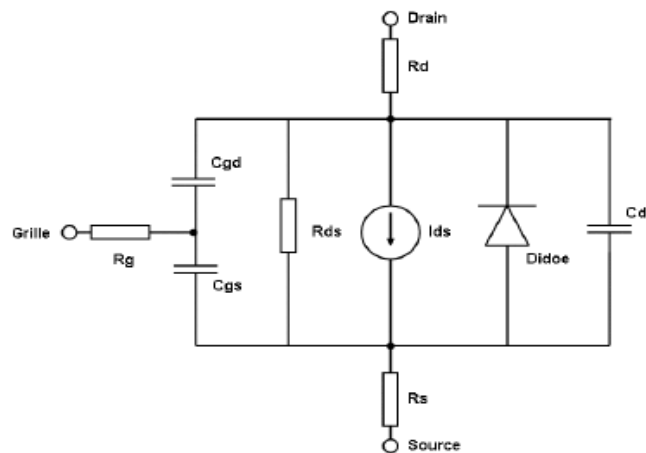


Figure 1.3 Schéma électrique équivalent du transistor VDMOSFET SiC

La Figure 1.3 illustre le schéma électrique équivalent du transistor MOSFET SiC à coder en VHDL-AMS dans le chapitre 5. Elle montre un modèle simplifié du MOSFET qui schématise les capacités intrinsèques, la diode interne, le générateur de courant de canal et quelques éléments parasites liés à la connectique tels que les trois résistances de contact.

1.3 La compatibilité électromagnétique

Selon la Communauté Européenne CE, la compatibilité électromagnétique est définie comme étant l'aptitude d'un dispositif, d'un appareil ou d'un système à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans engendrer lui-même des perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement [Dir89]. En effet, elle désigne l'aptitude d'un dispositif à fonctionner sans perturber électromagnétiquement le fonctionnement d'autres dispositifs (émission) et sans être lui-même perturbé par ces autres dispositifs (susceptibilité). C'est l'art de faire coexister les perturbations électromagnétiques, sans créer de dysfonctionnement. En d'autres termes, la CEM est le droit pour tout composant de vivre sans gêner son voisin, elle sert à accéder à un fonctionnement correct et optimal de tout équipement électrique ou électronique en fonctionnement nominal et en présence d'autres. D'après [Aca], elle représente la discipline qui a pour objet d'étudier les problèmes de cohabitation électromagnétique, sa vocation est d'étudier les transferts d'énergie non intentionnels entre systèmes électriques et/ou électroniques.

Les perturbations électromagnétiques PEM sont définies comme étant toute perturbation électromagnétique qui interrompt, obstrue, dégrade ou limite les performances effectives des équipements électroniques ou électriques [Pau06]. En effet, elles représentent l'énergie électromagnétique parasite qui peut franchir non intentionnellement leurs frontières soit pour y pénétrer, soit pour s'en échapper [Aca].

Les perturbations électromagnétiques peuvent prendre deux formes différentes : les perturbations conduites et celles rayonnées [Pau06]. Chaque type de perturbations est prépondérant sur une gamme de fréquences. Ces gammes sont différentes et complémentaires. Les courants harmoniques et les tensions parasites circulant dans des câbles provoquant leur rayonnement. De même des perturbations rayonnées vont pouvoir produire des courants et tensions induites dans les différentes interconnexions. Ainsi, les perturbations conduites et rayonnées sont donc intimement couplées et complémentaires.

Dans les circuits d'électronique de puissance, on peut trouver les composants linéaires et quasi-linéaires tels que les résistances et les condensateurs, les composants non linéaires comme les transistors, les diodes, les diélectriques et les pistes de courant. Dès lors, la coexistence de ces composants électroniques et éléments de différentes natures et caractéristiques dans une même carte peuvent induire une interaction électromagnétique non intentionnelle et indésirable

entre les dispositifs [Sai09], ce qui provoque l'apparition de ces perturbations électromagnétiques.

Parmi les raisons les plus importantes pour la naissance de ces perturbations électromagnétiques, on peut citer la vitesse de commutation des interrupteurs de puissance, l'augmentation de la fréquence de fonctionnement [CP02], la création des impulsions succinctes de tension aux bornes des inductances parasites ou de connexions à cause des di/dt et la création des impulsions très succinctes de courant dans les diverses capacités parasites à cause des dv/dt [Tli11]. Par ailleurs, le fait que les grandeurs électriques étant strictement variables, sur des durées très courtes, avec de grandes amplitudes et des fréquences élevées entraîne un fonctionnement du convertisseur statique intrinsèquement bien perturbé.

Avec l'évolution de la technologie électronique de puissance, les convertisseurs de puissance sont présents partout et modifient la forme de l'énergie électrique dans les environnements industriels, commerciaux et résidentiels. En conséquence, les convertisseurs sont devenus les principales sources de perturbations électromagnétiques et des efforts de conception sont nécessaires pour assurer un environnement électromagnétique sain. Les convertisseurs de puissance génèrent des tensions PWM avec des valeurs dv/dt de dizaines $kV/\mu s$ ou plus. Ainsi, les perturbations électromagnétiques conduites et rayonnées sont devenues des problèmes majeurs qui rendent la conception des systèmes de puissance, tout en prenant en compte leur CEM, une étape primordiale.

De nos jours, avec un environnement électromagnétique plus exigeant du fait des applications d'électronique de puissance, le fait de suivre et contrôler les PEM conduites et rayonnées devient une étape essentielle pour l'acceptation des convertisseurs de puissance SiC de point de vue CEM.

Deux développements technologiques importants qui affectent la CEM sont les composants de puissance à base de SiC et l'intégration accrue des dispositifs électriques et électroniques. En même temps, les émissions électromagnétiques augmentent en raison de la vitesse de commutation plus rapide des transistors SiC (deux à six fois supérieure à celle d'un Si IGBT traditionnel [HCS+06]) ce qui entraîne des performances CEM dégradées.

Les normes de PEM conduites peuvent être divisées en normes civiles et militaires et subdivisées en catégories selon différents environnements d'application. Cette thèse s'intéresse plus particulièrement aux normes civiles [Yaz79].

Les systèmes d'alimentation ou de conversion de l'énergie représentent la source de perturbations électromagnétiques la plus importante dans les systèmes embarqués. La majorité

des travaux menées à ce jour avaient pour objectifs de maîtriser et de réduire ces perturbations pour un système neuf, c'est à dire pendant le début de sa vie. En effet, ces systèmes doivent être conformes à la norme CEM lors de leur mise sur le marché, mais que se passe-t-il si les composants du système commencent à vieillir ? L'analyse de l'évolution des perturbations électromagnétiques en fonction du temps de vieillissement commence à devenir une préoccupation des concepteurs de ces systèmes de conversion d'énergie. Cependant, afin de garantir leur bon fonctionnement tout le long de leurs durées de vie, il devient donc primordial de prévoir l'évolution de la compatibilité électromagnétique de l'équipement avec le temps de vieillissement.

Depuis 1996, tout équipement électrique doit obligatoirement satisfaire à une ou plusieurs normes CEM liées à sa catégorie. Il existe quatre principales autorités d'imposition des normes: la commission électromécanique internationale (IEC), la commission fédérale des communications (FCC) aux États-Unis, le comité européen de normalisation électrotechnique (CENELEC) et l'institut européen des normes de télécommunications (ETSI) aux pays européens. L'IEC compte le plus grand nombre de comités et de groupes de travail actifs dans plus de 40 pays, y compris les États-Unis et la plupart de pays européens [Win88].

Il existe maintenant deux grands comités techniques de la IEC: le TC77, associé à la série IEC 61000, et le comité international spécial sur les interférences radio (CISPR) qui est un comité de branche initialement spécialisé dans les interférences radio. De nos jours, le CISPR est devenu une autorité majeure qui publie des normes utilisées dans le monde entier.

Des exemples des principales normes pour les émissions électromagnétiques sont présentés ci-dessous :

- * CISPR 11: limites pour les équipements radiofréquence industriels, scientifiques et médicaux.
- * CEI 61800-3: limites pour les systèmes d'entrainements électriques de puissance à vitesse variable.
- * CISPR 12: limites pour les systèmes d'allumage dans les véhicules.
- * CISPR 15: limites pour l'éclairage.
- * CISPR 16: équipement de mesure et techniques d'essai.
- * CISPR 25: limites et méthodes de mesure des caractéristiques de perturbations radioélectriques pour la protection des récepteurs utilisés à bord des véhicules.

Dans cette thèse, nous nous focalisons sur les deux types de perturbations conduites et rayonnées en utilisant la norme CISPR25.

1.4 Les tests du vieillissement standards appliqués aux composants de puissance





Dans cette partie, nous abordons les types des tests de vieillissement accélérés standards les plus répandus et les plus connus formés par des contraintes et des lois d'accélération.

Par définition, les tests de vieillissement accélérés sont un ensemble d'essais menés sous des conditions contraignantes et maîtrisées afin d'accélérer les contraintes que le composant sous test peut être amené à rencontrer durant son fonctionnement en conditions réelles et le but générale reste la maîtrise de la fiabilité de ce composant et l'évaluation de sa durée de vie [Alw07] [BDL+13]. Ces types de tests permettent de garantir si le composant est apte à maintenir un bon niveau de performance tout en assurant, que lors des tests de vieillissement, une fonctionnalité totale dans un contexte contraignant. Dans les conditions accélérées, le fonctionnement du composant doit ainsi faire intervenir les mêmes phénomènes de dégradation que dans les conditions normales d'utilisation.

L'étude de la fiabilité des composants de puissance passe nécessairement par la réalisation des tests de vieillissement sous contraintes sévères et fixes. Ces contraintes sont choisies fortes (haute température, forte densité de courant, tension élevée) de telle sorte à accélérer les processus entraînant la dégradation et/ou le vieillissement de ces composants, provoquant à terme leur défaillance.

Actuellement, la multitude des applications de l'électronique de puissance combinée avec une intégration de plus en plus poussée conjuguée avec une production au moindre coût et dans des délais extrêmement courts nous oblige à adopter des méthodes capables d'estimer la fiabilité des dispositifs embarqués. Pour cela, les industriels se tournent, ces derniers temps, vers des stratégies de tests accélérés basées sur des techniques de vieillissement bien déterminées [Jea00].

Dans cette partie, nous allons décrire un certain nombre de tests du vieillissement accélérés standards appliqués aux composants de puissance principalement aux transistors de types MOSFET, qui sont très nombreux et diversifiés. Dans un premier temps, nous présentons sommairement ces tests :

-  Cyclages thermiques passifs
-  Cyclages thermiques actifs
-  Chocs thermiques
-  Vieillissement de stockage

- ✚ Tests de blocage en haute température (HTRB : High Temperature Reverse Bias)
- ✚ Tests à température élevée sous polarisation de grille (HTGB : High Temperature Gate Bias)
- ✚ Les contraintes BTS (Bias Temperature Stress)
- ✚ Régimes de court-circuit

1.4.1 Vieillissements sous contraintes thermiques

Les composants semi-conducteurs de puissance supportent une température maximale de jonction souvent mentionnée dans leur fiche technique. Cette température maximale de fonctionnement dépend des propriétés physiques des matériaux et du procédé de fabrication du composant. Pour de nombreux composants de l'électronique de puissance tels que les MOSFETs, cette température varie de 80°C à 250°C [Ave10].

Les tests de vieillissement sous contraintes thermiques ne sont pas les uniques sources de contraintes qui peuvent s'appliquer aux composants pour les faire vieillir, mais, les phénomènes thermiques restent la principale origine de dégradation dans la majorité des cas [AAF97].

Le principe des tests de vieillissement thermique consiste à faire subir les composants de puissance des effets de la température avec ou sans polarisation.

Les composants électroniques de puissance peuvent être soumis à des nombreuses contraintes thermiques telles que les cyclages passifs, les cyclages actifs, les chocs thermiques et le vieillissement par stockage.

1.4.1.1 Cyclages thermiques passifs

Les cyclages thermiques passifs sont limités aux effets locaux d'évolution de température de telle façon à ignorer les effets induits par la puissance électrique. Le principe de ce type de test de vieillissement est de faire varier la température progressivement d'une température basse à une température haute au moyen d'un système de chauffage externe. Par ailleurs, le composant soumis à des variations de température d'une amplitude prédéfinie nous permet d'obtenir la thermalisation de ce composant aux paliers de température qui lui sont imposés. Dans [Ham98], l'auteur a choisi comme conditions de test une température minimale qui vaut

25°C, une température maximale qui était de l'ordre de 175°C et une période des cycles qui était égale à 4 minutes.

Les cyclages thermiques passifs nous permettent de nous procurer en quelques jours un vieillissement qui correspond à plusieurs années de fonctionnement en mode normal et d'obtenir des résultats rapides avec des méthodes assez simples.

1.4.1.2 Cyclages thermiques actifs

Au contraire des cyclages thermiques passifs qui sont limités aux effets locaux d'évolution de température en ignorant les effets induits par la puissance électrique, les cyclages thermiques actifs servent à étudier les effets couplés des évolutions de température et de puissance électrique. Le principe de ces tests consiste à faire circuler un courant dans les composants semi-conducteurs de puissance pendant une phase de chauffage puis d'annuler le courant pendant une phase de refroidissement. Dans le cas des circuits électroniques, l'évacuation de la chaleur générée au sein des composants joue un rôle très important dans le comportement des composants électroniques. En effet, ces composants sont de plus en plus miniaturisés tout en obtenant des puissances de plus en plus accrues. Leur auto-échauffement se traduit par une diminution de leur fiabilité et par conséquent une réduction de leur durée de vie.

1.4.1.3 Choc thermiques

Le principe de test de choc thermique consiste à changer la température ambiante au froid, puis au chaud, ou inversement, sans interruption. En effet, le temps de transfert de chaud au froid ou de froid au chaud ne doit pas excéder des dizaines de secondes.

Une étude axée sur le test de choc thermique a été faite par Manca dans [MWS+00] sur les composants semi-conducteurs de puissance MOSFET pour estimer leur durée de vie. Avec l'augmentation de la température de -40 à 200°C pour un nombre de cycles aux alentours de 2000 cycles. Manca a constaté qu'il n'y avait pas de dégradation électrique très importante mais la présence d'une dégradation mécanique représentée par des petites fissures.

1.4.1.4 Vieillissement par stockage

Ce type de tests de vieillissement est défini comme étant le stockage à haute température dans une enceinte, une étuve ou un four durant une longue durée sans aucune contrainte électrique appliquée. Parfois, on peut appliquer au composant un vieillissement accéléré sous contraintes électriques. Par contre, les composants doivent être stockés à différentes températures et polarisés dans des conditions statiques similaires à celles du fonctionnement normal afin de combiner à la fois les effets de la température et les contraintes électriques.

Avec le vieillissement par stockage, on peut étudier la robustesse, la fiabilité des semi-conducteurs et les phénomènes générés aux interfaces métal/semiconducteur, semiconducteur/semiconducteur ou à l'intérieur du métal [Mur97].

1.4.2 Tests de blocage en hautes température (HTRB : High Temperature Reverse Bias)

Par définition, le test de vieillissement accéléré HTRB consiste à soumettre le semi-conducteur de puissance à des contraintes électriques et thermiques, en appliquant une tension continue DC qui varie entre 80% et 100% de la tension nominale, mentionnée dans sa fiche technique, dans le mode de blocage (la tension entre la grille et la source $V_{gs}=0$) et à une température de jonction maximale qui vaut 150°C pendant une période de 1000 heures [TPS95] [TPS97] [Pas16] [YC13]. Les caractéristiques du composant sous test doivent être relevées périodiquement à une température de 25°C ce qui donne différents points de mesure au cours de contraintes à différentes durées. Ces caractéristiques déterminent si le composant est toujours dans les spécifications nominales.

Le HTRB est appliqué sur les transistors MOSFET en technologie « grand gap » à base de carbure de silicium en étuve à 150°C pendant 1000 h (6 semaines) [YC13] [Pas16] en vue de détecter toute dérive des paramètres électriques provoquée par un nombre important de pièges de charge à l'interface SiC/SiO₂ et les pièges d'oxyde dans le substrat générés par la croissance d'oxyde [Gur08]. Dans [YC13] des tests statiques HTRB ont été effectués pour des transistors MOSFET SiC afin d'avoir caractérisé leur stabilité et leur fiabilité. Une instabilité peut apparaître au niveau principal de la tension de seuil et une dégradation du courant de fuite est observée à la suite de ce type de tests, liées à l'existence de charges mobiles à l'interface

oxyde de grille/silicium. Ainsi, le test de vieillissement HTRB est l'un des tests qui peuvent accélérer les processus de la dégradation du composant de puissance.

Pour les transistors MOSFET de puissance en silicium, on peut trouver des bibliographies telles que [TPS95] [TPS97] [TPS97a] qui se sont intéressées aux mécanismes de défaillance après les tests du vieillissement accélérés HTRB. Ces transistors sont soumis à la contrainte HTRB sous trois paliers de températures (100, 125 et 150°C). Durant les tests, le MOSFET a été polarisé positivement entre le drain et la source $V_{ds} = 110V$, tandis que la grille et la source étaient à la masse. Les caractéristiques ont été relevées après 168h, 500h et 1000h à la température ambiante.

Ce type de tests de vieillissement s'applique ainsi plus aux composants qu'aux équipements. L'objectif de ces tests accélérés est de balancer entre le rôle du temps et le rôle d'une contrainte pour un même état interne du composant : un temps long associé à une contrainte faible est équivalent à un temps court associé à une contrainte forte.

1.4.3 Tests à température élevée sous polarisation de grille (HTGB : High Temperature Gate Bias)

Le principe de test de vieillissement accéléré HTGB consiste à soumettre le transistor à des contraintes sous l'application d'une tension statique sur la grille et à une température de jonction élevée de 150°C pendant une période de 1000 heures (6 semaines) [YC13]. Les caractéristiques du composant sous test sont relevées périodiquement à une température de 25°C ce qui donne différents points de mesure au cours de contraintes à différentes durées.

Le test de vieillissement HTGB accélère le processus de la dégradation du composant de puissance. En effet, il accélère la dépendance en temps du claquage de diélectrique de la structure de grille en favorisant l'injection et le piégeage de charges dans l'oxyde de grille.

Comme pour les tests de vieillissement accélérés HTRB, Yang s'est occupé dans [YC13] de tests statiques HTGB qui ont été effectués pour des transistors MOSFET SiC afin de caractériser leur stabilité et leur fiabilité. Une instabilité peut apparaître au niveau principal de la tension de seuil et une dégradation du courant de fuite était observée à la suite de ce type de tests, liées à l'existence d'un nombre important de pièges de charge à l'interface SiC/SiO₂.

L'application des normes de test de fiabilité existantes, basées sur la technologie Si, à la qualification de la fiabilité de MOSFET de puissance à base de SiC peut dans certains cas donner des résultats de test ambigus. Pour cela, Green, dans [GLH11], s'est intéressé aux

grandes variations observées, durant les tests HTGB, dans les caractéristiques Ids-Vgs, la dérive de la tension de seuil V_{th} et des courants de fuite. Green a trouvé que ces variations observées étaient probablement dues au temps de stress, à la température et aux pièges d'oxyde (et éventuellement atténuées par le mouvement des ions mobiles) et qui ne sont pas présentes dans les composants en Si.

Pour les transistors MOSFET en silicium, des chercheurs comme Shiono, Hashimoto et Stojadinovic ont étudié les effets liés aux charges d'interface et aux charges piégées dans l'oxyde des transistors MOSFET à canal N durant les tests HTGB [SD89] [SH82] [ZE98] [HIM+89] [SMD+01]. Ils ont réalisé les différentes mesures tels que la tension de seuil, le courant de drain et les caractéristiques C-V à différentes fréquences pour extraire la densité de charges fixes et la densité de pièges d'interface après chaque stress (stress en température et en tension) [SH82].

1.4.4 Les contraintes BTS (Bias Temperature Stress)

Plus généralement, les BTS (Bias Temperature Stress) correspondent à l'ensemble des contraintes NBTS (Negative Bias Temperature Stress) et PBTS (Positive Bias Temperature Stress).

Le principe des tests de vieillissement accélérés NBTS consistent à soumettre le transistor à des contraintes sous l'application d'un potentiel électrique statique négatif sur la grille et à une température élevée [Bro05] [Pet04] [SB03] [Den05]. Par analogie, les tests PBTS sont des essais avec une tension statique positive sur la grille et à haute température [Pet04].

Certaines configurations électriques peuvent être adaptées aussi bien pour l'examen du MOSFET à canal N que pour un MOSFET à canal P. D'ailleurs, les NBTS sont souvent pour les transistors PMOS et les PBTS sont pour les NMOS.

La plage de température varie de 25 à 200°C, et le potentiel de grille est aux alentours de 2 ou 3 fois la tension typique d'utilisation V_{gs} de MOSFET [Den05]. La température reste un paramètre accélérant du mécanisme de dégradation et ne doit pas déformer la structure chimique interne du MOSFET.

NBTS est un effet physique dû à la densité importante d'intégration des MOSFETs, qui peut dégrader leurs performances à long terme. La dégradation provient principalement des liaisons entre les atomes à l'interface entre le semi-conducteur et l'oxyde de grille. En effet, l'impact de ce type des contraintes est basé sur la génération d'états d'interface, la génération

de charges fixes et de piégeage de trous dans l'oxyde vu les accélérations en température et en champ électrique. Ce qui altère les propriétés physiques intrinsèques des matériaux utilisés.

Stojadinovic dans [SDD+05] a soumis le semi-conducteur en Si à des contraintes de potentiels négatifs sur la grille entre 35 et 45 V sachant que le drain et la source étaient à la masse et les niveaux de température étaient entre 125 et 175°C. Les caractéristiques électriques ont été étudiées pour montrer que la contrainte NBTS cause une dérive importante de la tension de seuil, plus accentuée avec les niveaux élevés de tension et/ou de température.

Dans [GLH11], l'auteur s'est intéressé aux grandes variations observées, durant les tests de vieillissement NBTS et PBTS, dans les caractéristiques de transfert $I_{ds}-V_{gs}$, le changement de tension de seuil V_{th} et de courant de fuite. Green a montré que durant le NBTS, la fiabilité du composant peut être limitée en raison de l'augmentation du courant de fuite dans l'état bloqué, provoquée par de grandes variations de la tension de seuil V_{th} en fonction du temps de stress, de la polarisation et de la température appliquée. De plus, une contrainte positive de polarisation de grille à température élevée PBTS peut augmenter la dissipation de puissance dans l'état passant.

1.4.5 Les régimes de court-circuit

Le test du vieillissement en régime de court-circuit est un mode de fonctionnement accidentel qui peut survenir d'une façon générale quand un semi-conducteur de puissance affronte une pleine tension d'alimentation à ses bornes dans un état de conduction sans aucune charge. Dans ce cas de figure, le courant drastique de ce mode de fonctionnement peut atteindre dix fois le courant nominal de l'interrupteur de puissance, et il est limité seulement par leurs caractéristiques intrinsèques. Le test de vieillissement en régime de court-circuit est ainsi extrêmement contraignant dû au niveau d'énergie très important que la puce de puissance doit dissiper. Par contre, s'il est relativement fugitif, ce régime extrêmement contraignant peut-être admissible pour les transistors de puissance.

Par définition, l'énergie critique est l'énergie minimale qui mène à la défaillance de l'interrupteur de puissance lors du premier cycle en régime extrême de fonctionnement. Ce test devient destructif dès que l'énergie dissipée est supérieure à l'énergie critique, et par la suite le composant de puissance sera détruit d'une façon immédiate. En contrepartie, lorsque l'énergie dissipée est inférieure à l'énergie critique, ce composant peut être en mesure de supporter la répétition de nombreux cycles court-circuit contraignants. Ce qui nous permet de lancer des

tests de vieillissement accélérés répétitifs pour étudier la robustesse et la fiabilité des composants de puissance et d'évaluer leur durée de vie.

1.5 Un état de l'art qui rassemble les trois grands axes de la thèse deux à deux

Finalement, nous passons en revue les différents travaux publiés sur les trois grands axes de la thèse (les tests du vieillissement, la compatibilité électromagnétique et les composants de puissance à base de carbure de silicium) en mettant l'accent chaque fois sur les récentes bibliographies qui traitent simultanément ces axes.

1.5.1 La CEM et les composants de puissance à base de carbure de silicium

Dans cette partie, on cite des travaux de recherche récents qui s'orientaient vers l'étude et la mesure des niveaux de perturbations électromagnétiques conduites et rayonnées dans les composants de puissance en technologie large bande interdite à base de SiC.

Dans [GF14], Gong a comparé les perturbations électromagnétiques conduites des transistors IGBTs en Si et des transistors JFETs en SiC. Deux onduleurs, avec les transistors SiC et Si, ont été mis en place en utilisant le même schéma électrique du circuit et en gardant les mêmes conditions de mesure. Leurs niveaux d'émissions conduites ont été comparés dans les deux modes commun et différentiel. Les résultats expérimentaux ont montré que les oscillations parasites excitées lors des phases de commutation transitoires sont plus importantes dans l'onduleur avec les transistors JFETs en SiC. Ces oscillations parasites, d'après l'auteur, étaient la cause principale de la différence des niveaux des émissions entre les deux onduleurs en Si et SiC. Enfin, des solutions de filtrage améliorées, qui réduisent efficacement les émissions conduites accrues à hautes fréquences dues à la vitesse de commutation supérieure des composants en SiC, ont été proposées.

Un autre travail [GF14a] a été fait par le même auteur qui a étudié les perturbations électromagnétiques conduites générées dans un onduleur. Le circuit onduleur a été réalisé avec des JFETs discrets en SiC fixés sur un dissipateur thermique, ce qui a créé des couplages

capacitifs et accentue, en outre, les oscillations parasites. Pour pouvoir minimiser l'influence de ces dernières, la solution proposée était d'utiliser des dissipateurs thermiques séparés. Deux prototypes d'onduleurs de 2,2 kW, avec six JFET discrets en SiC sur un dissipateur thermique commun et des dissipateurs thermiques séparés, ont été construits selon le même schéma électrique du circuit. Leurs spectres électromagnétiques ont été comparés dans des conditions non filtrées et filtrées. Les expériences ont montré que l'onduleur de dissipateurs thermiques séparés présente une réduction significative des émissions. Pour avoir amélioré plus les performances en mode commun, le dissipateur thermique côté haut était mis à la masse pour éviter les variations rapides de dv/dt qui se sont produites entre le drain du JFET inférieur et le dissipateur thermique du côté bas. Pour une meilleure performance en mode différentiel, un circuit snubber RC a été utilisé pour pouvoir amortir les oscillations parasites.

Dans [RMV+14], Rondon a décrit un modèle de convertisseur implémenté dans l'environnement Saber. Différentes mesures ont été relevées et comparées aux résultats de simulation, tels que la tension aux bornes du RSIL, le courant débité par la charge et les niveaux de tension et du courant dans le JFET. Ce modèle a permis aussi de prédire les émissions conduites jusqu'à 30 MHz. Le modèle était basé sur les mesures de composants passifs (condensateurs de découplage, RSIL et charge), mais il était prédictif pour les éléments parasites de la carte (les effets inductifs sont pris en compte), ce qui a permis de prédire finement les perturbations électromagnétiques conduites pour une charge donnée. Les résultats de simulation ont été comparés aux mesures pour différents cycles de fonctionnement et différentes résistances de grille dans les domaines temporel et fréquentiel. Un bon accord a été obtenu.

1.5.2 La CEM et les tests de vieillissement

Dans cette section, nous présentons quelques études récentes qui démontrent l'effet des tests de vieillissement accélérés sur les niveaux de perturbations électromagnétiques conduites et rayonnées dans les composants de puissance.

Boyer dans [BHB14] a étudié l'impact du vieillissement thermique accéléré sur l'émission d'un convertisseur DC-DC. Les essais expérimentaux menés dans cette étude ont montré non seulement une augmentation de l'ondulation de la tension de sortie mais également une augmentation des spectres d'émissions conduites et rayonnées sur une large gamme de fréquences après les tests du vieillissement thermiques.

[DTB15] a procédé à une étude expérimentale axée sur les performances électriques et électromagnétiques d'un MOSFET en silicium après des tests de vieillissement thermiques. Un banc d'essai de vieillissement thermique a été conçu et mis en œuvre dans le but d'étudier l'effet de tests du vieillissement thermiques sur les perturbations électromagnétiques conduites du transistor MOSFET en silicium de référence IRF 730. Après différentes périodes de vieillissement accéléré, l'auteur a obtenu une augmentation significative de l'amplitude des PEM conduites. L'étude présentée dans cet article a été réalisée sur une application de conversion d'énergie DC-DC de type hacheur série.

Nous avons trouvé d'autres travaux [LBB+10] [BB13] dans lesquels les auteurs ont mis en évidence l'impact du vieillissement accéléré des composants de puissance sur l'évolution des émissions conduites. Dans [LBB+10], Li a étudié l'influence des tests de vieillissement électriques appliqués sur des transistors CMOS sur l'immunité électromagnétique. D'autres auteurs, tel que Montanari dans [Mon05] et [MTM08], se sont attardés sur les effets des tests de vieillissement accélérés seulement sur les enveloppes de spectres de perturbations électromagnétiques conduites.

Autres références, comme [TS83] et [CKR+04], ont été trouvées dans lesquelles les auteurs avaient montré que les tests de vieillissement accélérés ont pu influencer la tension de seuil qui a subi une augmentation. Ce qui a révélé l'effet de la dérive de quelques paramètres intrinsèques sur les variations des PEM.

Tlig dans [TBB13] a procédé à une étude qui a consisté à analyser les effets du processus de vieillissement sur le comportement CEM. Il a montré que l'évolution des PEM obtenue avec les transistors de puissance RF N-LDMOS n'était pas la même après différents tests de vieillissement accélérés. Les résultats obtenus ont mis en évidence une augmentation très claire des amplitudes de spectres. L'auteur a également montré que les PEM conduites au niveau du Turn-On des transistors de puissance étaient moins faibles que celles obtenues lors du Turn-OFF. De plus, l'analyse du champ électromagnétique émis par le circuit a montré qu'il y avait des variations remarquables dans le spectre du rayonnement en champ proche. Ainsi, les résultats liés aux perturbations électromagnétiques conduites ont été confirmés par ceux liés au champ proche rayonné. Tlig a pu conclure que les normes CEM contrôlées n'étaient pas garanties après le vieillissement de ces composants.

Le même auteur dans un autre travail [TBB14], a présenté une autre stratégie de vieillissement et il l'a appliquée sur des IGBTs pour obtenir l'influence de contraintes thermiques sur la compatibilité électromagnétique. Les effets de dégradation ont été analysés

après examen des résultats expérimentaux des PEM conduites dans un convertisseur série utilisant les composants sous test. L'analyse des résultats a montré que les amplitudes des perturbations conduites ont augmenté après le vieillissement. Cette augmentation est plus importante quand le temps de vieillissement des composants est plus élevé. D'autre part, l'étude des temps de commutation a montré que le temps de montée et de descente est affecté par ces tests de vieillissement accélérés.

La même équipe, dans une autre étude [TBB13a], s'est intéressé aux effets du vieillissement thermique et électrique des transistors RF-N-LDMOS de puissance sur les PEM conduites émises par un circuit de puissance de type hacheur série. L'analyse des résultats trouvés a montré que le vieillissement thermique accéléré augmente les PEM conduites tant en mode commun qu'en mode différentiel. Cependant, le vieillissement électrique accéléré a fait accentuer les PEM conduites dans les deux modes uniquement pour la gamme de fréquences inférieure à 20 MHz.

1.5.3 Les tests de vieillissement et les composants de puissance à base de carbure de silicium

L'analyse bibliographique montre qu'il y avait une multitude d'études qui se sont attardées sur l'effet des tests de vieillissement accélérés sur les composants de puissance en technologie « grand gap » à base de carbure de silicium.

Dans [OBB+15], des tests de vieillissement ont été effectués à 300°C pour 1000h afin d'évaluer la fiabilité des MOSFET SiC dans des conditions critiques. L'auteur a suivi régulièrement les paramètres électriques tels que la tension de seuil, la résistance à l'état passant, les courants de fuite de grille et de drain. Le courant de fuite de la grille a été identifié comme le principal indicateur de vieillissement des composants SiC, ce qui montre d'après l'auteur que le mécanisme de défaillance est bien lié à la qualité de l'oxyde de grille.

Le même auteur a proposé un système de test de vieillissement accéléré dans [Oua14] dans le but de faire vieillir des transistors MOSFET en SiC et par la suite d'analyser le mécanisme de dégradation de l'oxyde de grille.

Hamilton dans son travail [Ham17] a procédé à des tests de vieillissement thermique sur des DMOSFETs en carbure de silicium. Il a montré un changement au niveau des caractéristiques de sortie I-V et au niveau de la tension de seuil V_{th} après 100, 196 et 1000 heures de stockage d'air à 300°C.

Dans [Zho18], Zhou a évalué expérimentalement la fiabilité à long terme des MOSFETs commerciaux de 1,2kV 4H-SiC soumis à des cycles répétitives d'avalanche. Les caractéristiques électriques du composant sous test, y compris la tension de seuil V_{th} , les courants de fuite du drain I_{dss} et de grille I_{gss} et la résistance à l'état passant R_{dson} ont été révélées avant et après stress. L'ensemble des échantillons de composants sous test a montré, après 80k cycles d'avalanche, une tendance à la dégradation presque constante caractérisée par une diminution de V_{th} et une augmentation de I_{dss} et de R_{dson} bien qu'aucun changement significatif de I_{gss} ne puisse être trouvé.

Les deux transistors en carbure de silicium JFET et MOSFET se considèrent comme étant des candidats assez robustes et fiables contre les cycles répétitifs de court-circuit accidentel. D'ailleurs, des nombreux chercheurs se sont occupés d'étudier l'effet de ces essais contraignants sur les transistors JFET SiC, on peut citer Huang dans [HWL+13], Othman dans [Oth15] et Abbate dans [ABI11] pour les transistors JFET SiC normalement bloqués et Lutz dans [LB14], Bouarroudj dans [BOL+10], Othman dans [Oth15] et Boughrara dans [BML+09] pour les JFET normalement passants. D'autres chercheurs se sont intéressés à la robustesse des transistors MOSFET en carbure de silicium durant ces régimes de court-circuit, leurs travaux se sont orientés vers l'étude de la fiabilité de la grille afin d'expliquer certaines dégradations de ce type de transistors tels que [Oua14], [Oth15], [SSF+13], [YDM+10] et [Kri05]. Ces études ont montré que le principal handicap de la structure MOSFET SiC est la faible épaisseur de son oxyde de grille. La fragilité de la structure de grille des transistors MOSFET SiC permet de les rendre incapables de supporter de longues durées en régimes court-circuit contraignants et répétitifs. Ainsi, leur robustesse va être limitée, notamment, lorsque ce point faible est accompagné de l'instabilité thermique de ces transistors [CFK+13], [CFK+12], [RCD+13] et [SBD+02]. Ce qui peut mener à une augmentation locale de la température et à une défaillance par emballement thermique, suite à des cycles répétitifs de court-circuit.

D'après [CFK+13], les conditions de test de court-circuit jouent aussi un rôle très important dans la robustesse du transistor MOSFET SiC. En effet, l'augmentation de la tension d'alimentation entre le drain et la source V_{ds} et/ou de la tension de commande entre la grille et la source V_{gs} permettent de produire une puissance dissipée plus élevée, ainsi une augmentation plus significative de la température. Ce qui va réduire la tenue et l'endurance du transistor en régime court-circuit.

Dans le but de chercher des indicateurs de dégradation durant les tests du vieillissement en régimes court-circuit, Othman lors de sa thèse [Oth15] a étudié les caractéristiques

électriques des transistors JFET et MOSFET en SiC qui ont pu évoluer au cours du stress appliqué. L'évolution de ces caractéristiques peut refléter une image bien précise de l'ampleur de dégradation dans la structure du composant durant les cycles répétitifs contraignants. Pour cela, l'auteur a suivi régulièrement tous les 2000 cycles court-circuit certains paramètres tels que les courants de fuite de grille et de drain, la tension de seuil, la résistance à l'état passant, la tension de grille et le courant de drain.

Dans [DAH+17], des analyses complètes des MOSFET et des IGBT de puissance à base de SiC vieilliss thermiquement, basées sur les caractéristiques paramétriques I-V, les capacités parasites et l'évolution de charge de la grille en fonction des cycles de vieillissement, ont été présentées. Ces interrupteurs de puissance ont été soumis au cyclage thermique. Les résultats obtenus ont montré que la résistance à l'état passant, la chute de tension de diode interne, les capacités parasites et la tension de seuil de grille étaient les seuls précurseurs viables du vieillissement pour les mécanismes de dégradation des joints de soudure et des oxydes de grille.

Dans [UA17], une évaluation complète de la fiabilité des MOSFET SiC pour des applications à haute température a été présentée. Ces interrupteurs de puissance ont été soumis à des cycles thermiques actifs de puissance et de température, et la résistance à l'état passant a été mesurée avant et après chaque cycle de stress. Les autres paramètres électriques ont été mesurés à l'aide d'un traceur de courbe automatisé à certains intervalles. Les variations de tous ces paramètres électriques par rapport aux cycles de vieillissement ont montré que la résistance à l'état passant, la chute de tension de la diode interne et la tension de seuil étaient les seuls paramètres électriques qui ont augmenté de façon cohérente avec le vieillissement et ont pu servir de précurseurs pour estimer la durée de vie restante des composants.

1.5.4 Y a-t-il une bibliographie axée sur les trois axes (CEM, SiC et vieillissement) en même temps ?

L'analyse bibliographique montre qu'il n'y a pas beaucoup d'études dans lesquelles les auteurs abordent en même temps les tests de vieillissement, les composants de puissance en technologie « grand gap » à base de carbure de silicium et la compatibilité électromagnétique. Ce qui apporte au sujet de notre thèse beaucoup d'intérêt.

En 2017, une étude du rayonnement en champ proche des MOSFETs de puissance en SiC vieilliss a été menée par Pu dans [PUA+17]. Un banc de vieillissement thermique accéléré a été réalisé pour la dégradation du DUT et un convertisseur abaisseur synchrone a été utilisé pour

les mesures de radiations électromagnétiques. Les résultats expérimentaux ont montré que le rayonnement en champ proche du MOSFET SiC est devenu de plus en plus intense tout au long du vieillissement. Les MOSFETs SiC de puissance ont fonctionné souvent à des fréquences relativement plus élevées car ils sont beaucoup plus rapides que le MOSFET en silicium. Par conséquent, la contrainte thermique pendant le fonctionnement à haute fréquence est devenue plus remarquable. D'après l'auteur, l'origine de haut niveau de rayonnement était principalement une di/dt plus élevée et une résistance thermique importante. Tout cela s'est traduit par une durée de vie restante des MOSFETs SiC largement réduite et a pu probablement réduire également l'efficacité du système.

1.6 Objectif et méthodologie de travail

1.6.1 Objectif

Les semi-conducteurs à large bande interdite de type MOSFET à base de carbure de silicium est un bon candidat dans les applications de puissance. Leur fonctionnement avec une fréquence élevée permet de réduire énormément les éléments passifs. Leur fonctionnement à haute température influe sur la densité de puissance, la tenue en tension et le système de refroidissement ce qui permet de réduire le volume, la masse et les coûts globaux. Leur fonctionnement se caractérise à l'état bloqué par des faibles niveaux des courants de fuite, à l'état passant par une chute de tension minimale et aux phases transitoires entre l'état passant et bloqué par une grande vitesse de commutation en engendrant moins de pertes de conduction et de commutation.

Au niveau de l'état de l'art sur l'intégration de ces MOSFETs en SiC dans les applications de puissance, on peut trouver une multitude d'exemples tel que [VRM14] où des convertisseurs ont fonctionné dans des conditions critiques et sévères, cependant le paramètre temps était rarement abordé. L'objectif de cette étude est d'apporter une contribution scientifique sur le vieillissement des composants de puissance MOSFET SiC en mettant l'accent sur le paramètre temps.

La fiabilité reflète le potentiel d'un système en général et la faculté d'un composant en particulier de remplir une ou plusieurs fonctions requises dans des conditions données pour une période de temps spécifiée et bien déterminée. La durée de vie demandée aux systèmes

d'électronique de puissance est rarement inférieure à 10 ans et peut atteindre 30 ans [Lut11]. Il est donc nécessaire de réaliser des tests de fiabilité sur du vieillissement accéléré. Le représentatif de la fiabilité dans cette étude est les niveaux des émissions conduites et rayonnées des composants MOSFET SiC après des conditions de vieillissement extrêmes appliqués.

1.6.2 Méthodologie

La méthodologie adoptée dans cette étude se divise en deux grandes parties, une partie expérimentale et une partie de simulation. Les deux parties sont bien cohérentes. Dans la partie expérimentale, cette méthodologie consiste à effectuer des caractérisations CEM et des caractérisations électriques statiques et dynamiques de composant avant les vieillissements accélérés. Le composant sous test est un transistor MOSFET de puissance en technologie « grand gap » à base de carbure du silicium de référence CMF20120D fabriqué par CREE. Ensuite, nous appliquons les différentes techniques de vieillissement accélérées adoptées pour faire dégrader le composant sans atteindre la phase de défaillance. Les tests de vieillissement choisis pour valider nos travaux sont les cycles répétitifs en régimes de court-circuit et le HTGB. Enfin, et après ces tests extrêmement contraignants, nous réalisons, dans les mêmes conditions qu'avant stress, les caractérisations CEM et les caractérisations électriques statiques et dynamiques.

Concernant la partie simulation, l'idée est de chercher comment on peut simuler l'effet des tests de vieillissement sur la CEM des composants MOSFET SiC. Ainsi, on a besoin d'une étape intermédiaire entre l'application de stress et l'estimation de PEM conduites après stress. Cette étape consiste à l'adoption des caractéristiques électriques statiques et dynamiques effectuées à la partie expérimentale pour extraire les paramètres intrinsèques dégradés de composant de puissance sous test après le stress appliqué. Ces paramètres intrinsèques dégradés simulent l'effet des tests de vieillissement accélérés sur le composant associé. De ce fait, le changement de leurs valeurs dans le modèle du dit composant, décrit en VHDL-AMS et implémenté sur le simulateur de type circuit ANSYS SIMLORER, nous permet d'obtenir un modèle d'un tel composant vieilli. Et du coup, on peut calculer les PEM conduites d'un composant vieilli après stress et déterminer l'effet du vieillissement sur l'évolution des perturbations électromagnétiques conduites.

Dans les deux parties, on a validé nos travaux par deux applications de l'électronique de puissance, un hacheur série et un hacheur parallèle. Chacun de ces deux circuits de puissance étudiés est muni d'une charge résistive et une charge inductive.

Nous constatons que ces caractérisations sont nombreuses et qu'elles nécessitent des moyens adéquats pour une bonne quantification des niveaux de perturbations électromagnétiques. Du coup, les deux natures différentes de charges, les deux bancs de mesure (hacheur série et parallèle) et les deux types de stress appliqués nous permettent de valider les résultats obtenus.

Une synthèse de cette méthodologie, sous forme d'un synoptique et un tableau, est présentée sur la *Figure 1.4* et le *Tableau 1.2* :

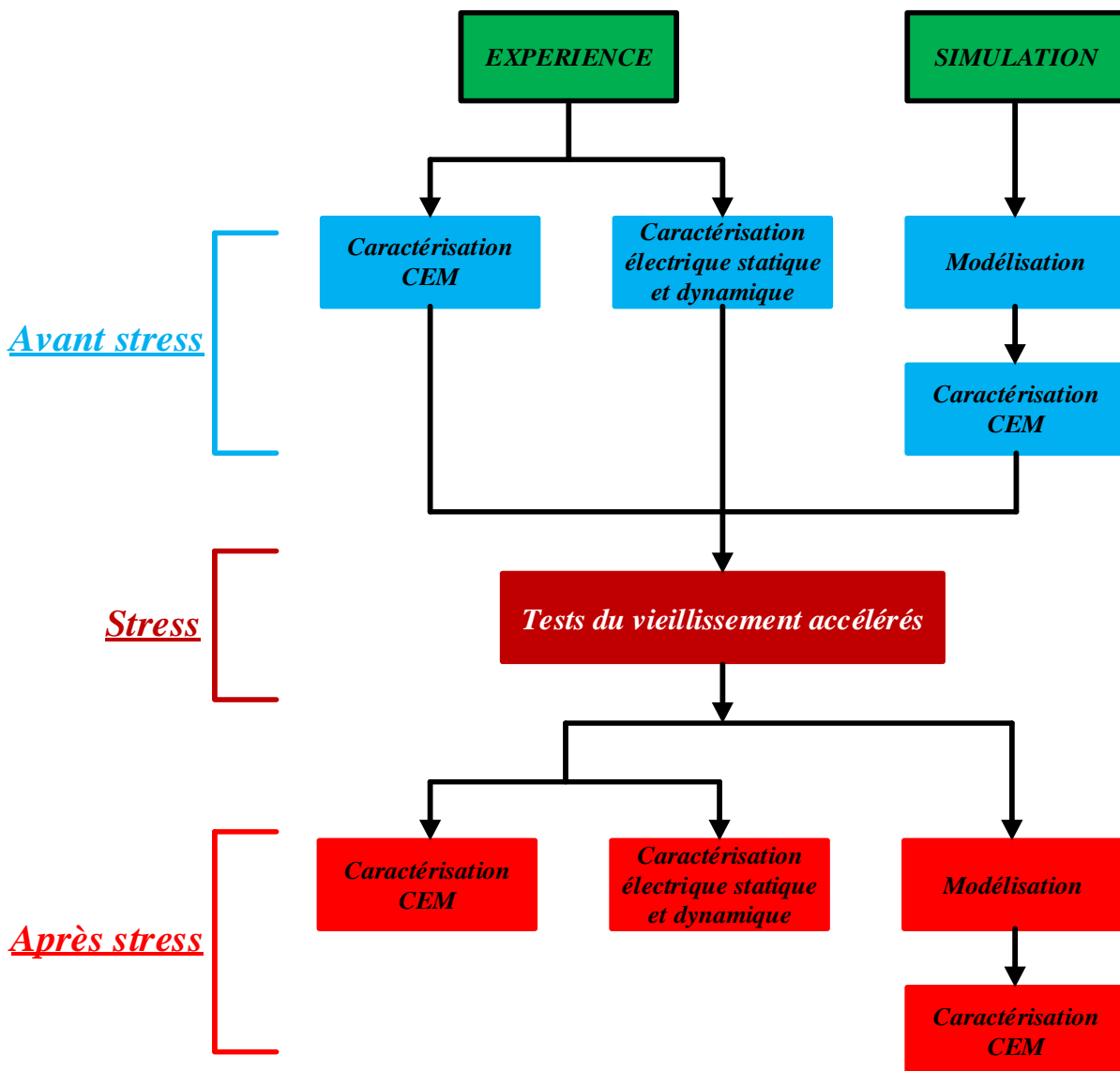


Figure 1.4 Schéma synoptique général de la méthodologie de travail

Tableau 1.2 Description du cahier de charges

DUT		MOSFET en SiC de la famille première génération, fabriqué chez CREE de référence CMF20120D
Les tests de vieillissement accélérés		Cycles répétitifs en régime de court-circuit Les tests HTGB
Les circuits utilisés pour les tests et pour l'estimation de PEM	Pour les tests	Circuit HTGB Circuit de régime court-circuit
	Pour les mesures de PEM	Hacheur série Hacheur parallèle
	Pour les simulations de PEMC	Hacheur série Hacheur parallèle
Les types de charge		Charge résistive Charge inductive
Les caractérisations électriques		Le courant du drain I_{ds} La tension entre la grille et la source V_{gs} Le courant de fuite du drain I_{dss} Le courant de fuite de grille I_{gss} La tension de seuil V_{th} La résistance à l'état passant R_{dson} La capacité d'entrée C_{iss} La capacité de Miller C_{rss} La capacité de sortie C_{oss} La capacité entre la grille et la source C_{gs} La capacité entre le drain et la source C_{ds}
Les caractérisations électromagnétiques		PEMC en mode commun et mode différentiel PEMR de composantes tangentielle et normale

1.7 Conclusion

Ce chapitre introductif donne un aperçu général sur la compatibilité électromagnétique, sur la nouvelle filière de composants de puissance en technologie « grand gap » à base de SiC, et sur les différents types de contraintes extrêmement critiques et de tests standards de vieillissement accélérés appliqués aux composants de l'électronique de puissance. Nous avons présenté un état de l'art sur les trois grands axes de cette thèse (tests de vieillissement, CEM et les semi-conducteurs en SiC).

L'étude de la partie CEM des composants de puissance est une étape primordiale pour l'intégration de ces derniers dans des environnements de fonctionnement sévères. Cette partie contient les émissions et les immunités, dans cette thèse on s'oriente principalement vers les émissions avec leurs deux types conduites et rayonnées.

Etant donné ses propriétés physiques et électriques les plus pertinentes pour fonctionner à hautes températures, à hautes tensions et à hautes fréquences ainsi que son état de maturité technologique le plus avancée pour répondre aux exigences de l'électronique de puissance, nous avons opté pour le matériau carbure de silicium.

Parmi les différentes structures de composants de puissance en SiC on a choisi d'étudier les MOSFETs vu qu'ils sont plus stables et plus performants.

Etant donné qu'elle n'est pas susceptible de générer de hauts niveaux de courant et de supporter de hauts niveaux de tension, la structure latérale ne répond pas à nos besoins au contraire de la structure verticale qui se caractérise par sa faculté de répondre aux contraintes haute puissance.

Deux tests de vieillissement accélérés : les tests à température élevée sous polarisation de grille (HTGB : High Temperature Gate Bias) et les tests en cycles répétitifs de court-circuit. Deux applications de l'électronique de puissance (hacheur série et hacheur parallèle) avec deux charges (charge résistive et charge inductive), sont choisis pour évoluer les comportements électriques statiques et dynamiques, et électromagnétiques des VDMOSFETs SiC avant et après chacun de ces tests, ceci sera détaillé dans les chapitres suivants.

Chapitre 2

2 Stratégie de fatigue et étude de la caractérisation électrique statique et dynamique des MOSFET en SiC soumis à des régimes extrêmes de fonctionnement

2.1 Introduction

Aujourd'hui, l'électronique de puissance suscite l'intérêt des chercheurs et industriels à cause des nouvelles contraintes environnementales qui pousse vers des systèmes de plus en plus électriques. Les conditions d'environnements de fonctionnement extrêmement contraignants exigent l'utilisation de nouveaux composants de puissance avec des caractéristiques physiques spécifiques ainsi que des caractéristiques électriques statiques et dynamiques particulières qui sont mis en lumière dans ce chapitre.

La phase de caractérisation est une étape primordiale avant et après toute utilisation du composant de puissance sous des conditions critiques. Elle vise à déterminer son comportement dans les conditions réelles de fonctionnement. Elle permet d'apporter des informations sur l'état de santé du composant, diagnostiquer avec précision ses défauts, prévoir les échecs et estimer la durée de vie restante.

Étant donné le manque d'études axées sur la combinaison ; vieillissement, MOSFET SiC et CEM, nous nous sommes orientés dans nos travaux vers des tests de vieillissement accélérés standards. Afin de réaliser ces tests et de répondre aux problématiques de prédiction de l'état de santé du composant en termes CEM, nous devons au préalable établir une stratégie de vieillissement. Les tests choisis pour valider ce travail sont les cycles répétitifs en régime de court-circuit et le test à température élevée sous polarisation de la grille (High Temperature Gate Bias HTGB).

De nombreuses mesures de reprise ont été effectuées d'une façon périodique dans le but de suivre la dégradation éventuelle de certains paramètres électriques importants de notre transistor MOSFET SiC sous test. Ces paramètres sont la tension de seuil V_{th} , la résistance à l'état passant R_{dson} , les courants de fuite I_{gss} et I_{dss} , les capacités intrinsèques C_{gs} , C_{ds} et C_{gd} , et les capacités extrinsèques C_{iss} , C_{oss} et C_{rss} ...

A partir de ces paramètres, une estimation des conditions limites externes imposées au composant sera possible tels que le nombre de cycles répétitifs admissible en régime court-circuit, la température appliquée sur le composant, la durée maximale d'endurance du composant vis-à-vis de l'application de cette température et la tension statique exercée sur la grille...

En premier lieu, nous abordons dans ce chapitre, les procédures et les bancs de tests de vieillissement. Dans un deuxième temps, les méthodes utilisées pour réaliser une caractérisation électrique complète de MOSFET SiC de référence CMF20120D de chez CREE sont présentées. Pour chaque paramètre traité nous proposons une analyse physique complète pour expliquer la dégradation de ces paramètres en fonction du stress appliqué.

Dans ce chapitre, nous étudions l'effet de vieillissement du régime court-circuit sur les caractéristiques électriques. Concernant les tests HTGB, nous présentons la stratégie et les bancs déployés dans ce chapitre et nous réservons l'étude de leur effet sur le comportement électromagnétique de composant MOSFET SiC aux chapitres 3 et 4.

2.2 Description des bancs de tests de vieillissement et protocole expérimentale

Actuellement, les tests de vieillissement accéléré sont la voie la plus répandue pour évaluer expérimentalement la fiabilité et la robustesse des composants de puissance. Pour bien appliquer ces tests, il est indispensable de représenter le plus fidèlement possible les conditions critiques que subira le MOSFET SiC dans les applications de puissance visées. Le vieillissement dans ces tests a été accéléré par des facteurs d'accélération tels qu'une augmentation de la température et des niveaux élevés de tension ou de courant. Ces facteurs sont de type thermique et/ou électrique. Ils servent à accélérer de manière contrôlée le vieillissement de notre transistor sous test.

2.2.1 Régime court-circuit

Nous commençons par présenter le banc de test utilisé pour le vieillissement en régime de court-circuit, son principe de fonctionnement ainsi que le protocole expérimental.

2.2.1.1 Mise en œuvre du banc de stress et instrumentation utilisée

Un schéma de principe et une photo du banc de test sont présentés respectivement sur la *Figure 2.1* et la *Figure 2.2*. Ce banc est constitué :

- D'une source d'alimentation DC délivrant une tension continue de 0 jusqu'à 60V. Dans notre cas d'étude, les composants sous test ont été excités par une tension fixée à 60V par l'intermédiaire de deux capacités C1 et C2. Cette tension est limitée à 60V à cause du circuit de mesure de courant du court-circuit I_{ds} .
- D'un circuit de commande ajustable qui permet de régler la tension de commande entre la grille et la source du transistor MOSFET SiC. Ce circuit est constitué d'un circuit « driver » de grille et d'un circuit logique qui permet de générer une série d'impulsions de largeur T_{pulse} ajustable par une capacité et d'amplitude entre 0 et 20V. Le circuit logique est commandé par un GBF et délivre une impulsion tous les instants $T, 2T, \dots, nT$ avec $T=1024/f_{GBF}$ ou f_{GBF} est la fréquence du GBF qui doit délivrer un signal carré compatible CMOS (0/+10V). Le nombre total d'impulsions est fixé par la partie matérielle du circuit logique (4096 cycles). On doit réinitialiser manuellement le circuit logique si l'on veut refaire une autre séquence de cycles court-circuit. L'amplitude de l'impulsion appliquée à la grille du MOSFET est donnée par la tension délivrée par l'alimentation du driver de grille alimenté par l'alimentation E3631.
- Une résistance de grille externe R_{G1} de 12Ω (deux résistances de 24Ω mises en parallèle) qui permet de contrôler les vitesses de variation de la tension V_{gs} lors des phases transitoires de commutation du transistor sous test et de borner les régimes oscillatoires telles que les surintensités et les surtensions apparaissant au niveau de l'inductance parasite de la maille de commutation.

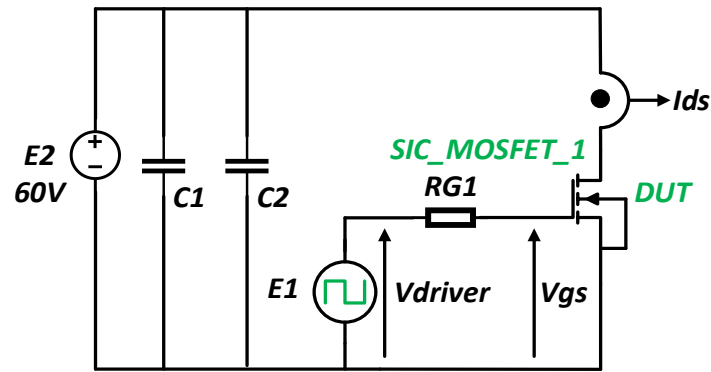


Figure 2.1 Schéma de principe du banc de test expérimental de vieillissement en régime de court-circuit

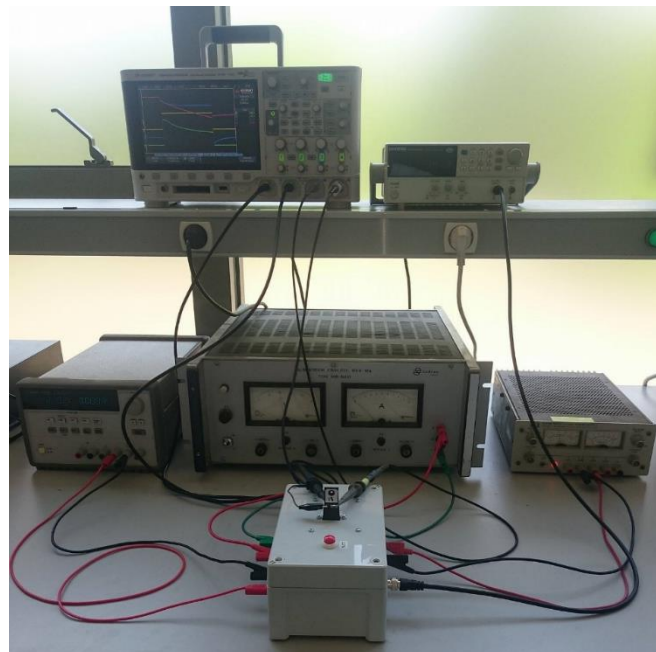


Figure 2.2 Photo du banc de test expérimental de vieillissement en régime de court-circuit

- D'un composant de puissance sous test de référence CMF20120D de la première génération de chez CREE [CREE] noté SIC_MOSFET_1. Il est encapsulé dans un boîtier en plastique TO-247-3, et ayant une tension de claquage de 1200V, une résistance à l'état passant R_{dson} de 80m Ω , un courant de drain I_{ds} pouvant atteindre 42A et une température de jonction T_j entre -55°C à 135°C . Il peut passer à l'état conducteur (ON) avec une tension V_{gs} de 25V et se bloque en appliquant une tension V_{gs} négative de -5V (dans notre cas d'étude, on a utilisé 20V pour passer à l'état ON et une tension nulle pour passer à l'état bloqué).
- D'un capteur de mesure du courant de court-circuit I_{ds} du composant sous test, côté alimentation « high side current sensor ». Il est de référence INA169 de chez Texas Instruments avec une résistance de shunt de 10m Ω et une résistance de sortie de 5k Ω qui donne une tension

de sortie (image du courant dans le shunt) de 50mV/A. Le temps de réponse de ce capteur est inférieur à 2 μ s et sa bande passante peut passer du DC à environ 500kHz. La sortie BNC out Ids permet de lire Ids sous forme d'une tension avec un coefficient 50mV/A. Les courants Ids pendant les essais peuvent dépasser les 100A pulsés.

- D'un oscilloscope de référence DSOX2014A de chez Keysight de 100 MHz et 2GSa/s pour visualiser les caractéristiques d'ondes temporelles de Ids, Vgs, Vdriver et Vds et permettre de sauvegarder les données de mesures dans un fichier facilement exploitable.

- D'une station de travail de type PC présentant une interface logicielle graphique LabVIEW souple et très conviviale. Cette interface est présentée par la *Figure 2.3* avec une manipulation précise et totale de l'ensemble des équipements constituant notre banc de stress à travers une interface GPIB sous la référence IEEE 488.

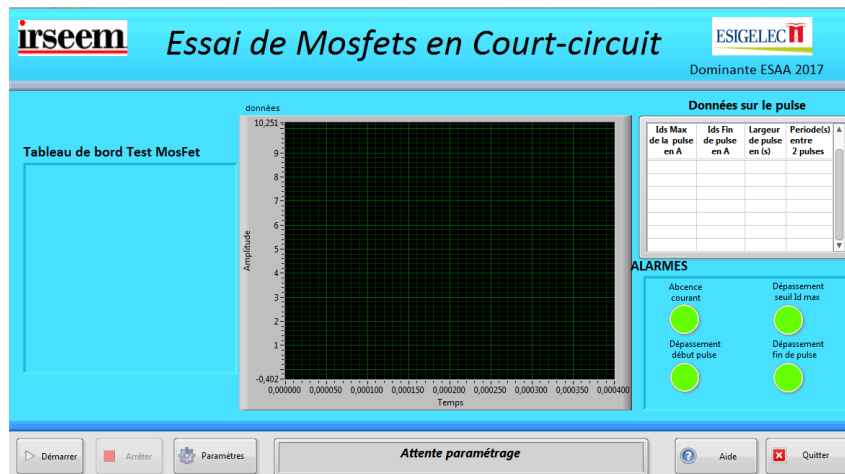


Figure 2.3 Interface utilisateur du serveur de programme du banc

2.2.1.2 Conditions de test

Dans le but de garantir la régularité des mesures de différents paramètres électriques durant les essais de court-circuit répétitifs, nous devons mettre un protocole expérimental qui consiste à définir les conditions de test et l'ensemble des paramètres électriques à caractériser. Ce protocole doit être commun à tous les tests répétitifs en régime de court-circuit effectués et quel que soit l'échantillon sous test CMF20120D utilisé.

Avant de présenter les conditions de test, nous devons passer par un paramètre électrique indispensable pour la dégradation, le vieillissement et la défaillance des composants de puissance. Ce paramètre est l'énergie critique E_c qui est, par définition, l'énergie minimale qui

provoque la défaillance du composant sous test lors du premier essai sous conditions contraignant de fonctionnement. Dans notre cas, c'est l'énergie à partir de laquelle le MOSFET SiC est détruit lors du premier cycle de court-circuit. D'ailleurs, pour toute énergie dissipée supérieure à cette énergie critique le composant sous test va être détruit immédiatement. Pour une énergie dissipée inférieure à cette énergie le composant est en mesure de supporter la répétition de plusieurs cycles de court-circuit [Sai04]. Pour estimer l'énergie critique, il faut appliquer des cycles court-circuit successifs non répétitifs. La succession consiste à augmenter progressivement la durée de court-circuit T_{pulse} jusqu'à une durée court-circuit notée $T_{critique}$ qui conduit à la défaillance du MOSFET SiC. Ainsi, le niveau d'énergie dissipée pendant le cycle dépend de la durée du court-circuit T_{pulse} . Dans sa thèse [Mba17] et son étude [MFD+16] Mbarek a effectué des tests préliminaires pour étudier l'influence de la durée T_{pulse} sur l'énergie dissipée par le composant CMF20120D. Elle a appliqué des durées différentes telles que 100us, 250us, 500us et 1000us. Les énergies dissipées correspondants à ces durées varient entre 0,25J pour 100us et 2,5J pour 1000us. Elles sont au-dessus de la zone de fonctionnement sûre SOA (Safe Operating Area). Ainsi, si on considère l'énergie dissipée comme étant un indicateur de vieillissement, le composant est vraiment vieilli et puisqu'il remplit encore son fonction et il n'est pas détruit. Ceci justifie notre choix de la durée de court-circuit T_{pulse} qui est inférieure à $T_{critique}$. Notre choix a pour but de garantir la répétition de cycles et éviter la défaillance de composant dès le premier cycle. Il est ainsi primordial de choisir une durée supérieure à T_{SOA} pour assurer que le composant va vieillir par l'application de cycles répétitifs.

Les conditions des cycles répétitifs qui ont été résumées dans le Tableau 2.1 sont les suivantes :

- La tension appliquée entre le drain et la source V_{ds} est de 60V sans aucune charge.
- La tension de commande appliquée entre la grille et la source V_{driver} est un signal carré de 0 à 20V.
- Les tests et les mesures sont effectués à température ambiante de 25°C.
- La durée d'un cycle court-circuit est fixée à $T_{pulse}=1,14ms$ inférieure à $T_{critique}$ et supérieure à T_{SOA} . Du coup, elle est contraignante et non excessive en vue de dégrader, faire vieillir le composant et ne pas provoquer de défaillance qu'après un certain nombre de cycles court-circuit admissibles.
- Afin de vérifier la reproductibilité des résultats et garantir leur crédibilité, le nombre de composants soumis à ce test de vieillissement est de 4 échantillons.

- La période de cycles répétitifs est fixée à 3s, ce qui signifie un cycle court-circuit chaque 3s, soit une fréquence de répétition des cycles de 0,3Hz. Le choix de cette période a pour but d'assurer une température de puce voisine de celle de la semelle avant chaque cycle d'injection de puissance en évitant ainsi tout auto-échauffement moyen de la puce [DGW04].

Tableau 2.1 Récapitulatif de diverses conditions de test de vieillissement en régime de court-circuit

Paramètre (unité)	Valeur
Vds (V)	60
Vdriver (V)	[0 20]
Température (°C)	25
Tpulse (ms)	1.14
Période (s)	3
Nombre de DUT	4
1^{er} arrêt volontaire temporaire après une compagne de (cycle)	2000
Durée de 1^{ère} compagne (min)	100
2^{ème} arrêt volontaire temporaire après une compagne de (cycle)	4000
Durée de 2^{ème} compagne (min)	100
3^{ème} arrêt volontaire permanent après une compagne de (cycle)	5000
Durée de 3^{ème} compagne (min)	50
Nombre de cycles provoque la défaillance (cycle)	5400

- Les conditions d'arrêt de test dépendent du nombre de cycles effectués. En effet, le premier arrêt de test de vieillissement est un arrêt temporaire après une compagne de 2000 cycles répétitifs. Il est volontaire pour relever les mesures de paramètres électriques, de même pour la deuxième compagne de 4000 cycles. Par contre, la troisième compagne est volontaire mais permanente car la condition d'arrêt involontaire qui provoque la défaillance du composant est de 5400 cycles.

2.2.1.3 Suivi des caractérisations électriques et électromagnétiques

Nous chercherons dans cette partie d'aborder comment suivre l'influence des conditions expérimentales citées dans la partie précédente, principalement les cycles répétitifs

contraignants (image de l'énergie dissipée et de la température due à l'auto-échauffement de la puce) sur les caractérisations électriques et électromagnétiques de MOSFET SiC.

Dans la *Figure 2.4*, nous présentons un schéma qui peut illustrer le principe de la prise des mesures de paramètres électriques avant et après le test de vieillissement en régime court-circuit.

Pour évaluer la fiabilité des dispositifs soumis à des cycles de court-circuit répétitifs (énergie dissipée inférieure à la valeur critique), nous mesurons les paramètres électriques statiques et dynamiques avant et après stress. Les paramètres statiques sont la tension de seuil V_{th} , la résistance à l'état passant R_{dson} , le courant de fuite de grille I_{gss} et celui de drain I_{dss} . Les paramètres dynamiques sont la capacité d'entrée C_{iss} , de sortie C_{oss} , de Miller C_{rss} ou C_{gd} , la capacité grille-source C_{gs} et la capacité drain-source C_{ds} . Ces paramètres électriques ont été suivis avant et après chaque campagne de cycles répétitifs de court-circuit en utilisant pour chaque paramètre le circuit de mesure convenable. Les deux caractéristiques de courant de court-circuit I_{ds} et de tension grille-source V_{gs} , durant les différentes campagnes au cours de test, ont été également suivies.

Tout d'abord, on met le composant neuf dans le circuit de mesure de paramètres pour relever la mesure avant vieillissement (à zéro cycle). Ensuite, nous retirons le DUT du circuit de mesure des paramètres et nous le connectons au banc de test de vieillissement. Après, nous soumettons ce DUT à un nombre bien déterminé de cycles répétitifs manipulé par l'interface LabVIEW. Après, nous appliquons la première campagne de 2000 cycles répétitifs de court-circuit sur le MOSFET SiC. Les deux caractérisations I_{ds} et V_{gs} sont immédiatement effectuées au cours du cycle numéro 2000. Puis, nous retirons ce DUT du banc de test de vieillissement. Après 48 heures de repos, on le rebranche au circuit de mesure des paramètres pour mesurer les quatre paramètres électriques statiques (V_{th} , R_{dson} , I_{gss} et I_{dss}), les cinq paramètres électriques dynamiques (C_{iss} , C_{oss} , C_{rss} , C_{gs} et C_{ds}) et les deux caractérisations de I_{ds} et V_{gs} (cette fois-ci I_{ds} et V_{gs} sont relevés après un repos de 48h c'est-à-dire durant le premier cycle de la deuxième campagne, le cycle numéro 2001). Du coup, nous obtenons les caractérisations de 11 paramètres après 48 heures de la campagne de 2000 cycles de court-circuit répétitifs deux parmi eux (I_{ds} et V_{gs}) sont relevés aussi immédiatement après cette campagne. Cette étape est répétée après 4000 et après 5 000 cycles. La durée de la première campagne est 100 min qui se réfère aux 2000 cycles multipliés par la période de chaque cycle de 3s, la deuxième campagne prend aussi 100 min qui se réfère aux autres 2000 cycles multipliés par 3s, la durée 50 min correspond à la dernière campagne des derniers 1000 cycles multipliés par 3s.

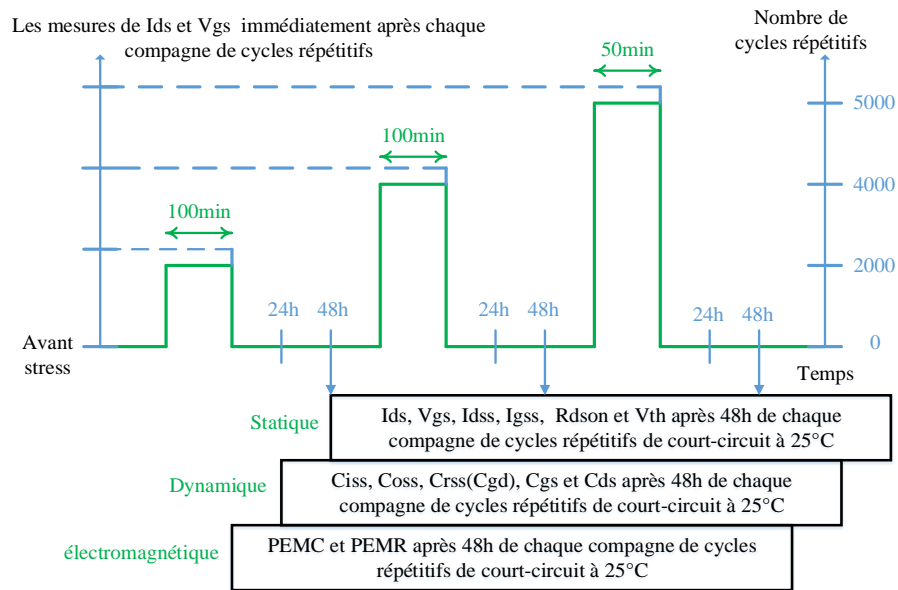


Figure 2.4 Processus de mesure électrique statique et dynamique pour le chapitre 1 et électromagnétique pour les chapitres 3 et 4

Toute cette procédure expliquée pour les caractéristiques électriques statiques et dynamiques avant et après chaque compagne de cycles répétitifs en régime de court-circuit sera la même avec les mêmes étapes détaillées au-dessus pour suivre les niveaux de perturbations électromagnétiques conduites et rayonnées dans les chapitres 3 et 4.

2.2.2 HTGB

Le test HTGB est parmi les tests de fiabilité et de robustesse effectués de façon routinière dans l'industrie de fabrication des semi-conducteurs. Il est imaginé pour attaquer électriquement l'oxyde de grille de MOSFET SiC en appliquant une tension de polarisation continue à haute température. Ce test nous permet de détecter toute dérive de paramètres électriques provoquée par un nombre important de pièges de charge à l'interface SiC/SiO₂ [Gur08]. Le HTGB est orienté uniquement vers les performances de la puce. Il consiste à polariser la puce par des paliers d'excitation électrique statique soit positive soit négative sur la grille avec un niveau de température. Il accélère les processus de la dégradation du composant de puissance à travers la dépendance en temps du claquage de diélectrique de la structure de grille conjugués avec l'injection et le piégeage de charges dans l'oxyde de grille.

Ce test est destiné pour les chapitres 3 et 4. Nous commençons par présenter le banc de test utilisé pour le vieillissement, son principe de fonctionnement ainsi que le protocole expérimental.

2.2.2.1 Mise en œuvre du banc de stress et instrumentation utilisée

Un schéma de principe et une photo de banc de test sont présentés sur la *Figure 2.5* et la *Figure 2.6*. Ce banc est constitué de :

- Trois sources d'alimentation DC délivrant 3 niveaux de tension continue -5V, -10V et 20V. Dans notre cas d'étude, les composants sous test ont été excités par ces 3 niveaux fixés toute la durée de test HTGB.

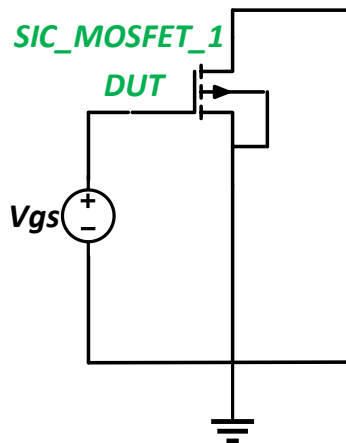


Figure 2.5 Schéma de principe du banc de test expérimental de vieillissement HTGB

- Trois groupes de composants de puissance sous test de références CMF20120D de la première génération de chez CREE [CREE] notés SIC_MOSFET_1. Il peut passer à l'état conducteur avec une tension V_{gs} de 25V et se bloque en appliquant une tension V_{gs} négative de -5V. Dans notre cas d'étude, on a utilisé une tension continue positive de 20V pour le faire garder à l'état passant toute la durée de test et deux tensions continues négatives de -5V et -10V pour qu'il soit à l'état bloqué toute la période de test.



Figure 2.6 Photo du banc de test expérimental de vieillissement HTGB

- une enceinte thermique fermée (étuve) utilisée pour des tests de vieillissement de stockage à haute température, permettant de fournir des températures variables entre T_{amb} et 350°C avec une précision de $\pm 5^{\circ}\text{C}$. Dans notre étude, nous avons besoin d'une température fixe de 150°C toute le long de test HTGB.

2.2.2.2 Conditions de test

Dans le but de garantir la régularité des mesures de différentes émissions électromagnétiques avant et après les essais de HTGB, nous devons mettre un protocole expérimental qui consiste à définir les conditions de test et l'ensemble des paramètres électromagnétiques à caractériser. Ce protocole doit être commun tout le long de test et quel que soit l'échantillon sous test utilisé.

Les conditions de test sont résumées dans le Tableau 2.2 :

- La tension de commande appliquée entre la grille et la source V_{gs} est une tension continue fixe de -5V pour le premier groupe d'échantillons MOSFET SiC, de -10V pour le deuxième groupe et $+20\text{V}$ pour le troisième.
- La tension appliquée entre le drain et la source V_{ds} est nulle (le drain et la source sont court-circuités).

- Les tests et les mesures sont respectivement effectués à une température fixe de 150°C tout le long de test et de 25°C toute la durée de mesure des paramètres électriques.
- La durée de test pour chaque groupe d'échantillons et chaque niveau de tension V_{gs} est 900h.
- Afin de vérifier la reproductibilité des résultats et garantir leur crédibilité, le nombre de composants soumis sous au test de vieillissement est 4 échantillons pour chaque niveau de tension V_{gs} ainsi 3 groupes de 4 composants chacun.

Tableau 2.2 Récapitulatif de diverses conditions de test de vieillissement en régime de court-circuit

V_{gs} (V)	V_{ds} (V)	Température de test (°C)	Température de mesure (°C)	Durée de test (h)	Nombre de DUT
-5	0	150	25	900	4
-10	0	150	25	900	4
20	0	150	25	900	4

2.2.2.3 Suivi des caractérisations électromagnétiques

Dans cette partie, le but est de suivre l'influence des conditions expérimentales citées dans la partie précédente, dont principalement la durée de l'application de stress et la température de l'environnement contraignant sur les caractérisations électromagnétiques de MOSFET SiC.

Dans la *Figure 2.7* ci-dessous, nous présentons un schéma qui peut illustrer le principe de la prise des mesures de paramètres liés aux émissions avant et après le test de vieillissement HTGB.

Pour évaluer les performances électromagnétiques des MOSFET SiC soumis sous un environnement critique pendant une longue durée, nous mesurons les PEM pour chaque tension statique V_{gs} appliquée avant et après une durée de 300h en utilisant pour chaque type de perturbations le circuit de mesure pertinent. Tout d'abord, on met 3 groupes d'échantillons neufs dans les hacheurs série et parallèle pour relever la mesure de PEM avant vieillissement (à zéro heure). Ensuite, nous retirons les DUT de ces hacheurs et nous les connectons au banc de test de vieillissement HTGB. Après, nous soumettons ces DUT à des contraintes sous l'application d'une tension statique fixe sur la grille de -5V pour le premier groupe d'échantillons, de -10V pour le deuxième groupe et de 20V pour le troisième et sous une

température environnementale élevée de 150°C pendant une période totale de 900h (plus de 5 semaines). Après la résiliation de la première durée de 300h pour les trois groupes d'échantillons et après 48 heures de repos à 25°C, on les rebranche dans les hacheurs série et parallèle pour mesurer les émissions électromagnétiques après 300h. Cette étape est répétée après 600h et 900h et bien entendu pour les trois groupes. Les caractéristiques électromagnétiques conduites et rayonnées émises par le composant sous test sont relevées périodiquement à une température de 25°C.

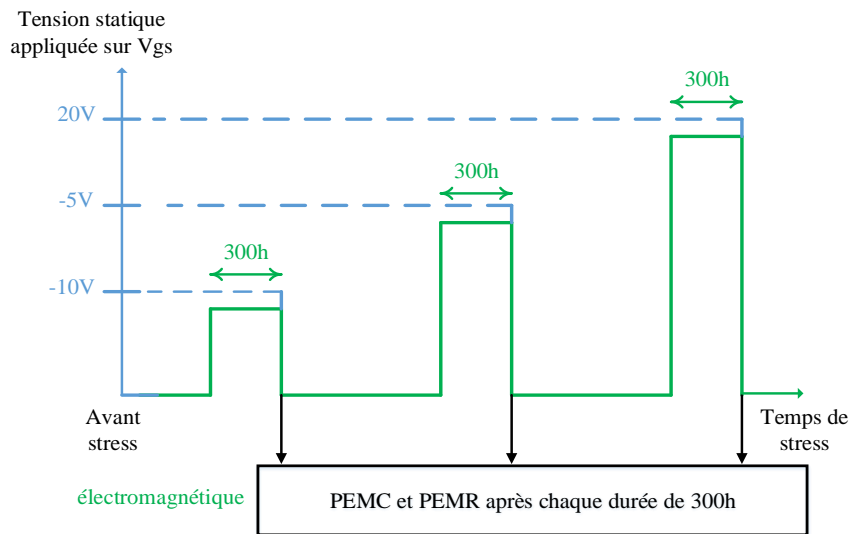


Figure 2.7 Processus de mesure de PEMC et PEMR avant et après les tests HTGB pour les chapitres 3 et 4

2.3 Caractéristiques électriques

Dans le but de suivre les paramètres électriques statiques et dynamiques avant et après vieillissement, on peut trouver de nombreuses techniques et moyens. Par contre, il est indispensable d'utiliser le même moyen avant l'application de stress et après tous les niveaux de dégradation afin d'éviter les erreurs expérimentales produites par le changement de stratégie de mesure.

Toutes les caractérisations menées ont pour but d'apporter une analyse physique pour les chapitres 3 et 4 et de nous donner une estimation précise de paramètres intrinsèques et extrinsèques initiaux et dégradés de transistor MOSFET SiC pour le chapitre 5.

2.3.1 Caractéristiques électriques statiques

Les caractéristiques électriques statiques sont une étape incontournable pour obtenir des informations sur le comportement des composants. D'ailleurs, la première génération de MOSFET SiC de chez CREE est très récente, ainsi, la connaissance de sa maturité des procédés de fabrication est indispensable. Cette étape nous permet d'avoir une idée sur les caractéristiques de plusieurs composants identiques de la même industrie, même génération et même référence commerciale, sur la concordance entre les caractérisations électriques avant vieillissement avec celles de la datasheet. Notre objectif est de connaître les variations de ces caractéristiques au-delà des datasheets qui ne donnent aucune information sur l'effet de vieillissement.

Les mesures menées nécessitent plusieurs types d'appareils de mesure afin de procéder aux caractéristiques électriques statiques et dynamiques. Afin de les réaliser, nous avons utilisé des appareils de mesure du laboratoire IRSEEM et également du laboratoire GPM (Groupe Physique des Matériaux – Université de Rouen). Pour chaque paramètre traité dans cette partie, nous décrivons brièvement les systèmes et instrumentations utilisés. La plupart de ces mesures requièrent des SMU (Source and Measurement Unit) qui servent, en même temps, à alimenter le MOSFET SiC et à mesurer le courant le traversant et la tension à ses bornes.

2.3.1.1 Les formes d'ondes temporelles au cours du vieillissement en régime de court-circuit

Dans cette section, nous nous intéressons aux deux formes d'ondes temporelles I_{ds} et V_{gs} au cours de test de vieillissement de court-circuit. Les deux paramètres sont visualisés par un oscilloscope DSOX2014A au cours de test, pour cela, quant à ces deux paramètres, le banc de test est celui de mesure. La sortie BNC out I_{ds} permet de lire I_{ds} sous forme d'une tension avec un coefficient 50mV/A.

Comme expliqué précédemment, nous respectons le protocole établi pour ces mesures.

2.3.1.1.1 Courant de court-circuit I_{ds}

Commençons par expliquer les légendes de toutes les figures de ce chapitre ou le test de court-circuit est appliqué pendant trois campagnes de cycles répétitifs. Pour passer d'une campagne à une autre, le composant reste au repos 48h. Cette période nous permet de différencier l'effet de la température de jonction issu de l'auto-échauffement de l'effet réel du vieillissement. Pour cela le mot « immédiatement » dans la légende signifie l'effet de la température de jonction sur le composant et « après 48h de repos » implique l'effet réel du vieillissement.

L'évolution de la forme d'onde du courant de court-circuit I_{ds} , avant vieillissement, au cours de cycle n° 2000 et pendant le cycle n° 2001, représentée sur la *Figure 2.8*. Le cycle n° 2000 est le dernier cycle de la première campagne, il est mentionnée dans la légende de la figure au-dessous par : après 2000 cycles répétitifs, immédiatement. Le cycle n° 2001 est le premier cycle de la deuxième campagne après un repos de 48h.

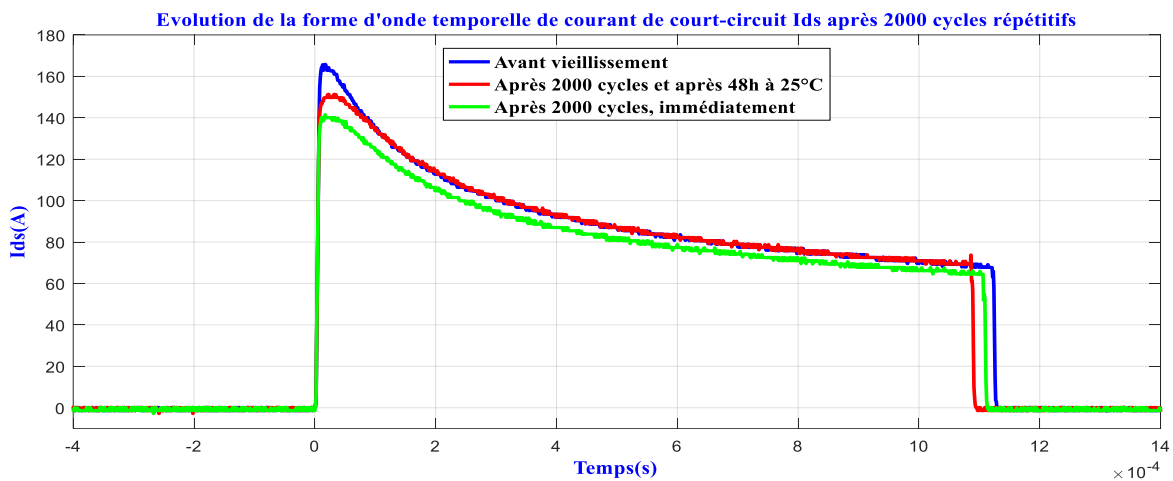


Figure 2.8 L'évolution de la forme d'onde temporelle du courant de court-circuit I_{ds} avant et après 2000 cycles répétitifs

La *Figure 2.9* illustre l'évolution de la forme d'onde du courant de court-circuit I_{ds} avant vieillissement, au cours de cycle n° 4000 et pendant le cycle n° 4001.

L'effet de la troisième campagne de vieillissement en régime de court-circuit sur la forme d'onde du courant I_{ds} est donné par la *Figure 2.10*.

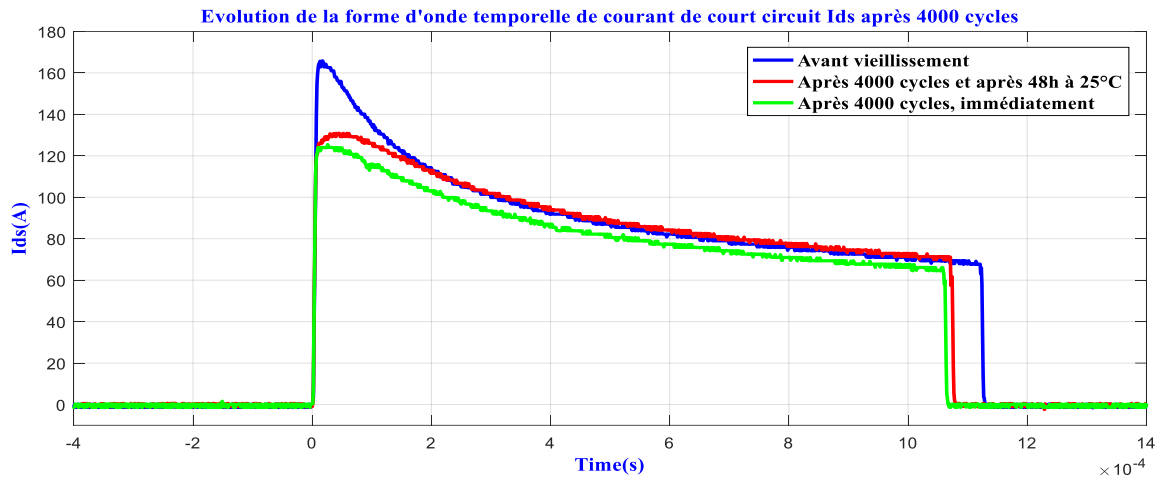


Figure 2.9 L'évolution de la forme d'onde temporelle du courant de court-circuit I_{ds} avant et après 4000 cycles répétitifs

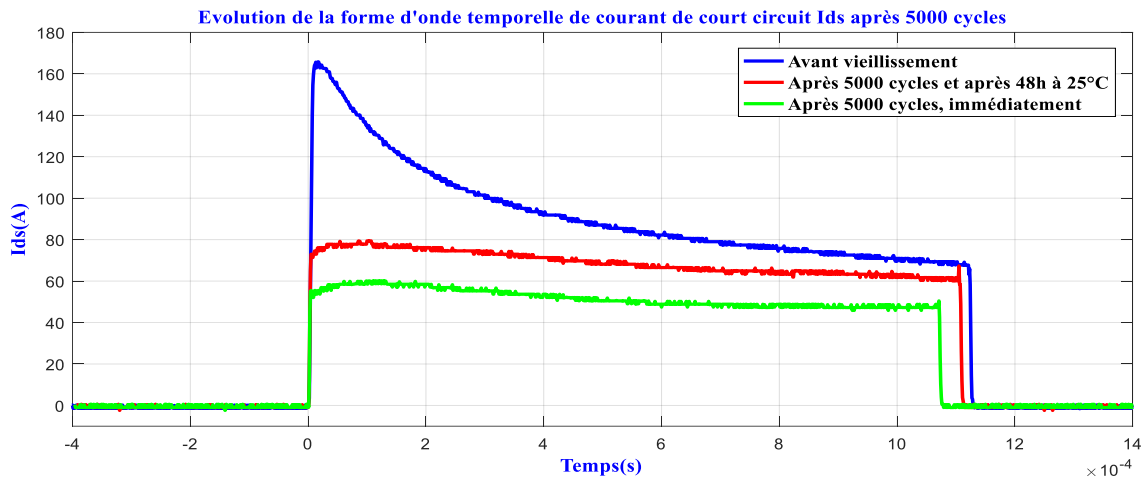


Figure 2.10 L'évolution de la forme d'onde temporelle du courant de court-circuit I_{ds} avant et après 5000 cycles répétitifs

Un changement clair des caractéristiques de courant de court-circuit I_{ds} se manifeste. En effet, le niveau de I_{ds} diminue visiblement avec le nombre croissant de cycles répétitifs court-circuit. En effet, comme montre la *Figure 2.10*, I_{ds} diminue immédiatement après 5000 cycles (à la température de jonction du DUT) d'environ 110A (au pic de l'onde) et environ 90 A après 48 h de repos (à 25 ° C). Cette caractérisation met en évidence l'effet réel du vieillissement pendant l'application de cycles répétitifs de court-circuit.

De plus, la température de jonction due à l'auto-échauffement de la puce revient au taux de croissance des cycles stressants. Ce qui active les différentes dynamiques conduisant soit à

une destruction du dispositif, soit à une diminution de l'ampleur de courant due aux pièges d'oxyde et aux défauts d'interface SiC-SiO₂.

Dans [CFY+14], l'auteur a montré que les cartes thermiques ont montré une augmentation de la focalisation du courant sous les plots de la source après des cycles répétitifs de court-circuit. Ce phénomène traduit la réduction des valeurs du courant de court-circuit I_{ds} .

D'autre part, le comportement du courant I_{ds} immédiatement après le vieillissement peut être dû à l'augmentation de la résistance à l'état passant, étudiée dans la section 2.3.1.3. Ce qui reflète réellement l'impact de l'auto-échauffement et pas de vieillissement. En effet, l'augmentation de R_{dson} entraîne une diminution localisée de la tension entre la grille et la source, étudiée dans la section 2.3.1.1.2, comme indiqué sur les transistors JFET dans [BLK13]. Plus exactement, cette diminution de I_{ds} peut être liée à la structure verticale représentée par les deux résistances élémentaires R_{drift} et R_{JFET} . Ces dernières sont deux composantes de la résistance R_{dson} étudiées dans le chapitre 5, section 5.3.1.2 qui servent à augmenter la résistance R_{dson} et à limiter le courant I_{ds} .

2.3.1.1.2 Tension entre la grille et la source V_{gs}

Passons à l'évolution de la forme d'onde de tension grille-source V_{gs} , avant vieillissement, au cours de cycle n° 2000 et pendant le cycle n° 2001, représentée sur la *Figure 2.11*.

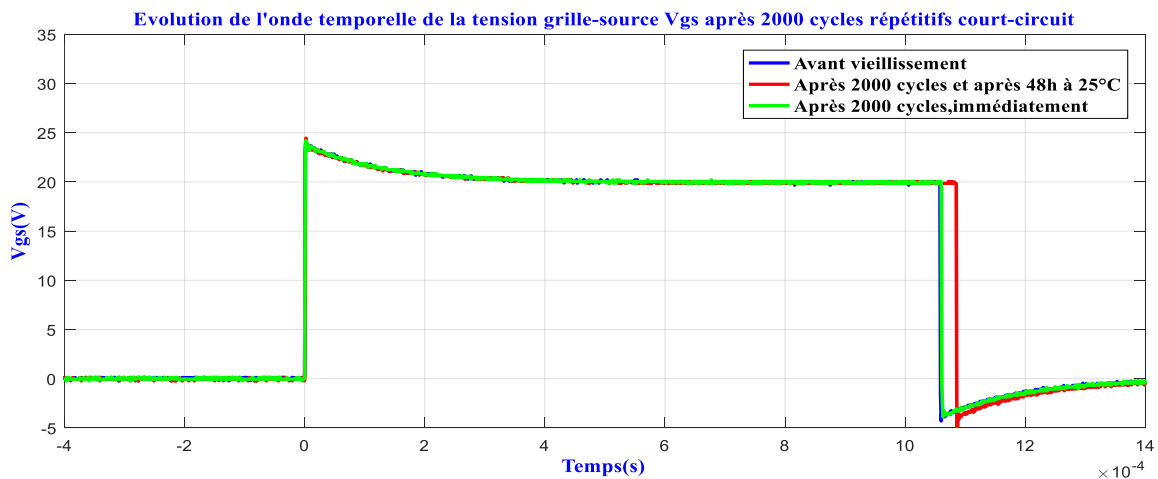


Figure 2.11 L'évolution de la forme d'onde temporelle de tension V_{gs} avant et après 2000 cycles répétitifs

La Figure 2.12 illustre l'évolution de la forme d'onde de tension grille-source V_{gs} avant vieillissement, au cours de cycle n° 4000 et pendant le cycle n° 4001.

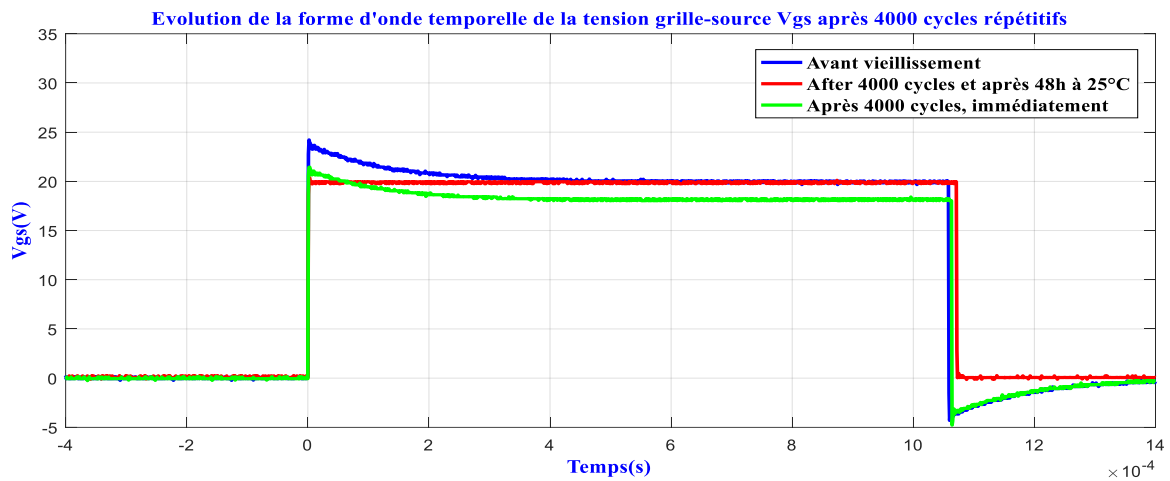


Figure 2.12 L'évolution de la forme d'onde temporelle de tension V_{gs} avant et après 4000 cycles répétitifs

L'effet de la troisième campagne de vieillissement en régime de court-circuit sur la forme d'onde de V_{gs} est donné par la Figure 2.13.

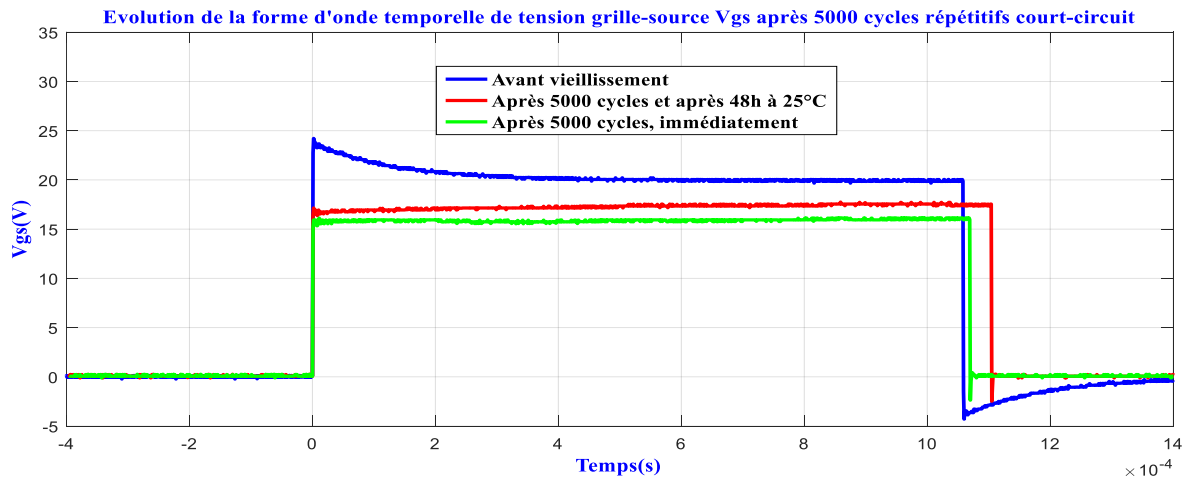


Figure 2.13 L'évolution de la forme d'onde temporelle de tension V_{gs} avant et après 5000 cycles répétitifs

Après 2000 cycles, il n'y a aucune variation de la tension grille-source V_{gs} , elle est quasiment stable. Avec l'augmentation du nombre de cycles répétitifs appliqués sur le composant, V_{gs} évolue. Ses valeurs après la campagne de 4000 et 5000 cycles diminuent visiblement.

Cette diminution est très significative après 5000 cycles. Elle reflète clairement la dégradation au niveau de l'oxyde de grille du MOSFET, plus particulièrement, la dégradation entre la grille et la source. Cette dégradation coïncide avec l'apparition d'un fort courant de fuite de grille entre la grille et la source I_{gss} (voir section 2.3.1.4), qui circule à travers la résistance de la grille R_{G1} . En effet, puisque V_{driver} est toujours invariable, l'application de la loi de maille prouve la réduction de V_{gs} . Ainsi, la diminution de V_{gs} résulte de l'apparition d'un courant de fuite I_{gss} après les cycles répétitifs.

2.3.1.2 Tension de seuil V_{th}

La tension de seuil est extraite de la caractéristique de transfert $I_{ds}(V_{gs})$. En effet, elle est un des paramètres importants du transistor MOSFET. Par définition, elle est généralement définie comme étant la tension à fournir à la grille pour faire circuler le courant entre le drain et la source I_{ds} à partir de laquelle le semi-conducteur commence à être passant. Elle se considère comme étant la tension à fournir à la grille pour avoir une inversion des charges dans le canal. Dans [OFG+13], l'auteur a apporté de nombreuses techniques pour mesurer cette tension. Au niveau de l'industrie, aujourd'hui chaque fabricant utilise une méthodologie différente pour la mesurer. Dans notre étude, afin de la mesurer, nous utilisons une technique qui consiste à appliquer une tension sur la grille pour obtenir un courant de drain I_{ds} de 1mA en utilisant un SMU et en court-circuitant la grille et le drain. Cette technique est très répandue dans l'industrie en raison des limites du traceur de caractéristiques de transfert à faibles intensités. Elle assure une estimation de V_{th} très précise sans aucune complexité.

Pour obtenir une valeur de mesure assez précise, le SMU utilisé dans le circuit de mesure de V_{th} est un picoammètre Keithley 2612B qui possède deux sources identiques. Chaque source est capable de fournir en continu $\pm 1,5A$ sous $\pm 20V$. Comme montre la *Figure 2.15*, une station de travail présentant une interface logicielle graphique LabVIEW (illustrée sur la *Figure 2.16*) souple et très conviviale a été utilisée. Cette interface présente l'avantage d'une manipulation du picoammètre, de l'obtention d'une valeur précise de V_{th} et de la visualisation d'une petite caractérisation de transfert $I_{ds}(V_{gs})$ juste dans la région linéaire pour des valeurs de $V_{gs} \leq V_{th}$.

Le schéma de principe de cette mesure est illustré sur la *Figure 2.14*. La tension de seuil est tout d'abord mesurée avant vieillissement puis mesurée après 2000, 4000 et 5000 cycles. Au cours de mesure, le MOSFET SiC examiné reste à la température ambiante à 25°C.

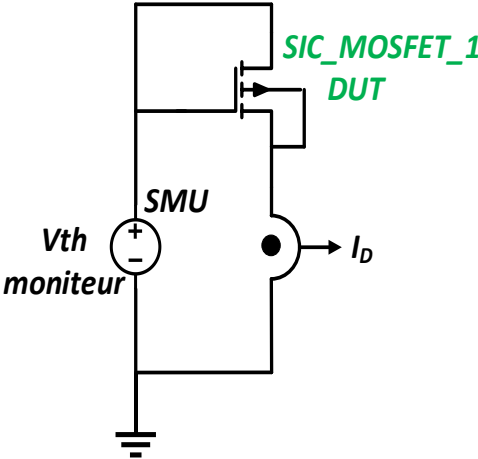


Figure 2.14 Schéma de principe du banc de mesure de la tension de seuil

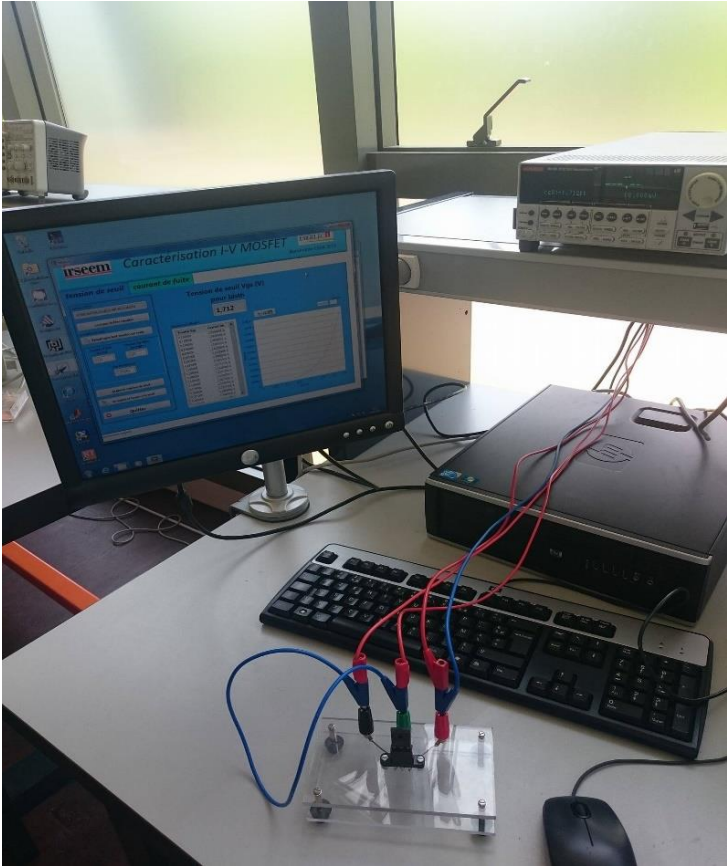


Figure 2.15 Photo du banc de mesure de la tension de seuil

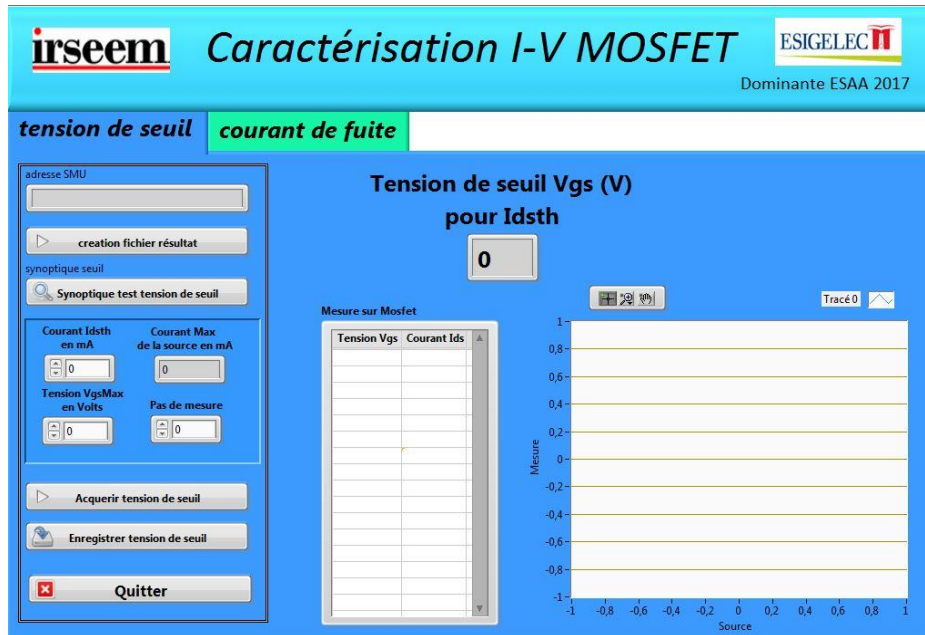


Figure 2.16 Interface utilisateur du serveur de programme du banc

Les variations importantes de la tension de seuil V_{th} sont très indésirables dans l'industrie car elles entraînent un semi-conducteur qui ne remplit plus sa fonction. C'est pour cela V_{th} représente souvent un indicateur de défaillance.

Avant vieillissement et après 2000, 4000 et 5000 cycles répétitifs de court-circuit, une mesure de la tension de seuil V_{th} est effectuée pour 4 échantillons de MOSFET SiC.

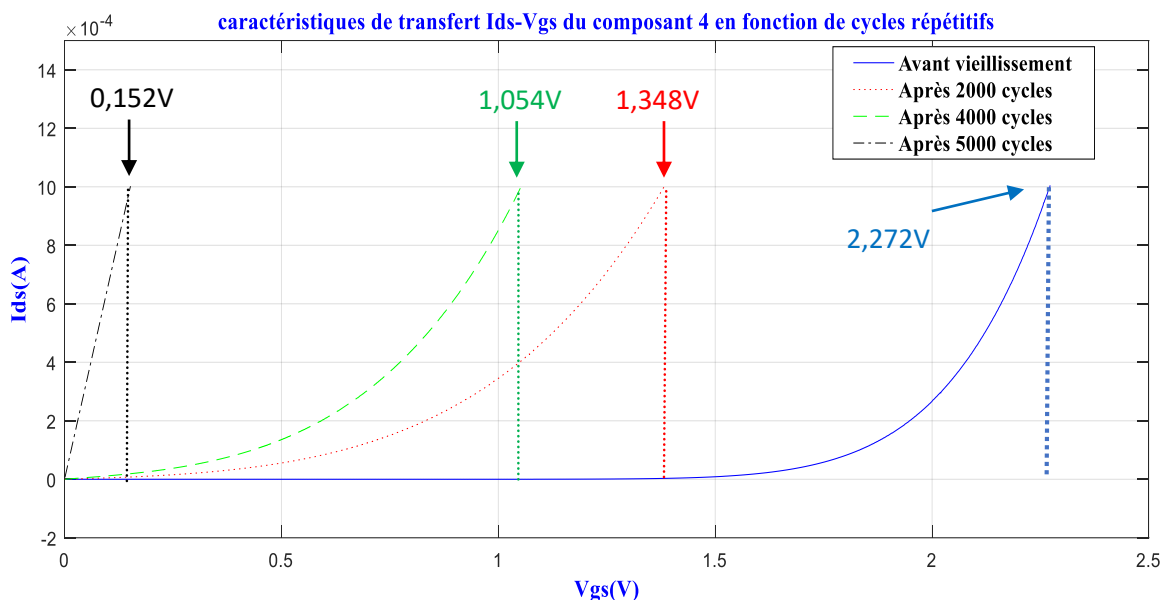


Figure 2.17 Les caractéristiques de transfert I_{ds} - V_{gs} du dispositif sous test (composant 4) données par l'interface LabVIEW en fonction de cycles répétitifs

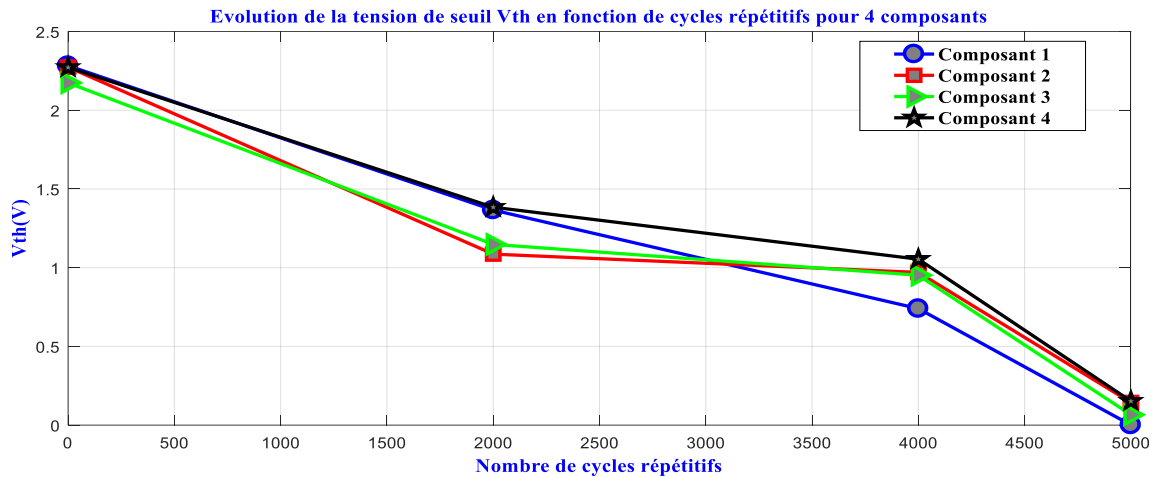


Figure 2.18 L'évolution de la tension de seuil V_{th} en fonction de cycles répétitifs de court-circuit pour les 4 composants

La Figure 2.17 présente l'effet de cycles répétitifs sur la caractérisation de transfert $I_{ds}(V_{gs})$, donnée par l'interface LabVIEW, de composant n°4 juste dans la région linéaire pour des valeurs de $V_{gs} \leq V_{th}$.

L'évolution de V_{th} en fonction de cycles répétitifs est illustrée par la Figure 2.18. Nous constatons que la tension de seuil décroît avec l'augmentation de nombre de cycles répétitifs. Cette diminution atteint 0,152V après 5000 cycles. Étant donné que V_{th} est supérieure à 0V, cette diminution reste ainsi acceptable puisque le MOSFET SiC garde sa caractéristique de normalement bloqué jusqu'à 5000 cycles.

La décroissance de V_{th} est due à un changement au niveau des propriétés physiques de l'ensemble grille/SiO₂/SiC. D'après Lelis dans [Lel08], la chute de la tension V_{th} est suite à l'apparition d'un courant tunnel qui engendre des pièges dans l'oxyde et à l'interface SiC/SiO₂. Ces charges d'oxyde et les défauts à l'interface SiC/SiO₂ créent un petit champ électrique qui contribue à l'inversion du canal. Ainsi, ils sont à l'origine de la diminution de la tension de seuil. En effet, ils attirent les électrons du courant circulant entre le drain et la source. Du coup, le courant ne circule pas plus efficacement en présence de ces pièges à oxyde. Par la suite, le MOSFET passe à l'état bloqué moins facilement et il est plus rapide de passer à l'état passant. En outre, la contribution thermique du courant de court-circuit accentue ce phénomène provoquant davantage la dérive de la tension de seuil due à l'énergie thermique fournie à ces pièges d'oxyde. En fait, l'énergie thermique due au stress appliqué est à même de créer des charges dans l'oxyde et par la suite une diminution de la résistivité dans le canal N. Ce qui permet de fournir une tension moins importante capable de faire circuler un courant dans le

canal N. Ainsi, plus le nombre de cycles de court-circuit répétitifs est élevé, plus la tension de seuil est basse.

Cela peut être confirmé par la section 2.3.1.1.2 qui présente une réduction de la forme d'onde temporelle de V_{gs} lors des tests de court-circuit en raison de l'augmentation du courant de fuite de la grille I_{gss} (*Figure 2.12* et *Figure 2.13* dans la section 2.3.1.4) [NAT+15].

La *Figure 2.18* présente également une diminution rapide de la tension de seuil entre zéro et 2000 cycles, puis une réduction plus lente entre 2000 et 4000 cycles et une autre dérive plus rapide entre 4000 et 5000 cycles. Il nous semble que la dérive la plus rapide revient aux trous d'interface déjà existants auparavant. Ces trous existants sont remplis très rapidement d'électrons, notamment à une température de jonction élevée. La réduction plus lente de V_{th} est probablement due à la création de nouvelles charges d'interface, vu que les trous déjà existants sont remplis au préalable.

La *Figure 2.19* montre l'évolution du ΔV_{th} pour les 4 MOSFET SiC en utilisant le Tableau 2.3. Il apparaît clairement que plus le nombre de cycles répétitifs est important, plus la dérive de ΔV_{th} est conséquente avec une diminution plus marquée entre 0 et 2000 cycles et entre 4000 et 5000 cycles. Nous remarquons aussi qu'après 5000 cycles le pourcentage de diminution de V_{th} est 93,3% ce qui clarifie l'effet de test de vieillissement en régime court-circuit sur les performances électriques de MOSFET SiC telle que V_{th} .

Tableau 2.3 Evolution de V_{th} (valeur) et ΔV_{th} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit du composant 4

Nombre de cycles répétitifs	$V_{th}(V)$	$\Delta V_{th}(V)$	$\Delta V_{th}(\%)$
0	2,272	0	0
2000	1,348	-0,924	49,5
4000	1,054	-1,218	53,6
5000	0,152	-2,12	93,3

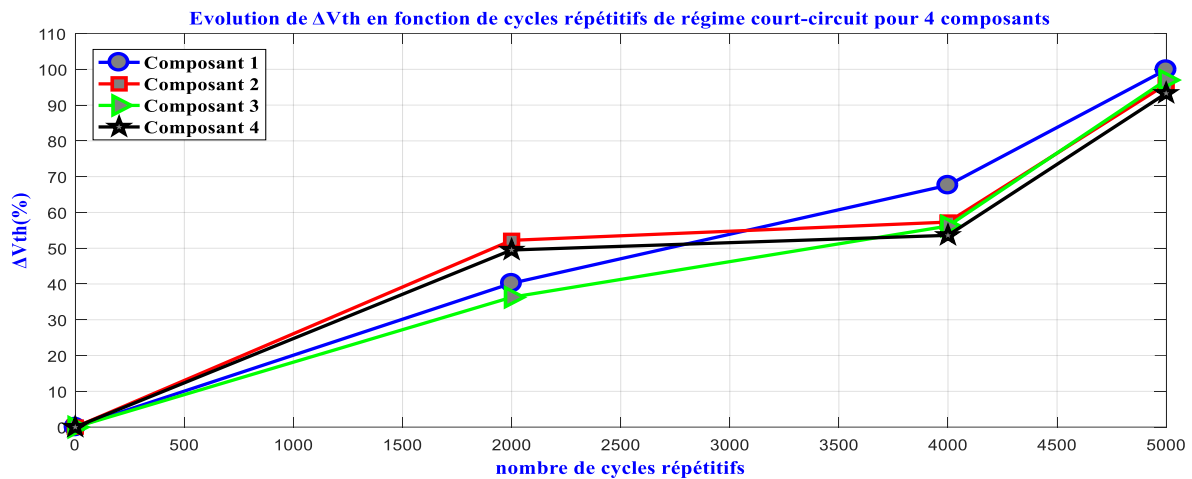


Figure 2.19 L'évolution de ΔV_{th} en pourcentage avec le nombre de cycles répétitifs de court-circuit pour les 4 composants

2.3.1.3 Résistance à l'état passant R_{dson}

La résistance à l'état passant a également été suivie régulièrement pendant les tests de vieillissement du MOSFET SiC. A partir de la caractéristique de sortie $I_{ds}(V_{ds})$ réalisée par l'intermédiaire de banc de mesure illustré par la *Figure 2.20*, nous avons tracé la résistance à l'état passant R_{dson} en fonction de nombre de cycles répétitifs de court-circuit appliqués sur le MOSFET SiC. Cette résistance a été mesurée pour une valeur de courant I_{ds} de 5A et une valeur de V_{gs} de 12V à 25 ° C. R_{dson} représente les pertes en conduction puisque, à l'état passant, la puissance dissipée est égale à cette résistance multipliée par le carré du courant I_{ds} qui la traverse.



Figure 2.20 Photo du banc de mesure de caractéristique de sortie $I_{ds}-V_{ds}$

La *Figure 2.21* présente l'évolution de la résistance à l'état passant R_{dson} en fonction de nombre de cycles répétitifs appliqués sur les 4 composants sous test.

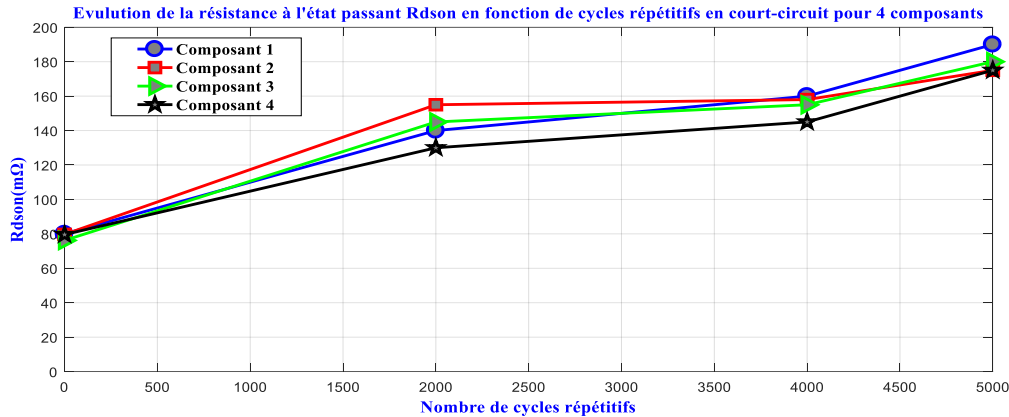


Figure 2.21 L'évolution de la résistance à l'état passant R_{dson} en fonction de cycles répétitifs de court-circuit pour les 4 composants

Sur la courbe, on peut remarquer que la résistance dépend de nombre de cycles répétitifs. Une augmentation progressive de cette résistance après les trois campagnes de stress est observée. En effet, R_{dson} a enregistré une hausse d'environ $110m\Omega$ correspond à 57,9% pour le composant 1 après 5000 cycles.

Cette augmentation est due probablement à une dégradation considérable des fils de bonding et/ou de la métallisation de source. Des études récentes se sont occupées de l'analyse de cette croissance pour les composants en Si dans [TDR12] [PPL+10] [MML+10]. Les auteurs ont montré que la dérive de R_{dson} est bien liée à la dégradation significative de la métallisation due à la reconstitution d'aluminium au cours des tests de vieillissement.

L'évolution de la résistance à l'état passant est intrinsèquement corrélée à celle du courant de court-circuit [BLK13]. En effet, dans la section 2.3.1.1.1, la *Figure 2.8*, la *Figure 2.9* et la *Figure 2.10*, qui présentent les formes d'onde temporelle du courant I_{ds} au cours de vieillissement, montrent clairement une diminution significative de ce courant. En effet, cette diminution de I_{ds} , observée dans cette section-là, se traduit par une augmentation de la résistance à l'état passant R_{dson} .

Des résultats similaires ont été obtenus dans [CFY+14] pour des transistors identiques à ceux utilisées dans notre étude également soumis à des tests de court-circuit répétitifs. L'auteur a montré que la température de jonction augmente localement au voisinage des fils de bonding de la source, et cela est dû à la répartition inhomogène du courant. Ce phénomène s'est accentué

avec l'effet de stress, ce qui explique la réduction du courant de court-circuit I_{ds} et l'augmentation de la résistance à l'état R_{dson} .

R_{dson} a servi d'un indicateur de défaillance pour les MOSFETs conventionnels [CSS+11]. Dans les MOSFET SiC, il semble être applicable. Cependant, comme le montre la *Figure 2.21*, la valeur de R_{dson} est relativement faible ($190\text{m}\Omega$) après 5000 cycles de court-circuit et avant seulement 400 cycles de la défaillance de composant.

2.3.1.4 Courant de fuite de grille I_{gss}

Dans la section 2.3.1.1.2, nous avons montré que la forme d'onde temporelle de la tension V_{gs} présente une chute au cours de l'application de cycles répétitifs de court-circuit. Nous avons constaté que cette diminution de tension revient probablement à l'apparition d'un courant de fuite de grille I_{gss} qui s'avère être responsable de la dégradation au niveau de l'oxyde de grille de transistor MOSFET SiC. Dans cette optique, nous devons suivre son évolution en fonction de cycles répétitifs appliqués en régime de court-circuit, afin d'étudier la dégradation de la grille.

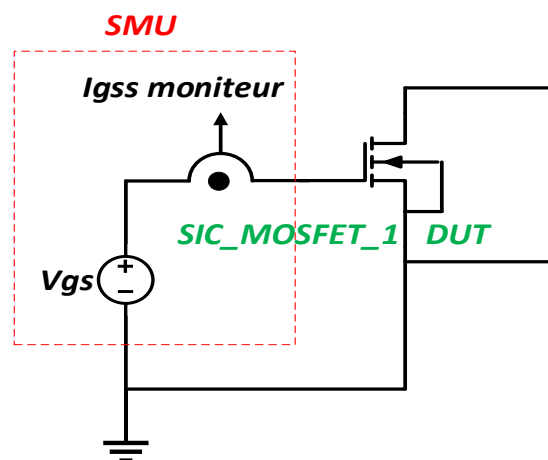


Figure 2.22 Schéma de principe du banc de mesure du courant de fuite de grille I_{gss}

La mesure de courant de fuite de grille I_{gss} pour les deux tests et les différents échantillons est réalisée par le biais d'un SMU Keithley 2636B comme le montre la *Figure 2.23*. Ce SMU est une source-mètre spécialisée dans les mesures de faible courant. Il est constitué de deux alimentations intégrées à la fois, une source de tension contrôlable, un nano ampèremètre ($\pm 200\text{mV}$ à $\pm 200\text{V}$, $\pm 1\text{nA}$ à $\pm 10\text{A}$), d'un générateur de forme d'onde arbitraire et d'un générateur d'impulsions. Il est piloté à l'aide du logiciel TSP-Express fourni par Keithley. Le

principe de mesure de I_{gss} est illustré par la *Figure 2.22*. Il consiste à faire polariser la grille avec une tension de 20V en court-circuitant les électrodes du drain et de la source.

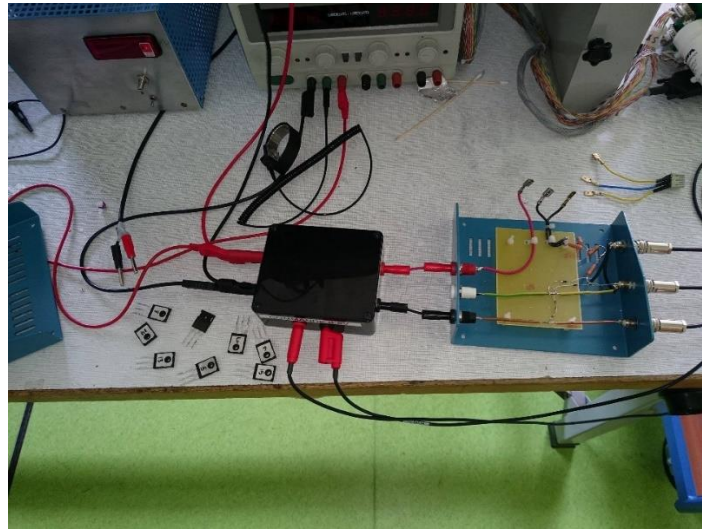


Figure 2.23 Photo du banc de mesure du courant de fuite de grille I_{gss} et de drain I_{dss}

La *Figure 2.24* présente l'évolution du courant de fuite de grille I_{gss} de 4 échantillons étudiés. Durant la première campagne de cycles répétitifs, la valeur du I_{gss} reste très faible (aux alentours de 10^{-11} A). Elle ne présente aucune progression notamment pour les composants n°1 et n°4 avec une légère augmentation pour les deux autres composants. À partir de la deuxième campagne, nous pouvons constater une augmentation considérable de I_{gss} , de telle sorte que le MOSFET SiC n°1 atteint 9.10^{-3} A à 4000 cycles. Puis, l'évolution de ce courant de fuite redevient négligeable pendant la troisième campagne et voire stable.

Ces résultats montrent clairement la dégradation de l'oxyde de grille ce qui prouve la diminution de V_{gs} sous l'effet de stress dans la section 2.3.1.1.2. En effet, cette augmentation considérable du I_{gss} est en mesure de dégrader l'intégrité de l'oxyde de grille de MOSFET SiC après une perte partielle et progressive d'isolation engendrant ainsi la dégradation permanente de la grille [NAT+15]. Ce qui nous donne une explication à la panne totale de composant après 5400 cycles répétitifs.

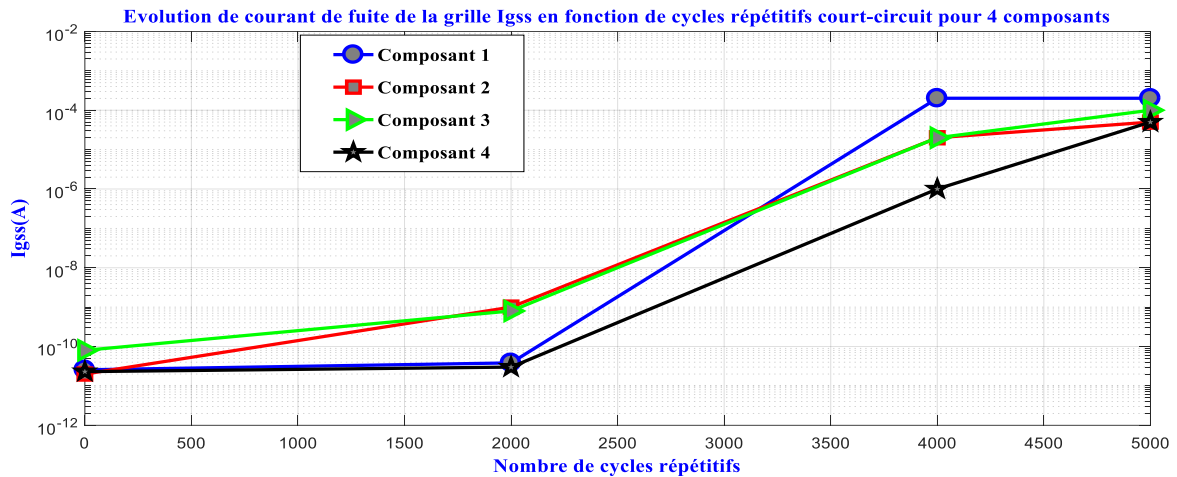


Figure 2.24 L'évolution du courant de fuite de la grille I_{gss} en fonction de cycles répétitifs de court-circuit pour les 4 composants

De nombreuses études ont prouvé qu'après une étude microscopique, cette dégradation a entraîné des fissures dans l'oxyde. Ce comportement particulier a déjà été montré sur d'autres MOSFET SiC dans [OLB+13] [CLL+15] où l'augmentation de ce courant de fuite a été expliquée par l'effet tunnel. Cela est dû au fait qu'une énergie élevée est dissipée rapidement dans le composant notamment au cours de la deuxième campagne. C'est un mode de défaillance électrique quasi immédiat et pur.

2.3.1.5 Courant de fuite de drain I_{dss}

La résistance à l'état passant R_{dson} représente les pertes en conduction à l'état passant du transistor MOSFET SiC. Le courant de fuite de drain représente les pertes en conduction à l'état bloqué. En effet, cette caractéristique nécessite une tension de commande qui permet de bloquer le composant avec une tension très élevée (soit toute la tension de claquage soit deux tiers de celle-ci) pour assurer le passage de courant à travers le drain même à l'état bloqué.

De la même façon que celle de I_{gss} , la mesure de courant de fuite de drain I_{dss} pour les deux tests et les différents échantillons est réalisée par l'intermédiaire d'un SMU Keithley 2636B comme le montre la Figure 2.23. En revanche, ce SMU peut servir d'un nanoammètre et non plus d'une source puisqu'il permet de fournir une tension maximale de 200V.

Pour cela, le principe de mesure de I_{dss} illustré par la Figure 2.25 consiste à faire polariser, à 25°C, le drain avec une tension de 960V (80% de la tension de claquage $V(BR)_{DSS}$

de 1200V) fournie par une autre source d'alimentation en court-circuitant les électrodes de la grille et de la source.

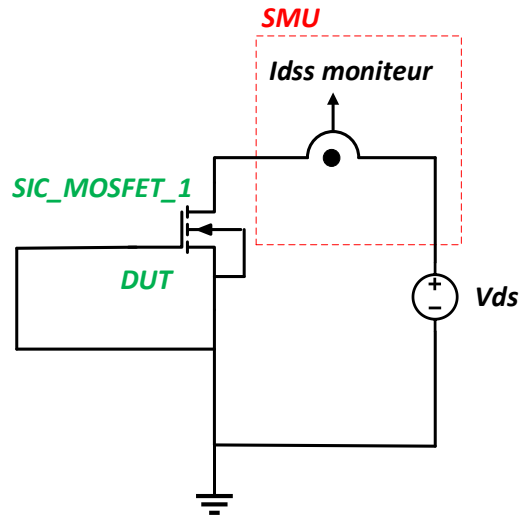


Figure 2.25 Schéma de principe du banc de mesure du courant de fuite de drain I_{dss}

La Figure 2.26 présente l'évolution du courant de fuite de drain I_{dss} de 4 échantillons étudiés. Durant la première et la deuxième campagne de cycles répétitifs, nous pouvons remarquer une augmentation considérable de I_{dss} de 10^{-8} A avant vieillissement jusqu'au 10^{-3} A à 4000 cycles pour le troisième composant. Par la suite, l'évolution de ce courant de fuite devient négligeable pendant la troisième campagne, voire stable. En effet, ses valeurs restent au même niveau que celles de 4000 cycles (entre 10^{-2} A et 10^{-3} A) et ne présentent aucune progression pour tous les composants.

L'augmentation du courant de fuite de drain I_{dss} peut se traduire par une dégradation de l'oxyde grille et une diminution de la tension de seuil [CFY+14]. On va analyser les deux cas :

- Pour tous les MOSFET SiC sous test, nous avons trouvé une évolution similaire de I_{dss} et I_{gss} notamment durant la deuxième et la troisième campagne de cycles répétitifs, au même moment où la dégradation de la grille a eu lieu et est devenu considérable. En effet, les électrons circulant entre le drain et la source traversent des fissures pour dépasser l'isolation du P-Well. Par conséquent, I_{gss} et I_{dss} sont liés. Si les défauts de l'oxyde deviennent trop importants et trop nombreux, il est possible que les jonctions grille-source et grille-drain soient court-circuitées. Ce qui entraîne une augmentation du courant de fuite du drain. Alors, l'évolution de courant de fuite de drain coïncide avec celui de grille.

- L'augmentation du I_{dss} en fonction de nombre de cycles répétitifs de court-circuit est principalement due à la diminution de V_{th} sous la croissance de nombre de cycles (génération des pièges à l'interface oxyde/semi-conducteur). En effet, la tension virtuelle de jonction de

bloquage est définie par $|V_{gs}-V_{th}|$ en valeur absolue. Autant cette tension virtuelle est élevée, autant le MOSFET SiC est bloqué. Étant donné que V_{gs} à l'état bloqué est nulle et V_{th} diminue avec le stress appliqué, alors $|V_{gs}-V_{th}|$ diminue en fonction de nombre de cycles répétitifs. Ce qui accentue ainsi l'effet de stress sur I_{dss} qui augmente plus. Il existe donc un lien direct entre la tension de seuil V_{th} et le courant de fuite de drain I_{dss} .

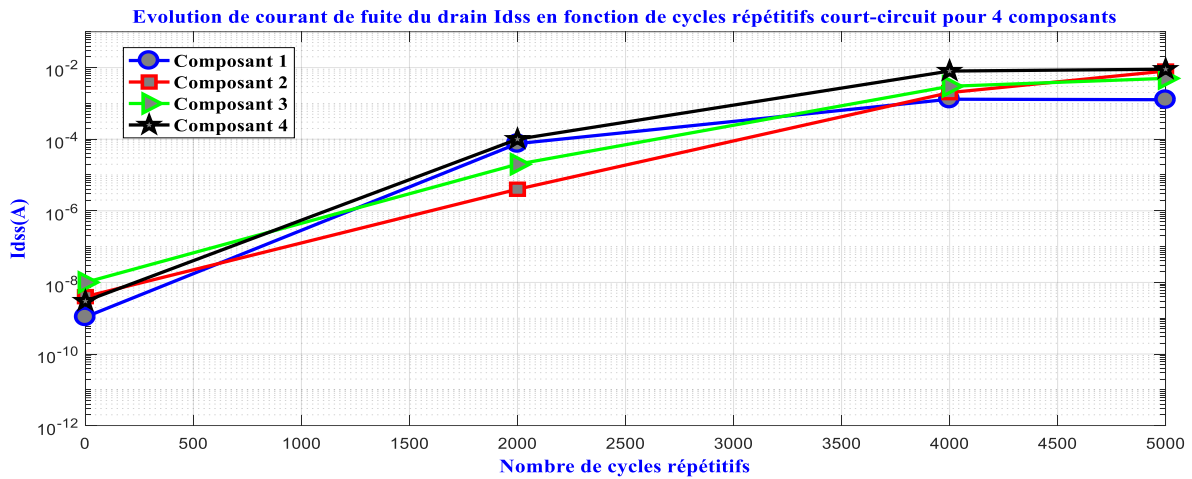


Figure 2.26 L'évolution du courant de fuite du drain I_{dss} en fonction de cycles répétitifs de court-circuit pour les 4 composants

2.3.2 Caractéristiques électriques dynamiques

La caractérisation électrique dynamique est une étape importante pour obtenir des informations sur la vitesse de commutation des composants, sur leurs pertes en commutation...etc. Notre objectif dans cette partie est de connaître l'effet de vieillissement sur l'évolution des paramètres électriques dynamiques tels que les capacités extrinsèques C_{iss} , C_{oss} et C_{rss} et les capacités intrinsèques C_{gd} , C_{gs} et C_{ds} des composants MOSFET SiC.

Les datasheets apportent généralement des courbes C-V, utilisées pour étudier la faculté des transistors à commuter rapidement. Ces courbes C-V spécifient généralement les valeurs de C_{iss} , C_{oss} et C_{rss} pour une large gamme de tensions drain-source V_{ds} .

JEDEC [Jes67] et IEC [Sem06] ont normalisé la mesure de ces capacités entre les électrodes de composant de puissance avec un pont capacitif.

Il existe de nombreuses méthodes pour mesurer ces capacités telles que la technique utilisant un interrupteur actif en parallèle avec le composant pendant la mise en conduction en court-circuitant la grille et la source [SHL+15].

Une technique de mesure dynamique a été présentée récemment par C. Delm [Dem01] [DH98] et C. Salcines [SKK+16]. Les auteurs ont utilisé une technique de mesure de capacités sous une conduction de courant élevé.

Dans notre étude, nous avons utilisé la technique conventionnelle adoptée par Funaki dans [FPK+09] qui consiste à utiliser un LCR-mètre. Les mesures de ces capacités sont définies dans le standard JEDEC JESD24 [Joi85] et présentées par le schéma de la *Figure 2.27*. Ce dernier illustre un schéma de principe de monture de mesure. La *Figure 2.28* présente une photo du banc de mesure. Dans notre cas, nous avons utilisé le LCR-mètre GW LCR-8110G capable de fonctionner jusqu'à 10MHz et qui peut être calibré en circuit ouvert et en court-circuit. Ce LCR-mètre est doté d'une borne Guard qui correspond à sa masse.

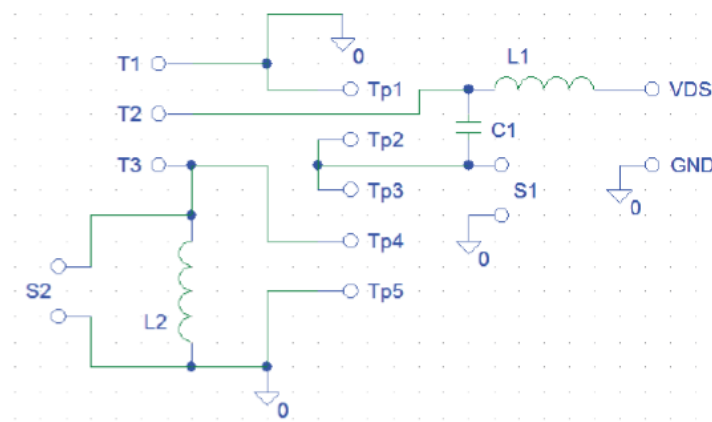


Figure 2.27 Schéma de principe de monture de mesure des capacités intrinsèques et extrinsèques de MOSFET SiC

Ces mesures ont été effectuées en régimes petits signaux à une fréquence F_{test} donnée avec une amplitude petite signal V_{ac} fixée et en fonction de V_{ds} et V_{gs} . Dans notre cas, les valeurs typiques sont déterminées par le constructeur de MOSFET CMF20120D [CREE] avec $F_{test} = 1\text{MHz}$, $V_{ac} = 25\text{mV}$ et $V_{gs} = 0\text{V}$.



Figure 2.28 Photo du banc de mesure des capacités intrinsèques et extrinsèques de MOSFET SiC

2.3.2.1 Capacités extrinsèques

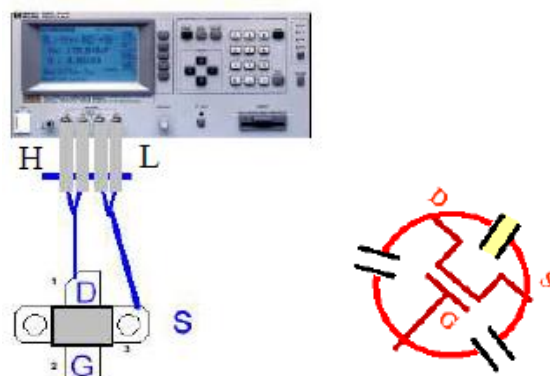


Figure 2.29 Schéma de principe du banc de mesure des capacités extrinsèques (somme de capacités entre deux contacts)

D'après [Sis02], pour quantifier les capacités extrinsèques, on peut utiliser la méthode de mesure "2 pin", illustrée sur la *Figure 2.29*. Cette méthode consiste en la mesure d'une somme de capacités intrinsèques comprises entre les deux contacts du composant. En effet, elle nous permet de mesurer les profils de capacités d'entrée C_{iss} , de sortie C_{oss} et de Miller C_{rss} en fonction de V_{ds} à une fréquence de 1MHz et un niveau d'oscillation de 25mV. La masse virtuelle "Guard" reste déconnectée.

2.3.2.1.1 Capacité d'entrée Ciss

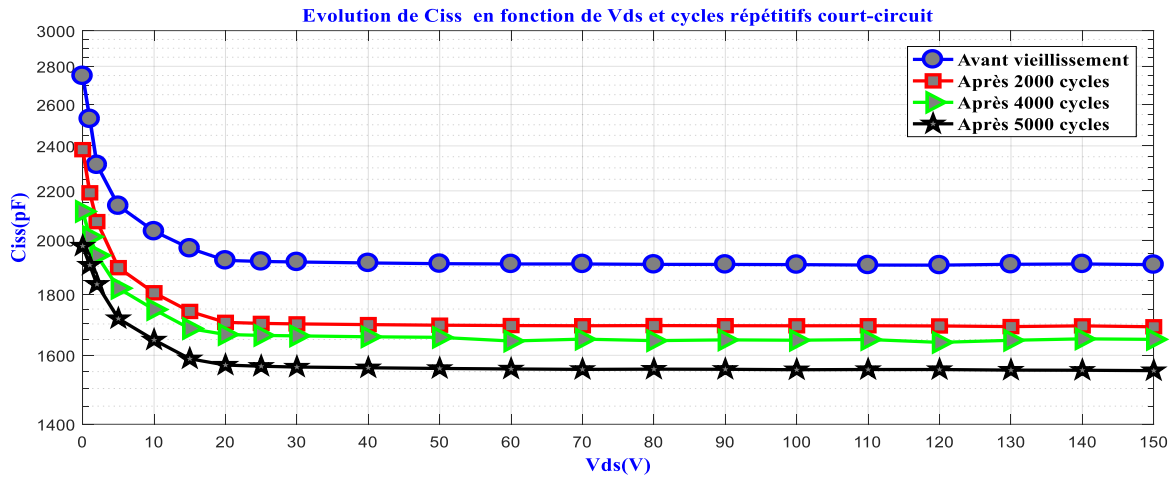


Figure 2.30 Evolution de la capacité d'entrée Ciss en fonction de Vds et cycles répétitifs de court-circuit

La Figure 2.30 illustre l'évolution de Ciss en fonction de la tension drain-source Vds avant et après le vieillissement en régime de court-circuit. Avec la croissance du nombre de cycles répétitifs appliqués sur le composant, les valeurs de la capacité d'entrée Ciss diminuent quel que soit la tension Vds.

Tableau 2.4 Evolution de Ciss (valeur) et ΔCiss (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour Vds égale à 0V et 60V

Nombre de cycles répétitifs	Ciss(pF)		ΔCiss(pF)		ΔCiss(%)	
	Vds(V)		Vds(V)		Vds(V)	
	0	60	0	60	0	60
0	2748.6	1909.5	0	0	0	0
2000	2382.6	1694.8	-366	-214.7	13.3	11.2
4000	2114.1	1644.8	-634.5	-264.7	23.1	13.9
5000	1977	1558.2	-771.6	-351.3	28.1	18.4

Le Tableau 2.4 résume et compare les différentes valeurs de Ciss, les valeurs de ΔCiss correspondant à l'évolution de Ciss et ΔCiss en pourcentage (%), avant et après différentes campagnes de cycles répétitifs de court-circuit. L'étude comparative se fait pour deux valeurs de Vds choisies arbitrairement 0V et 60V. Comme on l'a vu, il y a une dérive significative de Ciss au cours du vieillissement. On observe que la capacité Ciss diminue régulièrement avec la

croissance de nombre de cycles répétitifs pour toutes les valeurs de V_{ds} . Aux alentours de 5000 cycles appliqués, une chute précipitée de C_{iss} à $V_{ds} = 0V$ a été observée.

2.3.2.1.2 Capacité de sortie C_{oss}

Les valeurs de capacité de sortie C_{oss} mesurées sont représentées en fonction de V_{ds} avant et après vieillissement en régime de court-circuit sur la *Figure 2.31*.

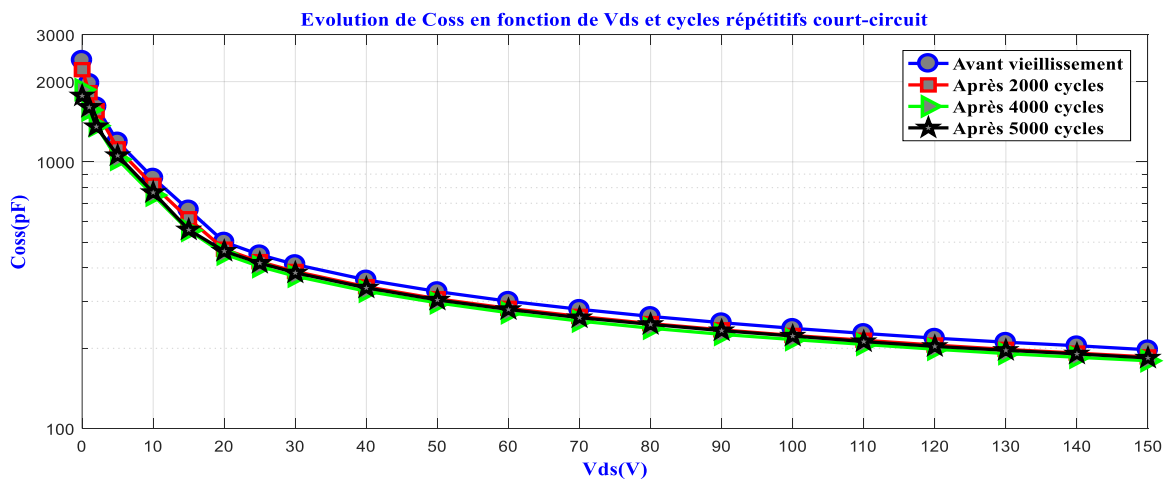


Figure 2.31 Evolution de la capacité de sortie C_{oss} en fonction de V_{ds} et cycles répétitifs de court-circuit

Cette courbe présente une légère dérive de C_{oss} après différentes campagnes de cycles répétitifs en court-circuit.

Tableau 2.5 Evolution de C_{oss} (valeur) et ΔC_{oss} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{ds} égale à 0V et 60V

Nombre de cycles répétitifs	C_{oss} (pF)		ΔC_{oss} (pF)		ΔC_{oss} (%)	
	V_{ds} (V)		V_{ds} (V)		V_{ds} (V)	
	0	60	0	60	0	60
0	2406.1	300.15	0	0	0	0
2000	2217.2	282.3	-188.9	-17.85	7.8	5.9
4000	1866.8	271.73	-539.3	-28.42	22.4	9.5
5000	1769.3	279.58	-636.8	-20.57	26.5	6.8

Les valeurs de C_{oss} , leur changement, avant et après vieillissement, et le pourcentage relatif au changement sont donnés dans le Tableau 2.5. Lorsque V_{ds} est nulle, comme montre le tableau, la variation de C_{oss} entre avant et après 5000 cycles peut atteindre 26,5%.

2.3.2.1.3 Capacité de Miller C_{rss}

La Figure 2.32 illustre l'évolution de la capacité de transfert inverse ou de Miller C_{rss} en fonction de la tension drain-source V_{ds} avant et après l'application de cycles répétitifs en régime de court-circuit sur le composant MOSFET SiC. Etant donné que V_{gs} est nulle, cette évolution correspond à celle de la capacité entre la grille et le drain C_{gd} en fonction de la tension V_{dg} puisque $V_{ds} = V_{dg} + V_{gs} = V_{dg}$.

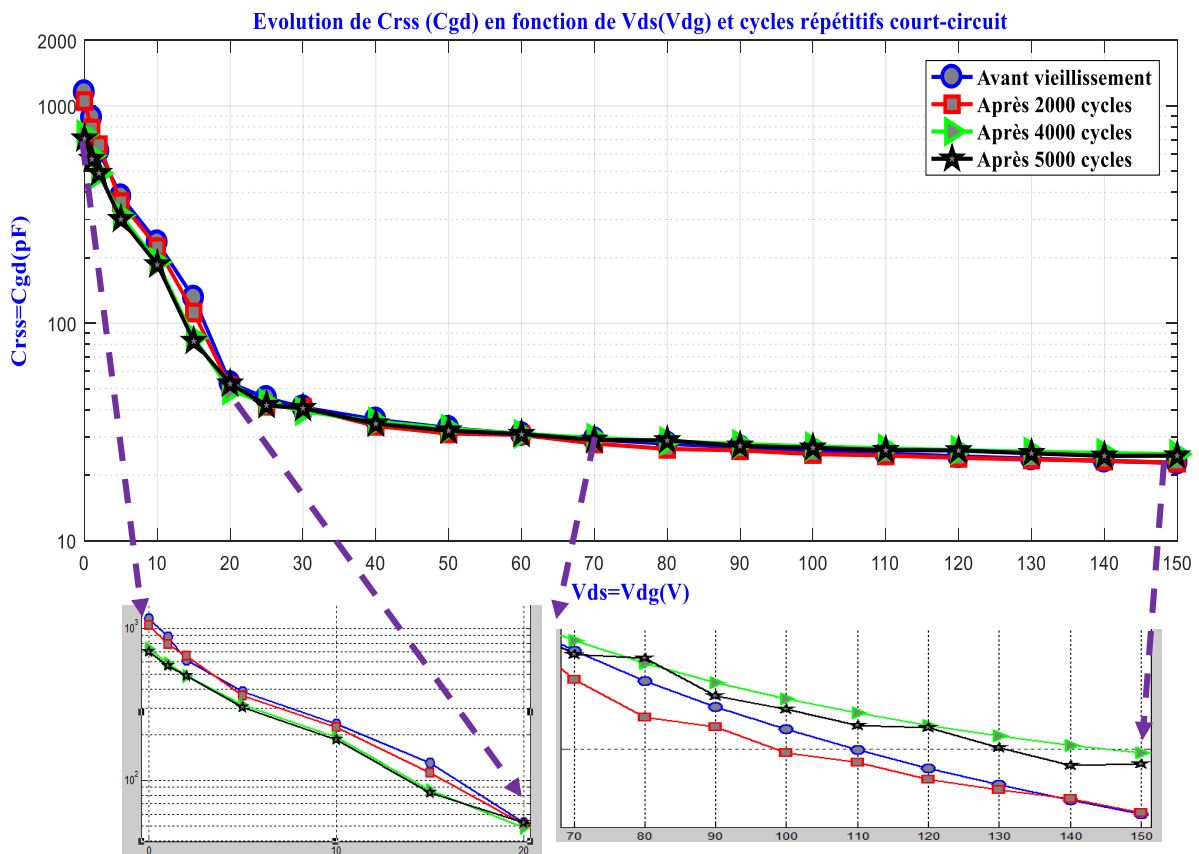


Figure 2.32 Evolution de la capacité de Miller $C_{rss}=C_{gd}$ en fonction de $V_{ds}=V_{dg}$ et cycles répétitifs de court-circuit

Cette capacité diminue avec le nombre de cycles appliqués à partir de $V_{ds} = V_{dg} = 0V$ jusqu'à $V_{ds} = V_{dg} = 20V$. Entre 20V et 70V, aucun changement de $C_{rss}(V_{ds})$ n'est observé avant et après le stress et la dite capacité reste stable. Cependant, à partir de $V_{ds} = V_{dg} = 70V$ jusqu'à 150V, la caractéristique de $C_{rss}(V_{ds})$ après vieillissement a tendance à devenir plus grande qu'avant vieillissement.

Comme il est indiqué dans le Tableau 2.6, C_{rss} , à V_{ds} nulle, diminue à 706,05 pF après la troisième campagne de cycles répétitifs, ce qui correspond à 38,8%.

Cette dérive est due à la couche d'oxyde de grille dégradée qui traduit la métallisation de la source endommagée et la présence des électrons et des trous piégés dans l'oxyde [LSL+05]. Ces phénomènes physiques peuvent influencer la capacité d'oxyde de grille d'où la capacité de transfert inverse C_{rss} (ou C_{gd}) donnée par l'équation (2.1) [FPK+09].

$$\frac{(C_{oxd} * C_{gdj})}{(C_{oxd} + C_{gdj})} = C_{gd} \quad (2.1)$$

avec C_{oxd} la capacité de l'oxyde entre l'électrode de la grille et la surface supérieure de la région de drain via l'oxyde de grille et C_{gdj} représente la capacité de la couche de déplétion du drain sous la grille.

Ainsi, une dérive de la capacité de l'oxyde de grille C_{oxd} agit sur la capacité de grille-drain C_{gd} (ou la capacité de Miller C_{rss}).

Tableau 2.6 Evolution de C_{rss} (valeur) et ΔC_{rss} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{ds} égale à 0V et 60V

Nombre de cycles répétitifs	Crss(pF)		ΔCrss(pF)		ΔCrss(%)	
	Vds(V)		Vds(V)		Vds(V)	
	0	60	0	60	0	60
0	1154	30.819	0	0	0	0
2000	1052.5	30.609	-101.5	-0.21	8.8	0.7
4000	738.93	30.987	-415.07	+0.168	36	0.5
5000	706.05	30.865	-447.95	+0.046	38.8	0.1

2.3.2.2 Capacités intrinsèques

D'après [Sis02], pour quantifier les capacités intrinsèques, on peut utiliser la méthode de mesure "Guarded measurement", illustré sur la *Figure 2.33*. Cette méthode repose sur la mesure de la capacité unique existante entre les deux contacts du composant.

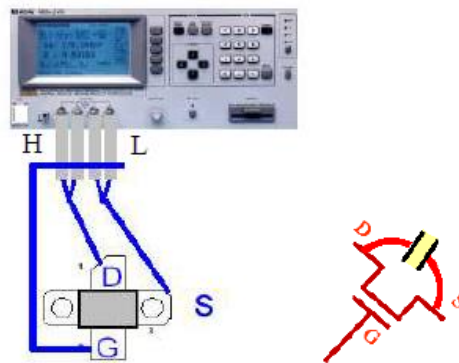


Figure 2.33 Schéma de principe du banc de mesure des capacités intrinsèques (utilisation d'une masse virtuelle)

En effet, cette technique nous permet de mesurer les profils de capacités entre la grille et la source C_{gs} , entre la grille et le drain C_{gd} et entre le drain et la source C_{ds} en fonction de la tension appliquée entre ces électrodes respectivement V_{gs} , V_{dg} et V_{ds} à une fréquence de 1MHz et un niveau d'oscillation de 25mV. La masse virtuelle "Guard" est toujours liée à l'électrode restante.

2.3.2.2.1 Capacité entre la grille et la source C_{gs}

Sur la *Figure 2.34*, la capacité grille-source C_{gs} est caractérisée en fonction de la tension grille-source V_{gs} et du nombre de cycles répétitifs de court-circuit. Comme montre le Tableau 2.7, après 5000 cycles, C_{gs} diminue à 323,7 pF, ce qui correspond à une chute de 20,3% pour $V_{gs} = 0V$ et elle diminue à 462,7 pF, correspondant à une baisse de 16,9% pour $V_{gs} = 20V$. Ces dérives peuvent revenir soit à la dégradation de l'oxyde de grille due à la métallisation de la source endommagée soit aux électrons et trous piégés dans l'oxyde de grille [LSL⁺05] comme le cas de C_{gd} dans la section 2.3.2.1.3. En effet, la couche d'oxyde de grille partiellement dégradée due aux pièges provoque des bouleversements au niveau des capacités

d'oxyde de grille (C_m , C_{oxs} et C_{oxc}) qui constituent la capacité grille-source présentée par 2.2 [FPK+09].

$$C_m + C_{oxs} + \left(\frac{C_{oxc} * C_c}{C_{oxc} + C_c} \right) = C_{gs} \quad (2.2)$$

avec C_{oxs} et C_{oxc} sont respectivement les capacités entre l'oxyde de grille et la région N^+ , et l'oxyde de grille et la région P^+ . C_c désigne la capacité de la couche de déplétion pour la région P^+ sous la grille. C_m est la capacité entre l'électrode de la grille et l'électrode de la source à travers l'oxyde de grille.

Ainsi, un changement aux valeurs de capacités de l'oxyde de grille (C_m , C_{oxs} et C_{oxc}) réduit la capacité grille-source C_{gs} .

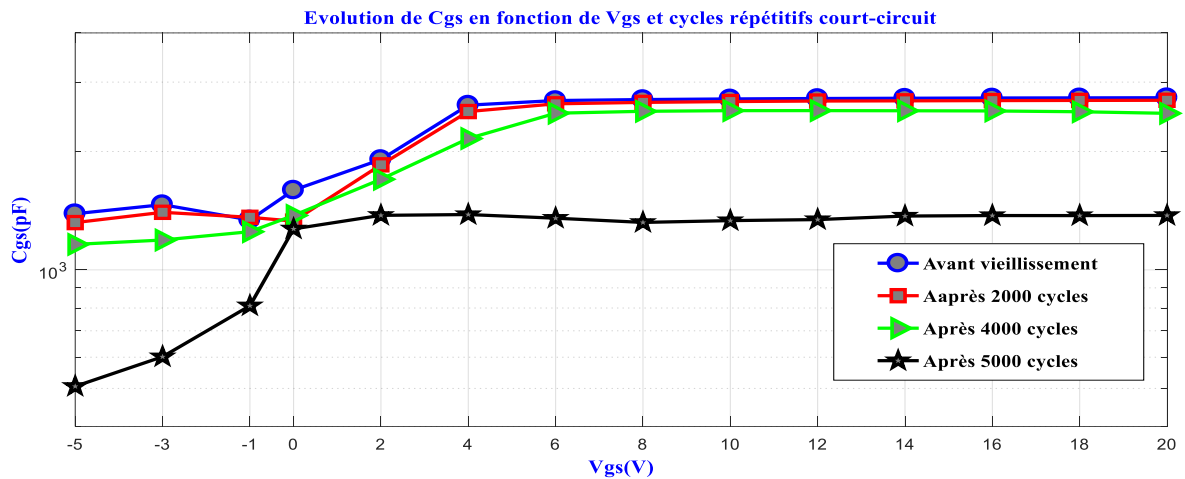


Figure 2.34 Evolution de la capacité entre la grille et la source C_{gs} en fonction de V_{gs} et cycles répétitifs de court-circuit

Tableau 2.7 Evolution de C_{gs} (valeur) et ΔC_{gs} (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour V_{gs} égale à 0V et 20V

Nombre de cycles répétitifs	$C_{gs}(pF)$		$\Delta C_{gs}(pF)$		$\Delta C_{gs}(\%)$	
	$V_{gs}(V)$		$V_{gs}(V)$		$V_{gs}(V)$	
	0	20	0	20	0	20
0	1594,6	2737,7	0	0	0	0
2000	1330,1	2697,2	-264,5	-40,5	16,6	1,5
4000	1375,2	2499	-219,4	-238,7	13,7	8,7
5000	1270,9	2275	-323,7	-462,7	20,3	16,9

2.3.2.2.2 Capacité entre le drain et la source Cds

La Figure 2.35 montre que la capacité drain-source Cds varie à la fois avec la tension drain-source Vds et avec le vieillissement en régime court-circuit.

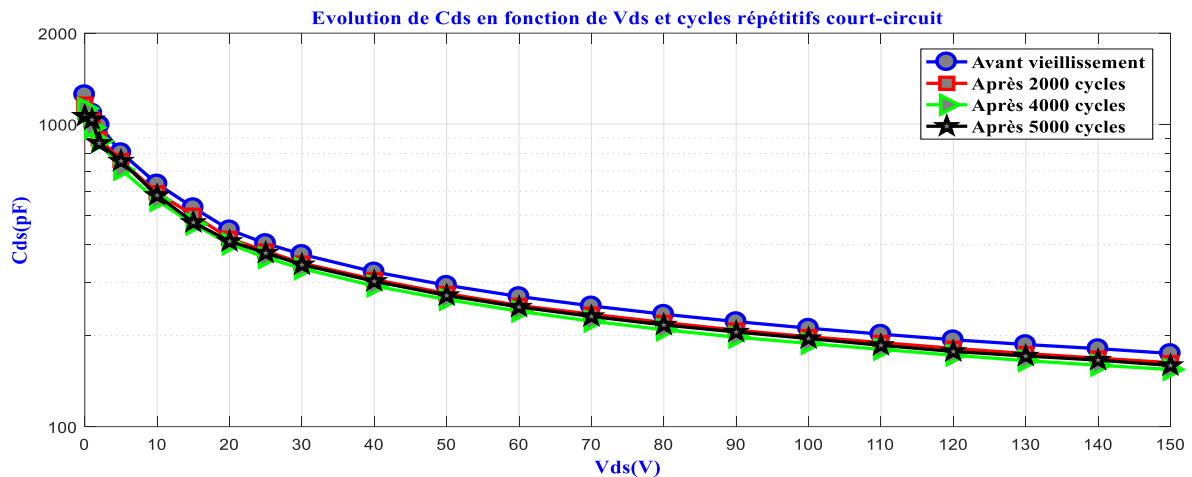


Figure 2.35 Evolution de la capacité entre le drain et la source Cds en fonction de Vds et cycles répétitifs de court-circuit

Le Tableau 2.8 montre que Cds diminue d'environ 188,9 pF correspondant à 15,1% pour Vds = 0V et 20,62 pF correspondant à 7,6% pour Vds = 60 V à la fin de la troisième campagne de vieillissement.

Tableau 2.8 Evolution de Cds (valeur) et ΔCds (valeur et pourcentage) en fonction du nombre de cycles répétitifs de court-circuit pour Vds égale à 0V et 60V

Nombre de cycles répétitifs	Cds(pF)		ΔCds(pF)		ΔCds(%)	
	Vds(V)		Vds(V)		Vds(V)	
	0	60	0	60	0	60
0	1252.1	269.33	0	0	0	0
2000	1164.7	251.69	-87.4	-17.64	7	6.5
4000	1127.9	240.74	-124.2	-28.59	9.9	10.6
5000	1063.2	248.71	-188.9	-20.62	15.1	7.6

2.4 Conclusion

Dans ce chapitre, deux procédures et deux bancs de tests de vieillissement ont été mis en place dans le but d'étudier les performances électriques statiques et dynamiques des transistors MOSFET SiC avant et après vieillissement.

Même si le matériau utilisé est le carbure de silicium, nous avons trouvé dans ce chapitre que le composant à base de ce matériau peut être influencé par les tests de vieillissement et subir des changements de ses caractéristiques.

Diverses mesures de reprise ont été effectuées régulièrement afin de suivre la dégradation éventuelle des composants CREE. Les différents composants défaillants peuvent faire l'objet d'une analyse technologique par ledit fabricant, ce qui lui permet d'avoir une idée sur les autres MOSFET SiC de la première génération à laquelle appartient CMF20120D.

Les différentes contraintes appliquées au MOSFET SiC lors de son fonctionnement, notamment les contraintes liées aux performances électriques et aux spécifications de l'environnement peuvent provoquer une défaillance partielle ou une panne totale de MOSFET SiC. A travers une approche complète de cette problématique en ayant mis l'accent sur le suivi des contraintes, la surveillance des paramètres intrinsèques et les caractérisations régulières, il est possible d'obtenir des données quantitatives sur les performances de MOSFET SiC. Parmi ces performances, on peut citer le taux de dérive des paramètres de ces composants, le taux de vieillissement et également son effet sur les émissions de MOSFET SiC qui sera notre objectif pour les chapitres suivants. Pour cela, toutes les caractérisations de ce chapitre sont un travail préliminaire servant aux parties suivantes. Elles ont été menées afin d'apporter une analyse physique pour les chapitres 3 et 4 et de nous donner une estimation précise de paramètres intrinsèques et extrinsèques initiaux et dégradés de transistor MOSFET SiC pour le chapitre 5.

Chapitre 3

3 Étude de la caractérisation électromagnétique conduite des MOSFET en SiC soumis à des régimes extrêmes de fonctionnement

3.1 Introduction

L'estimation de l'état de santé d'un composant est une discipline d'ingénierie qui se focalise sur l'état d'un système et la prédiction de sa durée de vie restante avant la panne. Ces données sont indispensables afin d'augmenter la sécurité des opérations et d'améliorer le taux de réussite d'une mission requise ainsi que diminuer les maintenances non planifiées [CWV+10].

Ces derniers temps, l'augmentation constante des applications de l'électronique de puissance dans les systèmes embarqués nous oblige à mettre l'accent sur les indicateurs de défaillance. En termes de CEM, les niveaux de PEM peuvent jouer le rôle d'un indicateur dans le cas où ces perturbations excèdent un seuil déterminé par les normes CEM. Ce qui permet d'évaluer la fiabilité des dispositifs notamment vu l'intégration qui est de plus en plus poussée, la production qui devient au moindre coût et les délais qui sont extrêmement courts. Pour cela, tant les industriels que les chercheurs se tournent actuellement vers l'adoption des méthodes de test basées sur la technique du vieillissement accéléré [Jea00]. Par conséquent, la compatibilité électromagnétique est de plus en plus présente dans l'électronique de puissance et elle joue un rôle prépondérant en fonctionnement.

La problématique électrique-thermique-électromagnétique soulève de nombreuses questions quant à la CEM des systèmes embarqués et à l'impact des tests de vieillissement sur les émissions des composants de puissance de type MOSFET SiC. Il est donc indispensable de répondre à ces problématiques en appliquant les deux tests de vieillissement présentés dans le chapitre 2. Ces deux tests sont les cycles répétitifs en régime de court-circuit et le test à

température élevée sous polarisation de la grille HTGB (High Temperature Gate Bias). Ils ont été réalisés sur des transistors de puissance de type MOSFET, en technologie grand gap à base de SiC, de chez CREE de références CMF20120D. Ces tests ont été menés respectivement au-delà de 5000 cycles et 900 heures. Ils ont été arrêtés avant la défaillance des composants mais après une dégradation significative de leurs différents paramètres intrinsèques et extrinsèques.

L'objectif de ce chapitre est de présenter les fruits en termes CEM des tests de vieillissement réalisés sur nos véhicules de test définis dans le chapitre 2 qui se considère comme un chapitre introductif pour ce chapitre et les deux suivants. Nous l'utiliserons en tant qu'une documentation qui apporte les valeurs des paramètres dégradés après chaque test. Ceci est afin de simuler l'effet de vieillissement sur le comportement électromagnétique de MOSFET SiC et pour analyser physiquement les résultats présentés dorénavant.

Les résultats que nous présenterons dans ce chapitre concernent l'évolution de niveaux de perturbations électromagnétiques conduites suivis pendant les tests de vieillissement. En premier lieu, nous mettrons l'accent sur les techniques de mesure des perturbations électromagnétiques conduites en mode commun et mode différentiel en exposant les bancs de mesures. Après, nous aborderons l'effet du vieillissement sur les signaux temporels de commutation, sur les ondes et sur les spectres des tensions images des PEM conduites. Nous allons valider les résultats obtenus par deux types de charges alimentées par deux types de convertisseurs DC-DC.

3.2 Techniques de mesure des grandeurs électriques et perturbations électromagnétiques conduites

Le banc des mesures des PEM conduites est présenté par un schéma de principe sur la *Figure 3.5* et une photo sur la *Figure 3.6*, il est constitué :

- D'une source d'alimentation DC qui délivre une tension continue de 0 jusqu'à 540V. Dans notre cas d'étude, les composants sous test ont été excités par une tension fixée à 60V pour le hacheur série et à 30V pour le hacheur parallèle.
- D'une carte de commande ajustable présentée par la *Figure 3.1* qui permet de régler la tension de commande entre la grille et la source du transistor MOSFET SiC. Cette carte est constituée d'un circuit driver de grille de référence IXDD-609.PI capable de fournir un courant important

pendant un bref instant. Ceci est afin de piloter la grille en chargeant et déchargeant très rapidement les capacités intrinsèques entre les électrodes du MOSFET SiC pour ne pas nuire à la vitesse de commutation. Cette carte contient un circuit d'isolation galvanique entre le circuit de commande et la cellule de commutation, effectuée en utilisant un photo-coupleur de référence ACPL-071L.SO. Elle comporte aussi un circuit logique qui permet de générer une série d'impulsions de largeur fixe égale à 20 μ s et d'amplitude de -5 à l'état bloqué et 20V à l'état passant vu qu'il doit être ajustée en fonction de la tension de seuil et de la tension nominale d'utilisation. Le circuit logique est commandé par un GBF qui délivre un signal carré compatible TTL (-1,75/+1,75V), de fréquence fixée à 50KHz et de rapport cyclique de 50% durant les différentes mesures.

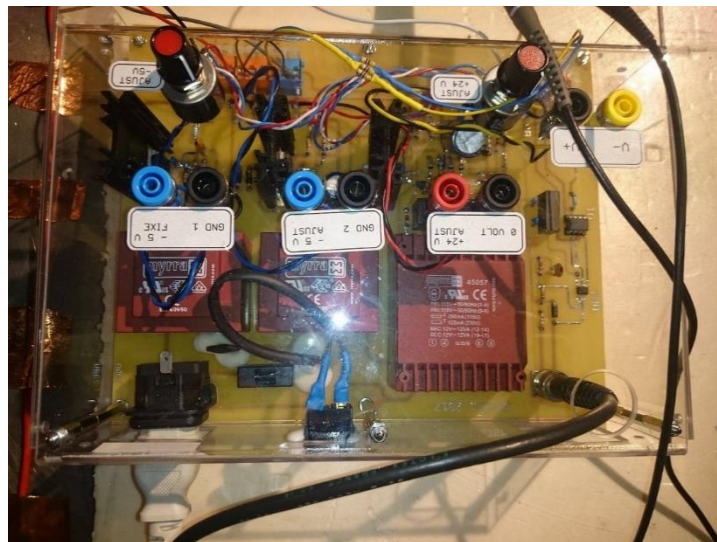


Figure 3.1 Circuit de commande pour le transistor SIC_MOSFET_1

- De deux résistances de grille externes RG1 et RG2 de 2,5 Ω qui sont responsables aux régimes oscillatoires telles que les surintensités et les surtensions apparaissant à travers l'inductance parasite de la maille de commutation. Elles permettent de contrôler les vitesses de variation de la tension Vgs lors de phases transitoires de commutation du transistor SIC_MOSFET_1 et SIC_MOSFET_2.

- D'un transistor MOSFET SiC qui est bien entendu le même, soumis sous test, utilisé dans le chapitre 2. Il est de référence CMF20120D de la première génération de chez CREE [CREE]. Il joue le rôle d'un interrupteur de commutation noté SIC_MOSFET_1 et le rôle d'une diode de roue libre pour le hacheur série dans la Figure 3.3 (notée SIC_MOSFET_2) et redresseur pour le hacheur parallèle dans la Figure 3.4 (notée SIC_MOSFET_2). Le SIC_MOSFET_1 est le composant sous test dans le chapitre 2 (voir Figure 2.2) et celui qui est responsable de la

génération de di/dt et dv/dt d'où de la présence de PEM. Ainsi, toutes les mesures de ce chapitre ne concernent que l'interrupteur de commutation en bas sur la *Figure 3.3* et sur la *Figure 3.4*. Ils ne concernent, ni la diode de roue libre en haut du hacheur série ni la diode de redressement en haut du hacheur parallèle. SIC_MOSFET_1 peut passer à l'état conducteur avec une tension V_{gs} de 25V et se bloquer en appliquant une tension V_{gs} négative de -5V. Dans notre cas d'étude, on a utilisé 20V pour passer à l'état passant et une tension de -5V pour passer à l'état bloqué. Par contre, SIC_MOSFET_2 dans les deux hacheurs est inversement polarisé au niveau de la grille par une tension statique négative fixe de -5V pour exciter la diode structurelle interne (voir Chapitre 5 section 0).

- D'un oscilloscope de référence DSO6034A de chez Agilent Technologies de 300 MHz et 2GSa/s. Il permet de visualiser les caractéristiques des ondes temporelles de courant entre le drain et la source I_{ds} , tension de commande V_{gs} , tension entre le drain et la source V_{ds} , tensions VR1 et VR2 aux bornes de R1 et R2 (images des allures des PEM conduites). Il est responsable de sauvegarder les données de mesures dans un fichier facilement récupérable.

- De trois sondes de mesure du courant et des tensions. Deux sondes différentielles de tension nous permettent l'observation à l'oscilloscope de tensions entre deux points d'un montage, même si aucun de ces deux points n'est relié à la terre pour V_{gs} et V_{ds} . La troisième sonde s'occupe du courant I_{ds} . Elle est de référence PSY30 de chez LEM avec une sortie BNC qui permet de lire I_{ds} sous forme d'une tension avec un coefficient 100mV/A. Le courant I_{ds} pendant les essais peut atteindre 20A RMS. Le temps de réponse de ces sondes est inférieur à 2 μ s et leurs bandes passantes peuvent passer du DC à environ 300 MHz.

- D'un réseau stabilisé d'impédance de ligne RSIL qui est un dispositif de mesure des perturbations électromagnétiques conduites. Il permet d'extraire les tensions VR1 et VR2 aux bornes de R1 et R2 (images des allures des PEM conduites) en les canalisant vers l'oscilloscope ou l'analyseur de spectres. Ce qui facilite l'obtention des émissions conduites en mode commun et en mode différentiel. Il joue un double rôle, le rôle d'un capteur en canalisant les perturbations conduites générés en modes commun et différentiel et le rôle d'un filtre en isolant le réseau d'alimentation de l'équipement sous test. Il est inséré entre la source d'alimentation et le circuit de l'électronique de puissance étudiée (hacheur série ou parallèle). Nous avons choisi un RSIL de référence NNBM 8126-D de chez Schwarzbeck Mess-Elektronik de gamme fréquentielle HF-VHF (0,1) 1 - 150 MHz. Sa caractéristique d'impédance est réalisée selon CISPR 25 (5 μ H + 5 W || 50 W). Il peut fonctionner en courant nominal continu de 150A et de tension nominale continue de 500V. La *Figure 3.2* présente le schéma électrique équivalent

d'un RSIL. En effet, la mesure des perturbations électromagnétiques conduites dans les deux modes consiste à mesurer les deux tensions VR1 et VR2 aux bornes de deux résistances R1 et R2 de 50Ω mentionnées dans la *Figure 3.2*. Par la suite, nous calculons la tension du mode commun VMC et la tension du mode différentiel VMD en utilisant les deux équations 3.1 et 3.2 :

$$VMC = \frac{VR1 + VR2}{2} \quad (3.1)$$

$$VMD = VR1 - VR2 \quad (3.2)$$

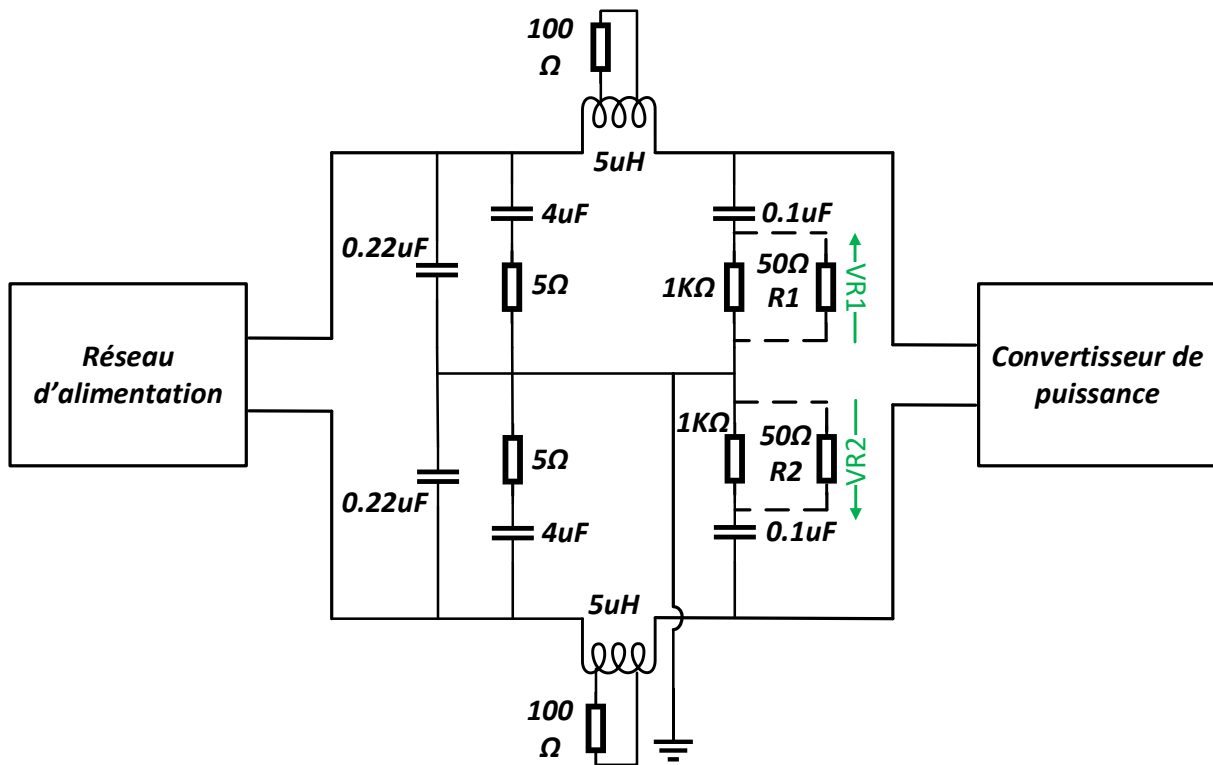


Figure 3.2 Schéma électrique équivalent d'un RSIL entre la source d'alimentation et la source de PEM conduites

- D'une charge résistive de 100Ω de référence TE1500B100RJ de chez TE Connectivity et d'une charge inductive R = 100Ω et L = 150μH. L'inductance est de référence PCV-0-154-05L de chez Coilcraft. Les deux charges sont soumises alternativement à la tension de 60V pour le hacheur série et à 30V pour le hacheur parallèle.

- De deux types de convertisseurs statiques utilisés pour alimenter la charge inductive ou résistive avec une tension de valeur plus faible (hacheur série) ou plus grande (hacheur parallèle) que celle de la tension d'alimentation. Etant donné qu'ils sont connus par un grand nombre de commutation et ainsi parmi les générateurs de perturbations les plus répandus, nous avons opté pour ces deux systèmes de conversion d'énergie présentés sur la *Figure 3.3* (hacheur série) et sur la *Figure 3.4* (hacheur parallèle).

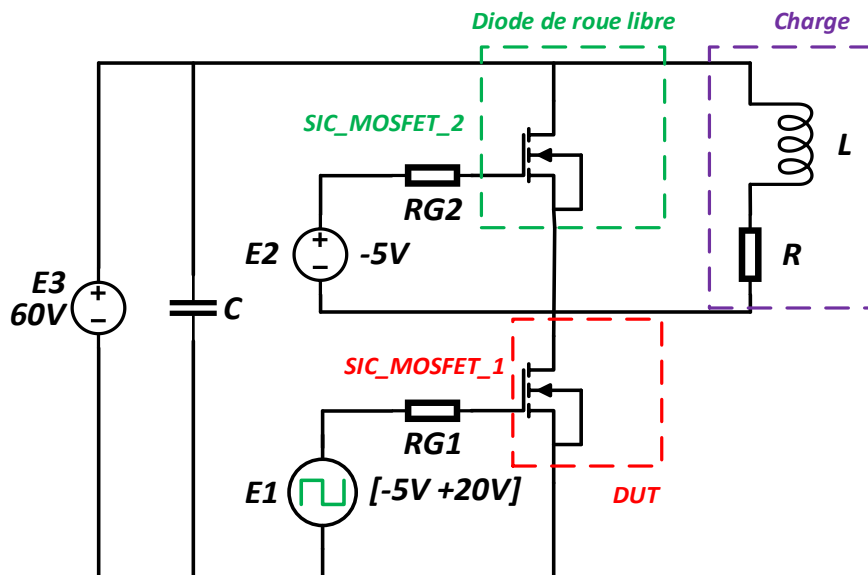


Figure 3.3 Schéma électrique du hacheur série

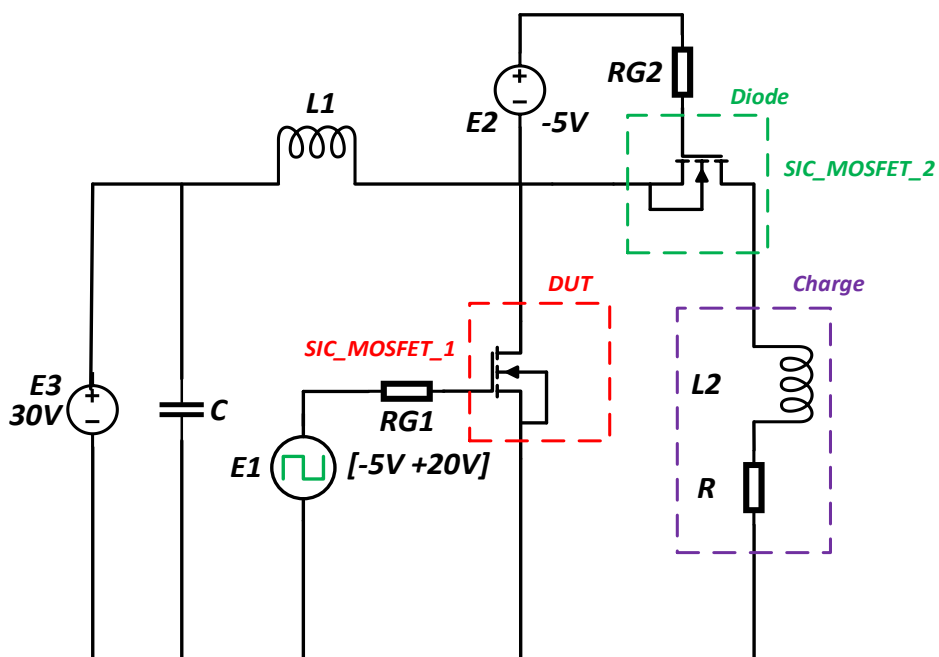


Figure 3.4 Schéma électrique du hacheur parallèle

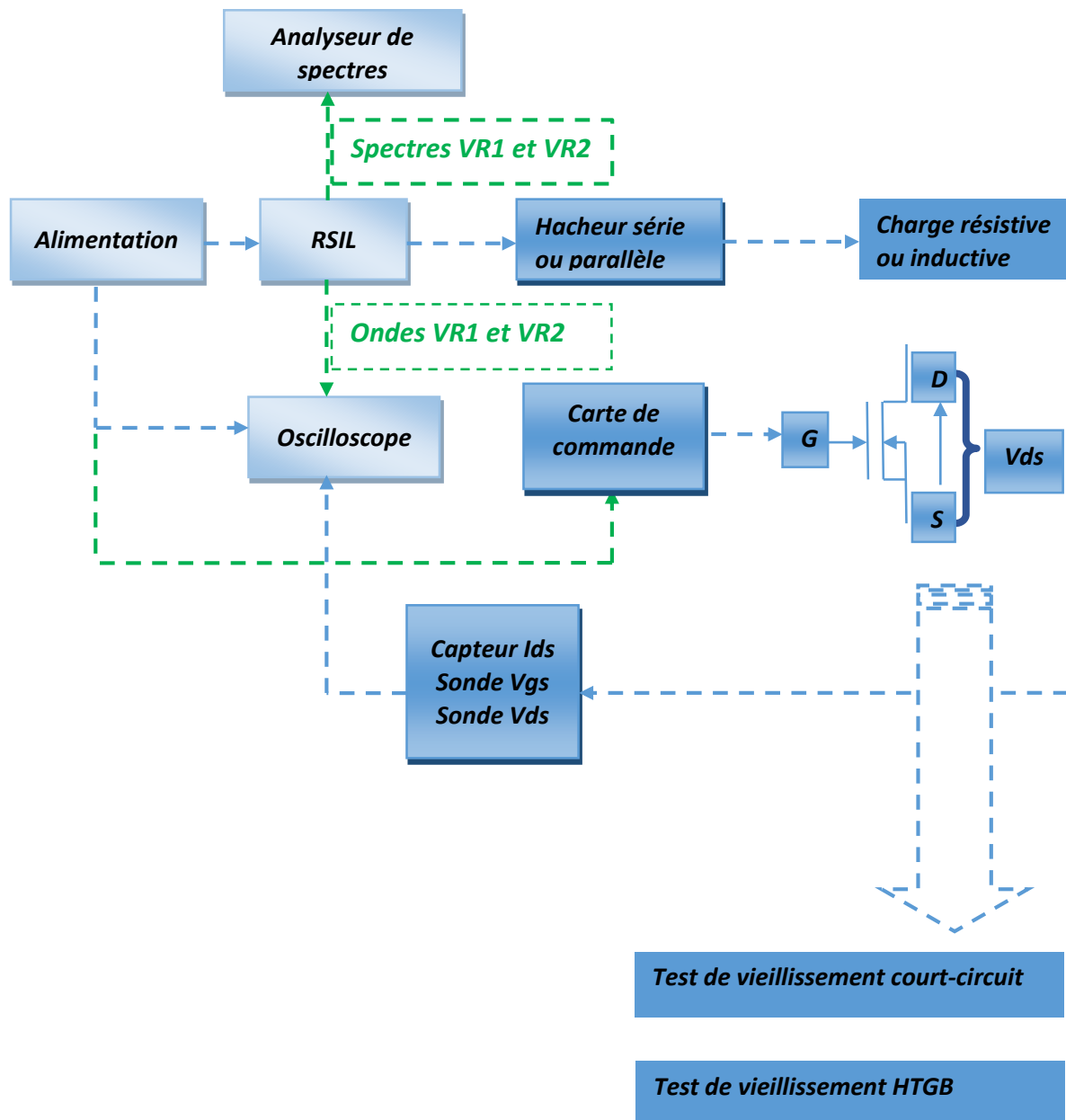


Figure 3.5 Schéma de principe du banc expérimental de mesure des signaux de commutation et des PEM conduites avant et après les tests de vieillissement en régime de court-circuit et HTGB

- D'une chambre anéchoïque; les moyens de mesure de PEM conduites sont sensibles aux perturbations extérieures. La chambre anéchoïque est très utilisée pour ce type de mesures. C'est une salle blindée par une tôle métallique dont toutes les parois internes sont recouvertes de matériau absorbant les ondes électromagnétiques. Cela permet d'éviter la réverbération des ondes et permet d'émuler un espace libre. Elle est généralement située à l'intérieur d'une cage

de Faraday, afin d'empêcher les ondes extérieures de pénétrer dans la pièce de mesure. La norme CISPR25 que nous avons adoptée exige un niveau de bruit électromagnétique ambiant inférieur d'au moins 6 dB aux limites spécifiées dans le plan d'essai pour chacun des essais qui doivent être effectués.

- D'un analyseur de spectres de référence SMT06 fabriqué par ROHDE & SCHWARZ avec une gamme de fréquences de 5kHz à 6GHz. En effet, pour analyser les perturbations électromagnétiques conduites, le signal issu du capteur de mesure RSIL est analysé dans le domaine temporel en utilisant l'oscilloscope cité ci-dessus ou dans le domaine fréquentiel grâce à un analyseur de spectre. Ce sont les deux appareils les plus utilisés pour la visualisation des PEM conduites. L'analyseur reste l'appareil préférentiellement employé pour les mesures en CEM.

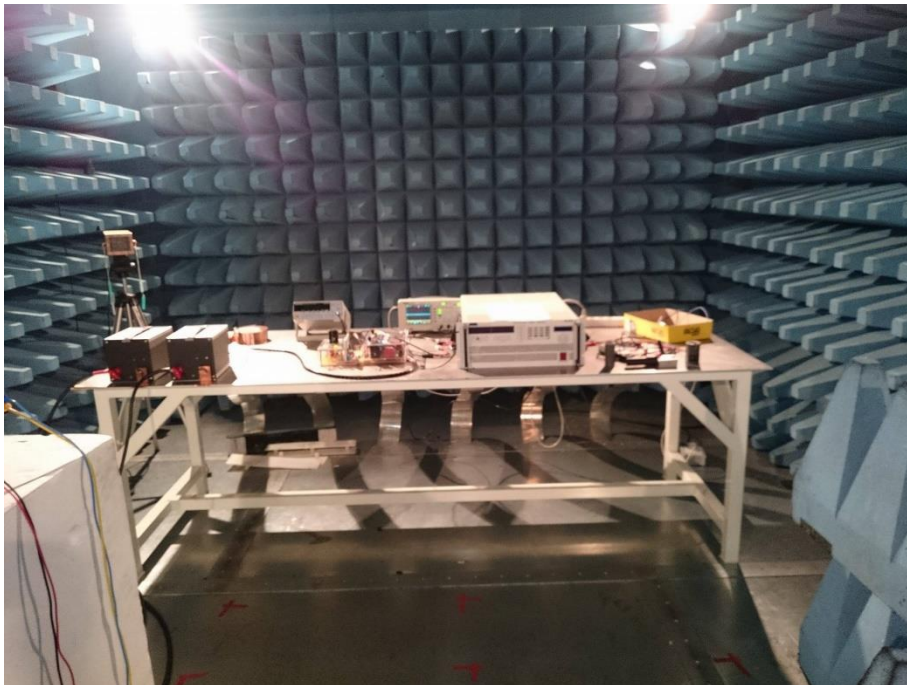


Figure 3.6 Photo du banc expérimental de mesure de signaux de commutation et des PEM conduites avant et après les tests de vieillissement en régime de court-circuit et HTGB

Dans le but d'effectuer des mesures reproductibles et fiables, nous nous sommes référés à la norme internationale CISPR 25 [CISPR08]. Cette norme a été établie pour les perturbations électromagnétiques relatives aux appareils électriques ou électroniques embarqués destinés à une utilisation sur véhicules, remorques et engins et aux moteurs à combustion interne. Elle donne les limites et les procédures pour la mesure des perturbations radioélectriques dans la gamme des fréquences comprises entre 150 kHz et 2500 MHz. Nous avons utilisé cette norme pour bien déposer les deux hacheurs dans le plan d'essai en respectant les méthodes d'essai, les

conditions exigées spécifiées et la procédure générale à appliquer afin d’obtenir des résultats fiables, crédibles et sous normes.

Dans la *Figure 2.4* et la *Figure 2.7* du chapitre 2, nous avons présenté les schémas qui illustrent le principe de la prise des mesures des paramètres liés aux émissions conduites et aux signaux de commutation avant et après le test de vieillissement court-circuit et HTGB. Pour rappeler, nous mesurons les perturbations électromagnétiques conduites avant et après vieillissement en suivant la démarche présentée sur la figure suivante :

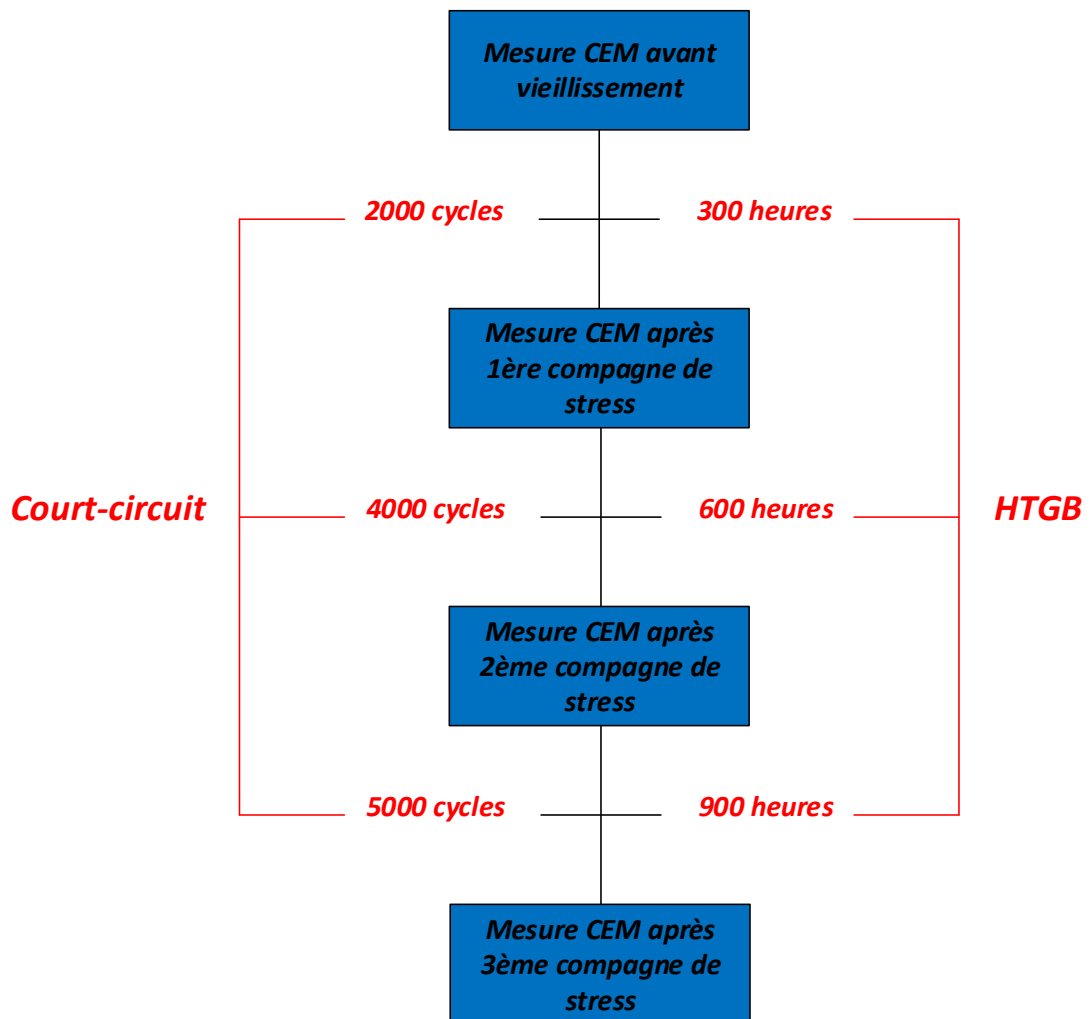


Figure 3.7 Processus de mesure des PEM avant et après les tests de vieillissement

3.3 Effets du vieillissement sur les signaux de commutation et sur les PEM conduites

3.3.1 Effets sur les signaux de commutation

Après avoir caractérisé le MOSFET_SIC_1 en statique et en dynamique dans le chapitre précédent, nous allons à présent le caractériser en commutation. La caractérisation des signaux de commutation est indispensable pour estimer le temps de commutation et analyser les variations de courant (di/dt) et de tension (dv/dt) lors du régime transitoire.

Trois grandeurs électriques sont mesurées pendant l'essai en commutation : la tension V_{ds} entre le drain et la source du composant étudié, le courant de drain I_{ds} et la tension de grille V_{gs} . Ces grandeurs sont visualisées dans une fenêtre temporelle de deux périodes et demie avec une fréquence de commutation de 50 kHz.

Le passage d'un état passant à un état bloqué (et inversement) de ce semi-conducteur ne se fait pas instantanément. Durant ce laps de temps, au contraire du régime permanent, le transistor voit à la fois une forte tension et un fort courant. Une réduction de cette durée de transition provoque l'apparition de surtensions et de surintensités plus importantes, vu la présence des capacités et des inductances intrinsèques du composant et les éléments parasites dus aux imperfections du câblage. La conséquence directe de ces variations brusques (di/dt et dv/dt) est donc une augmentation aux niveaux de perturbations électromagnétiques.

Vu le nombre élevé des figures, nous allons nous limiter à la présentation des résultats de mesures sur un seul convertisseur avec une seule charge que nous allons traiter et analyser. En effet, les différentes mesures montrent que les tests de vieillissement ont relativement le même impact sur les signaux de commutation et ceci indépendamment du convertisseur et de la charge utilisée.

Ainsi, l'effet du vieillissement en régime de court-circuit sur les allures du courant de drain I_{ds} et de la tension V_{ds} du MOSFET_SIC_1 dans un hacheur série avec une charge inductive et dans un hacheur parallèle avec une charge résistive et inductive donne des résultats analogues à ceux obtenus avec une charge résistive. Il est cependant judicieux de noter que les commutations sont plus importantes avec une charge inductive qu'avec une charge résistive.

3.3.1.1 Courant de drain I_{ds}

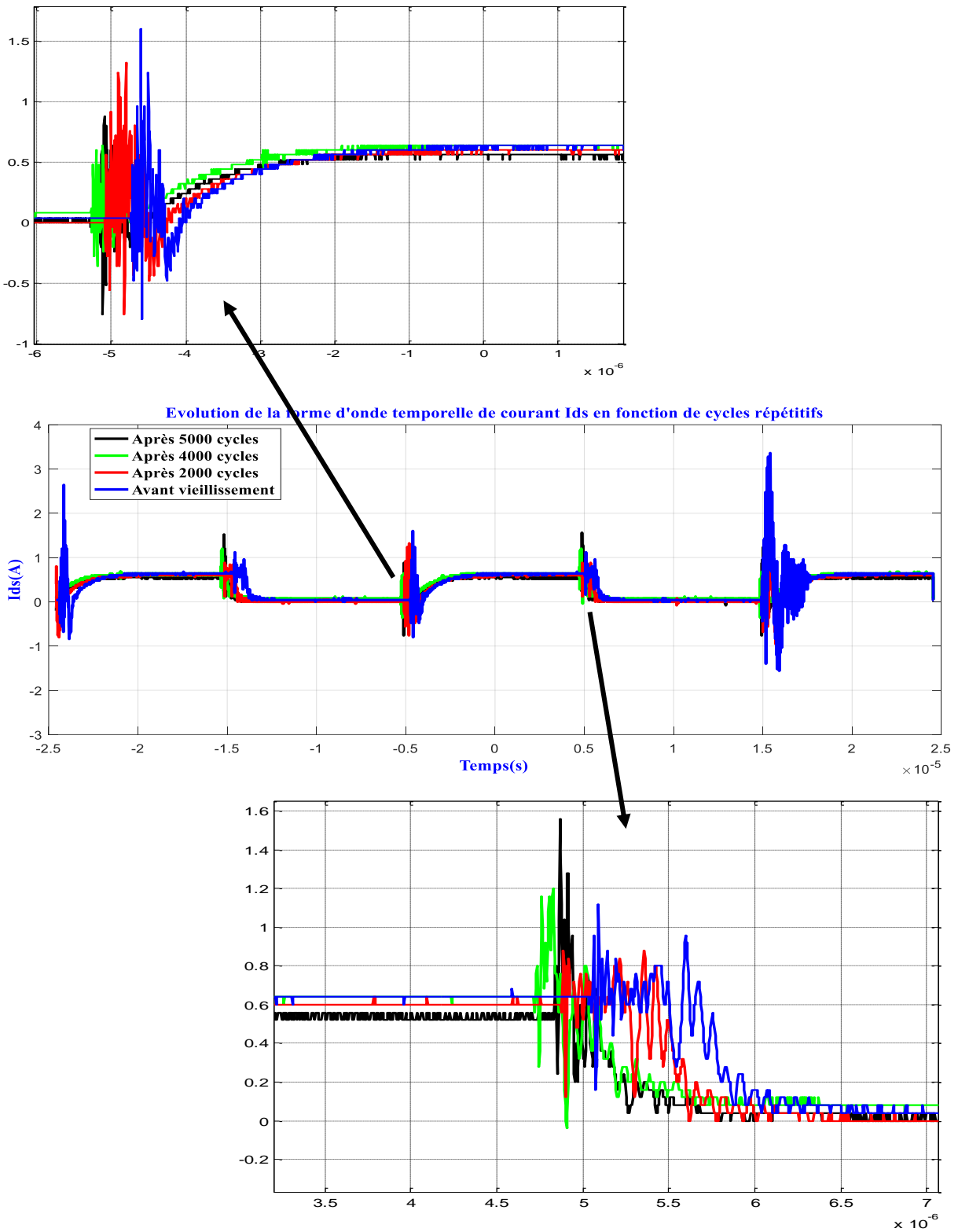


Figure 3.8 Evolution de la forme d'onde temporelle de I_{ds} avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

La *Figure 3.8* présente l'évolution de la forme d'onde temporelle de courant de drain I_{ds} avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive.

Pendant le régime permanent, la *Figure 3.8* confirme les résultats obtenus dans le chapitre 2 présentés sur la *Figure 2.8*, la *Figure 2.9* et la *Figure 2.10* à la section 2.3.1.1.1. En effet, un changement clair des allures de courant de drain I_{ds} se manifeste de manière plus importante lors de la croissance du nombre de cycles répétitifs court-circuit appliqués sur MOSFET_SIC_1. Ce changement consiste en une diminution des valeurs de courant I_{ds} .

Pendant le régime transitoire, les séquences de di/dt avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit sont présentées dans la *Figure 3.9*. Ces séquences concernent un hacheur série avec une charge résistive, donc elles sont calculées par le biais de la *Figure 3.8*.

Nous pouvons voir qu'après chaque campagne de cycles répétitifs, la mise en conduction de MOSFET_SIC_1 est plus rapide. Cela revient à la constante de temps de charge de la capacité de la grille notée τ , présentée par l'équation 3.3, qui devient plus faible. Ce qui implique un di/dt plus fort après vieillissement. Ainsi, la pente di/dt augmente pendant la mise à l'ouverture (turn-off) et la mise en conduction (turn-on) avec le nombre de cycles appliqués.

$$\tau = RG1 * Cissmin \quad (3.3)$$

avec $RG1$ la résistance de grille de MOSFET_SIC_1 mentionnée dans la *Figure 3.3* et *Figure 3.4* et $Cissmin$ la valeur minimale de la capacité d'entrée $Ciss$ obtenue pour des tensions V_{ds} élevées.

Au cours de sa thèse [Ros15], Rossignol a mis les formulations de di/dt pendant la mise en conduction et au blocage données respectivement par les deux expressions analytiques des équations 3.4 et 3.5.

$$\text{En conduction} \quad \frac{di}{dt} = g_m * \frac{E1^+ - V_{th}}{RG1 * Cissmin} \quad (3.4)$$

$$\text{Au blocage} \quad \frac{di}{dt} = g_m * \frac{E1^- - V_{th}}{RG1 * Cissmax} \quad (3.5)$$

avec g_m la transconductance, $E1^+$ et $E1^-$ les tensions de commande pendant respectivement l'état passant et bloqué mentionnées dans la *Figure 3.3* et la *Figure 3.4* et C_{issmax} la valeur maximale de la capacité d'entrée C_{iss} obtenue pour une tension V_{ds} nulle.

Concernant la mise en conduction, dans le chapitre 2, section 2.3.1.2, nous avons montré que la tension V_{th} diminue en fonction des cycles répétitifs de court-circuit. Puisque la tension de commande $E1^+$ étant fixée à +20V, alors la tension fictive ($E1^+ - V_{th}$) augmente. Cette différence de tension fictive permet au composant de commuter plus rapidement. Dans le même chapitre section 2.3.2.1.1, nous avons trouvé que l'effet de vieillissement en régime court-circuit sur le MOSFET_SIC_1 se traduit par une diminution au niveau de la capacité extrinsèque d'entrée C_{iss} même pour des tensions de V_{ds} élevées (C_{issmin}). Ce qui accentue plus la diminution de temps de montée. Ainsi, les résultats trouvés dans la *Figure 3.9* sont en accord avec la formulation de di/dt en amorçage.

Concernant la mise en ouverture, la tension de commande négative $E1^-$ est fixée à -5V. Du coup, la diminution de la tension de seuil V_{th} engendre une diminution de l'écart entre ces deux tensions ($E1^- - V_{th}$) et ainsi en se limitant à ce paramètre, on note que le composant devrait commuter moins rapidement. Ce qui n'est pas le cas de ce que nous observons dans la *Figure 3.9*. Comme cité précédemment l'impact du vieillissement en régime court-circuit sur le MOSFET_SIC_1 se traduit par une diminution au niveau de la capacité extrinsèque d'entrée C_{iss} pour V_{ds} nulle (C_{issmax}). Ainsi, d'après les résultats relatifs au blocage, observés dans la *Figure 3.9*, il semble que l'effet de C_{issmax} sur la pente di/dt est plus prédominant que celui de la tension fictive ($E1^- - V_{th}$). Par contre, cette explication reste une hypothèse à prouver. Parmi les études axées sur les répercussions des capacités inter-électrodes on trouve la thèse de Jeannin. D'après cet auteur dans [Jea01], les capacités de jonction agissent sur les performances dynamiques des composants, notamment sur les vitesses de commutation. En effet, la capacité d'entrée C_{iss} , dont la caractéristique au cours du vieillissement en régime court-circuit est donnée par le graphe *Figure 2.30*. Cette capacité influe sur la vitesse d'évolution du courant de drain di/dt pendant la durée de commutation. D'ailleurs, plus C_{iss} est faible, plus le temps de montée (et/ou de descente) du courant lors d'une commutation est court.

La diminution de la tension de seuil entraîne donc une amélioration des performances en commutation pour le turn-on et détériore les performances lors du turn-off. A l'inverse, la diminution de la capacité C_{iss} réduit toujours la durée de commutation soit à l'amorçage, soit au blocage. Et du coup, les phénomènes de di/dt lors du blocage s'expliquent plus par la décroissance de C_{iss} en fonction de vieillissement vu son dominance vis-à-vis V_{th} .

Nous remarquons, en outre, que la vitesse de commutation de courant I_{ds} dans la *Figure 3.8* est plus rapide au blocage qu'en conduction. En outre, les surintensités (pic de courant) au blocage et en conduction après vieillissement sont plus importantes et le courant est plus perturbé.

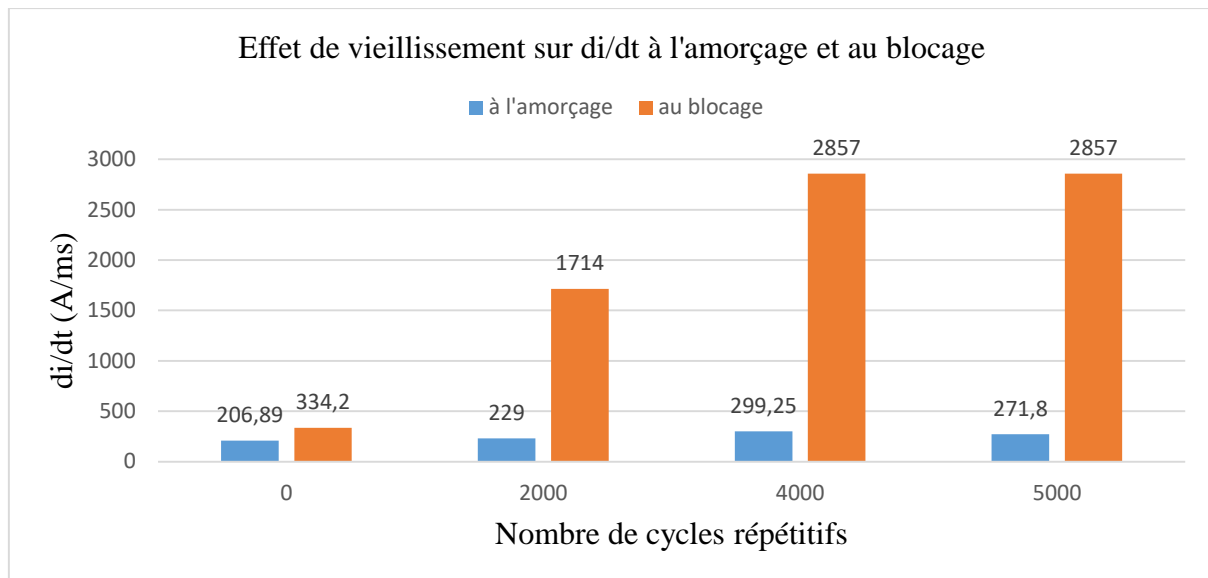


Figure 3.9 Evolution des séquences di/dt à l'état bloqué et à l'état passant avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

3.3.1.2 Tension entre drain et source

La *Figure 3.10* présente l'évolution de la forme d'onde temporelle de la tension V_{ds} avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive.

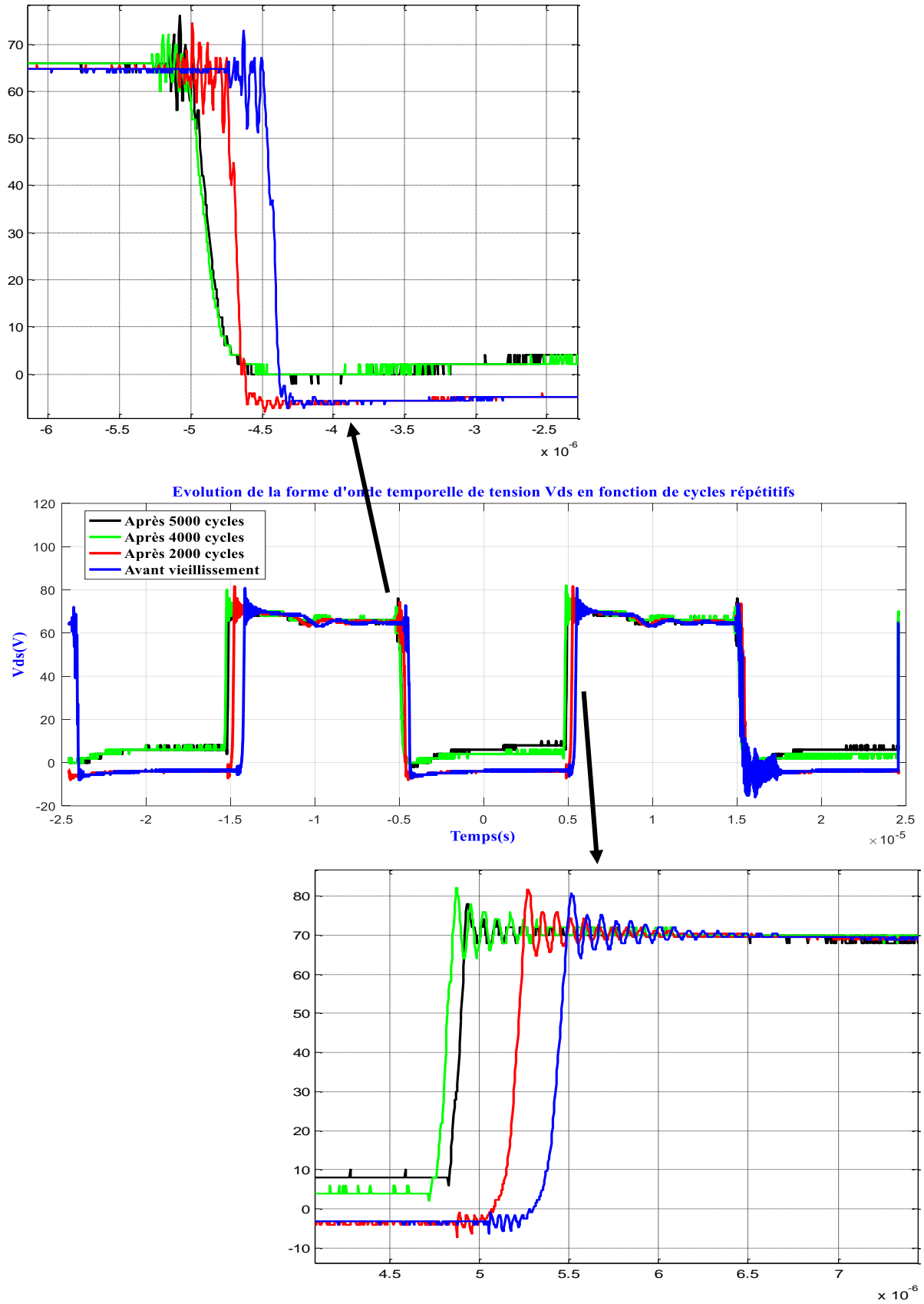


Figure 3.10 Evolution de la forme d'onde temporelle de Vds avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

Nous remarquons dans la figure ci-dessus un décalage vers la gauche. Au niveau des pics de tensions dans les deux états, il n'y a pas de différence avant et après vieillissement même au niveau des densités des oscillations.

Pendant le régime permanent, la figure ci-dessus montre qu'après augmentation des cycles répétitifs de court-circuit, il y a une augmentation de la tension à l'état passant du transistor. Ceci est dû à l'augmentation de la résistance à l'état passant R_{dson} déjà observée dans le chapitre 2 (*Figure 3.10*).

Pendant le régime transitoire, les séquences du dv/dt avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit sont présentées dans la *Figure 3.11*. Ces séquences concernent la cellule hacheur série avec une charge résistive, pour cela elles sont calculées par l'intermédiaire de la *Figure 3.10*. Nous notons que la pente dv/dt augmente pendant la mise à l'ouverture (turn-off) et la mise en conduction (turn-on) avec le nombre de cycles appliqués.

A l'instar de di/dt , Rossignol dans [Ros15] a exprimé les séquences de dv/dt pendant la mise en conduction par l'équation 3.6 et au blocage par l'équation 3.7.

$$\text{En conduction} \quad \frac{dv}{dt} = -\frac{g_m * (E1^+ - V_{th}) - I_{ch}}{C_{oss} + C_d + g_m * R_{G1} * C_{gd}} \quad (3.6)$$

$$\text{Au blocage} \quad \frac{dv}{dt} = -\frac{g_m * (E1^- - V_{th}) - I_{ch}}{C_{oss} + C_d + g_m * R_{G1} * C_{gd}} \quad (3.7)$$

avec I_{ch} le courant de la charge, C_d est la capacité de la diode de roue libre.

Dans le chapitre 2, section 2.3.1.2, nous avons montré que la tension V_{th} diminue en fonction des cycles répétitifs de court-circuit. Dans le même chapitre section 2.3.2.1.2, nous avons trouvé que l'effet de vieillissement en régime court-circuit sur le MOSFET_SIC_1 se traduit par une diminution au niveau de la capacité extrinsèque de sortie C_{oss} . Le courant de la charge I_{ch} dépend de courant de drain qui est, d'après la section 2.3.1.1.1 du chapitre 2, diminue au cours de vieillissement.

Dans [Jea01], l'auteur a montré que la capacité de sortie C_{oss} agit sur la vitesse de variation de la tension drain-source dv/dt . La pente dv/dt est inversement proportionnelle à C_{oss} , par conséquent, plus C_{oss} est faible, plus dv/dt est rapide. D'autre part, la capacité C_{ds} qui constitue une grande partie de C_{oss} , a une réelle incidence sur les temps de montée et de descente. En effet, pendant la phase d'amorçage, l'énergie emmagasinée dans C_{ds} ne peut être

dissipée que dans le canal du transistor. Ainsi, plus C_{ds} est faible au cours du vieillissement comme le montre la section 2.3.2.2.2 de chapitre 2, plus le temps de décharge de cette énergie est court et ainsi plus dv/dt est important.

D'après le même auteur, la capacité de Miller C_{rss} agit aussi sur la vitesse d'évolution de la tension drain-source pendant la commutation dv/dt , et elle a, entre autres, une grande influence sur les temps de commutation. En effet, plus C_{rss} est faible avec le nombre de cycles répétitifs appliqués (section 2.3.2.1.3 chapitre 2), plus le temps de montée (et/ou de descente) de la tension V_{ds} est court et la pente dv/dt est élevée.

À l'instar de di/dt , les résultats obtenus dans la *Figure 3.11* coïncident avec la formulation des dv/dt en amorçage. Par contre, au blocage, ils sont en accord avec les constatations de Jeannin [Jea01] vu que la tension fictive ($E_1 - V_{th}$) dans la formulation 3.7 diminue avec le vieillissement et donc son effet est moins important que celui des capacités de liaison.

Nous remarquons, en outre, que la vitesse de commutation de tension V_{ds} est plus rapide au blocage qu'en conduction sauf après 5000 cycles. Et ceci revient à la diminution de la tension de seuil qui entraîne une amélioration des performances en commutation pour le turn-on et détériore les performances de blocage lors du turn-off.

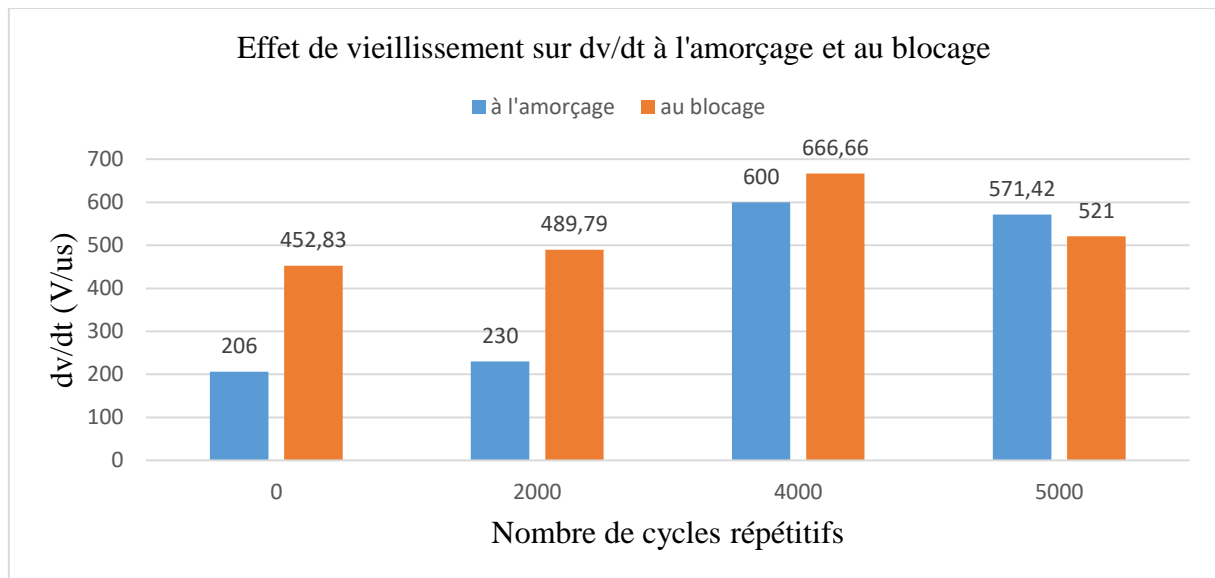


Figure 3.11 Evolution des séquences dv/dt à l'état bloqué et à l'état passant avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

3.3.1.3 Tension de commande V_{gs}

La *Figure 3.12* présente l'évolution de chronogrammes de tension V_{gs} avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive.

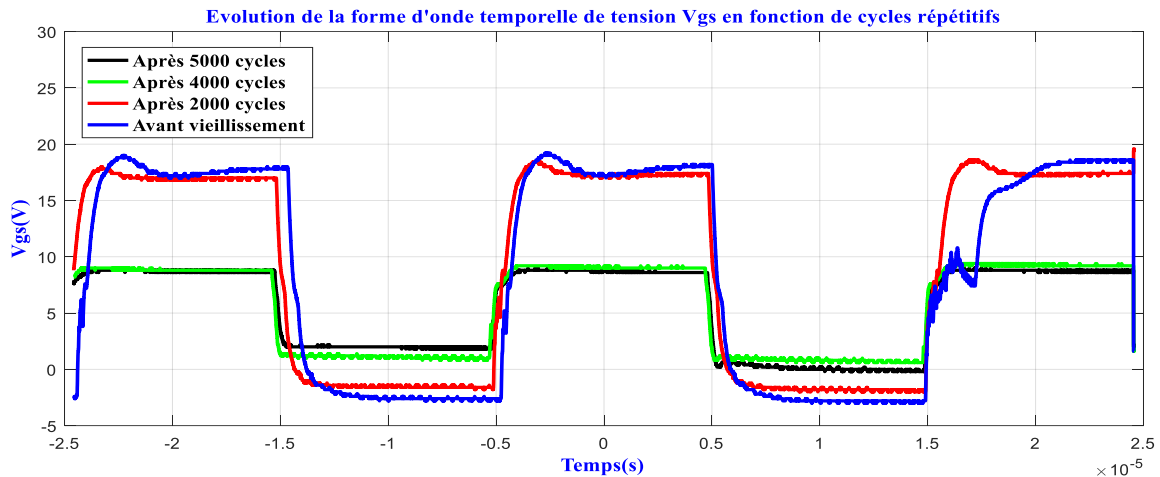


Figure 3.12 Evolution de la forme d'onde temporelle de V_{gs} avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

La figure ci-dessus dans sa partie régime permanent confirme des résultats obtenus dans le chapitre 2 et présentés sur la *Figure 2.11*, la *Figure 2.12* et la *Figure 2.13*. En effet, après 2000 cycles, il n'y a pas une variation significative de la tension grille-source V_{gs} , elle est presque stable. Par contre, avec l'augmentation du nombre de cycles répétitifs appliqués sur le composant, un changement clair de l'allure de V_{gs} se manifeste. Après 4000 et 5000 cycles, nous pouvons observer une diminution de V_{gs} . Comme cité auparavant, cette diminution est due à un changement au niveau des propriétés physiques de l'ensemble grille/ SiO_2 / SiC et notamment aux pièges dans l'oxyde et à l'interface SiC/SiO_2 .

Pendant la phase transitoire, comme pour la tension v_{ds} et le courant I_{ds} , on remarque un temps de commutation plus rapide en fonction de cycles répétitifs de court-circuit notamment après la campagne de 4000 et 5000. Ce résultat est cohérent vis à vis du niveau de V_{gs} pendant le régime permanent. En effet, le temps de commutation pour atteindre 20V est plus important que le temps que le MOSFET_SIC_1 doit mettre pour atteindre 9V après 4000 cycles et 8V après 5000 cycles.

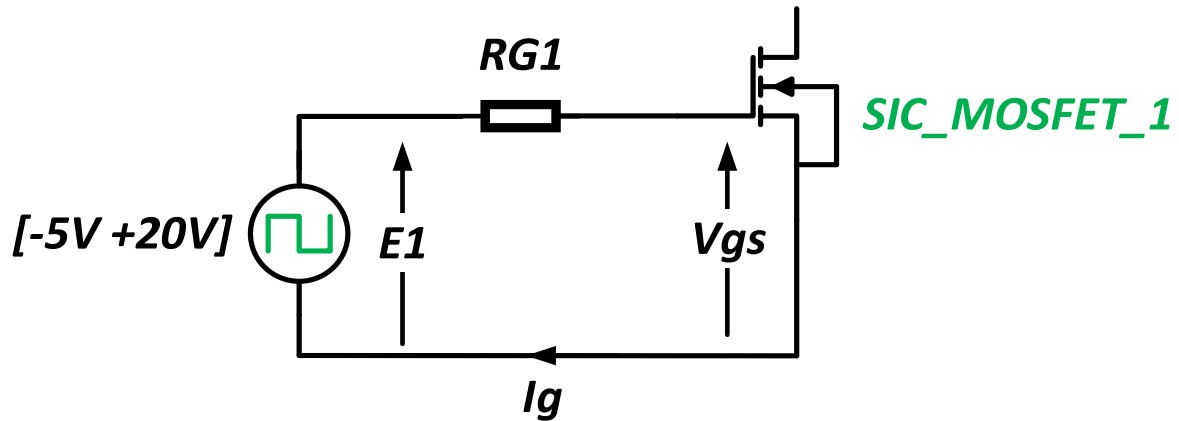


Figure 3.13 Schéma électrique de circuit de commande

Le schéma électrique au-dessus peut expliquer la diminution de V_{gs} après vieillissement. En effet sur ce schéma, d'après la loi de maille, on voit que la tension V_{gs} dépend de la tension de driver $E1$, la résistance de grille $RG1$ et le courant de grille qui la traverse I_g . $E1$ et $RG1$ sont deux paramètres constants, alors la diminution de V_{gs} après vieillissement se traduit par l'augmentation de I_g avec le stress appliqué.

La seule différence entre ces allures et celles de chapitre 2 est la condition de l'état bloqué, dans le chapitre précédent, nous avons court-circuité la jonction grille-source pour faire passer le composant au blocage tandis que $V_{gs} = 0V$ correspond à un cas fortement défavorable de la commande à l'état bloqué. Dans ce chapitre nous avons compté sur une polarisation négative de $-5V$.

L'effet de vieillissement en régime de court-circuit sur l'allure de tension V_{gs} de MOSFET_SiC_1 dans un hacheur série avec une charge inductive et dans un hacheur parallèle avec une charge résistive et inductive est pareil à ce qui est trouvé comme résultat pour un hacheur série avec une charge résistive.

Sur une vue d'ensemble, on peut inférer que les temps de commutation après vieillissement sont les moins importants. Ce qui prouve l'augmentation aux niveaux de pentes di/dt et dv/dt et peut refléter des répercussions sur les PEM conduites.

3.3.2 Effets sur les formes d'ondes de PEM conduites

Les caractérisations préliminaires de I_{ds} , V_{gs} et V_{ds} ont pour finalité d'établir un comparatif des performances dynamiques du MOSFET SiC avant et après vieillissement en

régime de court-circuit. En plus, elles permettent d'analyser les résultats de cette partie puisque les di/dt et dv/dt sont à l'origine des PEM.

Après avoir effectué les calculs de di/dt et dv/dt avant et après vieillissement, on peut déduire les performances électromagnétiques du MOSFET après vieillissement. La *Figure 3.9* et la *Figure 3.11* montrent que le test de vieillissement en régime de court-circuit amplifie ces dépassements en courant et en tension.

Quatre grandeurs électromagnétiques temporelles sont mesurées avant et après les tests accélérés en régime court-circuit et HTGB. Ces grandeurs sont la tension VR1 aux bornes de la résistance R1 du RSIL, la tension VR2 aux bornes de la résistance R2 du RSIL, la tension de mode commun VMC et la tension de mode différentiel VMD. Elles sont visualisées dans une fenêtre temporelle de deux périodes et demie avec une fréquence de commutation de 50 kHz.

3.3.2.1 Tension VR1 aux bornes de la résistance R1 du RSIL

La *Figure 3.14* présente l'évolution de chronogrammes de tension VR1 aux bornes de la résistance R1 du RSIL avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive.

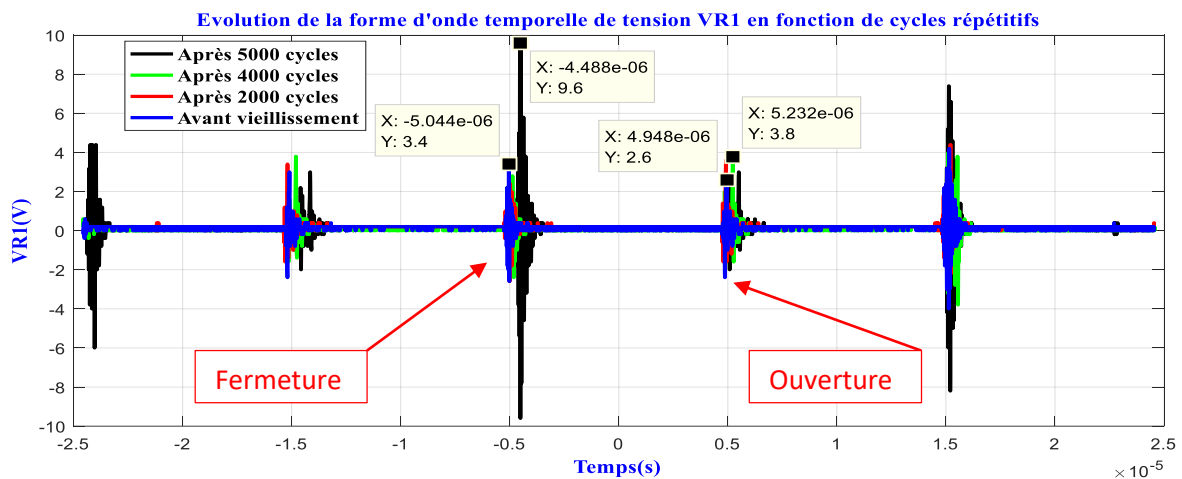


Figure 3.14 Evolution de la forme d'onde temporelle de VR1 avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

L'effet de vieillissement en régime de court-circuit sur l'allure de tension VR1 pour un hacheur série avec une charge résistive et pour un hacheur parallèle avec une charge résistive et inductive donne des résultats semblables.

Pour les quatre cas, lors de l'ouverture du transistor MOSFET_SiC_1, l'amplitude de la tension VR1 est inférieure à celle obtenue lors de la fermeture. En plus, l'effet de vieillissement en régime court-circuit sur VR1 est très clair notamment à la mise en conduction. On prend l'exemple d'un hacheur série avec une charge inductive présentée par la *Figure 3.14*, lors de la fermeture du DUT, une oscillation de la tension VR1 vaut 9,6V après 5000 cycles par contre elle est égale à 3,4V avant vieillissement. Lors de l'ouverture, VR1 ne dépasse pas 3,8V après 4000 cycles et elle vaut 2,6V avant vieillissement.

3.3.2.2 Tension VR2 aux bornes de résistance R2 du RSIL

L'effet de vieillissement en régime de court-circuit sur les chronogrammes de tension VR2, aux bornes de R2 du RSIL, pour un hacheur parallèle avec une charge inductive est donné par la *Figure 3.15*.

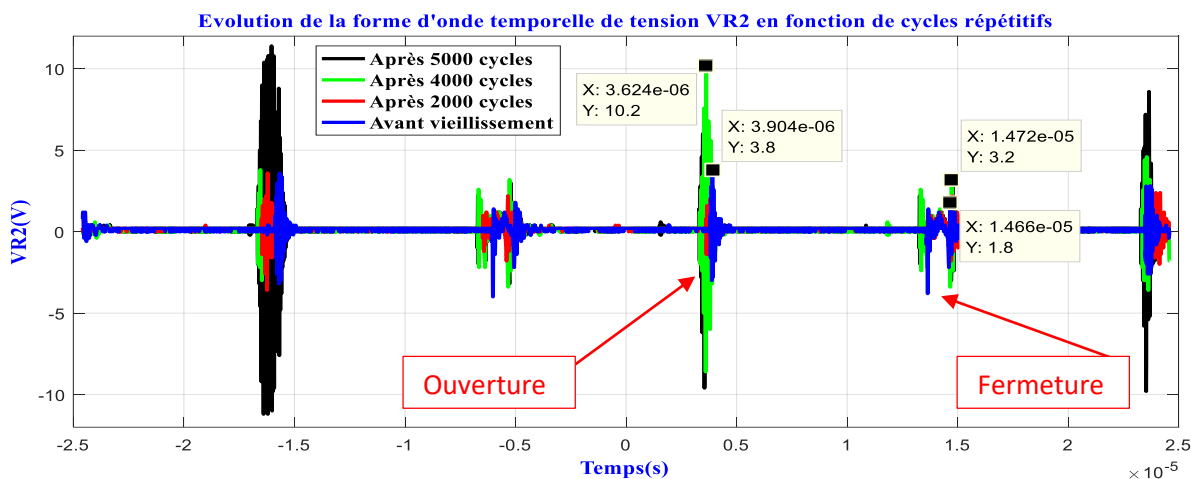


Figure 3.15 Evolution de la forme d'onde temporelle de VR2 avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur parallèle avec une charge inductive

L'analyse de la forme d'onde temporelle de VR2 pour les deux hacheurs avec les deux charges montre que la croissance de nombre cycles répétitifs appliqués sur le MOSFET SiC aggrave l'amplitude de VR2 et plus particulièrement pendant le passage à l'état passant de composant. Nous avons pris le cas d'un hacheur parallèle avec une charge inductive présenté par la *Figure 3.15* pour analyser cette évolution. En effet, lors de la fermeture du DUT, l'amplitude de VR2 vaut 10,2V après 4000 cycles par contre elle est aux alentours de 3,8V avant vieillissement ($\Delta VR2=6,4V$). Lors de l'ouverture, VR2 ne dépasse pas 3,2V après 4000 cycles et environ 1,8V avant vieillissement ($\Delta VR2=1,4V$). Donc nous pouvons conclure qu'il

Il y a une évolution plus importante au niveau de VR2 pour un MOSFET en SiC vieilli par rapport à un MOSFET neuf.

A l'instar du hacheur parallèle avec une charge inductive, on a trouvé le même impact sur l'évolution de chronogrammes de tension VR2 avant vieillissement et après 2000, 4000 et 5000 cycles répétitifs de court-circuit appliqués sur le MOSFET_SIC_1 pour un hacheur parallèle avec une charge résistive et pour un hacheur série avec une charge résistive et une charge inductive.

3.3.2.3 Tension en mode commun VMC

Nous allons présenter maintenant l'effet des tests de vieillissement accélérés sur les formes d'ondes temporelles de signaux de deux modes commun et différentiel. Vu le nombre élevé des figures, on va prendre comme d'habitude un seul cas afin de le traiter et l'analyser et à partir duquel montrer que le test de vieillissement, avec ses deux types HTGB ou court-circuit, a relativement le même impact sur la tension de mode commun quel que soit le convertisseur et la charge.

Pour mettre en évidence l'effet du régime court-circuit sur les amplitudes des PEM conduites de mode commun, nous présentons, au niveau de la *Figure 3.16*, les chronogrammes de tension de mode commun VMC. Ces allures sont obtenues lors de l'ouverture et de la fermeture de MOSFET_SIC_1 soumis dans un hacheur série avec une charge inductive avant et après chaque compagne de court-circuit.

L'analyse de ces différents chronogrammes pour les deux hacheurs avec les deux charges montre que la croissance de nombre de cycles répétitifs (pour le vieillissement en régime court-circuit) ou de nombre d'heures (pour le vieillissement en HTGB) appliqués sur le DUT amplifie l'amplitude de tension de mode commun VMC. Cette augmentation apparaît notamment pendant la mise en conduction de composant. En effet, l'exemple du cas d'un hacheur série avec une charge inductive, avant et après le test de court-circuit, présenté par la *Figure 3.16* montre qu'on trouve, lors de la fermeture du composant étudié, l'amplitude de VMC est de 5,4V après 5000 cycles. Par contre, elle vaut 2,1V avant vieillissement ce qui implique un ΔVMC de 3,3V. Lors de l'ouverture, ΔVMC entre la tension VMC du composant étudié soumis à 5000 cycles ($VMC=2,5V$) et celle du composant neuf ($VMC=2,2V$) n'est pas très important, il est de 0,3V. Donc nous pouvons conclure que l'effet de vieillissement accéléré se traduit par

une augmentation importante au niveau de la tension de mode commun pour un MOSFET en SiC.

Ce résultat est généralisé pour le cas de hacheurs parallèle et série avec les deux types de charge, après vieillissements en régime court-circuit et HTGB pour une tension V_{gs} statique de -10V, -5V ou +20V.

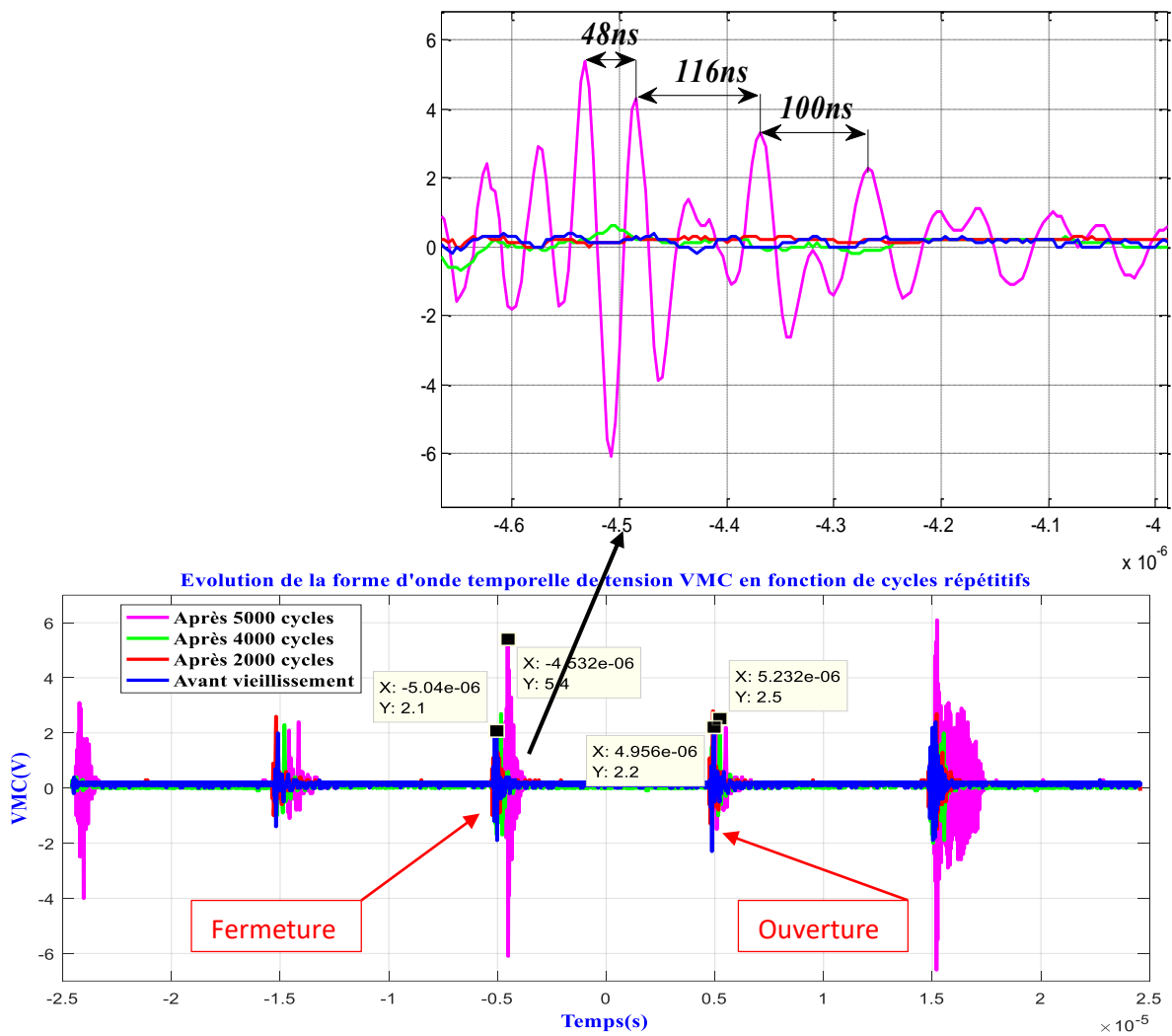


Figure 3.16 Evolution de la forme d'onde temporelle de VMC avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

3.3.2.4 Tension en mode différentiel VMD

Sur la *Figure 3.17*, nous traçons les formes d'ondes temporelles de tension de mode différentiel VMD et leur évolution avec le vieillissement en court-circuit appliqué sur le MOSFET_SIC_1 soumis dans un hacheur série avec une charge inductive.

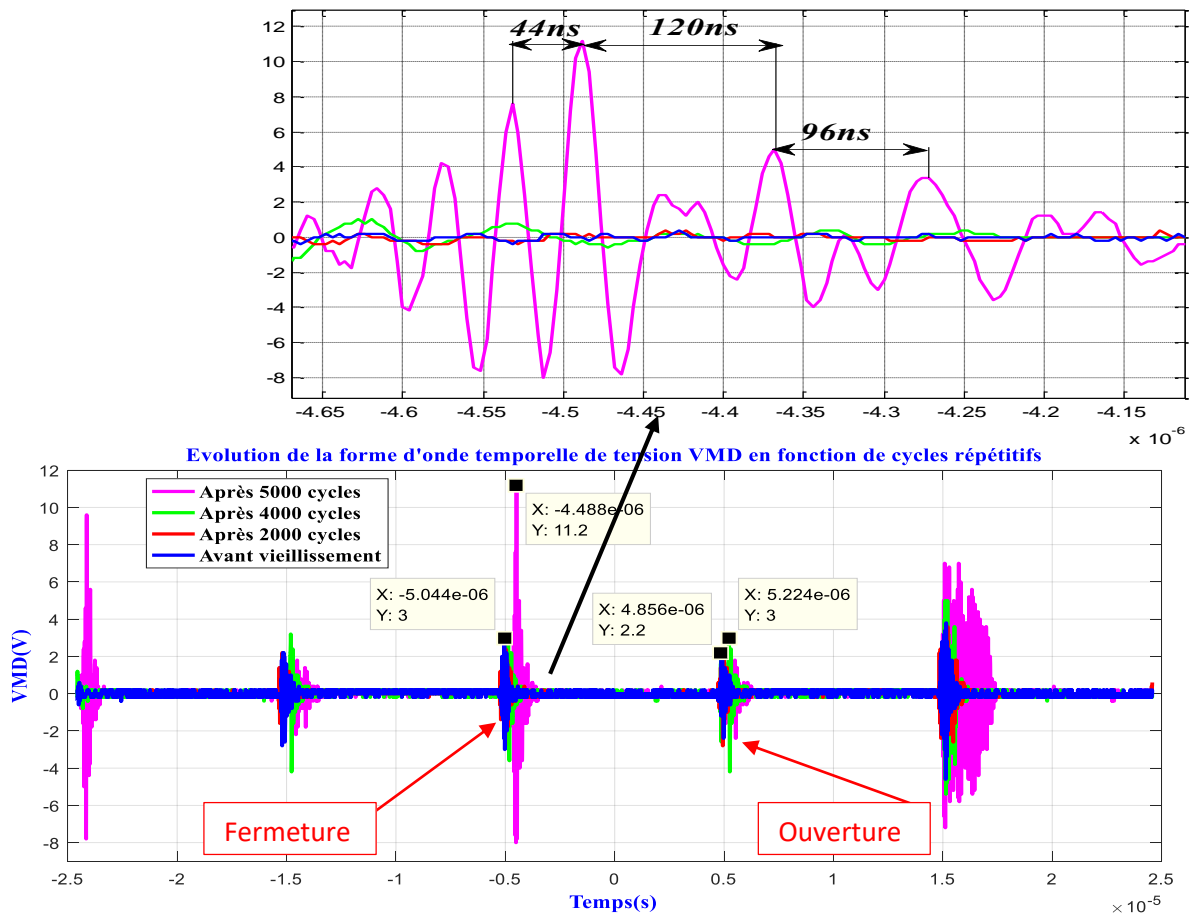


Figure 3.17 Evolution de la forme d'onde temporelle de VMD avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

L'analyse de l'évolution de la forme d'onde temporelle de VMD pour les deux hacheurs avec les deux charges montre qu'autant le nombre d'heures de HTGB ou de cycles répétitifs de court-circuit appliqués sur le MOSFET_SIC_1 croit autant l'amplitude de VMD s'accroît notamment pendant le passage à l'état passant du composant. Comme exemple, nous présentons le cas d'un hacheur série avec une charge inductive en régime de court-circuit dans la *Figure 3.17*. En effet, lors de la mise en conduction du DUT, l'amplitude de VMD vaut 11,2V après 5000 cycles par contre elle est aux alentours de 3V avant vieillissement d'où un ΔVMD de 8,2V. Lors de la mise au blocage de DUT, VMD ne dépasse pas 3V après 5000 cycles et

environ 2,2V avant vieillissement ainsi un ΔVMD de 0,8V. Par conséquent, nous pouvons déduire que l'application d'un nombre assez important de cycles ou d'heures contraignants sur un MOSFET neuf engendre une augmentation au niveau de PEM conduites représenté par la tension en mode différentiel VMD.

Ce résultat est généralisé pour le cas de hacheurs parallèle et série avec les deux types de charge, après vieillissements en régime court-circuit et HTGB pour une tension V_{gs} statique de -10V, -5V ou +20V.

3.3.3 Sur les spectres de PEM conduites

Après avoir étudié l'effet de tests de vieillissement accéléré sur VR1, VR2, VMC et VMD dans le domaine temporel, nous passons par la suite à présenter l'impact de ces types de vieillissement sur les spectres de ces tensions dans une gamme de fréquence commençant de la fréquence de commutation (50 KHz) et allant jusqu'à 50 MHz.

3.3.3.1 Tension VR1 aux bornes de R1 du RSIL

La Figure 3.18 présente les formes spectrales de VR1 pour le cas d'un hacheur série avec une charge inductive avant et après vieillissement sur toute la fenêtre de temps utilisée pour les formes temporelles.

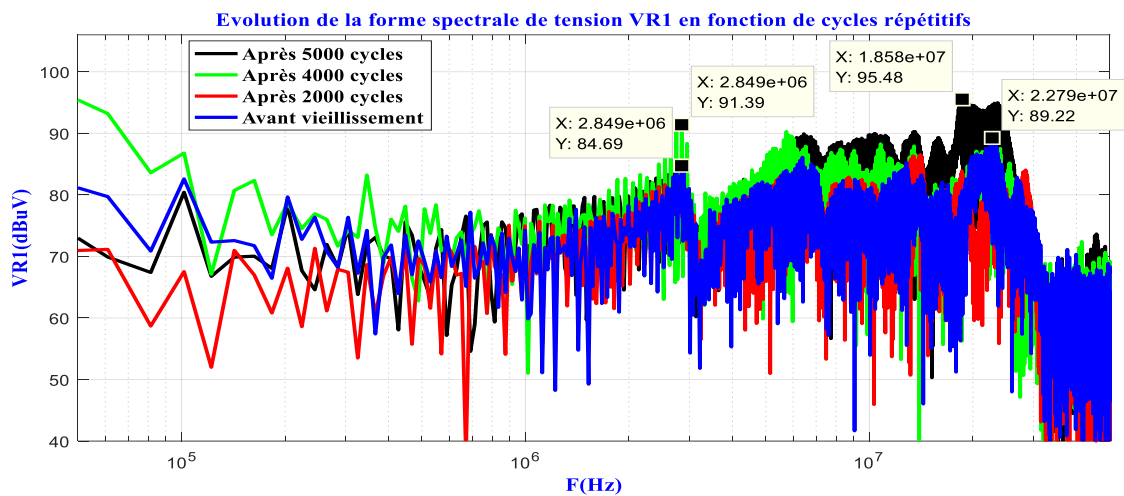


Figure 3.18 Evolution de la forme spectrale de VR1 avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

L'analyse de l'évolution de VR1 en fonction de cycles appliqués dans les circuits hacheur série et parallèle montre que le vieillissement de transistor MOSFET_SiC_1 a un effet considérable sur les spectres de cette tension.

On prend l'exemple d'un hacheur série avec une charge inductive présenté par la *Figure 3.18*, les différents harmoniques de la forme temporelle de VR1 dans la *Figure 3.14* lors de la fermeture et de l'ouverture du DUT, possèdent des périodes d'oscillations qui se traduisent dans la forme spectrale par des fréquences de résonance. Les spectres de la tension VR1 présentent deux fréquences de résonance principales, la première vaut à 2,849MHz et la deuxième est aux alentours de 20MHz. Après 4000 cycles, la première fréquence de résonance correspond à une amplitude de 91,39 dBuV, alors qu'elle était à 84,69 dBuV avant vieillissement d'où un $\Delta VR1$ de 6,7 dBuV. Pour la deuxième fréquence, son amplitude est environ 95,48 dBuV après 5000 cycles, alors qu'elle était à 89,22 dBuV avant vieillissement, soit une augmentation de 6,26 dBuV.

Concernant le cas de HTGB, la comparaison des spectres de VR1 avant vieillissement et après 300, 600 et 900 heures montre aussi une augmentation des amplitudes aux fréquences de résonance.

3.3.3.2 Tension VR2 aux bornes de R2 du RSIL

La *Figure 3.19* illustre la comparaison de la forme spectrale de la tension VR2 avant et après vieillissement pour chaque type de charge dans un hacheur série. Quant au hacheur parallèle, l'évolution observée au niveau de cette tension est la même.

Nous constatons que le test de vieillissement affecte aussi la forme spectrale de VR2 d'une manière remarquable. En effet, l'analyse de la forme spectrale de VR2 pour les deux hacheurs avec les deux charges montre que la croissance de nombre cycles répétitifs appliqués sur le MOSFET SiC augmente l'amplitude des spectres de VR2 et plus particulièrement aux fréquences de résonance. Nous avons pris le cas d'un hacheur parallèle avec une charge inductive présenté par la *Figure 3.19* pour analyser cette évolution. En effet, la fréquence de résonance la plus remarquable est celle de 21MHz, l'amplitude de VR2, associé à cette fréquence, vaut 107,6 dBuV après 5000 cycles. Après 4000 cycles, elle est aux alentours de 95,25V. Par contre, elle ne dépasse pas 91,56 avant vieillissement, soit donc un $\Delta VR2$ de 16,04V entre un composant neuf et un complètement vieilli (après 5000 cycles). Donc nous

pouvons conclure qu'il y a une augmentation importante au niveau de VR2 après les tests de vieillissement.

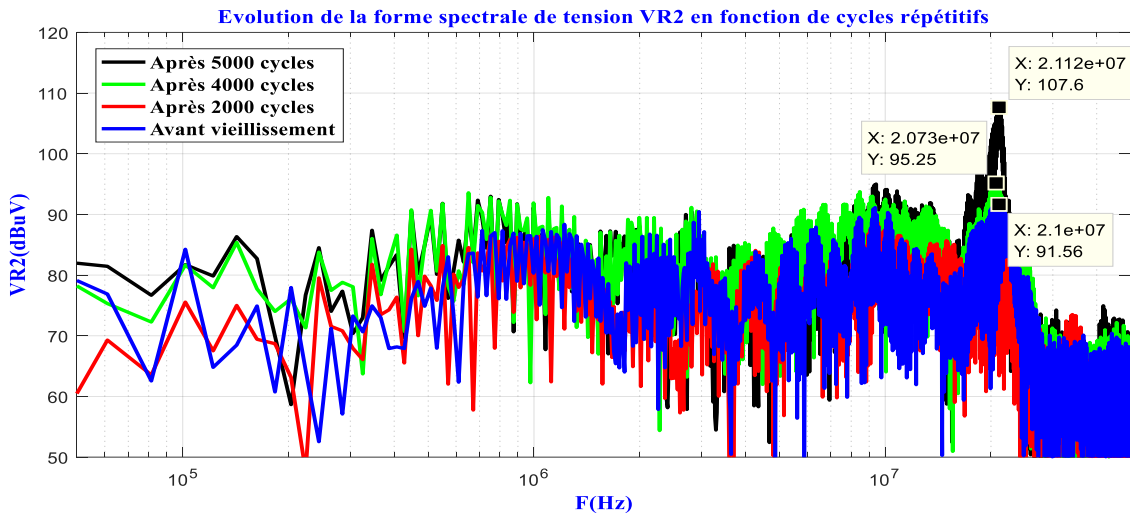


Figure 3.19 Evolution de la forme spectrale de VR2 avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur parallèle avec une charge inductive

3.3.3.3 Tension en mode commun VMC

La Figure 3.20 présente l'évolution de la forme spectrale de la tension de mode commun VMC avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive.

Nous avons remarqué que l'effet de vieillissement de MOSFET_SIC_1 se traduit par une augmentation de l'amplitude de spectres de VMC pour les deux hacheurs notamment aux différentes fréquences de résonance. En effet, si on prend le cas d'un hacheur série, avec une charge inductive, présenté sur la Figure 3.20 comme exemple pour traiter cette évolution, on remarque l'apparition de trois fréquences de résonance aux alentours de 6,5MHz, 10MHz et 21MHz.

Si on revient à la Figure 3.16 qui présente un zoom appliqué sur la forme d'onde temporelle de la tension VMC, on peut constater des périodes d'oscillation de 48ns, 100ns et 116ns ce qui correspondent bien à ces fréquences de résonance.

Comparons les spectres de la Figure 3.20, pour la première fréquence de 6,5MHz, on peut identifier deux pics de 84,4 dBuV avant vieillissement et de 87,98 dBuV après 5000 cycles répétitifs. Ce qui correspond à une augmentation de 3,58 dBuV.

Concernant la deuxième fréquence de résonance de 10MHz, l'amplitude de VMC est égale à 91,43 dBuV après 5000 cycles. Avant vieillissement, elle vaut 77,83 dBuV ainsi un ΔVMC de 13,6 dBuV.

Quant à la troisième fréquence, ΔVMC entre la VMC après 5000 cycles (VMC=95,97 dBuV) et celle de composant neuf (VMC=82,42 dBuV) est environ 13,55 dBuV. Donc nous pouvons conclure que l'effet de vieillissement accéléré se traduit par une augmentation importante au niveau de la tension spectrale de mode commun pour un MOSFET en SiC notamment aux fréquences de résonances correspondes au régime d'oscillation imposé par l'augmentation de di/dt et dv/dt.

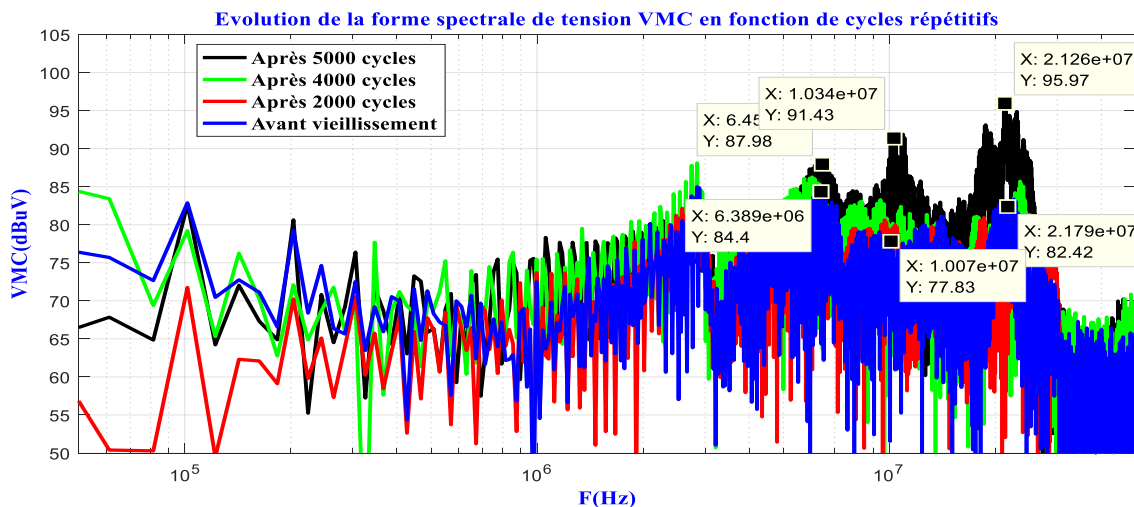


Figure 3.20 Evolution de la forme spectrale de VMC avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

Les mêmes résultats ont été trouvés pour les différentes courbes de forme spectrale de VMC de MOSFET_SIC_1 dans un hacheur série et parallèle avec une charge résistive et inductive en fonction de nombre d'heures de HTGB pour une tension V_{gs} statique de -10V, -5V et +20V.

3.3.3.4 Tension en mode différentiel VMD

La Figure 3.21 présente l'effet de vieillissement en court-circuit sur l'évolution de formes spectrales de PEM conduites représentées par la tension de mode différentiel VMD pour le cas d'un hacheur série avec une charge inductive.

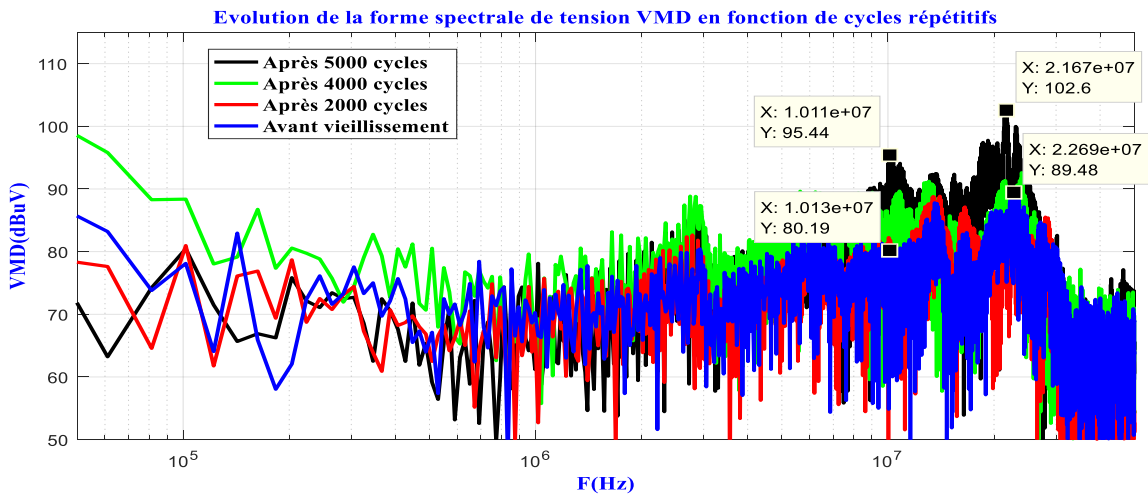


Figure 3.21 Evolution de la forme spectrale de VMD avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

Ce graphique montre que le stress appliqué sur le MOSFET_SIC_1 permet d'accentuer l'amplitude de VMD notamment aux fréquences de résonance. En effet, les deux fréquences de résonance les plus remarquables sont 10MHz et 22MHz. Revenons au zoom appliqué sur la forme d'onde temporelle de la tension VMD présenté sur la Figure 3.17, on peut constater que ces fréquences correspondent bien aux périodes d'oscillation respectivement de 96ns et 44ns.

Une étude comparative sur l'amplitude de VMD à la première fréquence de résonance de 10MHz, où on note un pic de VMD de 95,44 dBuV qui apparaît après 5000 cycles par contre il est aux alentours de 80,19 dBuV avant vieillissement d'où un ΔVMD de 15,25 dBuV. A la deuxième fréquence de 22MHz, le pic de VMD dépasse 100 dBuV avec une valeur exacte de 102,6 dBuV après 5000 cycles et environ 89,48 dBuV avant vieillissement ainsi une augmentation de 13,12dBuV. Par conséquent, nous pouvons en inférer que l'application d'un nombre assez important de cycles contraignants sur un MOSFET neuf engendre une augmentation au niveau de PEM conduites. Ces PEM sont représentées par la forme spectrale de tension de mode différentiel VMD. Cette augmentation se manifeste bien aux fréquences de résonance correspondes au régime d'oscillation imposé par l'augmentation de di/dt et dv/dt .

Ce résultat sur VMD est généralisé pour le cas de hacheurs parallèle et série avec les deux types de charge, après vieillissements en régime court-circuit et HTGB pour une tension V_{gs} statique de -10V, -5V ou +20V.

3.4 Interprétations et analyses générales

Avant d'analyser les résultats obtenus, il faut les projeter de façon organisée. En effet, les mesures nous ont permis de constater que les amplitudes de formes temporelles de tensions VR1 et VR2 aux bornes des résistances du RSIL augmentent en fonction de stress appliqué. Nous nous apercevons entre avant et après vieillissement un écart d'amplitude de VR1 de 6,2V à la fermeture et de 0,6 à l'ouverture de MOSFET_SiC_1 dans le cas d'un hacheur série avec une charge inductive. Et pour VR2, nous avons remarqué une augmentation de 6,4V à la fermeture et 1,4V à l'ouverture en utilisant cette fois-ci le circuit du hacheur parallèle avec une charge inductive. Les mêmes tensions ont vu des variations au niveau des formes spectrales, avec un $\Delta VR1$ de 6,7 dBuV à 2,849 MHz et de 6,26 dBuV à 20 MHz et un $\Delta VR2$ aux alentours de 16,04 dBuV à 21 MHz.

Ces tensions ne servent pas vraiment à déduire l'effet de vieillissement sur la CEM. En effet, celles qui nous concernent vraiment sont celles de mode commun et mode différentiel qui sont l'image directe des PEM conduites. D'ailleurs, lors de la mise en conduction du DUT dans un hacheur série avec une charge inductive, nous avons trouvé que le vieillissement se traduit par un ΔVMC de 3,3V et un ΔVMD de 8,2V. Lors de la mise au blocage, un ΔVMC ne dépasse pas 0,3V et un ΔVMD d'environ 1,2V. En outre, on a pu constater que les périodes d'oscillation de VMC et VMD dans leur forme temporelle correspondent bien à des fréquences de résonances clairement apparues dans la forme spectrale correspondes au régime d'oscillation imposé par l'augmentation de di/dt et dv/dt . En comparant ces spectres, nous avons identifié, à la fréquence de résonance de 6,5 MHz, un ΔVMC égale à 3,58 dBuV, de l'ordre de 13,6 dBuV à 10 MHz et de 13,55 dBuV à 21 MHz.

Suite à cet impact notable, nous concluons que les cycles répétitifs de court-circuit et les contraintes de HTGB sont des facteurs influant sur les temps de montée et les temps de descente de signaux de commutation et du coup sur l'amplitude des résonances perturbatrices conduites.

Pour analyser physiquement les résultats trouvés, nous devons compter sur le chapitre précédent. Lorsqu'on prend par exemple le vieillissement en régime de court-circuit, ce test agit sur la tension de seuil V_{th} et sur les capacités entre-électrodes de MOSFET SiC. Ces paramètres avec d'autres éléments parasites du composant conjugués avec l'imperfection de la structure de deux hacheurs et leur circuit de commande sont à l'origine de la grande vitesse de commutations dans les phases transitoires du composant après vieillissement. En effet, les phases transitoires

regroupent les fronts des grandeurs électriques I_{ds} et V_{ds} suivies par les régimes oscillatoires. Au-delà de ces phases transitoires, les éléments parasites de la structure ne sont plus excités par ces fronts de commutation et la structure de commutation retrouve un régime permanent.

Les MOSFETs SiC sont capables de générer à la base des dv/dt et di/dt très élevés ce qui explique le haut niveau des perturbations conduites obtenues même avant vieillissement. Cela est dû à la structure interne réelle du composant lui-même et à la construction géométrique trop inductive de deux hacheurs non compatible avec les commutations rapides des nouvelles filières en SiC.

Revenons aux résultats trouvés dans le deuxième chapitre et jetons un coup d'œil sur le chapitre 5 section 5.4, nous avons montré que le vieillissement se traduit par une diminution aux niveaux de la tension de seuil V_{th} , de la capacité d'entrée C_{iss} et de sortie C_{oss} . Ces paramètres dégradés après vieillissement ont influencé sur les fronts de I_{ds} et V_{ds} en minimisant leurs temps de montée et de descente. Et du coup sur la génération des courants harmoniques de hautes fréquences durant les phases transitoires qui circulent dans les deux structures en passant par leurs différents éléments parasites.

En fait, suivant le coefficient d'amortissement du signal résonant créé après l'application des cycles répétitifs, les signaux parasites atteignent des séquences de résonance très fortes. En effet, à l'amorçage, nous avons trouvé une pente di/dt de 299,25 A/ms et une pente dv/dt de 600 V/us. Au blocage, di/dt est aux alentours de 2857 A/ms et dv/dt est de l'ordre de 666,66 V/us. Ces fortes pentes provoquent des PEM conduites considérables à cause de leur interaction avec tous les éléments réactifs des convertisseurs statiques mis en place. Les inductances et les capacités sont les constituants réactifs des structures et elles sont indispensables pour le fonctionnement correct en comportement statique et dynamique des composants sous test et des systèmes de conversion. Cela provoque l'apparition de grandeurs telles qu'une $L \cdot di/dt$ produisant une surtension due aux dérivés brusques que subit le courant dans l'inductance totale L de la cellule de commutation des hacheurs. Par dualité, une $C \cdot dv/dt$ induisant une surintensité due aux dérivés brusques que subit la tension dans la capacité totale C de la cellule de commutation de ces hacheurs. Ces grandeurs sont susceptibles d'entraîner des impulsions brusques de courant et de tension, capables d'accentuer les pics de I_{ds} et de V_{ds} et à même d'augmenter la densité d'oscillations déjà présents avant vieillissement. Ainsi, elles sont en mesure de croître les niveaux des perturbations électromagnétiques conduites. La première dite grandeur permet d'augmenter les PEM conduites de mode différentiel et la deuxième est liée à la croissance de perturbations en mode commun.

3.5 Conclusion

Dans ce chapitre, nous avons présenté l'effet des tests de vieillissements accélérés des composants actifs de puissance de type MOSFET en SiC sur les signaux de commutation. Ces signaux sont la tension V_{gs} , le courant de drain I_{ds} , la tension V_{ds} et les tensions $VR1$, $VR2$, VMC et VMD images des perturbations électromagnétiques conduites dans leurs formes temporelle et spectrale. Les tensions représentatives de PEM conduites sont générées par deux types de circuit de conversion d'énergie (hacheur série et hacheur parallèle) avec une charge résistive et une charge inductive.

Nous avons montré que l'impact du vieillissement des transistors MOSFET SiC sur leur CEM se traduit par une augmentation au niveau des amplitudes des perturbations électromagnétiques conduites. Ceci a été confirmé par les variations rapides de caractéristiques électriques dynamiques de courant I_{ds} et de tension V_{ds} pendant les phases transitoires. D'une part, nous avons remarqué qu'après vieillissement en régime de court-circuit des variations très brusques de di/dt et dv/dt ainsi des vitesses de commutation assez rapides avec une densité d'ondulations de ces signaux très forte conjugués avec des pics de surintensités et de surtensions très importants. Les amplitudes des perturbations électromagnétiques conduites de mode commun et de mode différentiel issus de la cellule de commutation dépendent proportionnellement des variations de signaux de commutation. D'autre part, ces dernières traduisent la dégradation de paramètres internes de MOSFET SiC notamment les capacités intrinsèques et extrinsèques et la tension de seuil après vieillissement.

Nous avons constaté qu'après ces différents types de tests de vieillissement accélérés, les amplitudes des perturbations électromagnétiques conduites augmentent. Cette croissance varie légèrement d'un test de vieillissement accéléré à une autre et d'un mode à un autre mais toujours la croissance est assurée.

Dans le prochain chapitre, nous allons chercher l'influence de ces tests de vieillissement sur l'évolution de perturbations électromagnétiques rayonnées en utilisant comme d'habitude les deux systèmes de conversion d'énergie avec les deux types de charge pour valider les résultats qui seront obtenus.

Chapitre 4

4 Étude de la caractérisation électromagnétique rayonnée des MOSFET en SiC soumis à des régimes extrêmes de fonctionnement

4.1 Introduction

A l'instar de perturbations électromagnétiques conduites, dans ce chapitre nous aborderons l'effet des tests de vieillissement sur les niveaux des perturbations électromagnétiques rayonnées.

Comme dans le chapitre 3, les deux tests accélérés utilisés sont les cycles répétitifs en régime de court-circuit et le test à température élevée sous polarisation de la grille HTGB. Ces tests sont appliqués sur des transistors de puissance de type MOSFET, en technologie grand gap à base de SiC, de chez CREE de référence CMF20120D.

Nous allons examiner l'évolution du champ électromagnétique émis par des structures utilisant ces transistors soumis à ces types de contraintes en effectuant un suivi régulier et en comparant les PEM rayonnées avant vieillissement et après chaque campagne de cycles contraignants répétitifs appliqués pour le premier type de vieillissement et après chaque 300 heures pour le deuxième type de vieillissement. Ces tests ont été menés respectivement au-delà de 5000 cycles et 900 heures. Ils ont été arrêtés avant la défaillance des composants et après une dégradation significative de leurs différents paramètres intrinsèques.

Dans un premier temps, nous détaillerons la stratégie de mesure des perturbations électromagnétiques rayonnées et nous décrirons également les différentes maquettes expérimentales utilisées pour la mesure de ces paramètres électromagnétiques suivies lors du vieillissement.

Dans un deuxième temps, nous présenterons les caractérisations électromagnétiques rayonnées relevées régulièrement. De plus, nous analyserons l'évolution des différentes formes

d'ondes temporelles des tensions images des PEM rayonnées et des formes spectrales des champs magnétiques des composantes normale Hz et tangentiels Hx et Hy. Nous validerons les résultats obtenus sur deux types de systèmes de conversion d'énergie : hacheur série et hacheur parallèle avec deux sortes de charges inductive et résistive.

4.2 Techniques de mesure des perturbations électromagnétiques rayonnées

Le banc de mesure des PEM rayonnées est présenté par un schéma de principe sur la *Figure 4.2* et une photo sur la *Figure 4.3*. Il est constitué de la majorité des appareils utilisés dans les maquettes expérimentales pour la mesure des PEM conduites décrites dans le chapitre 3 (section 3.2). Ce banc contient une source d'alimentation DC qui délivre une tension continue fixée à 60V pour le hacheur série et à 30V pour le hacheur parallèle, une carte de commande ajustable, deux résistances de grille externes RG1 et RG2 de $2,5\Omega$ pour contrôler les vitesses de variation de la tension de commutation du transistor MOSFET_SIC_1 et SIC_MOSFET_2. Il comporte aussi un oscilloscope de référence DSO6034A de chez Agilent Technologies de bande de fréquence de mesures allant à 300 MHz et permettant des acquisitions allant à 2GSa/s pour visualiser les formes d'ondes temporelles des tensions images de champs magnétiques de composantes normale Hz et tangentiels Hx et Hy, une charge résistive et/ou une charge inductive, deux types de convertisseurs statiques hacheur série et hacheur parallèle déjà présentés respectivement sur la *Figure 3.3* et la *Figure 3.4*.

Pour permettre le passage des signaux mesurés du domaine temporel au domaine fréquentiel et l'affichage des spectres des émissions rayonnées pour diverses fréquences, nous avons développé une fonction dédiée sous le logiciel MATLAB basée sur le calcul de la transformée de Fourier rapide (FFT) du signal.

Dans ce travail, nous nous intéressons aux émissions rayonnées du composant étudié qui est le MOSFET_SIC_1 donné en bas de *Figure 3.3* et *Figure 3.4* en essayant d'isoler ces émissions de celles de la diode de roue libre située en haut de hacheur série et aussi celles de la diode de redressement située en haut de hacheur parallèle. Pour ce faire nous avons isolé le composant sous test de tout le reste du circuit en utilisant de longs fils de connexions pour le lier au circuit du hacheur (*Figure 4.3*). Il existe plusieurs méthodes et techniques de mesure de ces émissions, nous avons adopté la technique basée sur la mesure du champ proche. Cette

technique consiste à mesurer le champ électromagnétique rayonné à une distance assez faible comme cité auparavant (inférieur à $\lambda/2\pi$) qui correspond à une région délimitée entourant la source rayonnante. Cette technique de mesure est de plus en plus utilisée dans le domaine de la CEM vu qu'elle représente une approche efficace pour caractériser les systèmes complexes rayonnants et prévoir leurs niveaux d'émissions électromagnétiques rayonnées. Elle est en progression continue et reste parmi les méthodes optimales de diagnostic et de caractérisation électromagnétique.

Afin de mesurer toutes les composantes du champ magnétique rayonné, on a besoin d'utiliser deux sondes magnétiques présentées par la *Figure 4.1*. Les composantes tangentielles du champ H_x et H_y sont mesurées en utilisant la sonde située à gauche de la *Figure 4.1* et la composante normale H_z avec la sonde située à droite de cette figure.

Pour capter les différentes composantes du champ H , il est nécessaire de placer la surface de la boucle de manière à ce que sa normale soit colinéaire à la composante à mesurer. Le déplacement de ces deux sondes est assuré par un système robotisé qui est constitué de trois axes de translation X, Y et Z et qui se déplace de manière précise selon ces trois axes. La sonde de mesure est montée sur le bras du robot. Une fois correctement placée dans la zone proche du composant, la sonde permet de capter les tensions V_{Hx} , V_{Hy} et V_{Hz} images des champs électromagnétiques rayonnés respectivement H_x , H_y et H_z . La mesure de la cartographie du champ sera le résultat d'un balayage de la sonde sur la surface au-dessus du MOSFET_SIC_1 au cours de son fonctionnement dans le circuit d'un hacheur série ou parallèle. La résolution de déplacement du système robotisé est de $10\mu\text{m}$. Dans le but d'améliorer le rapport signal/bruit, on utilise un amplificateur à faible bruit.

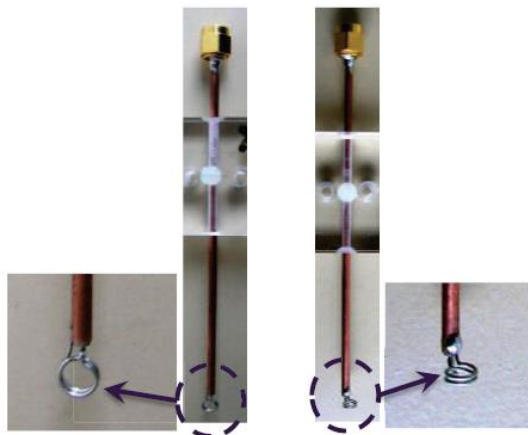


Figure 4.1 Sondes magnétiques de mesure des composantes tangentielles H_x et H_y (à gauche) et de la composante normale H_z (à droite)

Les sondes magnétiques présentées dans la *Figure 4.1* permettent de transformer le flux magnétique variable qui les traverse en tensions à leurs bornes. La valeur du champ magnétique au centre de la sonde peut être déduite en utilisant la loi de Lenz-Faraday. En effet, pour une simple boucle conductrice circulaire de rayon R plongée dans un champ magnétique $B(t)$ orientée selon l'axe z , la différence de potentiel induite dans la boucle par le champ magnétique est donnée par l'équation suivante :

$$V_{H_{x,youz}} = \oint \frac{\partial B_{x,youz}}{\partial t} dS \quad (4.1)$$

D'où

$$V_{H_{x,youz}} = j \omega B_{x,youz} S \quad (4.2)$$

Sachant que ω est la pulsation et $B = \mu_0 H$ Alors

$$V_{H_{x,youz}} = j \mu_0 H_{x,youz} 2\pi f S \quad (4.3)$$

Le champ magnétique rayonné au centre de la sonde s'écrit ainsi comme suit

$$H_{x,youz}(f) = \frac{V_{H_{x,youz}}}{\mu_0 2\pi f S} \quad (4.4)$$

Avec $V_{x,y ou z}$ la tension mesurée aux bornes de la sonde, $\mu_0 = 2\pi \cdot 10^{-7}$ la perméabilité magnétique du milieu, $S = \pi r^2$ la surface de la sonde et f la fréquence du rayonnement.

En électronique de puissance, les perturbations émises ont des fréquences allant de quelques kHz jusqu'à plusieurs centaines de MHz [CP02]. Nous avons étudié l'impact des tests de vieillissement sur les spectres dans une gamme de fréquence commençant à la fréquence de commutation (50 kHz) à allant à la fréquence de 250 MHz.

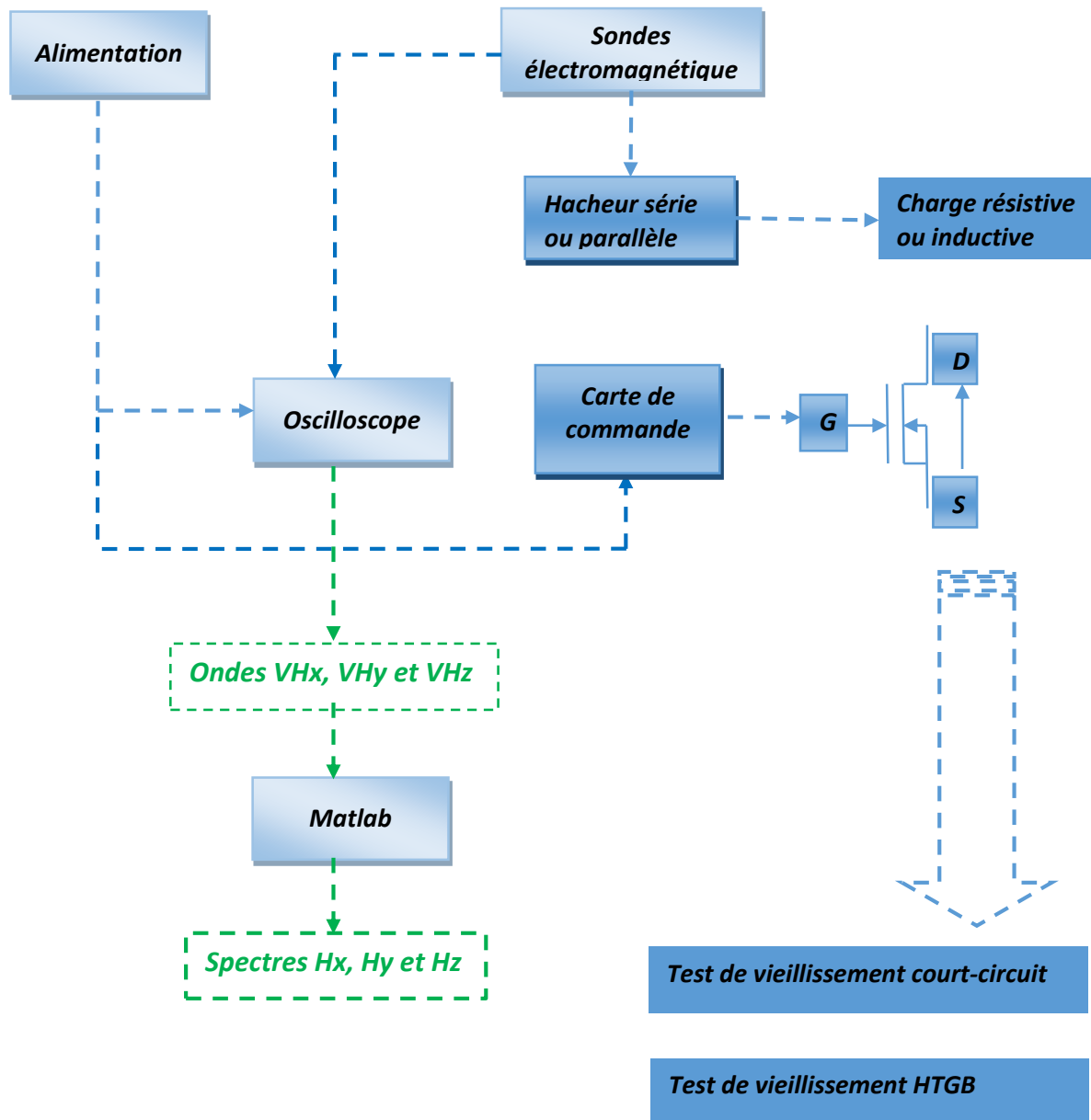


Figure 4.2 Schéma de principe du banc expérimental de mesure de PEM rayonnées avant et après les tests de vieillissement en régime de court-circuit et HTGB

Dans les sections 2.2.1.3 et 2.2.2.3 de chapitre 2, nous avons présenté le principe de la prise des mesures de paramètres liés aux émissions rayonnées avant et après les tests de vieillissement respectivement de court-circuit et HTGB. Pour rappeler, la mesure des perturbations électromagnétiques rayonnées avant et après les cycles répétitifs de court-circuit et les heures de stress de HTGB a été effectuée comme décrit dans la Figure 2.7 :

En premier lieu, on met 3 groupes (pour le test HTGB) et un groupe (pour le test court-circuit) d'échantillons neufs dans les hacheurs série et parallèle pour relever la mesure des ondes

temporelles des tensions V_{Hx} , V_{Hy} et V_{Hz} images des PEM rayonnées avant vieillissement (à zéro heure pour le HTGB et à zéro cycle pour le court-circuit). Ensuite, nous retirons les quatre groupes de DUT des hacheurs et on les connecte aux bancs de tests de vieillissement. Durant le stress, nous soumettons à ces composants des contraintes tout en leur appliquant, pendant une période de 300h, une tension statique fixe de -5V sur la grille pour le premier groupe d'échantillons, de -10V pour le deuxième groupe, et de +20V pour le troisième où une température de jonction élevée de 150°C et sous 2000 cycles répétitifs de court-circuit contrôlé par l'interface LabVIEW pour le quatrième groupe. Après la résiliation de la première durée de 300h pour les trois groupes d'échantillons et des 2000 cycles pour le quatrième groupe et après 48 heures de repos à 25°C, on les rebranche tantôt dans le hacheur série et tantôt dans le hacheur parallèle avec des charges résistive et inductive pour mesurer les émissions rayonnées. Cette étape est répétée après 600h et 900h avec les mêmes trois premiers groupes pour le test HTGB et après 4000 et 5000 cycles avec le même quatrième groupe d'échantillon destiné au test de vieillissement court-circuit.

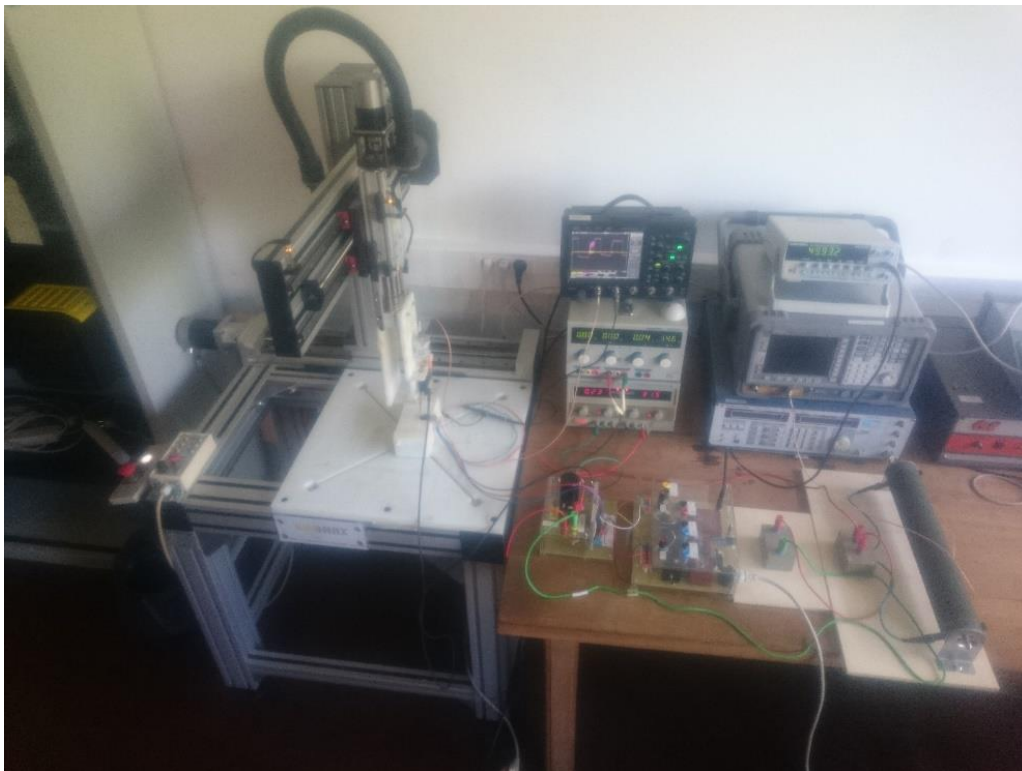


Figure 4.3 Photo du banc expérimental de mesure des PEM rayonnées avant et après les tests de vieillissement en régime de court-circuit et HTGB

4.3 Effets des vieillissements sur les PEM rayonnées

Les caractérisations de signaux de commutation : I_{ds} , V_{gs} et V_{ds} étudiées dans le chapitre 3 ont permis d'apporter un comparatif des performances dynamiques du MOSFET_SiC_1 avant et après vieillissement en régime de court-circuit. Ceci nous sera utile pour l'analyse des résultats dans ce chapitre puisque les paramètres di/dt et dv/dt sont à l'origine de PEM aussi bien rayonnées que conduites.

Le passage d'un état passant à un état bloqué (et inversement) de ce composant ne se fait pas instantanément. Durant ce laps de temps, au contraire du régime permanent, le transistor voit à la fois une forte tension et un fort courant. Une réduction de cette durée de transition provoque l'augmentation des di/dt et dv/dt et l'apparition de surtensions et de surintensités des courants vu la présence des capacités et des inductances intrinsèques des composants et des éléments parasites dus à l'imperfection de câblage. La conséquence directe est l'augmentation des perturbations électromagnétiques.

4.3.1 Effets sur les formes d'ondes temporelles

Trois grandeurs magnétiques sont mesurées, dans une fenêtre temporelle de deux périodes et demi, pendant le fonctionnement des hacheurs à une fréquence de découpage 50kHz et ceci avant et après les tests de vieillissement accélérés. Ces tensions sont V_{Hx} , V_{Hy} et V_{Hz} mesurées aux bornes des sondes de champ proche et qui sont les images respectivement des composantes H_x , H_y et H_z du champ magnétique au point de mesure situé de 1mm au-dessus du composant MOSFET_SiC_1.

A l'instar de PEM conduites, nous allons aborder l'influence de deux types de vieillissement du MOSFET SiC sur les PEM rayonnées ; le HTGB avec ses niveaux de tensions V_{gs} de -10V, -5V et +20V conjugués avec le nombre d'heures de stress et le régime court-circuit avec le nombre de cycles répétitifs.

Comme déjà expliqué dans le chapitre 3, vu le nombre élevé des figures, nous allons présenter et analyser les résultats d'un seul cas de configuration de vieillissement et de circuit de caractérisation avec deux cas de charges résistive (pour V_{Hx} et V_{Hy}) et inductive (pour

VHz). Tous les autres résultats obtenus dans les autres cas de configurations sont analogues à ceux qui seront présentés.

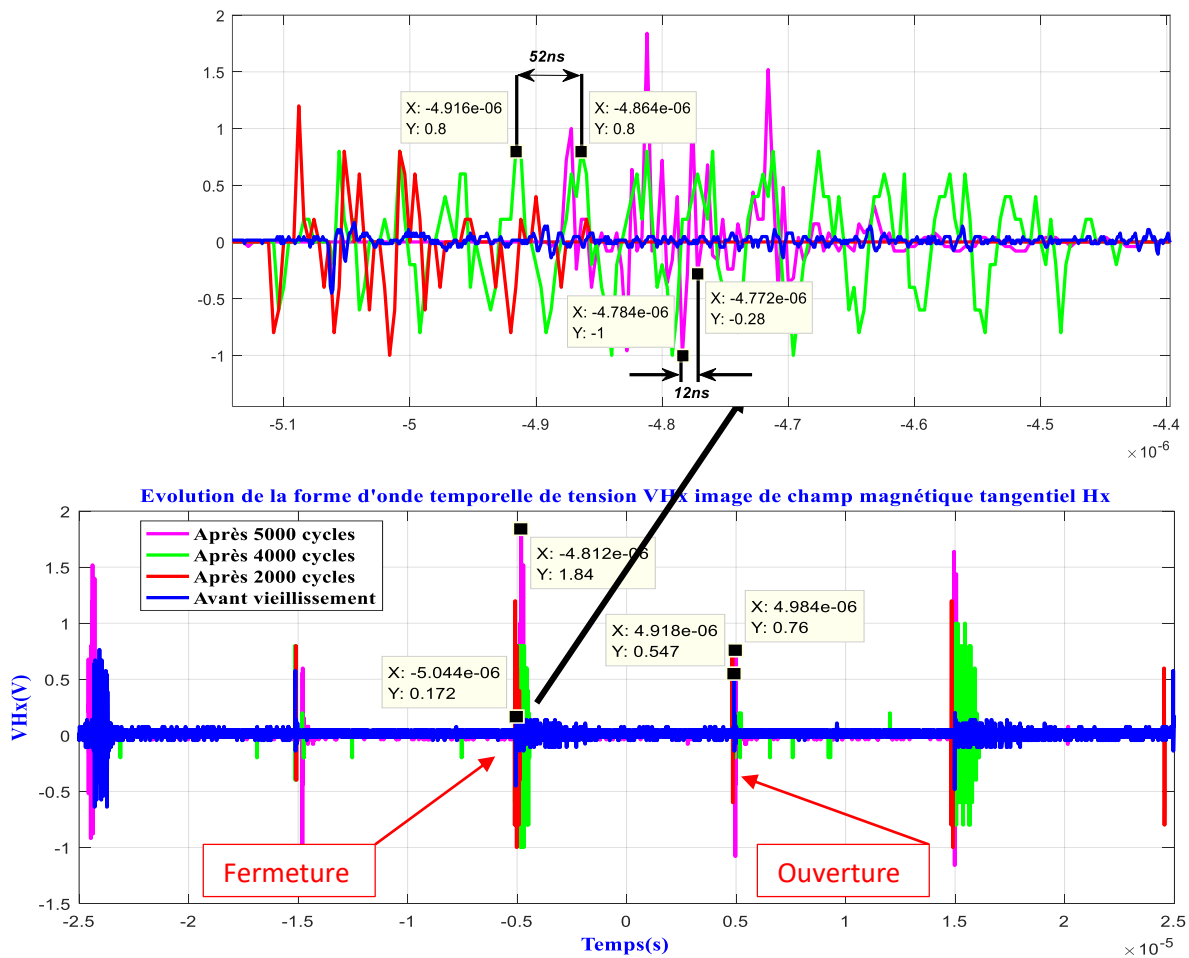


Figure 4.4 Evolution de la forme d'onde temporelle de VHx avant vieillissement et après chaque compagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

Dans la Figure 4.4, la Figure 4.5 et la Figure 4.6, nous présentons comme exemples les évolutions des allures des tensions respectivement VHx, VH_y et VH_z mesurées aux bornes des sonde de mesure du champ proche et images des composantes tangentielles H_x, H_y et normale H_z du champ magnétique. Ces tensions sont obtenues lors du fonctionnement, avant vieillissement et après 2000, 4000 et 5000 cycles répétitifs de court-circuit appliqués sur le MOSFET_SIC_1 qui est caractérisé dans le circuit d'un hacheur série avec une charge résistive pour les deux premières figures et avec une charge inductive pour la troisième figure.

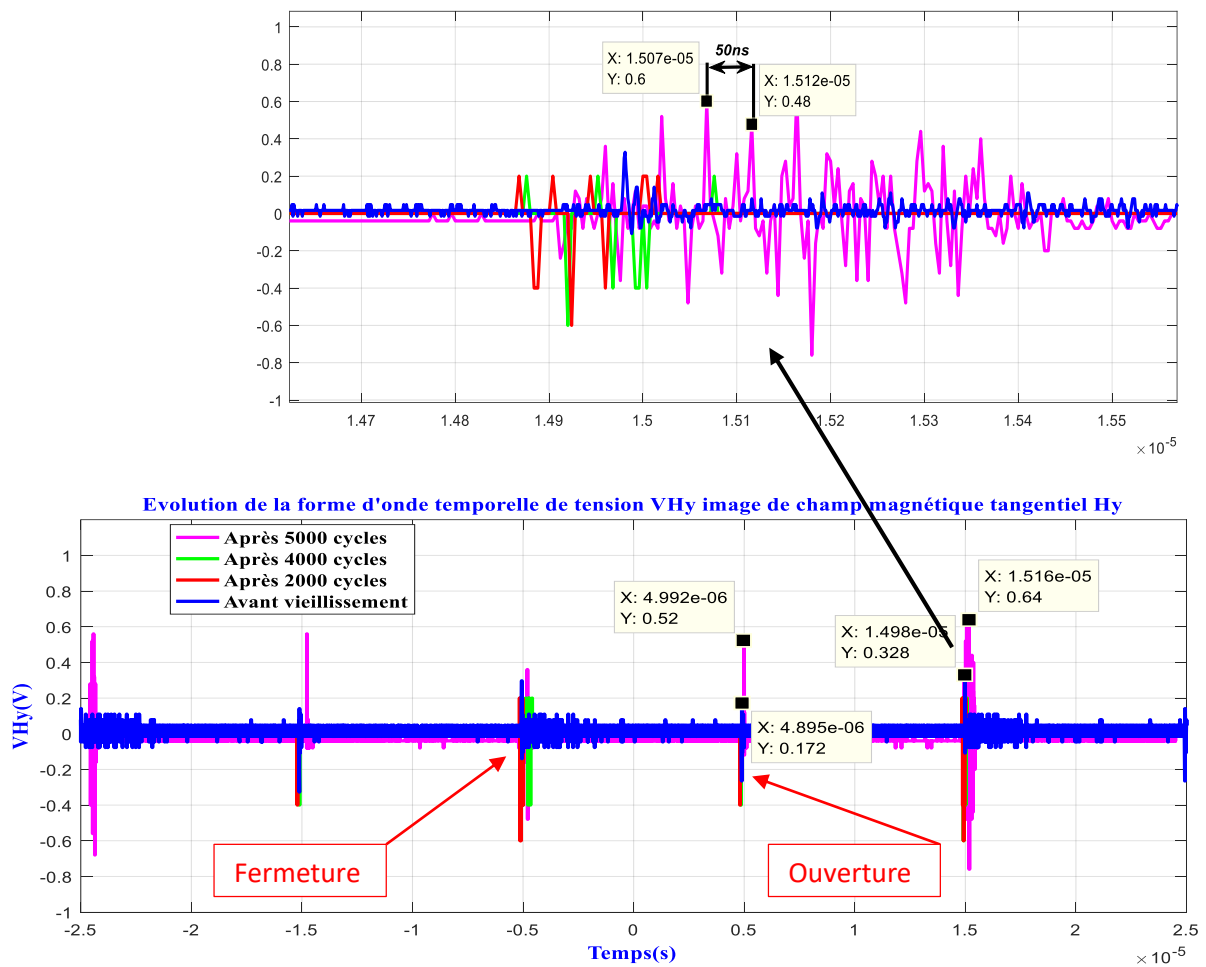


Figure 4.5 Evolution de la forme d'onde temporelle de V_{Hy} avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

L'analyse des différentes allures mesurées avec les deux hacheurs avec les deux cas de charges et pour les différents types de vieillissement (cycles de court-circuit et HTGB) montre que plus le vieillissement est important, plus les amplitudes des oscillations des tensions V_{Hx} , V_{Hy} et V_{Hz} (image respectivement des composantes H_x , H_y et H_z du champ magnétique) sont importantes. Cette croissance se manifeste encore plus pendant la mise en conduction des composants. Par exemple, les amplitudes relatives aux courbes de la Figure 4.4 montrent que lors de la fermeture du composant étudié, l'amplitude de V_{Hx} est de 1,84V après 5000 cycles, alors qu'elle est aux alentours de 0,172V avant vieillissement. Soit une variation au niveau de l'amplitude $\Delta V_{Hx}=1,668V$. Cependant, lors de l'ouverture du transistor étudié, V_{Hx} ne dépasse pas 0,76V après 5000 cycles alors qu'il est à environ 0,547V avant vieillissement ($\Delta V_{Hx}=0,213V$).

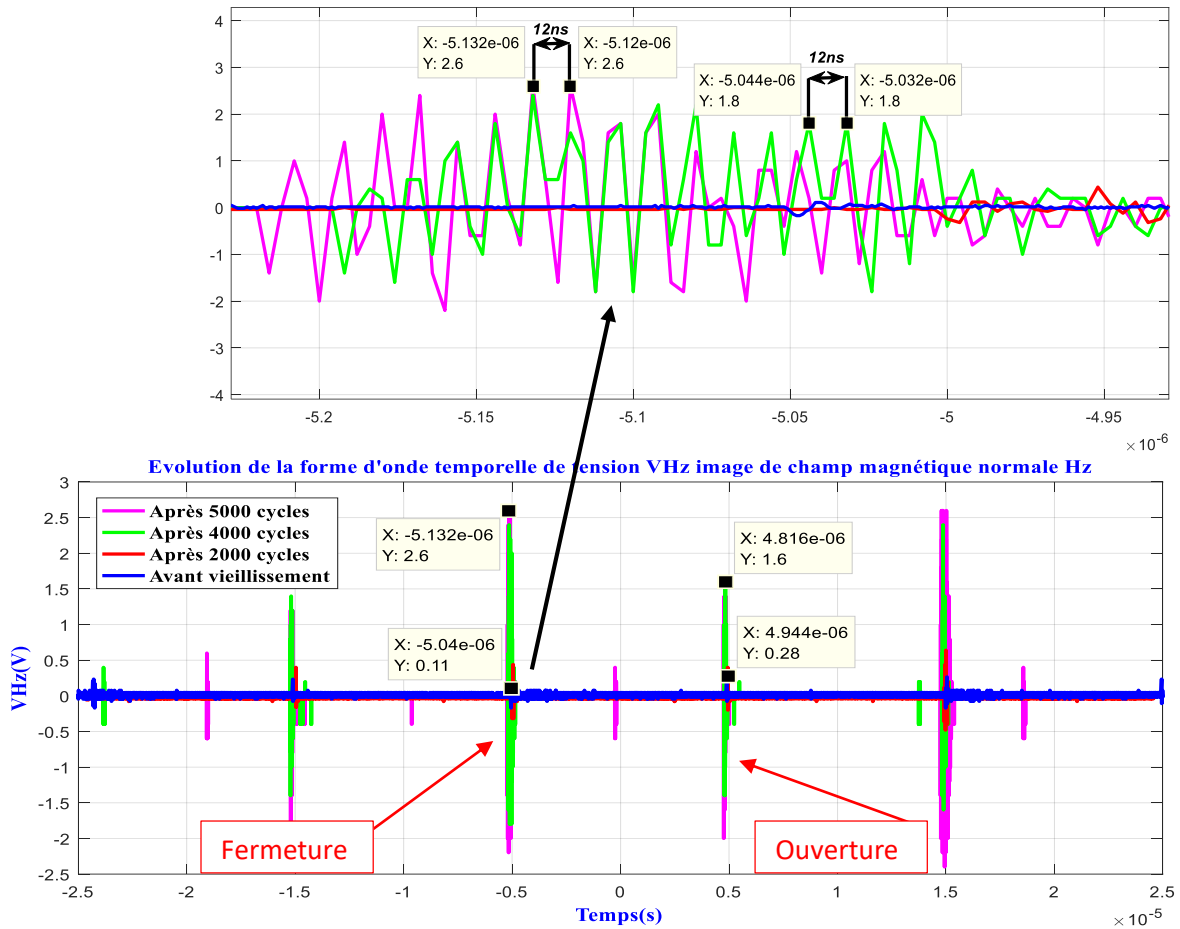


Figure 4.6 Evolution de la forme d'onde temporelle de VHz avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

Nous donnons dans la *Tableau 4.1* quelques données sur l'évolution des amplitudes des oscillations des tensions VHx, VHy et VHz mesurés, après 5000 cycles de court-circuit, au-dessus du transistor soumis au vieillissement. L'analyse des valeurs données dans ce tableau nous permet de conclure qu'il y a une augmentation importante au niveau des trois composantes Hx, Hy et Hz du champ magnétique émis par un circuit de hacheur utilisant un MOSFET en SiC vieilli par rapport à celle d'un circuit utilisant un MOSFET neuf.

Tableau 4.1 Evolution des amplitudes des oscillations des tensions VHx, VHy et VHz après 5000 cycles de court-circuit lors de l'ouverture et la fermeture

composante	fermeture			ouverture		
	neuf	5000cycles	ΔV	neuf	5000cycles	ΔV
Hx	0,172V	1,84V	1,668V	0,547	0,76	0,213
Hy	0,328V	0,64V	0,312V	0,172V	0,52V	0.348V
H _z	0,11V	2,6V	2,49V	0,28V	1,6V	1,32V

4.3.2 Effets sur les spectres de PEM rayonnées

Après avoir étudié l'effet de vieillissement accéléré en régime de court-circuit et HTGB sur les formes d'ondes temporelles de trois tensions VHx et VHy et VHz mesurées aux bornes des sondes électromagnétiques, nous passons par la suite à présenter l'impact de ces vieillissements sur les spectres des composantes des champs magnétiques calculés à partir des tensions étudiées précédemment. Ces spectres sont étudiés dans une gamme de fréquence commençant de la fréquence de découpage (50 kHz) à 250 MHz.

Pour calculer le spectre de chaque composante du champ magnétique, il suffit d'effectuer un calcul de la transformée de Fourier rapide (FFT) de tension VH mesurée aux bornes de la sonde correspondante et appliquer ensuite l'équation 4.4 pour passer aux formes spectrales de champ H.

Les spectres des différentes composantes du champ magnétique rayonné (Hx, Hy et Hz) au-dessus des composants neuf et vieillis par différents types de vieillissement (cycles de court-circuit et HTGB) et caractérisés dans les deux circuits de hacheurs (série et parallèle) et avec les deux types de charges (résistance et inductance) ont été calculés. L'analyse des différents spectres montre que plus le vieillissement est important, plus les amplitudes des raies sont importantes.

Dans la *Figure 4.7*, la *Figure 4.8* et la *Figure 4.9*, nous présentons comme exemples les évolutions des distributions spectrales des composantes respectivement Hx, Hy et Hz du champ magnétique avant et après vieillissement en court-circuit mesurées avec un hacheur série pour une charge résistive pour les deux premières figures et une charge inductive pour la troisième figure. Il est à rappeler que ces spectres sont calculés à partir des tensions temporelles présentées respectivement dans la *Figure 4.4*, la *Figure 4.5* et la *Figure 4.6*.

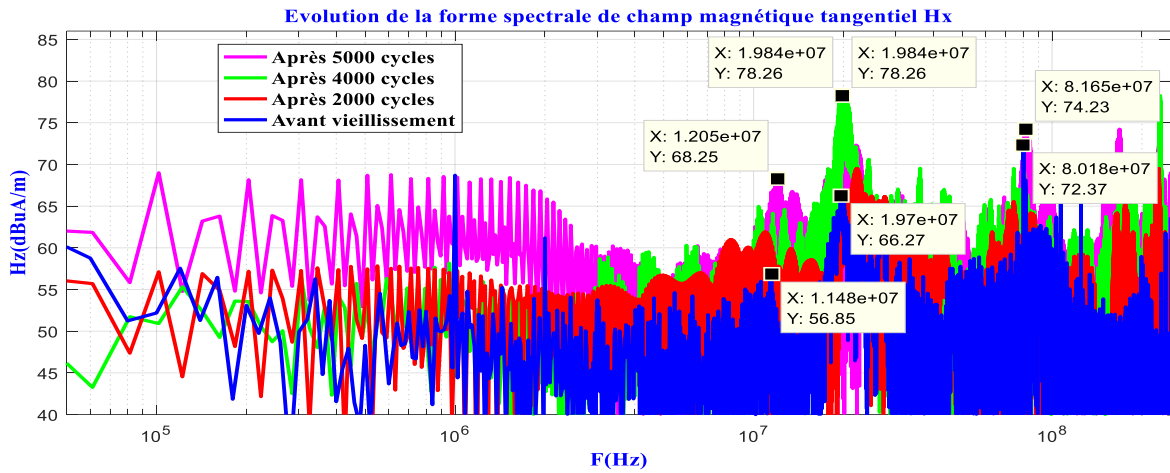


Figure 4.7 Evolution de la forme spectrale de H_x avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

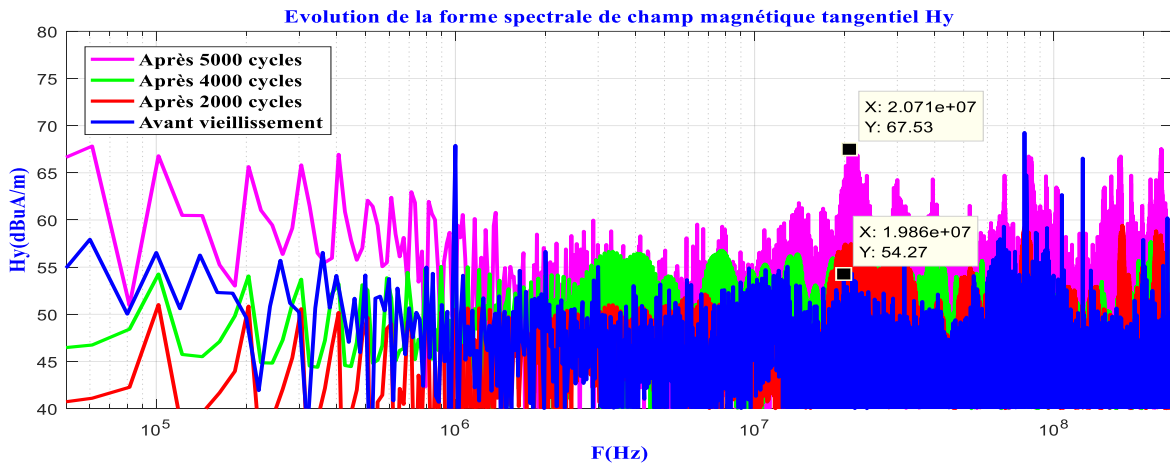


Figure 4.8 Evolution de la forme spectrale de H_y avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

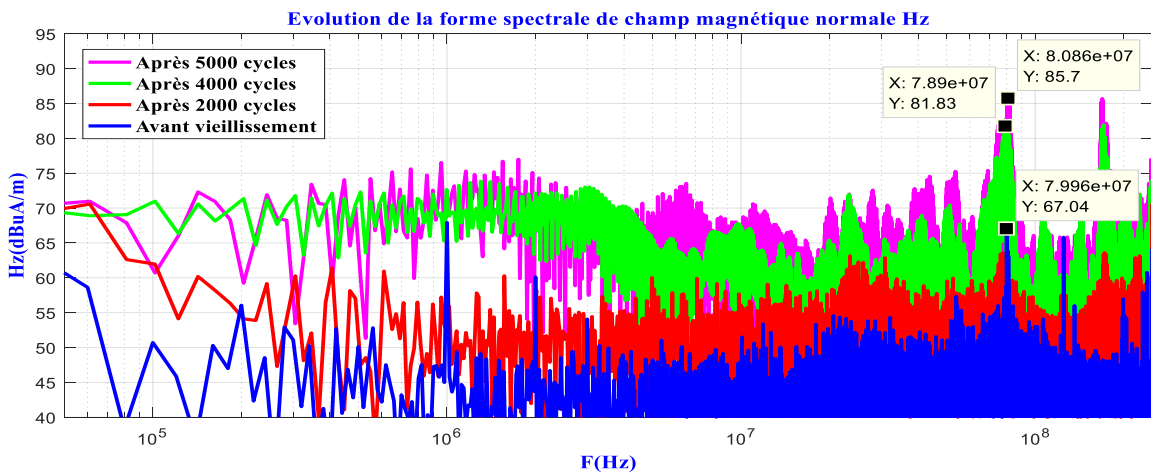


Figure 4.9 Evolution de la forme spectrale de H_z avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge inductive

Nous constatons que les tests de vieillissement appliqués affectent aussi la forme spectrale des différentes composantes du champ magnétique d'une manière remarquable. En effet, l'analyse de la forme spectrale de ces composantes du champ montre que le vieillissement conduit à l'augmentation des amplitudes des raies dans les spectres. Cette augmentation est encore plus élevée si la durée de vieillissement est importante.

L'analyse approfondie de la *Figure 4.7* montre l'apparition, dans le spectre relatif à la composante Hx du champ magnétique, de raies correspondantes aux résonances retrouvées dans l'allure temporelle de VHx et présentées par le zoom de la *Figure 4.4* lors de la commutation du composant sous test. Les périodes de ces résonances dans le domaine temporel, se traduisent par des raies qui se distinguent, dans le spectre, aux fréquences correspondantes. Ainsi, nous distinguons particulièrement dans ce spectre cinq fréquences de résonance, nous en mentionnons trois : la première est presque 12MHz, la deuxième est aux alentours de 19 MHz qui correspond à la période d'oscillations de 52ns dans le zoom de la *Figure 4.4* et la troisième fréquence est environ de 81 MHz elle correspond à 12ns.

L'amplitude associée à la première fréquence de 12 MHz, est de 68,25 dBuA/m après 5000 cycles alors qu'elle était de 56,85 dBuA/m avant vieillissement soit une augmentation de 11,4 dBuA/m.

Pour la deuxième fréquence, l'amplitude est de 78,26dBuA/m après 5000 cycles et 66,27 dBuA/m avant vieillissement, soit une augmentation de 11,99 dBuA/m.

Concernant la troisième fréquence de 81 MHz, son amplitude atteint 74,23 dBuA/m après 5000 cycles et 72,37 dBuA/m avant vieillissement, soit une croissance légère de 1,86 dBuA/m.

Tableau 4.2 Evolution des amplitudes des raies principales dans les spectres des composantes Hx, Hy et Hz du champ magnétique après 5000 cycles de court-circuit

Fréquence (MHz)	Hx (dBuA/m)			Hy (dBuA/m)			Hz (dBuA/m)		
	neuf	5000 cycles	ΔV	neuf	5000 cycles	ΔV	neuf	5000 cycles	ΔV
12	56,85	68,25	11.4	54.66	59.66	5.03	53.37	70.61	17.24
19	66,27	78,26	11,99	54,27	67,53	13,26	54.57	71.44	16.87
81	72,37	74,23	1,86	53.91	66.77	12.86	85,7	67,04	18,66

Nous donnons dans la *Tableau 4.2* quelques données sur l'évolution des amplitudes des raies des spectres de Hx, Hy et Hz après 5000 cycles de court-circuit lors de fonctionnement

des transistors soumis aux vieillissements. L'analyse des valeurs données dans ce tableau nous permet de conclure qu'il y a une augmentation importante au niveau des trois composantes H_x , H_y et H_z du champ magnétique émis par un circuit de hacheur utilisant un MOSFET en SiC vieilli par rapport à celle d'un circuit utilisant un MOSFET neuf.

4.4 Conclusion

Dans ce chapitre, nous avons présenté l'effet des tests de vieillissements accélérés des composants actifs de puissance de type MOSFET à base de carbure de silicium sur les émissions rayonnées. Ces émissions sont représentées par les tensions temporelles V_{Hx} , V_{Hy} et V_{Hz} mesurées aux bornes des sondes de champ proche et images de PEM qui sont les composantes H_x , H_y et H_z du champ magnétique rayonné et qui seront représentés dans le domaine fréquentiel. Ces PEM rayonnées sont générées par deux types de circuit de conversion d'énergie hacheur série et hacheur parallèle avec une charge résistive et une charge inductive. Nous avons montré que l'impact de vieillissement des transistors MOSFET SiC sur ces perturbations se traduit par une augmentation au niveau des amplitudes des perturbations électromagnétiques rayonnées. Ceci revient aux augmentations des di/dt et dv/dt déjà observés dans le chapitre 3. L'analyse détaillée des différents résultats montre que ces augmentations varient d'un test de vieillissement accéléré à une autre et dépend de l'ampleur de la fatigue appliqué sur le composant en SiC.

Chapitre 5

5 Application : Modélisation et simulation du MOSFET en SiC avec contraintes CEM combinées au vieillissement

5.1 Introduction

Actuellement, pour concevoir des systèmes de puissance, la modélisation et la simulation sont des étapes indispensables. La simulation est une tâche incontournable qui précède souvent la matérialisation et de réalisation technologique d'un système embarqué. Elle vise à éviter toute erreur potentielle qui peut apparaître après la conception et la réalisation, à réduire le coût du développement et de l'industrialisation, à anticiper des scénarios involontaires et non intentionnels avec des composants réels sans les faire détériorer et accélérer la mise sur le marché de nouveaux produits. Aujourd'hui, les systèmes de conversion d'énergie sont de plus en plus compacts et fortement intégrés dans les systèmes embarqués. Ils rassemblent de façon confinée la partie puissance avec ses composants et leurs natures différentes et la partie commande rapprochée. Les composants de puissance appartenant aux deux parties se caractérisent par une augmentation constante des densités de puissance. Cette augmentation mène à une puissance dissipée importante au sein de ces composants. Ceci rend les contraintes électriques et thermiques plus importantes et plus difficiles à résoudre lors de la phase de conception des circuits. En effet, la connaissance de l'effet de ces contraintes représente une donnée indispensable pour prévoir leur impact sur le fonctionnement du système tout le long de sa durée de vie. Parmi les impacts de ces contraintes on note le vieillissement plus rapide des composants et l'évolution des perturbations et de l'immunité électromagnétiques du système. Il est donc indispensable de réévaluer la fiabilité et l'estimation des durées de vie en prenant en considération les contraintes CEM combinées avec le vieillissement.

Les modèles fins des interrupteurs semi-conducteurs de puissance permettent de nos jours de prédire le comportement tant électrique qu'électromagnétique de ces composants. Ces modèles sont susceptibles de représenter d'une manière précise et fidèle le comportement réel

des dispositifs semi-conducteurs, la dynamique des effets électriques et/ou thermiques sur les paramètres internes de composants sous test ainsi que l'influence de ces paramètres sur les performances électriques et électromagnétiques. Ceci a permis le recours aux prototypages virtuels compacts, qui décrivent à la fois les performances statiques, dynamiques et électromagnétiques des nouveaux dispositifs.

Cette partie du manuscrit sera consacrée à la modélisation compacte des composants semi-conducteurs à base de carbure du silicium. Le but est de développer un modèle apte de décrire avec précision le comportement statique et dynamique des transistors MOSFET de puissance en prenant en considération les spécificités du matériau carbure du silicium et l'évolution des paramètres électriques et physiques sous l'influence des contraintes critiques qui peuvent être appliquées sur ces composants. Cependant, les modèles de composants de puissance actuels ne permettent pas de prévoir finement l'évolution des niveaux de perturbations électromagnétiques conduites tout le long de la durée de vie du système.

Dans ce chapitre, nous allons procéder à la modélisation électrique précise de la cellule de commutation d'un hacheur série (deux transistors MOSFET de puissance en carbure du silicium, le premier joue le rôle d'un interrupteur de commutation et l'autre joue le rôle d'une diode de roue libre) qui se retrouve dans la majorité des convertisseurs d'électronique de puissance. Il est alors indispensable de proposer et de développer un modèle fin du transistor MOSFET en SiC, de la cellule de commutation et de la charge pour garantir une simulation précise des formes d'ondes des perturbations électromagnétiques conduites en mode commun et mode différentiel.

Ce chapitre est découpé en trois parties. La première partie sera consacrée aux différents travaux trouvés dans la bibliographie qui ont traité la modélisation des composants de puissance notamment en SiC ainsi que le langage de modélisation le plus utilisé pour le développement de ce type de modèles et le simulateur dans lequel on peut les implémenter. La deuxième partie aura pour objectif de présenter le modèle analytique développé pour la structure du transistor MOSFET vertical double diffusé (VMOSFET) 4H-SiC fabriqué chez CREE de référence CMF10120D. Elle présentera la description de ce modèle en VHDL-AMS, implémenté dans le simulateur de type circuit ANSYS Simplorer. Le modèle développé est suffisamment précis pour permettre les simulations orientées de CEM et il est paramétrable directement à partir de la mesure et sans être obligé de se référer à la fiche technique. Nous allons aussi décrire succinctement le comportement parasite du câblage et des pistes de conduction de la cellule de commutation du convertisseur étudié. La troisième partie abordera les résultats des simulations

réalisées sur Simplorer avec des paramètres décrivant l'état neuf et des états vieillis. Ces résultats nous permettront d'étudier l'effet du vieillissement sur le comportement électromagnétique de tout le système et de permettre par conséquent aux concepteurs de circuits de disposer des outils lui permettant d'anticiper les effets du vieillissement des composants comme la non-conformité CEM et les problèmes de sûreté de fonctionnement qui peuvent en découler.

5.2 Choix du langage de modélisation et de l'outil de simulation

En électronique de puissance, la phase de modélisation d'un circuit peut confronter plusieurs contraintes. Ces contraintes imposent de prendre en considération une large diversité de phénomènes multi-physiques telles que :

- ✚ Le comportement électrique du circuit d'un point de vue fonctionnel.
- ✚ Le comportement parasite du câblage, des pistes du circuit imprimé, des composants passifs et des semi-conducteurs de puissance utilisés.
- ✚ Le comportement électromagnétique du convertisseur.
- ✚ Le comportement thermique du convertisseur.

Et pour satisfaire ces contraintes, il faut prendre en compte les comportements multi-physiques du système. En électronique de puissance, cette étape reste un peu délicate à cause de l'existence des interactions entre domaines multi-physiques. Il est donc nécessaire de développer des prototypes virtuels fins des composants et des pistes pour faciliter aux concepteurs la mission de modélisation.

Beaucoup de travaux ont été inscrits dans ce cadre du prototypage virtuel [Hel06] [Jou02]. L'auteur dans [Hel06] a étudié une méthodologie pour la modélisation multi-objectives d'un hacheur série selon plusieurs critères tels que la surface, le coût du circuit et le rendement tout en prenant en compte les contraintes CEM. Dans [Jou02], l'auteur a proposé une stratégie de dimensionnement d'un convertisseur statique avec une alimentation réversible pour les applications automobiles. Le traitement a été fait avec différentes contraintes CEM et thermiques et à l'aide d'un outil de dimensionnement automatique.

Dans le cadre de sa thèse [Ibr09], IBRAHIM a modélisé une variété de composants actifs tels que les diodes PiN, les transistors MOSFET et IGBT. Une approche à constantes localisées

représentables par un schéma électrique équivalent a été adoptée pour modéliser les composants étudiés. Ces modèles électrothermiques sont décrits en langage de modélisation VHDL-AMS. Ils ont été proposés dans le but de les analyser et les optimiser.

Il existe une plate-forme internet appelée DIMOCODE (Diffusion Internet des Modèles pour la Conception Optimale des Dispositifs Electriques) qui permet de diffuser des modèles physiques et mathématiques optimisés en termes énergétiques des dispositifs du génie électrique. Cette plateforme est un projet interdisciplinaire du CNRS qui sert à apporter une contribution significative pour optimiser les convertisseurs de l'énergie électrique [WKM+08].

5.2.1 Choix du langage de modélisation

La tâche de modélisation est la base de tout processus de conception. Cette tâche est axée principalement sur le développement d'une description abstraite d'une réalité physique. Elle est une représentation de comportement et de fonctionnement de l'élément modélisé à l'aide de laquelle le simulateur comprend et procède à des calculs. Dans l'activité de modélisation, la précision est le plus important critère. Le modèle peut être soit à temps discret soit à temps continu ou tous les deux en même temps, pour un domaine électrique ou non-électrique.

Pour modéliser un circuit en électronique de puissance, tous les comportements réels des composants de puissance et les éléments utilisés doivent être pris en compte. Pour cette raison, nous comptons sur le développement des modèles équivalents qui sont codifiés par un langage de transcription.

La modélisation consiste en des outils graphiques ou des langages propriétaires tels que Matlab et MAST. Récemment, plusieurs langages de modélisation mixte multi-domaines ont été développés avec succès tels que VHDL-AMS, Verilog-AMS, MAST, Modelica et Bond Graph.

Au moyen de ces langages de modélisation, les différentes phases de conception peuvent être optimisées. Ces langages permettent, au sein d'un même composant ou système, de décrire indifféremment des modélisations logiques, analogiques ou mixtes. De plus, la philosophie de conception de ces langages et leurs jeux d'instructions en font des langages intrinsèquement multi domaines qui peuvent gérer les équations implicites cohérentes au fonctionnement du circuit.

Dans le cadre de sa thèse [Ibr09], IBRAHIM a comparé un certain nombre de langages de modélisations mixtes, le VHDL-AMS présente le langage le plus convenable et le plus

adapté pour développer des modèles équivalents en électronique de puissance. D'autres études bibliographiques [Hne12] [Per04] [Jem03] [Sna04] [Gui07] ont montré que ce langage est le mieux adapté aux besoins de l'étude CEM. Pour cela, dans ce travail, nous avons adopté ce langage qui peut répondre à nos exigences.

VHDL-AMS englobe toutes les propriétés du VHDL standard, elle a la capacité de modéliser les systèmes mixtes (analogiques et numériques) à l'aide de modèles multi abstractions, multidisciplinaires, hiérarchiques à temps continu et à valeurs discrets par le biais d'équations différentielles ordinaires.

VHDL-AMS se caractérise par la modélisation multi domaine. En effet, les terminaux de connexion sont liés à des grandeurs physiques qui respectent implicitement les lois généralisées de Kirchhoff. Elle permet ainsi de modéliser intégralement le système de puissance et de décrire son comportement par un ensemble d'équations différentielles algébriques et/ou ordinaires caractérisées par le paramètre temps variable indépendante.

Tout modèle transcrit en VHDL-AMS se scinde en deux grandes parties :

- ✚ La première partie est l'entité (Entity) qui attache le monde extérieur au modèle par l'intermédiaire de deux objets : Generic et Port. Elle peut se ressembler à une boîte noire où seulement les nœuds sont visibles tels que les ports d'entrée/sortie. Les Generic sont des constantes qui pourront être modifiés par la suite.
- ✚ La deuxième partie est l'architecture qui apporte une des descriptions possibles de la fonction du modèle. Elle correspond toujours à une seule entité et comporte les déclarations utilisées dans cette entité (les constantes déclarées en Generic, les nœuds déclarés en Port...).

5.2.2 Choix de simulateur

Après le choix du langage de modélisation, le modèle doit être implémenté sur un simulateur. Ce dernier doit posséder un compilateur qui permet de traduire les modèles transcrits en VHDL-AMS selon la norme IEEE-1076.1 dans le but d'être compréhensible. Les simulateurs les plus connus actuellement qui permettent de gérer ces modèles sont ADVance-MS, SystemVision, SMASH 5.12, SaberHDL, Simplorer 7.0, C/C++, Mathcad et PSpice.

En théorie, les modèles peuvent être implémentés sur tous les types des simulateurs. Par contre, la concordance des résultats d'un simulateur à l'autre n'est pas garantie.

Les simulateurs de type circuit sont des simulateurs qui consistent à utiliser des modèles électriques équivalents paramétrés. Parmi les simulateurs de type circuit les plus importants et les plus utilisés, nous pouvons citer SIMPLORER, PSpice et SABER. Ces derniers se caractérisent par la simplicité d'utilisation et la facilité d'intégrer de nouveaux modèles équivalents.

Durant cette thèse, nous avons opté pour utiliser le simulateur de type circuit ANSYS SIMPLORER. D'ailleurs, ce simulateur utilise comme noyau de simulation le langage de modélisation VHDL-AMS choisi auparavant. Il permet de simuler les réponses temporelles de circuits modélisés.

5.3 Modélisation du MOSFET SiC et des circuits étudiés

5.3.1 Modèle du transistor VDMOS de puissance

Dans cette section, nous allons présenter le modèle du transistor MOSFET de puissance en carbure du silicium. Ce modèle nous permettra d'étudier son comportement électromagnétique en abordant son architecture interne (canal, zone de drift et les capacités intrinsèques). Le schéma physique équivalent de la *Figure 1.2* illustre la structure interne du modèle adopté pour modéliser le transistor VDMOSFET SiC de puissance.

La *Figure 1.3* illustre le schéma électrique équivalent du transistor MOSFET SiC à coder en VHDL-AMS. Elle montre un modèle simplifié du MOSFET qui schématise les capacités intrinsèques, la diode interne, le générateur de courant de canal et quelques éléments parasites liés à la connectique tels que les trois résistances de contact. R_{ds} est la résistance entre le drain et la source qui permet de régler les problèmes de convergence. Cette schématisation peut être valable pour les composants en Si [BMA+04] ou en SiC.

Le régime de fonctionnement statique est assuré par le générateur de courant de canal I_{ds} , la diode interne, la résistance R_{ds} , ainsi que les trois résistances de contact R_d , R_s et R_g qui représentent respectivement les résistances d'accès au drain, à la source et à la grille.

Le régime de fonctionnement transitoire est assuré par les trois capacités intrinsèques dues au stockage des charges dans le transistor C_{gs} , C_{gd} et C_{ds} . Ces dernières représentent

respectivement les capacités entre la grille et la source, entre la grille et le drain et entre le drain et la source.

5.3.1.1 Courant dans le canal

Le modèle de la source de courant dans le canal I_{ds} adopte la modélisation empirique introduite par MCNUTT dans [MHM+04]. Ce modèle présente trois régimes de fonctionnement du courant I_{ds} :

- ✚ Le régime bloqué ($V_{gs} < V_{th}$)
- ✚ Le régime linéaire ($V_{ds} \leq (V_{gs} - V_{th})$)
- ✚ Le régime saturé ($V_{ds} > (V_{gs} - V_{th})$).

En supposant que I_{ds} est parabolique par rapport à V_{ds} en régime linéaire et par rapport à V_{gs} en régime de saturation, on trouve les zones de fonctionnement du transistor, présentées comme suit :

$$I_{ds} = \begin{cases} 0 & \text{pour } V_{gs} < V_{th} & (5.1) \\ \frac{K_f * K_p}{1 + \theta(V_{gs} - V_{th})} * \left[(V_{gs} - V_{th})V_{ds} - P_{vf}y^{y-1}V_{ds}^y(V_{gs} - V_{th})^{\frac{2-y}{y}} \right] & (5.2) \\ \text{pour } V_{ds} \leq \frac{(V_{gs} - V_{th})^{\frac{2}{y}}}{P_{vf} * y^{y-1}} \\ \frac{K_p * K_f}{1 + \theta(V_{gs} - V_{th})} * \frac{(V_{gs} - V_{th})^{\frac{2+y}{y}}}{P_{vf}} * \frac{y^{\frac{y}{y-1}} - y^{\frac{1}{y-1}}}{y^{\frac{y+1}{y-1}}} & (5.3) \\ \text{pour } V_{ds} > \frac{(V_{gs} - V_{th})^{\frac{2}{y}}}{P_{vf} * y^{y-1}} \end{cases}$$

Avec :

* K_p représente la transconductance, elle est un facteur utilisé dans le but de mieux décrire convenablement le courant dans le canal et d'améliorer la modélisation. Elle est exprimée en (A/V^2) . Cette transconductance est utilisée dans ce modèle d'une manière abusive, car la transconductance s'exprime souvent en (A/V) [Bal10], en effet elle décrit la relation entre le courant du drain I_{ds} et la tension entre la grille et la source V_{gs} ($g_m = \partial I_{ds} / \partial V_{gs}$).

* θ est un paramètre de correction empirique, il s'exprime en V^{-1} . La quantité $(1 + \theta(V_{gs} - V_{th}))$ est introduite pour prendre en compte la réduction de la mobilité des électrons dans le canal due à l'apparition d'un champ électrique transversal suite à l'application d'une tension à la grille V_{gs} .

* P_{vf} et K_f deux facteurs de correction respectivement de la tension de pincement $V_{pincement}$ et de la transconductance K_p .

* y un exposant exprimé par l'équation 5.4.

$$y = \frac{K_f}{k_f - \frac{P_{vf}}{2}} \quad (5.4)$$

5.3.1.2 Résistance à l'état passant

La résistance interne à l'état passant R_{dson} résulte de la contribution des régions de natures différentes. En effet, elle est la somme de plusieurs résistances élémentaires qui correspondent à chaque zone interne de la structure [Bal10]. Elle constitue de six résistances en série représenté par l'équation suivante.

$$R_{dson} = R_{N^+} + R_{CH} + R_{acc} + R_{JFET} + R_{Drift} + R_S \quad (5.5)$$

Avec :

* R_{N^+} est la résistance de diffusion de la couche N^+ de la source.

* R_{CH} est la résistance de la zone active du canal d'inversion qui se développe en surface de la zone P sous l'électrode de grille. Vu la mise en parallèle de N cellules, elle est donnée par l'équation ci-dessous.

$$RCH = \frac{LCH}{N_{cell} * Z_{cell} * \mu n_{inv} * Cox (Vgs - Vth)} \quad (5.6)$$

Avec μn_{inv} la mobilité surfacique des électrons, LCH la longueur du canal, Z_{cell} la longueur de la cellule, N_{cell} le nombre de cellules mises en parallèle, Cox la capacité de l'oxyde et Vth la tension de seuil.

* Racc est la résistance de la couche d'accumulation, elle est située sous l'électrode de grille dans la zone N^- .

* RJFET est la résistance de la région de drift entre les deux caissons P.

* RDrift est la résistance de la zone épitaxiale faiblement dopée N^- située entre le bas des caissons P et la couche du drain N^+ , elle est donnée par l'équation 5.7.

$$RDrift = \frac{\rho_D * t_D}{N_{cell} * Z_{cell} (W_{cell} - a)} \ln \left(\frac{W_{cell}}{a} \right) \quad (5.7)$$

Avec ρ_D la résistivité de la zone de drift, t_D la profondeur de la zone de drift, W_{cell} la largeur de la cellule et a la largeur de la zone du JFET parasite.

* RS est la résistance série du substrat, elle a une valeur constante.

Par contre, d'après Ruff dans [RMH94], trois de ces résistances élémentaires, RN^+ , Racc et RJFET peuvent être considérées comme des composantes parasites et ainsi négligées. Cette hypothèse est justifiable par l'importance de deux régions de la structure de composant, la région N^- de drift qui détermine la tenue en tension par son dopage et son épaisseur et la région du canal qui contrôle l'état passant ou bloqué du transistor via l'oxyde situé entre la grille et la source. Ainsi, Rdson peut être exprimée sous la forme suivante :

$$Rdson = RCH + RDrift + RS \quad (5.8)$$

5.3.1.3 La diode interne

Quand la tension entre la grille et la source est nulle ou négative, la résistance de canal RCH croît fortement vers l'infini, ce qui bloque le transistor MOSFET SiC. Le changement de signe de la tension entre le drain et la source V_{ds} implique une polarisation inverse du drain vis à vis de la source. Ainsi, la jonction technologique body-drain PN devient polarisée dans le sens direct et alors conductrice. Par conséquent, la diode interne qui se trouve entre le drain et la source peut être conductrice tant que le transistor MOSFET SiC est en inverse, et des effets de stockage de charge lors de sa mise en recouvrement seront présents.

L'expression analytique du courant de la diode interne s'écrit sous la forme suivante :

$$I_d = I_s \left(e^{-\frac{V_{ds}}{U_t}} - 1 \right) \quad (5.9)$$

Avec I_s le courant de saturation et $U_t = kT/q$ la tension thermodynamique.

5.3.1.4 Capacités intrinsèques et extrinsèques

Le MOSFET SiC de puissance passe rapidement de l'état conducteur à l'état bloqué sans aucun autre retard dû à la recombinaison et l'évacuation des porteurs minoritaires stockés. La rapidité d'évacuation des charges de l'électrode de grille contrôle le temps de blocage, puisque ces charges sont responsables à la conductivité du canal. Des temps de blocage de quelques ns avec un courant modéré pour la commande de grille sont dus à la décharge de la capacité d'entrée de grille du composant. Alors, la rapidité de la commutation du MOSFET SiC est limitée par des capacités. Ces dernières sont présentées dans la *Figure 1.2* et la *Figure 1.3*.

Comme il était mentionné au préalable, la structure du transistor MOSFET SiC contient trois capacités : la capacité grille-source C_{gs} qui représente la couche d'oxyde séparant la grille de la métallisation de la source, la capacité grille-drain C_{gd} représentant la zone de déplétion qui apparaît dans la zone P sous la grille et la capacité drain-source C_{ds} qui représente la capacité de la jonction PN.

La modélisation dynamique du transistor MOSFET SiC repose sur ces trois capacités intrinsèques. En effet, le comportement dynamique est modélisé par C_{gs} , C_{ds} et C_{gd} .

On commence par la capacité grille-source C_{gs} , elle est constituée par deux capacités de valeurs constantes C_m et C_{oxs} (*Figure 1.2*). Sa valeur est égale à celle de la capacité C_{iss} vu la négligence de la capacité C_{rss} pour des tensions V_{ds} importantes. Le modèle de cette capacité est décrit comme suit :

$$C_{gs} = C_{iss} - C_{rss} \approx C_{issmin} \quad (5.10)$$

Concernant la capacité C_{ds} , son modèle était défini par BALIGA dans [Bal10] et par MCNUTT dans [MHM+07], elle s'écrit sous la forme analytique représentée par l'équation 5.11.

$$C_{ds} = \frac{A_{ds} * \epsilon_{sic}}{W_{dsj}} \quad (5.11)$$

Où

$$W_{dsj} = \sqrt{\frac{2 \epsilon_{sic} (V_{ds} + V_{bi})}{q * ND}} \quad (5.12)$$

Avec ϵ_{sic} la permittivité du SiC, A_{ds} la surface équivalente de l'espace entre le drain et la source, W_{dsj} la largeur de la zone de désertion entre le drain et la source, ND est la concentration de dopage et V_{bi} le potentiel de construction de la jonction drain-source.

Quant à la capacité grille-drain C_{gd} , elle se caractérise par la complexité de son modèle par rapport aux deux capacités présentées antérieurement [Bal10], [MHM+07]. En effet, elle est formée de deux capacités mises en série ; la capacité d'oxyde C_{oxd} constante et la capacité C_{gdj} de la zone de charge d'espace fortement variable avec la tension entre le drain et la grille V_{dg} selon l'expression analytique 5.13.

$$C_{gd} = \begin{cases} C_{oxd} & \text{pour } V_{dg} \leq 0 \\ \frac{C_{oxd} * C_{gdj}}{C_{oxd} + C_{gdj}} & \text{pour } V_{dg} > 0 \end{cases} \quad (5.13)$$

Avec

$$C_{dgj} = \frac{A_{gd} * \epsilon_{sic}}{W_{gdj}} \quad (5.14)$$

Où

$$W_{gdj} = \sqrt{\frac{2 \epsilon_{sic} * V_{dg}}{q * ND}} \quad (5.15)$$

Avec A_{gd} la surface équivalente de l'espace entre le drain et la grille, W_{gdj} la largeur de la zone de charge d'espace sous la grille du MOSFET SiC.

D'autre part, afin de faciliter les mesures, ces trois capacités internes C_{gs} , C_{gd} , C_{ds} peuvent être remplacées par les capacités externes C_{iss} (capacité d'entrée, drain et source court-circuités), C_{oss} (capacité de sortie, grille et source court-circuitées) et C_{rss} (capacité contre-réaction ou de Miller), fournies par le constructeur, leurs expressions sont données par les équations 5.16, 5.17 et 5.18.

$$C_{iss} = C_{gs} + C_{gd} \quad (5.16)$$

$$C_{oss} = C_{ds} + C_{gd} \quad (5.17)$$

$$C_{rss} = C_{gd} \quad (5.18)$$

La commutation du transistor MOSFET SiC est assurée par la charge ou la décharge de la capacité d'entrée C_{iss} , de manière à se placer sur le point de fonctionnement désiré de la caractéristique statique.

L'élimination de capacités intrinsèques et extrinsèques des MOSFET SiC de puissance réduit le fonctionnement des modèles à leur comportement statique.

5.3.1.5 Eléments parasites externes

Les éléments parasites sont dus à la structure du transistor, au montage et au boîtier d'encapsulation. Parmi ces éléments, on cite les résistances d'accès R_g , R_d et R_s liées respectivement au polysilicium de la grille, à la métallisation du drain et de la source. Et pour

déterminer ces résistances, on peut juste appliquer l'expression analytique classique d'un barreau de métal.

$$R = \frac{\rho * L}{S} \quad (5.19)$$

Avec ρ la résistivité du métal du drain, de la source ou du polysilicium de la grille, L et S sont respectivement la longueur et la section.

Outre les résistances de contact, il existe des inductances des fils de liaison et des bondings servant aux interconnexions entre la puce et le boîtier tels que L_g , L_d et L_s . Ces inductances sont dues aux éléments métalliques indispensables pour assurer la jonction électrique avec l'extérieur. Leurs valeurs dépendent du type du boîtier ou du module utilisé. Elles commencent à devenir critiques notamment à basse tension. L'identification et la modélisation de ces inductances parasites ont fait l'objet de plusieurs travaux [Lef05] [MSG+07] [Akh00]. L'inductance qui possède le plus d'influence est l'inductance L_s .

La méthode PEEC est généralement utilisée pour modéliser les phénomènes inductifs et résistifs relatifs aux imperfections de câblage.

5.3.2 Modèle du circuit étudié

Dans cette partie, on va procéder à une modélisation intégrale d'un système élémentaire de conversion comportant une seule cellule de commutation tout en utilisant les modèles des composants actifs décrits précédemment, et en développant des modèles de composants passifs et de connectique compatibles avec les exigences d'une étude CEM. Outre la satisfaction de l'aspect fonctionnel de la structure, la simulation temporelle des perturbations électromagnétiques dans les convertisseurs statiques impose une large gamme de fréquences pour les modèles utilisés afin de prendre en considération tous les éléments parasites de la structure.

La nature des composants traités représente le degré de complexité de ces modèles. De façon générale, un modèle pertinent est croissant avec le nombre de composants discrets inductifs et capacitifs qui forment la structure passive du circuit. Cette complexité dépend des matériaux magnétiques et diélectriques, d'effet de couplage (capacitif, inductif et par

impédance commune) ainsi que de la géométrie de ces composants qui conditionne directement ces couplages électromagnétiques.

Les principaux facteurs de génération de perturbations conduites sont l'association des variations brutales des tensions et courants des semi-conducteurs de puissance avec le caractère inductif et capacitif de l'environnement proche de ces derniers. En effet, des courants harmoniques indésirables de hautes fréquences sont générés par effet capacitif associé aux variations rapides de tension. Par effet inductif, ces courants engendrent des variations rapides de tension. Ce qui nous permet de classer les interrupteurs de puissance comme étant des sources des perturbations et les autres éléments de la structure comme des chemins de propagation ou des victimes suivant leur susceptibilité. Les semi-conducteurs de puissance ont aussi des éléments parasites intrinsèques non-linéaires, cités auparavant, capables d'influer sur la signature CEM de la structure.

C'est à partir de deux applications d'électronique de puissance simples que nous allons prévoir les niveaux de perturbations électromagnétiques conduites en mode commun et mode différentiel. Les convertisseurs de type hacheur série et hacheur parallèle présentés sur la *Figure 5.1* et la *Figure 5.2* sont constitués d'une cellule de commutation reliée au réseau stabilisé d'impédance de ligne (RSIL) et alimentée par une source de tension continue.

Le logiciel de simulation de type circuit Simplorer est utilisé pour simuler les réponses temporelles des convertisseurs. Les modèles des semi-conducteurs utilisés ont été étudiés préalablement, ils sont décrits en VHDL-AMS. La cellule de commutation est composée de deux transistors MOSFET SiC à canal N de référence CMF20120D, par exemple pour le hacheur série, l'un joue le rôle de commutation et l'autre joue le rôle d'une diode de roue libre. La charge résistive ($R = 100 \Omega$) et inductive ($R = 100 \Omega$ et $L = 150\mu\text{H}$) sont soumises alternativement à une tension continue de 60V pour le hacheur série et 30V pour le hacheur parallèle, découpée à la fréquence de 50 kHz avec un rapport cyclique de 0,5.

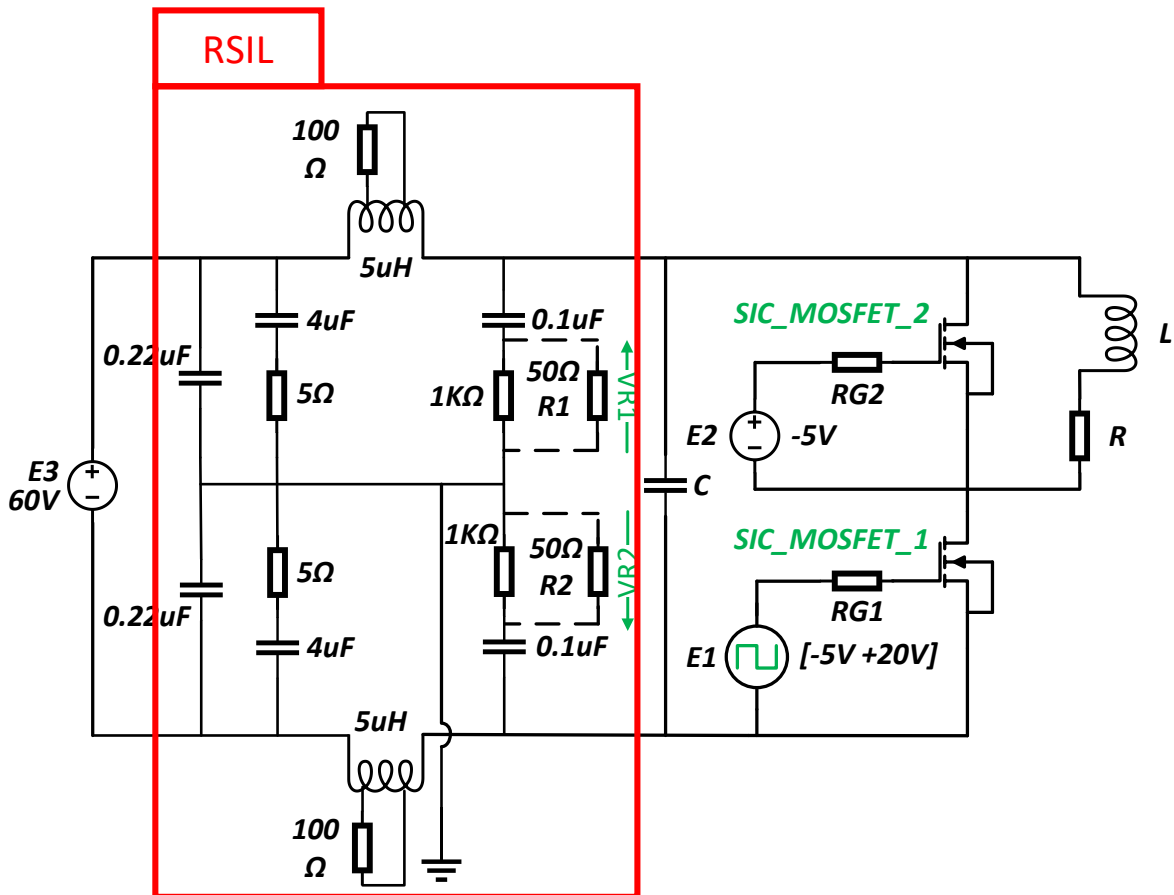


Figure 5.1 Schéma électrique du hacheur série avec une représentation de RSIL entre le réseau d'alimentation et la cellule de commutation

Dans les deux convertisseurs, les tensions de commande notées E1 qui alimentent la grille du semi-conducteur en commutation à travers une résistance de grille RG1 de 2,5 Ω possèdent un temps de montée et de descente fixés à 23 ns. SIC_MOSFET_2 des deux hacheurs est inversement polarisé au niveau de la grille par une tension statique négative fixe de -5V pour exciter la diode structurelle interne. Le pas de calcul minimal est fixé à 0,4 ns.

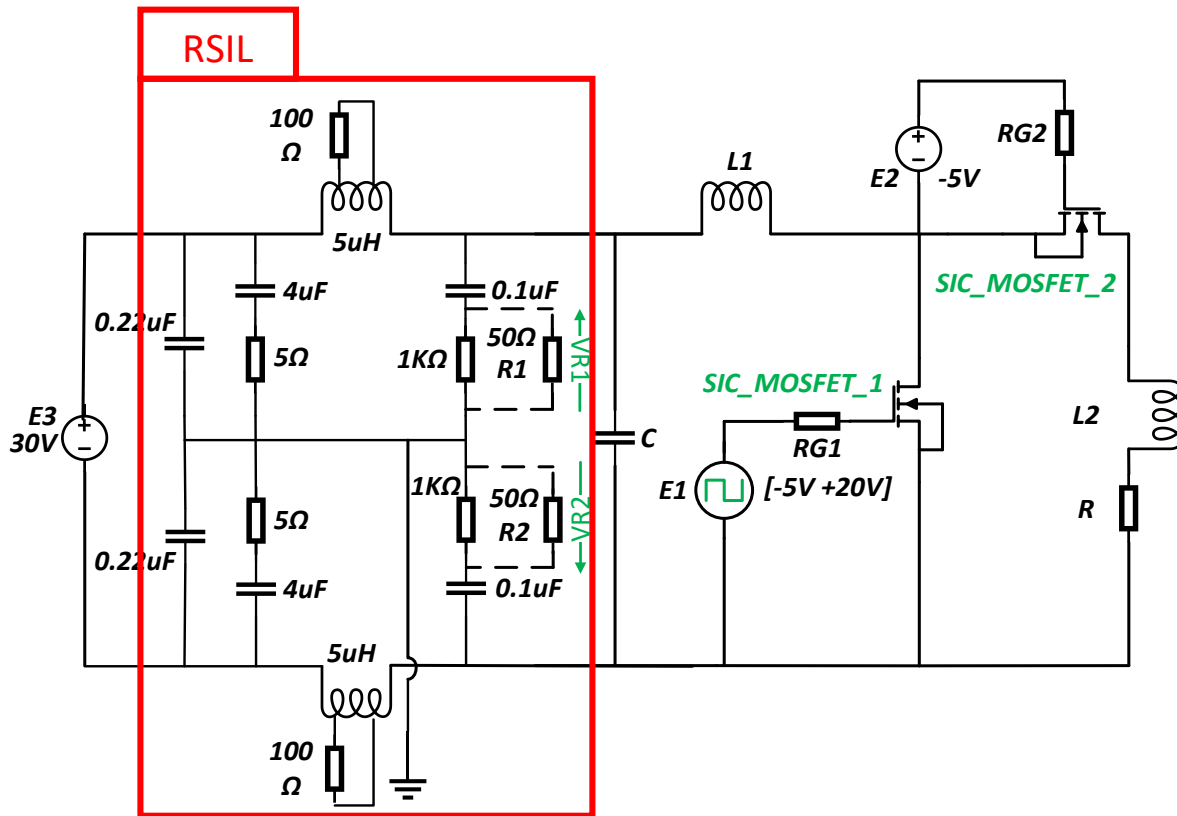


Figure 5.2 Schéma électrique du hacheur parallèle avec une représentation de RSIL entre le réseau d'alimentation et la cellule de commutation

Nous avons ajouté quelques éléments parasites aux deux circuits étudiés dans le but de bien précisément modéliser les effets des imperfections et de les prendre en compte lors de l'estimation des PEM conduites. Dans la *Figure 5.3* et la *Figure 5.4*, une association d'éléments inductifs, résistifs et capacitifs a été présentée pour prendre en considération les effets hautes fréquences de la connectique et des éléments passifs. La capacité C représente le condensateur de découplage. Deux capacités $C1$ et $C2$, dans la *Figure 5.3* et la *Figure 5.4*, sont utilisées afin de présenter l'effet d'un couplage capacitif entre le plan de masse et le point milieu de la cellule. Elles servent à estimer le courant de mode commun (puisque c'est le chemin unique du courant de mode commun comme le montre la *Figure 5.5*). Leur localisation est entre le composant en commutation et son radiateur. L'élimination de tous ces éléments parasites de ces structures revient donc à une simulation fonctionnelle classique du hacheur qui n'est pas compatible avec une étude CEM.

Nous avons pris en compte seulement les principaux éléments parasites de deux circuits qui peuvent affecter les niveaux de courant harmonique de hautes fréquences et du coup, les

PEM conduites. En réalité, le comportement de la charge nécessite une modélisation plus complexe de leurs éléments passifs, donc un temps de simulation élevé et une analyse complète des chemins de propagation, notamment en hautes fréquences. En plus, la modélisation de composants passifs et d'éléments parasites ne concerne que les éléments parcourus par de grandes valeurs électriques parasites et non de grandeurs fonctionnelles. Ces simplifications au niveau de la modélisation ont pour but de restituer les effets d'éléments dominants dans la cellule de commutation. Ce qui permet d'alléger l'étude CEM des systèmes avant et après les tests vieillissement et minimiser le temps de simulation.

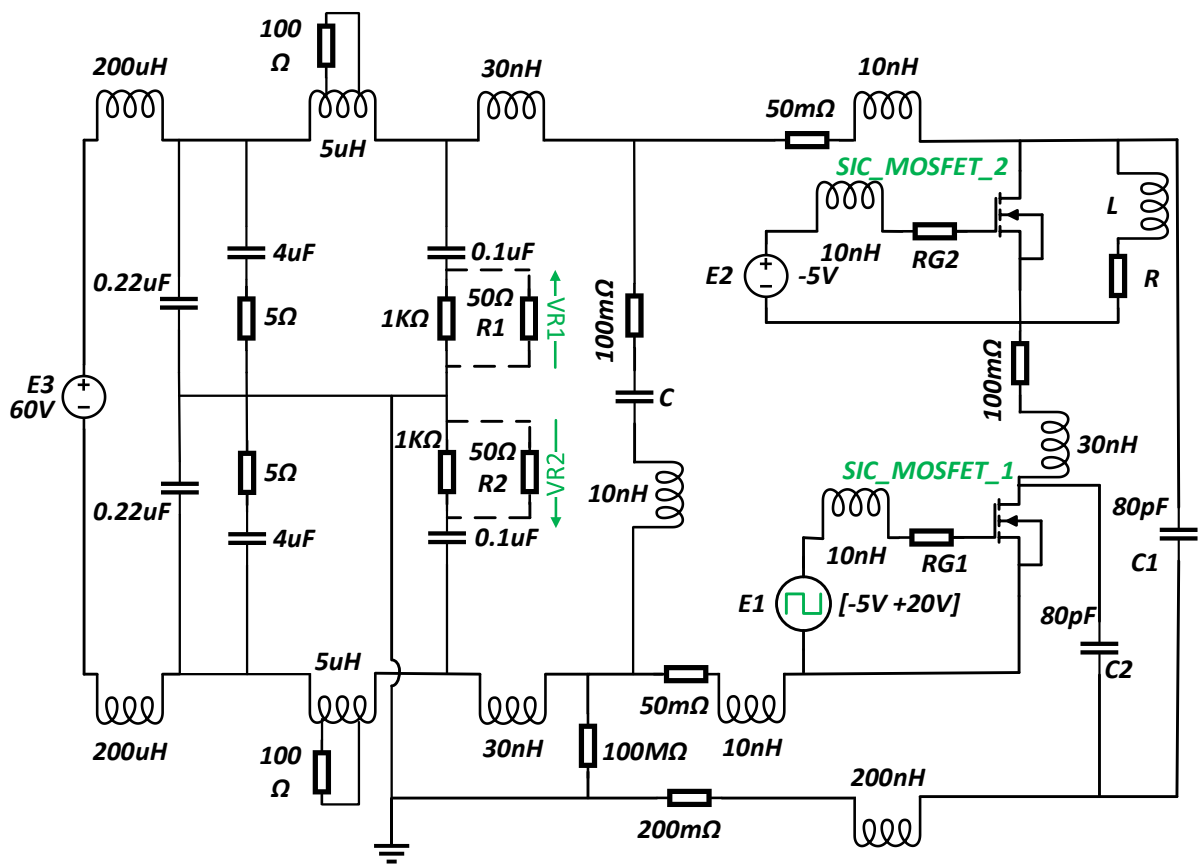


Figure 5.3 Schéma électrique du hacheur série avec une représentation des éléments parasites pris en compte dans la simulation

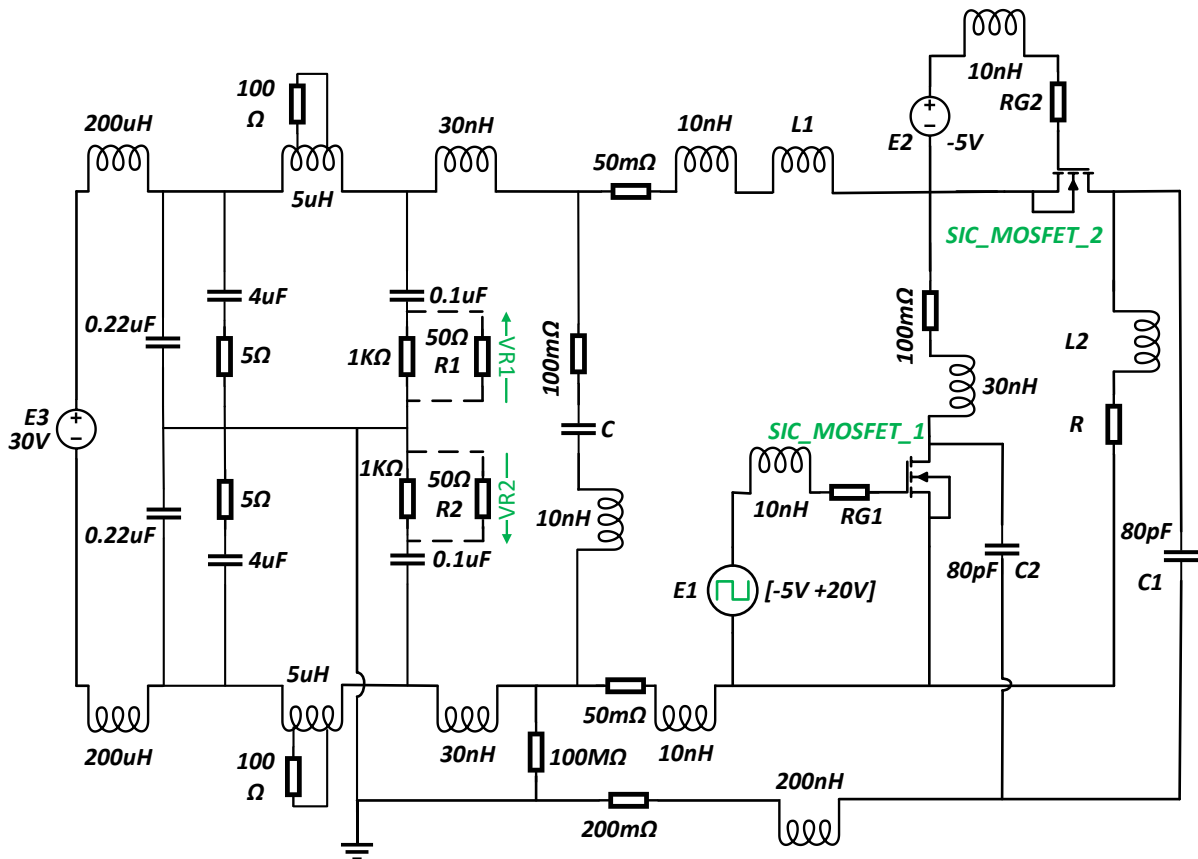


Figure 5.4 Schéma électrique du hacheur parallèle avec une représentation des éléments parasites pris en compte dans la simulation

5.3.3 Le parcours des courants de mode commun

Les courants perturbateurs de mode commun se referment par la terre et parcourent les liaisons dans le même sens. Ils se propagent en phase sur tous les conducteurs et se rebouclent par les circuits de masse via les capacités parasites C1 et C2.

La Figure 5.5 illustre leur parcours en mode commun dans le circuit hacheur série (de même pour le hacheur parallèle).

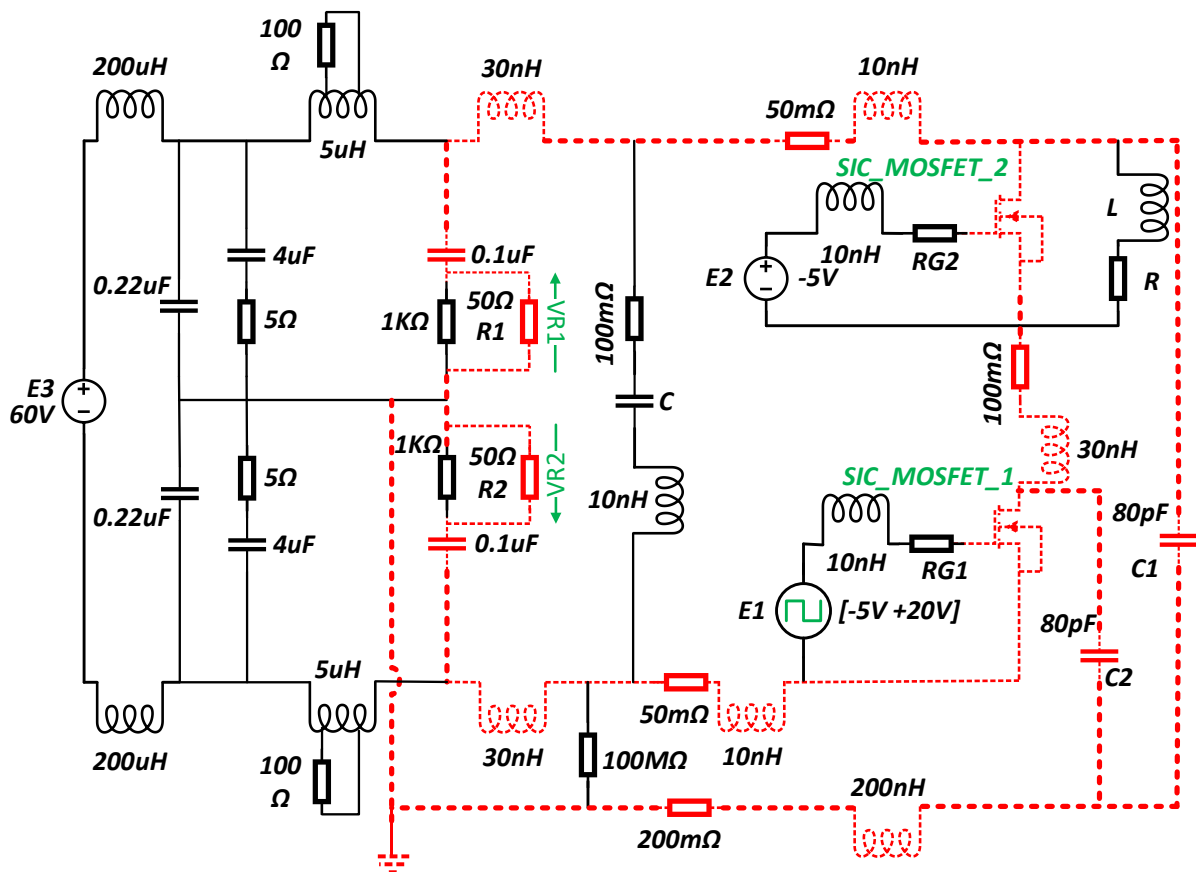


Figure 5.5 Illustration de la boucle de mode commun dans le circuit hacheur série

Les principaux chemins des courants harmoniques de mode commun sont représentés par les capacités parasites C1 et C2. Leur localisation est entre le transistor en commutation et son radiateur. Les courants produits par ces capacités sont dus aux variations rapides de la tension de mode commun. Ces capacités représentent les effets des couplages capacitifs dominants dans cette cellule de commutation.

L'estimation de PEM conduites en mode commun consiste à obtenir les deux tensions VR1 et VR2 (mentionnées en vert dans la Figure 5.5) aux bornes de deux résistances R1 et R2 de 50Ω. Par la suite, il suffit de calculer la tension du mode commun en utilisant l'équation 3.1.

5.3.4 Le parcours des courants de mode différentiel

Les courants parasites de mode différentiel se referment par les liaisons en sens opposés. Ils se propagent sur l'un des conducteurs, traversent l'appareil victime, en le polluant et reviennent sur l'autre conducteur en sens inverse.

La Figure 5.6 illustre leur parcours en mode différentiel dans le circuit hacheur série (de la même façon pour le hacheur parallèle).

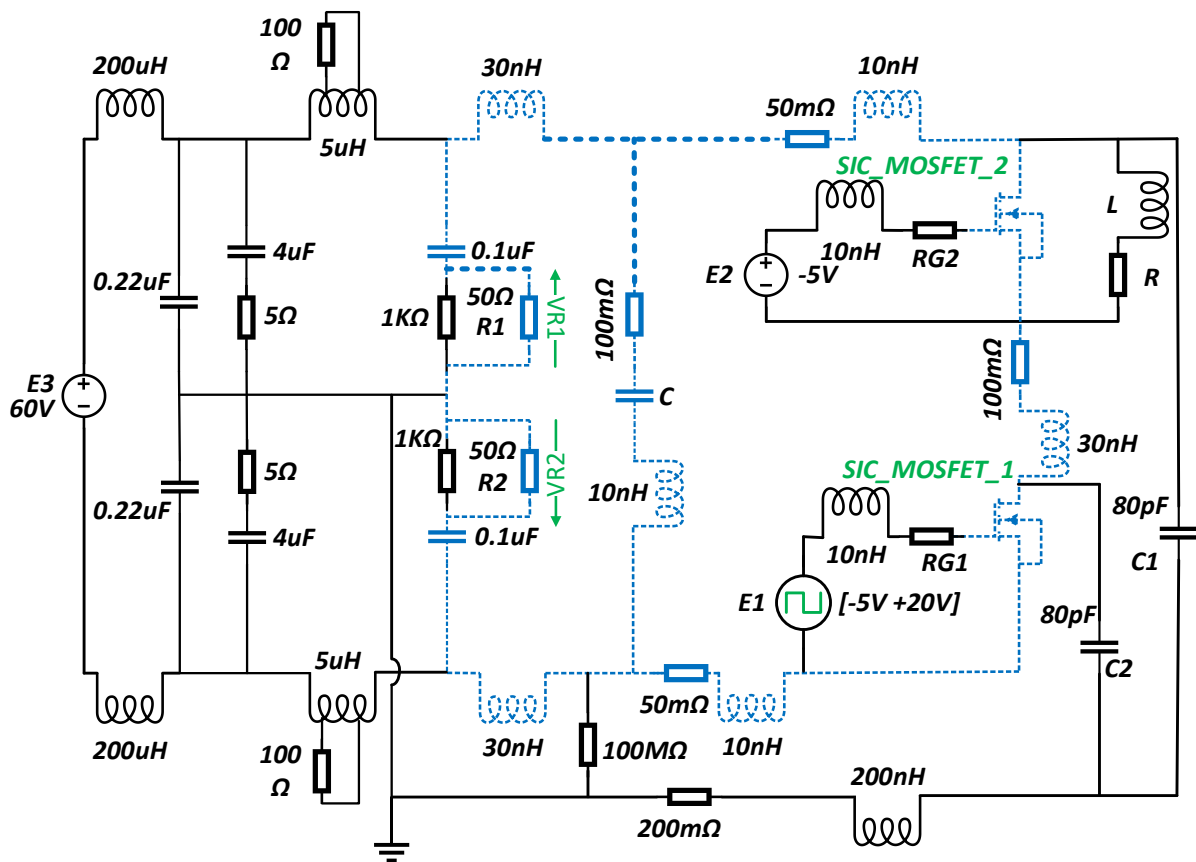


Figure 5.6 Illustration de la boucle de mode différentiel dans le circuit hacheur série

L'estimation de PEM conduites en mode différentiel consiste à obtenir les deux tensions VR1 et VR2 (mentionnées en vert dans la Figure 5.6) aux bornes de deux résistances R1 et R2 de 50Ω. Par la suite, il suffit de calculer la tension du mode différentiel en utilisant l'équation 3.2.

5.3.5 L'obtention de la forme spectrale

En électronique de puissance, les puissances rencontrées sont comprises entre quelques pW à l'entrée d'un récepteur et plusieurs dizaines de kW en sortie d'un émetteur. Dans le but de simplifier les calculs, la puissance doit être manipulée en unité relative dBW. En effet, afin d'éviter toute manipulation des petites et grandes grandeurs utilisées lors de la simulation, il est important d'utiliser les variables de référence.

La puissance exprimée en μW est convertie en $dB\mu W$ en utilisant la relation décrite par l'équation 5.20.

$$P(dB\mu W) = 10 \log P(\mu W) \quad (5.20)$$

Les résultats de simulation présentent la variation de l'amplitude de spectres des perturbations en fonction de la fréquence $dB\mu V = f(MHz)$. Ainsi, le terme $dB\mu V$ fait référence à une tension en μV en utilisant la relation décrite par l'équation 5.21.

$$V(dB\mu V) = 20 \log V(\mu V) \quad (5.21)$$

Comme cité auparavant les formes d'ondes temporaires de tensions de perturbations conduites dans les deux modes commun et différentiel respectivement VMC et VMD sont extraites au niveau du RSIL. Afin d'obtenir les formes spectrales de ces perturbations, nous devons effectuer un calcul simple de la Transformé de Fourier Rapide FFT de ces grandeurs. Cette méthode d'estimation spectrale ou fréquentielle à partir d'une estimation temporelle est appelée méthode indirecte [Hel06] qui doit être réalisée à condition que le régime permanent soit établi et le pas de simulation respecte les critères de Nyquist-Shannon.

Dans le but de pouvoir bien visualiser les spectres de perturbations électromagnétiques conduites sur une bande de fréquences qui atteint 50MHz, ces simulations nécessitent des temps de calcul et des espaces mémoires conséquents.

5.4 Effet des tests du vieillissement en régimes de court-circuit sur les paramètres intrinsèques de MOSFET SiC

On ne peut parler de modèle du transistor MOSFET SiC vieilli que lorsque ses paramètres dégradés sont ajustés de manière à ce que ce modèle représente fidèlement les caractéristiques du composant physiques, électriques statiques et dynamiques après vieillissement.

Pour identifier ces paramètres, il existe des techniques classiques qui reposent sur la caractérisation statique I-V et dynamique C-V utilisés par certains auteurs dans [Ham88], [Bes89] et [MAN+90]. Il existe aussi un programme d'extraction automatisé de paramètres proposé par IC-CAP utilisé par [Lin94].

Dans cette étude, nous avons fait appel à ces techniques avant vieillissement et même après vieillissement pour émuler l'effet de cycles répétitifs en court-circuit sur les paramètres physiques et électriques dégradés.

Dans la phase d'identification de ces paramètres, on a exploité les caractéristiques électriques abordées dans le chapitre 2. Cette phase contient deux étapes principales, la première est l'extraction des paramètres initiaux, elle n'est pas basée sur des fichiers techniques du fabricant, mais elle repose sur les résultats de mesure obtenus avant vieillissement. La deuxième étape est l'extraction de paramètres dégradés après chaque campagne de cycles répétitifs en se basant d'une part, pratiquement, sur l'expérimentation et d'autre part, théoriquement, sur les équations du modèle analytique et les approches de simplification.

Les paramètres du modèle MOSFET SiC que nous avons utilisés pour émuler le vieillissement sont divisés en deux grands groupes ;

Le premier contient les paramètres influençant le comportement statique tels que la tension de seuil V_{th} , la résistance à l'état passant R_{dson} , la transconductance K_p et le paramètre de correction empirique θ .

Le deuxième groupe adresse les paramètres influençant le comportement dynamique tels que la capacité grille-source C_{gs} , la capacité d'oxyde C_{oxd} , la concentration N_D de dopage N et le potentiel de construction de la jonction drain-source V_{bi} .

5.4.1 Paramètres influençant le comportement statique

Commençons par les paramètres, influençant le comportement statique, qui agissent directement sur le courant de drain I_{ds} . Ils sont liés à la géométrie et à la technologie utilisée dans la réalisation du MOSFET SiC.

Dans cette section, on suppose que l'exposant y et les deux facteurs de correction K_f et P_{vf} sont constantes au cours de vieillissement dans le but de faciliter le calcul de paramètres et minimiser la complexité des équations utilisées.

5.4.1.1 La tension de seuil V_{th}

Dans le chapitre 2, section 2.3.1.2, on a montré que la tension de seuil décroît avec l'augmentation du nombre de cycles répétitifs de court-circuit. En guise de synthèse, l'évolution de V_{th} en fonction de cycles répétitifs est donnée par le Tableau 5.1.

Tableau 5.1 Evolution de V_{th} en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Tension de seuil V_{th} (V)	2,272	1,348	1,054	0,152

5.4.1.2 La résistance à l'état passant R_{dson}

Dans le chapitre 2, section 2.3.1.3, on peut remarquer que la résistance à l'état passant R_{dson} dépend du nombre de cycles répétitifs. Une augmentation progressive de cette résistance après les trois campagnes de stress est observée. Le tableau suivant peut résumer cette augmentation.

Tableau 5.2 Evolution de R_{dson} en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Résistance à l'état passant R_{dson} (m Ω)	79,6	130	145,2	176,2

5.4.1.3 Le paramètre de correction empirique θ

Pour rappeler, θ est le paramètre de correction empirique qui s'introduit dans la quantité $(1+\theta(V_{gs}-V_{th}))$ pour prendre en compte la réduction de la mobilité des électrons dans le canal due à l'apparition d'un champ électrique transversal suite à l'application d'une tension à la grille V_{gs} .

Pour calculer ce paramètre, nous devons revenir à l'expression du courant I_{ds} en régime de saturation donnée par 5.3.

Pour une tension V_{ds} donnée dans la zone de saturation, il nous suffit de prendre deux valeurs de courant I_{ds1} , I_{ds2} et deux valeurs de tension V_{gs1} et V_{gs2} qui leur correspondent.

$$I_{ds1} = \frac{Kp * Kf}{1 + \theta(V_{gs1} - V_{th})} * \frac{(V_{gs1} - V_{th})^{\frac{2+y}{y}}}{Pvf} * \frac{y^{\frac{y}{y-1}} - y^{\frac{1}{y-1}}}{y^{\frac{y+1}{y-1}}} \quad (5.22)$$

$$I_{ds2} = \frac{Kp * Kf}{1 + \theta(V_{gs2} - V_{th})} * \frac{(V_{gs2} - V_{th})^{\frac{2+y}{y}}}{Pvf} * \frac{y^{\frac{y}{y-1}} - y^{\frac{1}{y-1}}}{y^{\frac{y+1}{y-1}}} \quad (5.23)$$

Les deux équations ci-dessus nous permettent de calculer la valeur du paramètre θ avant vieillissement et après chaque campagne de cycles répétitifs en les divisant l'une par l'autre.

$$\theta = \frac{I_{ds1}(V_{gs2} - V_{th})^{\frac{2+y}{y}} - I_{ds2}(V_{gs1} - V_{th})^{\frac{2+y}{y}}}{I_{ds2}(V_{gs2} - V_{th})(V_{gs1} - V_{th})^{\frac{2+y}{y}} - I_{ds1}(V_{gs1} - V_{th})(V_{gs2} - V_{th})^{\frac{2+y}{y}}} \quad (5.24)$$

Nous avons appliqué l'équation 5.24 sur les caractéristiques statiques de transfert I_{ds} - V_{gs} mesurées du composant 4 données par la *Figure 2.17* dans le chapitre 2. Pour chaque campagne de cycles répétitifs, deux points (I_{ds1} , V_{gs1}) et (I_{ds2} , V_{gs2}) doivent être sélectionnés, pour obtenir la valeur de θ pour chaque niveau de stress (voir *Tableau 5.3*) en prenant en compte la valeur de V_{th} avant et après chaque campagne donnée dans le *Tableau 5.1*.

Tableau 5.3 Evolution de θ en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
I_{ds1} (mA)	0,6	0,6	0,6	0,6
V_{gs1} (V)	2,159	1,189	0,891	0,091
I_{ds2} (mA)	0,802	0,801	0,8	0,804
V_{gs2} (V)	2,221	1,296	0,98	0,122
Paramètre de correction empirique θ (V⁻¹)	25,08	23,42	17,32	43,155

5.4.1.4 La transconductance K_p

Par définition R_{dson} est l'inverse de la pente de caractéristique statique de sortie I_{ds} - V_{ds} en régime linéaire avec V_{ds} de faible valeur et tend vers zéro comme le montre l'équation 5.25.

$$R_{dson} = \frac{1}{\left(\frac{\partial I_{ds}}{\partial V_{ds}}\right)_{V_{ds} \rightarrow 0}} \quad (5.25)$$

A partir de 5.2 du courant dans le canal qui caractérise le fonctionnement ohmique du MOSFET SiC dans la région linéaire, on peut obtenir :

$$\frac{\partial I_{ds}}{\partial V_{ds}} = \frac{K_f * K_p}{1 + \theta(V_{gs} - V_{th})} * \left[(V_{gs} - V_{th}) - y * P_v f^{y-1} * V_{ds}^{y-1} (V_{gs} - V_{th})^{\frac{2-y}{y}} \right] \quad (5.26)$$

D'où

$$R_{dson} = \frac{1 + \theta (V_{gs} - V_{th})}{K_f * K_p (V_{gs} - V_{th})} \quad (5.27)$$

Ce qui donne

$$K_p = \frac{1 + \theta (V_{gs} - V_{th})}{K_f * R_{dson} (V_{gs} - V_{th})} \quad (5.28)$$

Dans la section 2.3.1.3, nous avons cité que la résistance R_{dson} a été mesurée pour une valeur de courant I_{ds} de 5A et une valeur de V_{gs} de 12V à 25 ° C. Pour cela, nous devons utiliser cette valeur de V_{gs} pour trouver la valeur exacte de K_p en passant par le *Tableau 5.1* de V_{th} , le *Tableau 5.3* de θ et le *Tableau 5.2* de R_{dson} . Le *Tableau 5.4* illustre l'effet de vieillissement sur cette transconductance.

Tableau 5.4 Evolution de K_p en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Transconductance K_p (A/V²)	0,15	0,09	0,06	0,12

5.4.2 Paramètres influençant le comportement dynamique

A présent, intéressons-nous à l'impact de stress de type court-circuit sur le comportement dynamique du MOSFET SiC qui est modélisé par ses trois capacités intrinsèques C_{gs} , C_{ds} et C_{gd} .

C_{gs} est une capacité de valeur constante et elle ne dépend d'aucun autre paramètre, ainsi l'extraction de ses valeurs au cours de vieillissement est assez facile. Concernant la capacité C_{ds} et C_{gd} , leurs modèles sont définis à partir d'autres paramètres physiques de composant comme le montre les équations de 5.11 à 5.15. Alors, le calcul de leurs valeurs après vieillissement nous oblige à passer par des paramètres physiques tels que N_D , A_{ds} , C_{ox} , A_{gd} , V_{bi} et ϵ_{sic} .

5.4.2.1 La capacité grille-source C_{gs}

Nous avons déterminé les valeurs de la capacité C_{gs} avant et après vieillissement directement à partir de la courbe de C_{iss} en fonction de V_{ds} pour $V_{gs} = 0$ présentée par la *Figure 2.30* dans le chapitre 2.

En effet, comme présente l'équation 5.10, la valeur de C_{gs} est approximée par celle de C_{iss} pour des polarisations V_{DS} élevées, car d'après la *Figure 2.32*, C_{rss} devient négligeable quoi qu'il en soit le nombre de cycles appliqués sur le MOSFET SiC.

Ainsi, à partir de la *Figure 2.30*, pour V_{ds} à 150V, on trouve, comme illustre le *Tableau 5.5*, les valeurs de C_{gs} après chaque campagne de stress.

Tableau 5.5 Evolution de C_{gs} en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Capacité C_{gs} (pF)	1907	1691	1650	1553

5.4.2.2 La capacité de l'oxyde C_{oxd}

Cette capacité agit sur la capacité C_{gd} comme illustre 5.13. D'après [KSH+03], elle peut s'écrire comme suit,

$$C_{oxd} \approx C_{rssmax} \quad (5.29)$$

La valeur de cette capacité correspond ainsi au point maximum de la courbe de C_{rss} donnée par la *Figure 2.32*. A partir de cette figure, on peut mettre le *Tableau 5.6* qui résume les valeurs de C_{oxd} après vieillissement.

Tableau 5.6 Evolution de C_{oxd} en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Capacité d'oxyde C_{oxd} (pF)	1154	1052.5	738.93	706.05

5.4.2.3 Concentration ND de dopage N

Comme montrent les deux équations 5.11 et 5.12, la capacité C_{ds} dépend de ce paramètre physique ND.

D'après [Let15], [Bal10] et [Mat87] le champ électrique au claquage varie selon l'équation 5.30.

$$|E| = \frac{q * ND * t}{\epsilon_{sic}} \quad (5.30)$$

Avec t l'épaisseur maximale de la région de drift

La tension de claquage VBR peut prendre la forme présentée par l'équation 5.31.

$$VBR = \frac{|E| * t}{2} \quad (5.31)$$

D'après le datasheet [CREE], la valeur de VBR est de 1200V et pour le champ électrique au claquage, Levinshtein dans [LRS01] a extrait sa valeur qui est de 3MV/cm.

Ce qui nous permet de calculer t qui vaut $8 \cdot 10^{-6}$ m et ainsi d'obtenir l'expression analytique de ND donnée par l'équation 5.32.

$$ND = \frac{2 \epsilon_{sic} * VBR}{q * t^2} \quad (5.32)$$

Cette expression contient la permittivité ϵ_{sic} du SiC, le paramètre physique ND varie aussi avec le vieillissement. Par conséquent, nous avons besoin d'une autre équation pour obtenir un système de deux équations à deux inconnus ND et ϵ_{sic} .

La permittivité ϵ_{sic} influe sur la capacité C_{gd} pour des tensions $V_{dg} > 0$. Elle peut être calculée à partir des 5.13, 5.14 et 5.15, ce qui nous permet d'obtenir,

$$\epsilon_{sic} = \frac{2 Vdg}{q * ND * Agd^2} \left(\frac{Cgd * Coxd}{Coxd - Cgd} \right)^2 \quad (5.33)$$

Alors, notre système se constitue des 5.32 et 5.33, d'où

$$\epsilon_{sic} = \frac{t}{Agd} \sqrt{\frac{Vdg}{VBR} \frac{Cgd * Coxd}{Coxd - Cgd}} \quad (5.34)$$

Bien entendu, nous devons revenir à la courbe *Figure 2.32* et le *Tableau 2.6* afin de fixer un point de fonctionnement Cgd et Vdg . La surface Agd est aux alentours de $1,26 \cdot 10^{-6} \text{ m}^2$ [Oth15]. Alors, selon les valeurs de $Coxd$ (*Tableau 5.6*), on peut obtenir l'évolution de la permittivité ϵ_{sic} , avant vieillissement et après chaque campagne de stress (*Tableau 5.7*).

Tableau 5.7 Evolution de ϵ_{sic} en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Vdg (V)	60	60	60	60
Cgd (pF)	30.819	30.609	30.987	30.865
permittivité ϵ_{sic} (F/m)	$44,932 \cdot 10^{-12}$	$44,747 \cdot 10^{-12}$	$45,91 \cdot 10^{-12}$	$45,815 \cdot 10^{-12}$

On peut maintenant estimer les valeurs de ND avant et après vieillissement en utilisant 5.32. Elles sont présentées dans le *Tableau 5.8*.

Tableau 5.8 Evolution de ND en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
Concentration ND de dopage N (m^{-3})	$10,517 \cdot 10^{21}$	$10,474 \cdot 10^{21}$	$10,746 \cdot 10^{21}$	$10,724 \cdot 10^{21}$

5.4.2.4 Le potentiel de construction de la jonction drain-source V_{bi}

Ce potentiel influence sur la capacité drain-source C_{ds} , en effet d'après les deux équations 5.11 et 5.12, il peut être défini sous la forme suivante.

$$V_{bi} = \frac{q \epsilon_{sic} * ND}{2} \left(\frac{A_{ds}}{C_{ds}} \right)^2 - V_{ds} \quad (5.35)$$

D'après [Dix12] la surface active de la puce est égale à 12mm^2 . Sachant que cette surface active est égale à la somme de la surface équivalente de l'espace drain-source A_{ds} et la surface équivalente de l'espace grille-drain A_{gd} , ainsi on peut obtenir A_{ds} par l'équation suivante.

$$A_{ds} = S_{active} - A_{gd} \quad (5.36)$$

Donc A_{ds} est égale à $10,74\text{ mm}^2$. En plus, nous devons revenir à la courbe *Figure 2.35* et le *Tableau 2.8* afin de fixer un point de fonctionnement C_{ds} et V_{ds} .

Par conséquent, à partir des tableaux *Tableau 5.7* et *Tableau 5.8*, on obtient la variation de potentiel V_{bi} en fonction du stress appliqué résumé dans le tableau suivant.

Tableau 5.9 Evolution de ND en fonction du nombre de cycles répétitifs de court-circuit (composant 4)

Nombre de cycles répétitifs appliqués	0	2000	4000	5000
V_{ds} (V)	60	60	60	60
C_{ds} (pF)	269,33	251,69	240,74	248,71
Potentiel V_{bi} (V)	0,189	8,357	18,649	13,386

5.5 Effet des tests du vieillissement en régimes de court-circuit sur les PEM conduites

Dans cette partie, les mesures de caractérisations CEM des transistors MOSFET SiC ont été menées avant et après le vieillissement. L'idée est d'évaluer l'effet du vieillissement sur les paramètres internes du transistor MOSFET en SiC. Les nouvelles valeurs de ces paramètres dégradés après le test du vieillissement accéléré doivent être intégrées dans le modèle dans le but de décrire le nouveau comportement électromagnétique de modèles de circuits étudiés et ses réponses temporelles et spectrales de simulation après vieillissement. La dérive de ces paramètres agit sur les niveaux des perturbations électromagnétiques, ce qui représente l'impact du vieillissement sur les émissions conduites. En d'autres termes, pour obtenir l'impact du vieillissement sur les PEM conduites en simulation, il nous a fallu passer par l'intermédiaire de paramètres intrinsèques. De même que dans la partie expérimentale, les deux convertisseurs statiques sur lesquels nous nous sommes basés, pour valider cette étude, sont un hacheur série et un hacheur parallèle avec leurs charges résistive et inductive. Le test simulé est les cycles répétitifs de court-circuit.

Comme dans les chapitre 3 et 4, vu le nombre élevé des figures, on va prendre un seul cas afin de traiter et analyser les résultats des tests de vieillissement (avec ses deux types HTGB ou court-circuit).

5.5.1 Effets sur les formes d'ondes de PEM conduites

Après avoir effectué les calculs de valeurs de chaque paramètre influencé par le vieillissement, on peut en déduire les performances électromagnétiques de MOSFET après vieillissement dans l'environnement SIMPLORER.

Deux grandeurs électromagnétiques sont estimées avant et après le test de vieillissement accéléré en régime court-circuit tels que la tension de mode commun VMC et la tension de mode différentiel VMD avec leurs formes temporelles sur une seule période et leurs formes spectrales commençant de la fréquence de commutation de 50 kHz à 50MHz.

5.5.1.1 Tension en mode commun VMC

Commençons par la tension de mode commun VMC, pour mettre en évidence l'effet de régime court-circuit sur les amplitudes des PEM conduites de mode commun, nous présentons, au niveau de la *Figure 5.7*, les chronogrammes de tension de mode commun VMC. Ces ondes temporelles sont obtenues lors de l'ouverture et de la fermeture du MOSFET_SiC_1 soumis dans un hacheur série avec une charge résistive avant et après chaque compagne de court-circuit.

En analysant les différents chronogrammes, nous remarquons qu'un nombre important de cycles répétitifs appliqués sur le MOSFET SiC permet d'augmenter l'amplitude de tension de mode commun VMC notamment pendant la mise en conduction de composant. En effet, si on prend le cas d'un hacheur série avec une charge résistive, avant et après les tests de court-circuit, présenté par la *Figure 5.7*, on trouve, lors de la fermeture du composant, une amplitude de VMC de 9,161V après 5000 cycles. Par contre elle vaut 5,108V avant vieillissement donc une évolution ΔVMC de 4,053V. Lors de l'ouverture, ΔVMC est de 495,54 mV entre la tension VMC de 538mV après 5000 cycles et VMC de 42,46 mV de composant neuf. Donc nous pouvons conclure que l'effet de vieillissement accéléré simulé par les paramètres dégradés se traduit par une augmentation importante au niveau de la tension de mode commun pour un MOSFET en SiC. Ce que nous avons trouvé dans la partie expérimentale de chapitre 3.

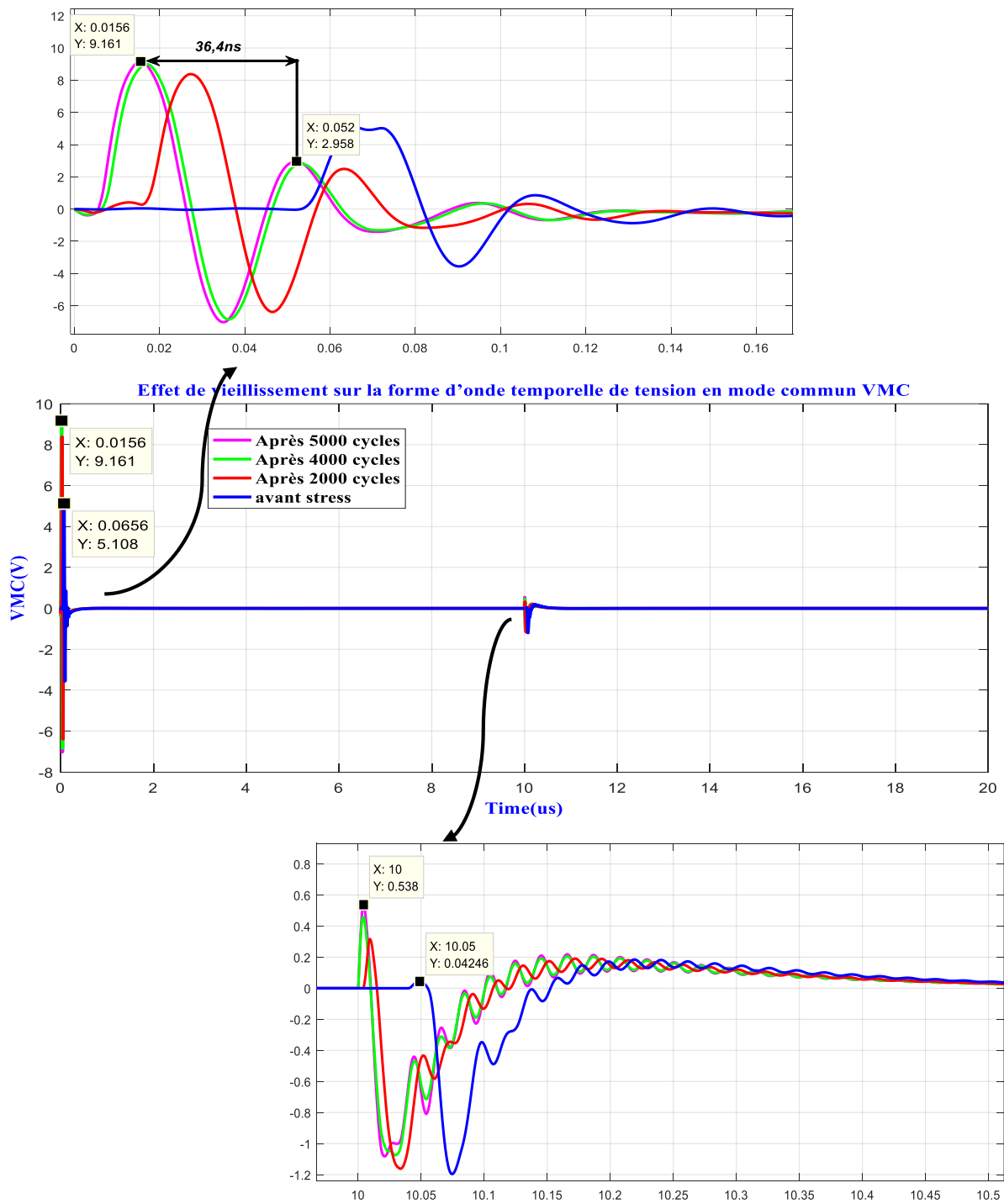


Figure 5.7 Evolution de la forme d'onde temporelle de VMC avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

Le Tableau 5.10 présente une comparaison entre les mesures et les simulations de l'évolution de tension mode commun VMC avant vieillissement et après 5000 cycles court-circuit. Nous remarquons qu'il n'y a pas une grande différence entre la mesure et la simulation. Les ΔV_{MC}

de mesure et simulation sont quasiment proches, ce qui montre une bonne corrélation entre la simulation et l'expérience de l'effet de vieillissement sur la CEM de MOSFET SiC.

Tableau 5.10 Mesures et simulations de l'évolution de VMC d'un composant neuf et vieillis

	fermeture			ouverture		
	neuf	5000cycles	ΔV	neuf	5000cycles	ΔV
Mesure	2,1V	5,4V	3,3V	2,2V	2,5V	300mV
Simulation	5,108V	9,161V	4,053V	42,46mV	538mV	495.54mV

Pour le cas d'hacheur série avec une charge inductive et un hacheur parallèle avec une charge résistive et inductive, nous arrivons aux mêmes conclusions qui sont une augmentation après les deux types de vieillissement des amplitudes au niveau des signaux temporels de la tension de mode commun.

5.5.1.2 Tension en mode différentiel VMD

De même, sur la *Figure 5.8*, nous traçons les formes d'ondes temporelles de tension de mode différentiel VMD et leur évolution avec le vieillissement en court-circuit appliqué sur le MOSFET_SIC_1 soumis dans un hacheur série avec une charge résistive.

L'analyse de l'évolution de la forme d'onde temporelle de VMD montre que plus le nombre de cycles répétitifs appliqués sur le MOSFET_SIC_1 croît plus l'amplitude de VMD s'accroît notamment pendant le passage à l'état passant de composant. En effet, lors de la mise en conduction du DUT, l'amplitude de VMD vaut 10,95V après 5000 cycles par contre elle est aux alentours de 3,562V avant vieillissement d'où un ΔVMD de 7,388V. Lors de la mise au blocage de DUT, VMD ne dépasse pas 996,1 mV après 5000 cycles et environ 322 mV avant vieillissement ainsi un ΔVMD de 674,1 mV. Par conséquent, nous pouvons inférer que l'application d'un nombre assez important de cycles court-circuit contraignants sur un MOSFET neuf engendre une augmentation au niveau de PEM conduites de mode différentiel VMD. La même conclusion est obtenue pour les autres cas de configuration.

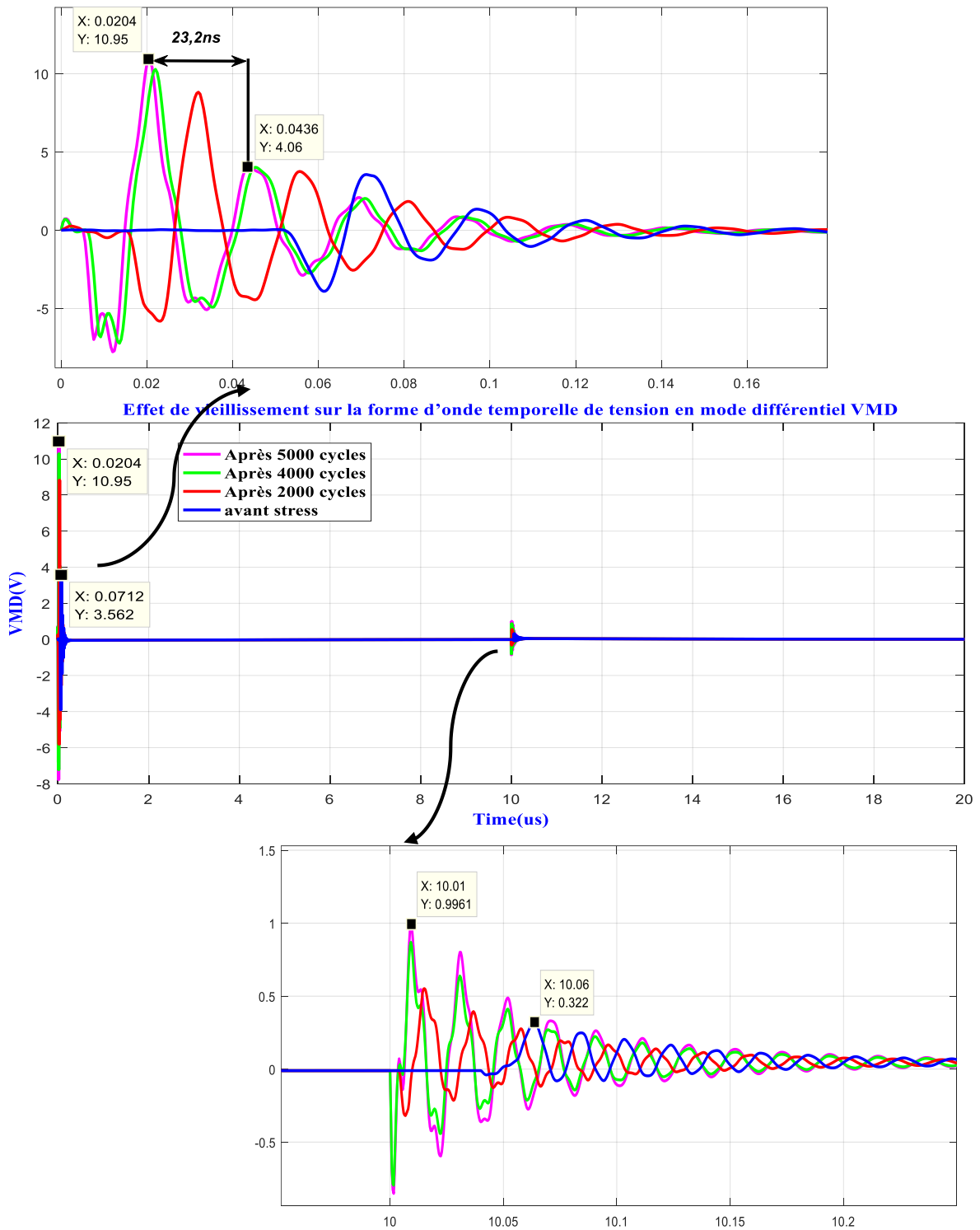


Figure 5.8 Evolution de la forme d'onde temporelle de VMD avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

Une comparaison entre la simulation et l'expérience de l'évolution de tension mode différentiel VMD d'un composant neuf et vieillis est présenté par le Tableau 5.11. Les valeurs sont relativement proches notamment pour les ΔV . Un bon accord est ainsi constaté entre la tension VMD mesurée et celle simulée. Donc une coïncidence de la simulation et de l'expérience de l'effet de vieillissement sur la CEM de MOSFET SiC.

Tableau 5.11 Mesures et simulations de l'évolution de VMD d'un composant neuf et vieillis

	fermeture			ouverture		
	neuf	5000 cycles	ΔV	neuf	5000 cycles	ΔV
Mesure	3V	11,2V	8,2V	2,2V	3V	800mV
Simulation	3,562V	10,95V	7,388V	322mV	996.1mV	674.1mV

5.5.2 Effets sur les spectres de PEM conduites

Après avoir étudié l'effet du vieillissement accéléré en régime de court-circuit sur les formes d'ondes temporelles des deux tensions en mode commun et mode différentiel, nous passons par la suite à présenter l'impact de ce type de vieillissement sur les spectres de ces tensions dans une gamme de fréquence commençant de la fréquence de commutation (50 kHz) à 50 MHz.

La *Figure 5.9* et la *Figure 5.10* présentent leurs évolutions des perturbations électromagnétiques conduites respectivement de mode commune et de mode différentiel et ceci pour le cas d'un hacheur série avec une charge résistive avant et après vieillissement.

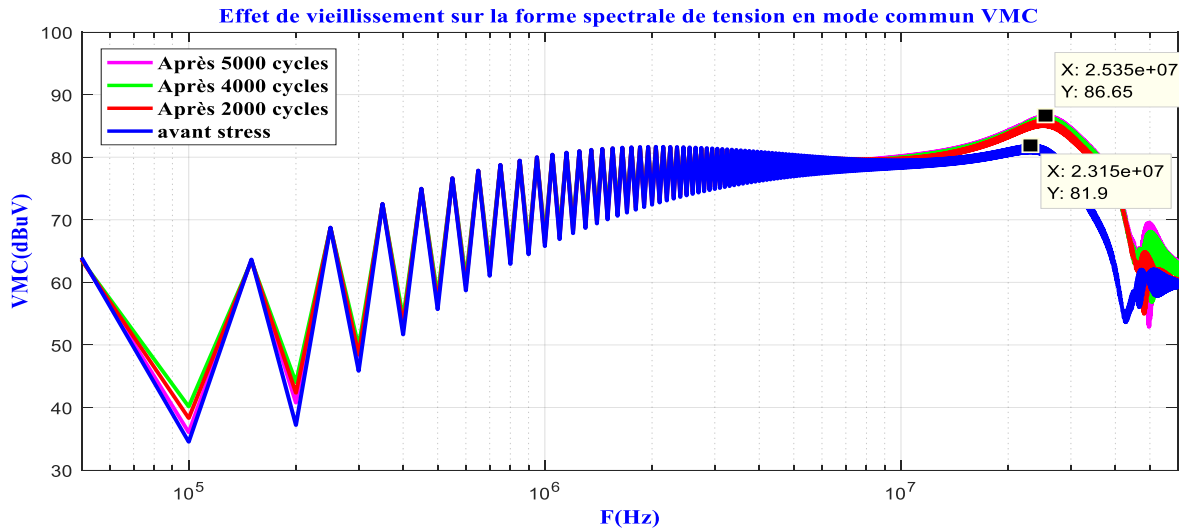


Figure 5.9 Evolution de la forme spectrale de VMC avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

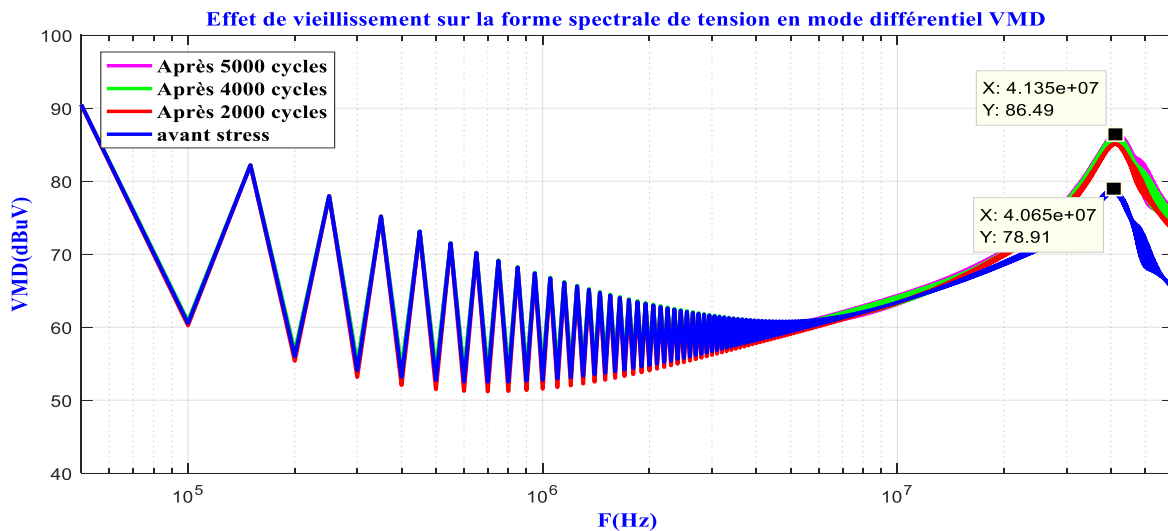


Figure 5.10 Evolution de la forme spectrale de VMD avant vieillissement et après chaque campagne de cycles répétitifs de court-circuit pour un hacheur série avec une charge résistive

Nous pouvons voir qu'après chaque campagne de cycles répétitifs, l'effet de vieillissement de MOSFET_SIC_1 se traduit par une augmentation de l'amplitude de spectres en mode commun surtout aux différentes fréquences de résonance. On remarque particulièrement l'apparition d'une fréquence de résonance aux alentours de 25MHz pour le mode commun et d'une autre autour de 42 MHz pour le mode différentiel.

En analysant les zooms appliqués sur les formes d'onde temporelle des Figure 5.7 et 5.11 des tensions respectivement en mode commun VMC et en mode différentiel VMD, on peut constater une période d'oscillation de 36,4ns pour le mode commun et une autre de 23,2ns

pour le mode différentiel, ce qui correspond aux fréquences de résonance retrouvées dans les spectre fréquentiels.

En comparant, sur les spectres, les amplitudes aux fréquences de résonance, on peut identifier avant vieillissement une amplitude de 81,9 dBuV pour le mode commun et de 78,91 dBuV pour le mode différentiel et après 5000 cycles répétitifs, une amplitude de 86,65 dBuV pour le mode commun et de 86,49 dBuV pour le mode différentiel, ce qui correspond à une augmentation de 4,75 dBuV pour le mode commun et de 7,58 dBuV pour le mode différentiel.

Nous pouvons donc retrouver, grâce aux résultats de simulations, la conclusion déjà présenté dans le chapitre 3 et obtenue avec les résultats expérimentaux et qui est : l'effet de vieillissement accéléré se traduit par une augmentation au niveau de la tension spectrale de mode commun et de mode différentiel pour un MOSFET en SiC. Les mêmes conclusions ont été retrouvées suite aux résultats de simulations réalisées dans les autres cas de configurations.

5.6 Conclusion

Cet ultime chapitre a défini, en premier lieu, l'environnement de la modélisation en électronique de puissance en présentant le langage de modélisation et l'outil de simulation pour lesquels nous avons optés afin de décrire le comportement électrique statique et dynamique d'un MOSFET en carbure de silicium qui appartient à la première génération de CREE de référence CMF20120D. A partir du modèle décrit, nous avons identifié les paramètres physiques et électriques internes dégradés du composant vieilli dans le but de simuler l'effet de vieillissement. Une combinaison entre les équations du modèle et les expérimentations a eu lieu pour obtenir les nouvelles valeurs des paramètres dégradés influençant le comportement statique et dynamique.

En utilisant le schéma électrique équivalent de la structure interne du RSIL en amont de la cellule de commutation, on peut quantifier les PEM conduites en mode commun et en mode différentiel. Cette estimation nous aide à comparer les émissions électromagnétiques avant et après vieillissement dans la structure du convertisseur d'énergie statiques DC-DC. L'évolution des formes temporelles et spectrales nous donne des résultats similaires et identiques à ce que nous avons expérimentalement trouvé dans le chapitre 3.

Les résultats obtenus sont généralisés pour les autres types de vieillissement, de charge et de convertisseurs. Ils ont montré que l'impact de vieillissement des transistors MOSFET SiC

sur la compatibilité électromagnétique se traduit par une augmentation au niveau des amplitudes des perturbations électromagnétiques conduites. Ceci a été confirmé avec les variations rapides de caractéristiques électriques dynamiques du courant I_{ds} et de la tension V_{ds} pendant les phases transitoires trouvées dans le chapitre 3. Il en ressort que ces variations traduisent l'évolution de paramètres physiques intrinsèques dégradés du composant.

Conclusion générale et perspectives

Les travaux présentés dans ce mémoire de thèse s'inscrivent dans le cadre d'une démarche globale visant à l'évaluation des performances électromagnétiques des interrupteurs de puissance en technologie grand gap à base de carbure de silicium pour une meilleure utilisation dans les convertisseurs statiques DC-DC. La faculté de ces composants de puissance en SiC laisse présager des améliorations plus étendues que ceux en Si avec ; un haut rendement de conversion, une tenue en tension plus élevée, des fréquences de commutation importantes, un fonctionnement à haute température et excellente robustesse en régimes extrêmes de fonctionnement. Ce qui permet d'ouvrir de réelles possibilités de réduction globale masse/volume des convertisseurs et répondre aussi aux exigences de l'industrie et besoins de chercheurs.

Les différentes mesures ont été effectuées en utilisant deux circuits de conversion d'énergie statique tels qu'un hacheur série et un hacheur parallèle. L'utilisation de ces circuits revient à leur capacité de générer un grand nombre de commutations durant leur fonctionnement. Étant donné que la compatibilité électromagnétique est bien liée au nombre de commutations survenues, ces types de convertisseurs se considèrent comme étant les générateurs de PEM les plus pertinents.

Pour cela, une approche méthodologique nous a progressivement poussés à établir deux stratégies de fatigue pour évaluer l'adaptation de ce composant en termes de CEM à un environnement sévère des applications visées. Le choix du transistor s'est porté sur une structure de type VDMOSFET de type N de la première génération de chez l'industriel CREE et de référence CMF20120D. Deux tests de vieillissement dans des conditions critiques en régime de court-circuit et HTGB ont été appliqués sur le composant. Deux applications de conversion d'énergie ont été réalisées afin de mesurer les émissions conduites et rayonnées avant et après vieillissement. Ceci est dans le but d'avoir une idée sur la fiabilité et la robustesse de ces composants de puissance en passant par l'ampleur de la dérive des perturbations électromagnétiques conduites et rayonnées après les tests de vieillissement.

Grâce à cette démarche, nous avons pu évaluer l'évolution des grandeurs électriques et électromagnétiques et des paramètres électriques et physiques pendant ces tests de vieillissement accélérés dans un environnement critique. Il était possible d'établir un lien entre

la dégradation des performances du transistor et l'évolution de perturbations électromagnétiques conduites en modes commun et différentiel et rayonnées de composantes tangentielle et normale. L'analyse de l'évolution des PEM a été expliquée par des variations brusques de tension dv/dt et de courant di/dt dues à la dégradation des paramètres intrinsèques et extrinsèques du composant.

Ces nouvelles technologies des composants de puissance nous imposent de décrire un modèle complet, précis et fin permettant de simuler l'effet de tests de vieillissement sur la CEM des composants de puissance intégrés dans un système d'électronique de puissance et dans un environnement de simulation adapté. Cela nous a amené à choisir le langage de modélisation et l'outil de simulation. Nous avons opté pour le langage de description matérielle VHDL-AMS qui est le plus adapté, car il comporte les caractéristiques nécessaires pour fournir aux concepteurs des systèmes pluridisciplinaires. Une étude bibliographique sur les différents simulateurs pouvant supporter le VHDL-AMS et disponibles actuellement sur le marché nous a conduit à utiliser Simplorer comme étant un outil de simulation.

La prise en compte de ces perturbations est primordiale pour la phase de prototypage virtuel qui est, de nos jours, fortement nécessaire pour les systèmes à fortes contraintes comme ceux utilisés dans le domaine du transport. Ainsi, toute la structure du circuit doit avoir un modèle orientée CEM tels que tous les composants de puissance passifs et actifs y utilisés et les fils de conduction afin de permettre de bien modéliser le comportement électromagnétique réel tant conduit que rayonné. En effet, on s'est intéressé, d'une part, au développement d'un modèle du composant de puissance MOSFET en carbure du silicium. D'autre part, il nous a fallu développer la structure interne à implémenter sur les simulateurs de type circuit. Les perturbations électromagnétiques après vieillissement peuvent être calculées par le concepteur du système pour prédire l'évolution du comportement électromagnétique du système dans le temps.

Du point de vue des perspectives, nous proposons de mettre en place d'autres stratégies de vieillissement accéléré très proches de la réalité et combinent les contraintes thermiques et électriques en même temps et examiner leurs effets sur l'évolution des perturbations électromagnétiques conduites et rayonnées. Les semi-conducteurs en GaN sont également des candidats intéressants pour ces études. Nous proposons aussi une étude comparative de point de vue CEM entre les principaux interrupteurs tels que les JFETs, les BJT et les MOSFETs soumis sous des contraintes sévères pour examiner le plus fiable, coté CEM, après une dégradation considérable. CREE a commercialisé trois générations de MOSFET SiC,

certainement la signature CEM après vieillissement de chaque génération diffère de l'autre vu les performances de chacune, ce qui présente de bonnes perspectives au sein d'un seul fournisseur ou avec les semi-conducteurs d'autres industries telles que STMicroelectronic ou ROHM.

Références

[AAF97] Amerasekera, E. Ajith, and Farid N. Najm. Failure mechanisms in semiconductor devices. New York: Wiley, 1997.

[ABI11] Carmine Abbate, Giovanni Busatto, Francesco Iannuzzo, Operation of SiC normally off JFET at the edges of its safe operating area, *Microelectronics Reliability*, Volume 51, Issues 9–11, 2011, Pages 1767-1772, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2011.07.055>.

[Aca] Académie de Paris Créteil, Versailles "comptabilité électromagnétique"
<http://eduscol.education.fr/sti/sites/eduscol.education.fr/sti/files/ressources/techniques/775/775-cours-cem.pdf>

[Akh00] Mahdi Akhbari. Modèle de Cellule de Commutation pour les Etudes de Pertes et de Performances CEM. Energie électrique. Institut National Polytechnique de Grenoble - INPG, 2000. <tel-00688480>

[All06] Bruno Allard. L'électronique de puissance : Bases, perspectives, guide de lecture. Techniques de l'ingénieur. Génie électrique, 4(D3060), 2006.

[Alw07] M. Alwan. Contribution à l'étude de l'impact des dégradations d'origines électriques et thermiques sur les performances du transistor VDMOS de puissance, Thèse de doctorat, Université de Rouen, France, 2007.

[Ave10] Yvan Avenas. Gestion thermique des composants actifs de puissance : vers une intégration du système de refroidissement au sein du module. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2010. <tel-00501652>

[Bal10] Baliga, B. (2010). *Fundamentals of Power Semiconductor Devices*. Springer.
doi : 10.1007/978-0-387-47314-7

[BB13] S. Ben Dhia, A. Boyer, Long-term Electro-Magnetic Robustness of Integrated Circuits: EMRIC research project, *Microelectronics Reliability*, Volume 53, Issues 9–11, 2013, Pages 1266-1272, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2013.08.016>.

[BDL⁺13] A. Boyer, S. B. Dhia, B. Li, N. Berbel and R. Fernandez-Garcia, "Experimental Investigations into the Effects of Electrical Stress on Electromagnetic Emission from Integrated Circuits," in *IEEE Transactions on Electromagnetic Compatibility*, vol. 56, no. 1, pp. 44-50, Feb. 2014.
doi: 10.1109/TEMC.2013.2272195

[Ber08] D. Bergogne et al., "Towards an airborne high temperature SiC inverter," 2008 IEEE Power Electronics Specialists Conference, Rhodes, 2008, pp. 3178-3183.
doi: 10.1109/PESC.2008.4592442

[Bes89] K. Besbes. Contribution à la modélisation comportementale des composants de puissance en commutation, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France, 1989.

[BHB14] A. Boyer, H. Huang and S. Ben Dhia, "Impact of thermal aging on emission of a buck DC-DC converter," 2014 International Symposium on Electromagnetic Compatibility, Tokyo, Tokyo, 2014, pp. 77-80.

[BLK13] M. Berkani, S. Lefebvre and Z. Khatir, "Saturation Current and On-Resistance Correlation during During Repetitive Short-Circuit Conditions on SiC JFET Transistors," in IEEE Transactions on Power Electronics, vol. 28, no. 2, pp. 621-624, Feb. 2013.
doi: 10.1109/TPEL.2012.2215629

[BMA⁺04] C. Buttay, H. Morel, B. Allard, P. Lefranc and O. Brevet, "Model requirements for simulation of low-voltage MOSFET in automotive applications," in IEEE Transactions on Power Electronics, vol. 21, no. 3, pp. 613-624, May 2006.
doi: 10.1109/TPEL.2006.872383

[BML⁺09] N. Boughrara et al., "Robustness of SiC JFET in Short-Circuit Modes," in IEEE Electron Device Letters, vol. 30, no. 1, pp. 51-53, Jan. 2009.
doi: 10.1109/LED.2008.2008668

[BOL⁺10] M. Bouarroudj-Berkani, D. Othman, S. Lefebvre, S. Moumen, Z. Khatir, T. Ben Sallah, Ageing of SiC JFET transistors under repetitive current limitation conditions, Microelectronics Reliability, Volume 50, Issues 9–11, 2010, Pages 1532-1537, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2010.07.035>.

[Boy07] Alexander BOYER. Méthode de prédiction de la compatibilité électromagnétique des systèmes en boîtier, Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, France, 2007.

[Bro05] Brozek T. Editorial, special issue on NBTI. Microelectron Reliab. Volume 45, Issue 1, 2005, Pages 1-2, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2004.07.003>.

[BSW⁺11] J. Biela, M. Schweizer, S. Waffler and J. W. Kolar, "SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors," in IEEE Transactions on Industrial Electronics, vol. 58, no. 7, pp. 2872-2882, July 2011.
doi: 10.1109/TIE.2010.2072896

[But04] Cyril Buttay. Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension. Sciences de l'ingénieur [physics]. Institut National des Sciences Appliquées de Lyon, 2004. <tel-00327164>

Références

[Cal08] R. J. Callanan et al., "Recent progress in SiC DMOSFETs and JBS diodes at Cree," 2008 34th Annual Conference of IEEE Industrial Electronics, Orlando, FL, 2008, pp. 2885-2890. doi: 10.1109/IECON.2008.4758417

[CCG⁺09] A Constant, N Camara, P Godignon, and J Camassel. Benefit of H₂ surface pretreatment for 4H-SiC oxynitridation using N₂O and rapid thermal processing steps. Applied Physics Letters, 94(6):063508–063508, 2009. <https://doi.org/10.1063/1.3077016>

[CFK⁺12] Alberto Castellazzi, Tsuyoshi Funaki, Tsunenobu Kimoto, Takashi Hikiyara, Thermal instability effects in SiC Power MOSFETs, Microelectronics Reliability, Volume 52, Issues 9–10, 2012, Pages 2414-2419, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2012.06.096>.

[CFK⁺13] A. Castellazzi, T. Funaki, T. Kimoto and T. Hikiyara, "Short-circuit tests on SiC power MOSFETs," 2013 IEEE 10th International Conference on Power Electronics and Drive Systems (PEDS), Kitakyushu, 2013, pp. 1297-1300. doi: 10.1109/PEDS.2013.6527219

[CFY⁺14] A. Castellazzi, A. Fayyaz, L. Yang, M. Riccio and A. Irace, "Short-circuit robustness of SiC Power MOSFETs: Experimental analysis," 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD), Waikoloa, HI, 2014, pp. 71-74. doi: 10.1109/ISPSD.2014.6855978

[CISPR08] CISPR 25, Vehicles, boats and internal combustion engines - Radio disturbance characteristics - Limits and methods of measurement for the protection of on-board receivers, Commission Électrotechnique Internationale CEI, Comité International Spécial des Perturbations Radioélectriques CISPR, 2008.

[CKR⁺04] S. Chakravarthi, A. Krishnan, V. Reddy, C. F. Machala and S. Krishnan, "A comprehensive framework for predictive modeling of negative bias temperature instability," 2004 IEEE International Reliability Physics Symposium. Proceedings, Phoenix, AZ, USA, 2004, pp. 273-282. doi: 10.1109/RELPHY.2004.1315337

[CLL⁺15] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay and H. Morel, "Robustness in short-circuit Mode of SiC MOSFETs," Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2015, pp. 1-8.

[CP02] COQUERELLE Jean Louis, PASQUIER Christophe «Rayonnement électromagnétique des convertisseurs à découpage » Edp Sciences, 15/07/2002.

[CREE] Cree, CMF20120D Datasheet, [Online]. Available: <http://www.wolfspeed.com/downloads/dl/file/id/585/product/>

Références

[CSS⁺11] J. R. Celaya, A. Saxena, S. Saha, V. Vashchenko and K. Goebel, "Prognostics of power MOSFET," 2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs, San Diego, CA, 2011, pp. 160-163.

doi: 10.1109/ISPSD.2011.5890815

[CWV⁺10] J. R. Celaya, P. Wysocki, V. Vashchenko, S. Saha and K. Goebel, "Accelerated aging system for prognostics of power semiconductor devices," 2010 IEEE AUTOTESTCON, Orlando, FL, 2010, pp. 1-6.

doi: 10.1109/AUTEST.2010.5613564

[DAH⁺17] S. Dusmez, S. H. Ali, M. Heydarzadeh, A. S. Kamath, H. Duran and B. Akin, "Aging Precursor Identification and Lifetime Estimation for Thermally Aged Discrete Package Silicon Power Switches," in IEEE Transactions on Industry Applications, vol. 53, no. 1, pp. 251-260, Jan.-Feb. 2017.

doi: 10.1109/TIA.2016.2603144

[Das11] Mrinal K. Das, "Commercially Available Cree Silicon Carbide Power Devices: Historical Success of JBS Diodes and Future Power Switch Prospects". CS MANTECH Conference, May 16th-19th, 2011, Palm Springs, California, USA.

[Del11] Daniel Delahaye. Modélisation et optimisation du trafic aérien. 2011.

[Dem01] C. Deml, "Input and reverse transfer capacitance measurement of MOS-gated power transistors under high current flow," in IEEE Transactions on Industry Applications, vol. 37, no. 4, pp. 1062-1066, July-Aug. 2001.

doi: 10.1109/28.936397

[Den05] Mickael Denais. Étude des phénomènes de dégradation de type negative bias temperature instability (nbt) dans les transistors mos submicroniques des filières CMOS avancées. Analyse de données, Statistiques et Probabilités [physics.data-an]. Université de Provence - Aix-Marseille I, 2005. <tel-00011973>

[DGW04] Detzel, T., Glavanovics, M., and Weber, K. Analysis of wire bond and metallization degradation mechanisms in DMOS power transistors stressed under thermal overload conditions, Microelectronics Reliability, Volume 44, Issues 9–11, 2004, Pages 1485-1490, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2004.07.044>.

[DH98] C. Deml and K. Hoffmann, "Gate-drain capacitance behaviour of the DMOS power transistor under high current flow," PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196), Fukuoka, 1998, pp. 1716-1719 vol.2.

doi: 10.1109/PESC.1998.703412

[Dir89] La directive européenne relative à la CEM 89/336/CEE, Journal officiel n° L 139 du 23/05/1989 p. 0019 – 0026.

[Dix12] Dixon-Warren, S.-J. (2012). Inside cree's sic power mosfet (cmf20120d).

<http://www.chipworks.com/blog/technologyblog/2012/03/05/inside-crees-sic-power-mosfet/>.

Références

- [DTB15] S. Douzi, M. Tlig, J. Ben Hadj Slama, Experimental investigation on the evolution of a conducted-EMI buck converter after thermal aging tests of the MOSFET, *Microelectronics Reliability*, Volume 55, Issues 9–10, 2015, Pages 1391-1394, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2015.07.009>.
- [Dup06] Laurent Dupont. Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude. *Energie électrique*. École normale supérieure de Cachan - ENS Cachan, 2006. <tel-00091782>
- [FMB⁺14] Matthieu Florentin, Josep Montserrat, Pierre Brosselard, Anne Henry, and Philippe Godignon. Rapid thermal oxidation of si-face n and p-type on-axis 4h-sic. In *Materials Science Forum*, volume 778, pages 591–594. Trans Tech Publ, 2014. www.scientific.net/MSF.778-780.591
- [Fon12] A. Fontserè et al., "A HfO₂ based 800V/300°C Au-free AlGa_N/Ga_N-on-Si HEMT technology," 2012 24th International Symposium on Power Semiconductor Devices and ICs, Bruges, 2012, pp. 37-40.
doi: 10.1109/ISPSD.2012.6229017
- [FPK⁺09] T. Funaki, N. Phankong, T. Kimoto and T. Hikihara, "Measuring Terminal Capacitance and Its Voltage Dependency for High-Voltage Power Devices," in *IEEE Transactions on Power Electronics*, vol. 24, no. 6, pp. 1486-1493, June 2009,
doi: 10.1109/TPEL.2009.2016566
- [Fun07] T. Funaki et al., "Power Conversion With SiC Devices at Extremely High Ambient Temperatures," in *IEEE Transactions on Power Electronics*, vol. 22, no. 4, pp. 1321-1329, July 2007.
doi: 10.1109/TPEL.2007.900561
- [GF14] X. Gong and J. A. Ferreira, "Comparison and Reduction of Conducted EMI in SiC JFET and Si IGBT-Based Motor Drives," in *IEEE Transactions on Power Electronics*, vol. 29, no. 4, pp. 1757-1767, April 2014.
doi: 10.1109/TPEL.2013.2271301
- [GF14a] X. Gong and J. A. Ferreira, "Investigation of Conducted EMI in SiC JFET Inverters Using Separated Heat Sinks," in *IEEE Transactions on Industrial Electronics*, vol. 61, no. 1, pp. 115-125, Jan. 2014.
doi: 10.1109/TIE.2013.2240636
- [Gla11] J. S. Glaser et al., "Direct comparison of silicon and silicon carbide power transistors in high-frequency hard-switched applications," 2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Fort Worth, TX, 2011, pp. 1049-1056.
doi: 10.1109/APEC.2011.5744724
- [GLH11] R. Green, A. Lelis and D. Habersat, "Application of reliability test standards to SiC Power MOSFETs," 2011 International Reliability Physics Symposium, Monterey, CA, 2011, pp. EX.2.1-EX.2.9.
doi: 10.1109/IRPS.2011.5784573

Références

- [GSM⁺13] F. Guedon, S. Singh, R. McMahon and F. Udrea, "Boost Converter With SiC JFETs: Comparison With CoolMOS and Tests at Elevated Case Temperature," in *IEEE Transactions on Power Electronics*, vol. 28, no. 4, pp. 1938-1945, April 2013.
doi: 10.1109/TPEL.2012.2201753
- [Gui07] David Guihal. Modélisation en langage VHDL-AMS des systèmes pluridisciplinaires. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2007.
<tel-00157570>
- [Gur08] M. Gurfinkel et al., "Characterization of Transient Gate Oxide Trapping in SiC MOSFETs Using Fast I-V Techniques," in *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 2004-2012, Aug. 2008.
doi: 10.1109/TED.2008.926626
- [Ham17] D. P. Hamilton et al., "High-Temperature Electrical and Thermal Aging Performance and Application Considerations for SiC Power DMOSFETs," in *IEEE Transactions on Power Electronics*, vol. 32, no. 10, pp. 7967-7979, Oct. 2017.
doi: 10.1109/TPEL.2016.2636743
- [Ham88] O. Hamel. Elaboration de modèles comportementaux pour la simulation d'interrupteurs de puissance en commutation, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France, 1988.
- [Ham98] A. Hamidi. Contribution à l'étude des phénomènes de fatigue thermique des modules IGBT de forte puissance destinés aux applications de traction, Thèse de Doctorat, Institut National Polytechnique de Lorraine, France, 1998.
- [HCS⁺06] J. M. Homberger, E. Cilio, R. M. Schupbach, A. B. Lostetter and H. A. Mantooth, "A high-temperature multichip power module (MCPM) inverter utilizing silicon carbide (SiC) and silicon on insulator (SOI) electronics," 2006 37th IEEE Power Electronics Specialists Conference, Jeju, 2006, pp. 1-7.
doi: 10.1109/pesc.2006.1711732
- [Hel06] H. HELALI. Méthodologie de pré-dimensionnement de convertisseurs de puissance : Utilisation des techniques d'optimisation multi-objectif et prise en compte de contraintes CEM, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France, 2006.
- [HIM⁺89] Y. Hiruta, H. Iwai, F. Matsuoka, K. Hama, K. Maeguchi and K. Kanzaki, "Interface state generation under long-term positive-bias temperature stress for a p/sup +/- poly gate MOS structure," in *IEEE Transactions on Electron Devices*, vol. 36, no. 9, pp. 1732-1739, Sept. 1989.
doi: 10.1109/16.34236
- [Hne12] : A. Hneine. Approche de modélisation distribuée appliquée aux composants semi-conducteurs bipolaires de puissance en VHDL-AMS. Application à la diode PiN de puissance et à l'IGBT, Thèse de doctorat, Université Toulouse III- Paul Sabatier, France, 2012.

Références

- [HWL⁺13] X. Huang, G. Wang, Y. Li, A. Q. Huang and B. J. Baliga, "Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection," 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2013, pp. 197-200. doi: 10.1109/APEC.2013.6520207
- [Ibr09] T. IBRAHIM. Contribution au développement de modèles pour l'électronique de puissance en VHDL-AMS, Thèse de Doctorat, Institut National des Sciences Appliquées de Lyon, France, 2009.
- [Jea00] Bosc Jean-Marc. Contribution à l'élaboration de nouvelles approches pour la fiabilisation de composants électroniques semi-conducteurs, Thèse de doctorat, Institut national des sciences appliquées de Toulouse, France, 2000.
- [Jea01] P.O. Jeannin. Le transistor MOSFET en Commutation : Application aux Associations Série et Parallèle de Composants à grille isolée, Thèse de doctorat, Institut National Polytechnique de Grenoble-INPG, France, 2001.
- [Jem03] S. Jemmali. Contribution à l'élaboration de méthodologies et outils d'aide à la conception de systèmes multi-technologiques, Thèse de doctorat, École Nationale Supérieure des Télécommunications de Paris, France, 2003.
- [Jes67] JESD6 Measurement of Small Values of Transistor Capacitance, JEDEC Standard, 1967.
- [Joi85] Joint Electron Device Engineering Council. Power MOSFETs (Standard N°. JESD24), July 1985.
- [Jou02] Ludovic Jourdan. Stratégie de pré-dimensionnement de convertisseurs statiques : Application à une alimentation 42V-14V réversible pour l'automobile. Sciences de l'ingénieur [physics]. Université Joseph-Fourier - Grenoble I, 2002. <tel-00480432>
- [JPF11] I. Josifović, J. Popović-Gerber and J. A. Ferreira, "Power Sandwich industrial drive with SiC JFETs," Proceedings of the 2011 14th European Conference on Power Electronics and Applications, Birmingham, 2011, pp. 1-10.
- [JRA08] H. Jain, S. Rajawat and P. Agrawal, "Comparison of wide band gap semiconductors for power electronics applications," 2008 International Conference on Recent Advances in Microwave Theory and Applications, Jaipur, 2008, pp. 878-881. doi: 10.1109/AMTA.2008.4763184
- [Kri05] S. Krishnaswami et al., "Gate oxide reliability of 4H-SiC MOS devices," 2005 IEEE International Reliability Physics Symposium, 2005. Proceedings. 43rd Annual., San Jose, CA, USA, 2005, pp. 592-593. doi: 10.1109/RELPHY.2005.1493158
- [KSH⁺03] X. Kang, E. Santi, J. L. Hudgins, P. R. Palmer and J. F. Donlon, "Parameter extraction for a physics-based circuit simulator IGBT model," Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003. APEC '03., Miami Beach, FL, USA, 2003, pp. 946-952 vol.2. doi: 10.1109/APEC.2003.1179330

Références

- [KWR⁺09] D. Kranzer, C. Wilhelm, F. Reiners and B. Burger, "Application of normally-off SiC-JFETs in photovoltaic inverters," 2009 13th European Conference on Power Electronics and Applications, Barcelona, 2009, pp. 1-6.
- [LB14] Josef Lutz, Roman Baburske, Some aspects on ruggedness of SiC power devices, *Microelectronics Reliability*, Volume 54, Issue 1, 2014, Pages 49-56, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2013.09.022>.
- [LBB⁺10] B. Li, A. Boyer, S. Bendhia, C. Lemoine, Ageing effect on electromagnetic susceptibility of a phase locked loop, *Microelectronics Reliability*, Volume 50, Issues 9–11, 2010, Pages 1304-1308, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2010.07.100>.
- [Lef05] P. Lefranc. Etude, conception et réalisation de circuits de commande d'IGBT de forte puissance, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France, 2005.
- [Lel08] A. J. Lelis et al., "Time Dependence of Bias-Stress-Induced SiC MOSFET Threshold-Voltage Instability Measurements," in *IEEE Transactions on Electron Devices*, vol. 55, no. 8, pp. 1835-1840, Aug. 2008.
doi: 10.1109/TED.2008.926672
- [Let15] Leturcq, P. Semi-conducteurs de puissance unipolaires et mixtes (partie1). Techniques de l'ingénieur Composants actifs en électronique de puissance, base documentaire : TIB245DUO.(ref. article : d3108), 2015.
- [LFR⁺05] O Langlois, E Foch, X Roboam, and H Piquet. De l'avion plus électrique à l'avion tout électrique : état de l'art et prospective sur les réseaux de bord. *J3eA*, 4(HORS SÉRIE 1) :001, 2005.
- [Lin94] C-C Lin. Contribution à l'identification des paramètres technologiques de la diode PIN de puissance à partir des caractéristiques de commutations à l'ouverture, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, France, 1994.
- [LRS01] Levinshtein, M. E., Rumyantsev, S. L., and Shur, M. S. . Properties of Advanced Semiconductor Materials : GaN, AlN, InN, BN, SiC, SiGe. John Wiley & Sons. 2001
- [LSL⁺05] S. Lombardo, J. H. Stathis, B. P. Linder, K. L. Pey, F. Palumbo, and C. H. Tung, "Dielectric breakdown mechanisms in gate oxides," *J. Appl. Phys.*, vol. 98, no. 12, p. 121301, Dec. 2005. <https://doi.org/10.1063/1.2147714>
- [Lut11] Josef Lutz. Semiconductor power devices : physics, characteristics, reliability. Springer, 2011
doi 10.1007/978-3-642-11125-9
- [LZ07] Frédéric Leriche and Jean-Marc Zuliani. L'industrie aéronautique toulousaine et la déplétion pétrolière : quelles perspectives ? *Géographie, économie, société*, 9(1) :19–38, 2007.

Références

- [MAN⁺90] R. Maimouni, P. Rossel, D. Allain, M. Napieralska, H. Tranduc, C. E. Cordonnier, Modèle Universel du transistor MOS de puissance pour le logiciel SPICE, Rapport LAAS N° 89145, Revue Générale de l'Electricité, No. 1, pp: 49-59, Janvier 1990.
- [Mat87] Mathieu, H. Physique des semi-conducteurs et des composants électroniques. Enseignement de la physique, Masson, 1987.
- [Mba17] Safa Mbarek. Fiabilité et analyse physique des défaillances des composants électroniques sous contraintes électro-thermiques pour des applications en mécatronique.. Matériaux. Normandie Université, 2017. <NNT : 2017NORMR142> . <tel-01812499>
- [MFD⁺16] S. Mbarek, F. Fouquet, P. Dherbecourt, M. Masmoudi, O. Latry, Gate oxide degradation of SiC MOSFET under short-circuit aging tests, Microelectronics Reliability, Volume 64, 2016, Pages 415-418, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2016.07.132>.
- [MGP⁺14] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás and J. Rebollo, "A Survey of Wide Bandgap Power Semiconductor Devices," in IEEE Transactions on Power Electronics, vol. 29, no. 5, pp. 2155-2163, May 2014.
doi: 10.1109/TPEL.2013.2268900
- [MHM⁺04] Ty McNutt, Allen Hefner, Alan Mantooth, David Berning, Ranbir Singh, Compact models for silicon carbide power devices, Solid-State Electronics, Volume 48, Issues 10–11, 2004, Pages 1757-1762, ISSN 0038-1101, <https://doi.org/10.1016/j.sse.2004.05.059>.
- [MHM⁺07] T. R. McNutt, A. R. Hefner, H. A. Mantooth, D. Berning and S. Ryu, "Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence," in IEEE Transactions on Power Electronics, vol. 22, no. 2, pp. 353-363, March 2007.
doi: 10.1109/TPEL.2006.889890
- [MML⁺10] D. Martineau, T. Mazeaud, M. Legros, Ph. Dupuy, C. Levade, Characterization of alterations on power MOSFET devices under extreme electro-thermal fatigue, Microelectronics Reliability, Volume 50, Issues 9–11, 2010, Pages 1768-1772, ISSN 0026-2714, <https://doi.org/10.1016/j.microrel.2010.07.065>.
- [Mon05] I. Montanari, "EMI measurements for aging control and fault diagnosis in active devices," IEEE 6th International Symposium on Electromagnetic Compatibility and Electromagnetic Ecology, 2005., Saint Petersburg, Russia, 2005, pp. 183-186.
doi: 10.1109/EMCECO.2005.1513096
- [MSG⁺07] C. Martin, J. Schanen, J. Guichon and R. Pasterczyk, "Analysis of Electromagnetic Coupling and Current Distribution Inside a Power Module," in IEEE Transactions on Industry Applications, vol. 43, no. 4, pp. 893-901, July-aug. 2007.
doi: 10.1109/TIA.2007.900453

Références

[MTM08] I. Montanari, A. Tacchini and M. Maini, "Impact of thermal stress on the characteristics of conducted emissions," 2008 IEEE International Symposium on Electromagnetic Compatibility, Detroit, MI, 2008, pp. 1-4.

doi: 10.1109/ISEMC.2008.4652103

[Mur97] Jean-Luc Muraro. Conditions optimales de fonctionnement pour la fiabilité des transistors à effet de champ micro-ondes de puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 1997. <tel-00010072>

[MWS⁺00] J.V. Manca, W. Wondrak, W. Schaper, K. Croes, J.D Haen, W. De Ceuninck, B. Dieval, H.L. Hartnagel, M. D'Olieslaeger, L. De Schepper, Reliability aspects of high temperature power MOSFETs, *Microelectronics Reliability*, Volume 40, Issues 8–10, 2000, Pages 1679-1682, ISSN 0026-2714,

[https://doi.org/10.1016/S0026-2714\(00\)00187-6](https://doi.org/10.1016/S0026-2714(00)00187-6).

[Nal15] Nallet, F. (2015). Sic pour l'électronique de puissance du futur. Techniques de l'ingénieur Innovations en électronique et optoélectronique, base documentaire : TIB257DUO.(ref.article : re3).

[NAT⁺15] T. Nguyen, A. Ahmed, T. V. Thang and J. Park, "Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation," in *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2445-2455, May 2015.

doi: 10.1109/TPEL.2014.2353417

[OBB⁺15] Rémy Ouaida and Maxime Berthou and Pierre Brosselard and Sebastien Oge and Pascal Bevilacqua and Charles Joubert, Investigation of Using SiC MOSFET for High Temperature Applications, *EPE Journal*, volume 25, number 2, pages 5-11, year 2015,

doi 10.1080/09398368.2015.11835467

[OFG⁺13] Adelmo Ortiz-Conde, Francisco J. García-Sánchez, Juan Muci, Alberto Terán Barrios, Juin J. Liou, Ching-Sung Ho, Revisiting MOSFET threshold voltage extraction methods, *Microelectronics Reliability*, Volume 53, Issue 1, 2013, Pages 90-104, ISSN 0026-2714,

<https://doi.org/10.1016/j.microrel.2012.09.015>.

[OLB⁺13] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, A. Bouzourene, Robustness of 1.2kV SiC MOSFET devices, *Microelectronics Reliability*, Volume 53, Issues 9–11, 2013, Pages 1735-1738, ISSN 0026-2714,

<https://doi.org/10.1016/j.microrel.2013.07.072>.

[OT04] Ozpineci, B et Tolbert, L. (2004). Comparison of wide-bandgap semiconductors for power electronics applications. United States. Department of Energy.

[Oth15] Dhouha Othman. Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans des applications aéronautiques. Autre. Université Paris-Saclay, 2015. <NNT : 2015SACLN033> . <tel-01265578>

[Oua14] R. Ouaida et al., "Gate Oxide Degradation of SiC MOSFET in Switching Conditions," in *IEEE Electron Device Letters*, vol. 35, no. 12, pp. 1284-1286, Dec. 2014.

Références

doi: 10.1109/LED.2014.2361674

[Pas16] Pascal Dherbécourt. Analyse par électroluminescence des dégradations de transistors SiC-MOSFET. Symposium de Genie Electrique, Jun 2016, Grenoble, France. <hal-01361661>

[Pau06] C. paul, "Introduction to Electromagnetic compatibility", Wiley, second edition, 2006.

[Pél10] Patrick Pélata. L'avenir de l'auto se construit dans la crise. Sociétal, (70) :39–47, 2010.

[Per04] : R. Perdriau. Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS, Thèse de doctorat, Université Catholique de Louvain, France, 2004.

[Pet04] Peters L. "NBTI: a growing threat to device reliability", In: Semiconductor International, 2004. p. 47–54.
<https://ci.nii.ac.jp/naid/80016526634/en/>

[PPL⁺10] Pietranico, S., Pommier, S., Lefebvre, S., Khatir, Z., Bontemps, S., and Cadel, E. (2010). Study of ageing of the metallization layer of power semiconductor devices.

[PUA⁺17] S. Pu, E. Ugur, B. Akin and H. Akca, "Investigation of EM radiation changes in SiC based converters throughout device aging," 2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Albuquerque, NM, 2017, pp. 190-194.
doi: 10.1109/WiPDA.2017.8170545

[RCD⁺13] M. Riccio, A. Castellazzi, G. De Falco, A. Irace, Experimental analysis of electro-thermal instability in SiC Power MOSFETs, Microelectronics Reliability, Volume 53, Issues 9–11, 2013, Pages 1739-1744, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2013.07.014>.

[RMH94] M. Ruff, H. Mitlehner and R. Helbig, "SiC devices: physics and numerical simulation," in IEEE Transactions on Electron Devices, vol. 41, no. 6, pp. 1040-1054, June 1994.
doi: 10.1109/16.293319

[RMV⁺14] E. Rondon-Pinilla, F. Morel, C. Vollaïre and J. Schanen, "Modeling of a Buck Converter With a SiC JFET to Predict EMC Conducted Emissions," in IEEE Transactions on Power Electronics, vol. 29, no. 5, pp. 2246-2260, May 2014.
doi: 10.1109/TPEL.2013.2295053

[Ros15] T. Rossignol. Contribution à la caractérisation et à la commande rapprochée de composants à grand gap moyenne tension pour onduleur de tension, Thèse de doctorat, l'université de Toulouse, France, 2015.

[Sai04] Frédéric Saint-Eve. Influence des régimes extrêmes de fonctionnement sur la durée de vie des composants semi-conducteurs de puissance, Thèse de doctorat, ENS Cachan, France, 2004.

[Sai09] SAIDI Sofiene. Couplage de la technique du champ proche avec les méthodes des moments pour les applications en électronique de puissance, Mémoire de mastère, ENIT, Tunisie, 2009.

Références

- [SB03] Schroder DK, Babcock JA., "Negative bias temperature instability: road to cross in deep submicron semiconductor manufacturing", *Appl Phys Lett* 2003;94:1–18.
<https://doi.org/10.1063/1.1567461>
- [SBD⁺02] P. Spirito, G. Breglio, V. d'Alessandro and N. Rinaldi, "Thermal instabilities in high current power MOS devices: experimental evidence, electro-thermal simulations and analytical modeling," 2002 23rd International Conference on Microelectronics. Proceedings (Cat. No.02TH8595), Nis, Yugoslavia, 2002, pp. 23-30 vol.1.
doi: 10.1109/MIEL.2002.1003144
- [SD89] N. Stojadinović, S. Dimitrijević, Instabilities in MOS transistors, *Microelectronics Reliability*, Volume 29, Issue 3, 1989, Pages 371-380, ISSN 0026-2714,
[https://doi.org/10.1016/0026-2714\(89\)90623-9](https://doi.org/10.1016/0026-2714(89)90623-9).
- [SDD⁺05] N. Stojadinović, D. Danković, S. Djorić-Veljković, V. Davidović, I. Manić, S. Golubović, Negative bias temperature instability mechanisms in p-channel power VDMOSFETs, *Microelectronics Reliability*, Volume 45, Issues 9–11, 2005, Pages 1343-1348, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2005.07.018>.
- [Sem06] Semiconductor Devices, IEC Standard 60747, 2006.
- [SH82] N. Shiono and C. Hashimoto, "Threshold-voltage instability of n-channel MOSFET's under bias-temperature aging," in *IEEE Transactions on Electron Devices*, vol. 29, no. 3, pp. 361-368, March 1982.
doi: 10.1109/T-ED.1982.20710
- [SHL⁺15] X. Song, A. Q. Huang, M. Lee and G. Wang, "A dynamic measurement method for parasitic capacitances of high voltage SiC MOSFETs," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), Montreal, QC, 2015, pp. 935-941.
doi: 10.1109/ECCE.2015.7309788
- [Sis02] F. Sischka, "The IC-CAP Characterization and Modeling Handbook", Agilent Technologies, dept EEsof, Munich, 2002. Agilent technologies, 2004.
- [SKK⁺16] C. Salcines, I. Kallfass, H. Kakitani and A. Mikata, "Dynamic characterization of the input and reverse transfer capacitances in power MOSFETs under high current conduction," 2016 IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2016, pp. 2969-2972.
doi: 10.1109/APEC.2016.7468285
- [SMD⁺01] N. Stojadinovic, I. Manic, S. Djoric-Veljkovic, V. Davidovic, S. Golubovic, S. Dimitrijević, Mechanisms of positive gate bias stress induced instabilities in power VDMOSFETs, *Microelectronics Reliability*, Volume 41, Issues 9–10, 2001, Pages 1373-1378, ISSN 0026-2714,
[https://doi.org/10.1016/S0026-2714\(01\)00143-3](https://doi.org/10.1016/S0026-2714(01)00143-3).

Références

- [Sna04] Sébastien Snaidero. Modélisation multidisciplinaire VHDL-AMS de systèmes complexes : vers le Prototypage Virtuel. Micro et nanotechnologies/Microélectronique. Université Louis Pasteur - Strasbourg I, 2004. <tel-00009325v2>
- [SSF⁺13] T. Santini, M. Sebastien, M. Florent, L. Phung and B. Allard, "Gate oxide reliability assessment of a SiC MOSFET for high temperature aeronautic applications," 2013 IEEE ECCE Asia Downunder, Melbourne, VIC, 2013, pp. 385-391.
doi: 10.1109/ECCE-Asia.2013.6579125
- [Stu14] T. Stubbe et al., "GaN Power Semiconductors for PV Inverter Applications - Opportunities and Risks," CIPS 2014; 8th International Conference on Integrated Power Electronics Systems, Nuremberg, Germany, 2014, pp. 1-6.
- [Sze02] S.M. Sze. Semiconductor Devices, Physics and Technology, 2nd Edition, Wiley, pp. 563, USA 2002.
- [TBB13] M. Tlig, J. Ben Hadj Slama, M.A. Belaid, Conducted and radiated EMI evolution of power RF N-LDMOS after accelerated ageing tests, Microelectronics Reliability, Volume 53, Issues 9–11, 2013, Pages 1793-1797, ISSN 0026-2714,
<https://doi.org/10.1016/j.microrel.2013.07.111>.
- [TBB13a] M. Tlig, J. Ben Hadj Slama and M. A. Belaid, "Power RF N-LDMOS ageing effect on conducted electromagnetic interferences," 10th International Multi-Conferences on Systems, Signals & Devices 2013 (SSD13), Hammamet, 2013, pp. 1-5.
doi: 10.1109/SSD.2013.6564068
- [TBB14] M. Tlig, J. Ben Hadj Slama and M. A. Belaid, "Experimental study on the EMI and switching time evolution of IGBT devices after operating aging tests," 2014 International Conference on Electrical Sciences and Technologies in Maghreb (CISTEM), Tunis, 2014, pp. 1-5.
doi: 10.1109/CISTEM.2014.7076991
- [TDR12] A. Testa, S. De Caro and S. Russo, "A Reliability Model for Power MOSFETs Working in Avalanche Mode Based on an Experimental Temperature Distribution Analysis," in IEEE Transactions on Power Electronics, vol. 27, no. 6, pp. 3093-3100, June 2012.
doi: 10.1109/TPEL.2011.2177279
- [Tli11] TLIG Mohamed. Etude de l'effet des paramètres du MOSFET sur les perturbations conduites dans les circuits de convertisseurs statiques, Mémoire de Mastère, ENIT, Tunisie, 2011.
- [TPS95] N. Tomic, B. Pesic and N. Stojadinovic, "High temperature storage life (HTSL) and high temperature reverse bias (HTRB) reliability testing of power VDMOSFETs," Proceedings of International Conference on Microelectronics, Nis, Serbia, 1995, pp. 285-288 vol.1.
doi: 10.1109/ICMEL.1995.500882
- [TPS97] N. Tomic, B. Pesic and N. Stojadinovic, "Reliability testing of power VDMOS transistors," 1997 21st International Conference on Microelectronics. Proceedings, Nis, Yugoslavia, 1997, pp. 667-670 vol.2.

Références

doi: 10.1109/ICMEL.1997.632933

[TPS97a] N. Tošić, B. Pešić, N. Stojadinović, High-temperature-reverse-bias testing of power VDMOS transistors, *Microelectronics Reliability*, Volume 37, Issues 10–11, 1997, Pages 1759-1762, ISSN 0026-2714,

[https://doi.org/10.1016/S0026-2714\(97\)00155-8](https://doi.org/10.1016/S0026-2714(97)00155-8).

[TS83] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot carrier injection," in *IEEE Electron Device Letters*, vol. 4, no. 4, pp. 111-113, April 1983.

doi: 10.1109/EDL.1983.25667

[UA17] E. Ugur and B. Akin, "Aging assessment of discrete SiC MOSFETs under high temperature cycling tests," 2017 IEEE Energy Conversion Congress and Exposition (ECCE), Cincinnati, OH, 2017, pp. 3496-3501.

doi: 10.1109/ECCE.2017.8096624

[VRM14] J. A. Valle-Mayorga, A. Rahman and H. A. Mantooth, "A SiC NMOS Linear Voltage Regulator for High-Temperature Applications," in *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2321-2328, May 2014.

doi: 10.1109/TPEL.2013.2279251

[Win88] C. M. Wintzer, *International Commercial EMC Standards*, 1st edition. A Handbook Series on Electromagnetic Interference and Compatibility. Gainesville (VA), USA: Interference Control Technologies, Inc. , vol. 10, 1988.

[WKM⁺08] Frédéric Wurtz, Laurent Krähenbühl, Claude Marchand, Christophe Espanet, Stéphane Brisset, et al.. Vers de nouvelles approches pour la capitalisation des modèles pour la simulation et l'optimisation : l'expérience du projet DIMOCODE. Patrick Dular. NUMELEC 2008, Dec 2008, Liège, Belgique. pp.156-157, 2008. <hal-00359194>

[Won99] W. Wondrak, Physical limits and lifetime limitations of semiconductor devices at high temperatures, *Microelectronics Reliability*, Volume 39, Issues 6–7, 1999, Pages 1113-1120, ISSN 0026-2714,

[https://doi.org/10.1016/S0026-2714\(99\)00158-4](https://doi.org/10.1016/S0026-2714(99)00158-4).

[XLW⁺13] Z. Xu, M. Li, F. Wang and Z. Liang, "Investigation of Si IGBT Operation at 200°C for Traction Applications," in *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2604-2615, May 2013.

doi: 10.1109/TPEL.2012.2217398

[Yaz79] M. N. Yazar, "Civilian EMC Standards and Regulations," in *IEEE Transactions on Electromagnetic Compatibility*, vol. EMC-21, no. 1, pp. 2-8, Feb. 1979.

doi: 10.1109/TEMC.1979.303789

[YC13] L. Yang, A. Castellazzi, High temperature gate-bias and reverse-bias tests on SiC MOSFETs, *Microelectronics Reliability*, Volume 53, Issues 9–11, 2013, Pages 1771-1773, ISSN 0026 2714,

<https://doi.org/10.1016/j.microrel.2013.07.065>.

Références

[YDM⁺10] L. C. Yu, G. T. Dunne, K. S. Matocha, K. P. Cheung, J. S. Suehle and K. Sheng, "Reliability Issues of SiC MOSFETs: A Technology for High-Temperature Environments," in IEEE Transactions on Device and Materials Reliability, vol. 10, no. 4, pp. 418-426, Dec. 2010. doi: 10.1109/TDMR.2010.2077295

[ZE98] J. F. Zhang and W. Eccleston, "Positive bias temperature instability in MOSFETs," in IEEE Transactions on Electron Devices, vol. 45, no. 1, pp. 116-124, Jan. 1998. doi: 10.1109/16.658821

[Zho18] X. Zhou et al., "A Deep Insight Into the Degradation of 1.2-kV 4H-SiC mosfets Under Repetitive Unclamped Inductive Switching Stresses," in IEEE Transactions on Power Electronics, vol. 33, no. 6, pp. 5251-5261, June 2018. doi: 10.1109/TPEL.2017.2730259