



Etude et modélisation des dégradations des composants de puissance grand gap soumis à des contraintes thermiques et électriques

Frédéric Richardeau

► To cite this version:

Frédéric Richardeau. Etude et modélisation des dégradations des composants de puissance grand gap soumis à des contraintes thermiques et électriques. Electronique. Normandie Université; Université Abdelmalek Essaâdi (Tétouan), 2018. Français. NNT : 2018NORMR083 . tel-02144322v1

HAL Id: tel-02144322

<https://theses.hal.science/tel-02144322v1>

Submitted on 30 May 2019 (v1), last revised 4 Jun 2019 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE EN CO - TUTELLE INTERNATIONALE

Pour obtenir le diplôme de doctorat

Spécialité Génie électrique, électronique, photonique et systèmes

**Préparée au sein de Université de Rouen Normandie
et de Université de Abdelmalek Essaadi Tetouan**

Etude et modélisation des dégradations des composants de puissance grand gap soumis à des contraintes thermiques et électriques

**Présentée et soutenue par
M. WADIA JOUHA**

**Thèse soutenue publiquement le 29/11/2018
devant le jury composé de**

M. Hassan Ouahmane	Professeur, Université Chouaib Eddoukkali, ENSA d'El Jadida, Maroc	Rapporteur
M. Farid Temcamani	Professeur des universités, ENSEA Paris, France	Rapporteur
M. Abdeljabbar Cherkaoui	Professeur Habilité, Université Abdelmalek Essaadi, ENSA de Tanger, Maroc	Rapporteur
M. Yassin Laaziz	Professeur, Université Abdelmalek Essaadi, ENSA de Tanger, Maroc	Examineur
M. Laurent Dupont	Chargé de recherche CNRS, IFSTTAR – SATIE de Versailles, France	Examineur
M. Pascal Dherbécourt	Maître de conférence - HDR, Université de Rouen Normandie, France	Co-directeur France
M. Ahmed El Oualkadi	Professeur Habilité, Université Abdelmalek Essaadi, ENSA de Tanger, Maroc	Co-directeur Maroc
M. Eric Joubert	Maître de conférence, Université de Rouen Normandie, France	Encadrant France
M. Mohamed Masmoudi	Maître de conférence, Université de Rouen Normandie, France	Invité

Thèse dirigée par

**M. Pascal Dherbécourt
M. Ahmed El Oualkadi**

Université de Rouen Normandie
Université de Abdelmalek Essaadi Tetouan



Centre des Etudes Doctorales :
« Sciences et Techniques de l'Ingénieur »



Remerciements

Ce travail de thèse a été réalisé dans le cadre d'une cotutelle entre l'université d'Abdelmalek Essaadi et l'université de Rouen Normandie. Il s'agit d'un contrat de collaboration entre le Laboratoire des technologies de l'information et de la communication (LabTIC) de Tanger, et le laboratoire de groupe de physique des matériaux (GPM) de Rouen (Équipe Défaillance Électronique et Fiabilité "ERDEFI"). A ce titre, je tiens à remercier Monsieur le Professeur Otman Filali, responsable du LabTiC, et Monsieur le Professeur Philippe PAREIGE, directeur du GPM, pour m'avoir permis de conduire mes travaux de recherche dans d'excellentes conditions. Je tiens à remercier aussi Monsieur le Professeur Olivier LATRY, responsable de l'équipe ERDEFI, pour le partage d'informations ainsi que pour son retour critique constructif lors des réunions de suivi de mon travail.

Je voudrais remercier aussi Monsieur Yassine Laaziz d'avoir accepté de juger mes travaux de thèse et de m'avoir fait l'honneur de présider le jury.

Mes profonds remerciements vont à Monsieur Farid Temcamani de l'ENSEA de Paris, Monsieur Hassan Ouahmane de l'université Chouaib Eddoukkali, Monsieur Abdeljabbar Cherkaoui de l'université Abdelmalek Essaadi, Monsieur Laurent Dupont de l'IFST-TAR-SATIE de Versailles, qui m'ont fait l'honneur d'accepter de participer à mon jury de thèse. Je tiens à leur témoigner ici, de ma profonde reconnaissance et ma grande déférence pour l'intérêt qu'ils ont porté à ce travail.

J'exprime ma plus vive reconnaissance à Monsieur le Professeur Ahmed El Oualkadi et Monsieur Pascal Dherbécourt, Maître de conférence au GPM, pour la confiance qu'ils ont placé en moi afin de mener ce travail. Je vous remercie très sincèrement pour m'avoir donné l'opportunité de travailler sur un sujet aussi intéressant. Nos échanges ont été extrêmement enrichissants et ont rendu nos séances de travail très productives. Je vous remercie pour vos remarques précieuses, vos regard critique et averti, et pour avoir dirigé l'ensemble de ces travaux.

Ma gratitude s'étend naturellement à Monsieur Eric JOUBERT, Maître de conférences au GPM, que je tiens à le remercier pour son suivi, son encadrement, son investissement, sa patience et la confiance qu'il m'a accordé.

Je souhaite remercier aussi Monsieur Mohamed MASMOUDI, Maître de conférences au GPM, pour ses échanges sur les mesures, analyses C-V et l'implémentation des interfaces LabVIEW ainsi que pour son sens d'humour et l'ambiance joyeuse qu'il crée lors de nos séances de travail.

Cela risque d'être difficile de citer tout le monde au GPM et LabTIC, alors ne m'en veuillez pas trop si votre nom n'apparaît pas explicitement. Merci à l'ensemble de mes

collègues en particulier ceux de l'équipe ERDEFI Niemat, Mehdi et Souhaila, pour leurs encouragements et leurs aides qu'ils ont pu m'apporter tout au long de ces travaux.

J'ai toujours considérée mes amis comme une extension de ma propre famille. Je me dois donc de les citer tous. Une pensée toute particulière à Ayoub, Anas, Redouane, Zouhair, Adil et Monir.

je tiens à remercier chaleureusement ma famille pour leur affection et les moments de décompression qu'ils ont pu m'offrir à chaque fois que j'ai eu l'occasion de les voir. Une mention spéciale est décernée à mes parents pour m'avoir toujours soutenu dans la poursuite de mes études, ainsi que ma sœur Hayat et mes frères Khalid, Rabiâ, Jabrane et Moussa pour leurs encouragements et leurs énergie communicative même à longue distance. A tous les membres de ma famille un grand merci. Mes profonds remerciements vont aussi à la famille Ait ElHassan, pour leur soutien et leurs encouragements.

Dédicaces

A mes chers parents

Aucun dédicace, aucun mot ne pourrait exprimer à leur juste valeur de la gratitude et l'amour que je vous porte. Je mets entre vos mains, le fruit de longues années d'études, de longs mois de distance de votre amour de votre tendresse, de longs jours d'apprentissage. Loin de vous, votre soutien et votre encouragement m'ont toujours donné la force pour persévérer et pour prospérer dans la vie. Chaque ligne de cette thèse chaque mot et chaque lettre vous exprime la reconnaissance, le respect, l'estime et le merci d'être mes parents. Je vous dois ce que je suis aujourd'hui et ce que je serai demain et je ferai toujours de mon mieux pour rester votre fierté et ne jamais vous décevoir.

A la mémoire de mon défunt ami Ayoub Jabbar

Que Dieu lui accorde sa Pleine Miséricorde.

A tous ceux qui, par un mot, m'ont donné la force de continuer

Table des matières

Remerciements	i
Liste des figures	ix
Liste des tableaux	xi
Abréviations	xiii
Symboles	xv
Introduction générale	1
I Contexte et état de l'art général des composants MOSFETs SiC de puissance	5
I.1 Introduction	5
I.2 Contexte général de l'étude	6
I.2 .1 Évolution du marché des composants de puissance	6
I.2 .2 Contrainte d'intégration et de haute température	7
I.2 .3 Orientation vers les technologies "Grand Gap"	9
I.2 .4 Comparaison entre le Si et le SiC	10
I.3 Généralités sur le composant MOSFET de puissance	12
I.3 .1 Architecture générale et principe de fonctionnement d'un MOSFET	12
I.3 .2 Les différentes structures d'un MOSFET	14
I.3 .3 Avantages des MOSFETs par rapport aux IGBTs	17
I.3 .4 Mécanisme de défaillance des MOSFETs	19
I.3 .4.1 Effet des porteurs chauds (Hot Carrier lifetime)	20
I.3 .4.2 Dégradation de la métallisation de source	21
I.3 .4.3 Time-Dependent Dielectric Breakdown (TDDB)	23
I.3 .4.4 Instabilité de la tension de seuil	24
I.4 Modélisations des MOSFETs SiC	25
I.4 .1 Modèle tabulé	26
I.4 .2 Modèle sous-circuit	26
I.4 .3 Modèle compact	27
I.5 Vieillessement : Tests de fiabilité et de qualification	30
I.5 .1 Tests Hautement Accélérés	30
I.5 .2 Test de dépistage "Screening Tests"	32

I.5 .3	Tests de déverminage "Burn-In Tests"	32
I.5 .4	Tests de démonstration de fiabilité et tests d'acceptation de fiabilité	32
I.5 .5	Tests accélérés	33
I.6	Modèles physiques utilisés pour la simulation des MOSFETs SiC	35
I.6 .1	Équations de bases d'un semi-conducteur	35
I.6 .1.1	Le modèle dérive-diffusion (DD)	36
I.6 .1.2	Le modèle hydrodynamique (HD)	36
I.6 .1.3	Équation du flux de chaleur dans le réseau cristallin	37
I.6 .2	Structure de la bande d'énergie	37
I.6 .2.1	La largeur de la bande interdite et la dépendance à la température	38
I.6 .2.2	Rétrécissement de la bande interdite	38
I.6 .2.3	Masses effectives et densité effective des états	39
I.6 .3	Mobilité des porteurs de charges	39
I.6 .4	Génération-Recombinaison	40
I.6 .4.1	Recombinaison de Shockley-Read-Hall	40
I.6 .4.2	Recombinaison de Surface (SRH)	41
I.6 .4.3	Recombinaison d'Auger	41
I.6 .5	Pièges d'oxyde	42
I.6 .6	Pièges d'interface	42
I.6 .7	Ionisation incomplète	43
I.7	Conclusion	43
II	Caractérisation et modélisation des MOSFETs de puissance	45
II.1	Introduction	45
II.2	Caractérisation statique des MOSFETs : Description de la méthodologie de caractérisation	46
II.2.1	Caractéristique courant-tension (I-V)	47
II.2.1.1	Banc de mesure des caractéristiques I-V	47
II.2.1.2	Caractéristique d'entrée	48
II.2.1.3	Caractéristique de sortie	52
II.2.2	Méthodes d'extraction de tension de seuil V_{th}	57
II.2.2.1	La méthode à courant constant (CC)	57
II.2.2.2	La méthode d'extrapolation linéaire (LE)	58
II.2.2.3	La méthode d'extrapolation linéaire de la transconductance g_m (GMLE)	59
II.2.2.4	La méthode de variation de la transconductance (TC)	59
II.2.2.5	Méthode d'optimisation de Levenberg-Marquardt (OLM)	61
II.2.3	Caractéristique faible courant	62
II.2.3.1	Banc de mesure des caractéristiques à faible courant	62
II.2.3.2	Courant de fuite du drain	63
II.2.3.3	Courant de fuite de grille	64
II.2.4	Caractéristique Capacité-Tension (C-V)	64
II.2.4.1	Capacités intrinsèques du MOSFET SiC	64
II.2.4.2	Banc de mesure des caractéristiques C-V	66
II.2.4.3	Caractérisation C-V des composants d'étude	67
II.3	Modélisation du MOSFET de puissance	69

II.3.1	Modèle sous-circuit du constructeur (modèle SPICE)	70
II.3.1.1	Description du modèle SPICE	70
II.3.1.2	Résultat de simulation du modèle SPICE	70
II.3.2	Modèle compact élaboré du MOSFET SiC	72
II.3.2.1	Description du modèle compact élaboré	72
II.3.2.2	Extraction des paramètres du modèle compact	74
II.3.3	Résultats de simulation du modèle compact développé	78
II.3.4	Analyse du comportement électrothermique statique du MOSFET SiC	80
II.4	Conclusion	84
III	Étude de la robustesse des MOSFETs SiC suite à des stress HTRB et ESD	85
III.1	Introduction	85
III.2	Étude de la robustesse des MOSFETs SiC soumis au stress HTRB	86
III.2.1	Les standards du stress HTRB	86
III.2.2	Application du stress HTRB sur les MOSFETs SiC de puissance	87
III.2.2.1	Description du banc de test HTRB	87
III.2.2.2	Description du protocole de test HTRB	88
III.2.3	Résultats du stress HTRB sur les composants de la deuxième génération	89
III.2.4	Résultats du stress HTRB sur les composants de la troisième génération	95
III.3	Étude de la robustesse des MOSFETs SiC aux décharges électrostatiques	101
III.3.1	Problématique des ESD	102
III.3.1.1	Modèles des décharges électrostatiques	102
III.3.1.2	Normes des tests ESD	104
III.3.2	Mécanisme de défaillance des ESD	105
III.3.3	Description du stress ESD	108
III.3.4	Résultats et analyse du stress ESD	110
III.4	Conclusion	116
IV	Simulation physique des MOSFETs SiC	119
IV.1	Introduction	119
IV.2	Identification de la géométrie et analyse micro-structurale	120
IV.2.1	Préparation d'échantillon	120
IV.2.1.1	Ablation LASER	121
IV.2.1.2	Attaque chimique	122
IV.2.1.3	Observation au microscope optique	123
IV.2.2	Analyse au microscope électronique à balayage	125
IV.3	Simulation physique d'une structure verticale du MOSFET SiC	127
IV.3.1	Définition de la géométrie	127
IV.3.2	Effet de la température sur les caractéristiques électriques du VD-MOSFET	129
IV.3.2.1	Effet de la température sur les caractéristiques d'entrée et de sortie	130
IV.3.2.2	Effet de la température sur la tension de seuil V_{th}	131

IV.3.2.3 Effet de la température sur la résistance à l'état passant $R_{ds(on)}$	132
IV.3.2.4 Effet de la température sur la caractéristique C_{GS} - V_{gs} . . .	133
IV.3.2.5 Bilan de l'effet de la température sur les caractéristiques électriques du VD-MOSFET	135
IV.3.3 Effet des paramètres technologiques sur les caractéristiques élec- triques du VD-MOSFET	135
IV.3.3.1 Effet des paramètres technologiques sur la tension de seuil V_{th}	136
IV.3.3.2 Effet des paramètres technologiques sur la résistance à l'état passant $R_{ds(on)}$	137
IV.3.3.3 Effet des paramètres technologiques sur la caractéristique C_{GS} - V_{gs}	138
IV.3.3.4 Bilan des effets des paramètres technologiques sur les ca- ractéristiques électriques du VD-MOSFET	139
IV.3.4 Effet des pièges sur les caractéristiques électriques du VD-MOSFET	141
IV.3.4.1 Effet des pièges d'oxyde sur les caractéristiques électriques du VD-MOSFET	141
IV.3.4.2 Effet des pièges d'interface sur les caractéristiques élec- triques du VD-MOSFET	144
IV.3.4.3 Bilan des effets des pièges sur les caractéristiques élec- triques du VD-MOSFETS SiC	149
IV.3.5 Validation des résultats des tests HTRB et ESD par la simulation physique	150
IV.4 Conclusion	150
Conclusion générale et perspectives	153
Publications relatives à ce travail	159
1 Articles de revue	159
2 Conférences internationales avec Actes et Comité de Lecture	159
3 Communications dans des conférences nationales	160
4 Chapitres d'ouvrage	160
Bibliographie	161
Résumé/Abstract	192

Table des figures

FIGURE I.1	Schéma générique d'un convertisseur d'énergie [9]	7
FIGURE I.2	Évolution du marché des composants de puissance [10]	7
FIGURE I.3	Évolution du marché des composants de puissance discrets [10]	8
FIGURE I.4	Limites de fonctionnement en température des différents types de matériaux constituant un module de puissance [14–16]	9
FIGURE I.5	Comparaison des matériaux à large bande interdite au silicium [9]	9
FIGURE I.6	Développement du marché des MOSFETs à grand gap [10]	10
FIGURE I.7	Evolution du marché des composants SiC [10]	11
FIGURE I.8	Température de jonction PN en Silicium en fonction de la tension de claquage [19]	11
FIGURE I.9	Structure d'un transistor MOSFET à canal N	13
FIGURE I.10	Contrôle de la conduction d'un VD-MOSFET. (a) Accumulation de charge positive, (b) Formation de la couche de déplétion et l'apparition des électrons libres, (c) Formation de la couche d'inversion	14
FIGURE I.11	Structure d'un transistor MOSFET latérale	15
FIGURE I.12	Structure d'un transistor V-MOSFET	16
FIGURE I.13	Structure d'un transistor U-MOSFET	16
FIGURE I.14	Structure d'un transistor VD-MOSFET	17
FIGURE I.15	Comparaison des pertes de puissance entre les IGBTs en Si et les MOSFETs en SiC [35]	19
FIGURE I.16	Avantages du MOSFET SiC par rapport au IGBT en Si [9]	19
FIGURE I.17	Applications des MOSFETs en SiC	20
FIGURE I.18	Schéma illustrant le phénomène de porteurs chauds dans un nMOSFET [40]	21
FIGURE I.19	Schéma du diagramme de bandes d'un semi-conducteur illustrant le phénomène d'ionisation par impact [49]	21
FIGURE I.20	Les vides et les saillies générés par l'électromigration avec une densité de courant élevée sur une interconnection en Cu [59, 60]	22
FIGURE I.21	Le phénomène de la reconstruction métallique pour l'aluminium : (a) Couche de métallisation d'un IGBT avant cyclage de puissance (image MEB, 1000x). (b) : Métallisation reconstituée après 3.2 millions de cycles de puissance entre 85 ° C et 125 ° C (image MEB, 10000x) [66]	23
FIGURE I.22	Schéma illustrant les étapes d'apparition du mécanisme TDDDB	23
FIGURE I.23	Schéma de la structure de bandes d'un semiconducteur en contact avec un diélectrique [82]	24
FIGURE I.24	Schéma d'un modèle sous-circuit [99]	26

FIGURE I.25 Schéma du modèle sous-circuit qui décrit le décalage de la tension de seuil (ETEMP) et l'augmentation des résistances du drift et JFET (FTEMP) [100]	27
FIGURE I.26 Body diode dans un MOSFET [105]	28
FIGURE I.27 Schéma du modèle sous-circuit qui décrit la variation de la résistance du canal en fonction de la polarisation de la grille (source de courant I_{RCH}) [101]	28
FIGURE II.1 Banc de mesures $I(V)$ en mode pulsé.	47
FIGURE II.2 (a) : Face avant du générateur d'impulsions et (b) : Sonde de mesure de la grille et du drain	48
FIGURE II.3 (a) : Module Peltier pour la stabilisation en température du DUT et (b) : Châssis de commande du banc	48
FIGURE II.4 Caractéristique d'entrée d'un transistor MOSFET à canal N pour trois valeurs de V_{ds} : 20V, 25V et 30V	49
FIGURE II.5 La variation de la transconductance g_m en fonction de V_{gs} à $V_{ds}=20V$ et à trois températures (25 ° C, 80 ° C et 135 ° C) pour : (a) (Gen1H, Gen2H) et (b) (Gen2L, Gen3L)	50
FIGURE II.6 Évolution de la tension de seuil des quatre composants d'étude en fonction de la température à $V_{ds} = 20V$	51
FIGURE II.7 Caractéristique de sortie $I_{ds} - V_{ds}$ d'un MOSFET à canal N	53
FIGURE II.8 Schéma de la résistance à l'état passant d'un VDMOSFET	53
FIGURE II.9 Évolution de la résistance à l'état passant en fonction de la température pour $V_{gs} = 14V$	55
FIGURE II.10 Évolution du courant de saturation en fonction de la température	57
FIGURE II.11 Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode de courant constant : (a) dans le régime linéaire ($V_{ds} = 0, 1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)	58
FIGURE II.12 Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode d'extrapolation linéaire : (a) dans le régime linéaire ($V_{ds} = 0, 1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)	59
FIGURE II.13 Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode d'extrapolation linéaire de la transconductance g_m : (a) dans le régime linéaire ($V_{ds} = 0, 1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)	60
FIGURE II.14 Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode de variation de la transconductance : (a) dans le régime linéaire ($V_{ds} = 0, 1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)	60
FIGURE II.15 Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode d'optimisation de Levenberg-Marquardt dans le régime de saturation ($V_{ds} = 20V$)	62
FIGURE II.16 Banc de mesure à faible courant	63
FIGURE II.17 Schéma de principe de mesure du courant de fuite de drain (I_{dss}).	63
FIGURE II.18 Schéma de principe de mesure du courant de fuite de grille (I_{gss}).	64
FIGURE II.19 Capacités parasites du MOSFET-SiC	66
FIGURE II.20 Banc de mesure C-V	66
FIGURE II.21 (a) : Capacimètre de mesure C(V) et (b) : DUT est relié au connecteur du banc C(V)	67
FIGURE II.22 Interface de mesures C(V)	67

FIGURE II.23 Capacités parasites du MOSFET-SiC	68
FIGURE II.24 Caractéristique $C_{GS} - V_{gs}$: (a) de la première et deuxième génération (Gen1H, Gen2H) et (b) de la deuxième et troisième génération (Gen2L, Gen3L)	68
FIGURE II.25 Caractéristique $C_{DS} - V_{ds}$: (a) de la première et deuxième génération (Gen1H, Gen2H) et (b) de la deuxième et troisième génération (Gen2L, Gen3L)	69
FIGURE II.26 Caractéristique $C_{DG} - V_{dg}$: (a) de la première et deuxième génération (Gen1H, Gen2H) et (b) de la deuxième et troisième génération (Gen2L, Gen3L)	69
FIGURE II.27 Schéma électrique du modèle SPICE du constructeur	71
FIGURE II.28 Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen2L) à deux températures (a) 25 ° C et (b) 135 ° C	71
FIGURE II.29 Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen3L) à deux températures (a) 25 ° C et (b) 135 ° C	72
FIGURE II.30 Schéma de la méthodologie d'extraction des paramètres du modèle compact	74
FIGURE II.31 Interface principale de la méthodologie d'extraction des paramètres du modèle	76
FIGURE II.32 Interface d'extraction des paramètres à partir des caractéristiques d'entrée	76
FIGURE II.33 Interface d'extraction des paramètres à partir des caractéristiques de sortie	77
FIGURE II.34 Organigramme de l'algorithme de Levenberg-Marquardt	77
FIGURE II.35 Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC Gen1H à deux températures : (a) 25 ° C et (b) 135 ° C	78
FIGURE II.36 Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen2H) à deux températures : (a) 25 ° C et (b) 135 ° C	78
FIGURE II.37 Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen2L) à deux températures : (a) 25 ° C et (b) 135 ° C	79
FIGURE II.38 Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen3L) à deux températures : (a) 25 ° C et (b) 135 ° C	79
FIGURE II.39 Évolution de la tension de seuil en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la première génération (Gen1H) avec la deuxième génération (Gen2H) et (b) la deuxième génération (Gen2L) avec la troisième génération (Gen3L)	80
FIGURE II.40 Évolution de la transconductance K_p en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la première génération (Gen1H) et (b) la deuxième génération (Gen2H)	82
FIGURE II.41 Évolution de la transconductance K_p en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la deuxième génération (Gen2L) et (b) la troisième génération (Gen3L)	82
FIGURE II.42 Évolution du paramètre θ en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la première génération (Gen1H) et (b) la deuxième génération (Gen2H)	83
FIGURE II.43 Évolution du paramètre θ en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la deuxième génération (Gen2L) et (b) la troisième génération (Gen3L)	83

FIGURE III.1	Banc du vieillissement HTRB	88
FIGURE III.2	Schéma de câblage des huit composants sous test	88
FIGURE III.3	Évolution des caractéristiques d'entrée au cours du vieillissement HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5	90
FIGURE III.4	Évolution des caractéristiques de sortie au cours du vieillissement HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5	90
FIGURE III.5	Évolution du paramètre $R_{ds(on)}$ durant le stress HTRB des transistors : (a) Gen2H-X et (b) Gen2L-X	91
FIGURE III.6	Fittage des caractéristiques de sortie des composants : (a) Gen2H-1 et (b) Gen2L-5. Rouge : État initial, Bleu : État final	91
FIGURE III.7	Évolution de la tension de seuil extraite à partir du modèle durant le stress HTRB des transistors : (a) Gen2H-X et (b) Gen2L-X	92
FIGURE III.8	Évolution du paramètre K_p durant le stress HTRB des transistors : (a) Gen2H-X et (b) Gen2L-X	92
FIGURE III.9	Évolution de la capacité grille-source avant et après le stress HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5	93
FIGURE III.10	Évolution de la capacité drain-source avant et après le stress HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5	93
FIGURE III.11	Schéma équivalent de la structure du VD-MOSFET après stress HTRB	94
FIGURE III.12	Évolution du courant de fuite de drain au cours du vieillissement HTRB : (a) Gen2H-X et (b) Gen2L-X	94
FIGURE III.13	Évolution du courant de fuite de grille au cours du vieillissement HTRB : (a) Gen2H-X et (b) Gen2L-X	95
FIGURE III.14	Évolution des caractéristiques d'entrée au cours du vieillissement HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-3	96
FIGURE III.15	Évolution des caractéristiques de sortie au cours du vieillissement HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-3	96
FIGURE III.16	Évolution du paramètre $R_{ds(on)}$ durant le stress HTRB des transistors : (a) Gen3H-X et (b) Gen3L-X	96
FIGURE III.17	Fittage des caractéristiques de sortie des composants : (a) Gen3H-1 et (b) Gen3L-5. Rouge : État initial, Bleu : État final	97
FIGURE III.18	Évolution du paramètre K_p durant le stress HTRB des transistors : (a) Gen3H-X et (b) Gen3L-X	97
FIGURE III.19	Évolution de la tension de seuil durant le stress HTRB des transistors : (a) Gen3H-X et (b) Gen3L-X	98
FIGURE III.20	Évolution de la capacité drain-source avant et après le stress HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-7	98
FIGURE III.21	Évolution de la capacité drain-grille avant et après le stress HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-7	99
FIGURE III.22	Évolution de la capacité grille-source avant et après le stress HTRB des transistors : (a) Gen3H-5 et (b) Gen3H-18	99
FIGURE III.23	Évolution du courant de fuite de drain au cours du vieillissement HTRB : (a) Gen3H-X (b) et Gen3L-X	100
FIGURE III.24	Évolution du courant de fuite de grille au cours du vieillissement HTRB : (a) Gen3H-X et (b) Gen3L-X	100
FIGURE III.25	Circuit équivalent d'une décharge de type HBM	103
FIGURE III.26	Circuit équivalent d'une décharge de type MM	104

FIGURE III.27	Origine du modèle CDM	104
FIGURE III.28	Circuit de base d'un pistolet ESD selon la norme " EN 61000-4-2 " (Décharge par Contact).	109
FIGURE III.29	Décharge par contact sur la grille des MOSFETs SiC	109
FIGURE III.30	Évolution des caractéristiques d'entrée des composants de la deuxième génération avec le stress ESD : (a) Gen2H-6 et (b) Gen2L-10	111
FIGURE III.31	Évolution des caractéristiques de sortie des composants de la deuxième génération avec le stress ESD : (a) Gen2H-6 et (b) Gen2L-10	111
FIGURE III.32	Évolution des caractéristiques d'entrée des composants de la troisième génération avec le stress ESD : (a) Gen3H-12, (b) Gen3L-8 et (c) Gen3L-9	112
FIGURE III.33	Évolution des caractéristiques de sortie des composants de la troisième génération avec le stress ESD : (a) Gen3H-12, (b) Gen3L-8 et (c) Gen3L-9	113
FIGURE III.34	Fittage des caractéristiques de sortie des composants : (a) Gen2L-10 et (b) Gen3L-9. Rouge : Avant stress, Bleu : après stress	114
FIGURE III.35	Évolution de la capacité grille-source avant et après le stress ESD des transistors : (a) Gen2H-6 et (b) Gen2L-10	115
FIGURE III.36	Évolution de la capacité drain-source avant et après le stress ESD des transistors : (a) Gen2H-6 et (b) Gen2L-10	116
FIGURE III.37	Évolution de la capacité drain-grille avant et après le stress ESD des transistors : (a) Gen2H-6 et (b) Gen2L-10	116
FIGURE III.38	Évolution de la capacité grille-source avant et après le stress ESD des transistors : (a) Gen3H-12 et (b) Gen3L-9	117
FIGURE III.39	Évolution de la capacité drain-source avant et après le stress ESD des transistors : (a) Gen3H-12 et (b) Gen3L-9	117
FIGURE III.40	Évolution de la capacité drain-grille avant et après le stress ESD des transistors : (a) Gen3H-12 et (b) Gen3L-9	117
FIGURE IV.1	(a) Package TO 247 et (b) les différentes parties d'un composant en package TO 247	121
FIGURE IV.2	Équipement d'ablation laser SESAME-1000	122
FIGURE IV.3	Résultats d'ablation laser des trois échantillons d'étude : (a) Gen2L, (b) Gen3H et (c) Gen3L	122
FIGURE IV.4	Environnement d'attaque chimique	123
FIGURE IV.5	Résultats de l'attaque chimique des trois échantillons d'étude : (a) Gen2L, (b) Gen3H et (c) Gen3L	123
FIGURE IV.6	Microscope optique	124
FIGURE IV.7	Observation au microscope optique de la face frontale de l'échantillon Gen2L avec trois objectifs : (a) x5, (b) x10 et (c) x20	124
FIGURE IV.8	Observation au microscope optique de la face frontale de l'échantillon Gen3H avec trois objectifs : (a) x5, (b) x10 et (c) x20	124
FIGURE IV.9	Observation au microscope optique de la face frontale de l'échantillon Gen3L avec trois objectifs : (a) x5, (b) x10 et (c) x20	125
FIGURE IV.10	Bain à ultrasons	125
FIGURE IV.11	Équipement couplé MEB/FIB	126
FIGURE IV.12	(a) Image de la scie à fil et (b) Puce coupée à la scie à fil	126
FIGURE IV.13	Principe de l'imagerie MEB	127

FIGURE IV.14	Vue MEB de l'ensemble de la puce d'un MOSFET SiC de Gen2L	128
FIGURE IV.15	Observation MEB de la coupe FIB réalisée :(a) Gen2L, (b) Gen3H et (c) Gen3L	129
FIGURE IV.16	Observation MEB de la structure des échantillons :(a) Gen2L, (b) Gen3H et (c) Gen3L	129
FIGURE IV.17	Schéma de la structure d'un DMOSFET vertical en : (a) 2D et (b) 3D	129
FIGURE IV.18	Structure du VD-MOSFET simulé	130
FIGURE IV.19	Caractéristique d'entrée à $V_{ds} = 20V$ et à deux températures $25^\circ C$ et $135^\circ C$ pour deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	130
FIGURE IV.20	Caractéristique de sortie pour deux générations du MOSFET SiC (Gen2L et Gen3L) à deux températures : (a) $25^\circ C$ et (b) $135^\circ C$	131
FIGURE IV.21	Tension de seuil V_{th} simulée en fonction de la température à $V_{ds} = 20V$ pour les deux générations du MOSFET SiC	131
FIGURE IV.22	Tension de seuil V_{th} mesurée en fonction de la température à $V_{ds} = 20V$ pour les deux générations du MOSFET SiC	132
FIGURE IV.23	Résistance à l'état passant $R_{ds(on)}$ simulée en fonction de la température pour les deux générations du MOSFET SiC	133
FIGURE IV.24	Résistance à l'état passant $R_{ds(on)}$ mesurée en fonction de la température pour les deux générations du MOSFET SiC	133
FIGURE IV.25	Caractéristique $C_{GS}-V_{gs}$ pour trois températures ($25^\circ C$, $100^\circ C$ et $135^\circ C$) pour la deuxième génération du MOSFET SiC	134
FIGURE IV.26	Caractéristique $C_{GS}-V_{gs}$ pour trois températures ($25^\circ C$, $100^\circ C$ et $135^\circ C$) pour la troisième génération du MOSFET SiC	134
FIGURE IV.27	Évolution de V_{th} en fonction de t_{ox} pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$) à $T=25^\circ C$	136
FIGURE IV.28	Évolution de V_{th} en fonction de N_A pour les deux générations du MOSFET SiC à $T=25^\circ C$	136
FIGURE IV.29	Évolution de $R_{ds(on)}$ en fonction de t_{ox} pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$) à $T=25^\circ C$	137
FIGURE IV.30	Évolution de $R_{ds(on)}$ en fonction de N_A pour les deux générations du MOSFET SiC à $T=25^\circ C$	138
FIGURE IV.31	Caractéristique $C_{GS}-V_{gs}$ en fonction du concentration du dopage pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	138
FIGURE IV.32	Caractéristique $C_{GS}-V_{gs}$ en fonction de l'épaisseur d'oxyde pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$)	139
FIGURE IV.33	Répartition et classification des charges et pièges dans l'oxyde de grille d'un DMOSFET SiC	141
FIGURE IV.34	Évolution des caractéristiques $C - V$ en fonction des charges d'oxyde positives Q_{ot}^+ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	142
FIGURE IV.35	Évolution des caractéristiques $C - V$ en fonction des charges d'oxyde négatives Q_{ot}^- pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	142
FIGURE IV.36	Évolution des caractéristiques d'entrée en fonction des charges d'oxyde Q_{ot} pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	143

FIGURE IV.37 Évolution des caractéristiques de sortie en fonction des charges d'oxyde Q_{ot} pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	143
FIGURE IV.38 Évolution de V_{th} en fonction des charges d'oxyde positives Q_{ot}^+ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	144
FIGURE IV.39 Évolution de V_{th} en fonction des charges d'oxyde négatives Q_{ot}^- pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	144
FIGURE IV.40 Évolution de $R_{ds(on)}$ en fonction des charges d'oxyde positives Q_{ot}^+ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	145
FIGURE IV.41 Évolution de $R_{ds(on)}$ en fonction des charges d'oxyde négatives Q_{ot}^- pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	145
FIGURE IV.42 Évolution des caractéristiques $C - V$ en fonction des charges d'interface Q_{it} de type "Accepteur" pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	146
FIGURE IV.43 Évolution des caractéristiques $C - V$ en fonction des charges d'interface Q_{it} de type "Donneur" pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	147
FIGURE IV.44 Évolution des caractéristiques d'entrée en fonction des charges d'interface Q_{it} pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	147
FIGURE IV.45 Évolution des caractéristiques de sortie en fonction des charges d'interface Q_{it} pour les deux générations du MOSFET SiC (a) : Gen2L et (b) Gen3L	148
FIGURE IV.46 Évolution de V_{th} en fonction des charges d'interface accepteurs $Q_{it}(A)$ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	148
FIGURE IV.47 Évolution de $R_{ds(on)}$ en fonction des charges d'interface accepteurs $Q_{it}(A)$ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L	149

Liste des tableaux

Tableau I.1	Comparaison des propriétés entre le Si et le 4H-SiC [21, 23] . . .	12
Tableau I.2	Avantages et inconvénients des différentes structures du MOS-FET	18
Tableau I.3	Avantages et inconvénients de chaque type de modèle	30
Tableau I.4	Les coefficients de déplacements des bords de la bande interdite pour les semi-conducteurs de type n et de type p	39
Tableau II.1	Principales propriétés électriques des composants d'études du chez Cree Inc	46
Tableau II.2	Comparaison des différentes méthodes d'extraction de la tension de seuil appliquées sur le MOSFET de la deuxième génération (Gen2L) .	62
Tableau II.3	Courant de fuite de drain des quatre composants d'étude à T=25 ° C	64
Tableau II.4	Courant de fuite de grille des quatre composants d'étude à T=25 ° C.	64
Tableau II.5	Variations relatives entre les mesures et résultats du modèle SPICE pour les deux générations de MOSFETs SiC	72
Tableau II.6	Variations relatives entre les mesures et résultats du modèle proposé par [211]	73
Tableau II.7	Variations relatives entre les mesures et résultats du modèle proposé pour la première et la deuxième génération de MOSFETs SiC . .	79
Tableau II.8	Variations relatives entre les mesures et résultats du modèle proposé pour la deuxième et la troisième génération de MOSFETs SiC . .	80
Tableau III.1	Caractéristiques des composants sous test HTRB	89
Tableau III.2	Récapitulatif des Résultats de test HTRB sur les deux générations du MOSFET SiC	101
Tableau III.3	Niveau de sévérité d'une décharge ESD par contact selon la norme ISO 10605 [241]	105
Tableau III.4	Paramètres du Pistolet ESD	106
Tableau III.5	Mécanismes de défaillance des ESD	107
Tableau III.6	Caractéristiques des composants sous test ESD	108
Tableau III.7	Protocole du test ESD	109
Tableau III.8	Résultats du stress ESD des composants de la deuxième génération du MOSFET SiC	114
Tableau III.9	Résultats du stress ESD des composants de la troisième génération du MOSFET SiC	114
Tableau III.10	Évolution des paramètres du modèle des composants de la deuxième génération du MOSFET SiC après le test ESD	115

Tableau III.11 Évolution des paramètres du modèle des composants de la troisième génération du MOSFET SiC après le test ESD	115
Tableau IV.1 Comparaison des dimensions des trois composants étudiés . . .	127
Tableau IV.2 Les effets des pièges sur les caractéristiques électriques des VD-MOSFETS SiC	149
Tableau IV.3 Récapitulatif des modes et mécanismes de dégradation observées sur les deux générations de MOSFETs SiC (Gen2 et Gen3) suite aux stress HTRB et ESD	151

Abréviations

GPM	G roupe de P hysique des M atériaux
MOSFET	M etal O xide S emiconductor F ield E ffect T ransistor
DUT	D evice U nder T est
SiC	S ilicon C arbide
IGBT	I nsulated G ate B ipolar T ransistor
GTO	G ate T urn O ff
GaN	G allium N itride
CAGR	C ompound A nnual G rowth R ate
Si	S illicum
CTE	C oefficient of T hermal E xpansion
TDDb	T ime D ependent D ielectrique B reakdown
AHI	A node H ole I njection
HALT	H ighly A ccelerated L ife T esting
ESD	E lectrostatic D ischarge
HBM	H uman B ody M odel
MM	M achine M odel
CDM	C harged D evice M odel
ST	S creening T ests
RDT	R eliability D emonstration T est
RAT	R eliability A cceptance T est
HTS	H ighly T emperature S torage
TC	T emperature C ycling
THB	T emperature H umidity B ias
PC	P ower C ycle
HTRB	H igh T emperature R everse B ias

HTGB	H igh T emperature G ate B ias
Gen1H	Première génération de MOSFET SiC
Gen2L	Deuxième génération de MOSFET SiC à faible courant
Gen2H	Deuxième génération de MOSFET SiC à fort courant
Gen3L	Troisième génération de MOSFET SiC à faible courant
Gen3H	Troisième génération de MOSFET SiC à fort courant
CC	C onstant C urrent
LE	L inear E xtrapolation
GMLE	T ransconductance L inear E xtrapolation
TC	T ransconductance C hange
OLM	O ptimisation de L evenberg - M arquart
SMU	S ource M esure U nit
LM	L evenberg - M arquardt
DD	D rift - D iffusion
HD	H ydrodynamic
SRH	S hockely- R ead- H all
SSR	S ignal de R ecombinaison
FIB	F ocused I on B eam
MEB	M icroscopie É lectronique à B alayage

Symboles

V_{ds}	Tension drain-source
V_{th}	Tension de seuil
N_{it}	Densité des pièges d'interface
N_{ot}	Concentration des pièges dans l'oxyde
I_{ds}	Courant drain-source
V_{gs}	Tension grille-source
g_m	Transconductance
$R_{ds(on)}$	Résistance à l'état passant
I_{sat}	Courant de saturation
Ψ_s	Potentiel de surface
Ψ_B	Potentiel global
C_{ox}	Capacité spécifique de l'oxyde
Q_s	Charge totale dans le semi-conducteur
N_A	Concentration des dopants actifs accepteurs
T	Température
ϵ_{SiC}	Permittivité du SiC
n_i	Concentration de porteurs intrinsèques
K	Constante de Boltzman
Q_{ox}	Charge effective totale dans l'oxyde
Q_{NA}	Charge d'ions mobiles
Q_{ot}	Charge piégées dans l'oxyde
Q_f	Charge fixes dans l'oxyde
Q_{it}	États d'interface
W	Largeur du canal en 3D
L	Longueur du canal en 3D

V_{gsi}	Tension de la grille extrapolée
θ	Paramètre de champ électrique transversal
K_p	Transconductance en régime de saturation
R_{CS} et R_{CD}	Résistance des connectiques
R_N^+	Résistance du caisson N^+
R_{CH}	Résistance du canal d'inversion N
R_{JFET}	Résistance de la région de JFET
R_A	Résistance de la couche épitaxiée qui est en accumulation
R_D	Résistance de la couche épitaxiée de faible dopage N^-
W_0	Largeur de déplétion à une polarisation nulle
x_{JP}	Profondeur de la jonction P-base
W_G	Largeur de grille
ρ_{JFET}	Résistivité de la région de JFET
N_{DJ}	Concentration des dopants N de la région JFET
μ_n	Mobilité des électrons
$V_{BR(DSS)}$	Tension de claquage
Z	Longueur de la cellule
t	Profondeur de la jonction épitaxiée N^-
a	Largeur de la région de JFET
W_{Cell}	Largeur de la cellule
ρ_D	Résistivité de la zone de drift
N_{DD}	Concentration des dopants N de la région de drift
R_{SUB}	Résistance de substrat
τ_t	Délai intrinsèque du transistor
L_{CH}	Largeur du canal
I_{dss}	Courant de fuite de drain
I_{gss}	Courant de fuite de grille
C_{GS}	Capacité Grille-Source
C_{GS1}	Capacité du caisson P
C_{GS2}	Capacité du caisson N^+
C_{GS3}	Capacité entre la métallisation de source et la grille
C_{DS}	Capacité Drain-Source
C_{GD}	Capacité Grille-Drain

C_{GD1}	Capacité entre la grille et la surface du SiC
C_{GD2}	Capacité de la zone de déplétion sous la métallisation de grille
C_{gdj}	Capacité de la zone de charge d'espace
A_{GD}	Surface équivalente de l'espace drain-grille
W_{gdj}	Largeur de la zone de charge d'espace sous la grille du MOSFET
A_{DS}	Surface équivalente de l'espace drain-source
W_{dsj}	Largeur de la zone de désertion drain-source
V_{bi}	Tension de diffusion
P_{vf}	Facteur de la tension de pincement
K_f	Facteurs de la tension de la transconductance
y	Exposant de la tension de pincement
N_C	Densités des états de la bande de conduction
N_V	Densités des états de la bande de valence
E_g	Énergie de la bande interdite
t_{ox}	Épaisseur d'oxyde
N_{cell}	Nombre de cellule
L_{ch}	Longueur du canal en 2D
μ_0	Valeur de μ_n à faible champ électrique
ψ	Potentiel électrostatique
n	Concentrations d'électrons
p	Concentrations de trous
C	Concentration nette des dopants ionisés
ϵ	Permittivité du diélectrique du semi-conducteur
R	Taux net de recombinaison
T_n	Températures des électrons
T_p	Températures des trous
ρ_L	Masse volumique
c_L	Chaleur spécifique
k_L	Conductivité thermique des matériaux respectifs
H	modèle de génération de chaleur
$\tau_{\epsilon,n}$	Temps de relaxation d'énergie des électrons
$\tau_{\epsilon,p}$	Temps de relaxation d'énergie des trous
$E_g(0)$	Énergie de la bande interdite à 0 K

$E_{g,eff}$	Bande interdite effective
E_{g0}	Bande interdite à une faible concentration de dopage
ΔE_{bng}	Décalage de la bande interdite par l'effet de rétrécissement de la bande interdite
τ_n	Durées de vie des électrons
τ_p	Durées de vie des trous
$n_{i,eff}$	Concentration intrinsèque efficace des porteurs
E_{trap}	Différence d'énergie entre le niveau de défaut et le niveau intrinsèque
$\tau_{n,p}^{max}$	Durée de vie du matériau sans impuretés à 300 K
$R_{SRH}^{surface}$	taux de recombinaison de surface (SRH)
R_{Auger}	taux de recombinaison d'Auger
f_{ot}	Fonction d'occupation des pièges d'oxyde
f	Fonction d'occupation des états d'interface
N_D^+	Concentration des dopants ionisés de type donneurs
N_A^-	Concentration des dopants ionisés de type accepteurs
N_D	Concentration des dopants actifs donneurs
g_D	Facteurs de dégénérescence pour les niveaux d'impureté des donneurs
g_A	Facteurs de dégénérescence pour les niveaux d'impureté des accepteurs

Introduction générale

Ce travail de thèse a été réalisé dans le cadre d'une cotutelle entre l'université d'Abdelmalek Essaadi et l'université de Rouen Normandie. Il s'agit d'un contrat de collaboration entre le Laboratoire des technologies de l'information et de la communication (LabTIC) de Tanger, et le laboratoire de groupe de physique des matériaux (GPM) de Rouen. Les travaux de thèse se sont déroulés sous la direction de monsieur Ahmed El Oualkadi et de monsieur Pascal Dherbécourt. Durant cette thèse, j'ai bénéficié d'une bourse d'excellence octroyée par le Centre National pour la Recherche Scientifique et Technique et ce dans le cadre du programme des bourses de recherche initié par le Ministère de l'Education Nationale, de l'Enseignement Supérieur, de la Formation des Cadres et de la Recherche Scientifique. J'ai bénéficié de la bourse d'excellence du programme Eiffel du campus France et j'étais un membre dans le projet PHC TOUBKAL.

Depuis les années 70, l'industrie de microélectronique a connu un développement exponentiel qui a permis la croissance de différents secteurs technologiques dans divers domaines (énergie, transports, télécommunication, informatique ...). Aujourd'hui les applications exigeantes en terme de puissance, de tension et de température ont suscité l'attention de plusieurs chercheurs et industriels. En effet répondre aux besoins accrus de ces applications constitue un défi pour les technologies actuelles, ce qui pousse les chercheurs à mener des études sur le développement de nouvelles structures innovantes. Ces applications, qui intègrent les circuits d'amplification des signaux radio-fréquences (amplificateurs de puissance) ou ceux de conversion d'énergie (convertisseurs DC/DC, régulateurs linéaires) reposent sur des composants capables de fonctionner sous de fortes tensions et de fortes température. Actuellement, les composants de puissance ont beaucoup progressé au niveau de leurs structures ce qui a permis une nette amélioration du compromis entre la résistance à l'état passant et la tension de claquage. Pour les composants MOS (Metal Oxide Semiconductor) de puissance, on peut citer par exemple les composants MOS de puissance à superjonction [1] et les composants MOS de puissance à îlots flottants [2].

Cependant l'amélioration continue des performances statiques et dynamiques de ces structures ne peut plus être assurée à cause des limites physiques et thermiques du silicium. De ce fait, les industriels se sont tournés vers d'autres matériaux semi-conducteurs à large bande interdite tels que le carbure de silicium (SiC), le nitrure de gallium (GaN) et le diamant, pour remplacer le silicium dans plusieurs applications de puissance et notamment en haute température. Le diamant est le matériau semi-conducteur à large bande interdite qui présente les meilleures caractéristiques thermiques et physiques, mais son processus de fabrication est très coûteux et nécessitant des températures très grandes ce qui retarde encore sa commercialisation. A l'heure actuelle, ce sont les composants en SiC et en GaN (en couches minces sur saphir ou sur carbure de silicium) qui sont disponibles sur le marché des composants de puissance.

Nous trouvons parmi les composants de puissance qui ont fait leurs preuves sur le marché, les transistors MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) SiC. Les MOSFETs SiC sont de très bons candidats pour fonctionner dans des environnements à haute tension, haute puissance, haute température et forte rayonnement. Grâce aux propriétés physiques du SiC telles que la largeur de bande d'énergie interdite, la mobilité, la conductivité thermique et le faible niveau de dopage intrinsèque, les MOSFETs récents présentent des courants de fuite plus faibles et une tension de claquage très élevée avec une faible résistance de "drift" et une forte tenue en température. Par conséquent, leurs pertes en conduction et en commutation sont beaucoup plus faibles. Ceci a permis la réduction du volume du système de refroidissement et le développement des convertisseurs fortement intégrés dans des milieux à haute température comme dans l'automobile et l'aéronautique. Cependant, la question de la fiabilité de ces composants doit être posée avant de pouvoir envisager la mise en œuvre de ces composants dans des applications critiques et très exigeantes comme le spatial. L'étude de la fiabilité de ces composants peut être menée selon plusieurs approches : caractérisation électrique, modélisation, vieillissement et simulation physique.

La caractérisation permet d'évaluer les performances électriques du MOSFET SiC en identifiant les paramètres importants du composant (tension de seuil, courant de fuite, résistance à l'état passant, capacités intrinsèques...). La modélisation des MOSFETs SiC permet de s'approcher à la description du comportement réel du dispositif lorsque toutes les contraintes (fonctionnelles, thermiques et économiques) sont prises en compte. Les modèles utilisent des équations physiques qui décrivent les caractéristiques de composants et qui peuvent être établies à partir des lois physiques ou des observations sur le comportement du composant. Ceci permet une réduction significative du coût, du temps, et des efforts demandés dans la phase de la conception et le test du circuit électronique de puissance. Les tests de vieillissements visent à assurer et estimer la fiabilité du composant avec des tests de qualification, de robustesse et/ou des tests de durée de vie. Ces

tests servent principalement à estimer le taux de défaillance du composant sous test et de construire les modèles de dégradation. La simulation physique vise à comprendre le fonctionnement du dispositif et permet son prototypage virtuel pour le valider avant sa réalisation pratique.

Notre étude porte sur des composants MOSFET SiC de trois générations du constructeur Cree Inc actuellement connu sous le nom de Wolfspeed. Ce constructeur a commercialisé la troisième génération de SiC MOSFET en 2017 après avoir introduit la deuxième génération en 2013 et la première génération en 2011. Cette évolution dans les générations reflète un développement important pour les applications à haute puissance. D'où la nécessité de comparer les performances électriques des différentes générations de MOSFET SiC et d'étudier leur fiabilité dans ce travail de thèse.

Ce manuscrit se divise en quatre chapitres. Dans le premier chapitre, nous présentons le contexte de l'étude et un état de l'art des dispositifs de puissance : les transistors MOSFETs SiC de puissance. Nous introduisons la problématique de l'intégration dans les applications de puissance. Nous présentons ensuite l'intérêt des matériaux semi-conducteurs à grand gap ainsi que l'évolution des structures de MOSFET SiC. Nous décrivons par la suite les différents mécanismes de dégradation pouvant toucher ces composants. Enfin, nous présentons un état de l'art sur les deux principales approches qui nous serviront de base pour l'étude de la fiabilité des MOSFETs SiC, à savoir les différentes techniques de modélisation, les différents tests de fiabilité et les principaux modèles de simulation physique.

Dans le deuxième chapitre, nous décrivons dans un premier temps la méthodologie de la caractérisation électrique fine des MOSFETs SiC. Cette méthodologie est utilisée pour l'étude de la fiabilité de ces composants. Nous présentons dans un second temps une étude sur la modélisation des MOSFETs SiC soumis à des contraintes électriques et thermiques. Dans le but de remédier aux limitations du modèle SPICE fourni par le constructeur, et pour avoir un outil d'évaluation des performances du dispositif, un modèle compact est proposé. Il repose sur les équations physiques du MOSFET dans le régime statique et sur une nouvelle méthode d'extraction de paramètres, basée sur des mesures statiques I-V en mode pulsé et un algorithme d'optimisation de Levenberg-Marquard. Les paramètres extraits du modèle compact seront utilisés pour analyser le comportement statique des trois générations du MOSFET vis-à-vis la température.

Le troisième chapitre sera consacré à l'étude de la robustesse des MOSFETs SiC soumis à des tests HTRB (Higt Temperature Reverse Bias) et ESD (Electrostatic Discharge). Ce chapitre sera l'occasion de mettre en pratique les techniques de caractérisation et le modèle physique décrits précédemment. Dans la première partie de ce chapitre nous introduisons le stress HTRB et ses standards, et nous développons ensuite l'étude

de la fiabilité des MOSFETs SiC soumis à un stress HTRB réalisée sur des composants de deux générations du constructeur Cree Inc. Dans la deuxième partie de ce chapitre, nous présentons la problématique du stress ESD avec un état de l'art sur ses modèles et ses normes, puis nous évaluons la robustesse de deux générations du MOSFETs SiC vis-à-vis les décharges électrostatiques.

Nous validons dans le quatrième chapitre à travers la simulation physique, les hypothèses introduites sur les mécanismes de dégradations observées suite au stress HTRB et ESD. Nous décrivons dans ce chapitre la méthodologie utilisée dans la simulation physique des MOSFETs SiC. Ce chapitre décrit en détails les étapes à suivre pour réaliser une analyse micro-structurale des composants d'étude afin d'identifier leurs géométries. Nous investiguons par la suite les effets des paramètres technologiques et l'impact des pièges d'oxyde et d'interface sur le comportement électrique des MOSFETs SiC.

Finalement, une synthèse des résultats obtenus durant ce mémoire de thèse sera présentée dans la conclusion générale. Nous introduirons par la suite les perspectives qui peuvent être envisagées comme poursuite de ces travaux.

Chapitre I

Contexte et état de l’art général des composants MOSFETs SiC de puissance

I.1 Introduction

L’électronique de puissance est un domaine en plein essor car toute la gestion de l’énergie électrique est assurée aujourd’hui par les modules de puissance composés de transistors de puissance. Nous avons vu apparaître sur le marché ces dernières années, les premiers transistors de puissance de type MOSFET (Metal Oxide Semiconductor Field Effect Transistor) en carbure de silicium (SiC). Ces composants sont bien adaptés à la réalisation d’équipement électrique à haut rendement et fonctionnant à haute température, haute puissance, et haute tension. Ces transistors sont demandés dans plusieurs domaines d’applications. Ils ont permis l’augmentation de la fréquence de commutation des équipements de conversion de puissance et l’augmentation de leur température de fonctionnement. Ceci a permis la réduction des dimensions des câbles transportant la puissance électrique, ainsi que la diminution du volume des éléments nécessaires à la régulation thermique. Or, la fiabilité des MOSFETs SiC reste jusqu’à aujourd’hui un sujet de recherche puisque la maturité de la technologie SiC n’est toujours pas atteinte [3–7]. C’est pour ce contexte que nous allons traiter dans le premier chapitre de ce manuscrit d’un état de l’art de cette problématique. La première partie de ce chapitre sera consacrée au contexte général dans lequel nous décrirons l’évolution du marché des composants de puissance, les contraintes d’intégration et de haute température liées aux utilisations de ces composants ainsi que les besoins des applications industrielles de s’orienter vers les

nouvelles technologies à large bande interdite. Dans la deuxième partie, nous présentons le composant de puissance MOSFET, son historique, ses différentes structures, son principe de fonctionnement et ses mécanismes de dégradation. Les différentes approches de modélisation dédiées à l'étude du comportement de ces composants seront détaillées dans la troisième partie de ce chapitre. Dans la quatrième partie nous introduirons les différents types des tests de vieillissement permettant d'évaluer la fiabilité des composants MOSFETs SiC. Finalement, nous présenterons les principaux modèles physique utilisés pour la simulation des MOSFETs SiC.

I.2 Contexte général de l'étude

I.2 .1 Évolution du marché des composants de puissance

Depuis les années 1980, la recherche en électronique de puissance est toujours en évolution accrue. Elle est considérée comme une discipline scientifique et technique vaste de connaissance et de technologies. L'électronique de puissance fait référence aux différents concepts, techniques et méthodologiques relatifs à la conversion d'énergie [8]. Elle s'intéresse aux convertisseurs qui servent à modifier la présentation de l'énergie électrique en adaptant toute source d'énergie électrique à tout type de récepteur avec un meilleur rendement. Elle englobe l'étude, la réalisation, la maintenance des structures des convertisseurs et de leur applications industrielles. Un convertisseur regroupe à la fois les interrupteurs ainsi que les différents éléments de filtrage passifs et purement réactifs (figure I.1). Seuls les interrupteurs statiques à base de semiconducteurs sont utilisés, à savoir :

- La diode
- Le transistor bipolaire
- Le transistor à effet de champ à grille isolé (MOSFET)
- Le transistor bipolaire à grille isolée (IGBT, de l'anglais Insulated Gate Bipolar Transistor)
- Le thyristor "classique"
- Le thyristor GTO (gate turn off).

L'objectif des recherches est de rendre ces composants de puissance le plus fiable possible en assurant un meilleur rendement et un minimum de perte. C'est pour cette raison que la communauté scientifique exige de l'industrie du semiconducteur l'accroissement des calibres et la qualité des composants. Fort de ce constat, ces dernières années le

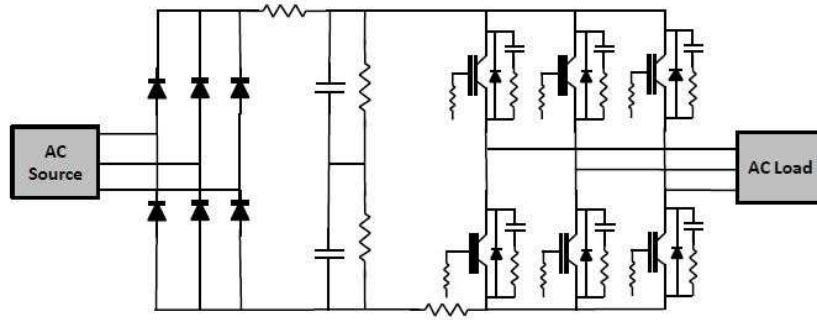


FIGURE I.1: Schéma générique d'un convertisseur d'énergie [9]

marché des composants de puissance évolue très vite et par sauts technologiques (figure I.2).

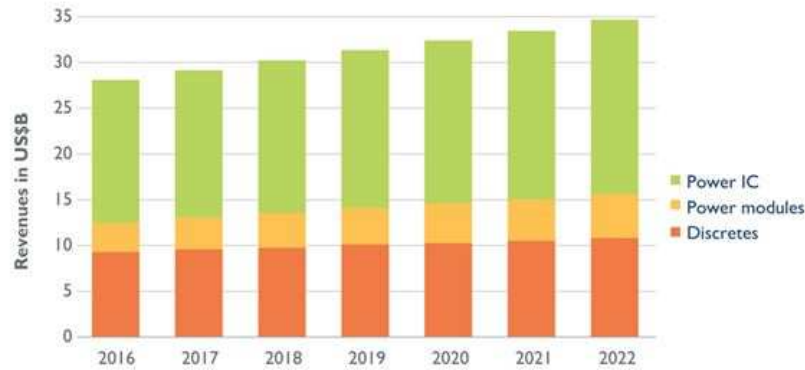


FIGURE I.2: Évolution du marché des composants de puissance [10]

Parmi les composants de puissance discrets actifs sur le marché, on trouve le transistor MOSFET qui constitue un élément fondamental dans l'électronique de puissance actuelle. Ces composants occupent une grande part du marché des dispositifs de puissance comme illustré sur la figure I.3. Ils permettent une commande précise du courant dans le semiconducteur en appliquant une tension sur la grille qui nécessite une énergie relativement faible. Pourtant les IGBTs occupent des parts de marché aux MOSFETs grâce à leur rapidité et leur puissance. En revanche, leur prix plus élevé ne facilite pas une substitution complète des MOSFETs par les IGBTs.

I.2 .2 Contrainte d'intégration et de haute température

Ces dernières années, l'intégration en électronique de puissance a connu une évolution poussée grâce à des marchés spécifiques comme l'automobile, l'aéronautique et le ferroviaire [11]. De nombreux travaux de recherche s'intéressent à la problématique d'intégration d'un convertisseur entier sur une puce. Cette problématique est devenue de plus en plus complexe en cherchant à compacter le convertisseur ce qui intensifier les

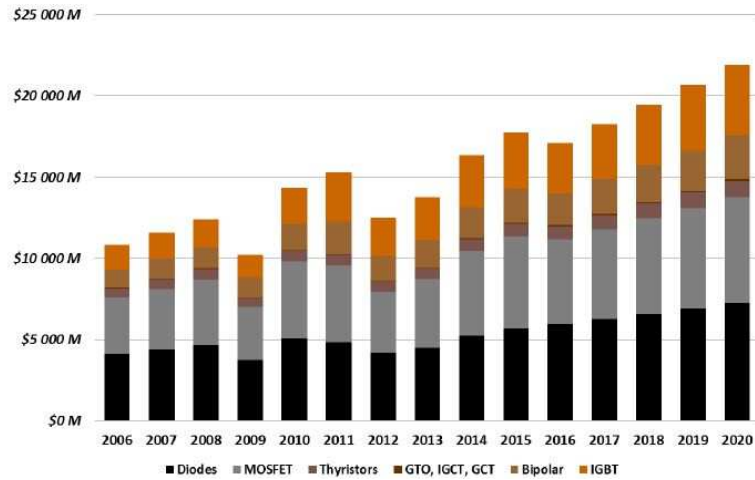


FIGURE I.3: Évolution du marché des composants de puissance discrets [10]

couplages entre les phénomènes physiques qui apparaissent. La conception d'un convertisseur plus compact pose un problème comparable à celui posé par l'assemblage des blocs élémentaires. Ce convertisseur donc produit une solution à faible coût vu la réduction de la quantité masse/volume. Cependant la fiabilité de ce convertisseur compacte est difficile à maîtriser et les normes de compatibilité électromagnétique sont mal respectées ce qui le rend non commercialisable.

Un convertisseur de puissance compact est l'assemblage, dans un boîtier unique, de plusieurs modules de puissance (ex : MOSFET, diode, IGBT) ainsi que des composants passifs (condensateurs, inductances, résistances), des circuits de commande et de protection, des systèmes de refroidissement et des connecteurs. Cette intégration plus compacte engendre un accroissement des densités de puissance qui génère des pertes de puissance au sein de ces dispositifs. Ces pertes se traduisent par une élévation de la température interne qui nécessite le refroidissement des composants de puissance à semiconducteur. Ainsi l'intégration des systèmes de refroidissement dans un convertisseur de puissance est primordiale. Cependant cette intégration est un obstacle majeur pour les concepteurs vu le grand volume de ces systèmes. En outre, les modules de puissance subissent lors de leur utilisation des variations de température élevées qui sont dues à l'environnement et/ou à l'échauffement des composants pendant leur fonctionnement [12]. Par conséquent, la température est un paramètre indispensable pour l'évaluation de la fiabilité et l'estimation de la durée de vie des composants de puissance. Ainsi la maîtrise de ce paramètre dès la phase de conception est primordiale dans la modélisation et la prévision du vieillissement de ces composants de puissance. Vu la contrainte de température, les fabricants définissent les limites de fonctionnement en température des différents types de matériaux constituant un module de puissance (figure I.4) [13, 14].

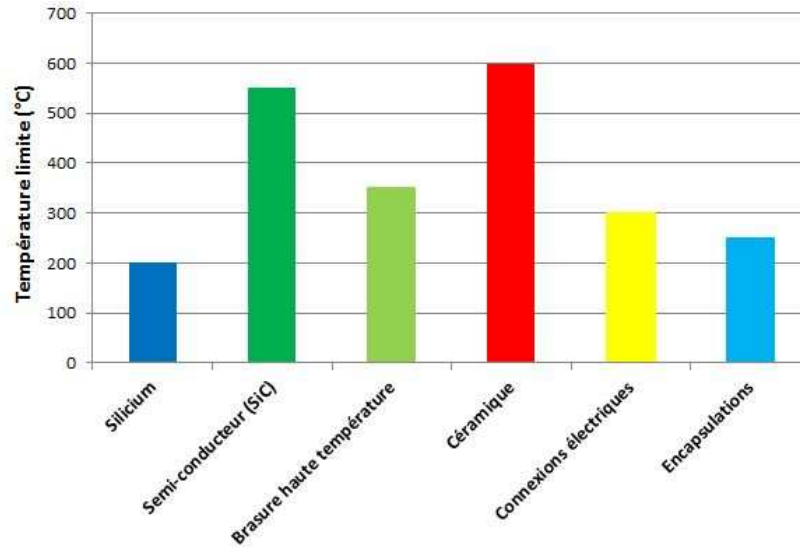


FIGURE I.4: Limites de fonctionnement en température des différents types de matériaux constituant un module de puissance [14–16]

I.2 .3 Orientation vers les technologies "Grand Gap"

Depuis les années 1950 et jusqu'à aujourd'hui, l'industrie de l'électronique de puissance a été dominée par la technologie Si. Ceci s'explique par la maturité technologique de ce semiconducteur et par son coût de production très compétitif. Cependant, les recherches récentes se sont orientées vers les nouvelles technologies à large bande interdite dites "grand gap" afin de mieux répondre aux contraintes d'intégration et de haute température citées précédemment. En effet, les composants à semiconducteur à large bande interdite, tels que le carbure de silicium (SiC) et le nitrure de gallium (GaN) offrent la possibilité de fonctionner à des températures, à des tensions et à des fréquences plus élevées par rapport aux solutions basées sur le Si (figure I.5). Ceci permet de réduire la contrainte de refroidissement et donc la réduction du volume global et de la masse finale du système.

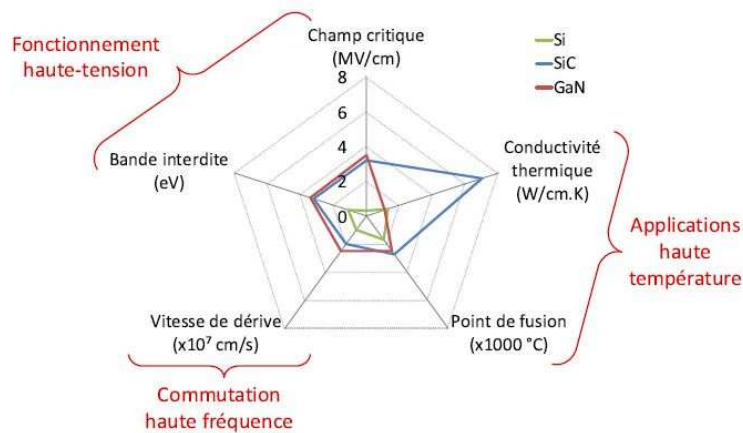


FIGURE I.5: Comparaison des matériaux à large bande interdite au silicium [9]

A titre d'exemple, les MOSFETs de puissance ont connu une évolution accrue grâce au développement des semiconducteurs à large bande interdite. La figure 1.6 montre le développement à long terme du marché des MOSFETs à grand gap.

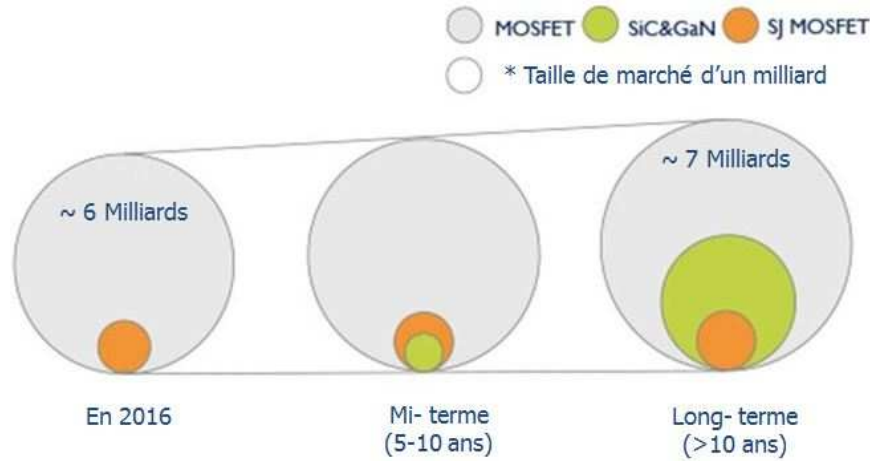


FIGURE 1.6: Développement du marché des MOSFETs à grand gap [10]

D'après la figure 1.6 les revenus globaux du marché des MOSFETs ont atteint près de 6,2 milliards US dans l'année 2016, et nous nous attendons à ce que ces revenus augmentent régulièrement grâce à une demande croissante pour une électronique efficace pour atteindre les 7 milliards US en 10 ans. D'une autre part, des nouvelles entreprises font la promotion des solutions SiC et GaN et des nouvelles conceptions, et que ceci sera la prochaine étape de l'évolution technologique. En revanche, la majorité du marché utilisera encore des MOSFETs de puissance en Si à court terme, grâce à leur fiabilité éprouvée et à leur bon rapport qualité / prix.

La figure 1.7 illustre l'évolution du marché des composants SiC entre les années 2016 et 2022. Le marché des composants en SiC est en forte croissance, leurs domaines d'application se multiplient : énergie renouvelable, véhicules hybrides, alimentation de puissance, ferroviaire, contrôleur de moteur, militaire et médicale...etc. Il est prévu que le taux croissance annuel (CAGR) va basculer de 28 % (entre 2016 et 2020) à 40% (entre 2020 et 2022) ce qui montre la forte demande sur ce type de composant.

I.2 .4 Comparaison entre le Si et le SiC

Depuis plusieurs décennies, le silicium dit matériau à petite « bande interdite » est très largement utilisé dans les applications de puissance. Cette technologie est parfaitement maîtrisée par les industriels [17]. Ce matériau offre la possibilité de fonctionnement du transistor à des températures qui ne dépassent pas 200 ° C [14]. Pour faire fonctionner les composants en silicium à des température 200 ° C, il faut atténuer la tension de

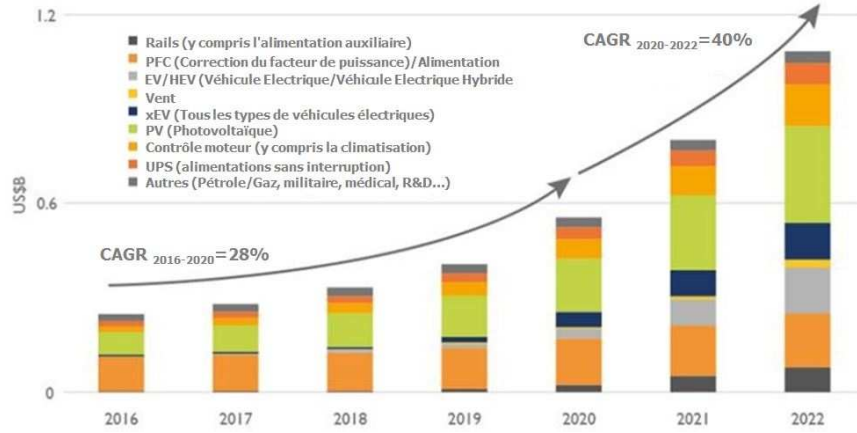


FIGURE I.7: Evolution du marché des composants SiC [10]

claquage à 600 V comme il est montré sur la figure I.8. Par conséquent, les composants en silicium ne sont pas adaptés aux applications à haute température ($> 200^{\circ}\text{C}$) et à forte tension ($> 1.2\text{kV}$). Récemment, les industries (conversion d'énergie, automobile, aéronautique) se sont tournées vers de nouvelles technologies à large bande interdite : GaN et SiC [18–20].

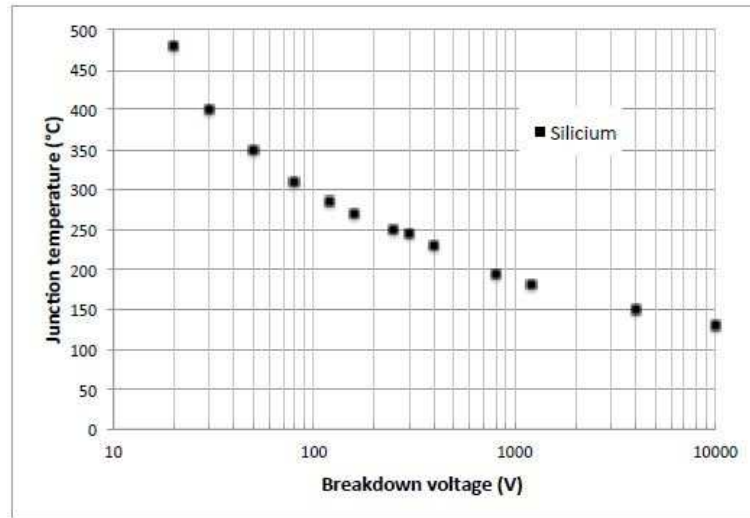


FIGURE I.8: Température de jonction PN en Silicium en fonction de la tension de claquage [19]

Le SiC existe sous forme de plusieurs structures cristallines polymorphes appelées polytypes, par exemple, 3C-SiC, 6H-SiC, 4H-SiC [21]. Les deux types intéressants pour l'électronique de puissance sont le 4H-SiC et le 6H-SiC, qui ne se distinguent que par leur mobilité et la structure cristalline. En effet, la mobilité dans le 4H-SiC est isotrope et supérieure à la mobilité anisotrope des électrons dans le cas du 6H-SiC [22].

Le tableau I.1 résume les propriétés principales pour le Si et le 4H-SiC.

Propriétés	Si	4H-SiC
Énergie de la bande interdite (eV)	1,11	3,26
Conductivité thermique (W/cm.K)	1,5	3,7
Constante diélectrique relative	11,7	9,7
Champ de claquage (V/cm)	$0,3 \times 10^6$	3×10^6
Mobilité des électrons ($\text{cm}^2/\text{V.s}$)	1400	900
Mobilité des trous ($\text{cm}^2/\text{V.s}$)	600	100
Affinité électronique (eV)	4,05	3,7
Densité de l'état de la bande de conduction (cm^{-3})	$2,80 \times 10^{19}$	$1,23 \times 10^{19}$
Densité de l'état de la bande de valence (cm^{-3})	$1,04 \times 10^{19}$	$4,58 \times 10^{18}$

TABLEAU I.1: Comparaison des propriétés entre le Si et le 4H-SiC [21, 23]

Comparé au Si, le SiC a trois fois l'énergie de gap, trois fois la conductivité thermique et dix fois le champ de claquage du Si. Pour une même tension de claquage, la concentration de dopage dans la région de drift d'un composant en 4H-SiC est environ 200 fois plus grande que celle de composant en Si. De plus la largeur de la zone de déplétion d'un composant à base de SiC est plus petite que celle d'un dispositif Si. Tenant compte de la différence de mobilité dans les deux matériaux, la résistance spécifique à l'état passant de SiC est 2000 fois plus petite que celle du silicium pour la même tension de claquage [24]. Le SiC présente de ce fait un potentiel important de fonctionnement à haute température et à haute tension [25, 26]. Ces performances font du MOSFET SiC un bon concurrent aux MOSFET et IGBT traditionnels en silicium [26, 27].

I.3 Généralités sur le composant MOSFET de puissance

Le transistor MOSFET est un composant unipolaire, qui fait appel à un seul type de porteurs de charges mobiles. Ces derniers peuvent être soit des trous dans le cas d'un pMOSFET, soit des électrons dans le cas d'un nMOSFET. Le MOSFET a été développé durant les années soixante afin d'améliorer les performances des transistors bipolaires en terme de puissance et de fréquence. En effet, les MOSFETs SiC offrent la possibilité de fonctionner dans des applications hautes tensions et hautes fréquences. Dans les sections suivantes, nous présentons l'architecture générale d'un transistor MOSFET, son principe de fonctionnement et ses différentes structures.

I.3 .1 Architecture générale et principe de fonctionnement d'un MOSFET

Les différentes parties qui constituent la topologie d'un transistor MOSFET sont illustrées par la figure I.9.

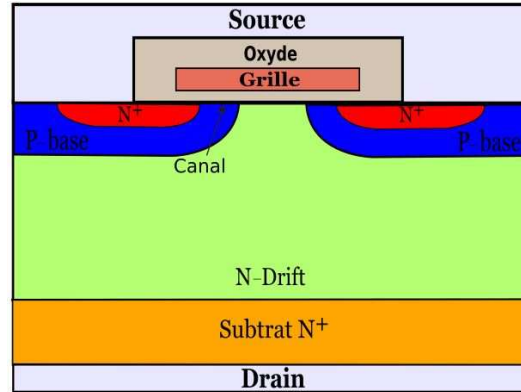


FIGURE I.9: Structure d'un transistor MOSFET à canal N

La structure du MOSFET se compose principalement de trois modules :

- Le module de grille : C'est l'électrode commandant le composant comme un interrupteur. Il s'agit d'un contact métallique constitué souvent dans les technologies actuelles de silicium polycristallin, appelé aussi polysilicium. Ce dernier est dopé selon le type du MOSFET : en N^+ s'il s'agit d'un nMOSFET ou P^+ dans le cas d'un pMOSFET. La grille est isolée du semiconducteur par un diélectrique constitué d'un oxyde. On trouve dans les différentes technologies récentes plusieurs oxydes de grille comme le $SiON$, SiO_2 , TiO_2 .
- Le module de canal : C'est la zone située sous le diélectrique de grille et qui constitue la région de conduction des porteurs minoritaires. Elle est constituée d'un semiconducteur en Si ou en SiC, dopé P dans le cas d'un nMOSFET, et N pour un pMOSFET.
- Le module de jonctions et extensions : Il s'agit des deux électrodes de drain et de source réalisés par dopage à dégénérescence du semiconducteur (N^+ dans le cas d'un nMOSFET et P^+ pour le pMOSFET). Deux zones peuvent être distinguée : les extensions légèrement dopées qui se trouvent au contact direct avec le canal et les deux contacts ohmiques de source et de drain, avec des jonctions plus profondes hautement dopées pour réduire leur résistivité.

Le MOSFET de puissance est un composant largement introduit par les applications de l'électronique de puissance. Il possède des avantages tels que sa grande vitesse de commutation et un comportement normally-off.

Il existe trois régimes de fonctionnement du MOSFET à la surface du semiconducteur selon la tension appliquée sur l'électrode de grille : régime d'accumulation, de déplétion ou d'inversion. La figure I.10 représente les trois régimes de fonctionnement du MOSFET.

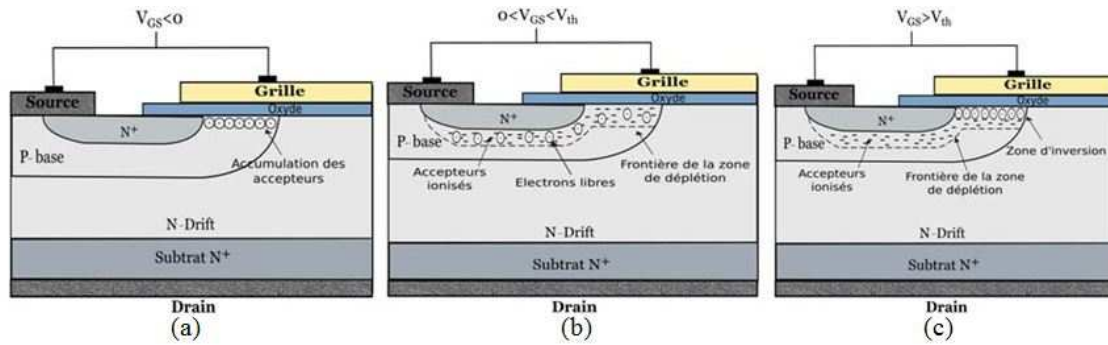


FIGURE I.10: Contrôle de la conduction d'un VD-MOSFET. (a) Accumulation de charge positive, (b) Formation de la couche de déplétion et l'apparition d'électrons libres, (c) Formation de la couche d'inversion

— Régime d'accumulation :

Pour une tension $V_{gs} < 0$: la zone P-base se comporte comme un isolant qui bloque toute circulation de courant entre le drain et la source. Les trous considérés comme porteurs majoritaires sont attirés à la surface du semiconducteur, d'où le nom de régime d'accumulation. Le transistor est bloqué.

— Régime de déplétion :

Pour une tension légèrement positive ($0 < V_{gs} < V_{th}$), les trous sont repoussés de la surface créant une zone dépourvue de porteurs, appelée zone de charge d'espace, constituée uniquement de charges ionisées. On l'appelle donc régime de déplétion. le transistor est toujours bloqué.

— Régime d'inversion :

A une tension $V_{gs} > V_{th}$, les électrons (porteurs minoritaires) sont attirés à la surface du semiconducteur. La densité d'électrons devient plus grande que celle des trous à la surface. Il s'agit donc du régime d'inversion. La zone P-base va voir la création d'un canal de type N. L'application d'une tension $V_{ds} > 0$ engendre la circulation d'un courant entre le drain et la source. Généralement les porteurs arrivent par la source et sont collectés par le drain. Le transistor est dit passant.

I.3 .2 Les différentes structures d'un MOSFET

En 1920, Julius Edgar Lilienfeld a conçu le premier prototype du MOSFET de façon théorique qui présente le transistor comme étant un composant servant à contrôler le courant. Cependant, ce transistor n'a pas pu être construit avant 1950 puisque sa réalisation nécessite des techniques de fabrication qui n'étaient pas disponibles à cette époque. M.M Atalla et Dawon Khang des laboratoires Bell ont construit le premier MOSFET en 1960 qui fera son apparition dans les circuits intégrés en 1963.

Le premier MOSFET a été fabriqué en technologie Si avec une structure latérale (L-MOSFET) utilisant un oxyde de grille isolé thermiquement et des électrodes de drain et de source interdigitées (figure I.11) [28, 29]. Cependant, cette structure ne supporte pas les tensions et les courants élevés. En 1970, la structure verticale a été développée pour s'affranchir de ces limitations. En effet, dans un MOSFET de structure verticale, les deux électrodes à courant élevé peuvent être situées sur les côtés opposés de la puce. Cette structure verticale permet l'utilisation d'électrodes de source et de drain épais pour éviter le transport du courant à travers des doigts métalliques fins. En outre, la distribution du potentiel dans la structure verticale est plus favorable pour supporter des tensions élevées et répondre aux exigences des applications de hautes puissances.

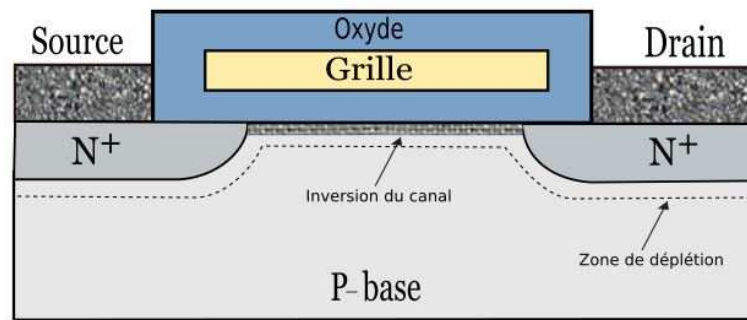


FIGURE I.11: Structure d'un transistor MOSFET latérale

Le V-MOSFET est la première structure verticale développée en utilisant le processus de gravure "Vgroove" [30]. La figure I.12 représente la structure d'un V-MOSFET. Dans cette dernière, les zones N^+ de source et de drain sont séparées par une zone de base P, formant ainsi deux jonctions P-N. La grille en forme de V est enveloppée d'un oxyde pénétrant à travers les deux jonctions. Cette forme de grille permet d'avoir une largeur de canal constante pour la circulation du courant. Cependant, la génération d'un fort champ électrique (augmentation de la tension de claquage) provoque la fragilité de la pointe de la grille. En outre, la pointure en V a été formée en utilisant une gravure à base d'hydroxyde de potassium pour le silicium. Il a été constaté que le potassium existant dans les solutions de gravure contamine l'oxyde de grille engendrant des instabilités pendant le fonctionnement à long terme du V-MOSFET. De plus, la fabrication de cette structure présente des difficultés dans le contrôle de l'attaque chimique pour graver le sillon.

Pour remédier aux problèmes de la structure V-MOSFET, la structure U-MOSFET a été développée en 1980 grâce à l'apparition de la technologie de gravure des tranchées dans le silicium. La figure I.13 représente la structure d'un U-MOSFET. Dans un U-MOSFET, la tranchée s'étend dans la région de drift N^- à partir de la surface supérieure de la structure et à travers les régions N^+ et P-base. L'électrode de grille est placée dans la tranchée après la formation de l'oxyde de grille par oxydation thermique. L'avantage

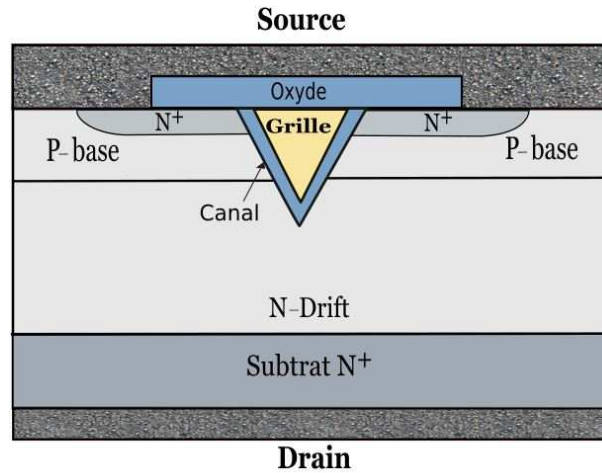


FIGURE I.12: Structure d'un transistor V-MOSFET

principal de cette structure est la formation des zones de source et de P-base par épitaxie et non pas par implantation ionique. Ceci permet d'éviter le recuit associé à haute température qui peut contribuer à la dégradation des états de surface [31]. Cependant, l'augmentation de la tension de claquage engendre un fort champ électrique dans le diélectrique (figure I.13). De plus cette structure U-MOSFET ne comprend pas la région JFET qui permet une réduction significative de la résistance interne du transistor. C'est pour cette raison que la structure VD-MOSFET a été développé.

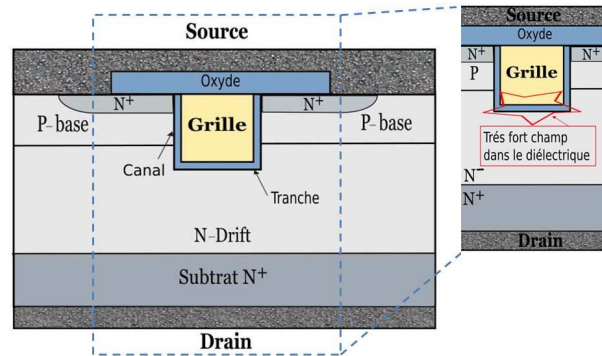


FIGURE I.13: Structure d'un transistor U-MOSFET

La structure verticale à diffusion (VD)-MOSFET, présentée sur la figure I.14, est fabriquée en commençant par une couche épitaxiale de type N appelée la zone de drift. Cette couche est en contact avec le drain en face arrière. Elle est montée sur un substrat de type N^+ fortement dopé. Le canal est formé par la différence d'extension latérale des régions de P-base et la source N^+ pour contrôler l'état passant et l'état bloqué du transistor. Les deux zones P-base et source N^+ sont auto-alignées sur les côtés gauche et droite de la grille au cours de l'implantation ionique pour introduire les dopants. La zone de drift de cette structure permet la tenue en tension pour répondre aux besoins des applications hautes tensions. Cependant, cette structure engendre l'effet JFET qui

rend la résistance de la structure VD-MOSFET plus grande que la résistance spécifique idéale de la région de drift. Cette augmentation est due à un rétrécissement de la région active entre les deux zones P-Base. En effet, le courant circule dans la zone de drift avec un canal qui se rétrécit entre les zones P-base (zone JFET) alors que le niveau de dopage reste constant. Par conséquent, une forte concentration d'électrons est produite dans la zone JFET avec une augmentation de la résistance.

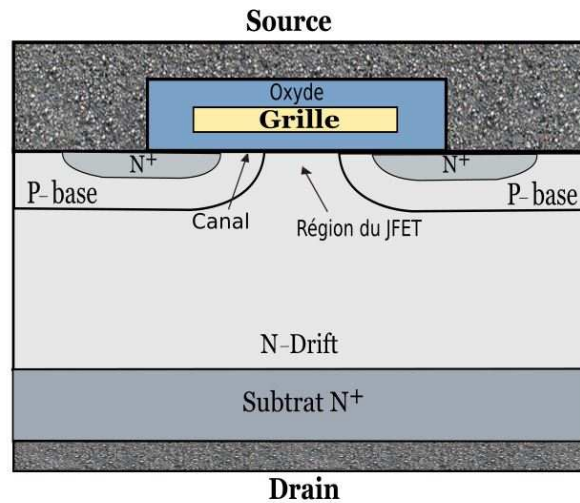


FIGURE I.14: Structure d'un transistor VD-MOSFET

Le tableau I.2 résume les avantages et les inconvénients de chaque structure citée précédemment.

I.3 .3 Avantages des MOSFETs par rapport aux IGBTs

Depuis les années 80, les transistors bipolaires à grille isolée IGBT en Si sont les composants de puissance les plus populaires pour les applications industrielles à haute tension et à courant élevé. Le développement de la technologie IGBT en Si cherche à améliorer les performances des IGBTs en terme de la vitesse de commutation et de la perte de puissance [32–34]. En effet les transistors IGBTs ont une vitesse de commutation relativement faible ce qui entraîne des pertes de puissance élevées. Ceci revient à leurs faible résistance à l'état passant qui est minimisée par l'utilisation d'un transistor bipolaire en sortie. Cette résistance est réduite par l'injection des porteurs minoritaires dans la région de drift. Par conséquent, les processus de recombinaison et de dissipation de ces porteurs nécessitent un temps important lorsque le transistor passe en état bloquée. Ceci provoque une augmentation des pertes et du temps de commutation [23]. En revanche, les MOSFETs sont des composants à porteurs majoritaires. Grâce au champ du claquage plus élevé du SiC et de sa haute concentration, le MOSFET SiC peut combiner les trois

Structure	Avantages	Inconvénients
L-MOSFET	Facilité de fabrication	Non adaptable aux applications de haute puissance (limitations en courant et en tension)
V-MOSFET	– Haute densité de courant – Haute tension – Largeur du canal constante (Forme V de grille)	– Procédure de fabrication complexe – Fort champ électrique à la pointe du V – Contamination de l'oxyde de grille
U-MOSFET	Formation des zones par épitaxie (Pas de dégradation de surface)	– Limitation en tension – Fort champ de claquage dans l'oxyde
VD-MOSFET	Forte tenue en tension (région de JFET)	– Forte résistance par l'effet de JFET – Limitation en fréquence (résistance de grille non négligeable)

TABLEAU I.2: Avantages et inconvénients des différentes structures du MOSFET

caractéristiques souhaitables d'un interrupteur de puissance : haute tension, faible résistance à l'état passant, et haute vitesse de commutation. La figure I.15 représente la comparaison des pertes de puissance entre les IGBTs en Si et les MOSFETs en SiC. La perte de puissance du convertisseur à base du MOSFET SiC est d'environ un tiers des pertes de puissance induites par un convertisseur IGBT [18]. De plus la grande bande interdite de SiC offre la possibilité aux MOSFETs SiC de fonctionner à des températures plus élevées qui peuvent atteindre 200 ° C et plus, lorsqu'ils sont correctement encapsulés dans des boîtiers adaptés. L'utilisation des MOSFETs en SiC à haute température permet de réduire le nombre des modules de refroidissement et donc réduire le volume final, la masse et le coût global du système. La figure I.16 illustre les avantages du MOSFET SiC par rapport au IGBT en Si. Cette figure montre qu'un système de conversion d'énergie à base des MOSFETs et des diodes en SiC offre la possibilité de réduire la taille et les pertes de puissance par rapport au système basé sur les IGBTs en Si.

Grâce aux propriétés du SiC, le marché des MOSFETs de puissance s'est étendu à plusieurs domaines d'applications. Les MOSFETs en SiC sont utilisés aujourd'hui dans les applications à moyenne et haute puissance (30 KW- > 1MW) comme l'automobile, le ferroviaire et l'aéronautique impliquant des systèmes de conversion d'énergie, de freinage, de gestion de moteur, de direction assistée. Le marché des MOSFETs SiC s'est développé également autour des applications basse puissance (< 5 KW) tel que l'électroménager et

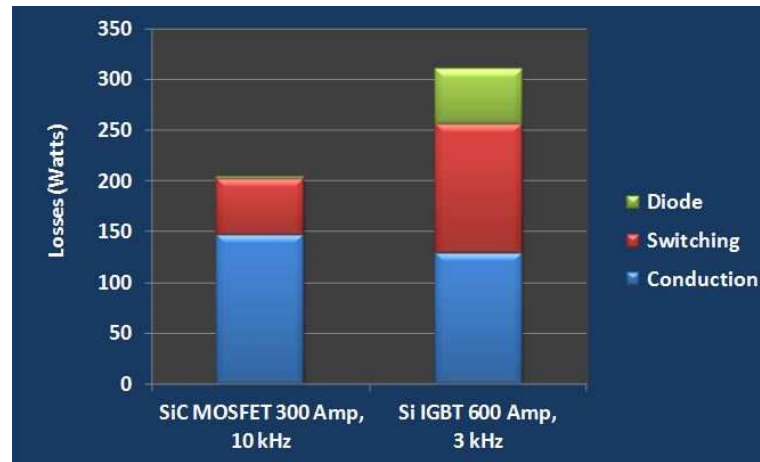


FIGURE I.15: Comparaison des pertes de puissance entre les IGBTs en Si et les MOSFETs en SiC [35]

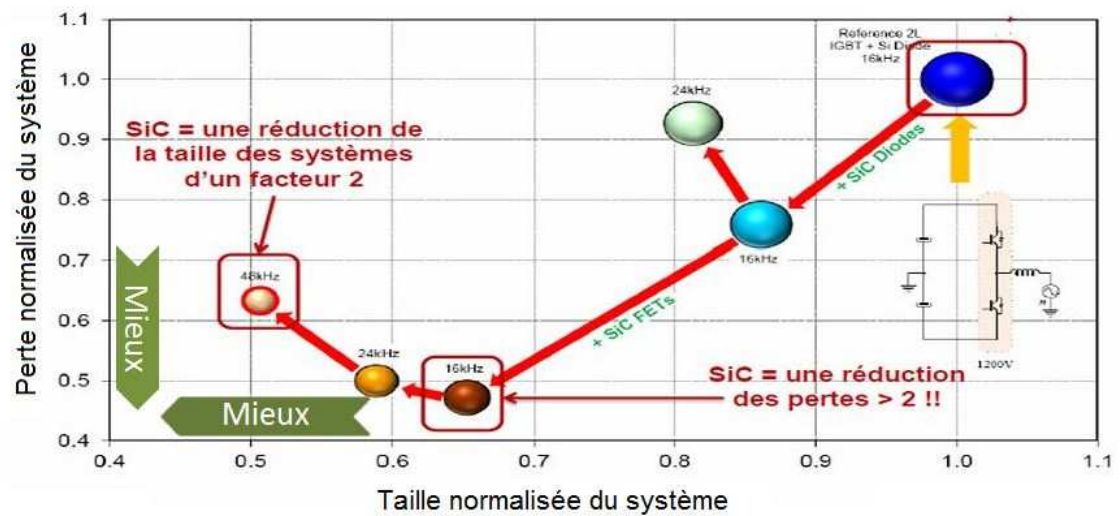


FIGURE I.16: Avantages du MOSFET SiC par rapport au IGBT en Si [9]

la technologie d'information. Ces applications incluent des circuits de commande de petits moteurs dans lesquels une faible perte de conduction et un dispositif à grande vitesse de commutation sont très appréciés. La figure I.17 illustre les différentes applications des MOSFETs en SiC.

I.3 .4 Mécanisme de défaillance des MOSFETs

Le développement des MOSFETs en carbure de silicium constitue, comme cela a été décrit précédemment, une avancée très importante dans le domaine de l'électronique de puissance. Cependant, la problématique de la fiabilité et la stabilité à long terme de ces composants doit être posée avant leur intégration dans les applications industrielles civiles et militaires. Les études de fiabilité de ces composants peuvent adresser les niveaux



FIGURE I.17: Applications des MOSFETs en SiC

intrinsèques et/ou extrinsèques. Au niveau extrinsèque, de nombreux travaux ont été conduits pour étudier les problématiques du "Packaging" tels que les phénomènes d'usure et de fatigue [36–38]. Par ailleurs, au niveau intrinsèque, la communauté scientifique s'est beaucoup intéressée à la fiabilité de la puce des composants MOSFETs SiC. Les recherches ont pu identifier jusqu'à présent de nombreux mécanismes de dégradation tels que la dégradation par effet des porteurs chauds, la dégradation de la métallisation due à l'électromigration et la reconstruction métallique, des défaillances liées à l'oxyde de grille comme le claquage d'oxyde (TDDB) et l'instabilité de la tension de seuil [39].

I.3 .4.1 Effet des porteurs chauds (Hot Carrier lifetime)

Parmi les effets néfastes de la miniaturisation des transistors MOSFETs, on trouve l'effet des porteurs chauds (Hot Carrier lifetime). En effet, avec la miniaturisation de ces composants, les longueurs du canal se réduisent, générant ainsi une augmentation du champ électrique dans le canal. Sous l'effet d'un champ électrique intense, les porteurs de charges acquièrent une énergie cinétique importante et devient ainsi des porteurs "chauds" [40, 41] (figure I.18). Une des conséquences principale de ce phénomène est la génération de paires électron-trou par l'ionisation par impact des atomes lors des chocs dans le réseau cristallin [42, 43] (figure I.19). Parmi les porteurs issus des paires électron-trou certains sont injectés dans l'oxyde de grille. Ces porteurs peuvent soit créer des pièges d'interface (états d'interface N_{it}) [44, 45] ou bien traverser la barrière et être emprisonnés dans l'oxyde (N_{ot}). Ceci provoque un courant de grille par effet tunnel [46, 47]. Pour comprendre le mécanisme d'injection de porteurs chaud dans les MOSFETs, le modèle de l'électron chanceux a été développé ("lucky electron") [48]. Ce mécanisme

est un phénomène particulièrement dangereux qui menace la fiabilité des transistors MOSFETs. Pour s'affranchir de ce phénomène, les concepteurs de ces composants essaient de s'assurer de la structure technologique et sa polarisation pour que le champ électrique ne soit pas excessif dans aucune région du dispositif.

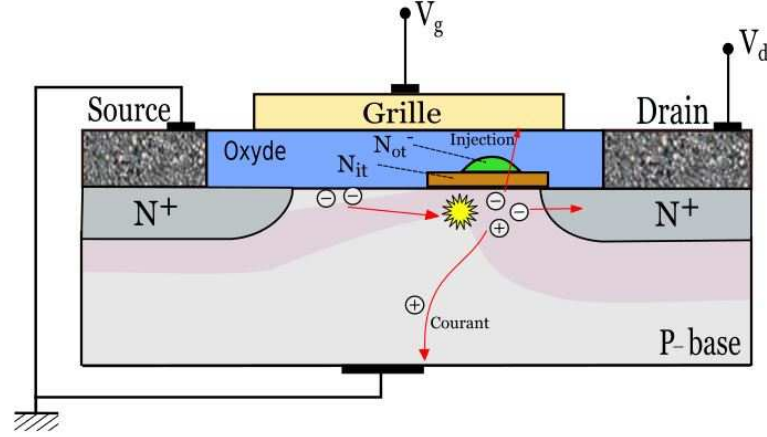


FIGURE I.18: Schéma illustrant le phénomène de porteurs chauds dans un nMOSFET [40]

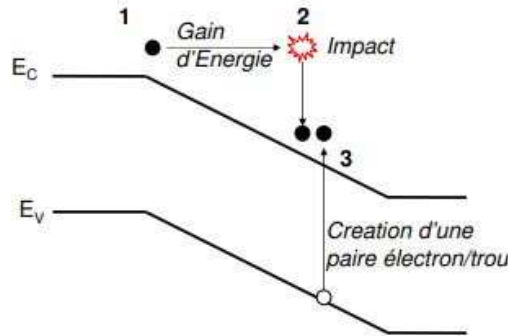


FIGURE I.19: Schéma du diagramme de bandes d'un semi-conducteur illustrant le phénomène d'ionisation par impact [49]

I.3 .4.2 Dégradation de la métallisation de source

La dégradation de la métallisation des puces des composants de puissance a été étudiée dans de nombreux travaux de recherche [50–54]. Les principaux mécanismes de dégradation de la métallisation sont l'électromigration et la reconstruction métallique.

- L'électromigration : C'est un phénomène de transfert de quantité de mouvement entre un flux d'électrons (courant) et les atomes de la métallisation que ce courant va traverser [55]. Il s'agit d'un déplacement d'atomes de métallisation suite aux effets électrothermiques. En effet, l'électromigration apparaît à des hautes températures (> 100) [56] et à des densités de courant élevées ($> 0,5 \cdot 10^6 \text{ A/cm}^2$) [57]

lorsque la circulation du courant d'électrons applique sur les atomes métalliques une force (par collisions élastiques) suffisante pour les déplacer. Ce déplacement d'atomes se fait dans le sens de la propagation électronique et peut engendrer plusieurs problèmes comme l'apparition de lacunes ou vides (affaiblissement du conducteur menant à un circuit ouvert) ou des amas métalliques (accumulation de matières pouvant conduire à un court-circuit) [58] (figure I.20).

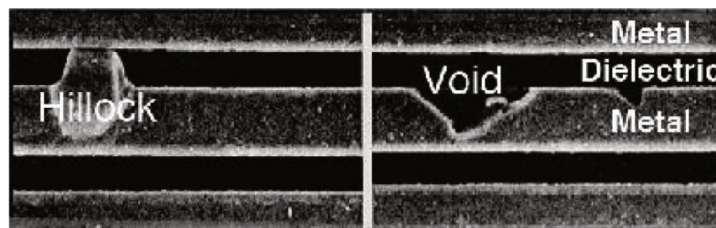


FIGURE I.20: Les vides et les saillies générés par l'électromigration avec une densité de courant élevée sur une interconnexion en Cu [59, 60]

- La reconstruction métallique : Elle ne doit pas être confondue avec l'électromigration. L'électromigration est un effet dû aux densités de courant élevées, alors que la reconstruction est un effet provoqué par un stress thermomécanique [61]. Le cyclage en température au niveau d'un MOSFET engendre des contraintes mécaniques de traction et de compression sur la couche de métallisation qui est souvent en aluminium. Ces contraintes résultent de la différence de comportement thermomécanique entre l'aluminium et le carbure de silicium. En effet, le coefficient d'expansion thermique (CTE) de l'aluminium (égal à 23,8 ppm/°C), est plus grand que celui du carbure de silicium (4 ppm/°C). De plus, la limite d'élasticité de l'aluminium est relativement faible (20 MPa) par rapport à celle du carbure de silicium. Par conséquent, le volume d'aluminium croît cinq fois plus que celui du carbure de silicium pour une même élévation de température. La relaxation des contraintes thermomécaniques engendre un déplacement des dislocations dans la surface de la métallisation entraînant une déformation des grains. Ceci se traduit par une rugosité importante de la métallisation qui perd le motif régulier de sa structure ainsi que sa réflectivité [62, 63] (figure I.21). Ce phénomène a trois conséquences : la diminution de la surface effective de la métallisation, la fragilité du contact avec le fil de connexion et l'augmentation de la résistance superficielle qui provoque une élévation de la température et donc ajoute plus de stress [64]. Il est possible de limiter ce mécanisme de dégradation en déposant une couche de passivation (nitrure de silicium, polymide,...) sur la couche de métallisation afin de lui appliquer une pression qui retarde ou empêche la déformation de l'aluminium [64, 65].

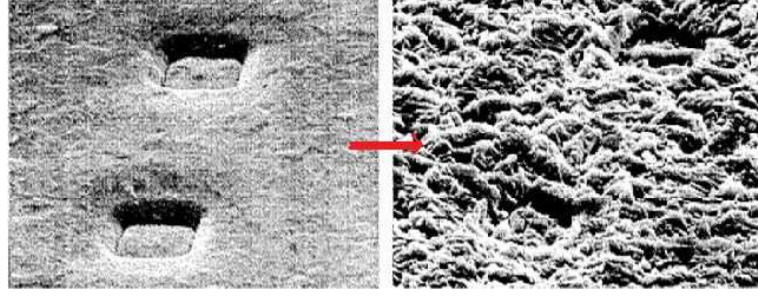


FIGURE I.21: Le phénomène de la reconstruction métallique pour l'aluminium : (a) Couche de métallisation d'un IGBT avant cyclage de puissance (image MEB, 1000x). (b) : Métallisation reconstituée après 3.2 millions de cycles de puissance entre 85 ° C et 125 ° C (image MEB, 10000x) [66]

I.3 .4.3 Time-Dependent Dielectric Breakdown (TDDB)

La plus grande fragilité des transistors MOSFETs se présente dans leur oxyde de grille. Cette couche qui devient de plus en plus mince avec la quête de miniaturisation, constitue un des problèmes majeurs pour la fiabilité de ces transistors [67–69]. En effet, plus l'épaisseur de l'oxyde est faible plus l'intensité du champ électrique est importante. Ceci engendre une accumulation de défauts dans le diélectrique. Lorsqu'un niveau critique de défauts est atteint, un emballement thermique peut se produire [66]. Ce dernier provoque une destruction localisée de l'oxyde de grille qui perd par conséquent ses propriétés d'isolation. Ce phénomène est appelé claquage de l'oxyde de grille ou TDDB [70] (figure I.22).

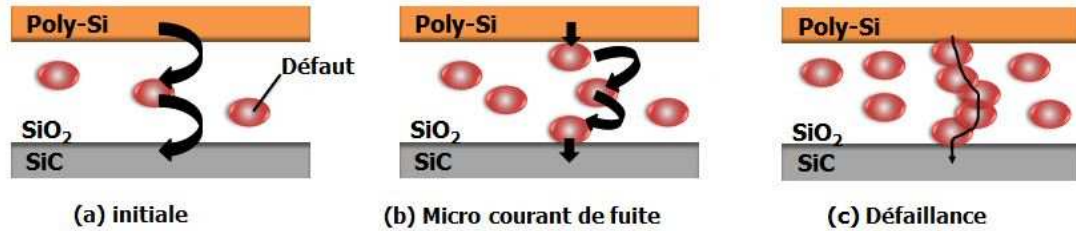


FIGURE I.22: Schéma illustrant les étapes d'apparition du mécanisme TDDB

Le TDDB est un des mécanismes de défaillance les plus présents dans les MOSFETs car le champ électrique existant dans la couche d'oxyde de ces transistors est très important [71]. Pour maîtriser ce mécanisme dans les nouveaux MOSFETs SiC, de nombreuses études ont été menées [72, 73]. Pour mieux comprendre les phénomènes physiques derrière le TDDB, différents modèles ont été proposés [74]. Parmi ces modèles il existe deux qui sont largement utilisés : le modèle thermochimique [75, 76], et le modèle AHI (Anode Hole Injection)[77, 78]. Le premier modèle se base sur l'effet du champ (modèle E) tandis que le deuxième se base sur le courant ($1/E$ - Modèle) [79, 80].

I.3 .4.4 Instabilité de la tension de seuil

L'instabilité de la tension de seuil (V_{th}) fait partie des mécanismes majeurs de vieillissement qui empêche l'utilisation étendue des composants de puissance MOSFETs SiC. L'instabilité observée se représente par une élévation ou une diminution de V_{th} après un stress de polarisation positive ou négative de la grille respectivement [81]. Cette instabilité se caractérise par un décalage à droite ou à gauche, de la courbe d'entrée I_{ds} - V_{gs} selon la polarisation de la grille. Ce phénomène est dû au piégeage et dé-piégeage de charge à l'interface SiC/oxyde et sa proximité. En effet lors d'une polarisation positive de la grille, les pièges d'interface sous le niveau de Fermi (les défauts dans l'oxyde) sont occupés rapidement par les électrons qui se présentent dans la couche d'inversion (canal) (figure I.23). Par conséquent, la densité de charges dans le canal diminue à cause des électrons piégés dans l'oxyde ce qui engendre une augmentation de V_{th} . Contrairement lors d'une polarisation négative de la grille, les électrons qui se trouvent aux états d'interface au dessus du niveau de Fermi se vident. Ces charges sont les électrons piégés dans l'oxyde qui se diffusent vers la couche d'inversion en augmentant la densité de porteurs dans le canal. Ainsi la tension de seuil diminue. Par ailleurs, le phénomène de l'instabilité de V_{th} est accentué par la température. En effet lorsque la température augmente, elle active des défauts additionnels dans l'oxyde qui participent à leur tour aux mécanismes piégeage/dé-piégeage [3].

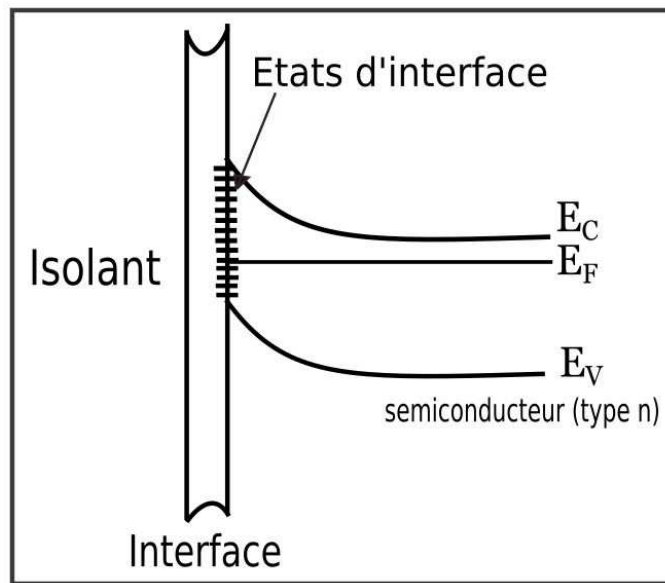


FIGURE I.23: Schéma de la structure de bandes d'un semiconducteur en contact avec un diélectrique [82]

Les travaux [83–88] abordent la problématique de l'instabilité de la tension de seuil des MOSFETs SiC. Ils présentent l'explication physique de ce mécanisme et ils détaillent

les procédures de test à appliquer afin d'évaluer la fiabilité de ces composants.

Pour comprendre ces mécanismes de défaillance et étudier la robustesse des MOSFETs SiC, trois approches d'étude peuvent être conduites :

- La modélisation qui cherche à décrire et comprendre le comportement de ces composants sous différentes contraintes thermique et électrique de fonctionnement.
- Test de vieillissement qui permet d'appliquer des contraintes environnementales (thermique, électrique et humidité ...) sur ces composants pour évaluer leur performances et qualifier cette nouvelle technologie.
- La simulation physique qui constitue l'outil idéal pour prendre en compte les effets des contraintes thermique et électrique dans les dispositifs MOSFETs SiC. Elle se repose sur le déploiement des modèles physiques pour visualiser des phénomènes physiques difficilement accessibles et mieux interpréter les résultats des tests de fiabilité.

Un état de l'art sur ces trois approches d'études sera détaillé dans la suite de ce chapitre.

I.4 Modélisations des MOSFETs SiC

Au cours des dernières années, beaucoup d'efforts ont été déployés pour la modélisation des MOSFETs. Cette modélisation est nécessaire pour évaluer le comportement de ces composants et décrire avec précision leurs caractéristiques sur une large gamme de températures et sous différentes conditions de polarisation. En raison des problèmes de fiabilité de la technologie SiC [89–91] et pour tirer pleinement profit de sa puissance [92, 93], la modélisation rigoureuse des MOSFETs SiC est essentielle pour estimer les performances de ces composants dès la phase de la conception. La modélisation des MOSFETs SiC est une phase primordiale dans la prévision du vieillissement des composants et donc, dans l'estimation de leur taux de défaillance et leur durée de vie [94, 95]. L'étude des effets thermiques et électriques est ainsi cruciale pour comprendre le fonctionnement de ces dispositifs et établir le compromis entre performance et fiabilité. Divers modèles pour les dispositifs silicium qui existent dans la littérature ont été modifiés et utilisés pour simuler le comportement des composants SiC et plus particulièrement les MOSFETs 4H-SiC. Afin de modéliser les composants MOSFETs SiC, trois types principaux de modèles sont proposés dans la littérature : les modèles tabulés, les modèles sous-circuit ou macro-modèles et les modèles compacts [96]. Les caractéristiques principales de chaque modèle seront discutées dans ce qui suit.

I.4 .1 Modèle tabulé

Ce modèle se base sur les mesures électriques du composant. Il utilise des bases de données sous forme des matrices numériques sur lesquelles s'appliquent des fonctions d'interpolation (lissage) pour décrire le comportement de ces composants [97]. L'avantage principal de ce modèle se traduit par sa capacité de prendre en considération des conditions de fonctionnement opérationnels et des effets complexes tel que l'auto-échauffement [98]. En outre, ce modèle nécessite un temps de développement relativement court ce qui permet un suivi rapide des évolutions technologiques du composant. En revanche, le modèle tabulé présente des problèmes de continuité pour des polarisations en limite des plages de mesure, ainsi que des problèmes de discontinuité pour les dérivées d'ordre supérieur engendrées par des fonctions de lissage. De plus, l'inconvénient majeur de ce modèle est l'absence de l'aspect physique sur le comportement du composant, et donc aucune amélioration ou adaptation du modèle n'est possible sans mesures. Par exemple, on ne peut pas évaluer l'impact de la réduction de la mobilité des porteurs de charges sur les courants.

I.4 .2 Modèle sous-circuit

Le modèle sous-circuit appelé aussi macro-modèle est une approche qui se base sur l'utilisation d'un circuit pour la description du comportement d'un transistor. Ce circuit se compose d'un transistor idéal relié à des composants actifs (sources de courant et de tension) et des composant passifs (résistances, capacités, diodes, inductances...) comme il est montré sur la figure I.24.

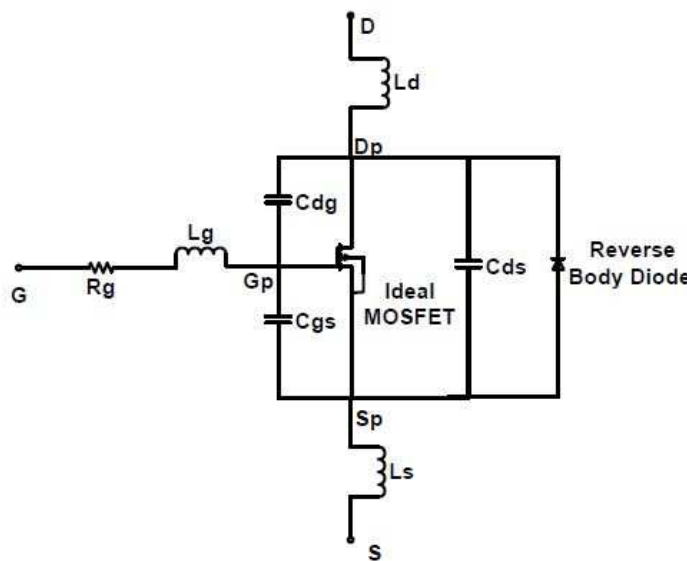


FIGURE I.24: Schéma d'un modèle sous-circuit [99]

L'ajout de ces éléments au circuit permet de prendre en considération les différents effets physiques. Par exemple, dans [100] propose l'utilisation d'une source de tension pour prendre en considération le décalage négatif de la tension de seuil du MOSFET suite à une augmentation de la température (figure I.25), de plus une source de courant a été ajoutée pour prendre en compte l'augmentation des résistances du drift et JFET engendrée par l'élévation de la température. Dans [99, 101, 102], une diode a été ajoutée pour modéliser l'effet du "body diode" qui apparaît entre la zone P-base et la région de drift N^- (figure I.26). Cet effet engendre un décalage de la tension de seuil et il permet de bloquer la tension en cas de polarisation inverse [103]. Dans l'article [101] l'effet de la variation de résistance de canal avec la polarisation de grille est représenté par une source de courant I_{RCH} . L'article [104] propose un modèle sous-circuit qui représente la distribution de courant non uniforme dans la région de JFET en utilisant une source de tension non linéaire et un réseau de résistance.

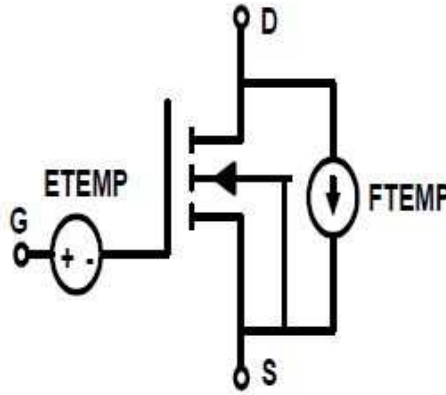


FIGURE I.25: Schéma du modèle sous-circuit qui décrit le décalage de la tension de seuil (ETEMP) et l'augmentation des résistances du drift et JFET (FTEMP) [100]

D'autres macro-modèles visant à étudier les transistors MOSFETs ont été proposés dans la littérature [106–110]. La majorité de ces modèles ne prennent en compte que quelques effets physiques des MOSFETs. Cet aspect rend cette stratégie de modélisation plus souple et plus adaptable au suivi technologique du composant à modéliser contrairement au modèle tabulé. Par contre, la résolution des nœuds du circuit dans ce modèle est numérique, ce qui engendre des problèmes de convergence lors de la simulation des circuits complexes.

I.4 .3 Modèle compact

Un modèle compact est un modèle mathématique qui utilise une formulation analytique compacte basée sur la physique du composant. Les expressions analytiques compactes de ce modèle doivent être claires, simples et précises en terme du comportement

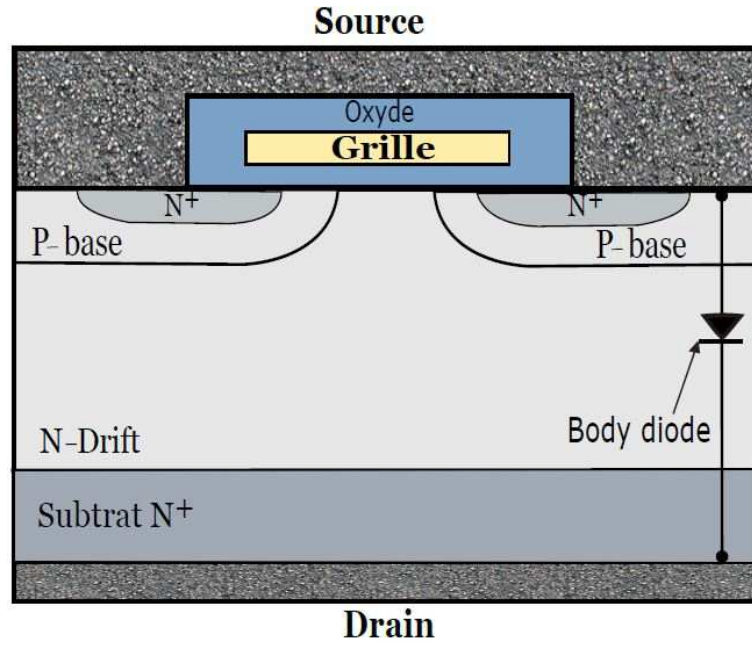


FIGURE I.26: Body diode dans un MOSFET [105]

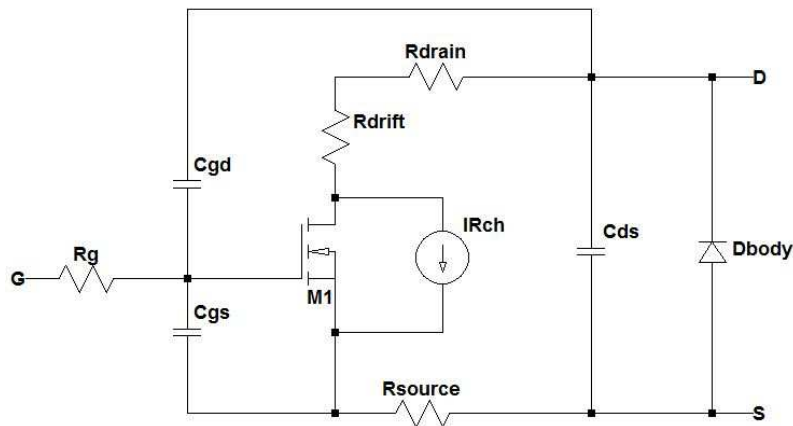


FIGURE I.27: Schéma du modèle sous-circuit qui décrit la variation de la résistance du canal en fonction de la polarisation de la grille (source de courant I_{RCH}) [101]

électrique et de dépendances entre les paramètres physiques. Ceci favorise l'intégration de ce modèle dans les simulateurs de circuits par les concepteurs. Un modèle compact doit décrire le comportement électrique du dispositif dans toutes les régions de fonctionnement à travers ses caractéristiques courant-tension (I-V) et capacité-tension (C-V), relevées sur ses terminaux (Source, Drain et Grille). En effet, le modèle compact peut être divisé en trois types d'équations :

- Des équations empiriques qui se basent sur des formules mathématiques décrivant le composant par des paramètres ajustables (lissés).
- Des équations semi-empiriques : ce sont des solutions analytiques qui ne sont pas purement physiques car elles introduisent un certain degré d'empirisme, ce qui les

rend plus adaptés à la simulation de circuits [111].

- Les équations physiques : sont des expressions qui relient les paramètres physiques et les paramètres technologiques du composant entre eux.

Parmi les avantages du modèle compact on trouve son efficacité numérique qui se traduit par une convergence rapide vers la solution de la simulation. De plus le nombre de paramètres d'un modèle compact est le plus souvent réduit par rapport aux autres approches de modélisation.

Dans la littérature, plusieurs modèles compacts sont proposés. L'article [112] présente par exemple un modèle basé sur des équations physiques qui décrivent le dopage non uniforme à travers la région de canal MOS du VDMOS. Une équation physique de la région de drift est combinée avec l'équation de canal pour donner un système physique complet d'équations résolu numériquement. Le modèle comprend aussi des calculs détaillés des paramètres de la zone de drift, y compris la variation des largeurs de déplétion interne avec les polarisations externes. Dans l'article [113], les auteurs ont proposé un modèle compact qui prend en compte les effets des métaux parasites distribués dans le MOSFET en modélisant correctement la dépendance en polarisation des capacités parasites du transistor. Dans l'article [114], les auteurs ont détaillé un modèle en décrivant des équations analytiques régissant un MOSFET de puissance en ce qui concerne les changements de tension critiques. Sa topologie permet de modéliser les capacités non linéaires en fonction des tensions de grille et de drain. L'article [115] propose un modèle compact physique basé sur différentes propriétés structurelles du MOSFET, telles que la densité de dopants, la largeur de la région de p-base et les propriétés de matériaux, telles que la mobilité des porteurs et la bande interdite. Les auteurs de l'article [116] ont présenté un modèle compact purement physique dont les équations incorporent les détails des densités de pièges d'interface, de la diffusion de pièges d'interface de Coulomb, de la diffusion de rugosité de surface, de la diffusion de phonon, de la saturation de vitesse, et de leurs dépendances de polarisation et de température. L'article [117] propose un modèle compact basé sur les potentiels de surface du transistor. En 2014 l'article [118] développe un modèle qui décrit le comportement du courant du canal et les capacités internes du MOSFET de puissance (1200V-20A) sur une plage de température allant de 25 °C à 225 °C. De plus la variation de la résistance à l'état passant du MOSFET, en fonction de la température, a été prise en considération dans la modélisation. Dans [119], les auteurs ont présenté un modèle compact comprenant les descriptions de la dépendance de la charge de canal et de la mobilité électronique à la charge des pièges d'interface. Il décrit aussi un calcul simple mais efficace de la résistance de drain dépendante de la tension. D'autres modèles compacts basés sur la physique du transistor MOSFET ont été présentés dans la littérature [120–126].

Modèle	Avantages	Inconvénients
Modèle Tabulé	– Prise en compte des conditions de fonctionnement opérationnels – Suivi rapide des évolutions technologiques	L'absence de l'aspect physique
Modèle sous-circuit	– Prise en compte des effets physiques – Plus souple et plus adaptable au suivi technologique du composant	Problèmes de convergence lors de la simulation des circuits complexes
Modèle compact	– Prise en compte des effets physiques – Nombre de paramètres réduit – Convergence rapide vers la solution de la simulation	Manque de flexibilité au suivi technologique du composant

TABLEAU I.3: Avantages et inconvénients de chaque type de modèle

En guise de synthèse, le tableau [I.3](#) résume les avantages et les inconvénients de chaque modèle cité précédemment.

I.5 Vieillessement : Tests de fiabilité et de qualification

Les tests de fiabilité sont des essais qui s'effectuent sous des conditions définies, dans le but d'estimer la durée de vie d'un composant et de s'assurer qu'il maintiendra ces performances et ces fonctionnalités [\[127\]](#). Ces tests simulent le profil de mission opérationnel du composant ou accélèrent les contraintes que le composant est susceptible de rencontrer lors de son cycle de vie [\[94\]](#). Les tests de fiabilité peuvent être classés en plusieurs catégories : Les tests hautement accélérés, les tests de dépistage "Screening Tests", les tests de déverminage "Burn-In" et les tests accélérés.

I.5 .1 Tests Hautement Accélérés

Les tests hautement accélérés (HALT : Highly Accelerated Life Testing) sont des tests aggravés menés en phase de conception avant la phase de qualification. En un temps réduit, ces tests permettent l'accélération de la maturation des performances des composants et l'amélioration de leur robustesses dès la réalisation des premiers prototypes.

Ils visent à améliorer la conception et le processus de production des composants afin de déterminer leurs limites opérationnelles. Ainsi des conditions de stress extrêmes sont appliquées pour déterminer tous les potentiels et les modes de défaillance des composants. Par conséquent, des corrections peuvent être apportées et une marge de conception adéquate dans les environnements d'application et les conditions de contrainte maximales peut être assurée. Pour les tests HALT, les contraintes sont appliquées progressivement jusqu'à la détection d'une défaillance. Des analyses de défaillance sont ensuite menées pour identifier les mécanismes de défaillance et apporter des actions correctives afin d'assurer la fiabilité du composant. Typiquement, les contraintes appliquées dans les tests HALTs peuvent être de type climatiques (température, humidité), mécaniques (vibrations, torsion /flexion), ou électriques (intensité de courants, surtension). D'autres contraintes peuvent être utilisées pour tester la robustesse des composants comme les décharges électrostatiques (ESD) et les rayonnements [128, 129]. En effet, le stress ESD est un des tests hautement accélérés les plus primordiaux dans le domaine de la micro-électronique et l'industrie des composants électroniques. Les décharges électrostatiques résultent du passage d'un courant entre deux matériaux ayant des potentiels différents. Il se produisent soit par contact direct, ou bien par décharge disruptive dans l'air. Les décharges électrostatiques présentent une des principales causes de défaillance des composants électroniques pendant leur fabrication et lors de leur utilisation. La miniaturisation continue des composants électroniques augmente d'avantage leur sensibilité aux ESD. Les effets des décharges électrostatiques sur les composants de puissance ont été traités par de nombreuses études [130–132]. Les ESD peuvent provoquer une dégradation ou une destruction du composant. Les défaillances induites par l'ESD dans les semiconducteurs peuvent être vues sous la forme de fuite, dégradation de jonction P/N, court-circuit, burnout, défaillance des contacts (fusion des connexions), perçage de l'oxyde de grille [133, 134]. Afin de contrecarrer les risques liés aux ESD, des normes de fiabilité sévères ont été mises en place. Ces normes décrivent les conditions de test qu'il faut mener afin de valider expérimentalement la tenue des composants vis à vis ESD. De plus, différents modèles ont été conçus pour décrire les différents scénarios rencontrés dans l'industrie. Les modèles les plus connus sont le modèle HBM "Human Body Model" [135], le modèle MM "Machine Model" [136] et le modèle CDM "Charged Device Model" [137]. A partir de ces modèles des moyens de protection des entrées/sorties des composants sont mis en œuvre. Plusieurs recherches sont menées dans ce sens pour essayer de fiabiliser au mieux les composants électroniques contre les ESD [138, 139]. Dans le troisième chapitre, le principe et les normes du stress ESD seront développés. Ainsi, ce test sera exploité pour l'étude de la robustesse de nos composants d'étude. Le choix de ce test revient à la disponibilité des moyens expérimentaux. De plus, l'implémentation de ce test est rapide.

I.5 .2 Test de dépistage "Screening Tests"

Durant la phase de la production, des tests de dépistage (ST : Screening Tests) sont appliqués sur des lots de composants afin de qualifier le processus de production et vérifier le bon fonctionnement du dispositif final [128, 140, 141]. Ces tests permettent de détecter les défauts latents ou les défauts de jeunesse qui peuvent se manifester dans les premières heures de fonctionnement du composant (au bout de cent heures [142]). Les tests de dépistage sont des tests de sélection qui permettent de conserver les meilleurs échantillons et d'éliminer ceux qui ne respectent pas les normes de performances établies [143]. La technique de sélection employée se base sur l'étude et le suivi de la variation des paramètres électriques pertinents du composant comme la tension de seuil et les courants de fuites des MOSFETs. Les tests de sélection peuvent être de deux natures [144] :

- Les tests opérationnels qui permettent de vérifier le bon fonctionnement du composant en mode opérationnel et d'établir ses caractéristiques électriques.
- Les tests de contraintes ("Stress tests") où le composant est soumis à des contraintes d'environnement (électrique, thermique et/ou mécanique) durant des temps très réduit, afin d'éliminer les échantillons faibles.

I.5 .3 Tests de déverminage "Burn-In Tests"

Les tests de déverminage appelés souvent "Burn-in tests" sont des tests largement utilisés dans l'industrie afin de filtrer les entités fragiles d'un lot de production. Les conditions de stress sont en général accélérées et la durée est d'environ 24h à 48h. Ces tests utilisent les contraintes de température/tension, en mode de fonctionnement statique ou dynamique, pour évaluer les mécanismes de défaillance qui pourraient entraîner la mortalité infantile des dispositifs [145, 146].

I.5 .4 Tests de démonstration de fiabilité et tests d'acceptation de fiabilité

Les tests de démonstration de fiabilité (RDT : Reliability Demonstration Test) et les tests d'acceptation de fiabilité (RAT : Reliability Acceptance Test) sont des tests visant à vérifier si les composants produits sont conformes ou non aux mesures de fiabilité imposées pour la qualification. Généralement, ces tests définissent des conditions telles que le nombre minimal de composants qui réussissent les tests avant un nombre déterminé de cycles de travail ou d'heures de test. Les tests de démonstration et d'acceptation de fiabilité n'appliquent pas des conditions extrêmement accélérées. Toutefois, les résultats

d'un test effectué avec ces méthodes étaient la décision d'accepter ou de refuser le lot de composant [147, 148].

I.5 .5 Tests accélérés

Les tests accélérés sont développés pour évaluer si les composants produits répondent à long terme aux exigences de fiabilité attendues. L'application de ces tests durant la phase de qualification et de production permet de connaître le comportement du composant à longue durée avant sa mise en service. Les tests accélérés peuvent être effectués selon trois modes différents [140] :

- Accélérer les cycles d'utilisation d'un composant dans des conditions de fonctionnement normales. Cette approche consiste à tester des composants qui ne sont utilisés qu'à des courtes périodes de temps par jour.
- Sur-stresser les échantillons sous des conditions de fonctionnement plus élevées que le normal afin d'accélérer l'apparition des défaillances.
- Accélérer les stress sur les composants jusqu'à la dégradation afin d'évaluer le développement final du processus de dégradation.

Ces tests consistent à soumettre le composant à des conditions d'utilisation ou d'environnement amplifiées par rapport aux valeurs nominales opérationnelles. Ceci permet d'estimer, à partir des conditions accélérées d'emploi, les caractéristiques comportementales comme la loi de fiabilité, et les performances opérationnelles du composant dans les conditions normales d'utilisation. En ce qui concerne la durée de vie, des lois d'accélération sont employées pour passer des conditions accélérées aux conditions normales [149–152].

Les tests accélérés de fiabilité les plus appliqués aux composants de puissance, tels que les MOSFETs et les IGBT sont :

- **Stockage thermique "High-Temperature storage" (HTS) :**

Le HTS consiste à évaluer les propriétés chimiques et mécaniques des matériaux constituant le boîtier du composant (les matières plastiques, les matériaux en caoutchouc, la passivation de la puce, le gel encapsulant, les métaux), afin de vérifier leur stabilité dans le temps. Ce test sert aussi à détecter les problèmes de contamination qui peuvent être présents au cours de la phase d'assemblage, et qui peuvent induire une corrosion qui s'accroît avec les températures élevées [153].

- **Cyclage thermique "Temperature cycling" (TC) :**

Ce test est dédié à l'étude de l'effet de la température sur le comportement du composant. La température varie avec l'environnement opérationnel (changement du jour à nuit, changement de température en vol, le désert ou le pôle nord ...), et

pour plusieurs applications, les composants passent par un cyclage thermique par rapport à la température ambiante [154]. Ceci peut causer des dégradations sur le composant qui se présentent parfois sous forme de fissures et du décollement de couche, et qui sont liées souvent aux différents coefficients de dilatation interne du boîtier [155].

— **Polarisation en température et humidité "Temperature Humidity Bias" (THB) :**

Ce test consiste à investiguer la résistance de l'emballage du composant à l'humidité. Durant ce test, le composant doit être alimenté en champ avec une polarisation qui n'engendre pas une élévation de courant ou de température.

— **Cyclage en puissance "Power cycle test"(PC) :**

Ce type de test est utilisé pour étudier l'effet des contraintes thermiques générées par l'auto-échauffement dû à la dissipation de puissance du composant lui-même pendant son fonctionnement (commutation et conduction) [154]. Le principe de base de ce test consiste en l'envoi d'un courant dans la puce qui chauffe le composant jusqu'à la température de consigne maximale, puis ce courant est coupé et la température va chuter pour atteindre sa température minimale grâce à un système de refroidissement [155]. Le cycle est conclu lorsque la température est retombée à sa valeur initiale.

— **Stress de grille à haute température "High Temperature Gate Stress Test"(HTGB) :**

Le stress HTGB vise à examiner le courant de fuite de grille afin de vérifier la qualité de l'oxyde et la stabilité de la grille. En effet, le courant de fuite d'une grille sans défaut est stable dans le temps [87, 156, 157].

— **Polarisation inverse à haute température "High Temperature Reverse Bias" (HTRB) :**

Ce test combine la contrainte thermique et électrique pour vérifier la stabilité à long terme des courants de fuite du composant [155]. Il vise à tester l'intégrité de la jonction, les défauts cristallins et le niveau de contamination ionique. Aucune dégradation de substrat n'est attendue durant ce test. En revanche, le test est en mesure de détecter les faiblesses ou les effets de la dégradation dans la zone de déplétion au niveau des interfaces et de la passivation [156]. La procédure d'application du test HTRB est basée sur des standards ou des normes. Parmi les normes les plus connues on trouve MIL-STD-750D [158] et JESD22A-108D [159]. Dans [157, 160], les auteurs présentent des tests HTRB réalisés sur des composants de puissance commerciaux 1200V MOSFET en se basant sur les standards JESD22A-108D. Ces travaux ont montré une dérive de la tension de seuil même sous conditions de fonctionnement statiques. D'autres études sur les stress HTRB ont été menées dans les

articles [140, 156, 161–164]. Le test HTRB est l'un des tests de qualification les plus utilisés par les fondeurs pour étudier la fiabilité des composants et qualifier les nouvelles technologie, c'est pour cette raison que notre choix s'est porté sur ce test afin d'évaluer la fiabilité de nos composants d'étude. Le troisième chapitre va présenter nos études d'application sur la fiabilité des composants de puissance MOSFET en SiC subissant un test HTRB.

I.6 Modèles physiques utilisés pour la simulation des MOSFETs SiC

La simulation physique est un élément indispensable dans l'étude des comportements électriques des dispositifs semi-conducteurs. Elle est considérée aujourd'hui comme un outil puissant pour comprendre et analyser le fonctionnement des composants électroniques. Aujourd'hui plusieurs simulateurs multiphysiques sont disponibles. Différentes études ont été dédiées à la simulation du comportement des MOSFETs de puissance. Il y a ceux qui utilisent l'outil Silvaco-ATLAS-TCAD [165–170] et d'autre qui utilisent l'outil Synopsis [171–173]. Afin d'obtenir des résultats de simulation précis, il est essentiel d'utiliser des modèles physiques appropriés avec des propriétés matérielles adéquates. Tous les simulateurs multi-physique reposent tous sur le déploiement des modèles physiques utilisant différents outils mathématiques. La simulation physique d'un dispositif à semi-conducteur doit prendre en considération la probabilité d'occupation des niveaux d'énergie, de la mobilité des porteurs et des différents types de générations-recombinaisons. Les équations directrices sont : l'équation de Poisson, les équations de continuité de porteurs et les équations de diffusion. Dans cette première section, les principaux modèles physiques appliqués dans la simulation des MOSFETs SiC sont présentés et discutés. Les équations de base et les principaux paramètres des modèles utilisés pour faire les simulations numériques sont rappelés. Les dépendances thermiques des modèles sont étudiées.

I.6 .1 Équations de bases d'un semi-conducteur

Dans un simulateur numérique, le transport de porteurs de charges peut être traité par le modèle de dérive-diffusion (DD : drift-diffusion) ou le modèle hydrodynamique (HD : hydrodynamic). La température du réseau peut être traitée comme une constante ou comme une inconnue régie par l'équation du flux de chaleur du réseau cristallin. Les équations de base résolues dans un simulateur sont l'équation de Poisson et les équations de continuité pour les électrons et les trous.

$$\text{div}(\epsilon \cdot \text{grad}\psi) = q \cdot (n - p - C) \quad (\text{I.1})$$

$$\text{div}J_n = q \cdot \left(R + \frac{\partial n}{\partial t} \right) \quad (\text{I.2})$$

$$\text{div}J_p = -q \cdot \left(R + \frac{\partial p}{\partial t} \right) \quad (\text{I.3})$$

Les inconnus de ce système d'équations sont le potentiel électrostatique ψ , les concentrations d'électrons et de trous n et p . C désigne la concentration nette des dopants ionisés, ϵ est la permittivité du diélectrique du semi-conducteur, et R est le taux net de recombinaison.

I.6 .1.1 Le modèle dérive-diffusion (DD)

Les équations constituant le modèle dérive-diffusion (DD) déterministe de transport de charges dans les semiconducteurs, découlent soit de l'équation de transport de Boltzmann par la méthode des moments [174], ou des principes de base de la thermodynamique irréversible [175]. Les densités de courant d'électrons et de trous sont données par les deux equations :

$$J_n = q \cdot \mu_n \cdot n \cdot \left(\text{grad} \left(\frac{\epsilon_C}{q} - \psi \right) + \frac{k_B}{q} \cdot \frac{N_{C,0}}{n} \cdot \text{grad} \left(\frac{n \cdot T_L}{N_{C,0}} \right) \right) \quad (\text{I.4})$$

$$J_p = q \cdot \mu_p \cdot p \cdot \left(\text{grad} \left(\frac{\epsilon_V}{q} - \psi \right) + \frac{k_B}{q} \cdot \frac{N_{V,0}}{p} \cdot \text{grad} \left(\frac{p \cdot T_L}{N_{V,0}} \right) \right) \quad (\text{I.5})$$

Ces equations tiennent compte des énergies de la bande conduction et de la bande de valence E_C et E_V , et des masses effectives qui sont incluses dans les densités d'états effectives $N_{C,0}$ et $N_{V,0}$. L'indice 0 indique que $N_{C,0}$ et $N_{V,0}$ sont évalués à une température de référence (arbitraire) T_0 , qui est constante dans l'espace réel quelles que soient les valeurs locales des températures du réseau cristallin et des porteurs.

I.6 .1.2 Le modèle hydrodynamique (HD)

Dans le modèle de transport de charge hydrodynamique (HD), les températures des porteurs T_n et T_p peuvent être différentes de la température du réseau cristallin T_L . Les densités de courant du modèle (HD) sont définies par les équations :

$$J_n = q \cdot \mu_n \cdot n \cdot \left(\text{grad} \left(\frac{\epsilon_C}{q} - \psi \right) + \frac{k_B}{q} \cdot \frac{N_{C,0}}{n} \cdot \text{grad} \left(\frac{n \cdot T_n}{N_{C,0}} \right) \right) \quad (\text{I.6})$$

$$J_p = q \cdot \mu_p \cdot p \cdot \left(\text{grad} \left(\frac{\epsilon_V}{q} - \psi \right) + \frac{k_B}{q} \cdot \frac{N_{V,0}}{p} \cdot \text{grad} \left(\frac{p \cdot T_p}{N_{V,0}} \right) \right) \quad (\text{I.7})$$

I.6 .1.3 Équation du flux de chaleur dans le réseau cristallin

Pour tenir compte des effets d'auto-échauffement dans les dispositifs semi-conducteurs, l'équation du flux de chaleur dans le réseau cristallin doit être résolue. Cette équation est définie par [176, 177] :

$$\text{div}(k_L \cdot \text{grad} T_L) = \rho_L \cdot c_L \cdot \frac{\partial T_L}{\partial t} - H \quad (\text{I.8})$$

Les coefficients ρ_L , c_L et k_L sont respectivement la masse volumique, la chaleur spécifique et la conductivité thermique des matériaux respectifs. Le modèle de génération de chaleur H , dépend du modèle de transport utilisé. Pour le modèle entraînement-diffusion, H est égal à la chaleur de Joule (équation I.9).

$$H = \text{grad} \left(\frac{\epsilon_C}{q} - \psi \right) \cdot J_n + \text{grad} \left(\frac{\epsilon_V}{q} - \psi \right) \cdot J_p + R \cdot (\epsilon_C - \epsilon_V) \quad (\text{I.9})$$

Pour le modèle hydrodynamique les termes de relaxation sont utilisés (équation I.10) :

$$H = \frac{3 \cdot k_B}{2} \cdot \left(n \cdot \frac{T_n - T_L}{\tau_{\epsilon,n}} + \frac{T_p - T_L}{\tau_{\epsilon,p}} \right) \quad (\text{I.10})$$

Où, $\tau_{\epsilon,n}$ et $\tau_{\epsilon,p}$ désignent les temps de relaxation d'énergie.

I.6 .2 Structure de la bande d'énergie

La structure de la bande d'énergie est la propriété la plus fondamentale d'un semi-conducteur. Pour la simulation d'un composant à semi-conducteur, la structure de la bande est décrite par : l'énergie de la bande interdite, les masses effectives et la densité effective des états.

I.6 .2.1 La largeur de la bande interdite et la dépendance à la température

L'énergie de la bande interdite E_g est la différence entre la plus basse énergie dans la bande de conduction et la plus haute énergie dans la bande de valence. Le SiC possède une bande interdite plus large que le Si. La bande interdite du 4H-SiC est de $3,23\text{eV}$ à 300K . Elle n'est pas constante lorsque la température varie, et la dépendance de la bande interdite du 4H-SiC peut être modélisée par l'équation [178] :

$$E_g(T) = E_g(0) - 6.5 \times 10^{-4} \times \frac{T^2}{T + 1300} \text{eV} \quad (\text{I.11})$$

Où, $E_g(0)$ est la bande interdite à 0 K, et T est la température en Kelvin.

I.6 .2.2 Rétrécissement de la bande interdite

La bande interdite d'un semi-conducteur se rétrécit lorsque la concentration des impuretés est trop élevée. Cet effet est appelé effet de rétrécissement de la bande interdite. Lorsqu'un dispositif contenant des régions ayant des concentrations de dopage différentes, un décalage des bords de la bande peut se produire. Ceci engendre la modification des barrières de potentiels, ce qui modifie le comportement de transport de charges à travers les jonctions. Considérant l'effet de rétrécissement de bande interdite, la bande interdite effective $E_{g,eff}$ peut être donnée par [179].

$$E_{g,eff} = E_{g0} - \Delta E_{bng} \quad (\text{I.12})$$

Où, E_{g0} est la bande interdite à une faible concentration de dopage, et ΔE_{bng} est le décalage de la bande interdite par l'effet de rétrécissement de celle-ci.

Le décalage de la bande interdite induit par le dopage et l'effet du rétrécissement dans le 4H-SiC a été modélisé par Lindefelt [180]. Les déplacements des bords de la bande interdite pour les semi-conducteurs de type n et de type p peuvent être exprimés par les équations I.13, I.14, I.15, et I.16.

$$\Delta E_{nc} = A_{nc} \left(\frac{N_D^+}{10^{18}} \right)^{1/3} + B_{nc} \left(\frac{N_D^+}{10^{18}} \right)^{1/2} \quad (\text{I.13})$$

$$\Delta E_{nv} = A_{nv} \left(\frac{N_D^+}{10^{18}} \right)^{1/3} + B_{nv} \left(\frac{N_D^+}{10^{18}} \right)^{1/2} \quad (\text{I.14})$$

Type n	A_{nc}	B_{nc}	A_{nv}	B_{nv}
	-1.50×10^{-2}	-2.93×10^{-3}	$1,90 \times 10^{-2}$	$8,74 \times 10^{-3}$
Type p	A_{pc}	B_{pc}	A_{pv}	B_{pv}
	$-1,57 \times 10^{-2}$	$-6,64 \times 10^{-4}$	$1,30 \times 10^{-2}$	$1,14 \times 10^{-3}$

TABLEAU I.4: Les coefficients de déplacements des bords de la bande interdite pour les semi-conducteurs de type n et de type p

$$\Delta E_{pc} = A_{pc} \left(\frac{N_A^-}{10^{18}} \right)^{1/3} + B_{pc} \left(\frac{N_A^-}{10^{18}} \right)^{1/2} \quad (\text{I.15})$$

$$\Delta E_{pv} = A_{pv} \left(\frac{N_A^-}{10^{18}} \right)^{1/3} + B_{pv} \left(\frac{N_A^-}{10^{18}} \right)^{1/2} \quad (\text{I.16})$$

Où, les coefficients A_{nc} , B_{nc} , A_{nv} , B_{nv} , A_{pc} , B_{pc} , A_{pv} , et B_{pv} sont reportés sur le tableau I.4. Les déplacements sont donnés en eV.

I.6 .2.3 Masses effectives et densité effective des états

Pour le 4H-SiC, la densité effective des états dans la bande de conduction N_c peut être calculée par :

$$N_c = 4.82 \times 10^{15} \times M \times \left(\frac{m_c}{m_0} \right)^{3/2} \times T^{3/2} = 3.25 \times 10^{15} \times T^{3/2} \text{cm}^{-3} \quad (\text{I.17})$$

Où $M = 3$ est le nombre de vallées équivalentes dans la bande de conduction, et $m_c = 0,37m_0$ est la masse effective de la densité d'états dans une vallée de la bande de conduction [178]. La densité effective des états dans la bande de valence est donnée par :

$$N_v = 4.85 \times 10^{15} \times T^{3/2} \text{cm}^{-3} \quad (\text{I.18})$$

I.6 .3 Mobilité des porteurs de charges

La mobilité des porteurs de charges est un paramètre de base pour l'expression du courant dans les composants à semi-conducteurs. Elle dépend de la concentration de dopage et de la température. En utilisant la relation empirique suggérée par Caughey et Thomas [181], la mobilité des électrons μ_n et la mobilité des trous μ_p à faible champ électrique peuvent être modélisées par :

$$\mu_{n,p} = \mu_{n,p}^{min} + \frac{\mu_{n,p}^{delta}}{1 + \left(\frac{N_A + N_D}{N_{n,p}^\mu} \right)^{\gamma_{n,p}}} \left(\frac{T}{300} \right)^{\alpha_{n,p}} \quad (\text{I.19})$$

Où, N_A et N_D sont les concentrations des impuretés locaux. Le reste des paramètres sont donnés ci-dessous pour le 4H-SiC à partir des travaux de Schaffer et al. [182] :

$$\begin{aligned} \mu_n^{min} &= 0 \text{ cm}^2/V \cdot S, & \mu_p^{min} &= 15,9 \text{ cm}^2/V \cdot S \\ \mu_n^{delta} &= 947 \text{ cm}^2/V \cdot S, & \mu_p^{delta} &= 108,1 \text{ cm}^2/V \cdot S \\ N_n^\mu &= 1,94 \times 10^{17} \text{ cm}^{-3}, & N_p^\mu &= 1,76 \times 10^{19} \text{ cm}^{-3} \\ \gamma_n &= 0,61, & \gamma_p &= 0,34 \\ \alpha_n &= -2,15, & \alpha_p &= -2,15 \end{aligned}$$

I.6 .4 Génération-Recombinaison

Les processus de génération-recombinaison sont des processus qui créent et absorbent les porteurs de charges mobiles (électrons et trous). Ils sont très importants pour le fonctionnement de nombreux dispositifs à semi-conducteurs, en particulier pour les MOSFETs. Afin de comprendre on cite dans ce qui suit les principaux mécanismes dans les MOSFETs SiC.

I.6 .4.1 Recombinaison de Shockley-Read-Hall

Dans les semiconducteurs à bande interdite indirecte, tels que le Si et le SiC, le processus de recombinaison indirecte à travers des états localisés ou des centres de recombinaison est dominant. Ce processus de recombinaison a été initialement modélisé par Shockley et Read [183] et plus tard par Hall [184]. Aujourd'hui ce processus est communément appelé recombinaison de Shockley-Read-Hall (SRH). Le taux de recombinaison de la SSR est donné par :

$$R_{SRH} = \frac{np - n_{i,eff}^2}{\tau_p(n + n_1 + \tau_n(p + p_1))} \quad (\text{I.20})$$

Où n_1 et p_1 sont définis par :

$$n_1 = n_{i,eff} \exp\left(\frac{E_{trap}}{kT}\right) \quad (\text{I.21})$$

$$p_1 = n_{i,eff} \exp\left(\frac{E_{trap}}{kT}\right) \quad (\text{I.22})$$

Où, n et p sont les concentrations d'électrons et de trous, $n_{i,eff}$ est la concentration intrinsèque efficace des porteurs, τ_n et τ_p sont les durées de vie des électrons et des trous, et E_{trap} est la différence d'énergie entre le niveau de défaut et le niveau intrinsèque. Les durées de vie τ_n et τ_p dépendent du niveau de dopage et de la température (equation I.23).

$$\tau_{n,p} = \frac{\tau_{n,p}^{max}}{1 + \left(\frac{N_A + N_D}{N_{n,p}^{ref}} \right)^{\gamma_{n,p}}} \left(\frac{T}{300} \right)^{\alpha_{n,p}} \quad (I.23)$$

Où $\tau_{n,p}^{max}$ est la durée de vie du matériau sans impuretés à 300 K. Les autres paramètres sont présentés ci-dessous pour le 4H-SiC. Les paramètres de dépendance au dopage sont rapportés dans [185] et [186], alors que les paramètres de dépendance à la température sont pris des articles [185] et [187].

$$\begin{aligned} N_n^{ref} &= 3 \times 10^{17} cm^{-3}, & N_p^{ref} &= 3 \times 10^{19} cm^{-3} \\ \gamma_n &= 0,3, & \gamma_p &= 0,3 \\ \alpha_n &= 1,72, & \alpha_p &= 1,72 \end{aligned}$$

I.6 .4.2 Recombinaison de Surface (SRH)

Sur les surfaces ou les interfaces, une équation supplémentaire est utilisée pour décrire le taux de recombinaison de surface (SRH), qui est structurellement équivalent à celui du substrat.

$$R_{SRH}^{surface} = \frac{np - n_{i,eff}^2}{(n + n_1/s_p + (p + p_1/s_n))} \quad (I.24)$$

Où s_n et s_p sont les vitesses de recombinaison de surface pour les électrons et les trous, n_1 et p_1 sont définis par les équations I.21 et I.22. Le taux de recombinaison de surface a un fort impact sur le gain en courant dans les MOSFETs SiC. Il dépend de la qualité de l'interface entre le dioxyde de silicium (SiO_2) et le SiC.

I.6 .4.3 Recombinaison d'Auger

Dans le processus de recombinaison Auger, la transition d'un électron de la bande de conduction à la bande de valence se fait par transfert d'énergie à un autre électron libre ou à un trou. Par conséquent, la recombinaison Auger est un processus dans lequel trois particules sont impliquées : l'électron et le trou de recombinaison, ainsi que le porteur de charge par lequel l'énergie est absorbée. Le porteur hautement énergétique, qui a gagné l'énergie pendant la collision, perd ensuite l'énergie par petites étapes à travers

des collisions produisant de la chaleur avec le réseau cristalin. La recombinaison d'Auger est généralement importante lorsque les densités de porteurs sont très élevées. Par conséquent, elle se produit principalement dans un matériau semi-conducteur fortement dopé ou dans des conditions d'injection élevée. Le taux de recombinaison d'Auger est modélisé par [188] avec l'équation suivante :

$$R_{Auger} = (C_n n + C_p p)(np - n_{i,eff}^2) \quad (I.25)$$

Où $C_n = 5 \times 10^{-31} cm^{-6} s^{-1}$ et $C_p = 2 \times 10^{-31} cm^{-6} s^{-1}$ [178].

I.6 .5 Pièges d'oxyde

Les pièges d'oxyde Q_{ot} sont des charges positives ou négatives (électron ou trou) générées dans le volume de l'oxyde par une perturbation extérieure telle une irradiation ou une injection de porteurs. La distribution de ces charges piégées dépend des conditions d'élaboration de l'oxyde et des conditions durant l'irradiation. Les charges piégées dans l'oxyde peuvent être modélisées par une distribution uniforme des pièges dans la couche du diélectrique (SiO_2). Les charges piégées sont prises en compte par l'équation de Poisson. La densité de charge d'espace est calculée par :

$$Q_{ot} = q \cdot N_{ot} \cdot f_{ot} \quad (I.26)$$

Où, le signe de Q_{ot} dépend de l'état de charge du piège, N_{ot} et f_{ot} représentent respectivement la concentration des pièges dans l'oxyde et la fonction d'occupation des pièges. Comme nous l'avons déjà évoqué dans le chapitre 3, les pièges dans l'oxyde peuvent engendrer un courant de fuite de grille et une dégradation de la tension de seuil dans le temps.

I.6 .6 Pièges d'interface

Ce sont des charges piégées par les défauts qui résultent de la discontinuité du réseau cristallin à l'interface semi-conducteur-Oxide ($SiC - SiO_2$). Ces défauts sont appelés états d'interface. Les pièges à l'interface Q_{it} peuvent être modélisés pour agir selon le processus de recombinaison de Surface Shockley-Read-Hall (SRH) décrit auparavant avec l'équation I.24. La densité de charge des pièges est ajoutée à l'équation de Poisson et s'exprime alors par l'équation I.27 pour les donneurs et l'équation I.28 pour les accepteurs.

$$Q_{it} = (1 - f) \cdot N_{it} \cdot q_0 \quad (\text{I.27})$$

$$Q_{it} = -f \cdot N_{it} \cdot q_0 \quad (\text{I.28})$$

Où, N_{it} est la densité des pièges d'interface, et f est la fonction d'occupation exprimée par :

$$f = \frac{n/s_p + p_1/s_n}{(n + n_1/s_p + (p + p_1/s_n))} \quad (\text{I.29})$$

I.6 .7 Ionisation incomplète

À basse température, l'énergie thermique dans un semi-conducteur n'est pas assez élevée pour activer complètement toutes les atomes des impuretés donneur et accepteur. La concentration des dopants ionisés est calculée selon [189] avec les équations suivantes :

$$N_D^+ = \frac{N_D}{1 + g_D \cdot \frac{n}{n_1}} \quad (\text{I.30})$$

$$N_A^- = \frac{N_A}{1 + g_A \cdot \frac{p}{p_1}} \quad (\text{I.31})$$

Où, N_D et N_A sont les concentrations de dopants (actives) des donneurs et des accepteurs respectivement. g_D et g_A indiquent les facteurs de dégénérescence pour les niveaux d'impuretés des donneurs et des accepteurs respectivement. g_D a une valeur typique de 2 alors que la valeur typique de g_A est égale à 4. n et p désignent les concentrations de porteurs à l'équilibre. n_1 et p_1 sont exprimés par les équations I.21 et I.22.

Pour étudier le comportement électro-thermique des MOSFETs SiC , nous avons réalisé des simulations en considérant les modèles physiques décrits précédemment (dérive-diffusion, recombinaisons, tunnel bande-à-bande, SRH). Les résultats de ces simulations seront présenter dans le chapitre 4.

I.7 Conclusion

La course vers l'électrification des systèmes et des plates-formes dans les différents domaines (automobiles, aéronautique, ferroviaire...) a poussé le développement de

l'électronique de puissance vers des dispositifs de conversion d'énergie plus performants, d'où la nécessité de concevoir des équipements de conversion d'énergie capables de fonctionner dans des conditions contraignantes (températures, tensions et fréquences plus élevées). De plus, les équipementiers cherchent à réduire les besoins de la gestion thermique, la densification massiques et volumiques des convertisseurs en diminuant la taille et le nombre des systèmes de refroidissement.

Pour répondre à ces exigences, le marché de l'électronique de puissance s'oriente vers les composants MOSFETs SiC qui présente des éléments essentiels dans les dispositifs de conversion d'énergie. Ces composants possèdent des propriétés physiques, électriques et thermiques supérieures à leurs équivalents en silicium. Ces propriétés permettent aux MOSFETs d'assurer un fonctionnement à haute température et à haute fréquence avec des pertes en conduction et en commutation plus réduites. Néanmoins, la question de la fiabilité de ces composants et leur stabilité de fonctionnement à long terme doit être posée. En effet, comme nous avons présenté précédemment les recherches ont pu identifier plusieurs mécanismes de défaillance dans ce type de composant tels que les effets de porteurs chauds, la dégradation de la métallisation, le claquage d'oxyde (TDDO), et l'instabilité de la tension de seuil.

Pour s'affranchir ces mécanismes de défaillance, ce travail de recherche s'attachera à trois approches d'étude : la modélisation qui permet de décrire et analyser le comportement de ces composants soumis à des contraintes thermiques et électriques. La deuxième approche consiste à appliquer des tests de vieillissement tels que ESD et HTRB afin d'évaluer la fiabilité de ces composants. La troisième approche porte sur la simulation physique qui vise à comprendre et analyser le fonctionnement de ces composants et de mieux interpréter les résultats des tests de fiabilité. Dans le chapitre suivant nous présenterons les moyens et les résultats de caractérisations des composants MOSFETs en SiC. Ensuite nous mettrons en place un modèle compact qui décrit le comportement électro-thermique de ces composants.

Chapitre II

Caractérisation et modélisation des MOSFETs de puissance

II.1 Introduction

La technologie SiC étant assez récente, il est nécessaire de caractériser et modéliser les nouveaux transistors de puissance (MOSFET SiC) pour vérifier les performances annoncées sur la datasheet constructeur et s'assurer de la maturité du processus de fabrication. Ainsi, avant toute utilisation de cette nouvelle technologie de MOSFET SiC, une phase de caractérisation s'avère indispensable afin de déterminer leur comportement dans les conditions opérationnelles réelles. L'étape de la caractérisation vise à identifier les paramètres importants du composant (tension de seuil, courant de fuite, résistance à l'état passant,...) et mettre en évidence ces potentialités en terme de puissance. Sauf que la caractérisation seule n'est pas suffisante pour comprendre le comportement de ces composants. Il faut aussi développer des modèles fiables et capables de reproduire les différents comportements du composant. Ces modèles doivent se baser sur des équations de la physique des semiconducteurs qui introduisent les paramètres physiques et technologiques du composant. L'approche de la modélisation est complémentaire à la caractérisation car les modèles doivent ajuster parfaitement les mesures électriques.

Parmi les leaders de la technologie SiC dans le marché des composants de puissance on trouve le constructeur Cree Inc actuellement connu sous le nom de Wolfspeed. Ce constructeur a commercialisé la troisième génération de SiC MOSFET "C3M0280090D" [190] en 2017 après avoir introduit la deuxième génération "C2M0280120D" [191] et "C2M0160120D" [192] en 2013 et la première génération "CMF10120D" en 2011 [193]. Cette évolution dans les générations traduit un progrès significatif pour les applications à haute température et haute fréquence. D'où la nécessité de comparer les performances

Génération		Référence	Courant nominal	Tension maximale	$R_{ds(on)}$	Température maximale
Première génération	Gen1H	CMF10120D	24A	1200V	160mΩ	135 °C
Deuxième génération	Gen2L	C2M0280120D	10A	1200V	280mΩ	150 °C
	Gen2H	C2M0160120D	19A	1200V	160mΩ	150 °C
Troisième génération	Gen3L	C3M0280090D	11,5A	900V	280mΩ	150 °C

TABLEAU II.1: Principales propriétés électriques des composants d'études du chez Cree Inc

électriques des différentes générations de MOSFET SiC. Ce chapitre présente une étude sur les performances électriques de ces composants en se basant sur les deux approches caractérisation et modélisation. Avant d'introduire le plan de ce chapitre, nous présentons tout d'abord les différents composants SiC étudiés pendant ces travaux de thèse, et dont les principales propriétés électriques sont présentées dans le tableau II.1. Les composants étudiés nommés "Gen1H" pour les composants de première génération à fort courant, "Gen2H" pour les composants de deuxième génération à fort courant "Gen2L" pour les composants de deuxième génération à faible courant, et "Gen3L" pour les composants de troisième génération à faible courant. Notre choix de ces composants d'étude revient à leurs disponibilité commerciale et à leurs caractéristiques électriques.

Ce chapitre présente en premier lieu les méthodes de caractérisations statiques pour évaluer les performances électriques des trois générations du MOSFET SiC de chez Cree Inc. Il décrit en détail les différentes méthodes d'extraction de la tension de seuil qui représente un paramètre pertinent du transistor. Puis il évoque l'aspect modélisation, en étudiant le modèle constructeur SPICE et ses limitations. Ensuite un modèle compact avec une nouvelle méthode d'extraction des paramètres seront développés. Finalement, les paramètres extraits du modèle proposé seront exploités pour analyser le comportement statique des trois générations du MOSFET subissant des variations de la température.

II.2 Caractérisation statique des MOSFETs : Description de la méthodologie de caractérisation

L'évaluation des performances électrique d'un composant MOSFET s'obtient à l'aide des caractérisations électriques du transistor. Des mesures courant-tension (I-V), courant de fuite et capacité-tension (C-V) peuvent être réalisées afin d'extraire les paramètres pertinents décrivant le comportement statique du transistor.

II.2.1 Caractéristique courant-tension (I-V)

La caractérisation I-V regroupe les caractéristiques d'entrée $I_{ds} = f(V_{gs})$, et de sortie $I_{ds} = f(V_{ds})$. A partir de ces caractéristiques, on peut déterminer des paramètres de fonctionnement comme la transconductance (g_m), la tension de seuil (V_{th}), la résistance à l'état passant ($R_{ds(on)}$), et le courant de saturation (I_{dsat}).

II.2.1.1 Banc de mesure des caractéristiques I-V

Le laboratoire GPM est équipé d'un banc de mesure permettant la mesure des caractéristiques courant-tension I-V en mode pulsé (figure II.1). La mesure en mode pulsé trouve son intérêt dans les mesures des transistors de fort développement qui dissipent une forte puissance lors de la mesure des caractéristiques I-V. Cette puissance entraîne une élévation de température liée à l'auto-échauffement du composant, qui peut conduire à une dégradation partielle ou totale des performances du composant. L'utilisation de mesures en mode pulsé permet de s'affranchir en grande partie de ces problèmes d'auto-échauffement.

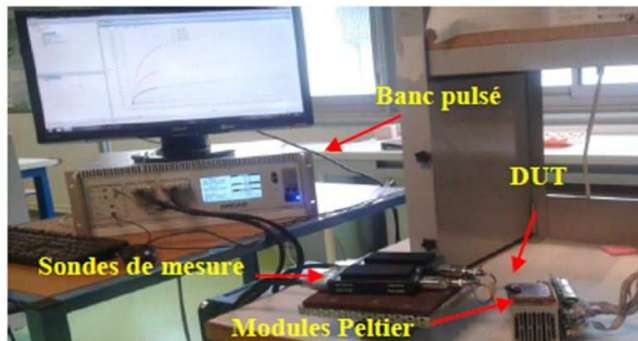


FIGURE II.1: Banc de mesures I(V) en mode pulsé.

Le banc est constitué de :

- Générateur d'impulsions : Ce générateur est développé par la société AMCAD engineering (figure II.2-a). Il possède deux sondes (drain et grille) déportées et capables de réaliser les mesures I(V) (figure II.2-b). Cette dernière fonction permet donc éventuellement d'utiliser cet instrument tout seul pour réaliser une fonction PIV complète. La précision de mesure sur la sonde de grille en tension est égale à 30mV pour une gamme de $\pm 15V$. Pour la sonde de drain, la précision en courant est égale à 120mA pour une gamme de 30A, et la précision en tension est égale à 250mV pour une gamme de 120V.
- Module de Peltier : Ce module représente le support sur lequel on place le composant sous test pour varier la température de semelle dans une plage de $0^{\circ}C$ à

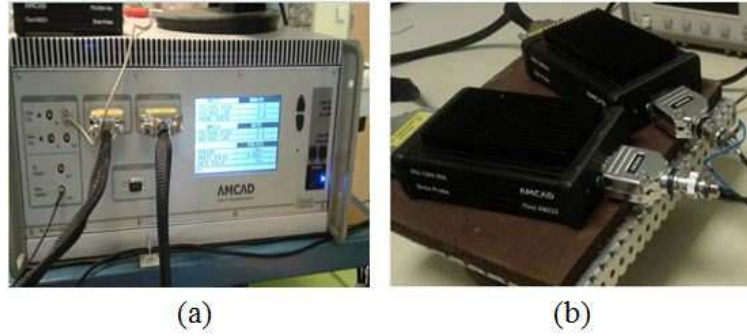


FIGURE II.2: (a) : Face avant du générateur d'impulsions et (b) : Sonde de mesure de la grille et du drain

135°C (figure II.3-a). Ce module est commandé informatiquement par le châssis présenté sur la figure II.3-b.

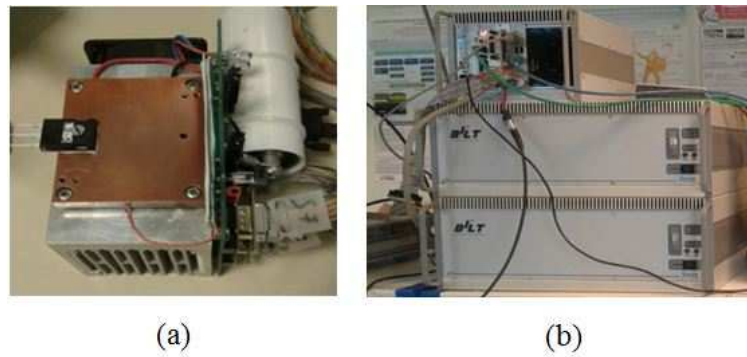


FIGURE II.3: (a) : Module Peltier pour la stabilisation en température du DUT et (b) : Châssis de commande du banc

II.2.1.2 Caractéristique d'entrée

La caractéristique d'entrée appelée aussi caractéristique de transfert statique du transistor, représente la relation entre le courant du drain et la tension grille-source à une tension drain-source donnée ($I_{ds} = f(V_{gs})$ à V_{ds} donnée) (figure II.4). Selon la valeur de la tension du drain choisie, la caractéristique de transfert peut être représentée en régime linéaire (avec une faible tension V_{ds}) ou en régime de saturation ($V_{ds} > V_{gs} - V_{th}$).

Visualiser la relation entre la grandeur de sortie et la grandeur d'entrée à travers le graphique de la caractéristique d'entrée permet de statuer sur l'état du composant MOSFET. En effet, des paramètres importants peuvent être extraits à partir de la caractéristique d'entrée $I_{ds} - V_{gs}$, notamment la transconductance g_m et la tension de seuil V_{th} .

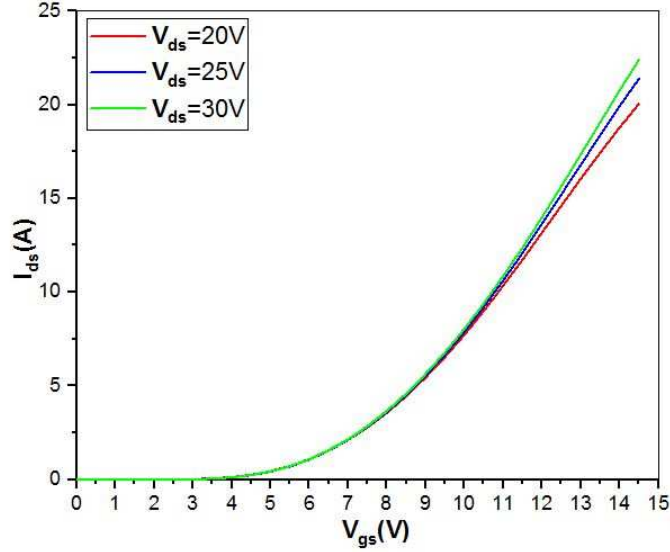


FIGURE II.4: Caractéristique d'entrée d'un transistor MOSFET à canal N pour trois valeurs de V_{ds} : 20V, 25V et 30V

— Transconductance

La transconductance appelée aussi pente est le rapport entre la variation du courant de sortie (I_{ds}) et la variation de la tension d'entrée (V_{gs}). Elle s'exprime en (A/V). La transconductance traduit la commande du canal par la tension V_{gs} . Elle est considérée comme étant un paramètre important dans le calcul des temps de commutation. Et par conséquent un indicateur principale de l'état du composant MOSFET. La transconductance est définie par :

$$g_m = \frac{\Delta I_{ds}}{\Delta V_{gs}} \quad (\text{II.1})$$

La figure II.5 présente la transconductance des quatre composants d'étude à trois températures (25 ° C, 80 ° C et 135 ° C) et à $V_{ds}=20\text{V}$. Pour les composants de la deuxième et la troisième génération (Gen2L, Gen2H et Gen3L), il est possible de diviser la courbe de variation de la transconductance en une partie croissante et une autre partie décroissante. La première partie représente la vitesse des porteurs de charges (mobilité des électrons) qui augmente par la conduction du canal N le long de l'oxyde de grille (augmentation de V_{gs}) jusqu'à atteindre la saturation (on s'approche de la tension V_{gs} nominale du composant). Après ce maximum, la mobilité diminue en raison de la résistance de drift qui augmente avec la température et limite le courant de drain. En revanche, pour le composant de la première génération (Gen1H) la transconductance augmente avec la température et la tension V_{gs} car la vitesse de porteurs de charges n'atteint pas encore la saturation pour la plage de V_{gs} étudiée (V_{gs} loin de la tension nominale du composant).

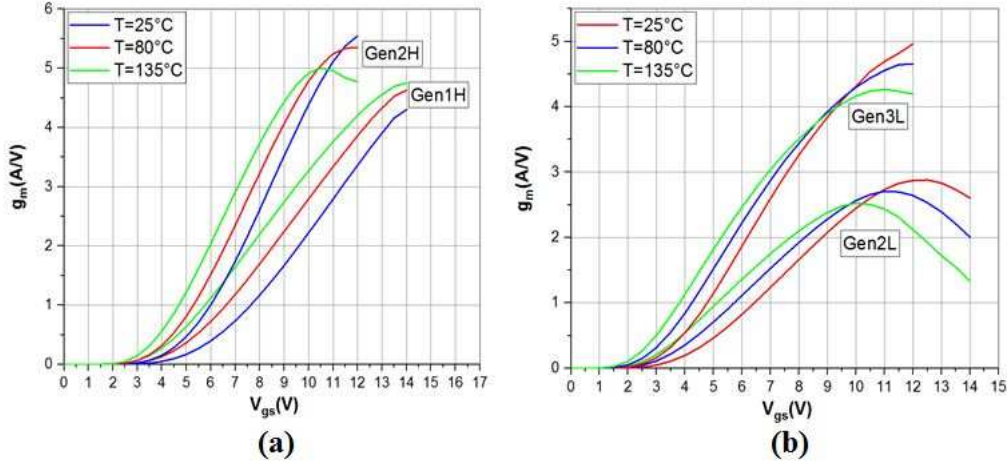


FIGURE II.5: La variation de la transconductance g_m en fonction de V_{gs} à $V_{ds}=20V$ et à trois températures ($25^\circ C$, $80^\circ C$ et $135^\circ C$) pour : (a) (Gen1H, Gen2H) et (b) (Gen2L, Gen3L)

— Tension de seuil

Usuellement, la tension de seuil (V_{th}) est considérée comme étant la tension grille-source (V_{gs}) à laquelle un courant de drain significatif commence à circuler dans le canal. Autrement dit, V_{th} est la tension nécessaire pour faire entrer le MOSFET en conduction. Mais physiquement, cette tension V_{th} correspond à la tension appliquée à l'électrode de grille pour entrer en mode de fonctionnement de forte inversion. Lorsque la surface du semi-conducteur pénètre dans ce mode, le potentiel de surface (Ψ_s) est égal à deux fois le potentiel global (Ψ_B) [194, 195]. Dans ce cas, la tension V_{th} est donnée par :

$$V_{th} = \frac{Q_s}{C_{ox}} + 2\Psi_B \quad (II.2)$$

Où, C_{ox} est la capacité spécifique de l'oxyde, et Q_s est la charge totale dans le semi-conducteur. Étant donné que le potentiel global (Ψ_B) est lié à la concentration dopage (N_A) dans le semi-conducteur et à la température T , alors la tension de seuil V_{th} peut s'écrire sous la forme suivante :

$$V_{th} = \frac{\sqrt{4\varepsilon_{SiC}kT_jN_A \ln\left(\frac{N_A}{n_i}\right)}}{C_{ox}} + \frac{2kT_j}{q} \ln\left(\frac{N_A}{n_i}\right) - \frac{Q_{ox}}{C_{ox}} \quad (II.3)$$

Où :

- ε_{SiC} est la permittivité relative du semi-conducteur
- n_i est la concentration de porteurs intrinsèques
- k est la constante de Boltzmann

- Q_{ox} présente la charge effective totale dans l'oxyde qui comprend la charge d'ions mobiles (Q_{NA}), les charges piégées dans l'oxyde (Q_T), les charges fixes dans l'oxyde (Q_F) et les états d'interface (Q_I).

A partir de l'équation II.3 on remarque que la tension de seuil dépend de la température et de certains paramètres physiques qui caractérisent la structure du MOSFET tels que : la nature du matériau de la grille, l'épaisseur de la couche d'oxyde t_{ox} , et la concentration de dopage du substrat N_A . Cependant, cette définition de V_{th} est difficile à exploiter car elle nécessite une connaissance préalable de tous ces paramètres. Par conséquent, différentes études ont développé des définitions approximatives de V_{th} . Ces définitions sont liées à la méthode d'extraction de ce paramètre. Nous présentons dans la partie II.2.2 les méthodes les plus souvent utilisées pour définir et extraire la tension de seuil V_{th} .

Pour étudier le comportement électrothermique de nos composants d'étude et comparer la tension de seuil des trois générations des MOSFETs SiC nous avons utilisé une nouvelle méthode d'extraction appelé OLM (Optimisation de Levenberg-Marquardt) [196]. Cette méthode sera détaillée dans la suite de ce manuscrit. En effet, la tension de seuil est extraite pour chaque composant d'étude et pour plusieurs températures. La figure II.6 montre l'évolution de V_{th} des différentes générations du MOSFET SiC en fonction de la température.

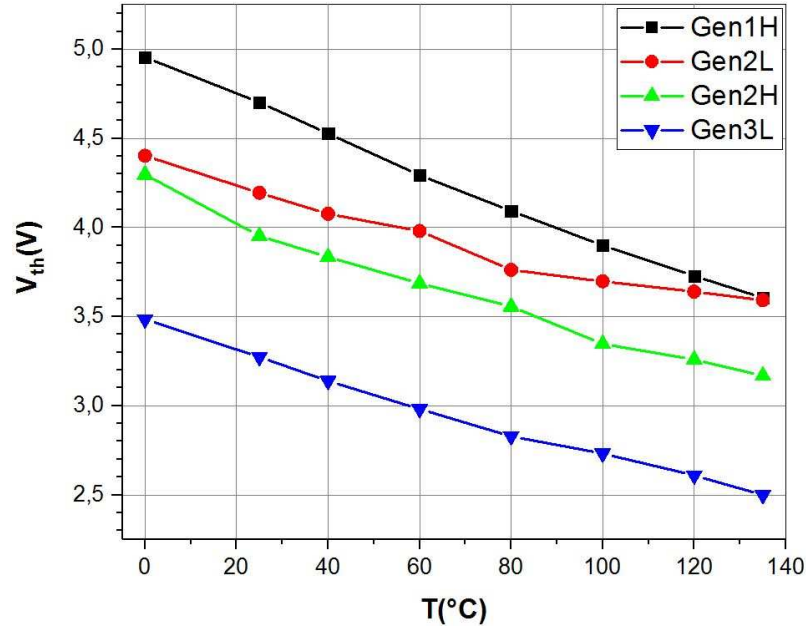


FIGURE II.6: Évolution de la tension de seuil des quatre composants d'étude en fonction de la température à $V_{ds} = 20V$

D'après la figure II.6, la tension de seuil des quatre composants garde le même comportement décroissant avec la température. Tous les composants conservent

une tension de seuil supérieure à 1V qui garantit toujours la propriété normally-off du MOSFET. Cependant, le pourcentage de la décroissance de V_{th} varie d'une génération à une autre. Nous remarquons que la diminution de V_{th} pour la deuxième génération à faible courant (Gen2L) est moins prononcée avec un pourcentage de 19%, ce qui implique que ce composant possède une meilleure stabilité de V_{th} en fonction de la température. Par contre, la première génération (Gen1H) possède un pourcentage de diminution égale à 28%. Tandis que la deuxième génération à fort courant (Gen2H) a une diminution de 26%. De plus, nous constatons une réduction de V_{th} pour les nouvelles générations.

II.2.1.3 Caractéristique de sortie

La caractérisation de sortie d'un MOSFET représente la courbe de variation du courant de drain I_{ds} en fonction de la tension drain-source V_{ds} pour différentes tensions de polarisation de grille V_{gs} . Cette caractéristique reflète le fonctionnement du MOSFET en direct. En effet, comme illustré sur la figure II.7, la courbe peut être divisée en deux zones principales :

- La zone linéaire, qui représente le régime ohmique correspondant à une évolution quasi linéaire du courant de sortie I_{ds} lorsque $V_{gs} > V_{th}$ et $V_{ds} > V_{gs}$. Dans ce cas, le MOSFET fonctionne comme une résistance contrôlée par la tension V_{gs} .
- La zone de saturation : C'est la région où le courant du MOSFET atteint sa vitesse maximale saturante. En effet, lorsque $V_{gs} > V_{th}$ le canal conducteur N arrive à la limitation de son épaisseur. Dans ce régime, le transistor est similaire à un circuit fermé. Il est totalement passant et il délivre son courant maximum I_{dsat} .

— Résistance à l'état passant

Ce paramètre informe sur les dérives de la mobilité ou des dégradations ohmiques, ainsi que sur les pertes en conduction d'un MOSFET. Ceci est important pour déterminer le courant maximal admissible afin d'éviter un emballement thermique du composant (température de jonction T_j trop élevée). La résistance à l'état passant ($R_{ds(on)}$) représente l'inverse de la pente du courant du drain I_{ds} en fonctionnement linéaire. Elle est extraite à partir des caractéristiques de sortie d'un VDMOSFET en se basant sur l'équation II.4 (figure II.8).

$$R_{ds(on)} = R_{CS} + R_{N+} + R_{CH} + R_A + R_{JFET} + R_D + R_{SUB} + R_{CD} \quad (II.4)$$

En effet, la résistance à l'état passant est la somme de plusieurs résistances correspondant aux différentes régions de la structure. En revanche, certaines de ces

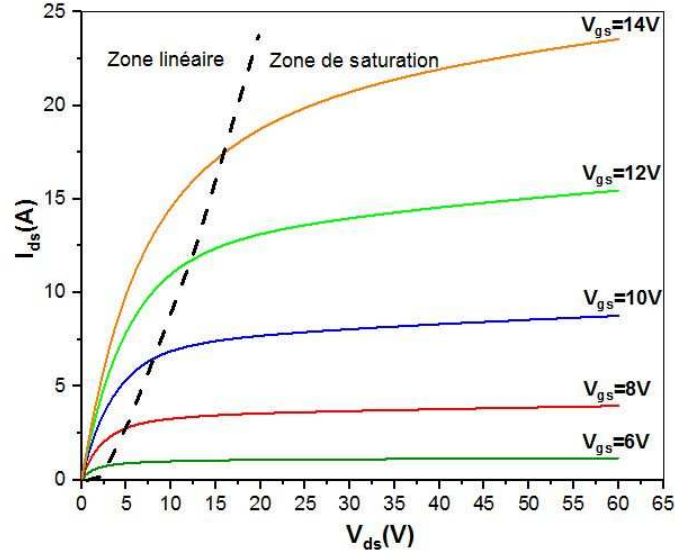
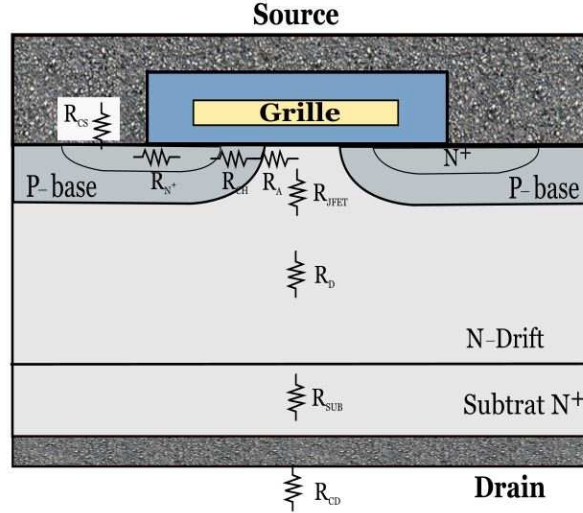

 FIGURE II.7: Caractéristique de sortie $I_{ds} - V_{ds}$ d'un MOSFET à canal N


FIGURE II.8: Schéma de la résistance à l'état passant d'un VDMOSFET

résistances élémentaires, sont parfois négligées et considérées comme des composantes parasites comme la résistance de la zone N^+ de la source et la résistance de la couche d'accumulation [186].

- R_{CS} et R_{CD} : sont les résistances liées aux résistances des fils de connexion, des métallisations face avant et face arrière de la puce.
- R_{N+} : Résistance du caisson N^+ . Cette résistance représente une très faible proportion de la résistance globale $R_{ds(on)}$ car la source est une zone fortement dopée ayant une faible épaisseur et largeur.
- R_{CH} : Résistance du canal d'inversion N. Elle représente une grande partie de la résistance totale $R_{ds(on)}$ pour les faibles tensions maximales $V_{BR(DSS)}$ (Drain-Source Breakdown Voltage ou tension de claquage). Cette résistance

dépend des dimensions technologiques de la structure, notamment la longueur et la largeur du canal. Par convention la résistance de canal R_{CH} est définie par :

$$R_{CH} = \frac{L_{CH}}{W(\mu_n C_{ox}(V_{gs} - V_{th}))} \quad (II.5)$$

- R_A : C'est la résistance, de la couche épitaxiée qui est en accumulation de charges à proximité de la grille quand $V_{gs} > V_{th}$. Cette région correspond à la zone où le courant issu du drain va passer dans le canal. Donc cette résistance est liée à l'existence de la couche accumulée et à la résistivité de la couche épitaxiée N^- .
- R_{JFET} : Correspond à la région N^- qui se situe entre les caissons P. La résistance de JFET est définie par :

$$R_{JFET} = \frac{\rho_{JFET} x_{JP}}{Z(W_G - 2x_P - 2W_0)} \quad (II.6)$$

Où, W_0 est la largeur de déplétion à une polarisation nulle, x_{JP} est la profondeur de la jonction P-base, W_G est la largeur de grille, et ρ_{JFET} est la résistivité de la région de JFET définie par :

$$\rho_{JFET} = \frac{1}{q\mu_n N_{DJ}} \quad (II.7)$$

Où, N_{DJ} est la concentration des dopants N de la région de JFET.

- R_D : représente la résistance de la zone épitaxiée de faible dopage N^- . Elle constitue une proportion importante de la résistance totale $R_{ds(on)}$ pour les fortes tensions de claquage $V_{BR(DSS)}$. En effet la valeur de cette résistance est déterminée par la tenue en tension du composant. Cette résistance est définie par :

$$R_D = \frac{\rho_D t}{Z(W_{Cell} - a)} \ln \left[\frac{W_{Cell}}{a} \right] \quad (II.8)$$

Où, z est la longueur de la cellule, t est la profondeur de la jonction épitaxiée N^- , a est la largeur de la région de JFET, W_{Cell} est la largeur de la cellule et ρ_D est la résistivité de la zone de drift définie par :

$$\rho_D = \frac{1}{q\mu_n N_{DD}} \quad (II.9)$$

Où, N_{DD} est la concentration des dopants N de la région de drift.

- R_{SUB} : C'est la résistance du substrat. Sa contribution est minime pour de fortes tensions $V_{BR(DSS)}$ car cette zone est fortement dopée et de faible épaisseur. En revanche cette résistance ne peut pas être ignorée pour des tensions $V_{BR(DSS)} \leq 50V$, car elle représente dans ce cas une partie importante de la résistance globale $R_{ds(on)}$.

La résistance à l'état passant $R_{ds(on)}$ de nos composants d'étude est calculé à partir des caractéristiques de sortie mesurées pour le point de fonctionnement $I_{ds} = 5A$ et $V_{gs} = 14V$. Nous nous intéressons à étudier l'influence de la température sur la résistance à l'état passant. La figure II.9 présente l'évolution de $R_{ds(on)}$ des composants d'étude en fonction de la température. On remarque à partir de la figure II.9 que $R_{ds(on)}$ augmente en fonction de la température pour les composants de la deuxième et la troisième générations. Tandis que le composant de la première génération présente un comportement particulier qui se traduit par une baisse de $R_{ds(on)}$ suivie d'une augmentation. La variation de $R_{ds(on)}$ en fonction de la température est pilotée par le comportement de ses trois composantes principales sous l'effet de la température (R_{CH} , R_{JFET} , R_D).

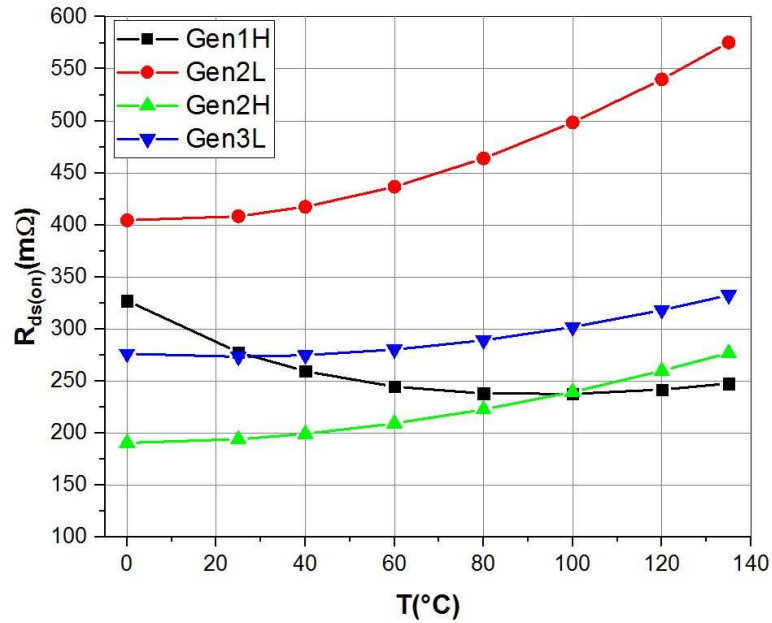


FIGURE II.9: Évolution de la résistance à l'état passant en fonction de la température pour $V_{gs} = 14V$

Selon l'équation II.5, on constate que le comportement de R_{CH} en fonction de la température est régi principalement par l'effet de la température sur la mobilité μ_n et la tension de seuil V_{th} . Pour la première génération, la mobilité μ_n augmente avec la température, ce qui provoque donc une diminution de R_{CH} . Pour les températures ($< 100^\circ C$), l'évolution de la résistance du canal R_{CH} est prédominante.

Ceci explique la diminution de $R_{ds(on)}$ et montre que le canal pilote le comportement à l'état passant du composant. Cependant, au delà de 100 ° C, l'évolution de la résistance de la zone de drift R_D devient prédominante ce qui traduit la croissance globale de la résistance $R_{ds(on)}$ [197]. Pour les composants de la deuxième et la troisième génération, la mobilité μ_n régie par les phonons acoustiques et la tension V_{th} diminuent avec la température, engendrant ainsi une augmentation de R_{CH} [198]. De plus, la diminution de la mobilité μ_n des porteurs engendre l'augmentation des résistivités ρ_D et ρ_{JFET} (selon les équations II.9 et II.7) ce qui induit l'augmentation des résistances R_D et R_{JFET} (selon les équations II.8 et II.6), et par conséquence l'augmentation de la résistance $R_{ds(on)}$ avec la température.

— Courant de saturation

Ce courant est extrait à partir de la caractéristique de sortie à V_{gs} donnée. Il correspond à la valeur maximale du courant I_{ds} .

Dans un MOSFET, il y a un fort intérêt d'avoir un courant de saturation I_{dsat} élevé pour avoir une fréquence de commutation élevée, sauf que ceci n'est pas une condition suffisante. Le courant I_{dsat} s'exprime par [21] :

$$I_{dsat} = \mu_n C_{ox} (W/2L_{CH}) (V_{dsat}^2) \quad (\text{II.10})$$

avec

$$V_{dsat} = (V_{gs} - V_{th})$$

Tandis que le temps de commutation en saturation appelé aussi le délai intrinsèque du transistor τ_t est lié au courant de saturation par [199] :

$$\tau_t = (C_{ox} \cdot V_{ds}) / I_{dsat} \quad (\text{II.11})$$

A partir des équations II.10 et II.11, on remarque que si le courant augmente par la réduction de l'épaisseur de l'oxyde ou une augmentation de la largeur W , le délai va rester constant. En revanche, la réduction de la largeur du canal L_{CH} permet l'amélioration à la fois du I_{dsat} et du délai τ_t . Le courant de saturation I_{dsat} de nos composants d'étude est calculé à partir des caractéristiques de sortie mesurées pour un point de fonctionnement donné ($V_{ds} = 20V$ et $V_{gs} = 12V$). Nous étudions l'impact de la température sur le courant de saturation des trois générations de MOSFET SiC. La figure II.10 montre l'évolution du I_{dsat} en fonction de la température. Nous observons à partir de la figure II.10 une augmentation de I_{dsat} avec la température pour le point de fonctionnement choisi. Selon l'équation II.10, cette variation est due à l'augmentation de la mobilité des électrons dans le canal et la réduction de la tension de seuil sous l'élévation de la température. Nous

constatons aussi que le courant I_{dsat} est devenu de plus en plus important avec l'évolution des générations des transistors MOSFETs SiC de Cree Inc. Ceci est lié à la réduction de t_{ox} et de L_{CH} d'une génération à une autre [200].

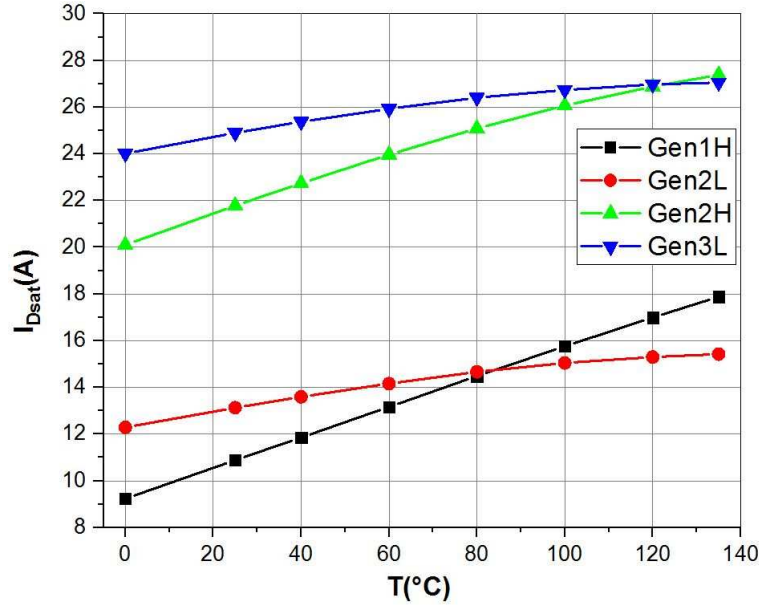


FIGURE II.10: Évolution du courant de saturation en fonction de la température

II.2.2 Méthodes d'extraction de tension de seuil V_{th}

Plusieurs définitions et méthodes ont été développées pour extraire la tension de seuil [201–210]. Elles comprennent la méthode à courant constant (CC :constant current), la méthode d'extrapolation linéaire (LE :linear extrapolation), La méthode d'extrapolation linéaire de la transconductance g_m (GMLE :gm transconductance linear extrapolation) et la méthode de variation de la transconductance (TC :transconductance change).

II.2.2.1 La méthode à courant constant (CC)

La méthode du courant constant (CC) est la méthode la plus exploitée dans l'industrie en raison de sa simplicité [207]. Cette méthode définit V_{th} comme étant la tension V_{gs} correspondante à l'apparition d'un courant de drain significatif pour une tension V_{ds} donnée. Certaines études ont évalué ce courant à $\left(\frac{W}{L}\right) \times 10^{-7}$, où W et L sont respectivement la largeur et la longueur du canal [206]. Cependant, une étude récente a proposé que ce courant soit une fonction de la tension V_{ds} afin d'obtenir une valeur cohérente de V_{th} dans la zone de saturation [210].

La figure II.11 illustre l'extraction de V_{th} par la méthode CC effectuée sur un MOSFET Gen2L pour un courant constant de $I_{ds} = 1,25mA$ similaire à celui annoncé dans la datasheet constructeur. L'extraction est effectuée dans les deux régimes de fonctionnement : linéaire et de saturation, avec une tension $V_{ds} = 0,1V$ en régime linéaire, et $V_{ds} = 20V$ dans le régime de saturation.

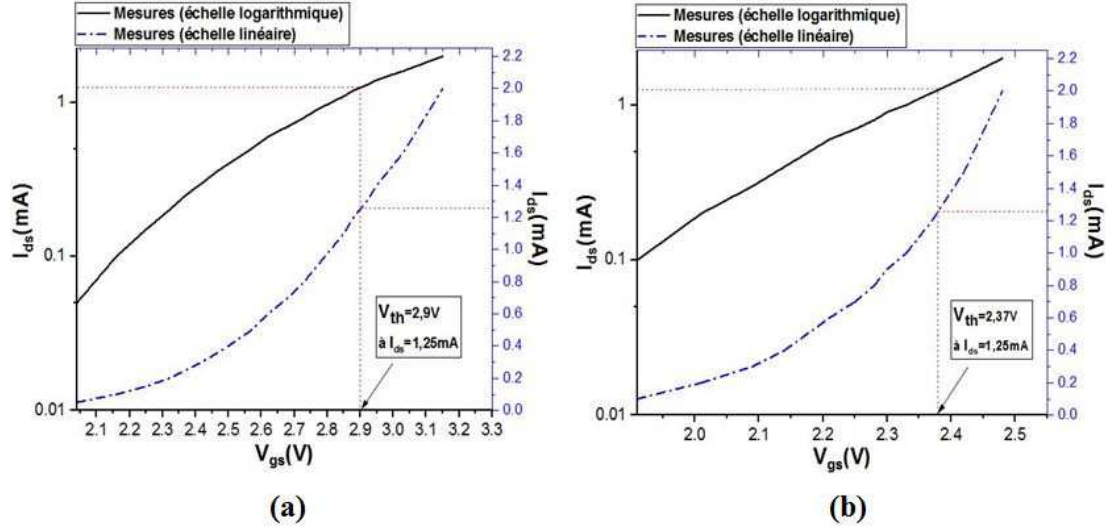


FIGURE II.11: Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode de courant constant : (a) dans le régime linéaire ($V_{ds} = 0,1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)

II.2.2.2 La méthode d'extrapolation linéaire (LE)

La méthode d'extraction linéaire est la méthode la plus utilisée dans les études de fiabilité grâce à sa rapidité et sa simplicité. En effet, la tension de seuil est extraite directement de la caractéristique d'entrée du composant. Pour assurer l'extraction de V_{th} dans les deux zones de fonctionnement du composant (linéaire et de saturation), le courant de drain est mesuré en fonction de la tension de grille à deux tensions de drain : une faible tension V_{ds} pour couvrir la zone linéaire du MOSFET et une forte tension V_{ds} pour couvrir la zone de saturation [205, 208]. En régime linéaire la tension de seuil est déterminée en extrapolant la valeur à zéro de la partie linéaire de la caractéristique d'entrée $I_{ds} - V_{gs}$ au premier maximum de sa dérivée (pente). La tension de seuil est obtenue à partir de la tension de la grille extrapolée (V_{gsi}) selon l'équation suivante (figure II.12-a) :

$$V_{th} = V_{gsi} - \frac{V_{ds}}{2} \quad (II.12)$$

L'extraction dans la zone de saturation s'effectue avec une méthode similaire à celle du régime linéaire, sauf qu'au lieu d'utiliser la caractéristique $I_{ds} - V_{gs}$ on utilise la caractéristique $I_{ds}^{0,5} - V_{gs}$ à une forte tension de drain ($V_{ds} > V_{gs} - V_{th}$). Dans ce cas la tension de seuil est égale à la tension de grille extrapolée : $V_{th} = V_{gsi}$ (figure II.12-b).

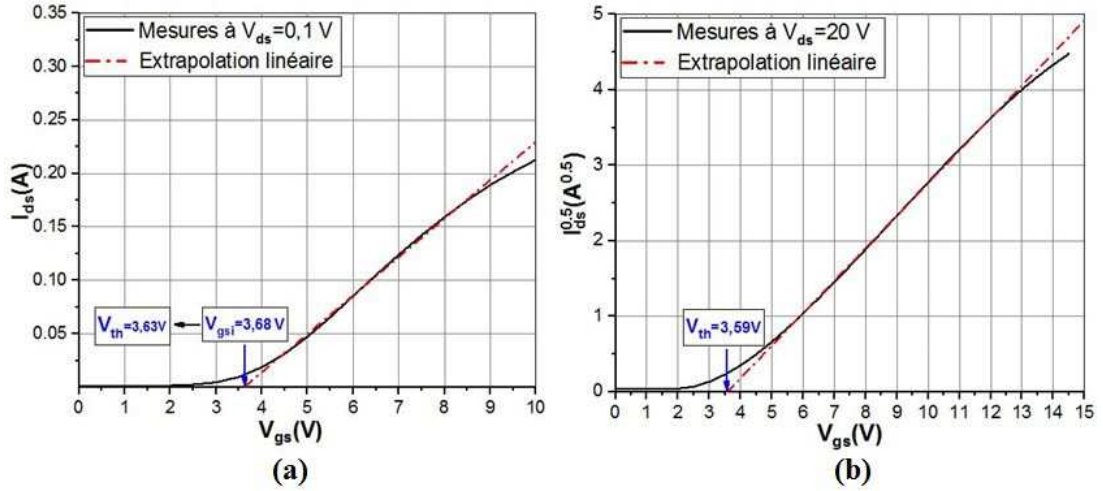


FIGURE II.12: Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode d'extrapolation linéaire : (a) dans le régime linéaire ($V_{ds} = 0,1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)

II.2.2.3 La méthode d'extrapolation linéaire de la transconductance g_m (GMLE)

La méthode d'extrapolation linéaire de la transconductance g_m (GMLE) détermine V_{th} à partir de la caractéristique $g_m - V_{gs}$. La tension V_{th} est extrapolée linéairement à partir du point d'inflexion de la caractéristique $g_m(V_{gs})$ en régime ohmique à la tension de grille où la transconductance g_m s'annule. Physiquement, cette méthode utilise la dépendance linéaire qui existe entre la mobilité du porteur μ_n et le terme $(V_{gs} - V_{th})$, qui provient de la diffusion de Coulomb [203, 204].

La figure II.13-a montre l'extraction de V_{th} avec la méthode GMLE dans la zone linéaire d'un MOSFET Gen2L. Dans la région de saturation, la même procédure est suivie en utilisant la caractéristique $g_m^{0,5} - V_{gs}$, mesurée sous une tension de sortie se situant dans la zone de saturation ($V_{ds} = 20V$). La figure II.13-b illustre l'extraction de V_{th} en utilisant la méthode GMLE dans la région de saturation.

II.2.2.4 La méthode de variation de la transconductance (TC)

La méthode de changement de transconductance utilise la courbe de la dérivée de la transconductance g_m par rapport à V_{gs} . V_{th} est égale à la tension de grille correspondante

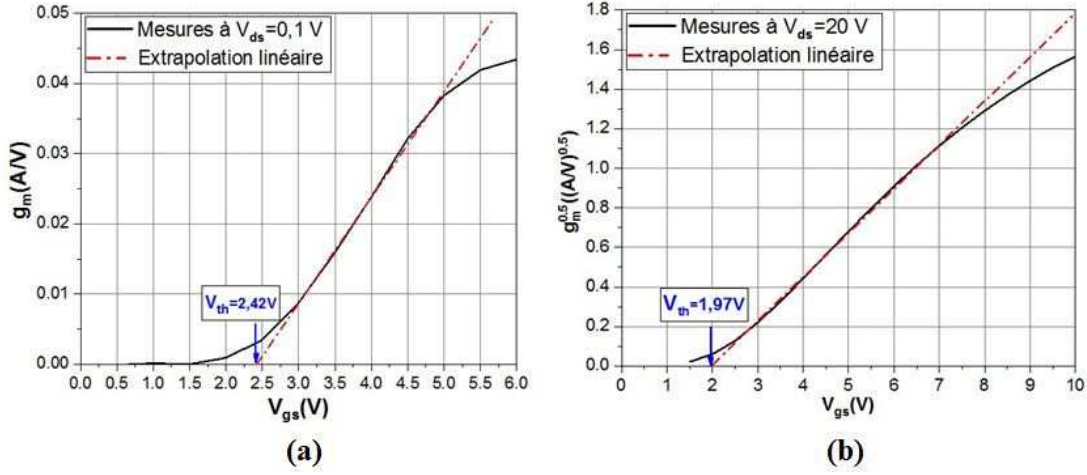


FIGURE II.13: Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode d'extrapolation linéaire de la transconductance g_m : (a) dans le régime linéaire ($V_{ds} = 0,1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)

au maximum de la dérivée de la transconductance [201, 202, 209].

La figure II.14-a illustre la méthode de variation de la transconductance pour l'extraction de V_{th} en zone linéaire. Cependant, la figure II.14-b montre l'extraction de V_{th} avec la même méthode dans le régime de saturation en utilisant la caractéristique $\frac{dg_m^{0.5}}{dV_{gs}} - V_{gs}$.

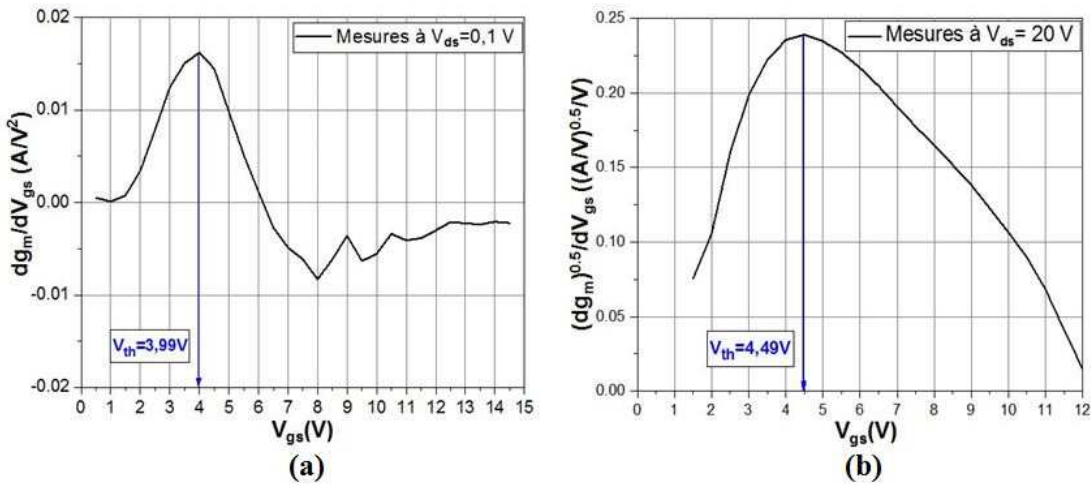


FIGURE II.14: Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode de variation de la transconductance : (a) dans le régime linéaire ($V_{ds} = 0,1V$) et (b) dans le régime de saturation ($V_{ds} = 20V$)

II.2.2.5 Méthode d'optimisation de Levenberg-Marquardt (OLM)

Toutes les méthodes d'extraction de V_{th} basées sur la caractéristique d'entrée I_{ds} - V_{gs} ont une caractéristique commune qui se traduit par la forte influence de la dégradation de la mobilité du canal sur la valeur de la tension V_{th} extraite. Afin de prendre en compte l'effet de mobilité, nous présentons une nouvelle méthode d'extraction appelée méthode d'Optimisation de Levenberg-Marquardt (OLM)[196]. Cette méthode ne peut être utilisée que dans la zone de saturation ($V_{ds} = 20V$) car le courant de drain n'est défini que dans cette zone par l'équation suivante [211] :

$$I_{ds} = \frac{K_p(V_{gs} - V_{th})^2}{2(1 + \theta(V_{gs} - V_{th}))} \quad (II.13)$$

Où, θ est un paramètre qui prend en compte la réduction de la mobilité suite à l'augmentation d'un champ électrique transverse. K_p est appelée la transconductance, et elle est exprimée en (A/V^2) . Le terme transconductance est abusivement utilisé dans la littérature, car il existe une relation linéaire entre K_p et g_m selon l'expression ($g_m = K_p V_{ds}$) [21]. L'extraction de la tension de seuil est basée sur deux étapes. La première étape consiste à exploiter l'équation II.13 du courant de drain dans la région de saturation qui prend en compte l'influence de la dégradation de la mobilité du canal (paramètre θ). Dans la deuxième étape, l'algorithme de Levenberg-Marquardt est utilisé pour optimiser les paramètres de l'équation II.13 et ajuster la courbe de cette équation avec les courbes d'entrée $I_{ds} - V_{gs}$ mesurées. Le principe de cette méthode est illustré dans la figure II.15. L'extraction de V_{th} d'un MOSFET Gen2L est montrée en ajustant correctement le modèle avec les données des mesures expérimentales. Cette méthode sera encore plus détaillée dans ce qui suit.

La performance relative des différentes méthodes présentées est comparée dans les mêmes conditions en les appliquant sur les caractéristiques d'entrée d'un MOSFET Gen2L. Le tableau II.2 résume les valeurs des tensions de seuil obtenues par les différentes méthodes d'extraction proposées dans la littérature dans les deux régions de fonctionnement (linéaire et saturation). Il présente aussi les valeurs de la tension de seuil V_{th} extraites dans la région de saturation par la méthode OLM développée.

A partir du tableau II.2, on observe que la valeur de la tension de seuil extraite dépend fortement de la méthode d'extraction utilisée. Les résultats obtenus sont en accord avec ceux de la bibliographie. Les différences entre les valeurs de V_{th} obtenues peuvent s'expliquer par la forte influence de deux phénomènes sur la linéarité de la courbe d'entrée $I_{ds} - V_{gs}$. Il s'agit des résistances parasites de la source et du drain, ainsi que la dégradation de la mobilité des électrons dans le canal [204]. Par conséquent,

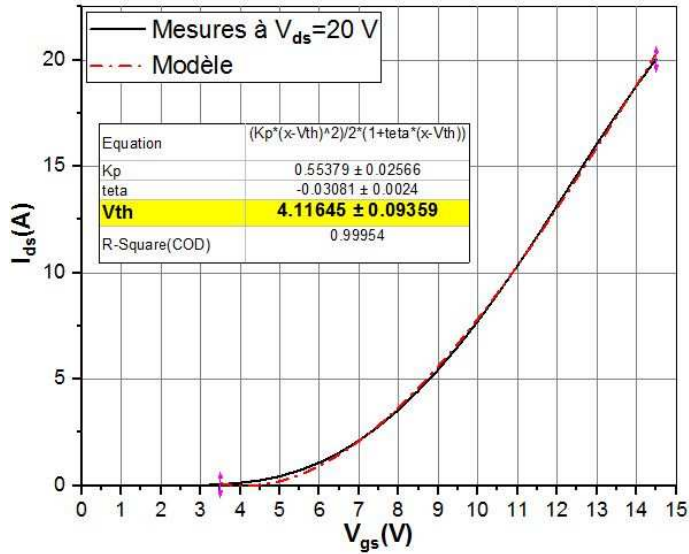


FIGURE II.15: Extraction de la tension de seuil d'un MOSFET Gen2L par la méthode d'optimisation de Levenberg-Marquardt dans le régime de saturation ($V_{ds} = 20V$)

	Linéaire	Saturation
CC	2,9V	2,37V
LE	3,63 V	3,59 V
GMLE	2,42 V	1,97V
TC	3,99V	4,49V
OLM	NA	4,12V

TABLEAU II.2: Comparaison des différentes méthodes d'extraction de la tension de seuil appliquées sur le MOSFET de la deuxième génération (Gen2L)

la méthode proposée s'avère être la plus adaptée pour une évaluation plus précise de V_{th} , car elle assure une excellente modélisation du courant de sortie dans la zone de saturation. En effet, contrairement aux autres méthodes qui se basent uniquement sur la linéarité de la courbe par rapport à V_{gs} , la méthode OLM développée permet de décrire la dépendance du courant à la dégradation de la mobilité.

II.2.3 Caractéristique faible courant

II.2.3.1 Banc de mesure des caractéristiques à faible courant

La caractérisation à faible courant est réalisée grâce à un banc spécifique au sein du laboratoire GPM, il est constitué principalement d'un source mètre appelé SMU (source-Measure-Unit) Keithley 2636 A System. Il est conçu pour mesurer de très faibles courants. La figure II.16 représente une photographie du banc de mesure.

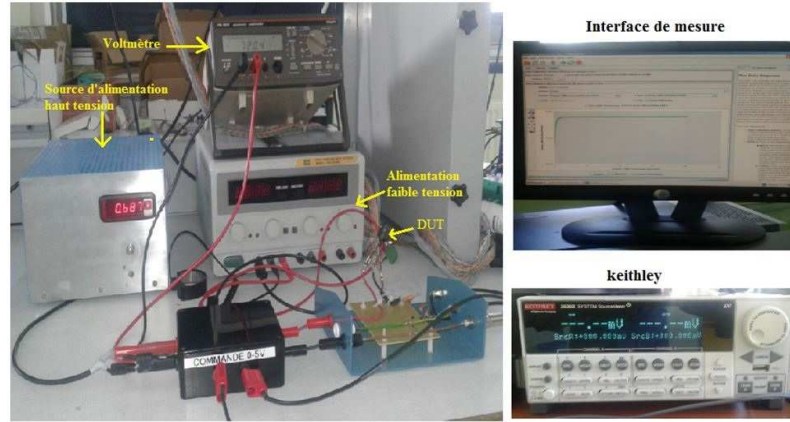


FIGURE II.16: Banc de mesure à faible courant

II.2.3.2 Courant de fuite du drain

I_{dss} représente le courant de fuite du drain à une tension de sortie V_{ds} donnée, lorsque la tension V_{gs} est nulle. L'analyse de ce courant permet d'évaluer la capacité de blocage du composant. La figure II.17 montre le principe de mesure de ce paramètre. Le transistor est alimenté en tension continue, $V_{ds} = 960V$, et les électrodes de grille et de source sont en court-circuit ($V_{gs} = 0$).

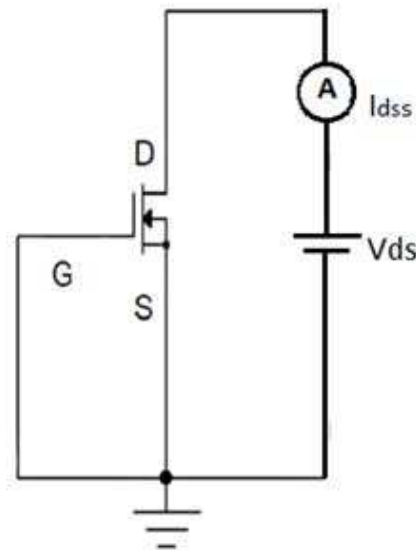


FIGURE II.17: Schéma de principe de mesure du courant de fuite de drain (I_{dss}).

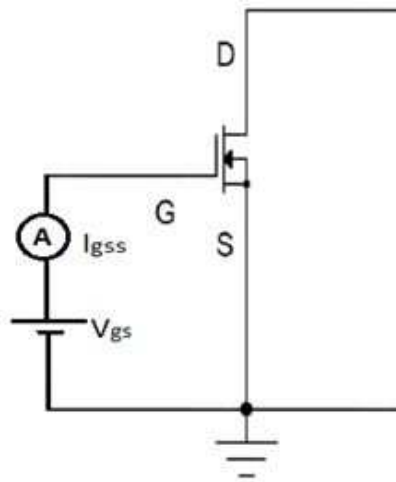
D'après le tableau comparatif du courant de fuite de drain I_{dss} (tableau II.3), nous constatons que les nouvelles générations du MOSFET SiC possèdent un courant de fuite I_{dss} nettement plus faible comparant aux premières générations. Puisque le courant de fuite est l'image des pertes du MOSFET à l'état bloqué, nous concluons qu'il y a une amélioration des nouvelles générations du MOSFET SiC au niveau des pertes qui sont réduites par rapport aux anciennes générations.

Génération	Gen1H	Gen2L	Gen2H	Gen3L
$I_{dss}(pA)$	186,63	50,20	44,43	2,56

 TABLEAU II.3: Courant de fuite de drain des quatre composants d'étude à $T=25^\circ C$

II.2.3.3 Courant de fuite de grille

I_{gss} représente le courant de fuite de grille à une tension d'entrée V_{gs} donnée pendant une polarisation de drain nulle. La figure II.18 illustre le principe de mesure du courant I_{gss} . La grille est polarisée par une tension continue $V_{gs} = 20$ et les électrodes du drain et de la source sont en court-circuit ($V_{ds} = 0$).


 FIGURE II.18: Schéma de principe de mesure du courant de fuite de grille (I_{gss}).

Génération	Gen1H	Gen2L	Gen2H	Gen3L
$I_{gss} (pA)$	745,19	18,93	11,33	8,08

 TABLEAU II.4: Courant de fuite de grille des quatre composants d'étude à $T=25^\circ C$.

Le tableau II.4 montre que le courant de fuite de grille I_{gss} des nouvelles générations du MOSFET SiC est réduit par rapport aux premières générations. Ce qui traduit l'amélioration de la qualité du contact de grille et du processus de fabrication d'oxyde de grille.

II.2.4 Caractéristique Capacité-Tension (C-V)

II.2.4.1 Capacités intrinsèques du MOSFET SiC

Un transistor MOSFET est constitué principalement de trois capacités parasites (C_{GS} , C_{GD} et C_{DS}) comme montré sur la figure II.19.

- La capacité Grille-Source C_{GS} : C'est la capacité la plus importante dans un DMOSFET. Elle est liée principalement à la géométrie et les technologies de procédé. Cette capacité est constituée de trois capacités : C_{GS1} capacité formée par l'oxyde de grille pris entre la surface du SiC et le polysilicium de grille au dessus du caisson P, C_{GS2} pareil que C_{GS1} mais au dessus du caisson N^+ , C_{GS3} formée par le diélectrique pris entre la métallisation de source et le polysilicium de grille.
- La capacité Grille-Drain C_{GD} : Cette capacité est liée à l'accumulation d'électrons sous la grille. Elle est constituée par deux capacités en série, C_{GD1} qui est la capacité formée par l'oxyde de grille pris entre la grille et la surface du SiC et C_{GD2} la capacité de la zone de déplétion sous la métallisation de grille. Selon la littérature la capacité C_{GD} peut être exprimée par l'équation II.14. Cette capacité correspond à la mise en série de la capacité d'oxyde C_{ox} qui est constante, et d'une capacité C_{gdj} de la zone de charge d'espace. Cette dernière dépend fortement de la tension drain-grille, V_{dg} . Où la capacité C_{gdj} est définie par [195, 211] :

$$C_{GD} = \begin{cases} C_{ox} & \text{pour } V_{dg} \leq 0 \\ \frac{C_{ox}C_{gdj}}{C_{ox} + C_{gdj}} & \text{pour } V_{dg} > 0 \end{cases} \quad (\text{II.14})$$

Où :

$$C_{gdj} = \frac{A_{GD}\varepsilon_{SiC}}{W_{gdj}} \quad (\text{II.15})$$

$$W_{gdj} = \sqrt{\frac{2\varepsilon_{SiC}(V_{dg})}{qN_D}} \quad (\text{II.16})$$

avec : A_{GD} la surface équivalente de l'espace drain-grille (m^2), W_{gdj} la largeur de la zone de charge d'espace sous la grille du MOSFET (m).

- La capacité Drain-Source C_{DS} : C'est la capacité de la jonction PN^- aux bornes de laquelle se retrouve pratiquement toute la tension V_{ds} à l'état bloqué. Cette capacité dépend surtout de la tension V_{ds} qui détermine la taille de la zone de charge d'espace dépeuplée. La capacité C_{DS} est décrite selon la littérature par [195, 211] :

$$C_{DS} = \frac{A_{DS}\varepsilon_{SiC}}{W_{dsj}} \quad (\text{II.17})$$

Où :

$$W_{dsj} = \sqrt{\frac{2\varepsilon_{SiC}(V_{ds} + V_{bi})}{qN_D}} \quad (\text{II.18})$$

avec : A_{DS} la surface équivalente de l'espace drain-source (m^2), W_{dsj} la largeur de la zone de désertion drain-source (m) et V_{bi} la tension de diffusion.

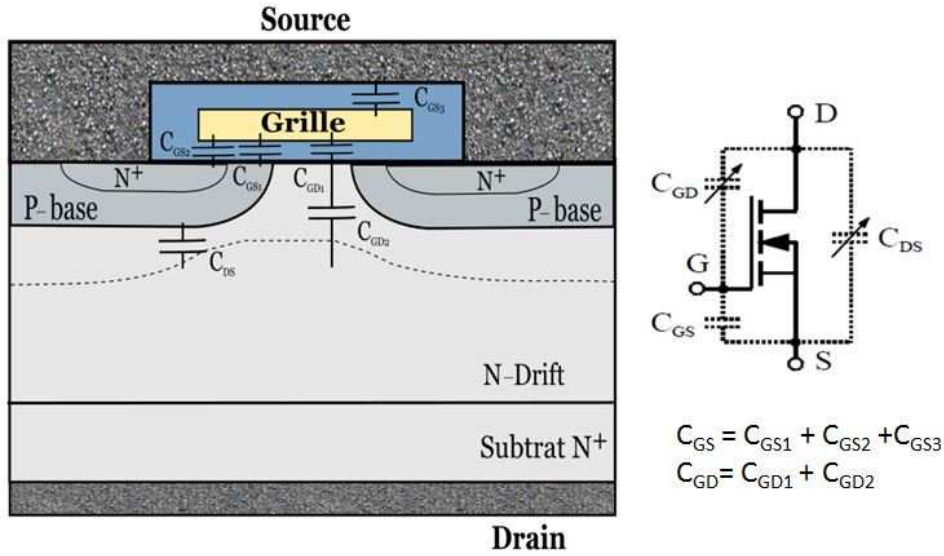


FIGURE II.19: Capacités parasites du MOSFET-SiC

II.2.4.2 Banc de mesure des caractéristiques C-V

Pour mesurer les capacités intrinsèques du composant, nous utilisons un banc de mesure spécifique (figure II.20). Ce banc est constitué principalement d'un capacimètre (II.21-a) avec un châssis qui possède un connecteur (figure II.21-b) à trois bornes (High, Low et Hpot) pour les connecter aux trois pattes du composant (grille, drain et source). Le capacimètre est contrôlé par un ordinateur à l'aide d'une l'interface de mesures développée sur LabVIEW (figure II.22).



FIGURE II.20: Banc de mesure C-V

La mesure de la capacité C_{GS} en fonction de la tension V_{gs} est effectuée dans la configuration 3 broches sur deux fréquences 1 KHz et 1 MHz, avec une plage de tension V_{gs} allant de -20V à 20V en deux sens (up et down) afin de visualiser l'effet hystérésis dû aux charges d'oxyde (figure II.23).

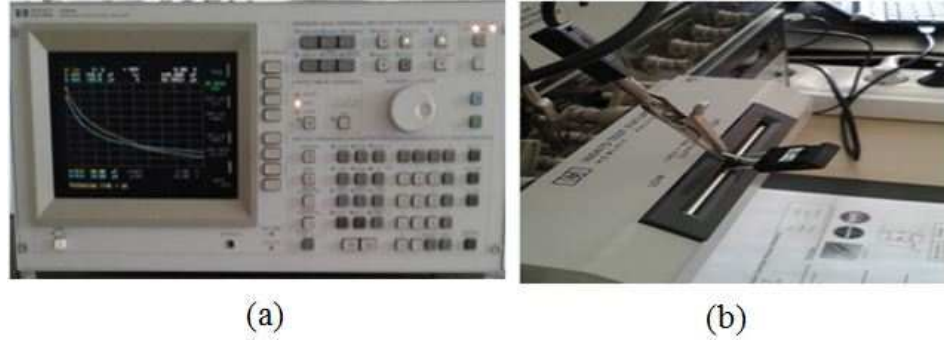


FIGURE II.21: (a) : Capacimètre de mesure $C(V)$ et (b) : DUT est relié au connecteur du banc $C(V)$

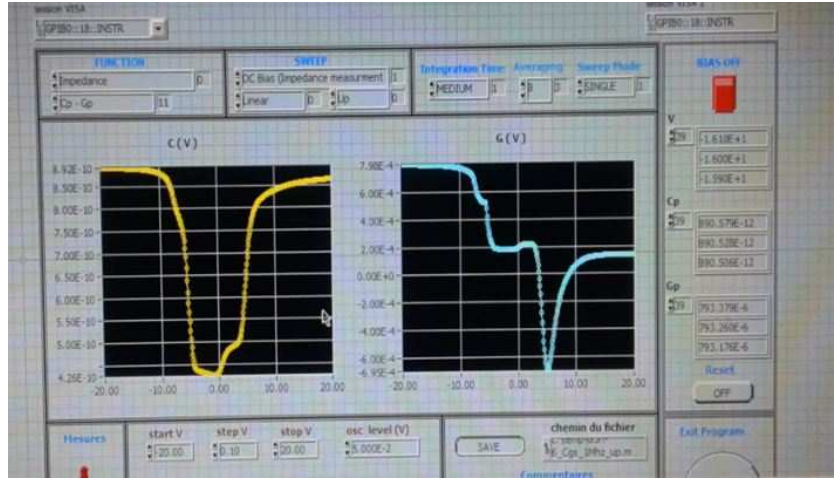


FIGURE II.22: Interface de mesures $C(V)$

En ce qui concerne les capacités C_{DG} et C_{DS} en fonction de la tension V_{dg} et V_{ds} respectivement, la mesure est toujours effectuée dans la configuration trois broches, mais seulement à la fréquence de 1 MHz et pour un seul sens (up) car l'effet hystérésis est négligeable pour ces capacités. Les tensions V_{dg} et V_{ds} sont balayées de 0 V à 25V.

II.2.4.3 Caractérisation C-V des composants d'étude

Nous nous intéressons à caractériser les trois générations de MOSFET SiC en C-V. Les figures II.24, II.25 et II.26 montrent respectivement les caractéristiques $C_{GS} - V_{gs}$, $C_{DS} - V_{ds}$ et $C_{DG} - V_{dg}$ des trois générations de MOSFET-SiC.

A partir de la figure II.24 on remarque que C_{ox} des nouvelles générations a été réduit par rapport aux anciennes générations. Ce qui engendre selon l'équation II.11 une réduction du temps de commutation et donc une diminution des pertes de commutation. En effet, le fonctionnement du MOSFET de puissance en commutations dépend fortement de la charge et la décharge de ses capacités parasites C_{GS} , C_{GD} , C_{DS} . Ces capacités

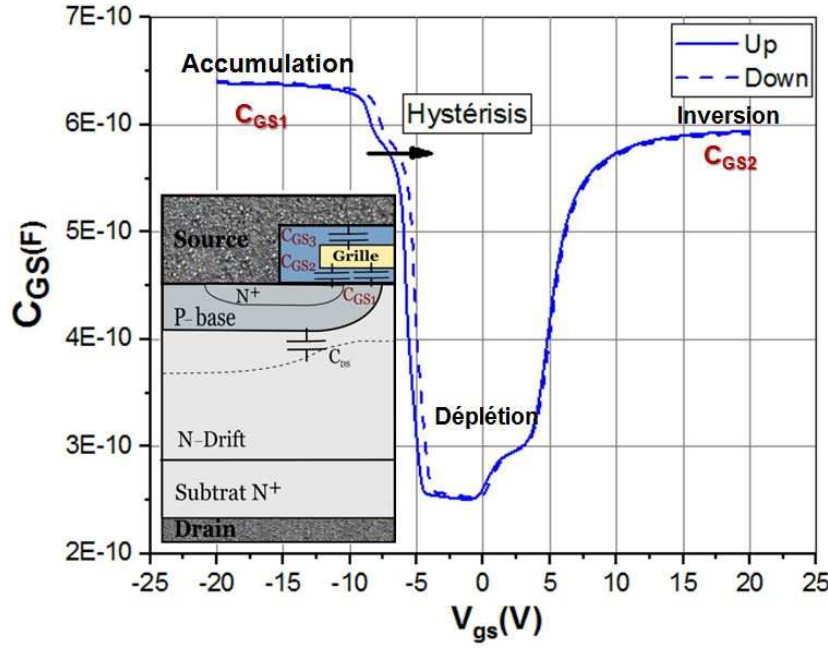
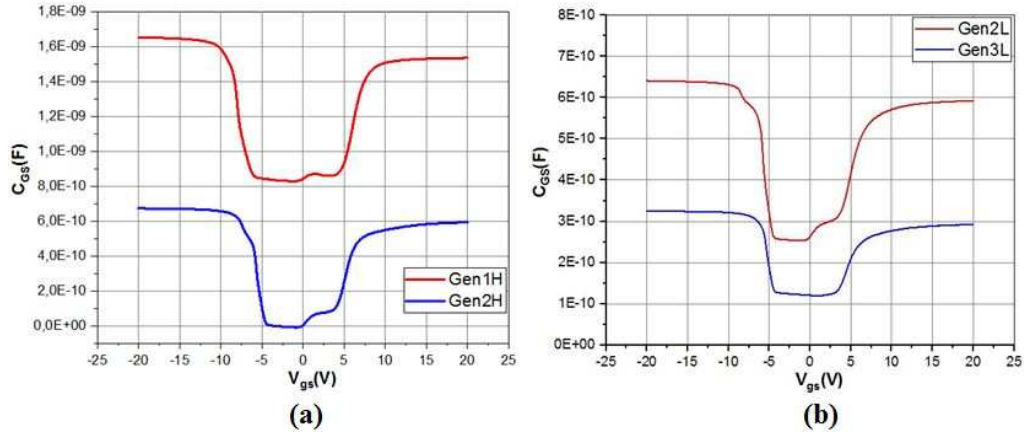


FIGURE II.23: Capacités parasites du MOSFET-SiC


 FIGURE II.24: Caractéristique $C_{GS} - V_{gs}$: (a) de la première et deuxième génération (Gen1H, Gen2H) et (b) de la deuxième et troisième génération (Gen2L, Gen3L)

parasites ont un grand impact sur les vitesses de commutation. L'ouverture du composant (l'instant du début de la commutation) dépend principalement des deux capacités C_{GS} , C_{GD} , alors que sa fermeture est régit surtout par C_{GS} [212]. Pour étudier ces capacités et leur impacts sur le fonctionnement des transistors MOSFET SiC, l'utilisation de la simulation a été rendue indispensable. Cette étude sera présentée dans le chapitre 4 avec une analyse des effets des paramètres physiques sur les capacités parasites du MOSFET.

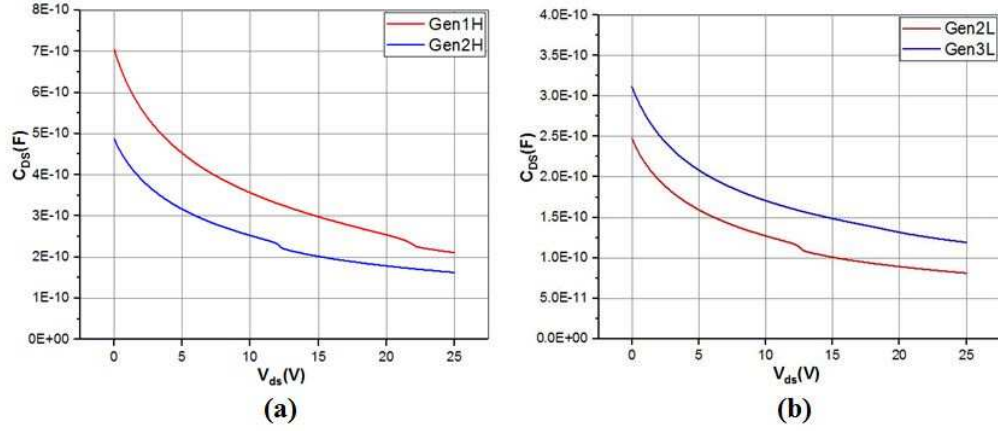


FIGURE II.25: Caractéristique $C_{DS} - V_{ds}$: (a) de la première et deuxième génération (Gen1H, Gen2H) et (b) de la deuxième et troisième génération (Gen2L, Gen3L)

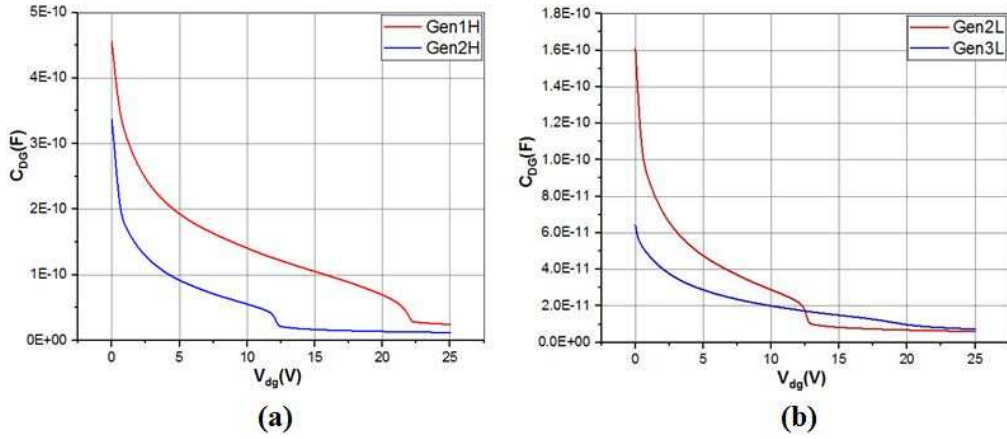


FIGURE II.26: Caractéristique $C_{DG} - V_{dg}$: (a) de la première et deuxième génération (Gen1H, Gen2H) et (b) de la deuxième et troisième génération (Gen2L, Gen3L)

II.3 Modélisation du MOSFET de puissance

La forte intégration des modules de conversion d'énergie engendre une forte dissipation de puissance au sein des composants de puissance. Cette dissipation se traduit par une élévation de la température qui nécessite l'intégration des systèmes de refroidissement. De plus, la température est un facteur incontournable dans la conception des composants de puissance en particulier les MOSFETs SiC. La maîtrise de ce facteur est nécessaire pour prédire les vieillissements de ces composants, évaluer leur fiabilité et estimer leurs durées de vie. C'est pour cette raison que nous avons eu recours à l'approche modélisation qui consiste à développer des modèles électrothermiques. Ces modèles permettent de décrire avec précision le comportement réel des composants de puissance en prenant en compte l'effet de la température sur l'évolution des paramètres électriques et physiques de ces composants. Comme il a été signalé au chapitre 1 plusieurs modèles

existent dans la littérature, dans la suite de cette partie deux types de modèle seront étudiés : modèle sous-circuit ou le modèle SPICE du constructeur, et le modèle compact.

II.3.1 Modèle sous-circuit du constructeur (modèle SPICE)

II.3.1.1 Description du modèle SPICE

Le constructeur Cree Inc a proposé des modèles sous-circuit pour décrire le comportement des MOSFETs de puissance. Ces modèles incluent généralement des éléments électroniques (résistances, diodes, capacités et sources idéales) pour prendre en compte certains effets physiques. Le constructeur développe ce type de modèle sous forme des fichiers SPICE qui peuvent être simulés avec l'outil LTSpice. Le fichier SPICE est constitué principalement par des routines de programme dont :

- Le programme principal « SiC MOSFET Model » : Ce programme définit la boîte noire du transistor MOSFET avec les broches (grille, drain et source). Les résistances : R_s (résistance de la source), R_g (résistance de la grille) et r_{drain} (résistance du drain). Les capacités : C_{GS} (capacité grille-source), C_{DS} (capacité drain-source) et C_{GD} (capacité grille-drain). Les inductances L_s (inductance de la source) et L_g (inductance de la grille).
- Sous programme « Drain Current Generator Subcircuit » : Il définit le module du transistor MOS idéal. Ce module décrit les équations du courant de drain en deux régimes de fonctionnement (linéaire et saturation) pour décrire les caractéristiques I-V du composant.
- Sous programme « Body Diode » : Il définit l'équation qui décrit l'effet du "body diode".
- Sous programmes « C_{GD} Subcircuit » : Ce programme définit l'équation de la capacité C_{GD} entre la grille et le drain.

Ces programmes peuvent être transformés en un schéma équivalent réalisé sur l'outil LTSpice (figure II.27).

II.3.1.2 Résultat de simulation du modèle SPICE

Dans l'objectif de tester la validité du modèle SPICE du constructeur, nous avons comparé les résultats de simulation de ce modèle sous LTSpice avec les mesures expérimentales réalisées sur deux générations de MOSFET SiC. Les figures II.28 et II.29 présentent la comparaison entre les résultats de simulation des caractéristiques de sortie du modèle SPICE et les mesures expérimentales à deux température 25 ° C et 135 ° C pour les deux générations de MOSFET SiC.

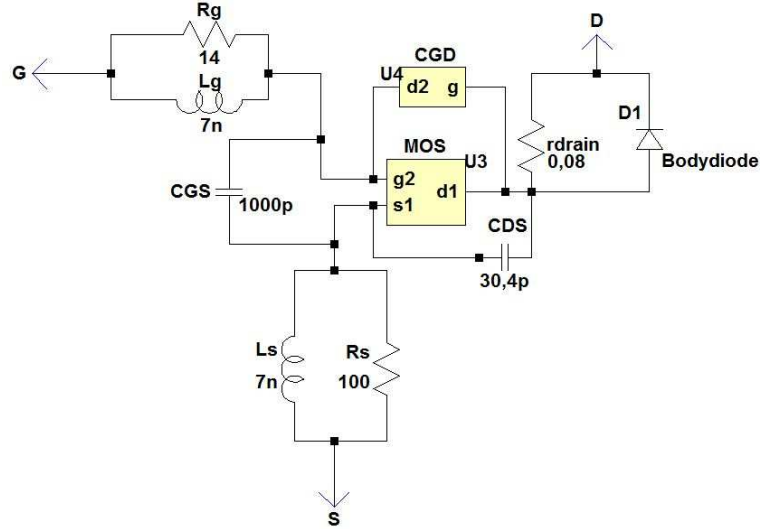


FIGURE II.27: Schéma électrique du modèle SPICE du constructeur

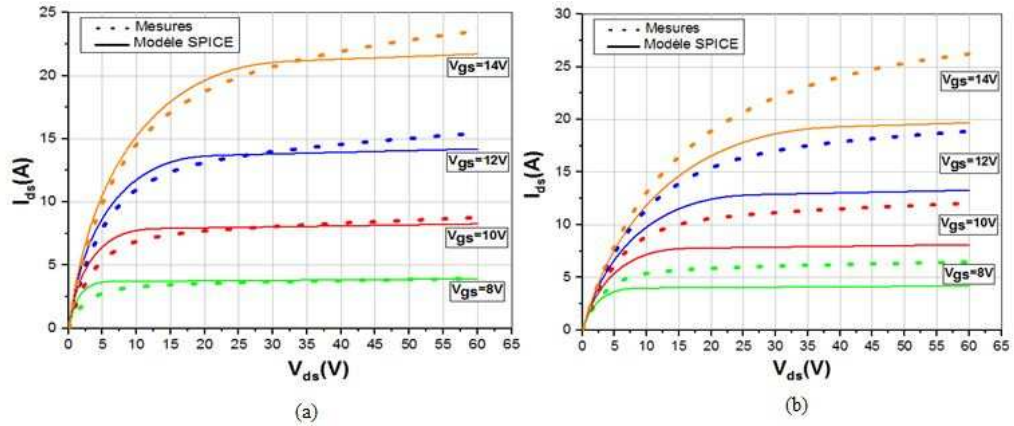


FIGURE II.28: Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen2L) à deux températures (a) 25 °C et (b) 135 °C

D'après les figures, nous constatons des écarts importants entre les résultats de simulations du modèle SPICE et les mesures expérimentales pour les deux générations du MOSFET SiC. Pour quantifier ces écarts, nous calculons les variations relatives (erreurs relatives) entre le courant du drain $I_{ds(sim)}$ simulé et $I_{ds(mes)}$ mesuré en utilisant l'équation II.19.

$$Variation_{relative} = \frac{I_{ds(sim)} - I_{ds(mes)}}{I_{ds(sim)}} \quad (II.19)$$

Le tableau II.5 résume les variations relatives du courant de drain entre les simulations et les mesures expérimentales pour les deux générations de MOSFET SiC. Le tableau II.5 met en évidence des disparités significatives entre les résultats de simulation du modèle SPICE et les mesures expérimentales. À partir de ces résultats, nous constatons que les modèles SPICE présentent certaines limites, car ils sont optimisés pour fournir des directives de performance pour certaines températures et tensions de

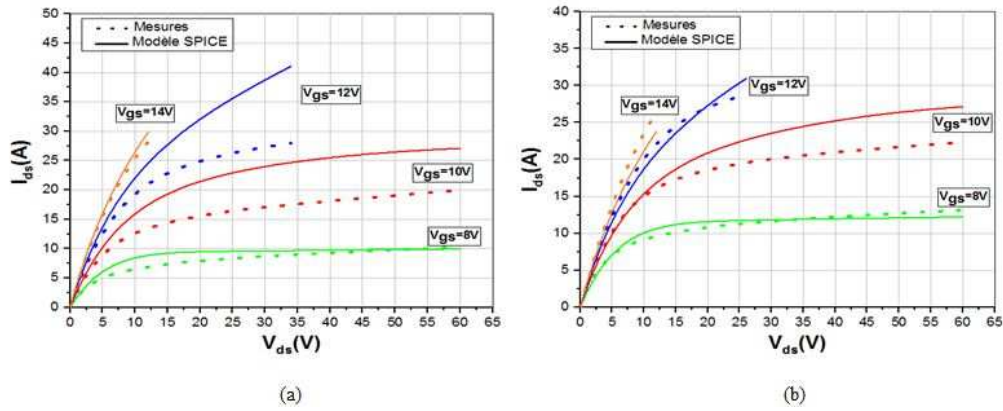


FIGURE II.29: Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen3L) à deux températures (a) 25 °C et (b) 135 °C

Génération	Gen2L				Gen3L			
Zone	Linéaire		Saturation		Linéaire		Saturation	
T (° C)	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C
Vgs(V)	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C
8V	24,31%	15,27%	0%	34,64%	25,82%	0,98%	0,5%	4,8 %
10V	16,87%	12,45%	4,32%	31,89%	13,56%	3,54%	28,01%	17,78%
12V	10,09%	8,85%	6,38%	28,64%	8,69%	4,24%	-	-
14V	6,53%	4,26%	5,74%	23,04%	3,18%	7,25%	-	-

TABLEAU II.5: Variations relatives entre les mesures et résultats du modèle SPICE pour les deux générations de MOSFETs SiC

grille recommandées [213]. De plus, ces modèles ignorent quelques paramètres pour des raisons de simplicité de simulation et de synchronisation. En effet, les modèles SPICE ne peuvent pas être utilisés pour une étude approfondie des variations de paramètres électriques et physiques du MOSFET (tension de seuil, mobilité effective des électrons) en fonction de la température et des tensions appliquées. Par conséquent, il est nécessaire de développer un modèle flexible et précis basé sur des équations théoriques des MOSFETs de puissance, et capable de prendre en compte l'évolution des paramètres électriques avec la température et les paramètres physiques du composant.

II.3.2 Modèle compact élaboré du MOSFET SiC

II.3.2.1 Description du modèle compact élaboré

Le modèle compact est le modèle le plus utilisé pour décrire le comportement des MOSFET de puissance grâce à sa précision et sa flexibilité vis-à-vis les effets physiques et le suivi du développement technologique. Pour notre étude, nous nous intéressons à améliorer un modèle compact souvent utilisé dans la littérature c'est le modèle qui a été proposé dans [211]. Le choix de ce modèle est lié à sa capacité de décrire le comportement des MOSFET de puissance SiC en fonction des propriétés des matériaux et de l'impact

		2-kV, 5-A 4-H SiC power MOSFET			
Zone		Linéaire		Saturation	
V _{gs} (V) T(° C)		25 ° C	100 ° C	25 ° C	100 ° C
	8V	15 %	17,69 %	18%	16,13 %
	10V	10,61 %	12,5 %	11,58 %	7,95 %
	12V	11,97 %	4,9 %	7,5 %	-
	14V	7,44 %	4,68 %	3,37 %	-

TABLEAU II.6: Variations relatives entre les mesures et résultats du modèle proposé par [211]

de la température. Cependant, ce modèle montre un manque de précision observé par des écarts significatives entre les résultats de la simulation et les mesures sur le MOSFET de puissance SiC (2-kV, 5-A 4-H) [211]. Ces écarts (variations relatives) sont calculés dans le tableau II.6. De plus, ce modèle est limité au niveau de la couverture de toutes les plages de fonctionnement du transistor de puissance.

Pour pallier ces limitations, nous proposons une amélioration de ce modèle compact en utilisant une nouvelle méthode d'extraction de paramètres, basée sur des mesures statiques I-V en mode pulsé et un algorithme d'optimisation de Levenberg-Marquardt (LM). Ce modèle amélioré fournit des résultats avec des grandes valeurs de tension V_{ds} qui permettent l'extension de la plage de fonctionnement. En outre, il utilise le paramètre de modulation de largeur de canal λ [103], comme illustré par l'équation II.21, afin de prendre en compte le comportement statique du MOSFET dans la région de saturation. Le modèle décrit le courant de sortie I_{ds} dans deux régions de fonctionnement par les équations suivantes :

— En régime linéaire : $0 \leq V_{ds} \leq \frac{V_{gs} - V_{th}}{P_{vf}}$

$$I_{ds} = \frac{K_f K_p}{1 + \theta(V_{gs} - V_{th})} \left[(V_{gs} - V_{th})V_{ds} - \frac{P_{vf}^{y-1} V_{ds}^y (V_{gs} - V_{th})^{2-y}}{y} \right] \quad (\text{II.20})$$

— En régime de saturation : $0 \leq \frac{V_{gs} - V_{th}}{P_{vf}} \leq V_{ds}$

$$I_{ds} = \frac{K_p (V_{gs} - V_{th})^2}{2(1 + \theta(V_{gs} - V_{th}))} (1 + \lambda V_{ds}) \quad (\text{II.21})$$

Où, K_p est appelé la transconductance exprimée en (A/V^2) , θ est le paramètre de champ électrique transversal (V^{-1}) introduit pour prendre en compte la réduction de mobilité générée par un champ électrique transversal résultant de la tension d'entrée V_{gs} . P_{vf} et K_f sont les facteurs de la tension de pincement et la transconductance, respectivement,

et y est l'exposant de la tension de pincement exprimé par :

$$y = \frac{K_f}{K_f - \frac{P_{vf}}{2}} \quad (\text{II.22})$$

II.3.2.2 Extraction des paramètres du modèle compact

Dans l'objectif de comparer les résultats de simulation du modèle compact amélioré et d'étudier le comportement électrothermique des MOSFET de puissance, nous avons besoin d'extraire les valeurs de l'ensemble des paramètres du modèle (telles que la tension de seuil, la transconductance de la région de saturation et le paramètre de champ électrique transversal, etc). C'est pour cette raison nous allons adopter une méthodologie d'extraction rapide et précise détaillée dans le paragraphe suivant.

Méthodologie d'extraction :

La méthodologie d'extraction des paramètres du modèle est basée sur deux étapes : La première étape vise à exploiter les résultats des caractérisations réalisées précédemment. La deuxième étape consiste à utiliser un algorithme d'optimisation de Levenberg-Marquardt. La figure II.30 montre le schéma de la méthodologie d'extraction des paramètres du modèle compact.

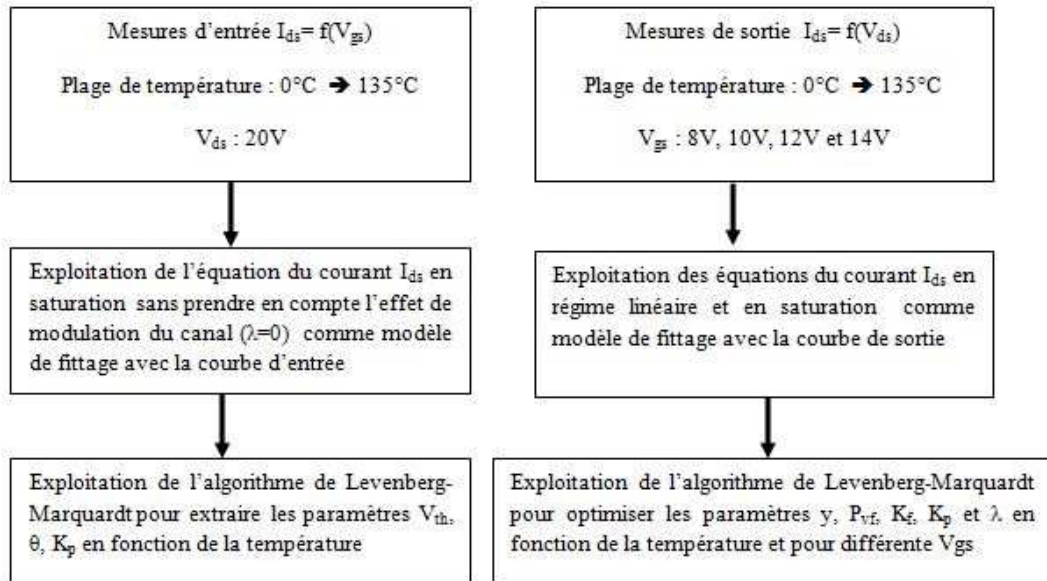


FIGURE II.30: Schéma de la méthodologie d'extraction des paramètres du modèle compact

Interfaces d'extraction sous LabVIEW :

Pour simplifier et accélérer le traitement d'extraction, nous avons implémenté la méthodologie d'extraction des paramètres du modèle sous LabVIEW sur plusieurs interfaces. La figure II.31 montre l'interface principale qui propose plusieurs onglets permettant d'effectuer les opérations suivantes :

- Extraction des paramètres du modèle à partir des caractéristiques d'entrée. La figure II.32 montre l'interface qui réalise cette opération. Dans cette interface, nous faisons appel au fichier de mesure qui contient les caractéristiques d'entrée pour une température et une tension de sortie données. Ensuite les données de mesures sont ajustées par le modèle compact élaboré afin d'extraire les paramètres K_p , V_{th} et θ . Finalement ces paramètres seront enregistrés dans un autre fichier en fonction de la température et la tension de sortie.
- Extraction des paramètres du modèle à partir des caractéristiques de sortie comme illustré sur la figure II.33. Dans cette interface, nous faisons appel au fichier de mesure des caractéristiques de sortie pour une température et une tension d'entrée données. Puis les mesures de caractéristiques de sortie sont ajustées par le modèle compact développé. Les paramètres extraits et optimisés K_p , K_f , P_{vf} , V_{th} et θ seront enregistrés dans un autre fichier en fonction de la température et la tension d'entrée.
- Extraction de V_{th} à partir des caractéristiques d'entrée. Cette interface permet d'extraire la tension de seuil à partir des caractéristiques $I_{ds} - V_{gs}$ en utilisant la méthode d'extrapolation linéaire.
- Extraction de la transconductance g_m à partir des caractéristiques d'entrée. Cette interface consiste à calculer la transconductance g_m à partir des caractéristiques $I_{ds} - V_{gs}$.
- Consistance des caractéristiques d'entrée et de sortie. Cette interface permet de vérifier la cohérence entre les mesures d'entrée et les mesures de sortie.
- Visualisation des courbes d'entrée et de sortie, ainsi que les courbes d'évolution des paramètres extraits en fonction de la température.
- Superposition des résultats de simulation du modèle élaboré avec les mesures expérimentales.

Algorithme d'optimisation :

L'algorithme d'optimisation LM est proposé par Levenberg et Marquardt [214–216]. L'organigramme de cet algorithme est présenté sur la figure II.34. Cet algorithme est une méthode itérative efficace pour estimer les paramètres des modèles de régression non-linéaire. L'algorithme LM est une amélioration de la méthode classique de Gauss-Newton pour résoudre des problèmes de régression non-linéaire des moindres carrés. Considérons

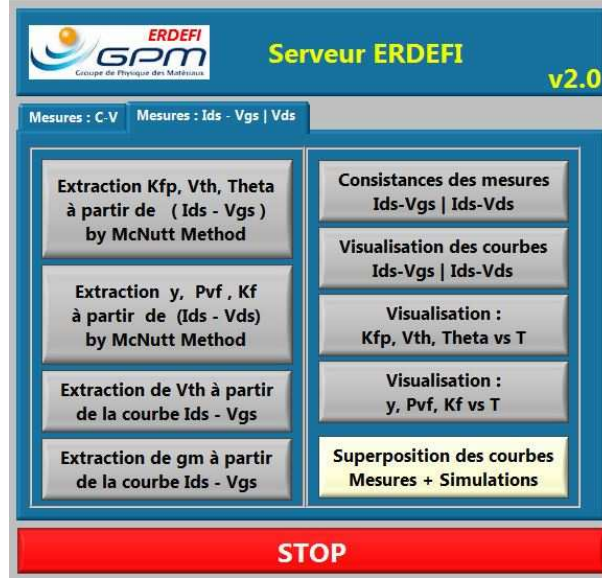


FIGURE II.31: Interface principale de la méthodologie d'extraction des paramètres du modèle

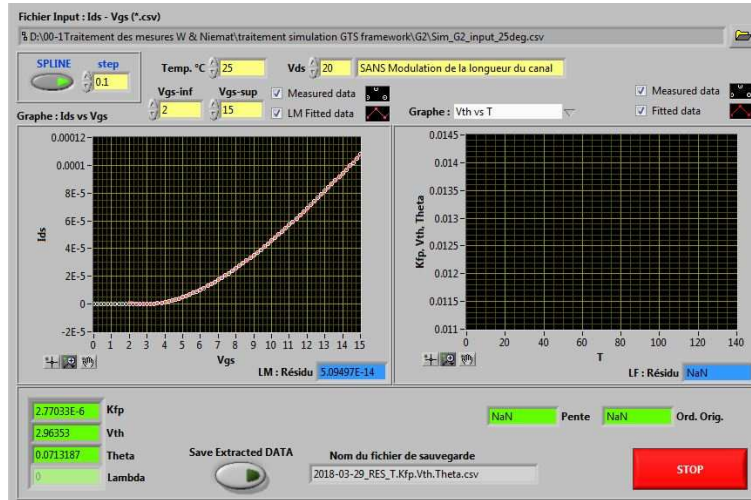


FIGURE II.32: Interface d'extraction des paramètres à partir des caractéristiques d'entrée

l'ajustement du modèle non-linéaire $Y_i = f(\alpha, X_i)$, où X_i (V_{gs} ou V_{ds}) et Y_i (I_{ds}) sont les données extraites des mesures I-V, α est un vecteur de dimension n qui représente les paramètres du modèle (V_{th} , K_p , θ , P_{vf} , K_f , y , λ). La méthode LM recherche $(\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_n)$ qui sont les solutions de α (localement) minimisant $g(\alpha)$ défini par l'équation II.23.

$$g(\alpha) = \sum_{i=1}^m (Y_i - f(\alpha, X_i))^2 \quad (II.23)$$

L'algorithme LM trouve la solution en appliquant la récurrence II.24.

$$\alpha_{i+1} = \alpha_i - (J^T J + \beta D) J^T r(\alpha) \quad (II.24)$$

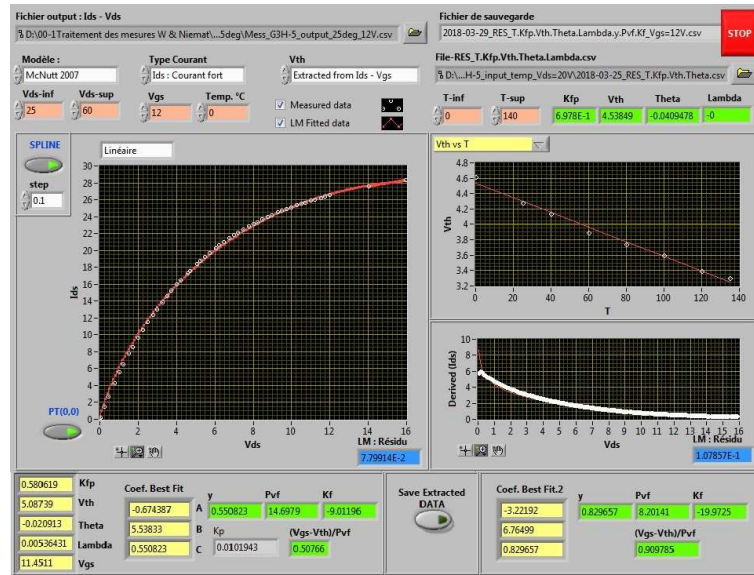


FIGURE II.33: Interface d'extraction des paramètres à partir des caractéristiques de sortie

Où, $r(\alpha) = Y_i - f(\alpha, X_i)$, J est la matrice jacobienne de $f(\alpha, X_i)$, J^T est la matrice transposée de J . β est un paramètre de régularisation et D est la matrice d'identité dont la dimension est égale à celle de $J^T J$ pour ajuster les facteurs d'échelles. L'avantage majeur de cet algorithme d'optimisation est l'extraction simultanée de tous les paramètres du modèle, contrairement à l'algorithme d'optimisation proposé dans l'article [211], qui fait une identification paramètre par paramètre.

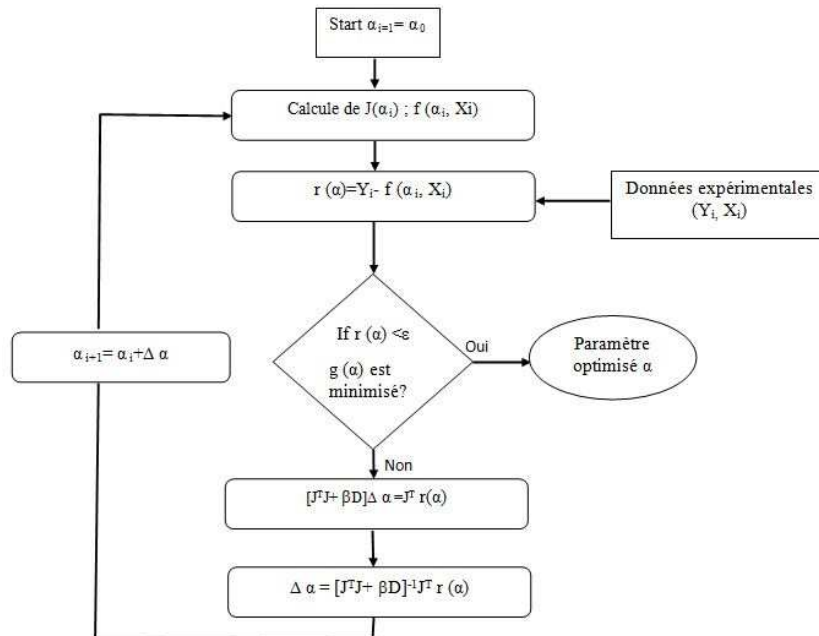


FIGURE II.34: Organigramme de l'algorithme de Levenberg-Marquardt

II.3.3 Résultats de simulation du modèle compact développé

La méthode d'extraction proposée est validée et appliquée sur le modèle compact amélioré afin de décrire le comportement statique de trois générations de MOSFET de puissance en fonction de la température. Les figures II.35, II.36, II.37 et II.38 montrent les caractéristiques de sortie simulées et mesurées en fonction des tensions V_{gs} à deux températures de 25 °C et 135 °C, pour les trois générations de MOSFET de puissance SiC. D'après les courbes de comparaison des caractéristiques de sortie simulées et

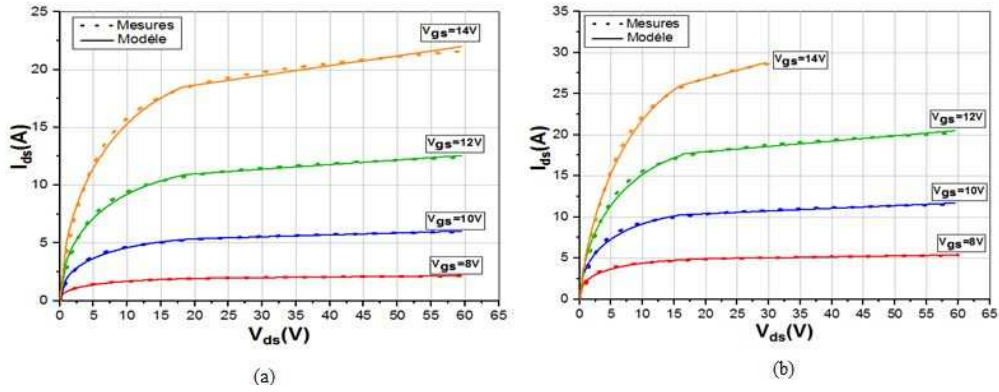


FIGURE II.35: Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC Gen1H à deux températures : (a) 25 °C et (b) 135 °C

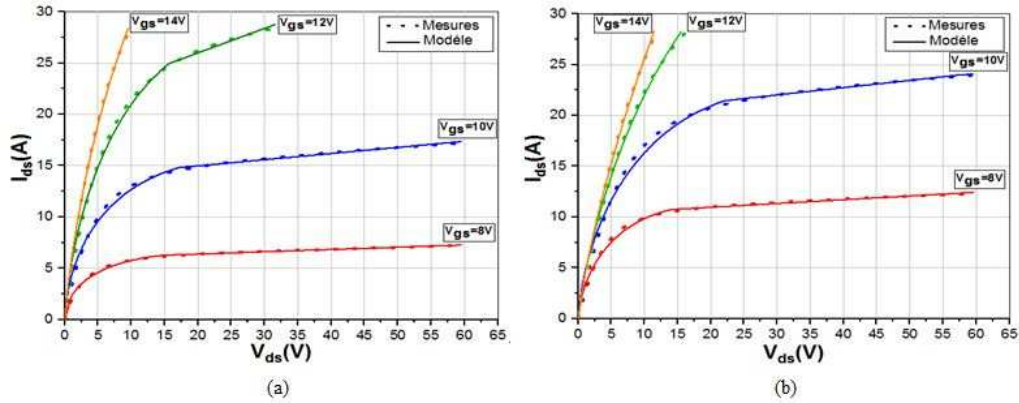


FIGURE II.36: Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen2H) à deux températures : (a) 25 °C et (b) 135 °C

mesurées pour les différents composants étudiés, nous constatons que les résultats de cette optimisation révèlent une très bonne concordance entre le modèle développé et les courbes expérimentales. Pour montrer l'efficacité de ce modèle par rapport aux modèle SPICE et le modèle présenté dans l'article [211], nous avons calculé les variations relatives entre le courant du drain $I_{ds(sim)}$ simulé et mesuré $I_{ds(mes)}$. Les tableaux II.7 et II.8 résument les variations relatives obtenues.

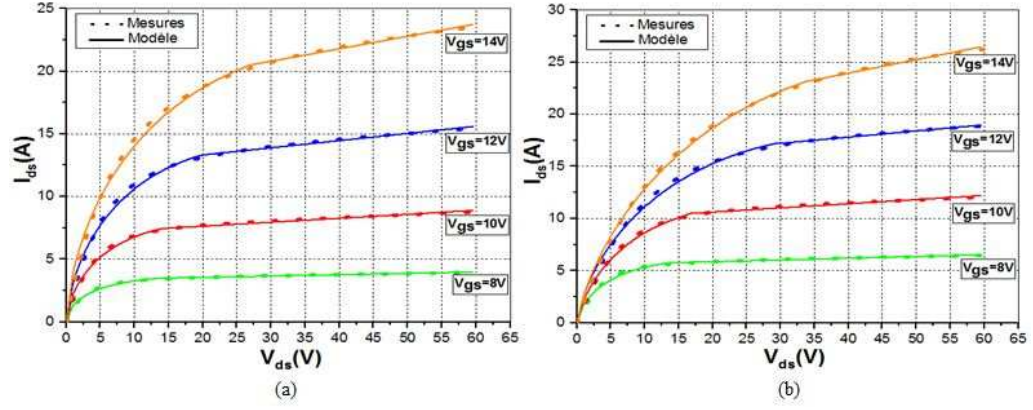


FIGURE II.37: Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen2L) à deux températures : (a) 25 ° C et (b) 135 ° C

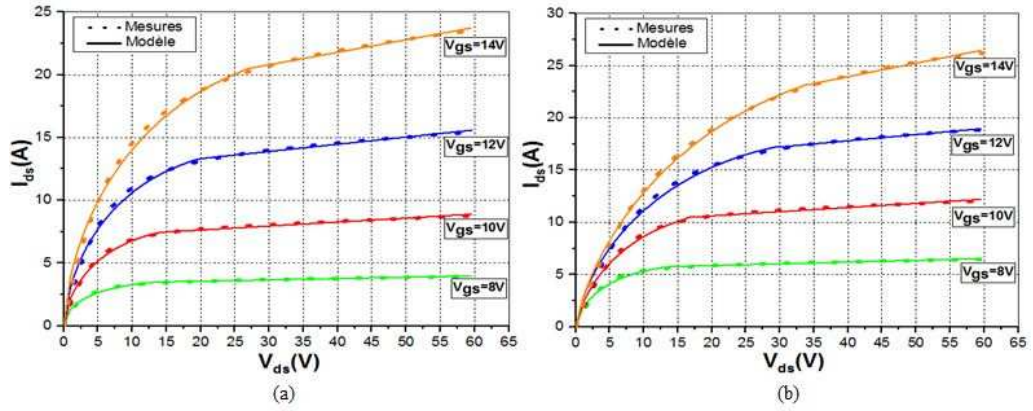


FIGURE II.38: Caractéristiques de sortie simulées et mesurées pour le MOSFET SiC (Gen3L) à deux températures : (a) 25 ° C et (b) 135 ° C

Génération	Gen1H				Gen2H			
	Linéaire		Saturation		Linéaire		Saturation	
Zone	T(° C)		T(° C)		T(° C)		T(° C)	
Vgs(V)	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C
8V	3,27%	4,97%	0,54%	0,21%	3,8%	3,83%	0,72%	0,88 %
10V	1,71%	4,81%	0,41%	0,87%	2,48%	3,29%	0,57%	0,22%
12V	1,25%	2,54%	0,63%	0,98%	0,6%	0,49%	0,11	-
14V	1,73%	0,44%	1,33%	0,35%	0,97%	0,08%	-	-

TABLEAU II.7: Variations relatives entre les mesures et résultats du modèle proposé pour la première et la deuxième génération de MOSFETs SiC

En comparant les résultats obtenus à ceux des modèles SPICE (tableau II.5) et de la référence [211] (tableau II.6), il s'avère évident que le modèle amélioré est plus précis et correspond très bien aux mesures. La comparaison montre aussi que la méthode d'extraction est très efficace sur la plage de température de 0 ° C à 135 ° C et pour différentes valeurs de tension V_{gs} .

Génération	Gen2L				Gen3L			
Zone	Linéaire		Saturation		Linéaire		Saturation	
$V_{gs}(V)$ \ $T(^{\circ}C)$	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C	25 ° C	135 ° C
8V	4,69%	0%	4,86%	0,15%	3,62%	0,2%	0,03%	1,57%
10V	4,09%	1,16%	1,77%	0,16%	1,69%	0,01%	1,18%	0,09%
12V	1,53%	0,06%	3,32%	0,1%	0,47%	-	4,66%	-
14V	0,6%	0,13%	3,74%	0,43%	1,03%	-	1,45%	-

TABLEAU II.8: Variations relatives entre les mesures et résultats du modèle proposé pour la deuxième et la troisième génération de MOSFETs SiC

II.3.4 Analyse du comportement électrothermique statique du MOSFET SiC

Les paramètres du modèle extraits ont été étudiés afin de comprendre l'impact de la température et de la tension V_{gs} sur le comportement statique du MOSFET SiC.

- **Tension de seuil V_{th}** La tension de seuil V_{th} présente une forte dépendance à la température. L'évolution de V_{th} du MOSFET SiC en fonction de la température est illustrée par la figure II.39 en comparant la première génération avec la deuxième génération d'une part, et la deuxième génération à la troisième génération d'autre part.

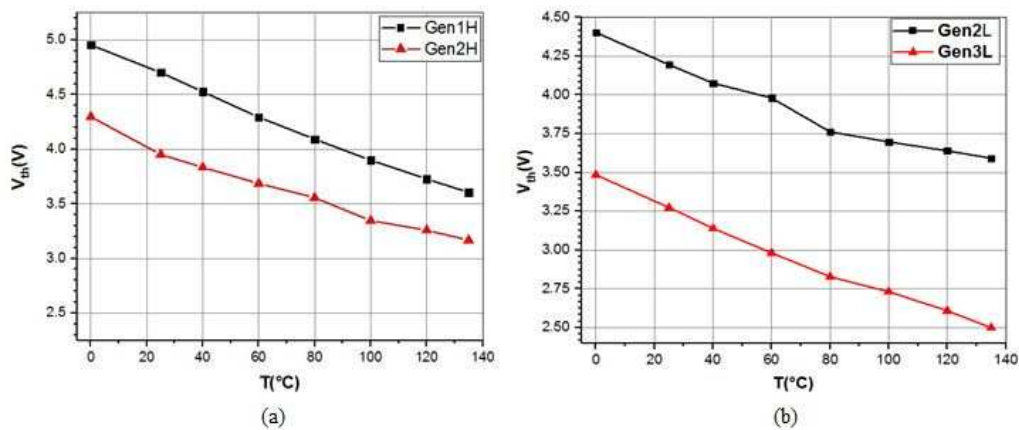


FIGURE II.39: Évolution de la tension de seuil en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la première génération (Gen1H) avec la deuxième génération (Gen2H) et (b) la deuxième génération (Gen2L) avec la troisième génération (Gen3L)

D'après la figure II.39, la tension V_{th} des différentes générations du MOSFET SiC gardent la même tendance de diminution avec la température. En effet, l'augmentation de la température engendre la diminution de la résistance du canal N et l'apparition de charges dans l'oxyde (les charges d'ion mobile, les charges piégées dans l'oxyde et les charges d'état d'interface). Ces charges d'oxyde peuvent produire

une courbure de bande à la surface du semi-conducteur, ce qui crée une région de déplétion. Par conséquent, la tension de seuil de la structure MOSFET est réduite [21, 155]. Physiquement, la tension de seuil est liée à la température et aux autres paramètres physiques du transistor par l'équation II.3. En effet la tension de seuil d'un transistor est reliée à la température par la concentration intrinsèque de porteurs n_i exprimée par l'équation II.25 [21]. Cette dernière croît avec la température et engendre ainsi une diminution de V_{th} .

$$n_i = \sqrt{N_C N_V} e^{-E_g/2KT} \quad (\text{II.25})$$

Où, N_C et N_V sont les densités des états des bandes de conduction et de valence respectivement. K est la constante de Boltzmann, T est la température absolue, et E_g est l'énergie de la bande interdite.

La comparaison du V_{th} des différentes générations du MOSFET SiC montre que la valeur de ce paramètre est réduite avec l'évolution des générations. Ceci peut être justifié selon l'équation II.3 par la réduction de l'épaisseur d'oxyde t_{ox} et/ ou l'optimisation de la concentration de dopage P N_A des nouvelles générations.

- **Transconductance K_p** La transconductance K_p est l'image de la mobilité des électrons μ_n soumis à la variation de la température. La transconductance K_p que nous multiplions par le nombre de cellule N_{cell} pour avoir la transconductance totale, est exprimée par [195] :

$$K_p = \frac{N_{cell} Z C_{ox} \mu_n}{L_{ch}} \quad (\text{II.26})$$

Où, Z est longueur de la cellule, L_{ch} est la longueur du canal. Les figures II.40 et II.40 montrent l'évolution de K_p en fonction de la température et à différentes tension V_{gs} pour les quatre composants étudiés.

Nous constatons à partir des figures II.40 et II.41 que K_p présente une variation particulière pour chaque génération de MOSFET SiC. Cette variation peut être traduite soit par une augmentation de K_p avec la température quelque soit la valeur de V_{gs} , ou bien une augmentation avec la température suivie d'une diminution selon la valeur de V_{gs} . Ce comportement est lié à l'influence de la température, la tension V_{gs} de fonctionnement et la tension V_{gs} nominale, sur la mobilité des électrons μ_n . En effet, μ_n est affectée par différentes diffusions des porteurs libres dans le semi-conducteur. Les deux principaux mécanismes liés à la température sont la diffusion phono-acoustique et la diffusion de Coulomb. A basse température [217, 218] la mobilité μ_n dans le canal augmente avec la température car la diffusion de Coulomb domine et les autres mécanismes de dégradation sont négligeables. De plus la vitesse des porteurs de charges augmente par la conduction du canal N le long de l'oxyde de

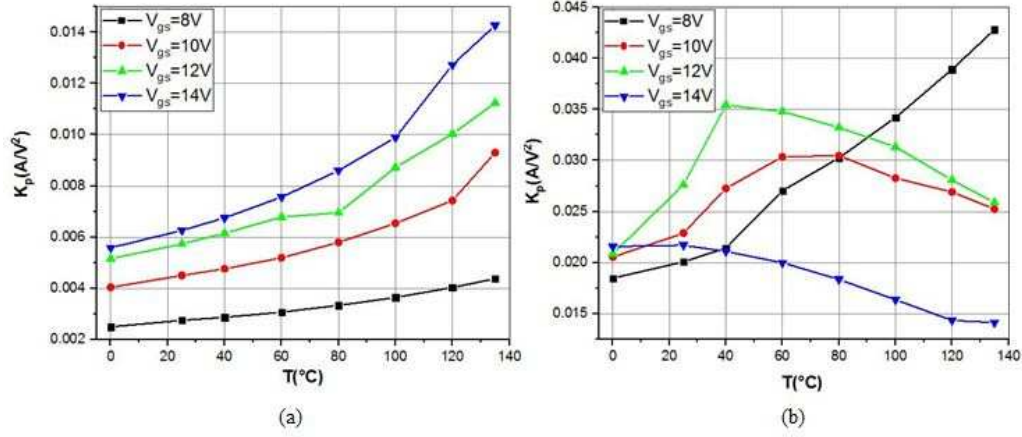


FIGURE II.40: Évolution de la transconductance K_p en fonction de la température à $V_{ds}=20\text{V}$ en comparant les MOSFETs SiC de : (a) la première génération (Gen1H) et (b) la deuxième génération (Gen2H).

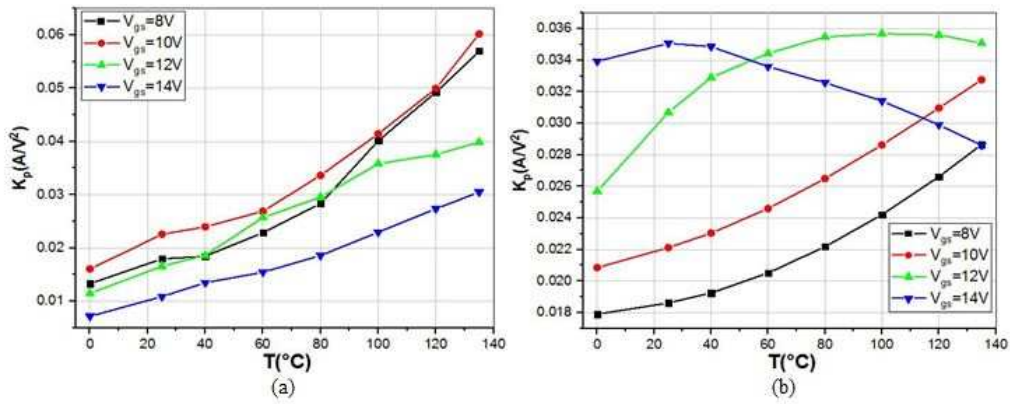


FIGURE II.41: Évolution de la transconductance K_p en fonction de la température à $V_{ds}=20\text{V}$ en comparant les MOSFETs SiC de : (a) la deuxième génération (Gen2L) et (b) la troisième génération (Gen3L).

grille (augmentation de V_{gs}) jusqu'à atteindre la saturation. Cependant, à haute température [219] et lorsque la tension V_{gs} de fonctionnement s'approche de sa valeur nominale, la mobilité diminue dans le canal car la diffusion acoustique des phonons devient significative ce qui engendre une augmentation de la résistance de drift avec la température et limite le courant de drain. La dépendance de μ_n à la tension V_{gs} peut être décrite par [220, 221].

$$\mu_n = \frac{\mu_0}{1 + \theta(V_{gs} - V_{th})} \quad (\text{II.27})$$

Où, μ_0 est la valeur de μ_n à faible champ électrique. Le paramètre de champ électrique transversal θ est introduit pour prendre en compte la réduction de mobilité des électrons générée par un champ électrique transversal résultant de la tension d'entrée V_{gs} . Les figures II.42 et II.43 montrent l'évolution de ce paramètre θ en

fonction de la température pour les quatre composants étudiés.

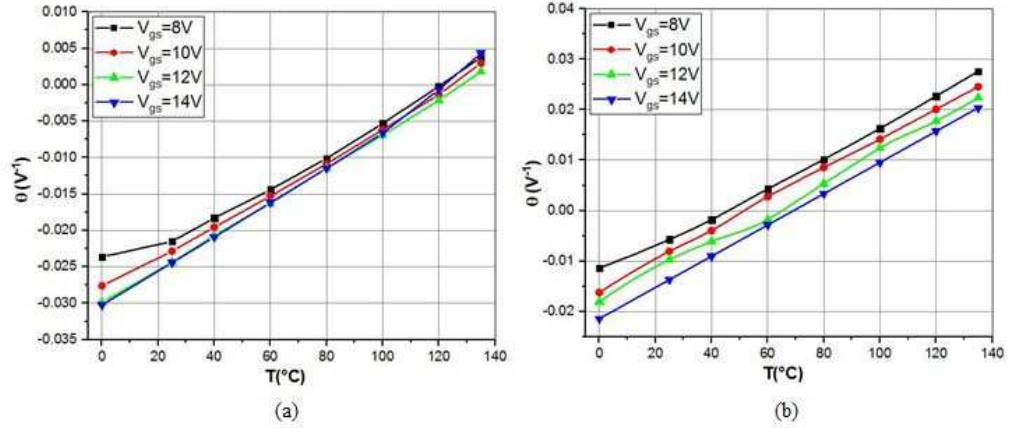


FIGURE II.42: Évolution du paramètre θ en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la première génération (Gen1H) et (b) la deuxième génération (Gen2H)

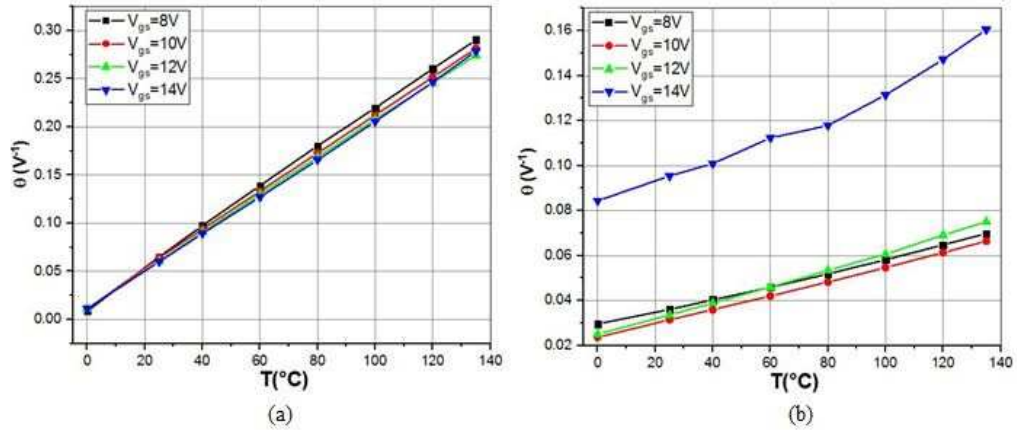


FIGURE II.43: Évolution du paramètre θ en fonction de la température à $V_{ds}=20V$ en comparant les MOSFETs SiC de : (a) la deuxième génération (Gen2L) et (b) la troisième génération (Gen3L)

D'après les figures II.42 et II.43, nous observons une tendance d'augmentation générale du paramètre θ avec la température quelque soit la valeur de V_{gs} . Selon l'équation II.27, si le signe de θ est négatif, la mobilité μ_n augmente avec la tension V_{gs} . En revanche, si le signe de θ est positif la mobilité μ_n diminue avec l'augmentation de la tension V_{gs} à haute température. Ce comportement est illustré sur les courbes de la transconductance K_p (figures II.40 et II.41) qui représente l'image de la mobilité μ_n .

II.4 Conclusion

Dans la première partie de ce chapitre, nous nous sommes intéressés aux caractérisations électriques des transistors MOSFETs en technologie SiC, ainsi que les différentes méthodes d'extraction de la tension de seuil. Ces caractérisations ont pour objectif d'évaluer les performances électriques statiques de trois générations du MOSFET SiC du constructeur Cree Inc. Les caractérisations ont été menées sur une plage de température de 0 ° C à 135 ° C pour suivre les paramètres électriques pertinents du MOSFET en fonction de la température.

Les résultats de caractérisation montrent que les grandeurs électriques du MOSFET sont reliés à la température par des paramètres physiques à savoir la mobilité des électrons et la concentration intrinsèque des porteurs. Il a été constaté aussi que les nouvelles générations sont améliorées en les comparant aux anciennes générations au niveau de la réduction de la tension de seuil, le courant de fuite, et les capacités intrinsèques. Ces améliorations ont été apportées en s'appuyant sur les paramètres structurales (l'épaisseur d'oxyde, la largeur du canal) et les paramètres physiques du composant (la concentration du dopage P). De plus, il est noté que ces améliorations du MOSFET SiC contribuent à l'augmentation des performances dynamiques des composants pour les nouvelles générations tels que les vitesses et les pertes de commutation.

La deuxième partie de ce chapitre a été dédiée à la modélisation des MOSFET SiC afin de décrire le comportement statique de ces composants sous l'influence de la température. En premier lieu, nous avons comparé les mesures expérimentales du MOSFET avec la simulation des modèles SPICE du constructeur en montrant les limites de ces modèles en température. Pour remédier à ces limitations, un modèle compact a été proposé basé sur des équations physiques de fonctionnement du MOSFET. Pour l'extraction des paramètres de ce modèle, une nouvelle méthode d'extraction a été développée basée sur l'algorithme d'optimisation de Levenberg-Marquardt. La comparaison des résultats de simulation de ce modèle proposé et les mesures expérimentales montre l'efficacité et la précision du modèle sur la plage de température de 0 ° C à 135 ° C pour les trois générations du composant d'étude. Les paramètres extraits ont été exploités pour analyser le comportement statique du MOSFET SiC soumis aux variations de la température.

Les deux approches caractérisation et modélisation seront exploitées dans le troisième chapitre pour l'étude de la fiabilité des composants MOSFET SiC. En effet, la méthodologie de caractérisation et le modèle développé seront implémentés pour traiter et analyser les résultats des tests de vieillissements HTRB et ESD pour comprendre les mécanismes de vieillissement des MOSFETs SiC.

Chapitre III

Étude de la robustesse des MOSFETs SiC suite à des stress HTRB et ESD

III.1 Introduction

Dans le but d'obtenir des composants fiables et des produits qualifiés, les fabricants de composants semi-conducteurs font appel à des tests de fiabilité permettant d'assurer une meilleure conception et processus de fabrication. Ces tests s'avèrent primordiaux pour les nouvelles technologies de semi-conducteur afin de remédier à leur faiblesses. A ce titre, ce chapitre mène une étude de fiabilité des MOSFETs SiC à travers les tests HTRB (High Test Reverse Bias) et ESD (Electrostatic Discharge). Ce sont des tests accélérés destinés à vieillir les composants en les faisant fonctionner dans des conditions sévères dépassant les conditions normales, y compris des températures, des tensions extrêmes. Ces tests visent à introduire une dégradation et des défaillances à court durée. Le stress HTRB combine deux stress, électrique et thermique, pour tester l'intégrité de la jonction, les défauts de cristaux et le niveau de contamination ionique. Ceci peut révéler des faiblesses ou des effets de dégradation dans la zone de charge d'espace au bord du MOSFET et à la passivation de surface [222, 223]. Alors que le stress ESD est un test qui a pour but de quantifier les composants sensibles aux ESD de ceux qui le sont moins.

La première partie de ce chapitre introduit le stress HTRB et ses standards. Ensuite elle développe l'étude de la robustesse des MOSFETs SiC avec le stress HTRB réalisée sur des composants de deux générations du constructeur Cree Inc. La deuxième partie présente le stress ESD avec un état de l'art sur ses modèles et ses normes. Elle décrit par la suite les résultats du test ESD sur deux générations du MOSFETs SiC, ainsi

que l'étude de leurs comportements électriques pour vérifier leur robustesse vis-à-vis les décharges électrostatiques.

III.2 Étude de la robustesse des MOSFETs SiC soumis au stress HTRB

Dans cette section, une étude des normes de test HTRB est fournie en identifiant leur principaux points faibles. Nous présentons ensuite les stress HTRB effectués sur des MOSFETs de puissance en carbure de silicium en décrivant l'instrumentation expérimentale mise en place et les résultats obtenus.

III.2.1 Les standards du stress HTRB

Il existe différentes normes pour réglementer la procédure d'application du test HTRB. Les normes principales sont MIL-STD-750D [158] et JESD22A-108D [159]. La première est destinée à qualifier des dispositifs à semi-conducteurs pour des applications militaires tandis que la seconde est utilisée comme référence pour la fabrication industrielle. Comme mentionné précédemment, le test HTRB applique à la fois les contraintes électriques et thermiques sur DUTs (Device Under Test). Pour la contrainte de température, des chambres thermiques sont utilisées pour établir la température dans la gamme proche de la température opérationnelle limite. Cependant, des températures plus élevées sont nécessaires pour les technologies de puissance émergentes telle que le MOSFET 4H-SiC. Pour la contrainte de tension, la norme MIL-STD-750D suggère que la polarisation du drain doit être fixée à 80% de la tension maximale ($V_{(BR)DSS}$) des DUTs qui restent en état bloqué (grille en court-circuit à la source) [158]. D'autre part, la norme JESD22a-108 n'est pas précise sur le niveau de tension de la contrainte [159], mais la convention des essais industriels tend à appliquer approximativement le même niveau (ou proche) de la polarisation précédente. Pour la durée du test HTRB, les deux standards MIL-STD-750D et JESD22a-108 identifient 1000 heures comme durée maximale du test, en faisant des caractérisations électriques avant et après le stress afin d'identifier les composants dégradés et défaillants. Cependant, de nombreux travaux rapportent sur les principaux inconvénients des normes qui régissent le test HTRB [87, 224, 225]. En effet dans l'article [87], les auteurs ont constaté que l'application des normes des essais de fiabilité existantes sur la technologie du silicium (Si), aux technologies du carbure de silicium (SiC) peut dans certains cas aboutir à des résultats ambiguës. En effet, Les grandes variations observées suite à des tests de fiabilité sur des composants SiC (décalage des caractéristiques $I_{ds} - V_{gs}$ et de la tension de seuil, la variation du courant de

fuite) sont dus principalement aux conditions de test (temps, température, et polarisation) qui sont liés fortement aux processus de charge et décharge des pièges d'oxyde et d'interface qui ne sont pas présents dans les dispositifs de puissance Si. De plus, il existe des incohérences entre les normes liées aux procédures de mesure de reprise (mesures intermédiaires durant le test) :

- Les temps de mesures de reprise intermédiaires ne sont pas clairement déterminés dans ces normes. En général, les mesures ne sont pas assez fréquentes en raison d'un fonctionnement manuel et d'un long délai de refroidissement [140]. En effet, seule la norme JESD22A-108 définit la durée maximale des mesures de reprise intermédiaires qui vaut 96 heures. Par contre, cette spécification ne considère pas le processus de récupération naturelle des DUTs qui se prononce particulièrement après un temps de relaxation long.
- La température des mesures de reprise n'est pas bien définie. Par exemple, la norme JESD22A-108D stipule d'effectuer les mesures de reprise à haute température mais seulement après que les mesures de température ambiante soient réalisées, contrairement à la norme AEC-Q101 [226] qui ne décrit pas la procédure à haute température et exige que les caractérisations électriques se produisent à température ambiante.

Par ailleurs, la détermination des critères de défaillance du composant est une autre incohérence entre les normes. Pour réussir le test HTRB, la norme AEC-Q101 exige explicitement que les paramètres du DUT restent à $\pm 20\%$ de leurs valeurs initiales, alors que les normes JEDEC et MIL-DoD ne présentent aucune spécifications à ce sujet. Compte tenu des différents inconvénients et incohérences entre les normes, chaque fabricant peut déterminer le meilleur plan de test pour la qualification de ses produits. En revanche, ceci n'est pas toujours le meilleur pour évaluer la fiabilité des dispositifs dans des conditions de fonctionnement normales. Par conséquent, la comparaison des données de fiabilité de différents fabricants s'avère difficile.

III.2.2 Application du stress HTRB sur les MOSFETs SiC de puissance

III.2.2.1 Description du banc de test HTRB

Parmi les essais de qualification accélérés les plus connus pour les MOSFETs de puissance, notre choix s'est porté sur le test HTRB. Ce test a été mené à l'aide d'un banc que nous avons développé au sein du laboratoire GPM (figure III.1). Le banc est réalisé avec des matériaux adaptés afin de respecter la contrainte de température : par exemple

câbles haute température. Huit composants sont placés dans une chambre de température SUN / EC1A (Four) qui impose une température fixe et régulée. Ces composants sont placés dans un schéma de câblage illustré par la figure III.2. Le niveau de tension de drain est imposé par une source de tension contrôlée par un voltmètre numérique.

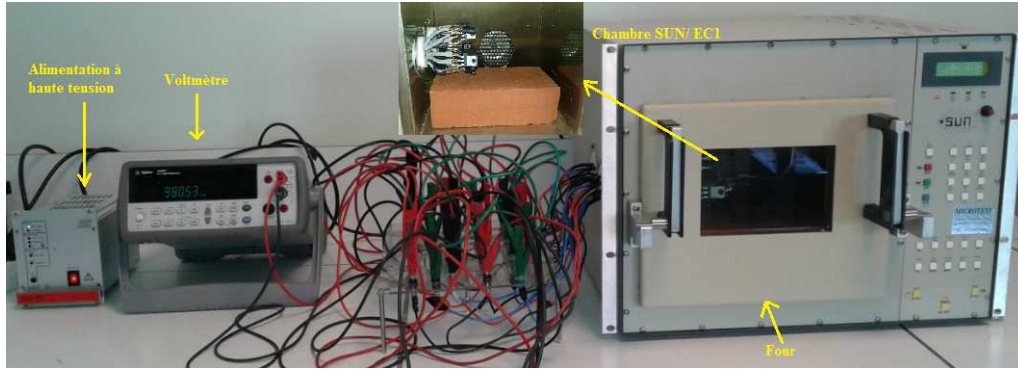


FIGURE III.1: Banc du vieillissement HTRB

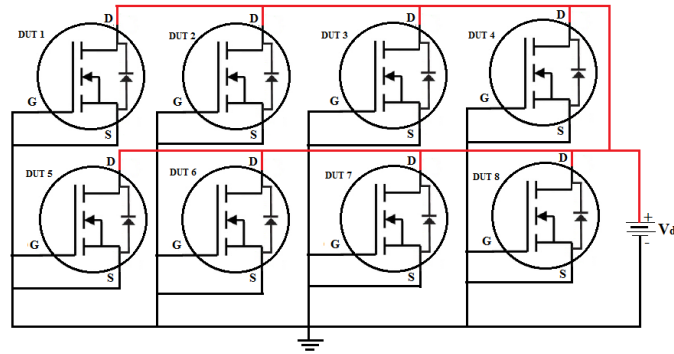


FIGURE III.2: Schéma de câblage des huit composants sous test

III.2.2.2 Description du protocole de test HTRB

Notre étude va être portée sur deux générations de MOSFET-SiC : deuxième génération (Gen2) et troisième génération (Gen3). Pour chaque génération deux gammes de composants de courant différents ont été choisis (High « H » et Low « L »). Ces deux générations sont vieilles en deux campagnes selon leur tension maximale mentionnée dans les notices (tableau III.1). Le tableau III.1 présente les composants stressés nommés "Gen2H" pour les composants de deuxième génération à fort courant, "Gen2L" pour les composants de deuxième génération à faible courant, "Gen3H" pour les composants de troisième génération à fort courant, "Gen3L" pour les composants de troisième génération à faible courant.

	Génération	DUT (x)	Référence	$I_{ds(max)}$	$V_{ds(max)}$	$T_c(max)$
Campagne 1	Gen2L-x	3-4-5-6	C2M0280120D	10A	1200V	150 ° C
	Gen2H-x	1-3-7-8	C2M0160120D	19A	1200V	150 ° C
Campagne 2	Gen3L-x	3-5-7-12	C3M0280090D	11,5 A	900V	150 ° C
	Gen3H-x	5-6-8-18	C3M0120090D	23 A	900V	150 ° C

TABLEAU III.1: Caractéristiques des composants sous test HTRB

Le test HTRB réalisé se base sur la norme JESD22A-108D [159]. Lors de ce test HTRB, nous appliquons sur le drain une polarisation proche de la tension nominale donnée par la notice tout en gardant la grille en court-circuit avec la source. Le niveau de la tension du drain appliqué est de 81% de la tension maximale (980V pour la Gen2 et 735V pour la Gen3). Les composants sous test sont soumis à la température maximale du boîtier mentionnée dans la notice (150 ° C pour les deux générations).

Afin d'évaluer l'état des composants et détecter un éventuel indicateur de dégradation suite au stress HTRB, nous surveillons l'évolution des paramètres électriques du composant entre l'état neuf et l'état vieilli. Les mesures de reprises sont effectuées à la température ambiante (25 ° C), pour évaluer l'impact du vieillissement sur les paramètres pertinents du transistor. Ces mesures de reprise sont réalisées à des intervalles de temps définis pour les paramètres : caractéristique de sortie ($I_{ds} = f(V_{ds})$), caractéristique d'entrée ($I_{ds} = f(V_{gs})$), V_{th} , $R_{ds(on)}$, I_{dss} et I_{gss} . Tandis que les capacités parasites du MOSFET ont été examinées à l'état neuf et à l'état vieilli.

Le vieillissement est prévu pour une durée de 26 jours. Le critère d'arrêt du test est défini pour trois défaillances. Le composant est considéré défaillant s'il présente une dérive de 20% d'un de ses paramètres pertinents après le test de vieillissement [226].

III.2.3 Résultats du stress HTRB sur les composants de la deuxième génération

Après la caractérisation à l'état initial à t_0 , des mesures de reprises sont effectuées sur les intervalles de temps suivants : $t_1 = 159h$, $t_2 = 295h$, $t_3 = 368h$, $t_4 = 462h$, $t_5 = 534h$, $t_6 = 624h$ (état final). Un composant parmi les huit composants stressés n'a pas survécu au test. Il s'agit du composant Gen2L-6. Au bout de 159h, le composant est endommagé (drain et source sont en court-circuit), et par conséquent, il a été retiré du four.

— Caractéristiques I-V

Les premiers paramètres examinés durant le stress sont les caractéristiques d'entrée et de sortie. Les figures III.3 III.4 montrent les résultats du stress HTRB obtenues sur les composants Gen2H-1 et Gen2L-5.

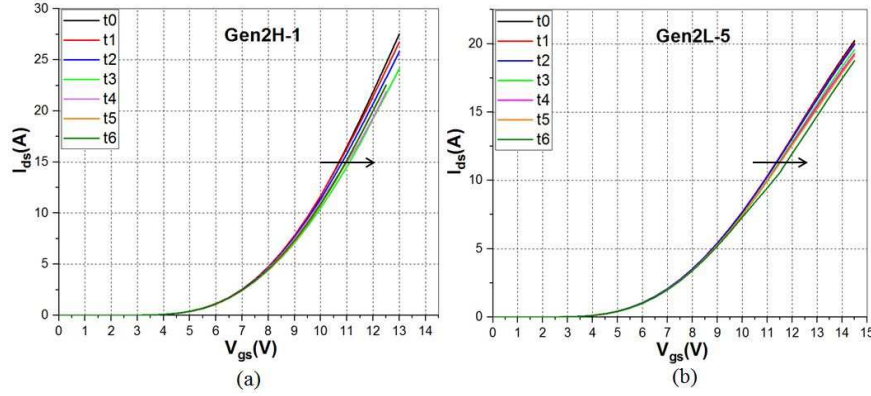


FIGURE III.3: Évolution des caractéristiques d'entrée au cours du vieillissement HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5

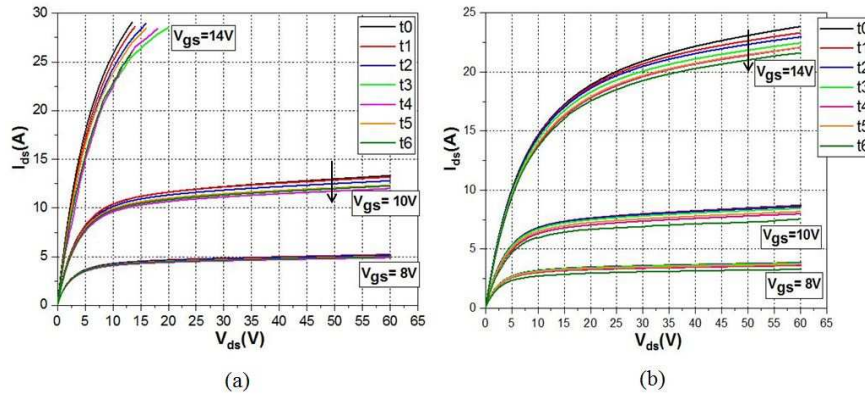


FIGURE III.4: Évolution des caractéristiques de sortie au cours du vieillissement HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5

Nous visualisons à partir de la figure III.3, un décalage de la caractéristique d'entrée qui va se traduire certainement par une dérive de la tension de seuil V_{th} . D'après la figure III.4, nous constatons en régime linéaire un décalage décroissant de la pente qui se traduit par l'augmentation de la résistance à l'état passant ($R_{ds(on)}$). Ceci est clairement illustré par la figure III.5 extraite à partir des caractéristiques de sortie des sept composants vieillis. Parallèlement, nous visualisons en régime de saturation la diminution du courant de saturation $I_{(dsat)}$ durant le stress. Cette réduction est liée probablement à la décroissance de la transconductance en saturation (K_p) et par conséquent la réduction de la mobilité des électrons (μ_n). Ceci va être confirmé dans ce qui suivra.

— Exploitation du modèle compact

Pour vérifier la tendance de ces paramètres nous exploitons le modèle compact développé dans le chapitre 2. Comme illustré sur la figure III.6, les mesures électriques

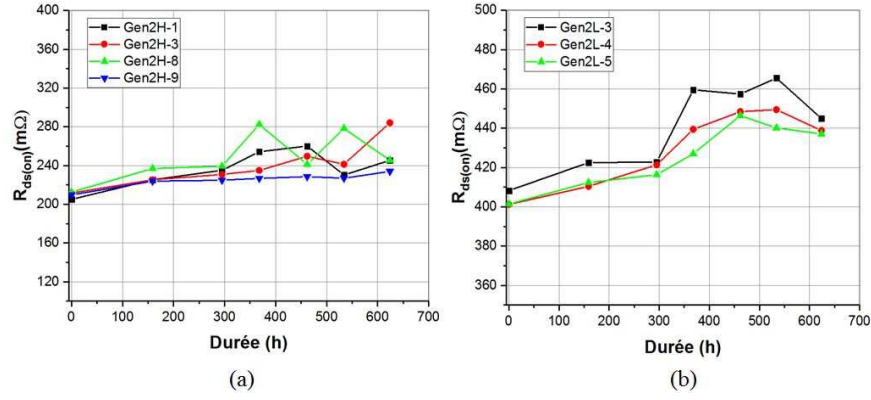


FIGURE III.5: Évolution du paramètre $R_{ds(on)}$ durant le stress HTRB des transistors : (a) Gen2H-X et (b) Gen2L-X

sont bien ajustées par le modèle. A partir du modèle et la méthode d'optimisation de Levenberg-Marquard, on extrait les paramètres V_{th} et K_p . Les figures III.7 et III.8 représentent respectivement l'évolution des paramètres V_{th} et K_p au cours du vieillissement.

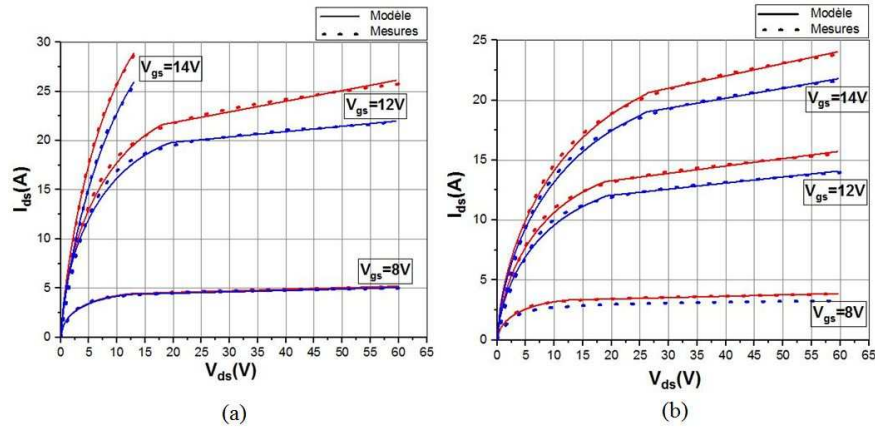


FIGURE III.6: Fittage des caractéristiques de sortie des composants : (a) Gen2H-1 et (b) Gen2L-5. Rouge : État initial, Bleu : État final

Nous constatons à partir de la figure III.7 que la tension de seuil V_{th} a légèrement diminué suite au stress HTRB. Ce décalage est attribué en général soit à la présence de charges fixes dans l'oxyde, soit à la présence des charges piégées sur l'interface SiC/ SiO_2 appelée défauts des états d'interface [227]. Les caractéristiques C-V qui seront présentées par la suite vont aider à différencier entre ces deux types de défauts.

L'autre paramètre examiné et extrait par le modèle est la transconductance K_p . La figure III.8 montre une diminution de K_p au cours du vieillissement. Cette tendance est plus prononcée pour les composants de la Gen2H. La réduction de K_p se traduit par la diminution de la mobilité des électrons μ_n avec le stress HTRB. En effet, la diminution de μ_n est due au fort champ latéral généré par l'application

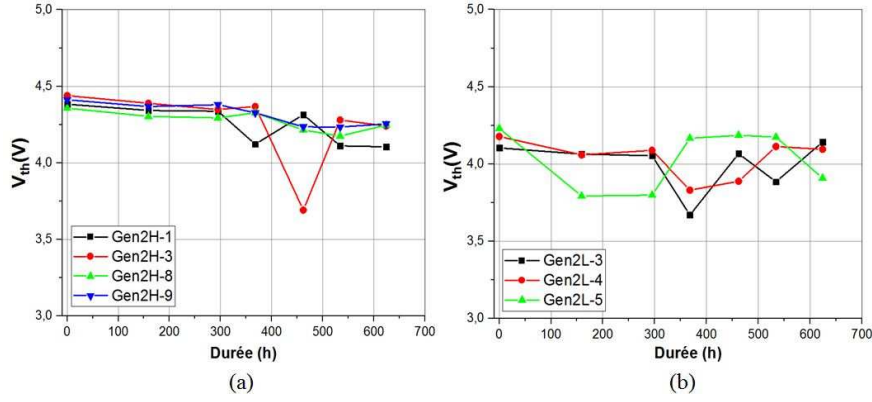


FIGURE III.7: Évolution de la tension de seuil extraite à partir du modèle durant le stress HTRB des transistors : (a) Gen2H-X et (b) Gen2L-X

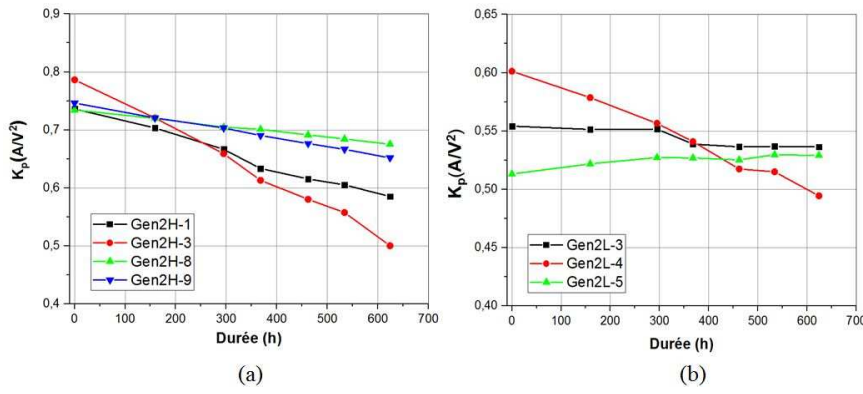


FIGURE III.8: Évolution du paramètre K_p durant le stress HTRB des transistors : (a) Gen2H-X et (b) Gen2L-X

de la tension de drain. Lorsque ce champ augmente la région de déplétion de drain s'étend vers la source. Les porteurs de charge qui se déplacent de la source vers le drain rencontrent plusieurs mécanismes de diffusion comme la diffusion des phonons conduisant à la dégradation de la mobilité des électrons [219].

— Caractéristiques C-V

Pour des raisons pratiques, les caractéristiques C-V ont été réalisées à t_0 et à la fin du stress t_6 . Nous nous contentons de présenter les caractéristiques d'un seul composant de chaque génération, puisque les composants montrent la même tendance. Les figures III.9 et III.10 représentent respectivement l'évolution des caractéristiques $C_{GS} - V_{gs}$ et $C_{DS} - V_{ds}$ avant et après le stress.

À partir de la figure III.9, nous constatons pour les composants de la (Gen2H) une diminution de la capacité du caisson N^+ (C_{GS2}) suite au stress HTRB. De plus on remarque à partir de la figure III.10-a une augmentation de la capacité drain-source (C_{DS}). Il existe trois mécanismes qui engendrent la modification de la caractéristique $C_{GS} - V_{gs}$ qui sont : la variation de la quantité de charges dans l'oxyde (Q_{ot}), la variation de l'épaisseur d'oxyde (t_{ox}) et la présence des pièges dans l'interface

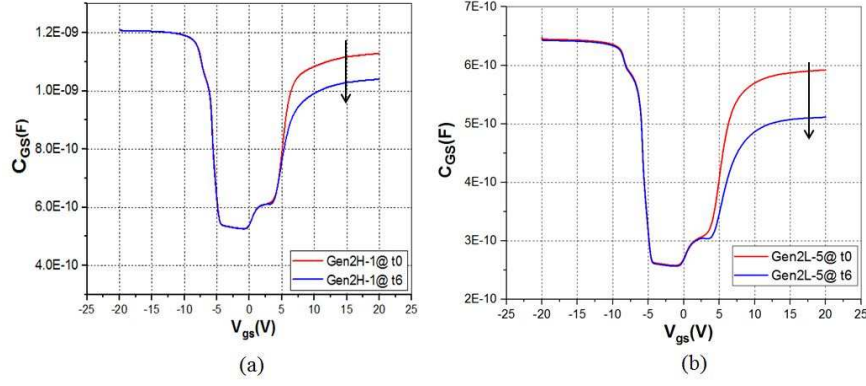


FIGURE III.9: Évolution de la capacité grille-source avant et après le stress HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5

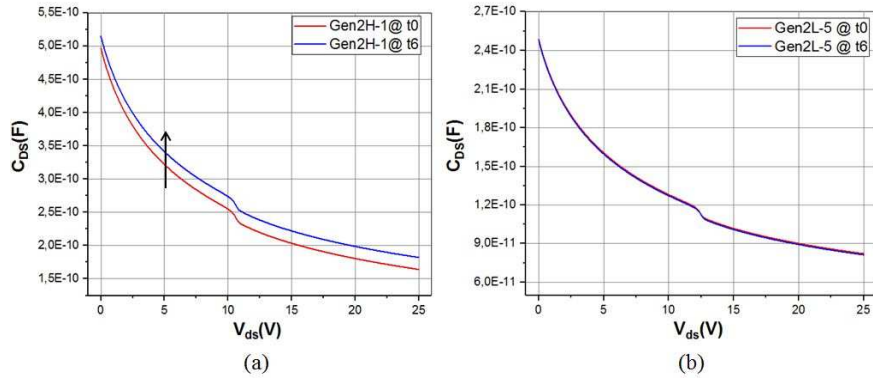


FIGURE III.10: Évolution de la capacité drain-source avant et après le stress HTRB des transistors : (a) Gen2H-1 et (b) Gen2L-5

SiC / Oxyde (Q_{it}) [228]. Ainsi, nous constatons qu'a priori la dégradation n'est pas liée aux charges d'oxyde car aucun décalage latéral n'est observé sur la caractéristique $C_{GS} - V_{gs}$. Par conséquent, il s'avère que la dégradation des caractéristiques électriques (diminution de V_{th} , augmentation de $R_{ds(on)}$) est liée à la dégradation de la jonction PN. En effet, suite au stress HTRB une migration de charges (e^-) du caisson P vers le caisson N^+ pourrait se produire. Ceci entraînerait une diminution de la quantité de charges dans l'interface caisson-P/Oxyde et expliquerait la baisse de V_{th} et l'augmentation de $R_{ds(on)}$. Par conséquent, les charges migrées se comporteraient comme des pièges dans le caisson N^+ et se présenteraient comme une capacité ($C_{default}$) liée en série. Ceci engendrerait la diminution de C_{GS2} après le stress (figure III.11) [229].

Pour les composants de la deuxième génération de faible courant (Gen2L), la figure III.10-b montre que la capacité drain-source (C_{DS}) a présenté une variation quasi constante. Tandis que la figure III.9-b montre une baisse de la capacité du caisson N (C_{GS2}) et une légère translation positive dans la zone d'inversion. Ceci traduit que la dégradation est probablement provoquée par les pièges d'interface accepteur

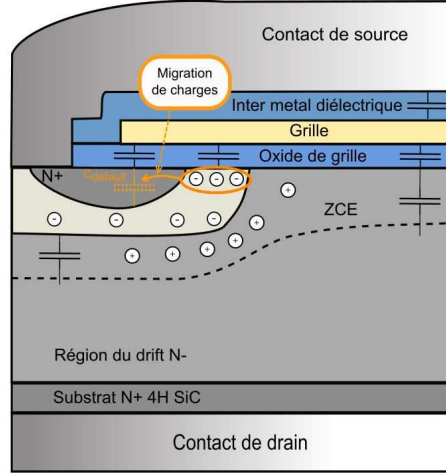


FIGURE III.11: Schéma équivalent de la structure du VD-MOSFET après stress HTRB

[230].

— Courants de fuite

Les courants de fuite de drain et de grille (I_{dss} et I_{gss}) ont été mesurés durant le vieillissement afin d'évaluer les pertes à l'état bloqué. Les figures III.12 et III.13 montrent respectivement l'évolution de I_{dss} et I_{gss} pour les différents composants d'étude.

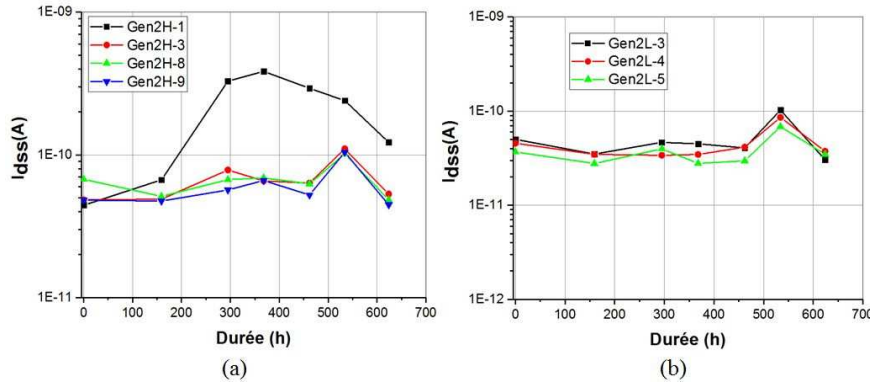


FIGURE III.12: Évolution du courant de fuite de drain au cours du vieillissement HTRB : (a) Gen2H-X et (b) Gen2L-X

A partir des figures III.12 et III.13 nous constatons que les courants de fuite de drain et de grille ont peu varié pour tous les composants sauf le composant Gen2L-6 qui présente une forte augmentation du courant de fuite I_{gss} qui traduit sa défaillance après 159h de vieillissement par un court circuit entre le drain et la source. Il est important de noter que la défaillance du composant soumis à un stress HTRB se manifeste par une augmentation soudaine du courant de fuite de la grille et non par une augmentation du courant de fuite du drain. Ceci est cohérent avec les défaillances HTRB survenant dans l'oxyde de grille à cause du fort champ électrique

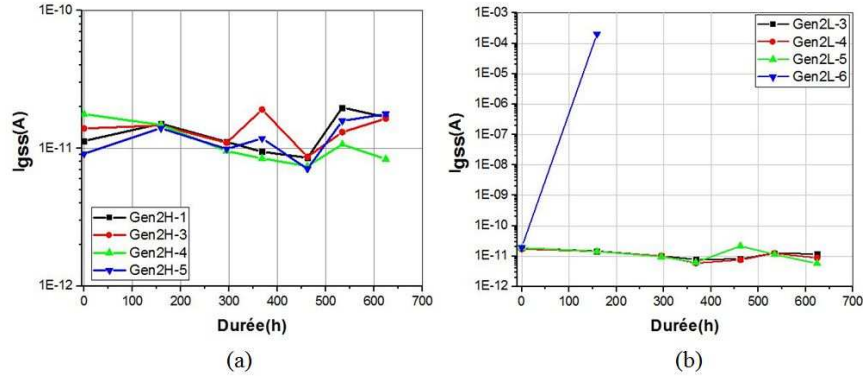


FIGURE III.13: Évolution du courant de fuite de grille au cours du vieillissement HTRB : (a) Gen2H-X et (b) Gen2L-X

de l'oxyde de grille qui se trouve dans la région de JFET et qui résulte de la forte polarisation du drain [231].

III.2.4 Résultats du stress HTRB sur les composants de la troisième génération

Les caractérisations électriques ont été effectuées à l'état initial t_0 , puis aux intervalles de temps suivants : $t_1 = 102h$, $t_2 = 268h$, $t_3 = 380h$, $t_4 = 473h$, $t_5 = 565h$, $t_6 = 624h$ (état final).

Les composants de la troisième génération à faible courant (Gen3L) ont présenté une grande fragilité vis à vis le stress HTRB qui se traduit par une défaillance très rapide. En effet, trois composants n'ont pas survécu au stress (drain et source sont en court-circuit) : deux composants (Gen3L-5 et Gen3L-12) ont été dégradés au bout de 268h, alors que le composant Gen3L-3 a été endommagé au bout de 294h de stress. Par conséquent, il a été décidé d'arrêter le vieillissement du composant Gen3L-7 après 294h.

— Caractéristiques I-V

Les caractéristiques d'entrée et de sortie ont été examinées durant le vieillissement. Les figures III.14 et III.15 montrent l'évolution de ces caractéristiques durant le stress HTRB pour les composants Gen3H-5 et Gen3L-3.

A partir des figures III.14 et III.15, nous constatons qu'au niveau des caractéristiques d'entrée et de sortie, les composants de la troisième génération présentent un comportement similaire que les composants de deuxième génération vis-à-vis le stress HTRB. En effet, nous remarquons à partir de la figure III.14, un décalage de la caractéristique d'entrée à forte tension V_{gs} , alors que sur la caractéristique de sortie présentée sur la figure III.15, nous remarquons en régime linéaire un léger

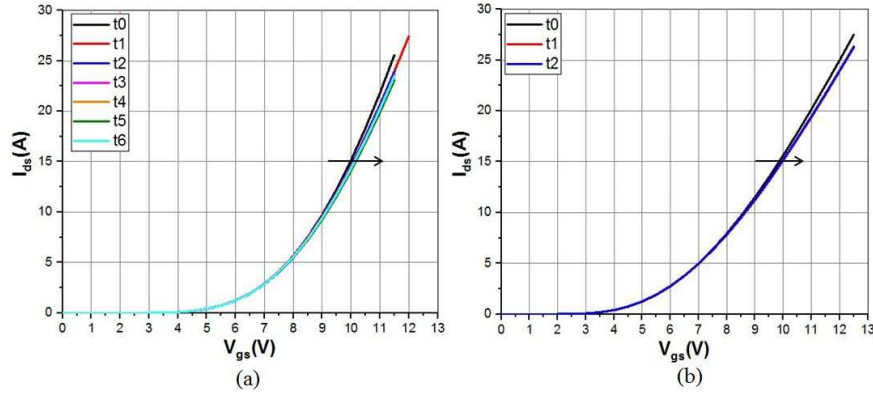


FIGURE III.14: Évolution des caractéristiques d'entrée au cours du vieillissement HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-3

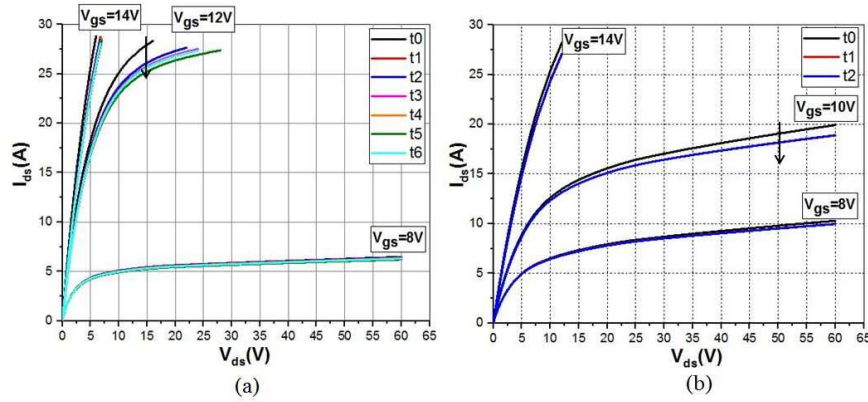


FIGURE III.15: Évolution des caractéristiques de sortie au cours du vieillissement HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-3

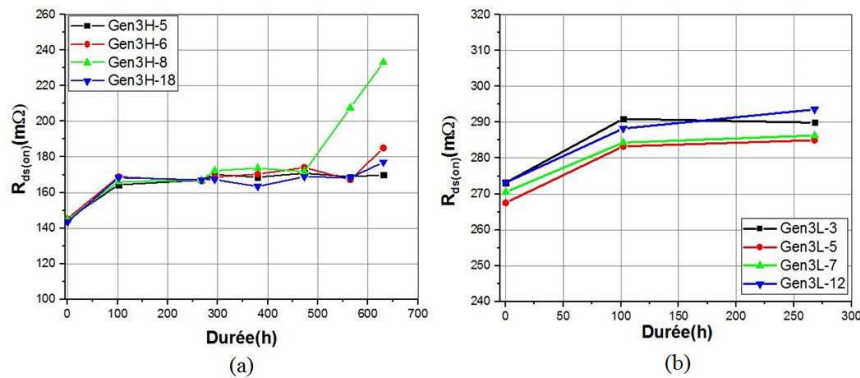


FIGURE III.16: Évolution du paramètre $R_{ds(on)}$ durant le stress HTRB des transistors : (a) Gen3H-X et (b) Gen3L-X

décalage de la pente traduisant une variation de $R_{ds(on)}$. De même que les composants de la deuxième génération, la figure III.16 montre que la résistance à l'état passant des composants de la troisième génération augmente légèrement pendant le vieillissement. En régime de saturation, on note la diminution du courant de saturation I_{dsat} durant le stress. Pour interpréter la tendance de ce paramètre

nous exploitons le modèle compact développé dans le chapitre 2.

— Exploitation du modèle compact

Les mesures électriques sont bien ajustées par le modèle comme montré sur la figure III.17. On extrait à partir du modèle les paramètres K_p et V_{th} . Les figures III.18 et III.19 représentent respectivement l'évolution des paramètres K_p et V_{th} durant le stress HTRB.

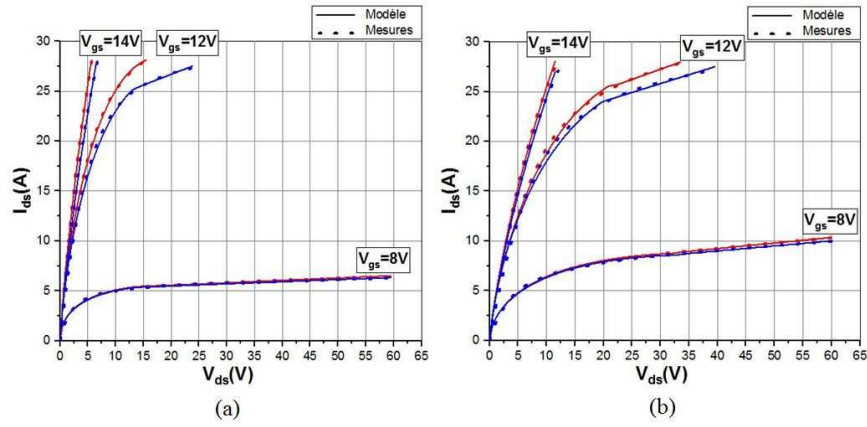


FIGURE III.17: Fittage des caractéristiques de sortie des composants : (a) Gen3H-1 et (b) Gen3L-5. Rouge : État initial, Bleu : État final

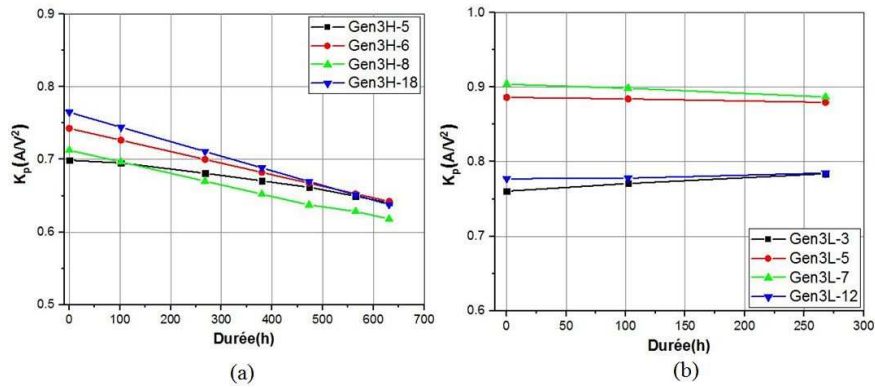


FIGURE III.18: Évolution du paramètre K_p durant le stress HTRB des transistors : (a) Gen3H-X et (b) Gen3L-X

La figure III.18 montre une diminution de K_p au cours du vieillissement des composants de la Gen3H. Cette tendance est identique à celle des composants de la deuxième génération. En revanche, les composants de la Gen3L présente une tendance quasi-stationnaire de K_p . La réduction de K_p pour les composants Gen3H, reflète la diminution de la mobilité des électrons avec le stress HTRB, et par conséquence la décroissance du courant de saturation. Comme ce qu'on a vu auparavant, la réduction de μ_n est liée à l'apparition d'un fort champ latéral suite à l'application de la tension de drain.

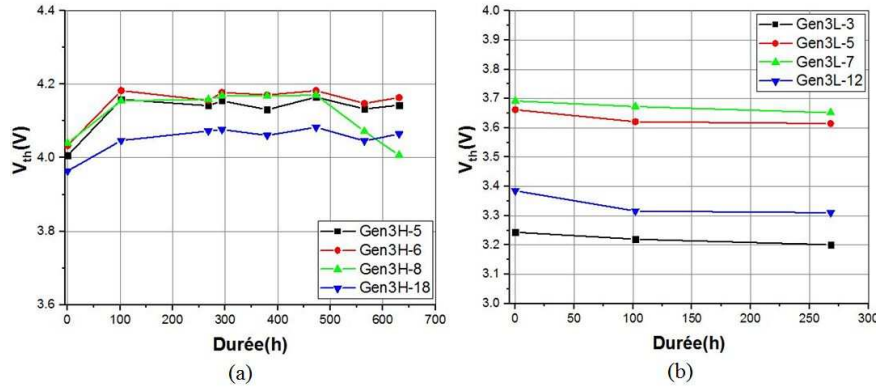


FIGURE III.19: Évolution de la tension de seuil durant le stress HTRB des transistors : (a) Gen3H-X et (b) Gen3L-X

La tension de seuil V_{th} a été relevée durant le vieillissement. Nous constatons à partir de la figure III.19 que contrairement aux composants de la deuxième génération, la tension V_{th} des composants de la Gen3H a légèrement augmenté suite au stress HTRB. En revanche ce paramètre montre une valeur quasi stationnaire pour les composants de la Gen3L avant leurs destructions.

— Caractéristiques C-V

Les caractéristiques C-V ont été réalisées à t_0 et à la fin du stress (t_6 pour Gen3H et t_2 pour Gen3L). Les figures III.20 et III.21 représentent respectivement l'évolution des caractéristiques $C_{DS} - V_{ds}$ et $C_{DG} - V_{dg}$ avant et après le stress. A partir de ces figures, on note aucune modification des caractéristiques $C_{DS} - V_{ds}$ et $C_{DG} - V_{dg}$.

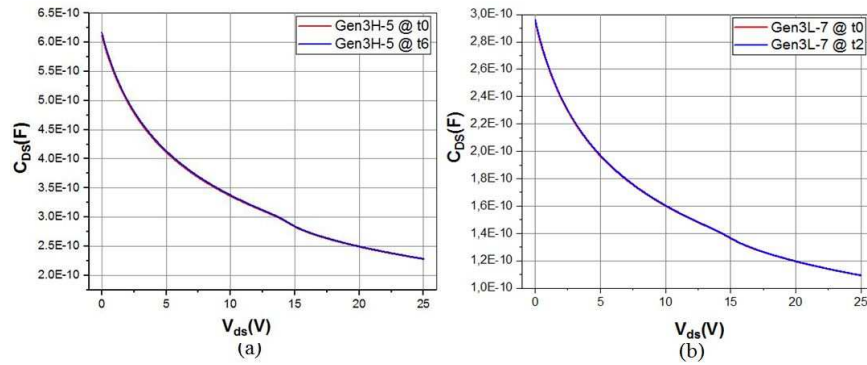


FIGURE III.20: Évolution de la capacité drain-source avant et après le stress HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-7

La caractéristique $C_{GS} - V_{gs}$ des composants Gen3H-6 et Gen3H-8 n'a présenté aucune variation significative. Par contre la caractéristique $C_{GS} - V_{gs}$ des composants Gen3H-5 et Gen3H-18 montre une variation importante comme illustré sur la figure III.22. Cette variation se traduit par une baisse de la capacité du caisson N (C_{GS2}) et une légère translation positive dans la région d'inversion. Ceci est probablement liée aux états d'interface présents à l'interface SiC/ SiO_2 [230, 232]. Suite au stress

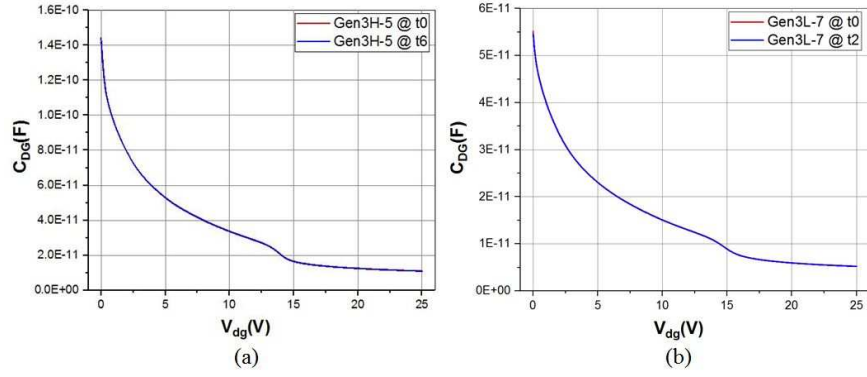


FIGURE III.21: Évolution de la capacité drain-grille avant et après le stress HTRB des transistors : (a) Gen3H-5 et (b) Gen3L-7

HTRB, un champ électrique suffisamment élevé apparaît aux bornes de l'oxyde. Ceci provoque une dégradation de l'oxyde par la création des pièges d'interface et des centres de génération-recombinaison. Ces pièges engendrent une augmentation de $R_{ds(on)}$ et de V_{th} ainsi qu'une baisse de I_{dsat} .

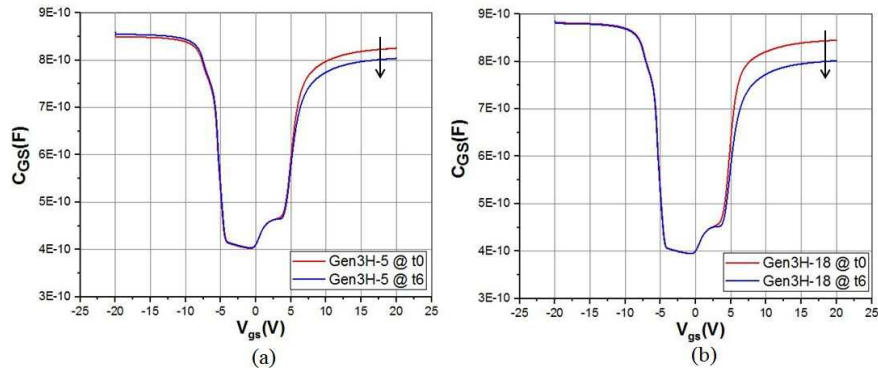


FIGURE III.22: Évolution de la capacité grille-source avant et après le stress HTRB des transistors : (a) Gen3H-5 et (b) Gen3H-18

Pour les composants de la troisième génération à faible courant (Gen3L), nous constatons que la caractéristique $C_{GS} - V_{gs}$ des composants Gen3L-7 ne montrent aucune dégradation importante. En revanche, les composants Gen3L-3, Gen3L-5 et Gen3L-12 ont présenté suite au stress HTRB une défaillance catastrophique qui rend la caractérisation C-V impossible.

— Courant de fuite

Parmi les mesures de reprise effectuées durant le vieillissement il y a les mesures de courants de fuite de drain et de grille (I_{dss} et I_{gss}). Les figures III.23 et III.24 montrent respectivement l'évolution de I_{dss} et I_{gss} pour les différents composants d'étude.

A partir des figures III.23 et III.24 nous constatons une valeur quasi constante des courants de fuite de drain et de grille pour tous les composants de la Gen3H. Par contre, le courant de fuite de grille des trois composants défaillants de la Gen3L

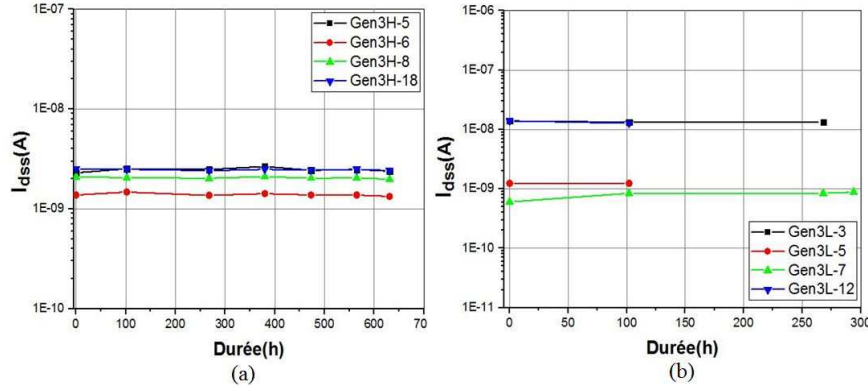


FIGURE III.23: Évolution du courant de fuite de drain au cours du vieillissement HTRB : (a) Gen3H-X (b) et Gen3L-X

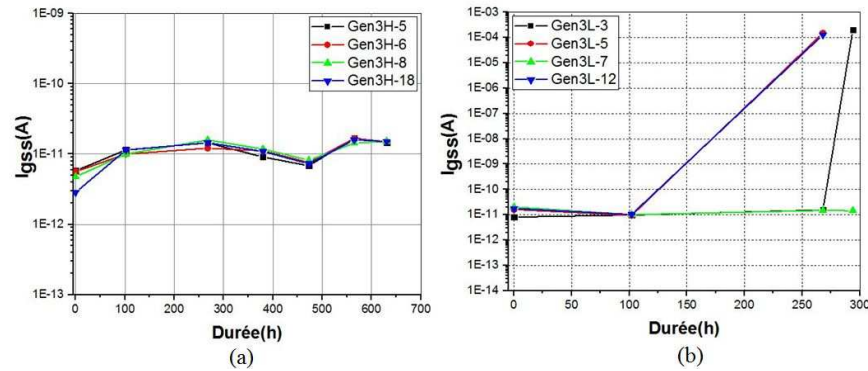


FIGURE III.24: Évolution du courant de fuite de grille au cours du vieillissement HTRB : (a) Gen3H-X et (b) Gen3L-X

montre une forte augmentation avec le stress HTRB. Cette augmentation est due à la dégradation de l'oxyde de grille qui est liée probablement au fort champ électrique dans la région de JFET et qui résulte de la forte tension de drain [231]. En effet, ce champ électrique mène à l'injection des porteurs chauds dans le diélectrique ce qui induit des défauts microscopiques sous forme des pièges créés à l'interface SiC/SiO₂. La défaillance a pris lieu lorsque la densité de pièges atteint une valeur critique. Dans ce cas, un chemin de conduction se crée et la quasi-totalité du courant traverse le diélectrique. Par conséquent, la forte densité de courant dans l'oxyde provoque un emballement thermique et provoque une panne catastrophique. Cette destruction se traduit donc par un court-circuit entre le drain et la source.

Bilan des résultats du test HTRB sur les deux générations du MOSFET SiC

Le tableau III.2 résume les résultats du test HTRB réalisé sur les deux générations du MOSFET SiC en présentant les hypothèses sur les mécanismes de défaillance. Nous avons calculé, pour au moins deux composants ayant la même tendance, les variations relatives maximales des paramètres pertinents du MOSFET.

DUT	Nombre de DUT	Nombre de composant défaillant	Variation maximale des paramètres (%)	Hypothèse de mécanisme de dégradation
Gen2L	4	1 composant (Drain et source en court-circuit)	$\nearrow R_{ds(on)}$ de 10% $\searrow V_{th}$ de 11% $\searrow K_p$ de 19% $\searrow C_{GS2}$ de 14%	-Présence des charges d'interface dans l'oxyde -Dégradation d'oxyde de grille
Gen2H	4	Aucun	$\nearrow R_{ds(on)}$ de 29% $\searrow V_{th}$ de 7% $\searrow K_p$ de 37% $\searrow C_{GS2}$ de 13%	Dégradation de la jonction PN
Gen3L	4	3 composants (Drain et source en court-circuit)	$\nearrow R_{ds(on)}$ de 8% V_{th} cste K_p cste C_{GS2} cste	Dégradation d'oxyde de grille
Gen3H	4	Aucun	$\nearrow R_{ds(on)}$ de 42 % $\nearrow V_{th}$ de 5% $\searrow K_p$ de 14% $\searrow C_{GS2}$ de 6%	Présence des charges d'interface dans l'oxyde

TABLEAU III.2: Récapitulatif des Résultats de test HTRB sur les deux générations du MOSFET SiC

D'après le tableau III.2, nous constatons une incertitude sur la fiabilité des composants Gen2H et Gen3H. Ces composants ont marqué une variation maximale de V_{th} égale à 7% pour Gen2H et 5% pour Gen3H, et une augmentation maximale de $R_{ds(on)}$ égale à 29% pour Gen2H et 42% pour Gen3H, ainsi qu'une diminution maximale de K_p égale à 37% pour Gen2H et pour 14% Gen3H. En se basant sur la variation des différents indicateurs électriques, deux hypothèses sur les mécanismes de dégradation ont été établis : la dégradation de la jonction PN et la présence des charges d'interface dans l'oxyde. Cependant, les composants Gen2L et Gen3L ont présenté une faible tenue face au stress HTRB puisqu'ils ont montré des défaillances catastrophiques. En revanche, ces composants ont marqué des faibles variations de paramètres électriques avant leur destruction identifiée par des courants de fuite de grille importants. Deux hypothèses sur les mécanismes de dégradation ont été établis pour ces composants : la dégradation d'oxyde de grille et la présence des charges d'interface dans l'oxyde. Les mêmes phénomènes ont été observés sur des transistors à technologie et structure similaire [140, 157, 160–164].

III.3 Étude de la robustesse des MOSFETs SiC aux décharges électrostatiques

L'effet de la température et du champ électrique élevé sur le MOSFET SiC a été étudié dans la partie précédente à travers des tests à haute température. Nous nous intéressons dans cette section à évaluer la robustesse de ces composants aux décharges électrostatiques dont l'abréviation communément utilisée est ESD (pour ElectroStatic Discharge en anglais).

Les ESD et les défaillances causées par ces stress sur les MOSFETs sont présentées dans cette section. Plusieurs modèles de stress ESD ou de qualification du composant existent, nous nous intéresserons dans ce travail au test Human Body Model (HBM) car l'homme est la principale source de décharge électrostatique et c'est le modèle le plus utilisé dans l'industrie.

III.3.1 Problématique des ESD

Lorsque deux objets possédant des potentiels électrostatiques différents s'approchent, un transfert rapide de charges se produit générant ainsi des décharges électrostatiques [233]. Les secteurs comme la micro-électronique, la micro-mécanique, l'aéronautique, l'automobile sont des environnements très sensibles aux ESD. Une décharge électrostatique est un phénomène très problématique car il peut intervenir à tout moment dans le cycle de vie du composant. Elle peut se produire par exemple lors de la phase de fabrication, ou lors d'une manipulation ou du stockage du composant. Les industriels de la micro-électronique sont très préoccupés par le sujet des ESD et cherchent constamment des solutions (tels que les circuit de protection [139]) pour les maîtriser et se prémunir de leurs problèmes. En effet, les décharges électrostatiques peuvent être la cause des dégâts irréversibles dans les systèmes électroniques. La maîtrise de ce phénomène est donc un élément fondamental pour la sécurité des composants électroniques et des personnes qui les manipulent. Ainsi, le test ESD est un stress important pour caractériser l'immunité des composants électronique face à une décharge électrostatique. Ce stress s'avère primordial surtout pour les nouvelles technologies telles que la technologie SiC où les utilisateurs exigent une forte assurance des performances. Étant donné qu'une décharge peut avoir lieu dans des contextes très variés, le plan de test ESD doit couvrir tous les scénarios et reproduire au maximum les configurations de décharge possibles.

III.3.1.1 Modèles des décharges électrostatiques

Pour reproduire au mieux le transfert de charges que peut subir les composants en pratique durant leur cycle de vie, différents modèles ont été conçus. On peut distinguer ces modèles en fonction de l'origine de la décharge générée :

- La destruction du composant peut être causée par sa mise en contact avec un corps chargé. Selon la nature de la source chargée on distingue deux modèles :
 - Le modèle de corps humain chargé (HBM : Human Body Model) : C'est le premier modèle qui a été développé [135]. Il est le modèle le plus utilisé par les industriels car l'homme est la principale source de décharge électrostatiques.

Le modèle HBM permet de simuler la décharge d'une personne debout, vers un composant électronique lorsqu'il le touche du doigt. Le circuit électronique qui sert à simuler une décharge de type HBM est constitué d'une capacité et d'une résistance permettant de modéliser le corps humain (figure III.25).

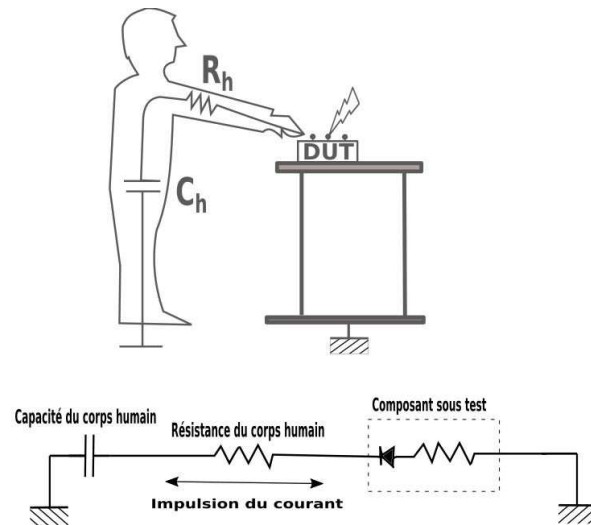


FIGURE III.25: Circuit équivalent d'une décharge de type HBM

- Le modèle de machine chargée (MM : Machine Model) : C'est un modèle qui a été introduit pour la première fois en Japon dans les années 80 [136]. Ce modèle simule la décharge d'une machine dans un composant électronique (figure III.26). Ce modèle est en général plus destructeur que le modèle précédent car la résistance du générateur équivalent est quasi nulle. Les deux modèles HBM et MM sont des formes différentes d'un même mécanisme dans lequel le composant électronique subit une décharge d'un corps externe, que cela soit une personne ou une machine. De plus, ces deux modèles possèdent des durées comparables [133]. Ceci rend leur modes de défaillances assez similaires, même si les dégradations qui peuvent être engendré sont plus ou moins sévères d'un test à l'autre.
- La défaillance du composant est causée lorsque ce dernier est lui même porteur de charges statiques et se met en contact avec un corps ayant un potentiel différent, tel qu'une masse électrique. On parle donc du modèle de composant chargé (CDM : Charged Device Model [137]. Ce mode de décharge peut se produire par exemple si le composant est transporté dans un emballage plastique non adapté et qu'il entre en contact avec une masse (figure III.27).

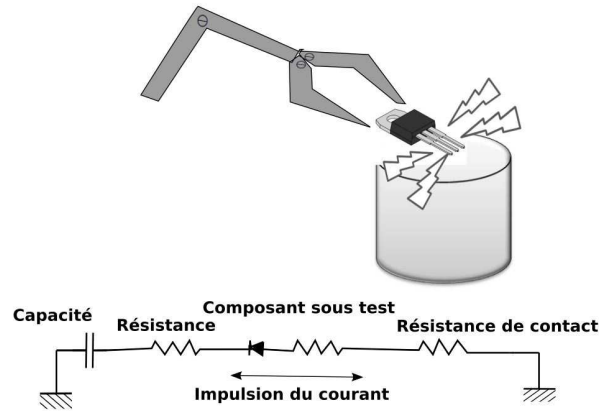


FIGURE III.26: Circuit équivalent d'une décharge de type MM

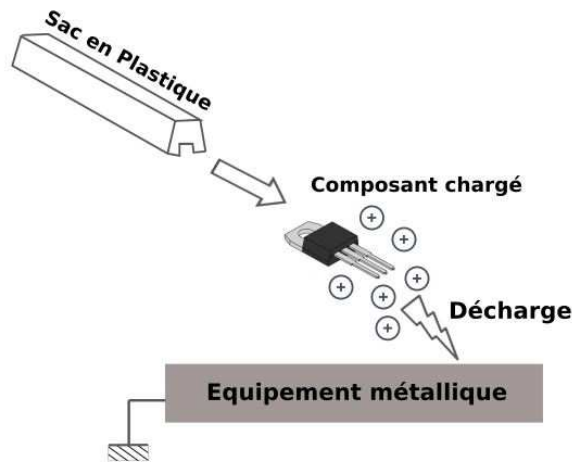


FIGURE III.27: Origine du modèle CDM

III.3.1.2 Normes des tests ESD

Pour chaque modèle de décharge vu précédemment, différents tests peuvent être employés suivant des normes précises [234]. Selon le domaine d'application, chacun des modèles ESD utilisés (HBM, CDM, MM) pour le test a son propre système de classification pour quantifier la tenue des composants électroniques aux ESD. Lors d'un test ESD, les décharges sont générées à des niveaux de tensions successivement croissants [235]. La sévérité de la décharge et la classification du composant sont représentées par le niveau de tension. Chaque norme donne les spécifications de mesure et indique les niveaux de tensions et de courants définissant la décharge ESD. La norme définit aussi la nature de la décharge et son mode d'injection dans le composant : par contact ou dans l'air [236].

Plusieurs normes existent permettant aux industriels de l'électronique de qualifier leur composants et connaître leur robustesses vis à vis des ESD. Les normes les plus

connues et les plus utilisées sont : la norme MIL-HDBK (MIL-STD-750 E, MIL-STD-883-F) [237], la norme AEC (AEC-Q100, AEC-Q101) [226, 238], la norme JEDEC (JESD22-A108C, JESD22-A114C.01) [239], la norme IEC 61000-4-2 [240], la norme de l'association ESD (ESDA-JEDEC JS-001, ANSI/ESD STM5.2, ANSI/ESD STM5.3.1, ANSI/ESD SP5.3.2) et la norme ISO 10605 sur laquelle nous allons baser pour nos tests [241].

La norme ISO 10605 décrit les tests des décharges électrostatiques nécessaires pour l'évaluation des performances des modules électroniques embarqués dans les véhicules. Elle est applicable à tous les types de véhicules routiers. Cette norme considère les décharges qui apparaissent dans les cas suivants :

- ESD au cours du montage.
- ESD causées par le personnel d'entretien.
- ESD causées par les occupants.

Selon la norme ISO 10605 la résistance de décharge peut être égale à 330Ω ou $2k\Omega$. Le test avec une résistance de $2k\Omega$ représente la décharge d'un corps humain directement à travers la peau, alors que l'essai avec une résistance de 330Ω représente la décharge d'un corps humain à travers une pièce métallique (par exemple un outil, une clé, une bague). Un test avec une résistance de 330Ω est plus sévère qu'un test avec $2k\Omega$. D'après la norme, les tensions du test doivent être augmentées, en utilisant au moins deux valeurs, jusqu'au niveau d'essai maximal. En effet, certains composants réagissent plus à des tensions spécifiques, mais pas nécessairement à d'autres niveaux de tension de test. Le tableau III.3 résume les niveaux de tensions spécifiés par la norme. La norme ISO 10605 décrit en détail le générateur de décharge électrostatique à utiliser pour simuler la décharge ESD. Le tableau III.4 récapitule les caractéristiques principales du pistolet ESD qui servira pour le test ESD.

Niveau de sévérité du test	Catégorie 1	Catégorie 2	Catégorie 3
N_4	$\pm 8kV$	$\pm 8kV$	$\pm 15kV$
N_3	$\pm 6kV$	$\pm 8kV$	$\pm 8kV$
N_2	$\pm 4kV$	$\pm 4kV$	$\pm 6kV$
N_1	$\pm 2kV$	$\pm 2kV$	$\pm 4kV$

TABEAU III.3: Niveau de sévérité d'une décharge ESD par contact selon la norme ISO 10605 [241]

III.3.2 Mécanisme de défaillance des ESD

Lorsqu'un MOSFET reçoit une décharge électrostatique, un fort courant électrique circule dans le composant engendrant ainsi un échauffement ou une augmentation du champ électrique. Malgré la courte durée de cet échauffement (quelques nanosecondes)

Paramètres	Caractéristiques
Intervalle de la tension pour une décharge par contact	2kV à 15kV ou bien comme c'est demandé dans le plan de test
Intervalle de la tension pour une décharge dans l'air	2kV à 25kV ou bien comme c'est demandé dans le plan de test
Précision de la tension	$\leq 5\%$
Polarité de la tension	Positive ou négative
Temps de montée du courant du court-circuit en mode de décharge par contact (10% à 90%)	0,7ns à 1ns
Temps du maintien	$\geq 5s$
Capacité de stockage	150pF, 330pF
Résistance de décharge	330Ω, 2kΩ

TABLEAU III.4: Paramètres du Pistolet ESD

des conséquences fatales peuvent se produire tels que la destruction du composant par une défaillance de la jonction, une rupture ou une fusion de la métallisation, ou un claquage de l'oxyde de grille [132, 242]. Cet échauffement peut aussi engendrer une dégradation du composant et perturber son fonctionnement en modifiant les caractéristiques intrinsèques des matériaux tels que le paramètre de diffusion des dopants ou la création des pièges dans l'oxyde [133, 134, 243]. Ceci cause en général une augmentation des courants de fuite et une apparition des points de focalisation du champ électrique et des points chauds qui mènent avec le temps à la destruction du composant. Le tableau III.5 résume les différents mécanismes et modes de défaillance des décharges électrostatique sur les MOSFETs.

Le cas le plus courant des modes de défaillance est la création d'un filament conducteur qui relie la source au drain d'un MOSFET [246]. Ce phénomène résulte de l'élévation de la température du canal. Il entraîne la fusion locale du semi-conducteur. La gravité de ce phénomène dépend de la durée de décharge et de sa nature. Lorsque les décharges sont courtes, les jonctions peuvent être dégradées et une augmentation du courant de fuite est constatée. Par contre pour des durées de décharges importantes (comme dans le cas des décharges de type HBM), l'échauffement devient plus prononcé ce qui mène à une défaillance des jonctions caractérisée par un court-circuit entre le drain et la source.

Un autre mode de défaillance très fréquent est le claquage de l'oxyde de grille du MOSFET. Lorsque le composant reçoit une décharge électrostatique, la tension de drain augmente linéairement avec le courant de décharge, engendrant ainsi une augmentation du champ électrique entre le drain et la grille. Si ce champ atteint des valeurs qui dépassent le champ de claquage de l'oxyde de grille, ce dernier n'effectue plus ces fonctionnalités d'isolation. En effet, pour de très courtes durées (de l'ordre de la nanoseconde) comme dans le cas des décharges de type CDM, une élévation du courant de fuite est souvent observée. Par contre, quand la durée de décharge augmente, la dégradation

Mécanismes de défaillance	Description	Référence
Filamentation	Cause : Les courants circulent dans des régions localisées et forment par conséquence un filament de fusion. La redistribution des atomes de dopant et les dommages causés par les cristaux provoquent un fort champs et des courants de fuite élevés. Dans les pires des cas un court-circuit des jonctions se produisent. Corrections : Réduire les densités de défauts. Assurer un courant uniforme à travers la jonction.	[244–248]
Claquage d'oxyde	Cause : L'ESD engendre un champ électrique qui dépasse la capacité du diélectrique ce qui conduit à une rupture de l'oxyde. Corrections : Minimiser les angles aigus pour abaisser l'intensité du champ électrique. Réduire les défauts.	[245, 249–252]
Injection de porteurs	Cause : Le claquage par avalanche de la jonction injecte des porteurs chauds dans l'oxyde, ce qui engendre un shift de la tension de seuil du MOSFET et l'augmentation du courant de fuite. Corrections : Minimiser le champs électrique à la surface de la jonction	[245, 249, 251, 253–255]
Rupture du film (Les bondings en Al, Au)	Cause : La densité de puissance dans le film dépasse sa capacité. L'échauffement par effet Joule fait fondre le film, ce qui entraîne une fusion. Corrections : Utiliser un film avec une température de fusion plus élevée.	[245, 256–259]

TABLEAU III.5: Mécanismes de défaillance des ESD

s'accroît menant ainsi à une destruction du composant, généralement identifiée par un court-circuit entre le drain et la grille.

Parmi les mécanismes de dégradations d'ESD souvent rencontrés, on trouve également le phénomène d'injections de porteurs "chauds" dans les couches isolantes (oxyde, couche de passivation) abordé en détail dans le chapitre 1. Ce mécanisme a un caractère non destructif puisqu'il ne va pas jusqu'à la casse du composant. Toutefois, il engendre une dégradation du composant marquée par une augmentation du courant de fuite et un décalage de la tension de seuil.

Un autre mécanisme de défaillance des ESD est la rupture des films. En effet, la circulation d'une trop grande densité de courant à travers les interconnexions (bonding,

Génération	DUT (x)	Référence	$I_{ds(max)}$	$V_{ds(max)}$	$T_c(max)$
Gen2L-x	10-11	C2M0280120D	10 A	1200V	150 ° C
Gen2H-x	5-6	C2M0160120D	19 A	1200V	150 ° C
Gen3L-x	8-9	C3M0280090D	11,5 A	900V	150 ° C
Gen3H-x	11-12	C3M0120090D	23 A	900V	150 ° C

TABLEAU III.6: Caractéristiques des composants sous test ESD

vias ou lignes métalliques) engendre un fort échauffement causé par effet Joule qui peut faire fondre ces matériaux et couper la ligne. Ainsi la défaillance du composant est mise en évidence par la présence d'un circuit ouvert.

A partir de cette analyse bibliographique, nous cherchons dans ce qui suit à connaître la robustesse de la nouvelle technologie SiC de composant MOSFET face au stress ESD.

III.3.3 Description du stress ESD

Le test ESD est réalisé sur huit composants MOSFET SiC de deux générations : deuxième génération (Gen2) et troisième génération (Gen3) présentés dans le tableau [III.6](#).

Pour étudier la robustesse des MOSFETs SiC aux décharges électrostatiques, un stress ESD a été réalisé selon la norme ISO 10605 décrite précédemment. Nous nous intéressons aux niveaux 3 et 4 de la catégorie 3 correspondant respectivement à une tension de 8 kV et de 15 kV (tableau [III.3](#)). Le test a été réalisé à la température ambiante (25 ° C) avec une humidité relative de 22 %. Le stress ESD est réalisé avec un pistolet dont le schéma est représenté sur la figure [III.28](#). Pour simuler le modèle de la personne chargée "HBM", des décharges par contact ont été réalisées sur la grille des transistors (figure [III.29](#)) avec un circuit de décharge correspond à une capacité de 330 pF et à une résistance de $2k\Omega$ ce qui simule la décharge d'un corps humain directement à travers la peau. Le stress a été appliqué sur la grille car nous souhaitons évaluer surtout la robustesse de l'oxyde de grille et confirmer si les améliorations technologique apportées aux nouvelles générations de MOSFETs SiC ont pu résoudre les problèmes de fiabilité de cette couche de diélectrique. De plus, les composants ont été stressés en appliquant une forte tension sur la grille, tout en gardant les contacts de drain et de source dans l'air. Ainsi le potentiel des deux contacts de drain et de source n'est pas garanti à 0V lors du tir ESD, ce qui peut engendrer une élévation de l'ensemble du composant à plusieurs kilo volts nous permettra aussi d'évaluer la fiabilité des jonctions PN et de l'intégrité de la structure du composant.

Quatre composants ont été stressés en appliquant des tirs ESD à 8kV (Gen2L-11, Gen2H-6, Gen3L-9 et Gen3H-11), et quatre composants ont été soumis à des tirs ESD de

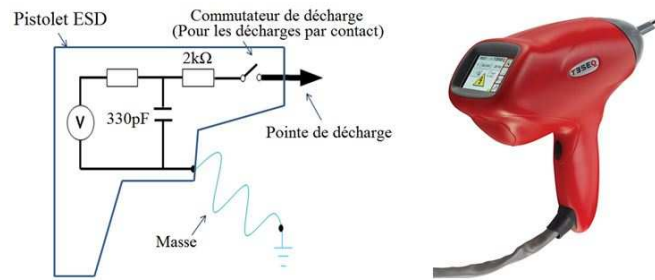


FIGURE III.28: Circuit de base d'un pistolet ESD selon la norme " EN 61000-4-2 " (Décharge par Contact).

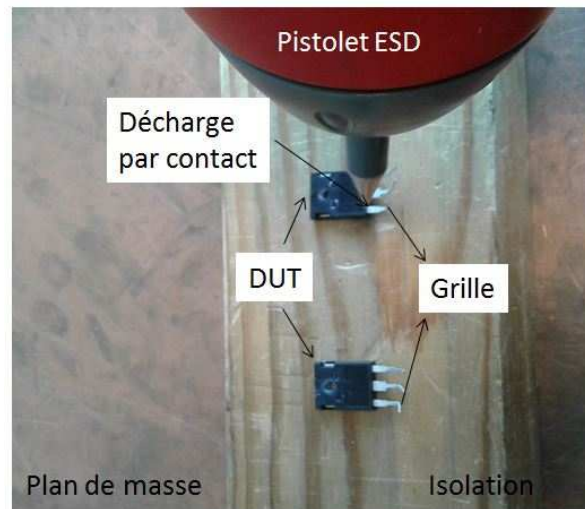


FIGURE III.29: Décharge par contact sur la grille des MOSFETs SiC

15kV (Gen2L-10, Gen2H-5, Gen3L-8 et Gen3H-12). Le tableau III.7 résume le protocole appliqué sur chaque composant. Plusieurs tirs sont appliqués car la répétition du test fragilise fortement le composant et le dégrade un peu plus durant chaque stress jusqu'à atteindre la destruction. Suite à chaque tir nous mesurons la valeur de la tension de V_{th} que nous avons pris comme indicateur de défaillance après chaque tir.

DUT (x)	Tension Appliquée		Nombre de tirs
	8kV	15kV	
Gen2L-10		x	4
Gen2L-11	x		12
Gen2H-5		x	2
Gen2H-6	x		4
Gen3L-8		x	1
Gen3L-9	x		4
Gen3H-11	x		4
Gen3H-12		x	4

TABEAU III.7: Protocole du test ESD

III.3.4 Résultats et analyse du stress ESD

— Caractéristiques I-V et courants de fuite

Afin d'évaluer l'impact du stress ESD sur la technologie de MOSFET SiC, nous allons examiner les paramètres électriques des composants avant et après stress. Les figures III.30, III.31, III.32 et III.33 représentent les caractéristiques d'entrée et de sortie des composants représentatifs de chaque référence de composant pour les deux générations de MOSFET SiC. Les tableaux III.8 et III.9 résument les résultats des caractéristiques électriques relevés ($R_{ds(on)}$, I_{dsat} , I_{dss} , I_{gss}). A partir des caractéristiques de sortie (figures III.31 et III.33), nous observons en général peu de variation des paramètres I_{dsat} et $R_{ds(on)}$. La seule variation significative qu'on peut constater concerne les composants de la troisième génération à faible courant (Gen3L-8 et Gen3L-9). En effet, nous constatons que le composant Gen3L-8 qui a subi la plus forte décharge (15kV) présente une forte baisse de I_{dsat} et une forte augmentation de $R_{ds(on)}$. De plus, la caractéristique de sortie de ce composant à des valeurs de V_{gs} supérieure à 10 V a été difficile à mesurer à cause du fort courant de fuite de grille, alors que le composant Gen3L-9 qui a subi la plus faible décharge (8kV) présente une forte élévation de I_{dsat} et une forte chute de $R_{ds(on)}$. Pour les autres composants une légère augmentation du courant de saturation I_{dsat} est observée. Cette variation du courant de saturation est en général à l'inverse de l'évolution de la résistance à l'état passant $R_{ds(on)}$ qui chute légèrement après le stress ESD (tableaux III.8 et III.9) pour la majorité des composants.

D'après les tableaux III.8 et III.9, nous observons suite au stress ESD une tendance générale d'augmentation du courant de fuite de grille I_{gss} qui est très prononcée pour les composants de la troisième génération à faible courant (Gen3L). On remarque aussi une dérive du courant de fuite de drain I_{dss} qui tend à augmenter pour tous les composants sauf ceux de la deuxième et troisième génération à fort courant (Gen2H-5, Gen2H-6 et Gen3H-12) où I_{dss} décroît suite au stress ESD. La dérive des courants de fuite de drain et de grille traduit la dégradation des composants sous test, et montre la fragilité de ces composants vis-à-vis des décharges électrostatiques.

— Exploitation du modèle compact

Pour mieux comprendre l'impact de ce stress sur nos composants d'étude, nous exploitons le modèle compact développé dans le chapitre 2. La figure III.34 montre l'ajustement des caractéristiques de sortie de deux composants de référence par le modèle. Cette figure confirme la précision du modèle développé qui est parfaitement en accord avec les mesures. Les caractéristiques électriques des composants sous test sont modélisées avant et après le stress. Les tableaux III.10 et III.11 récapitulent les paramètres du modèle extraits (V_{th} , K_p et θ). Nous constatons à partir des tableaux

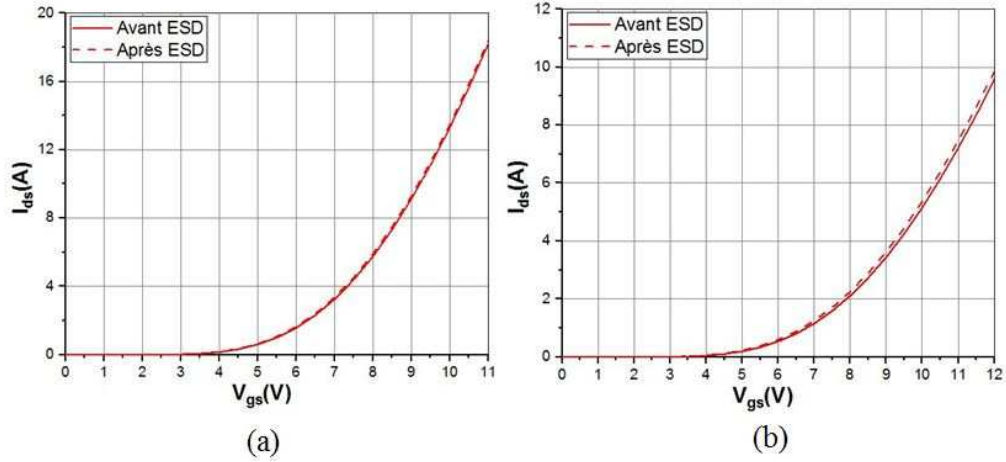


FIGURE III.30: Évolution des caractéristiques d'entrée des composants de la deuxième génération avec le stress ESD : (a) Gen2H-6 et (b) Gen2L-10

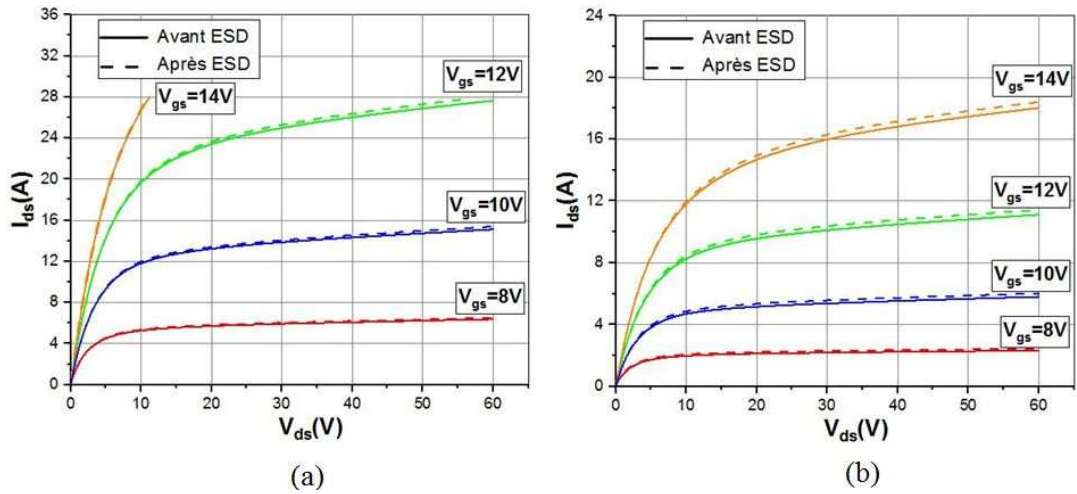


FIGURE III.31: Évolution des caractéristiques de sortie des composants de la deuxième génération avec le stress ESD : (a) Gen2H-6 et (b) Gen2L-10

III.10 et III.11 une baisse de la tension de seuil V_{th} de tous les composants après le stress ESD. Cette dérive est plus importante pour les composants de la troisième génération à faible courant (Gen3L). La tendance de ce paramètre est soupçonnée à partir des caractéristiques d'entrée ou un léger décalage de la caractéristique est observé (figures III.30 et III.32). On constate ainsi que l'évolution de la tension de seuil est à l'inverse de la variation du courant de fuite de grille, ce qui traduit probablement une dégradation de la commande de grille qui suite au stress ESD s'ouvre plus tôt et fuit plus.

A partir des tableaux III.10 et III.11 nous remarquons aussi que la transconductance K_p augmente légèrement pour tous les composants sauf le composant Gen3L-8 où elle baisse considérablement. Étant donné que la transconductance K_p est l'image de la mobilité des électrons μ_n , alors nous pouvons déduire que suite au

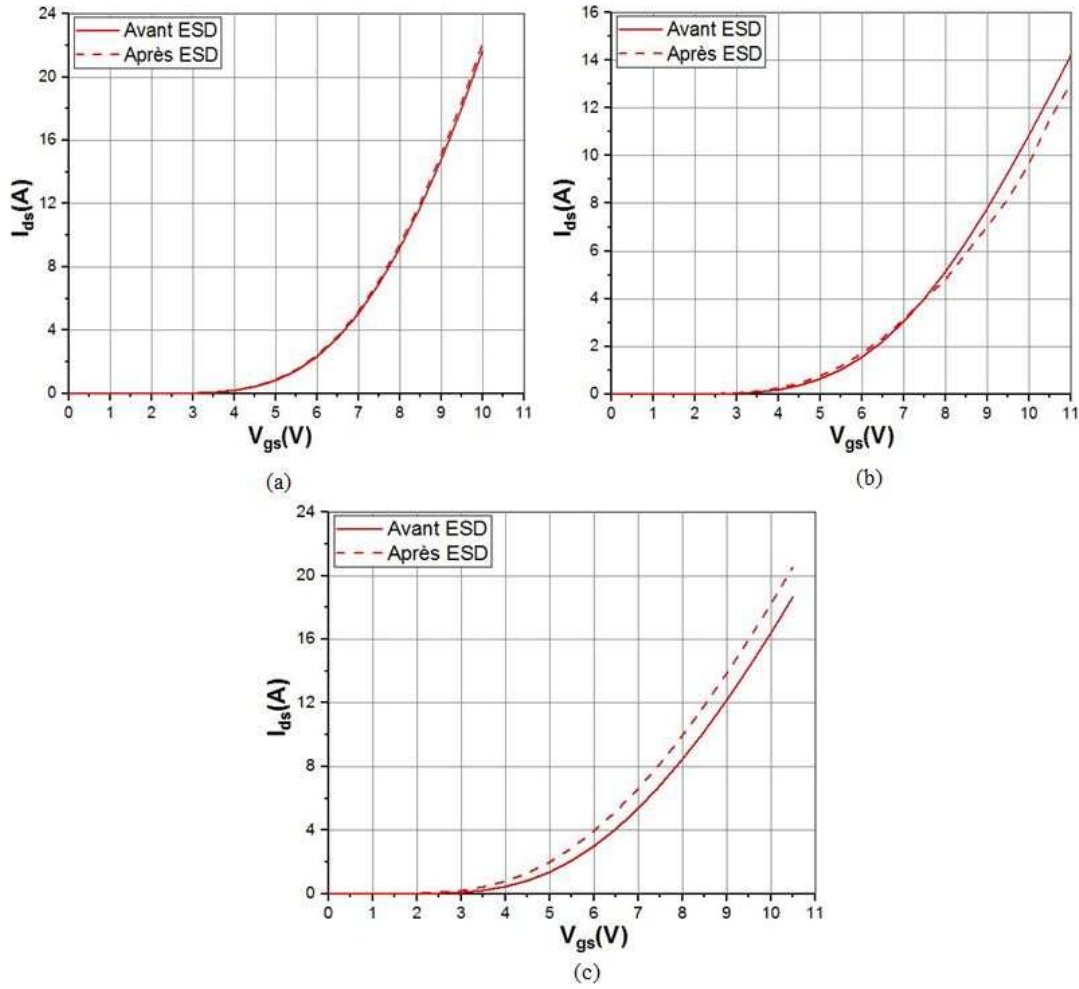


FIGURE III.32: Évolution des caractéristiques d'entrée des composants de la troisième génération avec le stress ESD : (a) Gen3H-12, (b) Gen3L-8 et (c) Gen3L-9

stress ESD, μ_n augmente pour la majorité des composants et elle baisse pour le composant Gen3L-8, ce qui explique le comportement observé aussi sur I_{dsat} qui présente une variation similaire à μ_n et K_p d'après les relations II.10 et II.26.

Enfin, les tableaux III.10 et III.11 montrent la variation du paramètre de champ électrique transversal θ suite au stress ESD. nous constatons que θ tend à augmenter légèrement pour tous les composants sauf ceux de la troisième génération à faible courant (Gen3L-8 et Gen3L-9) où θ diminue considérablement. Ce paramètre reflète l'effet de la réduction de mobilité des électrons générés par le champ électrique transversal résultant de la polarisation dx'entrée V_g appliquée avec le stress ESD sur l'électrode de grille.

— Caractéristiques C-V

Des mesures de capacité en mode diode Grille-Source, Drain-Source et Drain-Grille ont été effectuées avant et après le test ESD afin d'apporter plus d'interprétation sur

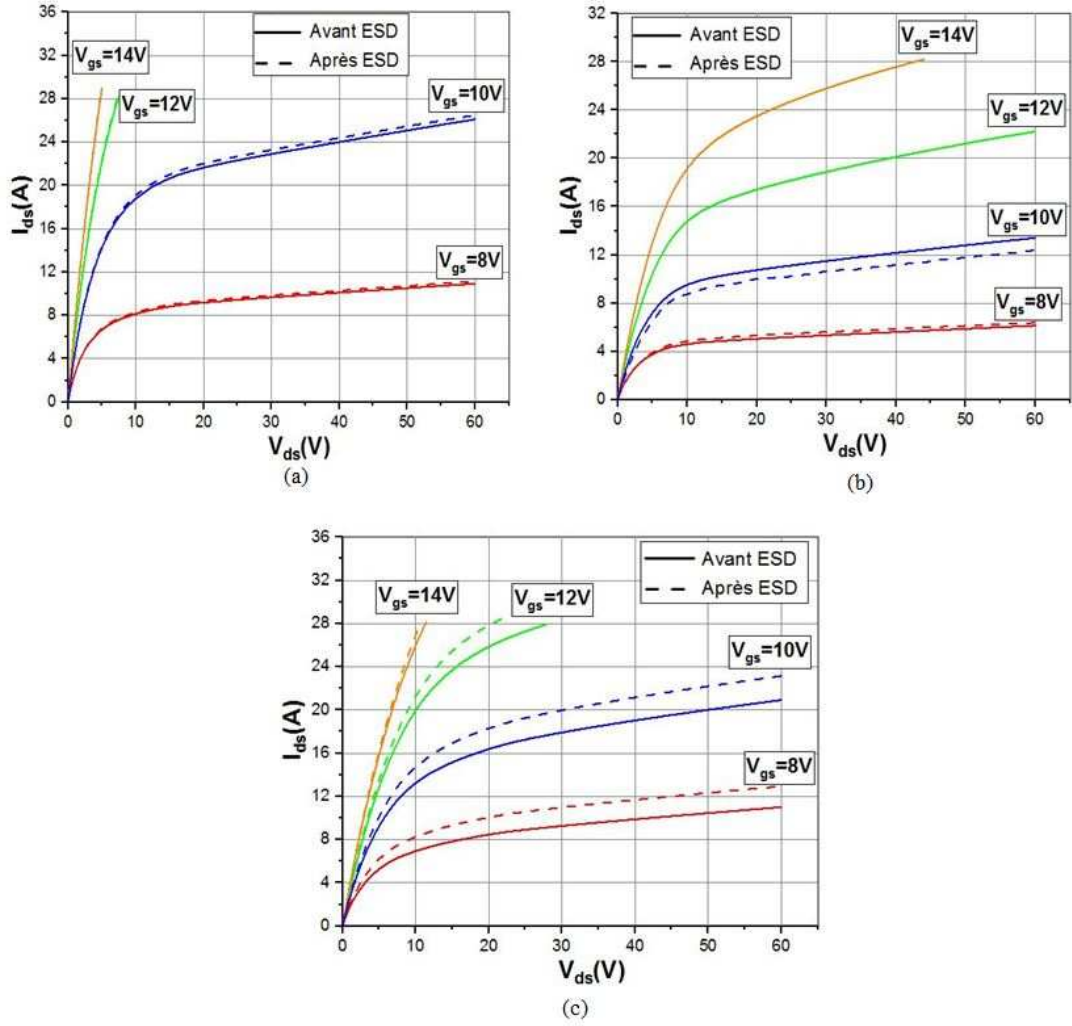


FIGURE III.33: Évolution des caractéristiques de sortie des composants de la troisième génération avec le stress ESD : (a) Gen3H-12, (b) Gen3L-8 et (c) Gen3L-9

les mécanismes de défaillance. Les figures III.35 et III.38 présentent les caractéristiques $C_{GS} - V_{gs}$ des composants références de la deuxième et troisième génération de MOSFET SiC. Les figures III.36 et III.39 montrent l'évolution des caractéristiques $C_{DS} - V_{ds}$ des mêmes composants. Enfin, les caractéristiques $C_{DG} - V_{dg}$ de ces composants sont illustrées sur les figures III.37 et III.40.

Ces figures ne montrent aucune modification notable sur les caractéristiques $C_{DS} - V_{ds}$ et $C_{DG} - V_{dg}$ pour les composants de deuxième génération à faible courant (Gen2L-10 et Gen2L-11). On peut conclure la même chose pour les composants de la deuxième génération à fort courant (Gen2H-5 et Gen2H-6) qui présentent des caractéristiques Drain-Source et Drain-Grille quasi-constantes. Cependant la caractéristique Grille-Source de ces composants présente une légère translation latérale dans le sens négatif, ce qui traduit la présence des pièges positifs dans le volume de l'oxyde. Ceci expliquerait la baisse de $R_{ds(on)}$ et de V_{th} ainsi que l'augmentation de

		Gen2L-10 4 tirs à 15kV	Gen2L-11 12 tirs à 8kV	Gen2H-5 2 tirs à 15kV	Gen2H-6 4 tirs à 8kV
$R_{ds(on)}(m\Omega)$	État neuf	673,546	698,922	317,107	282,941
	Après ESD	660,535	671,079	314,816	283,407
I_{dsat} (A)	État neuf	5,531	5,219	10,743	14,337
	Après ESD	5,734	5,639	11,037	14,545
I_{dss} (nA)	État neuf	0,294	0,673	0,72	0,713
	Après ESD	1,263	1,347	0,381	0,619
I_{gss} (pA)	État neuf	18,918	19,752	24,878	16,033
	Après ESD	882,148	953,674	512,599	619,888

TABLEAU III.8: Résultats du stress ESD des composants de la deuxième génération du MOSFET SiC

		Gen3L-8 1 tir à 15kV	Gen3L-9 4 tirs à 8kV	Gen3H-11 4 tirs à 8kV	Gen3H-12 4 tirs à 15kV
$R_{ds(on)}(m\Omega)$	État neuf	423,335	356,333	208,399	196,313
	Après ESD	524,368	337,997	209,564	195,87
I_{dsat} (A)	État neuf	12,156	19,027	21,308	24,001
	Après ESD	11,152	21,153	21,43	24,387
I_{dss} (nA)	État neuf	1,239	1,28	2,387	2,908
	Après ESD	16681,43	56423,55	2,765	2,729
I_{gss} (pA)	État neuf	17,75	10,728	21,255	10,621
	Après ESD	1919 E^{10}	5841,255	1156,33	5126

TABLEAU III.9: Résultats du stress ESD des composants de la troisième génération du MOSFET SiC

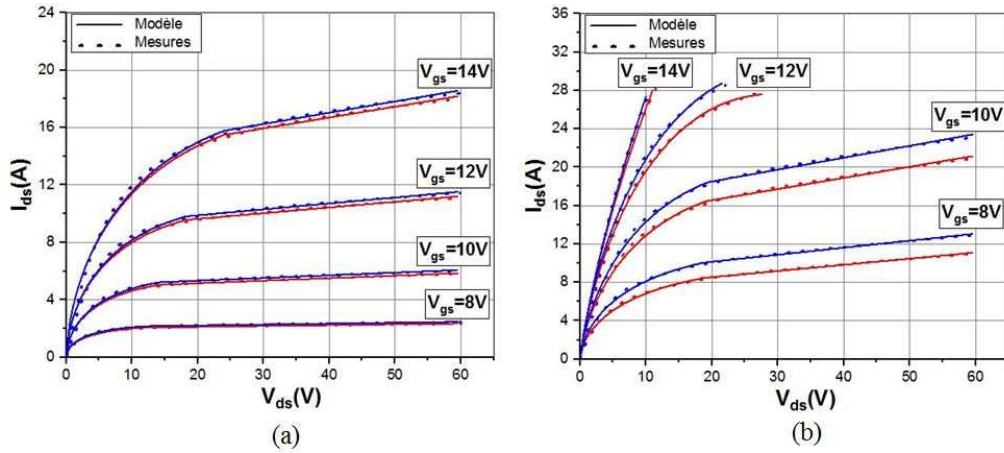


FIGURE III.34: Fittage des caractéristiques de sortie des composants : (a) Gen2L-10 et (b) Gen3L-9. Rouge : Avant stress, Bleu : après stress

I_{dsat} et I_{gss} . En effet, les contraintes du champ élevé appliquées lors du stress ESD, induisent des charges positives piégées dans l'oxyde Q_{ot}^+ [260, 261]. Ces charges résultent de la génération des trous créés par l'ionisation par impact dans l'oxyde. Les pièges dans le volume d'oxyde créent des puits de potentiel qui entraînent une réduction de la barrière de potentiel et par conséquent une réduction de V_{th} ainsi qu'une augmentation du courant de fuite de grille [251, 262, 263].

		Gen2L-10 4 tirs à 15kV	Gen2L-11 12 tirs à 8kV	Gen2H-5 2 tirs à 15kV	Gen2H-6 4 tirs à 8kV
V_{th} (V)	État neuf	3,981	3,993	3,581	3,558
	Après ESD	3,870	3,847	3,522	3,515
K_p	État neuf	0,235	0,221	0,315	0,476
	Après ESD	0,237	0,232	0,320	0,481
θ	État neuf	-0,023	-0,025	-0,052	-0,034
	Après ESD	-0,021	-0,021	-0,051	-0,033

TABLEAU III.10: Évolution des paramètres du modèle des composants de la deuxième génération du MOSFET SiC après le test ESD

		Gen3L-8 1 tir à 15kV	Gen3L-9 4 tirs à 8kV	Gen3H-11 4 tirs à 8kV	Gen3H-12 4 tirs à 15kV
V_{th} (V)	État neuf	3,498	3,051	3,613	3,665
	Après ESD	2,734	2,625	3,559	3,645
K_p	État neuf	0,744	0,499	0,501	0,760
	Après ESD	0,285	0,768	0,512	0,774
θ	État neuf	0,022	0,008	-0,071	-0,040
	Après ESD	0,016	-0,024	-0,066	-0,039

TABLEAU III.11: Évolution des paramètres du modèle des composants de la troisième génération du MOSFET SiC après le test ESD

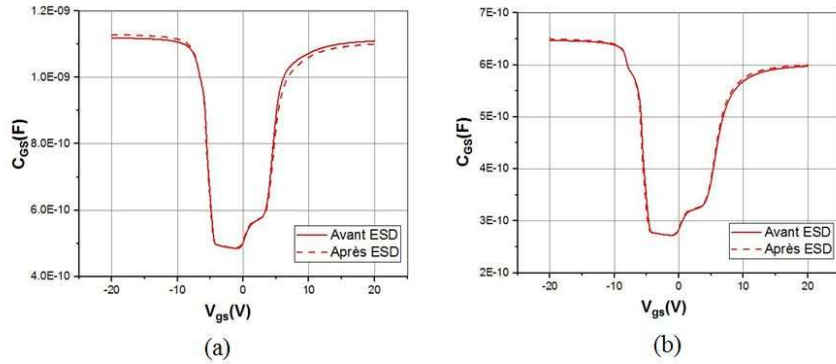


FIGURE III.35: Évolution de la capacité grille-source avant et après le stress ESD des transistors : (a) Gen2H-6 et (b) Gen2L-10

Concernant les composants de la troisième génération à fort courant (Gen3H-11 et Gen3H-12), aucune modification significative n'a été observée sur les caractéristiques C-V. Ceci montre la bonne tenue de ces composants aux décharges électrostatiques.

Pour les composants de la troisième génération à faible courant, seul le composant Gen3L-9 a été caractérisé, car le second composant Gen3L-8 était trop dégradé pour être caractérisé en mesures C-V. A partir de la figure III.39, nous constatons que la caractéristique $C_{DS} - V_{ds}$ reste quasiment constante suite au stress ESD. Par contre nous observons sur les figures III.38 et III.40 un léger décalage latéral de la caractéristique $C_{GS} - V_{gs}$ dans le sens négatif, ainsi qu'une légère baisse de

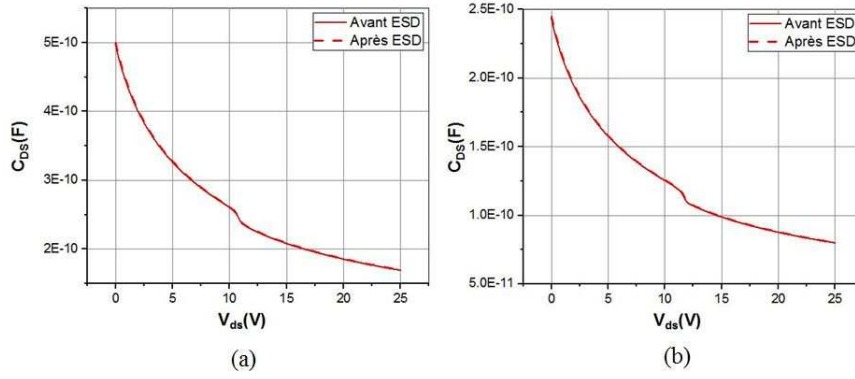


FIGURE III.36: Évolution de la capacité drain-source avant et après le stress ESD des transistors : (a) Gen2H-6 et (b) Gen2L-10

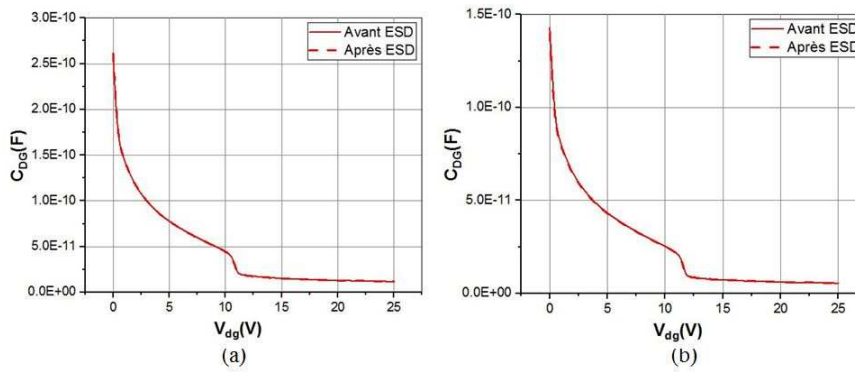


FIGURE III.37: Évolution de la capacité drain-grille avant et après le stress ESD des transistors : (a) Gen2H-6 et (b) Gen2L-10

la capacité C_{DG} et de la capacité sous le caisson N (C_{GS2}). Ceci peut s'expliquer par la présence des pièges positifs dans l'oxyde Q_{ot}^+ et une éventuelle présence des états d'interface accepteurs. On peut dire que la quantité de pièges dans l'oxyde est supérieure à celle des pièges d'interface car l'effet des Q_{ot} est plus prépondérant que celui des Q_{it} puisque nous visualisons suite au stress ESD, une diminution de la tension de seuil V_{th} et de $R_{ds(on)}$ ainsi qu'une augmentation de I_{dsat} et de I_{gss} [264, 265]. Par conséquent, nous concluons que les dégradations observées sur nos composants d'étude des deux générations de MOSFETs SiC, sont attribuées à la dégradation de l'oxyde de grille suite au stress ESD.

III.4 Conclusion

Dans ce chapitre nous avons évalué la fiabilité et la robustesse de deux générations du MOSFET en technologie carbure de silicium. Ces composants ont été soumis à des tests de vieillissements accélérés en particulier à des tests HTRB et ESD. Les résultats de

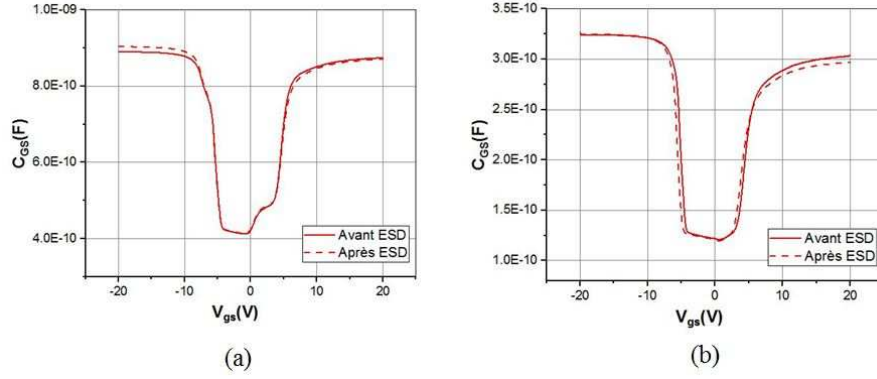


FIGURE III.38: Évolution de la capacité grille-source avant et après le stress ESD des transistors : (a) Gen3H-12 et (b) Gen3L-9

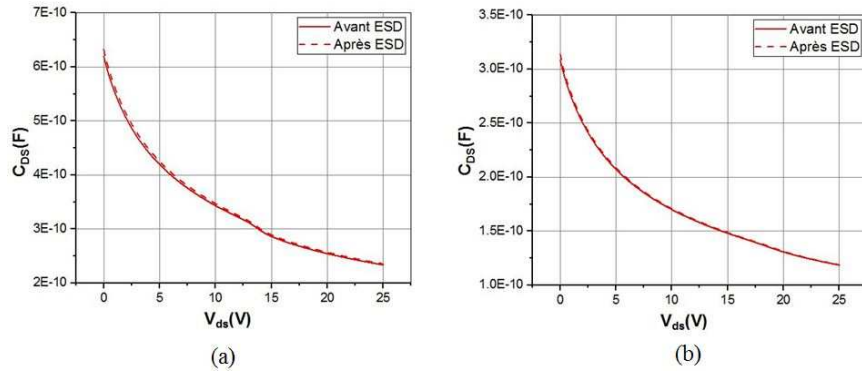


FIGURE III.39: Évolution de la capacité drain-source avant et après le stress ESD des transistors : (a) Gen3H-12 et (b) Gen3L-9

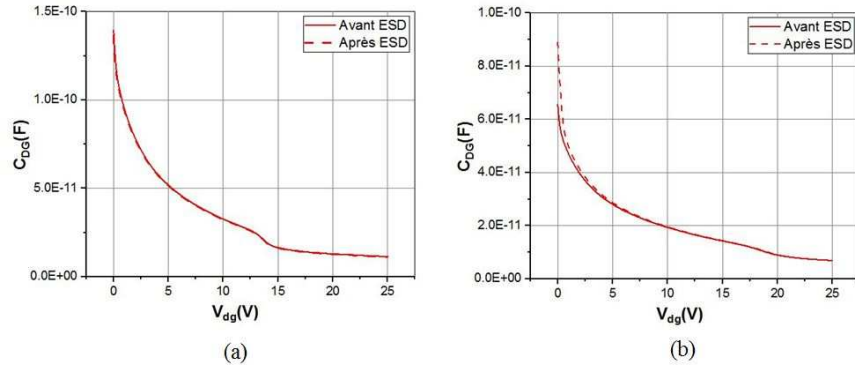


FIGURE III.40: Évolution de la capacité drain-grille avant et après le stress ESD des transistors : (a) Gen3H-12 et (b) Gen3L-9

caractérisation obtenus ont permis de poser des hypothèses sur la fiabilité et la robustesse de ces composants et sur leurs mécanismes de défaillance.

Suite aux résultats du stress HTRB, nous avons constaté une incertitude sur la fiabilité des composants de la deuxième et troisième génération à fort courant (Gen2H et Gen3H). Ces composants ont montré des courants de fuite de grille et de drain faibles.

Toutefois, ces composants ont marqué une faible variation de V_{th} et une variation importante de K_p et $R_{ds(on)}$. Les caractéristiques C-V de ces composants avant et après stress ont révélé des mécanismes de défaillance différents pour chaque génération du MOSFET SiC. La dégradation de la jonction PN pour les composants Gen2H et la présence des charges d'interface dans l'oxyde pour les composants de Gen3H. En revanche les composants à faible courant (Gen2L et Gen3L) ont présenté une faible tenue face au stress HTRB. En effet, ces derniers ont montré des défaillances catastrophiques. Cependant ces composants ont présenté des faibles variations de paramètres électriques avant leur destruction identifiée par des courants de fuite de grille importants. Ceci a été traduit par la dégradation de l'oxyde de grille suite au fort champ généré au sein de la zone JFET à cause de la polarisation du drain élevée. En outre, les composants Gen2L qui ont survécu le test HTRB ont présenté des dégradations des caractéristiques C-V qui sont attribuées à la présence des charges d'interface dans l'oxyde.

Concernant le stress ESD, les composants de deuxième génération avec les deux gammes de courant (Gen2L et Gen2H) et la troisième génération à fort courant (Gen3H) ont montré une très bonne robustesse au stress ESD. Ils sont arrivés à supporter de forts niveaux de décharges (8kV et 15kV) et montré de faible variation des paramètres électriques. Contrairement aux composants de troisième génération à faible courant (Gen3L) qui ont montré une faible tenue face au stress ESD. En effet, suite au stress ESD une variation significative des paramètres électriques a été observée. Elle se traduit par une augmentation de $R_{ds(on)}$ et des courants de fuite de grille et de drain, et d'une baisse de V_{th} . A partir des caractéristiques C-V, la présence des pièges dans l'oxyde a été révélée. Par conséquent la dégradation de ces composants a été attribuée à la dégradation de l'oxyde de grille suite au stress ESD. Vu que les conclusions générales sont établies à partir de peu d'échantillons notamment sur le stress HTRB, et que les décharges électrostatiques sont des phénomènes aléatoires et peu répétitifs, alors il faut essayer de comprendre à travers un autre moyen les phénomènes physiques conduisant à des mécanismes de défaillance. D'où l'intérêt de la simulation physique. Pour bien comprendre le comportement des MOSFETs SiC vis-à-vis des contraintes thermiques et électriques, des simulations physiques seront menées dans le prochain chapitre. En effet, une caractérisation structurale des composants d'étude sera conduite pour identifier les dimensions et les caractéristiques physiques de ces composants. Ensuite les grandeurs de la structure de composant seront introduites dans un outil de simulation physique pour étudier le comportement des MOSFETs SiC soumis à des variation de température et à des contraintes électriques.

Chapitre IV

Simulation physique des MOSFETs SiC

IV.1 Introduction

La simulation physique permet la visualisation des phénomènes physiques difficilement accessibles dans les composants semiconducteur de puissance . Elle peut ainsi révéler des informations sur les paramètres physiques internes qui sont difficiles ou impossibles à mesurer. De plus, la simulation physique permet d'expérimenter et d'investiguer l'effet d'une modification d'un paramètre technologique sur une structure sans coût d'équipement et de consommable. Par conséquent, la simulation numérique contribue dans l'amélioration du processus de fabrication des composants électroniques et permet de prédire et d'expliquer leurs performances pour estimer leur fiabilité. Tous les simulateurs numériques se basent sur le même processus de modélisation et de simulation numérique qui implique les étapes suivantes :

- Spécification du modèle physique et des matériaux : Choix du modèle et la définition globale de ses paramètres et de ses variables.
- Définition de la structure : Définition de la géométrie du composant d'étude.
- Intégration des différents phénomènes physiques qui peuvent exister dans le problème étudié.
- Résolution du problème : Résolution itérative d'un ensemble d'équations différentielles partielles non linéaires couplées.
- Visualisation des résultats.

Nous allons présenter dans ce chapitre une étude de simulation physique des MOSFETs SiC selon cette méthodologie. La première section de ce chapitre est consacrée

à l'identification de la géométrie des composants d'étude et de leur analyses micro-structurales. La deuxième section est dédiée à la simulation des caractéristiques électriques d'un MOSFETs SiC vertical. Nous examinons dans cette partie les effets de la variation de certains paramètres technologiques (l'épaisseur de l'oxyde, la longueur de la grille, la concentration des dopants du canal) sur les caractéristiques électriques du composant (soit sur sa tension de seuil, sa résistance à l'état passant et ses caractéristiques C-V). Nous investiguons par la suite l'impact des pièges d'oxyde et des pièges d'interface sur le comportement électrique du composant.

IV.2 Identification de la géométrie et analyse micro-structurale

La première étape dans la simulation physique des MOSFETs SiC est le choix du modèle physique. Les principaux modèles physiques appliqués dans la simulation des MOSFETs SiC sont détaillés dans le premier chapitre de ce manuscrit. Pour notre étude, les simulations ont été réalisées en utilisant le modèle standard de transport de « dérive-diffusion ». Pour prendre en compte les générations recombinaisons de porteurs, nous utilisons les recombinaisons « Auger » et le modèle de « Shockley-Read-Hall » (SRH), des modèles de génération par effet bande à bande et d'ionisation par impact. Suite au choix du modèle, il faut dans le processus de simulation spécifier la structure d'étude. Ainsi la connaissance préalable de la géométrie interne des composants d'étude à simuler est fondamentale. Par conséquent, une analyse micro-structurale a été menée pour identifier la structure et les dimensions technologiques des composants d'étude.

IV.2.1 Préparation d'échantillon

La simulation physique nécessite la définition de la géométrie et l'identification des dimensions des composants d'étude. Pour remonter à ces informations, une étape de préparation de l'échantillon s'avère primordiale. Cette étape consiste à accéder physiquement à la puce enfouie dans le boîtier du composant. En effet comme montré sur la figure IV.1, un composant est constitué d'une puce qui est la partie active, d'une couche de cuivre jouant le rôle d'un dissipateur de chaleur qui supporte la puce, d'une couche de brasure qui permet de maintenir la puce sur le cuivre, de connexions électriques entre la puce et les broches (fils métalliques), et d'un boîtier qui dispose de bonnes propriétés mécaniques (résistance en flexion et traction) pour supporter et protéger l'ensemble.

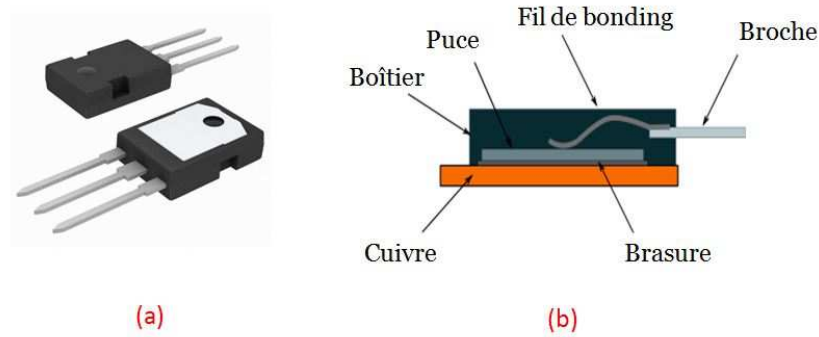


FIGURE IV.1: (a) Package TO 247 et (b) les différentes parties d'un composant en package TO 247

IV.2.1.1 Ablation LASER

La première préparation physique à aborder est l'ablation laser [266]. Le laser peut être utilisé soit pour retirer un certain volume d'un matériau (ex : résine) soit pour réaliser des découpes. Il existe différents types de laser selon la fréquence des impulsions, on parle de laser milliseconde, nanoseconde ou femtoseconde. Les lasers milliseconde et nanoseconde servent principalement à l'ablation de la résine, le retrait de couches de matériaux ou la section de pistes métalliques [267] [268]. Alors que les lasers femtoseconde sont utilisés non seulement pour décapsuler des boîtiers mais aussi pour amincir le substrat (Si ou SiC) ou encore découper différents matériaux. En outre, il peut graver les différents types de matériaux présents dans les composants électroniques sans endommager les matériaux environnants [269]. Afin de graver la résine de nos composants d'étude, nous avons utilisé un équipement d'ablation laser de type milliseconde (20Khz-200Khz) de la société Digit Concept (SESAME-1000) (figure IV.2). Ce laser délivre une puissance moyenne maximale de 10 W et émet à la longueur d'onde de 1064 nm. Son système de pompage est une diode laser.

Lors d'une ablation, l'échantillon est immobile et sa surface est balayée par le laser. Ce dernier est dévié grâce à des miroirs dirigés par des galvanomètres. Le système est contrôlé par deux logiciels. Le premier sert à la visualisation de l'échantillon à travers une caméra, et à la définition des zones d'intérêt à graver. Le deuxième est utilisé pour définir les paramètres du laser et contrôle le déplacement en (X, Y, Z) de caméra et de laser.

Le résultat de l'ablation laser sur les trois échantillons d'études est illustré sur la figure IV.3.



FIGURE IV.2: Équipement d'ablation laser SESAME-1000

Les résultats montrent que la gravure réalisée a une très bonne résolution spatiale sachant que le volume dégagé par la laser est constant et stable. En effet, le laser retire la même quantité de matière quelle que soit l'épaisseur. Le temps de préparation a été court (la gravure avec le laser dure de l'ordre de la minute pour un boîtier TO247) d'où l'avantage de cette technique. L'inconvénient majeur du laser est le risque d'endommager thermiquement la puce quelle que soit la longueur d'onde utilisée. C'est pour cette raison que la gravure par le laser a été stoppée une fois les fils de bonding devenus apparents.

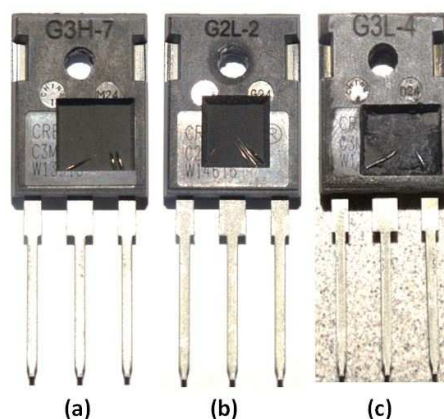


FIGURE IV.3: Résultats d'ablation laser des trois échantillons d'étude : (a) Gen2L, (b) Gen3H et (c) Gen3L

IV.2.1.2 Attaque chimique

L'étape préliminaire de la gravure laser permet d'ouvrir localement le boîtier sans atteindre la puce et donc de conserver la rigidité du boîtier. Une attaque chimique doit ainsi compléter le processus d'ouverture afin d'atteindre la surface de la puce avec sélectivité. Cette décapsulation chimique peut être faite à l'aide d'un équipement d'ouverture localisé comme la Jet-etch ou bien à la main (goutte). C'est cette dernière méthode qui

a été testée dans un premier temps. En général, l'ouverture se réalise sous sorbonne en utilisant soit un des acides sulfurique ou nitrique fumant ou bien un mélange de ces deux acides sous une température comprise entre 80 °C et 100 °C (figure IV.4). Pour nos échantillons, la décapsulation a été effectuée par quelques millilitres d'acide nitrique fumant à une température de 100 °C contrôlée par une plaque chauffante. En effet, l'acide nitrique est un oxydant puissant. Il peut ainsi dissoudre, seul, de nombreux métaux [270]. Pour nous, il s'agit de dissoudre la résine sans toucher aux métaux (les fils en aluminium, la couche de passivation qui est au dessus de la couche active de la puce).



FIGURE IV.4: Environnement d'attaque chimique

La figure IV.5 représente le résultat de l'attaque chimique sur les trois échantillons étudiés. On constate d'après la figure que la gravure laser combinée à l'attaque chimique permettent l'accès à la face avant de la zone d'intérêt.

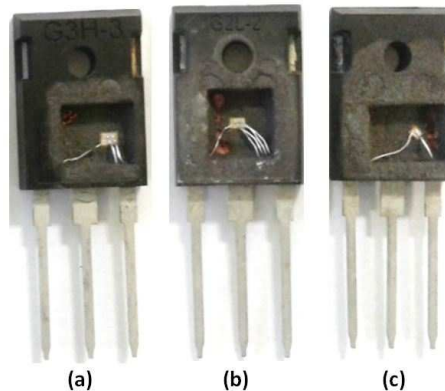


FIGURE IV.5: Résultats de l'attaque chimique des trois échantillons d'étude : (a) Gen2L, (b) Gen3H et (c) Gen3L

IV.2.1.3 Observation au microscope optique

Afin de s'assurer que l'attaque chimique n'a pas endommagé la puce, l'état de surface a été investigué par le microscope optique IV.6. Les observations ont été menées avec trois objectifs différents (x5, x10 et x20). Les figures IV.7 ,IV.8,IV.9 montrent les

résultats d'observation des états de surface des échantillons étudiés après l'ouverture face avant.



FIGURE IV.6: Microscope optique

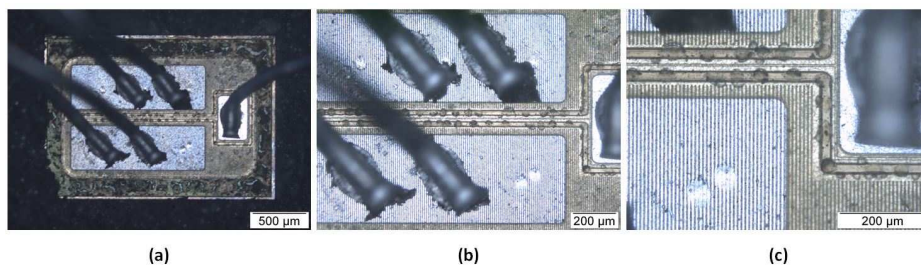


FIGURE IV.7: Observation au microscope optique de la face frontale de l'échantillon Gen2L avec trois objectifs : (a) x5, (b) x10 et (c) x20

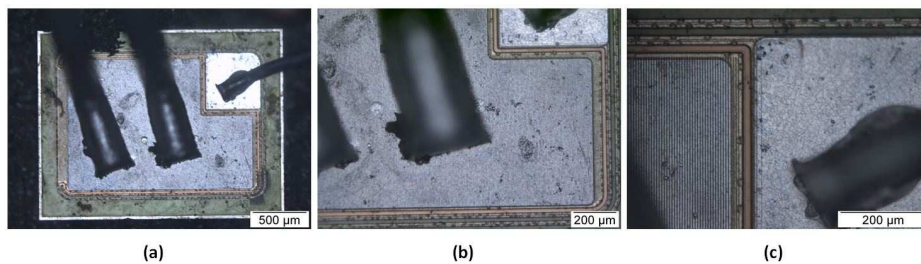


FIGURE IV.8: Observation au microscope optique de la face frontale de l'échantillon Gen3H avec trois objectifs : (a) x5, (b) x10 et (c) x20

L'analyse au microscope optique de l'état de surface des échantillons ouverts montre que la passivation est restée intègre, et que la métallisation comportant de l'aluminium et du cuivre n'est pas endommagée. En outre, l'analyse illustre des différences entre les trois échantillons au niveau de la structure géométrique et des dimensions des puces.

Les dernières traces de résine persistantes sont réduites en trempant les échantillons dans de l'acétone et en mettant l'ensemble dans un bain à ultrasons [IV.10](#), afin d'améliorer l'état de surface.

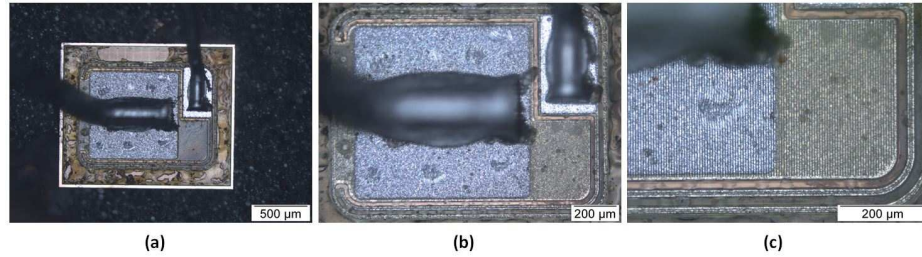


FIGURE IV.9: Observation au microscope optique de la face frontale de l'échantillon Gen3L avec trois objectifs : (a) x5, (b) x10 et (c) x20



FIGURE IV.10: Bain à ultrasons

IV.2.2 Analyse au microscope électronique à balayage

Dans le but d'identifier la structure des MOSFETs étudiés et leur dimensions géométriques, nous avons procédé à une analyse micro-structurale en MEB/FIB (microscope électronique à balayage /Faisceau d'ions focalisé) (figure IV.11). A travers le FIB, on réalise une gravure ionique sur la surface de l'échantillon. Il s'agit d'une attaque physique par un faisceau focalisé d'ions sur une zone très localisée de l'échantillon (quelques dizaines de micromètres).

La technique de FIB réalise des coupes de bonne qualité mais s'avère complexe sur ce type de composant puisque la puce est enfouie profondément dans le boîtier. Pour remédier à ce problème une coupe à scie à fil a été effectuée pour accéder à la puce (figure IV.12). Le système FIB est couplé avec un MEB afin de pouvoir faire l'observation au MEB de la préparation d'échantillons localisée au FIB.

La microscopie électronique à balayage (MEB) permet d'observer la structure des MOSFETs avec une meilleure résolution et à des échelles plus petites qu'en microscopie optique. Cette technique d'imagerie se base sur l'envoi des électrons dans la matière par un faisceau électronique qui balaie la surface de l'échantillon. En retour, il génère des



FIGURE IV.11: Équipement couplé MEB/FIB

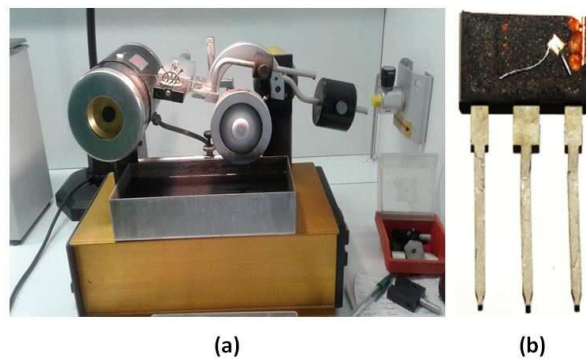


FIGURE IV.12: (a) Image de la scie à fil et (b) Puce coupée à la scie à fil

électrons secondaires qui sont collectés par un capteur [271] [272]. La quantité d'électrons collectés varie avec la topographie du matériau et avec sa nature. Les variations sont traduites à l'écran par des contrastes différentes (figure IV.13).

L'observation, réalisée au MEB, nous permet premièrement de voir l'ensemble des couches constituant le composant sur toute la largeur de la puce (figure IV.14), et se focaliser par la suite sur la coupe FIB réalisée (figure IV.15). Ensuite la visualisation MEB nous permet d'identifier la structure des transistors étudiés et d'obtenir des informations générales sur les dimensions géométriques (figure IV.16).

D'après l'analyse des résultats MEB présentés dans les figures IV.14, IV.15 et IV.16, on constate que les trois échantillons possèdent la même structure en ligne d'un DMOSFET vertical comme illustré sur le schéma de la figure IV.17. Cependant les trois composants se distinguent au niveau des dimensions à savoir la taille de la puce (largeur x longueur), le nombre de ligne (N_{ligne}), la largeur de la ligne (W_{ligne}) et la largeur du canal (L_{canal}). On récapitule dans le tableau IV.1 les différentes mesures des dimensions relevées.

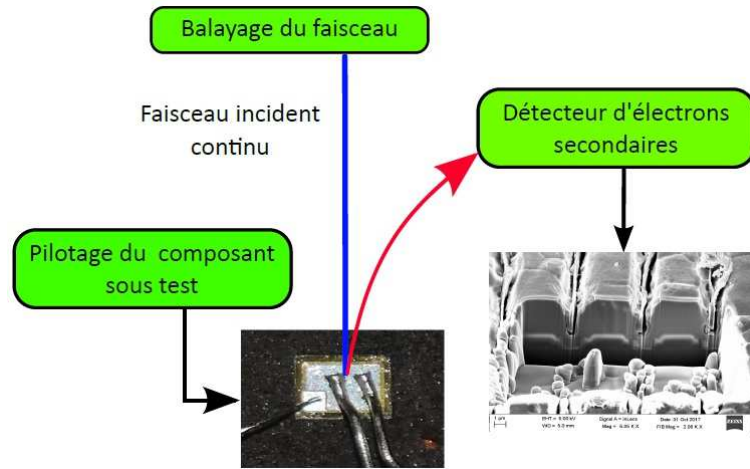


FIGURE IV.13: Principe de l'imagerie MEB

	Taille de la puce ($\mu m \times \mu m$)	Nombre de ligne	Largeur de la ligne(μm)	Largeur du canal (nm)	Épaisseur d'oxyde (nm)
G2L	1447 x 2105	186	9,3	550	50
G3H	1763 x 2236	316	5,9	320	30
G3L	1342 x 1605	197	6,1	290	30

TABLEAU IV.1: Comparaison des dimensions des trois composants étudiés

Les résultats de comparaison révèlent que les dimensions des composants de la troisième génération sont réduites au niveau de la largeur du canal, la largeur de ligne et l'épaisseur d'oxyde par rapport à la deuxième génération. Ceci est une amélioration qui est apportée à la structure par le constructeur afin de réduire la tension de seuil. En comparant les deux échantillons de la troisième génération (faible (11,5 A) et fort courant (23 A)) : on constate que les deux composants ont la même largeur de ligne, par contre le constructeur agit sur le nombre de lignes et largeur de canal pour avoir deux gammes de courant différentes. En effet, le nombre de lignes et la largeur du canal sont augmentés pour les composants à fort courant.

IV.3 Simulation physique d'une structure verticale du MOSFET SiC

IV.3.1 Définition de la géométrie

Puisque les composants sous test sont géométriquement symétriques, nous avons implémenté la moitié de la structure, suffisante pour décrire le comportement total du composant [273–275]. Lors de l'élaboration de notre structure, nous avons identifié les différentes régions qui constituent notre structure, telles que la source, le drain, la grille

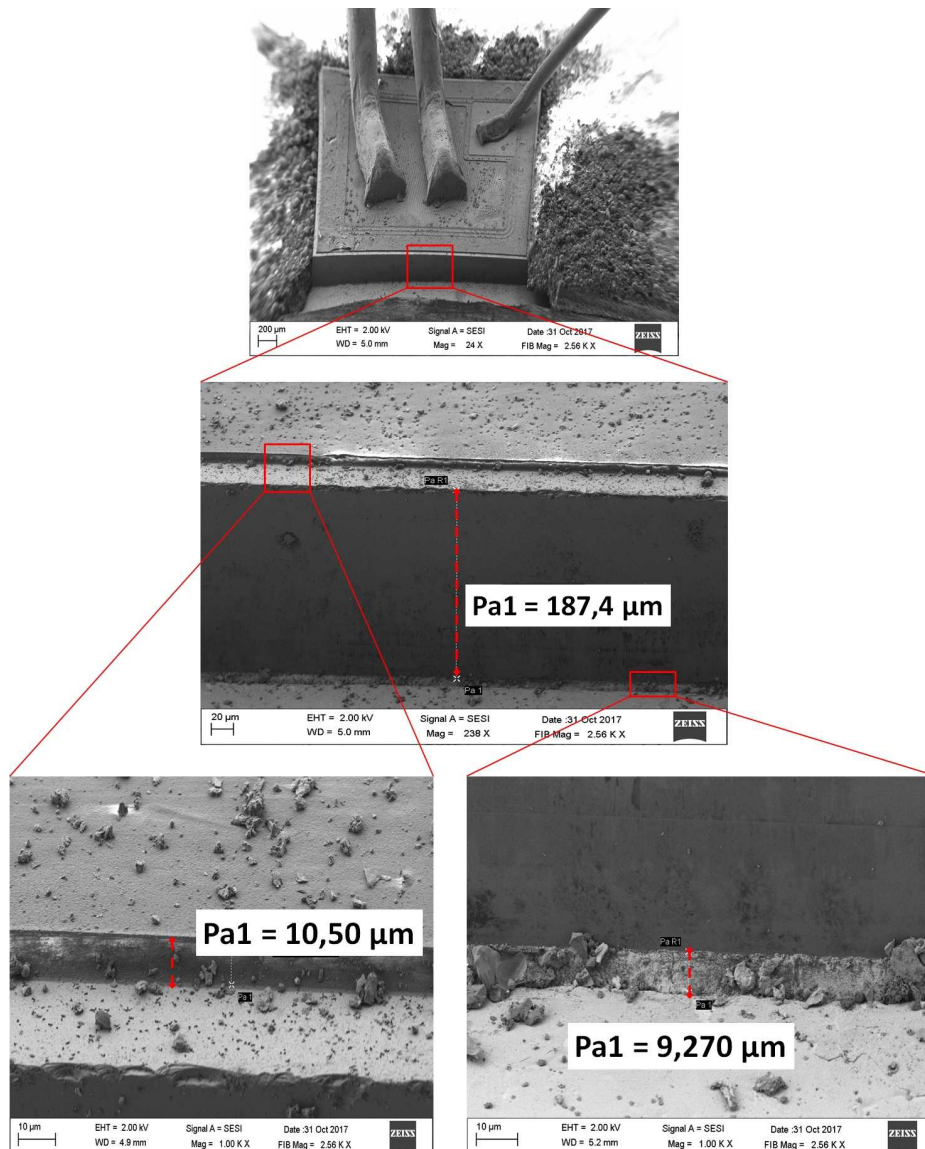


FIGURE IV.14: Vue MEB de l'ensemble de la puce d'un MOSFET SiC de Gen2L

et l'oxyde de grille. Nous avons défini aussi le maillage adéquat pour chacune des zones constituant le composant et raffiné le maillage au niveau de l'interface SiC/ SiO_2 . Les paramètres technologiques : l'épaisseur d'oxyde (t_{ox}) et la largeur du canal (L_{ch}) ont été choisis selon la génération de composant à étudier à partir des résultats de l'analyse micro-structurale, tandis que les paramètres physiques : concentration de dopage de la zone P-base N_A et la concentration de la zone source (N_D) ont été identifiés à partir la littérature [21, 276]. La figure IV.18 montre la structure du composants VD-MOSFET simulé.

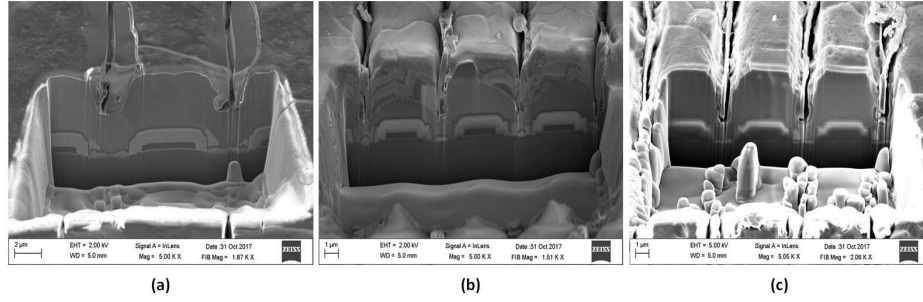


FIGURE IV.15: Observation MEB de la coupe FIB réalisée : (a) Gen2L, (b) Gen3H et (c) Gen3L

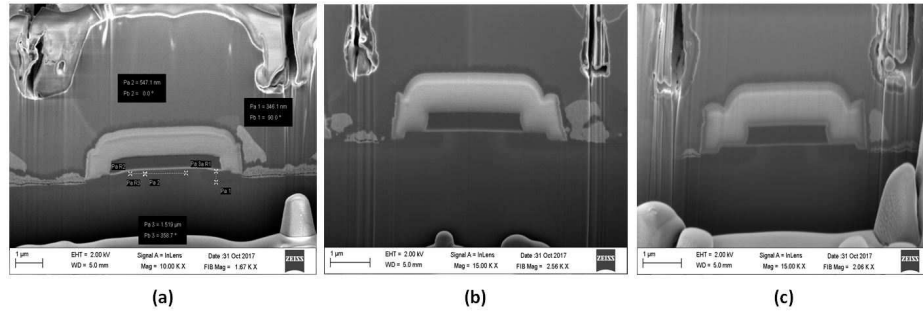


FIGURE IV.16: Observation MEB de la structure des échantillons : (a) Gen2L, (b) Gen3H et (c) Gen3L

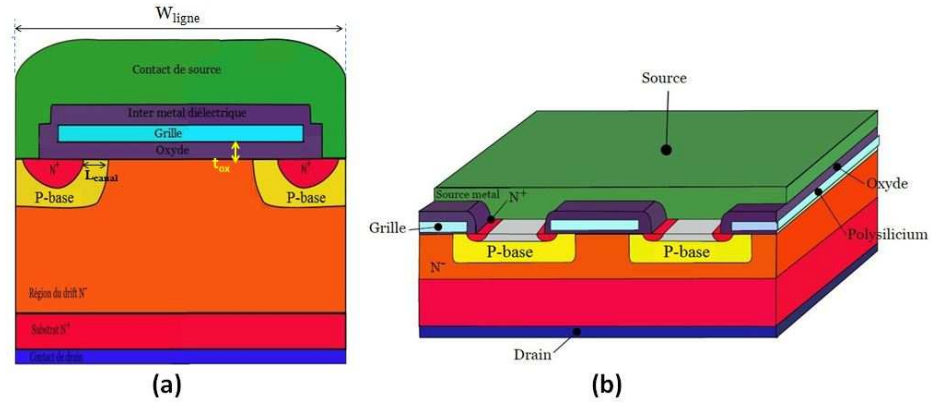


FIGURE IV.17: Schéma de la structure d'un DMOSFET vertical en : (a) 2D et (b) 3D

IV.3.2 Effet de la température sur les caractéristiques électriques du VD-MOSFET

Le rapport direct de la température avec la fiabilité des composants électronique fait d'elle le paramètre principal dans la conception des dispositifs électroniques. En effet, la température a un grand impact sur la performance des composants semi-conducteurs en général et tout particulièrement sur les transistors MOSFET SiC. Afin de mettre en évidence les effets de la température sur le comportement des paramètres électriques du transistor MOSFET SiC, des simulations ont été menées.

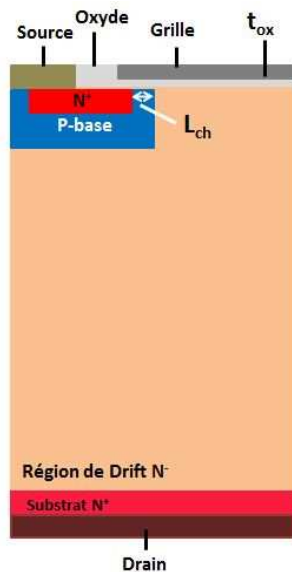
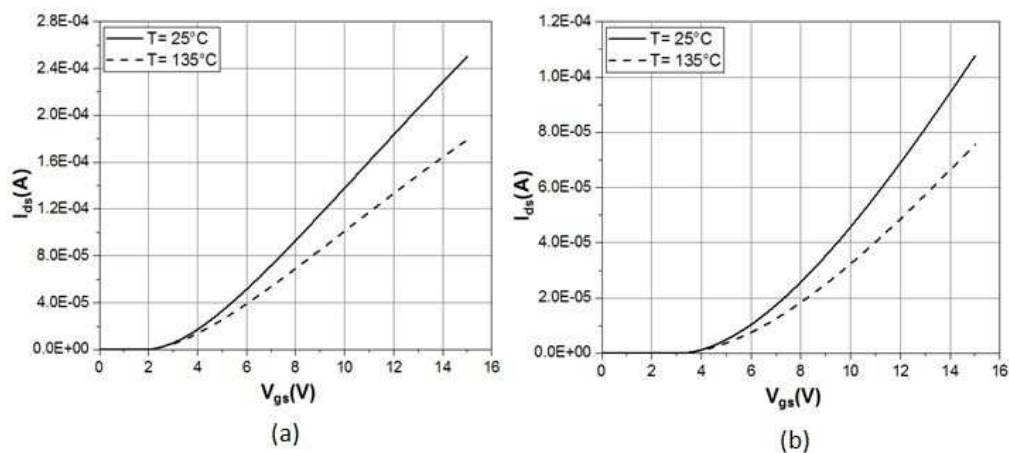


FIGURE IV.18: Structure du VD-MOSFET simulé

IV.3.2.1 Effet de la température sur les caractéristiques d'entrée et de sortie

Pour simuler l'effet de la température sur le comportement statique du MOSFET SiC, il est nécessaire tout d'abord de prélever les caractéristiques d'entrée et de sortie en fonction de la variation de température. Les figures IV.19 et IV.20 montrent respectivement les caractéristiques d'entrée et de sortie réalisées sur deux générations de MOSFET SiC.


 FIGURE IV.19: Caractéristique d'entrée à $V_{ds} = 20V$ et à deux températures $25^{\circ}C$ et $135^{\circ}C$ pour deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

D'après les figures IV.19 et IV.20, nous constatons que la tendance des caractéristiques d'entrée et de sortie est conforme aux résultats expérimentaux obtenus lors de la phase de caractérisation des composants d'étude. En effet, pour une tension d'entrée

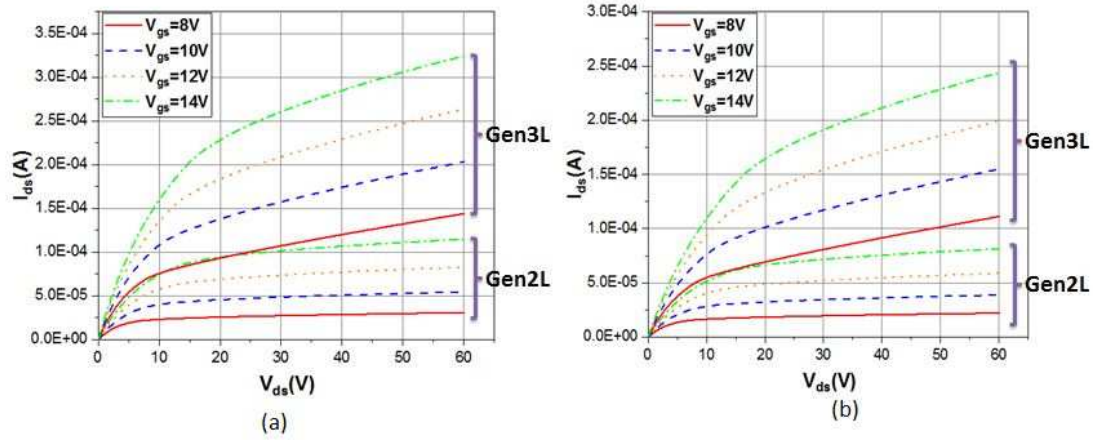


FIGURE IV.20: Caractéristique de sortie pour deux générations du MOSFET SiC (Gen2L et Gen3L) à deux températures : (a) $25^\circ C$ et (b) $135^\circ C$

donnée, le composant de la troisième génération présente un fort courant de sortie en comparant avec le composant de la deuxième génération.

De plus, nous constatons que le courant de saturation I_{dsat} diminue considérablement avec la température. A partir des caractéristiques d'entrée et de sortie, l'évolution des paramètres électriques pertinents du composant (la tension de seuil (V_{th}) et la résistance à l'état passant $R_{ds(on)}$) a été extraite en fonction de la température.

IV.3.2.2 Effet de la température sur la tension de seuil V_{th}

La tension de seuil V_{th} est extraite à partir des caractéristiques d'entrée simulées. La figure IV.21 montre la variation de V_{th} en fonction de la température.

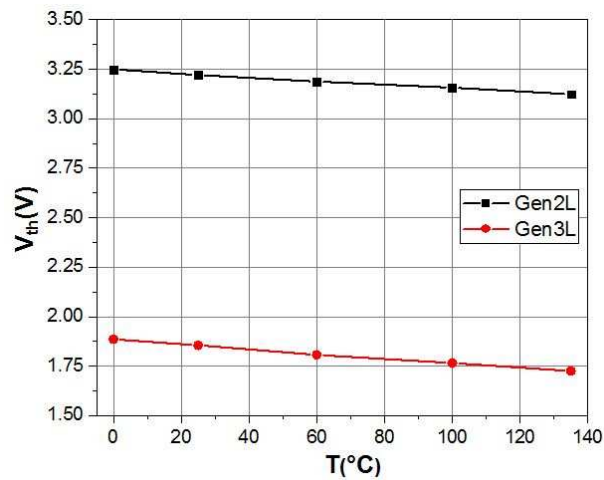


FIGURE IV.21: Tension de seuil V_{th} simulée en fonction de la température à $V_{ds} = 20V$ pour les deux générations du MOSFET SiC

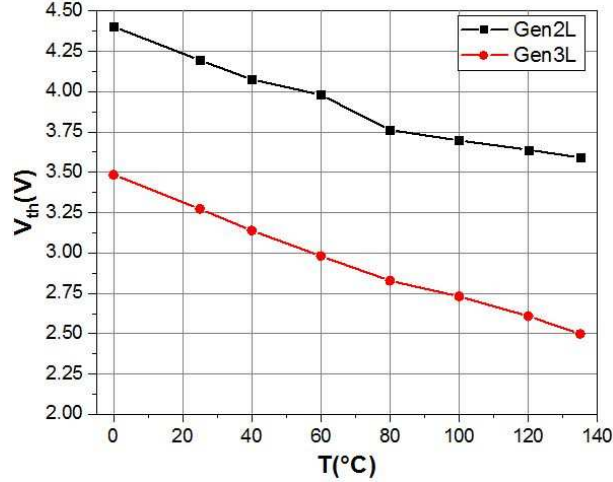


FIGURE IV.22: Tension de seuil V_{th} mesurée en fonction de la température à $V_{ds} = 20V$ pour les deux générations du MOSFET SiC

A partir de la figure IV.21, nous concluons que pour les deux générations du MOSFET SiC, le V_{th} diminue lorsque la température augmente, ce qui est conforme aux résultats de mesures expérimentales obtenus (figure IV.22). En effet, l'augmentation de la température engendre l'apparition de charges dans l'oxyde et la réduction de la résistance du canal N. Par conséquent, pour avoir la circulation du courant dans la canal, il faut appliquer une tension d'entrée moins importante [155]. La comparaison de la valeur du V_{th} entre les générations du MOSFET SiC montre que la valeur de ce paramètre est réduite pour la troisième génération. Ceci peut être justifié selon l'équation II.3 (voir chapitre 2) par la réduction de l'épaisseur d'oxyde t_{ox} et l'optimisation de la concentration de dopage P N_A des nouvelles générations. De plus, la largeur du canal L_{ch} et les charges dans l'oxyde peuvent contribuer à la réduction du V_{th} . Ces hypothèses seront évaluées dans la suite de ce chapitre.

IV.3.2.3 Effet de la température sur la résistance à l'état passant $R_{ds(on)}$

La résistance à l'état passant $R_{ds(on)}$ est calculée à partir de la caractéristique de sortie pour $I_{ds} = 5\mu A$ et $V_{gs} = 14V$ pour différentes valeurs de température entre $0^\circ C$ et $135^\circ C$. La figure IV.23 montre la variation de $R_{ds(on)}$ simulée en fonction de la température pour les deux générations de SiC MOSFET.

D'après la figure IV.23 nous observons une augmentation de $R_{ds(on)}$ avec la température. La tendance de variation de $R_{ds(on)}$ est en accord avec les résultats de mesures expérimentales (figure IV.24). En effet l'augmentation de la température génère la diminution de la mobilité du substrat dans la région JFET et dans la couche de drift. Ce qui induit l'augmentation des résistances R_D et R_{JFET} et par conséquent l'augmentation de la résistance $R_{ds(on)}$ avec la température [198]. Cependant nous remarquons que la

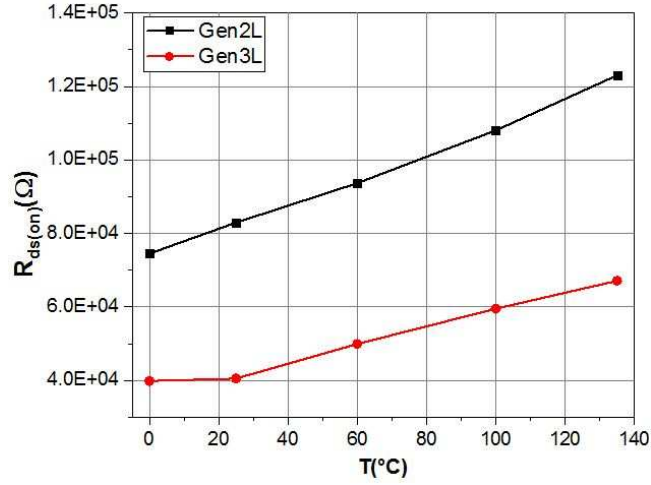


FIGURE IV.23: Résistance à l'état passant $R_{ds(on)}$ simulée en fonction de la température pour les deux générations du MOSFET SiC

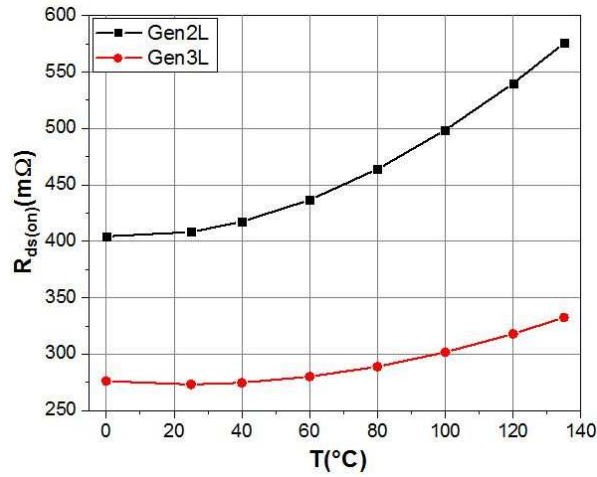


FIGURE IV.24: Résistance à l'état passant $R_{ds(on)}$ mesurée en fonction de la température pour les deux générations du MOSFET SiC

valeur de $R_{ds(on)}$ du composant de la troisième génération est réduite de 2 à 3 fois par rapport au MOSFET de la deuxième génération avec un courant nominal similaire. Ceci est dû à la réduction des paramètres de la troisième génération (t_{ox} , L_{ch} et N_A). Pour valider ces hypothèses, des simulations ont été effectuées pour évaluer l'impact de t_{ox} , L_{ch} et N_A sur $R_{ds(on)}$. Les résultats de ces simulations seront présentés plus loin dans ce manuscrit.

IV.3.2.4 Effet de la température sur la caractéristique C_{GS} - V_{gs}

Au niveau des caractéristiques C-V, l'évolution de la capacité grille-source C_{GS} en fonction de la tension d'entrée V_{gs} nous permet d'évaluer l'effet de la température sur la

dérive de la tension de seuil V_{th} . Les figures IV.25 et IV.26 montrent la caractéristique C_{GS} - V_{gs} pour trois températures pour les deux générations du MOSFET SiC.

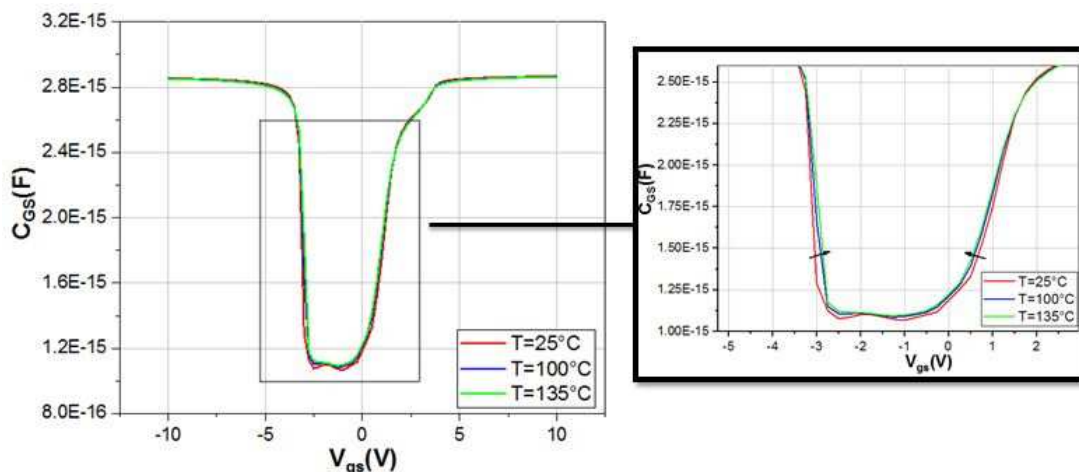


FIGURE IV.25: Caractéristique C_{GS} - V_{gs} pour trois températures (25 ° C, 100 ° C et 135 ° C) pour la deuxième génération du MOSFET SiC

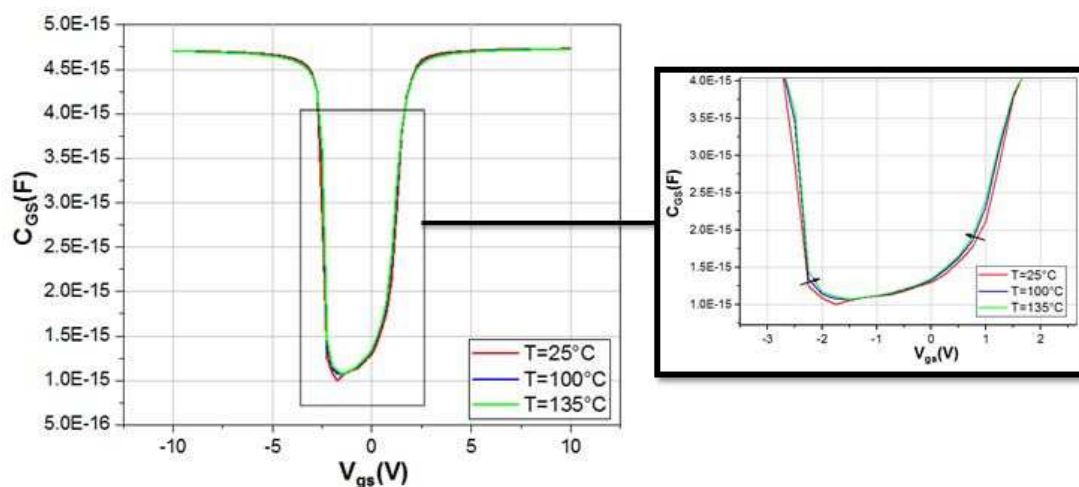


FIGURE IV.26: Caractéristique C_{GS} - V_{gs} pour trois températures (25 ° C, 100 ° C et 135 ° C) pour la troisième génération du MOSFET SiC

Les résultats des figures IV.25 et IV.26 montrent que pour les deux générations du MOSFET SiC, l'augmentation de la température génère un léger décalage de la caractéristique C_{GS} - V_{gs} sur les zones de déplétion et du début d'inversion. Ce décalage est dû à l'apparition des charges dans l'oxyde et à l'augmentation de la concentration de dopage N_A avec la température comme cela sera démontré par la suite. En effet, l'augmentation de la température engendre l'augmentation de la concentration intrinsèque des porteurs de charges par l'accentuation du processus de la génération-recombinaison avec la température, ce qui accélère l'inversion du canal [277].

IV.3.2.5 Bilan de l'effet de la température sur les caractéristiques électriques du VD-MOSFET

Dans cette partie, les effets de la température ont pu être mis en évidence en simulant les caractéristiques électriques du transistor VD-MOSFET SiC. Les simulations ont été menées en se référant aux modèles physiques présentés dans la première partie de ce chapitre, et en se basant sur les équations régissant le fonctionnement du transistor. L'impact de la variation de la température sur les variations des caractéristiques d'entrée et de sortie a été étudié. Les résultats de simulation ont permis de mettre en lumière la dépendance à température des paramètres V_{th} et $R_{ds(on)}$, et de caractériser l'effet de la température sur la caractéristique $C_{GS}-V_{gs}$. Il est constaté que la tension de seuil diminue avec l'augmentation de la température, et que les valeurs de V_{th} sont plus élevées pour la deuxième génération par rapport au troisième génération. Ceci est attribué à la modification des paramètres technologiques (L_{ch} , t_{ox} et N_A) pour la troisième génération des MOSFETs (SiC).

A partir des résultats de simulation, on a pu clairement mesurer la réduction du courant de saturation I_{dsat} avec la température, ce qui traduit aussi la réduction de la mobilité des porteurs de charge avec la température. Il a été noté que le paramètre $R_{ds(on)}$ dépend aussi de la température. Ce paramètre augmente lorsque la température augmente. De plus, il s'avère que les modifications apportées à la troisième génération des MOSFETs SiC ont permis d'améliorer le rendement du composant en réduisant la résistance à l'état passant par rapport à la deuxième génération. Des variations sont observées sur les caractéristiques $C_{GS}-V_{gs}$ avec l'augmentation de la température. Il s'avère que l'élévation de cette dernière engendre un décalage de la caractéristique sur les zones de déplétion et du début d'inversion. Ceci est attribué à l'apparition des charges dans l'oxyde et à l'augmentation de N_A avec la température. Nous pouvons conclure que l'élévation de la température a un effet néfaste sur les composants électroniques et en particulier les MOSFETs.

IV.3.3 Effet des paramètres technologiques sur les caractéristiques électriques du VD-MOSFET

Afin d'évaluer les effets de la variation de certains paramètres technologiques (tels que l'épaisseur d'oxyde, la largeur du canal L_{ch} et la concentration de dopage de la zone P (N_A) sur les caractéristiques électriques du VD-MOSFET, nous avons réalisé différentes simulations où nous avons varié à chaque fois les valeurs de l'un des paramètres en maintenant les autres paramètres constants.

IV.3.3.1 Effet des paramètres technologiques sur la tension de seuil V_{th}

Dans cette partie, nous avons réalisé des simulations sur notre structure tout en déterminant les caractéristiques d'entrée à partir desquelles nous avons extrait V_{th} . La figure IV.27 montre l'évolution de V_{th} en fonction de t_{ox} pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$ correspondant respectivement à la largeur du canal des composants de deuxième génération (Gen2) et de troisième génération (Gen3) des MOSFETs SiC), tandis que la figure IV.28 illustre la variation de V_{th} en fonction de N_A pour les deux générations du MOSFET SiC.

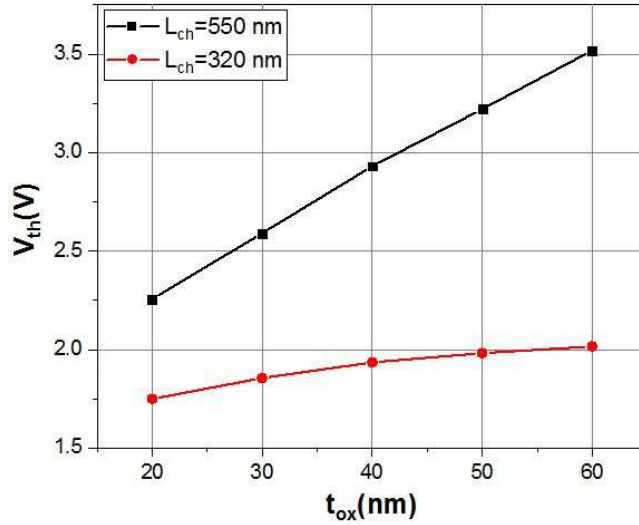


FIGURE IV.27: Évolution de V_{th} en fonction de t_{ox} pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$) à $T=25^\circ C$

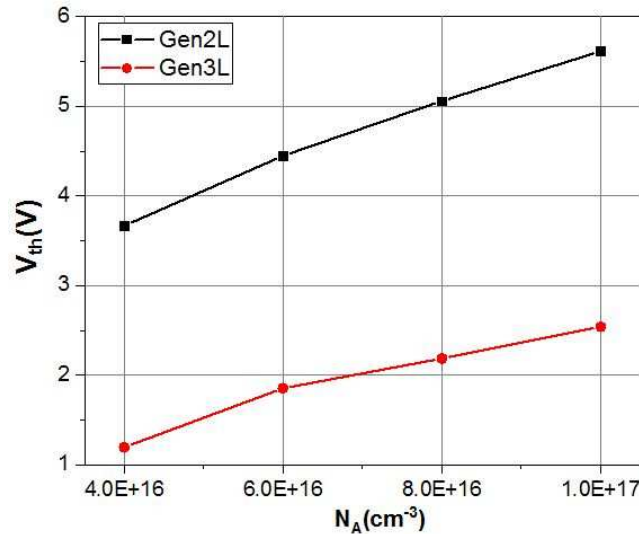


FIGURE IV.28: Évolution de V_{th} en fonction de N_A pour les deux générations du MOSFET SiC à $T=25^\circ C$

D'après les figures IV.27 et IV.28, nous constatons que la tension de seuil V_{th} augmente avec l'épaisseur d'oxyde t_{ox} et la concentration du dopage N_A . En effet l'équation physique de V_{th} (équation II.3) montre que l'augmentation de l'épaisseur d'oxyde t_{ox} et de N_A engendre l'augmentation de V_{th} . Par conséquent, la réduction de V_{th} du MOSFET SiC de la troisième génération est lié principalement à la diminution de t_{ox} et l'optimisation de concentration N_A des nouvelles générations du MOSFET SiC.

IV.3.3.2 Effet des paramètres technologiques sur la résistance à l'état passant $R_{ds(on)}$

Pour évaluer l'impact de la variation de t_{ox} , nous prélevons les caractéristiques de sortie simulées pour chaque valeur de t_{ox} , tout en calculant la résistance à l'état passant $R_{ds(on)}$. La figure IV.29 illustre l'évolution de $R_{ds(on)}$ en fonction de t_{ox} pour deux largeurs du canal ($L_{ch} = 550nm$ and $L_{ch} = 320nm$) et la figure IV.30 prélève la variation de $R_{ds(on)}$ en fonction de N_A pour les deux générations du MOSFET SiC.

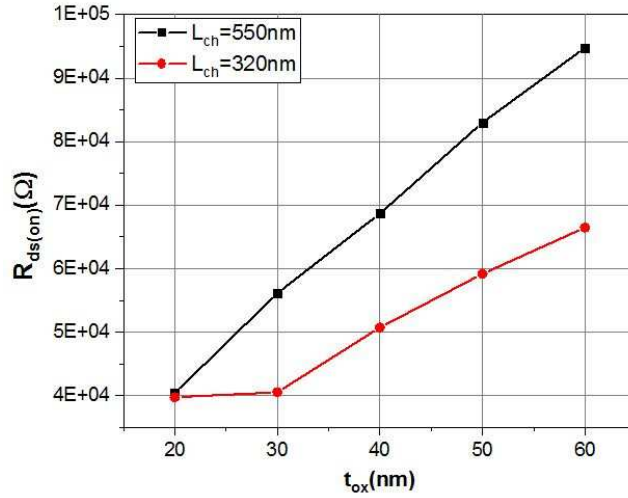


FIGURE IV.29: Évolution de $R_{ds(on)}$ en fonction de t_{ox} pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$) à $T=25^\circ C$

A partir des figures IV.29 et IV.30, nous observons que la résistance $R_{ds(on)}$ augmente avec l'augmentation des deux paramètres t_{ox} et N_A . En effet la variation de $R_{ds(on)}$ est pilotée par le comportement de ses trois composantes principales (R_{CH} , R_{JFET} , R_D) sous l'effet des paramètres t_{ox} et N_A . Selon l'équation II.5 présentée dans le deuxième chapitre, il est évident que R_{ch} varie proportionnellement avec t_{ox} et L_{ch} . D'autre part, l'augmentation de la concentration de dopage N_A génère la diminution de la mobilité des porteurs μ_n dans les régions JFET et Drift. Ceci est attribué à l'augmentation de R_{JFET} et R_D . Par conséquent, l'augmentation de ces trois résistances engendre l'augmentation de $R_{ds(on)}$.

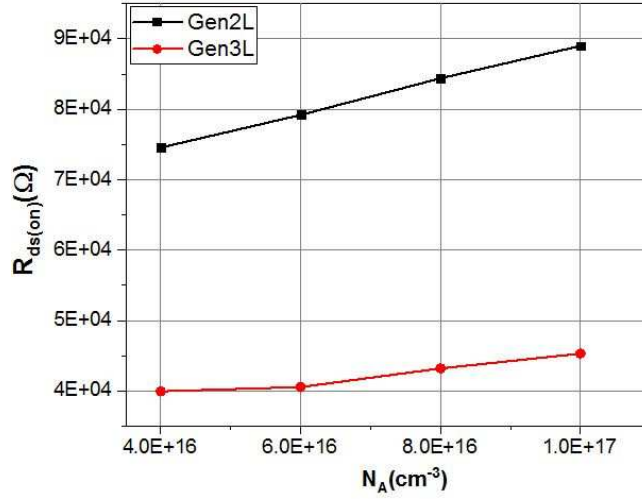


FIGURE IV.30: Évolution de $R_{ds(on)}$ en fonction de N_A pour les deux générations du MOSFET SiC à $T=25^\circ\text{C}$

IV.3.3.3 Effet des paramètres technologiques sur la caractéristique $C_{GS}-V_{gs}$

Les principaux paramètres technologiques qui influencent la caractéristique $C_{GS}-V_{gs}$ sont l'épaisseur d'oxyde t_{ox} , la largeur du canal L_{ch} et la concentration du dopage N_A . La figure IV.31 montre l'effet de la variation du concentration de dopage N_A sur la caractéristique $C_{GS}-V_{gs}$, tandis que la figure IV.32 présente l'influence des paramètres t_{ox} et L_{ch} sur la courbe $C_{GS}-V_{gs}$.

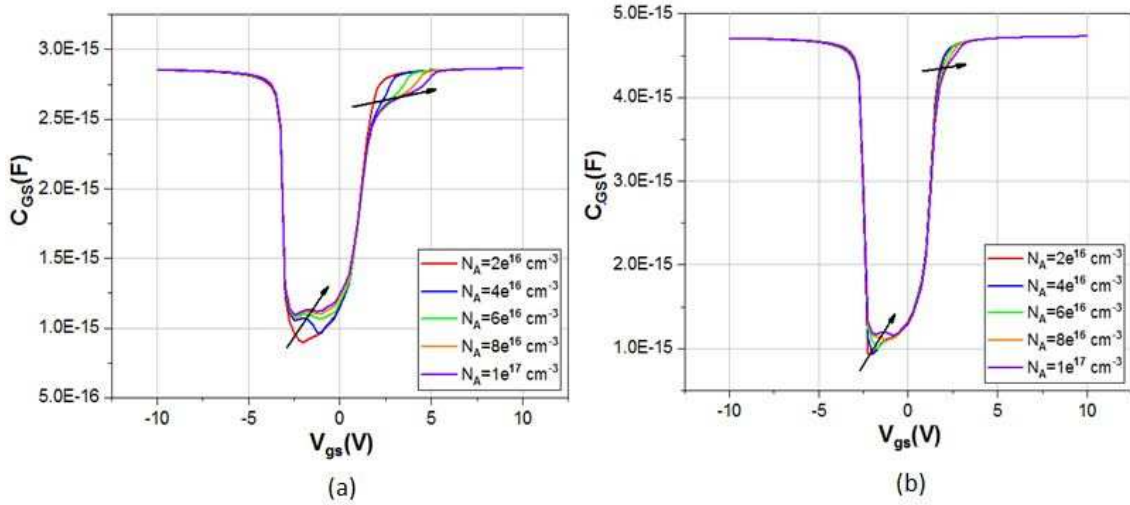


FIGURE IV.31: Caractéristique $C_{GS}-V_{gs}$ en fonction du concentration du dopage pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

Les résultats de la figure IV.31 montrent que l'augmentation de N_A pour les deux générations du MOSFET SiC génère l'augmentation de la capacité C_{GS} dans la région de déplétion. En effet dans cette région la capacité C_{GS} correspond à la capacité de déplétion C_{dep} exprimée par l'équation IV.1 [264].

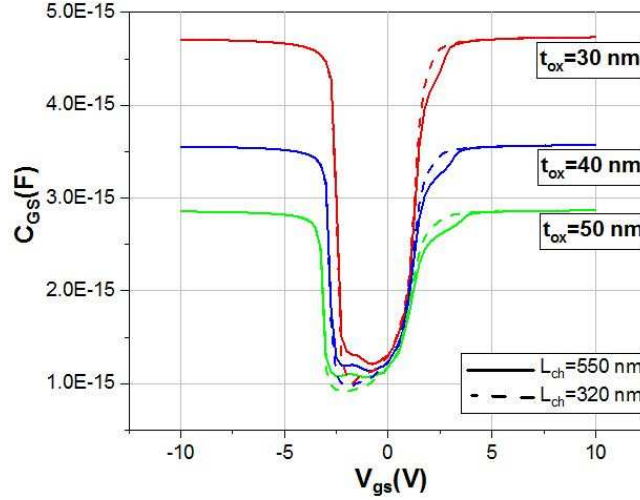


FIGURE IV.32: Caractéristique C_{GS} - V_{gs} en fonction de l'épaisseur d'oxyde pour deux largeurs du canal ($L_{ch} = 550nm$ et $L_{ch} = 320nm$)

$$C_{dep} = \frac{C_{ox}}{1 + \sqrt{\frac{2C_{ox}^2 V_S}{q\epsilon_{SiC} N_A}}} \quad (IV.1)$$

Où V_S est le potentiel de surface appliqué sur le semiconducteur.

Selon l'équation IV.1, la croissance de N_A provoque l'augmentation de la capacité C_{dep} . De plus, nous observons un décalage positif de la caractéristique C_{GS} - V_{gs} dans la région d'inversion. Ceci est dû à l'augmentation de la tension de seuil V_{th} qui varie proportionnellement à N_A selon l'équation II.3.

D'après la figure IV.32, nous constatons que la diminution de t_{ox} pour une valeur donnée de L_{ch} engendre une translation verticale de la courbe de la capacité C_{GS} accompagnée d'un décalage positif. La translation verticale est due à l'augmentation de la capacité d'oxyde C_{ox} qui est inversement proportionnelle à t_{ox} , tandis que le décalage positif est lié à l'augmentation de la tension de seuil V_{th} .

Pour une valeur donnée de t_{ox} , nous observons que l'effet de L_{ch} sur la caractéristique C_{GS} - V_{gs} est similaire de celui de N_A . Il s'illustre dans l'augmentation de la capacité de déplétion et le décalage positif de la courbe C_{GS} - V_{gs} dans la région d'inversion lorsque L_{ch} augmente.

IV.3.3.4 Bilan des effets des paramètres technologiques sur les caractéristiques électriques du VD-MOSFET

Le comportement électrique d'un MOSFET SiC dépend d'une manière très forte des paramètres technologiques N_A , t_{ox} et L_{ch} . A travers un simulateur physique, nous

avons estimé l'impact de ces paramètres sur la tension de seuil, le courant de drain, la résistance à l'état passant et les caractéristiques C-V.

Les résultats de simulation obtenus montrent que l'augmentation de N_A cause une augmentation de la résistance à l'état passant $R_{ds(on)}$. La tension de seuil aussi dépend fortement de la concentration des dopants N_A et augmente quand cette concentration augmente. Ceci montre l'importance de la répartition des dopants dans la structure du MOSFET SiC et en particulier dans le canal de conduction. En effet, le profil du dopant dans la région du canal définit l'importance des courbures de bande en fonction des différentes tensions appliquées. Les profils de dopants dans cette zone contrôlent donc directement la valeur du courant de drain et de la tension de seuil du MOSFETs.

L'épaisseur de l'oxyde a un grand effet sur le fonctionnement du MOSFET SiC. Les résultats de simulation montrent que la tension de seuil augmente quand t_{ox} augmente. Une épaisseur de l'oxyde très importante peut isoler la grille du canal. Nous avons remarqué aussi que la résistance à l'état passant $R_{ds(on)}$ diminue quand t_{ox} diminue. De plus, il a été observé que l'augmentation de t_{ox} implique une translation verticale de la courbe $C_{GS}-V_{gs}$, ce qui traduit l'augmentation de la capacité d'oxyde C_{ox} . Nous concluons donc que l'épaisseur de l'oxyde de grille doit être choisie adéquatement et doit être la plus réduite possible afin d'améliorer le contrôle du canal de conduction. En effet, elle ne doit être ni trop fine ni trop épaisse, car une fine épaisseur de l'oxyde provoquerait le passage de porteurs de charges à travers l'oxyde par effet Tunnel. Il a été observé dans les travaux de [278] que la probabilité de passage croît exponentiellement avec la diminution de t_{ox} (le courant Tunnel augmente d'un ordre de grandeur pour chaque diminution de 0.2 nm [278]). Par ailleurs, il a été défini par Muller et al. [279] que l'épaisseur limite pour laquelle le SiO_2 perd ses propriétés électroniques de matériau massif est de 0.7nm. C'est à dire qu'on peut pas diminuer t_{ox} au delà de cette valeur sinon on perdrait complètement les performances d'isolation du diélectrique. En contre partie, si la couche d'oxyde est trop épaisse alors le composant perd son effet de transistor à cause de l'affaiblissement de l'effet de champ électriques sur les porteurs minoritaires dans le canal.

La longueur du canal L_{ch} est un autre paramètre qui influence beaucoup les indicateurs électriques d'un MOSFET SiC. On remarque à partir des résultats de simulation que la résistance à l'état passant $R_{ds(on)}$ diminue avec la diminution de L_{ch} et que la tension de seuil est affectée par la variation L_{ch} et augmente quand cette longueur augmente. On conclut donc que la longueur de canal est un paramètre très important qu'il faut réduire intelligemment, car la grille risquerait de perdre le contrôle sur le canal si on diminue plus qu'il ne faut cette grandeur.

IV.3.4 Effet des pièges sur les caractéristiques électriques du VD-MOSFET

Dans les MOSFETs SiC, les défauts générés par les rayonnements ionisants et/ou les contraintes électriques sont généralement regroupés en deux catégories : les pièges de l'oxyde et les pièges d'interface [280]. Ces défauts ont été identifiés comme l'un des principaux problèmes de fiabilité des MOSFETs SiC car ils provoquent une dérive de la tension de seuil et une dégradation de la transconductance [281]. La figure IV.33 montre l'emplacement et la classification de ces charges et pièges dans l'oxyde de grille d'un DMOSFET SiC.

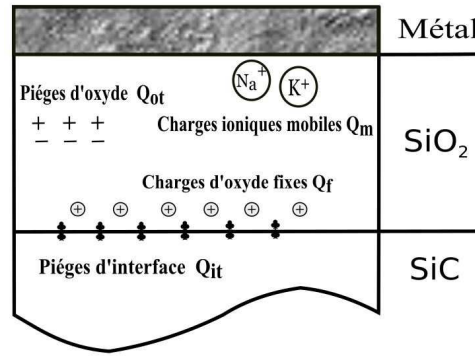


FIGURE IV.33: Répartition et classification des charges et pièges dans l'oxyde de grille d'un DMOSFET SiC

IV.3.4.1 Effet des pièges d'oxyde sur les caractéristiques électriques du VD-MOSFET

Les charges piégées dans l'oxyde peuvent être négatives ou positives suivant la nature de la charge (électron ou trou). Ces charges sont introduites dans l'oxyde suite à une irradiation, ou à une injection de porteurs obtenues lors d'une application d'une contraintes électriques. Ces charges peuvent être diffusées par recuit thermique [133].

Afin d'examiner l'effet des pièges d'oxyde sur le comportement électrique des MOSFETs SiC, une simulation a été menée sur les structures de nos composants d'étude (Gen2L et Gen3L). Nous nous sommes intéressés à évaluer l'effet de ces charges sur les caractéristiques C-V, et les caractéristiques statiques du MOSFET SiC .

Effet des pièges d'oxyde sur les caractéristiques C-V

Nous nous sommes intéressés premièrement à voir l'effet des pièges d'oxyde sur les caractéristiques C-V et plus précisément la caractéristique $C_{GS} - V_{gs}$. Les figures IV.34 et IV.35 montrent respectivement l'évolution des caractéristiques $C - V$ de la deuxième

et troisième génération du MOSFET SiC en fonction des charges d'oxyde positives Q_{ot}^+ et des charges d'oxyde négatives Q_{ot}^- .

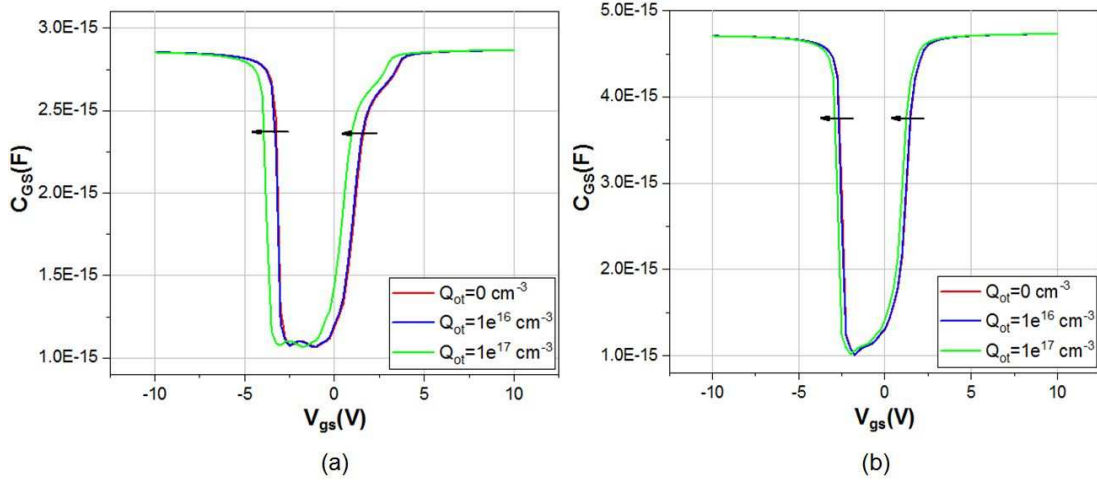


FIGURE IV.34: Évolution des caractéristiques $C-V$ en fonction des charges d'oxyde positives Q_{ot}^+ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

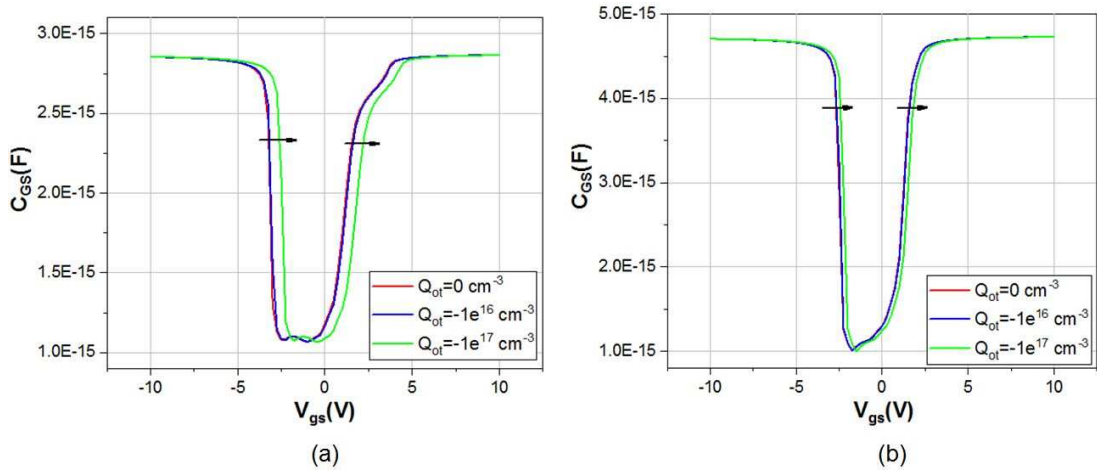


FIGURE IV.35: Évolution des caractéristiques $C-V$ en fonction des charges d'oxyde négatives Q_{ot}^- pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

A partir des figures IV.34 et IV.35 nous constatons que l'effet de pièges dans l'oxyde revient à une translation horizontale de la courbe C-V. Les charges négatives engendrent un shift latéral positif de la courbe C-V, alors que les charges positives provoquent une translation négative de la caractéristique C-V.

Effet des pièges d'oxyde sur les caractéristiques statiques

Les figures IV.37 et IV.36 mettent en évidence l'impact des charges d'oxyde Q_{ot} sur les caractéristiques I-V des deux générations de MOSFETs SiC.

Sur les caractéristiques d'entrée (figure IV.36), nous constatons que l'augmentation des pièges d'oxyde génère une translation latérale négative des courbes $I_{ds} - V_{gs}$, ceci

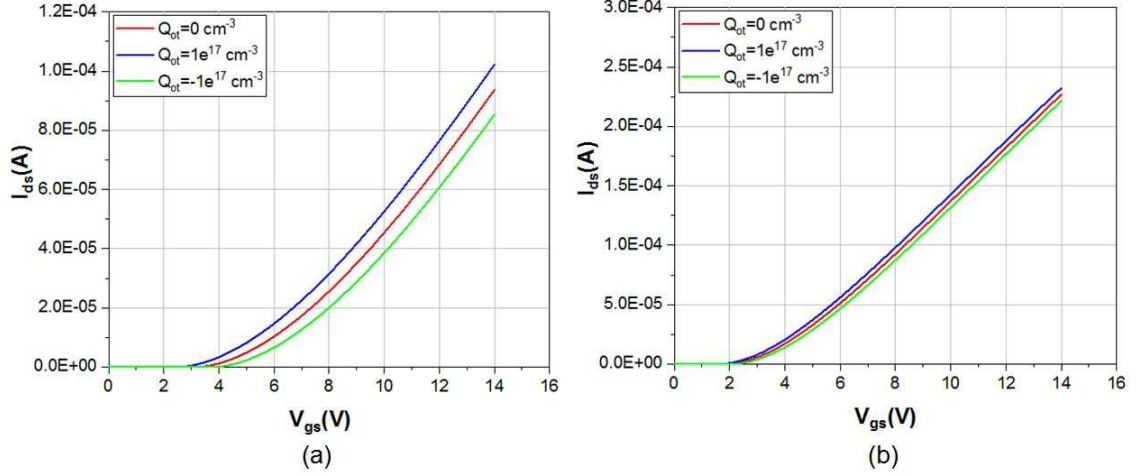


FIGURE IV.36: Évolution des caractéristiques d'entrée en fonction des charges d'oxyde Q_{ot} pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

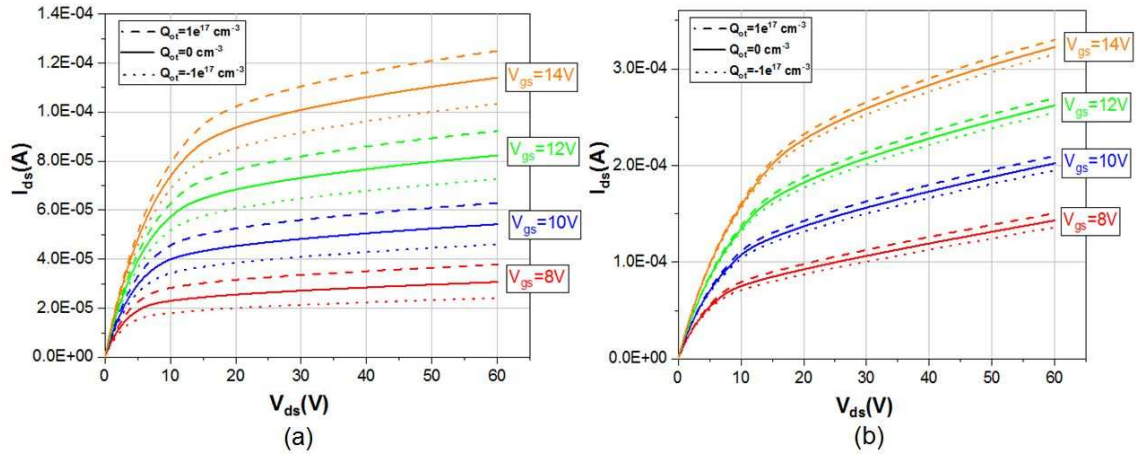


FIGURE IV.37: Évolution des caractéristiques de sortie en fonction des charges d'oxyde Q_{ot} pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

traduit une variation de la tension de seuil V_{th} . Cette dernière est extraite des caractéristiques d'entrée et reportée sur les figures IV.38 et IV.39 pour montrer son évolution en fonction des charges d'oxyde positives et négatives, pour la deuxième et la troisième générations du MOSFET SiC. Nous constatons d'après cette figure que V_{th} augmente avec la croissance des charges d'oxyde négatives Q_{ot}^- et diminue avec l'augmentation des charges d'oxyde positives Q_{ot}^+ . Cette tendance a été observée dans les années 80 sur des MOSFETs en Si par les travaux de Liang et al. [281] qui affirme que le piégeage des charges d'oxyde positifs suite à un fort champ électrique entraîne une réduction de la tension de seuil, tandis que toute accumulation de charge d'oxyde négative est traduite par une augmentation de la tension de seuil.

Nous observons sur les caractéristiques de sortie une augmentation significative du courant de saturation avec les charges d'oxyde. En exploitant les caractéristiques

$I_{ds}-V_{ds}$, nous déterminons l'évolution de la résistance à l'état passant $R_{ds(on)}$ en fonction des charges d'oxyde pour les deux générations du MOSFET SiC, comme montré sur les figures IV.40 et IV.41. Nous constatons d'après cette figure que $R_{ds(on)}$ présente une variation similaire que V_{th} qui se caractérise par une augmentation avec les charges d'oxyde négatives et diminution avec les charges d'oxyde positives.

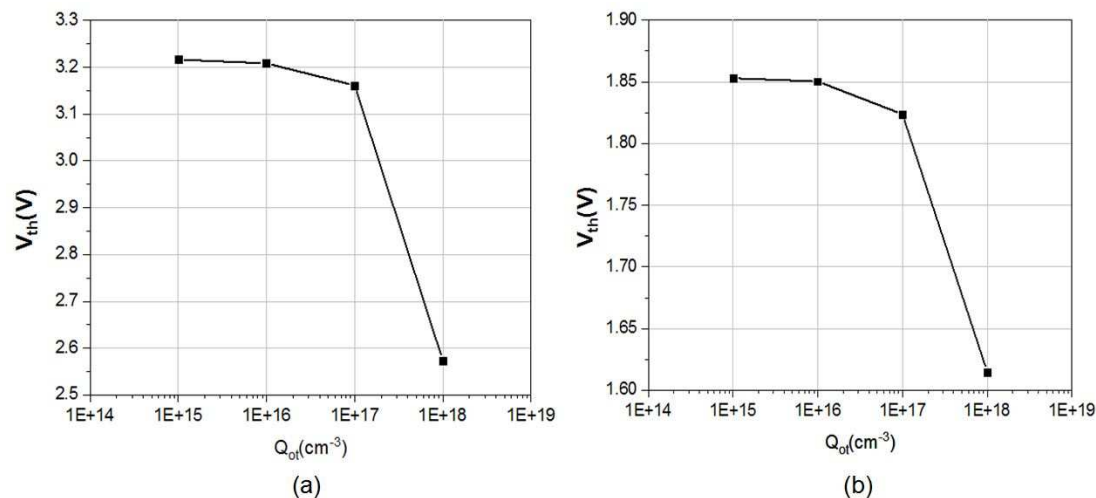


FIGURE IV.38: Évolution de V_{th} en fonction des charges d'oxyde positives Q_{ot}^+ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

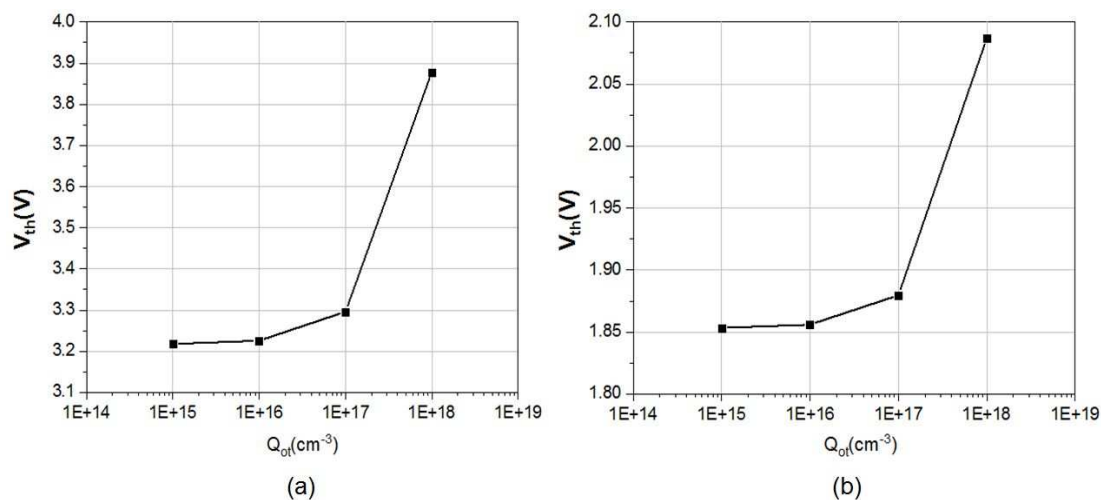


FIGURE IV.39: Évolution de V_{th} en fonction des charges d'oxyde négatives Q_{ot}^- pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

IV.3.4.2 Effet des pièges d'interface sur les caractéristiques électriques du VD-MOSFET

Les pièges d'interface appelés aussi états d'interface, états rapides ou encore états de surface, sont des charges générées suite à des défauts structuraux ou induits par l'oxydation. Elles peuvent également être créées par des impuretés métalliques ou par des défauts

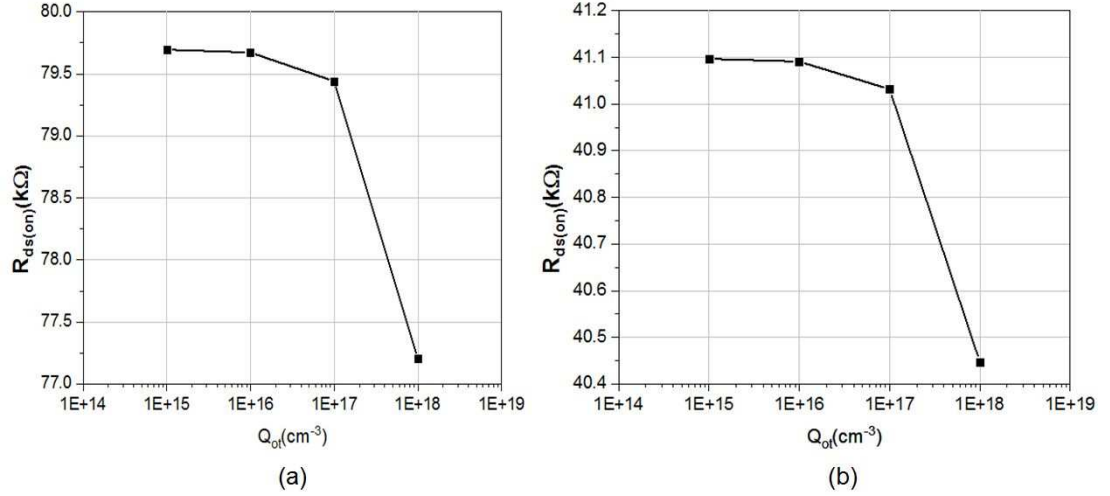


FIGURE IV.40: Évolution de $R_{ds(on)}$ en fonction des charges d'oxyde positives Q_{ot}^+ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

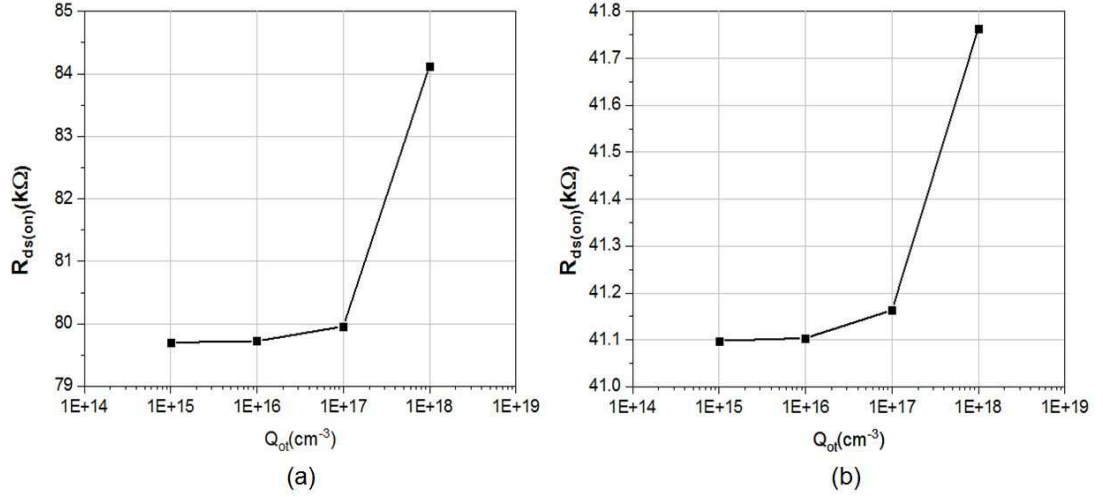


FIGURE IV.41: Évolution de $R_{ds(on)}$ en fonction des charges d'oxyde négatives Q_{ot}^- pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

causés par radiation ou par mécanismes de rupture de liaison. Les charges piégées au niveau de l'interface $SiC - SiO_2$ sont plus importantes que dans le cas du Si. En effet ils sont plus prononcés en SiC à cause de la présence du carbone (C) [282] et de la topologie et la géométrie de la surface du SiC qui ne convient pas à une interface d'oxyde abrupte [283]. Les défauts proviennent donc du raccordement de mailles des deux matériaux SiC et SiO_2 . Les pièges d'interface ont un impact important sur le comportement électrique des MOSFETs SiC et peuvent évoluer suivant le potentiel de surface, car contrairement aux pièges d'oxyde, ils sont en communication électrique directe avec le semiconducteur. Ainsi, elles peuvent conduire à une dégradation significative dans les performances du dispositif en réduisant sensiblement la mobilité effective du canal et en décalant la tension de seuil [86, 284]. La diminution de la mobilité effective est liée soit à la diffusion de Coulomb qui réduit la mobilité réelle du canal ou bien au piégeage des charges qui

réduit le nombre de porteurs libres [285, 286]. De nombreuses études se sont intéressées à modéliser et analyser les effets des états d'interface sur les MOSFETs SiC [287–289]. Le signe des charges d'interface est lié aux conditions de polarisations appliquées au composant, qui font qu'un piège d'interface est chargé négativement, positivement ou neutre, selon sa position par rapport au niveau de Fermi et sa nature (donneur ou accepteur). Les pièges d'interface donneurs sont neutres quand ils sont occupés et chargés positivement quand ils sont vides, tandis que les pièges d'interface accepteurs sont chargés négativement quand ils sont occupés et neutres quand elles sont vides [208].

Afin d'investiguer les effets des pièges d'interface sur le fonctionnement d'un transistor VD-MOSFET, nous avons mené des simulations sur les deux générations de MOSFETs SiC (Gen2L et Gen3L). Les effets des pièges d'interface peuvent être principalement caractérisés sur les courbes C-V [290].

Effet des pièges d'interface sur les caractéristiques C-V

Les premières simulations ont été réalisées pour mettre en évidence l'effet des pièges d'interfaces sur les caractéristiques C-V d'un VDMOSFET. Les figures IV.42 et IV.43 montrent l'évolution des caractéristiques $C_{GS} - V_{gs}$ en fonction des charges d'interface Q_{it} de type accepteur et donneur respectivement. Il s'avère que les Q_{it} contribuent à la distortion de la courbe C-V. Nous concluons à partir de la figure IV.42 que les états d'interface accepteurs décalent positivement la zone d'inversion et engendrent une baisse de la capacité C_{GS2} , tandis que les états d'interface donneurs décalent négativement la zone d'accumulation et provoquent une baisse de la capacité C_{GS1} comme illustré sur la figure IV.43.

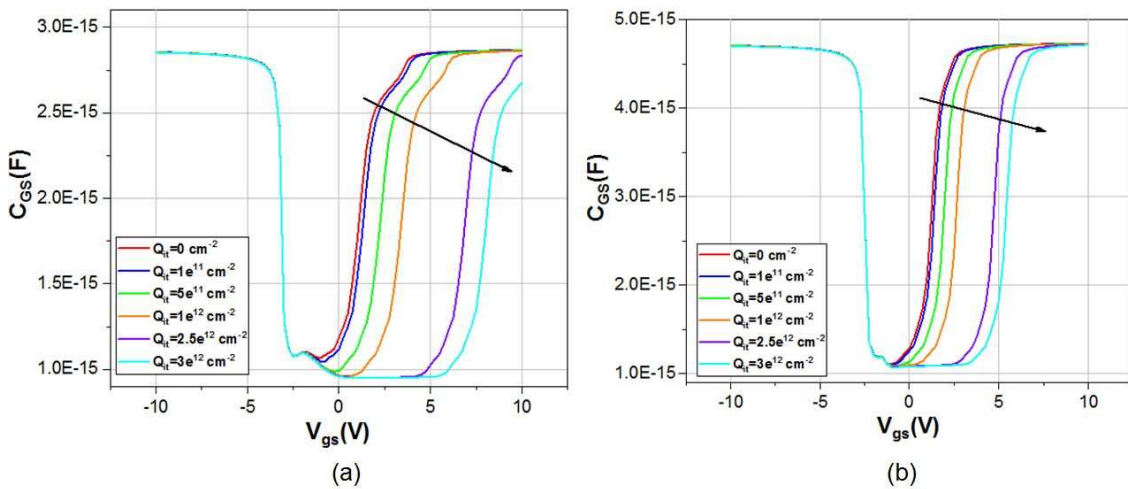


FIGURE IV.42: Évolution des caractéristiques $C - V$ en fonction des charges d'interface Q_{it} de type "Accepteur" pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

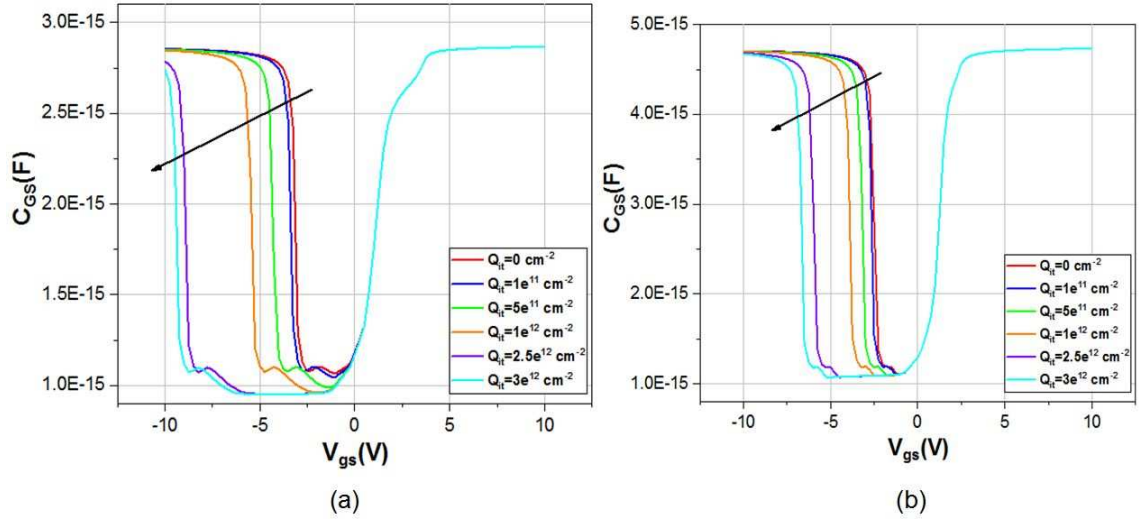


FIGURE IV.43: Évolution des caractéristiques $C - V$ en fonction des charges d'interface Q_{it} de type "Donneur" pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

Effet des pièges d'interface sur les caractéristiques statiques

Les caractéristiques d'entrée et de sortie permettant d'examiner l'effet des états d'interface accepteurs, sur le courant du drain, la résistance à l'état passant et la tension de seuil sont données au niveau des figures IV.44 et IV.45. Les états d'interface donneurs n'ont pas été traités au niveau de ces paramètres car leurs effets n'apparaissent que pour des tensions négatives, étant donné que nos composants d'études sont des MOSFETs à canal n. Par conséquent, les pièges d'interface donneurs ne produisent aucune variation sur la tension V_{th} , ni sur $R_{ds(on)}$ ou I_{dsat} .

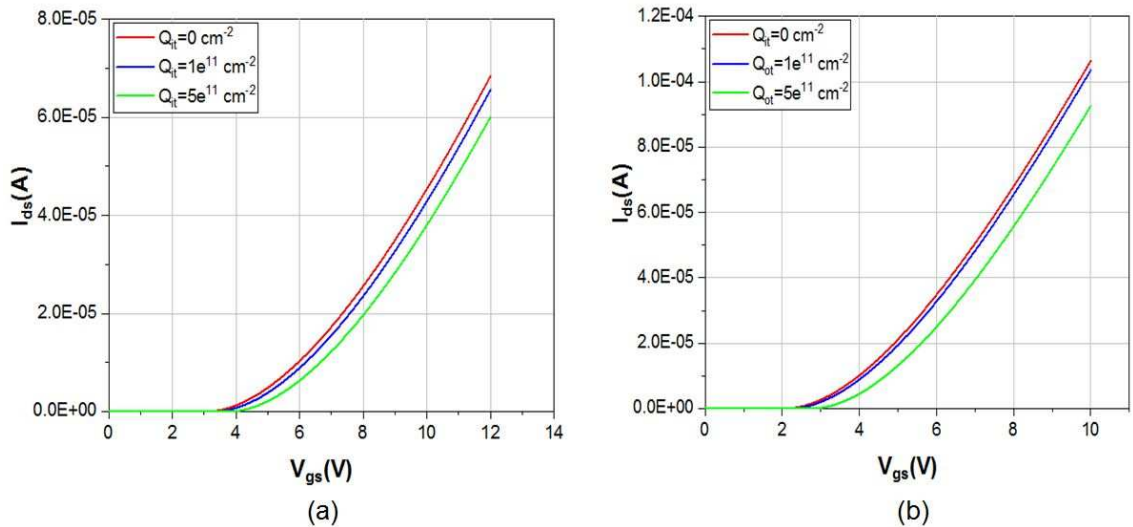


FIGURE IV.44: Évolution des caractéristiques d'entrée en fonction des charges d'interface Q_{it} pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

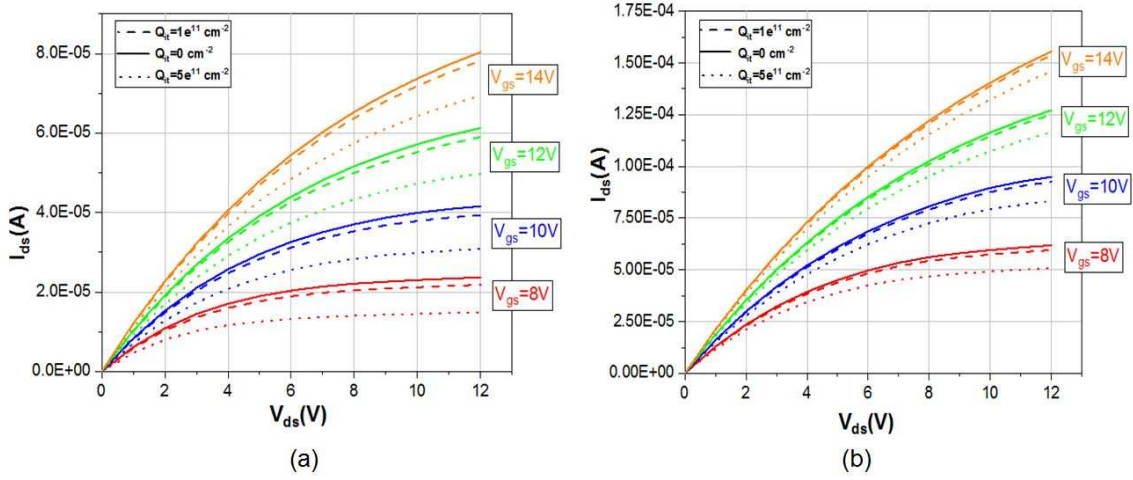


FIGURE IV.45: Évolution des caractéristiques de sortie en fonction des charges d'interface Q_{it} pour les deux générations du MOSFET SiC (a) : Gen2L et (b) Gen3L

Nous remarquons à partir de la figure IV.44 que la tension de seuil V_{th} est fortement affectée par les charges d'interface accepteurs $Q_{it}(A)$. En effet, nous observons à partir de la figure IV.44 une translation positive de la caractéristique d'entrée avec $Q_{it}(A)$. Ceci traduit comme illustré sur la figure IV.46 que V_{th} augmente avec les états d'interface accepteurs.

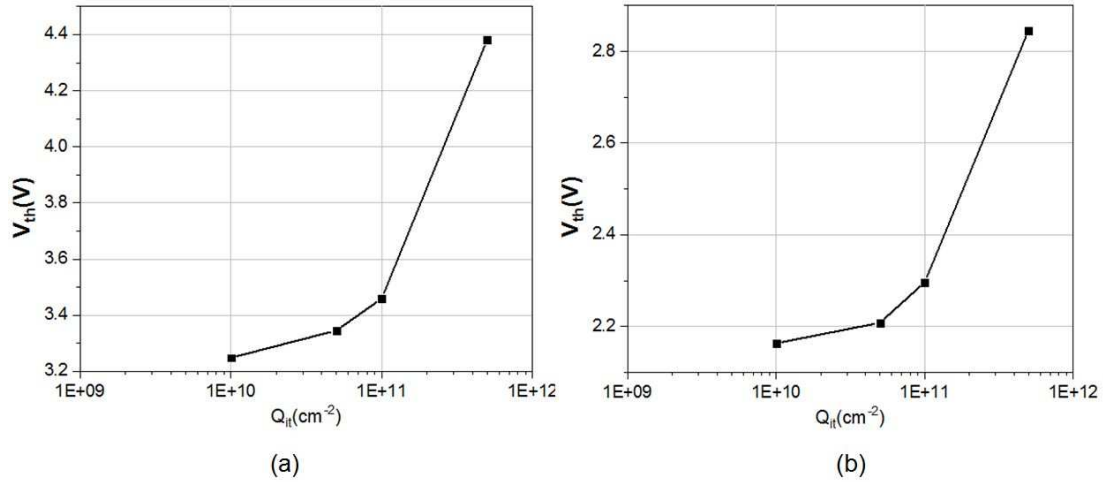


FIGURE IV.46: Évolution de V_{th} en fonction des charges d'interface accepteurs $Q_{it}(A)$ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

A partir de la figure IV.45 nous observons que le courant de saturation I_{dsat} diminue avec les états d'interface accepteurs. La figure IV.47 montre l'évolution de la résistance à l'état passant $R_{ds(on)}$ calculée à partir des caractéristiques de sortie, en fonction des charges d'interface $Q_{it}(A)$ pour la deuxième et la troisième générations du MOSFET SiC. Nous concluons à partir de cette figure que $R_{ds(on)}$ augmente avec les charges d'interface accepteurs.

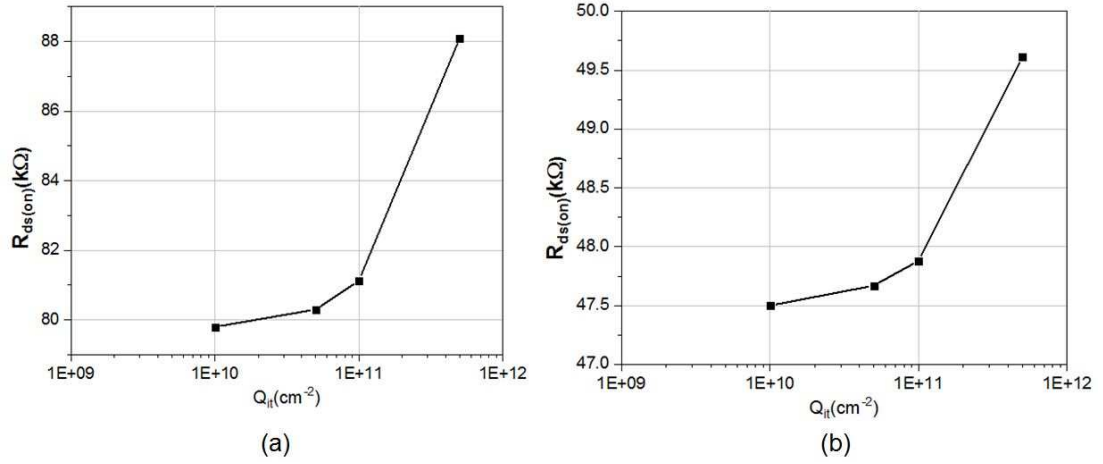


FIGURE IV.47: Évolution de $R_{ds(on)}$ en fonction des charges d'interface accepteurs $Q_{it}(A)$ pour les deux générations du MOSFET SiC : (a) Gen2L et (b) Gen3L

La qualité de l'interface SiC/SiO₂ a été énormément améliorée pour les technologies actuelles. Les problèmes critiques qui persistent concernent surtout les pièges (positifs ou négatifs) dans l'oxyde lors d'un stress électrique [230, 291] (HTRB, ESD, interaction rayonnement/matière, etc). En effet, plusieurs travaux se sont intéressés durant cette dernière décennie à trouver des solutions pour réduire les charges d'interface dans le SiC (Q_{it}), et en particulier la forte densité de pièges d'interface (N_{it}) près du bord de la bande de conduction, d'où le développement du recuit de post-oxydation de l'azote [292–296]. Toutefois, l'analyse de séparation de charge indique que les MOSFET SiC typiques ont une charge positive piégée dans l'oxyde qui dépasse $1 \times 10^{12} \text{ cm}^{-2}$ [297]. Par conséquent, il est devenu clair qu'il faut se concentrer davantage sur la recherche de meilleures étapes de traitement pour réduire les pièges d'oxyde (Q_{ot}) également.

IV.3.4.3 Bilan des effets des pièges sur les caractéristiques électriques du VD-MOSFETS SiC

Pour récapituler, nous résumons dans le tableau IV.2 les effets des pièges sur les caractéristiques électriques des VD-MOSFETS SiC.

	Q_{ot}^+	Q_{ot}^-	$Q_{it}(A)$	$Q_{it}(D)$
$R_{ds(on)}$	↘	↗	↗	constant
V_{th}	↘	↗	↗	constant
I_{dsat}	↗	↘	↘	constant
C-V	shift - de $(C_{GS} - V_{gs})$	shift + de $(C_{GS} - V_{gs})$	shift + du côté N Baisse de C_{GS2}	shift - du côté P Baisse de C_{GS1}

TABEAU IV.2: Les effets des pièges sur les caractéristiques électriques des VD-MOSFETS SiC

Nous pouvons conclure à partir du tableau IV.2 que les hypothèses émises suite au stress HTRB et ESD appliqués sur les composants d'étude des deux générations du MOSFET SiC (voir chapitre 3) sont conformes aux résultats de simulation. Les dégradations des caractéristiques électriques observées suite à ces stress ont été attribuées soit à des pièges dans l'oxyde ou à des états d'interface. Nous pouvons lier cette problématique à l'élévation de la température et/ou à l'injection des porteurs suite aux stress électriques ESD ou HTRB [298, 299]. Plusieurs phénomènes peuvent expliquer l'injection des porteurs tels que : l'effet tunnel direct [300, 301], l'injection Fowler-Nordheim [302–306] et l'injection des porteurs chauds [307–310]. Durant les stress HTRB et ESD un champ électrique intense est introduit dans la région de JFET et aux bornes de l'oxyde. Ce champ provoque la dégradation de l'oxyde par la création des pièges dans le volume d'oxyde ou à l'interface SiC/ SiO_2 , ce qui implique une dégradation des caractéristiques électriques du transistor.

IV.3.5 Validation des résultats des tests HTRB et ESD par la simulation physique

Les résultats de simulation physique cités précédemment permettent de valider les hypothèses établis sur les mécanismes de dégradation révélés suite aux stress HTRB et ESD appliqués sur les deux générations du MOSFET SiC. Le tableau IV.3 résume les modes et les mécanismes de dégradation des deux générations du MOSFET SiC suite aux stress HTRB et ESD.

D'après le tableau IV.3, nous constatons que les dégradations observées suite aux stress HTRB et ESD sur les MOSFETs SiC sont liées en général à la présence des charges d'interface accepteurs ou les pièges d'oxydes positifs, d'où la nécessité d'améliorer le processus de fabrication et la qualité de l'oxyde de grille pour cette nouvelle technologie.

IV.4 Conclusion

Les travaux présentés dans ce chapitre ont pour objectif de confirmer et de valider les hypothèses introduites dans les deux chapitres précédents qui visent à étudier le comportement électrique des transistors MOSFET de puissance SiC soumis à des contraintes thermiques et électriques (Stress HTRB et ESD).

Ces travaux consistent à présenter les étapes nécessaires pour simuler physiquement le comportement électrique d'un VD-MOSFET. Nous avons commencé par identifier la structure des deux générations du MOSFET SiC à simuler, et nous avons déterminé les

Type de stress	Génération	Mode de dégradation	Mécanisme de dégradation
HTRB	Gen2L	$R_{ds(on)} \& V_{th} \nearrow$ $I_{dsat} \searrow$ Shift + du côté N $C_{GS2} \searrow$	États d'interface accepteurs $Q_{it}(A)$
	Gen2H	$R_{ds(on)} \nearrow$ $V_{th} \& I_{dsat} \searrow$ $C_{GS2} \searrow$	Dégradation de la jonction PN
	Gen3L	$R_{ds(on)} \nearrow$ $V_{th} \text{ cste} \& I_{dsat} \searrow$ Court - Circuit Drain Source	Dégradation de l'oxyde
	Gen3H	$R_{ds(on)} \& V_{th} \nearrow$ $I_{dsat} \searrow$ Shift + du côté N $C_{GS2} \searrow$	États d'interface accepteurs $Q_{it}(A)$
ESD	Gen2L	$R_{ds(on)} \& V_{th} \searrow$ $I_{dsat} \nearrow$ Shift - du côté N $C_{GS2} \searrow$	Piège d'oxyde positives Q_{ot}^+
	Gen2H	$R_{ds(on)} \& V_{th} \searrow$ $I_{dsat} \nearrow$ Shift + du côté N $C_{GS2} \searrow$	États d'interface accepteurs $Q_{it}(A)$
	Gen3L	$R_{ds(on)} \& V_{th} \searrow$ $I_{dsat} \nearrow$ Shift - du côté N $C_{GS2} \searrow$	Piège d'oxyde positives Q_{ot}^+ États d'interface accepteurs $Q_{it}(A)$
	Gen3H	$R_{ds(on)} \& V_{th} \searrow$ $I_{dsat} \nearrow$ Shift + du côté N $C_{GS2} \searrow$	États d'interface accepteurs $Q_{it}(A)$

TABLEAU IV.3: Récapitulatif des modes et mécanismes de dégradation observées sur les deux générations de MOSFETs SiC (Gen2 et Gen3) suite aux stress HTRB et ESD

dimensions de leur paramètres technologiques (N_A , t_{ox} et L_{ch}). Cette étape consiste à réaliser une analyse micro-structurale des composants ouverts en face avant. Les résultats d'analyse micro-structurale montrent les améliorations que le constructeur a apporté sur la structure des composants de la troisième génération des MOSFETs SiC (réduction de t_{ox} et L_{ch}). Par la suite, nous avons réalisé des simulations pour examiner les effets de la température et des paramètres technologiques sur le comportement électrique des VD-MOSFETs SiC. Les effets des pièges dans l'oxyde et d'interface ont été étudiés sur les deux générations du MOSFET SiC. Les caractéristiques statiques d'entrée et sortie et les caractéristiques C-V ont été évalués, ainsi que les paramètres V_{th} et $R_{ds(on)}$.

Les résultats de simulation physique sont en accord avec les tendances et les variations des paramètres électriques des composants vieilliss en HTRB et en ESD. Ceci appuie les hypothèses proposées dans les chapitres précédents.

Conclusion générale et perspectives

L'ensemble des travaux de recherche présentés dans ce mémoire de thèse s'inscrit dans le cadre d'une approche générale visant l'évaluation des performances électriques des composants de puissance en technologie carbure de silicium pour une éventuelle utilisation dans les nouvelles générations des convertisseurs de puissance. Les propriétés intrinsèques des matériaux semi-conducteurs à large bande interdite tel que le nitrure de gallium (GaN) ou carbure de silicium (SiC) ont étendu le champ d'applications des composants de puissance MOSFETs. Parmi les transistors de puissance grand gap, notre choix s'est posé sur les MOSFETs SiC du fait de leur disponibilité commerciale et de leurs caractéristiques physiques. Les MOSFETs SiC présentent des meilleures performances que les composants en silicium : meilleur rendement de conversion, fonctionnement à haute température, tenue en tension et fréquences de commutation plus élevées. En outre, la nouvelle technologie SiC permet la réduction globale masse/volume des convertisseurs ce qui répond aux exigences des industriels. Cependant, comme toute technologie émergente, la question de la fiabilité des MOSFETs SiC s'impose, car il y a peu de retour d'expérience sur cette technologie et une instabilité sur la maîtrise des processus de fabrication des semi-conducteurs subsiste. C'est dans cette démarche de fiabilité que s'intègrent nos études.

Pour aborder cette problématique, nous avons appliqué des contraintes thermiques et électriques sur les composants d'études à travers l'étude des effets de la température et les paramètres technologiques ainsi que les tests de vieillissements accélérés HTRB et ESD. Le choix des composants d'étude s'est porté sur trois générations d'une structure de type VD-MOSFET de chez l'industriel Cree Inc. Pour évaluer les performances électriques et étudier la fiabilité des composants d'étude, trois approches ont été suivies. La première consiste à exploiter les mesures de caractérisation électrique statique des composants d'étude, la deuxième approche vise à élaborer un modèle compact basé sur des équations dont les paramètres reflètent la physique du composant. La troisième approche porte sur l'utilisation d'un outil multi-physique permettant la réalisation des simulations physiques des effets de la température, des paramètres technologiques et des effets des pièges d'oxyde et d'interface.

Ainsi, la première partie de ce travail a été consacrée au contexte général de l'étude. Nous avons décrit l'évolution du marché des composants de puissance et les besoins des applications industrielles de s'orienter vers les nouvelles technologies à large bande interdite afin de monter en puissance, en température et en tension. Nous nous sommes principalement intéressés au SiC qui a fait une révolution dans le marché des MOSFETs de puissance. Nous avons introduit l'historique des MOSFETs SiC et identifié leur structures ainsi que leurs mécanismes de dégradation. Nous avons ensuite développé un état de l'art sur les différents modèles dédiés à l'étude du comportement statique des transistors MOSFETs. Nous avons présenté par la suite un état de l'art sur les différents types de test de vieillissement qui permettent d'évaluer la fiabilité des composants MOSFETs SiC. Nous avons conclu cette partie par présenter les principaux modèles pour la simulation physique des MOSFETs SiC.

Le deuxième chapitre est dédié aux méthodes et aux bancs de caractérisations statiques utilisés pour évaluer les performances électriques du MOSFET SiC. Une campagne de caractérisations électriques a été conduite sur trois générations du MOSFET SiC de chez le fabricant Cree Inc afin de mettre en évidence un comparatif de performances de ces derniers. Cette phase de caractérisation vise à identifier les paramètres importants du composant (tension de seuil, courant de fuite, résistance à l'état passant, capacités intrinsèques...). Les résultats de caractérisation montrent que les nouvelles générations sont améliorées par rapport aux anciennes générations au niveau de la réduction de la tension de seuil, le courant de fuite, et les capacités intrinsèques. Nous avons démontré aussi que les grandeurs électriques du MOSFET sont reliées à la température par des paramètres physiques à savoir la mobilité des électrons et la concentration intrinsèque des porteurs. Dans le but de comprendre le comportement des MOSFETs SiC et de compléter les informations obtenues par les caractérisations électriques, nous avons eu recours à la modélisation. Pour cela, nous avons exploité en premier temps les modèles SPICE du constructeur qui montrent des limitations au regard de la température. Pour remédier à ces limitations, nous avons élaboré un modèle compact basé sur la physique du composant et une nouvelle méthode d'optimisation de ces paramètres qui s'appuie sur l'algorithme de Levenberg-Marquardt. Ce modèle a fait ses preuves sur les trois générations de MOSFETs SiC puisqu'il a décrit avec précision et ajusté parfaitement les mesures électriques sur la plage de température de 0°C à 135°C . Les paramètres extraits du modèle ont été exploités pour analyser le comportement statique du MOSFET SiC soumis aux variations de la température.

Le troisième chapitre a porté sur l'étude de la robustesse des MOSFETs SiC en appliquant des tests HTRB (high test reverse bias) et ESD (Electrostatic discharge) qui visent à vieillir les composants en les faisant fonctionner à des températures et des tensions extrêmes. Le stress HTRB a pour but de vérifier l'intégrité de la jonction, les défauts

de cristaux et le niveau de contamination ionique en appliquant les deux contraintes électrique et thermique. Durant ce chapitre nous avons introduit les normes du stress HTRB à savoir les standards les plus connus MIL-STD-750D et JESD22A-108D. Puis nous avons développé le protocole du test HTRB employé pour étudier et évaluer la fiabilité de deux générations du MOSFETs-SiC. Deux campagnes de vieillissement ont été menées pendant une durée de 624h. La première campagne visait à stresser les composants de la deuxième génération à la température nominale des composants correspondant à 150°C et à une tension de 980V qui représente 81 % de leur tension nominale. La deuxième campagne de vieillissement a porté sur les composants de la troisième génération qui ont subi un stress HTRB à la température nominale de 150°C et à une tension de 735V. L'analyse des résultats du stress HTRB repose sur l'exploitation des caractérisations électriques (Caractéristiques I-V, résistance à l'état passant, le courant de saturation, caractéristiques C-V, courants de fuite de grille et du drain) et des paramètres extraits du modèle compact (Tension de seuil, transconductance en saturation). Le traitement des résultats obtenus permet d'avoir un aperçu sur la fiabilité des composants d'étude et sur leur mécanismes de défaillance. Les résultats ont montré une incertitude sur la fiabilité des composants de la deuxième et troisième génération à fort courant (Gen2H et Gen3H). En revanche les composants à faible courant (Gen2L et Gen3L) ont montré une faible tenue face au stress HTRB traduite par des défaillances catastrophiques identifiées par des courants de fuite de grille importants. En se basant sur la variation des indicateurs électriques, des hypothèses ont été établis sur les mécanismes de défaillances de ces composants d'étude : la dégradation d'oxyde de grille, la dégradation de la jonction PN et la présence des charges d'interface dans l'oxyde.

Concernant le stress ESD un état de l'art sur les modèles, les normes et les mécanismes de défaillance de ce stress a été présenté. Le but de ce stress est de quantifier les composants sensibles aux ESD de ceux qui le sont moins. C'est pour cette raison que nous avons appliqué le stress ESD sur huit composants de deux générations du MOSFET SiC afin d'évaluer leur robustesse. Nous avons décrit le protocole du stress ESD qui consiste à appliquer différents tirs de décharges électrostatiques sur la grille à plusieurs niveaux de tension selon le modèle Human Body Model (HBM) et la norme ISO 10605. Le traitement des résultats obtenus s'est porté sur l'exploitation des caractérisations électriques et sur le modèle compact développé. Nous avons constaté que les composants de deuxième génération avec les deux gammes de courant (Gen2L et Gen2H) et la troisième génération à fort courant (Gen3H) ont une très bonne robustesse au stress ESD. Ils ont montré une bonne tenue aux forts niveaux de décharges (8kV et 15kV) qui s'illustre par la faible variation des paramètres électriques. Cependant les composants de troisième génération à faible courant (Gen3L) ont montré une faible robustesse face au stress ESD qui se traduit par des variations significatives des paramètres électriques. Ces variations

se résumant dans l'augmentation de $R_{ds(on)}$ et des courants de fuite de grille et de drain, et la baisse de V_{th} . Les caractéristiques C-V ont révélé la présence des pièges dans l'oxyde qui pourrait être la cause de la dégradation de l'oxyde de grille.

Le quatrième chapitre est consacré pour les simulations physiques qui représentent un nouvel outil pour bien comprendre le comportement des MOSFETs SiC vis-à-vis des contraintes thermiques et électriques, ce qui nous permet de valider les hypothèses élaborées dans les chapitres précédents. Dans un premier temps nous avons présenté la caractérisation structurale des composants d'étude et leur analyses micro-structurale pour identifier les dimensions et les caractéristiques physiques de ces composants afin de les introduire dans un outil de simulation physique. Cette étape consiste à réaliser une analyse micro-structurale des composants ouverts en face avant. Les résultats d'analyse micro-structurale montrent les améliorations que le constructeur a apporté sur la structure des composants de la troisième génération du MOSFET SiC (réduction de t_{ox} et L_{ch}). Ensuite, nous avons réalisé des simulations pour évaluer les effets de la température et des paramètres technologiques (N_A , t_{ox} et L_{ch}) sur le comportement électrique des deux générations du MOSFET SiC. Nous avons examiné les effets des pièges dans l'oxyde et d'interface sur le comportement du MOSFET SiC. L'analyse des résultats repose sur le traitement des caractéristiques statiques d'entrée et sortie et les caractéristiques C-V, ainsi que les paramètres V_{th} et $R_{ds(on)}$. Les résultats de simulation physique confirment les tendances et les variations des paramètres électriques des composants soumis à l'effet de température et aux stress HTRB et ESD, ce qui appuie les hypothèses proposées dans le deuxième et le troisième chapitre.

Pour clôturer cette mémoire de thèse, nous proposons quelques perspectives comme continuité de nos travaux.

Une première perspective concerne la phase de la caractérisation C-V. Nous proposons d'investiguer l'effet de température sur les mesures des capacités intrinsèques des composants de puissance. Donc nous proposons d'améliorer le banc de mesure et d'asservir la température des composants.

Concernant l'approche de modélisation compacte des composants SiC, une amélioration peut être apportée au modèle développé pour construire un modèle général qui prend en considération différents phénomènes physiques (électrique, thermique et mécanique). Il s'agit de construire un modèle thermo-électromécanique qui vise à évaluer non seulement la fiabilité intrinsèque du composant mais aussi sa fiabilité extrinsèque.

Nous proposons aussi de construire un prototype expérimental et un circuit de commutation pour réaliser des caractérisations du comportement dynamique des MOSFETs afin de développer un modèle physique dynamique qui complète le modèle compact

statique élaboré pour couvrir les deux aspects du fonctionnement du transistor (statique et dynamique).

Une autre suite possible à ce travail concerne les vieillissements des MOSFETs SiC, nous visons à réaliser d'autres types de stress comme le test HTGB et le court-circuit. Ces stress nous permettent d'apporter plus de réponses sur la fiabilité des composants SiC en exploitant d'avantage notre modèle développé et les simulations physiques élaborées. Pour confirmer nos hypothèses émises suites aux vieillissements réalisés, une analyse de défaillance pourra être menée sur les composants dégradés. En effet l'analyse des caractérisations électriques a révélé une fragilité au niveau de l'oxyde de grille et au niveau de la jonction PN qui sont responsables de la défaillance des MOSFETs SiC. Afin de valider ces hypothèses, des investigations devraient être réalisées au niveau de l'analyse microscopique, de la localisation du défaut (microscope à émission de photons) et de l'analyse micro-structurale (MEB, FIB).

Enfin, la dernière perspective se rapporte sur la simulation physique des dispositifs SiC. Il sera intéressant de simuler l'aspect dynamique du transistor en prenant compte des phénomènes physiques et des paramètres technologiques.

Publications relatives à ce travail

1 Articles de revue

- **W. Jouha**, A. E. Oualkadi, P. Dherbécourt, E. Joubert and M. Masmoudi, "Silicon Carbide Power MOSFET Model : An Accurate Parameter Extraction Method Based on the Levenberg–Marquardt Algorithm," in IEEE Transactions on Power Electronics, vol. 33, no. 11, pp. 9130-9133, Nov. 2018. Doi : 10.1109/TPEL.2018.2822939.
- **W. Jouha**, A. E. Oualkadi, P. Dherbécourt, M. Masmoudi and E. Joubert, "In-depth analysis of the static behavior of a SiC Mosfet and of its associated parameters using both compact modeling and physical simulation", (en cours de soumission dans le journal IET Circuits, Devices and Systems).
- **W. Jouha**, P. Dherbécourt, A. E. Oualkadi, E. Joubert and M. Masmoudi, "An Improved SPICE Model for the Study of Electro-thermal Static Behavior for two New Generations of SiC MOSFET", (en cours de soumission dans le journal International Journal of Information Sciences and Technologies (IJIST)).

2 Conférences internationales avec Actes et Comité de Lecture

- **W. Jouha**, A. E. Oualkadi, P. Dherbécourt, E. Joubert and M. Masmoudi, "A new extraction method of SiC power MOSFET threshold voltage using a physical approach," 2017 International Conference on Electrical and Information Technologies (ICEIT), Rabat, 2017, pp.1-6. Doi : 10.1109/EITech.2017.8255289

- **W. Jouha**, P. Dherbecourt, E. Joubert and A. El Oualkadi, "Static behavior analysis of silicon carbide power MOSFET for temperature variations," 2016 International Conference on Electrical and Information Technologies (ICEIT), Tangiers, 2016, pp. 276-280. Doi : 10.1109/EITech.2016.7519605.

3 Communications dans des conférences nationales

- **W. Jouha**, P. Dherbécourt, E. Joubert et A. El Oualkadi, "Etude et modélisation du comportement du MOSFET de puissance en Carbure de Silicium soumis à des contraintes thermiques et électriques", Présentation orale dans la Journée Doctorale en Sciences et Technologies de L'information (JDSTI'18), ENSA de Tanger, 12 Mai 2018.
- **W. Jouha**, E. Joubert, M. Masmoudi, A. El Oualkadi et P. Dherbécourt, "Modélisation en régime statique de MOSFETs SiC de puissance : comparaison de deux générations", Poster dans la conférence JCGE 20017 (Jeunes Chercheurs en Génie Electrique) à ARRAS, France, 30 mai-1er juin- 2017.
- **W. Jouha**, E. Joubert, A. El Oualkadi, P. Dherbécourt et M. Masmoudi, "Caractérisation électrothermique de MOSFETs au Carbure de Silicium de nouvelle génération", article dans la congré NATIONAL DE LA RECHERCHE EN IUT (CNRIUT) : 4-5 MAI 2017, AUXERRE, France. 2017.

4 Chapitres d'ouvrage

- **W. Jouha**, A. El Oualkadi, P. Dherbécourt, E. Joubert and M. Masmoudi, "An Extraction Method of SiC Power MOSFET Threshold Voltage", il est accepté pour être publier dans un livre de Springer "Recent advances on Electrical and Information Technologies".

Bibliographie

- [1] T. Fujihira. Theory of semiconductor superjunction devices. *Japanese Journal of Applied Physics*, 36(10R) :6254, 1997.
- [2] N. Cezac, F. Morancho, P. Rossel, H. Tranduc, and A. Payre-Lavigne. A new generation of power unipolar devices : the concept of the floating islands mos transistor (flimost). In *12th International Symposium on Power Semiconductor Devices ICs. Proceedings (Cat. No.00CH37094)*, pages 69–72, 2000.
- [3] A. J. Lelis, R. Green, D. B. Habersat, and M. El. Basic mechanisms of threshold-voltage instability and implications for reliability testing of sic mosfets. *IEEE Transactions on Electron Devices*, 62(2) :316–323, Feb 2015.
- [4] D. J. Lichtenwalner, B. Hull, V. Pala, E. Van Brunt, S.H. Ryu, J. J. Sumakeris, M. J. O’Loughlin, A. A. Burk, S.T. Allen, and J. W. Palmour. Performance and reliability of sic power mosfets. *MRS Advances*, 1(2) :81–89, 2016.
- [5] B.J. Nel and S. Perinpanayagam. A brief overview of sic mosfet failure modes and design reliability. *Procedia CIRP*, 59 :280 – 285, 2017. Proceedings of the 5th International Conference in Through-life Engineering Services Cranfield University, 1st and 2nd November 2016.
- [6] T. Okunishi, K. Hisada, H. Toyoda, Y. Yamamoto, K. Arai, Y. Yamashita, K. Yamazaki, and S. Nara. Reliability study on positive bias temperature instability in sic mosfets by fast drain current measurement. *Japanese Journal of Applied Physics*, 56(4S) :04CR01, 2017.
- [7] V. Mulpuri and S. Choi. Reliability of sic power mosfets under high repetitive pulse current conditions. In *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 776–782, March 2017.

- [8] B. ALLARD. Électronique de puissance – bases, perspectives, guide de lecture. *Techniques de l'ingénieur Outils d'analyse en électronique de puissance et métrologie*, base documentaire : TIB278DUO.(ref. article : d3060), 2016. fre.
- [9] Yole Développement. Electronique de puissance : marchés, acteurs et technologies clés. Technical report, January 2013.
- [10] Yole Développement. Power SiC : Materials, Devices, Modules and Applications. Technical report, August 2017.
- [11] J. L. SANCHEZ and F. MORANCHO. Composants semi-conducteurs intégration de puissance monolithique. base documentaire : TIB245DUO.(ref. article : d3110), 2007.
- [12] B. Allard, G. Coquery, L. Dupont, Z. Khatir, M. Lazar, S. LEFEBVRE, R. Meuret, H. Morel, and D. Planson. Composants à semi-conducteur de puissance pour des applications à haute température de fonctionnement. 01 2005.
- [13] P. McCluskey, R. R. Grybowski, L. Condra, D. Das, J. Fink, J. Jordan, and T. Torri. Reliability concerns in high temperature electronic systems. In *1998 High-Temperature Electronic Materials, Devices and Sensors Conference (Cat. No.98EX132)*, pages 199–206, Feb 1998.
- [14] W. Wondrak. Physical limits and lifetime limitations of semiconductor devices at high temperatures. *Microelectronics Reliability*, 39(6) :1113 – 1120, 1999. European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.
- [15] Masazumi Amagai. Mechanical reliability in electronic packaging. *Microelectronics Reliability*, 42(4) :607 – 627, 2002.
- [16] L. Coppola, D. Huff, F. Wang, R. Burgos, and D. Boroyevich. Survey on high-temperature packaging materials for sic-based power electronics modules. In *2007 IEEE Power Electronics Specialists Conference*, pages 2234–2240, June 2007.
- [17] Bruno ALLARD. Électronique de puissance – bases, perspectives, guide de lecture. *Techniques de l'ingénieur Outils d'analyse en électronique de puissance et métrologie*, base documentaire : TIB278DUO.(ref. article : d3060), 2006. fre.

- [18] T. Zhao, J. Wang, A. Q. Huang, and A. Agarwal. Comparisons of sic mosfet and si igbt based motor drive systems. In *2007 IEEE Industry Applications Annual Meeting*, pages 331–335, Sept 2007.
- [19] Christophe Raynaud, Dominique Tournier, Hervé Morel, and Dominique Planson. Comparison of high voltage and high temperature performances of wide band-gap semiconductors for vertical power devices. *Diamond and Related Materials*, 19(1) :1–6, January 2010.
- [20] F. Bjork, M. Treu, J. Hilsenbeck, M. A. Kutschak, D. Domes, and R. Rupp. 1200V SiC JFET in Cascode Light Configuration : Comparison versus Si and SiC Based Switches. volume 679-680, pages 587–590, March 2011.
- [21] B.J. Baliga. *Fundamentals of Power Semiconductor Devices*. Springer US, 2008.
- [22] E. Al Alam. *Développement de briques technologiques pour la réalisation de transistors MOS de puissance en Nitrure de Gallium*. Theses, Université Paul Sabatier - Toulouse III, April 2011.
- [23] ROHM Semiconducteur. SiC Power Devices and Modules. Technical Report 14103EBY01, August 2014.
- [24] B. J. Baliga. Power semiconductor devices for variable-frequency drives. *Proceedings of the IEEE*, 82(8) :1112–1122, Aug 1994.
- [25] H. R. Chang, E. Hanna, and A. V. Radun. Development and demonstration of silicon carbide (sic) motor drive inverter modules. In *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, volume 1, pages 211–216 vol.1, June 2003.
- [26] H. Zhang, L. M. Tolbert, B. Ozpineci, and M. S. Chinthavali. A sic-based converter as a utility interface for a battery system. In *Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*, volume 1, pages 346–350, Oct 2006.
- [27] A. Lemmon, M. Mazzola, J. Gafford, and K. M. Speer. Comparative analysis of commercially available silicon carbide transistors. In *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 2509–2515, Feb 2012.

- [28] D. Kahng and M. M. Atalla. Silicon–Silicon Dioxide Field Induced Surface Devices. 1960.
- [29] D. Kahng. A historical perspective on the development of mos transistors and related devices. *IEEE Transactions on Electron Devices*, 23(7) :655–657, Jul 1976.
- [30] K. P. Lisiak and J. Berger. Optimization of nonplanar power mos transistors. *IEEE Transactions on Electron Devices*, 25(10) :1229–1234, Oct 1978.
- [31] Thomas Santini. *Study of silicon carbide MOSFETs reliability*. Theses, Université de Lyon, March 2016.
- [32] E. R. Motto, J. F. Donlon, H. Takahashi, M. Tabata, and H. Iwamoto. Characteristics of a 1200 v pt igbt with trench gate and local life time control. In *Conference Record of 1998 IEEE Industry Applications Conference. Thirty-Third IAS Annual Meeting (Cat. No.98CH36242)*, volume 2, pages 811–816 vol.2, Oct 1998.
- [33] M. Laska, T. Loddenkotter, M.Minzer, M. R. Pfirsch, F.Schaffer, and C. Schmidt. 3rd Generation of 1200V IGBT Modules. pages 1787–1792, 1999.
- [34] H. R. Chang, E. Hanna, and A. V. Radun. Development and demonstration of silicon carbide (sic) motor drive inverter modules. In *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, volume 1, pages 211–216 vol.1, June 2003.
- [35] CREE Semiconducteur. Power Products Commercial Roadmap from 2012-2020. Technical report, 2014.
- [36] B. Khong, M. Legros, P. Tounsi, Ph. Dupuy, X. Chauffeur, C. Levade, G. Vanderschaeve, and E. Scheid. Characterization and modelling of ageing failures on power mosfet devices. *Microelectronics Reliability*, 47(9) :1735 – 1740, 2007. 18th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.
- [37] R. Khazaka, L. Mendizabal, D. Henry, and R. Hanna. Survey of high-temperature reliability of power electronics packaging components. *IEEE Transactions on Power Electronics*, 30(5) :2456–2464, May 2015.
- [38] U. Scheuermann. Packaging and reliability of power modules - principles, achievements and future challenges. In *Proceedings of PCIM Europe 2015; International*

- Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pages 1–16, May 2015.
- [39] P. Sinha. *Contribution to failure mechanism driven qualification of electronic power devices and design guidelines for high temperature automotive applications*. PhD thesis, Télécom Bretagne, 2009.
 - [40] Thierry Di Gilio. *Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm - 2nm*. PhD thesis, L’université de Provence, 2006.
 - [41] H. Tanoue, A. Tanaka, Y. Oodate, T. Nakahagi, D. Sugiyama, C. Ma, H. J. Mattausch, and M. Miura-Mattausch. Compact modeling of dynamic mosfet degradation due to hot-electrons. *IEEE Transactions on Device and Materials Reliability*, 17(1) :52–58, March 2017.
 - [42] Edward S. Yang. *Microelectronic Devices*. New York, McGraw Hill Series in Electrical and Computer Engineering, 1988.
 - [43] Krunoslav Romanjek. *Caractérisation et modélisation des transistors CMOS des technologies 50 nm et en deçà*. PhD thesis, 2004. Thèse de doctorat dirigée par Ghibaudo, Gérard Physique des composants Grenoble INPG 2004.
 - [44] F. C. Hsu and S. Tam. Relationship between mosfet degradation and hot electron induced interface state generation. *IEEE Electron Device Letters*, 5(2) :50–52, Feb 1984.
 - [45] Umesh K. Mishra and Jasprit Singh. *Semiconductor Device Physics and Design*. Springer Netherlands, 2008.
 - [46] Chenming Hu, Simon C. Tam, Fu-Chieh Hsu, Ping-Keung Ko, Tung-Yi Chan, and K. W. Terrill. Hot electron induced mosfet degradation model, monitor, and improvement. *IEEE Transactions on Electron Devices*, 32(2) :375–385, Feb 1985.
 - [47] Michael Shur. *Introduction to Electronic Devices*. John Wiley and Sons, Oct 1995.
 - [48] Simon Tam, Ping-Keung Ko, and Chenming Hu. Lucky electron model of channel hot electron injection in mosfet’s. *IEEE Transactions on Electron Devices*, 31(9) :1116–1125, Sep 1984.

- [49] Frédéric Mayer. *Etude, réalisation et caractérisation du transistor à ionisation par impact (I-MOS)*. Theses, Université Joseph Fourier ; Université Joseph-Fourier - Grenoble I, October 2008.
- [50] S. Pietranico, S. Lefebvre, S. Pommier, M. Berkani Bouaroudj, and S. Bontemps. A study of the effect of degradation of the aluminium metallization layer in the case of power semiconductor devices. *Microelectronics Reliability*, 51(9) :1824 – 1829, 2011.
- [51] Donatien Martineau, Colette Levade, Marc Legros, Philippe Dupuy, and Thomas Mazeaud. Universal mechanisms of al metallization ageing in power mosfet devices. *Microelectronics Reliability*, 54(11) :2432 – 2439, 2014.
- [52] M. Brincker, K.B. Pedersen, P.K. Kristensen, and V.N. Popok. Effects of thermal cycling on aluminum metallization of power diodes. *Microelectronics Reliability*, 55(9) :1988 – 1991, 2015.
- [53] Vladimir N. Popok, Kristian B. Pedersen, Peter K. Kristensen, and Kjeld Pedersen. Comprehensive physical analysis of bond wire interfaces in power modules. *Microelectronics Reliability*, 58 :58 – 64, 2016.
- [54] M. Brincker, K. Bonderup Pedersen, P. K. Kristensen, and V. Popok. Passive thermal cycling of power diodes under controlled atmospheric conditions - effects on metallization degradation. In *CIPS 2016 ; 9th International Conference on Integrated Power Electronics Systems*, pages 1–6, March 2016.
- [55] Beatrice Bernoux. *Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides*. Theses, INSA de Toulouse, March 2010.
- [56] J. R. Black. Mass transport of aluminum by momentum exchange with conducting electrons. In *2005 IEEE International Reliability Physics Symposium, 2005. Proceedings. 43rd Annual.*, pages 1–6, April 2005.
- [57] J. VALLON. *Introduction à l'étude de la fiabilité des cellules de commutation à IGBT sous fortes contraintes*. Theses, Institut National Polytechnique de Toulouse, December 2003.
- [58] Electronics Renesas. Rev.2.50. *Semiconductor Reliability Handbook*, January 2017.

- [59] K. Kyung-Hoae. *omparison study of future on-chip interconnects for high performance VLSI applications*,). Theses, Université de Stanford ; Dept. Elect. Eng., Stanford, CA, USA, March 2011.
- [60] J. Samandari-Rad, M. Guthaus, and R. Hughey. Confronting the variability issues affecting the performance of next-generation sram design to optimize and predict the speed and yield. 2 :577–601, 01 2014.
- [61] J Lutz, Tobias Herrmann, M Feller, Reinhold Bayerer, T Licht, and Raneem Amro. Power cycling induced failure mechanisms in the viewpoint of rough temperature environment. pages 1–4, 01 2008.
- [62] E. Philofsky, K. Ravi, E. Hall, and J. Black. Surface reconstruction of aluminum metallization – a new potential wearout mechanism. In *9th Reliability Physics Symposium*, pages 120–128, March 1971.
- [63] E. Philofsky and E. Hall. A review of the limitations of aluminum thin films on semiconductor devices. *IEEE Transactions on Parts, Hybrids, and Packaging*, 11(4) :281–290, Dec 1975.
- [64] W. Wuchen, M. Held, P. Jacob, P. Scacco, and A. Birolini. Investigation on the long term reliability of power igbt modules. In *Power Semiconductor Devices and ICs, 1995. ISPSD '95., Proceedings of the 7th International Symposium on*, pages 443–448, May 1995.
- [65] M. Held, P. Jacob, G. Nicoletti, P. Scacco, and M. H. Poech. Fast power cycling test of igbt modules in traction application. In *Proceedings of Second International Conference on Power Electronics and Drive Systems*, volume 1, pages 425–430 vol.1, May 1997.
- [66] M. Ciappa. *Some Reliability Aspects of IGBT Modules for High-Power Applications*. Hartung-Gorre Verlag Konstanz, 01 2001.
- [67] N. Kimizuka, T. Yamamoto, T. Mogami, K. Yamaguchi, K. Imai, and T. Horiuchi. The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on mosfet scaling. In *1999 Symposium on VLSI Technology. Digest of Technical Papers (IEEE Cat. No.99CH36325)*, pages 73–74, June 1999.

- [68] J. S. Suehle. Ultrathin gate oxide reliability : physical models, statistics, and characterization. *IEEE Transactions on Electron Devices*, 49(6) :958–971, Jun 2002.
- [69] T. T. Nguyen, A. Ahmed, T. V. Thang, and J. H. Park. Gate oxide reliability issues of sic mosfets under short-circuit operation. *IEEE Transactions on Power Electronics*, 30(5) :2445–2455, May 2015.
- [70] Panasonic. T04007BE-3 2009.4 3-44 . *Failure Mechanism of Semiconductor Devices*, 2009.
- [71] A. Kerber, A. Vayshenker, D. Lipp, T. Nigam, and E. Cartier. Impact of charge trapping on the voltage acceleration of tddb in metal gate/high-k n-channel mosfets. In *2010 IEEE International Reliability Physics Symposium*, pages 369–372, May 2010.
- [72] Chia-Wei Hsu, Yean-Kuen Fang, Wen-Kuan Yeh, Chun-Yu Chen, Yen-Ting Chiang, Feng-Renn Juang, Chien-Ting Lin, and Chien-Ming Lai. Improvement of tddb reliability, characteristics of hfo2 high-k/metal gate mosfet device with oxygen post deposition annealing. *Microelectronics Reliability*, 50(5) :618 – 621, 2010.
- [73] Mrinal K. Das, Sarah K. Haney, Jim Richmond, Anthony Olmedo, Q. Jon Zhang, and Zoltan Ring. Sic mosfet reliability update. In *Silicon Carbide and Related Materials 2011*, volume 717 of *Materials Science Forum*, pages 1073–1076. Trans Tech Publications, 6 2012.
- [74] Yee-Chia Yeo, Qiang Lu, and Chenming Hu. Mosfet gate oxide reliability : Anode hole injection model and its applications. *International Journal of High Speed Electronics and Systems*, 11(03) :849–886, 2001.
- [75] D J Dumin. *Oxide Reliability A Summary of Silicon Oxide Wearout, Breakdown, and Reliability* , volume 23. World Scientific, 2002.
- [76] J. W. McPherson. Quantum mechanical treatment of si-o bond breakage in silica under time dependent dielectric breakdown testing. In *2007 IEEE International Reliability Physics Symposium Proceedings. 45th Annual*, pages 209–216, April 2007.

- [77] J. Lee, I. C. Chen, and C. Hu. Statistical modeling of silicon dioxide reliability. In *26th Annual Proceedings Reliability Physics Symposium 1988*, pages 131–138, Apr 1988.
- [78] R. Moazzami, J. C. Lee, and C. Hu. Temperature acceleration of time-dependent dielectric breakdown. *IEEE Transactions on Electron Devices*, 36(11) :2462–2465, Nov 1989.
- [79] J. W. McPherson. *Reliability Physics and Engineering*. Springer New York Dordrecht Heidelberg London, 2010.
- [80] El Moukthari Issam. *Elaboration de nouvelles méthodologies d'évaluation de la fiabilité de circuits nanoélectroniques*. Theses, Université Sciences et Technologies - Bordeaux I, November 2012.
- [81] T. Kikuchi and M. Ciappa. Modeling the threshold voltage instability in sic mosfets at high operating temperature. In *2014 IEEE International Reliability Physics Symposium*, pages 2C.4.1–2C.4.6, June 2014.
- [82] P. Viktorovitch. Passivation des semiconducteurs III-V. *Revue de Physique Appliquée*, 25(9) :895–914, 1990.
- [83] M. Gurfinkel, J. Suehle, J. B. Bernstein, Y. Shapira, A. J. Lelis, D. Habersat, and N. Goldsman. Ultra-fast measurements of vth instability in sic mosfets due to positive and negative constant bias stress. In *2006 IEEE International Integrated Reliability Workshop Final Report*, pages 49–53, Oct 2006.
- [84] M. Gurfinkel, H. D. Xiong, K. P. Cheung, J. S. Suehle, J. B. Bernstein, Y. Shapira, A. J. Lelis, D. Habersat, and N. Goldsman. Characterization of transient gate oxide trapping in sic mosfets using fast i v techniques. *IEEE Transactions on Electron Devices*, 55(8) :2004–2012, Aug 2008.
- [85] T. Okayama, S.D. Arthur, J.L. Garrett, and M.V. Rao. Bias-stress induced threshold voltage and drain current instability in 4h-sic dmosfets. *Solid-State Electronics*, 52(1) :164 – 170, 2008.
- [86] A. J. Lelis, D. Habersat, R. Green, A. Ogunniyi, M. Gurfinkel, J. Suehle, and N. Goldsman. Time dependence of bias-stress-induced sic mosfet threshold-voltage

- instability measurements. *IEEE Transactions on Electron Devices*, 55(8) :1835–1840, Aug 2008.
- [87] R. Green, A. Lelis, and D. Habersat. Application of reliability test standards to sic power mosfets. In *2011 International Reliability Physics Symposium*, pages EX.2.1–EX.2.9, April 2011.
- [88] T. Kikuchi and M. Ciappa. A new two-dimensional tcad model for threshold instability in silicon carbide mosfets. *Microelectronics Reliability*, 53(9) :1730 – 1734, 2013.
- [89] R. Singh. Reliability and performance limitations in Sic power devices. *Microelectronics Reliability*, 46 :713–730, 2006.
- [90] L. C. Yu, G. T. Dunne, K. S. Matocha, K. P. Cheung, J. S. Suehle, and K. Sheng. Reliability issues of sic mosfets : A technology for high-temperature environments. *IEEE Transactions on Device and Materials Reliability*, 10(4) :418–426, Dec 2010.
- [91] T. T. Nguyen, A. Ahmed, T. V. Thang, and J. H. Park. Gate oxide reliability issues of sic mosfets under short-circuit operation. *IEEE Transactions on Power Electronics*, 30(5) :2445–2455, May 2015.
- [92] R. J. Kaplar, M. J. Marinella, S. DasGupta, M. A. Smith, S. Atcitty, M. Sun, and T. Palacios. Characterization and reliability of sic- and gan-based power transistors for renewable energy applications. In *2012 IEEE Energytech*, pages 1–6, May 2012.
- [93] S. Tiwari, T. Undeland, S. Basu, and W. Robbins. Silicon carbide power transistors, characterization for smart grid applications. In *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, pages LS6d.2–1–LS6d.2–8, Sept 2012.
- [94] H. Maanane. *Etude de la fiabilité des transistors hyperfréquences de puissance dans une application RADAR en bande S*. PhD thesis, Université de Rouen, 2005.
- [95] Brice Lanternier. *Retour d’expérience et fiabilité prévisionnelle : mise en oeuvre de modèles et détermination des facteurs influant la fiabilité pour le calcul de taux de défaillance des matériels mécaniques utilisés en tant que dispositifs de sécurité*. PhD thesis, 2007. Thèse de doctorat dirigée par Lyonnet, Patrick Mécanique et ingénierie Saint-Etienne 2007.

- [96] A. Canepari. *Macro-modélisation des structures MOS " haute tension" intégrées avec prise en compte de l'auto-échauffement*. PhD thesis, INSA of Lyon, 2006.
- [97] C. Pavageau. *Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétrique*. Theses, Université des Sciences et Technologie de Lille - Lille I, December 2005.
- [98] V. Cuoco, W. C. E. Neo, M. Spirito, O. Yanson, N. Nenadovic, L. C. N. de Vreede, H. F. F. Jos, and J. N. Burghartz. The electro-thermal smoothie database model for ldmos devices. In *Proceedings of the 30th European Solid-State Circuits Conference (IEEE Cat. No.04EX850)*, pages 457–460, Sept 2004.
- [99] Y. Cui, M. Chinthavali, and L. M. Tolbert. Temperature dependent pspice model of silicon carbide power mosfet. In *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 1698–1704, Feb 2012.
- [100] R. Pratap, R. K. Singh, and V. Agarwal. Spice model development for sic power mosfet. In *2012 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, pages 1–5, Dec 2012.
- [101] M. Hasanuzzaman, S. K. Islam, and M. T. Alam. Parameter extraction and spice model development for 4h-silicon carbide (sic) power mosfet. In *2005 International Semiconductor Device Research Symposium*, pages 292–293, Dec 2005.
- [102] M. Hasanuzzaman, S. K. Islam, L. M. Tolbert, and B. Ozpineci. Design, modeling, testing, and SPICE parameter extraction of DMOS transistor in 4H Silicon Carbide. *International Journal of High Speed Electronics and Systems*, 16 :733–746, 2006.
- [103] I. K. Budihardjo, P. O. Lauritzen, and H. A. Mantooth. Performance requirements for power mosfet models. *IEEE Transactions on Power Electronics*, 12(1) :36–45, Jan 1997.
- [104] R. Fu, A. Grekov, J. Hudgins, A. Mantooth, and E. Santi. Power sic dmosfet model accounting for nonuniform current distribution in jfet region. *IEEE Transactions on Industry Applications*, 48(1) :181–190, Jan 2012.
- [105] B.J. Baliga. *Power Semiconductor Devices*. PWS Publishing Company, 1996.

- [106] R. S. Scott and G. A. Franz. An accurate model for power dmosfets including interelectrode capacitances. In *21st Annual IEEE Conference on Power Electronics Specialists*, pages 113–119, 1990.
- [107] C. Leonardi, A. Raciti, F. Frisina, and R. Letor. A new pspice power mosfet model with temperature dependent parameters : evaluation of performances and comparison with available models. In *Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the IEEE 1997*, volume 2, pages 1174–1181 vol.2, Oct 1997.
- [108] J.Jang, T. Amborg, Zhiping Yu, and R. W. Dutton. Circuit model for power ldmos including quasi-saturation. In *Simulation of Semiconductor Processes and Devices, 1999. SISPAD '99. 1999 International Conference on*, pages 15–18, 1999.
- [109] C. Zheng. *Characterization and Modeling of High-Switching-Speed Behavior of SiC Active Devices*. PhD thesis, Virginia Polytechnic Institute and State Univ, December 2009.
- [110] K. Sun, H. Wu, J. Lu, Y. Xing, and L. Huang. Improved modeling of medium voltage sic mosfet within wide temperature range. *IEEE Transactions on Power Electronics*, 29(5) :2229–2237, May 2014.
- [111] F. Prégaldiny. *Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques*. Theses, Université Louis Pasteur - Strasbourg I, December 2003.
- [112] J. J. Victory, J. J. Sanchez, T. A. DeMassa, and B. D. Welfert. A static, physical vdmos model based on the charge-sheet model. *IEEE Transactions on Electron Devices*, 43(1) :157–164, Jan 1996.
- [113] J. Victory, C. C. McAndrew, K. Joardar, M. L. Kniffin, S. Merchant, and D. Moncoquit. A physically-based compact model for ldmos transistors. 1998.
- [114] L. Aubard, G. Verneau, J. C. Crebier, C. Schaeffer, and Y. Avenas. Power mosfet switching waveforms : an empirical model based on a physical analysis of charge locations. In *2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference. Proceedings (Cat. No.02CH37289)*, volume 3, pages 1305–1310 vol.3, 2002.

- [115] T. McNutt, A. Hefner, A. Mantooth, D. Berning, and Ranbir Singh. Compact models for silicon carbide power devices. In *International Semiconductor Device Research Symposium, 2003*, pages 472–473, Dec 2003.
- [116] S. Potbhare, N. Goldsman, A. Lelis, J. M. McGarrity, F. B. McLean, and D. Habersat. A physical model of high temperature 4h-sic mosfets. *IEEE Transactions on Electron Devices*, 55(8) :2029–2040, Aug 2008.
- [117] A. Aarts, N. D’Halleweyn, and R. van Langevelde. A surface-potential-based high-voltage compact ldmos transistor model. *IEEE Transactions on Electron Devices*, 52(5) :999–1007, May 2005.
- [118] M. Mudholkar, S. Ahmed, M. N. Ericson, S. S. Frank, C. L. Britton, and H. A. Mantooth. Datasheet driven silicon carbide power mosfet model. *IEEE Transactions on Power Electronics*, 29(5) :2220–2228, May 2014.
- [119] R. Kraus and A. Castellazzi. A physics-based compact model of sic power mosfets. *IEEE Transactions on Power Electronics*, 31(8) :5863–5870, Aug 2016.
- [120] T. Sakurai and A. R. Newton. A simple mosfet model for circuit analysis. *IEEE Transactions on Electron Devices*, 38(4) :887–894, Apr 1991.
- [121] D. Moncoquit, D. Farenc, P. Rossel, G. Charitat, H. Tranduc, J. Victory, and I. Pages. Ldmos transistor for smart power circuits : modeling and design. In *Proceedings of the 1996 BIPOLAR/BiCMOS Circuits and Technology Meeting*, pages 216–219, Sep 1996.
- [122] J. Wang, T. Zhao, J. Li, A. Q. Huang, R. Callanan, F. Husna, and A. Agarwal. Characterization, modeling, and application of 10-kv sic mosfet. *IEEE Transactions on Electron Devices*, 55(8) :1798–1806, Aug 2008.
- [123] N. Phankong, T. Funaki, and T. Hikiyara. A static and dynamic model for a silicon carbide power mosfet. In *2009 13th European Conference on Power Electronics and Applications*, pages 1–10, Sept 2009.
- [124] S. Yin, T. Wang, K. J. Tseng, J. Zhao, and X. Hu. Electro-thermal modeling of sic power devices for circuit simulation. In *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, pages 718–723, Nov 2013.

- [125] A. Merkert, T. Krone, and A. Mertens. Characterization and scalable modeling of power semiconductors for optimized design of traction inverters with si- and sic-devices. *IEEE Transactions on Power Electronics*, 29(5) :2238–2245, May 2014.
- [126] G. D. Licciardo, S. Bellone, and L. Di Benedetto. Analytical model of the forward operation of 4h-sic vertical dmosfet in the safe operating temperature range. *IEEE Transactions on Power Electronics*, 30(10) :5800–5809, Oct 2015.
- [127] MITSUBISHI ELECTRIC. Semiconductor device reliability. *MITSUBISHI High Power Semiconductor*, Aug 1998. <http://www.mitsubishielectric.com/semiconductors/files/manuals/reliability.pdf>.
- [128] Neill Doertenbach. Highly Accelerated Life Testing – Testing With a Different Purpose. In *IEST*, February 2000.
- [129] Louis J. Gullo. *Highly Accelerated Life Testing*, pages 169–181. John Wiley and Sons, Inc., 2012.
- [130] C. Duvvury, J. Rodriguez, C. Jones, and M. Smayling. Device integration for esd robustness of high voltage power mosfets. In *Proceedings of 1994 IEEE International Electron Devices Meeting*, pages 407–410, Dec 1994.
- [131] T. Phulpin, D. Trémouilles, K. Isoird, D. Tournier, P. Godignon, and P. Austin. Failure analysis of ESD-stressed SiC MESFET. *Microelectronics Reliability*, 55(9-10) :1542–1548, August 2015.
- [132] Vagneur JL. Décharges électrostatiques Application à l’industrie électronique. *Techniques de l’Ingénieur*, 2011.
- [133] O. Yuan GA. *Stratégies de modélisation et protection vis à vis des décharges électrostatiques (ESD) adaptées aux exigences de la norme du composant chargé (CDM)*. PhD thesis, Université de Toulouse, 2009.
- [134] Meng Miao, Yuanzhong Zhou, Javier A. Salcedo, Jean-Jacques Hajjar, and Juin J. Liou. Compact failure modeling for devices subject to electrostatic discharge stresses – A review pertinent to CMOS reliability simulation. *Microelectronics Reliability*, 55(1) :15–23, January 2015.

- [135] ESD STM5.1-2001. Standard Test Method for Electrostatic discharge Sensitivity Testing- Human Body Model (HBM) Component Level. *ESD Association WG 5.1*, 2001.
- [136] ESD STM5.2-1999. Standard Test Method for Electrostatic discharge Sensitivity Testing- Machine Model. *ESD Association WG 5.2*, 1999.
- [137] ESD STM5.3.1-1999. Standard Test Method for Electrostatic discharge Sensitivity Testing- Charged Device Model (CDM) Component Level. *ESD Association*, 1999.
- [138] A. Amerasekera and C. Duvvury. The impact of technology scaling on esd robustness and protection circuit design. *IEEE Transactions on Components, Packaging, and Manufacturing Technology : Part A*, 18(2) :314–320, Jun 1995.
- [139] H. Sarbishaei. *Electrostatic Discharge Protection Circuit for High-Speed Mixed-Signal Circuits*. PhD thesis, Université de Waterloo, 2007.
- [140] E. A. Elsayed. Overview of reliability testing. *IEEE Transactions on Reliability*, 61(2) :282–291, June 2012.
- [141] Keithley-Instruments. Fundamentals of halt/hass testing. *Technical Report*, 2000.
- [142] T. I. Băjenescu and M. I. Băzu. *Reliability of Electronic Components*. Springer Berlin Heidelberg, 1999.
- [143] Milton Ohring and Lucian Kasprzak. *Reliability and Failure of Electronic Materials and Devices*. Academic press edition, 1998.
- [144] E. Amerasekera and F. N. Najm. *Failure mechanisms in semiconductor devices- Second Edition*. John wiley and sons edition, 1997.
- [145] D. Kececioglu. *Reliability and life testing Handbook vol*, volume 2. Prentice Hall, 1994.
- [146] Kececioglu and Feng-Bin Sun. *Environmental stress screening : its quantification, optimization and management*. Prentice Hall, 1999.
- [147] J.L. Bon. *Fiabilité des systèmes : méthodes mathématiques*. Techniques stochastiques. Masson, 1995.
- [148] Alessandro Birolini. *Quality and reliability of technical systems*. Springer-Verlag Berlin Heidelberg, 1997.

- [149] H. Caruso and A. Dasgupta. A fundamental overview of accelerated-testing analytic models. In *Annual Reliability and Maintainability Symposium. 1998 Proceedings. International Symposium on Product Quality and Integrity*, pages 389–393, Jan 1998.
- [150] *Understanding accelerated lifetesting analysis.*, 2001.
- [151] Patrick O'Connor. Testing for reliability. *Quality and Reliability Engineering International*, 19(1) :73–84, 2003.
- [152] W. Nelson. *Accelerated Testing : Statistical Models, Test Plans and Data Analysis*. Wiley Series in Probability and Mathematical Statistics, 2004.
- [153] Alpha. Power Semiconductor Reliability Handbook. Technical report, 2010. <http://www.aosmd.com/media/reliability-handbook.pdf>.
- [154] Fedia Baccar El Boubkari. *Evaluation of failure mechanisms and reliability of new high-voltage power switches : experimental approach and modeling associated*. Theses, Université de Bordeaux, December 2015.
- [155] R. Ouaida, M. Berthou, P. Brosselard, S. Oge, P. Bevilacqua, and C. Joubert. Etude sur les transistors MOSFETs en Carbure de Silicium - Potentiel d'utilisation dans les Applications Hautes Températures. In *Symposium de Génie Électrique 2014*, Cachan, France, July 2014.
- [156] J. Lutz, H. Schlangenotto, U. Scheuermann, and R. De Doncker. *Semiconductor Power Devices Physics, Characteristics, Reliability*. Springer-Verlag Berlin Heidelberg, 2011.
- [157] Li Yang and Alberto Castellazzi. High temperature gate-bias and reverse-bias tests on sic mosfets. *Microelectronics Reliability*, 53 :1771–1773, 2013.
- [158] Military Standard. Mil-std-750d, test methods for semiconductor devices. Technical report, 1995.
- [159] Standard JEDEC. JESD22a-108 temperature, bias, and operating life. Technical report, 2009.
- [160] Oriol Aviño Salvado, Cheng Chen, Cyril Buttay, Hervé Morel, Denis Labrousse, Stéphane Lefebvre, and Marwan Ali. Analyse de la robustesse des MOSFET SiC

- pour les applications diode-less. In *Symposium de Genie Electrique*, Grenoble, France, June 2016.
- [161] Giacomo Barletta and Giuseppe Currò. Junction leakage current degradation under high temperature reverse-bias stress induced by band-defect-band tunnelling in power vdmos. *Microelectronics Reliability*, 45(5) :994 – 999, 2005.
 - [162] J. Hao, M. Rioux, and O. O. Awadelkarim. Observation of negative bias temperature instabilities in parasitic p-channel mosfets occurring during high-temperature reverse-bias stressing of trench-gated n-channel mosfets. In *2011 IEEE International Integrated Reliability Workshop Final Report*, pages 129–132, Oct 2011.
 - [163] A. Fayyaz and A. Castellazzi. High temperature pulsed-gate robustness testing of sic power mosfets. *Microelectronics Reliability*, 55(9) :1724 – 1728, 2015.
 - [164] N. Moulitif, M. Masmoudi, E. Joubert, and O. Latry. 5 - reliability and qualification tests for high-power {MOSFET} transistors. In Abdelkhalak El Hami, David Delaux, and Henri Grzeskowiak, editors, *Reliability of High-Power Mechatronic Systems 2*, pages 155 – 197. Elsevier, 2017.
 - [165] T. C. Hong and R. Ismail. Device design consideration for nanoscale mosfet using semiconductor tcad tools. In *2006 IEEE International Conference on Semiconductor Electronics*, pages 906–910, Oct 2006.
 - [166] B. N. Pushpakaran, S. B. Bayne, and A. A. Ogunniyi. Electro thermal transient simulation of silicon carbide power mosfet. In *2013 Abstracts IEEE International Conference on Plasma Science (ICOPS)*, pages 1–1, June 2013.
 - [167] B. N. Pushpakaran, S. B. Bayne, and A. A. Ogunniyi. Thermal analysis of 4h-sic dmosfet structure under resistive switching. In *2014 IEEE International Power Modulator and High Voltage Conference (IPMHVC)*, pages 523–526, June 2014.
 - [168] R. Huo, H. Shen, Y. Bai, X. Zhang, and C. Li. Design and optimization of field limiting rings termination for 1200v 4h-sic vdmofets. In *2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pages 1–3, Oct 2014.
 - [169] J. H. Yeh, Y. R. Tu, W. W. Tseng, M. N. Chuaug, P. F. Cheng, C. F. Chou, and C. F. Huang. Improved reliability of high-voltage vdmofets with reduced mask layers

- p>through optimized edge termination (device reliability). In
- 2016 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*
- , pages 303–306, Aug 2016.
- [170] J. Wei, S. Liu, J. Fang, S. Li, T. Li, and W. Sun. Investigation on degradation mechanism and optimization for sic power mosfets under long-term short-circuit stress. In *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pages 399–402, May 2018.
- [171] M. H. Chiang, C. H. Lin, and G. S. Lin. Threshold voltage sensitivity to doping density in extremely scaled mosfets. *Semiconductor Science and Technology*, 21(2) :190, 2006.
- [172] I. Pawel, R. Siemienieć, M. Rosch, F. Hirler, and R. Herzer. Experimental study and simulations on two different avalanche modes in trench power mosfets. *IET Circuits, Devices Systems*, 1(5) :341–346, October 2007.
- [173] Xue Qing Liu, Sauvik Chowdhury, Collin W. Hitchcock, and T. Paul Chow. Impact of cell geometry on zero-energy turn-off of sic power mosfets. In *Silicon Carbide and Related Materials 2017*, volume 924 of *Materials Science Forum*, pages 756–760. Trans Tech Publications, 7 2018.
- [174] S. Selberherr. *Analysis and Simulation of Semiconductor Devices*. Springer-Verlag Wien, 1st edition edition, 1984.
- [175] H. Brand. Thermoelektrizität und hydrodynamik. <http://www.iue.tuwien.ac.at/phd/brand>. Accessed : 2018-06-07.
- [176] S. Selberherr, H. Stippel, and E. Strasser. *Simulation of Semiconductor Devices and Processes*, volume 5. Springer-Verlag Wien, 1st edition, 1993.
- [177] A. El Boukili. Physical modeling and simulation of thermal heating in vertical integrated circuits. *ArXiv e-prints*, May 2013.
- [178] M. E. Levinshtein, S. L. Rumyantsev, and M. S. Shur, editors. *Properties of advanced semiconductor materials : GaN, AlN, InN, BN, SiC, SiGe*. New York : Wiley, Jan 2001.
- [179] D. A. Neamen. *An introduction to Semiconductor devices*. Boston : McGraw-Hill, 2006.

- [180] U. Lindefelt. Doping-induced band edge displacements and band gap narrowing in 3C-, 4H-, 6H-SiC, and Si. *Journal of Applied Physics*, 84(5) :2628–2637, Sept 1998.
- [181] D. M. Caughey and R. E. Thomas. Carrier mobilities in silicon empirically related to doping and field. *Proceedings of the IEEE*, 55(12) :2192–2193, Dec 1967.
- [182] W. J. Schaffer, G. H. Negley, K. G. Irvine, and J. W. Palmour. Conductivity anisotropy in epitaxial 6h and 4h sic. *MRS Proceedings*, 339 :595, 1994.
- [183] W. Shockley and T. J. W. Read. Statistics of the recombinations of the holes and electrons. *Phys. Rev.*, 87 :835–842, Sep 1952.
- [184] R. N. Hall. Electron-hole recombination in germanium. *Phys. Rev.*, 87 :387–387, Jul 1952.
- [185] X Li, Y Luo, L Fursin, J.H Zhao, M Pan, P Alexandrov, and M Weiner. On the temperature coefficient of 4h-sic bjt current gain. *Solid-State Electronics*, 47(2) :233 – 239, 2003.
- [186] M. Ruff, H. Mitlehner, and R. Helbig. Sic devices : physics and numerical simulation. *IEEE Transactions on Electron Devices*, 41(6) :1040–1054, Jun 1994.
- [187] O. Kordina, J. P. Bergman, C. Hallin, and E. Janzén. The minority carrier lifetime of n-type 4h- and 6h-sic epitaxial layers. *Applied Physics Letters*, 69(5) :679–681, 1996.
- [188] R. S. Muller and T. I. Kamins. *Device electronics for integrated circuits*. New York : Wiley, 3rd edition edition, 2003.
- [189] T. Ayalew. *SiC Semiconductor Devices Technology, Modeling, and Simulation*. PhD thesis, Vienna University of Technology, 2004.
- [190] Cree inc. c3m0280090d sic mosfet datasheet. <https://www.wolfspeed.com/media/downloads/825/C3M0280090D.pdf>. Accessed : 2018-04-11.
- [191] Cree inc. c2m0280120d sic mosfet datasheet. <https://www.wolfspeed.com/media/downloads/171/C2M0280120D.pdf>. Accessed : 2018-04-11.
- [192] Cree inc. c2m0160120d sic mosfet datasheet. <https://www.wolfspeed.com/media/downloads/169/C2M0160120D.pdf>. Accessed : 2018-04-11.

- [193] Cree inc. cmf10120d sic mosfet datasheet. <https://www.wolfspeed.com/downloads/dl/file/id/177/product/15/cmf10120d.pdf>. Accessed : 2018-04-11.
- [194] A. Ortiz-Conde, J. Rodriguez, F.J. Garca Sanchez, and J.J. Liou. An improved definition for modeling the threshold voltage of mosfets. *Solid-State Electronics*, 42(9) :1743 – 1746, 1998.
- [195] B Jayant Baliga. *Advanced power MOSFET concepts*. 01 2010.
- [196] W. Jouha, A. E. Oualkadi, P. Dherbécourt, E. Joubert, and M. Masmoudi. A new extraction method of sic power mosfet threshold voltage using a physical approach. In *2017 International Conference on Electrical and Information Technologies (ICEIT)*, pages 1–6, Nov 2017.
- [197] G. Wang, J. Mookken, J. Rice, and M. Schupbach. Dynamic and static behavior of packaged silicon carbide mosfets in paralleled applications. In *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, pages 1478–1483, March 2014.
- [198] S M. Sze. *Physics of semiconductor devices* /2nd edition. 3, 01 1981.
- [199] Romain Ritzenthaler. *Advanced architectures for FinFETs transistors – processing, device modelling and characterization*. Theses, Institut National Polytechnique Grenoble (INPG), November 2006.
- [200] E. Barbarini. Reverse Costing analysis. Technical report, August 2016.
- [201] R. V. Booth, M. H. White, Hon-Sum Wong, and T. J. Krutsick. The effect of channel implants on mos transistor characterization. *IEEE Transactions on Electron Devices*, 34(12) :2501–2509, Dec 1987.
- [202] H.S. Wong, M. H. White, T. J. Krutsick, and R. V. Booth. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide mosfet’s. *Solid-State Electronics*, 30(9) :953 – 968, 1987.
- [203] M. Tsuno, M. Suga, M. Tanaka, K. Shibahara, M. Miura-Mattausch, and M. Hirose. Reliable threshold voltage determination for sub-0.1 microm gate length mosfets. pages 111 – 116, 03 1998.

- [204] M. Tsuno, M. Suga, M. Tanaka, K. Shibahara, M. Miura-Mattausch, and M. Hirose. Physically-based threshold voltage determination for mosfet's of all gate lengths. *IEEE Transactions on Electron Devices*, 46(7) :1429–1434, Jul 1999.
- [205] L. Dobrescu, M. Petrov, D. Dobrescu, and C. Ravariu. Threshold voltage extraction methods for mos transistors. In *2000 International Semiconductor Conference. 23rd Edition. CAS 2000 Proceedings (Cat. No.00TH8486)*, volume 1, pages 371–374 vol.1, 2000.
- [206] K. Terada, K. Nishiyama, and Kei-Ichi Hatanaka. Comparison of mosfet-threshold-voltage extraction methods. *Solid-State Electronics*, 45(1) :35 – 40, 2001.
- [207] A. Ortiz-Conde, F.J. Garcia Sanchez, J.J. Liou, A. Cerdeira, M. Estrada, and Y. Yue. A review of recent mosfet threshold voltage extraction methods. *Microelectronics Reliability*, 42(4) :583 – 596, 2002.
- [208] K. DieterSchroder. *Semiconductor material and device characterization*. John Wiley and Sons, Inc., Hoboken, New Jersey, 3rd edition, 2006.
- [209] K. Boucart and A. M. Ionescu. A new definition of threshold voltage in tunnel fets. *Solid-State Electronics*, 52(9) :1318 – 1323, 2008. Papers Selected from the 37th European Solid-State Device Research Conference - ESSDERC'07.
- [210] A. Bazigos, M. Bucher, J. Assenmacher, S. Decker, W. Grabinski, and Y. Papananos. An adjusted constant-current method to determine saturated and linear mode threshold voltage of mosfets. *IEEE Transactions on Electron Devices*, 58(11) :3751–3758, Nov 2011.
- [211] T. R. McNutt, A. R. Hefner, H. A. Mantooth, D. Berning, and S. H. Ryu. Silicon carbide power mosfet model and parameter extraction sequence. *IEEE Transactions on Power Electronics*, 22(2) :353–363, March 2007.
- [212] Pierre-Olivier Jeannin. *Study of MOSFET switching behavior :
application to series and parallel association of insulated gate components*. Theses, Institut National Polytechnique de Grenoble - INPG, May 2001.
- [213] W. Jouha, P. Dherbecourt, E. Joubert, and A. El Oualkadi. Static behavior analysis of silicon carbide power mosfet for temperature variations. In *2016 International*

- Conference on Electrical and Information Technologies (ICEIT)*, pages 276–280, May 2016.
- [214] K. Levenberg. A Method for the Solution of Certain Non-Linear Problems in Least Squares. *Quarterly of Applied Mathematics*, 2 :164–168, 1944.
 - [215] Donald W. Marquardt. An algorithm for least-squares estimation of nonlinear parameters. *Journal of the Society for Industrial and Applied Mathematics*, 11(2) :431–441, 1963.
 - [216] J.J. More. Levenberg–marquardt algorithm : implementation and theory. 1 1977.
 - [217] V. Tilak, K. Matocha, and G. Dunne. Electron-scattering mechanisms in heavily doped silicon carbide mosfet inversion layers. *IEEE Transactions on Electron Devices*, 54(11) :2823–2829, Nov 2007.
 - [218] S L Rumyantsev, M S Shur, M E Levinshtein, P A Ivanov, J W Palmour, A K Agarwal, B A Hull, and Sei-Hyung Ryu. Channel mobility and on-resistance of vertical double implanted 4h-sic mosfets at elevated temperatures. *Semiconductor Science and Technology*, 24(7) :075011, 2009.
 - [219] A. Pérez-Tomás, P. Brosselard, P. Godignon, J. Millán, N. Mestres, M. R. Jennings, J. A. Covington, and P. A. Mawby. Field-effect mobility temperature modeling of 4h-sic metal-oxide-semiconductor transistors. *Journal of Applied Physics*, 100(11) :114508, 2006.
 - [220] A. van der Ziel and G. Bosman. The effect of gate-voltage-dependent mobility on thermal noise in mosfets. *Solid-State Electronics*, 25(6) :525 – 527, 1982.
 - [221] R. van Langevelde and F. M. Klaassen. Effect of gate-field dependent mobility degradation on distortion analysis in mosfets. *IEEE Transactions on Electron Devices*, 44(11) :2044–2052, Nov 1997.
 - [222] N. Tasic, B. Pesic, and N. Stojadinovic. High temperature storage life (htsl) and high temperature reverse bias (htrb) reliability testing of power vdmofets. In *Proceedings of International Conference on Microelectronics*, volume 1, pages 285–288 vol.1, Sep 1995.
 - [223] G. Consentino, D. De Pasquale, S. Galiano, A. D’Ignoti, C. Pace, J. L. Hernández Ambato, M. Mazzeo, and C. Giordano. Innovative instrumentation for htrb tests

- on semiconductor power devices. In *AEIT Annual Conference 2013*, pages 1–5, Oct 2013.
- [224] G. Consentino, D. De Pasquale, S. Galiano, A. D’Ignoti, C. Pace, J. L. Hernández Ambato, M. Mazzeo, and C. Giordano. Innovative instrumentation for htrb tests on semiconductor power devices. In *AEIT Annual Conference 2013*, pages 1–5, Oct 2013.
- [225] C. Pace, J. Hernandez-Ambato, D.D. Pasquale, and G. Consentino. Instrumentation for innovative semiconductor power devices reliability tests. volume 4, pages 119–127, 2013.
- [226] A. E. Council. Aec-q101 failure mechanism based stress test qualification. Technical report, 2007.
- [227] Thierry Di Gilio. *Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm - 2nm*. PhD thesis, L’université de Provence, 2006.
- [228] Nadine Abboud and Roland Habchi. Determination of defects concentration from c-v and g-v curves in a mosfet structure. *MRS Proceedings*, 1195, 2009.
- [229] N. Moulitif, E. Joubert, M. Masmoudi, and O. Latry. Characterization of htrb stress effects on sic mosfets using photon emission spectral signatures. *Microelectronics Reliability*, 76-77 :243 – 248, 2017.
- [230] P. Bellutti and N. Zorzi. High electric field induced positive charges in thin gate oxide. *Solid-State Electronics*, 45(8) :1333 – 1338, 2001.
- [231] D. A. Gajewski, B. Hull, D. J. Lichtenwalner, S. H. Ryu, E. Bonelli, H. Mustain, G. Wang, S. T. Allen, and J. W. Palmour. Sic power device reliability. In *2016 IEEE International Integrated Reliability Workshop (IIRW)*, pages 29–34, Oct 2016.
- [232] Zhi Chen, Karl Hess, Jinju Lee, J. W. Lyding, E. Rosenbaum, I. Kizilyalli, S. Chetlur, and R. Huang. On the mechanism for interface trap generation in mos transistors due to channel hot carrier stressing. *IEEE Electron Device Letters*, 21(1) :24–26, Jan 2000.
- [233] W. D. Greason. Electrostatic discharge : a charge driven phenomenon - Science-Direct. *Journal of Electrostatics*, 28 :199–218, 1992.

- [234] W. Boxleitner, P. Richman, and G. Weil. Characterizing the stress applied to ics by different esd tester circuits. In *IEEE International Symposium on Electromagnetic Compatibility*, pages 258–264, Aug 1990.
- [235] H. Hyatt. ESD : Standards, threats and system hardness fallacies. In *2002 Electrical Overstress/Electrostatic Discharge Symposium*, pages 178–185, Oct 2002.
- [236] N. Lacrampe. *Méthodologie de modélisation et de caractérisation de l'immunité des cartes électroniques vis-à-vis des décharges électrostatiques (ESD)*. PhD thesis, INSA de Toulouse, 2008.
- [237] MIL-STD-750E. "test methods for semiconductor devices". <http://everyspec.com/MIL-STD/MIL-STD-0700-0799/download.php?spec=MIL-STD-750E.015413.pdf>, 2006. Accessed : 2018-05-18.
- [238] AEC-Q101-Rev-C. "stress test qualification for automotive grade discrete semiconductors". http://www.aecouncil.com/Documents/AEC_Q101_Rev_C1_Complete.pdf, 2005. Accessed : 2018-05-18.
- [239] JESD22-A108C. "temperature, bias, and operating life standard". <https://www.jedec.org>, 2005. Accessed : 2018-05-18.
- [240] IEC 61000-4-2. Compatibilité électromagnétique (cem), partie 4 : "techniques d'essai et de mesure – section 2 : Essai d'immunité aux décharges électrostatiques", 2006. Accessed : 2018-05-18.
- [241] ISO 10605. "véhicule routiers – méthodes d'essai des perturbations électriques provenant de décharges électrostatiques". <https://www.iso.org>, 2001. Accessed : 2018-05-18.
- [242] A. Rivière. *Protection des Circuits Intégrés CMOS Profondément Submicroniques contre les Décharges Electrostatiques*. PhD thesis, Université Montpellier II, 2008.
- [243] Infineon. Preventing ESD Induced Failures in Small Signal MOSFETs, 2013.
- [244] V.A. Vashchenko, Y.B. Martynov, and V.F. Sinkevitch. Electrical instability and filamentation in ggmos protection structures. *Solid-State Electronics*, 41(11) :1761 – 1767, 1997.

- [245] M. Sachdev O. Semenov, H. Sarbishaei. *ESD Protection Device and Circuit Design for Advanced CMOS Technologies*. Springer, Dordrecht, 2008.
- [246] A. Griffoni, S. Thijs, C. Russ, D. Tremouilles, D. Linten, M. Scholz, E. Simoen, C. Claeys, G. Meneghesso, and G. Groeseneken. Electrical-based esd characterization of ultrathin-body soi mosfets. *IEEE Transactions on Device and Materials Reliability*, 10(1) :130–141, March 2010.
- [247] Y. Solaro. *Conception, fabrication et caractérisation de dispositifs innovants de protection contre les décharges électrostatiques en technologie FDSOI*. PhD thesis, 2014. Thèse de doctorat dirigée par Ferrari, PhilippeCristoloveanu, SorinFontenau, Pascal et Fenouillet-Béranger, Claire Nano électronique et nano technologies Grenoble 2014.
- [248] S. H. Voldman. *ESD : Circuits and Devices*. Wiley, 2nd edition edition, 2015.
- [249] Dragan Zupac, Ronald D. Schrimpf, and Kenneth F. Galloway. Esd effects in power mosfets : a review. *Microelectronics Journal*, 24(1) :125 – 138, 1993. Power Electronics Special Issue.
- [250] J Wu, P Juliano, and E Rosenbaum. Breakdown and latent damage of ultra-thin gate oxides under esd stress conditions. *Microelectronics Reliability*, 41(11) :1771 – 1779, 2001.
- [251] J. Wu and E. Rosenbaum. Gate oxide reliability under esd-like pulse stress. *IEEE Transactions on Electron Devices*, 51(9) :1528–1532, 9 2004.
- [252] A. Cester, S. Gerardin, A. Tazzoli, A. Paccagnella, E. Zanoni, G. Ghidini, and G. Meneghesso. Esd induced damage on ultra-thin gate oxide mosfets and its impact on device reliability. In *2005 IEEE International Reliability Physics Symposium, 2005. Proceedings. 43rd Annual.*, pages 84–90, April 2005.
- [253] G Groeseneken, R Bellens, G Van den Bosch, and H E Maes. Hot-carrier degradation in submicrometre mosfets : from uniform injection towards the real operating conditions. *Semiconductor Science and Technology*, 10(9) :1208, 1995.
- [254] J. E. Vinson, J. C. Bernier, G. D. Croft, and J.J. Liou. *ESD Design and Analysis Handbook*. Springer US, 01 2003.

- [255] Jung-Hoon Chun, C. Duvvury, G. Boselli, H. Kunz, and R. W. Dutton. A pmosfet esd failure caused by localized charge injection. In *2004 IEEE International Reliability Physics Symposium. Proceedings*, pages 405–411, April 2004.
- [256] W.J. Orvis, G. H. Khanaka, and J. H. Yee. A review of the physics and response models for burnout of semiconductor devices. Technical report, December 1984.
- [257] D. G. Pierce. Electro-thermomigration as an electrical overstress failure mechanism. *NASA STI/Recon Technical Report N*, 86, July 1985.
- [258] J. E. Murguia and J. B. Bernstein. Short-time failure of metal interconnect caused by current pulses. *IEEE Electron Device Letters*, 14(10) :481–483, Oct 1993.
- [259] S. H. Voldman. Esd robustness and scaling implications of aluminum and copper interconnects in advanced semiconductor technology. In *Proceedings Electrical Overstress/Electrostatic Discharge Symposium*, pages 316–329, Sept 1997.
- [260] R. S. Scott, N. A. Dumin, T. W. Hughes, D. J. Dumin, and B. T. Moore. Properties of high-voltage stress generated traps in thin silicon oxide. *IEEE Transactions on Electron Devices*, 43(7) :1133–1143, Jul 1996.
- [261] J. C. Tseng and J. G. Hwu. Oxide-trapped charges induced by electrostatic discharge impulse stress. *IEEE Transactions on Electron Devices*, 54(7) :1666–1671, July 2007.
- [262] M. S. Liang, S. Haddad, W. Cox, and S. Cagnina. Degradation of very thin gate oxide mos devices under dynamic high field/current stress. In *1986 International Electron Devices Meeting*, volume 32, pages 394–398, 1986.
- [263] M. Kimura and H. Koyama. Stress-induced low-level leakage mechanism in ultra-thin silicon dioxide films caused by neutral oxide trap generation. In *Proceedings of 1994 IEEE International Reliability Physics Symposium*, pages 167–172, April 1994.
- [264] S.M. Sze and Kwok K. Ng. *Physics of Semiconductor Devices*. Hoboken, N.J. : Wiley-Interscience.
- [265] N. Moulitif. *Analyse de défaillance dans les transistors de puissance grand gap par électroluminescence spectrale*. PhD thesis, Université de Rouen Normandie, 2017.

- [266] A. Aubert. Mise en place de nouveaux outils de préparation d'échantillon appliqués aux analyses technologiques et de défaillances. Master's thesis, Université Poitiers, 2008.
- [267] C. TeoSys Engineering LL. Laser Micromachining Principles. Technical report, 2003.
- [268] Zsolt Illyefalvi-Vitéz. Laser processing for microelectronics packaging applications. *Microelectronics Reliability*, 41(4) :563 – 570, 2001.
- [269] A. Aubert. *Analyse de défaillance de nouvelles technologies microélectroniques : nouvelles approches dans la méthodologie de préparation d'échantillon*. Theses, Université Sciences et Technologies - Bordeaux I, July 2012.
- [270] Tr. *A Manual for the Chemical Analysis of Metals*, volume 25. ASTM International, 1996.
- [271] Delvallée Alexandra. *Dimensional metrology of nanoparticles measured by AFM and by SEM*. Theses, ENSTA ParisTech, December 2014.
- [272] Mustapha Remmach. *Analyse de défaillance des circuits intégrés par émission de lumière dynamique : développement et optimisation d'un système expérimental*. PhD thesis, 2009. Thèse de doctorat dirigée par Lewis, Dean et Perdu, Philippe Electronique Bordeaux 1 2009.
- [273] Hua Ye, Changwoo Lee, James Raynolds, Pradeep Haldar, Michael J. Hennessy, and Eduard K. Mueller. Silicon power mosfet at low temperatures : A two-dimensional computer simulation study. *Cryogenics*, 47(4) :243 – 251, 2007.
- [274] B.J. Baliga. *Advanced High Voltage Power Device Concepts*. Springer-Verlag New York, 2012.
- [275] G. Romano, A. Fayyaz, M. Riccio, L. Maresca, G. Breglio, A. Castellazzi, and A. Irace. A comprehensive study of short-circuit ruggedness of silicon carbide power mosfets. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 4(3) :978–987, Sept 2016.
- [276] T. Simonot, N. Rouger, X. H. Nguyen, J. C. Crébier, A. Bourennane, J. L. Sanchez, and L. Gerbaud. Tension de seuil réduite pour composants de puissance à grille :

- Intérêts et conséquences. In *Électronique de Puissance du Futur*, page 4p., Saint-Nazaire, France, June 2010.
- [277] A. P. B. Ziliotto and M. Bellodi. Evaluation of the high temperatures influence on high frequency c-v curves of mos capacitor. In *Symposium on State of the Art Program on Compound Semiconductors 53*, volume 41, pages 163–173, 01 2011.
- [278] T. Ghani, K. Mistry, P. Packan, S. Thompson, M. Stettler, S. Tyagi, and M. Bohr. Scaling challenges and device design requirements for high performance sub-50 nm gate length planar cmos transistors. In *2000 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.00CH37104)*, pages 174–175, June 2000.
- [279] D. A. Muller, T. Sorsch, S. Moccio, F. H. Baumann, K. Evans-Lutterodt, and G. Timp. The electronic structure at the atomic scale of ultrathin gate oxides. *nature*, 399 :758–761, June 1999.
- [280] D. M. Fleetwood, P. S. Winokur, R. A. Reber, T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt, and L. C. Riewe. Effects of oxide traps, interface traps, and “border traps” on metal-oxide-semiconductor devices. *Journal of Applied Physics*, 73(10) :5058–5074, 1993.
- [281] Mong-Song Liang, Chi Chang, Yew Tong Yeow, Chenming Hu, and R. W. Brodersen. Mosfet degradation due to stressing of thin oxide. *IEEE Transactions on Electron Devices*, 31(9) :1238–1244, Sep 1984.
- [282] K. C. Chang, N. T. Nuhfer, L. M. Porter, and Q. Wahab. High-carbon concentrations at the silicon dioxide–silicon carbide interface identified by electron energy loss spectroscopy. *Applied Physics Letters*, 77(14) :2186–2188, 2000.
- [283] Ryszard Buczko, Stephen J. Pennycook, and Sokrates T. Pantelides. Bonding arrangements at the Si – SiO_2 and SiC – SiO_2 interfaces and a possible origin of their contrasting properties. *Phys. Rev. Lett.*, 84 :943–946, Jan 2000.
- [284] H. Yoshioka, J. Senzaki, A. Shimozato, Y. Tanaka, and H. Okumura. Effects of interface state density on 4h-sic n-channel field-effect mobility. *Applied Physics Letters*, 104(8) :083516, 2014.

- [285] N.S. Saks, S.S. Mani, Anant K. Agarwal, and V.S. Hegde. Hall mobility of the electron inversion layer in 6h-sic mosfets. In *Silicon Carbide and Related Materials - 1999*, volume 338 of *Materials Science Forum*, pages 737–740. Trans Tech Publications, 5 2000.
- [286] Siddharth Potbhare, Neil Goldsman, Gary Pennington, Aivars Lelis, and James M. McGarrity. Numerical and experimental characterization of 4h-silicon carbide lateral metal-oxide-semiconductor field-effect transistor. *Journal of Applied Physics*, 100(4) :044515, 2006.
- [287] G. Ortiz, C. Strenger, V. Uhnevionak, A. Burenkov, A. J. Bauer, P. Pichler, F. Cristiano, E. Bedel-Pereira, and V. Mortet. Impact of acceptor concentration on electrical properties and density of interface states of 4h-sic n-metal-oxide-semiconductor field effect transistors studied by hall effect. *Applied Physics Letters*, 106(6) :062104, 2015.
- [288] K. Lee, M. Domeij, B. Buono, K. Gumaelius, J. Franchi, F. Allerstam, J. Victory, M. Baghaie, and T. Neyer. Device simulation modeling of 1200 v sic mosfets. In *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pages 1–6, May 2017.
- [289] Y. Zhou, H. Liu, T. Yang, and B. Wang. Spice modeling of sic mosfet considering interface-trap influence. *CPSS Transactions on Power Electronics and Applications*, 3(1) :56–64, March 2018.
- [290] O. Aurélien. Fabrication et caractérisation de transistors à effet de champ de la filière III-V pour applications basse consommation, 2010. Thèse de doctorat en Micro et Nano Technologies, Acoustique et Télécommunications, Université de Lille1, 24 septembre.
- [291] W.D Zhang, J.F Zhang, M Lalor, D Burton, G Groeseneken, and R Degraeve. On the mechanism of electron trap generation in gate oxides. *Microelectronic Engineering*, 59(1) :89 – 94, 2001. 12th Biannual Conference on Insulating Films on Semiconductors.

- [292] V. V. Afanas'ev, A. Stesmans, M. Bassler, G. Pensl, M. J. Schulz, and C. I. Harris. Elimination of sic/sio2 interface states by preoxidation ultraviolet-ozone cleaning. *Applied Physics Letters*, 68(15) :2141–2143, 1996.
- [293] Hui-feng Li, Sima Dimitrijević, H. Barry Harrison, and Denis Sweatman. Interfacial characteristics of n2o and no nitrided sio2 grown on sic by rapid thermal processing. *Applied Physics Letters*, 70(15) :2028–2030, 1997.
- [294] R. Schomer, P. Friedrichs, D. Peters, and D. Stephani. Significantly improved performance of mosfets on silicon carbide using the 15r-sic polytype. *IEEE Electron Device Letters*, 20(5) :241–244, May 1999.
- [295] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, M. Di Ventura, S. T. Pantelides, L. C. Feldman, and R. A. Weller. Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4h polytype of silicon carbide. *Applied Physics Letters*, 76(13) :1713–1715, 2000.
- [296] Lori A. Lipkin, Mrinal K. Das, and John W. Palmour. N2o processing improves the 4h-sic :sio2 interface. In *Silicon Carbide and Related Materials 2001*, volume 389 of *Materials Science Forum*, pages 985–988. Trans Tech Publications, 4 2002.
- [297] Daniel B. Habersat, Aivars J. Lelis, G. Lopez, J.M. McGarrity, and F. Barry McLean. On separating oxide charges and interface charges in 4h-sic metal-oxide-semiconductor devices. In *Silicon Carbide and Related Materials 2005*, volume 527 of *Materials Science Forum*, pages 1007–1010. Trans Tech Publications, 10 2006.
- [298] E. Takeda, T. Hagiwara, and N. Suzuki. Device performance degradation due to hot carriers having energies below the si-sio2 energy barrier. 55 :3180 – 3182, 05 1984.
- [299] B. Schlund, C. Messick, J. Suehle, and P. Chaparala. A new physics-based model for time-dependent-dielectric-breakdown. In *IEEE 1995 International Integrated Reliability Workshop. Final Report*, pages 72–80, Oct 1995.
- [300] A. Goetzberger and E. H. Nicollian. Mos avalanche and tunneling effects in silicon surfaces. *Journal of Applied Physics*, 38(12) :4582–4588, 1967.
- [301] L.B. Freeman and W.E. Dahlke. Theory of tunneling into interface states. *Solid-State Electronics*, 13(11) :1483 – 1503, 1970.

- [302] M. Sakashita, S. Zaima, and Y. Yasuda. Charge trapping and interface state generation in metal-oxide-semiconductor capacitors due to fowler–nordheim tunneling injection at low temperatures. *Journal of Applied Physics*, 67(11) :6903–6907, 1990.
- [303] A. T. Dejenfelt and O. Engstrom. Mosfet mobility degradation due to interface-states, generated by fowler-nordheim electron injection. In *ESSDERC '91 : 21st European Solid State Device Research Conference*, pages 461–464, Sept 1991.
- [304] P. Fiorenza, A. Frazzetto, A. Guarnera, M. Saggio, and F. Roccaforte. Fowler-nordheim tunneling at sio₂/4h-sic interfaces in metal-oxide-semiconductor field effect transistors. *Applied Physics Letters*, 105(14) :142108, 2014.
- [305] Piyas Samanta and Krishna C. Mandal. Hole injection and dielectric breakdown in 6h–sic and 4h–sic metal–oxide–semiconductor structures during substrate electron injection via fowler–nordheim tunneling. *Solid-State Electronics*, 114 :60 – 68, 2015.
- [306] Patrick Fiorenza, Marilena Vivona, Ferdinando Iucolano, Andrea Severino, Simona Lorenti, Giuseppe Nicotra, Corrado Bongiorno, Filippo Giannazzo, and Fabrizio Roccaforte. Temperature-dependent fowler-nordheim electron barrier height in sio₂/4h-sic mos capacitors. *Materials Science in Semiconductor Processing*, 78 :38 – 42, 2018. Wide band gap semiconductors technology for next generation of energy efficient power electronics.
- [307] S. Manzini and C. Contiero. Hot-electron-induced degradation in high-voltage sub-micron dmos transistors. In *Power Semiconductor Devices and ICs, 1996. ISPSD '96 Proceedings., 8th International Symposium on*, pages 65–68, May 1996.
- [308] S Manzini and A Gallerano. Avalanche injection of hot holes in the gate oxide of ldmos transistors. *Solid-State Electronics*, 44(7) :1325 – 1330, 2000.
- [309] V. O'Donovan, S. Whiston, A. Deignan, and C. N. Chleirigh. Hot carrier reliability of lateral dmos transistors. In *2000 IEEE International Reliability Physics Symposium Proceedings. 38th Annual (Cat. No.00CH37059)*, pages 174–179, 2000.
- [310] T. Miyoshi, T. Tominari, H. Fujiwara, T. Oshima, and J. Noguchi. Design of a reliable p-channel ldmos fet with resurf technology. *IEEE Transactions on Electron Devices*, 61(5) :1451–1456, May 2014.

Résumé/Abstract

Étude et modélisation des dégradations des composants de puissance grand gap soumis à des contraintes thermiques et électriques

Ce travail vise à étudier la robustesse de trois générations de MOSFET SiC de puissance (Silicon Carbide Metal Oxide Semiconductor Field Effect Transistors). Plusieurs approches sont suivies : la caractérisation électrique, la modélisation physique, les tests de vieillissement et la simulation physique. Un modèle compact basé sur une nouvelle méthode d'extraction de paramètres et sur les résultats de caractérisation électrique est présenté. Les paramètres extraits du modèle (tension de seuil, transconductance de la région de saturation et paramètre du champ électrique transverse) sont utilisés pour analyser avec précision le comportement statique de trois générations de MOSFET SiC. La robustesse de ces dispositifs sont étudiées par deux tests : le test HTRB (High Temperature Reverse Bias) et le test ESD (Electrostatic Discharge). Une simulation physique est réalisée pour comprendre l'impact de la température et des paramètres physiques sur les caractérisations électriques des MOSFETs SiC.

Mots clés : MOSFETs SiC, Fiabilité, Robustesse, Modélisation, Simulation Physique, Vieillissement, HTRB, ESD, Caractérisations électriques.

Study and modeling of large gap power components degradations subjected to thermal and electrical constraints

This work aims to investigate the robustness of three generations of power SiC MOSFETs (Silicon Carbide Metal Oxide Semiconductor Field Effect Transistors). Several approaches are followed : electrical characterization, device modeling, ageing tests and physical simulation. An improved compact model based on an accurate parameters extraction method and one electrical characterization results is presented. The parameters extracted precisely from the model (threshold voltage, saturation region transconductance...) are used to accurately analyze the static behavior of two generations of SiC MOSFETs. The robustness of these devices are investigated by two tests : HTRB (High Temperature Reverse Bias) stress and an ESD (Electrostatic Discharge) stress. Physical simulation is conducted to understand the impact of the temperature and the physical parameters on the device electrical characterizations.

Key Words : MOSFET SiC, Reliability, Robustness, Modeling, Physical Simulation, Aging, HTRB, ESD, Electrical Characterizations.