



Substrats innovants pour des composants de puissance à base de GaN

Anthony Cibie

► To cite this version:

Anthony Cibie. Substrats innovants pour des composants de puissance à base de GaN. Matériaux. Université Grenoble Alpes, 2019. Français. NNT : 2019GREAI014 . tel-02163166

HAL Id: tel-02163166

<https://theses.hal.science/tel-02163166>

Submitted on 24 Jun 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : 2MGE : Matériaux, Mécanique, Génie civil,
Electrochimie

Arrêté ministériel : 25 mai 2016

Présentée par

Anthony CIBIÉ

Thèse dirigée par **Léa DI CIOCCIO**, Ing. Rech. CEA

préparée au sein du **CEA-LETI – Laboratoire d’Intégration et de
Transfert de Film (LIFT)**
dans l'**École Doctorale I-MEP2 - Ingénierie - Matériaux,
Mécanique, Environnement, Energétique, Procédés,
Production**

Substrats innovants pour des composants de puissance à base de GaN

Thèse soutenue publiquement le « **8 mars 2019** »,
devant le jury composé de :

Monsieur Farid Medjdoub

Chargé de Recherche, IEMN - CNRS, Rapporteur

Monsieur Yvon Cordier

Directeur de Recherche, CRHEA - CNRS, Rapporteur

Monsieur Dominique Planson

Professeur des Universités, INSA Lyon, Président du jury

Madame Julie WIDIEZ

IGR, CEA, Co-Encadrante de thèse

Madame Léa DI CIOCCIO

IGR, CEA, Directrice de thèse



Remerciements

Je remercie tout d'abord Jean-Sébastien Moulet et Florence Servant de m'avoir accueilli dans le laboratoire d'Intégration et de Transfert de Film (LIFT) au CEA-LETI dans lequel s'est déroulée cette thèse.

Je tiens également à remercier Dominique Planson, Yvon Cordier et Farid Medjdoub d'avoir accepté de faire partie de mon jury de thèse.

Cette thèse n'aurait pas été possible sans ma directrice de thèse Léa Di Cioccio. Merci pour ses conseils et son soutien au cours de ces trois ans, tant du point de vue de la technique que du point de vue personnel. Je remercie bien sûr également mes encadrants. Merci à Lamine Benaïssa de m'avoir encadré durant le début de ma thèse pour ses conseils et son soutien. Je te souhaite toute la réussite possible pour ton projet professionnel. Un grand merci également à Julie Widiez d'avoir accepté de m'encadrer pour la dernière année de ma thèse. Sa bonne humeur, ses conseils et son soutien ont été d'une grande aide pour cette troisième et dernière année.

Un grand merci également à tous ceux qui ont contribué à ces travaux de thèse et sans qui je n'aurais rien pu faire. Merci à William Van Den Daele et Stéphane Bécu pour les caractérisations électriques et à Denis Blachier pour les caractérisations thermiques. Je tiens également à remercier Paul-Henri Haumesser pour son aide sur les ECD de cuivre, à Jean-Philippe Colonna pour les simulations sous COMSOL et à Matthew Charles pour tout ce qui était relatif aux épitaxies de GaN des composants que nous avons utilisés. Je remercie également Charlotte Gillot, Jérôme Biscarrat, Yannick Baines pour leur expertise sur les composants GaN. En particulier, je tiens à remercier énormément René Escoffier pour tout le temps qu'il a consacré à m'aider à interpréter les différents résultats de mesures électriques et à les comprendre. Il me reste encore de nombreuses personnes à remercier pour leur aide. Il m'est difficile de faire une liste exhaustive de toutes les personnes qui ont contribué à ces travaux. Aussi je m'excuse par avance auprès des personnes que j'aurais oublié dans ces remerciements, ce n'est pas volontaire... Je remercie notamment Victor Gaude, Pauline Burtin, Stéphane Ballerand, Stéphane Litaudon, Marc Zussy, Jean Dijon, Hélène Le Poche, Adeline Fournier, Benoit Thollin.

Cette thèse n'aurait pas été la même sans la bonne humeur et la sympathie de tous les membres du laboratoire dans lequel j'ai travaillé. Ce fut un véritable plaisir de tous vous rencontrer et je m'estime chanceux d'avoir travaillé dans un laboratoire comme le LIFT (et anciennement LSA). Aussi je remercie tous les membres actuels du laboratoire : Thomas, Adrien, Nicolas T., Ismo, Emmanuel A., Emmanuel R., Emmanuelle L., Lucile, Christophe, Thierry S., Christine, Lucie, Ivan, Nicolas B., Amandine, Marie, Thierry F., JS, Béa, Cédric, Chantal, Amal, Selsabil, Paul. Et aussi les anciens : Aurélien, Charlotte, Lyvia, Céline, Emmanuelle G., Etienne, Baptiste, Catherine,

Mickael et Trang. Je n'oublie bien sûr pas Kremena que je remercie énormément pour son aide sur la fin de ma thèse, ton aide a été très précieuse! Et j'oublie encore moins mes camarades de bureau : Jon, Joris et Guillaume que ce fut un plaisir de cotoyer, ça me manquera de ne plus partager un bureau avec vous!

Je tiens également à remercier toute ma famille pour son soutien. Et je terminerais ces remerciements par ma chérie Amandine. Merci à toi d'être à mes côtés et de m'avoir soutenu durant ces moments difficiles.

Sommaire

Introduction générale	14
1 Contexte et pré-requis	17
1.1 Contexte de l'électronique de puissance	18
1.1.1 L'électronique de puissance	18
1.1.2 Emergence du carbure de silicium SiC et du nitrure de gallium GaN	20
1.1.3 Exemple du transistor HEMT à base de GaN	22
1.2 Limitations du substrat pour l'épitaxie de GaN	29
1.2.1 Méthode de croissance	30
1.2.2 Contraintes liées à l'hétéroépitaxie	30
1.2.3 Substrats d'épitaxie	32
1.3 Limitations des performances dues au substrat	36
1.3.1 Aspect thermique	36
1.3.2 Aspect tenue en tension	44
1.4 Approches adoptées lors de la thèse	48
2 Reports de composants de puissance à base de GaN	52
2.1 Objectifs	53
2.2 Composants à disposition	56
2.2.1 Plaques de composants disponibles	57
2.2.2 Composants de test	58
2.2.3 Composants de puissance	65
2.3 Procédé de report adopté	65
2.3.1 Description globale du procédé de report	65
2.3.2 Validation morphologique et électrique du procédé de report	71
2.4 Résultats électriques et analyses	76
2.4.1 Impact du report sur la valeur de la résistance du canal	76
2.4.2 Report de transistors HEMTs de puissance ($W_g = 100\text{ mm}$)	77
2.4.3 Report de diodes Schottky	82
2.5 Conclusion	88
3 Caractérisations thermiques de composants GaN reportés	89
3.1 Objectifs	90
3.2 Caractérisation électrique de la résistance thermique de composants GaN reportés	90
3.2.1 Motif de caractérisation de la résistance thermique du canal	90
3.2.2 Mesure de résistance thermique du canal de composants GaN reportés	92
3.3 Caractérisation par caméra infra-rouge de l'échauffement de composants GaN reportés	94

3.3.1	Description de la méthode de caractérisation par caméra infra-rouge	94
3.3.2	Caractérisation par caméra infra-rouge de composants GaN reportés sur cuivre	97
3.4	Conclusion	103
Conclusion générale		105
Annexe : Substrat adapté à l'épitaxie du GaN		108
A.1	Approche adoptée	109
A.2	Simulation des substrats évidés	111
A.3	Réalisation expérimentale	113
A.4	Conclusion	114
Bibliographie		114

Table des figures

1	Différents domaines d'applications des composants de puissance en 2005 [1].	18
2	A gauche : circuit simplifié illustrant le principe du découpage temporel à l'aide d'un interrupteur à deux pôles, commutant entre les positions 1 et 2. A droite : variation de la tension aux bornes de la charge résistive en fonction du temps et montrant l'impact des commutations de l'interrupteur [2].	19
3	Structure et symbole d'un transistor NMOS à canal d'inversion [3].	20
4	Résistance spécifique en fonction de la tension de claquage pour le Si, le SiC (4H) et le GaN à température ambiante.	21
5	Pertes en conduction et en commutation d'un transistor de puissance.	21
6	Schéma en coupe d'un transistor HEMT à base de GaN. S représente la source, G la grille et D le drain. Le trajet des électrons lorsque le transistor est passant est représenté avec le trait en blanc.	23
7	Vue de dessus d'un transistor HEMT observé au microscope optique. Le trait en blanc montre la localisation de la vue en coupe présentée sur la figure 6.	23
8	Caractéristiques électriques d'un transistor HEMT normally-off GaN sur substrat silicium ($L_g/W_g/L_{gd} = 1/100/15 \mu m$). a) Courbes $I_{DS}(V_{DS})$ pour différentes tensions de grille V_{GS} . b) Courbes $I_{DS}(V_{GS})$ pour une tension de drain $V_{DS} = 0, 1 V$	24
9	Vue en coupe d'une grille avec une structure en « gate recess ».	24
10	Illustration de l'effet de current collapse pour un transistor 10A. Un premier réseau $I(V)$ est tracé pour différentes tensions de grille (ici sont représentées les courbes pour $V_{GS} = 2V; 4V; 6V$. La condition de stress est réalisée sous $V_{GS} = -4 V$ et pour V_{DS} allant de 0V à 450V sont appliquées (non représentée ici)	25
11	Courbes $I_{DS}(V_{DS})$ à différentes valeurs de tensions de grille V_{GS} d'un transistor HEMT AlGaIn/GaN présentant l'effet Kink (courbes en lignes continues) et sans cet effet Kink (courbes en pointillés) [4]	26
12	Structure wurtzite a) et zinc-blende b) du GaN [5].	26
13	Polarisation spontanée dans la structure wurtzite du GaN dans le cas d'une polarité Ga [6].	27
14	Polarité gallium (gauche) et polarité azote (droite) dans le GaN [7].	27
15	Direction de la polarisation piézoélectrique dans le cas d'une contrainte en tension (gauche) et d'une contrainte en compression (à droite) dans le cas d'une polarité Ga [6].	28
16	Création des plans de charges pour une hétérostructure AlGaIn/GaN dans le cas d'une polarité Gallium.	29
17	Procédé de fabrication de composants de puissance à base de GaN.	29

18	Impact du désaccord de maille entre un film épitaxié et un substrat sur le type de contrainte induite dans le film épitaxié. Chaque carré représente schématiquement une maille de côté a . Dans le cas a) on a $a_{substrat} < a_{film}$ d'où un film contraint en compression alors que dans le cas b) on a $a_{substrat} > a_{film}$ d'où un film contraint en tension.	30
19	Effet d'une variation de température sur la courbure d'une hétérostructure présentant des coefficients de dilatation thermique différents. a) Le film est déposé sans contrainte sur un substrat à une certaine température. b) Si le substrat et le film n'était pas lié, chacun s'étirerait ou se comprimerait différemment suite à une variation de température. Dans le cas réel, le substrat impose au film ses déformations. c) La contrainte résultante induit une courbure de la structure.	31
20	Approche adoptée par le LETI pour l'épitaxie du GaN sur substrat silicium. Cette approche consiste en l'utilisation de couches tampons qui vont mettre en compression le GaN pendant la croissance. Cette contrainte compressive va ainsi compenser la contrainte extensive créée lors du refroidissement à température ambiante après l'épitaxie.	34
21	Schéma simplifié d'un substrat multicouches. Il est constitué d'un substrat sur lequel est assemblée à l'aide d'une éventuelle couche de collage une couche de germe à l'épitaxie.	34
22	Dégradation du courant de drain en fonction de la tension de drain pour un transistor AlGaIn/GaN HEMT sur substrat saphir à différentes températures imposées (température ambiante, 100°C et 200°C) [8].	36
23	Variation du courant de drain I_D en fonction de la tension de drain V_D pour un transistor HEMT à base de GaN sur substrat Si [9]. Sont représentés ici avec les symboles en étoile les résultats expérimentaux, en pointillés noirs des résultats de simulation sans auto-échauffement et en traits bleus avec auto-échauffement.	37
24	Principe du report de composants sur un substrat plus adapté à partir du substrat de fabrication.	38
25	Procédé de transfert de HEMTs à base de GaN sur substrat cuivre à partir d'un substrat de fabrication en saphir [10]. (a) Collage temporaire sur une poignée en verre. (b) Détachement du substrat saphir à l'aide d'une fine couche de h-BN préalablement déposée. (c) Dépôt de couche Ti/Au puis de In. (d) Collage par thermocompression de l'ensemble avec une plaque en cuivre. Le substrat en verre est ensuite retiré.	39
26	Caractéristiques $I(V)$ de composants GaN avant report, i.e. sur saphir, et après report, i.e. sur cuivre [10].	40
27	Procédé de transfert de composants HEMTs GaN sur substrat cuivre à partir d'un substrat silicium [11].	41
28	Photographie de transistors HEMTs à base de GaN reportés sur substrat cuivre [11].	41
29	Courbes I_{DS} en fonction de V_{DS} pour des transistors HEMTs sur silicium et après report sur cuivre [11].	42
30	Transfert de composants HEMTs à base de GaN sur un substrat en diamant à partir d'un substrat SiC [12].	43
31	$I(V)$ donnant le courant de drain (I_{DS}) fonction de la tension de drain (V_{DS}) pour différentes tensions de grille (V_{GS}) avant (en pointillés noirs) et après transfert (en rouge) sur substrat diamant [12].	44
32	Visualisation du passage des courants de fuite d'un composant HEMT AlGaIn/GaN.	45

33	Simulation du champ électrique dans un HEMT AlGaIn/GaN en polarisation de claquage [13].	45
34	A gauche : empilements de transistors HEMT et DHFET. A droite : Représentation schématique des bandes de conduction d'un HEMT AlN/GaN standard (en bleu) et d'un DHFET [14].	46
35	Courants de fuites verticales pour différentes épaisseurs de couches tampons et de GaN en fonction de la tension appliquée. Les couches tampons sont constituées d'une succession de paires GaN/AlN (20/5nm) [15].	47
36	a) Schéma en coupe d'un transistor AlGaIn/GaN HEMT sur substrat silicium partiellement évidé entre la grille et le drain b) Courant de drain à l'état bloqué ($V_{GS} = 5V$) avec le silicium (en bleu) et avec le retrait partiel de silicium entre la grille et le drain (en noir) [16].	47
37	Schémas présentant différentes solutions de l'état de l'art aux problématiques d'épitaxie et de performances de composants GaN.	50
38	Schémas présentant différentes approches réalisées lors de cette thèse.	51
39	A gauche : schéma simplifié d'un HEMT (vue en coupe) sur substrat silicium. A droite : HEMT reporté sur un autre substrat après avoir retiré le substrat silicium	53
40	A gauche : structure utilisée lors des simulations, les zones en noir correspondent aux zones de générations thermiques reproduisant l'échauffement des composants de puissance en fonctionnement. A droite : Vue de dessus de la couche d'AlGaIn (de $0,3 \mu m$ d'épaisseur) avec les zones d'échauffements en noir. Les schémas ne sont pas à l'échelle.	55
41	Température maximale de l'empilement simulée par éléments finis sous ANSYS en fonction de la conductivité thermique du substrat pour une puissance générée équivalente à $1W/mm$	56
42	A gauche : photographie d'une plaque de $200 mm$ de diamètre comportant des composants de puissance en GaN réalisés à partir d'une épitaxie de GaN sur un substrat Si(111) de $1 mm$ d'épaisseur. Un champ de $2,2 \times 2,2 cm^2$ est encadré en noir. A droite : dessin d'un champ.	57
43	Empilements d'épitaxie des plaques de composants utilisées lors de cette thèse.	58
44	Deux transistors de test observés au microscope optique.	59
45	Motif TLM à structure linéaire utilisé lors de cette thèse observé au microscope optique.	60
46	Vue en coupe du motif de mesure 4 pointes d'une mesure TLM linéaire. r_c représente la résistance du contact, R_{sh} la résistance par carré de couche, l_i la distance entre chaque contacts et w la largeur des contacts [17].	60
47	Courbe théorique de $R_T(l)$ pour un contact ohmique.	61
48	Lignes de courant dans le cas d'un contact vertical (a) et dans le cas d'un contact horizontal (b) [18]. A représente l'aire du contact, d la longueur du contact, J la densité de courant passant par le contact, L_T la longueur de transfert, ρ_c résistance spécifique de contact et r_c la résistance de contact.	62
49	Lignes de champ entre deux contacts TLM. δ représente la distance entre les contacts et l'isolation [19].	62
50	Schéma d'un motif TLM circulaire [19].	63
51	Exemple d'échantillon satisfaisant les conditions de Van Der Pauw.	63
52	Exemple d'échantillon avec un axe de symétrie. Les contacts A et C, ainsi que les contacts B et D, sont symétriques par l'axe tracé en pointillés.	64

53	Motif Van Der Pauw utilisé lors de cette thèse observé au microscope optique.	64
54	a) Image réalisée au microscope optique d'un transistor HEMT 10A à base de GaN. De gauche à droite on voit les contacts de drain, de source et de grille. Les « tâches » noires correspondent aux empreintes que laissent les pointes lors des caractérisations	
	b) Image réalisée au microscope optique d'une diode Schottky à base de GaN. De gauche à droite, on voit les contacts de l'anode et de la cathode.	65
55	Procédé de report utilisé pour remplacer le substrat silicium par un autre matériau.	66
56	Principe de l'aminçissement par grinding [20].	67
57	Dégradation du polymère BSI suite à la gravure sèche de $10\ \mu m$ de silicium sur des champs de $2,2 \times 2,2\ cm^2$	68
58	Procédé de dépôt du cuivre en face arrière des composants. La première étape consiste en un dépôt physique en phase vapeur d'une couche d'accroche Ti, d'une barrière de diffusion TiN et d'une couche conductrice de Cu permettant l'électrodéposition de cuivre.	68
59	Principe du dépôt de couches minces par pulvérisation cathodique [21].	69
60	Principe de l'électrodéposition dans le cas du cuivre. La contre électrode et l'électrode de travail sont constituées respectivement d'un morceau de cuivre et de l'échantillon sur lequel on souhaite réaliser le dépôt et sont placés dans un électrolyte. Une source de courant est appliquée pour privilégier les réactions d'oxydation à la contre électrode et de réduction à l'électrode de travail.	70
61	Croissance de cuivre par électrodéposition en face arrière des composants.	70
62	Procédé de report des composants sur un substrat silicium à l'aide d'une colle isolante.	71
63	Champ de $2,2 \times 2,2\ cm^2$ de composants diodes reportés sur cuivre à gauche et à l'aide d'une colle isolante à droite.	72
64	Caractérisation FIB-MEB d'un transistor de test reporté sur cuivre. Il s'agit de la plaque D. a) La zone observée comprend les contacts de source, de grille et de drain. b) Contact de source et de grille ainsi que les couches d'épitaxie et le substrat cuivre. c) Couches d'épitaxie, dépôts PVD de Ti, TiN et Cu et substrat Cu déposé par ECD.	73
65	Courbes $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ ($V_{DS} = 2\ V$) du transistor de test GS1 avant et après report à l'aide d'une colle isolante (report 3, colonne de gauche) et sur cuivre (report 1, colonne de droite). a) et b) Courbes $I_{DS}(V_{DS})$ avant et après report respectivement sur colle isolante et cuivre. c) et d) Courbes $I_{DS}(V_{GS})$ avant et après report. e) et f) Courbes $I_{DS}(V_{GS})$ en échelle semi-logarithmique avant et après report.	75
66	Procédé d'aminçissement effectué pour étudier la réduction de la résistance R_{sh} observée lors des différents reports.	76
67	Courant de drain (I_{DS}) à l'état passant d'un transistor HEMT reporté sur cuivre et du même transistor avant report (i.e. sur substrat silicium) en fonction de la tension de drain V_{DS} pour différentes tensions de grille V_{GS} (0 V, 2 V, 4 V et 6 V). La source et le substrat sont reliés à la masse.	79
68	Courbes $I_{DS}(V_{GS})$ d'un transistor HEMT avant report (sur silicium) et après report (sur cuivre) pour une tension de drain $V_{DS} = 0,5\ V$. Le substrat et la source sont reliés à la masse.	80
69	Courbes $I_{DS}(V_{GS})$ d'un transistor HEMT avant report (sur silicium) et après report (sur cuivre) pour une tension de drain $V_{DS} = 0,5\ V$. Le substrat et la source sont reliés à la masse.	80

70	Courbes $I_{DS}(V_{GS})$ d'un transistor HEMT sur substrat silicium standard (1 mm d'épaisseur) et après amincissement de ce substrat à 100 μm pour une tension de drain $V_{DS} = 0,5 V$. Le substrat et la source sont reliés à la masse.	81
71	Courant de grille (I_{GS}) et de drain (I_{DS}) à l'état bloqué d'un transistor HEMT reporté sur cuivre et du même transistor avant report, i.e. sur substrat silicium. La tension V_{DS} varie de 0 V à 450 V tandis que qu'une tension de $-2 V$ est appliquée sur la grille. La source et le substrat sont reliés à la masse.	82
72	Courant à l'état passant d'une diode Schottky reportée sur cuivre et du même composant avant report sur substrat silicium. L'anode et le substrat sont reliés à la masse.	83
73	Courant à l'état bloqué d'une diode Schottky reportée sur cuivre et du même composant avant report, i.e. sur substrat silicium. La tension à la cathode varie de 0 V à 650 V pour le cas cuivre et de 0 V à 700 V pour le cas silicium. L'anode et le substrat sont reliés à la masse.	84
74	Courant à l'état bloqué d'une diode Schottky reportée sur cuivre en laissant 10 μm du substrat initial et du même composant avant report, i.e. sur substrat silicium. La tension à la cathode varie de 0 V à 650 V pour le cas cuivre et de 0 V à 700 V pour le cas silicium. L'anode et le substrat sont reliés à la masse.	85
75	Courant à l'état passant d'une diode Schottky reportée sur silicium à l'aide d'une colle isolante et du même composant avant report sur substrat silicium. L'anode et le substrat sont reliés à la masse.	86
76	Courant à l'état passant d'une diode Schottky reportée sur silicium à l'aide d'une colle isolante et du même composant avant report sur substrat silicium. La mesure de la courbe référence sur substrat silicium correspond à un pulse de tension sur la cathode de 200 μs pour une période de 50 ms. Les courbes pour le substrat avec colle isolante ont été mesurées pour des temps de pulse valant 50 μs , 100 μs , 200 μs , 300 μs et 500 μs avec des périodes valant respectivement 50 ms, 50 ms, 50 ms, 100 ms et 125 ms.	87
77	Courant de fuites à l'état bloqué d'une diode Schottky reportée sur substrat silicium à l'aide d'une colle isolante et du même composant avant report sur substrat silicium. L'anode et le substrat sont reliés à la masse.	87
78	Motif PS SG2 pour la mesure de la résistance thermique du canal du transistor observé au microscope optique.	90
79	A gauche : positionnement des pointes lors de l'étalonnage entre la résistance de la grille R_g et la température du plateau du banc de mesure T_{chuck} . A droite : courbe d'étalonnage $R_g(T)$ ainsi obtenue.	91
80	A gauche : positionnement des pointes lors de la mesure de la résistance thermique du canal R_{th} . A droite : évolution de la température du canal en fonction de la puissance dissipée P pour un motif PS SG2 donné.	91
81	Courbes $I_{DS}(V_{DS})$ de deux transistors 10 A différents pour des tensions de drain suffisamment élevées afin d'observer l'effet d'échauffement du composant. La première courbe (triangle) correspond à un transistor reporté sur un substrat cuivre de 80 μm . La deuxième courbe (rond) correspond à un transistor reporté sur un substrat cuivre 80 μm et ensuite reporté sur une plaque en cuivre de 300 μm d'épaisseur à l'aide d'une colle thermique.	93
82	Banc de caractérisation Signatone WL 350 équipé d'une caméra infrarouge InSb pour les mesures de température	94

83	Exemple arbitraire d'une caractérisation thermique d'un composant avec l'approche standard. L'image (a) présente le principe de la mesure : des acquisitions de température sont effectuées avec un pas de temps limité à 10 <i>ms</i> . L'image (b) présente une courbe de température que l'on peut obtenir avec cette méthode : le pas minimum entre chaque acquisition n'est pas compatible pour voir avec précision l'évolution de la température.	95
84	Exemple arbitraire d'une caractérisation thermique d'un composant avec l'approche dite « trigger delay ». L'image (a) présente le principe de la mesure : une acquisition est effectuée à chaque cycle, chacune d'elle étant espacée de la précédente par un pas de temps fixe pour couvrir toute l'évolution de la température au cours d'un cycle. L'image (b) présente une courbe de température que l'on peut mesurer avec cette méthode : on obtient alors une évolution plus précise comparée à la méthode présentée précédemment (figure 83a).	96
85	Image thermique obtenue à l'aide d'un détecteur infrarouge sur un transistor HEMT polarisé à l'état passant. Les points à 60°C sur les pointes sont un artefact de mesure du fait que ces dernières se sont légèrement décalées entre la calibration de la caméra et la mesure.	97
86	Empilements utilisés lors des simulations sous COMSOL de dissipation thermique. a) Empilement avec le substrat cuivre. b) Empilement avec le substrat silicium. c) Vue 3D de l'ensemble. La zone sur laquelle est appliquée la puissance est symbolisée par un trait noir dans les images a) et b) et par une surface noire dans l'image c).	98
87	Evolution de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Une puissance de 3,39 <i>W</i> et de 3,24 <i>W</i> sont appliqués respectivement sur le composant sur substrat cuivre et silicium pendant 45 <i>ms</i> pour une période de 90 <i>ms</i> . Le pas de la mesure est de 5 μ s.	99
88	Simulation de l'évolution de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. La courbe en pointillés représente le cas du substrat cuivre avec la même épaisseur de colle thermique que celui du substrat silicium. Le graphe supplémentaire représente un agrandissement de l'évolution de ces température de 0 <i>ms</i> à 2 <i>ms</i> et correspond à la zone encadrée en rouge sur les courbes. Une puissance de 3,39 <i>W</i> et de 3,24 <i>W</i> sont appliqués respectivement sur le composant sur substrat cuivre et silicium pendant 45 <i>ms</i> pour une période de 90 <i>ms</i> . Le pas de la mesure est de 5 μ s.	100
89	Evolution expérimentales de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Une puissance de 34,1 <i>W</i> et de 34 <i>W</i> sont appliqués respectivement sur le composant sur substrat cuivre et sur substrat silicium pendant 1 <i>ms</i> pour une période de 150 <i>ms</i> . Le pas de la mesure est de 70 μ s.	101
90	Evolution de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Une puissance de 6,2 <i>W</i> et de 6,6 <i>W</i> sont appliqués respectivement sur le composant sur substrat cuivre et sur substrat silicium pendant 500 μ s pour une période de 2 <i>ms</i> . Le pas de la mesure est de 5 μ s.	102

91	a) Evolution expérimentale de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une brasure. Une puissance de 4,3 W est appliquée sur les composants sur substrat cuivre et sur substrat silicium pendant 5 ms pour une période de 10 ms. Le pas de la mesure est de 5 μ s. b) Evolution expérimentales de la température de surface en fonction du temps pour des échantillons reportés sur une plaque en cuivre à l'aide d'une colle thermique pour établir une comparaison. Une puissance de 4,3 W et de 3,3 W sont appliquées respectivement sur le composant sur substrat cuivre et sur substrat silicium.	103
92	a) Observation au MEB de forêts de nanotubes de carbone d'environ 50 μ m de hauteur b) Observation au MEB des mêmes forêts de nanotubes de carbone que sur l'image a) sur lesquels a été réalisé une ECD de cuivre.	107
93	Vue schématisée en coupe d'un substrat multicouches	109
94	Vue schématisée en coupe de la structure simulée	110
95	a) Vue schématisée en coupe de la structure simulée. b) Vue de dessous d'un substrat évidé simulé. La distance E_{cercle} désigne l'épaisseur des parois circulaires non évidées.	111
96	Evolution de la contrainte dans la couche de GaN en fonction de la position pour un évidement en motif circulaire. L'épaisseur des cercles non évidés est variable dans ces simulations.	112
97	Evolution de la contrainte dans la couche de GaN en fonction de la position pour un évidement en nid d'abeille. L'épaisseur des parois non évidées des hexagones est variable dans ces simulations.	113
98	Face arrière d'une plaque silicium de diamètre 100 mm et d'épaisseur 525 μ m évidée selon des motifs hexagonaux.	114

Introduction générale

L'électronique de puissance est une branche de l'électronique ayant une grande importance dans de nombreux domaines d'applications comme l'automobile ou encore l'électroménager. Son objectif est la conversion de l'énergie électrique et elle possède différents enjeux dont on peut citer par exemple les performances, l'efficacité énergétique, l'encombrement ou encore la fiabilité. A l'heure actuelle, ce marché est dominé par les composants à base de silicium. Cependant, de nouveaux matériaux comme la carbure de silicium (SiC) ou le nitrure de gallium (GaN) ont récemment émergé grâce à leurs propriétés physiques intéressantes pour les applications de puissance. Dans ce manuscrit, nous nous concentrerons sur les composants à base de GaN.

Ces composants sont principalement fabriqués sur des substrats d'un matériau différent du nitrure de gallium. En effet, les substrats massifs de GaN sont coûteux et ne sont pas disponibles en grandes dimensions dans le commerce. Parmi les matériaux utilisés pour servir de substrat au GaN, on peut citer notamment le SiC, le nitrure d'aluminium (AlN), le saphir (Al_2O_3) ou encore le silicium (Si). Dans le cadre de cette thèse, nous avons travaillé avec des transistors HEMTs et des diodes Schottky en GaN sur substrat silicium de diamètre 200 *mm*. Ces composants ont été fabriqués au sein du CEA-Leti et reflètent la ligne stratégique du Leti à savoir de travailler avec des composants en nitrure de gallium sur substrat silicium pour l'électronique de puissance.

La fabrication de ces composants passe par une étape d'épithaxie des couches actives suivie des procédés de réalisation des composants (implantation, métallisation, etc.). De manière générale, l'utilisation d'un substrat différent du matériau GaN entraîne différentes problématiques au niveau de l'épithaxie liées aux désaccords de maille et de dilatation thermique entre les deux matériaux. De plus, le substrat utilisé peut impacter les performances électriques des composants au niveau de la dissipation thermique ou encore de la tenue en tension. Différentes approches ont été étudiées pour apporter des solutions à ces problématiques. Parmi elles, nous nous pencherons dans ce manuscrit sur des solutions « substrat », autrement dit sur des approches qui s'appuient sur l'utilisation de substrats adaptés pour l'épithaxie et/ou pour les performances des composants. Dans la littérature, dans le cas des performances électriques des composants par exemple, les solutions adoptées ne résolvent généralement qu'une seule de ces problématiques (dissipation thermique par exemple) sans nécessairement améliorer ou mettre en avant l'impact sur les autres aspects (par exemple la tenue en tension). De plus, nous nous concentrerons dans ce manuscrit à la recherche de solutions « substrat » compatibles avec le substrat silicium et utilisant des procédés compatibles avec des substrats de grande dimension (≥ 200 *mm* de diamètre).

Le chapitre 1 présentera dans un premier temps les raisons pour lesquelles le nitrure de gallium a émergé en tant que candidat pour l'électronique de puissance. Les différentes solutions au niveau du substrat étudiées dans la littérature pour répondre aux problématiques de performances de composants et d'épithaxie seront présentées. Enfin nous conclurons ce chapitre en présentant

l'approche retenue durant cette thèse.

Dans le chapitre 2, nous présenterons l'approche que nous avons choisie pour tenter d'améliorer les performances électriques des composants. Celle-ci consiste, à partir des composants que nous avons à disposition, à remplacer le substrat silicium de fabrication par un substrat cuivre dans le but d'améliorer la dissipation thermique des composants. Nous présenterons ainsi dans ce chapitre les procédés technologiques qui ont été mis en place afin de réaliser ce changement de substrat. Nous nous pencherons également sur les impacts de ces procédés ainsi que du remplacement du substrat silicium par un autre matériau (notamment du cuivre) sur les caractéristiques électriques des composants.

Dans le chapitre 3, nous nous intéresserons à la dissipation thermique des composants reportés sur cuivre. Nous étudierons, à l'aide de mesure par caméra infra-rouge, l'échauffement de ces composants en commutation dans le but de comparer des composants sur substrat silicium avec des composants reportés sur substrat cuivre. Nous mettrons en place des simulations par éléments finis à l'aide du logiciel COMSOL afin d'apporter des interprétations sur les phénomènes expérimentaux observés.

En annexe de ce manuscrit, nous présenterons également une approche substrat innovante pour l'épitaxie qui a été étudiée dans le but de proposer une approche permettant d'utiliser des substrats molybdène et tungstène qui ne pourraient normalement pas être utilisables tels quels en grandes dimensions du fait de leur masse volumique importante. Nous avons choisi de concentrer la présentation écrite de ces travaux de thèse sur le report de composants plutôt que sur cette approche, qui s'est avérée plus compliquée à mettre en place qu'initialement prévu. C'est la raison pour laquelle ces travaux ne seront présentés qu'en annexe.

Chapitre 1

Contexte et pré-requis

Sommaire

1.1	Contexte de l'électronique de puissance	18
1.1.1	L'électronique de puissance	18
1.1.2	Emergence du carbure de silicium SiC et du nitrure de gallium GaN . . .	20
1.1.3	Exemple du transistor HEMT à base de GaN	22
1.2	Limitations du substrat pour l'épitaxie de GaN	29
1.2.1	Méthode de croissance	30
1.2.2	Contraintes liées à l'hétéroépitaxie	30
1.2.3	Substrats d'épitaxie	32
1.3	Limitations des performances dues au substrat	36
1.3.1	Aspect thermique	36
1.3.2	Aspect tenue en tension	44
1.4	Approches adoptées lors de la thèse	48

1.1 Contexte de l'électronique de puissance

1.1.1 L'électronique de puissance

De nombreuses applications, comme l'automobile, l'électroménager ou encore les ordinateurs portables, nécessitent une énergie électrique pour fonctionner. Cette énergie peut être fournie à ces systèmes sous une forme (continue ou alternative) différente de celle dont ils ont besoin pour fonctionner. Il faut donc passer par une étape de conversion. Par exemple, un ordinateur portable fonctionnant avec une énergie électrique sous forme continue aura besoin d'un adaptateur pour être branché sur le secteur (forme alternative). C'est dans ce domaine qu'intervient l'électronique de puissance : elle consiste en la conversion de l'énergie électrique en veillant notamment à limiter les pertes de conversion. Elle traite de différents domaines tels que l'électronique grand public, le photovoltaïque ou encore l'automobile. Chacune de ces applications a des exigences différentes en termes de puissance ou de fréquence, qui sont atteintes par différents composants tels que présentés sur la figure 1. Par exemple, les composants de type MOSFET vont adresser des applications (comme l'automobile) nécessitant un fonctionnement à faible puissance (inférieure ou de l'ordre de 10 kW) et à grande fréquence (de l'ordre 100 kHz). Ce marché de l'électronique de puissance est principalement dominé par les composants silicium de type MOSFET, IGBT, etc. Mais comme nous le verrons plus en détail par la suite, de nouveaux matériaux émergent en tant que concurrents potentiels au silicium.

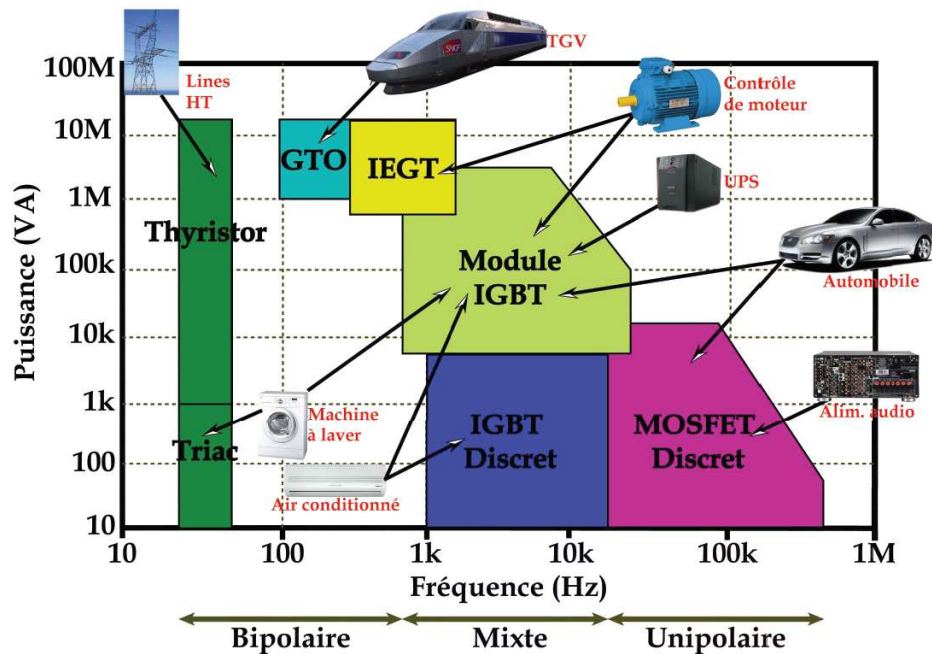


FIGURE 1 – Différents domaines d'applications des composants de puissance en 2005 [1].

Avant de détailler plus précisément le principe de fonctionnement de certains composants de puissance et de comprendre les exigences associées à ces composants, nous allons présenter rapidement la manière dont ils sont utilisés en électronique de puissance. Ce domaine s'appuie sur le principe du découpage temporel. Pour en présenter de manière simplifiée le principe, prenons le cas où nous désirons abaisser la tension continue d'une source pour qu'elle soit adaptée à la tension d'utilisation d'une charge (convertisseur DC/DC). Soit une source de tension continue de

$V_e = 100V$ qui doit fournir en énergie une charge résistive R , tel qu'illustré sur l'image de gauche de la figure 2. L'idée consiste à commuter de manière cyclique un interrupteur entre les états 1 et 2 présentés dans la figure. Dans l'état 1, la source transmet l'énergie à la charge résistive. Dans l'état 2, il n'y a pas d'énergie transmise. Il s'agit d'une phase de roue libre permettant d'assurer la continuité du courant dans la charge et ainsi d'éviter les surtensions dans le cas d'une charge inductive où on a (V_s et I_s sont respectivement la tension à ses bornes (en Volt) et le courant (en Ampère) et L son inductance (en Henry)) :

$$V_s = L \frac{dI_s}{dt} \quad (1.1)$$

La charge résistive voit ainsi soit une tension égale à V_e dans l'état 1 soit une tension nulle dans l'état 2 tel que montré dans l'image de droite de la figure 2. Globalement, la charge voit une valeur moyenne comprise entre 0 et V_e et qui dépend de la durée αT_{cycle} de l'état 1, α étant le rapport cyclique du système. Il est donc possible de choisir une tension ciblée en prenant un rapport α adapté. En réalité, la mise en oeuvre de cette méthode est plus compliquée que telle qu'elle vient d'être décrite. Par exemple, la charge peut ne pas accepter des grandeurs hachées, nécessitant un filtre passe-bas LC en sortie du convertisseur pour lisser la tension. La tension d'entrée et les caractéristiques des composants du convertisseur peuvent varier, imposant l'utilisation d'un système de correction qui régule la tension en sortie en modifiant le rapport cyclique de commutation α .

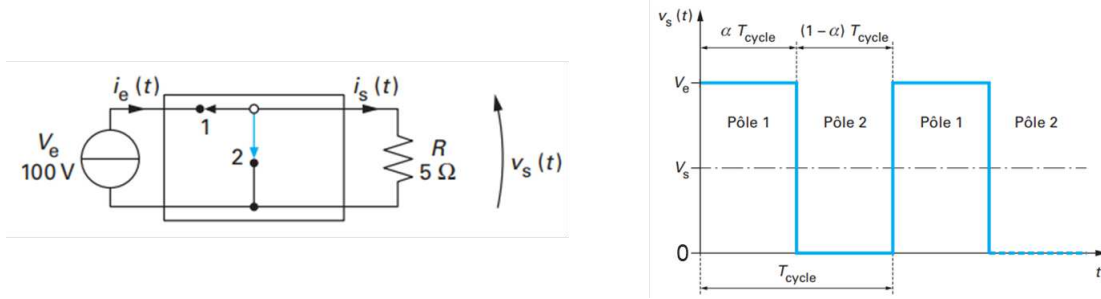


FIGURE 2 – A gauche : circuit simplifié illustrant le principe du découpage temporel à l'aide d'un interrupteur à deux pôles, commutant entre les positions 1 et 2. A droite : variation de la tension aux bornes de la charge résistive en fonction du temps et montrant l'impact des commutations de l'interrupteur [2].

Il est intéressant pour la suite de retenir du paragraphe précédant que les transistors de puissance doivent donc jouer le rôle d'interrupteurs de puissance qui commutent entre deux états :

- un état passant où le composant doit laisser passer le courant avec une faible résistance
- un état bloqué où le composant ne doit pas laisser passer le courant malgré une forte différence de potentiel appliquée à ses bornes

Afin de mieux comprendre ces exigences pour les composants de puissance, nous allons nous intéresser au cas du transistor MOSFET (pour « Metal Oxide Semiconductor Field Effect Transistor » en anglais). Il s'agit d'un transistor à effet de champ constitué d'un contact de source, d'un contact de drain et d'une grille (comme représenté schématiquement dans la figure 3). Il peut être qualifié de NMOS (PMOS) si les porteurs assurant le passage du courant sont des électrons (trous).

L'effet transistor est obtenu en appliquant un potentiel sur la grille ce qui permet de moduler de façon électrostatique la densité de charge dans le canal. En effet, dans le cas d'un canal d'inversion (ou canal surfacique) représenté sur la figure 3 et pour un NMOS, polariser positivement la grille revient à créer un canal de conduction rempli d'électrons mobiles sous la grille (donc de type de porteur opposé aux porteurs majoritaires du substrat), permettant ainsi le passage du courant entre la source et le drain (pour une tension V_{DS} entre source et drain positive). On peut alors définir la notion de résistance à l'état passant, qui correspond à la résistance que va opposer le canal au passage du courant. Inversement, s'il n'y a pas de canal créé, le courant ne peut pas passer entre la source et le drain et on a un état bloqué. Dans la réalité, des courants de fuites indésirables peuvent passer entre la source et le drain à l'état bloqué, et on parle alors de tenue en tension des composants pour quantifier l'importance de ces fuites de courants.

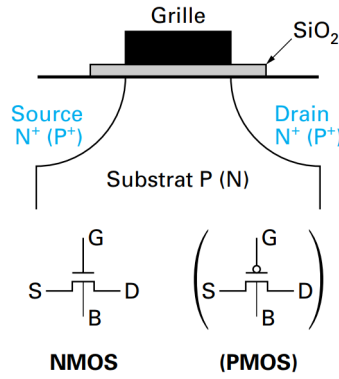


FIGURE 3 – Structure et symbole d'un transistor NMOS à canal d'inversion [3].

1.1.2 Emergence du carbure de silicium SiC et du nitrure de gallium GaN

Comme il a été énoncé précédemment, un transistor de puissance alterne entre des états passants (caractérisés par la résistance à l'état passant R_{ON}) et des états bloqués (caractérisés par la tenue en tension des composants).

A l'état passant, la résistance R_{ON} va induire des pertes par effet Joule en conduction impactant directement le rendement de conversion que l'on veut le plus élevé possible. Il est donc intéressant, pour des applications de puissance, d'avoir des composants avec un R_{ON} le plus faible possible.

A l'état bloqué, le transistor ne doit pas laisser de courant passer entre la source et le drain. Le dimensionnement des composants est ainsi réalisé pour avoir une tenue en tension compatible avec les applications de puissance visées et dépend directement des propriétés physiques des matériaux utilisés.

Nous avons ainsi des critères permettant de comparer des composants fabriqués à partir de différents matériaux. Nous nous intéressons ici au cas de composants en silicium (Si), carbure de silicium (SiC) et en nitrure de gallium (GaN). La figure 4 présente la résistance spécifique (résistance à l'état passant multipliée par la section de passage du courant) en fonction de la tension de claquage dans le cas de composants unipolaires réalisés à partir de Si, de SiC et de GaN. Pour réduire les pertes en conduction et avoir des composants qui tiennent la tension, il faut donc être dans la zone « en bas à droite » du graphe (i.e. avoir une faible résistance spécifique et une tension de claquage importante). On voit ainsi que les matériaux SiC et GaN présentent une limite théorique plus intéressante pour l'électronique de puissance que le Si.

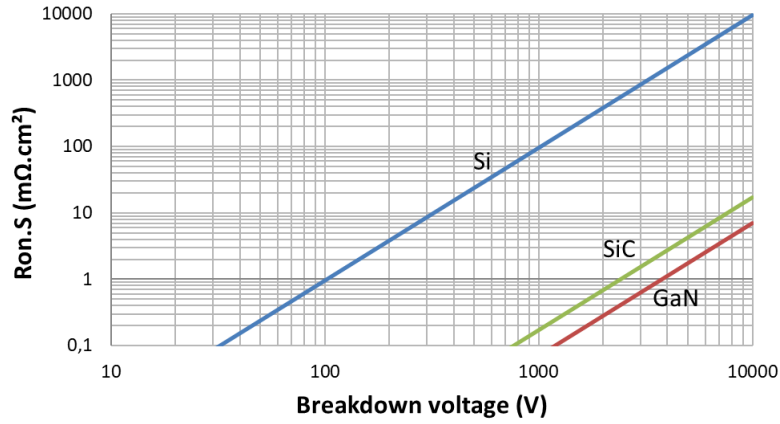


FIGURE 4 – Résistance spécifique en fonction de la tension de claquage pour le Si, le SiC (4H) et le GaN à température ambiante.

Durant le fonctionnement des composants, il existe d'autres types de pertes que celles de conduction à l'état passant présentées précédemment. En effet, les transistors doivent alterner entre les états passants et bloqués (figure 5). Lors de ces transitions, le courant et la tension aux bornes du transistor ne sont pas simultanément nuls d'où une perte par effet Joule. Il est possible de diminuer ces pertes en ayant une vitesse de commutation la plus grande possible. La mobilité électronique et la vitesse de saturation des électrons deviennent alors des critères pour qualifier la capacité à monter en fréquence pour un matériau donné. Le tableau 1 présente ces valeurs dans le cas du Si, SiC, GaN et du diamant. On voit ainsi que le GaN et le SiC se démarquent du Si de par leurs valeurs élevées de mobilité et de vitesse de saturation des électrons.

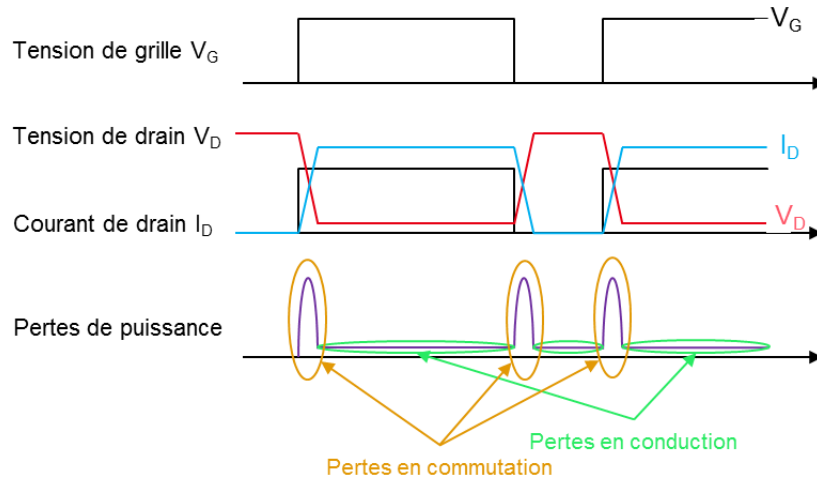


FIGURE 5 – Pertes en conduction et en commutation d'un transistor de puissance.

De plus, les composants d'électronique de puissance font passer une grande énergie en fonctionnement. Une partie de cette énergie est dissipée par effet Joule dans le composant, induisant un fonctionnement à haute température. Il est important, pour des raisons de fiabilité et de performances, qui seront détaillées par la suite, de limiter cette température, et donc d'utiliser des matériaux qui ont une bonne conductivité thermique, ce qui est le cas du SiC et encore plus du diamant.

Matériaux	Si	4H-SiC	GaN	Diamant
Energie de bande interdite (eV)	1,12	3,26	3,39	5,47
Champ de claquage (MV/cm)	0,3	3	3,3	10
Mobilité électronique ($cm^2/(V.s)$)	1430 [22]	950 [23]	bulk : 900 [24] 2-DEG : 2000 [25]	1000
Conductivité thermique (W/(cm.K))	1,5	3,8	1,3	20
Vitesse de saturation (10^7 cm/s)	1	2	3	1,1

Tableau 1 – Propriétés physiques intrinsèques du Si, 4H-SiC et GaN à température ambiante.

On constate que le diamant est le matériau le plus intéressant pour l'électronique de puissance. Des composants ont déjà été réalisés à partir de ce matériau [26] [27]. Cependant, les dimensions des substrats en diamant disponibles restent assez limitées. De nombreuses recherches ont donc également été réalisées sur les matériaux SiC et GaN. Dans cette thèse, nous nous concentrons exclusivement sur les composants en GaN qui se démarquent de ceux réalisés en SiC par leur gaz bidimensionnel d'électrons (détaillé dans la suite) qui possède à la fois une forte densité électronique et une valeur de mobilité électronique élevée.

1.1.3 Exemple du transistor HEMT à base de GaN

Principe de fonctionnement :

Un HEMT (pour High Electron Mobility Transistor en anglais) AlGa_N/Ga_N est un transistor constitué d'une grille de type schottky ou MIS (métal isolant semiconducteur) et de deux contacts ohmiques (le drain et la source) tel qu'il est schématisé sur la figure 6. Ces composants sont fabriqués à base de GaN épitaxié sur divers substrats. Ce substrat peut être du GaN massif (≤ 50 mm dans le commerce), mais également du SiC (≤ 150 mm) ou encore du Si (≤ 300 mm). Des couches tampons sont présentes afin de permettre une épitaxie des couches actives de bonne qualité et également pour isoler électriquement les composants du substrat. Le transistor en tant que tel ne consiste qu'en l'empilement entouré dans la figure 6 : il se caractérise par son hétérostructure AlGa_N/Ga_N qui permet l'apparition d'un gaz bidimensionnel d'électrons (2-DEG pour « two dimensional electron gas » en anglais) qui sert de canal au transistor. Ce gaz 2D d'électrons est la raison pour laquelle les composants GaN se démarquent en termes de performances pour des applications de puissance. Bien que les couches tampons et le substrat n'aient pas un rôle actif dans le fonctionnement du composant HEMT, les performances des composants vont être impactées en fonction des matériaux utilisés. Leurs impacts, et particulièrement ceux du substrat, seront étudiés dans cette thèse.

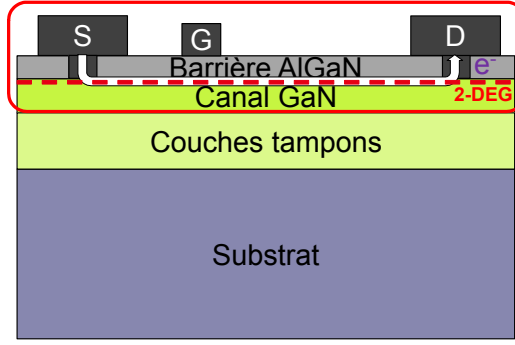


FIGURE 6 – Schéma en coupe d'un transistor HEMT à base de GaN. S représente la source, G la grille et D le drain. Le trajet des électrons lorsque le transistor est passant est représenté avec le trait en blanc.

Le schéma en coupe présenté sur la figure 6 ne permet pas d'avoir une vue globale du transistor. En effet, ces composants ont également une dimension en largeur qui leur permet de délivrer des courants plus importants : on peut alors exprimer ce courant en A/mm en divisant le courant total par la largeur du transistor (nommée largeur de grille, notée W_g et exprimée en mm). La figure 7 présente une vue de dessus d'un transistor HEMT ayant une largeur de grille $W_g = 100 \mu m$ observé au microscope optique. Le trait blanc permet de visualiser la localisation de la vue en coupe présentée à la figure 6.

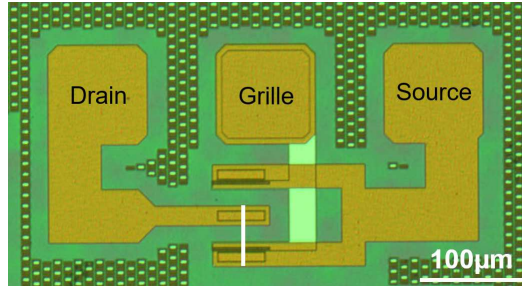


FIGURE 7 – Vue de dessus d'un transistor HEMT observé au microscope optique. Le trait en blanc montre la localisation de la vue en coupe présentée sur la figure 6.

L'effet transistor est obtenu en appliquant un potentiel sur la grille. Si cette tension est inférieure à une tension de seuil notée V_{th} , le gaz 2D d'électrons va être déplété sous la grille, empêchant le courant de passer entre la source et le drain. On parle alors d'état bloqué. La tenue en tension est alors assurée principalement par la zone entre la grille et le drain, expliquant la distance grille-drain bien supérieure à la distance source-grille comme illustré sur la figure 6. À l'inverse, une tension de grille supérieure à V_{th} permettra au transistor d'être à l'état passant. La figure 8 présente des caractéristiques électriques en statique d'un transistor HEMT AlGaIn/GaN ayant une largeur de grille $W_g = 100 \mu m$, une longueur de grille $L_g = 1 \mu m$ et une distance grille-drain $L_{gd} = 15 \mu m$. La figure 8.a) présente le courant de drain I_{DS} en fonction de la tension de drain V_{DS} pour différentes polarisations de grille V_{GS} . Le courant I_{DS} passe par un régime transitoire en fonction de la tension de drain pour arriver ensuite à un régime de saturation (ce régime de saturation est atteint pour les courbes avec une tension de grille $V_{GS} < 5 V$ sur la caractéristique de la figure 8.a)). De plus, aucun courant ne circule dans le transistor pour une tension V_{GS} égale à $0 V$, ce qui n'est pas le cas pour $V_{GS} = 1,25 V$, indiquant une tension de seuil V_{th} positive (ce qui est confirmé par la

figure 8.b) qui représente l'évolution du courant I_{DS} en fonction de la tension V_{GS}). On parle alors de transistors « normally-off ».

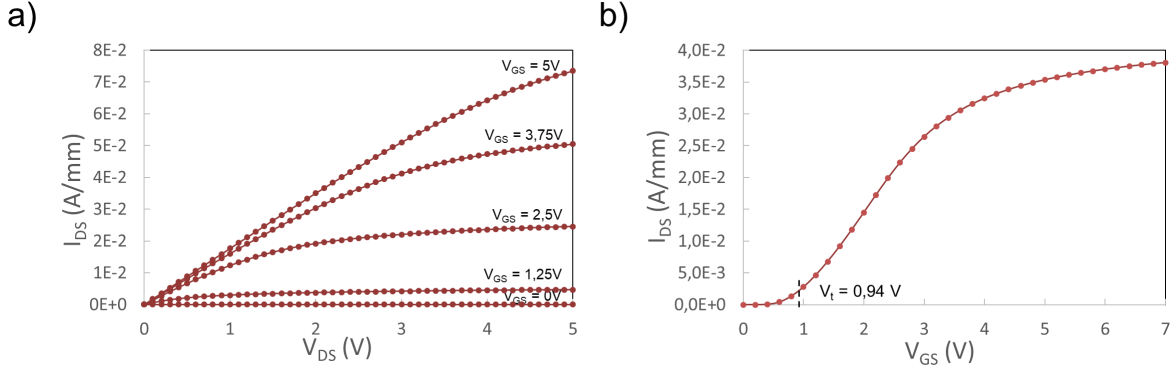


FIGURE 8 – Caractéristiques électriques d'un transistor HEMT normally-off GaN sur substrat silicium ($L_g/W_g/L_{gd} = 1/100/15 \mu m$). a) Courbes $I_{DS}(V_{DS})$ pour différentes tensions de grille V_{GS} . b) Courbes $I_{DS}(V_{GS})$ pour une tension de drain $V_{DS} = 0, 1$ V.

Sans procédé technologique particulier, la tension de seuil d'un transistor HEMT AlGaIn/GaN est négative, ce qui signifie que le transistor est à l'état passant lorsqu'aucune tension n'est appliquée sur la grille, on parle de transistor « normally-on ». Pour des raisons de sécurité dans les circuits de conversion utilisés, il est préférable de travailler avec des transistors « normally-off ». De nombreuses études ont donc été réalisées afin de rendre ces transistors « normally-off » : on peut citer par exemple l'utilisation d'une fine couche barrière d'AlGaIn [28], le rajout d'une couche d'AlGaIn dopé p au niveau de la grille (ce type de transistor est alors appelé « gate injection transistor » en anglais) [29], l'utilisation d'une couche de GaN dopé p sous la grille [30] ou encore la gravure localisée de la couche barrière d'AlGaIn pour que la grille coupe le gaz 2D d'électrons (« gate recess » en anglais) [31] [32]. C'est cette dernière méthode qui est utilisée sur les transistors « normally-off » étudiés dans cette thèse. Une vue en coupe d'une telle grille est présentée sur la figure 9. Pour ces transistors, une gravure de 10 nm a été réalisée dans le GaN.

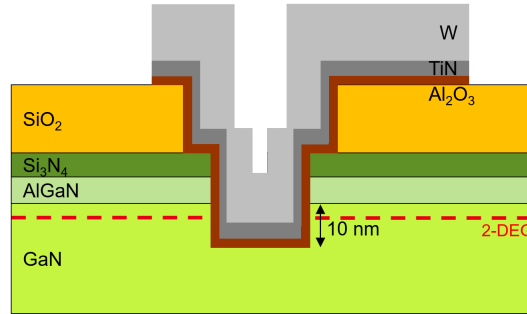


FIGURE 9 – Vue en coupe d'une grille avec une structure en « gate recess ».

Effet de current collapse :

Nous allons détailler dans cette partie et la suivante des mécanismes de piégeages se produisant dans les composants GaN. Le premier d'entre eux est le « current collapse » (que l'on peut traduire

par « effondrement du courant » en français). Ce phénomène se caractérise par une réduction du courant à l'état passant suite à l'application d'un fort potentiel à l'état bloqué sur le drain pour un transistor ou sur la cathode pour une diode. Cet état bloqué va provoquer un piégeage d'électrons issus du canal dans les couches buffers [33] et/ou dans la barrière [34]. Ces électrons piégés, appelés « électrons chauds », vont dépléter le canal ce qui va provoquer une baisse du courant de drain à l'état passant. La figure 10 présente un exemple de cet effet mesuré électriquement sur des composants HEMTs GaN sur substrat silicium. Les courbes $I_{DS}(V_{DS})$ à l'état passant d'un transistor HEMT sont tracées pour différentes valeurs de la tension de grille V_{GS} pour un même transistor avant stress (triangles) et après stress (i.e. après passage du transistor à l'état bloqué, ronds). On observe bien une diminution de la valeur du courant à cause de l'effet de current collapse.

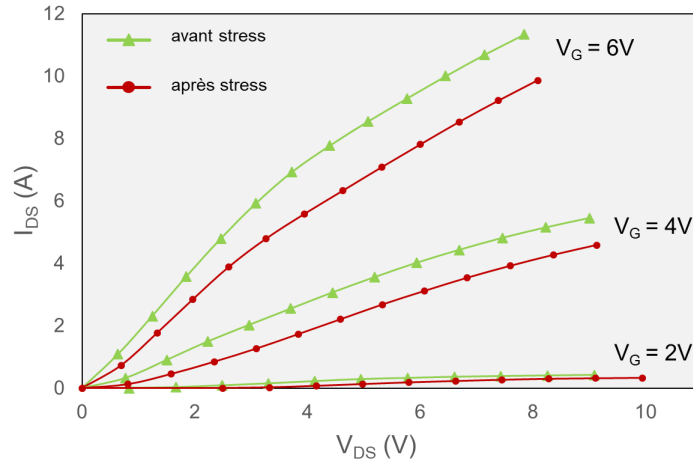


FIGURE 10 – Illustration de l'effet de current collapse pour un transistor 10A. Un premier réseau $I(V)$ est tracé pour différentes tensions de grille (ici sont représentées les courbes pour $V_{GS} = 2V; 4V; 6V$). La condition de stress est réalisée sous $V_{GS} = -4V$ et pour V_{DS} allant de 0V à 450V sont appliquées (non représentée ici)

Effet Kink :

L'effet Kink est un phénomène observé à l'état passant des transistors HEMTs à base de GaN. Il se traduit par une augmentation rapide du courant de drain à faible V_{DS} . La figure 11 présente cet effet sur une caractéristique $I_{DS}(V_{DS})$ d'un transistor HEMT à base de GaN. Les caractéristiques en lignes continues présentent les courbes avec l'effet Kink alors que celles en pointillés présentent les courbes « standard ». En réalité, il s'agit d'une réduction du courant de drain à faible valeur de V_{DS} causée par un piégeage d'électrons dans la couche buffer de GaN réduisant ainsi la densité du gaz 2D d'électrons [4]. Pour une tension V_{DS} de l'ordre d'une valeur nommée V_{kink} (illustrée par les carrés dans la figure 11), un dépiégeage de ces électrons se produit et le courant augmente ainsi pour retrouver sa valeur « normale ».

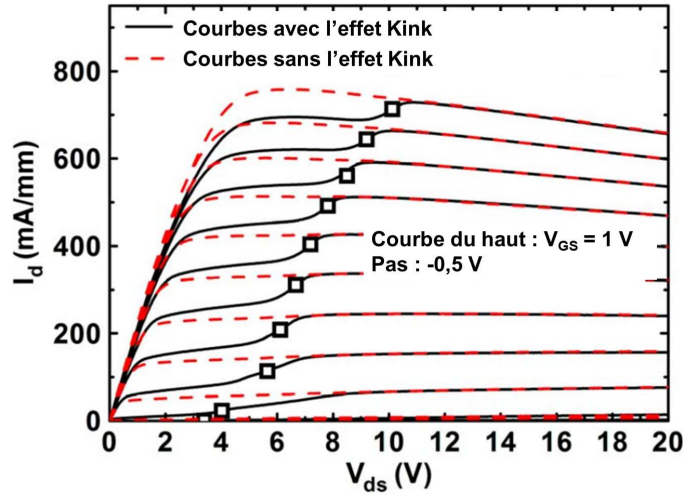


FIGURE 11 – Courbes $I_{DS}(V_{DS})$ à différentes valeurs de tensions de grille V_{GS} d'un transistor HEMT AlGaIn/GaN présentant l'effet Kink (courbes en lignes continues) et sans cet effet Kink (courbes en pointillés) [4]

Hétéro-jonction AlGaIn/GaN :

Nous allons à présent détailler les phénomènes physique à l'origine de l'apparition de ce gaz bidimensionnel d'électrons. Le nitrure de gallium (GaN) est un semi-conducteur composé de l'élément gallium (Ga) de la colonne III du tableau périodique des éléments et de l'élément azote (N) de la colonne V. Il possède deux structures cristallines possibles qui sont montrées sur la figure 12 : la structure hexagonale, encore appelée wurtzite, et la structure cubique zinc-blende. La phase wurtzite est la plus stable thermodynamiquement, c'est celle qui va nous intéresser par la suite.

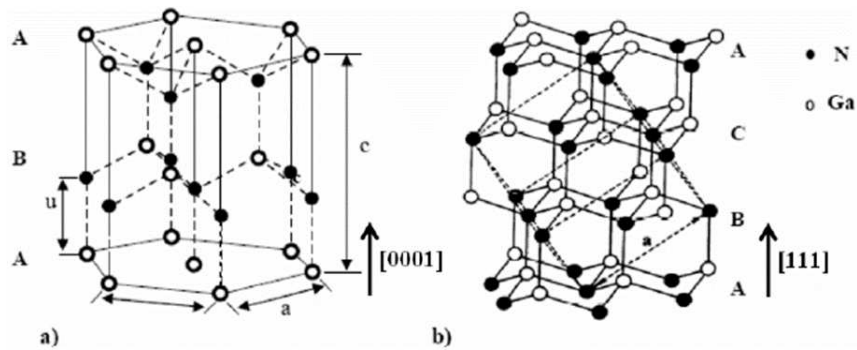


FIGURE 12 – Structure wurtzite a) et zinc-blende b) du GaN [5].

Dans le cas de la structure wurtzite du GaN, il existe une polarisation au sein du matériau. En effet, l'électronégativité de l'atome d'azote étant supérieure à celle de l'atome de gallium, le nuage électronique va donc être plus attiré vers l'atome d'azote. Il en résulte qu'au sein d'une liaison Ga-N les barycentres des charges positives et négatives ne sont pas confondus. Chacune de ces liaisons

possèdent donc un moment dipolaire P_i . La somme de chacun de ces moments dipolaires, comme montrée sur la figure 13, n'est pas nulle et va induire une polarisation totale, appelée polarisation spontanée $\vec{P}_{sp}$.

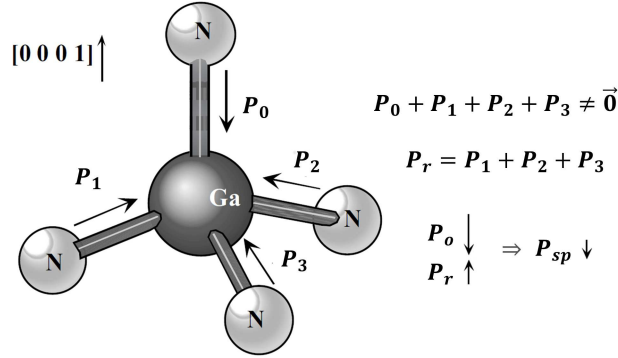


FIGURE 13 – Polarisation spontanée dans la structure wurtzite du GaN dans le cas d'une polarité Ga [6].

Les directions $[0001]$ et $[000\bar{1}]$ ne sont pas équivalentes dans la structure wurtzite du GaN. Dans le cas où l'atome d'azote des liaisons Ga-N verticales pointe vers la surface, on parle de polarité Ga. Dans le cas contraire où ce sont les atomes de gallium des liaisons Ga-N verticales qui pointent vers la surface on parle de polarité N. La figure 14 illustre les deux cas. La polarisation spontanée va donc être orientée vers le bas pour la polarité Ga et vers le haut pour la polarité N.

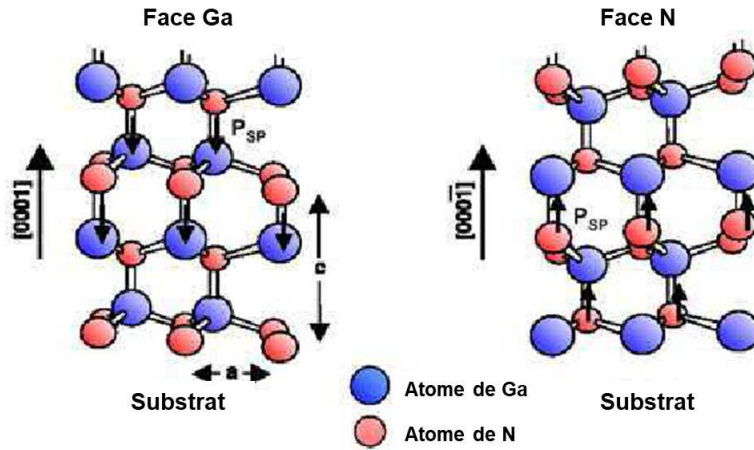


FIGURE 14 – Polarité gallium (gauche) et polarité azote (droite) dans le GaN [7].

Le GaN est principalement épitaxié sur des substrats de nature chimique différente (tel que le silicium ou le saphir par exemple). Il s'agit donc d'une hétéroépitaxie qui va introduire des contraintes dans la couche de GaN. Ces contraintes vont être soit compressives soit extensives et vont déformer la maille du GaN et donc les moments dipolaires de chaque liaison Ga-N. Cela va entraîner une modification de la polarisation spontanée présentée précédemment. On définit la polarisation piézoélectrique $\vec{P}_{pz}$ telle que la polarisation totale $\vec{P}$ vaut la somme des polarisations spontanée $\vec{P}_{sp}$ (liée au cas relaxé) et piézoélectrique $\vec{P}_{pz}$, on a donc :

$$\vec{P} = \vec{P}_{sp} + \vec{P}_{pz} \quad (1.2)$$

La figure 15 donne la direction de la polarisation piézoélectrique pour une polarité Ga selon l'état de contrainte dans la couche de GaN. Dans le cas d'une contrainte en tension (à gauche sur la figure 15) le matériau subit une déformation biaxiale dans le plan de croissance. Les atomes d'azote des liaisons Ga-N qui possèdent une composante dans ce plan vont être éloignés de l'atome de gallium auquel ils sont rattachés. La polarisation $\vec{P}_r$ (définie dans la figure 15) est donc réduite par rapport au cas relaxé. La polarisation totale $\vec{P}$ est ainsi augmentée et on a : (avec $\vec{P}_0$ étant la polarisation de la liaison Ga-N verticale comme définie sur la figure 15)

$$\vec{P} = \vec{P}_r + \vec{P}_0 \quad (1.3)$$

On obtient donc, par définition, une polarisation piézoélectrique dirigée vers le bas. De même, dans le cas d'une contrainte en compression, les atomes d'azote sont rapprochés de l'atome de gallium de leur liaison. La polarisation $\vec{P}_r$ augmente donc et on obtient une polarisation piézoélectrique dirigée vers le haut.

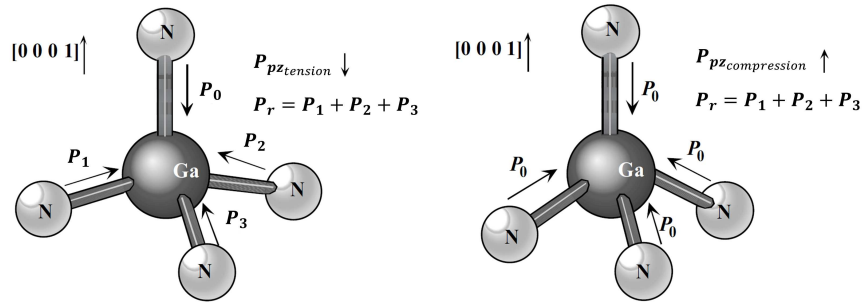


FIGURE 15 – Direction de la polarisation piézoélectrique dans le cas d'une contrainte en tension (gauche) et d'une contrainte en compression (à droite) dans le cas d'une polarité Ga [6].

Il est intéressant de noter que ces effets de polarisation qui ont été décrits précédemment s'appliquent également dans le cas du matériau AlGaN. On s'intéresse donc désormais au cas de l'hétérostructure AlGaN/GaN. On considère pour la suite le cas optimal où le GaN est relaxé et on se place dans le cas d'une polarité gallium. L'AlGaN ayant un paramètre de maille plus petit que celui du GaN, il va être contraint en tension. Il existe donc une polarisation spontanée (dans le GaN également) et piézoélectrique dans l'AlGaN. La figure 16 résume cette situation. Ces effets de polarisation au sein du matériau vont induire une densité surfacique de charge σ (en $C.m^{-2}$) qui s'exprime à l'interface AlGaN/GaN par la relation (avec $\Delta\vec{P}$ la polarisation à cette interface en $C.m^{-2}$) :

$$\sigma = \Delta\vec{P} \cdot \vec{n} = (\vec{P}_{spAlGaN} + \vec{P}_{pzAlGaN} - \vec{P}_{spGaN}) \cdot \vec{n} \quad (1.4)$$

Ces charges positives à l'interface AlGaN/GaN vont être compensées par une accumulation d'électrons confinés à cette même interface. C'est cette accumulation d'électrons qui est appelée gaz bidimensionnel d'électrons (ou 2-DEG pour two dimensional electron gas en anglais). La densité de ce gaz bidimensionnel d'électrons est égale à la densité surfacique σ^+ qui est de l'ordre de $10^{13} cm^{-2}$. Ces électrons semblent provenir principalement des états donneurs en surface [35].

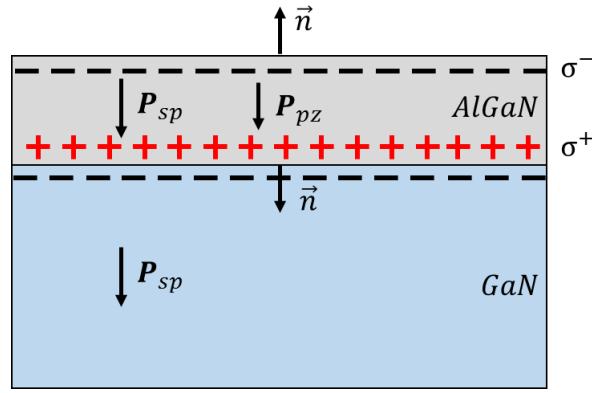


FIGURE 16 – Création des plans de charges pour une hétérostructure AlGaN/GaN dans le cas d'une polarité Gallium.

Ce sont les propriétés très intéressantes de ce gaz bidimensionnel d'électrons, comme sa mobilité électronique pouvant atteindre $2000 \text{ cm}^2/(\text{V.s})$ [25] ou encore sa densité électronique élevée, qui font des composants latéraux à base de GaN des composants attractifs pour l'électronique de puissance.

1.2 Limitations du substrat pour l'épitaxie de GaN

Nous allons dans cette partie et la suivante nous concentrer sur le cas de composants à base de GaN fabriqués sur substrat silicium de diamètre 200 mm : il s'agit de la ligne stratégique du LETI en ce qui concerne le GaN dans le domaine de la puissance. Le procédé de fabrication de ces composants sur silicium est représenté dans la figure 17. Il consiste en une épitaxie de l'hétérostructure AlGaN/GaN, suivi de la réalisation des HEMTs. Les composants sont ensuite caractérisés électriquement, découpés et enfin packagés. Dans cette thèse, nous nous intéressons aux limitations dues au substrat silicium à deux niveaux de la fabrication des composants finaux : l'épitaxie et les performances électriques de ces composants (avant l'étape de packaging).

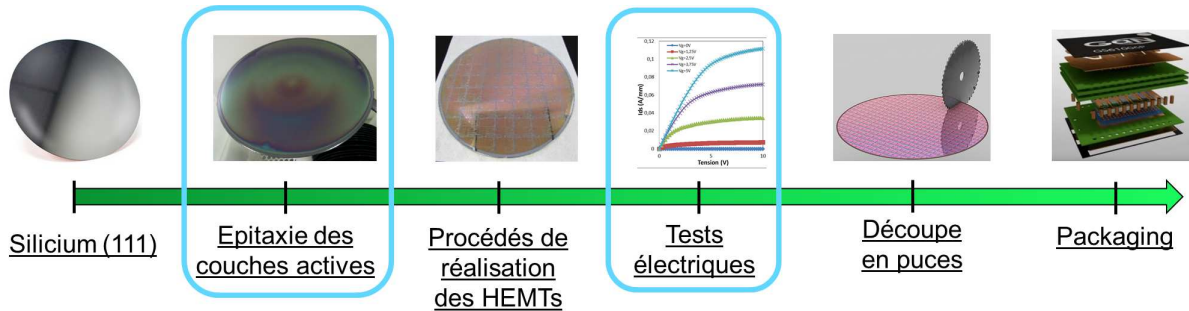


FIGURE 17 – Procédé de fabrication de composants de puissance à base de GaN.

1.2.1 Méthode de croissance

Les matériaux III-V que nous avons évoqués précédemment (GaN , AlN , $\text{Al}_x\text{Ga}_{1-x}\text{N}$, etc.) sont épitaxiés sur un substrat. Cela consiste en la croissance d'un monocristal d'un matériau ayant un ou plusieurs éléments sur un support monocristallin : le substrat. Plus précisément, la technique qui a été utilisée pour réaliser les composants étudiés dans cette thèse s'appelle la croissance par MOCVD (pour « metalorganic chemical vapor deposition » en anglais). Il en existe d'autres, comme la croissance par MBE (pour « molecular beam epitaxy » en anglais), mais que nous ne détaillerons pas ici. On peut distinguer l'homoépitaxie, où l'on fait croître un cristal sur un cristal de nature chimique identique, de l'hétéroépitaxie, où l'on fait croître un cristal sur un cristal de nature chimique différente.

La croissance par MOCVD utilise des composés organo-métalliques comme le triméthylgallium (TMGa) qui sont amenés jusqu'au réacteur par un gaz vecteur (hydrogène ou azote). Leur pyrolyse en surface du substrat chauffé permet l'apport des éléments III comme le gallium dans le cas du triméthylgallium. L'ammoniac est également utilisé comme précurseur de l'azote. Il est intéressant de noter pour la suite que ce procédé se fait à des températures élevées comme par exemple 1050°C pour la croissance du GaN .

1.2.2 Contraintes liées à l'hétéroépitaxie

L'hétéroépitaxie va induire des contraintes biaxiales dans le matériau épitaxié qui sont soit liées à la différence de paramètre de maille (contraintes d'épitaxie) soit liées à la différence de coefficients de dilatation thermique des deux matériaux lors du refroidissement après la croissance (contraintes thermo-élastiques). Ces contraintes vont induire des relaxations dans les matériaux qui pourront être élastiques ou encore plastiques.

Contraintes d'épitaxie :

L'utilisation de deux matériaux cristallins de paramètres de maille différents lors d'une hétéroépitaxie entraîne des contraintes dans le plan de croissance. On parle de contraintes biaxiales. Elles peuvent être de nature compressive ou de nature extensive comme illustré dans la figure 18. Si le paramètre de maille du film épitaxié est supérieur à celui du substrat, comme le substrat va imposer son paramètre de maille au film, ce dernier va être contraint en compression. Inversement, si le paramètre de maille du film épitaxié est inférieur à celui du substrat, le film va être contraint en tension.

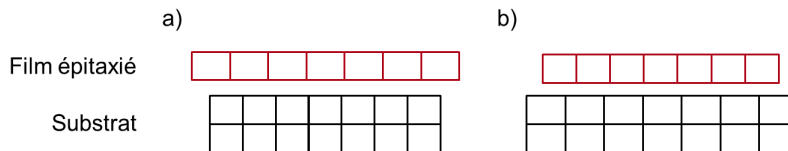


FIGURE 18 – Impact du désaccord de maille entre un film épitaxié et un substrat sur le type de contrainte induite dans le film épitaxié. Chaque carré représente schématiquement une maille de côté a . Dans le cas a) on a $a_{\text{substrat}} < a_{\text{film}}$ d'où un film contraint en compression alors que dans le cas b) on a $a_{\text{substrat}} > a_{\text{film}}$ d'où un film contraint en tension.

Contraintes thermo-élastiques :

Un matériau subissant un changement de température va se déformer. Il est possible d'exprimer cette variation de longueur ΔL (m) en fonction de la variation en température ΔT (K), de la longueur initiale L_0 (m) et d'un coefficient appelé coefficient de dilatation thermique, qui est noté α , qui s'exprime en K^{-1} et qui est caractéristique pour chaque matériau :

$$\Delta L = \alpha \times L_0 \times \Delta T \quad (1.5)$$

Lors du refroidissement en température après la croissance, la différence de coefficient de dilatation thermique entre le substrat et le film épitaxié va induire des contraintes dans l'hétérostructure appelée contraintes thermo-élastiques. Il est possible d'exprimer la déformation thermo-élastique $\epsilon_{th,film}$ dans le film épitaxié en fonction des coefficients de dilatation thermique des différents matériaux et de la variation de température ΔT :

$$\epsilon_{th,film} = (\alpha_{substrat} - \alpha_{film})\Delta T \quad (1.6)$$

La figure 19 présente la courbure d'une hétérostructure après un changement de température en fonction des coefficients de dilatation thermique des deux matériaux. Si le film est mis en compression (cas avec $\alpha_{film} < \alpha_{sub}$ et une diminution de température par exemple) la structure aura une courbure convexe. Si le film est mis en tension (cas avec $\alpha_{film} > \alpha_{sub}$ et une augmentation de température par exemple) la structure aura une courbure concave.

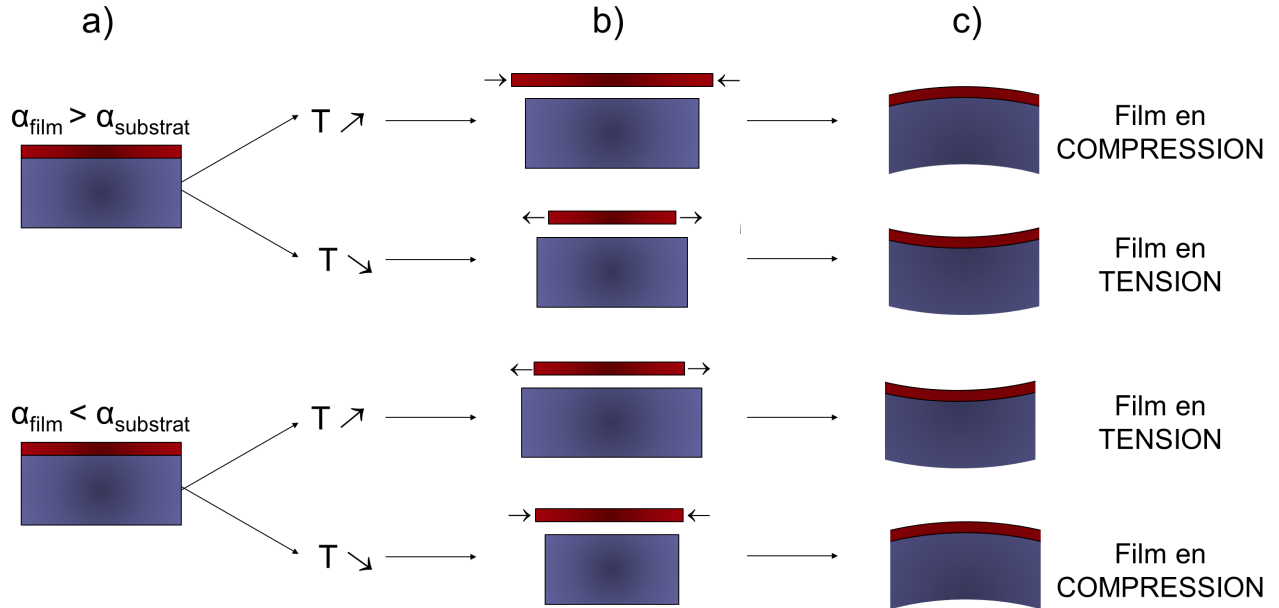


FIGURE 19 – Effet d'une variation de température sur la courbure d'une hétérostructure présentant des coefficients de dilatation thermique différents. a) Le film est déposé sans contrainte sur un substrat à une certaine température. b) Si le substrat et le film n'était pas lié, chacun s'étirerait ou se comprimerait différemment suite à une variation de température. Dans le cas réel, le substrat impose au film ses déformations. c) La contrainte résultante induit une courbure de la structure.

Relaxation des contraintes :

En deçà d'une épaisseur critique, la contrainte dans les couches épitaxiées n'est pas suffisante pour induire une relaxation plastique : les matériaux se déforment alors de manière élastique sans génération de défauts. L'ensemble de l'empilement prend alors un paramètre de maille moyen correspondant à un équilibre des forces appliquées dans le plan de croissance et au minimum d'énergie élastique de la structure. Lorsque la contrainte dans les couches épitaxiées est suffisante pour passer en relaxation plastique, on a l'apparition de défauts irréversibles tels que des dislocations ou des fissurations. Ces défauts sont néfastes aux performances des composants voir rédhibitoires à leur fonctionnement.

1.2.3 Substrats d'épitaxie

Substrat massif :

L'idéal pour l'épitaxie du GaN serait d'utiliser un substrat massif monocristallin de GaN. Malheureusement, celui-ci n'est pas disponible en grande taille dans le commerce et est très coûteux. Or, pour réduire les coûts, il faut être capable de réaliser des composants sur des substrats de grande taille et que ceux-ci aient des prix raisonnables. L'épitaxie de GaN se fait donc sur des substrats différents du GaN et on a alors affaire à des hétéroépitaxies. Le choix de ce substrat pour l'épitaxie du GaN se fait en suivant différents critères selon les applications visées ; son accord de maille avec le GaN, son accord de coefficient de dilatation thermique avec le GaN, son coût, sa disponibilité ou encore sa conductivité thermique.

Substrat (monocristallin)	GaN	Si	4H-SiC	AlN	Al_2O_3
Désaccord de maille	0%	-17%	3,4%	2,4%	16%
Coefficient de dilatation thermique à 25°C ($\cdot 10^{-6} K^{-1}$)	5,59	2,59	4,7	4,2	7,5
Disponibilité	- ($\leq 50\text{ mm}$)	++ ($\leq 300\text{ mm}$)	+ ($\leq 150\text{ mm}$)	-	+ ($\leq 150\text{ mm}$)
Coût	-	++	-	-	-
Conductivité thermique ($W.m^{-1}.K^{-1}$)	150	148	380	200	50

Tableau 2 – Propriétés de différents substrats envisageables pour l'épitaxie du GaN.

Nous allons détailler les avantages et inconvénients de certains de ces substrats en s'appuyant sur les données du tableau 2 :

- Le saphir : les premiers substrats utilisés pour épitaxier des couches de GaN étaient en saphir (ou oxyde d'aluminium Al_2O_3) [36]. C'est le substrat le plus couramment utilisé en optoélectronique de par son faible prix, sa transparence dans le visible et sa disponibilité et ceci malgré son fort désaccord de maille avec le GaN. Il est également utilisé pour l'électronique de puissance mais sa faible conductivité thermique est un point négatif à son utilisation dans ce domaine. De plus, les épitaxies de GaN sur saphir ne sont pas disponibles en grande dimension (200 mm ou plus).

-
- Le carbure de silicium : le substrat SiC présente une très bonne conductivité thermique ce qui le rend intéressant pour les applications de puissance. Il possède également un faible désaccord de maille et de coefficient de dilatation thermique avec le GaN. Cependant, le coefficient de dilatation thermique du SiC étant plus faible que celui du GaN, l'épitanie de couches épaisses est alors rendue plus difficile comparée au cas du saphir. Le substrat SiC a également un coût élevé comparé au substrat saphir et n'est également pas disponible en grande dimension (200 *mm* ou plus). Néanmoins, les substrats SiC en 150 *mm* commencent à arriver sur le marché.
 - Le nitrure d'aluminium : le substrat AlN est intéressant de par sa bonne conductivité thermique, son faible désaccord de maille et de coefficient de dilatation thermique avec le GaN. Il est cependant couteux et il n'existe malheureusement pas de substrat AlN monocristallin en grande dimension.
 - Le silicium : le substrat silicium s'est imposé comme un candidat intéressant pour l'épitanie du GaN. En effet, il est disponible en grande quantité dans toutes les dimensions utilisées en microélectronique et à un faible coût. De plus, la ligne silicium est bien développée ce qui rend plus accessible la fabrication de composants. Il présente cependant l'inconvénient d'avoir un fort désaccord de maille et de coefficient de dilatation thermique avec le GaN.

Le silicium est donc la voie la plus prometteuse pour l'épitanie de GaN en grande dimension (substrat 200mm de diamètre). Néanmoins, comme énoncé précédemment, la différence de paramètre de maille entre le GaN et le Si pose des problèmes lors de l'épitanie (défauts, limitation de l'épaisseur maximale de GaN que l'on peut épitanier). De plus, il n'est pas possible de réaliser une croissance bidimensionnelle de GaN directement sur Si. Pour résoudre ce problème, une couche de nucléation en AlN est épitanie sur le substrat Si. L'épitanie du GaN sur cette couche d'AlN est alors possible.

La différence de dilatation thermique entre le GaN et le Si est suffisamment importante pour provoquer une contrainte en tension importante provoquant la fissuration du matériau au moment du retour à température ambiante lors de l'épitanie. Afin de pallier ce problème et comme illustré sur la figure 20, le LETI (et d'autres groupes comme présenté dans [37] [38] [39] par exemple) utilisent des couches tampons pour mettre en compression le GaN (en utilisant la contrainte créée par le désaccord de maille entre le GaN et la couche tampon). Ces contraintes compressives ont pour but de compenser les contraintes extensives et ainsi éviter d'éventuelles fissurations du GaN. Ces couches tampons peuvent être des alternances AlN/GaN [40] ou encore des super réseaux [39]. Néanmoins, ces procédés d'épitanies restent coûteux, induisant une volonté de trouver des solutions alternatives comme il sera détaillé dans le paragraphe suivant.

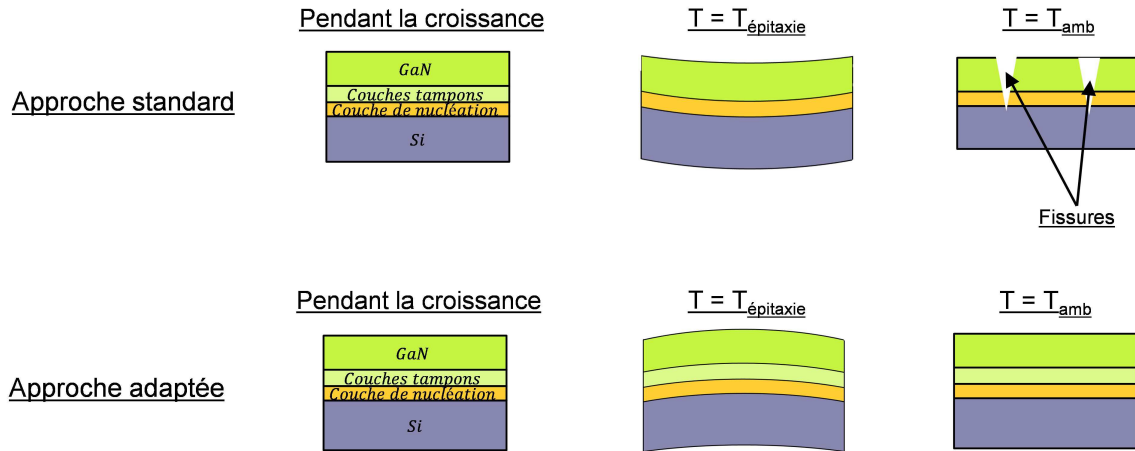


FIGURE 20 – Approche adoptée par le LETI pour l'épitaxie du GaN sur substrat silicium. Cette approche consiste en l'utilisation de couches tampons qui vont mettre en compression le GaN pendant la croissance. Cette contrainte compressive va ainsi compenser la contrainte extensive créée lors du refroidissement à température ambiante après l'épitaxie.

Substrats multicouches :

Un substrat que nous nommerons multicouches (appelé « composite substrates » en anglais) est constitué d'un substrat sur lequel est assemblée une couche de germe à l'épitaxie tel qu'il est représenté schématiquement sur la figure 21. Un tel empilement a pour objectif d'utiliser différents matériaux qui présentent chacun des avantages pour l'épitaxie du GaN. En effet, le substrat doit être choisi de telle sorte qu'il soit adapté en terme de coefficient de dilatation thermique avec le GaN. La couche de germe à l'épitaxie doit quant à elle permettre une reprise d'épitaxie. Il devient alors envisageable d'ouvrir la gamme de substrats utilisables tels que des substrats polycristallins ou encore métalliques.

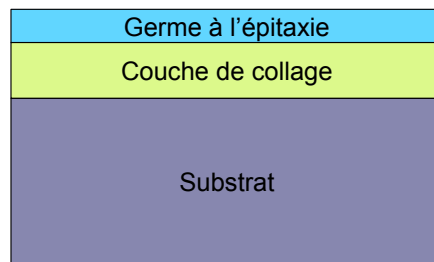


FIGURE 21 – Schéma simplifié d'un substrat multicouches. Il est constitué d'un substrat sur lequel est assemblée à l'aide d'une éventuelle couche de collage une couche de germe à l'épitaxie.

Comme énoncé dans le paragraphe précédent, un substrat massif SiC est un candidat intéressant pour la fabrication et les performances des composants GaN (notamment en thermique). Néanmoins son coût est élevé comparé à d'autres matériaux, comme le silicium par exemple. Plusieurs études [41] [42] ont donc utilisé un substrat polycristallin en SiC jumelé à une couche de germe à l'épitaxie monocristalline : il est ainsi possible de profiter des propriétés physiques du SiC à moindre coût. On peut citer par exemple la fabrication des premiers composants HEMTs

sur substrat SiCopSi (couche monocristalline de SiC reportés sur Si avec une couche de collage en SiO_2) et SiopSiC (couche monocristalline de Si reportée sur SiC polycristallin avec une couche de collage en SiO_2) montrant des performances semblables aux composants réalisés sur un substrat monocristallin en SiC [41]. Le tableau 3 présente différents substrats multicouches étudiés dans la littérature. On retrouve les substrats SiC ou encore AlN polycristallin utilisés pour être en accord de dilatation thermique avec le GaN tout en présentant une bonne conductivité thermique. D'autres études utilisent du diamant pour bénéficier de son excellente conductivité thermique [43]. Cependant, le fort désaccord de maille entre le GaN et le diamant induit des contraintes dans le GaN impactant directement les performances des composants (en termes de mobilité des électrons ou de densité du gaz bidimensionnelle d'électrons).

Substrats multicouches	Dimensions	Epaisseur déposée / Applications	Références
SiC/ SiO_2 /Si	50mm	3 μm	[44]
Si(111)/ SiO_2 /poly-SiC	-	> 500nm / HEMT - RF	[41]
SiC(0001)/ SiO_2 /poly-SiC	-	> 500nm / HEMT - RF	[41]
Si(111)/poly-diamant	20 $\times$ 20mm ²	$\sim$ 350nm	[43]
Si(111)/ SiO_2 /poly-SiC	-	1, 9 μm / HEMT - RF	[42]
Saphir/ SiO_2 /poly-AlN	50mm	2, 5 μm / LED	[45]
Si(111)/ SiO_2 /poly-SiC	50mm	2 μm / HEMT - RF	[46]
Si(111)/ SiO_2 /Si(100)	150mm	-	[47]

Tableau 3 – Exemples de différents substrats multicouches utilisés dans la littérature pour l'épitaxie du GaN.

1.3 Limitations des performances dues au substrat

1.3.1 Aspect thermique

En fonctionnement, ces composants de puissance à base de GaN délivrent une puissance importante qui provoque une forte génération de chaleur par effet Joule. Cette chaleur, si mal évacuée, induit une augmentation significative de la température du canal préférentiellement au niveau de la grille côté drain [48]. Cet échauffement va impacter les performances du composant ainsi que sa fiabilité. Au niveau des performances, une décroissance du courant de drain de saturation avec la température peut être observée (figure 22). Cette réduction du courant est due à une diminution de la mobilité du 2-DEG et de sa densité d'électrons avec la température [8]. Au niveau de la fiabilité des composants, l'augmentation de la température, due à l'auto-échauffement, est une des causes (en plus des fortes tensions et des forts courants qui traversent le composant) de dégradations structurales. On peut citer par exemple l'apparition de trous aux extrémités de la grille dans le cas de HEMTs [49], qui vont dégrader leurs caractéristiques électriques.

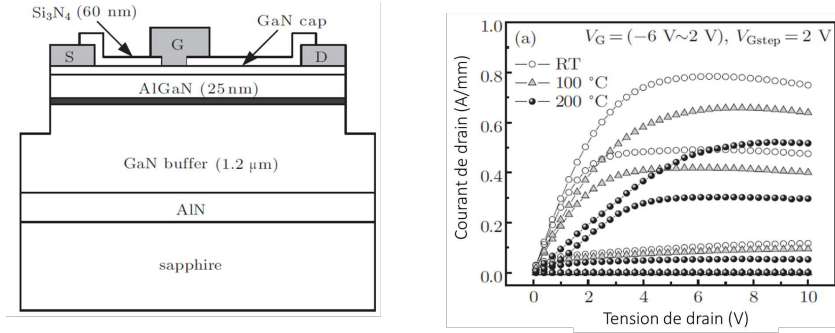


FIGURE 22 – Dégradation du courant de drain en fonction de la tension de drain pour un transistor AlGaIn/GaN HEMT sur substrat saphir à différentes températures imposées (température ambiante, 100°C et 200°C) [8].

On constate sur la figure 22 que le substrat (en saphir sur cet exemple) est proche des composants (à quelques micromètres). Leurs structures en peignes interdigités couvrent alors une surface suffisante pour que le substrat ait un rôle significatif dans la dissipation thermique. Ainsi, il a été montré expérimentalement que les substrats saphir [50] et silicium [9] participent à la dégradation des performances de HEMTs AlGaIn/GaN. L'utilisation de ces matériaux entraînent une mauvaise dissipation de la chaleur générée lors du fonctionnement des composants. La figure 23 présente des résultats expérimentaux et de simulations de caractéristiques $I(V)$ dans le cas d'un substrat silicium [9]. La décroissance du courant de saturation (courbes avec les points en étoiles) coïncide avec les simulations lorsque le phénomène d'auto-échauffement y est appliqué (courbes en pointillés), démontrant ainsi la présence de cet effet avec un substrat silicium.

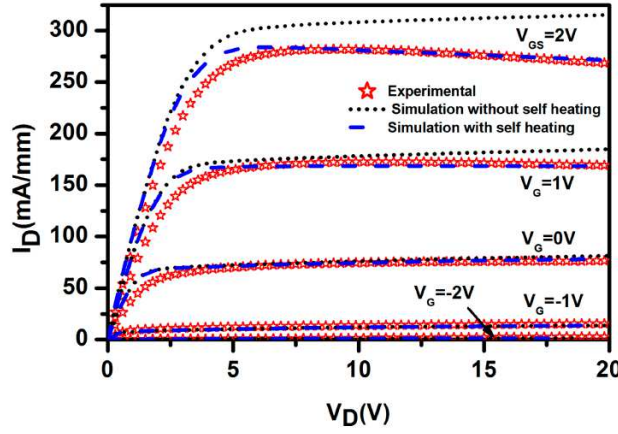


FIGURE 23 – Variation du courant de drain I_D en fonction de la tension de drain V_D pour un transistor HEMT à base de GaN sur substrat Si [9]. Sont représentés ici avec les symboles en étoile les résultats expérimentaux, en pointillés noirs des résultats de simulation sans auto-échauffement et en traits bleus avec auto-échauffement.

De nombreuses études ont été réalisées afin d'améliorer la dissipation de la chaleur générée lors du fonctionnement des composants. Dans cette partie nous allons nous concentrer sur les approches substrats. En effet, comme il a été dit précédemment, les composants sont à seulement quelques micromètres du substrat de fabrication. Il en résulte que celui-ci a un impact direct sur l'évacuation de la chaleur générée en fonctionnement, induisant une volonté de le remplacer par un matériau plus adapté si sa capacité à évacuer la chaleur n'est pas bonne. Différents travaux ont été effectués sur ce sujet. De manière générale, les procédés utilisés dans ces études peuvent être résumés schématiquement dans la figure 24. L'objectif est le même pour chaque étude : remplacer le substrat de fabrication par un substrat plus adapté (thermiquement dans notre cas, mais cette approche peut se généraliser pour d'autres applications). Pour cela, il est nécessaire de réaliser un premier assemblage entre une plaque de départ (substrat de fabrication + composants) et un substrat dit temporaire. Ce substrat temporaire, nommé également « poignée », a pour vocation d'assurer le maintien mécanique des composants après le retrait du substrat de fabrication et avant l'« ajout » du substrat thermiquement adapté. En effet, les composants, mesurant quelques micromètres d'épaisseur, se casseraient s'ils n'étaient pas maintenus mécaniquement lors du retrait du substrat de fabrication. Le substrat thermiquement adapté est ensuite ajouté, soit à l'aide d'une étape de collage soit d'une étape de dépôt. Finalement, la poignée est retirée pour libérer la face avant des composants. Cela implique que le collage entre la poignée et la plaque de composants soit démontable : on doit pouvoir « annuler » son effet quand on le désire pour retirer la poignée.

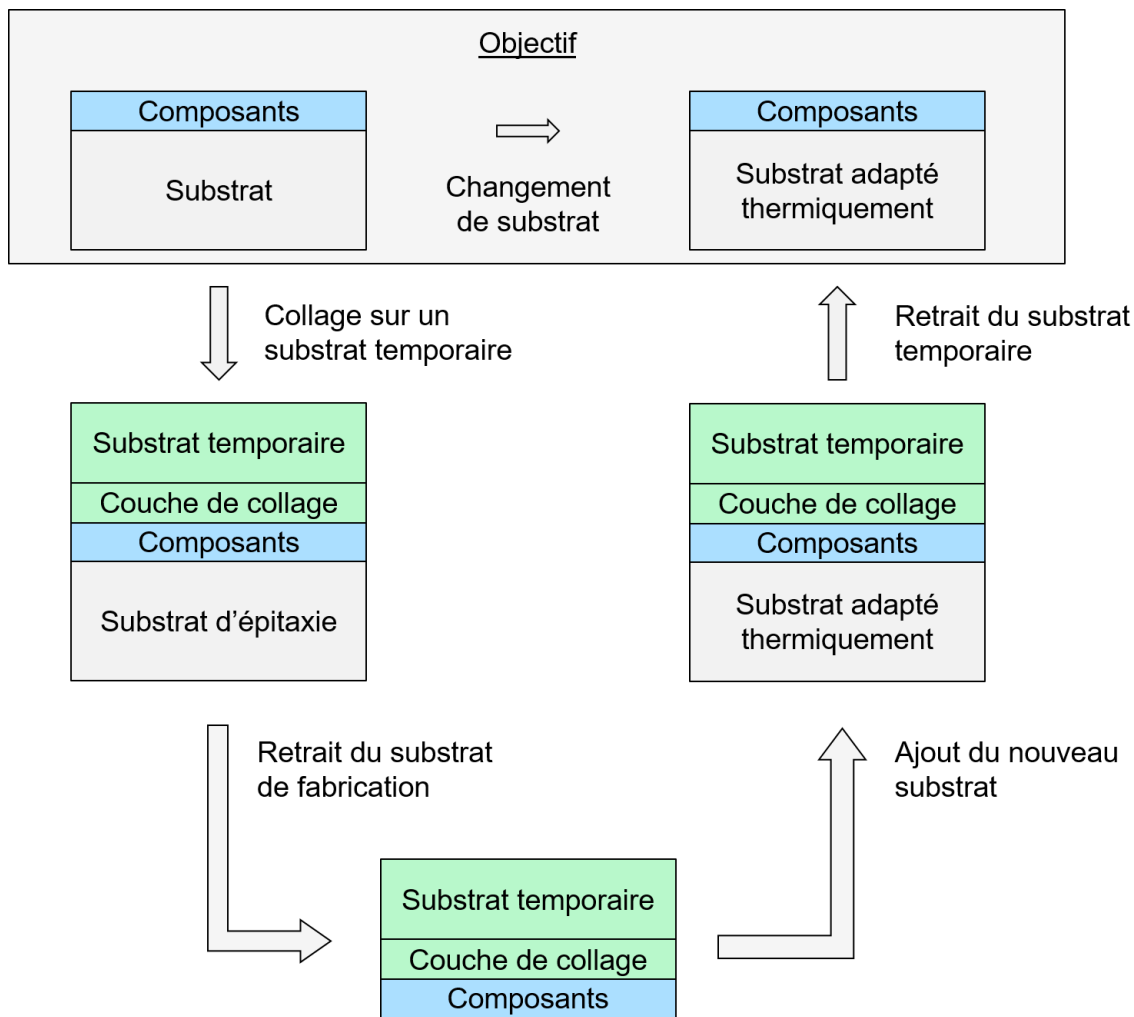


FIGURE 24 – Principe du report de composants sur un substrat plus adapté à partir du substrat de fabrication.

Nous allons à présent détailler différentes solutions substrats adoptés dans l'état de l'art pour améliorer la dissipation thermique de composants GaN.

Report sur cuivre à partir d'un substrat saphir :

Un tel report a été réalisé sur un substrat en cuivre à partir d'un substrat d'épitaxie en saphir [10]. L'idée de base est de remplacer le substrat saphir qui a une faible conductivité thermique ($50 \text{ W.m}^{-1}.\text{K}^{-1}$) par un meilleur conducteur thermique, dans ce cas du cuivre ($390 \text{ W.m}^{-1}.\text{K}^{-1}$). Le procédé utilisé pour le changement de substrat s'identifie au procédé général décrit dans la figure 24. Il est détaillé dans la figure 25. Des composants HEMTs ayant une largeur de grille de $100\mu\text{m}$ sont fabriqués sur un substrat saphir sur lequel a été préalablement déposée par MOVPE une fine couche de nitrure de bore hexagonal (noté h-BN). L'étape (a) de collage temporaire se fait à l'aide d'un collage polymère sur une poignée en verre. L'étape (b) consiste à retirer le substrat saphir mécaniquement au niveau de la couche de h-BN. Un dépôt de titane/d'or (Ti/Au) puis d'indium (In) (étape (c)) suivi d'un collage par thermocompression (il s'agit d'un procédé de

collage permanent dont le principe sera détaillé dans la suite) sur un substrat en cuivre (étape (d)) sont réalisés avant de retirer le substrat temporaire.

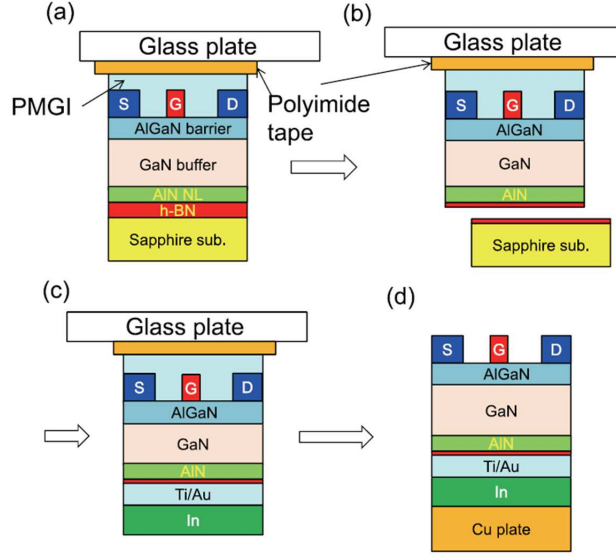


FIGURE 25 – Procédé de transfert de HEMTs à base de GaN sur substrat cuivre à partir d'un substrat de fabrication en saphir [10]. (a) Collage temporaire sur une poignée en verre. (b) Détachement du substrat saphir à l'aide d'une fine couche de h-BN préalablement déposée. (c) Dépôt de couche Ti/Au puis de In. (d) Collage par thermocompression de l'ensemble avec une plaque en cuivre. Le substrat en verre est ensuite retiré.

Les performances électriques en statique ont été étudiées suite à ce report dont notamment les caractéristiques $I(V)$ illustrées sur la figure 26. En bleu sont représentées les courbes $I(V)$ sur saphir (avant transfert) et en rouge sur cuivre (après transfert) : on remarque que le courant de saturation de drain diminue plus fortement pour le cas saphir que pour le cas cuivre pour des tensions V_{DS} croissantes dans le régime de saturation. Cela montre la meilleure dissipation thermique obtenue avec le substrat cuivre comparé au substrat en saphir. Cette conclusion a été confirmée à travers une mesure par caméra infra-rouge de la température en surface des composants montrant une température plus basse avec le substrat en cuivre.

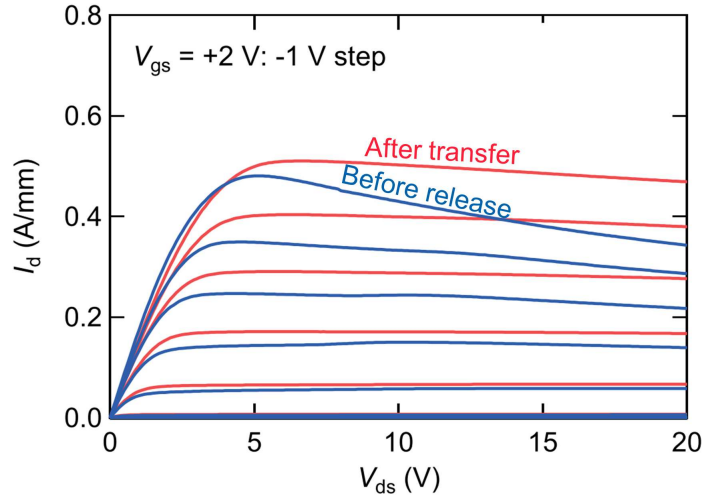


FIGURE 26 – Caractéristiques $I(V)$ de composants GaN avant report, i.e. sur saphir, et après report, i.e. sur cuivre [10].

Cette étude montre un transfert de composants HEMTs à base de GaN sur un substrat cuivre à partir d'un substrat saphir à l'aide d'une couche de h-BN pour détacher le substrat saphir. Les composants sont toujours fonctionnels après le report et une meilleure dissipation thermique a été observée sur le substrat cuivre.

Report sur cuivre à partir d'un substrat silicium :

Nous allons à présent présenter une étude menée par Wong et al. [11]. Il s'agit également d'un report de composants HEMTs à base de GaN sur un substrat en cuivre mais dans cette étude, le substrat de croissance était en silicium. Le procédé de report est présenté sur la figure 27. Préalablement, une couche de polyimide est déposée sur les composants afin de les protéger d'éventuelles dégradations lors du report. Les composants sont d'abord collés par collage temporaire sur une poignée en saphir à l'aide d'une couche adhésive d'un matériau appelé « black Wax ». Après gravure humide de tout le substrat Si, une couche conductrice de Ti/Au est déposée en face arrière des composants, permettant une électrodéposition de $100\mu m$ de cuivre. La poignée est ensuite retirée, donnant accès aux composants pour des caractérisations électriques.

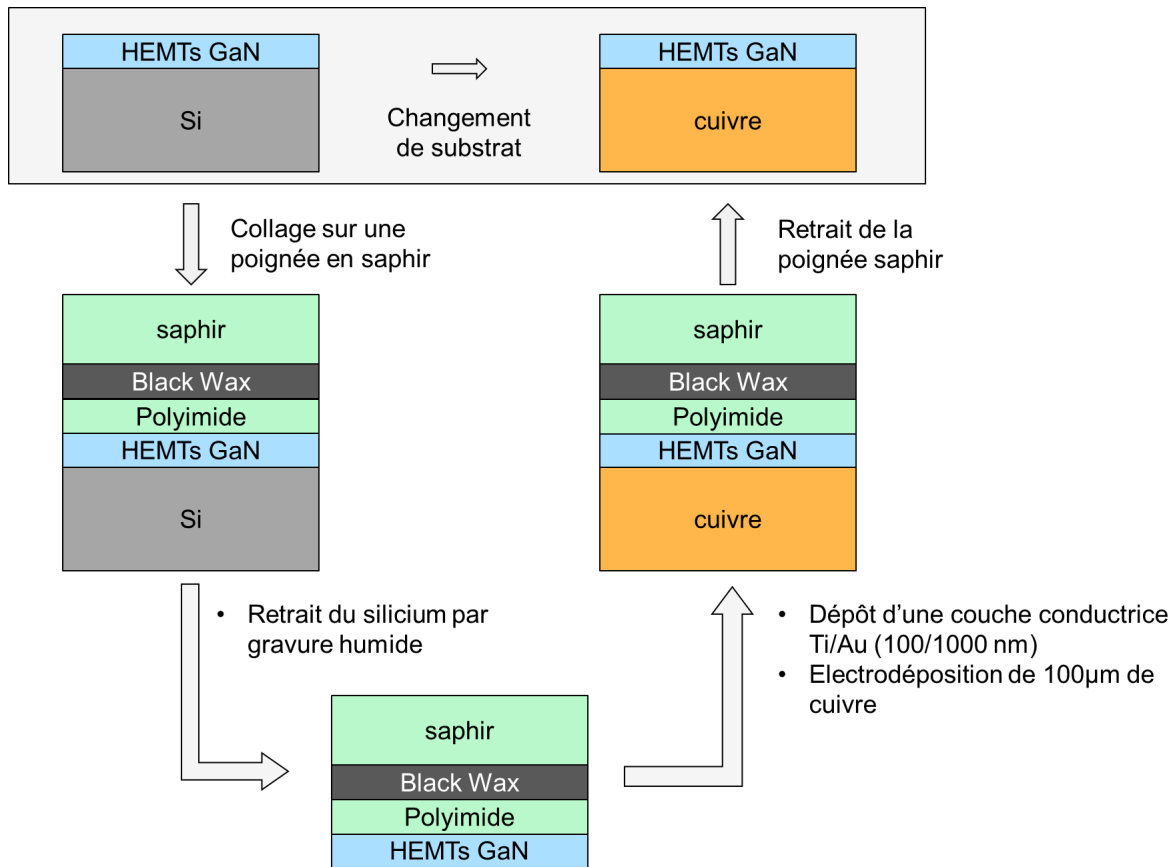


FIGURE 27 – Procédé de transfert de composants HEMTs GaN sur substrat cuivre à partir d'un substrat silicium [11].

Une photographie des composants reportés est donnée dans la figure 28. On voit de nombreuses fissures à la surface de l'échantillon : celles-ci sont dues à des fissurations dans la couche de GaN. En effet, le GaN est fortement contraint en tension suite à l'épitaxie : lorsque le substrat silicium est retiré, la couche de GaN se relaxe par apparition de fissures, dégradant ainsi certains composants.



FIGURE 28 – Photographie de transistors HEMTs à base de GaN reportés sur substrat cuivre [11].

Des caractérisations électriques ont été réalisées sur les transistors HEMTs ($L_g/W_g/L_{gs}/L_{gd} = 1/10/1/1 \mu m$) avant et après le report sur cuivre et sont présentées avec la figure 29. Le courant de drain maximum plus élevé et la décroissance plus faible du courant de saturation avec la tension V_{DS} dans le cas du cuivre indiquent une meilleure dissipation thermique pour les composants reportés sur un substrat en cuivre. La résistance à l'état passant R_{ON} est cependant plus élevée

sur cuivre que sur silicium ce qui a été attribué à une dégradation des contacts lors du procédé de report (les résistances de contact ont été mesurées plus élevées après le report).

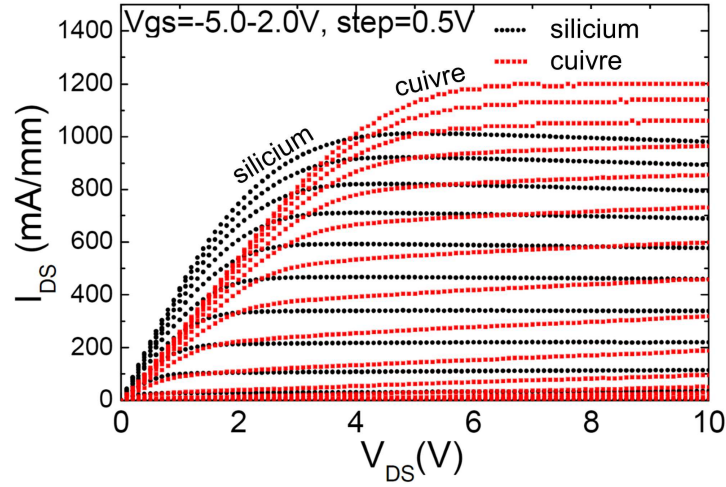


FIGURE 29 – Courbes I_{DS} en fonction de V_{DS} pour des transistors HEMTs sur silicium et après report sur cuivre [11].

Cette étude présente un transfert de composants HEMTs à base de GaN sur un substrat cuivre à partir d'un substrat silicium. Des fissurations ont été observées après le report, endommageant une partie des transistors. Les composants toujours fonctionnels après le report sur cuivre montrent une amélioration de la dissipation thermique mais également une dégradation des contacts électriques (et donc une augmentation du R_{ON}) due au transfert.

Report sur diamant à partir d'un substrat de carbure de silicium :

L'idée de cette étude est de reporter des transistors HEMTs à base de GaN sur un substrat diamant polycristallin qui présente une très bonne conductivité thermique (de l'ordre de $1800 - 2000 \text{ W.m}^{-1}.\text{K}^{-1}$) [12]. Le procédé de transfert est présenté en figure 30. Il consiste, à partir de composants sur substrat SiC, en (1) un collage temporaire sur une poignée en SiC avec une couche adhésive, (2) un polissage mécanique suivi d'une gravure sèche du substrat SiC d'origine pour s'arrêter sélectivement sur l'AlN, (3) en un collage avec un substrat diamant avant de retirer la poignée. Dans ces travaux, le matériau de la couche de collage n'est pas précisé.

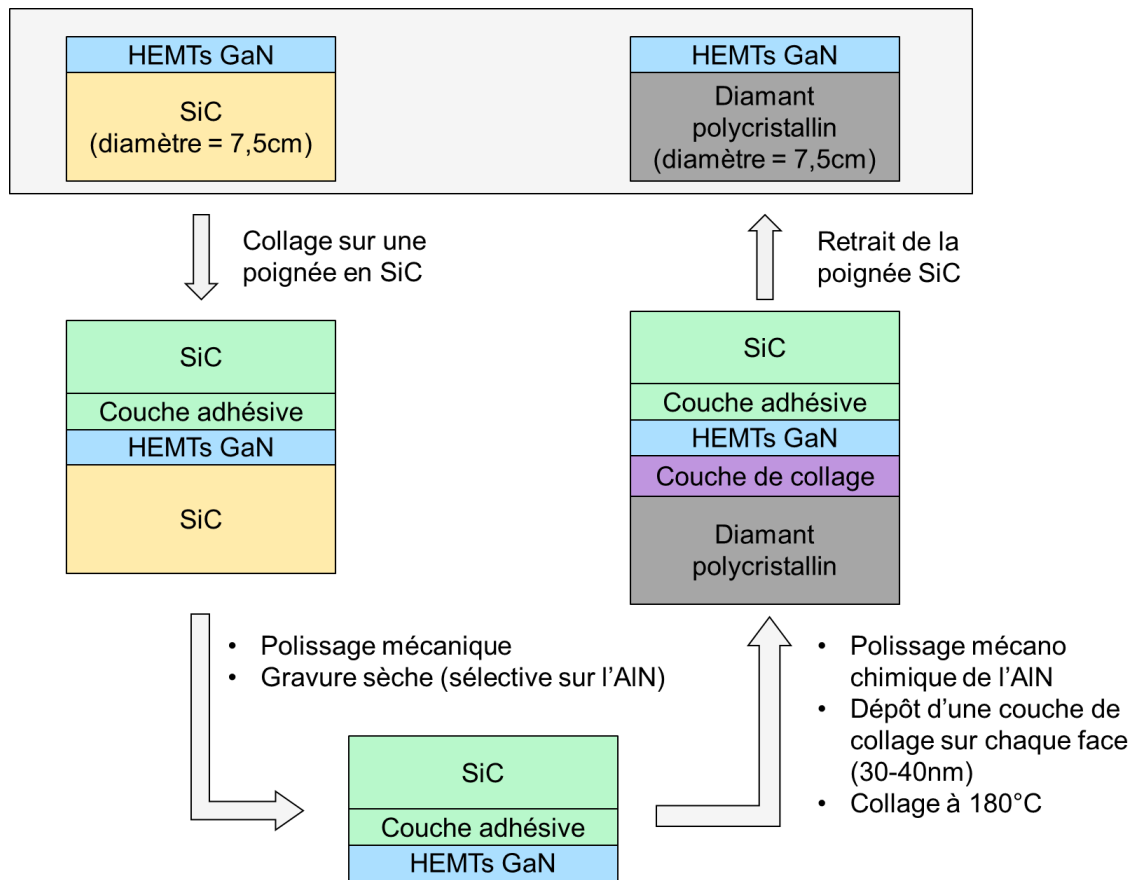


FIGURE 30 – Transfert de composants HEMTs à base de GaN sur un substrat en diamant à partir d'un substrat SiC [12].

Des caractérisations $I(V)$ en statique ont été réalisées pour voir l'impact du substrat et sont présentées dans la figure 31. Les valeurs de courants de drain de saturation plus élevées, pour une même tension de grille, pour le substrat diamant comparé au substrat SiC témoignent d'une meilleure dissipation thermique avec le substrat diamant. Ce point est confirmé par des mesures de température à l'aide d'une caméra infrarouge qui montrent une réduction du pic de température de $50\text{ }^{\circ}\text{C}$ en faveur du diamant pour une puissance dissipée équivalente. Néanmoins, la réduction de l'effet d'auto-échauffement n'est pas aussi importante qu'escomptée avec le diamant. Cela a été attribué à la résistance thermique d'interface du matériau (non précisée) pour réaliser la couche de collage entre les composants HEMTs et le substrat diamant.

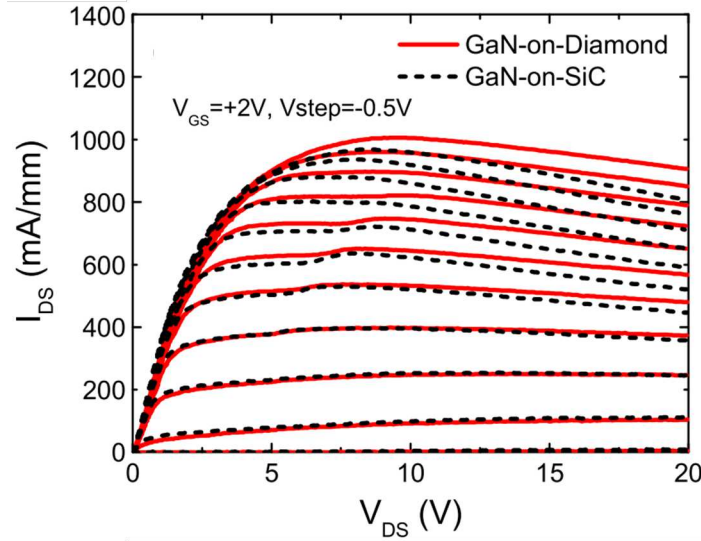


FIGURE 31 – $I(V)$ donnant le courant de drain (I_{DS}) fonction de la tension de drain (V_{DS}) pour différentes tensions de grille (V_{GS}) avant (en pointillés noirs) et après transfert (en rouge) sur substrat diamant [12].

Cette étude présente un transfert de composants HEMTs à base de GaN sur un substrat diamant à partir d'un substrat de carbure de silicium. Les composants sont toujours fonctionnels après le report et présentent une meilleure dissipation thermique sur diamant. Néanmoins, une dégradation de la dissipation thermique après le transfert a été attribuée à une résistance thermique d'interface liée à la nature de la couche de collage.

1.3.2 Aspect tenue en tension

A l'état bloqué (i.e. à $V_{GS} < V_{th}$) les composants ne doivent pas laisser passer de courant par la grille (ce qui est aussi vrai à l'état passant), la source ou encore le drain, et ceci malgré les tensions importantes appliquées sur le drain (plusieurs centaines de volts). Cependant, des courants de fuites passant par ces contacts à l'état bloqué existent et sont à l'origine de dégradations des composants. Par exemple, des défauts électriquement actifs, comme des fissurations, peuvent se créer dans la barrière AlGaIn en bordure de grille à l'état bloqué. Ces défauts vont induire des courants de fuites qui vont dégrader les performances des composants (en réduisant le courant de drain à l'état passant par exemple) [51]. La figure 32 montre les passages des courants de fuites, ceux-ci se divisent en différentes catégories.

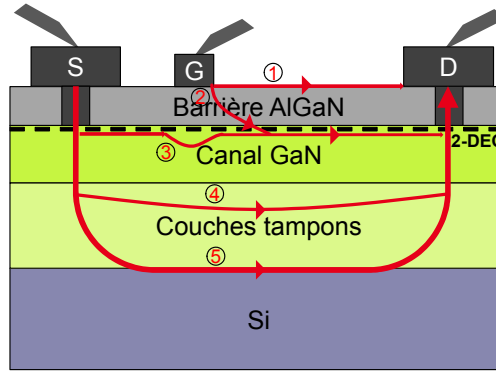


FIGURE 32 – Visualisation du passage des courants de fuite d'un composant HEMT AlGaIn/GaN.

Courant de fuites de grille (de type 1 et 2) :

Ces courants de fuites ne dépendent pas de la longueur de grille mais augmentent linéairement avec la largeur de grille. Ils se produisent donc essentiellement en bordure de la grille [52] et plus précisément en bordure de la grille côté drain à cause du pic du champ électrique qui s'y trouve (cf. figure 33). Il a été suggéré que les fuites de type 1 se produisent à travers des états de surfaces entre la grille et le drain qui peuvent être créés par des liaisons pendantes, des défauts de surface ou encore des contaminations [53]. Les courants de fuites à travers l'AlGaIn (de type 2) sont principalement dus à des défauts cristallins dans celui-ci [54].

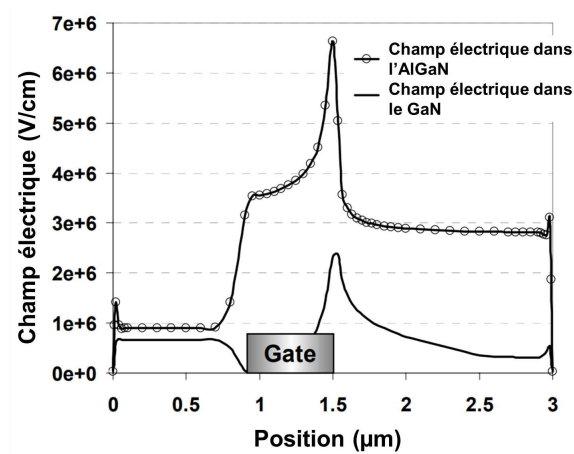


FIGURE 33 – Simulation du champ électrique dans un HEMT AlGaIn/GaN en polarisation de claquage [13].

Pour réduire ces courants de fuites de grille, des plaques de champ (ou « field plate » en anglais) sont utilisées [55]. L'idée est de placer une électrode en métal au dessus de la grille pour réduire le pic de champ électrique au niveau de la grille côté drain et ainsi améliorer la tenue en tension du composant. Si une telle méthode est utilisée, alors la tension de claquage va augmenter linéairement avec la distance grille-drain [52].

Courant de fuites sous le canal (de type 3) :

Ces courants de fuites passent sous le canal (cf. figure 32) à cause de la faible barrière de potentiel entre le canal et les couches tampons (à l'inverse de la forte barrière de potentiel entre le canal et la barrière AlGaN). Ces courants de fuites peuvent être réduits en utilisant une double hétérostructure dont le but est d'améliorer le confinement des électrons dans le canal. Un exemple d'un tel transistor est présenté dans la figure 34 : dans le cas d'un HEMT standard la barrière de potentiel qu'un électron doit passer pour aller dans la couche de GaN sous le canal est faible (en bleu sur la figure 34) alors que l'utilisation d'un transistor à double hétérojonction (DHFET) permet d'augmenter cette barrière de potentiel et donc d'améliorer le confinement des électrons dans le canal.

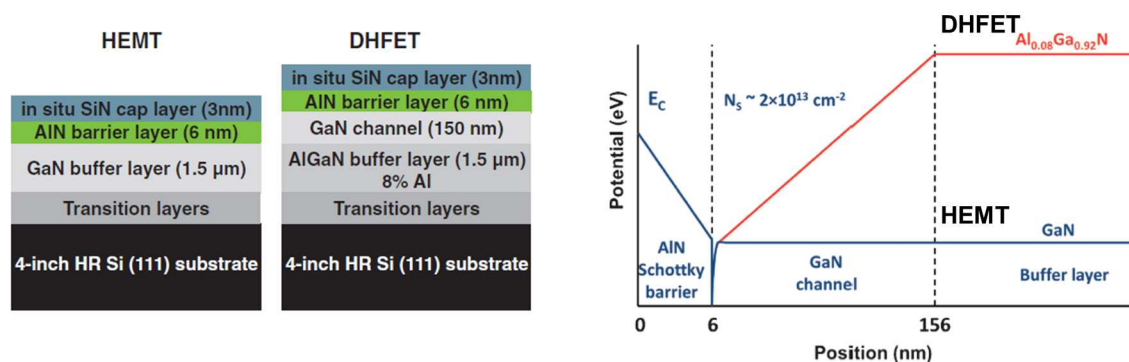


FIGURE 34 – À gauche : empilements de transistors HEMT et DHFET. À droite : Représentation schématique des bandes de conduction d'un HEMT AlN/GaN standard (en bleu) et d'un DHFET [14].

Courant de fuites dans les couches tampons (de type 4) :

Ces courants de fuites passent par les couches tampons et pourraient être dûs à la mauvaise qualité cristalline résultant des désaccords de paramètres de maille et de coefficients de dilatation thermique entre le GaN et le substrat silicium [56].

Une des différentes solutions envisagées pour réduire ces courants de fuites est d'augmenter l'épaisseur des couches tampons [15]. La figure 35 représente la valeur du courant de fuite vertical en fonction de la tension pour différentes épaisseurs de ces couches tampons. Une amélioration significative de la tenue en tension verticale est constatée pour une épaisseur de couches tampons (alternance GaN/AlN (20/5nm)) croissante. Cette amélioration a été attribuée à une décroissance de la densité de dislocations dans le GaN avec l'épaisseur. Une autre idée est d'utiliser de l'AlGaN qui a un champ de claquage plus élevé que le GaN [57]. Une autre méthode consiste à doper les couches tampons avec du carbone pour améliorer leur isolation électrique [58].

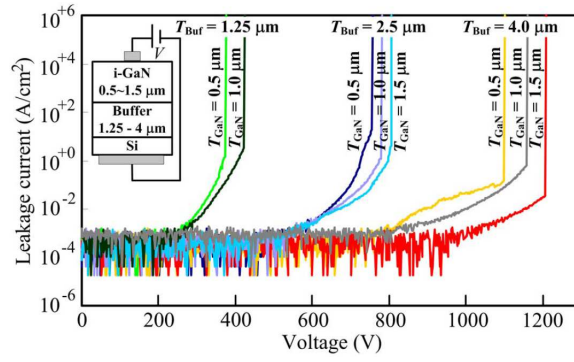


FIGURE 35 – Courants de fuites verticales pour différentes épaisseurs de couches tampons et de GaN en fonction de la tension appliquée. Les couches tampons sont constituées d’une succession de paires GaN/AlN (20/5nm) [15].

Courant de fuites à l’interface AlN/Si (de type 5) :

Une accumulation d’électrons à l’interface AlN/substrat silicium a été mise en évidence dans [59] ou encore [60]. Herbecq et al. [16] ont émis l’hypothèse que cette accumulation d’électrons serait à l’origine des courants de fuites de type 5.

Pour améliorer cette tenue en tension, ils proposent de supprimer ce trajet 5 du courant à l’aide d’un retrait local silicium comme illustré dans la figure 36 (tout comme d’autres études [61] [62]). Dans cette étude, le substrat silicium a été gravé entre la grille et le drain (image a)) ce qui a pour effet de réduire les courants de fuites à l’état bloqué par rapport au cas où le silicium n’est pas gravé (image b)) et également d’améliorer la tenue en tension. Une autre étude a également montré une amélioration significative de la tenue en tension pour des composants HEMTs en remplaçant le substrat silicium par un substrat isolant électriquement en verre [63].

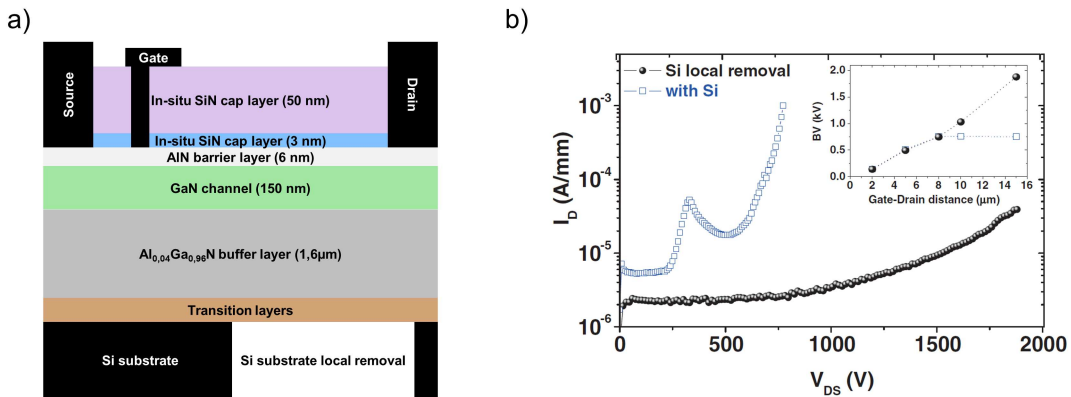


FIGURE 36 – a) Schéma en coupe d’un transistor AlGaIn/GaN HEMT sur substrat silicium partiellement évidé entre la grille et le drain b) Courant de drain à l’état bloqué ($V_{GS} = 5V$) avec le silicium (en bleu) et avec le retrait partiel de silicium entre la grille et le drain (en noir) [16].

Le tableau 4 résume l’impact du retrait local ou total du substrat silicium sur la tenue en tension de composants HEMTs AlGaIn/GaN pour ces études. Dans chacune d’elles, une amélioration significative de la tension de claquage des transistors a été observé après le retrait du silicium.

Substrat	Caractéristiques	Tension de claquage	Références
Si	Lg/Wg/Lgd = 1,5/50/40 μm	1500 V	[61]
retrait local Si		3000 V	
Si	Lg/Wg/Lgd = 1,5/50/15 μm	750 V	[16]
retrait local Si		1900 V	
Si	Lg/Wg/Lgd = 1,5/200/20 μm	750 V	[62]
retrait local Si		2200 V	
Si	Lg/Wg/Lgd = -/100/20 μm	500 V	[63]
Verre		>1500 V	

Tableau 4 – Illustration de l’impact du retrait du substrat silicium sur la tension de claquage de transistors HEMTs AlGaIn/GaN.

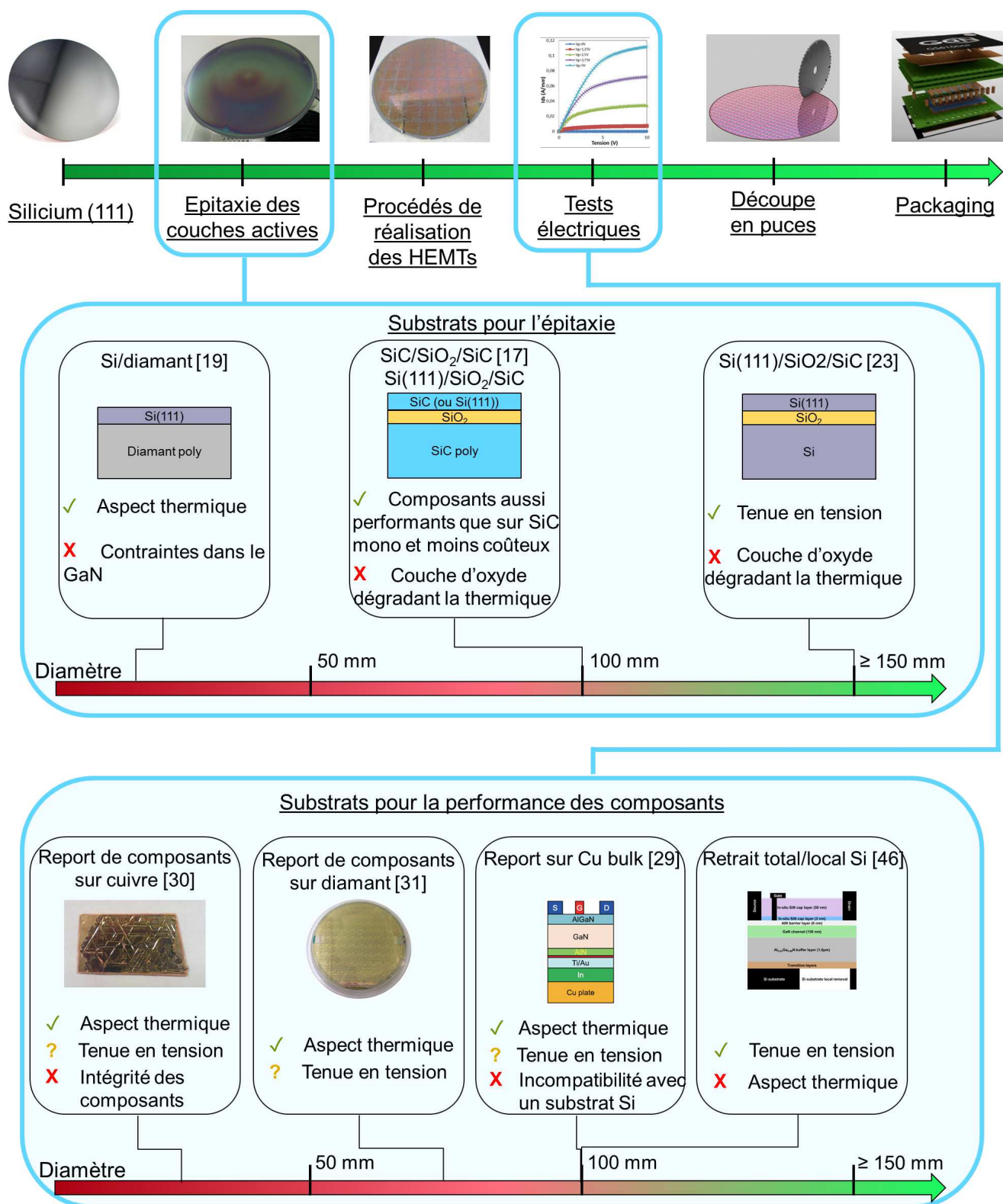
1.4 Approches adoptées lors de la thèse

Nous allons dans cette partie présenter les approches qui ont été choisies dans cette thèse. Elles traitent des deux problématiques présentées précédemment en proposant des solutions d’un point de vue substrat : les performances des composants (auto-échauffement et tenue en tension) et l’épithaxie du GaN. Dans ce travail de thèse, nous nous sommes fixés comme contrainte de rechercher des solutions substrats réalisables en grandes dimensions en vue de proposer des approches industrialisables.

En ce qui concerne la problématique de performances des composants, de nombreuses études s’intéressant à des approches substrats ont été réalisées dans la littérature. La figure 37 résume succinctement certaines de ces études évoquées auparavant dans ce chapitre. Nous avons notamment évoqué le remplacement du substrat saphir de fabrication par un substrat en cuivre [10], le report de composants d’un substrat saphir à un substrat cuivre [11] ou encore celui d’un substrat SiC à un substrat diamant [12]. Néanmoins, ces études ne mettent en avant que l’aspect thermique sans pour autant nécessairement présenter l’impact des reports sur les performances des transistors et notamment sur la tenue en tension. De plus, elles ne sont pas toutes réalisables en grandes dimensions et avec un substrat silicium, ou ne garantissent pas l’intégrité des composants après report.

Les différentes approches « substrats » étudiées dans cette thèse sont illustrées dans la figure 38. Dans ce travail de thèse, nous avons à disposition des composants de puissance à base de GaN fabriqués sur des substrats silicium de diamètre 200 mm. Nous avons choisi une technologie de report permettant de remplacer le substrat silicium par un substrat d’un matériau différent. Le nombre de plaques que nous avons à disposition étant limité, nous avons choisi de découper chaque plaque en plusieurs échantillons au cours du report pour tester différents empilements. Nous présenterons et validerons dans le chapitre 2 les étapes technologiques de ce procédé de report. Nous nous intéresserons également au comportement électrique des composants à l’état passant et à l’état bloqué suite aux différents reports. Le chapitre 3 de cette thèse présentera l’étude de l’échauffement des composants de puissance sur substrat cuivre en les comparant au cas référence sur substrat silicium. Afin de mieux comprendre les résultats expérimentaux, des simulations par éléments finis ont été réalisées sur COMSOL et seront présentées dans ce troisième chapitre.

Pour ce qui est de l'épitaxie du GaN, nous avons vu précédemment que le substrat silicium est le substrat le plus prometteur en grandes dimensions. Néanmoins, ce matériau présente un fort désaccord de maille et de coefficient de dilatation thermique avec le GaN ce qui rend son épitaxie compliquée et coûteuse. La figure 37 présente quelques solutions étudiées dans la littérature que nous avons détaillé précédemment comme l'utilisation de substrats multicouches composés d'un substrat polycristallin en SiC et d'un germe à l'épitaxie en SiC ou Si(111) monocristallin [41]. Néanmoins, l'utilisation de ces substrats multicouches présentent des inconvénients comme l'utilisation d'une couche d'oxyde comme couche de collage ce qui dégrade la dissipation thermique des composants. Nous présenterons succinctement annexe de ce manuscrit une approche innovante visant à utiliser des matériaux conducteurs tel que le tungstène ou le molybdène dans le but de réaliser des composants verticaux. Ces matériaux ont une masse volumique importante comparée à celle du silicium ce qui les rend incompatibles avec certains équipements en grandes dimensions. Nous présenterons donc une approche consistant à évider ces substrats en face arrière pour diminuer leur poids (figure 38). Des simulations par éléments finis seront réalisés pour étudier l'impact de cet évider sur les contraintes d'épitaxie.



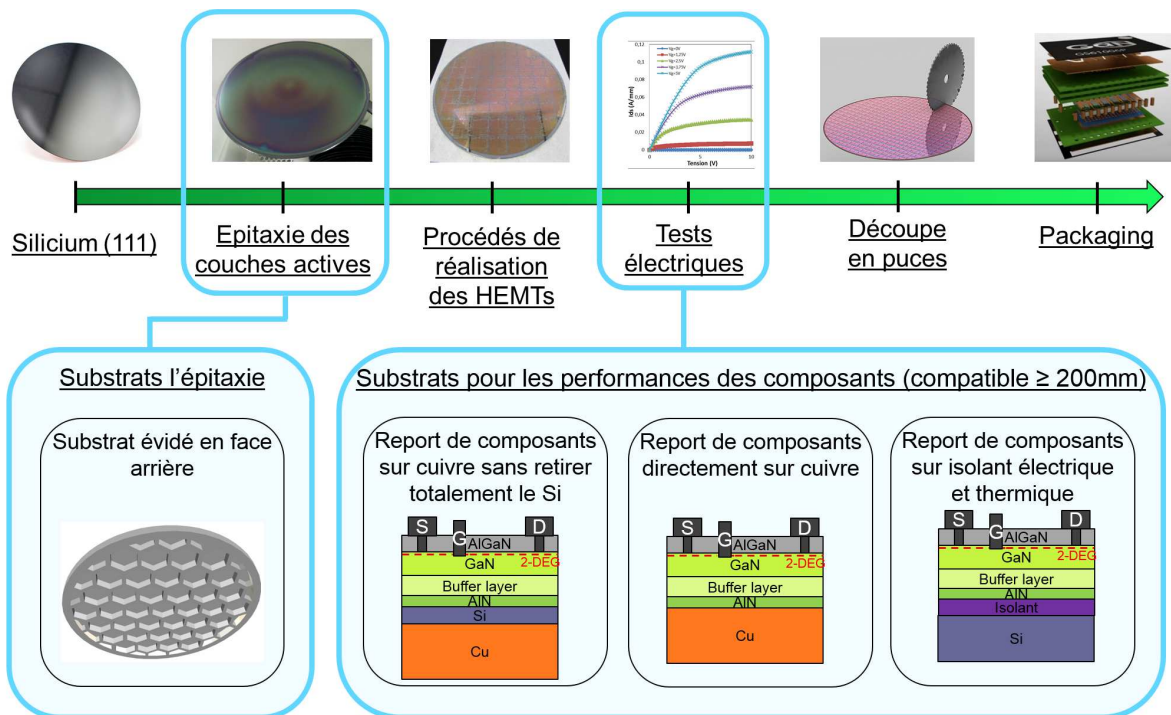


FIGURE 38 – Schémas présentant différentes approches réalisées lors de cette thèse.

Chapitre 2

Reports de composants de puissance à base de GaN

Sommaire

2.1	Objectifs	53
2.2	Composants à disposition	56
2.2.1	Plaques de composants disponibles	57
2.2.2	Composants de test	58
2.2.3	Composants de puissance	65
2.3	Procédé de report adopté	65
2.3.1	Description globale du procédé de report	65
2.3.2	Validation morphologique et électrique du procédé de report	71
2.4	Résultats électriques et analyses	76
2.4.1	Impact du report sur la valeur de la résistance du canal	76
2.4.2	Report de transistors HEMTs de puissance ($W_g = 100 \text{ } \mu\text{m}$)	77
2.4.3	Report de diodes Schottky	82
2.5	Conclusion	88

2.1 Objectifs

Le chapitre précédent présente les limitations du substrat silicium au niveau des aspects thermique et de la tenue en tension. Il montre également quelques solutions à ces problèmes qui ont été développées dans l'état de l'art. Cependant, ces études présentent des solutions qui ne résolvent ces problématiques que de manière partielle (amélioration de la dissipation thermique par report sur cuivre mais avec des fissurations sur l'échantillon reporté [11] par exemple).

Dans ce chapitre, nous présenterons la réalisation expérimentale de différents reports de composants de puissance à base de nitrure de gallium (GaN). L'objectif de ces reports est d'améliorer la dissipation thermique des composants tout en contrôlant leur tenue en tension mais également d'étudier l'impact qu'auront ces reports sur les caractéristiques des composants. Pour cela, le substrat silicium sera remplacé par d'autres matériaux (figure 39) et des caractérisations électriques et thermiques seront mises en oeuvre pour évaluer l'impact du report. Nous nous appuierons tout au long de cette thèse sur un savoir-faire mondialement reconnu sur le transfert de film et le collage de matériaux au sein du LETI.

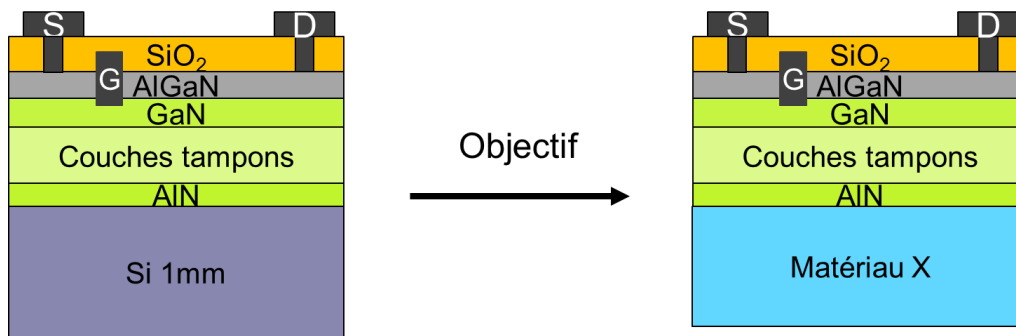


FIGURE 39 – A gauche : schéma simplifié d'un HEMT (vue en coupe) sur substrat silicium. A droite : HEMT reporté sur un autre substrat après avoir retiré le substrat silicium

L'ensemble des configurations étudiées dans cette thèse est illustré dans le tableau 5. Deux types de reports ont été réalisés. Le premier report étudié a été le remplacement du substrat silicium par du cuivre (report 1 et 2 du tableau 5). L'objectif de ce report a été d'améliorer la dissipation thermique des composants tout en mesurant l'impact électrique du substrat métallique sur le fonctionnement du composant. En effet, le cuivre présente l'avantage de posséder une meilleure conductivité thermique que le silicium et de pouvoir être déposé en couches épaisses (plusieurs dizaines de micromètres) sur des échantillons de différentes tailles. Le deuxième a été réalisé en remplaçant le substrat silicium par une colle isolante électriquement. L'objectif d'un tel report a été d'étudier les mécanismes physiques entrant en jeu au niveau des fuites de courant verticales de ces composants. Ces résultats seront détaillés dans la partie 2.4, page 76.

	Description du report	Empilement
Report 1	Retrait total du silicium suivi d'un dépôt de cuivre épais (environ $70\ \mu m$)	
Report 2	Retrait partiel du silicium suivi d'un dépôt de cuivre (environ $70\ \mu m$)	
Report 3	Retrait total du silicium suivi d'un collage sur silicium à l'aide d'une colle isolante	

Tableau 5 – Liste des différents reports effectués lors de cette thèse

Pour illustrer la meilleure dissipation thermique que peut apporter un substrat cuivre à la place d'un substrat silicium, des simulations par éléments finis en trois dimensions à l'aide du logiciel ANSYS ont été effectuées. L'idée consiste à simuler la température maximale, à l'état stationnaire, d'un empilement similaire à celui des composants étudiés (figure 40) en faisant varier la conductivité thermique du substrat. Les zones rectangulaires de $400\ \mu m$ de large, de $3,5\ \mu m$ de long et espacées de $16\ \mu m$ représentent les endroits où se produit l'échauffement et représentent les peignes d'un transistor (ce point sera présenté dans la partie 2.2.3, page 65). Les conductivités thermiques utilisées pour chaque matériau sont présentées dans le tableau 6. Pour cette simulation, une température fixe de $25\ ^\circ C$ a été imposée comme condition aux limites sur la face arrière du substrat et les faces latérales de la structure (qui a été choisie suffisamment grande pour que la zone centrale d'échauffement ne soit pas impactée par ces conditions aux bords).

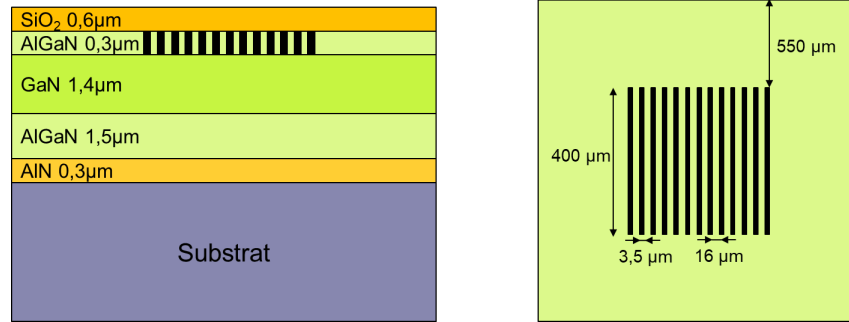


FIGURE 40 – A gauche : structure utilisée lors des simulations, les zones en noir correspondent aux zones de générations thermiques reproduisant l'échauffement des composants de puissance en fonctionnement. A droite : Vue de dessus de la couche d'AlGaIn (de $0,3 \mu m$ d'épaisseur) avec les zones d'échauffements en noir. Les schémas ne sont pas à l'échelle.

Matériau	Conductivité thermique (W/(m.K))
SiO ₂	1,4 [64]
AlGaIn	30 [65]
GaN	130 [66]
AlN	180 [66]

Tableau 6 – Valeurs des conductivités thermiques des matériaux utilisés lors de la simulation par éléments finis.

La figure 41 présente la température maximale simulée (à l'état stationnaire) en fonction de la conductivité du substrat. On observe que la température maximale sur silicium est alors de $75^{\circ}C$ contre $52^{\circ}C$ sur cuivre, montrant ainsi une amélioration de l'évacuation de la chaleur sur substrat cuivre. Il s'agit ici d'une simulation simplifiée de la réalité (les résistances thermiques aux interfaces ne sont pas prises en compte par exemple) mais qui permet néanmoins d'avoir une idée de l'importance du substrat en ce qui concerne la dissipation thermique. Les résultats expérimentaux de ce report sur substrat cuivre seront détaillés dans la partie 2.4.2, page 78.

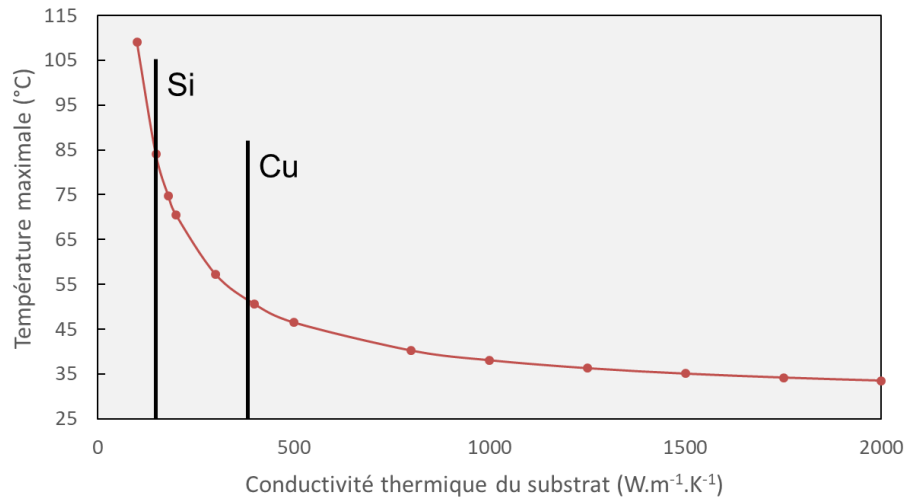


FIGURE 41 – Température maximale de l’empilement simulée par éléments finis sous ANSYS en fonction de la conductivité thermique du substrat pour une puissance générée équivalente à $1W/mm$.

2.2 Composants à disposition

Nous avons dans cette thèse plusieurs plaques de composants à base de GaN à disposition. Elles ont été réalisées par le laboratoire de puissance du CEA Leti à partir d’épitanie de GaN sur substrat silicium de diamètre 200 mm et de 1 mm d’épaisseur. Ces plaques silicium, plus épaisses que les standards à $725\text{ }\mu m$ d’épaisseur, sont utilisées pour limiter les risques de casse dues aux fortes contraintes générées lors de l’épitanie du GaN. Ces composants, réalisés avec le masque PGN2, ont été dessinés pour des études propres au laboratoire de puissance et comprennent entre autres des diodes et des transistors de puissance. Elles possèdent également des motifs de caractérisation tels que des motifs Van Der Pauw, TLM linéaires (pour « Transfert Length Method » en anglais) ou encore des transistors de test à faible largeur de grille (noté W_g) que nous allons détailler dans les paragraphes suivants. Ceux-ci ont été testés après leur fabrication afin d’avoir une référence de fonctionnement avant transfert. La figure 42 présente une plaque de composants de diamètre 200 mm sur laquelle est encadré en noir un champ de $2,2 \times 2,2\text{ cm}^2$. Un dessin d’un tel champ comprenant des motifs de caractérisation et des composants de puissance est également présenté dans l’image de droite de la figure 42.

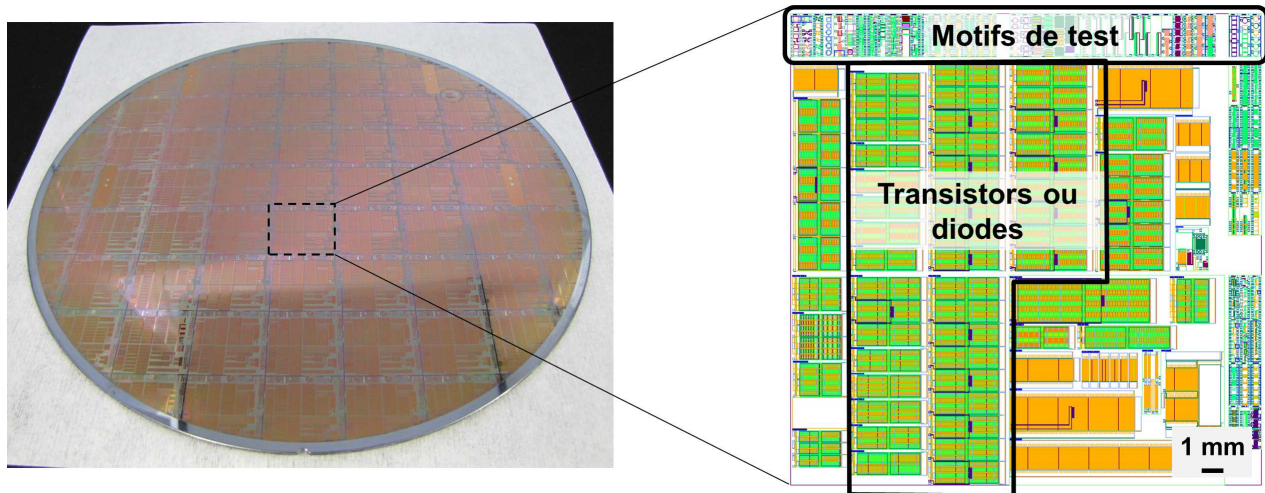


FIGURE 42 – A gauche : photographie d’une plaque de 200 *mm* de diamètre comportant des composants de puissance en GaN réalisés à partir d’une épitaxie de GaN sur un substrat Si(111) de 1 *mm* d’épaisseur. Un champ de $2,2 \times 2,2 \text{ cm}^2$ est encadré en noir. A droite : dessin d’un champ.

2.2.1 Plaques de composants disponibles

Nous allons dans cette partie détailler les différentes plaques de composants que nous avons à disposition lors de cette étude et que nous avons reportées selon le procédé illustré dans le tableau 5 et qui sera présenté plus en détail dans la partie 2.3.1, page 65. Le tableau 7 liste ces plaques. La technologie de ces composants à base de GaN n’est pas encore totalement mature et est toujours en cours d’optimisation au sein du laboratoire de puissance du Leti avec lequel nous travaillons. C’est pour cette raison que sont spécifiées, dans le tableau 7, l’ordre de réalisation des composants pour refléter la maturité technologique (tant au niveau de l’épitaxie des couches III-V qu’au niveau des composants). La première d’entre elles (plaque A) ne possède que des transistors à faible largeur de grille (de l’ordre de 0,1 *mm*) ainsi que des motifs de caractérisation. Elle a été utilisée en premier lieu afin de valider le procédé de report choisi avant de reporter des plaques comportant des composants de plus grandes dimensions (HEMTs et diodes Schottky). Les plaques B et C ont suivi le même procédé de fabrication et comportent des HEMTs ayant un développement total de 100 *mm*. Elles diffèrent néanmoins au niveau des contacts : les deux plaques ont un empilement de contact standard mais la plaque B a eu un dépôt supplémentaire de contact en Au pour une étude indépendante de cette thèse. La dernière plaque reportée est la plus récente (plaque D) et comporte des diodes Schottky ayant un développement total de 52 *mm*.

Nom de plaque	A	B	C	D
Ordre de réalisation	1	2	2	3
Composants	HEMTs à faible Wg TLM, VdP, etc.	HEMTs à grande Wg TLM, VdP, etc.	HEMTs à grande Wg TLM, VdP, etc.	Diodes Schottky TLM, VdP, etc.
Objectifs des reports	Validation du report	Impact du report sur les HEMTs, étude thermique	Etude thermique	Impact du report sur les diodes

Tableau 7 – Liste des différentes plaques de composants qui ont été reportées. L'ordre de réalisation des plaques est indiqué ainsi que les composants disponibles sur chaque plaque et les études qui ont été réalisées sur chacune d'elles.

Les empilements d'épitaxie pour chacune de ces plaques sont illustrés sur la figure 43. Les couches buffers des plaques A, B et C consistent en des couches d' $Al_xGa_{1-x}N$ à gradient de concentration en aluminium. L'empilement de la plaque D, quant à lui, est le plus récent. Les travaux menés, en parallèle de la thèse, par les équipes d'épitaxie sur ces empilements consistent à optimiser les couches selon deux critères principaux : minimiser les contraintes dans le GaN ainsi que les fuites de courant verticales dans cette structure. Il est donc important de noter que les résultats électriques qui seront présentés dans la partie suivante ne peuvent pas être comparés entre chaque plaque différente.

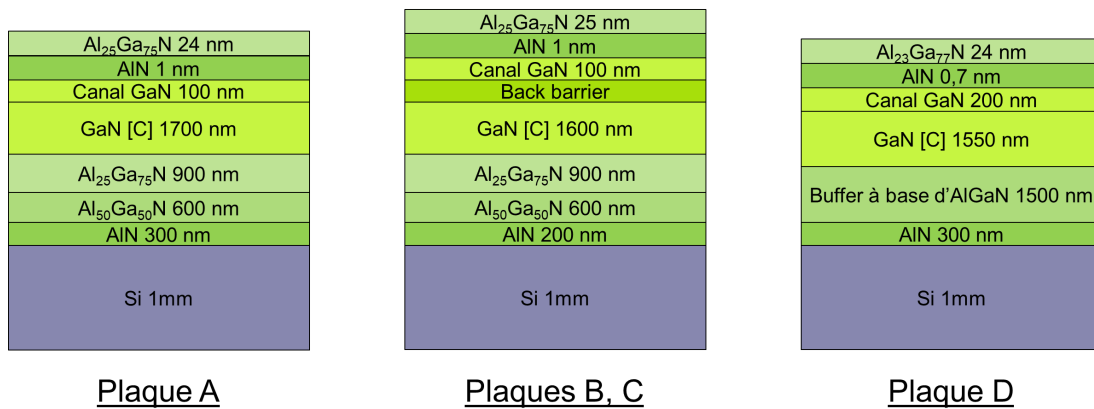


FIGURE 43 – Empilements d'épitaxie des plaques de composants utilisées lors de cette thèse.

2.2.2 Composants de test

Chaque plaque de composants reportés possède une ligne de motifs de test comme celle illustrée sur la ligne du haut du champ présenté à la figure 42. Cette ligne de composants spécifiques possède notamment des motifs TLM, Van Der Pauw, un motif de caractérisation de la résistance thermique du canal ainsi que des transistors de test à faible largeur de grille. Nous allons dans les prochains paragraphes décrire ces différents motifs de test.

Transistors de test :

Ces transistors, montrés sur l'image réalisée au microscope optique (figure 44), nécessitent moins de niveaux de métaux pour être fonctionnels que les transistors ou diodes de puissance. Il est ainsi possible de les caractériser au cours du procédé de fabrication pour valider certaines briques technologiques (comme la tension de seuil attendue pour des transistors par exemple), permettant un gain de coût et de temps en arrêtant la fabrication si les spécifications attendues ne sont pas atteintes. Le premier transfert de cette thèse a été réalisé avec une plaque ne comportant que ces transistors de tests fonctionnels. En effet, cette dernière a été arrêtée en cours de fabrication car la gravure du GaN pour réaliser le « gate recess » était trop profonde comparée à ce qui était attendu. Ce sont donc ces transistors de tests qui ont servi à valider le procédé de report avant d'utiliser des plaques avec des composants de puissance fonctionnels. Chacun d'eux possède des caractéristiques différentes. On peut citer la distance grille-drain qui varie de $3,25\ \mu m$ à $30\ \mu m$ (et qui peut influencer, par exemple, sur la tenue en tension des composants [63]), la largeur de grille qui varie de $20\ \mu m$ à $2\ mm$ (et qui influe sur la quantité de courant qui passe dans le transistor à l'état passant) ou encore la longueur de grille qui varie de $0,5\ \mu m$ à $3\ \mu m$ (qui a un impact sur le comportement en fréquence du composant [67]).

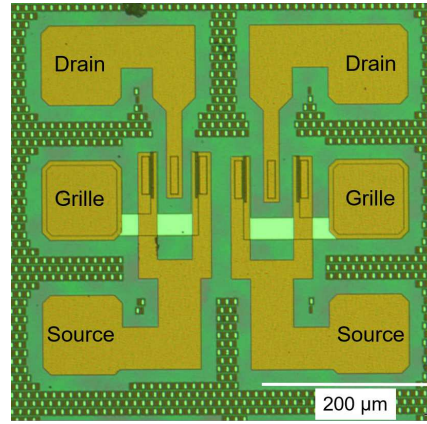


FIGURE 44 – Deux transistors de test observés au microscope optique.

Motif TLM :

La mesure TLM est une technique de caractérisation électrique permettant d'obtenir les résistances de contacts (noté r_c) ainsi que la résistance du gaz 2D (R_{sh}) qui s'exprime en Ω/sq . Il existe deux types de mesures TLM détaillées ci-après : la TLM à structure linéaire et la TLM à structure circulaire. Dans cette thèse ce sont des motifs TLM linéaire qui ont été utilisés car seuls ceux-ci étaient disponibles sur les plaques reportées. Un tel motif est illustré sur la figure 45. Il est constitué de 8 plots (numérotés de 1 à 8 sur la figure) d'une largeur de $200\ \mu m$. Les plots 1 et 7, 2 et 7, 2 et 6, 6 et 3, 3 et 5 sont respectivement espacés de $32\ \mu m$, $4\ \mu m$, $16\ \mu m$, $2\ \mu m$ et $8\ \mu m$.

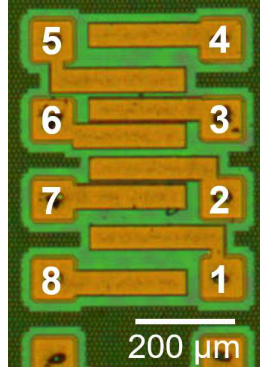


FIGURE 45 – Motif TLM à structure linéaire utilisé lors de cette thèse observé au microscope optique.

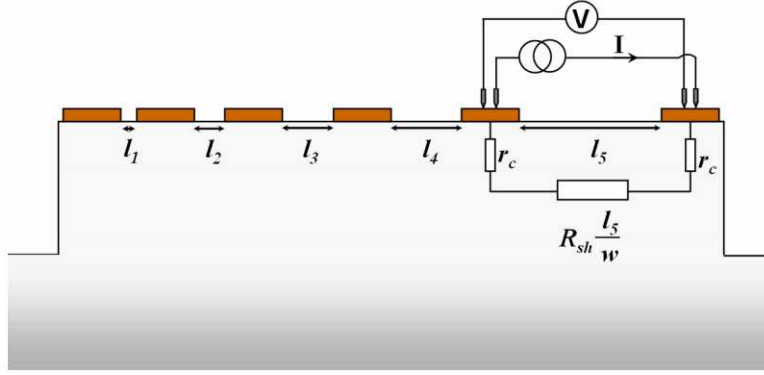


FIGURE 46 – Vue en coupe du motif de mesure 4 pointes d’une mesure TLM linéaire. r_c représente la résistance du contact, R_{sh} la résistance par carré de couche, l_i la distance entre chaque contacts et w la largeur des contacts [17].

La caractérisation TLM linéaire consiste en une mesure électrique dite « 4 pointes » telle que schématisé sur la figure 46 : il s’agit d’une vue en coupe du motif TLM présenté à la figure 45. On injecte un courant entre deux des pointes et on mesure la différence de potentiel résultante entre les deux autres pointes. On mesure ainsi la résistance entre deux contacts et on considère qu’elle ne dépend que des résistances de contact et de la résistance du gaz 2D. La résistance totale R_T (en Ω) s’exprime alors de la façon suivante (on suppose que les résistances de contact r_c (en Ω) ne varient pas d’un contact à l’autre et que la résistance par carré de couche R_{sh} (en Ω/sq) est inchangée sous les contacts) :

$$R_T = 2r_c + R_{sh} \frac{l}{w} \quad (2.1)$$

Avec l (en mm) la longueur entre les contacts et w la largeur des contacts (en mm).

Si les contacts sont ohmiques, R_T est une fonction linéaire de la longueur entre les contacts l (comme montré sur la figure 47). Il est ainsi possible d’extraire r_c (ordonnée à l’origine) et R_{sh} (pente de la courbe). On peut normaliser ensuite la résistance de contact par rapport à la largeur w du contact : $R_c(\Omega.mm) = r_c w$.

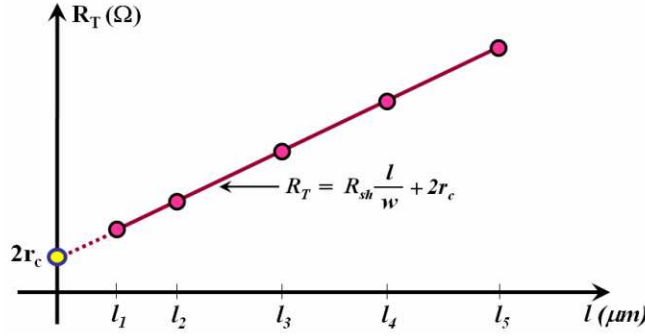


FIGURE 47 – Courbe théorique de $R_T(l)$ pour un contact ohmique.

Dans le cas d'un contact vertical (cas où les lignes de courant sont perpendiculaires à l'interface contact/semi-conducteur), la densité de courant qui passe par ce contact est la même en tout point de sa surface. La résistance spécifique de contact ρ_c (en $\Omega.mm^2$) est alors égale à la résistance de contact r_c multipliée par l'aire A_c du contact. On voit sur la figure 48 que dans le cas d'un contact horizontal (cas où les lignes de courant sont parallèles à l'interface contact/semi-conducteur) cette densité de courant varie selon la position sous le contact. La valeur de r_c ne permet alors pas de remonter à la résistance spécifique. Il faut introduire la notion de longueur de transfert L_T . Elle caractérise la longueur nécessaire au courant pour entrer et sortir du contact. Pour obtenir l'expression de cette longueur de transfert L_T (en mm) il faut partir de l'expression de ρ_c [68] : (avec d la longueur du contact en mm)

$$\rho_c = r_c w L_T \tanh\left(\frac{d}{L_T}\right) \quad (2.2)$$

Dans le cas où $d > 1,5L_T$ on a $\tanh\left(\frac{d}{L_T}\right) \approx 1$ d'où :

$$\rho_c = r_c w L_T \text{ i.e. } r_c = \frac{L_T R_{sh}}{w} \text{ (car on a } L_T = \sqrt{\frac{\rho_c}{R_{sh}}} \text{)} \quad (2.3)$$

On obtient alors :

$$R_T = \frac{2R_{sh}L_T}{w} + R_{sh}\frac{l}{w} \quad (2.4)$$

On déduit de ces calculs que si l'on est dans un cas où le contact est suffisamment long ($d > 1,5L_T$), on peut calculer L_T à partir de la courbe $R_T(l)$ (valeur de l en $R_T = 0$ en prolongeant la courbe) et en déduire la résistance spécifique $\rho_c (= r_c w L_T)$.

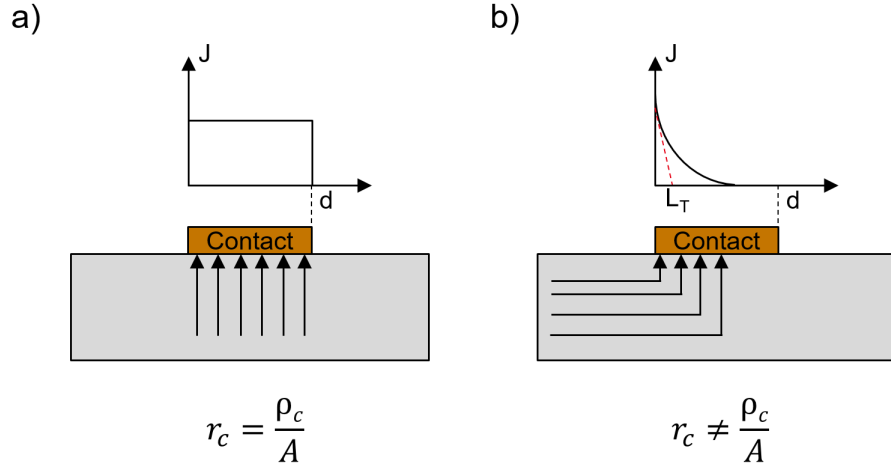


FIGURE 48 – Lignes de courant dans le cas d'un contact vertical (a) et dans le cas d'un contact horizontal (b) [18]. A représente l'aire du contact, d la longueur du contact, J la densité de courant passant par le contact, L_T la longueur de transfert, ρ_c résistance spécifique de contact et r_c la résistance de contact.

Pour ces mesures TLM linéaire, le courant doit passer directement d'un contact à l'autre (lignes de champ droites sur la figure 49). Si la longueur δ est trop grande (distance entre les contacts et l'isolation), le courant va passer par un chemin supplémentaire (lignes de champ courbées) ce qui va ajouter une résistance à celle déjà mesurée et donc fausser les mesures. δ doit donc être la plus faible possible.

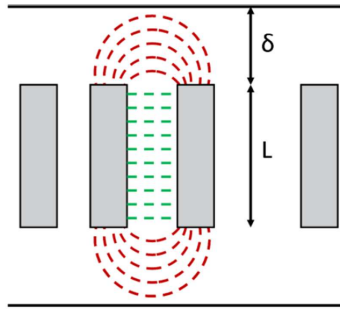


FIGURE 49 – Lignes de champ entre deux contacts TLM. δ représente la distance entre les contacts et l'isolation [19].

Afin de s'affranchir de ces problèmes d'isolation et des effets de bord, un autre type de mesure TLM existe : la mesure TLM circulaire (comme montrée sur la figure 50). Néanmoins, comme évoqué précédemment, les motifs TLM qui étaient à disposition étaient des motifs linéaires et les caractérisations de cette thèse n'ont donc été effectuées que sur ce type de motif.

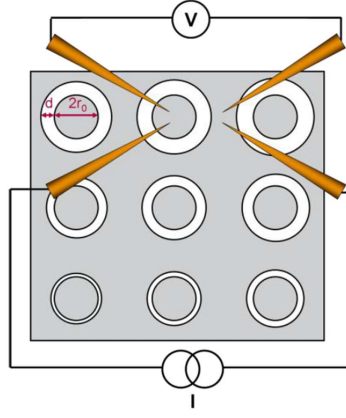


FIGURE 50 – Schéma d'un motif TLM circulaire [19].

Motif Van Der Pauw :

Le motif de caractérisation de type Van Der Pauw permet de mesurer la résistivité de couches homogènes de faible épaisseur [69]. Cette méthode est applicable sous réserve de respecter certaines conditions :

- Echantillon plat et uniforme
- Echantillon sans trou isolé
- Contacts électriques situés à la périphérie de l'échantillon, avec une aire inférieure d'au moins un ordre de grandeur par rapport à l'aire de l'échantillon

Prenons l'exemple d'un échantillon quelconque avec quatre contacts électriques A, B, C et D tel que présenté dans la figure 51. On peut définir la résistance $R_{AB,CD}$ tel que :

$$R_{AB,CD} = \frac{V_{CD}}{I_{AB}} \quad (2.5)$$

où V_{CD} est la différence de tension entre les contacts C et D et I_{AB} est le courant entrant par le contact A et sortant par le contact B. On définit également la résistance $R_{BC,DA}$ de la même manière.

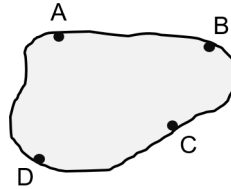


FIGURE 51 – Exemple d'échantillon satisfaisant les conditions de Van Der Pauw.

Cette méthode de caractérisation s'appuie sur le théorème ci-dessous qui permet de relier la résistivité ρ du matériau avec les résistances $R_{AB,CD}$ et $R_{BC,DA}$ dans le cas où l'on respecte les conditions énoncées précédemment (t étant l'épaisseur du matériau) :

$$\exp(-\pi \frac{R_{AB,CD}}{\rho} t) + \exp(-\pi \frac{R_{BC,DA}}{\rho} t) = 1 \quad (2.6)$$

Dans le cas d'un échantillon symétrique comme celui présenté à la figure 52, on a $R_{AB,CD} = R_{BC,DA}$, on peut simplifier l'équation ci-dessus et d'obtenir une expression de la résistivité ρ du matériau :

$$\rho = \frac{\pi}{\ln(2)} R_{AB,CD} t \quad (2.7)$$

On définit ensuite la résistance de couche R_{sh} comme étant le rapport entre la résistivité et l'épaisseur du matériau :

$$R_{sh} = \frac{\rho}{t} = \frac{\pi}{\ln(2)} R_{AB,CD} = 4,532 R_{AB,CD} \quad (2.8)$$

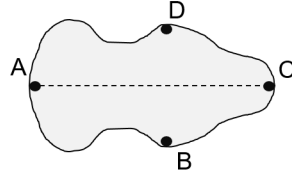


FIGURE 52 – Exemple d'échantillon avec un axe de symétrie. Les contacts A et C, ainsi que les contacts B et D, sont symétriques par l'axe tracé en pointillés.

Le motif Van Der Pauw utilisé dans cette thèse est présenté dans la figure 53. Il s'insère dans le cas des échantillons symétriques présentés précédemment.

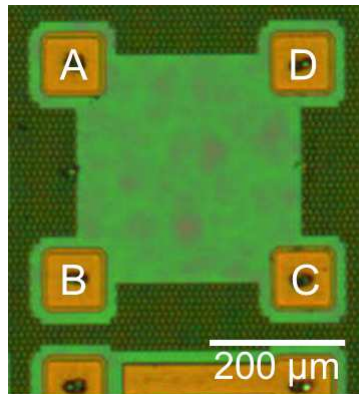
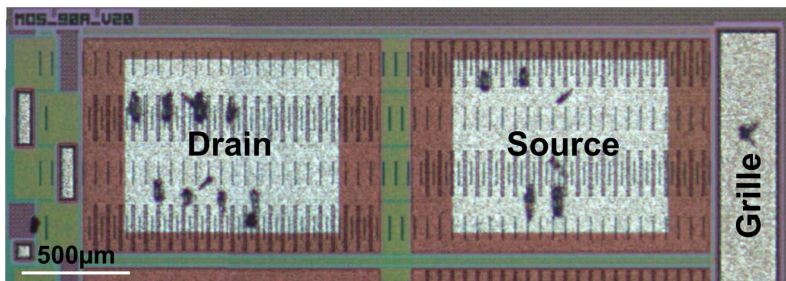


FIGURE 53 – Motif Van Der Pauw utilisé lors de cette thèse observé au microscope optique.

2.2.3 Composants de puissance

Nous avons à disposition des transistors HEMTs AlGa_N/Ga_N de largeur de grille de 100 *mm* de puissance fabriqués sur substrat silicium ainsi que des diodes Schottky Ga_N. Ces composants sont illustrés sur la figure 54. Ils possèdent une largeur importante pour atteindre de hauts niveaux de courants. Pour limiter leur surface, une structure en peignes interdigités est utilisée. Pour pouvoir comparer le courant de composants ayant des structures différentes, il est commun de normaliser en *A/mm* le courant passant dans le composant par la largeur de ce dernier.

a)



b)

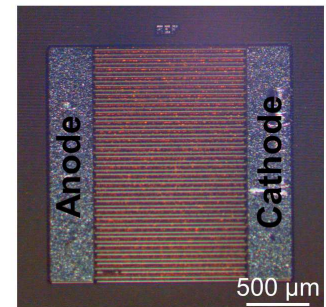


FIGURE 54 – a) Image réalisée au microscope optique d'un transistor HEMT 10A à base de Ga_N. De gauche à droite on voit les contacts de drain, de source et de grille. Les « tâches » noires correspondent aux empreintes que laissent les pointes lors des caractérisations b) Image réalisée au microscope optique d'une diode Schottky à base de Ga_N. De gauche à droite, on voit les contacts de l'anode et de la cathode.

2.3 Procédé de report adopté

2.3.1 Description globale du procédé de report

Cette partie a pour objectif de présenter le procédé de report utilisé pour retirer (totalement ou partiellement) le substrat silicium sous les composants Ga_N et le remplacer par un autre matériau. Ces reports doivent répondre à différentes contraintes afin de ne pas dégrader les composants, de permettre leur caractérisation électrique une fois le report effectué et de maîtriser le retrait des différents matériaux de la plaque d'origine (pour être sûr d'interpréter les futures caractérisations électriques avec les empilements réels).

Le procédé de report qui a été adopté est schématisé sur la figure 55. La première étape de ce report consiste en un collage à l'aide d'une colle polymère de la plaque de composant sur un substrat en verre qui fait office de poignée (la colle est étalée sur le substrat en verre via la force centrifuge à l'aide d'une tournette et est suivi de deux recuits à 120 °C et à 220 °C). Ce type de collage présente plusieurs avantages. Le premier est qu'il est temporaire ce qui permet de séparer facilement les deux plaques à fin du procédé de report. Il est ainsi possible de retirer la poignée en verre une fois le report sur le nouveau substrat effectué pour avoir accès électriquement aux composants. Le deuxième avantage de ce type de collage est la transparence du polymère utilisé qui, combinée à celle de la poignée en verre, permet de voir les chemins de découpe et autorise ainsi

la découpe de l'ensemble au cours du procédé de report. Enfin, l'utilisation du polymère permet un collage malgré les fortes topographies de surface de la plaque de composants. Néanmoins, ce type de collage se dégrade dès 200 °C ce qui limite les procédés utilisables pour la suite du report.

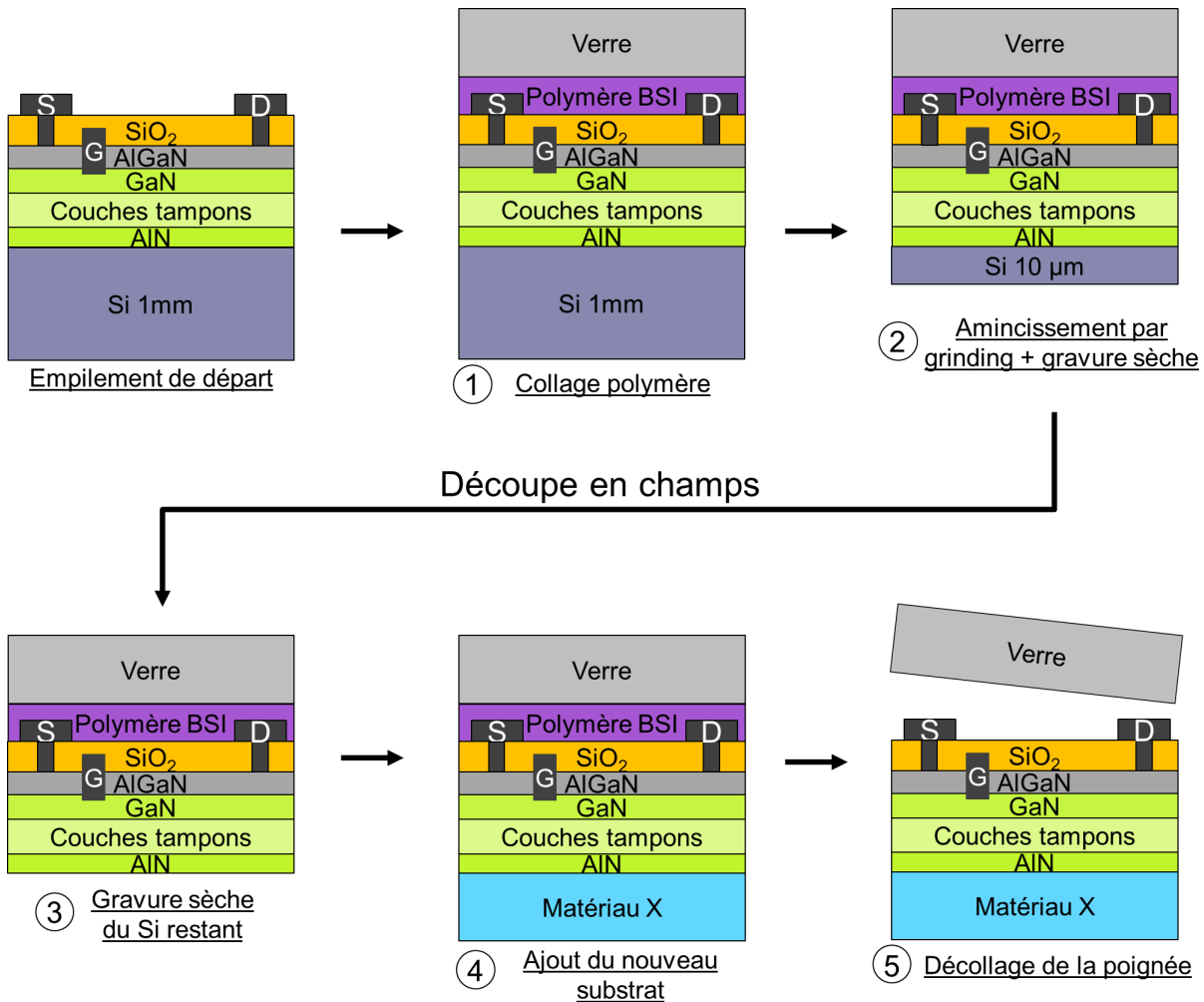


FIGURE 55 – Procédé de report utilisé pour remplacer le substrat silicium par un autre matériau.

L'étape suivante (étape 2 sur la figure 55) est le retrait du substrat silicium. Ce substrat étant relativement épais (1 mm), on passe dans un premier temps par une étape d'amincissement mécanique (appelée rectification ou « grinding » en anglais). Ce procédé consiste à amincir une plaque par un fraisage à l'aide d'une roue de meulage diamantée. Le substrat et la meule sont mis en rotation selon des axes différents (comme illustré sur la figure 56). Seule la couronne périphérique de la roue de meulage est abrasive. Cette partie, large d'environ 1 cm, entre en contact avec le substrat. L'abrasion se fait sous jet d'eau pour évacuer les résidus et limiter l'échauffement. Cette méthode n'étant pas sélective sur le matériau retiré, cet amincissement est arrêté avant d'avoir retiré tout le silicium pour laisser 40 µm de Si (+/- 10 µm). Un autre procédé plus précis et sélectif prend alors le relais pour retirer le silicium restant.

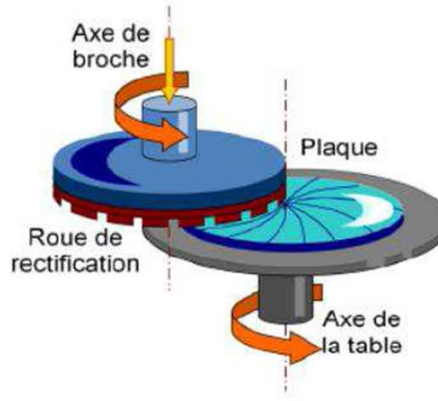


FIGURE 56 – Principe de l’amincissement par grinding [20].

Le retrait du silicium restant après l’amincissement mécanique se fait par gravure sèche. Il s’agit d’une gravure par plasma SF_6 qui forme des radicaux fluorés réagissant avec le silicium pour créer des espèces SiF_4 , stables et volatiles, selon la réaction exothermique suivante :



Le matériau silicium est ainsi consommé et les produits de gravures SiF_4 sont évacués par pompage. Cette réaction présente l’avantage d’être sélective par rapport à l’AlN (première couche de matériau III-V épitaxiée à la surface du silicium, cf. figure 55). Il est ainsi possible de retirer tout le silicium sans endommager les couches suivantes. Dans certains cas (report 2 de la figure 5 par exemple), $10\ \mu m$ de silicium ont été intentionnellement laissés. Il sera ainsi possible de directement comparer des composants reportés sur un autre substrat (cuivre pour le report 2) avec ou sans silicium restant. Dans la littérature, il est en effet évoqué le rôle du silicium [70] dans les fuites verticales des composants. Les intégrations proposées permettront de mettre en lumière expérimentalement l’impact de cette couche de Si. Une découpe en champs est ensuite réalisée : la suite du procédé se fait donc avec les dimensions d’un champ, i.e. sur des échantillons de $2,2 \times 2,2\ cm^2$.

Une découpe en champ ayant été effectuée à ce moment du procédé de report, toutes les étapes présentées ci-dessous ont donc été réalisées sur des échantillons de $2,2 \times 2,2\ cm^2$. Etant donné le peu de plaques fonctionnelles disponibles, l’objectif de cette découpe était de réaliser plusieurs reports différents à partir d’une même plaque de composants. Néanmoins, le procédé de transfert est réalisable à l’échelle de la plaque en adaptant les procédés utilisés. Le démontage de la poignée en verre, détaillé ci-dessous, peut en effet être réalisé en pleine plaque en insérant un film dit « anti-sticky » entre la colle polymère et la poignée pour faciliter le retrait en pleine plaque.

Un point important pour lequel il a été nécessaire d’adapter le procédé standard de report est la gravure du silicium restant par plasma SF_6 (étape 3 de la figure 55). En effet, dans notre cas, cette étape est faite sur des échantillons de petites dimensions ce qui nécessite qu’ils soient posés sur une plaque servant de support pour passer dans l’équipement (on nomme ce type de plaque un « holder »). Or cette gravure est exothermique et le fait que ces échantillons soient déposés sur un holder, ajouté à la mauvaise conductivité thermique du polymère BSI et du substrat verre, entraîne une bien moins bonne dissipation de la chaleur que dans une configuration pleine plaque. Une gravure en une seule étape des $10\ \mu m$ restant de silicium provoque alors un budget thermique

trop important qui dégrade le polymère comme montré sur la figure 57. Le collage polymère sur la poignée est alors compromis (décollement du film reporté) et il n'est pas possible de continuer le report. Il est donc nécessaire de réaliser la gravure en plusieurs cycles de gravure/arrêt pour ne pas dégrader le polymère et pouvoir ainsi préserver un bon collage. Ce point illustre l'inconvénient d'utiliser un tel collage polymère qui, malgré tous les avantages listés précédemment, limite le budget thermique que l'on peut faire subir à l'ensemble et donc le choix parmi les techniques pour réaliser le report sur un nouveau substrat.

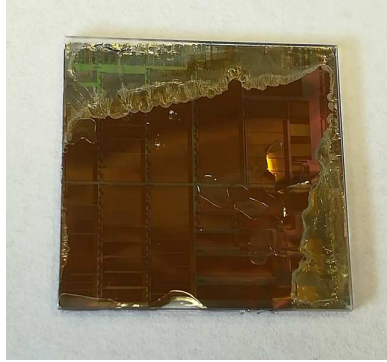


FIGURE 57 – Dégradation du polymère BSI suite à la gravure sèche de $10\ \mu\text{m}$ de silicium sur des champs de $2,2 \times 2,2\ \text{cm}^2$.

L'étape suivante (étape 4 sur la figure 55) est l'ajout du nouveau substrat en face arrière des composants. Nous allons détailler dans un premier temps la réalisation du substrat conducteur en cuivre et, dans un deuxième temps, du substrat isolant électrique. En ce qui concerne le cas du cuivre, le procédé de dépôt utilisé est schématisé sur la figure 58.

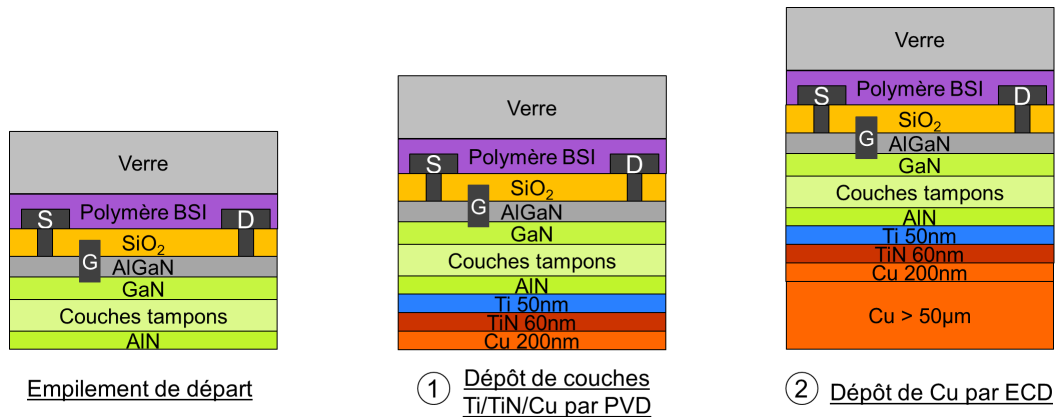


FIGURE 58 – Procédé de dépôt du cuivre en face arrière des composants. La première étape consiste en un dépôt physique en phase vapeur d'une couche d'accroche Ti, d'une barrière de diffusion TiN et d'une couche conductrice de Cu permettant l'électrodéposition de cuivre.

Dans un premier temps, des couches de titane (Ti), nitrure de titane (TiN) et cuivre (Cu) sont déposées par pulvérisation cathodique (étape 1 de la figure 58). Ce procédé de dépôt peut être réalisé sur n'importe quel type d'échantillon. Le matériau à déposer est éjecté d'un solide par bombardement de particules ionisées d'un gaz neutre (en général de l'argon). Son principe est illustré sur la figure 59. Les atomes du gaz neutre sont ionisés en appliquant une différence de

potentiel entre deux électrodes : l'anode (la chambre de l'équipement et le substrat sur lequel on souhaite faire le dépôt) et la cathode (la cible à pulvériser, i.e. le matériau à déposer). Les ions Ar^+ ainsi créés sont attirés par la cathode polarisée négativement. Ils ont une énergie suffisante pour bombarder la surface de la cible provoquer l'éjection de matière de la cible. Les particules pulvérisées sont électriquement neutres et sont diffusées dans toute la chambre. Une partie d'entre elles vient alors se déposer et se condenser sur l'échantillon pour former une couche mince sur sa surface.

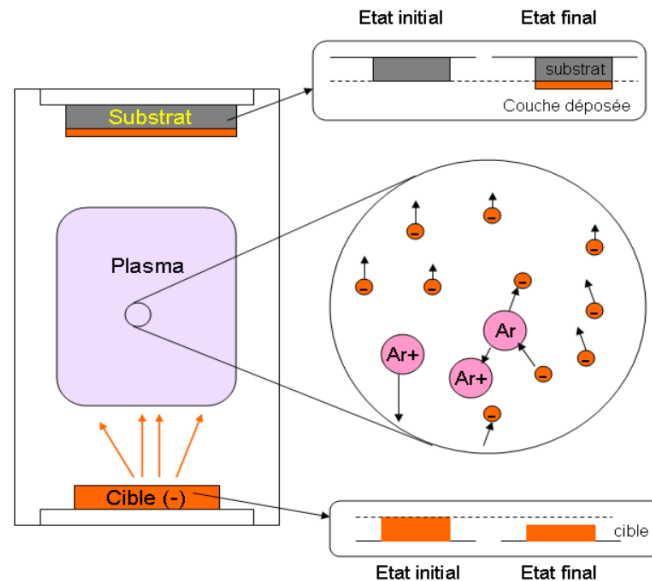


FIGURE 59 – Principe du dépôt de couches minces par pulvérisation cathodique [21].

Ces couches de Ti, TiN et Cu ainsi déposées servent respectivement de couche d'accroche, de barrière de diffusion du cuivre et d'une couche conductrice de Cu. Cette couche conductrice sert de germe à l'électrodéposition de cuivre (étape 2 de la figure 58).

L'électrodéposition permet de déposer une couche épaisse de métal (jusqu'à plusieurs dizaines de micromètres) sur un échantillon. Cette méthode met en oeuvre des réactions d'oxydoréduction dans une solution électrolytique avec une source de courant. Le principe de ce dépôt est présenté dans la figure 60 dans le cas d'un dépôt électrolytique de cuivre. L'échantillon où l'on veut déposer le cuivre est à la cathode (ou électrode de travail) et du cuivre est à l'anode (ou contre électrode). Les deux électrodes sont placées dans un électrolyte constitué d'un mélange de sulfate de cuivre $CuSO_4$ (permettant l'apport des ions Cu^{2+}), d'acide sulfurique H_2SO_4 (améliorant la conductivité de la solution) et d'additifs (qui permettent de contrôler les vitesses de dépôt pour des applications comme le remplissage des vias d'interconnexion par exemple). Un courant est appliqué entre les deux électrodes et permet de favoriser les réactions d'oxydation à l'anode et de réduction à la cathode (et, par la même, le dépôt de cuivre sur l'échantillon). Il est possible de contrôler la vitesse de dépôt avec le courant et l'épaisseur déposée avec le courant appliqué et le temps de dépôt.

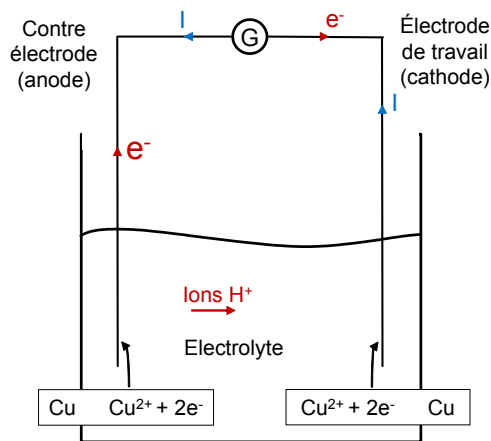


FIGURE 60 – Principe de l'électrodéposition dans le cas du cuivre. La contre électrode et l'électrode de travail sont constituées respectivement d'un morceau de cuivre et de l'échantillon sur lequel on souhaite réaliser le dépôt et sont placées dans un électrolyte. Une source de courant est appliquée pour privilégier les réactions d'oxydation à la contre électrode et de réduction à l'électrode de travail.

D'un point de vue pratique, la couche conductrice de cuivre déposée par PVD permet de faire le contact électrique entre la surface de dépôt et le générateur de courant. La figure 61 présente le dispositif utilisé pour le dépôt. On y retrouve l'électrode de travail (champ où l'on désire faire le dépôt), la contre électrode (morceau de cuivre) ainsi qu'une électrode de référence. Ces dépôts ont été effectués en dehors de l'environnement salle blanche pour des raisons de praticité liées à la taille des échantillons et aux épaisseurs de cuivre souhaitées.

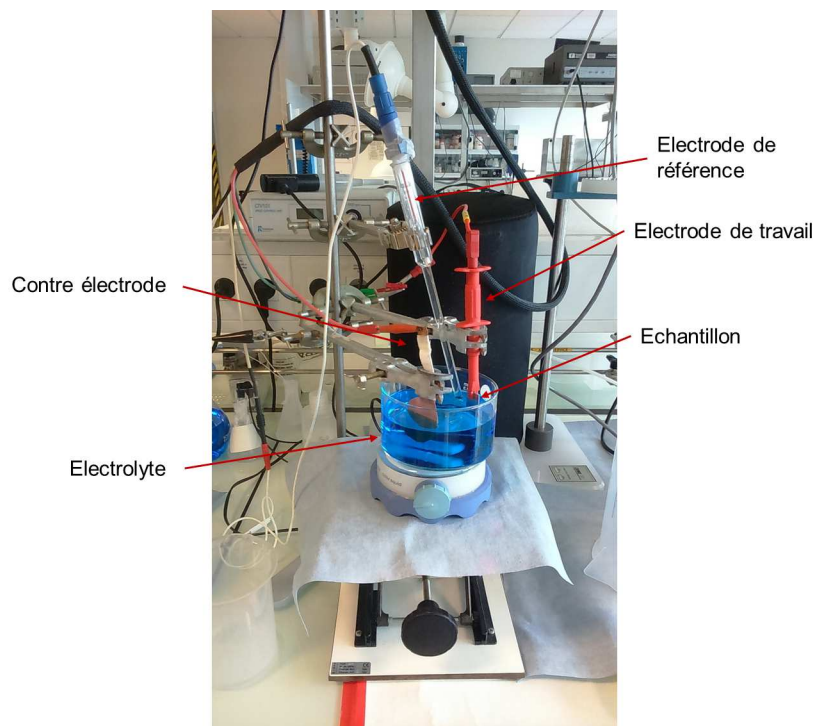


FIGURE 61 – Croissance de cuivre par électrodéposition en face arrière des composants.

Nous nous intéressons maintenant au cas de la réalisation du substrat isolant électrique. Les échantillons sont reportés sur du silicium (pour assurer le maintien mécanique) à l'aide d'une colle nommée « CERAMABOND™ 865 »[71]. Il s'agit d'une colle céramique à base de nitrure d'aluminium qui possède de bonnes propriétés d'isolation électrique.

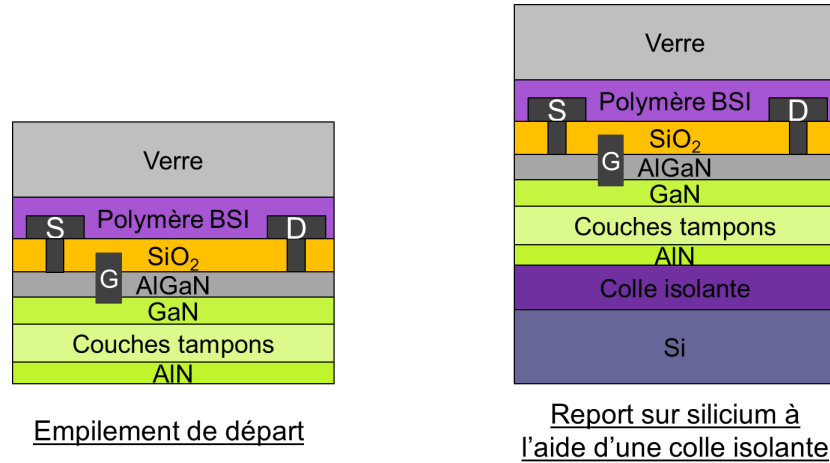


FIGURE 62 – Procédé de report des composants sur un substrat silicium à l'aide d'une colle isolante.

Une fois le dépôt du nouveau substrat réalisé, il est nécessaire de retirer la poignée en verre pour avoir accès électriquement aux composants. Pour cela, les champs de composants reportés sont placés dans un bain de d-limonène (solvant) à température ambiante qui permet de démonter le collage polymère sans dégrader les composants. On procède ensuite à un nettoyage par isopropanol de l'échantillon.

Le tableau 5, présenté à la page 54, liste les différents reports qui ont été effectués lors de cette thèse. Dans la suite, nous discuterons de l'impact de ces technologies sur le comportement électrique des composants reportés. Nous nous référerons alors à ce tableau pour préciser rapidement quel procédé de report les composants ont vu.

2.3.2 Validation morphologique et électrique du procédé de report

Validation morphologique du transfert des composants :

La plaque A (cf. tableau 7) a été reportée en premier pour valider le procédé de report avant de le réaliser ensuite sur les plaques B, C et D qui possèdent des composants de puissance fonctionnels. Le report sur colle isolante (report 3, cf. tableau 5, page 54) et sur cuivre (report 1) ont été effectués. Comme préalablement expliqué, pour pouvoir tester différents cas de reports avec un nombre limité de plaques à disposition, ces dernières ont été découpées en champs pendant le procédé de report, avant les étapes de croissance du nouveau substrat. La fin du report a donc été réalisée sur des échantillons de $2,2 \times 2,2 \text{ cm}^2$. On s'intéresse donc à l'état de surface de ces champs reportés ainsi qu'à la fonctionnalité des composants. La figure 63 présente une photographie d'un champ reporté sur $70 \text{ }\mu\text{m}$ de cuivre. Contrairement à l'étude menée dans [11], nous n'observons pas de fissurations à la surface de l'échantillon. Dans la publication [11], ces dernières ont été attribuées

à un relâchement de la contrainte présente dans le GaN au cours du report. Dans notre cas, le fait que l'on n'observe pas ces fissurations semble indiquer qu'à chaque instant de notre report les couches de composants sont maintenues mécaniquement de manière efficace par le substrat silicium, puis par la poignée et enfin par le nouveau substrat déposé. Elles n'ont donc pas la possibilité de relâcher leurs contraintes en se fissurant. Il s'agit d'un point important car ces fissurations seraient rédhibitoires au fonctionnement des composants.

On voit également sur le champ reporté sur cuivre figure 63 que la zone en bas à gauche du champ n'a pas été reportée. Cela est dû au montage utilisé lors du dépôt ECD. Cette zone permet d'assurer le contact électrique entre la couche de cuivre déposée par PVD sur la surface de l'échantillon et le générateur de courant. Si cette partie avait été immergée dans l'électrolyte, on aurait eu un dépôt indésirable sur la pince crocodile faisant le contact électrique. Nous sommes restés dans cette configuration car, dans notre cas, cette zone ne contient pas de composants qui nous intéressent et cela n'est donc pas dommageable. Mais il est possible d'utiliser un montage plus adapté en prenant le contact électrique sur les bords de l'échantillon sur lesquels la couche de cuivre conductrice est également déposée par PVD.

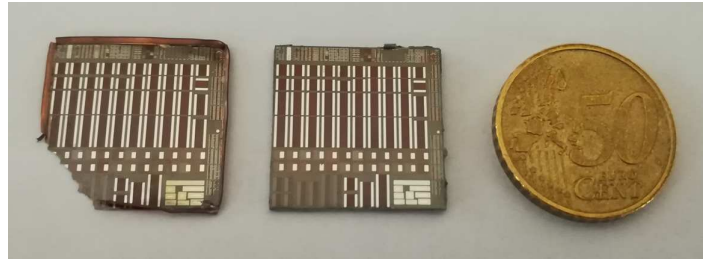


FIGURE 63 – Champ de $2,2 \times 2,2 \text{ cm}^2$ de composants diodes reportés sur cuivre à gauche et à l'aide d'une colle isolante à droite.

Des caractérisations FIB-MEB ont été réalisées sur un des transistors de test reportés sur cuivre selon le report 3. Il s'agit d'une méthode de caractérisation consistant à réaliser une section verticale à l'aide d'un faisceau ionique focalisé (ou FIB pour « Focused Ion Beam » en anglais) pour ensuite réaliser une observation par MEB (pour « Microscopie Electronique à Balayage ». La figure 64 présente trois vues différentes de ce composant. L'image a) présente une vue en coupe globale du transistor ainsi que le substrat cuivre. On voit bien sur cette image que le substrat cuivre n'est qu'à quelques micromètres des couches actives du transistor. L'image b) présente une vue centrée sur les contacts de source et de grille du transistor. On distingue notamment la couche de cuivre déposée par PVD présentant des grains de petites tailles et la couche de cuivre déposée par ECD présentant des grains de tailles plus importantes. L'image c) présente quant à elle les couches d'épitaxie ainsi que le substrat cuivre. On voit qu'il n'y a pas de silicium résiduel sous la couche de nucléation en AlN, montrant ainsi que la gravure du substrat silicium est complète et s'arrête correctement sur la couche d'AlN. L'interface AlN/Ti est propre et ne présentent que très peu de défauts. On peut observer à certains endroits des trous. Il s'agit d'un défaut connu dans les empilements TiN/Cu déposés par PVD [72].

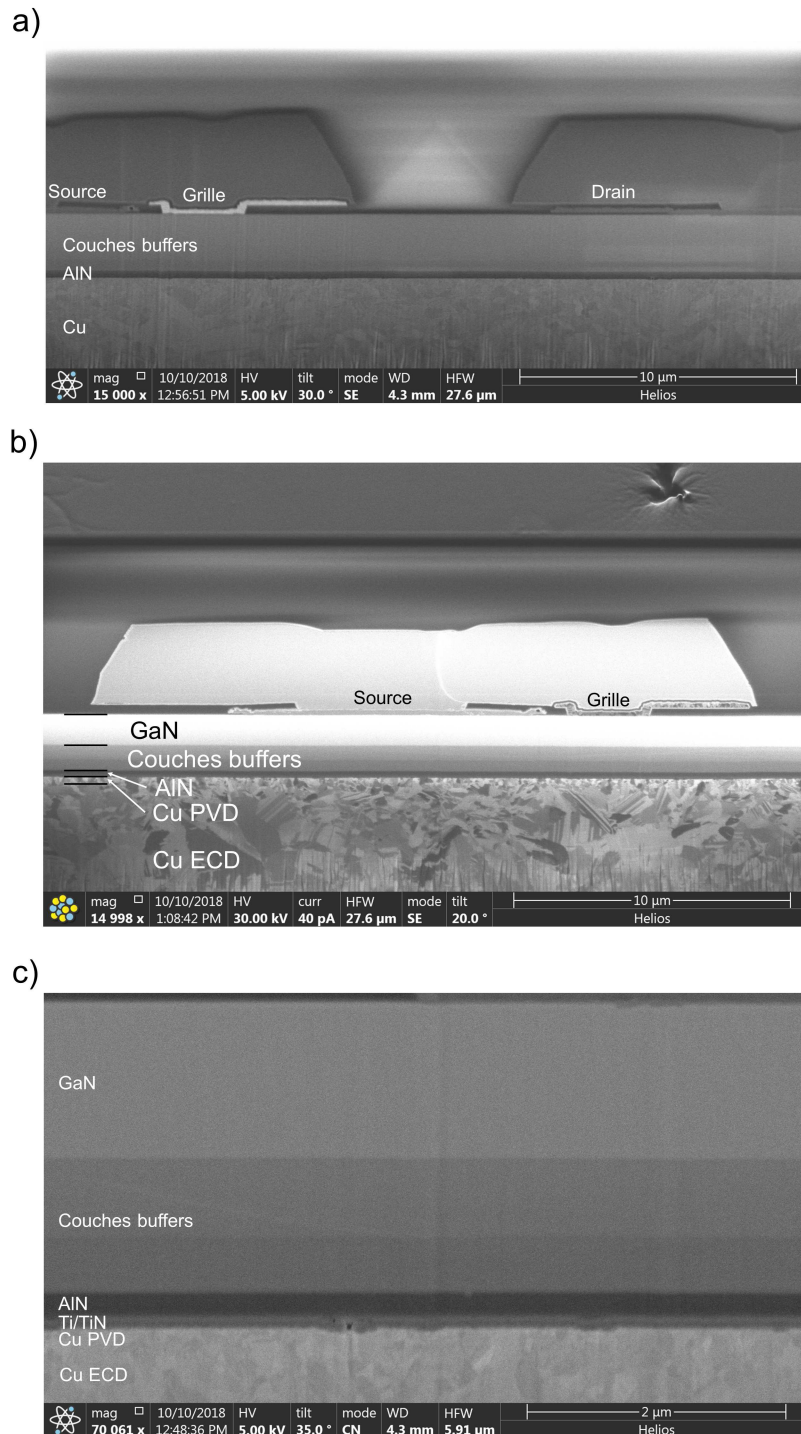


FIGURE 64 – Caractérisation FIB-MEB d'un transistor de test reporté sur cuivre. Il s'agit de la plaque D. a) La zone observée comprend les contacts de source, de grille et de drain. b) Contact de source et de grille ainsi que les couches d'épitaxie et le substrat cuivre. c) Couches d'épitaxie, dépôts PVD de Ti, TiN et Cu et substrat Cu déposé par ECD.

Validation du point de vue électrique :

Nous allons présenter ici l'exemple d'un de ces transistors (nommé transistor « GS1 ») qui possèdent une longueur de grille $L_g = 1 \mu m$, une largeur de grille $W_g = 0,1 mm$, une distance grille-drain $L_{gd} = 15 \mu m$ et une distance grille-source $L_{gs} = 3 \mu m$. La figure 65 présente les courbes $I_{DS}(V_{DS})$ à différentes valeurs de V_G (0 V ; 1,25 V ; 2,5 V ; 3,75 V et 5 V) pour ce transistor avant et après le report ainsi que les courbes $I_{DS}(V_{GS})$ à $V_{DS} = 2 V$ pour ce même transistor. La courbe avec les ronds correspond au cas avant report (i.e. avec le substrat de silicium) et la courbe avec les triangles correspond au cas après report (i.e. avec la colle isolante ou sur cuivre).

Tout d'abord, on voit que ces transistors sont toujours fonctionnels après les deux types de report. Au total, plus d'une vingtaine de ces transistors de tests issus de 6 champs différents (pour lesquelles les reports 1 ou 3 ont été effectués) ont été caractérisés. A quelques exceptions près, tous ces transistors étaient fonctionnels après report. Les transistors non fonctionnels étaient localisés en extrême bord du champ, à environ 200 μm du trait de découpe pour le report sur colle isolante (cas n°3). Pendant ce report, si la colle isolante n'a pas été correctement étalée en bord de champ, les couches actives de composants (faisant quelques μm d'épaisseur) se retrouvent sans support mécanique et craquent, provoquant ce non fonctionnement. A noter que ce problème n'a été observé que pour les reports avec la colle isolante : il n'a pas eu lieu pour les reports sur cuivre (cas 1 et 2 du tableau 5) sur les différentes plaques (B, C et D).

De plus, on observe par exemple sur l'image a) de la figure 65 une augmentation du courant de drain après report. Cette variation du courant s'explique par une réduction de la tension de seuil observé après report (tel qu'on peut le voir sur l'image c) de la figure 65) et que l'on évoquera plus en détail dans la partie 2.4. Néanmoins, des variations des courbes $I_{DS}(V_{GS})$ ont été observées sur ces transistors au cours du temps et indépendamment de tout report. Ce phénomène a été découvert pendant le déroulement de cette thèse et est toujours en phase de compréhension à l'heure actuelle. Par conséquent, il n'est pas possible de mettre en avant un impact quelconque du report pour ces transistors de test.

Une fois ces différents reports validés, ils ont été réalisés sur les plaques B, C et D comportant des composants de plus grandes dimensions. Les résultats électriques de ces reports seront détaillés dans les parties suivantes. L'impact du changement de substrat sur les composants sera ainsi discuté.

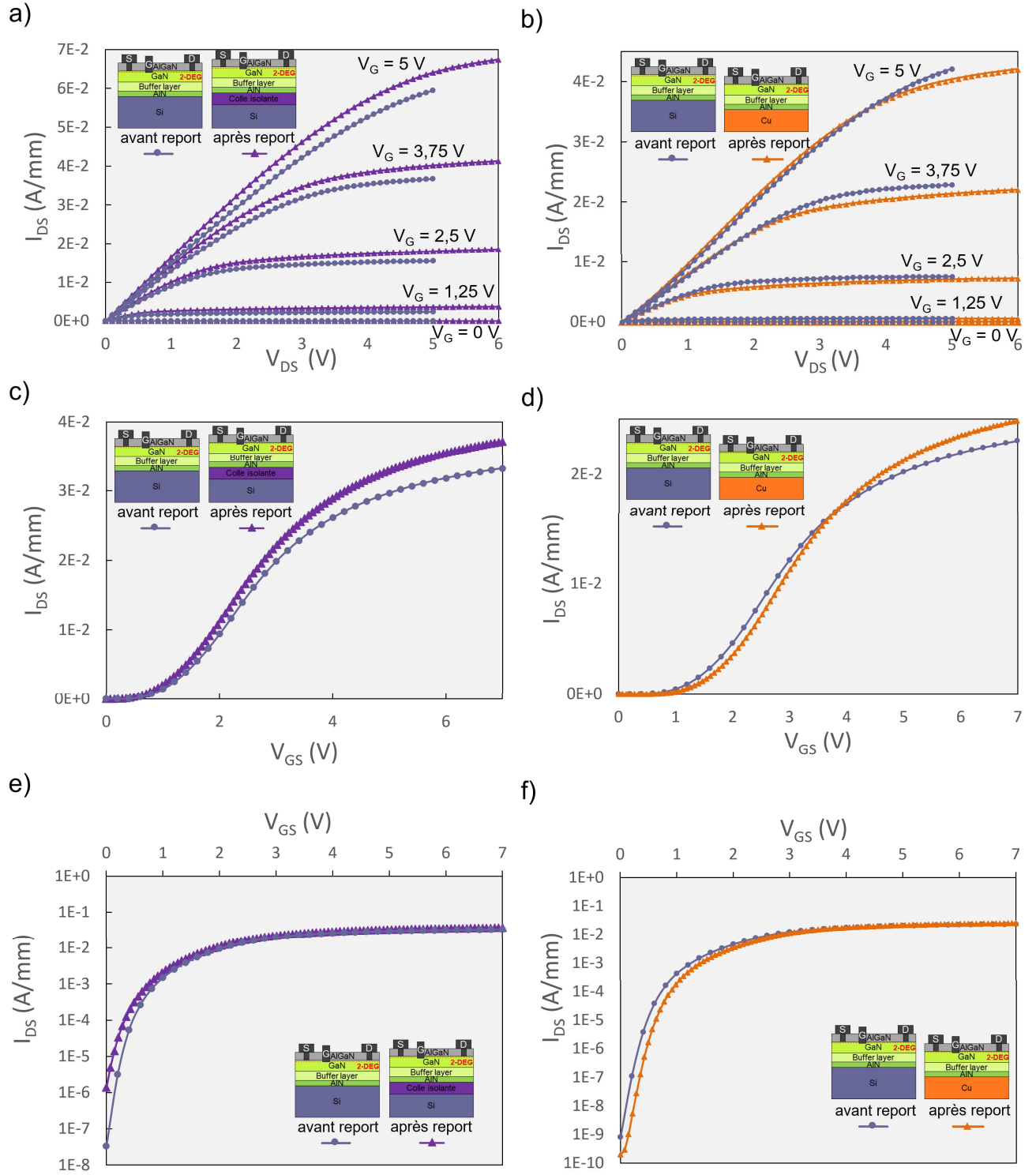


FIGURE 65 – Courbes $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ ($V_{DS} = 2$ V) du transistor de test GS1 avant et après report à l'aide d'une colle isolante (report 3, colonne de gauche) et sur cuivre (report 1, colonne de droite). a) et b) Courbes $I_{DS}(V_{DS})$ avant et après report respectivement sur colle isolante et cuivre. c) et d) Courbes $I_{DS}(V_{GS})$ avant et après report. e) et f) Courbes $I_{DS}(V_{GS})$ en échelle semi-logarithmique avant et après report.

2.4 Résultats électriques et analyses

2.4.1 Impact du report sur la valeur de la résistance du canal

Nous allons dans cette partie étudier l'impact du report sur la densité du gaz bidimensionnel d'électrons. Nous nous intéressons ici au report 1 sur cuivre (cf. tableau 5) pour les plaques A et D (cf. tableau 7). Des mesures de la résistance R_{sh} (en Ω/sq) du canal ont été effectuées avant et après report sur les mêmes motifs Van Der Pauw. Les résultats sont présentés dans le tableau 8.

Description échantillon	Plaque A		Plaque D	
	Avant report	Après report	Avant report	Après report
R_{sh} (Ω/sq)	676	480	364	331

Tableau 8 – Valeurs de résistance de couche R_{sh} avant et après report sur cuivre pour les plaques A et D.

Dans un premier temps, on peut remarquer que la valeur de la résistance R_{sh} avant report est nettement plus élevée pour la plaque A que pour la plaque D. Cela peut s'expliquer car cette dernière est plus récente : observe ici les améliorations technologiques au cours du temps.

Dans un second temps, on peut observer une diminution de la résistance R_{sh} pour les deux plaques A et D suite au report. Cette réduction est plus significative sur la plaque A (environ 30 %) que sur la plaque D (environ 10 %). Cet effet a été également observé dans [11] et [63] et a été attribué dans [63] à une possible modification des contraintes dans le film transféré. Dans notre procédé de report, l'amincissement du substrat peut effectivement entraîner des variations de contraintes au sein des couches épitaxiées. Pour vérifier cette hypothèse et mieux comprendre l'origine de cette réduction de R_{sh} une plaque de composants de 200 mm de diamètre a été amincie, le substrat silicium passant de 1 mm à 400 μm puis à 250 μm . Pour cela, la plaque de composants a d'abord été amincie par grinding jusqu'à 400 μm de substrat silicium (étape 1 de la figure 66). Elle a ensuite été découpée en champs (étape 2) pour pouvoir ensuite être amincie à 250 μm de silicium par gravure sèche (étape 3). En effet, réaliser cet amincissement à 250 μm en pleine plaque aurait pu la fragiliser au point d'entraîner sa casse. Des mesures de R_{sh} ont été réalisées après chaque étape d'amincissement, en pleine plaque pour des épaisseurs de silicium de 1 mm (étape 0) et de 400 μm (étape 1) et en champs pour des épaisseurs de silicium de 400 μm (étape 2) et de 250 μm (étape 3). Il s'agit respectivement des cas n°1 et n°2 présentés dans le tableau 9.

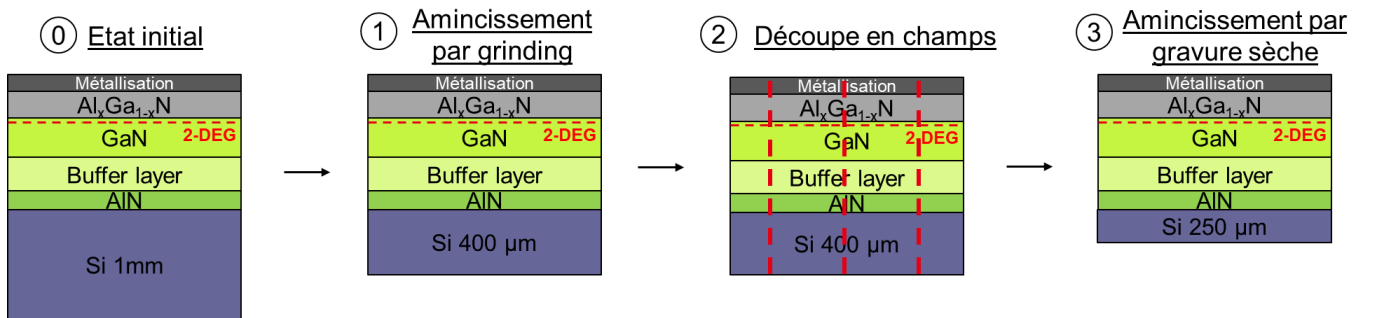


FIGURE 66 – Procédé d'amincissement effectué pour étudier la réduction de la résistance R_{sh} observée lors des différents reports.

Tout d'abord, si on considère l'évolution de la résistance R_{sh} lorsque l'épaisseur du substrat est amincie de 1 mm à 400 μm , elle passe de 670 Ω/sq à 532 Ω/sq pour le cas n°1 et de 710 Ω/sq à 562 Ω/sq pour le cas n°2. La variation de R_{sh} dans les deux cas est très similaire ce qui permet de confirmer que la découpe n'impacte pas de manière significative la modification de R_{sh} .

Ensuite, on observe dans les deux cas que le procédé d'amincissement entraîne une réduction de la résistance R_{sh} comme il a été observé avec nos reports (tableau 8). Une hypothèse à envisager est donc que cette évolution de R_{sh} soit liée à l'amincissement du substrat silicium qui modifierait les contraintes, engendrant une accumulation plus importante d'électrons dans le gaz 2D.

Epaisseur substrat	1 mm	400 μm	250 μm
R_{sh} (Ω/sq) (cas n°1)	670	532	X
R_{sh} (Ω/sq) (cas n°2)	710	562*	548*

Tableau 9 – Valeurs de résistance de couche R_{sh} avant et après amincissement du substrat silicium. Le cas n°1 correspond à la mesure d'un motif Van Der Pauw en pleine plaque après que la plaque ait été amincie à 400 μm . Le cas n°2 correspond à la mesure sur un champ découpé et permet de montrer que la découpe n'est pas responsable de la diminution de R_{sh} observée. *Après découpe

Des mesures de résistances de contacts ont été effectuées sur des motifs TLM de la plaque A reportés à l'aide de la colle isolante (report 3). La résistance de contact passe de $r_C = 6,34 \Omega.mm$ avant report à $r_C = 4,48 \Omega.mm$ après report. Une hypothèse possible pour expliquer cette réduction après report est l'augmentation de la densité du gaz d'électrons observée précédemment qui peut améliorer le contact électrique et ainsi contribuer à réduire la résistance de contact.

2.4.2 Report de transistors HEMTs de puissance ($W_g = 100 mm$)

La caractérisation des transistors de puissance se fait selon un protocole de mesure spécifique qui consiste en une succession de caractérisations qui sont présentées dans le tableau 10. Elles consistent en des mesures à l'état passant pour vérifier l'intégrité de la grille et étudier le comportement du composant, en une mesure à l'état bloqué pour évaluer ses courants de fuites et enfin de nouvelles mesures à l'état passant pour évaluer l'effet du current collapse sur le composant. Les mesures standards consistent en une succession de pulses de 200 μs pour une période totale de 50 ms pour limiter l'effet d'auto-échauffement.

Mesure	Caractéristiques	Objectifs
Intégrité de la grille	V_S et substrat à masse $V_{GS} = -2V..6V$ $V_{DS} = 0V$	Evaluer la qualité de l'isolation de grille
Courbe $I_{DS}(V_{GS})$	V_S et substrat à masse $V_{GS} = -2V..2V$ $V_{DS} = 0,5V$	Déterminer la tension de seuil du transistor
Courbe $I_{DS}(V_{DS})$	V_S et substrat à masse $V_{GS} = 0V..6V$ $V_{DS} = 0V..10V$	Evaluer le comportement du composant à l'état passant
Blocage	V_S et substrat à masse $V_{GS} = -2V$ $V_{DS} = 450V$	Evaluer le comportement du composant à l'état bloqué
Courbe $I_{DS}(V_{DS})$	V_S et substrat à masse $V_{GS} = 0V..6V$ $V_{DS} = 0V..10V$	Evaluer le comportement du composant à l'état passant après blocage
Courbe $I_{DS}(V_{GS})$	V_S et substrat à masse $V_{GS} = -2V..2V$ $V_{DS} = 0,5V$	Déterminer la tension de seuil du transistor après blocage
Intégrité de la grille	V_S et substrat à masse $V_{GS} = -2V..6V$ $V_{DS} = 0V$	Evaluer la qualité de l'isolation de grille après le blocage

Tableau 10 – Protocole de mesure de transistor de puissance utilisé lors de cette thèse.

Etude de transistors larges reportés sur cuivre :

Nous nous intéressons ici à la caractérisation des transistors HEMTs à grande largeur de grille de la plaque B pour le report sur cuivre (report 1 du tableau 5, page 54) selon le protocole de mesure présenté précédemment. Les résultats ainsi obtenus sont comparés ci-dessous par rapport aux caractérisations avant report de ces mêmes composants (i.e. sur substrat silicium). La figure 67 présente les courbes $I_{DS}(V_{DS})$ pour différentes valeurs de la tension de grille V_{GS} (0 V, 2 V, 4 V et 6 V) pour un même transistor avant report (ronds) et après report (triangles).

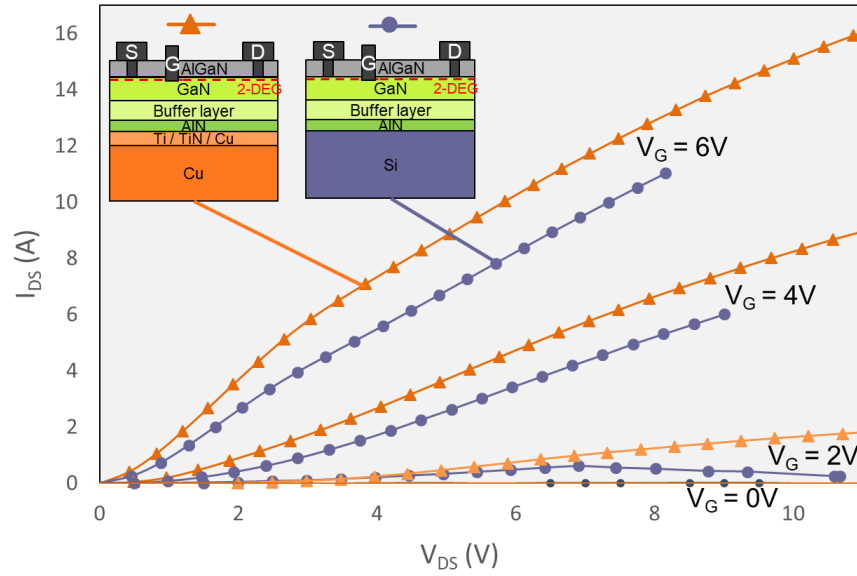


FIGURE 67 – Courant de drain (I_{DS}) à l'état passant d'un transistor HEMT reporté sur cuivre et du même transistor avant report (i.e. sur substrat silicium) en fonction de la tension de drain V_{DS} pour différentes tensions de grille V_{GS} (0 V, 2 V, 4 V et 6 V). La source et le substrat sont reliés à la masse.

On observe que ce transistor est toujours fonctionnel après report. Ceci a été vérifié pour 18 composants similaires caractérisés après ce report. On peut donc en conclure que, comme pour les transistors dédiés à la validation technologique du report de la plaque A, le report n'endommage pas les composants de puissance.

On peut remarquer que l'on observe un courant de drain plus important sur substrat cuivre que sur substrat silicium. Pour apporter une explication à ce phénomène, il faut s'intéresser aux courbes $I_{DS}(V_{GS})$ (à $V_{DS} = 0,5$ V) pour ce même transistor avant et après report (figure 68). La tension de seuil (valeur de la tension V_{GS} pour un courant I_{DS} égal à 10^{-5} A/mm) passe de 1,9 V avant report à 1,3 V après report soit une variation de V_{th} de $-0,6$ V. Une telle réduction de la tension de seuil de ces transistors après report a été observée sur tous les transistors reportés.

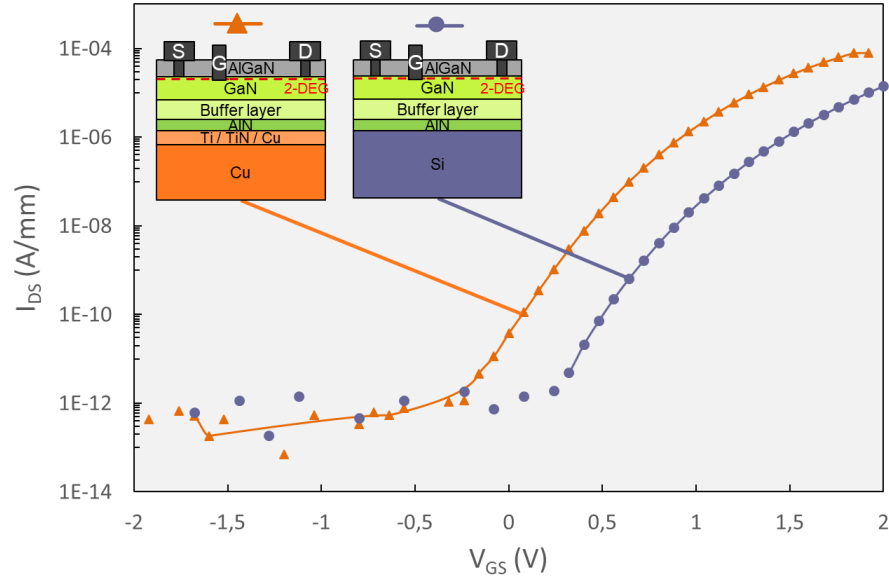


FIGURE 68 – Courbes $I_{DS}(V_{GS})$ d'un transistor HEMT avant report (sur silicium) et après report (sur cuivre) pour une tension de drain $V_{DS} = 0,5 \text{ V}$. Le substrat et la source sont reliés à la masse.

Afin de comparer l'évolution du courant I_{DS} en fonction de V_{GS} en s'affranchissant de cette différence de tension de seuil, nous avons décalé la courbe $I_{DS}(V_{GS})$ sur substrat cuivre pour la superposer sur la courbe d'avant report (figure 69). On observe que pour une tension $V_{GS} > 1 \text{ V}$ le courant de drain est supérieur dans le cas du substrat cuivre par rapport au cas du substrat silicium. Nous avons donc deux phénomènes distincts avec le report sur cuivre : un décalage de la tension de seuil vers des valeurs plus faibles et une augmentation du courant de drain à l'état passant.

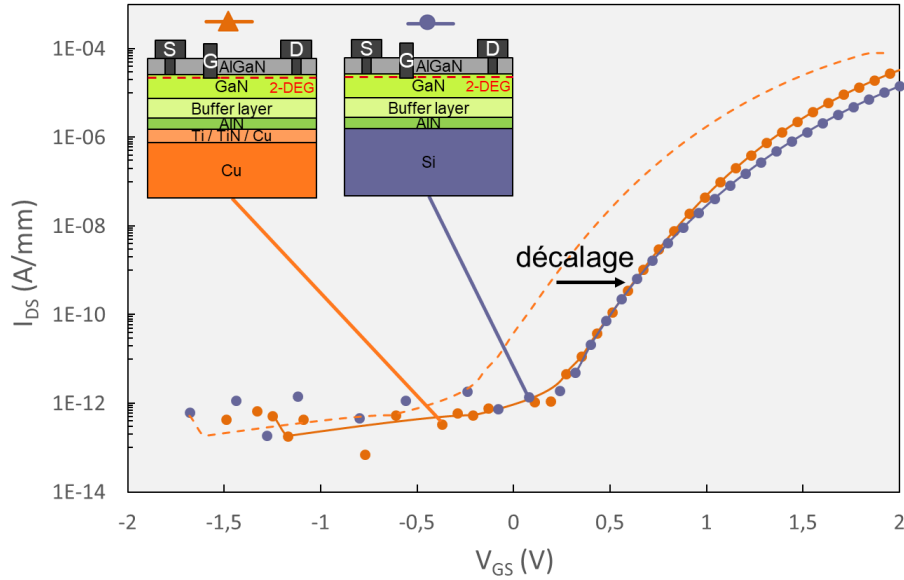


FIGURE 69 – Courbes $I_{DS}(V_{GS})$ d'un transistor HEMT avant report (sur silicium) et après report (sur cuivre) pour une tension de drain $V_{DS} = 0,5 \text{ V}$. Le substrat et la source sont reliés à la masse.

L'hypothèse la plus probable pour expliquer ces deux phénomènes est une modification des contraintes dans les couches épitaxiées provoquant une densité d'électrons plus importantes dans le canal et par la même la réduction de la résistance R_{sh} du canal observée et décrite dans la partie 2.4.1. Cette densité d'électrons plus importante serait alors la cause d'un courant plus important sur cuivre et de la réduction de la tension de V_{th} (il faut une tension moins importante pour « ouvrir » le canal). On peut retrouver cette évolution de la tension de seuil V_{th} à travers son expression donnée avec l'équation 2.10 [73] (Φ_B est la hauteur de la barrière Schottky entre le métal de la grille et la couche barrière AlGaIn, ΔE_C est la discontinuité de la bande de conduction à l'hétérojonction AlGaIn/GaN, N_S est la densité surfacique des électrons du 2-DEG, d l'épaisseur de la barrière, ϵ la constante diélectrique) [73]. Lorsque la densité d'électrons N_S du 2-DEG augmente, on a bien une diminution de la tension de seuil.

$$V_{th} = \Phi_B - \Delta E_C - \frac{qN_S d^2}{2\epsilon} \quad (2.10)$$

Pour confirmer cette hypothèse, nous avons repris les champs amincis pour l'étude de la réduction de R_{sh} (partie 2.4.1). L'amincissement a été poussé à une épaisseur de substrat silicium de $100 \mu m$ pour se rapprocher du cas après report avec $70 \mu m$ de cuivre. La figure 70 présente les courbes $I_{DS}(V_{GS})$ pour un même transistor avant amincissement (ronds) et après amincissement (carrés) pour une tension de drain $V_{DS} = 0,5 V$. On observe une réduction de la tension de seuil similaire à celle observée lors du report. Un amincissement du substrat (de $1 mm$ à $100 \mu m$) entraîne donc un décalage équivalent à celui observé suite à notre procédé de report (de $1 mm$ de Si à $70 \mu m$ de Cu). Notre hypothèse est donc que l'amincissement du substrat sous les composants induit des contraintes dans les couches épitaxiées. Ces contraintes induiraient une augmentation de la densité électronique dans le canal qui serait la cause de l'augmentation du courant I_{DS} et de la réduction de la tension de seuil V_{th} .

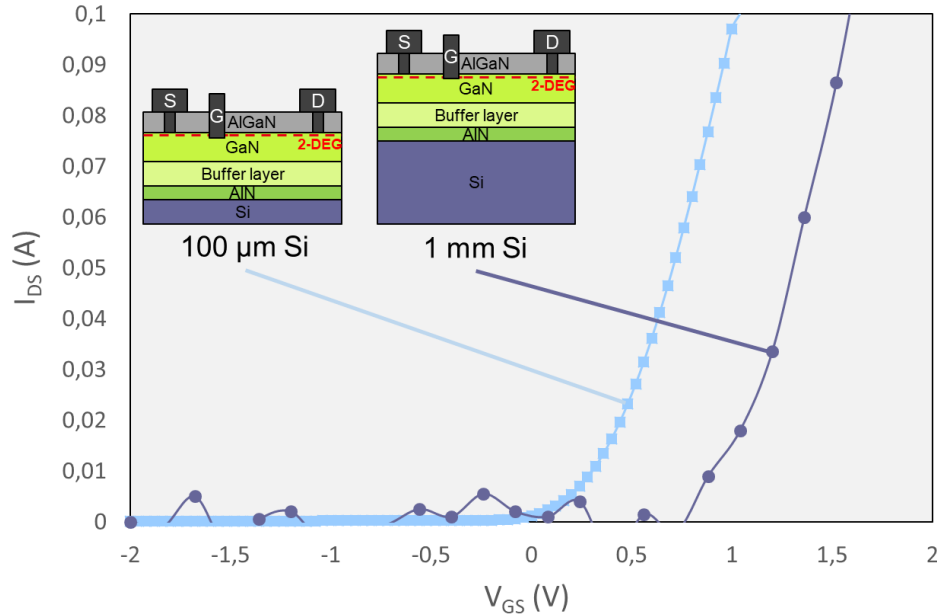


FIGURE 70 – Courbes $I_{DS}(V_{GS})$ d'un transistor HEMT sur substrat silicium standard ($1 mm$ d'épaisseur) et après amincissement de ce substrat à $100 \mu m$ pour une tension de drain $V_{DS} = 0,5 V$. Le substrat et la source sont reliés à la masse.

On observe également sur la figure 67 une décroissance du courant de drain à faible tension de grille ($V_{GS} = 2V$) et à forte tension de drain $V_{DS} > 8V$ sur substrat silicium que l'on n'observe pas après report sur substrat cuivre. Ceci peut s'expliquer par le fait que pour le cas avant report, la tension de grille appliquée dans cette configuration (2 V) est très proche de la tension de seuil du composant (1,9 V). La résistance du canal est donc encore relativement élevée et provoque un échauffement du composant qui dégrade la mobilité des porteurs et donc la valeur du courant. Dans le cas de composants reportés sur substrat cuivre, la tension de grille appliquée (2 V) est déjà bien supérieure à la tension de seuil des composants (1,3 V) : la résistance du canal est donc bien inférieure au cas précédent.

La figure 71 présente les courants de fuites de grille I_{GS} et de drain I_{DS} d'un transistor de puissance à l'état bloqué pour un transistor sur silicium et pour ce même transistor reporté sur cuivre. Une polarisation de grille de $-2 V$ est appliquée et la tension de drain varie de 0 V à 450 V. On observe que les courants de fuites sont inchangés malgré le report sur un substrat cuivre. Il s'agit d'un résultat intéressant car il montre expérimentalement que les couches buffers utilisées ici sont suffisamment isolantes électriquement pour que les courants de fuites à l'état bloqué ne soient pas impactés par le fait de placer un métal conducteur à la place du substrat silicium pour des tensions de drain inférieures à 450 V.

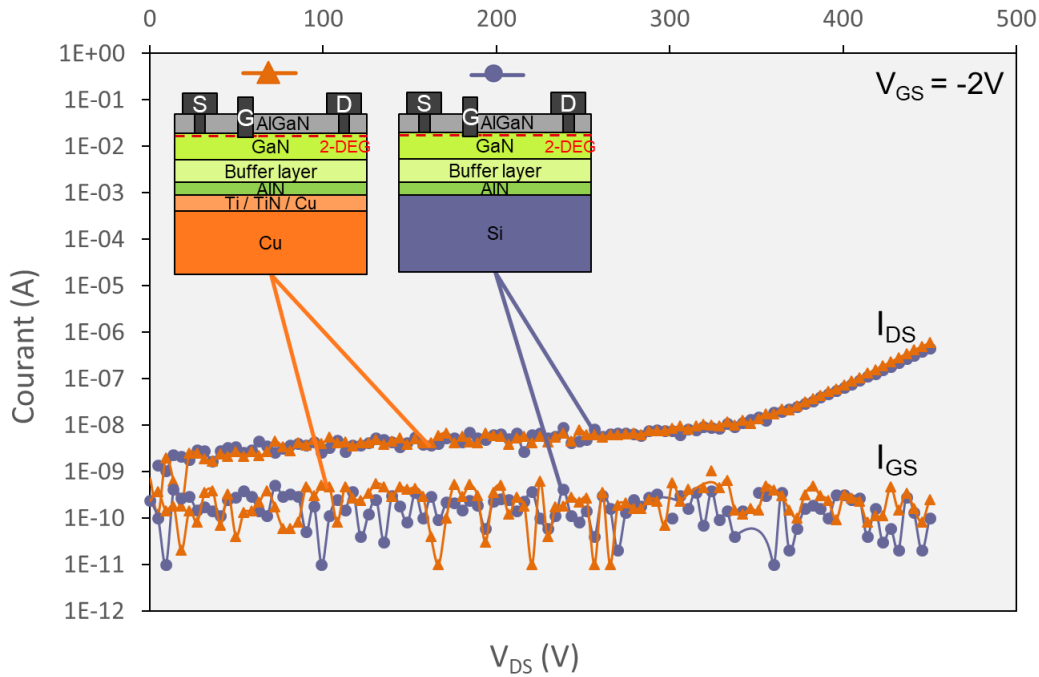


FIGURE 71 – Courant de grille (I_{GS}) et de drain (I_{DS}) à l'état bloqué d'un transistor HEMT reporté sur cuivre et du même transistor avant report, i.e. sur substrat silicium. La tension V_{DS} varie de 0 V à 450 V tandis que qu'une tension de $-2 V$ est appliquée sur la grille. La source et le substrat sont reliés à la masse.

2.4.3 Report de diodes Schottky

Les caractérisations des diodes Schottky étudiées ont été réalisées selon le protocole de mesure présenté dans le tableau 11. Il s'agit de mesures pulsées comme pour les caractérisations présentées

lors de la partie 2.4.2.

Mesure	Caractéristiques	Objectifs
Courbe $I_C(V_C)$ à l'état passant	V_A et substrat à masse $V_C = 0\text{ V} \dots -4,5\text{ V}$	Evaluer le comportement du composant à l'état passant
Courbe $I_C(V_C)$ à l'état bloqué	V_A et substrat à masse $V_C = 0\text{ V} \dots 650\text{ V}$	Evaluer le comportement du composant à l'état bloqué
Courbe $I_C(V_C)$ à l'état passant	V_A et substrat à masse $V_C = 0\text{ V} \dots -4,5\text{ V}$	Evaluer le comportement du composant à l'état passant après blocage

Tableau 11 – Protocole de mesure de diode Schottky utilisé lors de cette thèse. I_C et V_C représentent respectivement le courant et la tension à la cathode.

Etude de diodes schottky reportées sur cuivre :

Nous nous intéressons ici à des diodes Schottky à base de GaN (plaque D) reportées sur cuivre (report 1 du tableau 5). La figure 72 présente la courbe de l'évolution du courant de cathode $|I_C|$ en fonction de la tension appliquée sur cette cathode $|V_C|$ à l'état passant pour une diode après report (triangles) et avant report pour cette même diode (ronds). Nous constatons que, pour une tension $|V_C|$ donnée, la valeur du courant $|I_C|$ est plus faible après report sur cuivre comparé à la courbe de référence sur silicium. Cet effet est probablement à relier à un échauffement thermique plus important pour les composants sur cuivre que sur silicium. Cette observation pour le moins étonnante peut se comprendre si l'on considère d'une part la différence d'épaisseur entre le silicium et le cuivre (1 mm contre 70 μm) ainsi que le mauvais échange thermique entre le cuivre et le plateau de mesure (dû à la rugosité du dépôt ECD). Ces deux points impactent fortement la dissipation thermique par le substrat. Nous y reviendrons plus en détail dans le dernier chapitre dédié aux études thermiques.

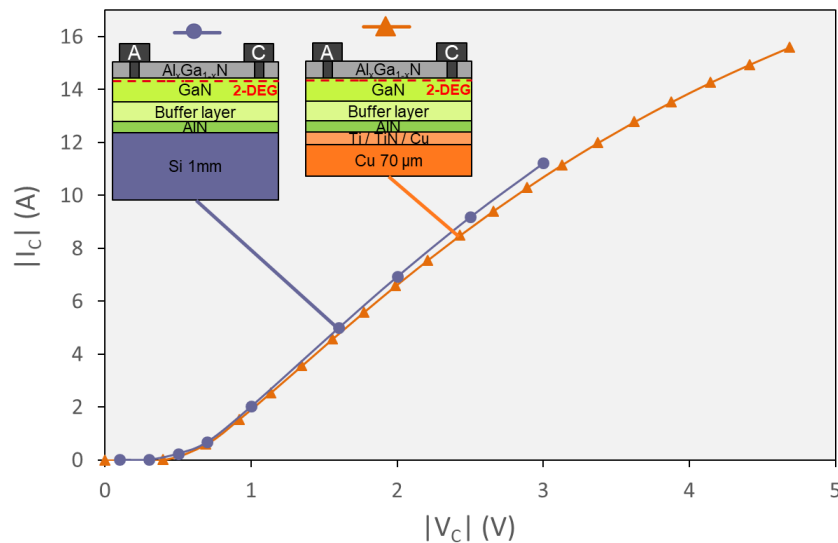


FIGURE 72 – Courant à l'état passant d'une diode Schottky reportée sur cuivre et du même composant avant report sur substrat silicium. L'anode et le substrat sont reliés à la masse.

La figure 73 présente les courants de fuites totaux passant par la cathode (verticaux + latéraux) et verticaux passant par la face arrière à l'état bloqué d'une diode avant report (triangles) et après report (ronds). Pour une tension de cathode V_C inférieure à 400 V le courant n'est pas suffisamment important pour être mesurable : on se trouve dans le bruit de mesure. A partir de 400 V, on observe un courant de fuite vertical plus important sur cuivre que sur silicium. La différence de pentes entre les deux courbes indique une résistance verticale plus faible dans le cas du substrat cuivre. Pour apporter des informations supplémentaires, le report sur cuivre en laissant 10 μm de silicium (report 2 du tableau 5) a été réalisé. La figure 74 présente l'état bloqué d'une diode avant ce report (triangles) et après ce report (ronds). On constate qu'il n'y a pas de modification des courants de fuites après report. Cet aspect semble montrer que l'interface Si/AlN joue un rôle non négligeable dans la tenue en tension verticale. Cette résistance peut s'expliquer par la présence d'une zone de déplétion dans le silicium au niveau de l'interface Si/AlN [70].

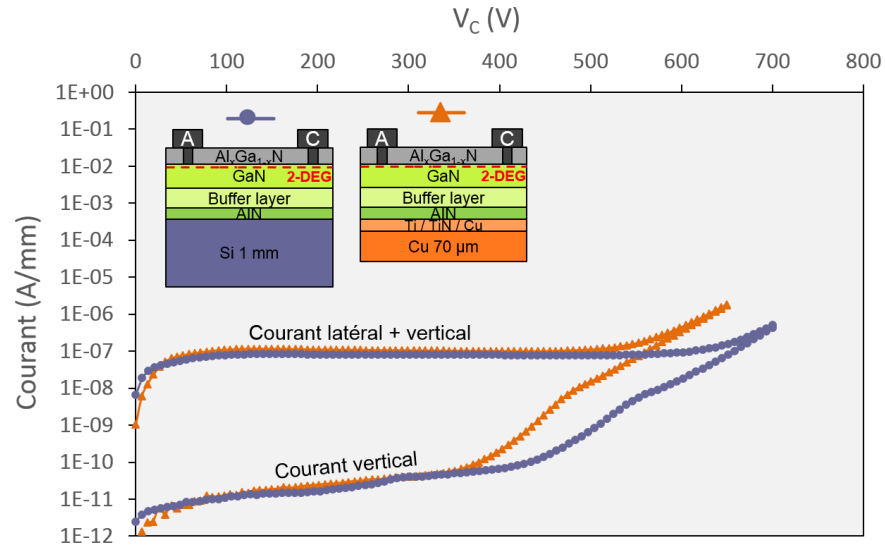


FIGURE 73 – Courant à l'état bloqué d'une diode Schottky reportée sur cuivre et du même composant avant report, i.e. sur substrat silicium. La tension à la cathode varie de 0 V à 650 V pour le cas cuivre et de 0 V à 700 V pour le cas silicium. L'anode et le substrat sont reliés à la masse.

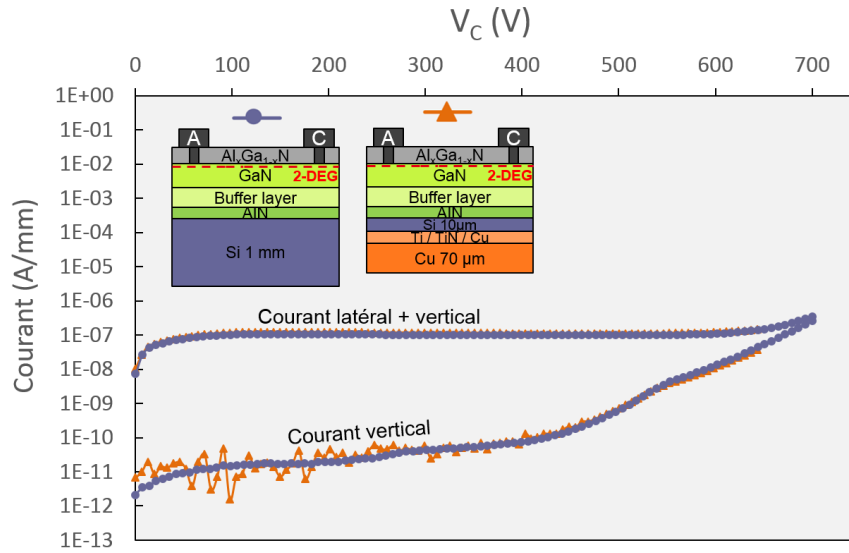


FIGURE 74 – Courant à l'état bloqué d'une diode Schottky reportée sur cuivre en laissant $10\ \mu\text{m}$ du substrat initial et du même composant avant report, i.e. sur substrat silicium. La tension à la cathode varie de 0 V à 650 V pour le cas cuivre et de 0 V à 700 V pour le cas silicium. L'anode et le substrat sont reliés à la masse.

Etude de diodes schottky reportées sur substrat isolant :

Dans cette partie, nous allons étudier l'effet d'un remplacement du substrat silicium par un substrat isolant sur le comportement de diodes Schottky à base de GaN (plaque D). La figure 75 présente la courbe $|I_C|(|V_C|)$ à l'état passant d'une diode Schottky après report sur la colle isolante (triangles) et avant report pour ce même composant (ronds). On observe une diminution du courant après report. Cette diminution de courant est liée à la mauvaise conductivité thermique de la colle isolante utilisée. En effet, cette colle isolante est déposée directement sous la couche de nucléation en AlN, elle est donc à quelques μm des composants. Elle agit comme une barrière thermique. La chaleur générée par effet Joule ne peut donc pas se dissiper de manière efficace. Il s'ensuit un échauffement plus important du composant que sur substrat silicium ce qui va induire une réduction du courant. Pour confirmer cette hypothèse, la courbe pour le substrat avec la colle isolante ont été mesurées pour des temps de « pulse » de $50\ \mu\text{s}$, $100\ \mu\text{s}$, $200\ \mu\text{s}$, $300\ \mu\text{s}$ et $500\ \mu\text{s}$ avec des périodes valant respectivement $50\ \text{ms}$, $50\ \text{ms}$, $50\ \text{ms}$, $100\ \text{ms}$ et $125\ \text{ms}$. La mesure référence sur substrat silicium a été effectuée avec un temps de « pulse » de $200\ \mu\text{s}$ pour une période de $50\ \text{ms}$. L'augmentation du temps de pulse entraîne une génération par effet Joule. Elle va réduire la mobilité des porteurs et on observe donc une diminution du courant. On observe également que pour des temps de « pulse » très courts, la caractéristique $|I_C|(|V_C|)$ des diodes sur colle isolante devient similaire à celles des diodes sur silicium. Cela confirme que la réduction du courant observée à la figure 75 est bien due à un échauffement plus important après report sur la colle isolante.

On peut remarquer que dans ce cas le report sur la colle isolante a provoqué un effet d'échauffement alors qu'un tel effet n'a pas été observé sur les transistors de test pour ce même report (partie 2.3.2, page 71). Ceci s'explique car plus un échauffement va avoir lieu sur une plus grande surface, plus le substrat va avoir un rôle à jouer pour dissiper cette chaleur. Or la dimension d'une diode

est bien supérieure à celle d'un transistor de test : une diode possède une surface active d'environ $1\text{ mm} \times 1,5\text{ mm}$ alors que celle des transistors est d'environ $80\text{ }\mu\text{m} \times 50\text{ }\mu\text{m}$. Le substrat va donc avoir un rôle plus significatif à jouer pour dissiper la chaleur générée lors du fonctionnement des diodes que des transistors de test.

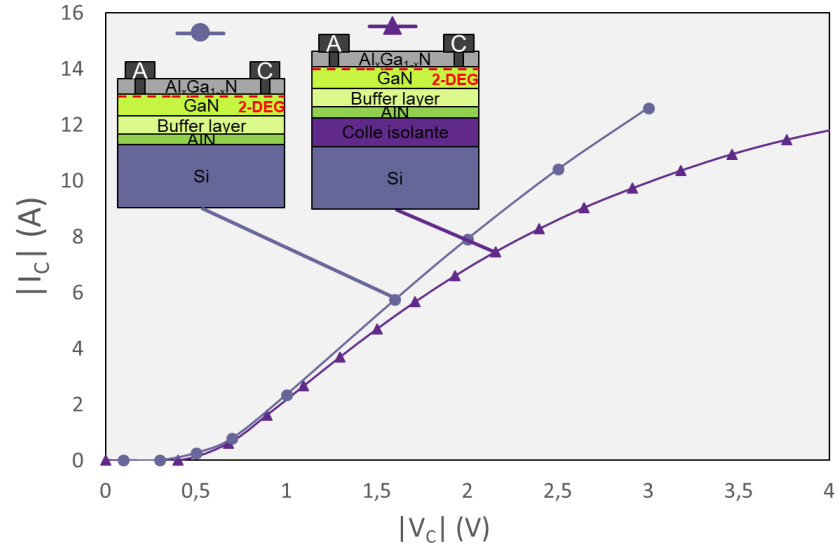


FIGURE 75 – Courant à l'état passant d'une diode Schottky reportée sur silicium à l'aide d'une colle isolante et du même composant avant report sur substrat silicium. L'anode et le substrat sont reliés à la masse.

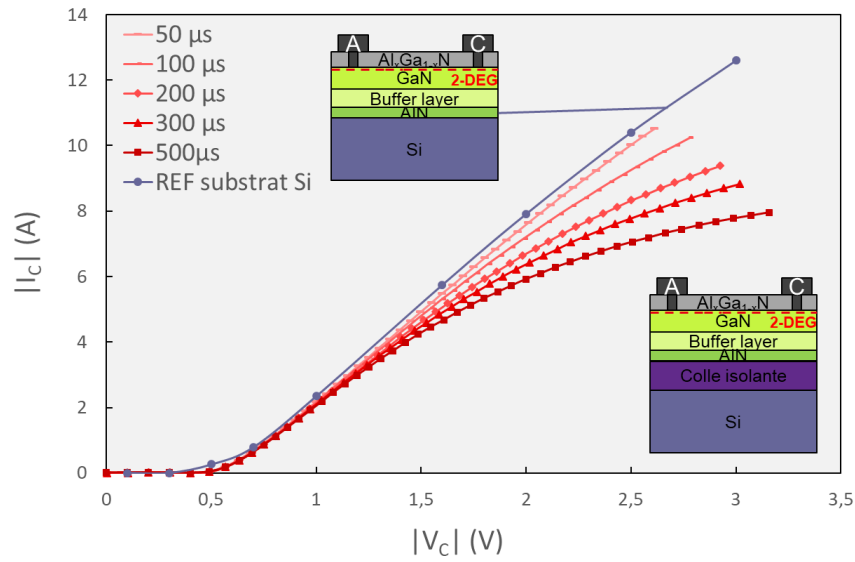


FIGURE 76 – Courant à l'état passant d'une diode Schottky reportée sur silicium à l'aide d'une colle isolante et du même composant avant report sur substrat silicium. La mesure de la courbe référence sur substrat silicium correspond à un pulse de tension sur la cathode de $200 \mu s$ pour une période de $50 ms$. Les courbes pour le substrat avec colle isolante ont été mesurées pour des temps de pulse valant $50 \mu s$, $100 \mu s$, $200 \mu s$, $300 \mu s$ et $500 \mu s$ avec des périodes valant respectivement $50 ms$, $50 ms$, $50 ms$, $100 ms$ et $125 ms$.

La figure 77 présente les courants de fuites à l'état bloqué après report (triangle) et avant report (rond). On constate que la colle isolante fait bien office de barrière au courant vertical.

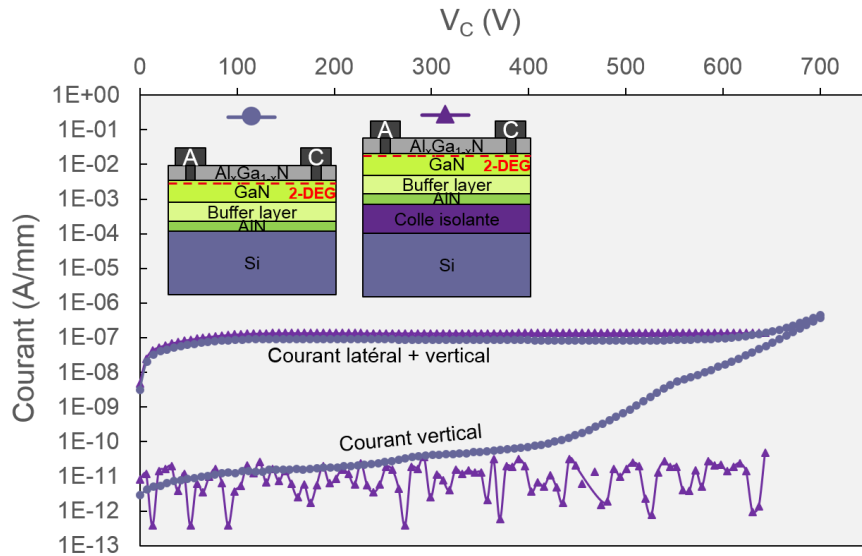


FIGURE 77 – Courant de fuites à l'état bloqué d'une diode Schottky reportée sur substrat silicium à l'aide d'une colle isolante et du même composant avant report sur substrat silicium. L'anode et le substrat sont reliés à la masse.

2.5 Conclusion

Dans un premier temps, nous avons présenté dans ce chapitre le procédé de report retenu pour remplacer le substrat silicium de fabrication de composants GaN par d'autres matériaux : principalement le cuivre et une colle isolante électrique. Ces reports ont permis de reporter sans dégradation électrique et structurelle des composants de puissance à partir de plaques de 200 *mm* de diamètre sur des échantillons de la dimension d'un champ (i.e. $2, 2 \times 2, 2 \text{ cm}^2$). Les différentes étapes technologiques des reports permettent :

- d'assembler temporairement la plaque de composant à une poignée, permettant ainsi de protéger les composants et de retirer le substrat de fabrication avec un maintien mécanique permanent tout au long du procédé de report,
- de graver avec précision la totalité du substrat silicium,
- de réaliser notamment une croissance épaisse d'un substrat cuivre.

La qualité morphologique des composants reportés a été validée à travers des caractérisations FIB-MEB des composants reportés sur cuivre. Le fait que les composants de puissance, provenant de différentes plaques, étaient fonctionnels après les reports a permis de valider les procédés technologiques retenus.

Dans un deuxième temps, nous avons caractérisé électriquement les différents composants à notre disposition qui ont été reportés. L'objectif de ces mesures était de quantifier l'impact des procédés technologiques du report sur les composants mais également l'effet d'un substrat d'un autre matériau que le silicium sur ceux-ci.

Nous avons ainsi mis en évidence une augmentation de la densité d'électrons dans le canal suite au report sur substrat cuivre. Nous avons montré que cet effet est lié à l'amincissement du substrat silicium. Notre hypothèse pour l'expliquer est que cet amincissement entraîne une modification des contraintes dans les couches épitaxiées. Les caractérisations électriques réalisées ont montré que ce phénomène impacte notamment la tension de seuil des transistors en la réduisant suite au report.

Nous avons mis en avant l'effet d'avoir un substrat avec une mauvaise conductivité thermique sur les caractéristiques à l'état passant de diodes Schottky. L'utilisation d'une colle isolante dégrade ainsi fortement le courant et rend son utilisation peu intéressante malgré la nette amélioration sur les courants de fuite verticaux qui a été observée par rapport au cas sur silicium.

Nous nous sommes également intéressé au comportement à l'état bloqué de composants reportés, principalement dans le cas du cuivre. Nous avons montré qu'il n'y avait pas de modification des courants de fuites pour des tensions inférieures à 400 *V* dans le cas de transistors HEMTs reportés sur cuivre comparé à ces mêmes composants avant report, i.e. sur silicium. En ce qui concerne les diodes Schottky, nous avons montré la présence de fuites verticales plus importantes sur substrat cuivre à partir d'environ 400 *V*. Ces fuites de courant plus importantes ont pu être réduites à un niveau équivalent au cas sur silicium en ne retirant pas totalement le substrat silicium. Il a ainsi été possible de mettre en avant expérimentalement l'impact de l'interface AlN/Si dans la tenue en tension verticale.

Chapitre 3

Caractérisations thermiques de composants GaN reportés

Sommaire

3.1	Objectifs	90
3.2	Caractérisation électrique de la résistance thermique de composants GaN reportés	90
3.2.1	Motif de caractérisation de la résistance thermique du canal	90
3.2.2	Mesure de résistance thermique du canal de composants GaN reportés . .	92
3.3	Caractérisation par caméra infra-rouge de l'échauffement de composants GaN reportés	94
3.3.1	Description de la méthode de caractérisation par caméra infra-rouge . . .	94
3.3.2	Caractérisation par caméra infra-rouge de composants GaN reportés sur cuivre	97
3.4	Conclusion	103

3.1 Objectifs

Dans le chapitre précédent, nous nous sommes intéressés à l'impact du report sur les caractéristiques électriques des composants. Dans cette partie, nous comparerons l'échauffement de composants sur substrat silicium avec ceux qui ont été reportés selon les procédés présentés dans le chapitre précédent (en nous concentrant notamment sur le cas des reports sur substrat cuivre). Dans un premier temps, nous mesurerons la résistance thermique du canal à l'aide d'un motif de caractérisation électrique spécifique. Puis nous comparerons la dissipation thermique de transistors de puissance sur substrat silicium avec ceux reportés sur cuivre à l'aide d'une caméra infra-rouge.

3.2 Caractérisation électrique de la résistance thermique de composants GaN reportés

3.2.1 Motif de caractérisation de la résistance thermique du canal

Nous allons à présent nous intéresser à un motif de caractérisation nommé « PS SG2 ». Ce motif permet de mesurer la résistance thermique du canal 2D d'électrons. Cette technique est présentée dans [74]. Il s'agit d'un transistor possédant un serpentín de grille d'une longueur de 4,8 mm ainsi qu'un plot de source, un plot de drain et de quatre plots de grille répartis de part et d'autre du serpentín de grille (cf. figure 78).

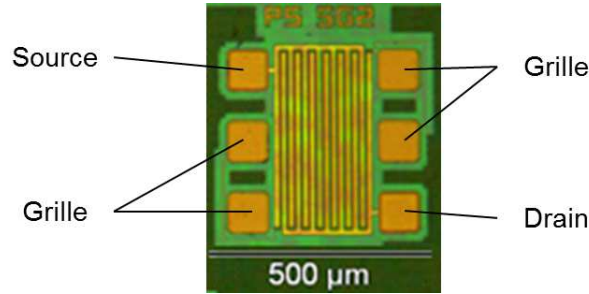


FIGURE 78 – Motif PS SG2 pour la mesure de la résistance thermique du canal du transistor observé au microscope optique.

La résistance thermique du canal donne des informations sur la capacité du composant à évacuer la chaleur. Cette résistance thermique est reliée à la température du canal par la relation ci-dessous (où T_{canal} est la température du canal, T_{chuck} celle du plateau chauffant du banc de caractérisation, P la puissance dissipée et R_{th} la résistance thermique du canal) :

$$T_{canal} = T_{chuck} + P.R_{th} \quad (3.1)$$

Ainsi, pour déterminer cette résistance thermique, il suffit d'établir une relation entre T_{canal} et P . C'est le but du motif PS SG2. Pour cela, il est intéressant de remarquer que la grille étant à quelques dizaines de nanomètres du canal, on peut supposer qu'elle est à la même température que ce dernier. Il est également intéressant de noter que la résistance d'un matériau conducteur

(en l'occurrence le tungstène de la grille) varie en fonction de la température. Il suffit donc de trouver la valeur de cette résistance de grille pour remonter à sa température et ainsi en déduire la température du canal. De plus, on remarque sur la figure 78 que, contrairement aux transistors habituels, ce motif possède des plots de grille de part et d'autre du serpentin de grille. Cela permet d'appliquer une différence de potentiel entre ces plots de grille, et donc d'imposer un courant le long de la grille et ainsi de mesurer sa résistance. Dans un premier temps, il faut donc établir un étalonnage reliant la température de la grille à sa résistance. Pour cela, on mesure la résistance de grille en faisant varier la température du plateau du banc de caractérisation (et donc de la grille) de 25°C à 150°C par pas de 25°C. Un exemple d'un tel étalonnage est illustré dans la figure 79. La caractéristique $R_g(T)$ est linéaire et permet donc, pour une résistance de grille donnée, de remonter à la température du canal.

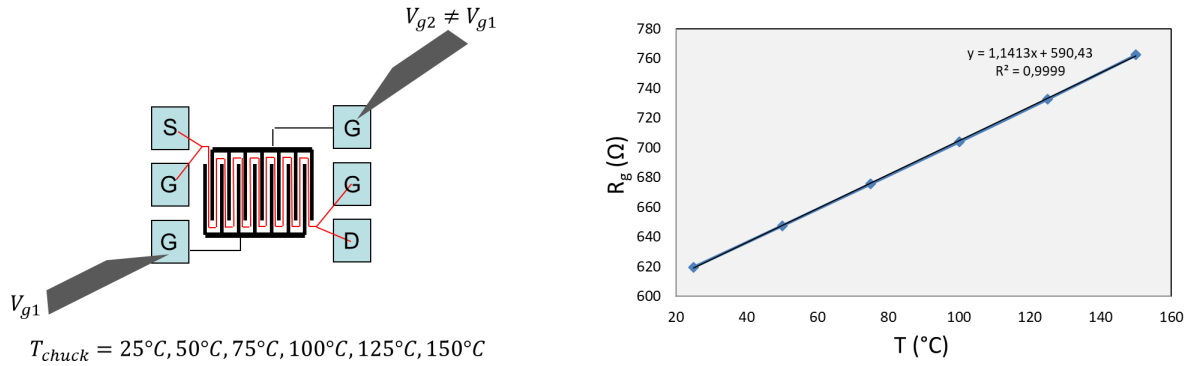


FIGURE 79 – A gauche : positionnement des pointes lors de l'étalonnage entre la résistance de la grille R_g et la température du plateau du banc de mesure T_{chuck} . A droite : courbe d'étalonnage $R_g(T)$ ainsi obtenue.

Une fois l'étalonnage réalisé, on polarise le transistor à l'état passant comme indiqué sur la figure 80. La chaleur dissipée va faire augmenter la température du canal qu'il sera possible de connaître, par l'intermédiaire de la résistance de grille et de l'étalonnage réalisé précédemment.

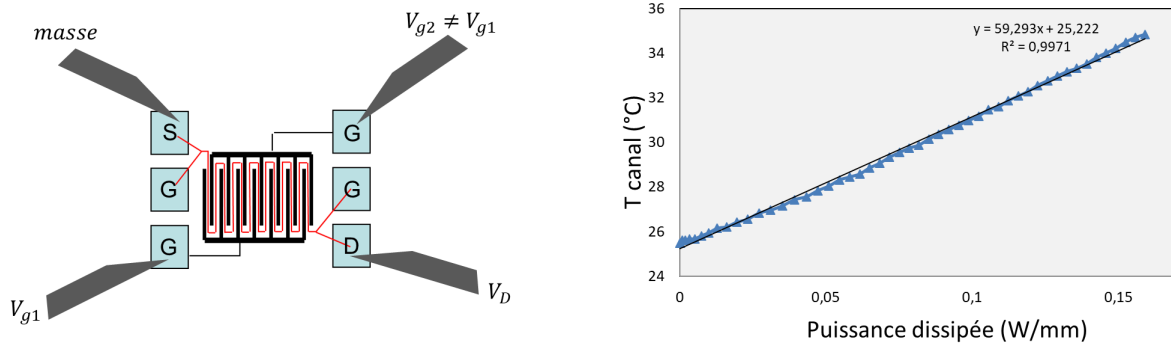


FIGURE 80 – A gauche : positionnement des pointes lors de la mesure de la résistance thermique du canal R_{th} . A droite : évolution de la température du canal en fonction de la puissance dissipée P pour un motif PS SG2 donné.

Il est possible d'assimiler en première approximation la température du canal à une fonction linéaire de la puissance dissipée. La résistance thermique étant alors égale à la pente de la fonction $T_{canal} = f(P)$ on a donc dans l'exemple présenté ici :

$$R_{th} = 59^{\circ}C.mm/W \quad (3.2)$$

3.2.2 Mesure de résistance thermique du canal de composants GaN reportés

Des caractérisations sur le motif « PS SG2 » ont été réalisées sur différents champs de la plaque A (tableau 7, page 58) suite au report sur cuivre (report 1, tableau 5, page 54) et sur colle isolante (report 3). La mesure pour le cas référence sur substrat silicium correspond à celle présentée dans la présentation du fonctionnement du motif PS SG2 des paragraphes ci-dessus. Les résistances thermiques de canal mesurées pour chacun de ces cas sont présentées dans le tableau 12.

On constate que la résistance thermique du canal avec la colle isolante ($764^{\circ}C.mm/W$) est bien supérieure à la valeur référence sur silicium ($59^{\circ}C.mm/W$). Ceci peut s'expliquer par la mauvaise conductivité thermique de la colle isolante utilisée comparée à celle du silicium. Ce résultat est cohérent avec l'auto-échauffement plus important observé pour les diodes reportées sur cette colle isolante comparé au cas référence sur silicium observé à la partie 2.4.3, page 85.

On remarque également que la résistance thermique du canal dans le cas du substrat cuivre ($123^{\circ}C.mm/W$) est également supérieure au cas référence sur silicium. Cette observation peut s'expliquer par le fait que les échantillons sur substrat cuivre évacuent difficilement la chaleur vers le plateau de mesure comparé à ceux sur substrat silicium. En effet, des dépôts supplémentaires de cuivre en bordure de champ (se produisant lors du dépôt électrochimique du cuivre) empêchent une mise à plat correcte des échantillons sur le plateau de mesure. La chaleur générée par effet Joule lors de la caractérisation électrique ne peut donc pas s'évacuer correctement et entraîne un échauffement supplémentaire, expliquant la résistance thermique élevée mesurée.

Substrat	$R_{th}(^{\circ}C.mm/W)$
Silicium (1 mm)	59
Cuivre (80 μm)	119
Colle isolante sur silicium	764

Tableau 12 – Résistances thermiques moyennes du canal mesurées sur 9, 4 et 6 motifs de caractérisation PS SG2 respectivement sur substrat silicium, cuivre (report 1) et avec la colle isolante (report 3) (les écarts types des mesures réalisées sur chaque substrat valent respectivement 2, 4 $^{\circ}C.mm/W$, 4, 7 $^{\circ}C.mm/W$ et 26, 4 $^{\circ}C.mm/W$).

Nous avons ainsi mis en avant à l'aide du motif « PS SG2 » la mauvaise dissipation thermique entraînée par l'utilisation de la colle isolante pour le report 3 expliquant le phénomène d'échauffement observé sur les caractéristiques I(V) des diodes dans le chapitre précédent ainsi que la mauvaise évacuation de la chaleur par la face arrière du substrat cuivre.

Nous allons dorénavant et pour toute la suite de ce chapitre nous concentrer sur la caractérisation thermique de transistors de puissance reportés sur cuivre. Il s'agit de transistors identiques à ceux qui ont été caractérisés électriquement dans le chapitre précédent. La figure 81 présente une

caractérisation $I_{DS}(V_{DS})$ d'un tel transistor reporté sur cuivre (points en triangle). On constate que le courant décroît à partir de $V_{DS} = 15\text{ V}$ ce qui montre un effet d'auto-échauffement du composant [23] (qui entraîne une diminution de la mobilité des électrons et donc du courant). On retrouve ici la mauvaise évacuation de la chaleur discutée précédemment. Pour améliorer cet aspect, ces transistors sur substrat cuivre ont été reportés sur une plaque en cuivre de $300\text{ }\mu\text{m}$ d'épaisseur à l'aide d'une colle thermique. Il s'agit d'une colle epoxy chargée à l'argent (nommée « EPO-TEK[®] H20E »[75]) qui est d'abord étalée sur une des faces à assembler. Les deux faces sont ensuite collées et l'ensemble est recuit à $150\text{ }^{\circ}\text{C}$ pendant 15 minutes. Une caractérisation $I_{DS}(V_{DS})$ a été réalisée sur ces transistors reportés sur une plaque en cuivre et est présentée dans la figure 81 (points en ronds). On n'observe pas de décroissance du courant en régime de saturation. Le report à l'aide de la colle thermique a donc permis d'améliorer le problème d'évacuation de la chaleur. Il faut noter que les courbes présentées dans cette figure proviennent de deux transistors différents en termes de position sur la plaque de composant initial (mais identiques du point de vue du procédé de fabrication) ce qui explique la différence de courants de drain observable entre les deux courbes.

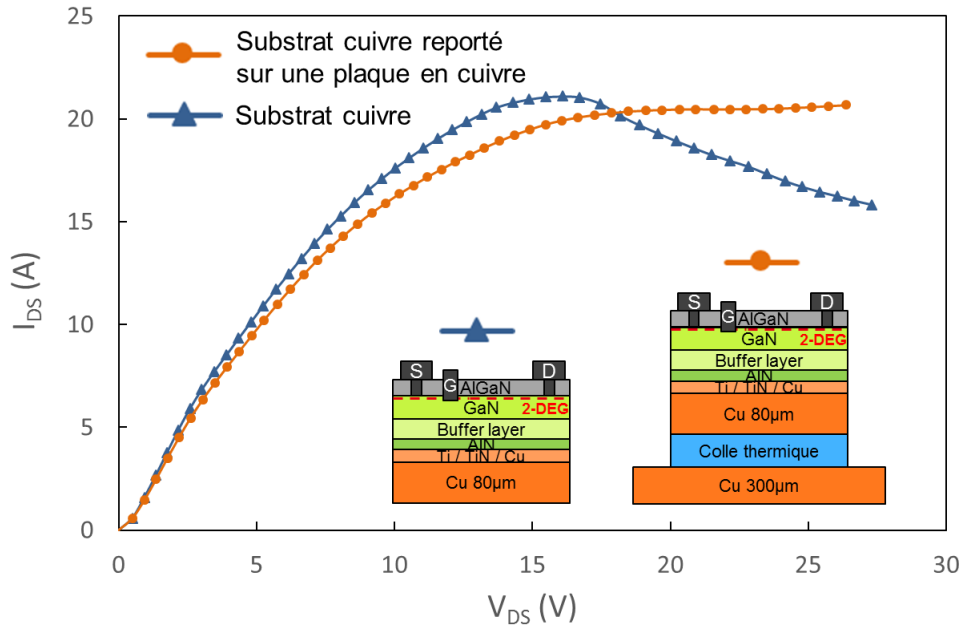


FIGURE 81 – Courbes $I_{DS}(V_{DS})$ de deux transistors $10\text{ }\mu\text{m}$ différents pour des tensions de drain suffisamment élevées afin d'observer l'effet d'échauffement du composant. La première courbe (triangle) correspond à un transistor reporté sur un substrat cuivre de $80\text{ }\mu\text{m}$. La deuxième courbe (rond) correspond à un transistor reporté sur un substrat cuivre $80\text{ }\mu\text{m}$ et ensuite reporté sur une plaque en cuivre de $300\text{ }\mu\text{m}$ d'épaisseur à l'aide d'une colle thermique.

En reportant les transistors sur une plaque en cuivre à l'aide d'une colle thermique, il a donc été possible d'améliorer leur dissipation thermique en améliorant l'évacuation de la chaleur générée en fonctionnement. Dans la suite, ce sont ces transistors qui seront étudiés thermiquement. Ces derniers seront comparés à des transistors sur substrat silicium aminci à $400\text{ }\mu\text{m}$ reportés également sur une plaque en cuivre qui serviront de référence.

3.3 Caractérisation par caméra infra-rouge de l'échauffement de composants GaN reportés

Dans cette partie, nous allons étudier la dissipation thermique de transistors reportés sur cuivre à l'aide d'une caméra infra-rouge permettant de mesurer la température à la surface des composants. Dans un premier temps, nous allons présenter le banc de mesure ainsi que les techniques de caractérisations utilisées. Puis nous présenterons les résultats de ces mesures en comparant des transistors reportés sur cuivre avec des transistors sur substrat silicium servant de référence. Dans les deux cas, les échantillons ont été assemblés sur une plaque en cuivre à l'aide d'une colle thermique.

3.3.1 Description de la méthode de caractérisation par caméra infra-rouge

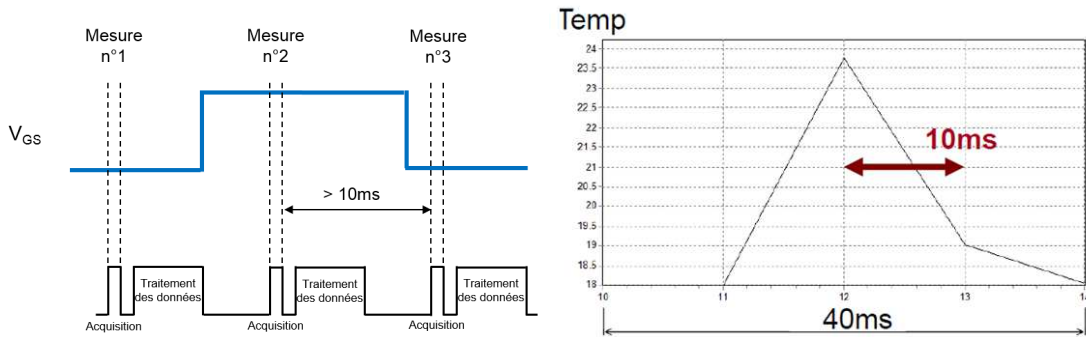
L'équipement qui a été utilisé est un banc de caractérisation Signatone WL 350 (cf. figure 82) avec une alimentation de puissance pouvant délivrer une tension allant jusqu'à 3 kV et un courant allant jusqu'à 100 A en pulsé et à 10 A en DC. Une caméra infrarouge à l'antimoniure d'indium (InSb) permettant de mesurer la température en surface est placée au dessus du banc. Il est ainsi possible de quantifier l'échauffement subi par les composants lors de leur fonctionnement. Ce banc de caractérisation est équipé d'un plateau de mesure chauffant permettant de monter jusqu'à $300\text{ }^{\circ}\text{C}$.



FIGURE 82 – Banc de caractérisation Signatone WL 350 équipé d'une caméra infrarouge InSb pour les mesures de température

Les caractérisations thermiques que nous avons menées s'effectuent en deux étapes. La première consiste à effectuer une calibration à 25°C et une autre à 45°C à l'aide du plateau de mesure thermique comme référence. Pour chacune des deux températures, une acquisition est réalisée par la caméra qui calcule ensuite pixel par pixel (de $15\text{ }\mu\text{m}$ de côté) le coefficient d'émissivité associé de la surface et pourra ainsi calculer la température de chaque pixel dans la gamme de température de $25\text{ }^{\circ}\text{C}$ à $45\text{ }^{\circ}\text{C}$.

La deuxième étape consiste en la mesure thermique en elle-même pour laquelle il existe deux approches. La première est de provoquer un échauffement à l'aide d'un pulse de courant (en appliquant une tension sur le drain pendant un court laps de temps) tout en mesurant l'évolution de la température avec le temps. Cette méthode a deux inconvénients. Le premier est que la tension V_{GS} appliquée sur la grille pour commuter le transistor n'est pas synchronisée avec la caméra : on ne peut donc pas connaître le moment de chaque acquisition par rapport au pulse de courant. Le deuxième inconvénient réside dans le fait que le temps minimal entre chaque acquisition de la caméra est limité à 10 ms. Or la température évolue sur des temps bien inférieurs à ce pas de mesure. Il n'est donc pas possible de suivre de manière précise l'échauffement du composant avec cette approche : on obtiendrait des courbes telles que celle présentée sur la figure 83b dont on ne peut pas extraire la valeur maximale de la température par exemple.



(a) Evolution de V_{GS} et des temps d'acquisitions en fonction du temps. (b) Evolution de la température en fonction du temps.

FIGURE 83 – Exemple arbitraire d'une caractérisation thermique d'un composant avec l'approche standard. L'image (a) présente le principe de la mesure : des acquisitions de température sont effectuées avec un pas de temps limité à 10 ms. L'image (b) présente une courbe de température que l'on peut obtenir avec cette méthode : le pas minimum entre chaque acquisition n'est pas compatible pour voir avec précision l'évolution de la température.

La deuxième méthode de caractérisation thermique utilisée pour pallier les problèmes présentés précédemment se nomme « trigger delay ». Elle permet de réaliser des acquisitions avec des pas beaucoup plus faibles, pouvant aller de 1 μs à 10 μs , tout en synchronisant la tension de grille avec le logiciel qui gère la caméra. La figure 84 présente le principe de cette méthode de mesure. Elle consiste à appliquer des pulses de tensions successifs et identiques sur la grille (V_G sur la figure 84a) pour faire commuter le transistor de l'état bloqué à l'état passant de manière cyclique. On appelle ici cycle la période de temps où le transistor est à l'état passant (il s'échauffe), puis à l'état bloqué (il se refroidit) avant de repasser à l'état passant (cf. figure 84a). Une mesure de température est réalisée à chaque cycle avec un délai par rapport à la mesure du cycle précédent. On peut ainsi couvrir toute l'évolution de la température au cours d'un cycle en supposant que le transistor se comporte de manière identique pour chacun d'entre eux. On obtient donc une évolution de la température de surface bien plus résolue qu'avec l'approche standard (cf. figure 84b). Il est intéressant de noter qu'on se rapproche plus du fonctionnement des composants avec cette approche qu'avec l'approche « standard ». En effet, de tels transistors sont destinés à être utilisés en commutation. On obtient donc une évolution de la température qui reflète plus la réalité

que celle obtenue avec la méthode présentée précédemment. Néanmoins, les fréquences d'utilisation de plusieurs dizaines de kHz auxquelles sont destinés ces transistors ne sont pas atteignables avec la caméra thermique.

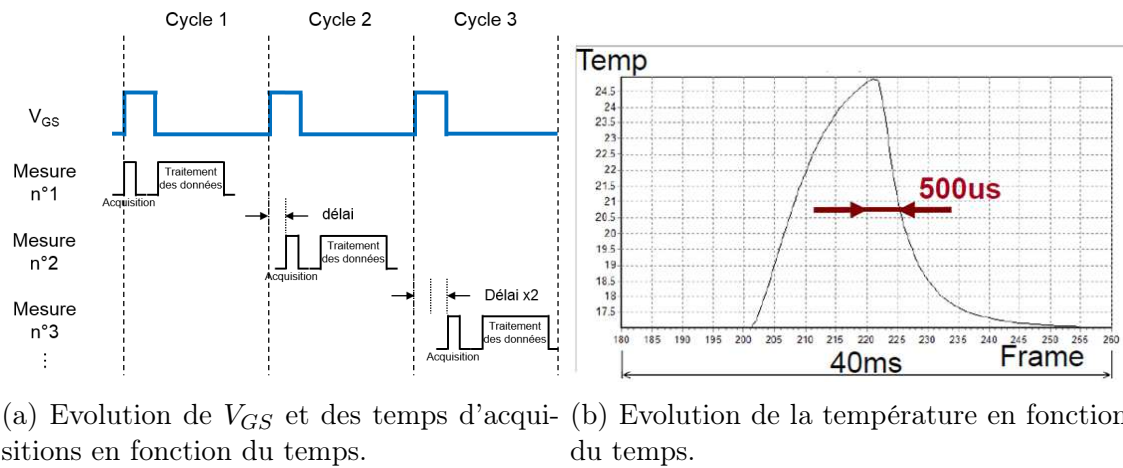


FIGURE 84 – Exemple arbitraire d’une caractérisation thermique d’un composant avec l’approche dite « trigger delay ». L’image (a) présente le principe de la mesure : une acquisition est effectuée à chaque cycle, chacune d’elle étant espacée de la précédente par un pas de temps fixe pour couvrir toute l’évolution de la température au cours d’un cycle. L’image (b) présente une courbe de température que l’on peut mesurer avec cette méthode : on obtient alors une évolution plus précise comparée à la méthode présentée précédemment (figure 83a).

Il est important de garder à l’esprit que les températures mesurées ne reflètent pas avec précision la température exacte à la surface des composants. En effet, plusieurs paramètres vont influencer la mesure. Lors de la calibration en température à 25 °C et à 45 °C, il est nécessaire d’attendre que la température en surface des composants soit stabilisée. Cette stabilisation peut prendre un temps relativement important : de 30 min à 45 min lors de la montée en température du plateau de mesure de 25 °C à 45 °C et de 1 h à 1 h 30 min lors de la descente en température de 45 °C à 25 °C. Dès lors, la température n’est pas précisément égale à celle du plateau de mesure mais est simplement stabilisée à une température proche de celle affichée par le plateau de mesure. De plus, lors des mesures, nous observons également les rayonnements du capot du banc de mesure et de l’objectif de la caméra infra-rouge qui sont à température ambiante et qui influent sur la température mesurée. Tous ces facteurs imposent que la température mesurée n’est pas strictement égale à la température réelle à la surface des composants. Comme l’objectif de cette expérimentation était de comparer les deux structures plutôt que déterminer la température de surface exacte, une calibration plus précise n’a pas été mise en place.

La figure 85 présente un exemple d’image obtenue avec la caméra thermique dans le cas d’un transistor (il faut noter ici qu’on ne parle plus du motif PS SG2 étudié précédemment mais bien de transistor de puissance) sur substrat silicium aminci à 400 μm . Les contacts de drain, de source et de grille sont entourés en pointillés pour plus de clarté. On observe des zones élevées en température (points rouge sur les pointes de drain et de source) : il s’agit en fait d’artefacts de mesure liés au fait que les pointes se sont légèrement déplacées après la calibration. Cette dernière n’est donc pas valide sur ces points et donne donc des valeurs erronées.

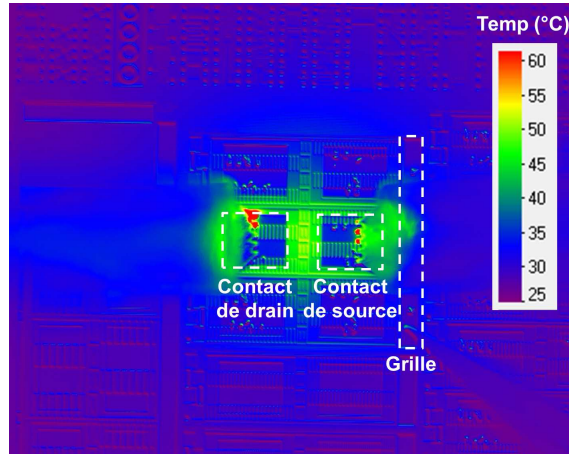


FIGURE 85 – Image thermique obtenue à l’aide d’un détecteur infrarouge sur un transistor HEMT polarisé à l’état passant. Les points à 60°C sur les pointes sont un artefact de mesure du au fait que ces dernières se sont légèrement décalées entre la calibration de la caméra et la mesure.

3.3.2 Caractérisation par caméra infra-rouge de composants GaN reportés sur cuivre

L’objectif de cette partie est de mettre en avant une potentielle amélioration en terme de dissipation thermique des composants reportés sur un substrat cuivre par rapport au cas standard sur substrat silicium. Dans ce but, nous allons caractériser thermiquement les composants sur substrat cuivre assemblés sur une plaque en cuivre à l’aide d’une colle thermique selon le procédé présenté dans la partie 3.2.2, page 92. Afin d’avoir une référence pour réaliser une comparaison, des composants identiques non reportés (i.e. sur substrat silicium) ont été assemblés sur une plaque en cuivre selon le même procédé. La méthode du « trigger delay » présentée dans la partie précédente a été utilisée pour les caractérisations thermiques. Une calibration de la température du chuck ayant été effectuée à 25 °C et à 45 °C avant chaque mesure, les puissances appliquées sur les transistors ont été choisies de manière à ce que la température maximale mesurée ne dépasse pas 45 °C pour ne pas être hors calibration.

Pour comprendre les phénomènes qui seront observés lors de ces caractérisations thermiques, des simulations par éléments finis ont été réalisées sous COMSOL. Les empilements utilisés pour ces simulations sont présentés dans la figure 86. L’image a) présente l’empilement utilisé pour reproduire le comportement des transistors reportés sur substrat cuivre. L’image b) présente celui pour le cas standard sur substrat silicium et l’image c) présente une vue schématisée en 3D de l’ensemble de la plaque avec l’échantillon assemblé sur la plaque en cuivre. Les traits noirs sur les images a) et b) et la surface noire au centre de l’échantillon sur l’image c) représente la zone où est générée la chaleur. Sa surface correspond à celle des transistors caractérisés. Ces simulations ont pour but de comprendre les observations expérimentales plutôt que de proposer un modèle prédisant avec exactitude les températures mesurées. Pour ces raisons, nous avons fait l’hypothèse que toute la puissance appliquée est dissipée par effet Joule. De plus, pour simplifier le problème, nous ne prenons pas en compte les résistances thermiques aux interfaces. Les propriétés des matériaux utilisées sont listées dans le tableau 13.

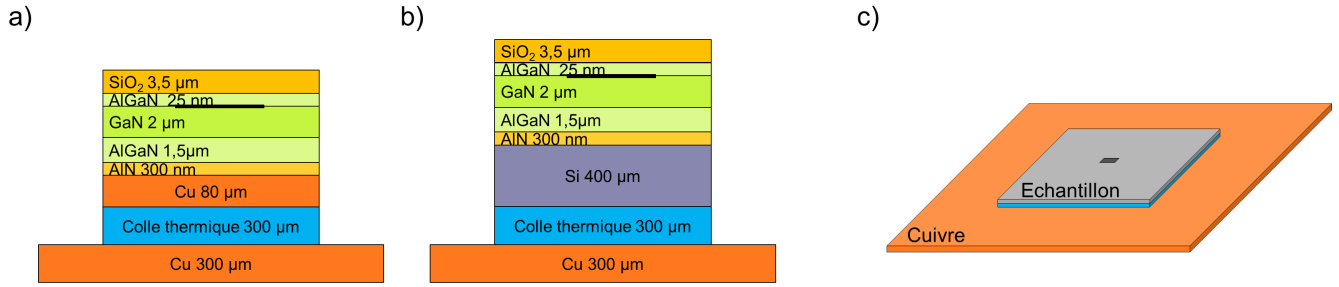


FIGURE 86 – Empilements utilisés lors des simulations sous COMSOL de dissipation thermique. a) Empilement avec le substrat cuivre. b) Empilement avec le substrat silicium. c) Vue 3D de l'ensemble. La zone sur laquelle est appliquée la puissance est symbolisée par un trait noir dans les images a) et b) et par une surface noire dans l'image c).

Matériaux	Conductivité thermique ($W.m^{-1}.K^{-1}$)	Densité ($g.cm^{-3}$)	Capacité thermique ($J.g^{-1}.K^{-1}$)
SiO ₂	1,4	2,2	0,73
GaN	160	6,15	0,5
Couches buffers	30	4	0,6
Si	130	2,33	0,7
Cu	400	9	0,38
Colle thermique	29	5	0,5

Tableau 13 – Propriétés physiques utilisées lors des simulations thermiques [65] [75].

Nous allons dorénavant présenter les différentes caractérisations thermiques qui ont été effectuées éclairées des simulations thermiques. Dans un premier temps, nous nous concentrerons sur le comportement de ces composants en commutation. Dans un second temps, nous nous intéresserons à l'intérêt d'utiliser notre empilement pour des applications de puissance.

Echauffement des transistors en commutation :

Nous allons nous intéresser dans cette partie au comportement des transistors en commutation. Il faut noter pour la suite que l'épaisseur de colle thermique est plus importante pour les transistors sur substrat cuivre que ceux sur substrat silicium. En effet, l'assemblage des échantillons sur la plaque en cuivre nécessite d'appliquer une pression manuellement sur l'échantillon. Le substrat cuivre étant plus fin et donc plus fragile que celui en silicium, une pression moins forte a été appliquée sur ces échantillons lors de l'assemblage pour ne pas les dégrader, résultant en une épaisseur de colle thermique plus grande.

Une première caractérisation thermique a été réalisée en commutant le transistor pendant une période de 90 ms avec 45 ms à l'état passant et 45 ms à l'état bloqué. La période de commutation utilisée ici est importante en comparaison de celle utilisée pour les applications de ces composants : l'objectif de la mesure était de mettre en avant l'impact de la colle thermique utilisée. Une

puissance d'environ $3,3\text{ W}$ a été appliquée sur les composants sur substrat cuivre et silicium. La figure 87 présente l'évolution de la température en surface d'un transistor sur substrat cuivre et sur substrat silicium. On constate que le composant sur substrat cuivre chauffe de manière plus importante (température maximale de $39\text{ }^{\circ}\text{C}$) que celui sur substrat silicium (température maximale de $30\text{ }^{\circ}\text{C}$). On peut faire deux observations à partir de ces courbes qui permettent d'expliquer cette température plus importante pour le substrat cuivre. La première est que la température initiale pour le cuivre ($31\text{ }^{\circ}\text{C}$ à $t = 0\text{ ms}$) est plus élevée que pour le silicium ($27,4\text{ }^{\circ}\text{C}$). La deuxième est que la montée en température pour le substrat cuivre (de $8\text{ }^{\circ}\text{C}$ de $t = 0\text{ ms}$ à $t = 45\text{ ms}$) est plus importante que sur le substrat silicium (de $4,4\text{ }^{\circ}\text{C}$).

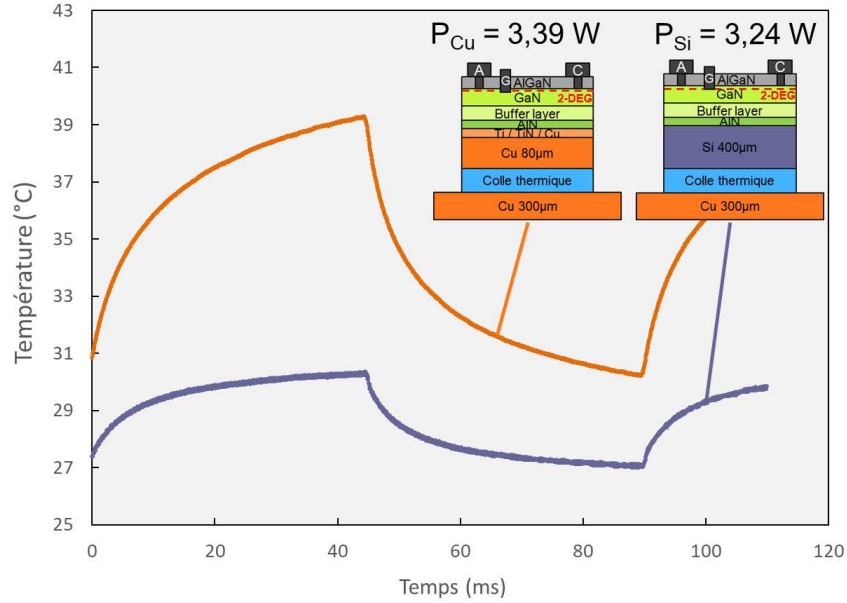


FIGURE 87 – Evolution de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Une puissance de $3,39\text{ W}$ et de $3,24\text{ W}$ sont appliqués respectivement sur le composant sur substrat cuivre et silicium pendant 45 ms pour une période de 90 ms . Le pas de la mesure est de $5\text{ }\mu\text{s}$.

Les conditions de la caractérisation présentée ci-dessus (figure 87) ont été reproduites à l'aide de simulations par éléments finis. Les mêmes temps de commutation et les mêmes puissances appliquées sur les composants ont été reprises. La mesure réelle étant réalisée lorsque le composant est en commutation successives (principe de la mesure avec la méthode du « trigger delay »), plusieurs cycles de commutations ont été réalisés lors des simulations. La figure 88 présente l'évolution de la température simulée pour quatre commutations successives en prenant en compte l'épaisseur de colle thermique plus importante dans le cas du cuivre. A titre de comparaison, la courbe en pointillés représente le cas du substrat cuivre avec la même épaisseur de colle thermique que pour le cas silicium. Deux points sont à souligner pour expliquer les observations de la figure 87 :

- On constate que l'augmentation de la température sur substrat cuivre (de $10\text{ }^{\circ}\text{C}$ de $t = 0\text{ ms}$ à $t = 45\text{ ms}$) est plus importante que celle sur substrat silicium (de $8\text{ }^{\circ}\text{C}$ de $t = 0\text{ ms}$ à $t = 45\text{ ms}$). On retrouve un effet d'échauffement plus important sur substrat cuivre que sur substrat silicium ce qui est similaire au cas expérimental. On remarque également que ces variations de températures sont plus élevées pour la simulation que pour celles

mesurées avec la caméra thermique. Cet effet peut s'expliquer par le fait qu'en réalité toute la puissance appliquée dans le transistor n'est pas dissipée par effet Joule. Il en résulte une variation de température dans le cas réel moins importante que celle prévue par les simulations. On remarque également que cet échauffement sur substrat cuivre est d'autant plus important que l'épaisseur de colle thermique est importante, mettant en avant l'impact de cette dernière sur la dissipation thermique.

- On remarque également que les températures à la fin de chaque période de commutation diffèrent d'un substrat à l'autre (zones entourées à 90 ms , 180 ms et 270 ms sur la figure 88). La température initiale à chaque commutation varie donc selon l'évolution de température de la période précédente. On constate de plus que cet écart de température augmente au cours du temps. La mesure expérimentale de la figure 87 étant réalisée alors que le transistor est en commutation, ces observations peuvent expliquer la différence de température initiale observé entre le composant sur substrat cuivre et celui sur substrat silicium.

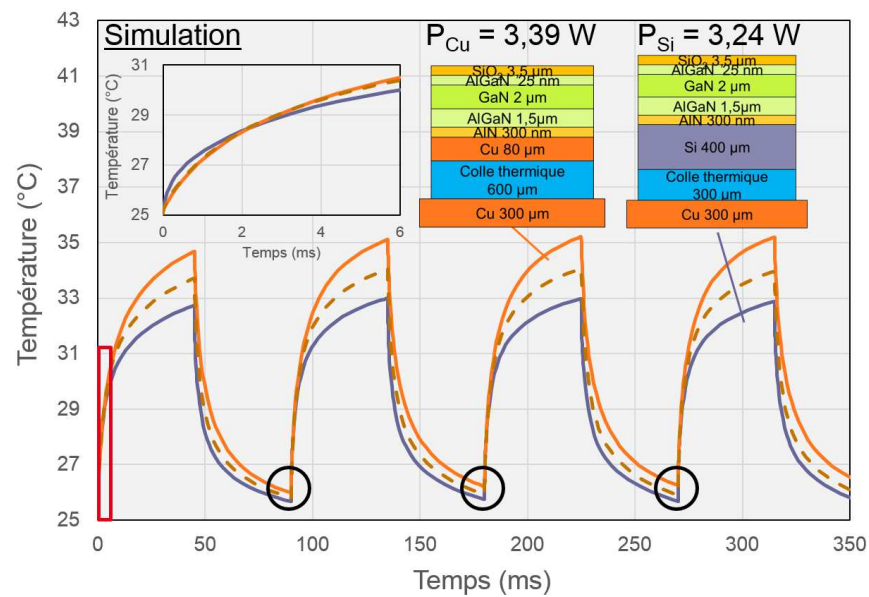


FIGURE 88 – Simulation de l'évolution de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. La courbe en pointillés représente le cas du substrat cuivre avec la même épaisseur de colle thermique que celui du substrat silicium. Le graphe supplémentaire représente un agrandissement de l'évolution de ces températures de 0 ms à 2 ms et correspond à la zone encadrée en rouge sur les courbes. Une puissance de $3,39\text{ W}$ et de $3,24\text{ W}$ sont appliqués respectivement sur le composant sur substrat cuivre et silicium pendant 45 ms pour une période de 90 ms . Le pas de la mesure est de $5\text{ }\mu\text{s}$.

Si on s'intéresse à l'évolution des températures des composants lors des premières millisecondes sur les simulations de la figure 88 (i.e. le graphe représentant l'agrandissement de la zone encadrée en rouge), on constate que la température dans le cas du substrat cuivre est plus faible que celle sur substrat silicium pour un temps inférieur à environ 2 ms . Afin de vérifier si cette observation se produit également dans le cas réel, une caractérisation thermique a été réalisée en commutant le transistor pour une période de 150 ms avec un temps de 1 ms à l'état passant et de 149 ms à l'état bloqué. Une période de 150 ms a été choisie afin que l'empilement ait le temps de refroidir à une température proche de l'ambiante à la fin de chaque commutation. Il est ainsi possible

de se retrouver expérimentalement dans une configuration proche de celle de la simulation de la figure 88. Des puissances d'environ 34 W (exactement 34,1 W pour les transistors sur substrat cuivre et 34 W pour les transistors sur substrat silicium) ont été appliquées à l'état passant. Les évolutions des températures de surface des transistors sur substrat cuivre (ronds) et sur substrat silicium (triangles) sont présentées dans la figure 89. On constate qu'à puissance égale appliquée sur les composants, la température du transistor sur substrat silicium (41 °C) est plus élevée que celle du transistor sur substrat cuivre (35 °C) comme attendue d'après les simulations. Dans cette configuration de mesure, les composants sur substrat cuivre dissipent donc mieux la chaleur que ceux sur substrat silicium.

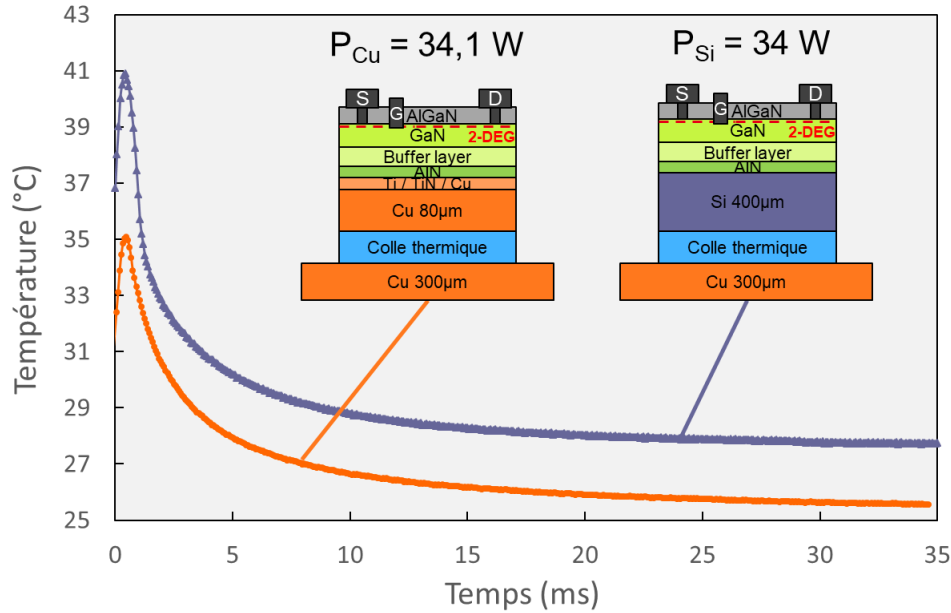


FIGURE 89 – Evolution expérimentales de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Une puissance de 34,1 W et de 34 W sont appliqués respectivement sur le composant sur substrat cuivre et sur substrat silicium pendant 1 ms pour une période de 150 ms. Le pas de la mesure est de 70 µs.

Intérêt de l'empilement utilisé pour des applications de puissance :

Nous allons à présent nous interroger sur l'échauffement de ces empilements dans les conditions pour lesquelles ils sont destinés à fonctionner, i.e. pour des fréquences de plusieurs dizaines de kHz. Comme nous l'avons évoqué précédemment, la caméra thermique ne permet pas d'effectuer des caractérisations à de telles fréquences. Nous avons alors réalisé une mesure avec une période de commutation de 2 ms avec un temps à l'état passant de 500 µs et un temps à l'état bloqué de 1,5 ms. Une puissance de 6,2 W a été appliquée pour le transistor sur substrat cuivre et une puissance de 6,6 W pour celui sur substrat silicium. La figure 90 présente l'évolution de la température de surface pour ces deux transistors. On peut faire les mêmes observations que pour les mesures présentées à la figure 87 : la température initiale de début de commutation est plus élevée

pour le cas du substrat cuivre ($28,1\text{ }^{\circ}\text{C}$) que pour celui du substrat silicium ($26,8\text{ }^{\circ}\text{C}$). De plus, l'augmentation de température durant le temps où le transistor est polarisé à l'état passant est également plus important sur substrat cuivre ($1\text{ }^{\circ}\text{C}$) que sur substrat silicium ($0,8\text{ }^{\circ}\text{C}$). L'explication la plus probable pour expliquer ces phénomènes est l'impact de la colle thermique qui génère un échauffement plus important en commutation sur substrat cuivre. Il est donc possible d'extrapoler que cet échauffement plus important se produirait également à des fréquences plus élevées. Afin d'améliorer cet aspect, des essais de brasage des composants sur la plaque en cuivre pour remplacer la colle thermique et assurer un assemblage ayant une meilleure conductivité thermique étaient en réalisation au moment de la rédaction de ce manuscrit et seuls les premiers résultats pourront être détaillés ci-dessous.

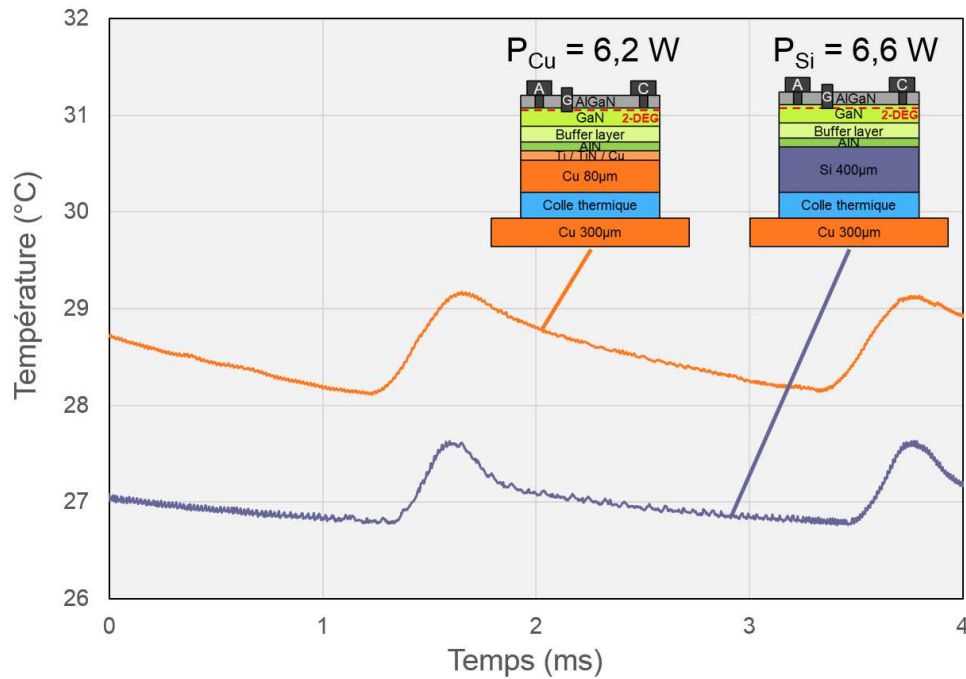


FIGURE 90 – Evolution de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Une puissance de $6,2\text{ W}$ et de $6,6\text{ W}$ sont appliquées respectivement sur le composant sur substrat cuivre et sur substrat silicium pendant $500\text{ }\mu\text{s}$ pour une période de 2 ms . Le pas de la mesure est de $5\text{ }\mu\text{s}$.

Premiers essais de brasure :

Comme énoncé précédemment, des brasures ont été réalisées pour remplacer la colle thermique dans le but d'améliorer l'évacuation de la chaleur. Des caractérisations thermiques similaires à celles réalisées précédemment ont été effectuées pour comparer les échantillons avec la colle thermique et ceux avec la brasure. La figure 91 présente des caractérisations réalisées en commutant le transistor pendant une période de 10 ms avec 5 ms à l'état passant et 5 ms à l'état bloqué pour les échantillons avec la brasure (image a) et la colle thermique (image b). Tout d'abord, on constate dans le cas du

cuivre un échauffement moins important avec la brasure (35°C) qu'avec la colle thermique (39°C) à puissance équivalente. Ce point met en avant une meilleure évacuation de la chaleur apportée par le remplacement de la colle thermique. Cependant, le cas du substrat silicium est plus difficile à interpréter. En effet, on constate que la température maximale atteinte avec la brasure (38°C) est plus importante que celle avec la colle thermique (29°C). La puissance d'un Watt inférieure qui a été appliquée dans le cas de la colle thermique par rapport au cas de la brasure ne permet cependant pas d'expliquer ce phénomène. Il est possible qu'un problème soit survenu lors du brasage pour cet échantillon, résultant en un assemblage de mauvaise qualité. Il reste donc des travaux à réaliser pour pouvoir comparer les composants reportés sur substrat cuivre avec ceux sur substrat silicium dans le cas de la brasure.

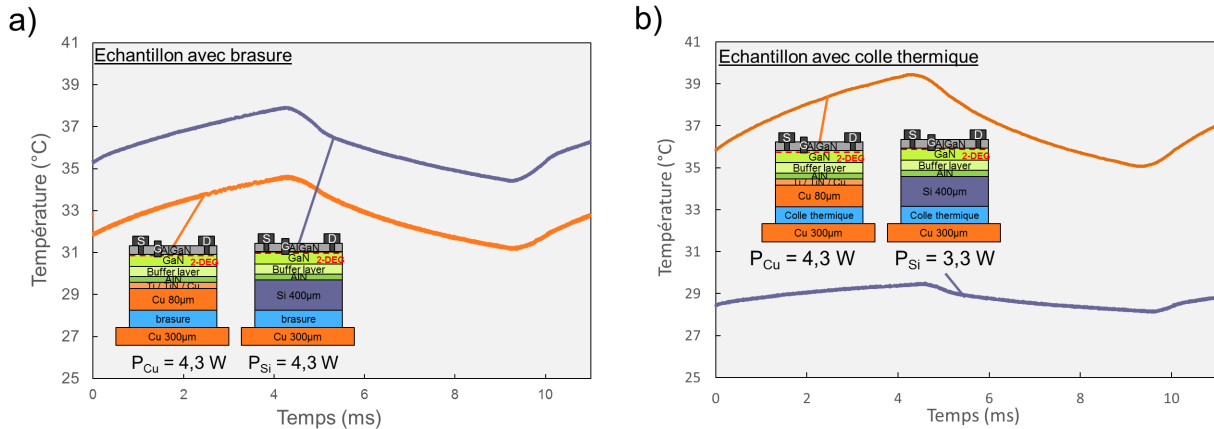


FIGURE 91 – a) Evolution expérimentale de la température de surface en fonction du temps pour des composants HEMTs sur substrat silicium et cuivre. Les composants ont été reportés sur une plaque en cuivre à l'aide d'une brasure. Une puissance de $4,3 \text{ W}$ est appliquée sur les composants sur substrat cuivre et sur substrat silicium pendant 5 ms pour une période de 10 ms . Le pas de la mesure est de $5 \mu\text{s}$. b) Evolution expérimentales de la température de surface en fonction du temps pour des échantillons reportés sur une plaque en cuivre à l'aide d'une colle thermique pour établir une comparaison. Une puissance de $4,3 \text{ W}$ et de $3,3 \text{ W}$ sont appliquées respectivement sur le composant sur substrat cuivre et sur substrat silicium.

3.4 Conclusion

Dans un premier temps, nous avons mis en avant la mauvaise conductivité thermique de la colle isolante utilisée dans les reports de diodes du chapitre précédent à l'aide d'un motif de caractérisation électrique. Cette observation a permis de confirmer l'hypothèse d'un auto-échauffement formulée dans le chapitre précédent pour ces diodes. Nous avons également mis en avant, à l'aide de ce motif de caractérisation, la mauvaise évacuation de la chaleur par la face arrière dans le cas de composants reportés sur substrat cuivre.

Pour améliorer l'évacuation de la chaleur par la face arrière du cuivre, les échantillons ont été reportés sur une plaque en cuivre à l'aide d'une colle thermique. Il a alors été possible de réaliser des caractérisations thermiques à l'aide d'une caméra infra-rouge sur des transistors à base de GaN reportés sur substrat cuivre ainsi que sur des composants référence sur substrat silicium. Pour cela, une approche utilisant la méthode du « trigger delay » permettant d'observer avec précision

les évolutions de température en surface a été mise en place. Des simulations par éléments finis sous COMSOL ont été réalisées afin d'interpréter les résultats expérimentaux. Il a notamment été possible de démontrer les bonnes propriétés du substrat cuivre déposé à travers un échauffement moins important sur ce substrat pour un temps d'échauffement de 1 *ms*. Les composants ont également été testés en commutation et il a été observé un échauffement plus important pour le substrat cuivre, dû à l'utilisation de la colle thermique. La mise en place d'une nouvelle méthode de caractérisation permettant d'atteindre les fréquences de fonctionnement doit encore être mise en place pour étudier le comportement des composants en condition d'utilisation.

Conclusion générale

A l'heure actuelle, la fabrication des composants à base de nitrure de gallium en grandes dimensions se fait sur un substrat en silicium. L'utilisation d'un tel substrat présente plusieurs avantages que ce soit au niveau du coût, de sa disponibilité en grandes dimensions ou encore des procédés technologiques compatibles avec ce substrat. Néanmoins, son utilisation pose également certaines difficultés. En effet, les désaccords de maille et de dilatation thermique entre le nitrure de gallium et le silicium rendent l'épitaxie du GaN compliquée et coûteuse. De plus, ce substrat limite la dissipation thermique des composants ce qui a un impact négatif sur leurs performances électriques.

Dans ce travail de thèse, nous nous sommes intéressés à des approches substrats pour apporter des solutions à ces problématiques d'épitaxie et de performances des composants.

En ce qui concerne les performances des composants, nous avons proposé une approche consistant à remplacer le substrat silicium de fabrication par un substrat en cuivre en vue d'améliorer la dissipation thermique des composants. Nous avons mis en place une succession de procédés technologiques permettant, à partir de plaques de composants GaN réalisés sur substrat Si de 200 mm de diamètre, de retirer le substrat silicium pour le remplacer par un autre matériau tout en préservant l'intégrité des composants. Il a notamment été possible d'obtenir des champs de composants (de dimensions $2,2 \times 2,2 \text{ cm}^2$) sur substrat cuivre. Des diodes Schottky et des transistors HEMTs de 100 μm et de 100 mm de largeur de grille à base de GaN ont ainsi été reportés sur cuivre. La majorité de ces composants étaient fonctionnels après le report.

L'impact des procédés technologiques utilisés sur les caractéristiques électriques des composants a été étudié. En particulier, il a été mis en évidence un effet de l'aminçissement du substrat silicium sur la densité d'électrons du gaz bidimensionnel. Cet effet, probablement dû à une modification des contraintes dans les couches actives, est significatif car il entraîne une réduction de la résistance du canal ainsi qu'un décalage de la tension de seuil des transistors vers les valeurs négatives. Le fait d'avoir un substrat métallique à la place du silicium sur la tenue en tension des composants a également été étudié. Il a été montré l'importance de ne pas retirer totalement le substrat silicium dans le cas de diodes Schottky pour ne pas augmenter les courants de fuites verticaux en supprimant la zone de déplétion dans le silicium à l'interface avec la couche de nucléation en AlN.

La dissipation thermique de transistors HEMTs en GaN sur substrat cuivre a été également étudiée en les comparant à des transistors identiques sur substrat silicium. Des simulations par éléments finis ont été mises en place pour interpréter les résultats expérimentaux. Il a été mis en évidence un échauffement moins important sur substrat cuivre que sur substrat silicium dans des conditions équivalentes à un simple pulse de courant de 1 ms sur les transistors. Cette caractérisation met en avant les bonnes propriétés thermiques du substrat cuivre déposé et confirme l'intérêt de l'idée de départ de remplacer le substrat silicium par un autre matériau. Néanmoins, le comportement de ces composants sur substrat cuivre pour des fréquences proches des applications

souhaitées est encore à étudier avec des méthodes de caractérisation plus adaptées.

En ce qui concerne la problématique d'épitaxie du GaN, une approche innovante permettant l'utilisation de nouveaux matériaux adaptés en termes de dilatation thermique a été proposée et est présentée en annexe de cette thèse. Cette approche consiste à évider les substrats en face arrière pour réduire leurs poids et les rendre compatible avec les équipements utilisés en production. Néanmoins, ces évidements induisent des variations de contraintes selon la position sur la plaque ce qui peut provoquer des inhomogénéités dans les performances des composants. Cette approche n'a donc pas été plus approfondie.

Ces travaux ont permis d'ouvrir la voie pour le report de composants GaN en 200 *mm* sur substrat silicium. Néanmoins, des travaux restent à réaliser pour que les transferts qui ont été réalisés dans cette thèse soient compatibles avec l'obtention de composants sur cuivre en 200 *mm*. En effet, l'étape technologique d'électrodéposition de cuivre épais que nous avons utilisée est plus simple à réaliser sur des échantillons de petites dimensions. Afin de reporter des composants sur cuivre en 200 *mm* ou plus il pourrait être nécessaire de passer par d'autres méthodes de reports réalisables plus facilement en grandes dimensions (comme le passage par un collage par thermocompression avec un substrat en cuivre par exemple).

Nous avons reporté des transistors sur substrat cuivre dans le but d'améliorer la dissipation thermique. Nous avons vu une amélioration due au remplacement du substrat silicium par un substrat cuivre dans le cas d'un court échauffement. Dans la continuité de ces mesures, il serait pertinent de les approfondir en utilisant une méthode de caractérisation permettant de tester les composants à des fréquences de fonctionnement plus importantes, permettant ainsi de se rapprocher des fréquences d'applications auxquelles les composants testés sont destinés.

L'objectif initial des reports était d'améliorer la dissipation thermique des composants GaN à notre disposition. Nous pouvons conclure de ces travaux de thèse que le report de composants GaN/Si sur un substrat en cuivre est bien une voie intéressante dans le but d'améliorer la dissipation thermique. Même si d'autres caractérisations sont à effectuer, les premiers résultats sont encourageants et démontrent un intérêt à poursuivre ces études. Ces travaux ont également permis d'améliorer la compréhension des composants GaN. En effet, même si le fait de reporter les composants sur un substrat métallique pourraient paraître rédhibitoire à la tenue en tension des composants à première vue, nous avons montré dans ces travaux qu'il n'en était rien en ne retirant pas totalement le substrat silicium lors des reports. Mis à part des modifications de certaines de leurs caractéristiques électriques, nous avons également montré que les procédés de report utilisés ne dégradaient pas les composants, ce qui est un autre point encourageant pour poursuivre ces études.

Il est également possible de réfléchir à d'autres problématiques pour approfondir le sujet. Par exemple, l'impact des couches tampons sur la dissipation thermique pourraient être étudié. En effet, ces dernières présentent une faible conductivité thermique qui pourrait impacter l'évacuation de la chaleur générée par les composants en fonctionnement. Les retirer pourrait ainsi permettre d'améliorer les performances des composants. Il faudra cependant quantifier l'impact du retrait de ces couches tampons sur la tenue en tension.

D'autres voies d'amélioration sont également envisageables. Les reports que nous avons réalisés dans cette thèse aboutissent à des composants reportés sur des échantillons avec un substrat cuivre d'une centaine de micromètre d'épaisseur. Il est tout à fait envisageable d'adapter ces travaux en

200 mm avec un substrat épais de cuivre.

De plus, il est également possible de réfléchir à l'utilisation d'autres matériaux plus intéressants que le cuivre pour l'aspect thermique. On peut citer par exemple l'utilisation de nanotubes de carbone qui présentent des propriétés thermiques très intéressantes. Des essais avec ce matériau ont été réalisés dans cette thèse mais n'ont pas été présentés car ils n'ont pas pu aboutir. L'idée initiale était de réaliser la croissance de forêts de nanotubes de carbone sur un substrat temporaire (image a) de la figure 92) puis de remplir les vides par du cuivre par électrodéposition (image b) de la figure 92) pour aboutir à un substrat présentant des propriétés plus intéressantes que le cuivre. Le substrat temporaire peut ensuite se détacher des forêts de nanotubes sur lesquelles a été déposé du cuivre. L'ensemble peut alors être assemblé sur des composants GaN. C'est à cette dernière étape, rendue compliquée par la manipulation de la couche de nanotubes de carbone, que nous avons arrêté nos essais.

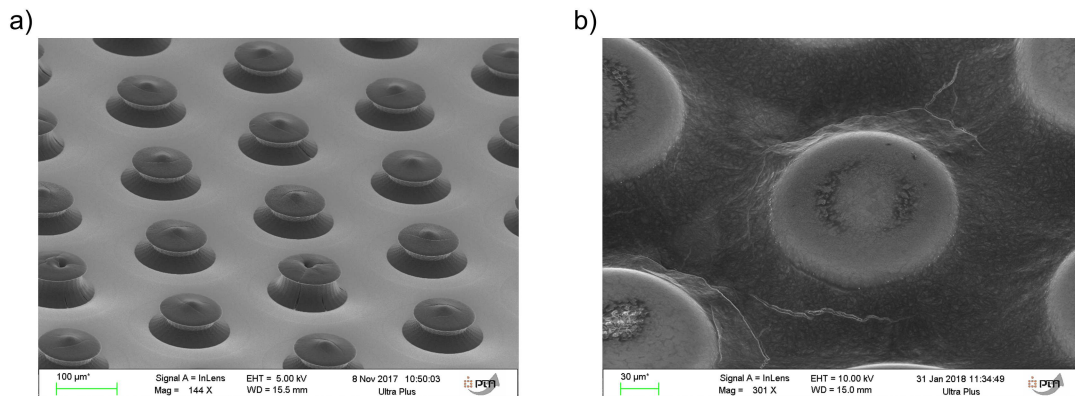


FIGURE 92 – a) Observation au MEB de forêts de nanotubes de carbone d'environ 50 μm de hauteur b) Observation au MEB des mêmes forêts de nanotubes de carbone que sur l'image a) sur lesquels a été réalisé une ECD de cuivre.

Annexe : Substrat adapté à l'épitaxie du GaN

Sommaire

A.1	Approche adoptée	109
A.2	Simulation des substrats évidés	111
A.3	Réalisation expérimentale	113
A.4	Conclusion	114

A.1 Approche adoptée

Nous avons présenté dans le chapitre 1 de cette thèse deux problématiques pour lesquelles l'utilisation de substrats adaptés peut apporter des solutions : les contraintes d'épitaxie du GaN et l'auto-échauffement des composants de puissance. Nous avons abordé dans les chapitres précédents la problématique d'auto-échauffement, nous nous concentrerons donc dans cette partie sur celle des contraintes d'épitaxie. Ces contraintes peuvent être de deux types : liées au désaccord de maille ou au désaccord de coefficients de dilatation thermique entre le GaN et le substrat.

Une approche substrat possible pour gérer ces contraintes d'épitaxie est d'utiliser un substrat multicouches composé d'une couche de germe à l'épitaxie, d'une couche de collage et d'un substrat (cf. figure 93). La couche de germe à l'épitaxie permet d'être en accord de maille avec le GaN. Le substrat doit être choisi de manière à être adapté en termes de coefficient de dilatation thermique avec le GaN. La couche de collage permet de réaliser le collage entre les deux matériaux. Plusieurs approches ont déjà été réalisées avec de tels substrats. On peut citer par exemple l'utilisation de substrats SiC polycristallin ($Si(111)/SiO_2/SiC$) [41] ou encore de substrats diamant polycristallin ($Si(111)/poly\text{-diamant}$) [43].

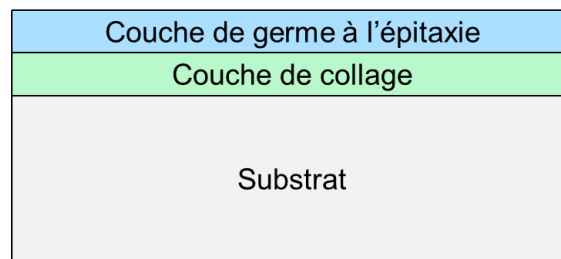


FIGURE 93 – Vue schématisée en coupe d'un substrat multicouches

Ces substrats utilisent des matériaux avantageux pour l'épitaxie du GaN mais qui ont la propriété d'être isolants électriquement. Cet aspect est intéressant pour les composants latéraux mais ne l'est pas dans l'objectif de réaliser des composants verticaux. Ces derniers présentent différents avantages. On peut citer par exemple le fait qu'ils présentent une meilleure dissipation thermique [76], que le pic de champ électrique est éloigné de la surface ce qui améliore leur fiabilité [77] ou encore que leur tenue en tension est liée à l'épaisseur des composants contrairement aux composants latéraux et qu'il est donc possible d'atteindre une tenue en tension supérieure pour une même aire [78].

Nous allons donc nous intéresser ici à deux autres matériaux conducteurs pour la fabrication de composants verticaux et pour l'épitaxie du GaN : le molybdène (de symbole Mo) et le tungstène (W). Le tableau 14 liste certaines de leurs propriétés physiques. Ces deux matériaux sont intéressants car ils présentent un coefficient de dilatation thermique proche de celui du GaN. Néanmoins, l'épitaxie du GaN n'est pas possible directement sur ces métaux : il faut passer par l'utilisation d'une couche de germe à l'épitaxie et donc à l'utilisation de substrats multicouches.

Matériau	CTE ($10^{-6}.K^{-1}$) à $25^{\circ}C$	Point de fusion ($^{\circ}C$)	Conductivité thermique ($W.m^{-1}.K^{-1}$)	Masse volumique ($g.cm^{-3}$)
Molybdène	5	2623	138	10,22
Tungstène	4,5	3422	174	19,3
Silicium	2,6	1414	148	2,33

Tableau 14 – Propriétés des substrats molybdène, tungstène et silicium

Il faut noter que l'utilisation de ces matériaux pour des procédés de fabrication en salles blanches est rendue difficile à cause de leur masse volumique. En effet, celle du molybdène et celle du tungstène valent respectivement $10,22 g.cm^{-3}$ et $19,3 g.cm^{-3}$, valeurs bien supérieures à celle du silicium ($2,33 g.cm^{-3}$). La masse des substrats molybdène et tungstène est donc plus importante que celui des substrats Si. Ceci peut être un problème car certains équipements possèdent une limite de poids à ne pas dépasser : les outils de transfert de plaques ne peuvent pas manipuler des plaques ayant une masse trop importante (limitée par exemple à $250 g$ par plaque pour l'équipement d'épitaxie utilisé au Leti).

Nous allons présenter dans cette partie une approche substrat innovante pour gérer cette problématique de poids des plaques en molybdène et tungstène. L'idée consiste à évider le substrat en face arrière selon des motifs périodiques pour réduire sa masse tout en laissant la face avant intacte pour l'épitaxie. L'empilement utilisé est donc similaire à celui présenté dans la vue en coupe schématisée figure 94. Une telle approche permettrait donc de pouvoir utiliser les matériaux molybdène et tungstène qui sont adaptés en termes de dilatation thermique avec le GaN et conducteurs malgré leur masse volumique importante.

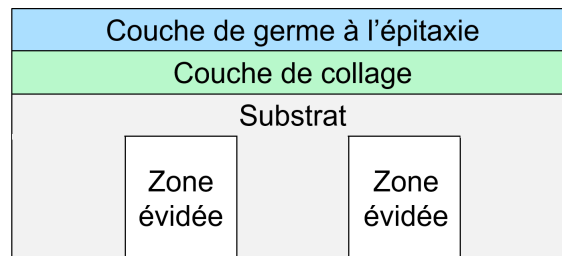


FIGURE 94 – Vue schématisée en coupe de la structure simulée

Dans la partie suivante, nous allons nous intéresser à l'impact de ces évidements sur les contraintes thermo-élastiques générées lors du refroidissement à température ambiante après l'épitaxie. En effet, le substrat aminci localement peut avoir l'effet d'un substrat compliant qui va impacter les contraintes dans la couche mince de GaN. Cette problématique de substrat compliant a été évoqué pour la première fois en 1991 dans [79]. L'idée consiste à agir sur le substrat pour avoir un effet bénéfique sur les contraintes de la couche épitaxiée. Dans le cas standard, le substrat est trop épais et impose son paramètre de maille et sa dilatation thermique à la couche mince épitaxiée. Si maintenant ce substrat est suffisamment fin, l'énergie élastique va se répartir entre la couche épitaxiée et le substrat. L'idée développée dans [79] était d'avoir un substrat d'épaisseur inférieure à l'épaisseur critique au-delà de laquelle une relaxation plastique se produit. L'énergie liée à la croissance ne sera alors jamais suffisante pour générer des défauts dans la couche épitaxiée. Cette approche est cependant difficile à réaliser, d'autant plus que ce substrat compliant doit être

libre de se déformer pour s'adapter à la couche de croissance. On peut citer un exemple de réalisation d'un tel substrat compliant dans [80] où des membranes suspendues de GaAs (d'une épaisseur de 60 nm) ont été réalisées. D'autres études ont été menées sur des substrats épais compliants. On peut citer par exemple l'utilisation d'un substrat poreux [81] ou encore celle d'un substrat SOI (pour « Silicon On Insulator ») [82].

Dans notre étude, des simulations par éléments finis ont donc été réalisées afin de déterminer l'impact de l'utilisation de tels substrats évidés sur les contraintes au sein de la couche épitaxiée.

A.2 Simulation des substrats évidés

Des simulations par éléments finis à l'aide du logiciel ANSYS ont été menées afin d'étudier l'impact de l'évidement de substrat sur les contraintes d'épitaxie. Ces simulations ont été réalisées en prenant le cas d'un substrat en silicium comme référence.

L'empilement qui a été utilisé est présenté dans la figure 95. Il comporte une couche de GaN de 3 μm représentant la couche épitaxiée et un substrat silicium d'épaisseur 500 μm . Le substrat silicium est divisé en une zone non évidée et une zone évidée d'épaisseurs variables. Pour alléger les simulations, ces dernières ont été réalisées sur un quart de plaque ayant un rayon de 3000 μm . Une garde périphérique non évidée est laissée en vue de renforcer la solidité de la structure. Les propriétés des matériaux utilisés, en l'occurrence le module d'Young, le coefficient de Poisson et le coefficient de dilatation thermique sont présentées dans le tableau 15. Afin de reproduire les contraintes thermo-élastiques générées lors du refroidissement à température ambiante après l'épitaxie, la simulation est réalisée dans une gamme de température de 1050 $^{\circ}C$ à 25 $^{\circ}C$.

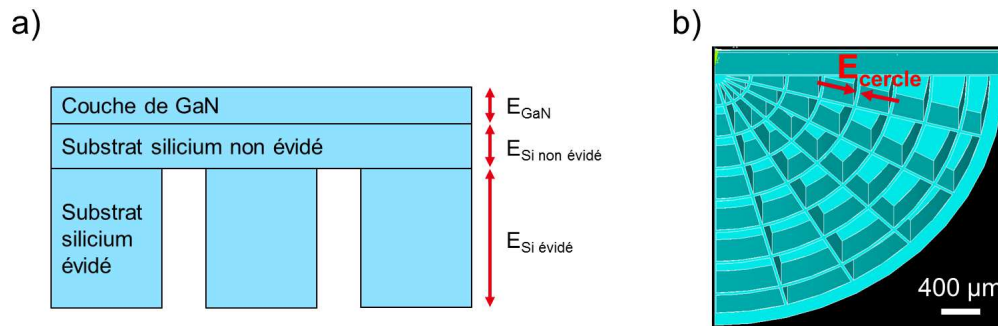


FIGURE 95 – a) Vue schématisée en coupe de la structure simulée. b) Vue de dessous d'un substrat évidé simulé. La distance E_{cercle} désigne l'épaisseur des parois circulaires non évidées.

Matériau	Module de Young (GPa)	Coefficient de Poisson	Coefficient de dilatation thermique ($10^{-6} K^{-1}$)
Si	130 [83]	0,28 [83]	2,6 [84]
GaN	293 [85]	0,31 [86]	5,59 [36]

Tableau 15 – Propriétés physiques des matériaux utilisés lors des simulations par éléments finis

Nous allons à présent nous intéresser aux résultats de ces simulations. La figure 96 présente l'évolution des contraintes dans le GaN le long d'un rayon de la structure présentée à l'image b) de la figure 95 pour deux épaisseurs de parois non évidées différentes (lignes continues) et pour la référence sur substrat silicium non évidé (pointillés). On constate que les contraintes sont plus faibles dans le cas du substrat évidé que dans le cas du substrat non évidé. Le substrat évidé tient donc le rôle de substrat compliant (il va avoir un effet raidisseur moindre sur le GaN qu'un substrat non évidé) ce qui permet de réduire les contraintes thermo-élastiques du GaN créées lors du refroidissement à température ambiante. On constate la présence d'inhomogénéités de contraintes entre le centre et le bord de plaque ainsi que des oscillations en fonction de la position le long du rayon. Ces variations de contraintes sont à relier aux motifs d'évidements en face arrière : le centre de la plaque étant moins évidé qu'en bord, l'effet de compliance sera moins important au centre. Cet aspect est problématique car il peut induire des variations des caractéristiques des composants selon leur position sur la plaque.

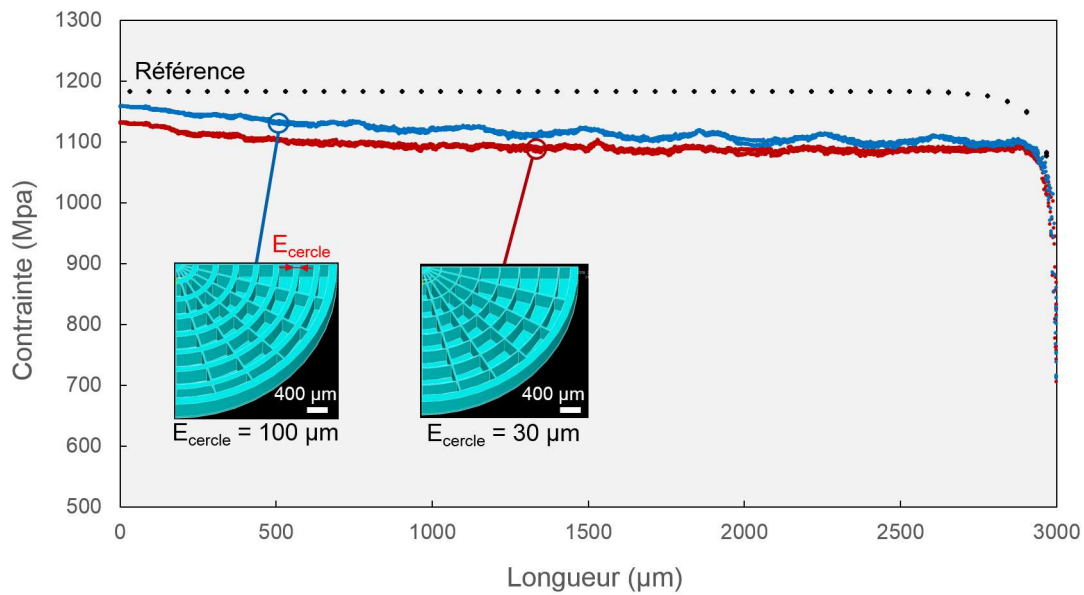


FIGURE 96 – Evolution de la contrainte dans la couche de GaN en fonction de la position pour un évidement en motif circulaire. L'épaisseur des cercles non évidés est variable dans ces simulations.

Afin de pallier l'inhomogénéité des contraintes observées pour l'évidement précédent, une autre structure en nid d'abeille a été étudiée. Les contraintes obtenues avec ce nouveau motif d'évidement sont présentées dans la figure 97. On constate une meilleure homogénéité des contraintes entre le bord de plaque et le centre ce qui rend ce motif d'évidement plus intéressant. Cependant, les oscillations de contraintes sont toujours présentes le long du rayon.

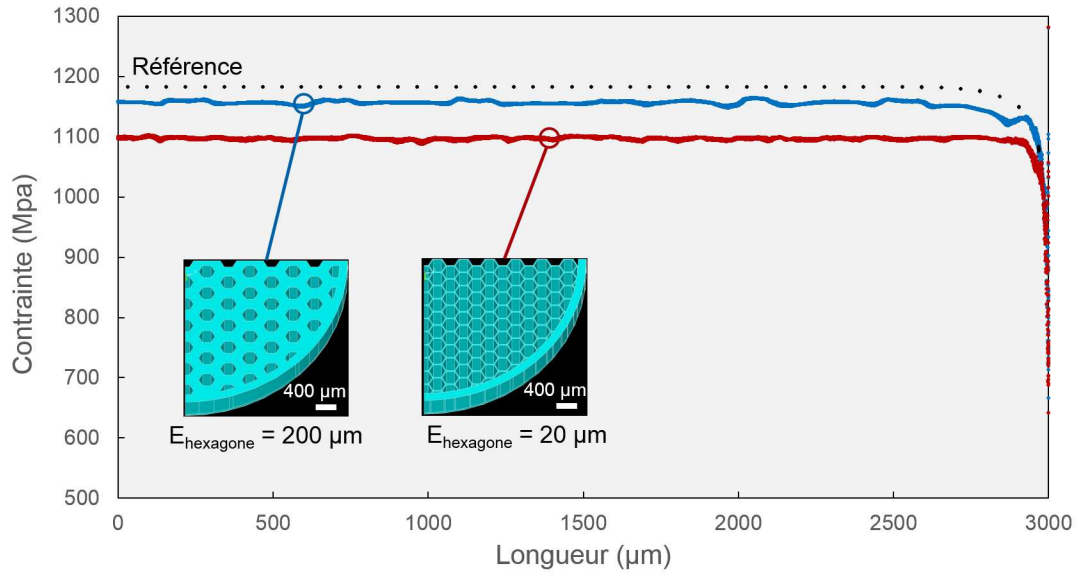


FIGURE 97 – Evolution de la contrainte dans la couche de GaN en fonction de la position pour un évidement en nid d’abeille. L’épaisseur des parois non évidées des hexagones est variable dans ces simulations.

A.3 Réalisation expérimentale

En parallèle des simulations par éléments finis, des évidements en face arrière de substrats silicium de 100 *mm* de diamètre ont été réalisés expérimentalement. Pour ce faire, un procédé de lithographie à l’aide d’un masque adapté a été mis en place sur la face arrière des substrats suivi d’une étape de gravure sèche du silicium. Une garde périphérique non évidée a été laissée pour renforcer la structure. Un exemple de substrat obtenu est présenté sur la figure 98. Il a ainsi été possible de valider la faisabilité de tels substrats pour des épaisseurs de silicium dans les zones évidées supérieures à environ 100 μm . En effet, en deçà de cette valeur, les substrats étaient fragilisés de manière significative et de nombreuses casses ont eu lieu lors de la gravure sèche du silicium.



FIGURE 98 – Face arrière d’une plaque silicium de diamètre 100 mm et d’épaisseur $525\text{ }\mu\text{m}$ évidée selon des motifs hexagonaux.

A.4 Conclusion

Nous avons proposé dans cette annexe une approche innovante consistant à évider la face arrière de substrats selon des motifs périodiques pour réduire leur masse totale. Une telle approche permet d’envisager l’utilisation de matériaux comme le molybdène ou le tungstène (présentant la particularité d’avoir une masse volumique importante) sur des équipements ne pouvant pas manipuler des plaques ayant un poids trop important. Au cours de cette étude, il a été trouvé un brevet reprenant une approche équivalente, nous empêchant de pouvoir la breveter [87].

Nous nous sommes également intéressé à l’effet de compliance que peuvent avoir de tels substrats évidés. Des simulations par éléments finis ont été réalisées et une réduction des contraintes dans la couche de GaN a été observée lors de l’utilisation de substrats évidés.

Une telle approche possède cependant plusieurs inconvénients. Tout d’abord, les oscillations de la contrainte dans le GaN observées lors des simulations peuvent entraîner des inhomogénéités indésirables sur les performances des composants selon leur position sur la plaque. De plus, lors de l’épitation du GaN, le substrat doit être maintenu à certaines températures. Un tel maintien de la température pourra être plus difficile avec un substrat évidé en face arrière et rendre l’épitation plus compliquée. C’est pour ces raisons que cette approche n’a pas été étudiée plus en profondeur : nous nous sommes concentrés dans cette thèse sur le report de composants.

Bibliographie

- [1] A. Nakagawa, Y. Kawaguchi, and K. Nakamura. “Silicon limit electrical characteristics of power devices and Ics”. 2018.
- [2] B. Allard. “Electronique de puissance - Bases, perspectives, guide de lecture”. Techniques de l’ingénieur : Energies - Conversion de l’énergie électrique, 2016.
- [3] T. Skotnicki. “Transistor MOS et sa technologie de fabrication”. Techniques de l’ingénieur : Electronique - Technologies des dispositifs actifs, 2000.
- [4] M. Wang and K. J. Chen. “Kink Effect in AlGaN/GaN HEMTs Induced by Drain and Gate Pumping”. *IEEE Electron Device Letters*, vol. 32(no. 4) :pp. 482–484, 2011.
- [5] N. Baron. “*Optimisation de l’épitaxie sous jets moléculaires d’hétérostructures à base de GaN : application aux transistors à haute mobilité d’électrons sur substrat silicium*”. PhD thesis, Université Nice Sophia Antipolis, 2009.
- [6] J. Piprek. “*Nitride semiconductor devices principles and simulation*”. Wiley-VCH, 2007.
- [7] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierakowski, W. J. Schaff, L. F. Eastman, R. Dimitrov, A. Mitchell, and M. Stutzmann. “Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaN/GaN heterostructures”. *Journal of Applied Physics*, vol. 87(no. 1) :pp. 334, 2000.
- [8] L.-Y. Yang, Y. Hao, X.-H. Ma, J.-C. Zhang, C.-Y. Pan, J.-. Ma, K. Zhang, and P. Ma. “High temperature characteristics of AlGaN/GaN high electron mobility transistors”. *Chinese Physics B*, vol. 20(no. 11) :pp. 117302, November 2011.
- [9] A. Nigam, T. N. Bhat, S. Rajamani, S. Bin Dolmanan, S. Tripathy, and M. Kumar. “Effect of self-heating on electrical characteristics of AlGaN/ GaN HEMT on Si (111) substrate”. *AIP Advances*, vol. 7(no. 8) :pp. 085015, August 2017.
- [10] M. Hiroki, K. Kumakura, Y. Kobayashi, T. Akasaka, T. Makimoto, and H. Yamamoto. Suppression of self-heating effect in AlGaN/GaN high electron mobility transistors by substrate-transfer technology using h-BN. *Applied Physics Letters*, 105(19) :193509, November 2014.
- [11] K. M. WONG. “*Transfer of GaN-based Devices Grown on Silicon Substrate to Other Substrates*”. PhD, 2011.
- [12] T. Liu, Y. Kong, L. Wu, H. Guo, J. Zhou, C. Kong, and T. Chen. “3-inch GaN-on-Diamond HEMTs With Device-First Transfer Technology”. *IEEE Electron Device Letters*, vol. 38(no. 10) :pp. 1417–1420, October 2017.

-
- [13] N. Zhang. “*High voltage GaN HEMTs with low on-resistance for switching applications*”. PhD thesis, University of California Santa Barbara, 2002.
 - [14] F. Medjdoub, M. Zegaoui, B. Grimbert, N. Rolland, and P.-A. Rolland. “Effects of AlGa_N Back Barrier on AlN/GaN-on-Silicon High-Electron-Mobility Transistors”. *Applied Physics Express*, vol. 4(no. 12) :pp. 124101, November 2011.
 - [15] I. B. Rowena, S. Lawrence Selvaraj, and T. Egawa. “Buffer Thickness Contribution to Suppress Vertical Leakage Current With High Breakdown Field (2.3 MV/cm) for GaN on Si”. *IEEE Electron Device Letters*, vol. 32(no. 11) :pp. 1534–1536, November 2011.
 - [16] N. Herbecq, I. Roch-Jeune, N. Rolland, D. Visalli, J. Derluyn, S. Degroote, M. Germain, and F. Medjdoub. “1900 V, 1.6 mΩ.cm² AlN/GaN-on-Si power devices realized by local substrate removal”. *Applied Physics Express*, vol. 7(no. 3) :pp. 034103, March 2014.
 - [17] Thi Dak Ha Nguyen. “*Réalisation et caractérisation de HEMTs AlGa_N/GaN sur silicium pour applications à haute tension*”. PhD thesis, Paris 11, 2013.
 - [18] G. Civrac de Fabian. “*Vers la réalisation de composants haute tension, forte puissance sur diamant CVD. Développement des technologies associées*”. PhD Thesis, Institut National Polytechnique de Toulouse, 2009.
 - [19] O. Menard. “*Développement de briques technologiques pour la réalisation de diodes schottky sur nitrure de gallium*”. PhD thesis, Université François-Rabelais de Tours, 2010.
 - [20] H. Isselé. “*Caractérisation et modélisation mécaniques de couches minces pour la fabrication de dispositifs microélectroniques-application au domaine de l’intégration 3D*”. PhD thesis, Université Grenoble Alpes, 2014.
 - [21] V. H. Nguyen. “*Antennes miniatures et reconfigurables utilisant des matériaux diélectriques et ferroélectriques oxydes et oxynitrures en couches minces*”. PhD Thesis, Université de Rennes, 2013.
 - [22] P. Norton, T. Braggins, and H. Levinstein. “Impurity and lattice scattering parameters as determined from Hall and mobility analysis in n-type silicon”. *Physical Review B*, vol. 8(no. 12) :pp. 5632, 1973.
 - [23] M. Roschke and F. Schwier. “Electron Mobility Models for 4H, 6H, and 3C SiC”. *IEEE Transactions on Electron Devices*, vol. 48(no. 7), 2001.
 - [24] D. C. Look, D. C. Reynolds, J. W. Hemsky, J. R. Sizelove, R. L. Jones, and R. J. Molnar. “Defect donor and acceptor in GaN”. *Physical Review Letters*, vol. 79(no. 12) :pp. 2273, 1997.
 - [25] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, L. F. Eastman, R. Dimitrov, L. Wittmer, M. Stutzmann, W. Rieger, and J. Hilsenbeck. Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGa_N/GaN heterostructures. *Journal of Applied Physics*, 85(6) :3222, 1999.
 - [26] P. Muret, P.-N. Volpe, T.-N. Tran-Thi, J. Pernot, C. Hoarau, F. Omnès, and T. Teraji. “Schottky diode architectures on p-type diamond for fast switching, high forward current density and high breakdown field rectifiers”. *Diamond and Related Materials*, vol. 20(no. 3) :pp. 285–289, March 2011.

-
- [27] H. Umezawa, Y. Kato, and S. Shikata. “1 Ω On-Resistance Diamond Vertical-Schottky Barrier Diode Operated at 250 °C”. *Applied Physics Express*, vol. 6(no. 1) :pp. 011302, January 2013.
 - [28] A. Chakroun, A. Jaouad, M. Bouchilaoun, O. Arenas, A. Soltani, and H. Maher. “Normally-off AlGa_N/Ga_N MOS-HEMT using ultra-thin Al_{0.45}Ga_{0.55}N barrier layer : Normally-off AlGa_N/Ga_N MOS-HEMT”. *physica status solidi (a)*, vol. 214(no. 8) :pp. 1600836, August 2017.
 - [29] Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda. “Gate injection transistor (git) à a normally-off algan/gan power transistor using conductivity modulation”. *IEEE Transactions on Electron Devices*, vol. 54(no. 12) :pp. 3393–3399, 2007.
 - [30] L.-Y. Su, F. Lee, and J. J. Huang. “Enhancement-Mode GaN-Based High-Electron Mobility Transistors on the Si Substrate With a P-Type GaN Cap Layer”. *IEEE Transactions on Electron Devices*, vol. 61(no. 2) :pp. 460–465, February 2014.
 - [31] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, and I. Omura. “Recessed-gate structure approach toward normally off high-Voltage AlGa_N/Ga_N HEMT for power electronics applications”. *IEEE Transactions on Electron Devices*, vol. 53(no. 2) :pp. 356–362, February 2006.
 - [32] W. B. Lanford, T. Tanaka, Y. Otoki, and I. Adesida. “Recessed-gate enhancement-mode GaN HEMT with high threshold voltage”. *Electronics Letters*, vol. 41(no. 7) :pp. 449–450, 2005.
 - [33] P. B. Klein, S. C. Binari, K. Ikossi, A. E. Wickenden, D. D. Koleske, and R. L. Henry. “Current collapse and the role of carbon in AlGa_N/Ga_N high electron mobility transistors grown by metalorganic vapor-phase epitaxy”. *Applied Physics Letters*, vol. 79(no. 21) :pp. 3527–3529, November 2001.
 - [34] M. Asif Khan, Michael S. Shur, Q. C. Chen, and J. N. Kuznia. “Current/voltage characteristic collapse in AlGa_N/Ga_N heterostructure insulated gate field effect transistors at high drain bias”. *Electronics Letters*, vol. 30(no. 25) :pp. 2175–2176, 1994.
 - [35] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra. “Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors”. *Applied Physics Letters*, vol. 77(no. 2) :pp. 250, 2000.
 - [36] H. P. Maruska and J. J. Tietjen. “The preparation and properties of vapor-deposited single-crystal-line Ga_N”. *Applied Physics Letters*, vol. 15(no. 10) :pp. 327–329, November 1969.
 - [37] E. Arslan, M. K. Ozturk, A. Teke, S. Ozelik, and E. Ozbay. “Buffer optimization for crack-free Ga_N epitaxial layers grown on Si(111) substrate by MOCVD”. *Journal of Physics D : Applied Physics*, vol. 41(no. 15) :pp. 155317, August 2008.
 - [38] Y. Cordier, N. Baron, F. Semond, J. Massies, M. Binetti, B. Henninger, M. Besendahl, and T. Zettler. “In situ measurements of wafer bending curvature during growth of group-III-nitride layers on silicon by molecular beam epitaxy”. *Journal of Crystal Growth*, vol. 301-302 :pp. 71–74, April 2007.
 - [39] E. Feltn, B. Beaumont, M. Laügt, P. de Mierry, P. Vennégues, H. Lahrèche, M. Leroux, and P. Gibart. Stress control in Ga_N grown on silicon (111) by metalorganic vapor phase epitaxy. *Applied Physics Letters*, 79(20) :3230, 2001.

-
- [40] Y. Cordier, N. Baron, F. Semond, J. Massies, M. Binetti, B. Henninger, M. Besendahl, and T. Zettler. In situ measurements of wafer bending curvature during growth of group-III-nitride layers on silicon by molecular beam epitaxy. *Journal of Crystal Growth*, 301-302 :71–74, April 2007.
 - [41] V. Hoel, S. Boulay, H. Gerard, V. Rabaland, E. Delos, J. C. De Jaeger, M. A. Di-Forte-Poisson, C. Brylinski, H. Lahreche, R. Langer, and others. “AlGa_N/Ga_N HEMTs on epitaxies grown on composite substrate”. In *Microwave Integrated Circuit Conference, 2007. EuMIC 2007. European*, pages pp. 100–103. IEEE, 2007.
 - [42] V. Hoel, N. Defrance, J. C. De Jaeger, H. Gerard, C. Gaquiere, H. Lahreche, R. Langer, A. Wilk, M. Lijadi, and S. Delage. “First microwave power performance of AlGa_N/Ga_N HEMTs on SopSiC composite substrate”. *Electronics Letters*, vol. 44(no. 3) :pp. 238–239, 2008.
 - [43] Q. Jiang, M. J. Edwards, P. A. Shields, D. W.E. Allsopp, C. R. Bowen, W. N. Wang, L. Toth, B. Pecz, R. Srnanek, A. Satka, and J. Kovac. “Growth of crack-free Ga_N epitaxial thin films on composite Si(111)/polycrystalline diamond substrates by MOVPE”. *physica status solidi (c)*, vol. 9(no. 3-4) :pp. 650–653, March 2012.
 - [44] M. Fieger, Y. Dikme, F. Jessen, H. Kalisch, A. Noculak, A. Szymakowski, P. v. Gemmern, B. Faure, C. Richtarch, F. Letertre, M. Heuken, and R. H. Jansen. “Growth and characterization of AlGa_N/Ga_N HEMT on SiCOI substrates”. *physica status solidi (c)*, vol. 2(no. 7) :pp. 2607–2610, May 2005.
 - [45] T. Pinnington, D.D. Koleske, J.M. Zahler, C. Ladous, Y.-B. Park, M.H. Crawford, M. Banas, G. Thaler, M.J. Russell, S.M. Olson, and Harry A. Atwater. “InGa_N/Ga_N multi-quantum well and LED growth on wafer-bonded sapphire-on-polycrystalline Al_N substrates by metalorganic chemical vapor deposition”. *Journal of Crystal Growth*, vol. 310(no. 10) :pp. 2514–2519, May 2008.
 - [46] Y. Cordier, S. Chenot, M. Läugt, O. Tottereau, S. Joblot, F. Semond, J. Massies, L. Di Cioccio, and H. Moriceau. “Growth by molecular beam epitaxy of AlGa_N/Ga_N high electron mobility transistors on Si-on-polySiC”. *Superlattices and Microstructures*, vol. 40(no. 4-6) :pp. 359–362, October 2006.
 - [47] J Lemettinen, C Kauppinen, M Rudzinski, A Haapalinna, T O Tuomi, and S Suihkonen. “MOVPE growth of Ga_N on 6-inch SOI-substrates : effect of substrate parameters on layer quality and strain”. *Semiconductor Science and Technology*, vol. 32(no. 4) :pp. 045003, April 2017.
 - [48] S. Rajasingam, J.W. Pomeroy, M. Kuball, M.J. Uren, T. Martin, D.C. Herbert, K.P. Hilton, and R.S. Balmer. “Micro-Raman Temperature Measurements for Electric Field Assessment in Active AlGa_N-Ga_N HFETs”. *IEEE Electron Device Letters*, vol. 25(no. 7) :pp. 456–458, July 2004.
 - [49] L. Li, J. Joh, J. A. del Alamo, and C. V. Thompson. “Spatial distribution of structural degradation under high-power stress in AlGa_N/Ga_N high electron mobility transistors”. *Applied Physics Letters*, vol. 100(no. 17) :pp. 172109, April 2012.

-
- [50] M. Hiroki, K. Kumakura, Y. Kobayashi, T. Akasaka, T. Makimoto, and H. Yamamoto. "Suppression of self-heating effect in AlGa_N/Ga_N high electron mobility transistors by substrate-transfer technology using h-BN". *Applied Physics Letters*, vol. 105(no. 19) :pp. 193509, November 2014.
 - [51] J.A. del Alamo and J. Joh. "Ga_N HEMT reliability". *Microelectronics Reliability*, vol. 49(no. 9-11) :pp. 1200–1206, September 2009.
 - [52] Y. Dora. "*Understanding material and process limits for high breakdown voltage AlGa_N/Ga_N HEMTs*". PhD thesis, University of California Santa Barbara, 2006.
 - [53] W. S. Tan, P. A. Houston, P. J. Parbrook, D. A. Wood, G. Hill, and C. R. Whitehouse. "Gate leakage effects and breakdown voltage in metalorganic vapor phase epitaxy AlGa_N/Ga_N heterostructure field-effect transistors". *Applied Physics Letters*, vol. 80(no. 17) :pp. 3207, 2002.
 - [54] D. Marcon, G. Meneghesso, T.-L. Wu, S. Stoffels, M. Meneghini, E. Zanoni, and S. Decoutere. "Reliability Analysis of Permanent Degradations on AlGa_N/Ga_N HEMTs". *IEEE Transactions on Electron Devices*, vol. 60(no. 10) :pp. 3132–3141, October 2013.
 - [55] S. Karmalkar and U. K. Mishra. "Enhancement of breakdown voltage in AlGa_N/Ga_N high electron mobility transistors using a field plate". *IEEE transactions on electron devices*, vol. 48(no. 8) :pp. 1515–1521, 2001.
 - [56] I.B. Rowena, S.L. Selvaraj, and T. Egawa. Buffer Thickness Contribution to Suppress Vertical Leakage Current With High Breakdown Field (2.3 MV/cm) for Ga_N on Si. *IEEE Electron Device Letters*, 32(11) :1534–1536, November 2011.
 - [57] D. Visalli, M. Van Hove, J. Derluyn, S. Degroote, M. Leys, K. Cheng, M. Germain, and G. Borghs. "AlGa_N/Ga_N/AlGa_N Double Heterostructures on Silicon Substrates for High Breakdown Voltage Field-Effect Transistors with low On-Resistance". *Japanese Journal of Applied Physics*, vol. 48(no. 4) :pp. 04C101, April 2009.
 - [58] S. Kato, Y. Satoh, H. Sasaki, I. Masayuki, and S. Yoshida. "C-doped Ga_N buffer layers with high breakdown voltages for high-power operation AlGa_N/Ga_N HFETs on 4-in Si substrates by MOVPE". *Journal of Crystal Growth*, vol. 298 :pp. 831–834, January 2007.
 - [59] H. Yacoub, D. Fahle, M. Finken, H. Hahn, C. Blumberg, W. Prost, H. Kalisch, M. Heuken, and A. Vescan. "The effect of the inversion channel at the AlN/Si interface on the vertical breakdown characteristics of Ga_N-based devices". *Semiconductor Science and Technology*, vol. 29(no. 11) :pp. 115012, November 2014.
 - [60] A. Pérez-Tomás, A. Fontserè, J. Llobet, M. Placidi, S. Rennesson, N. Baron, S. Chenot, J. C. Moreno, and Y. Cordier. "Analysis of the AlGa_N/Ga_N vertical bulk current on Si, sapphire, and free-standing Ga_N substrates". *Journal of Applied Physics*, vol. 113(no. 17) :pp. 174501, May 2013.
 - [61] N. Herbecq, I. Roch-Jeune, A. Linge, B. Grimbert, M. Zegaoui, and F. Medjdoub. "Ga_N-on-silicon high electron mobility transistors with blocking voltage of 3 kV". *Electronics Letters*, vol. 51(no. 19) :pp. 1532–1534, 2015.

-
- [62] P. Srivastava, J. Das, D. Visalli, M. Van Hove, P. E. Malinowski, D. Marcon, S. Lenci, K. Geens, K. Cheng, M. Leys, S. Decoutere, R. P. Mertens, and G. Borghs. “Record Breakdown Voltage (2200 V) of GaN DHFETs on Si with 2 - μ m buffer thickness by local substrate removal”. *IEEE Electron Device Letters*, vol. 32(no. 1) :pp. 30–32, January 2011.
 - [63] B. Lu and T. Palacios. “High Breakdown (> 1500 V) AlGaIn/GaN HEMTs by Substrate-Transfer Technology”. *IEEE Electron Device Letters*, vol. 31(no. 9) :pp. 951–953, September 2010.
 - [64] Virginia Semiconductor. “General Properties of Si, Ge, SiGe, SiO₂ and Si₃N₄”. vol. 10 :2012, 2002.
 - [65] Weili Liu and Alexander A. Balandin. “Thermal conduction in Al(x)Ga(1-x)N alloys and thin films”. *Journal of Applied Physics*, vol. 97(no. 7) :pp. 073710, 2005.
 - [66] H. Morkoç, S. Strite, G. B. Gao, M. E. Lin, B. Sverdlov, and M. Burns. “Large-band-gap SiC, III-V nitride, and II-VI ZnSe-based semiconductor device technologies”. *Journal of Applied Physics*, vol. 76(no. 3) :pp. 1363, 1994.
 - [67] S. V. Mikhailovich, R. R. Galiev, A. V. Zuev, A. Yu. Pavlov, D. S. Ponomarev, and R. A. Khabibullin. “The influence of gate length on the electron injection of velocity in an Al-GaN/AlN/GaN channel”. *Technical Physics Letters*, vol. 43(no. 8) :pp. 733–735, August 2017.
 - [68] D. K Schroder. “*Semiconductor material and device characterization*”. IEEE Press ; Wiley, Piscataway, NJ ; Hoboken, N.J., 2006.
 - [69] L. J. Van der Pauw. “A method of measuring the resistivity and hall coefficient on lamellae of arbitrary shape”. 1958.
 - [70] Xiangdong Li, Marleen Van Hove, Ming Zhao, Benoit Bakeroort, Shuzhen You, Guido Groeseneken, and Stefaan Decoutere. “Investigation on Carrier Transport Through AlN Nucleation Layer From Differently Doped Si(111) Substrates”. *IEEE Transactions on Electron Devices*, vol. 65(no. 5) :pp. 1721–1727, May 2018.
 - [71] Fiche technique AREMCO CERAMABOND 865. <https://www.polytecstore.fr/>.
 - [72] Paul Gondcharton. “*Intégration du collage direct : Couches minces métalliques et évolutions morphologiques*”. PhD Thesis, 2015.
 - [73] Abhinav Kranti, S. Haldar, and R. S. Gupta. “An accurate charge control model for spontaneous and piezoelectric polarization dependent two-dimensional electron gas sheet charge density of lattice-mismatched AlGaIn/GaN HEMTs”. *Solid-State Electronics*, vol. 46(no. 5) :pp. 621–630, 2002.
 - [74] G. D. Via, C. Bozada, G. DeSalvo, C. Cerny, R. Dettmer, J. Ebel, J. Gillespie, T. Jenkins, K. Nakano, C. Pettiford, T. Quach, J. Sewell, and R. Welch. “On-Wafer Therlak Resistance Measurement Technique for FETs and HEMTs”. *GaAs MANTECH*, 1998.
 - [75] Fiche technique EPO-TEK H20E. <https://www.epotek.com/site/>.

-
- [76] Y. Zhang, M. Sun, Z. Liu, D. Piedra, H.-S. Lee, F. Gao, T. Fujishima, and T. Palacios. “Electrothermal Simulation and Thermal Performance Study of GaN Vertical and Lateral Power Transistors”. *IEEE Transactions on Electron Devices*, vol. 60(no. 7) :pp. 2224–2230, July 2013.
- [77] R. Yeluri, J. Lu, C. A. Hurni, D. A. Browne, S. Chowdhury, S. Keller, J. S. Speck, and U. K. Mishra. “Design, fabrication, and performance analysis of GaN vertical electron transistors with a buried p/n junction”. *Applied Physics Letters*, vol. 106(no. 18) :pp. 183502, May 2015.
- [78] S. Chowdhury and U. K. Mishra. “Lateral and Vertical Transistors Using the AlGaIn/GaN Heterostructure”. *IEEE Transactions on Electron Devices*, vol. 60(no. 10) :pp. 3060–3066, October 2013.
- [79] Y. H. Lo. “New approach to grow pseudomorphic structures over the critical thickness”. *Applied Physics Letters*, vol. 59(no. 18) :pp. 2311–2313, October 1991.
- [80] F. E. Ejeckam, Y. H. Lo, S. Subramanian, H. Q. Hou, and B. E. Hammons. “Lattice engineered compliant substrate for defect-free heteroepitaxial growth”. *Applied Physics Letters*, vol. 70(no. 13) :pp. 1685–1687, March 1997.
- [81] H. Ishikawa, K. Shimanaka, M. Azfar bin M. Amir, Y. Hara, and M. Nakanishi. “Improved MOCVD growth of GaN on Si-on-porous-silicon substrates”. *physica status solidi (c)*, vol. 7(no. 7-8) :pp. 2049–2051, April 2010.
- [82] J. Cao, D. Pavlidis, Y. Park, J. Singh, and A. Eisenbach. Improved quality GaN by growth on compliant silicon-on-insulator substrates using metalorganic chemical vapor deposition. *Journal of applied physics*, 83(7) :3829–3834, 1998.
- [83] M. A. Hopcroft, W. D. Nix, and T. W. Kenny. “What is the Young’s Modulus of Silicon?”. *Journal of Microelectromechanical Systems*, vol. 19(no. 2) :pp. 229–238, April 2010.
- [84] K. G. Lyon, G. L. Salinger, C. A. Swenson, and G. K. White. “Linear thermal expansion measurements on silicon from 6 to 340 K”. *Journal of Applied Physics*, vol. 48(no. 3) :pp. 865–868, March 1977.
- [85] R. Nowak, M. Pessa, M. Suganuma, M. Leszczynski, I. Grzegory, S. Porowski, and F. Yoshida. “Elastic and plastic properties of GaN determined by nano-indentation of bulk crystal”. *Applied Physics Letters*, vol. 75(no. 14) :pp. 2070–2072, October 1999.
- [86] H. Qin, X. Luan, C. Feng, D. Yang, and G. Zhang. Mechanical, Thermodynamic and Electronic Properties of Wurtzite and Zinc-Blende GaN Crystals. *Materials*, vol. 10(no. 12) :pp. 1419, December 2017.
- [87] Hiroshi Iwai. “Semiconductor substrate and method for manufacturing semiconductor device using the same”. US patent, July 1986.

Substrats innovants pour des composants de puissance à base de GaN

Résumé

A l'heure actuelle, le marché de l'électronique de puissance est dominé par les composants silicium. Néanmoins, de nouveaux matériaux comme le nitrure de gallium ont émergé dans ce domaine grâce à leurs propriétés intéressantes. Ces nouveaux composants sont principalement réalisés sur des substrats silicium ce qui induit certaines problématiques lors de leur fabrication ou au niveau de leurs performances. Nous nous sommes intéressés dans cette thèse à des approches d'un point de vue du substrat dans l'objectif de résoudre ces problématiques. Ce travail a permis notamment de mettre en place une succession de procédés technologiques afin de remplacer le substrat silicium de fabrication par d'autres matériaux pour améliorer les performances de ces composants. Cette approche a notamment permis de transférer des composants fonctionnels sur un substrat cuivre. L'impact électrique et thermique du remplacement du substrat initial par un nouveau matériau ont été étudiés. Ce travail ouvre ainsi la voie du report de composants en nitrure de gallium réalisé sur des substrats silicium de diamètre 200 *mm* ou plus.

Innovative substrates for GaN-based power devices

Abstract

New materials such as gallium nitride (GaN) emerge as promising candidates for power electronics. The current trend is to fabricate the AlGaN/GaN power devices directly on (111) silicon substrates. It makes the epitaxy of the GaN challenging and affects the device performances. In this work, we focus on substrate approaches to solve these problems. A transfer process was developed to replace the silicon substrate by another material to enhance electrical performances of the devices. Especially, GaN devices were transferred on copper substrates without electrical degradation. Electrical and thermal characterizations were performed to study the impact of the transfer. This work offers a first approach on the transfer of GaN devices from 8 or even 12 inches silicon substrates.