



HAL
open science

Développement d'une solution de répartition de la chaleur émise par les points chauds en co-intégration avec les technologies CMOS

Rafael Prieto Herrera

► **To cite this version:**

Rafael Prieto Herrera. Développement d'une solution de répartition de la chaleur émise par les points chauds en co-intégration avec les technologies CMOS. Energie électrique. Université Grenoble Alpes, 2018. Français. NNT : 2018GREAT113 . tel-02352961

HAL Id: tel-02352961

<https://theses.hal.science/tel-02352961>

Submitted on 7 Nov 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Génie Electrique**

Arrêté ministériel : 25 mai 2016

Présentée par

Rafael PRIETO HERRERA

Thèse dirigée par **Yvan Avenas, Maître de Conférences, Grenoble INP**, et préparée au sein du **Laboratoire G2Elab** dans l'**École Doctorale EEATS**

Développement d'une solution de répartition de la chaleur émise par les points chauds en cointégration avec les technologies CMOS

Thèse soutenue publiquement le **18 décembre 2018** devant le jury composé de :

M. Christian Schaeffer

Professeur, Grenoble INP, Président

M. Abdelkader Souifi

Professeur, INSA de Lyon, Rapporteur

M. Luc Fréchette

Professeur, Université de Sherbrooke (Canada), Rapporteur

M. Perceval Coudrain

Ingénieur, STMicroelectronics, Membre

M. Jean-Philippe Colonna

Ingénieur, CEA-LETI, Invité

M. Yvan Avenas

Maître de Conférences, Grenoble INP, Invité



Introduction

On assiste aujourd'hui au développement massif des technologies nomades. L'utilisation de boîtiers compacts est ainsi en plein croissance, non seulement à cause des téléphones portables et tablettes, mais aussi à cause de l'introduction massive de l'électronique dans les appareils portables de la vie quotidienne. La microélectronique embarquée dans ces appareils représente le principal outil d'information et de communication des personnes avec le monde extérieur. Le rythme de développement de ces technologies dans les dernières années est tel que les possibilités d'utilisation des appareils portables d'aujourd'hui constituaient des scénarios de science-fiction il y a encore à peine dix ans.

Les fonctionnalités qui verront le jour dans les années à venir ne sont probablement pas encore soupçonnées. Ces fonctionnalités vont toutefois très certainement impliquer une augmentation des performances de calcul des dispositifs, et par conséquent de la chaleur qu'ils dissipent.

Aujourd'hui, on envisage des puces complexes comprenant plusieurs niveaux logiques et basées sur technologies hétérogènes. On demande également que ces technologies soient intégrées dans les appareils utilisés dans la vie quotidienne, que ces derniers soient interconnectés et qu'ils réagissent de façon intelligente. Les stratégies de dissipation de la chaleur doivent donc être en adéquation avec la réduction des dimensions des dispositifs de la microélectronique.

L'objectif de la thèse présentée dans ce manuscrit est ainsi d'étudier les stratégies de dissipation thermique des boîtiers compacts avec l'aide de répartiteurs de chaleur intégrés. Ce travail a porté en particulier sur l'évaluation des performances et contraintes des répartiteurs thermiques basés sur l'emploi de matériaux carbonés.

La thèse comporte 4 grands chapitres :

- Dans le premier chapitre seront introduites la problématique thermique en microélectronique ainsi que les différentes approches de gestion thermique dans les composants microélectroniques. On se concentrera en particulier sur les stratégies de dissipation au moyen de répartiteurs de chaleur.
- Dans le deuxième chapitre, on présentera la méthodologie d'étude suivie pendant ce travail et les véhicules de test qui ont supporté cette approche. On décrira la structure et les résultats de caractérisation de ces véhicules de test.
- Dans le troisième chapitre, on abordera les défis d'intégration des répartiteurs thermiques en boîtiers compacts au niveau industriel. On décrira les principales contraintes et le compromis nécessaire pour obtenir des solutions viables.
- Le dernier chapitre sera consacré à la présentation des résultats thermiques d'intégration des répartiteurs dans différentes configurations. On analysera l'effet du répartiteur thermique et le rôle de chacun des éléments de l'ensemble du boîtier à l'aide de mesures électriques et de simulations numériques en thermique.

Cette thèse s'inscrit dans le cadre d'une collaboration tripartite entre le CEA-LETI de Grenoble, STMicroelectronics à Crolles et le laboratoire G2Elab.

Table des Matieres

Chapitre 1

1.1. La génération de la chaleur en microélectronique	10
1.1.1. La génération de chaleur au niveau de la couche active	11
1.1.2. Les limitations de la Loi de Moore	13
1.1.3. Les technologies 3D et hétérogènes	16
1.1.4. Les points chauds.....	20
1.2. Comment sont abordés les problèmes de dissipation thermique à l'heure actuelle ?	23
1.2.1. La Resistance Thermique.....	24
1.2.2. Le flux thermique.....	26
1.2.3. Les techniques de refroidissement.....	29
1.2.4. Les répartiteurs massifs.....	32
1.2.4.1. Le graphène et le PGS comme répartiteurs.....	33
1.2.4.2. Les interfaces thermiques	38
1.2.4.3. Les contraintes d'intégration d'un répartiteur	42
1.2.5. Les substrats et les puits thermiques.....	44
1.3. L'impact de la thermique sur les performances des dispositifs	46
1.3.1. Les modes de défaillance dues à la température	48
1.3.2. Contraintes dans les dispositifs portables	49
1.4. Objectifs et démarches de la thèse	52

Chapitre 2

2.1 Introduction : la problématique multi échelle de la dissipation thermique, les outils dédiés	54
---	-----------

2.2. Les interactions silicium-répartiteur de chaleur	56
2.2.1. Véhicule de tests WIZZ.....	57
2.2.2. Eléments chauffants et capteurs	59
2.3. Les interactions boîtier-répartiteur.....	61
2.3.1. Report par micro-soudure : description de la puce et du boîtier.....	62
2.3.2. Carte de test et setup des échantillons	64
2.4. Le cas d'interaction avec un capteur d'images 3D	66
2.4.1. La structure d'un capteur d'images intégré en 3D.....	67
2.4.2. Conception de la puce de test 3D.....	70
2.4.3. Etude statistique et calibration du TCR	73
2.4.4. Mise en boîtier et intégration du répartiteur.....	75
2.4.5. Carte de test spécifique et logiciel Labview.....	77
2.5. Conclusion	78

Chapitre 3

3.1. Introduction.....	82
3.2. Le défi industriel d'intégration.....	83
3.2.1. Les interfaces thermiques dans les procédés industriels	86
3.3. Les effets thermomécaniques	90
3.3.1. Setup de mesure et principe de la technique <i>Shadow Moiré</i>	92
3.3.2. Déformation des ensembles silicium / répartiteur	94
3.3.3. Déformation des ensembles boîtier / répartiteur.....	97
3.3.3.1. Influence des éléments du boîtier	97
3.3.3.2. Influence du matériau d'interface avec un répartiteur.	99

3.4. Les interactions d'un matériau carboné avec des signaux RF	102
3.4.1. Problématique	103
3.4.2. Ligne de transmission de type coplanaire	104
3.4.3. Lignes de transmission perpendiculaires	107
3.4.4. Effet de l'épaisseur d'interface isolante.....	110
3.5. Conclusion	111

Chapitre 4

4.1. La fonction de dissipation combinée silicium-répartiteur	114
4.1.1. L'impact des variables géométriques du silicium	114
4.1.2. L'interaction Silicium – Répartiteur.....	115
4.1.3. La contribution du répartiteur au flux thermique.....	117
4.1.4. Les variables clés de l'optimisation silicium-répartiteur.....	119
4.2. L'adaptation entre le package et le répartiteur.....	124
4.2.1. Le cas d'une puce 2D reportée par micro-soudure.....	124
4.2.1.1. Le profil de température en fonction de l'échauffement.....	125
4.2.1.2. Influence du moulage : La redistribution du flux thermique.....	127
4.2.1.3. Comparaison des structures thermiques : Câblage filaire contre report par micro-soudure	130
4.2.1.4. Influence de l'intégration d'un radiateur	132
4.2.2. Le cas spécifique d'un package imageur	134
4.2.2.1. Scenarios d'échauffement typiques d'un ISP.....	135
4.2.2.2. Le substrat silicium et le lien thermique inter-niveaux	136
4.2.2.3. Les gradients thermiques et le répartiteur.....	140
4.3. Conclusions	143
Conclusions finales.....	145
Bibliographie	151
Annexe.....	161

Communications scientifiques et brevets 167

Chapitre 1 :

La dissipation thermique passive en microélectronique

L'objectif de ce chapitre est de présenter la problématique de la dissipation thermique en microélectronique. On montre une vision de l'état de l'art des solutions et stratégies plus utilisés selon chacune des applications. Finalement, on rentre en détail dans les matériaux de haute conductivité pour la dissipation thermique, c'est à dire, les répartiteurs.

1.1. La génération de la chaleur en microélectronique

La révolution technologique qui a commencé avec l'introduction du transistor il y a un peu plus de soixante ans a façonné significativement notre économie et notre vie. La tendance actuelle vers l'électronique à l'échelle nanométrique, avec des dispositifs connectés et intégrés de plus en plus dans les objets quotidiens devrait avoir un impact similaire au troisième millénaire. Aujourd'hui, les circuits intégrés commerciaux sont disponibles avec des transistors d'une taille latérale inférieure à 14 nm, dont les films les plus minces ont une épaisseur inférieure à 1 nm, soit de seulement quelques couches atomiques. Une telle miniaturisation a entraîné d'énormes défis d'intégration, avec la présence de milliards de transistors à la surface de certaines puces, dont la taille ne dépasse pas quelques centimètres carrés. Il est prévu que les dimensions latérales des motifs approchent 5 nm si les taux d'intégration et de miniaturisation continuent à suivre les directives ITRS (International Technology Roadmap for Semiconductors) [Itr17].

Dans cette course à la miniaturisation des dispositifs, une des barrières technologiques la plus souvent citée est le problème de gestion de la chaleur [Vis00]. Les densités de puissance croissantes conduisent à des niveaux de température des puces compromettant la durée de vie des circuits intégrés. Les densités de puissance maximales au niveau des puces sont actuellement de l'ordre de 100 W/cm^2 . Selon la feuille de route de l'industrie des semiconducteurs, la densité de puissance au niveau de la puce ne fera qu'augmenter avec l'addition de nouvelles fonctionnalités et performances [Gar08]. Cette tendance se situe en opposition avec une intégration en microélectronique qui essaie d'être la moins encombrante et la plus autonome possible pour les applications portables ou objets connectés (IoT – Internet of Things) [Che16]. Cette intégration de nouvelles fonctionnalités ne se fera donc qu'avec une technologie de refroidissement significative ou des changements fondamentaux dans la conception. Les solutions de dissipation thermique active, comme les ventilateurs, se montrent insuffisantes pour refroidir les points chauds au niveau de la puce et trop encombrantes pour ce type de dispositif. Une nouvelle génération de solutions intégrées doit donc être proposée et la dimension thermique est à prendre en compte dès le début de l'étape de conception au même titre que les aspects électriques.

1.1.1. La génération de chaleur au niveau de la couche active

La miniaturisation des circuits intégrés a largement participé à l'amélioration des performances des dispositifs électroniques. Néanmoins, ces objets sont eux aussi sujets à des effets parasites qui limitent leur fonctionnement, et qui sont aggravés par cette miniaturisation. Quand un courant traverse ce type de dispositif, J. P. Joule [Jou41] nous rappelle que cela ne se fait pas sans contrepartie : une génération de chaleur est associée à ce déplacement à travers l'interaction des porteurs, les électrons, avec le réseau (phonons, impuretés). Ce phénomène reste vrai pour tous les dispositifs capables de transporter un courant d'électrons, semi-conducteurs inclus. Le but du passage de courant étant autre, cet effet d'auto-échauffement est considéré comme parasite [Ban03]. On cherche donc à le minimiser mais il n'en reste pas moins que cet effet est inaliénable.

La conduction thermique dans les semi-conducteurs est dominée par des ondes vibrationnelles propagées dans le réseau cristallin. Deux types d'effets de taille peuvent exister : l'effet classique, lorsque les phonons peuvent être traités comme des particules et l'effet d'onde, lorsque l'information sur les phases d'onde des phonons devient importante (Fig. 1).

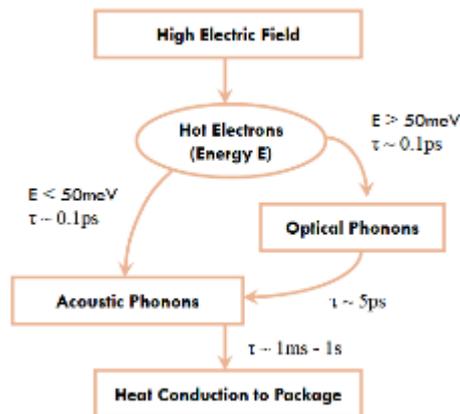


Fig. 1 : Diagramme et échelle de temps caractéristiques des processus de transfert d'énergie dans le silicium. [Pop 04]

À ce niveau atomique, les interactions des porteurs d'énergie avec la structure atomique sont étudiées avec des modèles complexes comme les simulations Monte Carlo [Pop 04] ou la Méthode de Boltzmann sur Réseau [Che01]. Néanmoins, ces approches sortent du cadre d'intérêt de cette étude et les calculs de génération de chaleur seront donc faits avec une perspective plus macroscopique. Pour les circuits logiques où on ne considère que l'effet Joule, la méthode la plus simple pour le calcul de la puissance de chaleur totale

(puissance dissipée \emptyset) dans un élément est de l'écrire en tant que produit du courant et de la tension, comme indiqué dans l'équation 1.

$$\emptyset = I \times V \quad (1)$$

Cette formule est une description quantitative, et non qualitative de la puissance électrique dissipée sous forme de chaleur. La chute de tension mesurée dépend des caractéristiques de la ligne entre les points de contact de la lecture. La puissance calorifique exprimée ne sera celle du dispositif sous tests lui-même que si la tension est mesurée directement à la sortie de ce dernier, c'est à-dire, une mesure avec un accès indépendant aux amenées de courant. Par conséquent, cette formule doit être appliquée avec précaution pour des structures avec une résistance électrique de contact relativement importante. Dans ces cas, la puissance dissipée au cœur du dispositif est inférieure au résultat de calcul de l'équation 1, le reste de la puissance étant dissipé dans les contacts. La formule donne une estimation de la puissance totale dissipée, mais non de sa répartition au niveau local. Cependant, elle est très adaptée pour des estimations rapides et de premier ordre.

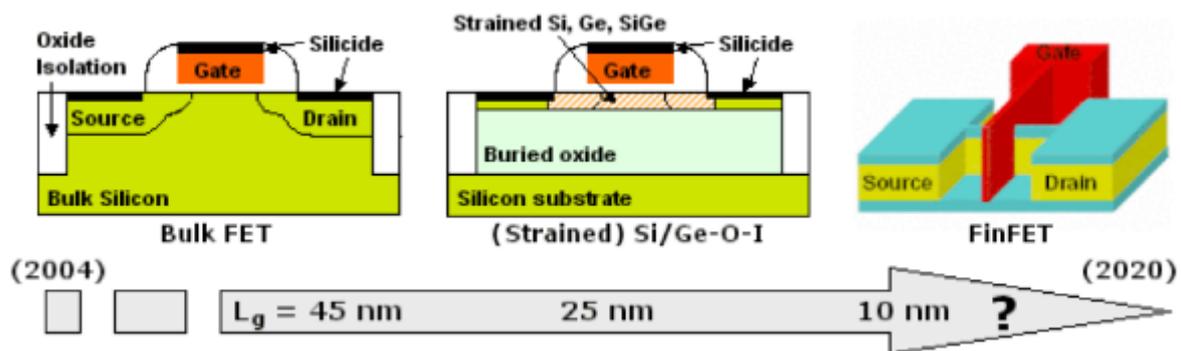


Fig. 2 : Évolution des modèles de transistors : des transistors à effet de champ sur silicium massif (bulk FET), vers des dispositifs de transport améliorés en films minces (Silicium sur isolant SOI, FinFET). Les dispositifs à films minces présentent un comportement thermique diminué par rapport à ceux sur silicium massif [Sem03].

Par ailleurs, une tendance est constante dans la génération de chaleur des dispositifs en silicium : la croissance de la densité. A mesure que les longueurs des canaux se réduisent en dessous de 22 nm, des profils de canaux complexes sont requis pour réduire les courants de fuite ainsi que les variations de tension de seuil. On a vu dans les dernières années la généralisation de structures alternatives de transistor, telles que les dispositifs SOI et les FinFET [Sem03] (Fig. 2).

Le problème avec les dispositifs SOI et FinFET est qu'ils présentent des effets d'auto-échauffement exacerbés [Fie08] [Jan15]. Leur géométrie en couches minces est similaire à un entonnoir où les électrons sont canalisés et obligés d'accélérer. Cette augmentation de courant dans un espace confiné implique une forte interaction entre les électrons et le réseau silicium et donc, une densité de chaleur élevée. De plus, la conductivité thermique du film mince en silicium diminue en raison des limites imposées à la diffusion des phonons [Wan14]. La combinaison de ces deux effets donne lieu à des fortes augmentations locales de la température, dorénavant appelés points chauds.

1.1.2. Les limitations de la Loi de Moore

Dans les années 1970, deux lois sont devenues les pierres angulaires de l'industrie de la microélectronique : La loi de Moore [Moo65] et la loi de Dennard [Den74]. La première établit les outils qui permettent une augmentation continue du nombre de transistors de manière économiquement rentable. Le rythme de croissance est défini comme un doublement chaque deux ans et le coût de chaque transistor est réduit d'une génération à l'autre grâce aux effets des économies d'échelle. La deuxième, la loi de Dennard, identifie comment améliorer les performances des transistors au moyen d'une mise à l'échelle géométrique des dispositifs.

Même si les objectifs des deux lois sont complètement différents, ils partagent un élément commun : la miniaturisation progressive des transistors. C'est absolument essentiel dans les directives de Dennard, mais pas absolument essentiel dans la loi de Moore. Les deux lois se sont confondues aux yeux de la plupart des gens, créant une confusion au fil des ans. En fait, la loi de Moore s'est poursuivie sans relâche au cours des 50 dernières années (Fig. 3) et continuera encore quelques temps, tandis que les directives de mise à l'échelle de Dennard ne sont plus suivies depuis longtemps [Gag17].

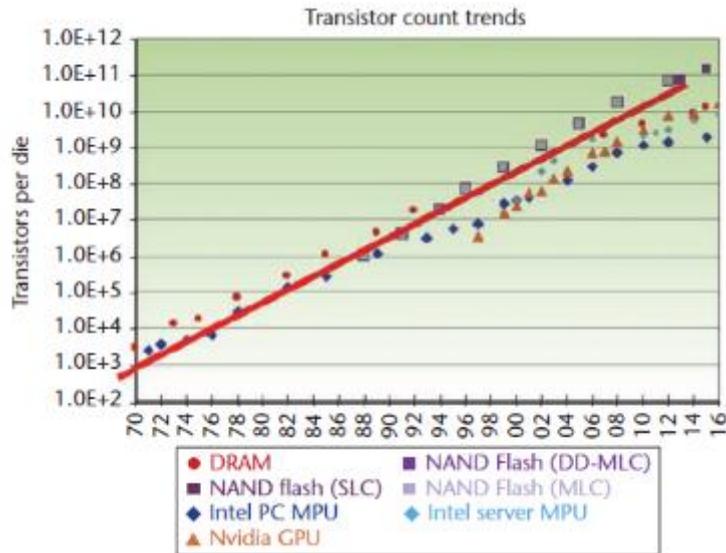


Fig. 3. La loi de Moore continue à être en vigueur 50 ans après sa conception même si la miniaturisation des dispositifs a déjà rencontré des barrières technologiques importantes [Gag17].

Des barrières technologiques considérées initialement insurmontables sont apparues dans le développement de la microélectronique au cours des dernières décades. Les paragraphes suivants en présentent quelques exemples.

Pendant les années 1990, les limites fondamentales de dissipation de puissance des transistors bipolaires ont mené la transition vers les transistors MOS (transistor à effet de champ à grille métal-oxyde) plus lents que les transistors bipolaires, mais consommant moins d'énergie [Gel91] [Inv99]. Vingt ans après, afin de surmonter l'effet tunnel lié à l'épaisseur de l'oxyde de grille, la structure des transistors MOS a dû être complètement redessiné en structure FinFET [Koh01].

Encore quelques années plus tard, la limite thermique des structures MOS a été à nouveau atteinte [Sem06]. L'augmentation de la résistance thermique des structures a modifié la manière dont le rapport énergie / performance des transistors était optimisé (Fig. 4). La solution la plus viable a consisté à augmenter le nombre de transistors et transformer l'architecture en partitionnant le noyau unique en plusieurs noyaux plus petits en gardant la croissance de la fréquence à un rythme presque nul. La réduction drastique de l'énergie de commutation est devenue l'objectif principal de la conception du transistor, par opposition à une augmentation substantielle de la vitesse, à l'opposé de ce qui avait été fait dans le passé. La dissipation thermique s'est donc imposée comme un des principaux moteurs du changement dans la conception ou l'architecture des circuits.

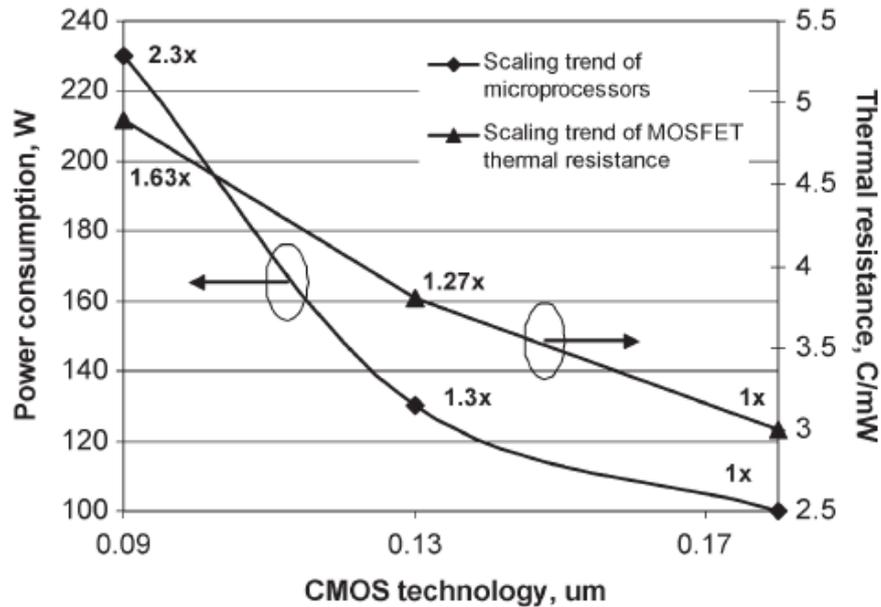


Fig. 4. Consommation de puissance des microprocesseurs et résistance thermique des MOSFET en fonction de la taille du nœud technologique de chaque génération CMOS [Sem06]

Mis à part cet aspect thermique, le principal moteur du changement en microélectronique est lié aux aspects économiques de l'industrie. Pendant des décades, le prix d'un circuit intégré a diminué d'une génération à la suivante. Cet effet, malgré l'augmentation du prix de chaque plaquette, était dû à deux facteurs : la meilleure exploitation de la surface du silicium, due à une réduction d'échelle et l'augmentation de la capacité de production et du diamètre des plaquettes, allant de 100 mm à 450 mm au long des derniers 40 ans. Malheureusement, l'incrément du coût de chaque technologie, principalement à cause de la lithographie, a marqué un point d'inflexion à partir du noyau 90 nm, atteint au début des années 2000 [Har01]. Avant cette période-là, le surcoût de chaque nouveau nœud technologique restait en dessous de 10%. Aujourd'hui on a déjà dépassé 30% de surcoût par génération et on ne voit pas de limite à cette augmentation [Gag17].

L'évolution des performances atteindra, dans le meilleur des cas et sauf apparition de technologies de rupture comme les transistors à base de nanotubes de carbone [Has06], une limite de viabilité dans les prochaines années. L'industrie des semi-conducteurs sera de nouveau confrontée à un important point d'inflexion, mais heureusement, cette fois les bases d'une solution à long terme ont déjà été posées. Si on fait croître les structures verticalement, il est possible de former un dispositif capable d'empiler plusieurs couches logiques. Les mémoires ont déjà adopté cette technologie depuis quelques années, et

d'autres produits sont en train de suivre la tendance. Cette approche, appelée empilement 3D, permettra la poursuite de la loi de Moore encore pendant les 10 à 15 années à venir.

1.1.3. Les technologies 3D et hétérogènes

La base sur laquelle la poursuite de la loi de Moore sera possible jusqu'à l'apparition d'une nouvelle technologie de transistor a donc été établie. Les limitations de la lithographie pour pouvoir créer des dispositifs en dessous des limites nanométriques ont poussé les concepteurs à imaginer une intégration des dispositifs en verticale afin de poursuivre l'augmentation de la densité des circuits. Le premier avantage de ces configurations verticales est logiquement spatial. Il faut prendre en compte non seulement la surface gagnée sur la puce silicium, mais aussi dans l'ensemble du système. Si on prend en considération un système équivalent de puces connectées en 2D, avec des puces mises en boîtier individuellement et soudées sur une carte mère, la surface correspondant au silicium ne représente que 30% du total, le reste de la surface correspondant au substrat, pads de soudage et moulage. Si on regarde maintenant le gain volumétrique, et on considère le faible volume de la couche active du silicium ($10\ \mu\text{m}$ d'épaisseur x surface de la puce), on voit qu'il ne représente que le 0,15% du volume total du système [Bey07]. Les possibilités d'optimisation sont donc évidentes.

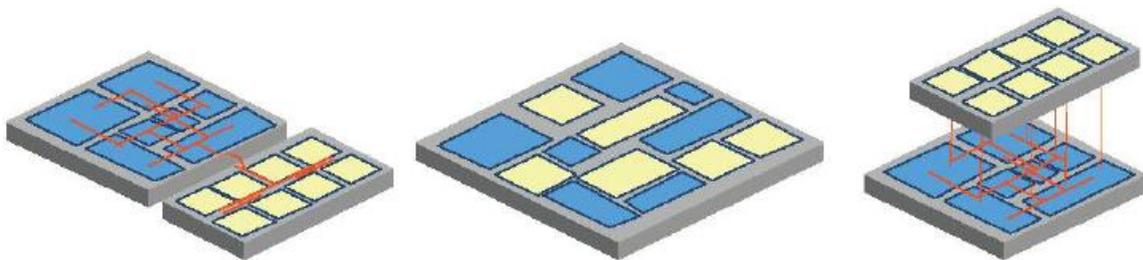


Fig. 5. Optimisation d'une disposition planaire traditionnel vers un SoC (System on Chip) et évolution de la structure vers une intégration 3D [Bey07]

Par ailleurs, cette stratégie d'empilement des couches actives, au-delà de permettre une continuation de la loi de Moore, constitue une vraie valeur ajoutée en termes de fonctionnalités par rapport à une disposition 2D, ce qu'on appelle 'More than Moore' [Itr17].

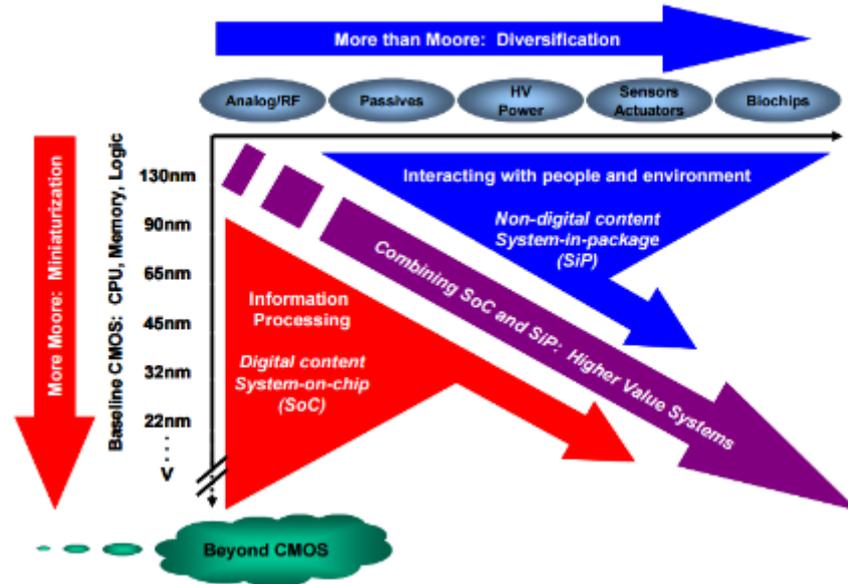


Fig. 5. Perspectives de l'intégration 3D dans la roadmap de l'industrie des semi-conducteurs [Itr10]

On obtient en effet une structure potentiellement hétérogène, capable d'accueillir des couches de différentes technologies, embarquant des fonctionnalités spécifiques : mémoire, logique, analogue, puissance, optique, capteurs, matrices de pixels, etc. interconnectées verticalement [Mic15]. Cette intégration permet l'optimisation des procédés de fabrication de chaque couche, avec une utilisation plus efficace de la surface des wafers en fonction du nœud technologique [Mou13].

Un autre effet positif de l'empilement vertical est la réduction drastique de la longueur des interconnexions [Bey04] par rapport à une structure 2D, apportant un gain important sur la performance de propagation des signaux. L'association en 3D d'une mémoire et d'un cœur de calcul voit la bande passante entre les deux dispositifs augmenter significativement par rapport à une structure en 2D [Viv11].

Dans les structures 2D classiques, l'augmentation du flux de données s'accompagne d'une augmentation de la dissipation thermique. La croissance de la performance des transistors signifie une augmentation du nombre d'interconnexions, souvent avec de longues distances sur le silicium. La puissance dissipée lors du transport d'un signal est liée à la capacité entre les conducteurs, et donc à leur longueur. La technologie 3D est ainsi capable de réduire cette puissance dissipée grâce au raccourcissement des lignes [Dut14]. Comme discuté auparavant, la réduction de la dissipation de puissance est une des batailles principales dans le développement de la microélectronique.

Des approches technologiques différentes ont été envisagées afin de réussir une intégration 3D, motivées d'une part par des raisons de faisabilité ou de coût du procédé, et d'autre part par ses avantages au niveau des performances. On peut citer 3 axes de développement :

- Les TSV (Through Silicon Vias) + μ bumps

Cette approche est basée sur des connexions verticales en cuivre qui traversent le silicium de chacune des couches de l'empilement [Cou12]. Le substrat silicium de chaque couche est aminci jusqu'à quelques dizaines de microns afin d'obtenir un rapport hauteur/largeur du TSV faisable technologiquement [Mom14]. Les niveaux sont connectés entre eux grâce à la soudure des petits connecteurs ou billes métalliques appelés μ -bumps. Cette technologie est largement utilisée en packaging.

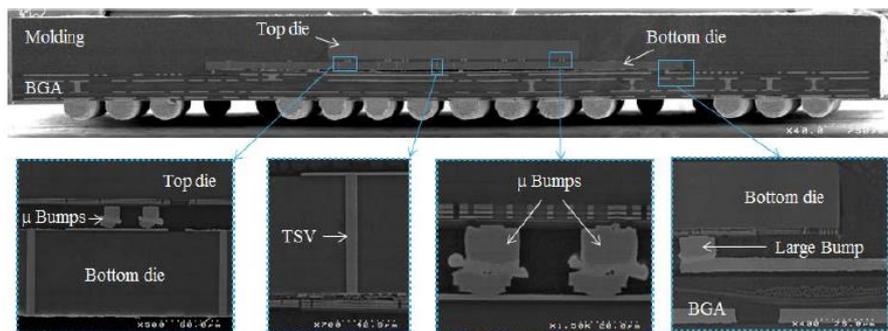


Fig. 6. Structure 3D avec TSV et μ -bumps [Mom14]

- Le collage hybride

On appelle collage hybride la liaison moléculaire entre deux surfaces qui sont mises face à face comprenant une combinaison de SiO_2 et des plots de connexions en cuivre [Bei14]. Ces surfaces correspondent au dernier niveau de la métallisation BEOL (Back End Of Line) de chacune des puces. Elles sont polies et préparées afin de garantir la mise en contact, qui se fait d'abord grâce aux forces de Van der Waals, l'énergie d'adhésion est ensuite renforcée par un recuit post collage qui permet l'établissement de liaisons covalentes. Les capteurs d'images les plus performants de l'état de l'art ont commencé à utiliser la technologie de collage hybride en 2016 [Kag16].

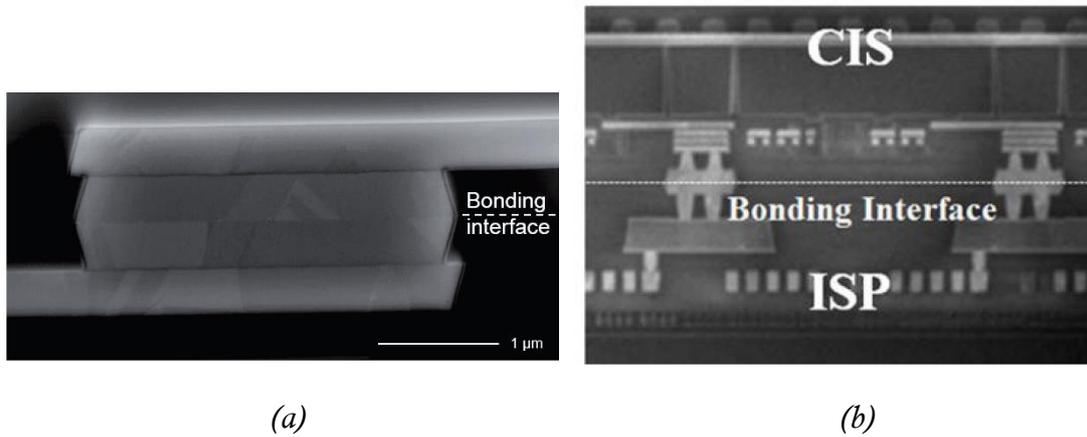


Fig. 7. A - Collage hybride de deux surfaces Cu / SiO₂ [Bei14]
 B - Structure d'une puce imageur 3D [Kag16]

- Les structures monolithiques

Les structures monolithiques utilisent des approches inspirées des technologies précédentes : on utilise à la fois le collage moléculaire et les connexions verticales. La principale différence avec le collage hybride décrit précédemment est que l'on colle un silicium vierge sur un silicium déjà traité. Il faut donc réaliser les transistors du niveau supérieur alors que ceux du niveau inférieur sont déjà présents : on parle d'intégration séquentielle. Dans cette approche, les couches de silicium de chaque niveau logique de l'empilement ont des épaisseurs de l'ordre du micromètre, voire plus faibles. Les connexions verticales sont intégrées dans la face arrière une fois que l'on a assemblé une puce sur l'autre [Lee14] [Bat15].

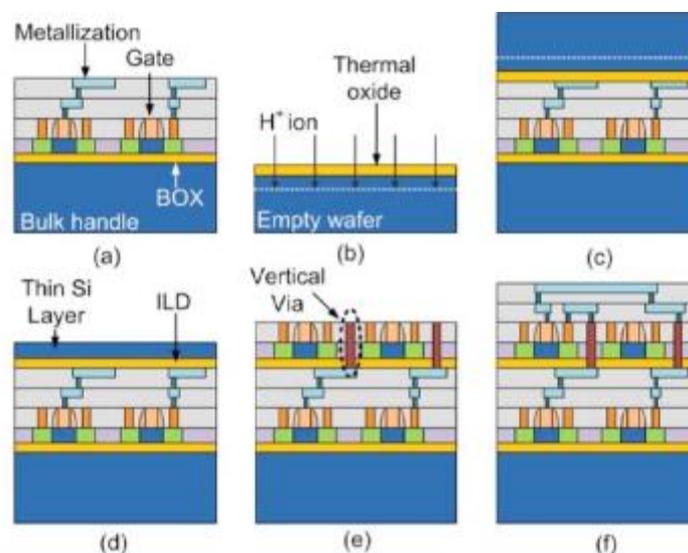


Fig. 8. Procédé de fabrication des puces monolithiques 3D VLSI au CEA LETI [Bat15]

Une tendance est commune aux trois technologies et s'accroît à chaque évolution : l'augmentation de la densité volumétrique de chacun. Elle est le résultat de la mise en contact des couches logiques et de l'amincissement des substrats silicium. Ces deux facteurs conduisent irrémédiablement à des problèmes d'évacuation de la chaleur et à l'apparition de points chauds.

1.1.4. Les points chauds

Les phénomènes par lesquels les dispositifs microélectroniques génèrent la chaleur ont déjà été expliqués. Néanmoins, cette chaleur n'est pas produite de façon homogène dans l'ensemble du dispositif.

Les zones de la puce qui sont dédiées aux tâches de calcul sont celles qui vont voir passer une plus forte densité de chaleur. Leurs formes et tailles peuvent varier en fonction de la puce et de l'application concrète de calcul [Hua06]. Ainsi, dans un système sur puce (*System on Chip*) de dernière génération on trouve essentiellement, de la mémoire appelée 'cache'. Cette mémoire dite 'cache' est souvent constituée de SRAM (Static Random Access Memory) ; sachant qu'un point mémoire SRAM est formé par 4 ou 6 transistors, on comprend que la SRAM occupe une place importante. Les cœurs de calcul ne représentent donc qu'un petit pourcentage de la surface totale du silicium et pourtant ils dissipent la plupart de la puissance.

La quantité nette de puissance dissipée peut aller de quelques milliwatts pour les dispositifs portables jusqu'à quelques centaines de watts pour les puces les plus performantes des centres de calcul. Les surfaces considérées dans ces systèmes sont mesurées en millimètres ou centimètres carrés au maximum, alors que les points chauds ne représentent normalement que des zones de quelques dizaines ou centaines de micron de côté. Les dispositifs microélectroniques se trouvent parmi les systèmes les plus contraints en termes de densité de puissance (fig. 8) [Bac03].

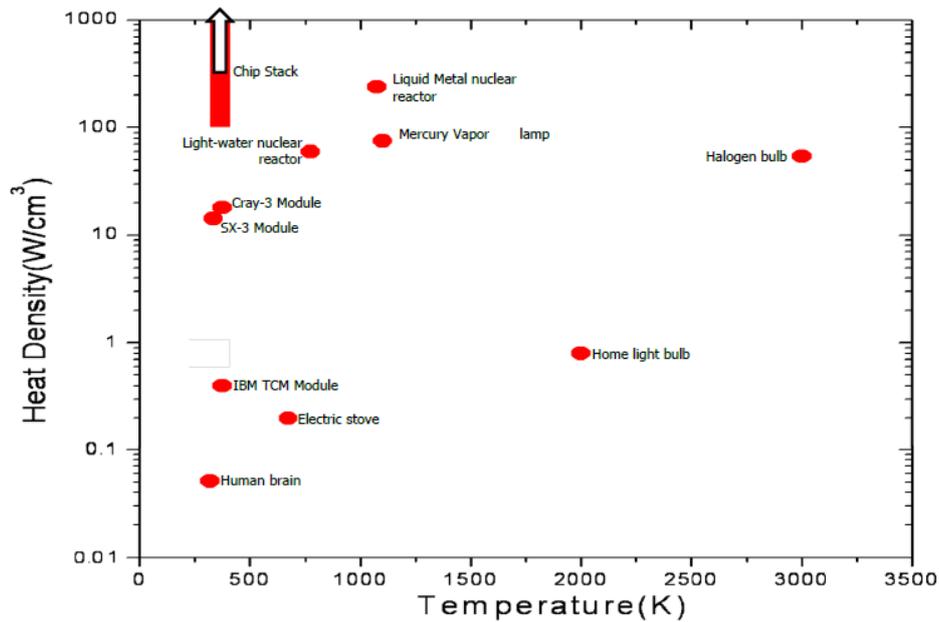


Fig. 8. Densité de puissance de différents systèmes technologiques [Bac03]

Ces énormes densités de puissance produisent un effet d'auto échauffement qui donne lieu à des pics de température localisés [Pop01]. On retrouve donc des gradients de température importants entre le point chaud et son environnement (Fig. 9, 10). Le profil de température évolue tant au niveau de la puce silicium qu'au niveau de la carte et du système. Une telle concentration de puissance implique une répartition non optimale de la charge thermique admissible par la puce et capable d'être transférée au système [Kos15]. De plus, les différences de température dans la puce peuvent affecter les performances des circuits qui sont sensibles à ce facteur et introduire une variabilité des performances intra-puce.

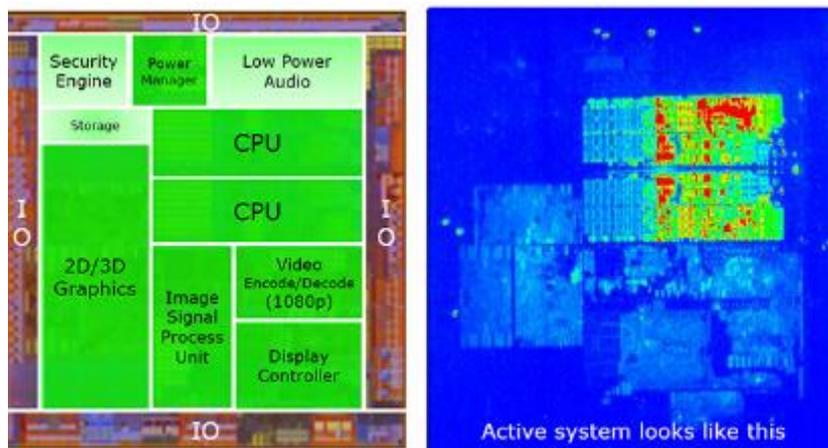


Fig. 9. Image de caméra thermique d'un SoC Intel Atom embarqué dans une tablette

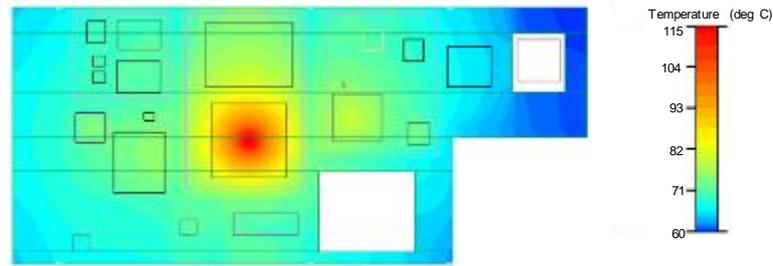


Fig. 10. Simulation d'une carte système complexe avec un cœur de calcul (G. Kimmich, STEricsson)

Face à ces problèmes de génération de chaleur, les techniques classiques de refroidissement ne sont plus suffisantes. Premièrement, on multiplie potentiellement le nombre de couches logiques qui produisent de la chaleur. Deuxièmement, et de manière plus importante, les technologies qui sont mises en place dans l'intégration 3D impliquent une détérioration des performances thermiques de l'ensemble, c'est à dire, de sa capacité à évacuer la chaleur produite [Lau09]. D'un autre côté, on a une réduction de l'épaisseur de silicium de chacune des couches, nécessaire afin de pouvoir les interconnecter verticalement avec des TSV. Le silicium étant le principal moyen de dissiper la chaleur des points chauds [Mom15], réduire son épaisseur revient à concentrer les points chauds (Fig. 11).

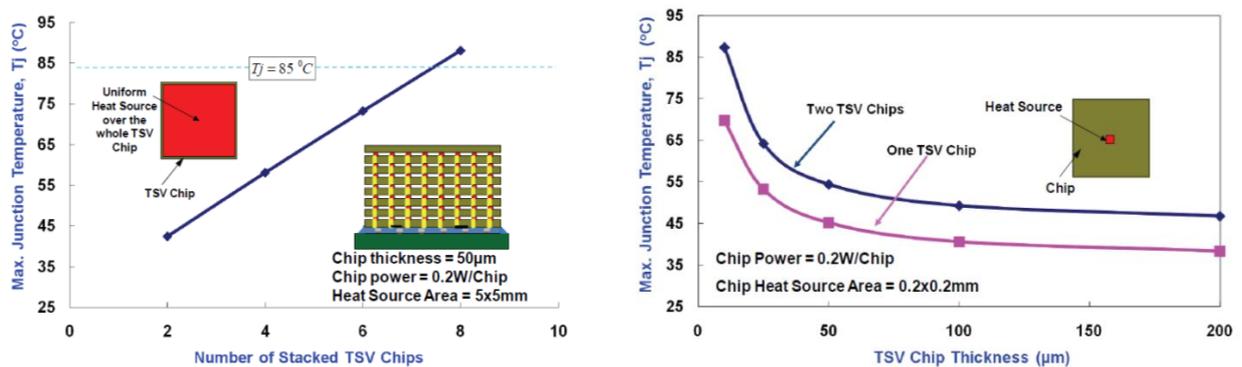


Fig. 11. Température maximale du nombre de puces empilées et de leur épaisseur [Lau09]

D'un autre côté, les matériaux utilisés dans un empilement 3D ont des propriétés de conduction thermique bien en dessous de celles du silicium [Che06]. On parle ici des niveaux de métallisation, des polymères d'isolation entre les bumps de connexion électrique ou des underfills de remplissage [Kum15]. Tous ces matériaux sont placés de façon intermédiaire entre les couches logiques et font donc partie du chemin que la chaleur

doit traverser pour aller vers l'extérieur (fig. 12). Ils agissent donc comme des barrières qui s'opposent au transfert de chaleur. Ils sont donc un facteur aggravant des points chauds.

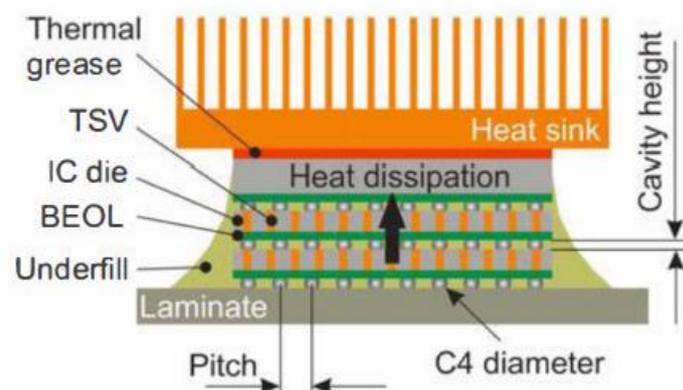


Fig. 12. Barrières thermiques dans les empilements 3D [Kum15]

1.2. Comment sont abordés les problèmes de dissipation thermique à l'heure actuelle ?

Traditionnellement, l'analyse thermique d'un système microélectronique est faite de façon indépendante, après la conception électrique, l'étude de la faisabilité des procédés, ou de l'intégration de la puce, etc. Elle est donc généralement considérée comme secondaire. Les moyens spécifiques à mettre en place pour refroidir la puce sont choisis à la fin de la conception du système. Ces moyens doivent alors s'adapter au package déjà conçu et proposer des performances de refroidissement suffisantes afin de garantir le bon fonctionnement du système. Ce type d'analyse est donc limité à la connaissance de données d'entrée de production de chaleur.

Une nouvelle approche doit donc être mise en place pour prendre en compte les problèmes de dissipation thermique. Afin de pouvoir incrémenter les performances des systèmes logiques de haute densité, il faut considérer la production de chaleur comme une contrainte clé dès le début de la conception. Cette nouvelle approche implique toutes les étapes de conception et amène à faire travailler en parallèle les experts thermiques avec le reste des responsables du développement. Il faut considérer les études thermiques comme des analyses multi-niveaux, et la puce comme faisant partie d'un système global, jusqu'à l'environnement extérieur, afin de pouvoir prévoir sa réponse thermique. Les designs thermiques de tous les éléments du système : Puce, boîtier, carte électronique et produit

final doivent être conçus en concordance entre eux afin de constituer un chemin continue d'évacuation de la chaleur.

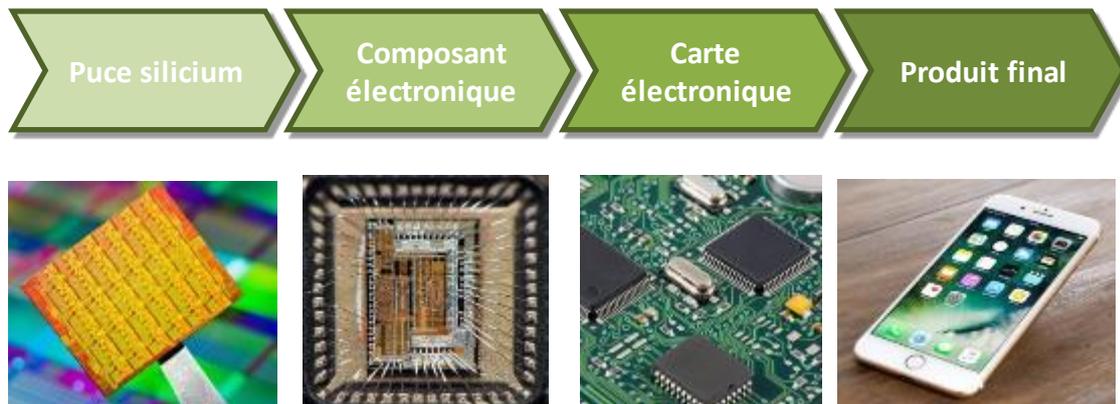


Fig. 13. Chaîne d'étude thermique multi niveaux. Du point chaud de production de la chaleur jusqu'à l'environnement extérieur en passant par le boîtier, la carte électronique et le système final.

1.2.1. La Resistance Thermique

Lors d'une étude thermique d'un système électronique il est nécessaire de prendre en compte et modéliser l'ensemble des transferts de chaleur. Cela permet de déterminer la température de chaque composant et les différences de température entre le point chaud et l'environnement. Dans un système typique, la production de chaleur dans les régions actives de la puce peut s'effectuer grâce à plusieurs mécanismes physiques. On parle ici de trois modes d'échanges thermiques de base : conduction, convection et rayonnement.

Une analogie entre la conduction de la chaleur et la conduction électrique permet de simplifier l'analyse. En régime stationnaire, elle est basée sur la notion de résistance thermique. Dans cette analogie, le flux de chaleur Φ est représenté par le courant électrique. Une différence de température ΔT est analogue à une chute de tension. On peut alors définir une résistance thermique R comme :

$$R = \frac{\Delta T}{\Phi} \quad (2)$$

Même si cette analogie ne s'applique qu'au transfert par conduction, on peut généraliser cette définition à toutes les modes de transport. De la même façon que pour les systèmes électriques, les résistances thermiques correspondant aux éléments se trouvant sur le

chemin d'évacuation de la chaleur peuvent être mises en série ou en parallèle afin de calculer la résistance thermique globale de l'ensemble. Cette résistance totale (3) est souvent définie en fonction de la température maximale du dispositif T_{jmax} (température maximale de jonction) et de la température ambiante T_a :

$$R_T = \frac{T_j - T_a}{\phi} \quad (3)$$

Dans la plupart des dispositifs, la résistance thermique peut être décomposée en un facteur interne R_{jc} , principalement lié à de la conduction, et un facteur externe R_{ex} , essentiellement basé sur la convection et le rayonnement [Bac03]. Par ailleurs, chacun de ces termes peut être décomposé afin d'exprimer la résistance thermique de chaque couche de l'ensemble (fig. 14). Cette approche, même simplifiée, permet une analyse efficace des optimisations à réaliser dans le design thermique du boîtier [Hua06].

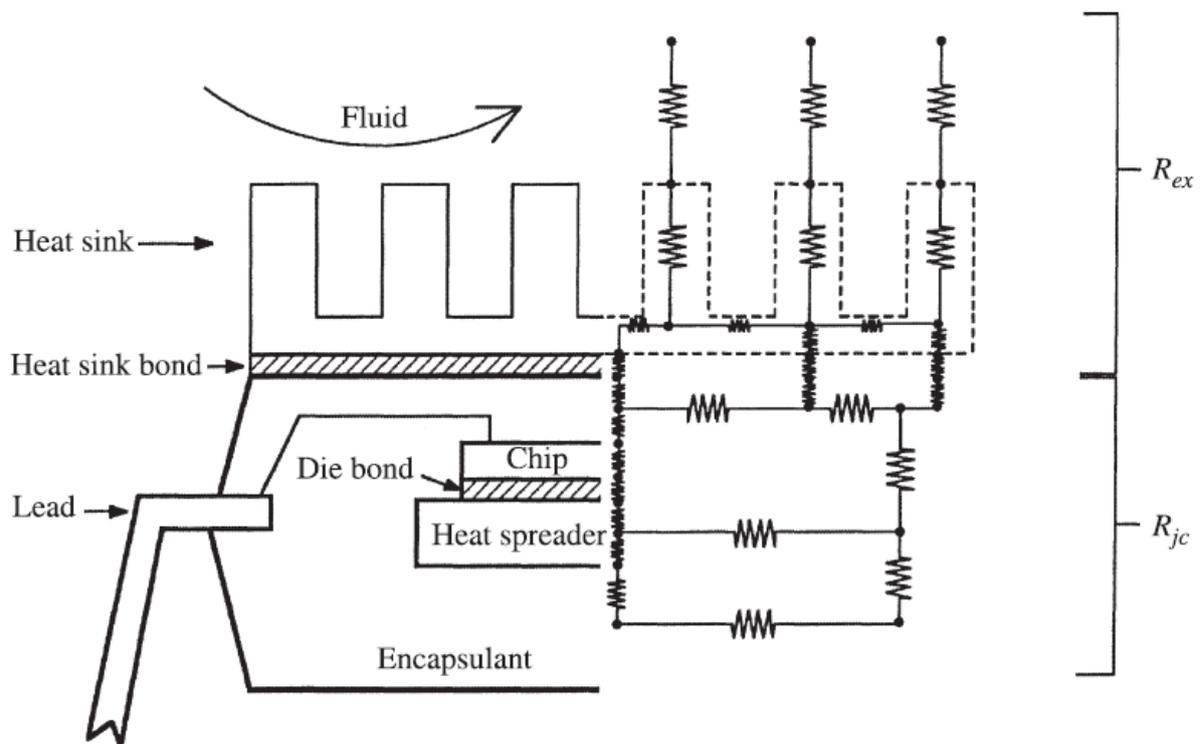


Fig. 14. Résistances thermiques primaires d'un système électronique. Contribution due à la conduction R_{jc} (jonction to case) et à la convection + rayonnement R_{ex} . La résistance R_{jc} est propre des systèmes de puissance élevée [Bac03]

1.2.2. Le flux thermique

Une fois que la distribution de température $T(r, t)$ dans un corps est déterminée en fonction de la position et du temps, le flux de chaleur dans le corps peut être facilement calculé. Pour un solide homogène, isotrope (c'est-à-dire dont la conductivité thermique est indépendante de direction) la loi de Fourier est donnée sous la forme :

$$q(r, t) = -k\nabla T(r, t) \quad W/m^2 \quad (4)$$

Où le gradient de température ∇T est un vecteur normal à la surface isotherme, le vecteur $q(r, t)$ représente le flux de chaleur par unité de surface de la surface isotherme dans la direction de la température décroissante, et k représente la conductivité thermique du matériau.

Dans les boîtiers microélectroniques, le flux thermique est produit au niveau des points chauds et se dirige vers l'extérieur en suivant le chemin le moins résistant aux transferts de chaleur. La résistance est inversement proportionnelle à la conductivité thermique du matériau à traverser. Les matériaux communément utilisés dans un boîtier sont très hétérogènes et leurs propriétés thermiques peuvent varier énormément (tableau 1).

Matériau	k (W/mK)	Matériau	k (W/mK)
Air	0.024	Si	150
Epoxy	0.23	Al	237
Polyimide	0.33	Cu	390
FR4	0.30	Graphite	1000
Alumine	22	Diamant	1000-2600

Tableau 1. Conductivités thermiques des matériaux d'un boîtier comparés à celles avec les conductivités plus élevées [Bac03]

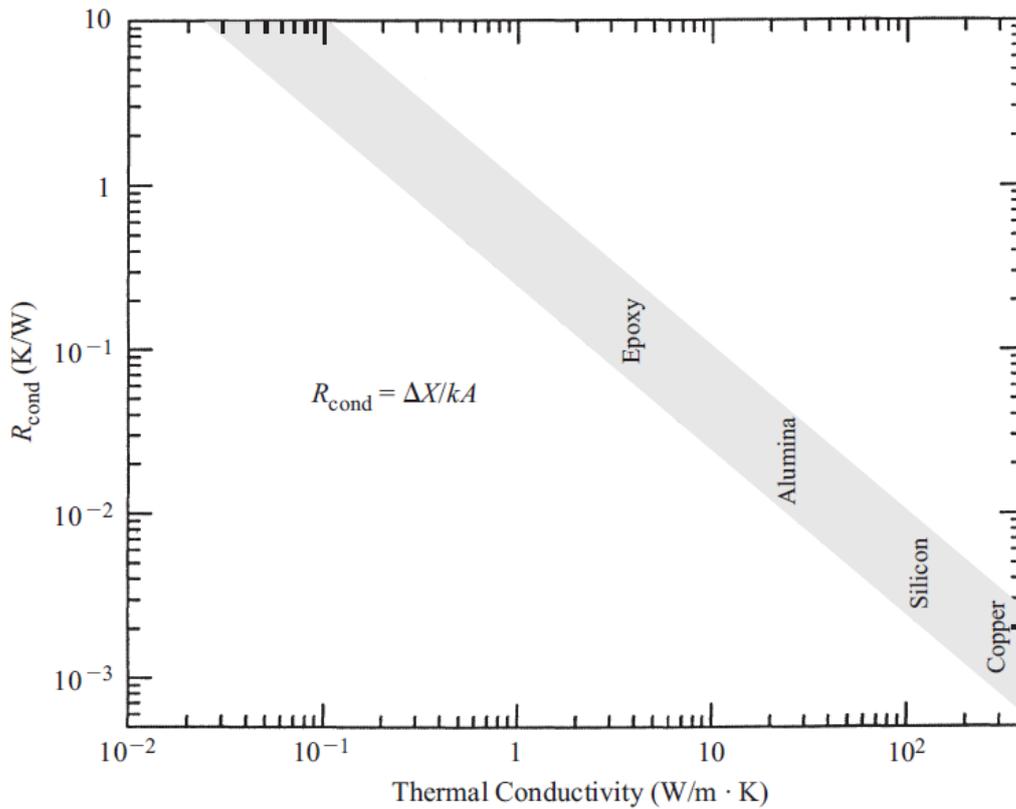
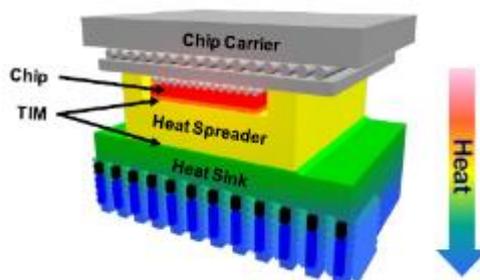
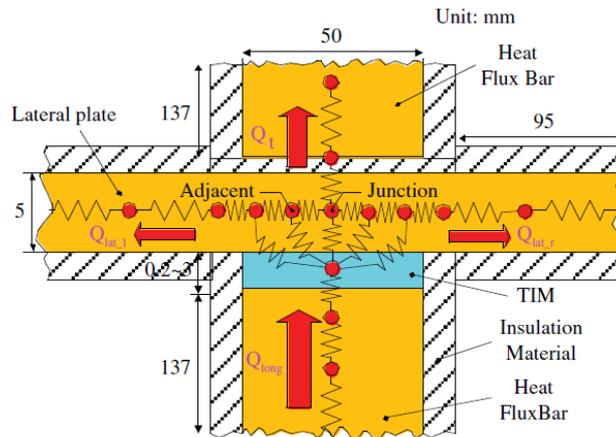


Fig. 15. Conductivité thermique de différents matériaux communs dans un boîtier électronique et résistance thermique équivalente. [Bac03]

Lors de la réalisation d'un modèle de résistances thermiques d'un système électronique, on suppose que certaines directions vont être les principaux vecteurs du transfert de chaleur [Nem16]. Dans ce type d'approche on considère que le flux de chaleur est soit unidirectionnel (fig. 16) [Bac13, Mts16], soit multidirectionnel si on considère des autres directions en plus de la verticale, comme sorties de chaleur possibles [Kim11].



(a)



(b)

Fig. 16. (a) Flux unidirectionnel de chaleur vers un puits thermique, [Bac13]
 (b) Flux de chaleur bidirectionnel à travers des vias d'évacuation métalliques, [Kim11]

Les simulations numériques par éléments finis permettent une description plus fine des phénomènes, avec une cartographie complète de la température et du flux de chaleur selon chaque direction. Ce type d'étude permet de localiser les goulots thermiques, de quantifier les pertes ou gains en résultant et ainsi d'optimiser ces zones.

Les simulations thermiques se montrent très intéressantes dans le cas des architectures 3D, où la quantité des éléments hétérogènes rend difficile l'utilisation des modèles compacts basés sur des résistances thermiques en série ou en parallèle. On trouve des modèles pour l'étude des TSVs [San14, Cou16], des niveaux de métallisation, des espaces d'interconnexions entre niveaux 3D (underfills + bumps) ou des transistors 3D eux-mêmes.

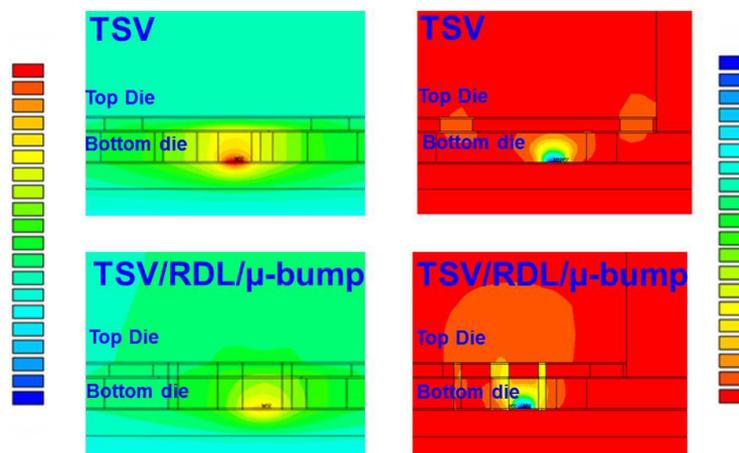


Fig. 17. Section montrant les températures (gauche) et le flux thermique (droite) d'un empilement 3D avec ou sans connexion métallique inter-niveau [Cou16]

1.2.3. Les techniques de refroidissement

Les solutions de refroidissement des systèmes électroniques constituent une boîte à outils très variée et hétérogène. Différentes options sont disponibles en fonction des caractéristiques du système, de la puissance à dissiper et du coût de mise en œuvre.

Il convient d'abord de mentionner que les solutions de conception, c'est-à-dire, celles où l'on ne modifie pas les caractéristiques géométriques du dispositif ne seront pas étudiées ici. Toutes ces options d'optimisation thermique coté conception et architecture sont aussi nécessaires et complètent les solutions technologiques. Dans la nouvelle approche de conception thermique, ces solutions seront mises en place dès le début du développement du produit. Concernant les techniques de refroidissement, on différenciera deux types de solutions, actives et passives.

Les solutions actives sont celles qui demandent une source d'énergie externe afin d'actionner un système de refroidissement. Ce sont des solutions basées principalement sur le transfert de chaleur par convection forcée, avec des structures optimisées permettant d'augmenter la surface d'échange entre le solide et le fluide. On peut différencier celles qui utilisent l'air comme fluide de celles qui utilisent un liquide. La solution la plus répandue est l'utilisation d'un ventilateur qui fait circuler un flux d'air au contact d'un radiateur comportant des ailettes de refroidissement [Cas15, Dhi16]. Ces solutions sont largement utilisées pour des applications de moyenne gamme, mais il s'agit d'options encombrantes et bruyantes.



Fig. 18. Solutions classiques de dissipation active avec l'air comme fluide refroidisseur

Les solutions utilisant un liquide comme fluide sont plus performantes grâce au meilleur coefficient d'échange en convection (fig. 20). Les applications de ces technologies peuvent être très variées, allant des grands circuits pour centres de calcul ou serveurs [Ges15, Mcp17], jusqu'aux microcircuits intégrés dans le substrat des puces plus performantes ou encore en développement comme pour les puces 3D [Sar15, Col17]. La voie est ouverte au développement des systèmes de refroidissement miniaturisés et des solutions intégrant des systèmes de microcanaux/micropompes.

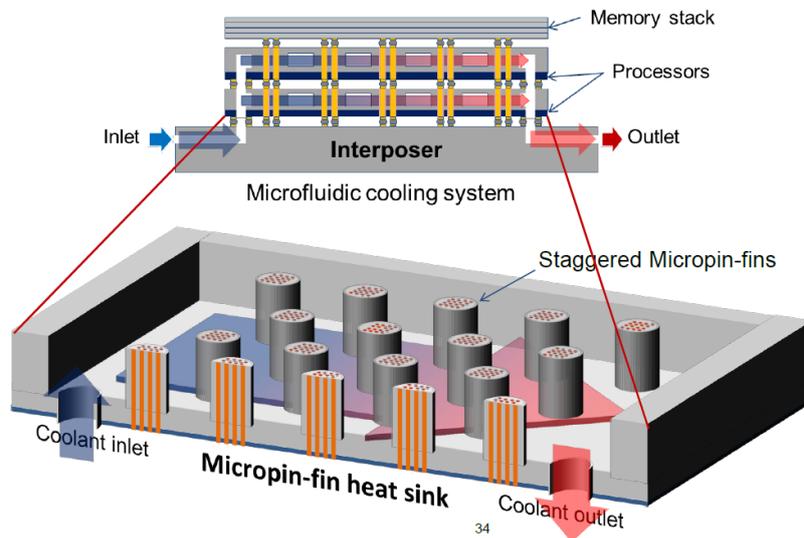


Fig. 19. Système de refroidissement liquide par micro-canaux embarqués à l'intérieur d'une puce 3D [Sar15, Oh 15]

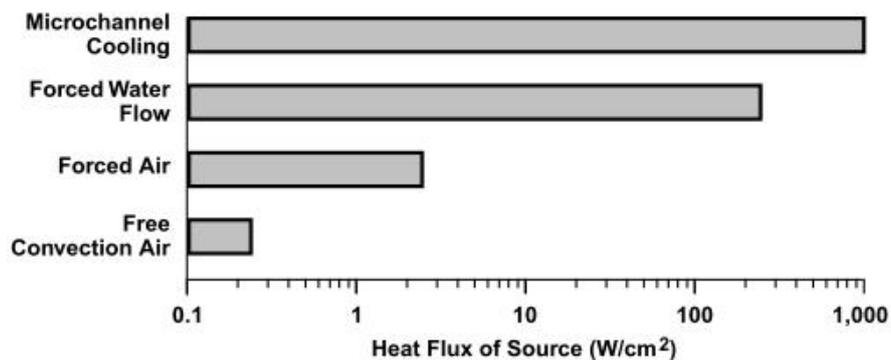


Fig. 20. Comparaison des différentes méthodes d'extraction de chaleur avec une élévation de température du point chaud de 50°C par rapport à la température ambiante. [Gar08]

Les techniques de refroidissement thermique passives sont utilisées dans les cas où les contraintes spatiales, de consommation énergétique ou de coût impliquent une intégration la moins encombrante et la plus efficace possible. Ce type de solution est idéal pour les dispositifs autonomes ou à base de batteries. Comme indiqué précédemment, on peut penser que l'intégration d'une microélectronique de plus en plus performante dans les

objets connectés (IoT) rendra nécessaire le développement et l'intégration de solutions passives de façon généralisée.

L'objectif ultime des solutions passives est de créer un chemin préférentiel d'évacuation de la chaleur en privilégiant les phénomènes de conduction. On se sert de matériaux à haute conductivité pour créer des voies thermiques qui conduisent la chaleur des points chauds jusqu'au puits thermique ou à l'ambiante. Il doit s'agir de conceptions optimisées qui prennent en considération l'ensemble du système.

Dans les options de refroidissement passif on retrouve bien évidemment les répartiteurs de chaleur (également appelés spreaders), qui seront traités dans le paragraphe suivant. Les répartiteurs massifs sont les solutions les plus répandues mais on trouve des dispositifs passifs plus exotiques, basés sur l'utilisation d'un changement de phase notamment. D'une part, on a les matériaux à changement de phase solide/liquide, capables de stocker l'énergie calorifique en excès dans la puce et de la libérer ensuite [Wun14] donc utilisables pour limiter la température dans des conditions instationnaires. D'un autre côté on a des chambres à vapeur (vapor chamber), dont le principe de fonctionnement se rapproche de celui des caloducs, puisqu'il est basé sur la circulation autonome d'un fluide au sein d'une enceinte étanche. Cette circulation est créée grâce à des changements de phase liquide-vapeur et à un réseau capillaire. On parle ici de système diphasique [Pha14].

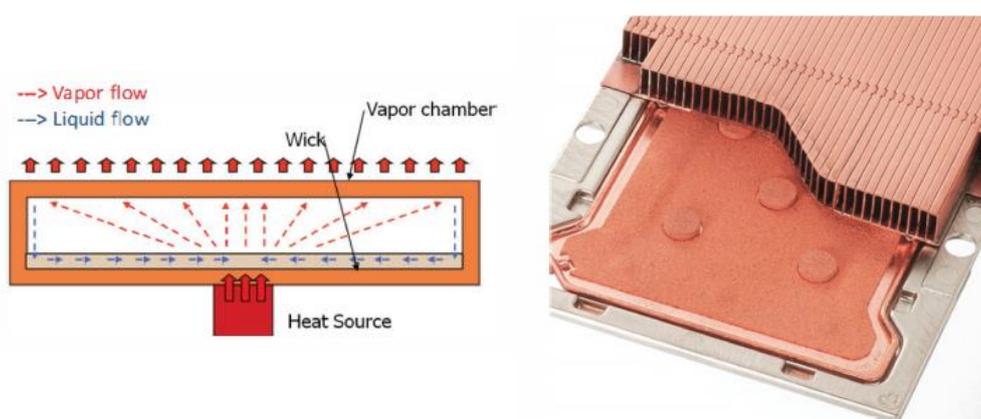


Fig. 21. Chambre de vapeur thermique utilisé pour des processeurs à haute puissance [Wun14]

1.2.4. Les répartiteurs massifs

Un répartiteur thermique est un dispositif capable de diffuser la chaleur produite par une source localisée sur une surface plus étendue que celle-ci. Dans sa version massive, il est constitué par un matériau fin ayant une très bonne conductivité thermique. Par conséquent, l'insertion d'une couche de matériau fortement conductrice de la chaleur au niveau des points chauds d'un système électronique permet de diminuer les gradients thermiques et la température maximale de ces derniers (Fig. 22). Il faut quand même préciser qu'un répartiteur ne sera un moyen de refroidissement global du dispositif que s'il est connecté thermiquement à une source d'évacuation de la chaleur tel qu'un puits thermique.

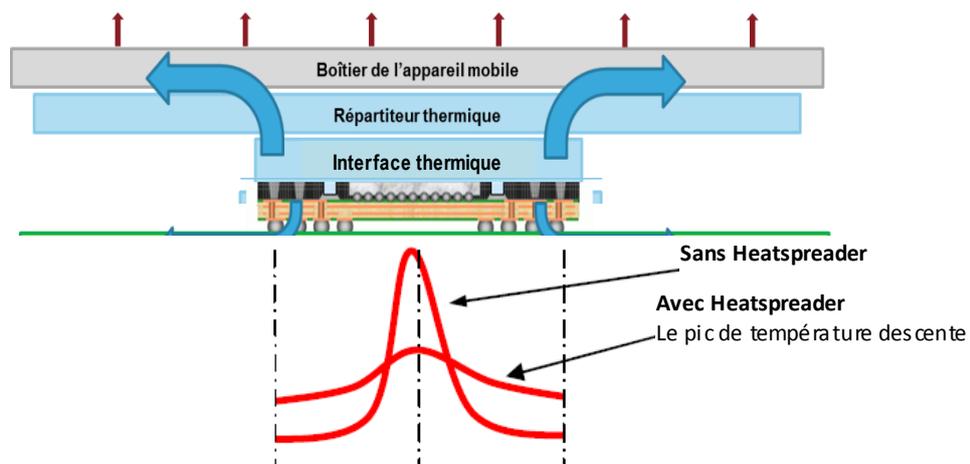


Fig. 22. Effet de l'addition d'un dissipateur thermique sur la température.

Les répartiteurs offrent une combinaison d'avantages très intéressants. Tout d'abord, il s'agit de solutions passives, c'est-à-dire sans consommation énergétique. Ils sont donc intégrables sans besoin de prévoir une source supplémentaire d'énergie. Le système peut garder une empreinte et efficacité énergétique minimales. Ce sont des solutions pour des systèmes à basse consommation.

Les répartiteurs permettent d'augmenter la surface d'échange de la source de chaleur. Cet échange est fait donc initialement par conduction, avant de passer sur des solutions de refroidissement basés sur la convection naturelle et le rayonnement. Les répartiteurs peuvent être intégrés au plus près du point chaud afin d'éviter les barrières thermiques déjà à ce premier niveau. Ainsi, si le design thermique est fait en avance et qu'il prend en compte

ces contraintes, on peut éviter la création de gradients thermiques importants autour de la source de chaleur.



Fig. 23. Répartiteurs thermiques utilisés dans des différentes applications : Sur un microprocesseur (à gauche), une mémoire RAM (au centre) ou la coque d'un téléphone portable (à droite)

Les répartiteurs peuvent être intégrés à différents niveaux du système (Fig. 23). Ils ont été traditionnellement utilisés au niveau carte ou module pour les applications avec une dissipation de puissance plus significative [Hor10, Mor91]. Ce type d'intégration était souvent postérieur à la conception du dispositif et venait résoudre un problème normalement rencontré lors des tests électriques. La tendance est aujourd'hui à l'intégration des répartiteurs sur le silicium, dans des zones internes de modules complexes. Ils sont ainsi au plus près du cœur chauffant et donc plus efficaces [San15].

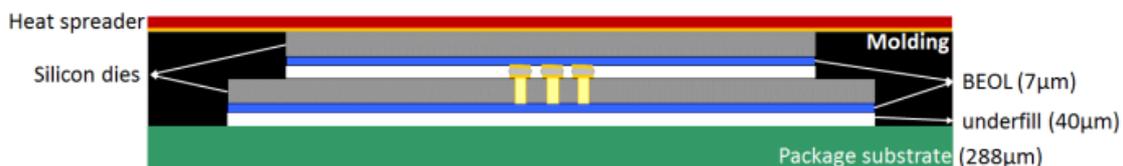


Fig. 24. Modélisation de l'intégration d'un répartiteur thermique au niveau puce [San15]

1.2.4.1. Le graphène et le PGS comme répartiteurs

La qualité première pour les matériaux servant de répartiteur est d'avoir une conductivité thermique la plus élevée possible. Les matériaux métalliques tels que le cuivre et l'aluminium ont été traditionnellement utilisés pour étaler la chaleur des points chauds en

raison de leur conductivité thermique élevée (200 ~ 400 W/mK) [Nat74, Gro11] mais qui diminue avec l'épaisseur du film à cause des effets de couche mince [Shr12].

Une nouvelle génération de matériaux est apparue ces dernières années. Il s'agit de matériaux synthétiques à base de carbone. D'un côté, on a les couches minces de diamante. Ces couches sont déposées par dépôt chimique en phase vapeur (CVD). Elles supposent une voie d'amélioration très prometteuse des dispositifs électroniques à l'échelle du transistor [Maz09]. Ces couches de diamante pourraient être implantés directement pendant la procède de fabrication des dispositifs en salle blanche. Elles ont des conductivités thermiques entre 1000 et 2000 W/mK [Ono86, Fai17]. De l'autre côté, le graphène, il s'agit d'une monocouche d'atomes de carbone liés par liaison covalente. Le recours au graphène comme candidat de choix pour un dissipateur serait à priori l'option idéale. En effet, le graphène possède une conductivité thermique remarquable dans le plan du feuillet : des valeurs telles que 5000 W/mK sont mentionnées dans la littérature [Bal08, Jag10]. Les perspectives sont donc en théorie extrêmement intéressantes.

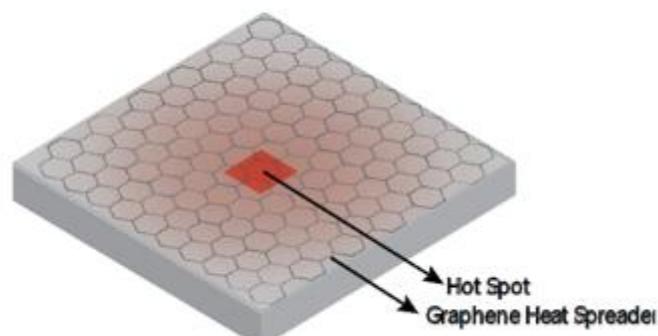


Fig. 25. Schéma d'un répartiteur de graphène au niveau puce [Zhn16]

Néanmoins, à une échelle plus macroscopique que le graphène et les couches CVD de diamant, la principale difficulté des matériaux carbonés est de pouvoir conserver les propriétés thermiques à travers d'une intégration industrielle. Deux problèmes apparaissent lors d'une possible intégration : d'un côté, les effets d'interface qui peuvent perturber le transport de la chaleur. D'un autre côté, le dimensionnement en épaisseur du répartiteur doit être défini en fonction du point chaud et dans la plupart des cas une seule couche atomique ne suffit pas pour assurer une bonne conductivité latérale. Notons en outre que les simulations par éléments finis de structures intégrées avec un matériau de ce

type sont complexes, principalement pour des raisons d'échelles et de maillage [Sub10, Is114].

En pratique, des essais expérimentaux ont déjà été décrits dans la littérature. Quelques monocouches de graphène ont été décollés d'une source de graphite et transférés vers un véhicule de test (Fig. 26) [Zhn15, Zhn16]. Cette approche a montré des résultats prometteurs [Jep14, Zhn15]. On voit dans la figure 27 une réduction de la température maximale du point chaud lors de l'intégration d'une couche de graphène.

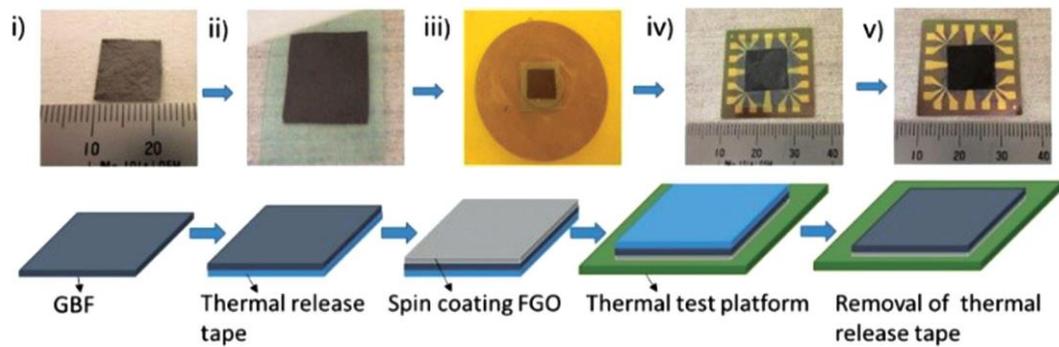


Fig. 26. Procédé d'intégration d'un répartiteur de graphène sur un véhicule test par exfoliation de graphite. [Zhn16]

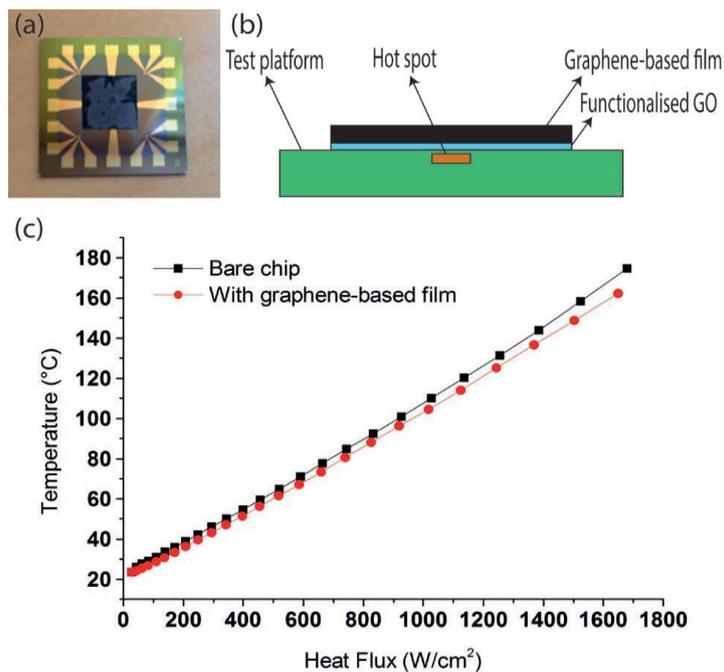


Fig. 27. Réduction de la température d'un point chaud avec un heatspreader graphène. [Zhn15]

Malheureusement, le graphène est un matériau encore difficilement industrialisable. La complexité et le prix de ses méthodes de production par CVD (Chemical Vapor Deposition) font de cette solution une possibilité qui pourrait être exploitable dans le moyen terme. En revanche, d'autres matériaux inspirés de sa structure sont déjà sur le marché. Ces matériaux sont des hybrides entre le graphène et le graphite, c'est-à-dire, qu'ils sont constitués de plusieurs couches de graphène empilées avec la même orientation (Fig. 28). Ils ont alors des propriétés anisotropiques. La conductivité thermique, comme dans le cas du graphène est beaucoup plus élevée dans le plan XY que dans la direction Z (sens de l'épaisseur). Les épaisseurs sont de l'ordre de quelques dizaines de micromètres.

On peut déjà trouver des travaux de recherche concernant ces matériaux, en particulier au niveau système, ou de tels feuillets ont été intégrés sur des cartes électroniques [Ben09, Ti14] (Fig. 29). Dans le domaine des applications de puissance, comme les LEDs [Fan16], on trouve aussi des feuillets de graphite qui ont servi à repousser les limites de consommation. Même dans des cas plus exotiques, comme par exemple la combinaison avec des matériaux à changement de phase on peut observer des améliorations des propriétés d'évacuation de la chaleur [Raz16].

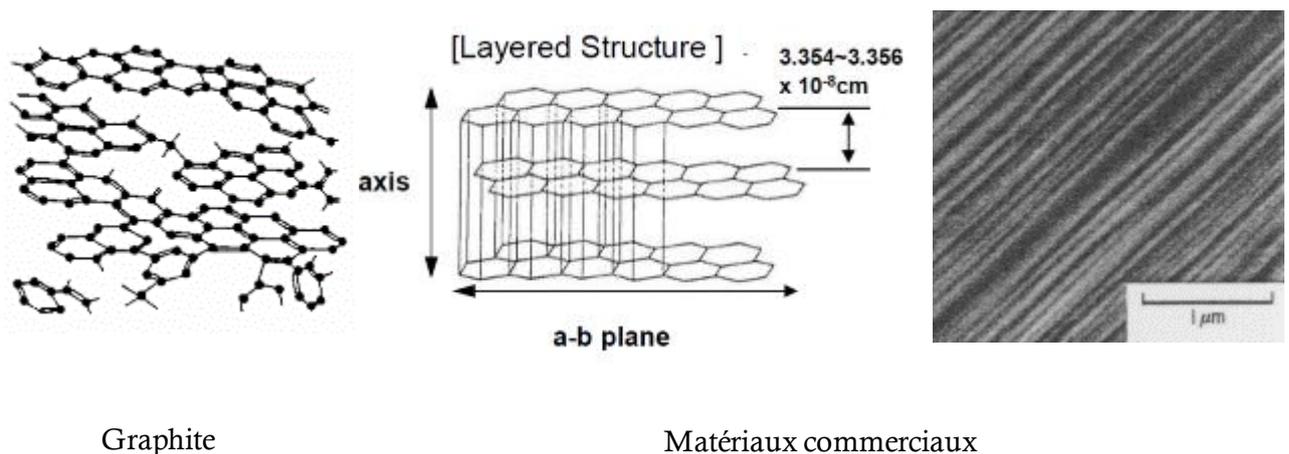


Fig. 28. Représentation de la structure des matériaux commerciaux avancés à base de carbone. Panasonic 2011

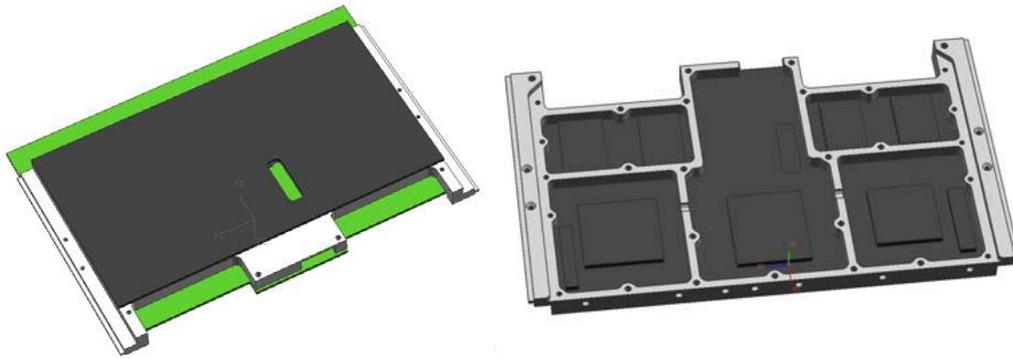


Fig. 29. Répartiteurs en graphite intégrés au niveau système [Ben09]

Des évaluations de l'intégration de ces matériaux au plus près des dispositifs ont aussi été réalisés sous une approche de type modélisation [Fre16]. Le principal avantage pour le futur quand on parle des matériaux à hautes performances thermiques est d'être capable de surmonter les limitations de conduction dans les substrats en silicium. De cette façon on pourrait éventuellement largement diminuer les gradients thermiques créés par les points chauds en remplaçant les substrats en silicium par des feuillets de graphite.

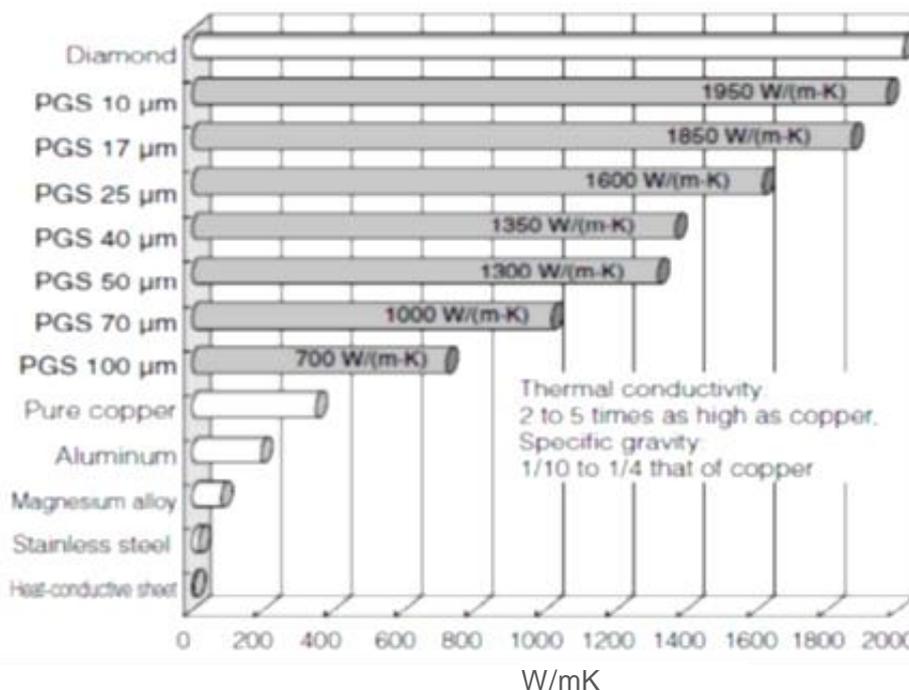


Fig. 30. Conductivité thermique du Pyrolytic Graphite Sheet (PGS) en fonction de son épaisseur. Panasonic 2014

Panasonic a développé un matériau de ce type, appelé PGS (Pyrolytic Graphite Sheet). Il existe en différentes épaisseurs, avec des conductivités latérales dépendantes de l'épaisseur et allant jusqu'à 2000 W/mK pour la couche plus mince (Fig. 30). Il a une forme d'apparence fragile et friable mais il peut être adapté à différentes formes et tailles grâce à sa bonne flexibilité. Ce matériau sera utilisé tout au long de ce travail. Il est livré en différents formats, avec ou sans interfaces de chaque côté qui assurent le bon contact avec les surfaces à refroidir. On parle ici d'interfaces thermiques.

1.2.4.2. Les interfaces thermiques

On a déjà remarqué les caractéristiques hétérogènes des systèmes microélectroniques. Les différentes couches (silicium, répartiteur, substrat, puits thermique...) compris dans un empilement doivent être mises en contact en minimisant l'impact sur les performances et fonctionnement de l'ensemble. Afin d'améliorer cette mise en contact, on intercale des matériaux d'interface entre les couches. Les fonctions de ces matériaux sont multiples et varient selon le système et l'emplacement [Sha09]. On pourrait citer, entre autres, les suivantes :

- Adhésion pour assurer l'attache entre couches
- Isolation électrique
- Interface de transfert thermique
- Remplissage des irrégularités, trous et fissures des interfaces
- Absorption de chocs
- Absorption des déformations
- Blindage électromagnétique
- Stabilité des propriétés avec le temps

Les interfaces servent toujours au moins à deux de ces fonctions. Evidemment, il n'existe pas de solution universelle. La capacité à développer plus d'une tâche implique un certain compromis dans les spécifications. Ainsi, des caractéristiques qui semblent physiquement opposées comme la conductivité thermique et la résistivité électrique doivent répondre à un compromis.

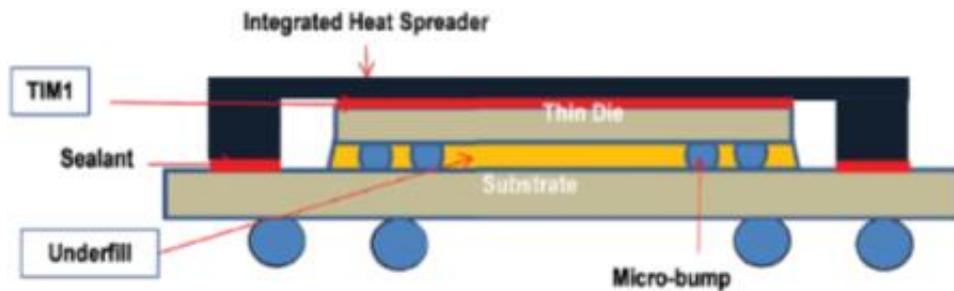


Fig. 31. Package flip-chip avec une interface thermique (TIM) entre la puce silicium et le répartiteur. [Yen12]

On appelle TIM (Thermal Interface Material) des matériaux qui sont optimisés pour réduire la résistance thermique au contact entre matériaux. Ces TIMs sont placés entre les couches du chemin de dissipation de la chaleur. Dans notre cas, une interface thermique sera toujours placée entre le répartiteur et la puce silicium (fig. 31) [Yen12]. Les TIMs doivent proposer dans la plupart de cas une bonne isolation électrique ainsi qu'une bonne capacité d'adhésion entre couches. Néanmoins, la fonction qui nous intéresse principalement dans cette étude reste la connexion thermique des éléments.

D'un point de vue thermique, le besoin d'une interface intermédiaire entre couches s'explique par les espaces vides entre les surfaces de contact. Quand on regarde de façon microscopique ces surfaces, on peut distinguer des irrégularités tout au long du plan de contact. Ces irrégularités signifient que les couches sont mises en contact par des contacts ponctuels, au lieu d'un contact complet. L'air s'interpose dans le chemin de dissipation qui empêche une bonne transmission thermique à cause de sa très basse conductivité thermique ($0,026 \text{ W/m.K}$). Par conséquent, on a intérêt à remplir ces espaces vides avec un matériau souple qui puisse s'adapter aux irrégularités.

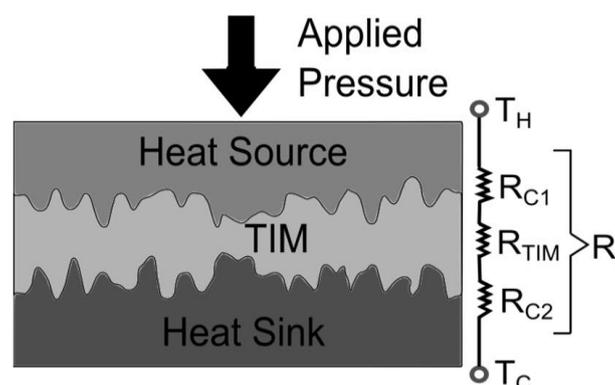


Fig. 32. Coupe transversale d'une interface thermique avec le modèle de résistances thermiques associé. [Ord16]

En appliquant une pression sur les faces opposées des couches, on améliore la résistance thermique de contact globale (fig. 32) [Ord16]. Cette dernière dépend de trois facteurs : la conductivité thermique du TIM, son épaisseur moyenne et de la qualité de son contact avec les surfaces. On pourrait décomposer cette résistance thermique comme illustré dans la figure 32, avec deux résistances de contact puis une résistance de couche.

Les résistances de contact représentent la capacité d'adhésion et de remplissage des espaces vides au niveau du TIM. Elle est influencée par la viscosité de l'interface et, dans le cas des TIMs chargées de particules conductrices, aussi par la taille des grains, qui rendent difficiles la fluidité et le remplissage de trous et fissures.

La conductivité du TIM est très dépendante de l'application visée et des propriétés additionnelles requises en plus de la conductivité thermique [Sau15]. Si une bonne isolation électrique n'est pas requise et que les contraintes mécaniques et de température de procédé sont faibles, les pâtes métalliques frittées seront la meilleure option. Par contre, si on a besoin d'une bonne isolation électrique, une bonne fluidité, une basse température de cuisson et on a des contraintes d'intégration et épaisseur importantes, on se dirigera vers les polymères ou les époxy, même si leur conductivité thermique est largement inférieure. Entre ces deux options on aura une palette très variée de matériaux (Tableau 2).

Interface thermique	Description	Conductivité (W/mK)	Épaisseur typique (mm)
Sintering	Pâtes d'argent constituées de poudres et qui subissent un frittage	100 - 200	0.025 – 0.150
Solders	Alliage à base d'Indium traitée à haute température	80 - 100	0.05 - 0.31
Alliage de métal liquide	Alliages à base de gallium qui sont liquides à température ambiante	15 - 90	0.05 - 0.20
Colles conductrices thermiques	Adhésifs en époxy ou silicone remplis normalement de particules en argent	1 - 15	0.076-0.63

Graisse thermique	Le plus commun, base de silicone avec remplissage de particules	0.5 – 7	0.012 – 0.12
Die Attach	Adhésifs en polymères remplis de particules en aluminium, Al ₂ O ₃ ou argent	0.5 - 4	0.05 – 1
Hybride polymère-brasure	Polymère qui porte des sphères d'alliage métallique	0.3 – 1	0.05 - 0.20
Elastomères préformés	Ruban adhésif préformé de très commune utilisation Des nouvelles versions à base de PGS sont disponibles	Std : 0.2 – 0.8 PGS : 3	0.08 – 0.8
Matériaux à changement de phase	Polymère qui change d'état solide à liquide pour stocker la chaleur	0.2 – 0.7	0.012 – 0.25

Tableau 2. Classification des matériaux thermiques d'Interface (TIMs) selon ses propriétés [Sau12, Nar09, Pra06]

Finalement, les Underfills (fig. 31) méritent une mention à part. Ils s'agissent d'interfaces qui remplissent les espaces vides entre le silicium et le substrat. On peut les trouver également entre différents niveaux de silicium dans le cas des structures 3D. Leur but est de garantir l'isolation électrique, ainsi que l'étanchéité contre l'air et l'humidité entre les micro-bumps, c'est à dire les connexions électriques. En même temps, ils représentent une couche intermédiaire importante vers le substrat, et donc, une barrière thermique à franchir. Des études récentes ont amélioré la conductivité thermique de ces underfills par moyen de nanoparticules d'alumine en forme de sphères interconnectées (fig. 33) [Zür16].

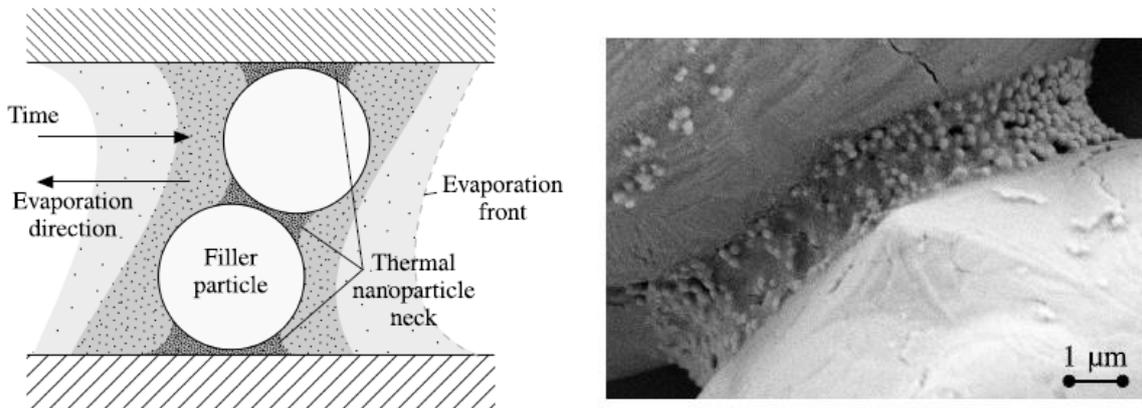


Fig. 33. Underfill avec une conductivité thermique optimisée grâce aux particules d'alumine interconnectées. [Zür16].

1.2.4.3. Les contraintes d'intégration d'un répartiteur

De la même manière que les underfills optimisés pour la thermique, les répartiteurs pourraient être intégrés au cœur des ensembles 3D. Chaque interface entre couche de silicium représente un espace vide qui agit comme barrière dans la chaîne de transmission de la chaleur. On a déjà évoqué dans ce manuscrit comment la chaleur générée au sein des ensembles 3D représentait un des plus importants défis concernant le développement de cette technologie. Des structures intégrant des répartiteurs pourraient amener une avancée très significative concernant cette problématique.

Ces structures avec des répartiteurs intégrés entre les couches d'une puce 3D ont été déjà imaginées [Mts14, Sny14]. Pour l'instant elles restent théoriques, mais la feuille de route à suivre est claire. L'objectif ultime est de pouvoir créer des structures interconnectées des répartiteurs et puits thermique avec n'importe quel nombre de niveaux (fig. 34). Ces structures seraient capables d'extraire la chaleur des couches directement vers un puits thermique (en cuivre sur la figure 34) et élimineraient donc le besoin de traverser tout l'ensemble 3D.

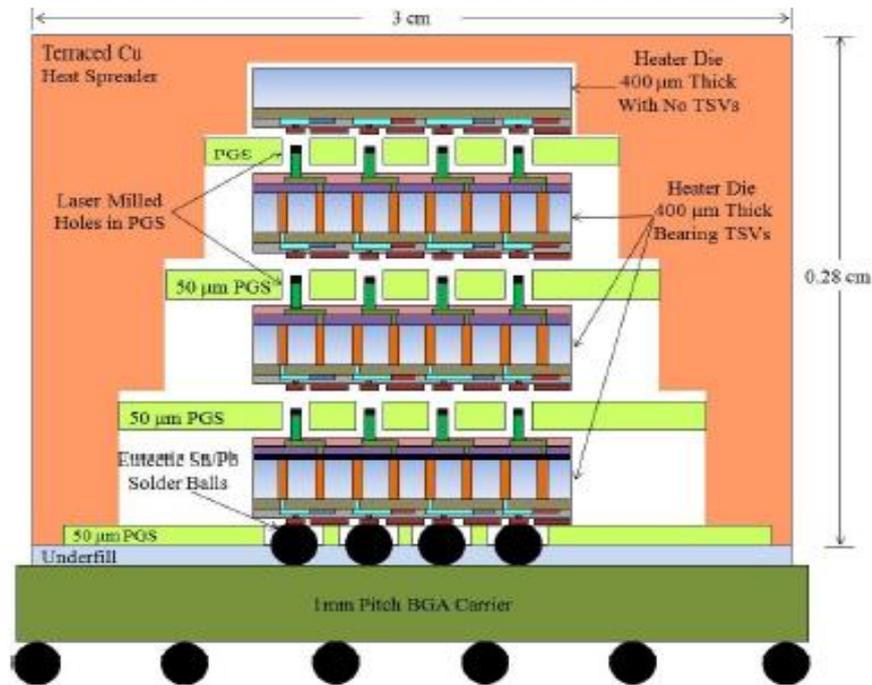


Fig. 34. Structure 3D avec répartiteurs intégrés dans les niveaux intermédiaires et interconnectés à un seul puits thermique en cuivre. [Sny14].

Une approche multiniveau a été également proposée par IBM mais dans le cas analogue du refroidissement fluide par micro canaux. Dans ce cas, le fluide est capable de parcourir verticalement et horizontalement l'ensemble afin d'extraire la chaleur produite à son cœur [Oh15].

Différents défis technologiques doivent encore être surmontés afin de réussir cette intégration. D'abord on pourrait citer le besoin d'isolation des connexions électriques inter-niveaux. Cette isolation protège les μ -bumps des facteurs externes et doit toujours être présente même avec un répartiteur intercalé. Les connexions verticales des μ -bumps sont elles-mêmes un problème dans ce cas. La haute densité de connexions obligerait soit à les concentrer dans des zones sans répartiteur, soit à trouver un équilibre dans le pas des μ -bumps qui puisse être gravé par laser comme un motif sur le répartiteur (fig. 35). Cette dernière solution implique aussi que le répartiteur devrait être aligné de façon précise entre les deux couches.

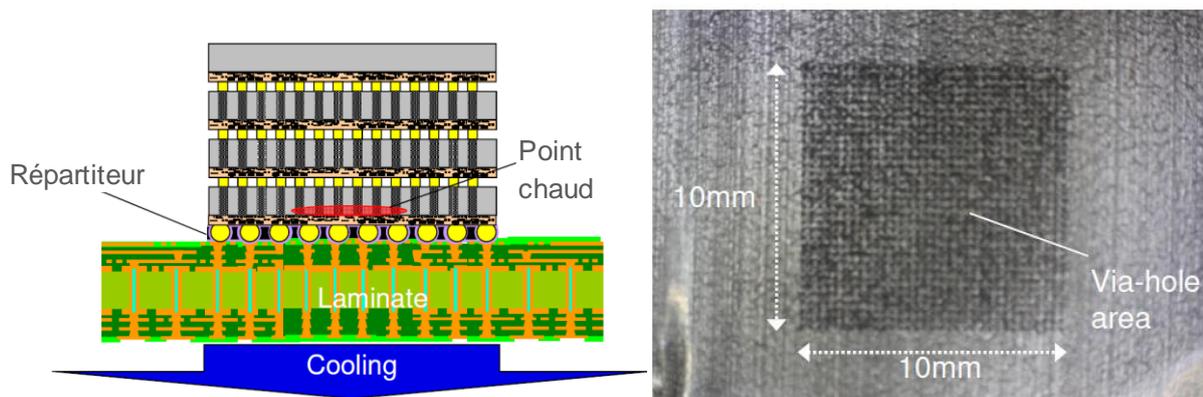


Fig. 35. Concept de répartiteur en carbone intercalé entre le silicium et le substrat inspiré des underfills. La feuille du matériau répartiteur a été percée avec le motif de la matrice de μ -bumps [Mts14].

Un deuxième problème ajouté au procédé industriel d'intégration est lié aux effets thermomécaniques de déformation des différents matériaux. Les couches de silicium dans un ensemble 3D doivent être très minces afin de permettre les connexions verticales. Par conséquent, elles sont extrêmement fragiles face aux efforts et tensions de courbure dans leur plan [Miz14]. De plus, les différences dans le degré de déformation entre couches pourraient induire des tensions dans les connecteurs verticaux et même provoquer la rupture de soudures par fatigue [Tan08]. Les matériaux à utiliser comme répartiteur doivent donc être le sujet d'une étude de faisabilité qui garantisse sa compatibilité avec les matériaux de l'ensemble microélectronique [Sau16].

1.2.5. Les substrats et les puits thermiques

Les signaux issus de la puce en silicium sont connectés au substrat par des fils de soudure (wire-bonding) ou par des connexions verticales (flip-chip). Le substrat est la structure intermédiaire entre la puce silicium et la carte électronique (PCB). Il permet une adaptation d'échelle entre les interconnexions électriques réalisées sur silicium avec des technologies très miniaturisées, et celles de la carte électronique qui sont réalisées avec des géométries relâchées. Au niveau du substrat, certains signaux tels que les masses et les alimentations peuvent être regroupés. Finalement, le substrat constitue le socle mécanique sur lequel la puce est encapsulée avec une résine de moulage (fig. 36).

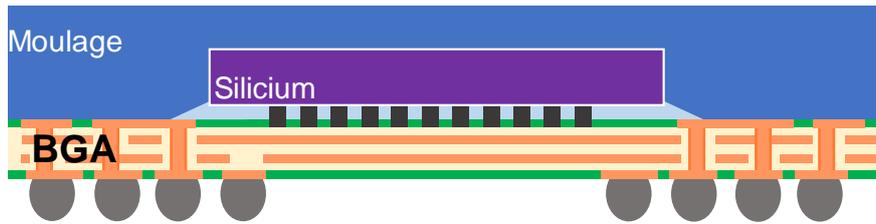


Fig. 36. Package électronique avec un substrat organique BGA (Ball grid array). Les connexions électriques qui sortent de la puce sont dirigées vers la carte électronique à travers le substrat et les connexions verticales, Texas Instruments 2005.

Les substrats ont une structure laminée et symétrique des matériaux organiques et métalliques. De façon analogue aux niveaux de métallisation, on retrouve aussi des lignes métalliques à plusieurs niveaux qui rejoignent les plots d'entrée et les plots de sortie vers le circuit imprimé (PCB). Les matériaux les plus utilisés comme couches isolantes sont de type organique. On peut citer parmi eux les polymères tels que les époxyes et les composites comme le FR4. Pour certaines applications où les signaux électriques doivent être transmis avec le moins de bruit possible, des substrats céramiques sont aussi une option (avec une meilleure performance thermique également).

D'un point de vue thermique, le substrat est soumis au flux de chaleur dissipé dans le silicium (fig. 37), surtout dans le cas des applications portables. On trouve donc des substrats avec des designs thermiques adaptés. On peut citer des pistes électriques surdimensionnées afin d'augmenter le pourcentage de métal (cuivre en particulier) par rapport aux isolants, des structures spéciales de transmission de la chaleur [Zha14, Mts16] et finalement des matériaux avancés [Fu12, Sau16].

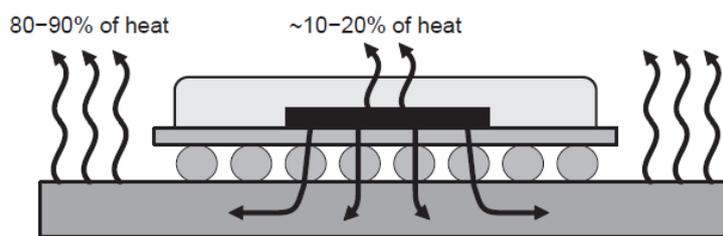


Fig. 37. Dans le cas des packages compacts, une grande partie de la chaleur traverse le substrat vers la carte électronique. Texas Instruments 2005.

Concernant les types de connexions électriques vers le PCB, on peut trouver des éléments en forme de billes, de pastilles ou des aiguilles : BGA (Ball Grid Array), LGA (Land) et PGA (Pin) respectivement. Parmi ces trois options, les BGA permettent la meilleure

densité de connexions avec la carte, et donc la meilleure capacité de transmission de la chaleur.

Les puits thermiques sont les structures finales de dissipation de la chaleur vers l'environnement : l'air pour la plupart des cas, l'eau pour les dispositifs de très hautes performances. Le puits thermique lui-même est une structure métallique pour laquelle la surface d'échange est maximisée par rapport au volume. Ce design est optimisé pour améliorer les transferts de chaleur avec le fluide en mouvement (fig. 38) [Bor15, Cul07]. Dans le cas des dispositifs portables, le puits thermique peut être constitué par le PCB et la coque du dispositif, ou par un dispositif de haute conductivité et facteur de forme réduit intégré entre les deux [Wal07, Yam16].

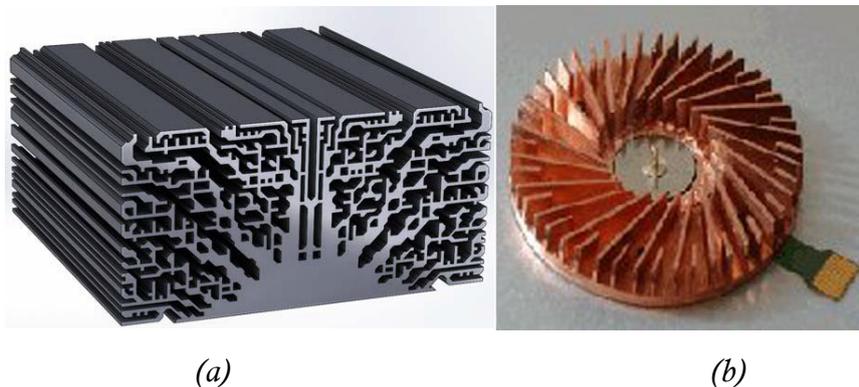


Fig. 38. (a) Puits thermique avec une géométrie optimisée via un algorithme [Bor15].
(b) Puits thermique de profil bas conçu pour des applications portables [Wal07]

1.3. L'impact de la thermique sur les performances des dispositifs

Les effets thermiques sont un aspect inséparable de la distribution de l'énergie électrique et de la transmission des signaux électriques par des interconnexions métalliques. La température a une influence majeure sur le fonctionnement de la logique des dispositifs. Des variables liées aux performances en sont très dépendantes.

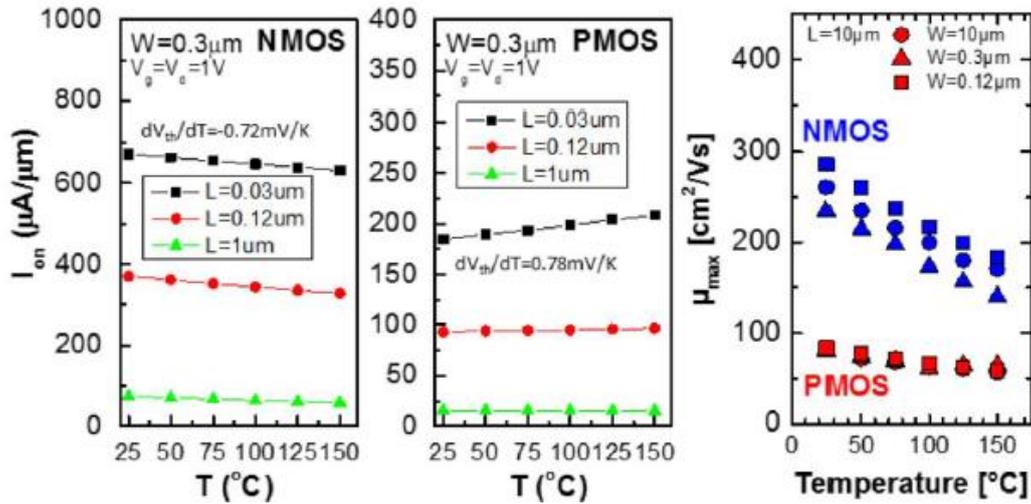


Fig. 39. Dépendance des transistors NMOS et PMOS des courants I_{on} et de fuite en fonction de la longueur de grille L . Mobilité en fonction de la température dans des transistors NMOS et PMOS avec la température [Tri17]. Id est inversement proportionnel à la température.

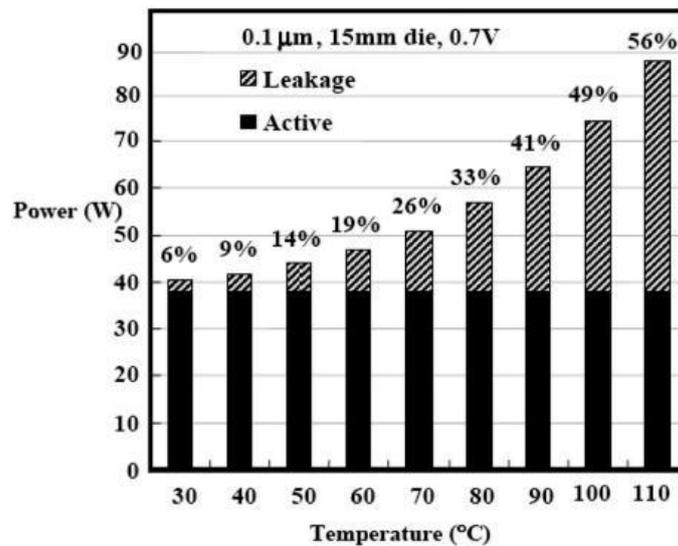


Fig. 40. Evolution de la puissance consommée en fonction de la température d'un circuit de technologie 0,1um alimenté à 0,7V [Rus02].

On pourrait citer les courants I_{on} et de fuite des transistors CMOS [Tri17] (fig. 39), la transconductance [Rin01], des variations sur la vitesse de commutation CMOS ou de la conductivité électrique des métaux [Ban01], une augmentation des courants de fuite des dispositifs [Rus02] (fig. 40) et des courants d'obscurité des photodiodes [Bar17].

Néanmoins, même si la température a une influence clé sur les performances de certaines applications, la conséquence la plus redoutée est le risque de défaillance. Le lien entre la

température d'un dispositif et son risque de défaillance a été largement décrit dans la littérature [Ten04, Sue02, Kac00]. Il a été estimé que le risque de défaillance augmentait de façon exponentielle avec la température selon une loi d'Arrhenius [Sri04, Jed12] :

$$A_T = \exp \left[\frac{-E_{aa}}{k} \left(\frac{1}{T_{st}} - \frac{1}{T_{ref}} \right) \right]$$

où :

A_T est le facteur d'accélération dans le vieillissement d'un dispositif due au dépassement de sa température normale de fonctionnement

E_{aa} est l'énergie d'activation du mode de défaillance concret, en électronvolts (eV)

k est la constante de Boltzmann (8.62×10^{-5} eV/kelvin)

T_{st} est la température de stress, en Kelvin

T_{ref} est la température de fonctionnement normal, en Kelvin

1.3.1. Les modes de défaillance dues à la température

La température est donc un facteur aggravant des modes de défaillance intrinsèques des dispositifs électroniques. Il faut préciser que, non seulement les températures moyennes et maximales élevées ont un impact énorme sur la durée de vie d'une puce, mais aussi l'amplitude et la fréquence des cycles thermiques.

Dans les systèmes microélectroniques, une défaillance peut être associée à une perte immédiate et totale de la fonctionnalité électronique ou de l'intégrité du packaging, ou bien à une détérioration progressive des performances. La prévention de ces deux types de défaillances, permanentes et intermittentes, nécessite souvent une limitation des variations de température avec le temps.

On pourrait classer les modes de défaillances en deux groupes : d'un côté ceux qui ont lieu au niveau du boîtier à cause d'effets thermo-mécaniques, et d'un autre côté ceux qui sont la conséquence de la dépendance en température des performances de la technologie CMOS (FEOL) et des interconnexions (BEOL).

Côté boîtier, les températures excessives et les variations dues aux cycles thermiques peuvent induire des contraintes thermomécaniques importantes. Ces contraintes peuvent

produire une délamination voire une fracture du silicium si elles sont trop élevées. Les couches des substrats, du die attach, du répartiteur ou du puits thermique peuvent aussi délaminer, ce qui aggrave le problème thermique ou mène dans le pire cas à une défaillance par circuit ouvert si les intermétalliques des soudures sont fracturés ou oxydés. En plus des contraintes thermomécaniques, les températures élevées qui dépassent les spécifications du boîtier peuvent entraîner la fusion, la vaporisation ou même la combustion des matériaux les plus sensibles du boîtier.

Coté silicium, les modes de défaillance du FEOL peuvent être dus au claquage du diélectrique des transistors [Eis84], à l'injection de porteurs chauds dans les oxydes de grille [Her90] ou à la volatilité de la mémoire embarquée dans les circuits intégrés [Sal99]. En ce qui concerne le BEOL, c'est à dire, les interconnexions métalliques entre le silicium et l'extérieur, on trouve aussi des claquages du diélectrique entre les niveaux métalliques [Fen17], l'électromigration des atomes des lignes d'aluminium et cuivre [Rie03] et la possible corrosion des métaux.

Une compréhension détaillée de la vulnérabilité des composants permet d'établir la stratégie de gestion thermique d'un produit particulier. Néanmoins, il existe des produits pour lesquels la gestion thermique reste un défi considérable même si l'on connaît en profondeur les caractéristiques de ses composants. C'est le cas des appareils portables.

1.3.2. Contraintes dans les dispositifs portables

Le mode d'utilisation des appareils portables a changé drastiquement dans les 10 dernières années. Ils sont devenus les dispositifs préférés pour accéder à internet et embarquent maintenant de très nombreuses fonctionnalités qui peuvent les faire comparer à des « couteaux suisses électroniques ». Néanmoins, des contradictions se posent sur ces dispositifs. On leur demande d'être de plus en plus performants et, en même temps, de réduire leur taille et leur encombrement [Huh11] mais les modes de refroidissement classiques sont limités par la structure de ces appareils.

On peut trouver des variations sur les constructions internes des smart-phones et tablettes du marché. Cependant, la plupart d'entre eux ont en commun une épaisseur minimum avec les éléments suivants (fig. 41) [Gur12, Nel18] :

- Un écran tactile qui occupe la majorité la face frontale
- Une plaque centrale qui sert à rigidifier l'ensemble
- Un PCB qui intègre tous les composants fonctionnels
- Une coque arrière qui ferme l'ensemble et agit comme puits thermique.

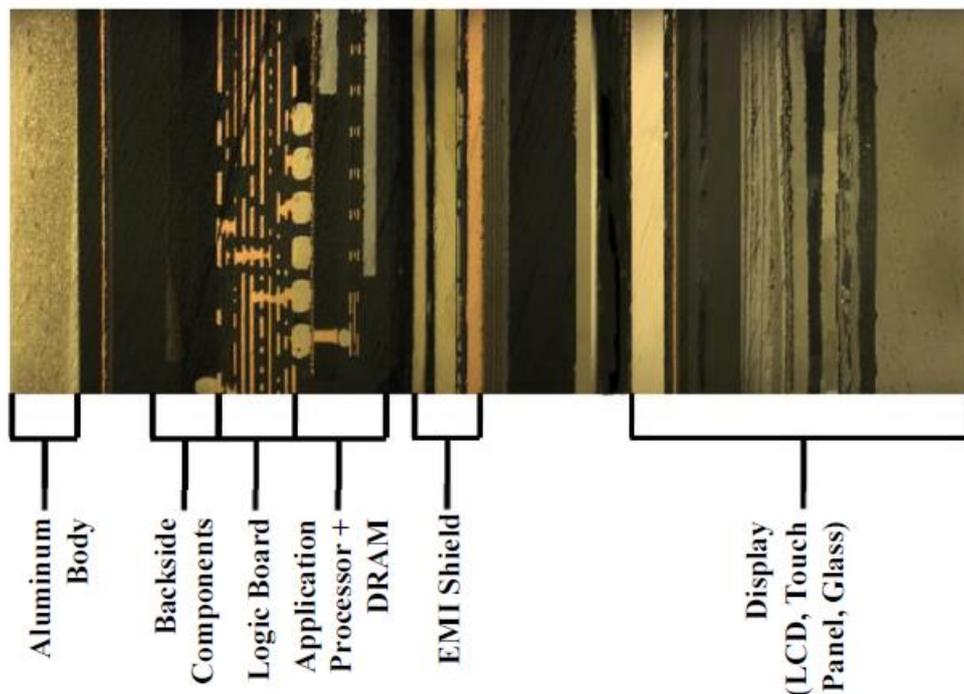


Fig.41. Schéma transversal de la structure d'un téléphone portable. Les composants sont empilés de façon à optimiser l'épaisseur du dispositif. [Nel18]

Le confinement des composants à l'intérieur des dispositifs implique des densités de puissance thermique qui augmentent d'une génération à l'autre sans modification apparente des facteurs de forme des appareils [Luo16]. Les concepteurs des appareils portables ont dû alors trouver des stratégies de dissipation de la chaleur différentes de celles qui étaient déjà connus dans les ordinateurs. Les solutions de refroidissement actives sont pour l'instant seulement marginales [Nel18]. En revanche, on voit une intégration majeure des solutions passives : des matériaux et des structures conductrices conçus spécifiquement dans la perspective du rendement thermique [Mia14].

Les limitations de puissance ne se limitent pas à la capacité d'évacuation de la chaleur. On trouve pour ces dispositifs un goulot d'étranglement de l'autre cote du chemin thermique. Il s'agit du confort de l'utilisateur final. Le puits thermique de ces dispositifs, c'est à dire la coque arrière, est en contact continue avec la peau des mains lors qu'ils sont utilisés. Il faut trouver un compromis entre la température de jonction des composants logiques et la température globale du dispositif. La stratégie la plus efficace consiste à d'abord étaler au maximum la chaleur dans les premiers niveaux logiques (silicium, package) afin d'éviter les points chauds qui compromettent le fonctionnement et la fiabilité. Cette étape est clé afin de pouvoir améliorer les performances. Dans un second temps, de répartir cette chaleur par le PCB afin d'homogénéiser la température dans tout le système. Finalement, le transfert de chaleur entre le PCB et la coque extérieure doit trouver un compromis afin de ne pas dépasser la température de confort des matériaux quand ils sont en contact continu avec la peau (fig. 42) [Wag14].

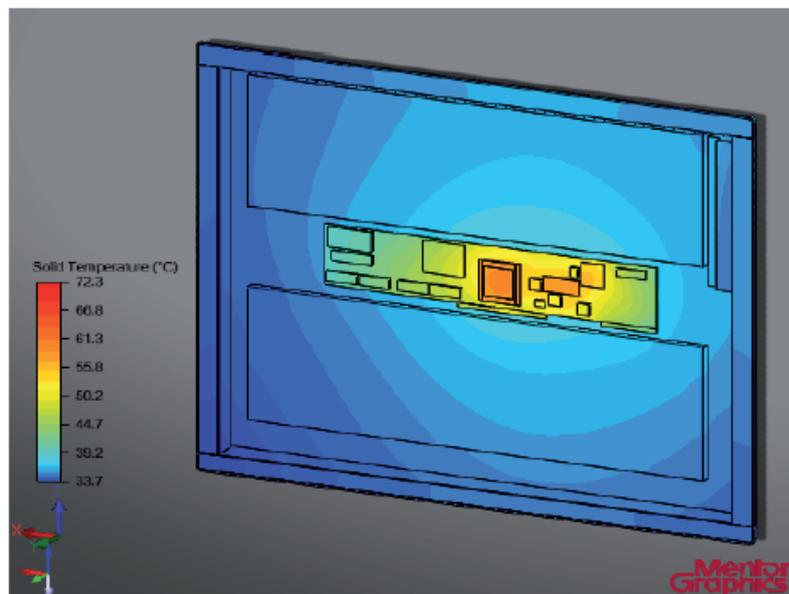


Fig.42. Modèle de simulation d'une tablette. Plan de températures. On peut observer un écart de 40°C entre le point chaud et le puits thermique (la coque) du dispositif. [Wag14]

1.4. Objectifs et démarches de la thèse

L'objectif global de cette thèse est d'étudier des solutions de gestion thermique passives sur des boîtiers compacts embarqués dans des appareils portables. Dans ce but, il faudra évaluer et caractériser le phénomène de conduction de la chaleur depuis les points chauds jusqu'au puits thermique de dissipation vers l'environnement. On établit deux objectifs principaux dans notre approche : d'un côté, la réduction de la température maximale du silicium, de l'autre côté, l'homogénéisation de la température sur toute la surface de la puce.

On s'appuiera sur l'intégration de répartiteurs thermiques en contact avec le silicium, afin d'amortir les pics de génération de chaleur, et donc, les points chauds. Les répartiteurs choisis seront constitués de matériaux à base de carbone, à haute conductivité thermique, qui seront intégrés dans l'ensemble du boîtier. La recherche d'un matériau ou d'une combinaison de matériaux à vocation de diffusion thermique sera réfléchié dans le contexte d'une intégration pratique sur des systèmes embarqués. En plus d'atteindre les niveaux de performance visés, déterminés par l'application et la nature des circuits, elle devra être compatible avec les technologies de la microélectronique et du packaging. Deux niveaux d'intégration seront étudiés à travers ce projet de thèse : au niveau puce et au niveau du boîtier, chacun de ces niveaux ayant des contraintes spécifiques.

L'application finale visée comme véhicule expérimental d'analyse, design et intégration de solutions thermique sera un capteur d'images tel que ceux embarqués dans les appareils portables. Ces dispositifs ont des contraintes thermiques très importantes liées à la performance des photodiodes. L'objectif est d'explorer des solutions capables de permettre l'évolution en puissance et en fonctionnalités de ce type de puces de plus en plus présentes dans la technologie.

La suite du mémoire de thèse s'articule autour de :

1. Expérimentations à partir de véhicules test spécialement choisis et conçus pour caractériser les variables en jeu.
2. Simulations qui nous permettront d'analyser les transferts thermiques et de proposer des solutions de répartition de chaleur.

Chapitre 2 :

Comment étudier le flux thermique dans un boîtier compact ?

L'objectif de ce chapitre est de présenter les outils expérimentaux qui seront utilisés tout au long de ce travail, ainsi que la méthodologie qui justifie l'utilisation de ces techniques. On décrit les motivations spécifiques de chaque véhicule test et les attentes de chaque étude.

2.1 Introduction : la problématique multi échelle de la dissipation thermique, les outils dédiés

La chaleur générée au cœur de la puce trouve naturellement le chemin de dissipation le moins résistif jusqu'à l'environnement. En fonction du type de dispositif, ce chemin sera plus ou moins complexe. On a déjà précisé dans ce manuscrit que la dissipation thermique était un phénomène qui devait être considéré dans son ensemble, du point chaud jusqu'à l'environnement. Cependant, afin de pouvoir étudier quel est l'impact de chacun des sous-éléments d'un système thermique il semble intéressant de pouvoir isoler chaque couche thermique. De façon théorique, les chemins thermiques qui partent dans l'espace pourraient être simplifiés et représentés de forme unidimensionnelle. On pourrait donc décomposer ce chemin selon un schéma de Foster en couches intermédiaires caractérisées chacune par une résistance (R_{th}) et une capacité thermique (C_{th}) (fig. 43).

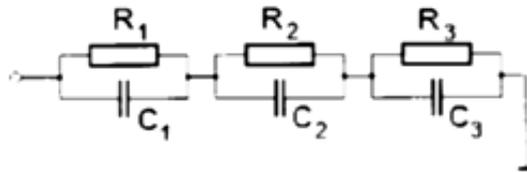


Fig. 43 Modèle de Foster d'un chemin thermique avec trois éléments en série. [KMa16]

D'un point de vue pratique, il est difficile de pouvoir différencier l'influence de chaque élément sur la performance thermique globale. Les interactions inter-niveaux vont déterminer cette réponse thermique. Afin de pouvoir séparer au maximum l'influence de chaque variable d'étude, nous avons décidé de recourir à des véhicules de tests représentatifs de chacune des interactions majeures :

- Interactions entre le substrat silicium et le répartiteur de chaleur : il s'agit d'étudier les échanges thermiques autour du point chaud, les gradients thermiques, la répartition du flux thermique entre le silicium et le répartiteur et l'impact du matériau d'interface entre les deux éléments.
- Interactions entre le boîtier et le répartiteur : on regarde l'influence de la résine de moulage, du substrat, les améliorations avec un répartiteur et un radiateur et finalement les différences entre les structures principales de boîtiers tels que le câblage (*wire bonding*) ou le report par microsoudure (*flip-chip*).

Trois outils technologiques ont été utilisés pour cette étude : deux véhicules de tests déjà employés pour des études antérieures ont été réutilisés pour la convenance et l'intérêt de ses structures, le troisième a été conçu au début de ce travail de recherche pour adresser des besoins spécifiques.

- L'étude des interactions silicium-répartiteur a été adressée à partir d'un véhicule de test de conception simple nommé WIZZ
- L'étude thermique en boîtier a été menée sur des dispositifs plus complexes :
 - Un boîtier obtenu par *flip-chip* nommé WIOMING, comportant des connexions avec le substrat par microsoudure (μ -bumps) réalisées à la fin des niveaux de métallisation. Cette puce est représentative d'un Système-sur-Puce (SoC) 3D dans lequel une mémoire a été empilée sur un niveau de processeur.
 - Un véhicule de tests nommé M3EM a été spécialement conçu pour simuler la structure d'une puce 3D intégrée par collage hybride Cu-Cu. Cette configuration est notamment celle employée pour certains capteurs d'images modernes. Le boîtier comprend une puce 3D connectée à un substrat organique par des fils de soudure, un capot protecteur ainsi qu'un verre transparent.

Ces trois véhicules de tests présentent des structures différentes, elles seront complémentaires dans l'étude de solutions d'amélioration de la conduction de la chaleur dans le système.

La méthodologie mise en œuvre pendant ce travail de recherche a pour objectif de s'appuyer sur la conception et la sélection de véhicules de tests représentatifs d'applications concrètes. Les capteurs de température des trois véhicules de tests ont été calibrés dans des enceintes thermiques, permettant l'implémentation de mesures expérimentales sur des bancs de test. Des valeurs absolues de température et de différences de de température ont ainsi été obtenus pour une multitude de configurations : profils de puissance, type de boîtier, implémentation de répartiteurs. Dans un second temps, des simulations par volumes finis ont été réalisées avec le logiciel Flotherm à partir des données géométriques et des propriétés thermiques des matériaux. Les conditions limites ont été définies à partir des mesures expérimentales. Ce travail s'est traduit par l'élaboration d'un modèle calibré prédictif qui a permis l'étude de la propagation de chaleur dans les dispositifs ainsi que

l'exploration d'améliorations technologiques pour les transferts de chaleur. Cette méthodologie est illustrée sur la figure 44, sous la forme d'un cycle qui pourrait être poursuivi à partir de nouvelles configurations expérimentales.

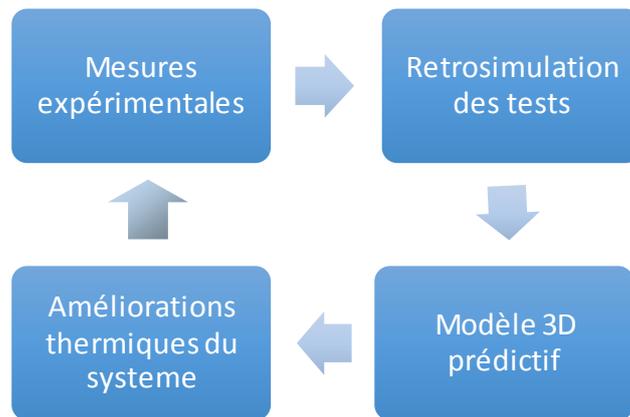


Fig. 44. Méthodologie mise en place pour l'étude thermique

2.2. Les interactions silicium-répartiteur de chaleur

Deux des intérêts principaux des répartiteurs de chaleur résident dans leur compacité et leur simplicité de mise en œuvre, qui permettent de les rapprocher le plus possible des sites de génération de la chaleur. Les performances de conduction de la chaleur dans la puce pourraient être améliorées simplement par substitution du silicium par un matériau avec une conductivité thermique supérieure. Si le silicium est bon conducteur thermique et permet de répartir la chaleur générée par les points chauds, certains éléments contribuent à la génération de gradients de température significatifs autour des points chauds :

- Une épaisseur de silicium insuffisante par rapport à la densité de puissance
- La présence de couches de faible conductivité agissant comme barrières thermiques : isolants des niveaux inter-métalliques, résines polymères (*underfills*), matériaux d'interface thermique (*TIM*) notamment.

Ces deux facteurs limitent la minimisation de la résistance thermique globale et l'amélioration des performances de conduction ; cette tendance va en outre s'amplifier dans le futur, notamment pour les systèmes 3D. Les matériaux du boîtier en contact avec le silicium seront toujours en évolution. Le défi est donc d'améliorer les capacités de conduction du substrat en silicium, même pour des épaisseurs très réduites. Il semble

fondamental de pouvoir comprendre les interactions principales entre le silicium et le répartiteur. Pour cette étude on partira sur la base d'un empilement bicouche comprenant la puce silicium et le répartiteur thermique (fig. 45).

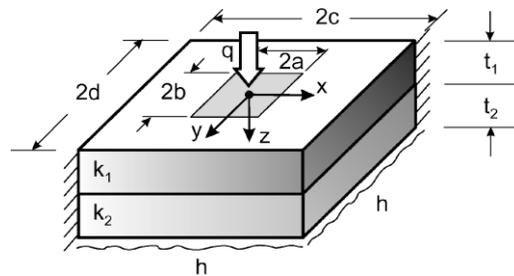


Fig. 45. Système bicouche fini avec une source de chaleur rectangulaire. Le silicium constitue la couche supérieure, le répartiteur la couche inférieure. Le rectangle en surface représente une source de chaleur [Muz04]

Cette configuration a été reproduite à partir du véhicule de tests WIZZ précédemment développé au CEA - LETI et permettant une caractérisation au niveau du wafer.

2.2.1. Véhicule de tests WIZZ

Dans un premier temps, nous souhaitons disposer d'un véhicule de tests rapide à réaliser, simple, et souple d'utilisation. Ce véhicule de tests est constitué d'une multitude de lignes métalliques réalisées sur un wafer en silicium. Ces lignes sont utilisées à la fois comme source de chaleur, par effet Joule, et comme capteurs de température, grâce à une mesure de résistance. D'un point de vue technologique, ces lignes métalliques sont beaucoup plus simples à réaliser que des capteurs de types diodes qui nécessitent de doper le substrat silicium.

L'intérêt est de pouvoir obtenir des structures testables sous la forme de puces avec des configurations facilement modifiables : surface de puce différentes, épaisseur du silicium, collage d'une couche de répartiteur sur la face arrière. Les mesures ont été réalisées sur un banc de test électrique manuel, à l'échelle de la puce et en se rapprochant des conditions réelles de confinement d'un point chaud. La disposition des échantillons est analogue à une structure câblée par fils de soudure (fig. 46). Dans ce type de structures, l'accès aux lignes électriques est fait par la face avant de la puce, la face arrière étant mise en contact

avec le substrat du boîtier au moyen d'une interface ou comme dans notre cas en intégrant un répartiteur de chaleur (fig. 46).

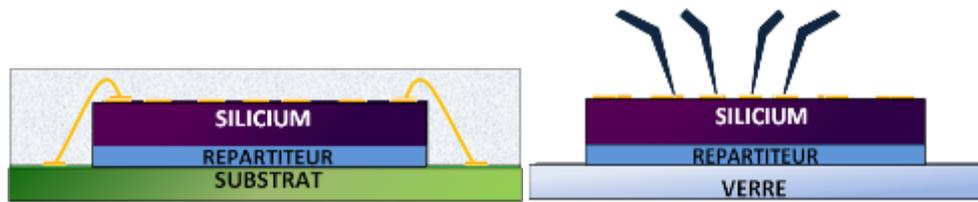
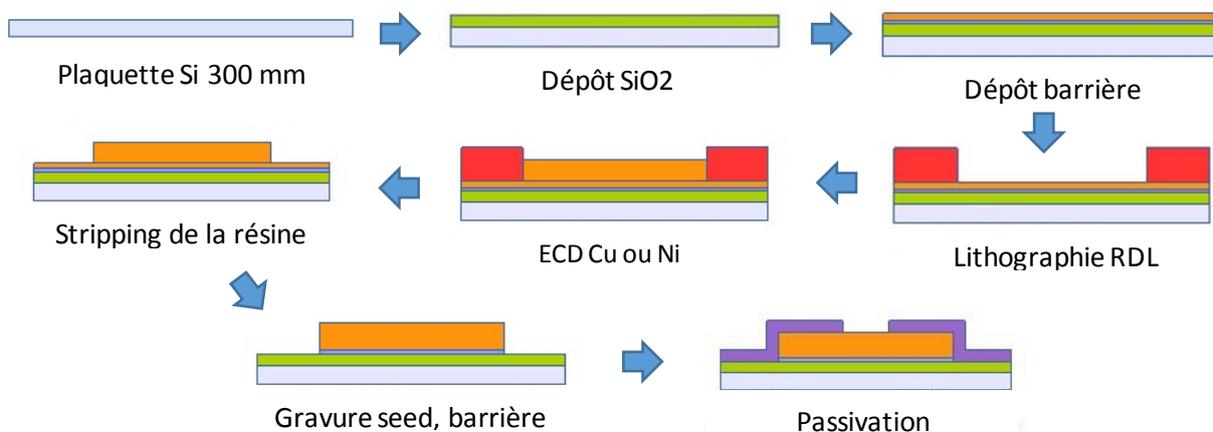


Fig. 46. Configuration de la mesure (à droite) analogue à une disposition de câblage par fils (à gauche). Le substrat organique est remplacé par une couche en verre afin de simplifier la préparation des échantillons.

Le véhicule de tests utilise un jeu de masques (fig. 49) servant à la caractérisation des interconnexions 3D, notamment les vias traversant le silicium (*TSV*) et les lignes de redistribution (*RDL*) sur chaque face du silicium aminci. Dans le cas de nos échantillons, seul un côté du wafer est utilisé, avec deux niveaux de masque. L'épaisseur de silicium initiale est de 775 μm . Le procédé de fabrication employé est celui d'une couche *RDL* (fig. 47) : Des lignes en cuivre ou nickel sont réalisées par dépôt par voie électrochimique (Electro Chemical Deposition, *ECD*) sur des wafers de 300 mm de diamètre et recouvertes d'une couche de passivation organique. La structure polycristalline et la pureté des lignes est caractéristique de cette méthode de fabrication.



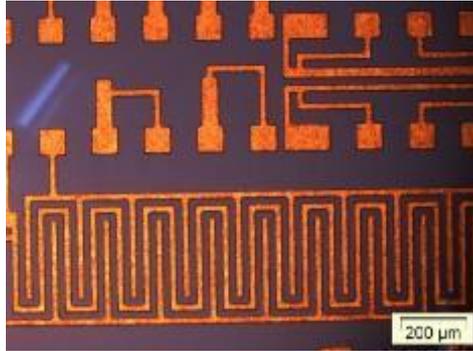


Fig. 47. Procède de fabrication des lignes résistives en cuivre ou nickel placés sur le wafer silicium avec la méthode RDL (Redistribution Layer). On utilise un motif de type serpentin comme source de chaleur par effet Joule.

Un banc de test électrique S300 du fabricant Cascade Microtech a été utilisé pour les mesures sur les plaques 300 mm avec 6 pointes commandées manuellement (fig.48). La visualisation est faite avec un microscope optique avec camera intégrée.

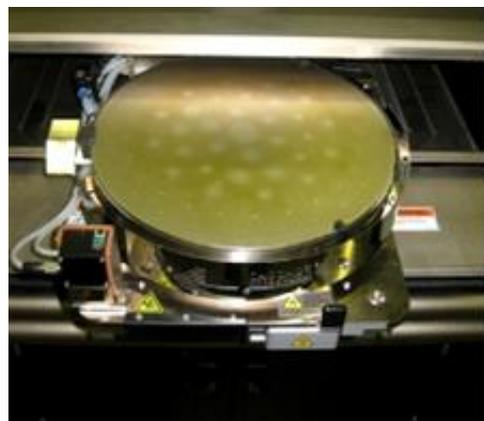


Fig. 48. Banc de test Cascade Microtech avec 6 pointes manuelles et une platine chauffante en acier inox

Les échantillons sont placés sur une platine chauffante en acier inoxydable (fig. 48) qui permet notamment la caractérisation du coefficient thermique de résistance du cuivre. L'ensemble de la plaque et de la platine est mis dans une chambre isolée soumise à un flux constant d'azote pour éviter l'oxydation des lignes de cuivre ou de nickel.

2.2.2. Éléments chauffants et capteurs

Des pointes en or sont utilisées pour contacter les plots de test sur les dispositifs WIZZ. A courant constant, la puissance injectée sur le point chaud dépend de la résistance et donc

de l'épaisseur des lignes de cuivre, elle a été augmentée graduellement dans les mesures à cause de la dépendance de la résistance avec la température.

La mesure de température est faite via une mesure de résistance 4 points qui permet une plus grande précision sur la mesure de résistance. La résistance du voltmètre reste très supérieure aux R_{contacts} et R_{fils} , donc on peut négliger sa contribution. La valeur de la résistance de la ligne est reliée à la température par la relation :

$$R = R_0(1 + \alpha \Delta T)$$

Avec :

R_0 = Résistance de la ligne à la température ambiante

α = Coefficient Thermique de Resistance (TCR)

ΔT = Variation de température dans le conducteur par rapport à la température ambiante

Des motifs spécifiques comprenant un serpentín avec un peigne interdigité et des lignes parallèles ont été utilisés (fig. 49). Une caractéristique intéressante de ces lignes de cuivre est leur rapport de surface par volume. Dans notre cas, l'épaisseur moyenne des lignes est de 2 μm et leur largeur 20 μm . La source de chaleur étant le serpentín, trois points de mesure de la température sont possibles avec cette structure et le testeur manuel dont nous disposons (6 pointes) : le serpentín lui-même (A), un motif à 500 μm (B) et un autre à 3000 μm (C) du point chaud.

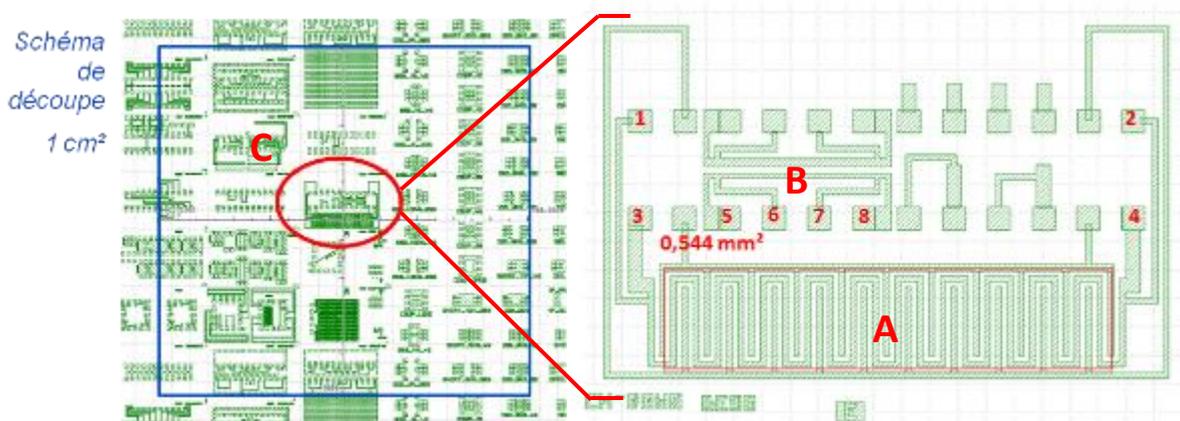


Fig. 49. Masque WIZZ et motifs utilisés dans le projet CEA - LETI

Le premier travail expérimental consiste à calibrer la mesure de température, c'est-à-dire extraire le coefficient α ou TCR (Temperature Coefficient of Resistance). Ce coefficient est

une constante propre au matériau utilisé, en l'occurrence au cuivre ou au nickel déposé par ECD. On fait l'hypothèse de la linéarité du rapport température/résistance dans la gamme de températures explorée, en cohérence avec les valeurs disponibles dans la littérature entre 200 et 900K [Mat79].

La platine chauffante du testeur est mise à profit pour évaluer l'évolution de la résistance des lignes de cuivre en fonction de la température. Les différentes valeurs de TCR mesurées sont indiquées dans le tableau 1.

Cuivre	Littérature [7]	Calcul expérimental	
TCR [$1/K$]	3,9	3,7	
Nickel	Ni 99,98% [8]	Ni 99% [8]	Calcul expérimental
TCR [$1/K$]	6,7	4,8	4,26

Tableau 3. Comparaison entre les coefficients de résistance thermique (TCR) mesurés expérimentalement et les références de la littérature. [Mat79]

Afin d'assurer une bonne précision dans la corrélation résistance/température, le TCR des échantillons a été obtenu à partir de mesures réalisées au niveau du wafer, avec une erreur inférieure à 0,35%.

Ce véhicule test sert donc à réaliser une première évaluation des gains offerts par l'ajout d'un répartiteur. Il pourra être utilisé pour comparer différentes configurations d'empilements et les matériaux de répartiteur. L'objectif est d'identifier les possibles améliorations en conservant une épaisseur totale constante. Cependant, il y a un moyen encore plus efficace pour implémenter un répartiteur : une intégration au niveau boîtier dans laquelle les éléments du boîtier sont également exploités comme voies d'évacuation de la chaleur.

2.3. Les interactions boîtier-répartiteur

Le boîtier d'une puce microélectronique sert tout d'abord à connecter électriquement les plots d'alimentation, de masses ou les signaux de données de la puce silicium à la carte. On passe d'une échelle de l'ordre du micron à celle du millimètre grâce aux lignes électriques du substrat. Egalement, le boîtier est conçu pour protéger la puce des agents

extérieurs qui pourraient endommager le silicium : humidité, poussière, décharges électrostatiques ou magnétiques ainsi que pour limiter les risques mécaniques, chocs ou vibrations. La conception d'un boîtier doit considérer efficacement toutes ces variables.

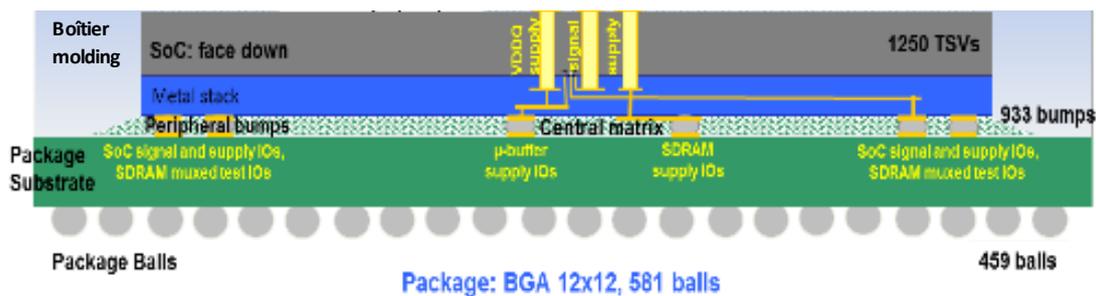
De la même façon que les lignes métalliques doivent transmettre les signaux du cœur de la puce jusqu'à la carte électronique, le boîtier doit aussi être capable de conduire la chaleur générée par la puce vers l'extérieur. L'intégration d'un répartiteur sur la face arrière du silicium permet d'atténuer les pics de température grâce à une amélioration de la résistance thermique latérale. Cependant, afin d'optimiser le fonctionnement du répartiteur il faut qu'il soit aussi capable d'extraire la chaleur produite et la communiquer à l'extérieur. L'idée principale est de connecter le répartiteur au reste des éléments du boîtier. On se sert ici d'une surface plus grande que celle du silicium. Cette surface élargie est en contact avec les bords de la puce en silicium et avec le chemin principal d'évacuation du flux de chaleur.

De nombreuses structures de boîtiers sont disponibles dans l'état de l'art selon les applications visées. Néanmoins, si l'on considère le type de connexions électriques entre le silicium et le substrat on constate que la plupart des boîtiers utilisent soit une structure de type câblage, soit une structure par report. On a donc cherché à caractériser ces deux types de structures et leur interaction avec des répartiteurs à partir de véhicules de test adaptés.

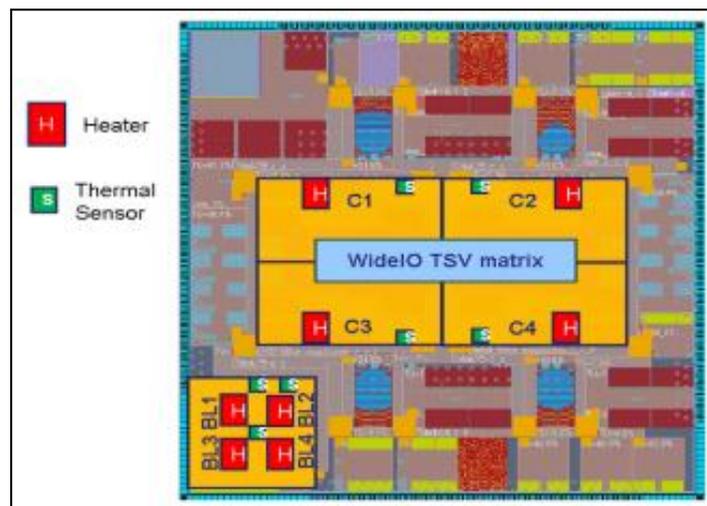
2.3.1. Report par micro-soudure : description de la puce et du boîtier

La puce Wyoming est un véhicule de test complexe conçu au sein du CEA-LETI dans le cadre de l'Institut de Recherche Technologique IRT3D, afin d'adresser les études d'empilements 3D de type haute performance et à large bande passante entre les niveaux verticaux. Elle peut être exploitée dans différentes configurations : comme une puce simple 2D, ou en configuration 3D avec une couche de mémoire empilée sur une couche de processeur logique [Dut13]. Dans notre étude, la version 2D, dite *Standalone*, est utilisée : un Système sur puce (*SoC*) logique fabriqué avec la technologie CMOS 65 nm de STMicroelectronics est reportée par micro-soudure sur un substrat de type BGA (Ball Grid Array) (fig. 50a).

Un boîtier avec une structure *flip-chip* signifie que la partie active du silicium est placée face au substrat. Les connexions électriques entre le dernier niveau de métallisation de la puce et le substrat sont faites par soudure de micro-piliers verticaux (*μ-bumps*). Dans le cas de la puce *Wioming* ceux-ci sont placés en périphérie et au centre de la puce (fig. 50a). Afin de préserver l'intégrité de ces micro-piliers verticaux un polymère isolant et protecteur (*underfill*) est injecté après le report par capillarité. L'ensemble du silicium et substrat est finalement recouvert par une résine de moulage (*molding*) époxy qui protège le boîtier face aux risques mécaniques et environnementaux.



(a)



(b)

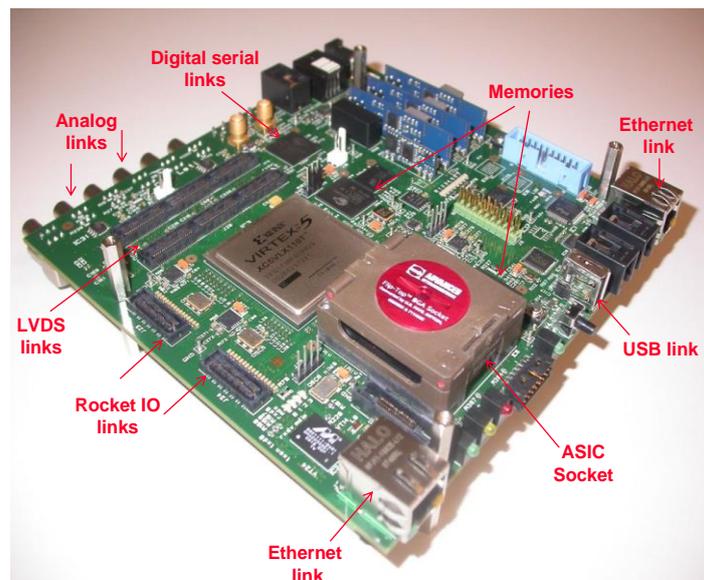
Fig 50. (a) Vue en coupe transversale du boîtier et puce *Wioming Standalone*
(b) Disposition des sources de chaleur et capteurs de température

La puce dispose de 8 cœurs chauffants indépendants constitués de résistances en polysilicium (fig. 50b). Ils peuvent être groupés en deux configurations : scénario central (éléments chauffants C1 à C4) et scénario point chaud (éléments chauffants BL1 à BL4) en émulant un processeur à quatre cœurs. Chaque source est capable de dissiper 0,5 W de

puissance. La puce dispose également de 7 capteurs de température qui permettent de tracer un profil de température en fonction de la distance au point chaud.

2.3.2. Carte de test et setup des échantillons

Le banc de test Wioming comprend une carte mère (fig. 51) avec un *socket* capable d'accueillir des cartes filles spécifiques (fig. 52b). Chaque boîtier de test est monté sur une carte fille indépendante. Les mesures sont réalisées dans une enceinte thermique régulée en température, pour la calibration des capteurs et pour les mesures en fonctionnement.



*Fig. 51. Carte mère et socket du système Wioming
CEA – LETI*

Afin d'être capable de comparer les performances d'une puce avec et sans répartiteur, la résine de moulage supérieure des boîtiers Wioming a été meulée (fig. 52a) jusqu'à laisser apparaître le silicium en face arrière de la puce (on parlera de configuration *die exposed*). L'objectif était de pouvoir mettre en contact direct le répartiteur avec la face arrière du silicium en gardant la structure du boîtier. L'épaisseur de silicium restante a été mesurée pour assurer que la dissipation de chaleur restait équivalente pour tous les échantillons.

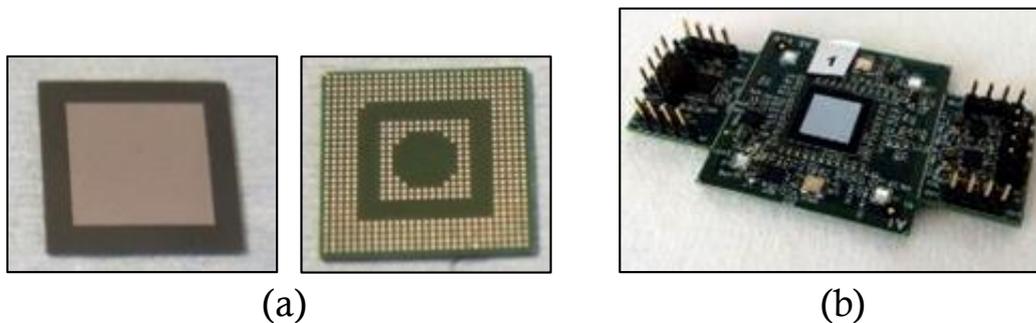


Fig. 52. (a) Face avant et arrière de la puce Wyoming après meulage. On peut voir comment le molding a été enlevé pour découvrir la face arrière du silicium.
 (b) Echantillon 1 : Carte fille avec la puce Wyoming soudée

Des répartiteurs PGS de 70 μm d'épaisseur avec des doubles interfaces silicone de 30 μm ont été intégrés sur les faces arrière des boîtiers Wyoming. Les schémas ci-dessous (fig. 53) montrent les vues en coupe des boîtiers, avec le PGS intégré sur le silicium mis à nu par meulage. Trois configurations ont été préparées : un échantillon référence, un échantillon avec un répartiteur de la même surface ($8,5 \times 8,5 \text{ mm}^2$) que le silicium et un troisième pour lequel le répartiteur couvre la surface totale du boîtier ($12 \times 12 \text{ mm}^2$).

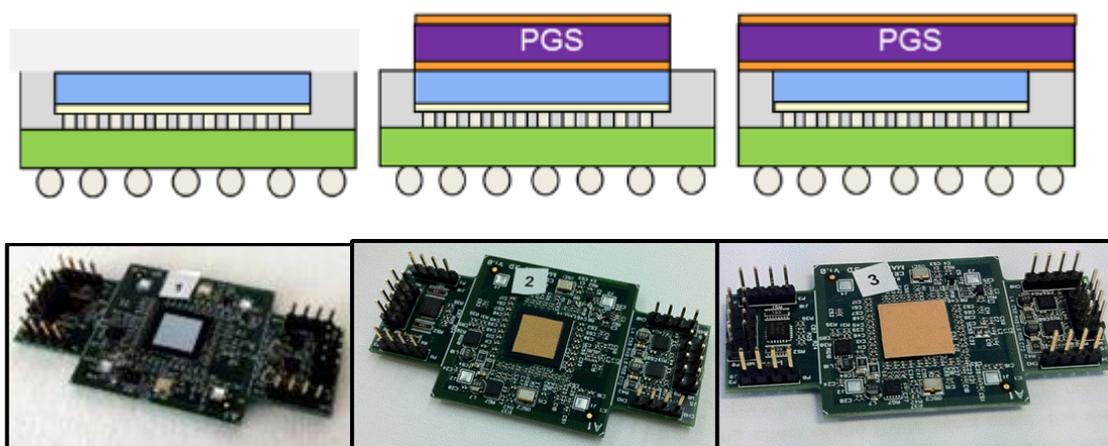


Fig 53. Echantillons 1 à 3 : puce référence et répartiteurs intégrés sur la face arrière du silicium
 CEA – LETI

Ce véhicule de test est parfaitement représentatif d'une structure par report. Le flip-chip est un moyen optimisé de connecter les boîtiers au substrat mais reste une structure relativement récente. Le wire-bonding, en revanche, a été la structure prédominante en microélectronique pendant les dernières décennies et reste très largement utilisée, notamment pour les capteurs d'images.

2.4. Le cas d'interaction avec un capteur d'images 3D

Le dernier cas d'étude correspond à un capteur d'images intégré en 3D, il comporte des contraintes spécifiques qui rendent cette étude très intéressante. Hormis les problématiques thermiques déjà énumérées pour les dispositifs en silicium on peut aborder des particularités propres aux photodiodes des matrices de pixels. Ces photodiodes convertissent en signal électrique le flux de photons incident pendant une exposition à la lumière. Les performances des photodiodes et des pixels au sens large sont très sensibles à la température.

Le courant qui parcourt une photodiode en l'absence d'illumination est appelé courant d'obscurité (fig. 54). Ce courant établit le signal de base de la diode et est donc utilisé comme référence pour la construction de l'image à partir des données récupérées. Toutefois, le courant d'obscurité a une forte dépendance avec la température [Bar17] puisqu'il double pour une augmentation de température de 8°C dans le meilleur cas, 5°C dans le pire cas, en fonction de la technologie de capteur. Cette source de bruit dans la photodiode se traduit par une fausse information sur l'image.

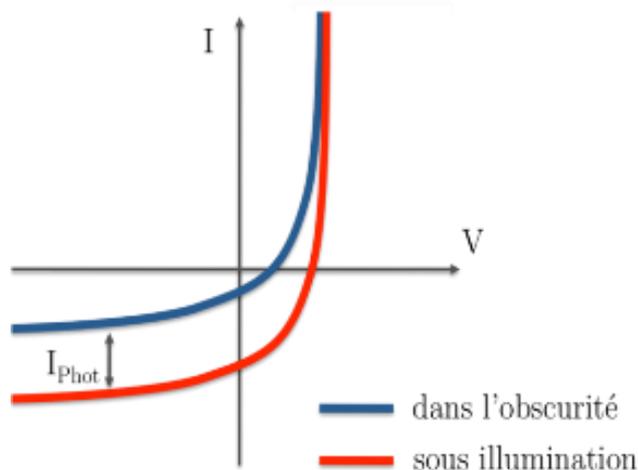


Fig. 54. Courant d'obscurité pour une photodiode [Cou09]

Il convient par conséquent de limiter l'influence des deux facteurs suivants sur la réponse des capteurs d'images :

- La température moyenne élevée, qui introduit du bruit dans la mesure et diminue la précision avec laquelle on peut capter la lumière.

- Un gradient de température dans la matrice de pixel, qui induit une variabilité dans la réponse des photodiodes et conduit à une dégradation des images.

Par conséquent, l'objectif d'un point de vue thermique n'est pas seulement de réduire la température globale de la puce, mais aussi de l'homogénéiser autant que possible afin d'éviter la présence des écarts de température dans la matrice [Ing14]. Les capteurs d'images ne sont généralement pas des systèmes à forte dissipation de puissance mais leur sensibilité à la température impose une prise en compte attentive de la dimension thermique.

La qualité des caméras est considérée comme un des arguments de vente principaux des appareils portables. La dissipation thermique d'un capteur d'images de l'état de l'art se trouve aux environs de 500 mW. En revanche, le fort développement que ce secteur expérimente indique que l'on pourrait considérer des puissances autour de 3W d'ici quelques années, pour supporter l'ajout de fonctionnalités à hautes performances telles que la vidéo haute vitesse, le mapping de profondeur, la prise de vue à grande gamme dynamique, la reconnaissance faciale en temps réelle, etc. Il y a donc un vrai intérêt au développement des innovations qui puissent permettre de supporter la dissipation d'une plus forte puissance afin intégrer ces fonctionnalités différenciatrices.

2.4.1. La structure d'un capteur d'images intégré en 3D

La structure d'un capteur d'images est conçue afin que ses photodiodes puissent capter le plus de lumière possible de la façon la plus efficace. Au long des dernières années on a vu une évolution de cette structure depuis l'illumination par la face avant (Frontside Illumination) où les photons traversent les niveaux de métallisation, vers une illumination par la face arrière (Backside Illumination, BSI) (fig. 55). Cette structure BSI implique l'utilisation d'un substrat support qui est collé à la face avant de la puce afin que la face arrière puisse être amincie [Dra14]. De cette façon les photons atteignent les photodiodes en traversant directement le silicium. Cette structure permet un meilleur gain de conversion des photons en électrons (efficacité quantique). En outre, la configuration BSI permet de poursuivre la réduction de la taille des pixels sans avoir les barrières concernant les niveaux de métallisation [Fon13].

La matrice de pixel n'est pas le seul élément à considérer dans un capteur d'images. Des blocs de circuit périphériques sont en charge des fonctions additionnelles d'alimentation, de lecture et conversion du signal des photodiodes. Une fois les données converties, elles sont interprétées et traitées afin de constituer une image. Ces fonctions sont réalisées par l'ISP (Image Signal Processor) [Soh06]. L'ISP permet notamment de reconstituer la couleur de chaque pixel, de contrôler l'autofocus, l'exposition et la balance des blancs, de corriger les imperfections des lentilles, de réduire le bruit de l'image, d'ajuster la dynamique de scène, de sauvegarder l'image dans un format de compression, etc.

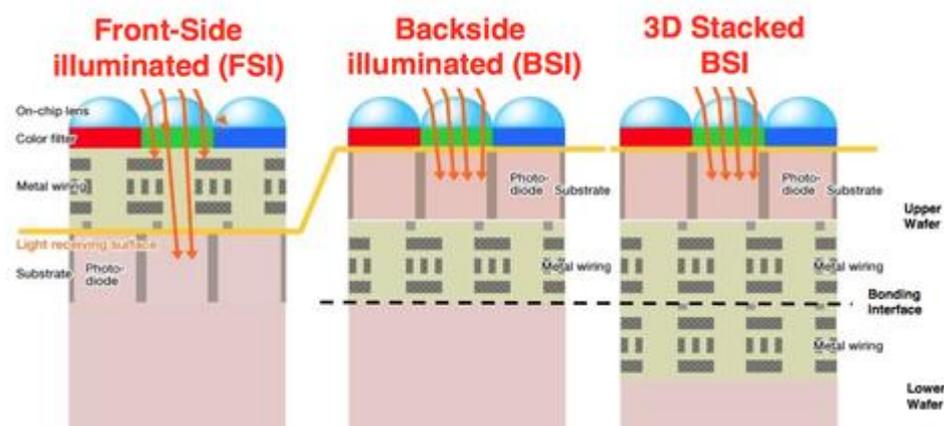
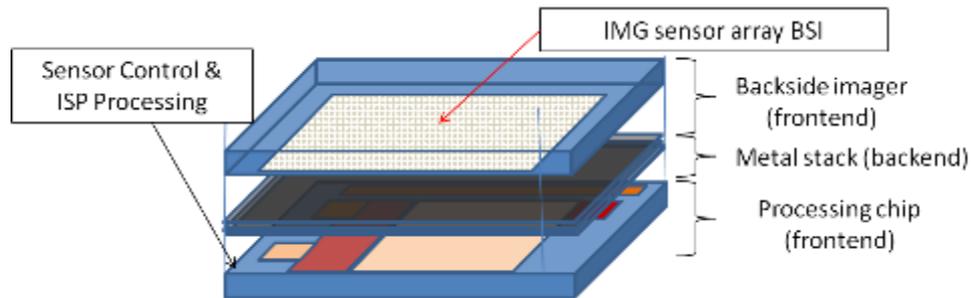


Fig. 55. Evolution de la structure silicium d'un capteur d'images Sony [Ume14]

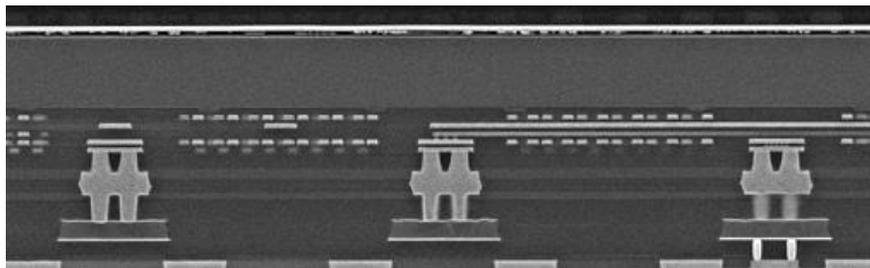
Toutes ces fonctionnalités produisent une consommation de puissance significative qui peut amener à la génération de points chauds et affecter la matrice de pixels à proximité. En outre, ces circuits périphériques impliquent que l'espace restant pour la matrice de pixel ne représente qu'une partie de la surface totale du silicium. La taille de la photodiode et sa disposition ont une influence très significative dans sa capacité à capter la lumière et donc on a intérêt à pouvoir maximiser la capacité optique du capteur [Cat02].

La contrainte spatiale de la matrice de pixels a conduit de façon logique à concevoir les capteurs d'images avec une structure 3D [Cou13] [Lho16]. Dans cette disposition la couche supérieure est entièrement occupée par des photodiodes, tandis que la partie inférieure est réservée aux blocs de circuit de l'ISP (fig. 56a). On augmente de cette façon la surface de la matrice de pixels en conservant la même taille de puce. Cette disposition permet également de maximiser l'efficacité optique des photodiodes grâce aux lignes

dédiées à récupérer les signaux électriques qui sont maintenant dirigées vers le bas et pas vers les côtés de la matrice, avec le gain en surface associé (fig. 56b).



(a)



(b)

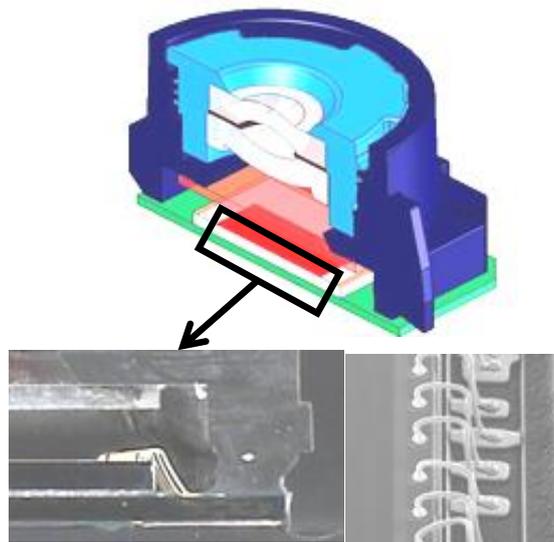
Fig. 56. (a) Disposition spatiale d'une structure de capteur d'images intégré en 3D, avec la matrice de pixel dans la couche supérieure et l'ISP dans la couche inférieure. (b) Capteur d'images 3D par collage hybride dans le Samsung Galaxy S7 edge. Chipworks report

Malheureusement, l'empilement de l'ISP en dessous de la matrice de pixels conduit aussi à l'exacerbation des problématiques thermiques déjà cités. Les deux niveaux de circuit ne sont séparés que par quelques microns de couches isolantes et donc la disposition des éléments actifs de l'ISP peut provoquer la naissance des écarts de température très significatifs. Cette option est donc très prometteuse d'un point de vue technologique mais les contraintes thermiques doivent être bien étudiées.

Les modules de capteurs d'images pour les applications portables ont des spécificités qui rendent les améliorations thermiques difficiles à implémenter (fig. 57). D'abord, ils doivent avoir un encombrement minimal afin d'être intégrés dans des appareils de plus en plus minces. De plus, le coût de tout l'ensemble doit rester compétitif dans le marché des smartphones où les marges sont moins importantes que pour les appareils photo. Les matériaux du module sont donc limités et constitués principalement à base de plastique. Ces facteurs empêchent la mise en place de solutions de dissipation encombrantes ou de

refroidissement actif. Les répartiteurs de chaleur se présentent donc comme des solutions idéales pour la poursuite de l'amélioration des capteurs d'images.

Afin de développer des solutions de dissipation adaptées aux modules de capteurs d'images, un véhicule de tests spécifique a été conçu durant cette étude, il s'agit de la puce M3EM. Celui-ci émule la disposition d'un capteur d'images tout en restant flexible en termes de configuration. L'objectif final sera d'évaluer les gains en performances atteignables avec l'intégration d'un répartiteur sur la face arrière d'un capteur d'images.



*Fig. 57. Coupe transversale d'un module capteur d'images
STMicroelectronics*

2.4.2. Conception de la puce de test 3D

Le projet M3EM est un véhicule test technologique d'envergure, dédié à la fabrication et à l'étude de la fiabilité du collage direct hybride (fig. 58). Il a été conçu sous la forme d'un wafer multi-projets (MPW), c'est à dire un jeu de masques générique dans lequel plusieurs puces de test peuvent être intégrées. Nous avons conçu et inséré un véhicule de test thermique spécifique dans ce MPW. L'objectif est d'émuler le comportement du processeur d'image ISP dans un capteur d'images 3D en termes de profils de puissance dissipée, et de dresser des cartographies de la température à l'échelle de la puce. Cette puce M3EM permet une mise en œuvre rapide avec différents types de caractérisation. On pourra donc évaluer la mise en boîtier, les caractéristiques physiques propres à la puce

(surface, épaisseur de silicium) et des scénarios thermiques évolutifs (gamme de puissance, possibilité de créer des points chauds des pics de chaleurs temporels...). Également, il permet une bonne flexibilité avec la possibilité d'implémenter des solutions de dissipation optimisées.

On s'est focalisé pendant la conception du véhicule de test à pouvoir reproduire expérimentalement le profil de température dans un capteur d'images 3D suivant différents scénarii de chauffage de l'ISP. Ces mesures doivent être effectuées dans un environnement le plus proche possible de la réalité, c'est-à-dire en module packagé. Un deuxième objectif consiste à implémenter des solutions thermiques et mesurer leur impact. Plusieurs options ont été évaluées : l'intégration d'un répartiteur entre la puce M3EM et le substrat ainsi que l'ajout d'un puits thermique dans le substrat par moyen d'une structure en cuivre dans le niveau inférieure du substrat.

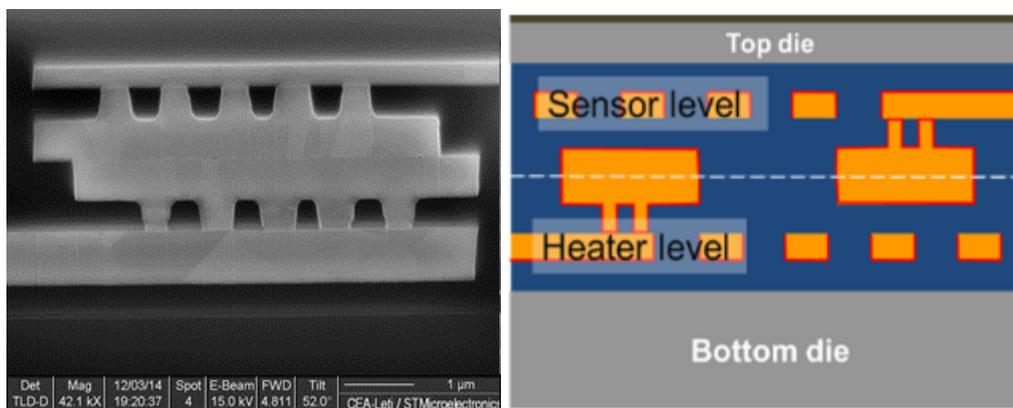


Fig. 58. Collage hybride entre les couches top et bottom de la puce capteur d'images. Structure des deux puces avec les capteurs de température (matrice de pixel) en haut et les sources de chaleur en bas (ISP)

Les dimensions de la puce silicium M3EM sont 6 x 5 mm², soient celles d'un capteur d'images classique dans la gamme d'applications visée. La couche supérieure accueille des capteurs de température afin de dresser une cartographie de température dans la matrice de pixels (fig. 58, 59). De même, la couche inférieure reproduit la disposition des cœurs chauffants dans un ISP équivalent. L'épaisseur du niveau inférieur (ISP) sera un des premiers paramètres boîtier que nous étudierons expérimentalement, de 200 à 400 μm typiquement.

Les éléments chauffants sont constitués de serpentins en cuivre excités par effet Joule. Les capteurs de température sur le niveau supérieur sont également des serpentins sur lesquels une mesure de résistance sera réalisée. Les résistances électriques tant des heaters que des

capteurs ont été calculés au préalable. Les règles du noeud technologique imposaient les largeurs de ligne maximales et minimales. Des largeurs de 12 et 0.2 μm ont été choisies pour les éléments chauffants et les capteurs, respectivement.

La disposition des éléments chauffants est indiquée sur la figure 59. On voit sur la gauche un premier élément chauffant périphérique qui émule les fonctions analogiques de lecture et d'alimentation de puissance. Un élément chauffant central émule ensuite la partie de calcul numérique et deux heaters plus petits appelés « résistances de point chaud » servent à émuler des points chauds dans la partie numérique, sous forme de pics transitoires. Les éléments chauffants ont été dessinés afin de pouvoir créer des scénarios thermiques évolutifs avec une gamme de puissance comprise entre quelques centaines de milliWatt et quelques Watt.

Sur la puce supérieure, 14 capteurs de température (7 par barrettes, notés S1 à S7 sur le schéma) permettront d'établir une cartographie thermique. Ils sont constitués par des motifs en serpentín de 0.2 μm de largeur intercalés le long d'une ligne de 12 μm de largeur. La lecture de résistance est réalisée grâce à des accès intermédiaires entre les serpentins qui permettent une mesure 4 points.

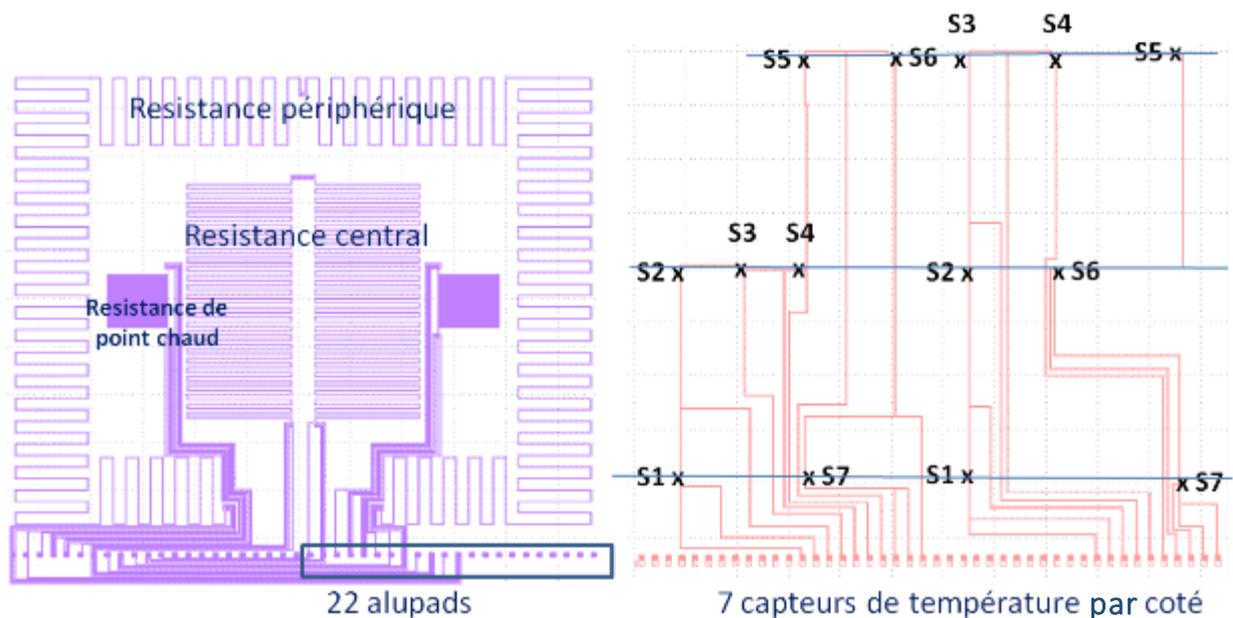
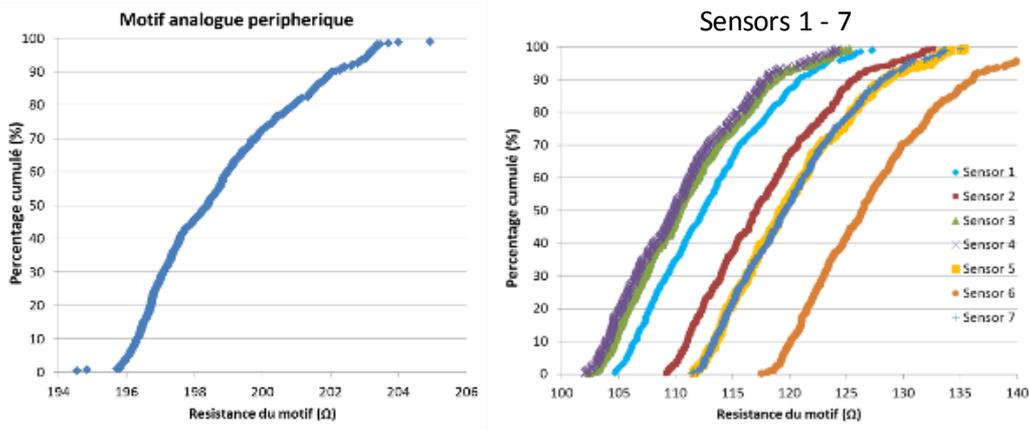


Fig. 59. Disposition des éléments chauffants sur la couche inférieure (à gauche) et des capteurs sur la couche supérieure (à droite). Les lignes en cuivre servent à la fois comme de sources de chaleur et comme de capteurs de température par moyen d'un mesure 4 pointes.

2.4.3. Etude statistique et calibration du TCR

Les lignes en cuivre du véhicule de test ont été réalisées par ECD. Ce procédé de fabrication implique une certaine variabilité dans les caractéristiques des lignes métalliques comme la largeur et l'épaisseur, en fonction de la zone du wafer sélectionnée. Les valeurs de résistance de chaque motif ont été étudiées pour toute la population d'un wafer (450 puces), étant donné que le comportement des sources de chaleur comme les capteurs dépend d'une mesure précise de cette résistance.

Pendant l'étape de conception, une résistance de 200 Ω a été recherchée pour les motifs d'échauffement homogène (périphérique et central) et de 100 Ω pour les motifs de type points chauds. Ces valeurs sont des valeurs cibles mais en pratique elles dépendent de l'emplacement concret de la puce sur le wafer. Effectivement, on peut voir sur la figure 60 comment les valeurs varient significativement en fonction de la distance au centre du wafer. Cette variation, illustre dans la figure 60, est plus accusée prononcée dans le cas des capteurs que dans le cas des heaters éléments chauffants à cause de la différence de largeur des lignes, comme l'illustre (voir population des mesures dans la figure 60).



	R moyenne (Ω)	Max	Min	Ecart type
Resistance analogue périphérique	198,71	204,92	191,01	1,83
Resistance central digitale	199,15	204,51	192,40	1,84
Résistance petite gauche	101,13	104,02	96,65	1,07
Résistance petite droite	101,11	103,96	96,64	1,08

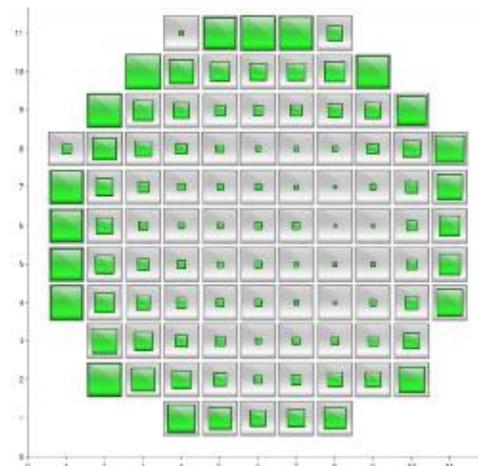


Fig. 60. Mesure des résistances des éléments chauffants et capteurs pour toute la population (450 puces) d'un wafer M3EM. On peut observer une variabilité significative due à la fabrication du wafer.

De la même façon que pour le véhicule test WIZZ, on réalise au préalable une calibration du TCR (Température Coefficient of Resistance) des lignes du véhicule M3EM. Pour ce faire, les motifs de tout le wafer ont été mesurés dans une enceinte thermique pour cinq intervalles de température dans une plage de 120 °C. Avec les données des 450 puces on a pu tracer les courbes du TCR à partir de la moyenne des valeurs (fig. 61). On peut observer un écart entre le TCR des lignes heaters et capteurs due à sa différence de largeur (12 µm vs 0.2 µm) qui affecte la taille des grains du cuivre. La déviation relative des valeurs de TCR par rapport à la moyenne atteint 1,6% dans le cas des capteurs et 0,3% pour les heaters.

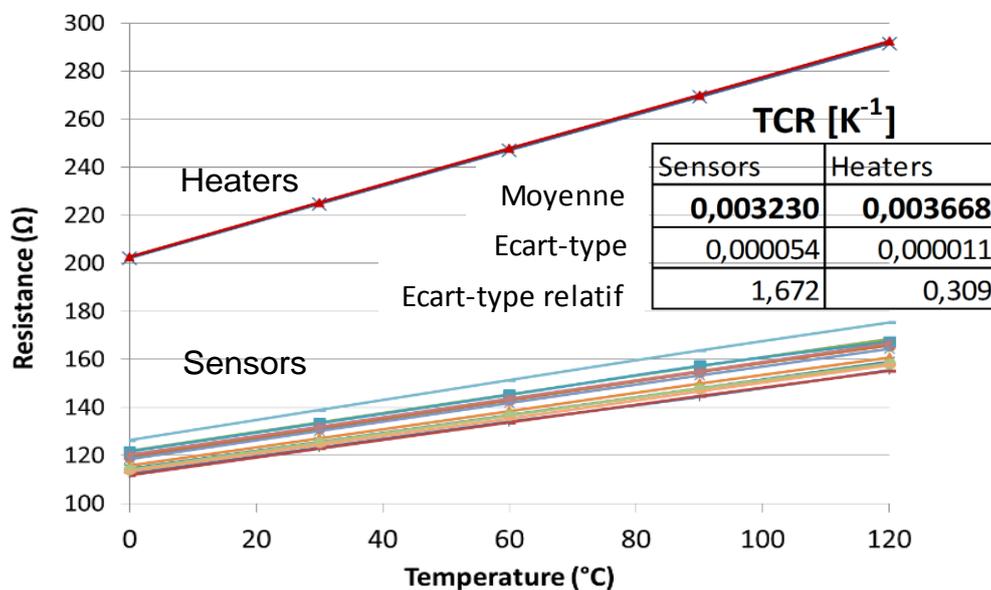
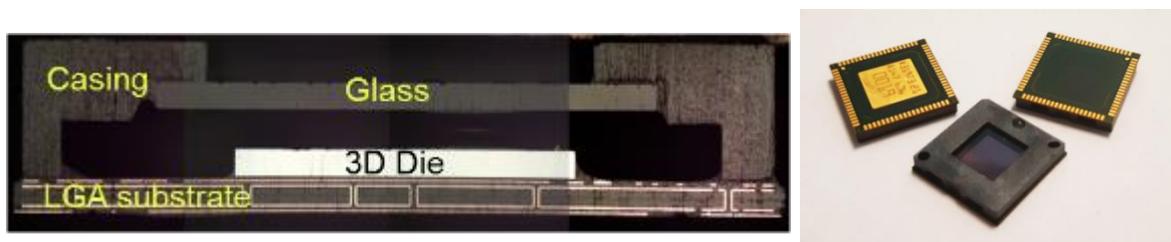


Fig. 61. Calcul des valeurs de TCR (Temperature Coefficient of Resistance) pour les heaters et sensors. La mesure a été effectuée au niveau wafer pour cinq niveaux de température.

2.4.4. Mise en boîtier et intégration du répartiteur

La mise en boîtier de la puce M3EM a été effectuée en étroite collaboration avec la division capteur d'images de STMicroelectronics à Grenoble. La figure ci-dessous (fig. 62) montre la coupe transversale du boîtier utilisé : il se compose de la puce M3EM collée sur un substrat OLGA (Organic Land Grid Array), avec des connections filaires entre la puce et le substrat (wire-bonding).

La partie supérieure d'un module de capteurs d'images comprend normalement un barillet avec un ensemble de lentilles. Dans le cas de notre boîtier de test, un verre a été intégré sur le capot en plastique afin de confiner la partie supérieure du module de manière à se rapprocher le plus possible du comportement thermique réel.



*Fig. 62. Boîtier OLGA 80 utilisé pour émuler un module de capteur d'images.
A gauche : Coupe transversal du boîtier.
A droite : Boîtier avec substrat standard ou thermique (pad centrale métallique).*

Le brochage ou pinout de la puce thermique consiste à adresser à chaque plot sa fonction électrique. Ainsi, l'adressage des différents éléments du circuit, cœurs chauffants et capteurs, a été effectué avec leurs spécifications en courant et tension. Le substrat est un OLGA 80 de 400 μm d'épaisseur et 12 x 12 mm comprenant 4 niveaux de métallisation. 36 des 80 entrées/sorties possibles du LGA sont utilisées. Le dessin du OLGA est illustrée ci-dessous (fig. 63a), avec à gauche le niveau supérieur de câblage par fil, le routage au milieu et les sorties face arrière du OLGA à droite.

Deux types de OLGA ont été utilisés : un OLGA dit standard (fig. 63b) et un autre optimisé spécifiquement pour émuler un puits thermique (fig. 63c). Ce dernier substrat thermique comprend un accès direct au premier niveau de métallisation grâce à l'enlèvement du solder masque organique. L'espace vide résultant a été comblé par une colle thermique dite

die attach. Également, il comprend une structure en cuivre dans le niveau inférieure (fig. 62) qui pourrait à la fois être considérée comme un puits thermique à l'intérieur du substrat ou bien servir à garantir une bonne conduction thermique avec une structure extérieure.

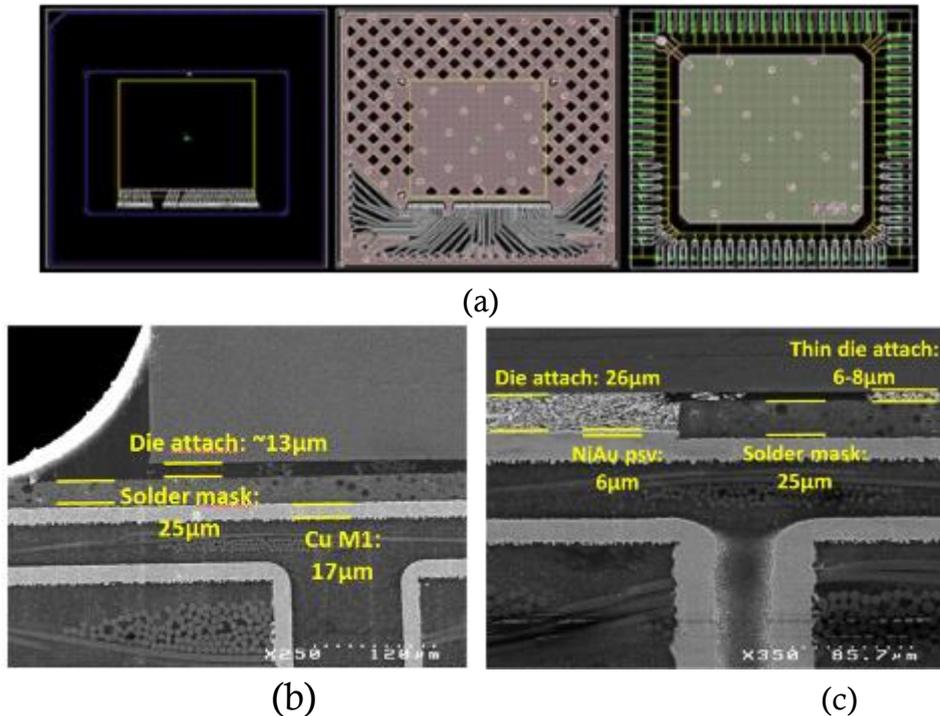


Fig. 63. (a) Disposition des niveaux supérieur, médian et inférieur du boîtier OLGA
 (b) Vue en coupe du substrat standard
 (c) Vue en coupe du substrat optimisé thermiquement

Finalement des boîtiers ont été assemblés avec un répartiteur entre la puce silicium et le substrat (fig. 64a). Nous avons convenu avec la société Panasonic de réaliser des échantillons de PGS avec des motifs gravés par laser, afin de laisser l'espace suffisant pour les plots de câblage par fil et les marques de positionnement (fig. 64b). Le matériau du répartiteur est un PGS avec une épaisseur de 70 µm. Les interfaces utilisées sont différentes des deux côtés : du polyimide entre le PGS et le substrat OLGA et une colle *die attach* thermiquement optimisée entre le PGS et le silicium. Dans les deux cas, les échantillons sont livrés avec une interface polyimide déjà intégrée des 2 cotés.

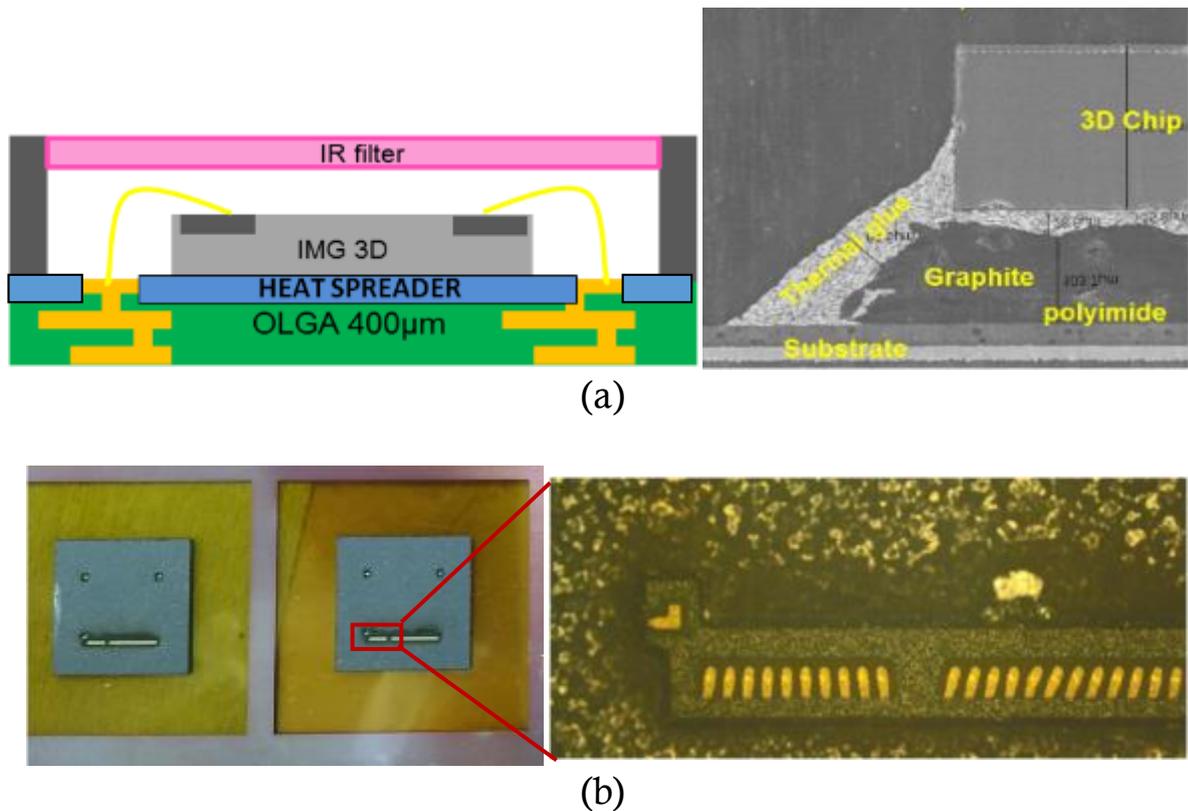


Fig. 64. (a) Coupe transversale du boîtier avec un répartiteur PGS intégré entre le silicium et le substrat OLGA.
 (b) Détail des motifs gravés dans les répartiteurs PGS avec des ouvertures pour les plots de câblage.

La raison pour laquelle les interfaces sont différentes d'un côté et de l'autre est liée au procédé d'assemblage qui nécessite l'utilisation d'un outil de placement afin d'être le plus précis possible dans le positionnement du répartiteur PGS. L'objectif est de laisser libres les ouvertures pour le câblage (fig. 64b). De cette façon on a pu conserver le polyimide sur le PGS coté substrat mais nous avons été contraints de l'enlever de l'autre côté afin que la tête de l'outil puisse manipuler l'échantillon. La puce a finalement été assemblée par Pick & Place avec une colle *die attach* dispensée avec une seringue automatique.

2.4.5. Carte de test spécifique et logiciel Labview

La carte de test ou PCB a été conçue au CEA/LETI et le socket a été fourni par la division capteur d'images de Grenoble. On a choisi une configuration de socket déporté sur une

carte fille auxiliaire afin de pouvoir l'isoler thermiquement du reste des composants de la carte (fig. 65). Cette configuration permet d'opérer le test dans une enceinte thermique régulée.

La carte comprend deux types de connectiques. Premièrement, des connexions extérieures pour des modules d'alimentation qui peuvent être connectés à chacune des sources de chaleur de la puce (périphérique, centrale ou point chaud). Deuxièmement, la carte intègre l'électronique nécessaire pour que la puce puisse être pilotée par un programme Labview spécifiquement développé pour ce projet. Le logiciel permet de créer des scénarii d'échauffement customisés. Il permet également de pouvoir récupérer dans un fichier .txt les données de la matrice de capteurs pour chacune des mesures. Cette dernière configuration a été utilisée dans la plupart de nos manipulations.

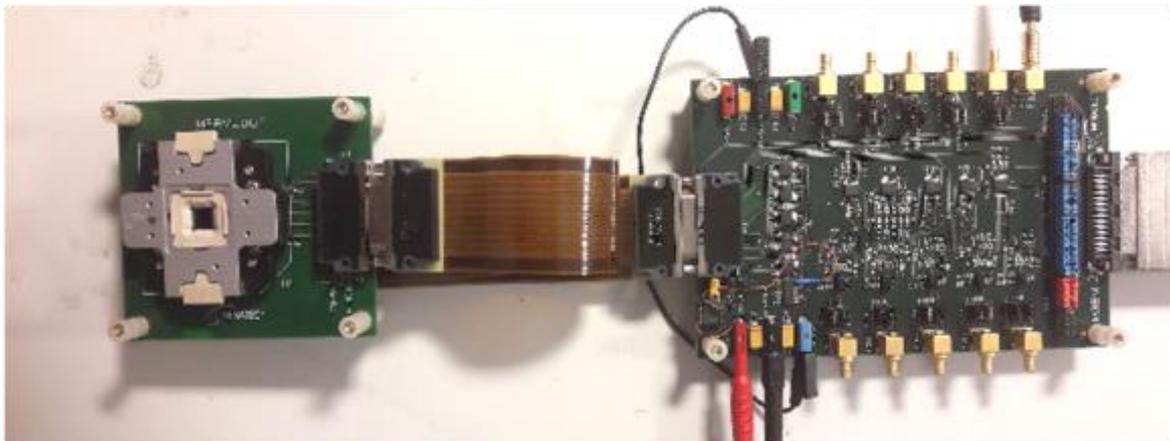


Fig. 65. Carte de test spécifique M3EM développée par le CEA/LETI. Elle comprend une carte mère avec l'électronique nécessaire pour piloter la puce et une carte fille déportée qui intègre le socket capteur d'images fourni par STMicroelectronics à Grenoble

2.5. Conclusion

Une méthodologie a été mise en place pour l'étude d'intégration des répartiteurs thermique. Allant du plus simple au plus complexe, on a envisagé des plateformes de test qui vont servir à la caractérisation des performances et contraintes thermiques.

Les véhicules de tests correspondants à l'étude des interactions silicium-répartiteur et boîtier-répartiteur ont été récupérés des développements antérieurs et adaptés à cette étude. Ils permettent une intégration rapide de la couche répartiteur, ainsi qu'une évaluation des performances avec et sans répartiteur.

Le véhicule de test des interactions entre un répartiteur et une puce imageur a été conçu et désigné pendant ce travail. Il est spécifique à ce type de configurations imageur mais il permet une flexibilité qui va plus loin du but de ce travail. Il pourra servir aux futurs développements thermiques sur des puces imageurs.

Chapitre 3 :

Les contraintes d'intégration d'un répartiteur

L'objectif de ce chapitre est de présenter l'étude d'industrialisation des répartiteurs dans des boîtiers compacts. On visualise les approches possibles d'un point de vue des procédés. Ces approches différentes vont influencer sur le rendement du répartiteur. On aborde également les contraintes technologiques principales que l'on pourrait rencontrer avec ces matériaux et ces structures : les effets d'origine thermomécaniques et la dégradation des signaux à haute fréquence.

3.1. Introduction

Une des tendances principales des dernières années a été de complexifier la structure des boîtiers microélectroniques, qui deviennent des ensembles denses et constitués d'une multitude de matériaux. Le développement de technologies hétérogènes telles que l'intégration 3D ou la photonique intégrée sur silicium permettent une amélioration significative des performances des dispositifs, mais supposent de relever un défi d'intégration défini dès la conception de ces structures.

Conception, fabrication et assemblage de cette juxtaposition de technologies doivent être étudiés afin de réussir l'équilibre entre la recherche de performances pures et le respect des contraintes d'intégration. D'un point de vue de la conception, les performances électriques visées comprennent l'isolation des lignes, la résistance à l'électro-migration, les capacités parasites ou la protection contre les décharges électrostatiques. D'un point de vue mécanique, le boîtier doit protéger la puce des nuisances environnementales telles que l'humidité ou la poussière. La protection du dispositif doit également être efficace contre les vibrations et les chocs, afin d'assurer l'adhésion des couches internes et de la puce avec la carte électronique.

Les contraintes de type thermiques ont déjà été détaillées dans ce manuscrit. Néanmoins, les effets induits par la chaleur ne se limitent pas aux points chauds et aux écarts de température. Les différences de coefficient de dilatation thermique entre les couches d'un empilement peuvent conduire à des risques de dégradations thermomécaniques, notamment dans le cas de l'intégration 3D. Il est impératif d'évaluer l'intégration des répartiteurs vis-à-vis de ces risques, surtout si l'on recherche une mise en contact la plus proche possible avec une puce en silicium amincie...

L'intégration d'un répartiteur constitué d'un matériau électriquement conducteur, tel que le graphite, comportant une large surface planaire peut également avoir une influence significative sur le comportement électrique de la puce, notamment lorsque celle-ci véhicule des signaux à haute fréquence.

Finalement, il convient de définir un procédé d'assemblage optimal pour le répartiteur, qui réponde à des contraintes industrielles. Le déroulement des étapes de mise en boîtier et la position du répartiteur dans le boîtier vont avoir une influence sur ses performances thermiques.

3.2. Le défi industriel d'intégration

Les salles blanches de fabrication en micro-électronique sont des environnements propres où les équipements, matériaux et procédés sont soumis à des spécifications critiques en matière de contamination particulaire. Le procédé d'intégration d'une couche répartiteur doit donc être étudié pour chacune des différentes configurations afin de trouver le meilleur compromis entre performances thermiques et faisabilité des procédés.

Les matériaux évalués dans cette étude sont le cuivre et le PGS. Tous deux sont des conducteurs de la chaleur, mais leurs différences de composition et de morphologie peuvent amener à des procédés d'industrialisation largement différents voire incompatibles. Une première différence peut être observée par microscopie optique ou électronique et se situe dans l'aspect de surface (fig. 66). Ce facteur peut donner des indications de possibles difficultés postérieures lors du collage sur le silicium.

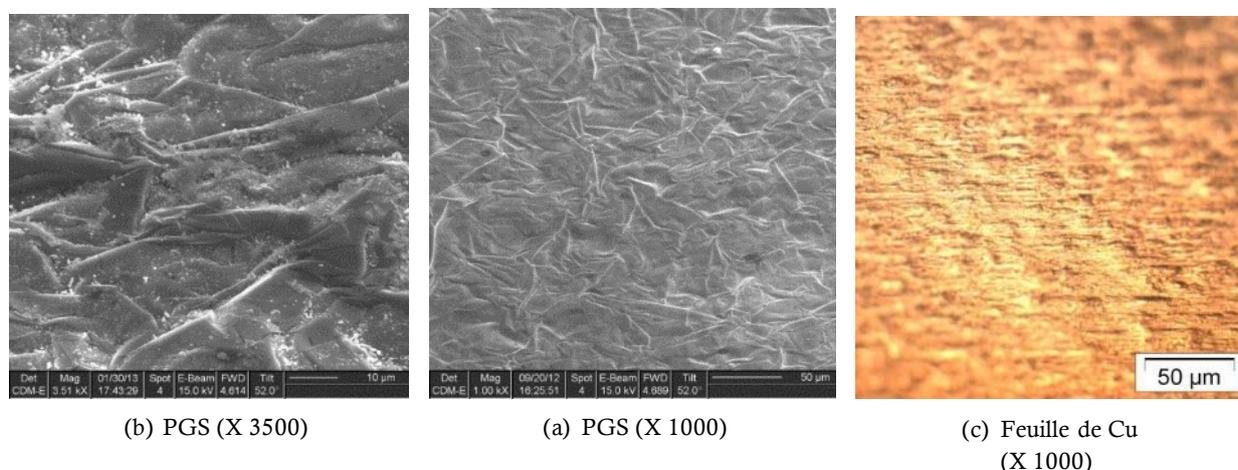


Fig. 66 Observation de feuilles de PGS au microscope électronique et Cu au microscope optique

On peut constater des différences liées à la nature même des matériaux : on trouve dans le cas du PGS de nombreuses couches cassées et décollées qui donnent au matériau un aspect quelque peu pulvérulent. Si la rugosité semble similaire dans les deux cas, le PGS s'avère plus fragile et friable que le Cu.

Une première étude consiste à évaluer la facilité de découpe des matériaux, le PGS étant un matériau relativement inconnu dans les environnements propres de la microélectronique. Des essais de découpe d'échantillons ont été menés en suivant la même procédure que pour le silicium, c'est-à-dire en utilisant une lame avec une taille de grain de diamant de 8 μm et une largeur de 35 μm . Les échantillons PGS sont montés sur scotch

de découpe tendu sur des cadres métalliques Le débit d'eau de refroidissement est relativement limité : 0.65 l/min (correspondant à la spécification de l'équipement).

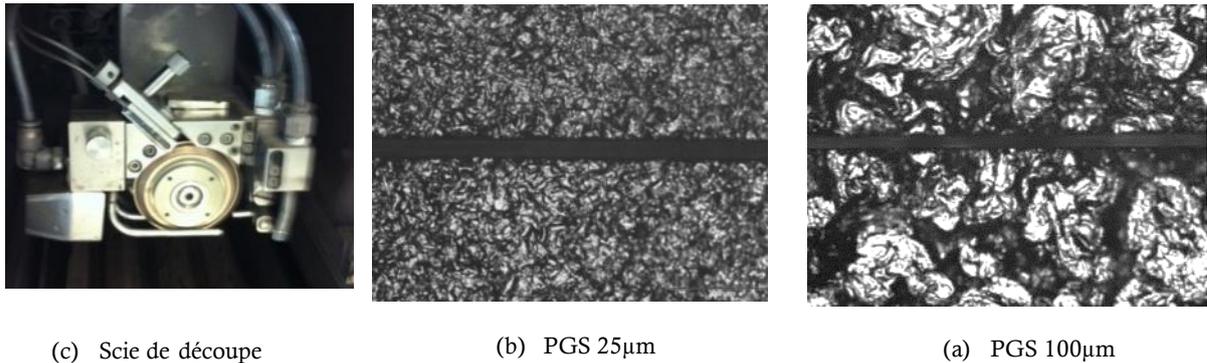


Fig. 67. Trait de découpe automatique des échantillons PGS

La découpe du PGS à la scie donne un trait propre avec peu de residu (fig. 67). Cette procedure pourrait donc être mise en place sans trop de difficultés. Dans le cas du cuivre, les feuilles seraient déformés fortement lors des passages de la scie entraînant un encrassement rapide de la lame et des bourrelets et filaments en bord du cuivre découpé. Cette étape est envisageable pour une démonstration mais pas viable industriellement. D'autres modes de découpe comme le laser ou la décharge électrique devraient être envisagés.

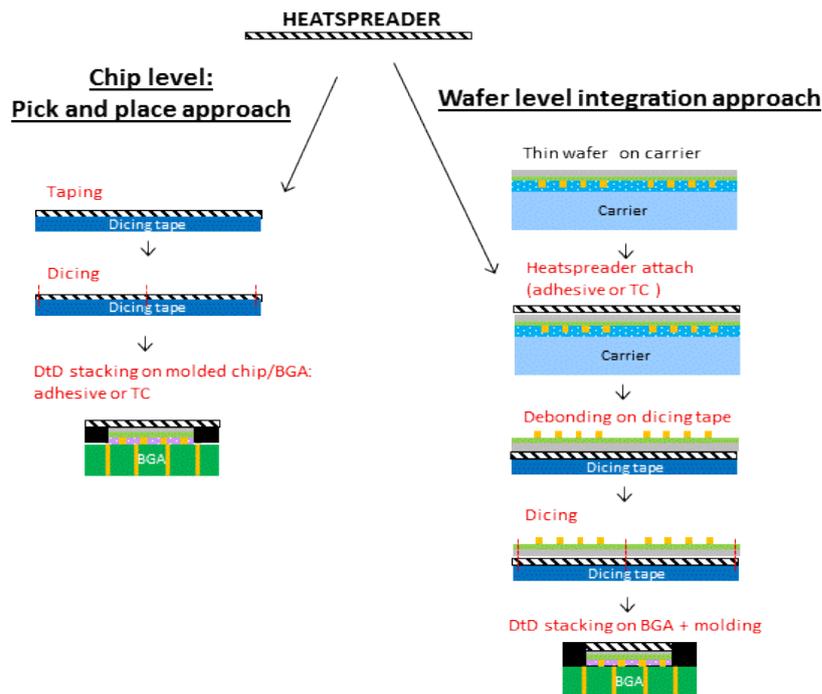


Fig. 68. Schémas d'intégration du répartiteur : niveau puce (à gauche) ou niveau wafer (à droite)

Concernant l'intégration industrielle du répartiteur (fort volume) avec la puce ou le boîtier électronique, nous étudierons le cas simple d'une puce reporté sur BGA par flip-chip (cas où la puce est retournée et les connexions sont faits vers le bas). Le répartiteur thermique sera donc intégré sur la face arrière de la puce amincie. Deux approches sont possibles : soit au niveau de la puce, soit au niveau wafer (fig. 68).

Toutefois, on voit que dans l'intégration au niveau puce (pick and place), le répartiteur peut avoir la même surface que le BGA, alors que dans le procédé à l'échelle du wafer, il est limité à la taille de la puce. Ce premier facteur est donc en faveur de l'intégration au niveau puce, plus efficace car elle présente une surface plus grande pour la dissipation thermique. Ce flow permet également un alignement précis pour les répartiteurs patternés (nécessaire en cas de co-intégration entre répartiteur et interconnexions).

Au niveau packaging, les deux schémas d'intégration ont leurs points faibles. Dans l'approche au niveau puce, une inspection manuelle et visuelle des films de Cu 18 μm et PGS 25 et 100 μm montre une grande souplesse de ces feuilles entraînant l'apparition très facile de défauts de type pliures. Ces défauts sont néfastes pour le taping (piégeage des bulles d'air). Ainsi, le taping ne semble envisageable a priori que pour la feuille de Cu épaisse à 105 μm qui possède une rigidité relativement bonne.

Dans l'approche à l'échelle du wafer, une découpe simultanée du répartiteur et du silicium peut être problématique pour des raisons de contamination, notamment dans le cas d'un répartiteur en cuivre. En outre, l'attache du répartiteur sur l'ensemble de la plaque peut engendrer des contraintes mécaniques non négligeables au niveau wafer, alors qu'elles seraient négligeables au niveau d'une puce.

Une troisième voie consiste à intégrer des feuilles du matériau répartiteur après le placement des puces sur substrat BGA et surmoulage du silicium, tel qu'illustré en fig. 69. Dans cette approche, des matrices de BGA agrupés (*BGA strips* en anglais) sont utilisées afin d'améliorer l'efficacité du moulage. Une fois les puces silicium reportées sur la carte et les connexions électriques établies, la résine est coulée dessus et moulée selon une épaisseur choisie. Une épaisseur de moulage ajustée permet d'avoir directement accès à la face arrière du silicium afin de pouvoir coller le répartiteur. Si tel n'est pas le cas, un amincissement de la résine par meulage reste possible jusqu'à découvrir le silicium. Dans ce cas, des matrices de 4x4 puces surmoulées sont recouvertes par des feuilles de matériau

répartiteur (fig. 69). Ces pièces sont équivalentes aux échantillons Wioming déjà présentés auparavant.

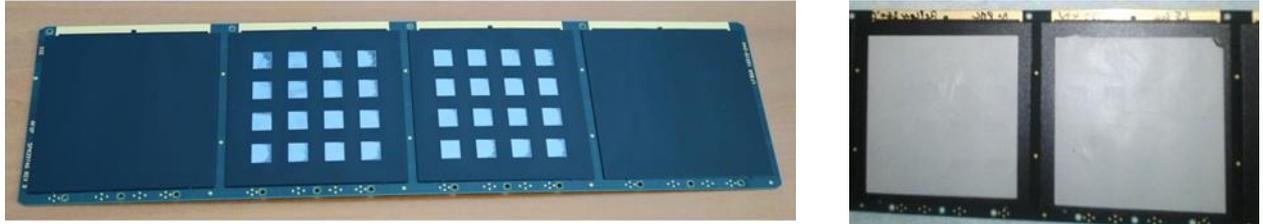


Fig. 69. Intégration d'une feuille répartiteur lors de l'étape moulage : Carte BGA avec les puces déjà moulées (à gauche) et feuille répartiteur collée sur chaque carré (à droite)

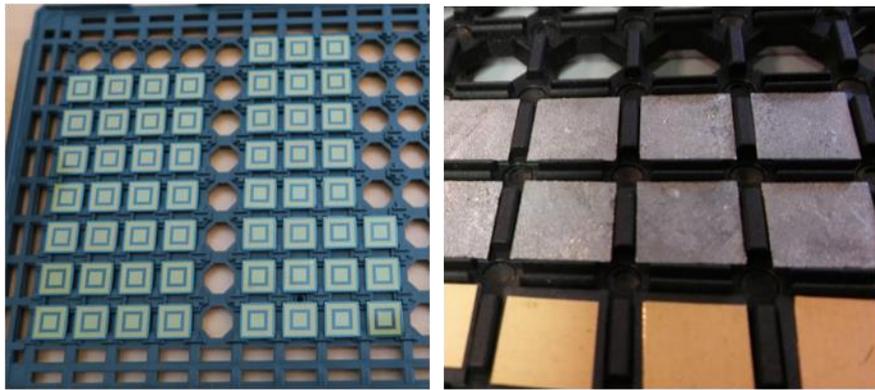


Fig. 70. Découpe des boîtiers individuels après intégration du répartiteur. Les échantillons PGS ont été découpés après collage sur le moulage. Les échantillons Cu ont été placés a posteriori par pick & place.

Les cartes BGA avec les matrices de puces sont finalement découpées à la taille des boîtiers (fig. 70). On observe à l'issue de ce processus une coupe propre pour les échantillons intégrés avec du PGS, en gris sur la figure 70. Dans le cas d'échantillons en cuivre en revanche, aucun procédé de découpe satisfaisant n'a pu être obtenu. Dans ce cas, seules des pièces découpées manuellement ont pu être intégrées par un procédé de placement individuel (*Pick & Place*) pour donner les échantillons visibles en figure 70 (en bas sur l'image de droite).

3.2.1. Les interfaces thermiques dans les procédés industriels

Dans ce flow industriel d'intégration une variable doit être étudiée de façon très détaillée. L'interface thermique d'adhésion du répartiteur va délimiter la faisabilité du procédé.

Comme déjà expliqué plus haut dans ce travail, les matériaux d'interfaces thermiques remplissent des tâches multiples et sont souvent soumis à des contraintes spécifiques.

Dans le procédé d'intégration du répartiteur, le matériau d'interface thermique doit être recuit afin de maximiser le contact et de garantir la stabilité de ses propriétés dans le temps. Les procédés de recuit évoluent d'un matériau à un autre, ils consistent en une combinaison de température et pression spécifiques appliquées pendant des laps de temps calibrés (fig. 71).

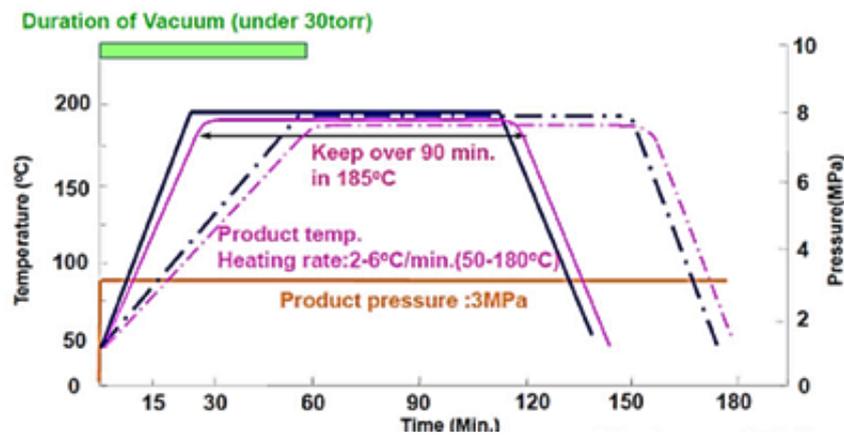


Fig. 71. Cycle de recuit recommandé par Panasonic pour une interface polyimide.

Dans un deuxième temps, une fois l'interface recuite et le boîtier assemblé, l'ensemble doit être capable de tenir le procédé de refonte des brasures (*reflow*). Dans les procédés classiquement employés pour le soudage des connexions électriques du substrat à la carte électronique avec des alliages cuivre/argent (SnAg), la température atteint 260°C. La norme JEDEC J-STD-020D définit les pentes et les températures maximales pour ce genre d'alliages (fig. 71).

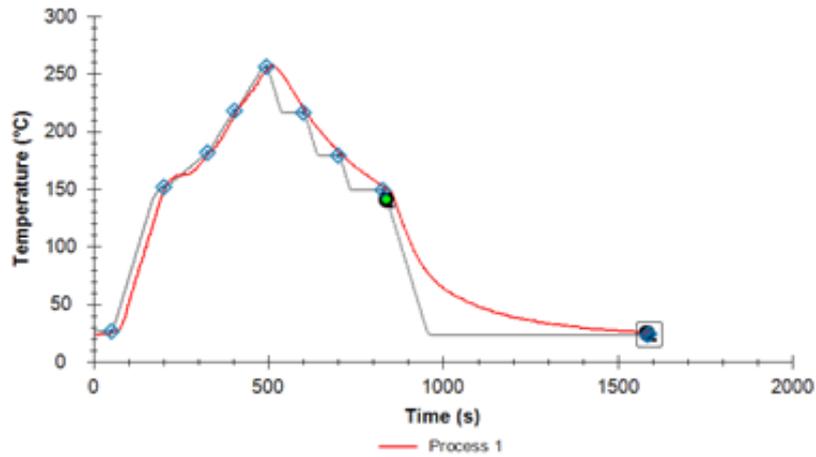


Fig. 71. Cycle de reflow JEDEC (J-STD-020D).

Au cours de ce travail, différentes compositions d'interface ont été évaluées afin de comparer leurs caractéristiques. Certaines ont été appliquées de façon manuelle, quand d'autres ont été directement intégrées dans le répartiteur par le fournisseur. Les matériaux évalués sont les suivants :

- **Epoxy** : Adhésif largement utilisé en microélectronique pour ses bonnes caractéristiques d'adhésion une fois recuit, sa facilité de dispense en seringue et sa fluidité, qui permet de créer des interfaces très fines, d'épaisseur inférieure à 15 μm . Néanmoins, sa conductivité thermique ($\lambda = 0.05 \text{ W/mK}$) reste très limitée.
- **Pâte thermique** : Pâte visqueuse avec de bonnes propriétés thermiques ($\lambda = 4 \text{ W/mK}$) mais qui ne garantit pas nécessairement une adhésion mécanique correcte entre les deux surfaces.
- **Silicone** : Interface avec une bonne adhésion mécanique et présentant des performances très stables dans le temps dans une plage de températures étendue. Elle donne une bonne isolation électrique et une conductivité thermique moyenne ($\lambda = 0.6 \text{ W/mK}$).
- **Polyimide** : Interface fournie comme une solution thermique avec le PGS. Elle a des bonnes propriétés thermiques et est disponible avec des épaisseurs très fines, jusqu'à 5 μm . Néanmoins, son manque de stabilité au cours des cycles thermiques pendant cette étude n'a pas permis de la considérer comme une solution finale acceptable.

Des échantillons de silicone et polyimide ont été soumis à des procédés de recuit et de reflow afin d'évaluer leur tenue. Le processus d'assemblage déjà expliqué sur la figure 69 a été considéré. Des feuilles de PGS avec les interfaces intégrées comme illustré sur la figure 71 ont été collées, avec 4 échantillons de chaque type d'interface. Dans tous les cas, les interfaces sont doubles, c'est-à-dire, dans le recto et verso de l'échantillon.

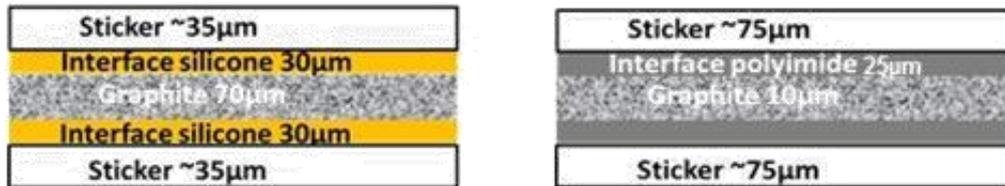


Fig. 72. Echantillons de PGS collés aux substrats BGA. Les couches de PGS sont de 10 et 70 µm d'épaisseur, alors que les interfaces sont de 25 µm pour le polyimide et 30 µm pour le silicone

Le recuit a été effectué avec un outil de moulage capable d'appliquer une pression uniforme sur une large surface et ainsi chaque *strip* de BGA a été soumis à la pression recommandée pour son interface. Le *strip* polyimide a été conservé dans l'étuve pendant 3 h additionnelles afin d'avoir le cycle de recuit préconisé. Dans les deux cas, une membrane en polytéréphtalate d'éthylène (PET, Sticker dans la figure 72) est restée attachée à l'interface supérieure pour éviter que la tête de l'outil ne reste collée après le cycle. L'aspect visuel après recuit était satisfaisant pour tous les échantillons.

Une fois recuits, les huit échantillons ont passé l'étape de reflow. Pour ce procédé, les stickers PET supérieure ont été retirés dans tous les cas afin d'éviter des tensions supplémentaires et de reproduire le cycle de reflow dans les conditions les plus proches d'une intégration réelle. En plus des stickers PET, une fois placés sur les BGA les interfaces supérieures silicone ou polyimide ont été également enlevées pour 2 sur 4 échantillons (fig. 73).

Les résultats du reflow montrent des conclusions claires par rapport à la stabilité des matériaux d'interface dans un cycle de température (fig. 73). Tous les échantillons avec silicone ont correctement tenu le cycle thermique, l'adhésion à la surface demeurant sans défauts apparents. En revanche, les échantillons avec une interface en polyimide n'ont pas donné satisfaction dans tous les cas, y compris ceux sans interface supérieure qui présentent des décollements et un phénomène de bullage.

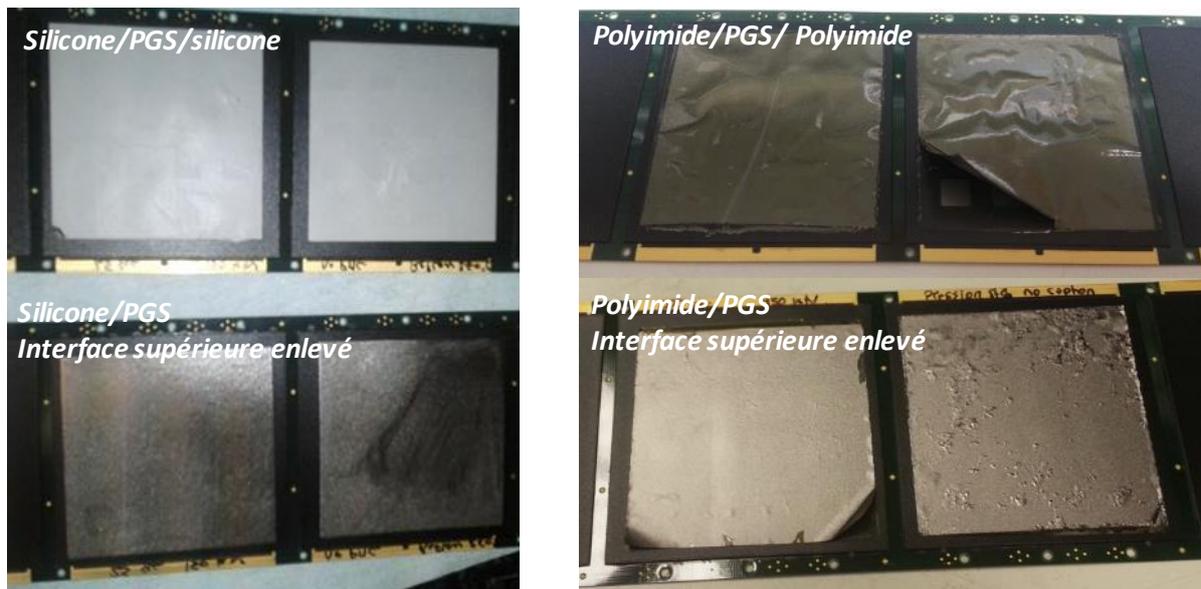


Fig. 73. Comparaison des interfaces avec cycle de reflow. On voit comment les échantillons avec une interface silicone (à gauche) ont tenu le cycle contrairement aux échantillons avec interface polyimide.

Ces résultats sont encourageants pour les interfaces à base de silicone. Les interfaces en polyimide, en revanche, nécessiteraient des efforts supplémentaires pour conduire à une intégration concluante. Malgré ces résultats, les polyimides restent très intéressants sur le plan théorique car ils sont disponibles en couches très fines ; des études supplémentaires mériteraient d'être menées pour résoudre leurs problèmes d'intégration.

3.3. Les effets thermomécaniques

Dans le cas des boîtiers microélectroniques, les contraintes d'espace et la complexité des structures impliquent souvent la mise en contact de couches multiples. Il convient de maîtriser les conséquences thermomécaniques de ces empilements parfois très hétérogènes en termes de matériaux afin de limiter ou de compenser les déformations mécaniques induites.

Lorsque la température d'un matériau augmente, celui-ci change de volume. Le rapport de croissance entre les dimensions finales et initiales du matériau lors du changement de température est appelé Coefficient d'Expansion Thermique (CTE). Si un solide soumis à une élévation de température rencontre des contraintes qui s'opposent à sa dilatation, tels qu'un ancrage mécanique ou un collage, il va développer des tensions internes qui peuvent produire des déformations ou des fractures. Notamment, dans le cas du collage de deux

couches minces de matériaux avec des coefficients d'expansion différents, une variation de température va engendrer une déformation de l'ensemble telle qu'illustrée en fig. 74.

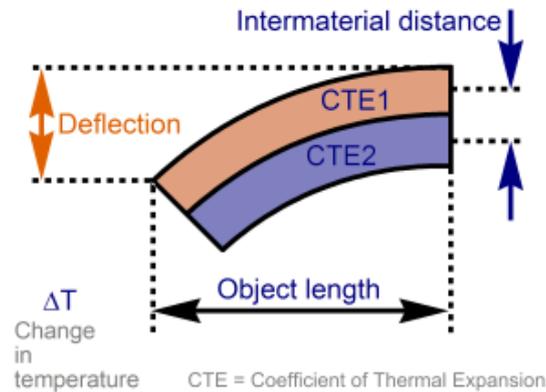


Fig. 74 : Déformations des ensembles bicouches avec coefficient d'expansion différentes.

Les déformations provoquées peuvent conduire à des délaminations de couches du boîtier, des fractures des couches fragiles et mener à la formation de circuits ouverts (fig.75).

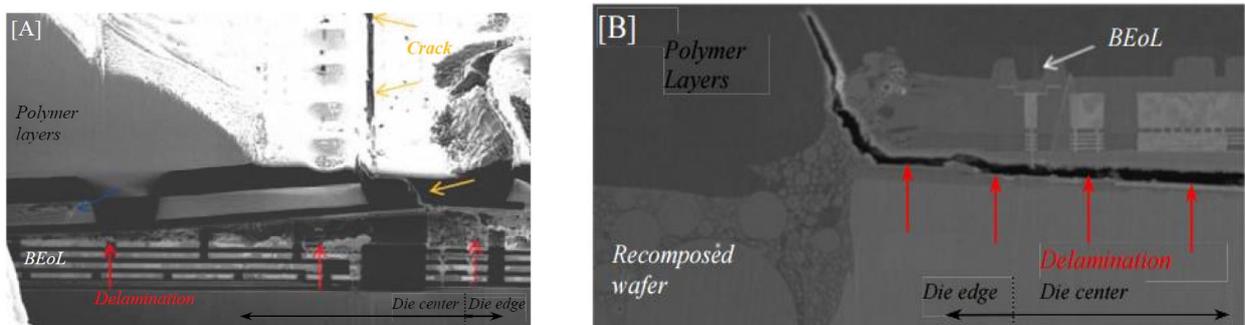


Fig. 75. Délaminations et fractures dues aux effets thermomécaniques. [Gal16]

L'intégration d'une couche répartiteur constitue donc un risque en termes d'effets thermomécaniques. On parle ici de matériaux de natures très différentes avec une plage de coefficients d'expansion thermique large :

CTE	Si	Cu	Molding	PGS (xy)
ppm/K	2,6	17	10	0,9

Tableau 4 : Valeurs des coefficients d'expansion thermique (à 25°C) des matériaux du boîtier à évaluer.

A priori les matériaux avec les coefficients d'expansion les plus proches sont le PGS et le silicium. Il convient de préciser ici que la valeur 0.9 ppm/K affichée dans la table pour le PGS correspond au CTE dans le plan XY. La structure anisotrope du PGS se traduit par des propriétés symétriques dans le plan, mais avec un CTE dans l'axe Z significativement plus élevé (32 ppm/K). Néanmoins, la faible épaisseur du matériau limite l'amplitude de la dilatation et des tensions résultantes dans cette direction. On peut donc imaginer une compatibilité favorable entre le silicium et le PGS.

Le cuivre par contre est un matériau isotrope avec un CTE bien plus élevé que celui du silicium. Son intégration dans un boîtier devra être caractérisée avec différentes interfaces afin d'évaluer les possibles risques thermomécaniques.

3.3.1. Setup de mesure et principe de la technique *Shadow Moiré*

Deux structures différentes sont considérées. La première est constituée d'un empilement de trois couches: répartiteur, interface thermique et puce silicium (fig. 76 à gauche). Cette configuration est équivalente à celle du véhicule de tests WIZZ, déjà décrit dans cet étude pour la caractérisation des interactions silicium-repartiteur. Elle permet un aperçu simple des contraintes thermomécaniques entre deux couches de CTE différents. Le matériau d'interface agit dans ce cas comme une couche tampon en absorbant les contraintes lorsqu'une déformation est induite par un changement de température. Une surface de 1 cm² est considérée pour tous les échantillons et l'épaisseur de la couche de silicium est de 200 µm.



Fig. 76. Structure des échantillons. À gauche, structure tri-couche pour des évaluations rapides. À droite, répartiteur implémenté sur un boîtier flip-chip.

La deuxième structure est celle qui a été préparée dans les essais d'industrialisation et décrite précédemment : elle est constituée d'un répartiteur de chaleur sur un boîtier flip-chip (fig. 76 à droite). Les répartiteurs sont intégrés sur une épaisseur de résine de moulage fine, et occupent une surface de 1 cm². La surface de la puce silicium intégrée à l'intérieur

est de 5,5 mm x 5,8 mm. Son épaisseur varie de 420 μm à 450 μm , du fait du procédé d'amincissement. Un underfill standard absorbe la contrainte mécanique au niveau des piliers de cuivre entre la puce silicium et le substrat.

Deux matériaux d'interface ont été utilisés pour cette évaluation: silicone et époxy. Ces deux interfaces montrent des caractéristiques de dureté et de plasticité opposés. Le silicone était déjà intégré dans les échantillons du PGS, l'époxy a été dispensé manuellement à l'aide d'une seringue. Dans le cas des échantillons en cuivre, une seringue a également été utilisée pour la dispense du silicone. Les deux matériaux d'interface sont ensuite soumis à un recuit : 100° C ou 150° C pour l'époxy et 150° C pour le silicone. La température de recuit accélère notamment le procédé de collage mais par contre implique des contraintes de déformation importantes. Les épaisseurs des répartiteurs utilisés sont 107 μm pour le cuivre et 70 μm pour le PGS. Cette différence a été cherchée afin d'étudier les contraintes thermomécaniques en gardant toujours des performances thermiques similaires.

La technique de caractérisation est basée sur le principe de Moiré sous un cycle thermique (JEDEC – JESD22-B112A). Cette méthode optique évalue l'évolution de la déformation d'une surface à partir de l'interférence entre une grille et la surface à mesurer. Lorsqu'un faisceau de lumière éclaire la grille, il projette son ombre sur la surface de l'échantillon en cours de mesure. L'ombre projetée évolue avec la déformation de la surface lorsque la température de l'échantillon varie (fig. 77). La réflexion de la lumière sur la surface de l'échantillon est capturée par une caméra placée sous un angle différent de celui du faisceau lumineux.

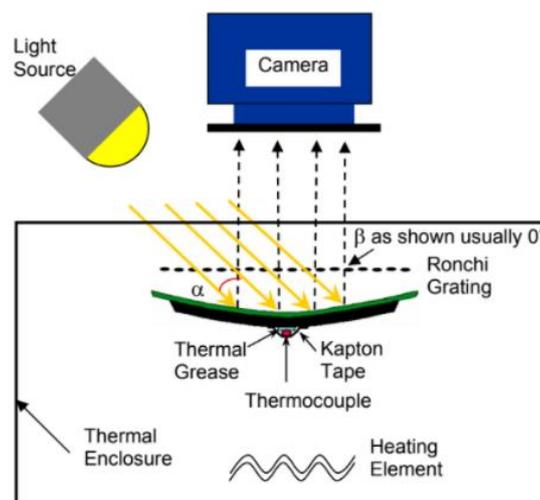


Fig. 77. Principe de mesure Moiré par réflexion sous une grille de référence. JEDEC

Si la surface de l'échantillon s'écarte d'un plan plat ou n'est pas parallèle au réseau, les rayures modifient sa position et sont visibles. L'équation qui explique le phénomène est la suivante:

$$w = \frac{p}{\tan \alpha + \tan \beta}$$

Où w est le déplacement hors plan de la surface de l'échantillon, p est le pas de la grille et les angles α et β sont respectivement ceux du faisceau lumineux et de l'angle d'observation de la caméra.



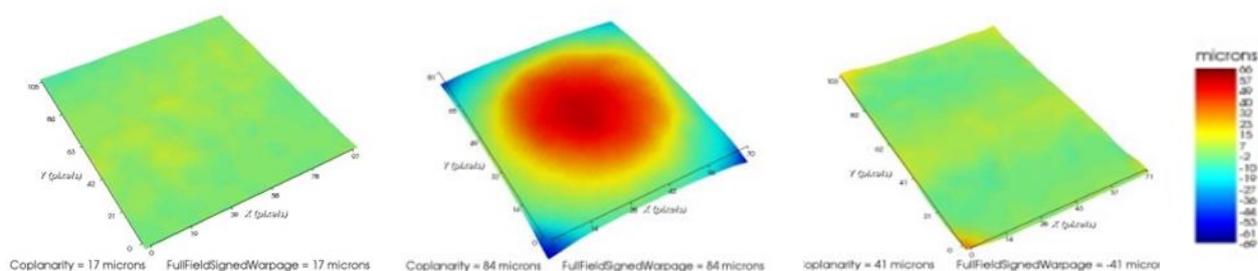
Fig. 78. Chambre Akrometrics de mesure Moiré.

Les échantillons sont placés à l'intérieur d'une chambre thermique équipée d'un système de mesure Moiré (fig. 78). L'objectif est à nouveau, comme dans le cas de l'étude de la faisabilité du procédé, de reproduire un cycle thermique de reflow (fig. 71).

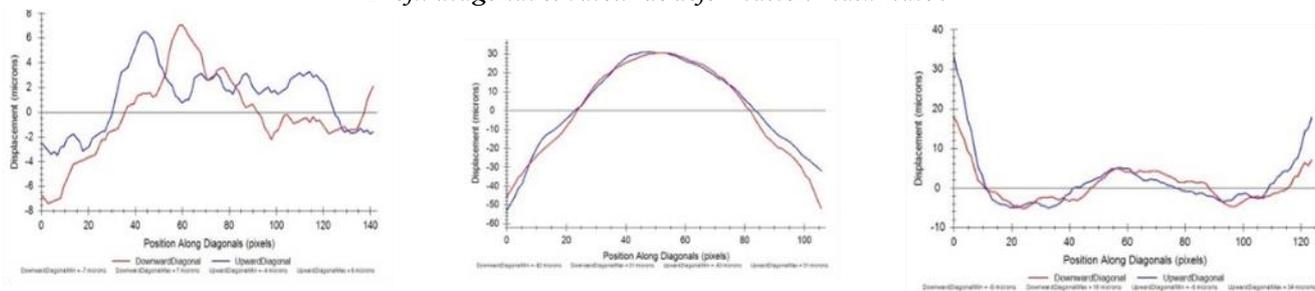
3.3.2. Déformation des ensembles silicium / répartiteur

On évalue dans un premier temps les échantillons répartiteur/interface/silicium. Tout d'abord, il faut remarquer que le recuit des interfaces lors de la préparation des échantillons peut induire des tensions résiduelles dans l'ensemble. Ainsi, on peut observer, pour les échantillons préparés avec une interface d'environ 35 μm d'époxy et un répartiteur en cuivre, une déformation de tout l'échantillon pendant le refroidissement (fig. 79, image du centre).

Plan de déformation :



Profil diagonal et valeur de déformation maximale :



16 μm

(a)

98 μm

(b)

37 μm

(c)

Fig. 79. Déformation des échantillons à température ambiante après procédé de recuit de l'interface époxy :

(a) . Puce silicium de référence

(b) . Répartiteur en Cuivre

(c) . Répartiteur en PGS

Cette déformation est provoquée par les différences de CTE entre le cuivre et le silicium et ne peut pas être amortie par l'interface. Par contre, à la différence du cuivre, à température ambiante le PGS ne montre pas de déformation due au refroidissement de l'époxy. On peut quand même observer des décollements de la couche de PGS dans les coins de l'échantillon, mais ceux-ci sont attribués à la découpe de l'ensemble et non à une délamination d'origine thermomécanique.

La déformation est calculée en prenant la différence entre les niveaux de lecture maximal et minimal. Elle est beaucoup plus significative à température ambiante dans le cas du cuivre (98 μm) que pour les autres échantillons. On peut négliger la déformation du PGS (37 μm) et considérant qu'elle est due au décollement des coins lors du processus d'assemblage, par coins qui n'étaient bien adhésés ou par billes d'air restantes. Les déformations ne sont pas donc d'origine thermomécaniques et donc on peut considérer la

reponse comme égale à celle de la puce de référence. On peut imaginer que ce décollement des corners est un effet qui pourrait être corrigé avec une procédure de collage réglé lors de la production.

A présent l'évolution de ces déformations est étudiée au cours d'un cycle de reflow : on constate une relaxation de la déformation du cuivre avec la montée en température (fig. 80). Effectivement, les deux couches, silicium et cuivre, s'approchent de l'état de non-déformation antérieure au recuit. On note une légère hystérésis dans les deux courbes montrées sur la figure. La déformation totale est inférieure à 20 μm au dessus de 150°C. Cette température est celle de la température de transition vitreuse (T_g) de l'époxy utilisée comme TIM, ce qui implique l'entrée dans le régime viscoplastique de l'interface. Dans ce régime, le matériau ne garde plus ses propriétés élastiques. Il est capable de couler entre les deux surfaces, et donc, de ne pas transférer des tensions entre elles.

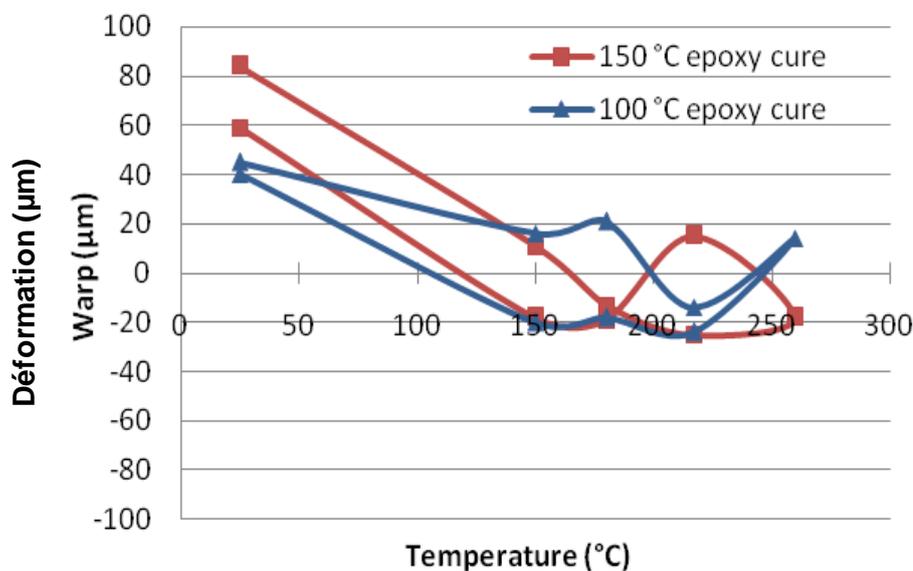


Fig. 80. Evolution de la déformation de 2 échantillons dans un cycle thermique de reflow. Répartiteur en **cuivre** sur une puce silicium. Interface de 35 μm en **époxy** recuit à 100°C ou à 150°C

L'état initial de tension de l'échantillon est clairement très dépendant de la température de recuit de l'interface. On voit que si on réduit cette température de 150°C jusqu'à 100°C la déformation diminue significativement. Néanmoins, le temps de recuit devrait augmenter de 1 à 5 min, ce qui constituerait une variable procédé supplémentaire à considérer.

Les déformations dans le cas de la puce de référence restent toujours inférieures à 30 μm (fig. 81). On constate une légère évolution de la courbure à partir de 150°C et une hystérésis dans le refroidissement. L'évolution de la déformation jusqu'à 150°C est quasiment nulle.

De la même façon, dans le cas du PGS, on ne note aucune évolution de la déformation dans toute la plage de température. Cette déformation reste de l'ordre de 40 μm , ce qui correspond ici encore au décollement du PGS dans les coins de l'échantillon engendré par la découpe.

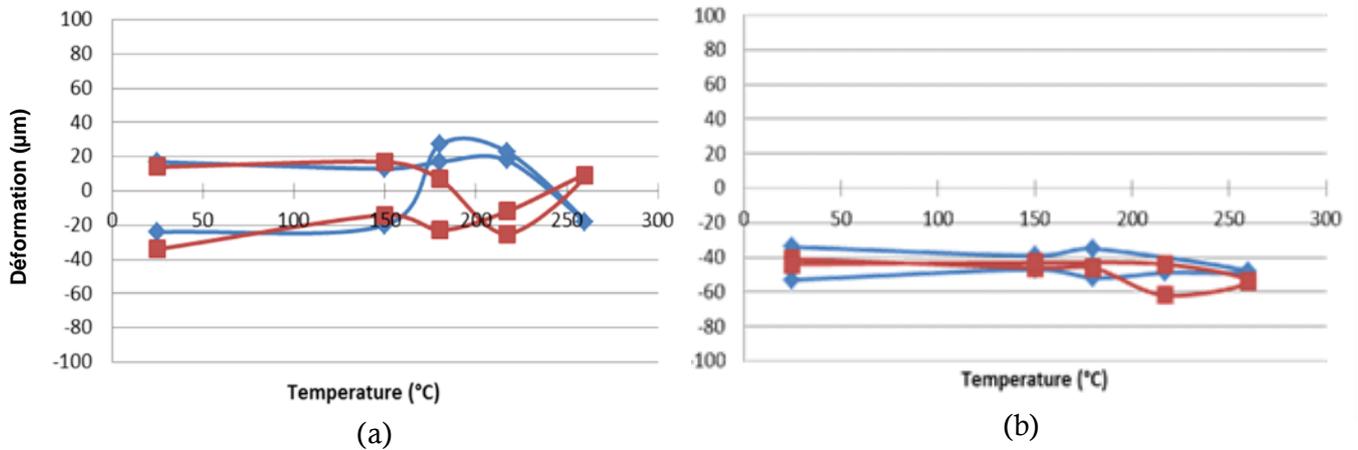


Fig. 81. Evolution de la déformation dans un cycle thermique de reflow.

(a) Puce silicium de référence

(b) Répartiteur en **PGS** sur une puce silicium. Interface de 35 μm en époxy recuit à 150 $^{\circ}\text{C}$

3.3.3. Déformation des ensembles boîtier / répartiteur

Le comportement mécanique des boîtiers réels diffère de celui d'un simple empilement à trois couches. La déformation est fortement influencée par la résine de moulage, dans ce cas, un époxy. Les substrats BGA sont conçus avec une symétrie interne de matériaux qui fait que ces déformations sont compensées ; ils ont ainsi un comportement neutre en température. Néanmoins, une couche de répartiteur supplémentaire ajoutée au-dessus du boîtier peut modifier cet équilibre. Des nouveaux effets peuvent apparaître et il faudra prévoir ces déformations lors du design de l'empilement.

3.3.3.1. Influence des éléments du boîtier

L'interaction entre le molding et le BGA a d'abord été caractérisée. Une résine de 450 μm d'épaisseur a été moulée sur un substrat BGA avant de soumettre la structure à un cycle

de reflow (fig. 82). Les faces avant (frontside) et arrière (backside) de l'ensemble ont été contrôlées pendant le cycle. Les mesures Moiré montrent une déformation symétrique des deux faces, en l'absence d'autres couches. Cette symétrie demeure pendant tout le cycle d'échauffement et refroidissement, ce qui indique une bonne adhésion entre le BGA et le molding et l'absence de déformations de type plastique. Cependant, la déformation de chaque face évolue très clairement et on peut observer une inflexion de la courbure de l'échantillon à partir de 175 °C, température qui correspond à celle du recuit de la résine de moulage. On peut donc conclure que le molding est capable de déformer le BGA et il régit le comportement de l'ensemble.

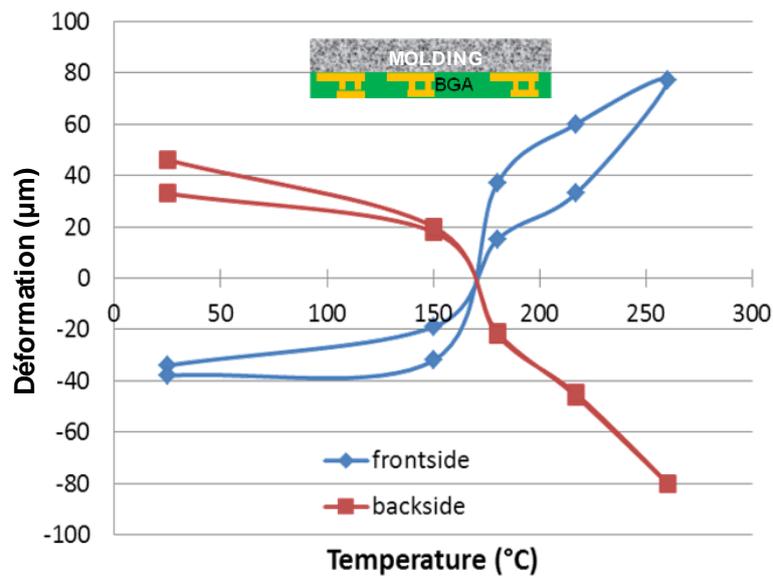


Fig. 82. Evolution de la déformation d'un substrat **BGA** avec 450 µm de **moulage** dessus pendant un cycle de reflow. La figure montre les faces avant (frontside) et arrière (backside) du boîtier.

Une fois compris le comportement du moulage et son interaction avec le BGA le même substrat a été caractérisé avec une puce en silicium entourée du même moulage (fig. 83). Les dimensions de la puce sont 5,5 x 5,8 mm, son épaisseur étant celle du moulage autour, soit 450 µm.

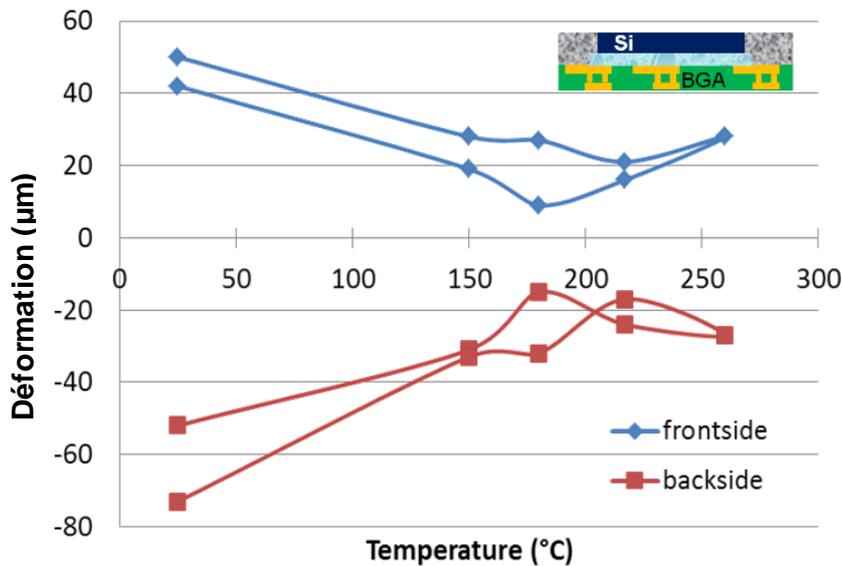


Fig. 83. Evolution de la déformation d'un boîtier avec silicium exposé pendant un cycle de reflow. La figure montre les faces avant (frontside) et arrière (backside) du boîtier.

On retrouve ici également une symétrie entre la face avant et arrière du boîtier comme dans le cas précédent. Néanmoins, la courbure d'une face dans ce cas ne s'inverse pas, même au-delà de 175°C. La déformation minimale est trouvée autour de 200°C. On peut dire que la puce silicium agit comme élément bloquant de la déformation induit par le moulage. Dans ce cas, malgré le volume limité de la puce silicium, elle rigidifie l'ensemble et prévient que le moulage puisse gérer la déformation du boîtier. D'un côté, le moulage ne se trouve pas dans le centre du boîtier. D'un autre côté, le module de Young du silicium, celui qui indique sa rigidité, est 10 fois plus grande que celui de l'époxy (179 GPa vs 20 GPa).

3.3.3.2. Influence du matériau d'interface avec un répartiteur.

La symétrie dans la déformation d'un boîtier standard entre la face avant et la face arrière pourrait être perturbée lors qu'on introduit un répartiteur. Bien que cette déformation soit principalement régie par le moulage, on compose désormais avec une seconde couche d'influence sur l'ensemble.

On a pu constater dans l'évaluation de la tri-couche que le PGS ne produit pas des déformations additionnelles lors de la montée en température du cycle de reflow. L'intérêt est donc d'évaluer l'influence qu'une couche de cuivre pourrait avoir dans le boîtier. On a

caractérisé un répartiteur en cuivre de 105 μm d'épaisseur avec deux interfaces : une interface époxy de 56 μm recuite à 150°C et une interface en silicone d'environ 30 μm également recuite à 150°C afin de garantir une bonne adhérence (fig. 84).

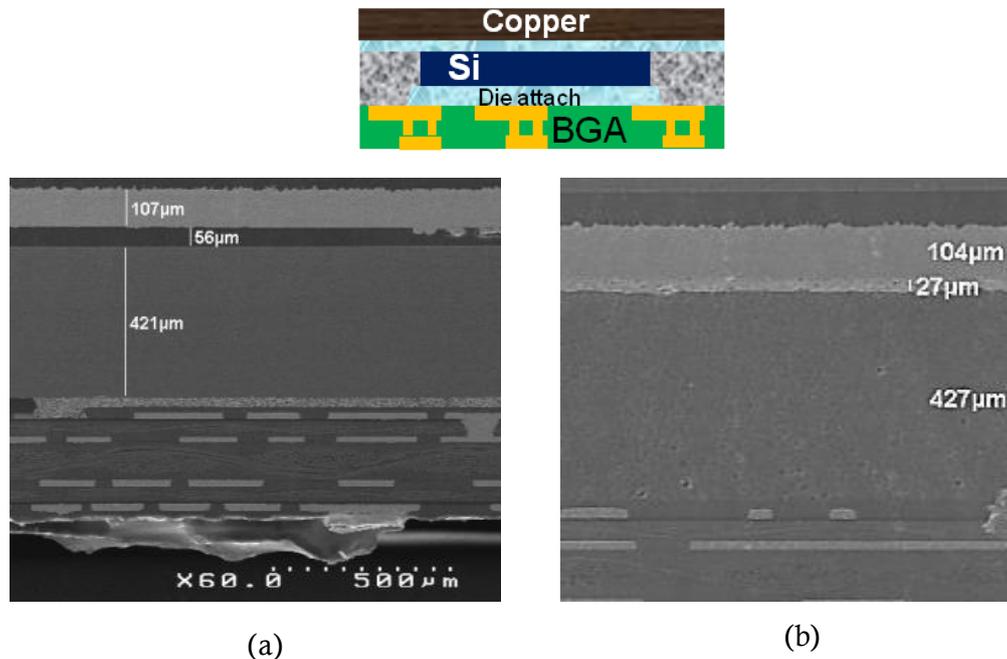
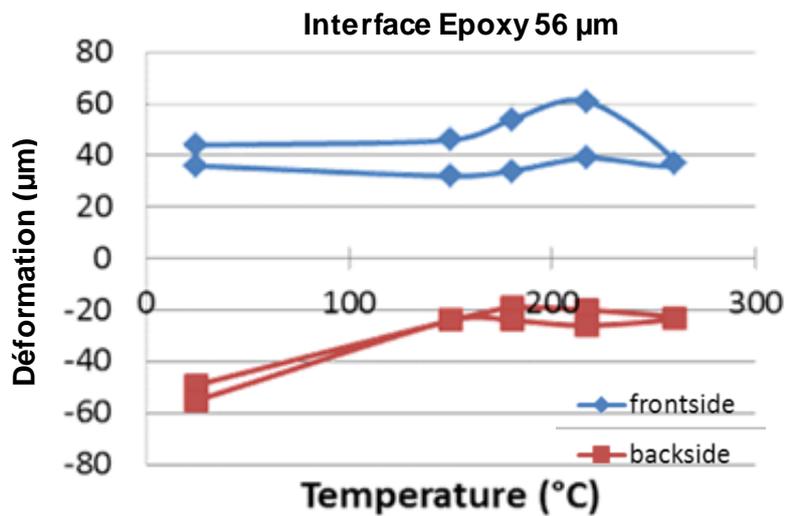


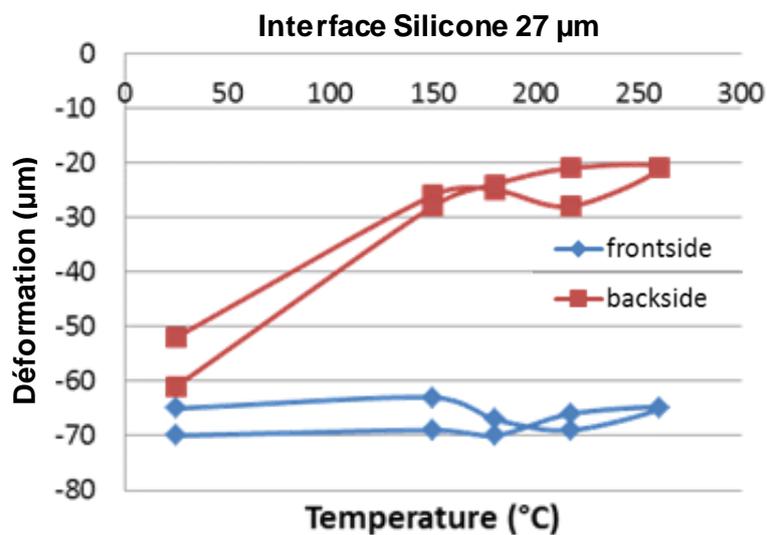
Fig. 84. Vue en coupe structures des échantillons boîtier avec un répartiteur en cuivre de 105 μm d'épaisseur.

- (a) Interface époxy
- (b) Interface silicone

Dans le cas de l'échantillon époxy, on constate que tout l'ensemble suit une courbure orientée dans le même sens lors du recuit de l'époxy de l'interface (fig. 85a). C'est-à-dire, la face avant reste toujours convexe, alors que la face arrière reste concave. Moulage et répartiteur cuivre ont suivi cette même courbure. Néanmoins, on retrouve que l'évolution de la déformation n'est plus symétrique entre la face avant et la face arrière du boîtier : les deux sont décorréélées. La déformation de la face arrière diminue alors que celle de la face avant augmente avec la montée en température.



(a)



(b)

Fig. 85. Evolution de la déformation de la surface d'un boîtier avec répartiteur en cuivre 105 μm dans un cycle de reflow. La figure montre les faces avant (frontside) et arrière (backside) du boîtier.

(a) Interface d'époxy 56 μm

(b) Interface de silicone 27 μm

Dans le cas de l'interface silicone, l'absence de corrélation est encore plus nette (fig. 85b). La déformation initiale des deux faces est opposée, ce qui indique que le répartiteur cuivre (face avant) n'a pas suivi la déformation du substrat (face arrière) lors du refroidissement suivant le recuit de l'interface. Cette conclusion ressort encore quand on voit que la déformation du cuivre reste inchangée lors du cycle thermique de reflow. La déformation du substrat, par contre, diminue par l'influence du moulage. Cet effet est expliqué par la nature visqueuse de l'interface silicone : la température de transition vitreuse (T_g) du

silicone étant de -80°C . Le cuivre peut donc se dilater latéralement sans contrainte verticale grâce à la souplesse de la silicone. Il faudrait souligner la nécessité d'une attache plus solide entre le répartiteur et le boîtier pour les structures où une corrélation entre couches est recherchée, notamment dans le cas des structures 3D ou des boîtiers compacts WL CSP.

3.4. Les interactions d'un matériau carboné avec des signaux RF

Si l'on veut éventuellement imaginer une intégration des répartiteurs à l'intérieur de structures à forte compacité, il existe une contrainte additionnelle à considérer. Il faut d'abord tenir en compte que la conductivité thermique d'un matériau est habituellement liée à sa conductivité électrique. Celle-ci est le cas des métaux et notamment des matériaux en carbone [Lia14] [Zha15]. Par conséquent, si le but de cette intégration est de rapprocher au maximum les répartiteurs aux cœurs de calcul on pourrait se demander si l'on ne modifie pas dans le même temps les caractéristiques électriques de l'ensemble.

La présence de matériaux conducteurs dans l'entourage des lignes électriques ne devrait constituer un problème que si des signaux à haute fréquence sont transmis. Dans ce cas-là, le matériau peut provoquer des phénomènes de réflexion ou d'absorption des ondes émises. Afin de mieux comprendre ces effets, il faut introduire deux concepts qui caractérisent la transmission des signaux à haute fréquence :

- Les paramètres S :

Les paramètres S traduisent la relation qui existe entre les ondes incidentes (entrantes) sur l'un des ports d'un dispositif donné et celles qui sont réfléchies et/ou transmises (sortantes) par ce dernier. Pour un dispositif avec n ports d'entrée et m de sortie, on pourrait formuler le signal de sortie B_m à partir de celui d'entrée A_n par l'expression matricielle $A_n = S_{nm} \times B_m$. Les termes S_{ii} de la diagonale de la matrice représentent les coefficients de réflexion, alors que le reste des termes correspondent aux coefficients de transmission.

- Diagramme de l'œil

Le diagramme de l'œil est un outil qui permet d'évaluer globalement la qualité d'une liaison numérique. Il est construit à partir d'une forme d'onde numérique en superposant sur un même graphe les courbes correspondant à chaque bit avec l'amplitude du signal en

Y (axe vertical) et le temps en X (axe horizontal). En répétant l'opération sur un grand nombre d'échantillons de signal, le graphe obtenu fournit les statistiques moyennes du signal et présente l'aspect d'un œil (fig. 86).

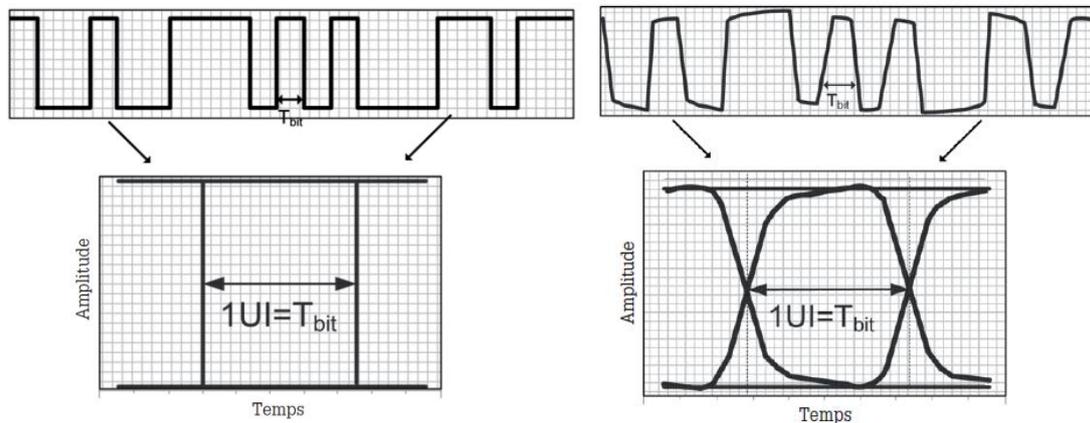


Fig. 86. Comparaison d'un signal idéal, avec des fronts verticaux, et un signal réel qui souffre d'altérations qui donnent lieu au diagramme de l'œil.

3.4.1. Problématique

On imagine un empilement 3D avec deux niveaux logiques dans lequel on a réussi à intégrer un répartiteur en PGS. La feuille de PGS est considérée placée entre les deux couches et elle a été percée afin de laisser passer les connexions électriques verticales entre les deux niveaux. La question se pose alors de la perturbation engendrée sur les caractéristiques de transmission à hautes fréquences des interconnexions situées dans le voisinage du répartiteur. L'étude préliminaire pour répondre à la question précédente porte sur deux types d'interconnexions (fig. 87):

- Une ligne de transmission de type "coplanaire" utilisée pour la transmission des signaux dans le plan des substrats. Dans ce cas, la couche de PGS est dans un plan parallèle à la liaison.
- Un tronçon court de ligne de transmission composé de piliers de cuivre utilisé pour la transmission des signaux perpendiculairement aux substrats. Dans ce cas, la couche de PGS est perpendiculaire à la liaison.

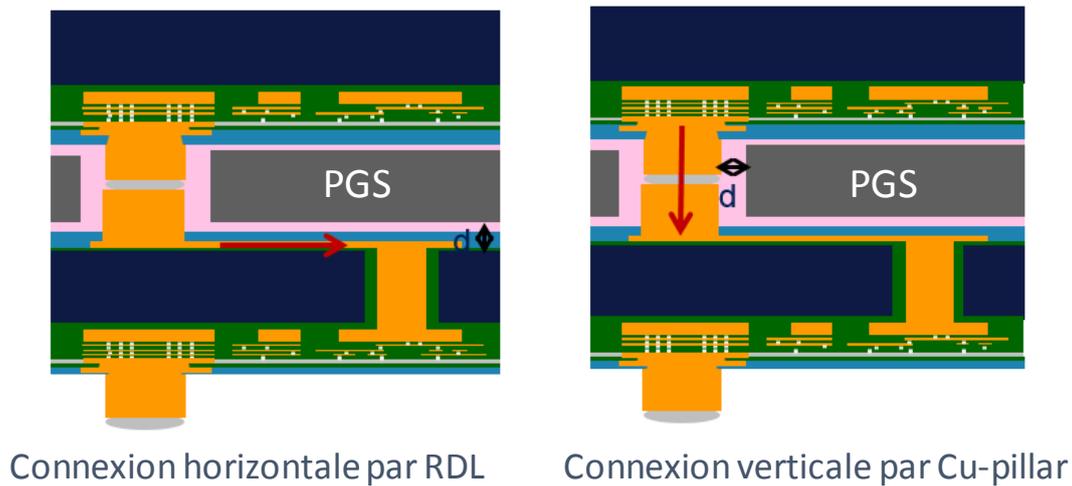


Fig. 87. Situation du dissipateur de chaleur en PGS au cœur de l'empilement 3D. Disposition des lignes verticales et horizontales potentiellement affectées par le PGS.

Un modèle de simulation inspiré de ces structures a été créé sous Ansys Electronics Desktop. Diverses variations de cette structure sont étudiées, visant à mettre en avant l'influence du PGS sur ses performances HF. Cette étude a été faite en collaboration avec le laboratoire IMEP – LAHC de l'Université de Savoie Mont Blanc, où les simulations ont été réalisées. Néanmoins, due à l'intérêt de ces résultats dans le cadre de cet étude d'intégration, on considère très pertinent les présenter dans ce manuscrit de thèse.

3.4.2. Ligne de transmission de type coplanaire

La première structure étudiée est une ligne coplanaire de longueur 1 mm composée de trois conducteurs en cuivre réalisés sur un substrat en PGS et isolés de celui-ci par une couche de résine isolante. Cette structure correspond à une interconnexion classique permettant de transmettre des signaux hautes fréquences (HF) "horizontalement" dans l'empilement 3D. La figure 88 reprend les paramètres physiques et géométriques de cette structure.

Les valeurs de conductivité électrique du PGS présentés par Panasonic tiennent compte de l'anisotropie du matériau. De cette façon on a une conductivité très haute $\sigma_{IP} = 2 \text{ MS/m}$ dans le plan et presque nulle dans la direction normale au plan, simplifié à $\sigma_{TP} = 0 \text{ S/m}$ dans les simulations.

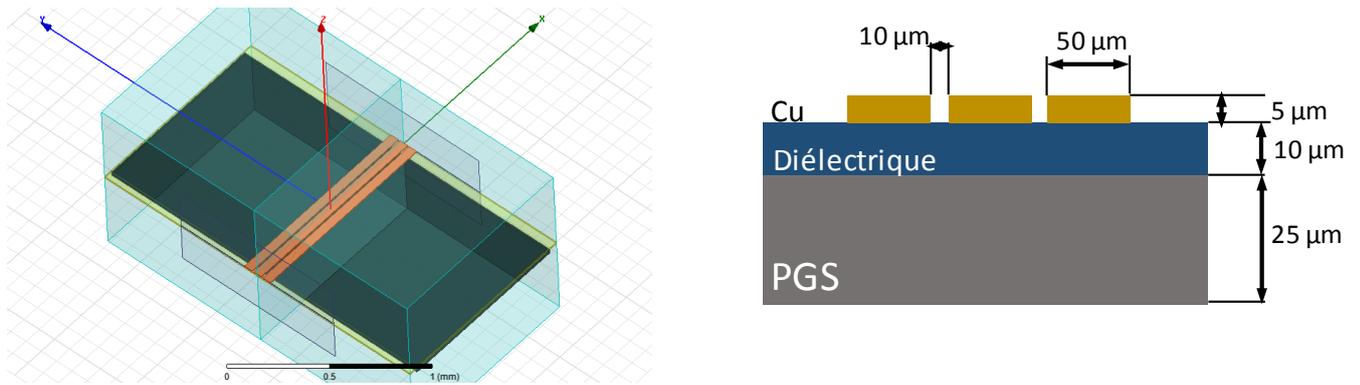


Fig. 88. Structure étudiée : ligne de transmission horizontale de type coplanaire.

Le premier résultat décrit l'influence de la présence ou non du PGS. La figure 89 présente les paramètres S_{11} et S_{21} représentant respectivement la puissance réfléchi sur un des ports de la ligne et la puissance transmise d'un port à l'autre, en fonction de la fréquence.

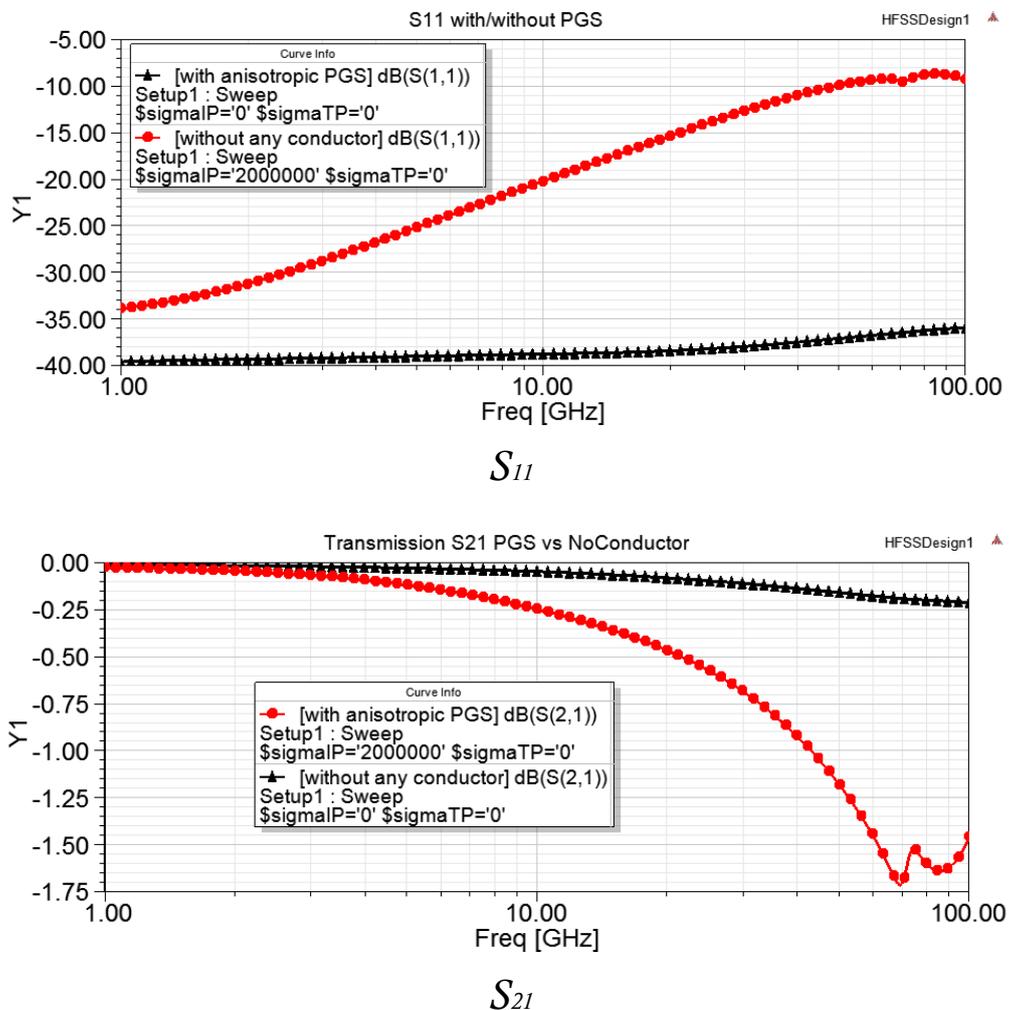


Fig. 89. Paramètres de réflexion (S_{11}) et de transmission (S_{21}) pour une ligne excitée par une source HF adaptée en présence de PGS (rouge) et sans PGS (noir).

On observe qu'en basse fréquence les lignes avec et sans PGS transmettent quasiment toute la puissance ($S_{21}=0\text{dB}$), tandis que, lorsque la fréquence augmente, la puissance transmise diminue (S_{21} diminue). Cette dégradation des performances des lignes est due d'une part à la réflexion d'une partie de la puissance (S_{11} augmente) et d'autre part à la dissipation de puissance par les conducteurs de la ligne et par le PGS lorsqu'il est présent.

Les pertes sont nettement plus importantes lorsque le PGS est présent, ce qui signifie que sa présence est responsable d'une désadaptation d'impédance et/ou de pertes par absorption. Un bilan de puissance a permis d'évaluer qu'à 100 GHz, pour le cas "avec PGS", les pertes par absorption représentent 18 % de la puissance incidente, tandis que la désadaptation d'impédance représente 10 % de la puissance incidente.

Cependant, si l'effet du PGS est tout à fait perceptible par l'étude des paramètres S, le critère important pour la transmission de signaux hauts fréquences est le débit maximum qui peut être transmis par la ligne. On peut approcher le débit maximum réel en calculant à partir des paramètres S la forme du diagramme de l'œil associé au tronçon de ligne, pour un débit donné. Nous avons ici tracé les diagrammes de l'œil des structures "avec PGS" et "sans PGS", à 100 Gbits/s puis à 50 Gbits/s (fig. 90) :

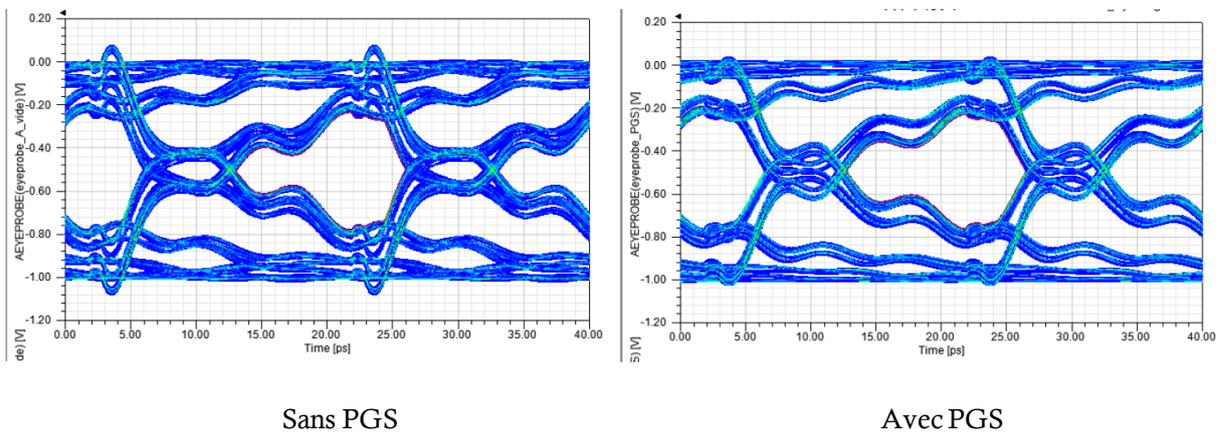


Fig. 90 (a). Diagrammes de l'œil des structures sans PGS et avec PGS à 50 Gbits/s

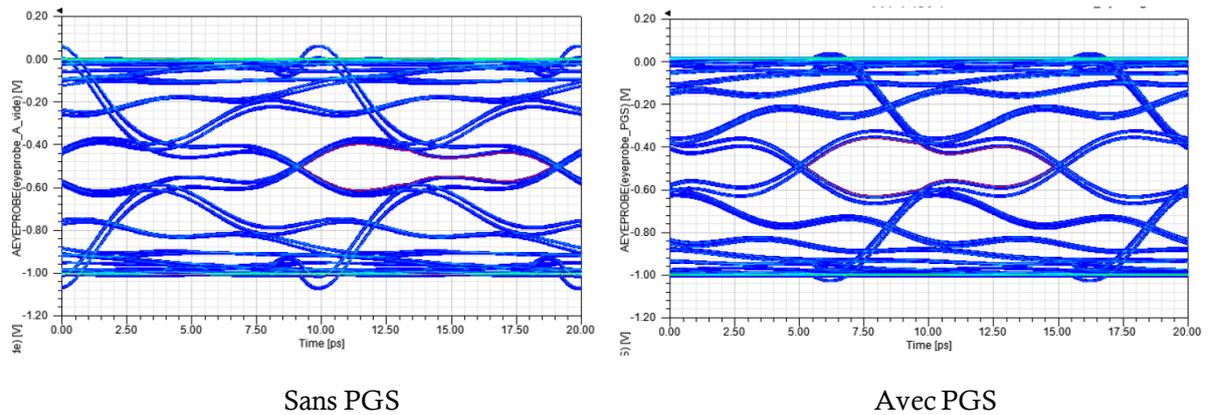


Fig. 90 (b). Diagrammes de l'œil des structures sans PGS et avec PGS à 100 Gbits/s

Il semble que 100 Gbits/s et a fortiori 50 Gbits/s soient des débits atteignables pour les lignes de 1 mm de long, avec ou sans PGS, car l'œil est encore ouvert. L'influence du PGS pour ce type de configuration n'affecte pas significativement la qualité du signal. Ce résultat est intéressant car il valide la possibilité théorique d'utiliser des lignes à proximité du PGS pour un débit de 100 Gbits/s. L'effet du PGS est en réalité assez faible sur la structure quand il est situé à 10 μm des conducteurs en cuivre.

3.4.3. Lignes de transmission perpendiculaires

L'étude est ici complétée par la simulation d'une structure composée de trois piliers de cuivre traversant un plan de PGS et séparés de celui-ci par une résine isolante. Cette structure permet de propager les signaux HF verticalement dans l'empilement 3D. La figure 91 présente cette structure.

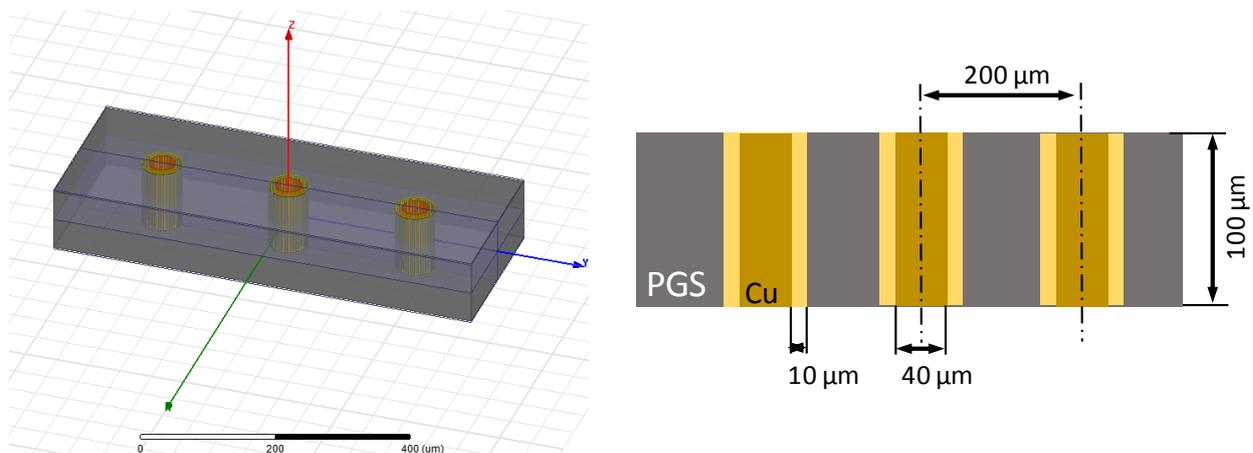
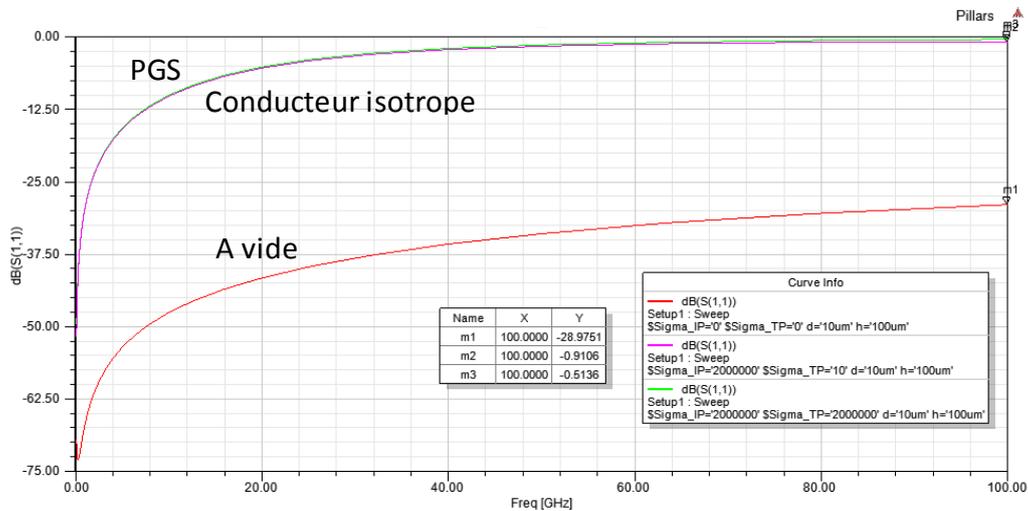
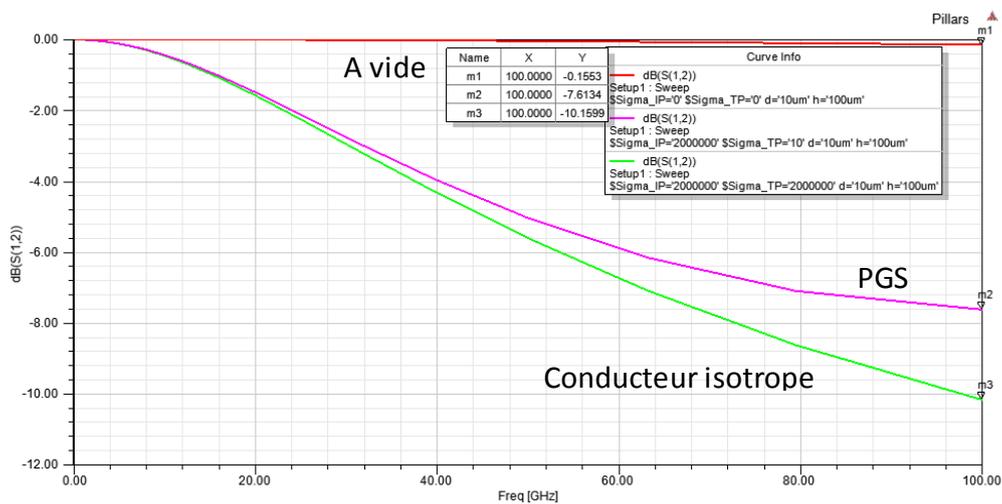


Fig. 91. Structure étudiée : ligne de transmission verticale en copper pillars

A nouveau, on simule la transmission d'un signal par les lignes verticales dans toute la gamme de fréquences. Dans cette configuration, on a également considéré une référence avec un matériau conducteur isotrope comme le cuivre. La figure 92 reprend les résultats de simulation pour les paramètres S_{11} et S_{12} :



S_{11}



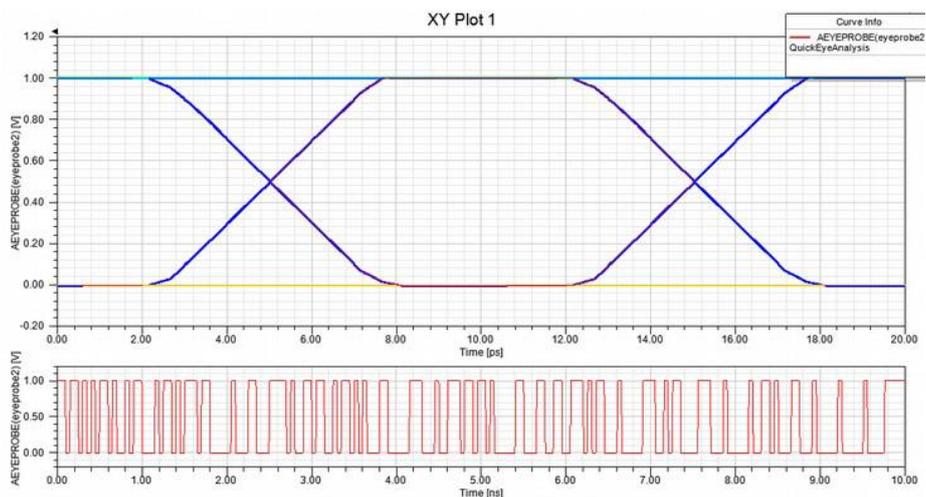
S_{12}

Fig. 92. Paramètres S normalisés sur l'impédance de port Z_c (cas simulés : Sans PGS / avec PGS / avec conducteur isotrope)

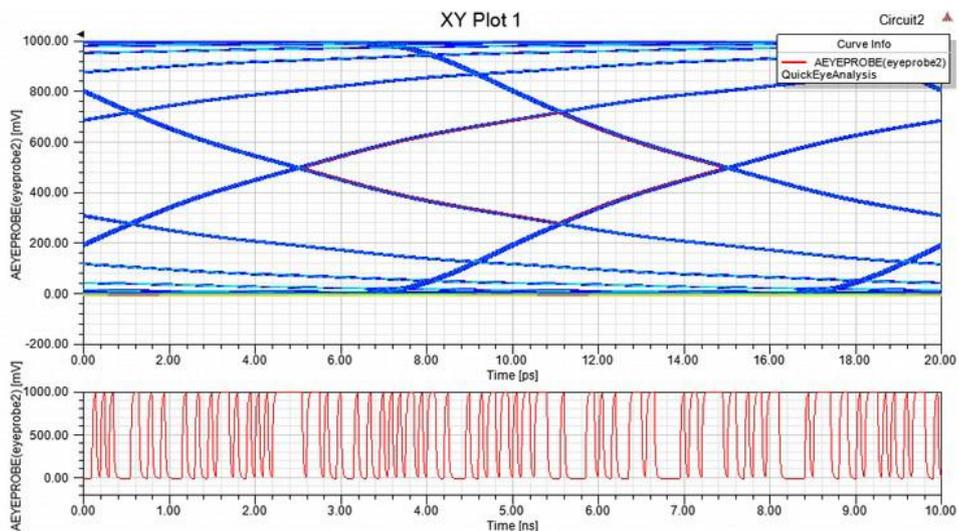
On formule ici l'hypothèse que l'adaptation d'impédance est parfaite entre la source, la ligne et le récepteur, pour observer uniquement l'effet d'atténuation dû aux pertes dans le PGS. On observe, comme pour la ligne coplanaire, que la présence de conducteur isotrope

ou du PGS anisotrope génère des pertes par désadaptation d'impédance et par dissipation. Le tronçon de ligne est cette fois beaucoup plus court (100 μm contre 1 mm dans l'étude coplanaire), l'atténuation est cependant supérieure pour cette structure, laissant supposer que les pertes dues à la dissipation sont assez importantes.

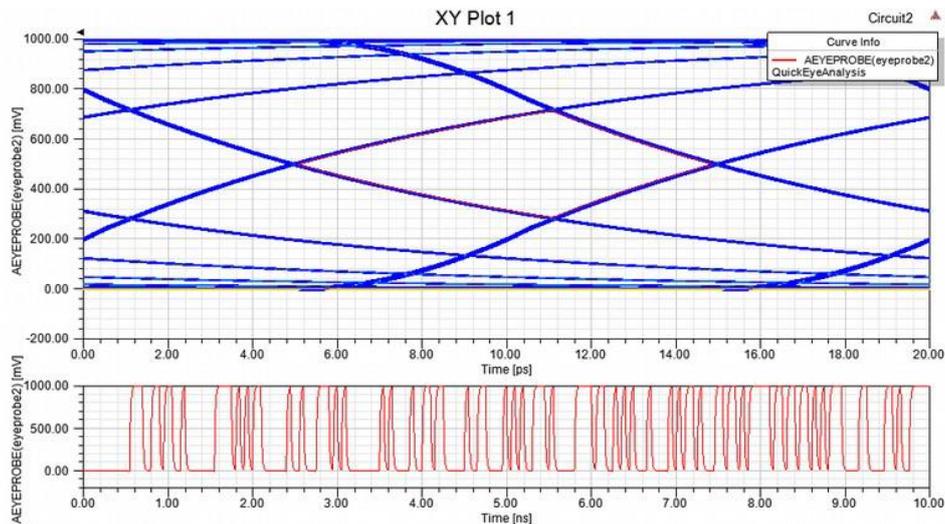
Le diagramme de l'œil simulé à partir des paramètres S confirme ce résultat (fig. 93): la présence d'un substrat conducteur (isotrope ou anisotrope) autour des piliers de cuivre perturbe fortement la transmission de signaux pour les hautes fréquences.



Structure sans PGS



Structure avec PGS



Structure avec conducteur isotrope

Fig. 93. Comparaison des diagrammes de l'œil à 20 Gbits/s pour des structures en vide, avec PGS ou avec un conducteur isotrope

On peut observer que dans cette configuration, la présence d'un conducteur modifie significativement la qualité du signal même pour une fréquence de 20 Gbits/s. Il est donc indispensable d'effectuer un dimensionnement très précis de ce type de structures si l'on est contraint de placer du PGS au voisinage de lignes de transmission.

3.4.4. Effet de l'épaisseur d'interface isolante

On a déjà constaté dans ce chapitre l'influence des interfaces dans la faisabilité des structures avec répartiteurs. Les signaux HF ne sont pas une exception. Si les transitions coplanaires ne sont pas impactées de façon significative, les transitions perpendiculaires voient une dégradation des performances qui pourrait constituer une barrière à l'adoption de cette technologie. Comme le confinement de l'onde électromagnétique est à l'origine des pertes par dissipation dans le plan conducteur de PGS, nous avons étudié l'influence de l'épaisseur de l'isolant séparant les piliers de cuivre et le plan conducteur.

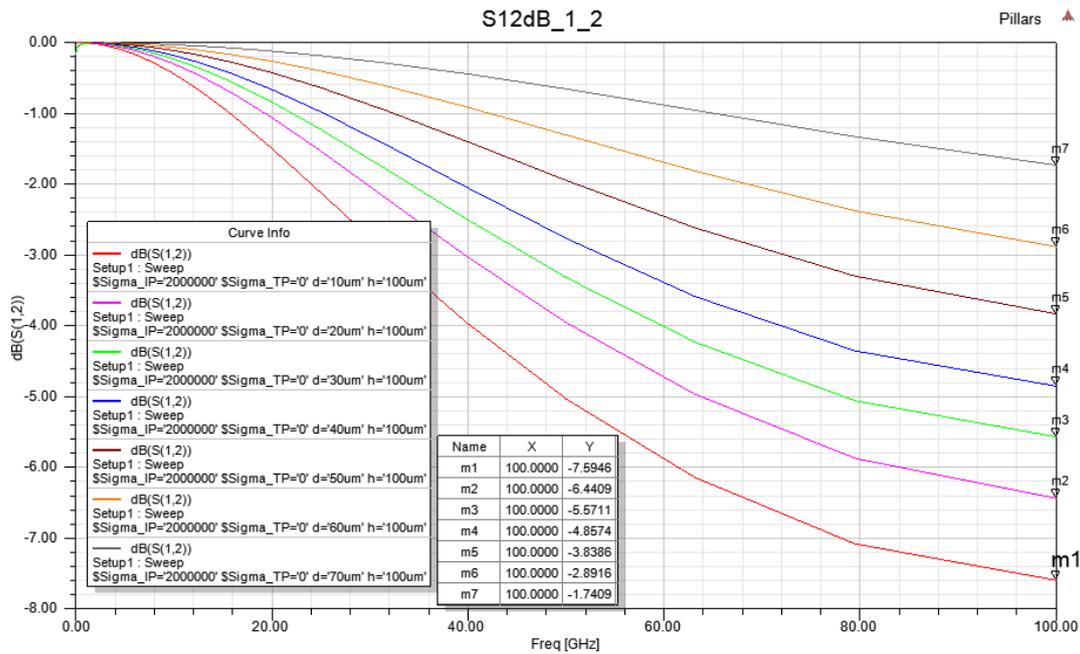


Fig. 94. Paramètre de transmission S_{21} en fonction de la fréquence et de l'épaisseur d'interface isolante entre la ligne et le PGS

Sept épaisseurs d'interface isolante entre 10 à 70 μm ont été simulées pour toute la gamme de fréquences. Il apparaît que l'augmentation de l'épaisseur, c'est à dire l'éloignement du plan de PGS par rapport aux piliers de cuivre est tout-à-fait bénéfique pour réduire les pertes en transmission (fig. 94). D'autres solutions limitant encore l'effet du plan de PGS, comme une ouverture unique englobant l'ensemble des piliers de cuivre d'une même zone pourraient être étudiées avec des améliorations probables des performances.

Pour conclure, la présence d'une couche de PGS n'est pas anodine sur les caractéristiques de propagation à haute fréquence des interconnexions, puisqu'il se comporte quasiment comme un conducteur métallique isotrope. Il semble donc prudent de quantifier précisément ses effets sur des véhicules de test mesurables et de redimensionner en conséquence les interconnexions proches du PGS sur la base de règles de dessin consolidées.

3.5. Conclusion

Au cours de cette étude sur l'intégration d'un répartiteur dans un ensemble microélectronique, nous avons pu observer que :

- L'approche suivie dans le procédé d'assemblage détermine la surface d'influence du répartiteur et donc ses performances. Si l'on s'oriente vers un procédé à l'échelle du wafer, on sera restreint à la surface du silicium. En revanche, pour une intégration plus tardive dans le flow d'assemblage, le répartiteur pourra avoir une influence bénéfique sur l'ensemble du boîtier.
- Les interfaces de chaque côté du répartiteur ont un impact décisif non seulement sur ses performances thermiques, mais aussi dans la faisabilité du procédé d'intégration. Les matériaux d'interface qui se montrent plus stables pendant les cycles de température du recuit et reflow, notamment les silicones, seront privilégiées.
- Les effets thermomécaniques dus à l'empilement d'un répartiteur dans un boîtier sont très dépendants des matériaux des répartiteurs et interfaces sélectionnés. On a montré que les répartiteurs en cuivre sont significativement déformés lors d'un cycle thermique comme un reflow. Le PGS, par contre, semble réagir de façon neutre aux cycles de température. Ce fait peut simplifier significativement le design mécanique des empilements. Le PGS n'aurait donc besoin des couches supplémentaires de compensation mécanique, et donc, il se présente comme un bon candidat pour l'intégration dans des empilements avec un facteur de forme réduit.
- Les matériaux les plus adéquats pour la fonction de répartition thermique peuvent aussi dégrader les signaux à haute fréquence dans leur entourage. Cet effet se manifeste surtout dans les lignes électriques perpendiculaires et traversant le répartiteur. Lors du design d'une structure avec un répartiteur, un bilan doit être établi entre la surface du répartiteur, les épaisseurs des interfaces isolantes et la disposition des lignes électriques.

Chapitre 4 :

Optimisation des performances thermiques d'une puce avec répartiteur

L'objectif de ce chapitre est de présenter les résultats des mesures et analyses de différentes solutions thermiques basées sur l'idée d'un répartiteur. On présente les résultats au niveau puce silicium, boîtier câblé par fils ou soudé par μ -billes et finalement les solutions pour une technologie de boîtier et puce imageur.

4.1. La fonction de dissipation combinée silicium-répartiteur

La combinaison d'un répartiteur thermique avec un substrat de silicium présente des perspectives très prometteuses à moyen terme. L'idée de base est de substituer une partie de l'épaisseur silicium par un matériau avec une meilleure conductivité thermique. Comme déjà expliqué dans le chapitre 1, le silicium est un bon conducteur, néanmoins, il existe des matériaux avec des conductivités largement supérieures. Le défi industriel est d'être capable d'implémenter ces matériaux en évitant une intégration trop coûteuse.

On a déjà parlé dans le chapitre 3 des effets thermomécaniques et de l'impact des répartiteurs sur les signaux à haute fréquence. On s'intéresse maintenant à ses effets thermiques et à comment maximiser le gain en performances en appliquant ce type de solutions.

Dans cette première partie, on a utilisé le véhicule de test WIZZ. Ce véhicule de test a été déjà décrit dans le chapitre 2. Il nous permet grâce à sa simplicité d'évaluer les interactions entre le répartiteur et le silicium sans l'influence du reste des éléments du boîtier.

4.1.1. L'impact des variables géométriques du silicium

Le premier pas consiste à évaluer la réponse thermique de notre véhicule de test WIZZ. Pour ce but on a utilisé la configuration décrite dans la figure 46, qui comporte une couche isolante en verre entre le silicium et la platine en acier. Le contact électrique est réalisé au moyen de 4 pointes de test manuelles : deux amenées de courant et deux pour une mesure de tension. La conversion en température est faite avec ces données selon la procédure déjà expliquée dans le chapitre 1.

On a fait varier deux variables de nos échantillons : la surface (0.25, 1 et 2 cm²) et l'épaisseur (200 et 750 μm) du silicium. L'intérêt est de pouvoir caractériser la résistance thermique due à ces facteurs. Le courant injecté dans le serpentin métallique est modulé afin de produire une gamme de puissances allant de quelques centaines de milliwatts jusqu'à 2 Watts (fig. 95).

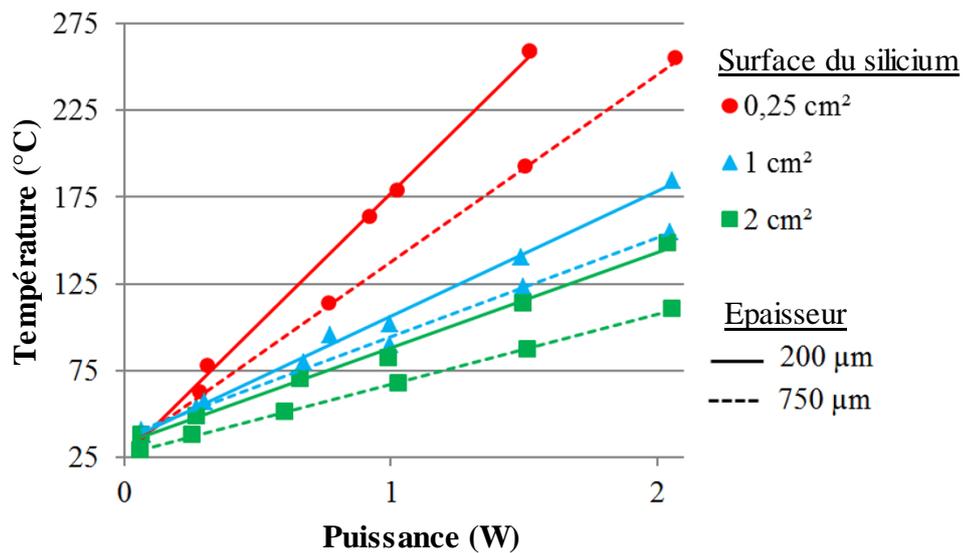


Fig. 95 : Température du point chaud de la puce WIZZ en fonction de la puissance Joule dissipée pour différentes configurations d'échantillons.

Le graphique montre la température du point chaud, c'est à dire, du serpentin source de chaleur pour cette gamme de puissances. On peut voir une influence claire des deux facteurs explorés. Dans le cas de la puce de 0.25cm², la puissance maximale est limitée à cause d'une température maximale trop élevée. De même que pour la surface, on peut observer comment l'amincissement de l'épaisseur du silicium produit une augmentation de la résistance thermique de l'échantillon. Dans le cas de la puce de 0.25 cm², cet incrément est de 34%.

4.1.2. L'interaction Silicium – Répartiteur

Une fois la réponse thermique du véhicule de test WIZZ caractérisée, on vient intégrer un répartiteur sur la face arrière de la puce (fig. 46). Le matériau du répartiteur est du PGS de 70 µm d'épaisseur et l'interface utilisée entre les deux composants est de 30 µm de silicone. Trois surfaces différentes de PGS (1, 2 et 4 cm²) ont été évaluées avec des échantillons silicium identiques : Une puce silicium de 1 cm² et 200 µm d'épaisseur.

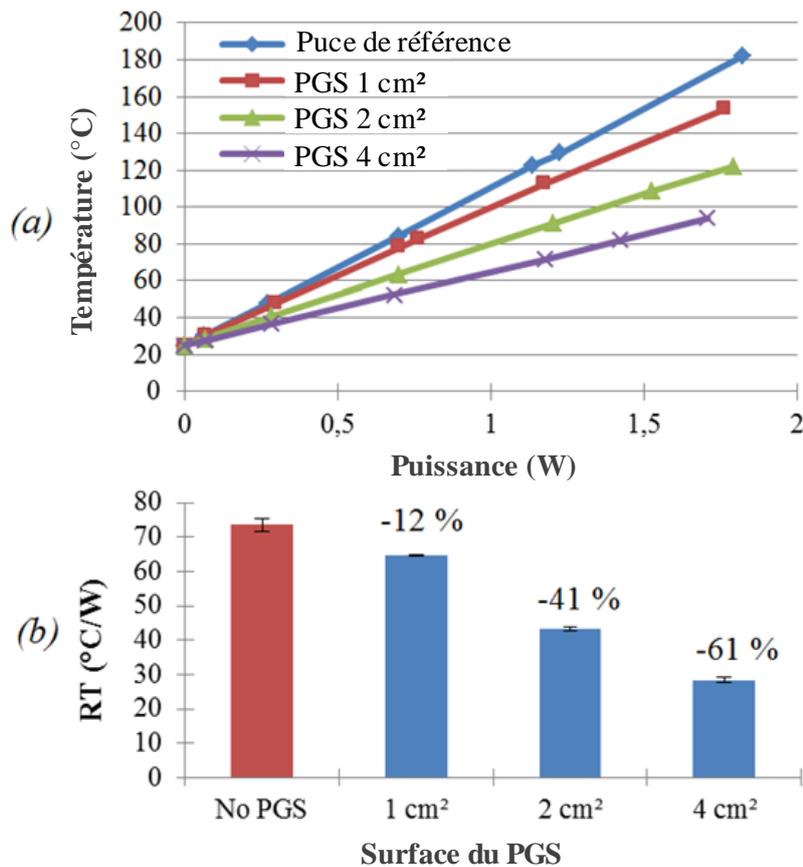


Fig. 96 : Evaluation de la surface de PGS pour 4 échantillons
 (a) Température en fonction de la puissance injectée
 (b) Résistance thermique

La réduction de la température maximale est significative dans tous les cas, même pour le PGS de 1 cm² (fig. 96a). Dans ce premier échantillon PGS, la surface de contact entre le répartiteur et le substrat en verre est identique à celle de la puce Si. Ce résultat nous amène à penser à une possible homogénéisation de la température au sein de l'ensemble silicium + répartiteur.

La réduction de la résistance thermique, par rapport à celle du silicium sans répartiteur est illustrée dans la figure 96b. Une augmentation de la surface de contact entre le PGS et le substrat maximise la réduction de la température grâce à l'utilisation d'une plus grande surface pour le transfert thermique dans le substrat en verre.

4.1.3. La contribution du répartiteur au flux thermique

La caractérisation du véhicule test et du PGS a également servi à préparer un modèle de simulation avec lequel on va pouvoir reproduire ces mesures de façon virtuelle. On s'est servi du logiciel Flotherm de volumes finis. Le modèle prend en considération l'ensemble du véhicule test et la première couche de verre de la structure isolante montrés dans la figure 46. Les conditions aux limites ont été choisies en prenant en compte la configuration de l'expérience et surtout afin d'ajuster les résultats des simulations à ceux des mesures électriques : un coefficient de convection de $70 \text{ W/m}^2\text{K}$ sur la surface inférieure du modèle et un coefficient de $15 \text{ W/m}^2\text{K}$ pour le reste de surfaces.

Dans un premier temps, le modèle a été utilisé afin de décrire les échanges thermiques avec ou sans répartiteur. Deux configurations ont été comparés (fig. 97), l'une avec la puce de référence déjà mentionnée dans le point antérieur et l'autre avec un PGS de 2 cm^2 de surface comme celui utilisé dans les mesures électriques (fig. 96). La conductivité thermique anisotrope du PGS utilisé est celle donnée dans les spécifications de Panasonic.

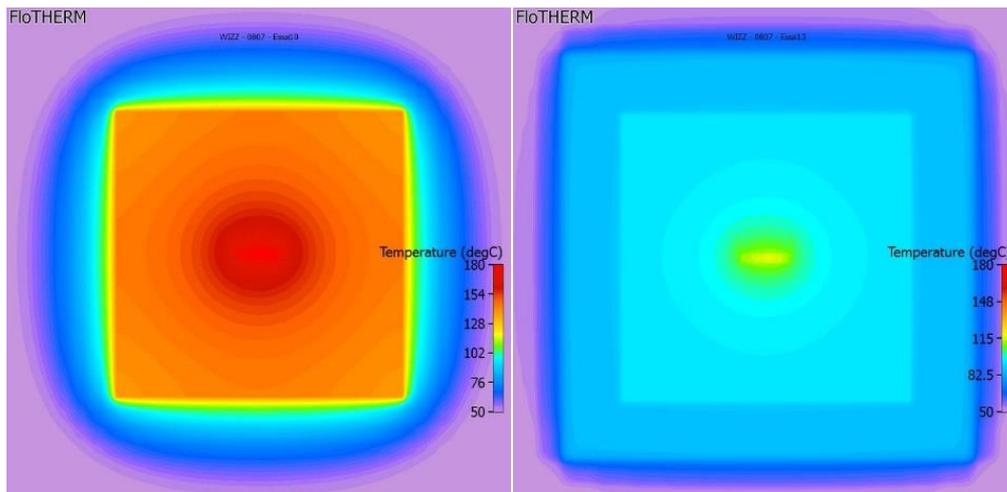


Fig. 97 : Comparaison des plans de température d'une puce de référence et une puce avec PGS de 2 cm^2 avec un point chaud de 1.8 W (vue supérieure).

La figure 97 montre le résultat logique de l'intégration d'un répartiteur. On voit comment la surface d'influence du point chaud est élargie et donc la température maximale est réduite. L'écart de température entre le point chaud et le bord de la puce est également minimisé.

Ce résultat, qui semble évident, est bien expliqué en regardant le flux thermique pour chacune des configurations. Dans la figure 98 on peut voir une comparaison des vecteurs de flux de chaleur d'une coupe verticale aux alentours du point chaud. Le point chaud lui-même a été bien décrit avec les lignes en métaux propres au serpentin chauffant. Le flux juste en dessous est complexe précisément due à cette configuration de serpentin. Néanmoins, si on s'éloigne du serpentin on peut bien différencier chacune des couches :

- La puce silicium, ou bien un ensemble (Si + interface + PGS), qui prend en charge la grosse partie du flux thermique latéral.
- Un substrat en verre, qui combine un flux thermique sortant vers le bas avec un faible flux latéral.
- Un très faible flux thermique ascendant vers l'air en convection.

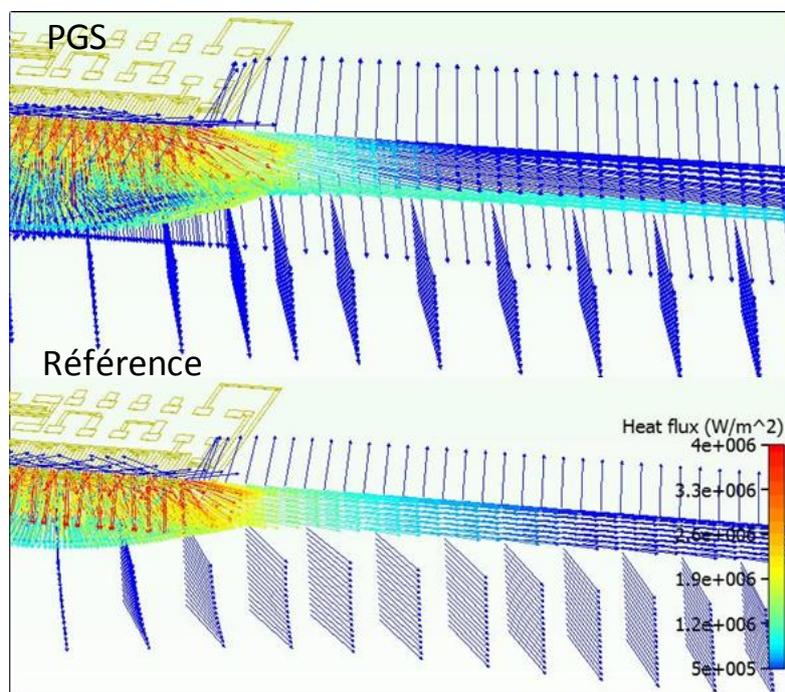


Fig. 98 : Comparaison des vecteurs de flux de chaleur depuis le point chaud entre une puce avec PGS de 2 cm² et une puce de référence avec 1.8 W

Afin de quantifier le flux thermique pour chacune des configurations on a fait un bilan à 3 mm du point chaud dans l'axe latéral. La table 2 montre le flux thermique sortant pour chacun des matériaux de l'ensemble. La couche de PGS a plus que doublé la capacité de conduction latérale du cas de référence. Globalement, l'ensemble avec PGS conduit 2.5 fois plus de chaleur que l'ensemble Si + verre.

Flux thermique latérale [W/m ²]	PGS	Silicium	Verre
Puce de référence	-	3.7 e+5	5.1 e+3
Puce avec PGS	7.9 e+5	1.46 e+5	760

Tableau 5 : Comparaison du flux thermique latérale à 3 mm du point chaud entre une puce avec PGS de 2 cm² et une puce de référence.

On constate que la fonction de conduction latérale de chaleur est prise en charge par le PGS lors qu'on l'intègre dans l'ensemble. Il se substitue au silicium et il améliore les performances de l'ensemble. Dans cette configuration de test l'épaisseur totale de l'empilement a augmenté due au PGS. On a déjà expliqué dans ce manuscrit l'intérêt à réduire l'épaisseur des couches en vue de les intégrer dans des structures 3D ou boîtiers compacts. On pourrait donc se demander à quel niveau on pourrait réduire l'épaisseur totale de l'empilement sans réduire les performances thermiques.

4.1.4. Les variables clés de l'optimisation silicium-répartiteur

Le modèle de simulation a été utilisé afin de comparer trois structures en fonction de leur épaisseur (fig. 99). Le but est de réduire l'épaisseur de la couche silicium en gardant la capacité de dissipation thermique grâce au PGS. On considère une puce de silicium de référence de 1 cm², une autre puce avec un répartiteur PGS de 1 cm² et finalement une troisième puce avec un répartiteur de 2 cm².

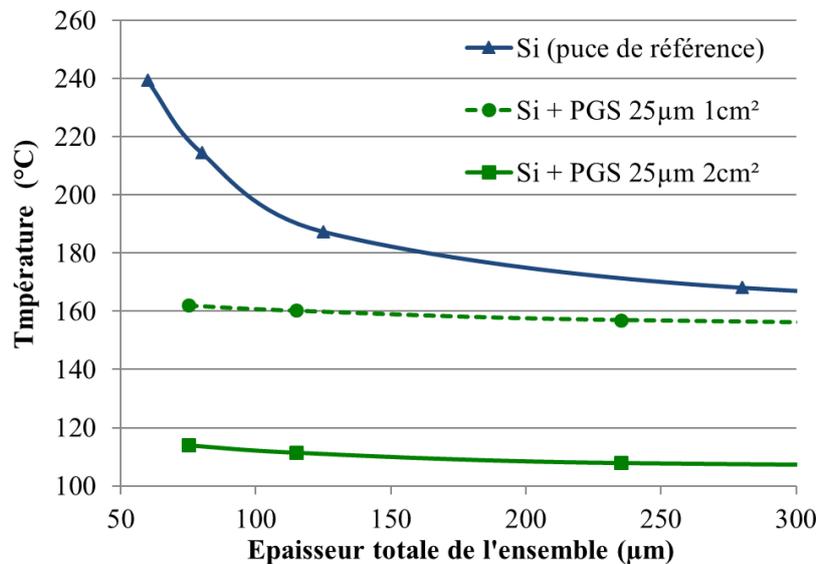


Fig. 99 : Gain comparatif dans la température maximal du point chaud avec une épaisseur constante de l'empilement. Comparaison entre une épaisseur totale en Si et une épaisseur partagée entre Si, PGS 25 µm et 10 µm interface. Puissance dissipée de 1.8W

Les épaisseurs de PGS et interfaces simulées sont de 25 μm et 10 μm , avec des conductivités thermiques de 1600 (plan xy) et 4 W/mK respectivement. On a respecté la conductivité thermique des spécifications Panasonic pour le PGS (fig. 30). L'interface modélisée correspond à la conductivité thermique d'une graisse commerciale.

On a fait varier en simulation l'épaisseur de la couche silicium et on a comparé la température du point chaud. On peut voir dans la figure 99 les courbes pour les trois configurations. Dans les deux cas avec PGS la température reste presque indépendante de l'épaisseur de silicium. Cette configuration permet de réduire l'épaisseur totale sans augmenter excessivement la température.

Il semble clair que la dissipation thermique est prise en charge de façon efficace par le PGS. Le substrat en silicium pourrait être éventuellement remplacé par du PGS. Néanmoins, il faut prendre en compte l'interface utilisé, avec une épaisseur et conductivité thermique optimales. Si cette interface est faisable dans un environnement expérimental, les contraintes expliquées dans le chapitre 3 imposent un bilan avec le reste des variables considérées. La figure 100 montre la chute de température entre le point chaud et le répartiteur en PGS en fonction de l'épaisseur d'interface.

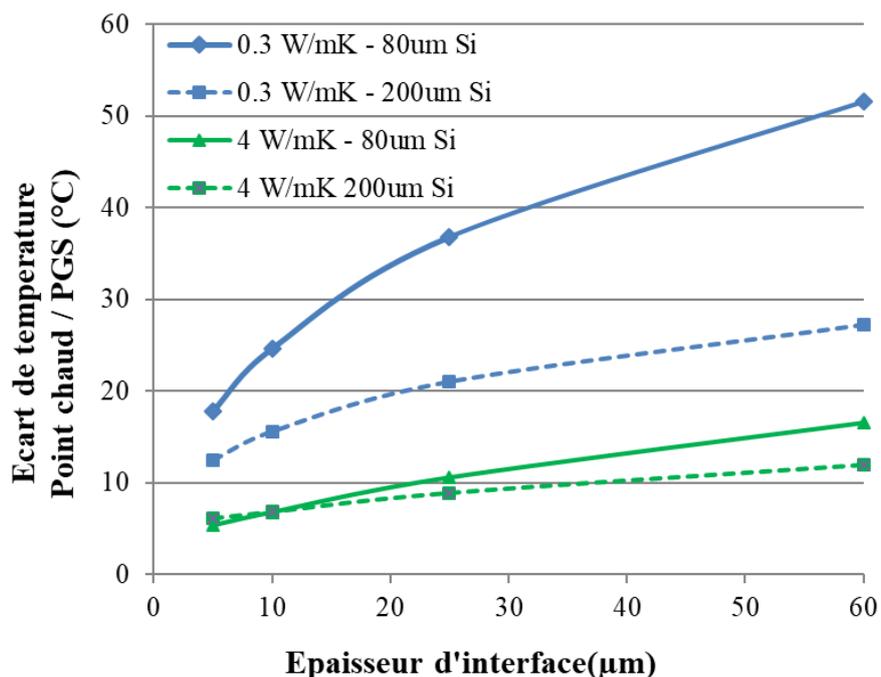


Fig. 100 : Simulation de l'écart de température entre le point chaud et le répartiteur en PGS en fonction de l'épaisseur d'interface. Quatre configurations combinaison de deux TIMs et épaisseurs de Si. Puissance dissipée de 1.8W

L'écart de température montré correspond à celui de l'axe vertical qui relie le point chaud avec la surface du PGS. Les interfaces thermiques choisies sont équivalentes à une graisse thermique (4 W/mK) et une polyimide (0.3 W/mK), qui se situent comme des extrêmes dans la gamme de conductivités thermiques de TIM.

On peut voir comment l'écart à l'intérieur de l'interface peut monter rapidement même au-delà de 50 °C. Les caractéristiques de l'interface jouent un rôle clé dans l'efficacité du répartiteur. Si le choix de son épaisseur et sa conductivité ne sont pas optimisés, elle créera une barrière à la dissipation thermique.

Bien qu'on ait montré que l'interface thermique a un impact décisif dans l'intégration d'un répartiteur, il faut évaluer les caractéristiques du matériau répartiteur lui-même. On a déjà parlé dans le chapitre 3 des contraintes d'intégration liées aux matériaux : le cuivre étant un matériau avec des fortes contraintes mécaniques implique un fort compromis au niveau des interfaces. Malgré cet inconvénient, la caractérisation thermique du cuivre par rapport au PGS reste intéressante afin de situer le gain en prestations avec ce dernier.

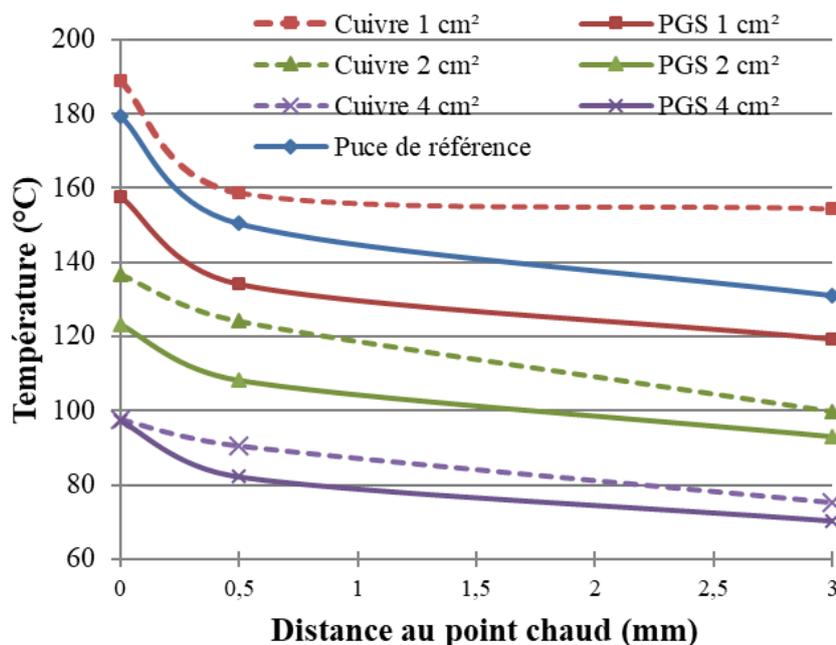


Fig. 101 : Comparaison des matériaux pour un répartiteur. Profil de température en partant du point chaud. Puissance dissipée de 1.8W

La figure 101 montre une caractérisation faite en banc de test avec le véhicule de test WIZZ. Différents échantillons ont été préparés avec cuivre ou PGS comme répartiteur en

trois surfaces (1, 2 et 4 cm²). L'épaisseur de la couche de cuivre est de 105µm, tandis que le PGS utilisé est de 70 µm. Dans le cas du cuivre, l'interface utilisé est un époxy d'une conductivité thermique très basse (0.05 W/mK) mais avec une faible épaisseur (<10 µm). Le PGS est intégré avec une interface polyimide de 25 µm.

Les mesures ont été faites dans les trois points disponibles dans la puce WIZZ selon la figure 49. On voit dans la figure 101 un profil typique de diminution exponentiel de la température à partir du point chaud. Le PGS surpasse le cuivre dans tous les cas, néanmoins, il faut mettre en contexte ces résultats sur la base des différences entre les échantillons. D'abord on voit que la température de l'échantillon cuivre de 1 cm² est plus élevée que celle de la référence silicium. Ce fait est expliqué par deux raisons :

- La conductivité de l'interface thermique est très faible, ce qui suppose une barrière dans le chemin de dissipation thermique.
- La taille du répartiteur est minimale et il est déformé lors du recuit de l'époxy. Des bulles d'air peuvent se former dans l'interface et empêcher une bonne conduction vers le répartiteur.

Cette configuration est donc moins favorable que la puce silicium seule dans notre setup de test. Les répartiteurs de taille plus grande ont moins tendance à se déformer et donc les résultats sont plus en ligne avec ceux du PGS. Les résultats pour les surfaces de 2 et 4 cm² montrent que le PGS reste toujours plus performant que le cuivre. La marge étroite entre les deux est due aux différences entre les épaisseurs (70 µm vs 105 µm) et aux différences dans l'interface.

Ces résultats ont été retrosimulés avec le modèle Flotherm (fig. 102) afin de faire varier les épaisseurs du répartiteur ainsi que l'épaisseur et conductivité de l'interface. L'intérêt de cette comparaison est de mettre en évidence le comportement du cuivre par rapport au PGS lors qu'on considère des couches minces. Il faut rappeler que la conductivité thermique du PGS est dépendante de son épaisseur. Pour ces simulations on a considéré les valeurs de conductivités thermiques spécifiées par Panasonic pour le PGS (fig. 30) :

Conductivité thermique [W·m ⁻¹ ·K ⁻¹]	Cuivre	PGS 100 µm	PGS 70 µm	PGS 25 µm	PGS 10 µm	TIM 1 : Silicone + fillers	TIM 2 : Graisse thermique
Dans le plan (X, Y)	395	700	1000	1600	1950	1	4
Z	395	26	20	18	10	1	4

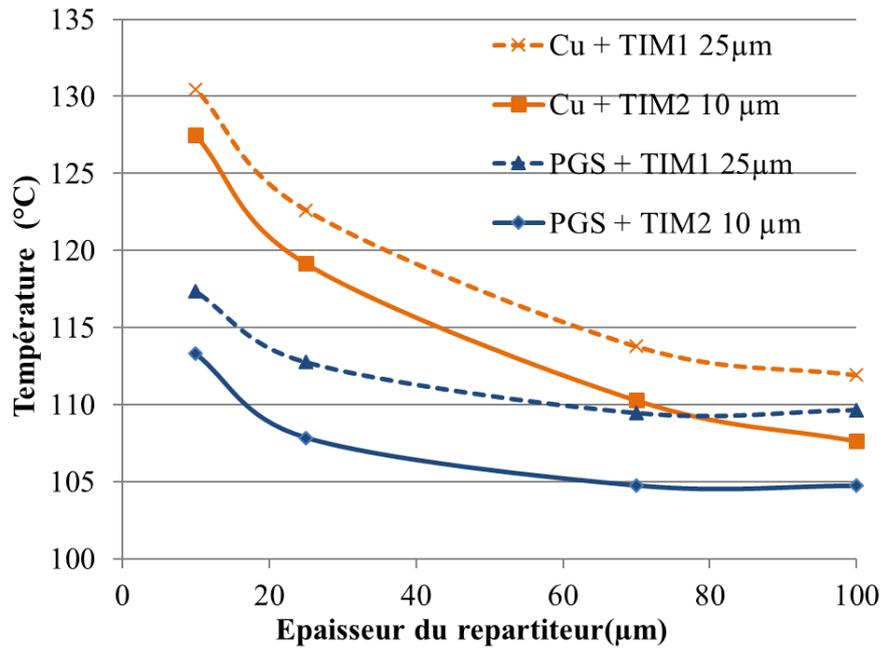


Fig. 102 : Comparaison des épaisseurs de PGS vs Cuivre pour deux interfaces différentes. Température au point chaud avec une puissance dissipée de 1.8 W. La surface de répartiteur considérée est de 2 cm².

Le premier point à remarquer dans le graphe 102 est la proximité des résultats du PGS et cuivre à 100 μm. Il semble clair que les avantages du PGS disparaissent au-delà de cette épaisseur-là, ce qui explique qu'il ne soit pas produit commercialement. D'abord, la conductivité thermique du cuivre (395 W/mK) est proche à celle du PGS 100 μm. Par ailleurs, et à différence du PGS, le cuivre est un matériau orthotrope, capable de conduire la chaleur de façon homogène dans tout son volume.

Deuxièmement, bien que les matériaux soient comparables à 100 μm, si on réduit les épaisseurs des couches les écarts de température s'exacerbent. En effet, le cuivre garde sa conductivité thermique, alors que le PGS s'approche de plus en plus à la conductivité thermique théorique du graphène (5000 w/mK). Si on considère 10 μm d'épaisseur de répartiteur ($\lambda_{PGSxy} = 1600 \text{ W/mK}$), la différence de température entre les points chauds est de plus de 15 °C. Ce fait nous renforce à privilégier le PGS pour tout type d'intégration dans des boîtiers compacts et complexes (3D).

Finalement, comme pour tous les cas antérieurs, on voit à nouveau une influence significative des deux interfaces modélisées, qui fait que les courbes du cuivre et du PGS se croisent pour les épaisseurs plus importantes.

4.2. L'adaptation entre le package et le répartiteur

On vient de voir comment l'intégration d'un répartiteur sur la face arrière du silicium produit une réduction de la température du point chaud par une meilleure conduction thermique latérale. De ce fait, les matériaux carbonés, comme le PGS, se postent comme une alternative future aux substrats en silicium grâce au cumul de leurs propriétés (thermiques, mécaniques, électriques). Néanmoins, si on se concentre seulement sur les interactions avec le silicium on laisserait passer le potentiel d'une intégration plus efficace. En effet, comme déjà évoqué dans ce manuscrit, le design thermique doit être pris en considération dès la conception des dispositifs, et le répartiteur doit donc être capable d'interagir tant avec le silicium qu'avec le boîtier. Une approche d'intégration type 'pick & place' comme décrit dans le chapitre 3 serait privilégiée face à une approche au niveau plaquette (fig. 68).

L'idée ultime derrière l'intégration avec le boîtier est de pouvoir impliquer dans la dissipation thermique les éléments propres au boîtier, tels que le moulage et le substrat organique. Si les performances du répartiteur sont très dépendantes de sa surface c'est précisément pour sa capacité à dissiper la chaleur au-delà du silicium. Afin d'explorer ces options il faut basculer sur un véhicule de test avec un boîtier complet.

4.2.1. Le cas d'une puce 2D reportée par micro-soudure

Le véhicule de test Wioming a été déjà décrit dans le chapitre 2. Il s'agit d'un Système sur puce qui intègre des structures chauffantes capables de créer différents scénarios d'échauffement (fig. 50). La structure du boîtier est d'une puce reportée par micro-soudure au substrat organique et moulée dessus. Comme déjà explique, le moulage supérieur a été enlevé jusqu'à laisser apparaître le silicium en face arrière de la puce. Cette configuration *die exposed* permet d'intégrer le répartiteur sur la face arrière pour créer les trois configurations montrées dans la figure 103.

4.2.1.1. Le profil de température en fonction de l'échauffement

Deux scénarios d'échauffement ont été caractérisés grâce au dispositif de test montré dans la figure 51. Dans un premier scénario on utilise les structures chauffantes placées dans le coin afin de créer un profil de température type point chaud. Dans le deuxième scénario, on utilise les structures du centre, plus écartées, qui donnent lieu à un profil plus plat.

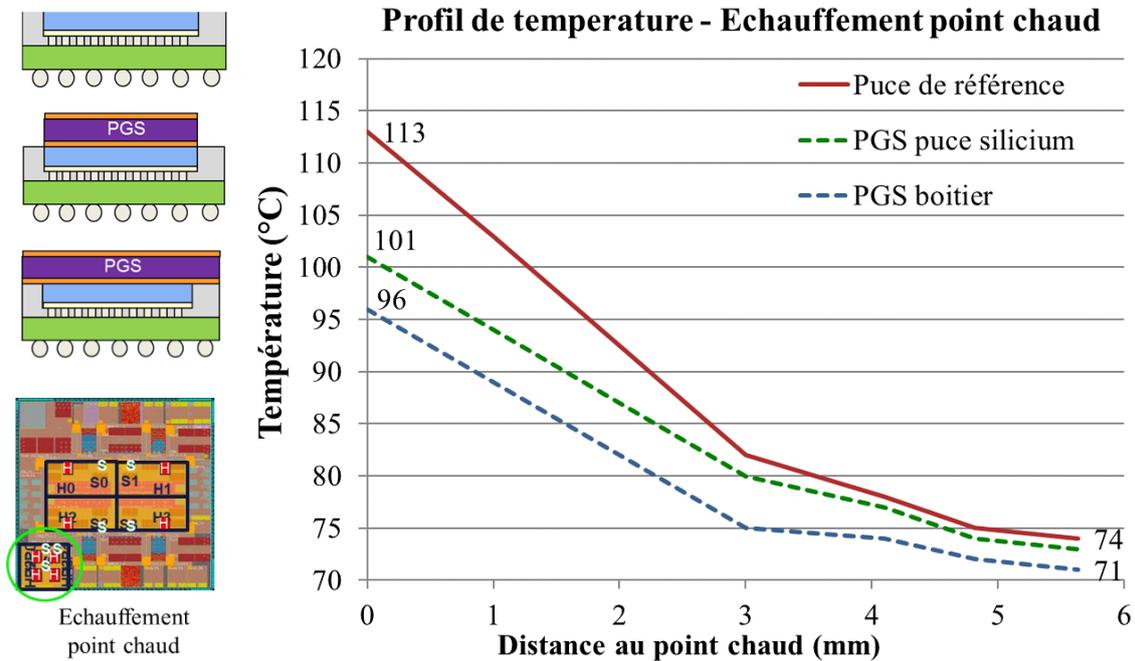


Fig. 103 : Comparaison du profil de température à partir du point chaud pour trois empilements. Configuration d'échauffement au coin du silicium avec une puissance dissipée de 2.13 W.

Les profils de températures tracés dans la figure 103 ont été dessinés en utilisant la distance de chaque capteur de température au centre géométrique de la structure chauffante du coin. Ces capteurs ne sont pas placés sur une ligne droite, en tout cas, on pourrait imaginer que les distances sont représentatives. En observant la figure on peut extraire deux conclusions :

- La température maximale est réduite de façon significative avec l'intégration des répartiteurs. On réussit déjà une diminution de 12 degrés avec un répartiteur de la taille de la puce, et de 5 degrés additionnables si on utilise toute la surface du boîtier.

- La réduction de la température maximale est principalement produite par une homogénéisation au niveau du silicium. L'écart de température à l'intérieure de la puce est réduit de 39 degrés à 28 degrés avec le répartiteur de la taille de la puce, et à 25 avec celui de la taille du boitier. En effet, on peut voir dans la figure 103 que les profils de température sont très similaires avec les deux surfaces de répartiteur.

De la même façon, on peut tracer la lecture des capteurs de température en fonction de leur distance au centre de la puce lors d'un échauffement homogène avec un scenario utilisant les structures centrales. La figure 104 montre la réduction de la température avec un répartiteur même avec ce scenario d'échauffement homogène.

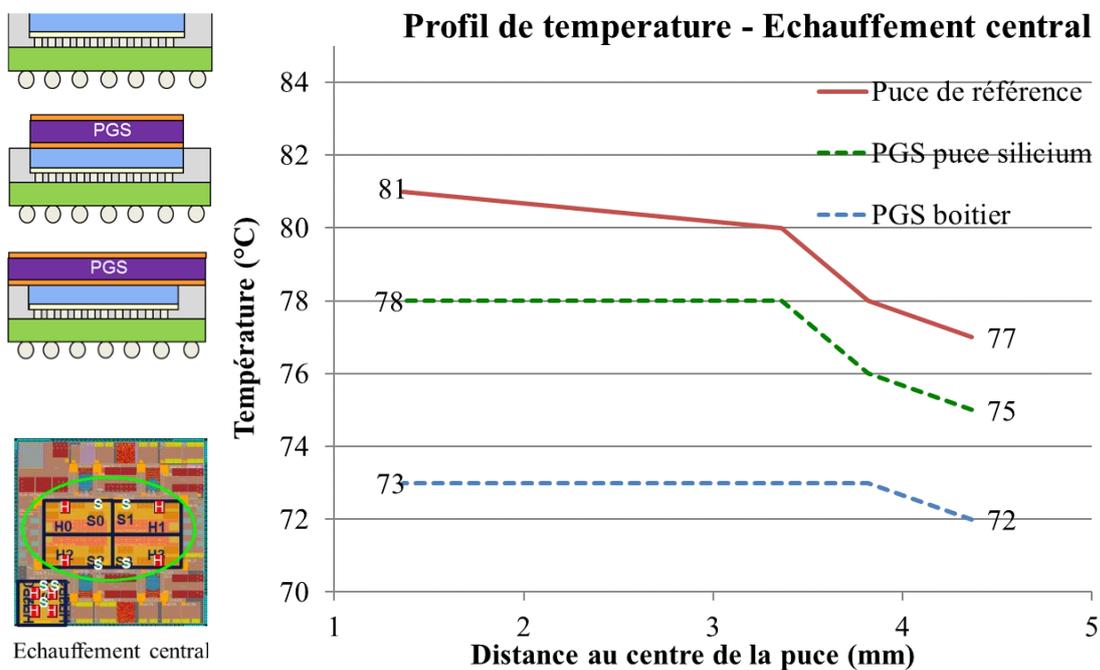


Fig. 104 : Comparaison du profil de température depuis le centre de la puce pour trois empilements. Scenario d'échauffement central homogène avec une puissance dissipée de 2.13 W.

Contrairement à l'échauffement par point chaud, ici la taille du répartiteur, et donc sa connexion au moulage, a un impact significatif dans la performance thermique. On voit un profil de température plus homogénéisée et donc l'efficacité du répartiteur de la taille du silicium reste plus limitée. Effectivement, on observe une réduction plus accusée de la température quand on utilise le répartiteur de la taille du boitier. On se sert donc du

moulage dans cette configuration pour évacuer la chaleur autrement confinée dans le silicium.

4.2.1.2. Influence du moulage : La redistribution du flux thermique

La même approche que pour l'interaction avec le silicium a été suivie dans le cas du boîtier : Les résultats expérimentaux ont été analysés par moyen des simulations en Flotherm. Dans ce cas l'intérêt est d'expliquer l'influence du moulage dans les performances thermiques de l'ensemble.

La surface de contact qui apporte plus d'information sur le flux de chaleur est celle entre le répartiteur et le silicium / moulage. De ce fait, le flux thermique traversant cette surface a été comparé pour les trois configurations de test. La figure 105 montre cet effet du côté du silicium pour un échauffement point chaud avec un code de couleurs. Les zones en vert représentent un flux vertical nul, le rouge correspond au flux positif (sortant du silicium) et les zones en bleu un flux négatif (entrant dans le silicium).

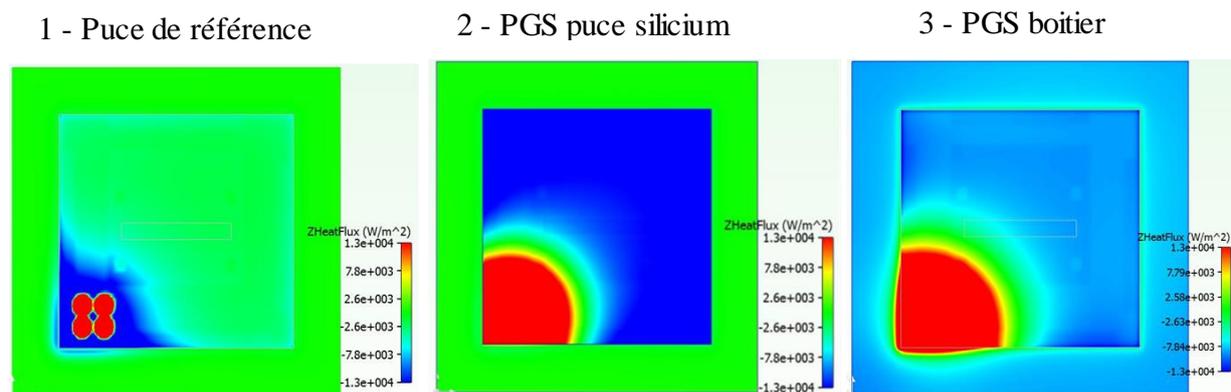


Fig. 105 : Flux thermique verticale pour trois empilements. Le plan d'analyse a été tracé du côté du silicium 20 μm en dessous de la surface de contact avec le répartiteur. Configuration d'échauffement au coin de la puce avec une puissance dissipée de 2.13 W.

Les différences entre les 3 cas sont évidentes. Dans la puce de référence la chaleur reste confinée au niveau des points chauds. On n'observe pas d'échanges verticaux dans le silicium au-delà du point chaud. Par contre, dans le deuxième cas, la surface complète du silicium participe dans l'échange de chaleur vertical. Cela signifie qu'on arrive à transporter la chaleur de la zone en rouge (flux sortant) à celle en bleu (flux entrant). Pour le cas avec

le PGS de plus grande taille, la surface de sortie de la chaleur est similaire (zone rouge) mais celle de réception correspond maintenant à toute la surface du boîtier (zone bleue).

La figure 106 montre de façon quantitative cet effet. Une ligne a été tracée entre les deux coins du boîtier dans le plan d'analyse. Le graphique montre la chaleur traversant le plan sur la longueur de la ligne. Le flux de chaleur sortant est quatre fois plus grand quand on utilise le PGS. Le flux négatif (flux qui revient au silicium) est beaucoup moins significatif en valeur absolue. Il faut en tout cas considérer le rapport de surface entre les structures chauffantes et le reste du boîtier (voir schéma dans la figure 106). On peut également différencier dans le graphe les zones du flux négatif correspondantes au moulage. En effet on observe comment le modèle noté « PGS boîtier » est le seul à maintenir un flux vertical entrant dans cette zone.

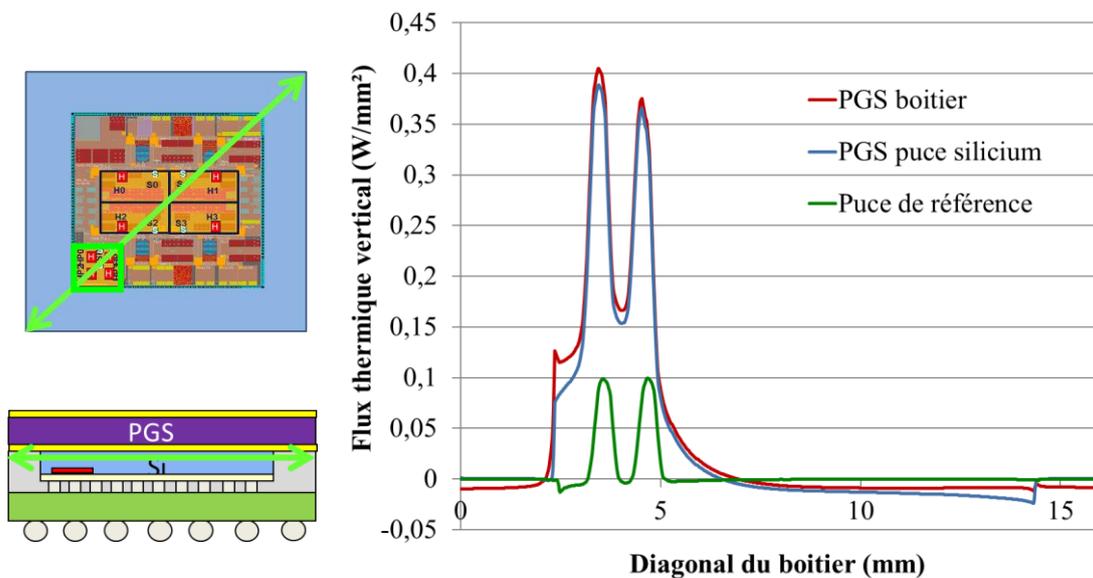


Fig. 106 : Flux thermique verticale pour trois empilements. Le graph montre le flux au long de la ligne qui traverse la diagonale du boîtier. Elle a été tracée du côté du silicium 20 µm en dessous de la surface de contact avec le répartiteur. Configuration d'échauffement au coin de la puce avec une puissance dissipée de 2.13 W.

Bien que les différences dans le flux thermique soient claires entre les trois configurations, on a intérêt à observer la conséquence directe de ce changement dans la structure de dissipation. La figure 107 montre les températures de l'empilement pour trois axes verticaux placés à différents emplacements du boîtier. Les points représentés correspondent au point chaud, au moulage placé dans le coin plus proche du point chaud et au moulage dans le coin opposé.

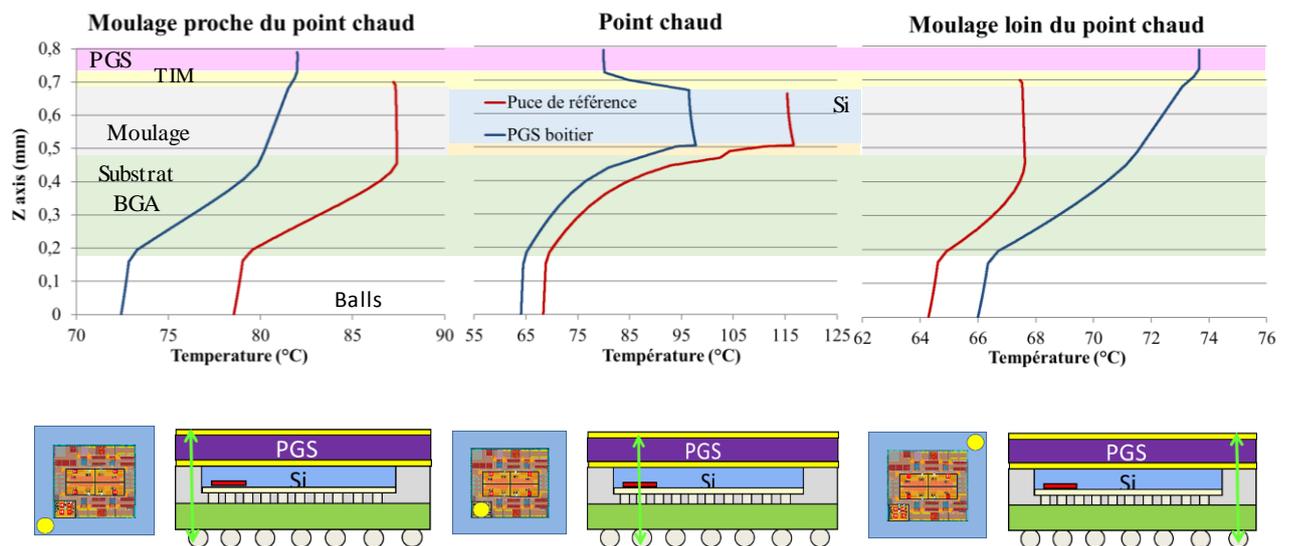


Fig. 107 : Evolution de la température sur un axe verticale dans trois localisations du boîtier. Les lignes ont été tracées par le point chaud, le moulage plus proche au point chaud et celui qui est plus loin. Configuration d'échauffement au coin de la puce avec une puissance dissipée de 2.13 W.

Les courbes montrent de façon claire l'évolution de la température en fonction de la résistance thermique de chaque couche de l'empilement. Voici quelques points à remarquer à partir de l'observation des graphes :

- Les couches de l'interface supérieure (TIM du répartiteur) et inférieure (underfill + μ -soudures) sont des barrières très significatives à la dissipation. Elles provoquent des chutes de température due à leurs faibles conductivités thermiques. On constate ici donc les contraintes déjà expliqués dans le chapitre 3.
- La température du moulage proche au point chaud (graph à gauche) est plus élevée dans le cas de référence que dans le cas PGS. Ce fait est expliqué par l'influence du point chaud. Par contre, la température chute lors qu'on s'éloigne de cette zone, comme illustré dans les courbes du coin opposé du boîtier (graph à droite).
- On constate sans équivoque une conduction thermique descendante du PGS vers le moulage. En effet, on voit la pente de la courbe dans la zone en question, représentative de la résistance thermique du moulage. Dans le cas de référence cette zone ne montre pas de gradient.

4.2.1.3. Comparaison des structures thermiques : Câblage filaire contre report par micro-soudure

Les effets observés lors de l'intégration d'un répartiteur dans une structure de report par micro-soudure nous conduisent à nous intéresser à l'impact du répartiteur dans autres types de configurations. Nous avons utilisé le modèle de simulation pour comparer ces résultats avec ceux d'un répartiteur intégré dans une structure câblée par fils. Ce type de structures est antérieure au report par micro-soudure, et encore très utilisé dans l'industrie dans de nombreux cas.

La principale différence entre ces deux structures est le placement du silicium par rapport au substrat BGA. Une structure reportée suppose que le côté actif du silicium est face au substrat, avec des connexions sortantes directement vers lui. En revanche, dans une structure câblée par fils, la couche active du silicium est dans le sens opposé, avec le substrat attaché à la face arrière de la puce.

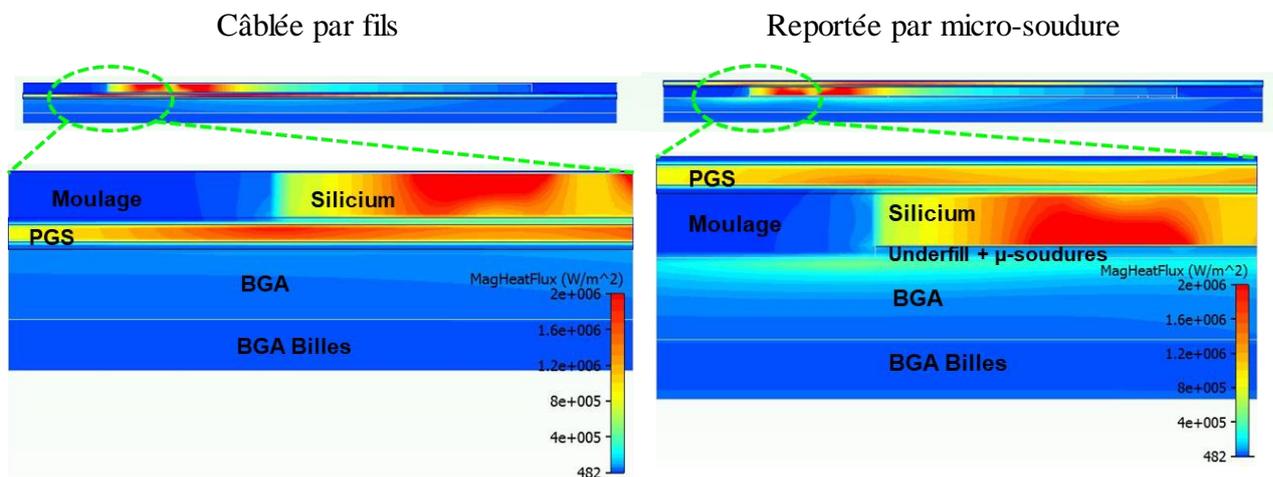


Fig. 108 : Flux thermique en valeur absolu pour deux configurations d'empilements. Configuration d'échauffement au coin de la puce avec une puissance dissipée de 2.13W.

On peut voir dans la figure 108 une comparaison du flux thermique depuis le point chaud pour ces deux configurations. Les empilements ont été coupés par un plan transversal au niveau du point chaud. Dans le cas du câblage par fils, le PGS a été placé entre le silicium et le substrat, avec une interface thermique de chaque côté. On observe dans les deux cas que le PGS arrive à bien étaler la chaleur sur toute la surface du boîtier. En revanche, la question principale porte sur l'efficacité du placement du PGS.

La comparaison la plus intéressante à faire avec ces deux modèles porte sur le bilan de chaleur de chaque élément de l'empilement. La figure 109 montre une comparaison du flux de chaleur entre les éléments du boîtier pour les deux structures. On peut extraire les conclusions suivantes à partir de l'observation des schémas :

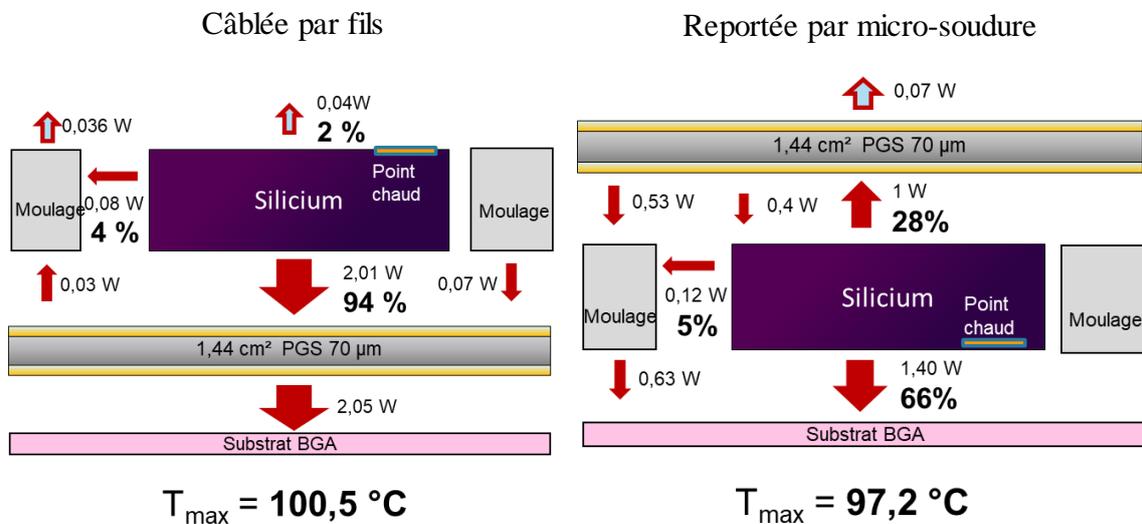


Fig. 109 : Bilan du flux thermique pour deux configurations d'empilement. Configuration d'échauffement au coin de la puce avec une puissance dissipée de 2.13 W.

- Le premier point à remarquer est la répartition du flux thermique sortant du silicium. Dans le cas reporté par micro-soudure on arrive à équilibrer de façon plus efficace le bilan de chaleur avec 28% de la chaleur sortant par le haut, contre 2% seulement dans le cas de la structure câblée par fils.
- Le deuxième point est une conséquence du premier. Même si on a réussi une répartition plus équilibrée de la chaleur sortante du silicium grâce au PGS, le puits thermique immédiat continue à être dans le substrat BGA. La chaleur sortante vers le répartiteur va revenir au substrat par les zones froides éloignées du point chaud, à la fois par le silicium et par le moulage.
- Ce flux circulaire entre le silicium, le PGS et le moulage, contribue à une répartition plus efficace de la chaleur totale sortant du point chaud. En effet, la température maximale de l'ensemble reporté par micro-soudure est de trois degrés inférieure à celle du câblage par fils.

4.2.1.4. Influence de l'intégration d'un radiateur

A la lumière de ce phénomène de dissipation double face au silicium on s'est demandé quel serait le résultat de pousser cet effet au-delà des contraintes géométriques. L'idée est d'ajouter un vrai puits thermique additionnel afin de pouvoir profiter de deux chemins de dissipation thermique : le classique vers la carte électronique via le BGA et un deuxième vers un radiateur en cuivre attaché au répartiteur PGS.

Le setup de test de la puce WIOMING comporte des cartes filles de test qui sont accueillies dans un socket en forme de coquille (fig. 51, 52). Ce setup de test nous a permis d'intégrer un puits thermique sous la forme d'une lame de cuivre sur le répartiteur en PGS. On a profité de l'espace disponible afin de maximiser la masse et surface de ce puits thermique. Le puits thermique est en contact avec l'air à l'intérieur du socket et il a une surface de 30 x 30 mm², avec une épaisseur de 105 µm (fig. 110).

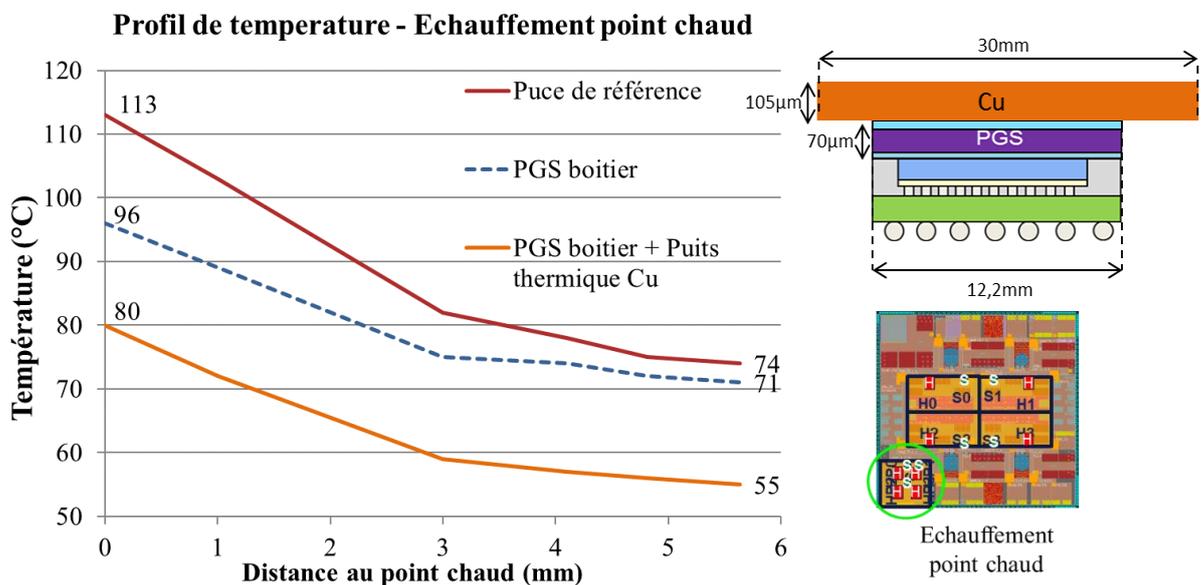


Fig. 110 : Profil de température à partir du point chaud avec un puits thermique en cuivre. Configuration d'échauffement au coin du silicium avec une puissance dissipée de 2.13 W.

La figure 110 montre la caractérisation thermique du véhicule test avec le puits thermique. La réduction de température par rapport aux structures caractérisées auparavant est très significative. En revanche, le profil de température reste identique à celui du PGS boîtier, ce qui montre que la répartition de la chaleur au niveau silicium était déjà optimisée avec

le répartiteur en PGS. En tout cas, ce résultat montre la pertinence d'explorer des voies de dissipation avec multiples sorties.

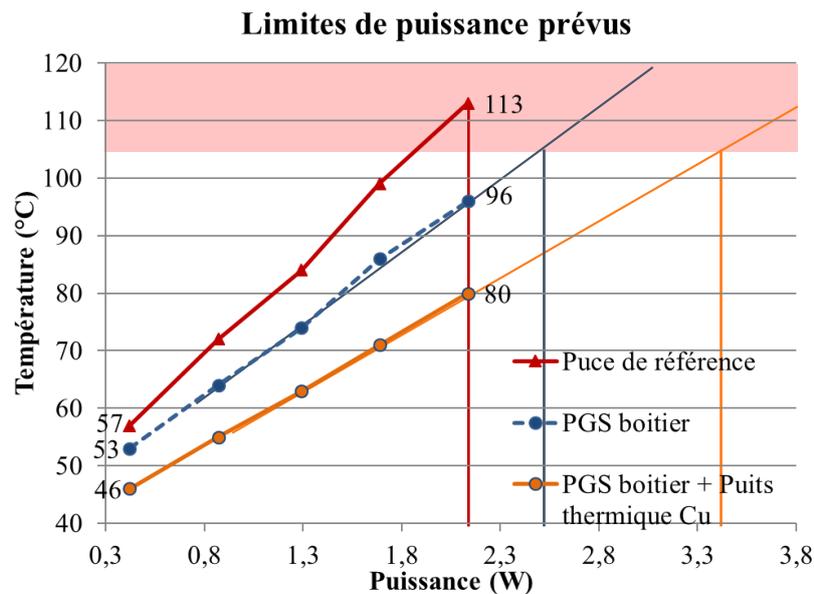


Fig. 111 : Limites de puissances prévues pour différentes structures avec une température maximale du silicium de 105°C. Configuration d'échauffement au coin du silicium.

La figure 111 montre une projection des puissances maximales obtenues pour chacune des configurations possibles à partir d'une température maximale de 105°C. L'introduction d'un répartiteur plus un puits thermique afin de créer un double chemin thermique permet d'augmenter la puissance dissipée de 50 %. C'est un résultat qui est loin d'être négligeable et qui mérite une réflexion au niveau système. Cette configuration peut paraître encombrante et difficilement faisable pour des applications compactes. Néanmoins, il faut imaginer un design pris en compte dès le début de la conception du système, où les puces et boîtiers ne sont pas des simples modules dessinés de façon indépendante, mais en faisant partie d'un design thermique commun. De cette façon, et si on reprend la structure montrée dans la figure 41, on pourrait imaginer que notre puits thermique en cuivre est constitué en fait d'une plaque en aluminium correspondant à la coque du dispositif. Ce puits thermique pourrait donc être connecté de cette façon directe pour des dispositifs plus énergétiques, et donc améliorer la capacité de dissipation.

Les structures reportées par microsoudure ont montré une flexibilité plus grande pour les designs de dissipation thermique. Elles permettent une meilleure répartition des flux de chaleur mais aussi un refroidissement par une double voie. Ces designs pourraient

éventuellement s'adapter aux performances requises. Les cas des puces câblées par fils semblent moins flexibles, avec des contraintes qui rendent difficile un refroidissement par double voie. C'est le cas des puces imageurs.

4.2.2. Le cas spécifique d'un package imageur

Un des dispositifs dans les environnements portables qui pose le plus de défis thermiques est sans doute celui des puces imageurs. On a déjà décrit dans le chapitre 2 les spécificités de ce type de dispositifs et leurs principales contraintes thermiques : courant d'obscurité, gradients thermiques, boîtiers peu optimisés pour la thermique, etc. Néanmoins, le marché des imageurs pousse vers le développement de ce type d'application, avec une estimation de croissance de 10 % au moins jusqu'à l'année 2023 [Mar17].

Quel que soit son type de connexion avec le substrat, les puces imageurs gardent toujours qu'une seule face de contact avec le boîtier. L'autre face est évidemment dédiée à la réception de la lumière captée par les photodiodes. Ce fait, comme déjà mentionné dans ce chapitre, limite les possibilités d'évacuation de la chaleur. Il faut se concentrer donc dans ces structures sur un seul chemin d'évacuation de la chaleur, comme illustré dans les fig. 108 et 109 équivalentes à un câblage par fils. Ces configurations sont en tout cas encore loin d'être optimisés d'un point de vue thermique.

On a utilisé le véhicule de test M3EM, déjà décrit dans le chapitre 2, pour essayer des améliorations thermiques possibles. Cette puce garde une structure similaire à notre modèle de simulation de puce câblée par fils. Néanmoins, cette fois on ne compte pas avec le moulage autour du silicium, mais avec un capot en plastique qui garantit la tenue du verre supérieure du module.

Les variables à étudier avec ce véhicule de test comprennent :

- L'épaisseur du silicium et son impact sur le gradient de température
- L'interface thermique utilisée pour l'attache de la puce
- Les matériaux du substrat et la proximité du puits thermique
- L'intégration d'un répartiteur en PGS à motifs afin de permettre le câblage des fils

4.2.2.1. Scenarios d'échauffement typiques d'un ISP

Les deux couches de la puce 3D M3EM ont été déjà décrites dans le chapitre 2. L'objectif de ce véhicule test est d'émuler la structure d'un imageur 3D par collage hybride. La disposition de la couche inférieure est analogue à celle d'un ISP, ou processeur de signal d'image. Les ISP comptent en général de deux zones : une partie analogue, responsable des circuits d'alimentation, amplificateurs des signaux, régulateurs, etc. qui occupe le périmètre de la puce silicium. Dans la zone centrale de l'ISP on compte la partie digitale, responsable du traitement des données de l'image, qui est plus dense en termes de dispositifs par unité de surface. Contrairement la zone analogue, la puissance dissipée par la partie digitale est fluctuante en fonction des opérations requises lors de la prise d'une image. De plus, certaines zones spécifiques de la partie digitale peuvent comporter des pics de puissances ponctuelles dus aux procédés de calcul.

La disposition de la puce M3EM essaie de reproduire ce design d'un ISP. Les structures chauffantes de la puce émulent les parties analogues (serpentin périphérique), digitale (serpentin central) et les potentiels points chauds du digital (petits serpentins points chauds). La figure 112 montre une caractérisation thermique des différents scénarios possibles du fonctionnement d'un ISP lors de la prise d'une image (ou d'un film).

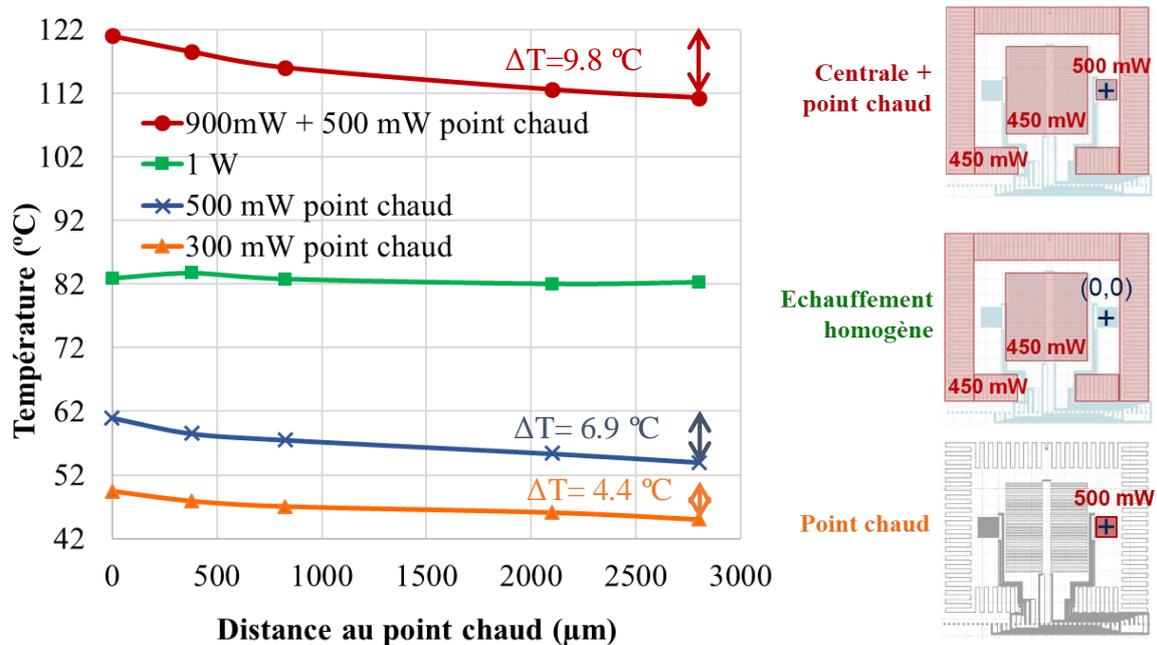


Fig. 112 : Caractérisation de la réponse thermique de la puce M3EM avec différents scénarios thermiques. Puce en boîtier testée par socket sur carte de test. Epaisseur du silicium de 180 µm.

Le setup de test utilisé pour cette caractérisation comporte un socket et des cartes spécifiques déjà décrits dans le chapitre 2. Les scénarios imaginés correspondent à : un échauffement homogène de la puce avec les serpentins périphérique et central, un scénario purement point chaud et une combinaison des deux.

Afin de tracer un profil de température on s'est servi des capteurs de température déjà décrits dans la figure 59. Les profils de la figure 112 ont été tracés depuis le point chaud marqué comme (0,0). Les distances ne correspondent pas à une ligne droite mais à la distance de chaque capteur au point chaud. On peut en tout cas vérifier les écarts de température dans la puce : On trouve 6.9 °C dans le cas d'un point chaud, 1.8 °C dans un échauffement homogène avec les deux serpentins principaux et 9.8 °C quand on combine les deux cas, c'est qui correspond à l'addition des écarts des deux scénarios différents.

4.2.2.2. Le substrat silicium et le lien thermique inter-niveaux

Les stratégies d'amélioration classiques de ce type de structures consistent à privilégier les matériaux avec une meilleure conductivité et améliorer les couches qui agissent comme barrière thermique et qui sont placées sur le chemin de dissipation. Dans le premier cas, on parle du substrat silicium et des lignes en cuivre du substrat OLGA (Organic Land Grid Array) ; dans le deuxième cas, de l'interface thermique et des couches d'isolation organique du substrat.

La figure 113 montre la comparaison des profils de température pour quatre configurations différentes. Les variables modifiées sont : l'épaisseur du silicium, l'interface de collage (TIM) et les caractéristiques du substrat OLGA, avec un substrat soit standard, soit amélioré thermiquement tel que décrit dans le chapitre 2. On peut remarquer les effets suivants :

- L'addition d'un substrat thermiquement optimisé réduit la température de tous les points du silicium de façon similaire.
- Le profil de température de la puce est modifié par l'épaisseur du silicium mais non par le type de substrat. Les courbes restent parallèles entre elles quand on change le substrat.

- Les courbes des deux épaisseurs de silicium se croisent : l'écart de température entre le point chaud et le froid est clairement réduit lorsqu'on augmente l'épaisseur du silicium.

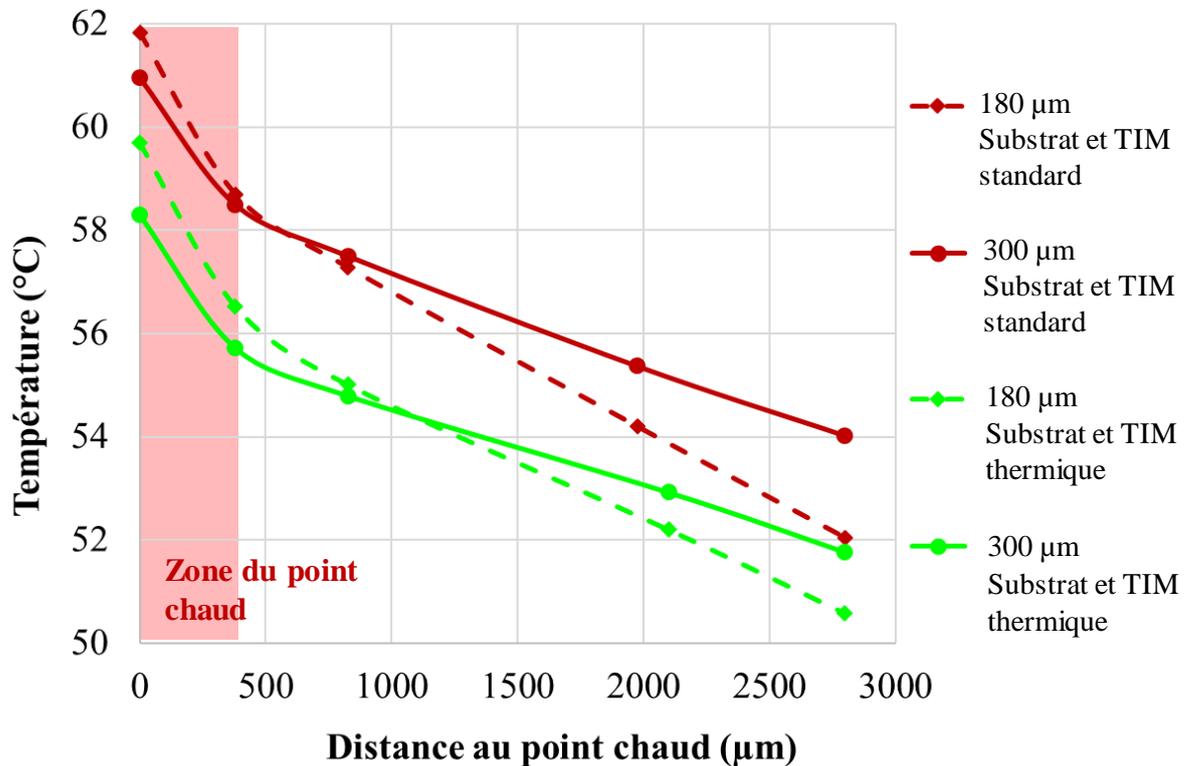


Fig. 113 : Comparaison des variables de la puce et boîtier M3EM pour un scénario point chaud de 0.5W. Puce en boîtier testée sur socket sur carte de test.

On pourrait dire que le substrat thermique réduit la résistance thermique totale de l'ensemble mais il n'affecte pas la résistance latérale. En effet, la résistance latérale ne sera améliorée que si l'on ajoute un répartiteur avec une conductivité similaire ou meilleure que celle du silicium. La réduction de température due au substrat thermique est partagée entre une interface de collage améliorée par rapport à une colle industrielle et une disposition de couches plus favorable à la dissipation au sein du substrat.

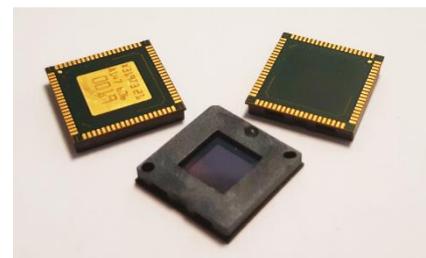
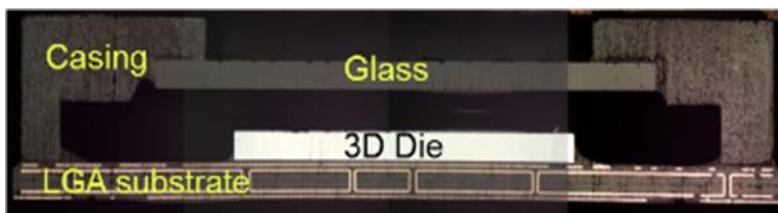


Fig. 114 : A gauche : Coupe transversal du boîtier M3EM. A droite : Boîtier avec substrat standard ou thermique (pad centrale métallique).

Le substrat standard comprend une première couche organique isolante (solder mask) immédiatement au contact du silicium. Cette couche a été ouverte sur le premier niveau de métal dans le substrat thermique qui présente alors une finition NiAu (fig. 115). De plus, la dernière couche du substrat, celle qui comprend les pads soudés à la carte électronique, intègre un pad thermique central qui agit comme un puits thermique à la sortie du boîtier (fig. 114). Concernant les interfaces de colle entre le silicium et le substrat OLGA, le standard correspond à une colle époxy, qui est remplacée par une colle silicone chargée avec des particules d'argent dans le cas thermique. La figure 115 montre le gain concret avec ces deux facteurs : le substrat amélioré et l'interface thermique. Les profils correspondent maintenant au scénario thermique combiné d'un point chaud plus un échauffement général, qui est le scénario le plus en ligne avec les conditions réelles de fonctionnement d'un imageur.

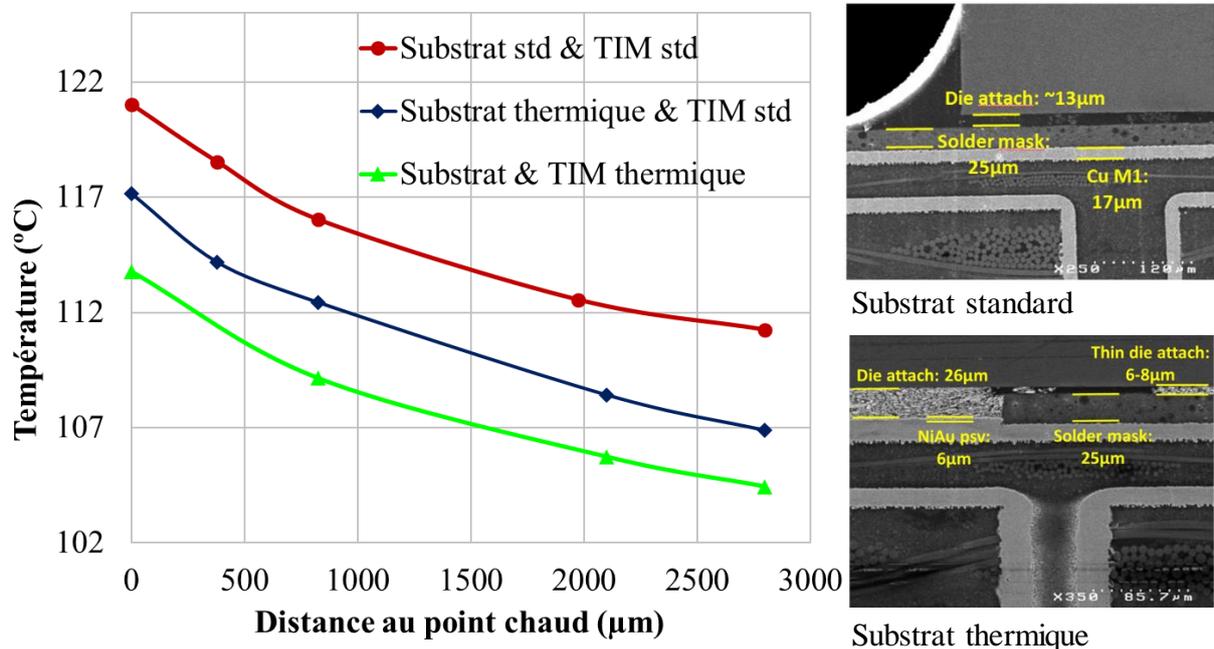


Fig. 115 : Comparaison des substrats et interfaces thermiques du boîtier M3EM pour un scénario point chaud plus échauffement homogène. Puce en boîtier testée par socket sur carte de test.

En regardant la figure 115 on peut constater que la réduction de la température à partir de la courbe de référence est partagée entre ces deux facteurs. Il faut en tout cas remarquer la différence dans l'épaisseur des interfaces lors du substrat thermique. Effectivement, à partir des images de la figure 115 on voit que le fait d'enlever la première couche de 25 µm de

solder mask augmente l'épaisseur totale d'interface. De là l'importance d'une interface thermique améliorée.

On pourrait imaginer une courbe additionnelle à ces trois résultats. Elle s'agit du cas d'un contact amélioré entre le pad thermique sur la face arrière du substrat OLGA et le socket de test. En effet, comme déjà expliqué dans ce manuscrit, la dissipation thermique demande une étude multiniveau dont les interactions entre couches doivent être désignées en concordance. Dans notre cas, le socket de test est adapté aux boîtiers imageurs mais non à la thermique. Les contacts électriques sont faits par l'anneau extérieur du substrat. Le socket comprend des pogo-pins (pointes avec un ressort) qui se mettent en contact avec les pads du substrat lors qu'on ferme le socket. Un socket modifié spécifiquement avec un pin central métallique de grand volume et surface pourrait mieux évacuer la chaleur par le pad thermique de l'OLGA.

En effet, si les gradients de température de la puce sont définis par le silicium et les couches proches, la réponse totale de l'ensemble comprend tous les éléments depuis le point chaud jusqu'au puits thermique final. Une même puce pourrait être utilisée dans des contextes thermiques très différents. Le coût de développement des puces complexes se compte par des dizaines de millions d'euro. Ce coût oblige à prévoir pour cette plateforme une plage d'utilisation la plus large possible.

Imaginons une puce imageur du type ToF (Time of Flight) : cette puce comprend une matrice de photodiodes qui entraînent une « avalanche » d'électrons lors de l'arrivée d'un photon [Vil13]. Ces photons sont émis par une source laser depuis le dispositif et reflétés par les surfaces extérieures ciblées. Ils servent à détecter une présence, mesurer des distances ou créer des plans de profondeur détaillés. La même technologie, embarquée dans la même puce, peut être utilisée dans des scénarios totalement différents : à partir des petits appareils connectés (IoT) jusqu'aux voitures autonomes, en passant par des téléphones portables, des drones ou des appareils de jeux de vidéo.

La figure 116 montre une comparaison de la réponse thermique totale de la puce M3EM dans des environnements très différents. D'un côté on a la puce silicium isolée sur une plaque de verre. Cette configuration pourrait être analogue d'un point de vue thermique à celle d'un WLCSP (Wafer Level Chip Scale Packaging) [Hsu16] où la puce est directement

brasée sur la carte électronique. D'un autre coté on a une puce embarquée sur un substrat OLGA standard, celui-ci sur une plaque de verre. Cette configuration rencontre la barrière thermique du verre juste après le substrat. On pourrait la comparer thermiquement à un flex de connexion avec la carte électronique, configuration qui est très utilisée dans les appareils portables. La puce a été mesurée dans ces deux cas sur un banc de test manuel, de la même façon que le véhicule de test WIZZ.

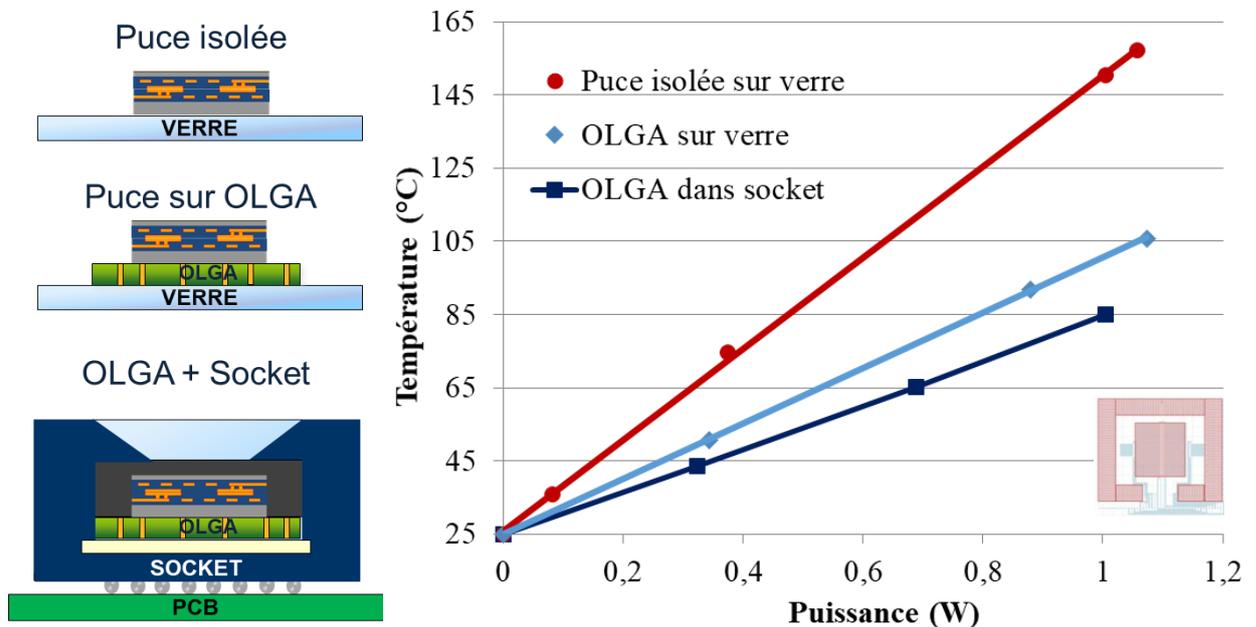


Fig. 116 : Comparaison de la réponse de la puce M3EM dans différents environnements thermiques. Scenario d'échauffement homogène. Mesure de la température au point chaud.

Le troisième cas correspond à la configuration de puce dans boîtier OLGA mesurée dans un socket de test qui a été déjà présenté dans ce chapitre. La température montrée dans le graphique a été mesurée au centre de la puce avec un échauffement homogène. Cette dernière configuration présente une diminution de la résistance thermique de plus de 50 % par rapport au premier cas. Il semble très clair que le résultat final est très dépendant de l'environnement dans lequel on place la puce, avec des plages de puissance admissibles en concordance.

4.2.2.3. Les gradients thermiques et le répartiteur

Bien que la résistance thermique globale du système soit dépendante de tous les niveaux jusqu'au puits thermique, on se demande quel est le niveau qui a le plus d'influence sur les

écarts de température dans la puce. Comme déjà expliqué dans le chapitre 2, la performance d'une puce imageur ne dépend pas que de sa température maximale, mais aussi des écarts de température sur la puce. On a donc comparé les écarts de température dans le silicium pour toutes les configurations assemblées. Le tableau 3 montre les données correspondant aux scénarios point chaud et combiné (échauffement homogène plus ponctuel).

Épaisseur du silicium (μm)	Point chaud 0.5 W		Point chaud 0.5 W + 0.9 W Homogènes	
	T_{Max}	ΔT_{puce}	T_{Max}	ΔT_{puce}
	Substrat OLGA standard			
180	61,8	9,8	122,0	14,3
300	61,0	6,9	121,0	9,8
	Substrat OLGA thermique + TIM standard			
180	61,5	9,3	121,0	13,7
300	60,8	7,2	117,2	10,3
	Substrat OLGA thermique + TIM thermique			
180	59,7	9,1	115,3	12,6
300	58,2	6,6	113,8	9,5

Tableau 6 : Température maximale et écart de température des différents cas d'étude. Puce en boîtier testée par socket sur carte de test. Température ambiante à 25°C.

Étant donné l'influence du substrat et l'environnement de test sur la température maximale, on pourrait déduire que l'écart maximal de température dans la puce est aussi affecté par ces variables. En effet, si on analyse les données on observe que l'écart maximal de température évolue aussi avec les différents substrats. Néanmoins, cette évolution est proportionnelle à la réduction de la température maximale. On ne peut donc pas la considérer comme une amélioration de la résistance thermique latérale de l'ensemble.

Si maintenant on regarde l'évolution de l'écart maximal de température pour chacun des cas d'étude, on voit clairement une réduction quand on augmente l'épaisseur de silicium. Cet effet est indépendant du substrat. On observe des variations significatives de l'écart maximal de température même si les réductions de la température maximale sont légères.

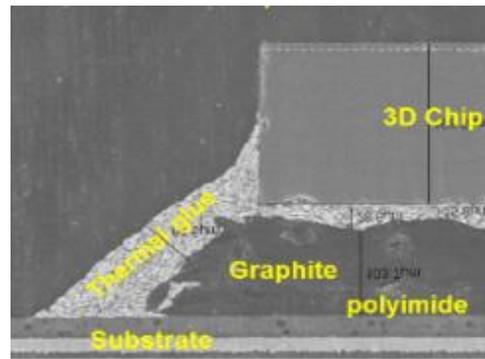
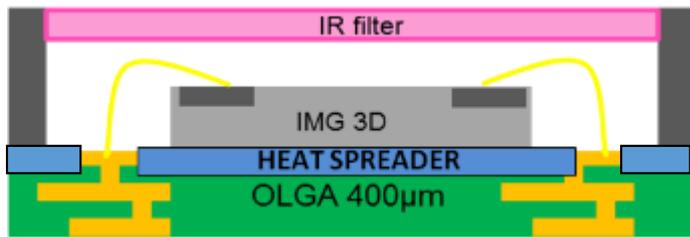


Fig. 117. Coupe transversale du boîtier avec un répartiteur PGS intégré entre le silicium et le substrat OLGA

Les puces imageurs demandent une température maximale modérée ainsi qu'un écart maximal le plus réduit possible. Ce sont donc des candidats idéals pour l'utilisation d'un répartiteur thermique. On a intégré un répartiteur entre le silicium et le substrat OLGA comme décrit dans le chapitre 2. On a profité de toute la surface du substrat afin d'augmenter l'effet répartiteur (fig. 117). On rencontre des espaces vides uniquement aux emplacements des plots de câblage.

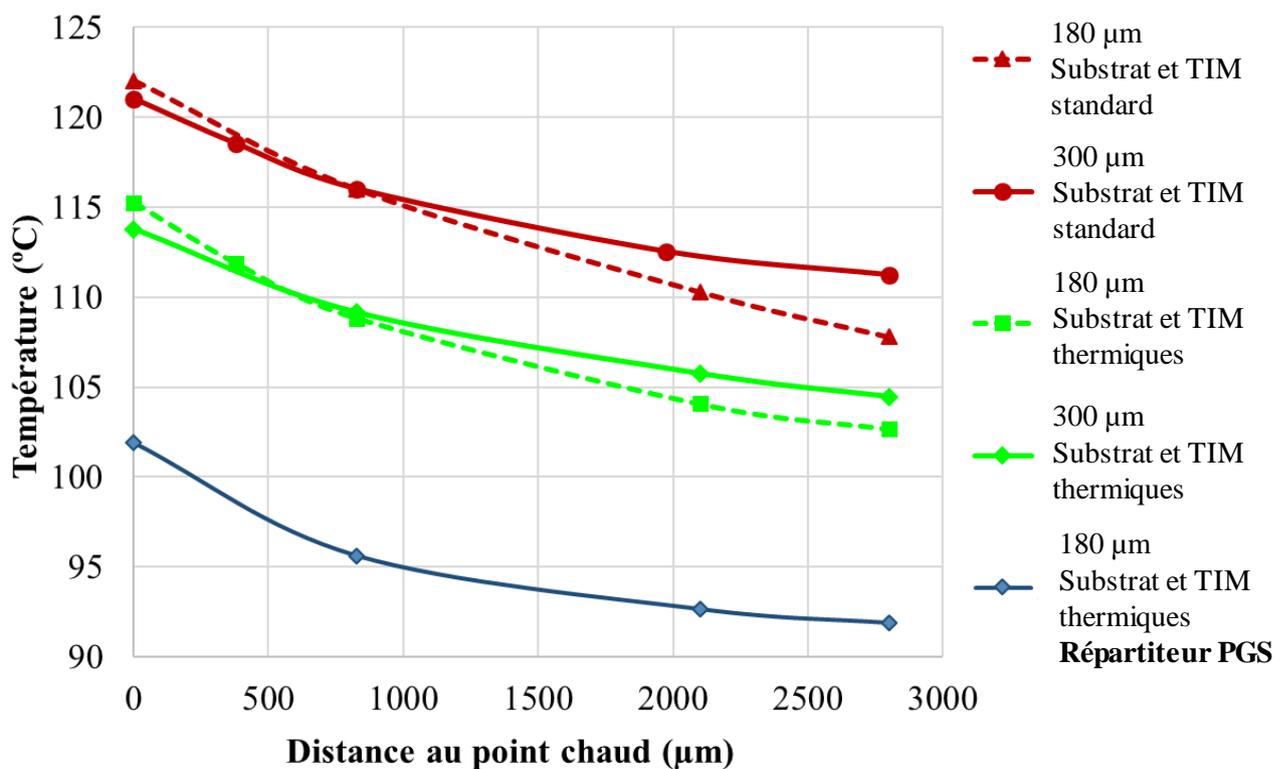


Fig. 118 : Impact de l'intégration d'un répartiteur en PGS pour un scénario point chaud de 0.5W plus 0.9W homogènes. Puce en boîtier testée par socket sur carte de test.

La figure 118 montre le résultat d'intégration du répartiteur PGS en comparaison avec les configurations déjà présentées. La réduction de la température maximale grâce au PGS est très significative due à la meilleure utilisation de la surface. L'écart maximal de température dans la puce est de 9.9 °C, en ligne avec celui du silicium en 300 µm.

L'épaisseur moyenne du PGS plus interfaces, selon les coupes au microscope électronique, est proche de 125 µm. L'épaisseur totale équivalente de l'empilement est donc similaire à celui du silicium 300 µm. Par rapport à cette structure, on a réussi à réduire la température du point chaud de façon très significative (-11.9 °C) avec un écart de température similaire. Il faut considérer la double barrière thermique de l'interface du répartiteur, qui augmente l'épaisseur totale sans améliorer en proportion les performances, comme déjà expliqué dans ce manuscrit. Si on était capable de réduire cette épaisseur d'interface, les performances seraient encore plus élevées.

Le répartiteur PGS semble donc être une solution optimale pour réduire la température maximale ainsi que l'écart maximal de température dans le contexte d'une puce imageur. A ce jour, on peut conclure que l'utilisation des répartiteurs de ce type en contact proche avec le silicium pourrait être une solution industrielle très prometteuse.

4.3. Conclusions

Dans ce chapitre on a présenté les résultats des expérimentations et les analyses de dissipation thermique des répartiteurs intégrés sur des puces silicium et boitiers. On peut faire les observations suivantes :

- L'intégration d'un répartiteur sur la face arrière d'une puce silicium produit une réduction significative de la température maximale de la puce, qui permet de pousser la dissipation de puissance du dispositif. Cette réduction est proportionnelle à la surface d'influence du répartiteur et à la conductivité du matériau.
- L'épaisseur du substrat silicium peut être réduit et substitué par une couche répartiteur de grande surface. Cette configuration permet d'augmenter

l'encombrement de l'empilement tout en améliorant les performances thermiques. Cette configuration devient de plus en plus intéressante pour des épaisseurs minces de silicium, interface et répartiteur. Les matériaux à base de carbone se présentent comme l'alternative la plus adaptée quand les épaisseurs sont en dessous de 70 μm .

- L'influence de l'interface est décisive d'un point de vue thermique. Si la résistance thermique de l'interface est trop élevée, l'écart en température entre les deux surfaces peut empêcher l'effet bénéfique du répartiteur. Ce fait est surtout prononcé lors de l'homogénéisation de la température du silicium, où la couche répartiteur doit être le plus proche possible du point chaud.
- L'intégration d'un répartiteur sur la face arrière d'un boîtier remporté par micro-soudure produit une recirculation du flux thermique. On profite du répartiteur pour dévier une partie de la chaleur vers le moulage. Cette solution produit une augmentation de la température du moulage et de la conduction de la chaleur vers le substrat.
- Cette recirculation thermique peut être reconverti à double flux si on ajoute un puits thermique de l'autre côté du répartiteur. Ce puits thermique pourrait être une carte électronique, la coque du dispositif ou une structure spécifique. Le gain en performances avec tel configuration serait très significatif.
- Les améliorations thermiques au niveau du substrat OLGA sont capables de réduire la température globale du dispositif. En revanche, ils affectent très faiblement le profil de température du silicium. L'écart maximal de température de la puce est affecté par l'épaisseur de silicium et par les couches les plus proches du point chaud.
- Le répartiteur thermique en graphite est une solution idéale pour les applications imageur, où la température doit être modérée et les écarts de température réduits, tout en gardant un encombrement minimal. Le gain futur va dépendre de la capacité à réduire la résistance thermique de l'interface silicium – graphite.

Conclusions finales

L'objectif de la thèse a été d'étudier les stratégies de dissipation thermique des boîtiers compacts avec l'intégration de répartiteurs. Les boîtiers compacts sont en pleine croissance actuellement, poussés par l'essor des téléphones et tablettes et l'implantation massive de l'électronique dans les appareils portables de la vie quotidienne.

Ces dispositifs relèvent le défi complexe d'un encombrement de plus en plus faible associé à une augmentation des performances à chaque génération. Une étude bibliographique a été faite dans le premier chapitre décrivant le problème de la génération de la chaleur et les stratégies de dissipation en microélectronique. Ce problème est exacerbé par les nouvelles technologies, notamment les intégrations 3D et hétérogènes. La densité de dispositifs dans ces structures conduit à une concentration de chaleur très difficile à évacuer.

La gestion thermique en microélectronique est une étude multi-niveau, partant de points de génération de la chaleur localisés au cœur des dispositifs, jusqu'aux dernières couches d'échange avec le fluide à température ambiante. Pour cette raison elle doit être abordée dès premières étapes de la conception. La relation entre les différents niveaux doit également être étudiée afin de garantir une évacuation efficace de la chaleur, sans barrière thermique significative entre les niveaux.

Afin d'étudier ce phénomène, on a mis en place une méthodologie qui prend en compte le caractère multi-niveaux de la dissipation thermique. L'objectif est de pouvoir se concentrer sur l'interaction entre le répartiteur thermique et chacun des éléments de l'ensemble. Dans le chapitre 2 on a décrit cette méthodologie ainsi que les trois types de véhicules de test utilisés pour caractériser ces interactions :

- Un premier véhicule de test, appelé WIZZ, a permis d'aborder la relation entre la couche répartiteur et la puce silicium. Les principaux éléments étudiés ont été le rôle de dissipation latérale de chaque couche, l'interface thermique, les épaisseurs des couches ainsi que les matériaux possibles pour le répartiteur.
- Un deuxième véhicule de test, appelé WIOMING, a permis d'étudier la relation entre le répartiteur et l'ensemble du boîtier. L'intérêt s'est porté sur le flux thermique dans l'empilement, l'impact du moulage et les différentes configurations de connexion de la puce avec son substrat organique.

Ces deux véhicules de test ont été retro-simulés par volume finis avec l'outil Flotherm. L'objectif a été d'analyser le phénomène thermique de chacune des configurations.

- Finalement, un troisième véhicule de test a été développé pendant ce travail de thèse afin d'émuler la structure thermique d'un imageur 3D par collage hybride. Il a été utilisé pour étudier l'implémentation d'un répartiteur thermique dans un boîtier de type imageur. Ce type de dispositifs constitue un candidat intéressant pour l'intégration de répartiteurs. Ils ont besoin de températures maximales modérées

associées à des écarts de température réduits. En outre ils connaissent actuellement une croissance très significative de leur performance en intégrant de plus en plus de fonctionnalités. Ce dernier véhicule de test pourra ainsi être réutilisé dans de futures études sur la dissipation thermique des capteurs d'images.

Deux approches d'étude complémentaires ont été considérées pendant cette thèse. D'un côté, l'amélioration des performances thermiques avec l'implémentation d'une couche répartiteur. D'un autre côté, l'exploration des contraintes et de la faisabilité de l'intégration au niveau industriel. La faisabilité de l'intégration va dépendre de possibles contreparties associées au répartiteur qui peuvent affecter le fonctionnement de la puce ou sa fabrication. Identifier ces risques potentiels, pouvoir les mesurer et caractériser, est un besoin incontournable de l'intégration industrielle. Ces principales contraintes ont été présentées dans le troisième chapitre. Trois axes de travail ont été explorés : le procédé industriel lui-même, les phénomènes thermomécaniques et l'impact de la couche répartiteur sur les signaux à haute fréquence.

D'un point de vue procédé, l'approche suivie dans l'assemblage détermine la surface d'influence du répartiteur et donc ses performances. Si l'on s'oriente vers un procédé à l'échelle du wafer, on sera restreint à la surface du silicium. En revanche, pour une intégration plus tardive dans le flow d'assemblage, le répartiteur pourra avoir une influence bénéfique sur l'ensemble du boîtier. Également, le type d'interface utilisé a un impact très significatif, pas seulement sur les performances thermiques, mais aussi sur le procédé. Les matériaux d'interface qui se montrent plus stables pendant les cycles de température du recuit et reflow, notamment les silicones, seront privilégiées.

Ce procédé de reflow a été également utilisé afin d'évaluer les effets thermomécaniques dans l'empilement. On a montré une comparaison avec différentes configurations entre les répartiteurs en cuivre et ceux en matériau carboné (PGS). Les répartiteurs en cuivre sont significativement déformés lors d'un cycle thermique. Cet effet a été montré de façon exacerbée dans un cycle de reflow. Le PGS, cependant, semble réagir de façon neutre aux cycles de température et apparaît comme un meilleur candidat pour l'intégration. De façon similaire, les couches répartiteurs pourraient perturber les signaux de hautes fréquences présentes dans les puces de dernière génération. La présence d'une couche conductrice prête des lignes électriques a été étudiée en simulation. Lors du design d'une structure avec un répartiteur, un bilan doit être établi entre la surface du répartiteur, les épaisseurs des

interfaces isolantes et la disposition des lignes électriques. La variable qui apparaît fondamentale pour amortir tant les effets à haute fréquence que les effets thermomécaniques est précisément l'interface thermique et son épaisseur.

Les effets purement thermiques de l'intégration des répartiteurs ont été décrits dans le chapitre 4. On a suivi une stratégie d'étude qui va de la puce silicium jusqu'au boîtier, en bénéficiant de mesures *in situ* sur des véhicules de test dédiés. Cette approche nous a permis de séparer les effets intrinsèques à chaque élément de l'ensemble. Les premières interactions du répartiteur avec la puce silicium ont montré une réduction significative de la température maximale proportionnelle à la surface d'influence du répartiteur et à la conductivité du matériau. Au moyen de simulations de cette structure on a réduit l'épaisseur du substrat silicium afin de le substituer par une couche répartiteur de grande surface. On a montré que le répartiteur, ainsi implémenté, est capable d'améliorer les propriétés de conduction latérales de l'ensemble, malgré la réduction d'épaisseur totale. Cette configuration permet d'augmenter l'encombrement de l'empilement tout en améliorant les performances thermiques. La barrière thermique que représente l'interface a un rôle décisif ; si sa résistance thermique est trop élevée, l'écart en température entre surfaces peut empêcher l'effet répartiteur.

L'intégration du répartiteur dans un véhicule de test plus complexe, comprenant un substrat organique et un moulage, a également montré une réduction significative de la température maximale du dispositif. Des simulations ont été faites sur des structures reportées par micro soudure ou bien câblées par fils au substrat, afin de comparer les flux thermiques dans ces deux configurations courantes de mise en boîtier. On a découvert dans le cas du report par microsoudures une recirculation du flux thermique qui favorise le refroidissement de la puce. Cette recirculation produit une déviation d'une partie de la chaleur vers le moulage et donc une réduction de la température du silicium. Si on la considère dans une vision de conception globale, cette recirculation pourrait donner lieu à un double flux thermique en rajoutant un puits thermique de l'autre côté du répartiteur. Le gain potentiel de cette stratégie serait très significatif.

La création des voies thermiques dans le substrat organique est aussi une voie d'amélioration des performances thermiques de l'ensemble. Ces améliorations sont capables de réduire la température globale du dispositif. En revanche, ils affectent très

faiblement le profil de température du silicium. Ce profil est affecté que pour les couches plus proches du point de génération de la chaleur. On parle ici du substrat silicium et du répartiteur thermique quand il est implémenté avec un matériau d'interface de résistance thermique minimisé. On a démontré que cette solution est optimale pour une application de type capteur d'images, où la température doit être modérée et les gradients réduits, tout en gardant un encombrement minimal.

Finalement, on a appliqué un répartiteur thermique en matériau carboné (PGS) sur la face arrière d'un capteur d'images. Ce répartiteur a été spécifiquement percé par laser afin de permettre le câblage de la puce avec le substrat. L'intégration du répartiteur a réduit de façon très significative la température maximale de la puce, de façon beaucoup plus prononcée que les modifications dans le substrat organique ou l'augmentation de l'épaisseur du silicium. Précisément, il permet de garder le même type d'écart de température dans la puce même si on réduit l'épaisseur globale de l'ensemble. On passe d'un silicium de 300 μm d'épaisseur à un autre de 180 μm avec un répartiteur PGS de 70 μm .

Tout au long des résultats de ce travail on a également montré la supériorité et la plus grande compatibilité des répartiteurs en carbone par rapport à ceux en cuivre. On pourrait citer les avantages suivants :

- Un comportement mécanique neutre lors des cycles thermiques agressifs. A différence du cuivre, la déformation du graphite pyrolytique lors du cycle de reflow ou des écarts de température est négligeable dans l'ensemble du boîtier.
- Un impact moins élevé sur les signaux à haute fréquence du fait d'une conduction électrique essentiellement planaire, et non isotrope.
- La possibilité d'être intégré avec des interfaces thermiques d'épaisseur réduite, pour les raisons qui précèdent.
- Une conductivité thermique plus élevée, qui assure des performances thermiques supérieures. Ce facteur est de plus en plus significatif lors qu'on réduit l'épaisseur de la couche répartiteur.

Les matériaux carbonés se présentent à l'issue de cette étude comme l'alternative la plus intéressante pour l'implémentation à grande échelle de répartiteurs dans des boîtiers

compacts. Cette implémentation sera poursuivie par la recherche de performances dans des boîtiers de plus en plus complexes et hétérogènes, ou l’empreinte du répartiteur doit être minimale. La combinaison des couches de carbone a tous les niveaux du boîtier, avec des interfaces thermiques d’épaisseurs réduites, sera assurément la tendance dans les années à venir pour ce type de dispositifs.

Bibliographie

- [Ban01] K. Banerjee et al. “3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration” *Proceedings of the IEEE Volume: 89, Issue: 5, May 2001*
- [Ban03] K. Banerjee et al., “A self-consistent junction temperature estimation methodology for nanometer scale ICs with implications for performance and thermal management” *Electron Devices Meeting, IEDM 2003 Technical Digest*. IEEE International.
- [Bac03] A. Bar-Cohen “Heat Transfer in Electronic Equipment”, *Heat transfer handbook*, 2003 - academia.edu
- [Bac13] A. Bar-Cohen et al. “DARPA’s ICECool Program: Towards Embedded Thermal Management” *IEEE 3D System Integration Conference* San Francisco, CA 2013
- [Bar17] P. S. Baranovet et al. “Dark current of the solid-state imagers at high temperature” *Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus)*, 2017 IEEE
- [Bat15] P. Batude et al. “3DVLSI with CoolCube process: An alternative path to scaling”, *Symposium on VLSI Technology (VLSI Technology)*, 2015

- [Bei14] Y. Beilliard et al. "Advances toward reliable high density Cu-Cu interconnects by Cu-SiO₂ direct hybrid bonding", *3D Systems Integration Conference (3DIC)*, 2014 International
- [Bey04] E. Beyne, "3D interconnection and packaging: impending reality or still a dream" *Solid-State Circuits Conference*, 2004. Digest of Technical Papers. ISSCC. IEEE International
- [Bey07] E. Beyne, "3D System Integration Technologies" *International Symposium on VLSI Technology, Systems, and Applications*, 2007
- [Bor15] Robin Bornoff et al. "An Additive Design Heatsink Geometry Topology Identification and Optimisation Algorithm" *31st SEMI-THERM Symposium*, San José 2015
- [Cas15] A. Castelan et al. "Optimization of forced-air cooling system for accurate design of power converters" *Conference on Computer-Aided Design (ICCAD)*, 2015 IEEE/ACM International
- [Cat02] P. Catrysse et Al. "Optical efficiency of image sensor pixels" *Journal of the Optical Society of America* Vol. 19, Issue 8, pp. 1610-1620 (2002)
- [Che01] G. Chen, et al., "Ballistic-Diffusive Heat-Conduction Equations" *Physical Review Letters*, Vol. 86, 2001, pp. 2297-2300.
- [Che06] L. C. Chen et al. "Enabling SPICE-type modeling of the thermal properties of 3D-stacked ICs" 2006 8th *Electronics Packaging Technology Conference*
- [Che16] W. Chen & al., "Heterogeneous integration for IoT Cloud and Smart Things a Roadmap for the future" *3D Power Electronics Integration and Manufacturing (3D-PEIM)*, *International Symposium* 2016
- [Col17] L. M. Collin et al. "Hot spot aware microchannel cooling add-on for microelectronic chips in mobile devices" 2017 *16th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*
- [Cou09] P. Coudrain "Contribution au développement d'une technologie d'intégration tridimensionnelle pour les capteurs d'images CMOS à pixels actifs" *Thèse en vue d'obtention di Doctorat de l'Université de Toulouse* 2009
- [Cou12] P. Coudrain et al. "Towards Efficient and Reliable 300mm 3D Technology for Wide I/O Interconnects", *EPTC 2012*
- [Cou13] P. Coudrain et al. "3D Integration of CMOS image sensor with coprocessor using TSV last and micro-bumps technologies" *Electronic Components and Technology Conference (ECTC)*, 2013 IEEE
- [Cou16] P. Coudrain et al. "Experimental Insights Into Thermal Dissipation in TSV-Based 3-D Integrated Circuits" *IEEE Design & Test* (Volume: 33, Issue: 3, June 2016)
- [Cul07] J. R. Culham et al. "The Influence of Material Properties and Spreading Resistance in the Thermal Design of Plate Fin Heat Sinks" *Transactions of the ASM*, Vol. 129, MARCH 2007

- [Den74] R.H. Dennard et al., “Design of Ion-Implanted MOSFETs with Very Small Physical Dimensions,” *IEEE J. Solid State Circuits*, vol. SC-9, no. 5, 1974, pp. 256–268.
- [Dhi16] Rajat Dhingra et al. “A numerical study of the effect of thermal radiation on the forced air cooling of low heat flux electronic chips mounted on one side of a vertical channel” *Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*, 2016 15th IEEE Intersociety
- [Din11] K. Dinash et al. “Paper study on thermal conductivity of Al₂O₃ thin film of different thicknesses on copper substrate under different contact pressures” *Industrial Electronics and Applications (ISIEA)*, 2011 IEEE
- [Dra10] V. Dragoi et al. “CMOS wafer bonding for back-side illuminated image sensors fabrication” *Electronic Packaging Technology & High Density Packaging (ICEPT-HDP)*, 2010
- [Dut13] D. Dutoit et al. “A 0.9pJ/bit, 12.8GByte/s wide I/O memory interface in a 3D-IC NoC-based MPSoC” *VLSI Symposium*, Kyoto, Japan, June 2013
- [Dut14] D. Dutoit et al. “3D integration for power-efficient computing”, *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2013
- [Eis84] T. D. Eish et al. “Temperature influence on the anomalous breakdown phenomena in solid dielectrics” *Conference on Electrical Insulation & Dielectric Phenomena - Annual Report 1984*
- [Fai17] Firooz Faili et al. “Physical and Thermal Characterization of CVD Diamond: A Bottoms-up Review” 2017 16th IEEE *Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*
- [Fen17] Feng-lian Li et al. “A study of 28nm back end of line (BEOL) Cu/Ultra-low-k time dependent dielectric breakdown (TDDB) dependence on key processes” 2017 *IEEE 24th International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*
- [Fie08] C. Fiegna et al., “Analysis of Self-Heating Effects in Ultrathin-Body SOI MOSFETs by Device Simulation,” *IEEE Transaction on Electronic Devices*, vol. 55, p. 233, 2008.
- [Fon13] Ray Fontaine et Al. “The Evolution of Pixel Structures for Consumer-Grade Image Sensors” *IEEE Transactions on Semiconductor Manufacturing* (Volume: 26, Issue: 1, Feb. 2013)
- [Fu12] Yifeng Fu et Al. “A complete carbon-nanotube-based on-chip cooling solution with very high heat dissipation capacity” 2012 *IOP Publishing Ltd Nanotechnology*, Volume 23, Number 4
- [Gal16] S. Gallois-Garreignot & al., “Wafer Level Chip Scale Packaging: Thermo-mechanical failure modes, challenges & guidelines” 2016 17th *International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*

- [Gar08] Garimella & al., “Thermal Challenges in Next-Generation Electronic Systems” *IEEE Transactions on Components and Packaging Technologies* (Volume: 31, Issue: 4, Dec. 2008)
- [Gag17] Paolo A. Gargini, “How to successfully overcome inflection points, or long live Moore's law” *Computing in Science & Engineering* (Volume 19, Issue 2, Mar-Apr. 2017)
- [Gel91] P. Gelsinger et al., “2001: A Microprocessor Odyssey,” *The Future of Computing and Communications*, MIT Press, 1991, pp. 95–113.
- [Ges15] Joshua L. Gess et al. “Experimental Investigation of a Direct Liquid Immersion Cooled Prototype for High Performance Electronic Systems” *IEEE Transactions on Components, Packaging and Manufacturing Technology* (Volume: 5, Issue: 10, Oct. 2015)
- [Gur12] Siva P. Gurrum et al. “Generic thermal analysis for phone and tablet systems” 2012 *Electronic Components and Technology Conference (ECTC)*
- [Har01] L.R. Harriot, “Limits of lithography” *Proceedings of the IEEE* (Volume: 89, Issue: 3, Mar 2001)
- [Has06] S. Hasan et al., “High-frequency performance projections for ballistic carbon-nanotube transistors” *IEEE Transactions on Nanotechnology* (Volume: 5, Issue: 1, Jan. 2006)
- [Her90] P. Heremans et al. “Temperature dependence of the channel hot-carrier degradation of n-channel MOSFET's” *IEEE Transactions on Electron Devices* (Volume: 37, Issue: 4, Apr 1990)
- [Hsu16] Min-Hsuan Hsu et al. “Investigation of thermal cycling maximum temperature effect on fatigue life of WLCSP” 2016 *International Conference on Electronics Packaging (ICEP)*
- [Hua06] Wei Huang et al. “HotSpot: a compact thermal modeling methodology for early-stage VLSI design” *IEEE Transactions on Very Large Scale Integration Systems (VLSI)* 2006
- [Huh11] Youm Huh et al. “Future direction of power management in mobile devices” *IEEE Asian Solid-State Circuits Conference* 2011
- [Ing14] C. Inguibert et al. “Modeling the Dark Current Non-Uniformity of Image Sensors with GEANT4” *IEEE Transactions on Nuclear Science* (Volume: 61, Issue: 6, Dec. 2014)
- [Inv99] F. Ingvarson et al., “Stress and recovery transients in bipolar transistors and MOS structures” *Proceedings of the 1999 International Conference on Microelectronic Test Structures, ICMTS*
- [Itr10] ITRS. International Technology Roadmap for Semiconductors. www.itrs.net
- [Jan15] CD. Jang et al., “Self-heating on bulk FinFET from 14nm down to 7nm node” *IEDM* 2015

- [Jed12] JEDEC Publication JEP122H “Failure Mechanisms and Models for Semiconductor Devices” *Jedec Solid State Technology Association* 2011
- [Jou41] J. P. Joule, “On the heat evolved by metallic conductors of electricity,” *Philosophical Magazine*, vol. 19, p. 260, 1841.
- [Kac00] B. Kaczer et al. “The influence of elevated temperature on degradation and lifetime prediction of thin silicon-dioxide films” *IEEE Transactions on Electron Devices (Volume: 47, Issue: 7, Jul 2000)*
- [Kag16] Y. Kagawa et al. “Novel stacked CMOS image sensor with advanced Cu₂Cu hybrid bonding”, *Electron Devices Meeting (IEDM)*, 2016 IEEE International
- [Kim11] Jung-Kyun Kim et al. “Compact Thermal Network Model of the Thermal Interface Material Measurement Apparatus with Multi-Dimensional Heat Flow” *IEEE Transactions on Components, Packaging and Manufacturing Technology (Volume: 1, Issue: 8, Aug. 2011)*
- [Kim14] Youngwoo Kim et al. “Analysis and optimization of a power distribution network in 2.5D IC with glass interposer” *3D Systems Integration Conference (3DIC)*, 2014
- [Koh01] M. Koh “Limit of Gate Oxide Thickness Scaling in MOSFETs due to Apparent Threshold Voltage Fluctuation Induced by Tunnel Leakage Current” *IEEE Transactions on Electron Devices*, vol. 48, no. 2, february 2001
- [Kos15] S. O. Koswatta et al. “Off-state self-heating, micro-hot-spots, and stress-induced device considerations in scaled technologies” 2015 IEEE *International Electron Devices Meeting (IEDM)*
- [Kum15] S. G. Kumar et al. “Advances in percolated thermal underfill (PTU) simulations for 3D-integration” 2015 *16th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems*
- [Lau09] John H. Lau et al. “Thermal management of 3D IC integration with TSV (through silicon via)” 2009 59th *Electronic Components and Technology Conference*
- [Lee14] Benjamin G. Lee et al. “Monolithic Silicon Integration of Scaled Photonic Switch Fabrics, CMOS Logic, and Device Driver Circuits”, *Journal of Lightwave Technology (Volume: 32, Issue: 4, Feb.15, 2014)*
- [Lho16] S. Lhostis et al. “Reliable 300 mm Wafer Level Hybrid Bonding for 3D Stacked CMOS Image Sensors” *Electronic Components and Technology Conference (ECTC)*, 2016 IEEE
- [Lia14] Min Liang et al. “Graphene conductivity characterization at microwave and THz frequency” *The 8th European Conference on Antennas and Propagation (EuCAP 2014)*
- [Ma16] Ke Ma et al., “Frequency-Domain Thermal Modeling and Characterization of Power Semiconductor Devices” *IEEE Transactions on Power Electronics*, Vol. 31, No. 10, October 2016

- [Mar17] Markets and Markets - Image Sensor Market by Technology (CMOS, CCD), Processing Type (2D, and 3D), Spectrum (Visible, and Non- Visible), Array Type (Linear, and Area), Vertical (Automotive, Consumer Electronics, Industrial), and Geography - Global Forecast to 2023
- [Mat79] R. A. Matula “Electrical resistivity of copper, gold, palladium, and silver” *Journal of Physical and Chemical Reference Data*, Volume 8, Issue 4, October 1979, pp.1147-1298
- [Maz09] J. P. Mazellier et al. “First demonstration of heat dissipation improvement in CMOS technology using Silicon-On-Diamond (SOD) substrates” 2009 IEEE *International SOI Conference*
- [Mcp17] Brice McPherson et al. “Direct Liquid Cooling of High Performance Silicon Carbide (SiC) Power Modules” 2017 *International Workshop on Integrated Power Packaging (IWIPP)*
- [Mia14] Miaowen Chen et al. “Thermal analyses of package-on-package (PoP) structure for tablet application” *IEEE 16th Electronics Packaging Technology Conference (EPTC)*, 2014
- [Mic15] J. Michailos et al., “New challenges and opportunities for 3D integrations” *Electron Devices Meeting (IEDM)*, 2015 IEEE International
- [Miz14] Yoriko Mizushima et al. “Impact of Thermomechanical Stresses on Ultra-thin Si Stacked Structure” *3D Systems Integration Conference (3DIC)*, 2014
- [Moo65] G.E. Moore, “Cramming More Components onto Integrated Circuits,” *Electronics*, vol. 38, no. 8, 1965, pp. 114–117.
- [Mom14] P. Momar et al. “A comprehensive platform for thermal studies in TSV-based 3D integrated circuits”, *Electron Devices Meeting (IEDM)*, 2014 IEEE International
- [Mom15] P. Momar et al. “Thermal Effects of Silicon Thickness in 3-D ICs: Measurements and Simulations” *IEEE Transactions on Components, Packaging and Manufacturing Technology* (Volume: 4, Issue: 8, Aug. 2014)
- [Mou13] T. Mourier et al., “3D Integration challenges today: from technological toolbox to industrial prototypes” 2013 *IEEE International Interconnect Technology Conference – IITC*
- [Mts14] K. Matsumoto et al. “Cooling from the bottom side (laminate (substrate) side) of a three-dimensional (3D) chip stack” *3D Systems Integration Conference (3DIC)*, 2014
- [Mts16] K. Matsumoto et al. “Proposal of package structure requirements for effective cooling from the bottom side of chips (from the substrate side), aiming for a three-dimensional (3D) chip stack” 2016 *IEEE 66th Electronic Components and Technology Conference*
- [Mun11] Arslan Munir et al. “A queuing theoretic approach for performance evaluation of low-power multi-core embedded systems” *Conference on Computer Design (ICCD)*, 2011 IEEE 29th International

- [Muz04] Y. S. Muzychka et al. “Thermal Spreading Resistance in Compound and Orthotropic Systems” *Journal of Thermophysics and Heat Transfer* Vol. 18, No. 1, January–March 2004
- [Nar09] Sreekant Narumanchi et al. “Advanced Thermal Interface Materials (TIMs) for Power Electronics” 2009 U.S.DOE Hydrogen Program and Vehicle Technologies Program
- [Nem16] Márton Németh et al. “Compact modeling approach for microchannel cooling aimed at high-level thermal analysis of 3D packaged ICs” *Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, 2016
- [Nel18] Cameron Nelson et al. “Package thermal challenges due to changing mobile system form factors” 2018 34th *Thermal Measurement, Modeling & Management Symposium (SEMI-THERM)*
- [Oh 15] Hanju Oh et al. “Fabrication and Characterization Of Electrical Interconnects And Microfluidic Cooling For 3D ICS With Silicon Interposer” *Heat Transfer Engineering* 37(11):1-41 · September 2015
- [Ono86] Akira Ono et al. “Thermal Conductivity of Diamond Films Synthesized by Microwave Plasma CVD” *Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, 2016
- [Ord16] Jose Ordonez-Miranda et al. “Modelling and measurement of the thermal conductivity of composites with silver particles” *Thermal Investigations of ICs and Systems (THERMINIC)*, 2016 22nd International Workshop
- [Pha14] Thanh-Long Phan et al. “Integrated Vapor Chamber Heat Spreader for High Power Processors” *International Conference on Electronics Packaging ICEP 2014*
- [Pop01] E. Pop, “Self-Heating and Scaling of Thin Body Transistors”. *PhD thesis, Stanford University*, 2001.
- [Pop04] E. Pop. et al., “Analytic band Monte Carlo model for electron transport in Si including acoustic and optical phonon dispersion” *Journal of applied physics*, Volume 96, Number 9 1 November 2004
- [Pra06] Ravi Prasher “Thermal Interface Materials: Historical Perspective, Status, and Future Directions” Vol. 94, No. 8, August 2006 *Proceedings of the IEEE*
- [Rie03] C.S. Hau-Riege et al. “The effect of low-k ILD on the electromigration reliability of Cu interconnects with different line lengths” *2003 IEEE International Reliability Physics Symposium Proceedings, 2003. 41st Annual.*
- [Rin01] Niccolo Rinaldi “On the Modeling of the Transient Thermal Behavior of Semiconductor Devices” *IEEE Transactions On Electron Devices, Vol. 48, No. 12, 2001*
- [Rus02] S. Rusu et al. “Trends and challenges in VLSI technology scaling towards 100 nm” *Proceedings of ASP-DAC/VLSI Design 2002. 7th Asia and South Pacific Design Automation Conference and 15th International Conference on VLSI Design*
- [San14] C. Santos et al. “Using TSVs for thermal mitigation in 3D circuits: Wish and truth” *3D Systems Integration Conference (3DIC)*, 2014 International

- [Sau12] David L. Saums et al. “Classifying and Understanding Thermal Interface Materials for Power LED Applications” IMAPS France 7th *Workshop on Thermal Management and Micropackaging* 2012
- [Sau15] David L. Saums et al. “Developments in Advanced Thermal Materials” IMAPS France 10th Anniversary Workshop on *Thermal Management and Micropackaging* 2015
- [Sau16] David L. Saums et al. “Developments for Copper-Graphite CTE-Matched Thermal Cores for High-Reliability GaN Systems” 2016 *International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM)*
- [Sal99] B. De Salvo et al. “Experimental and theoretical investigation of nonvolatile memory data-retention” *IEEE Transactions on Electron Devices* (Volume: 46, Issue: 7, Jul 1999)
- [Sar15] Thomas E. Sarvey et al. “Embedded cooling technologies for densely integrated electronic systems” *Custom Integrated Circuits Conference (CICC)*, 2015 IEEE
- [Sem03] O. Semenov et al., “Burn-in temperature projections for deep sub-micron technologies,” in *Proc. Int. Test Conf.*, Charlotte, NC, 2003, pp. 95–104.
- [Sem06] O. Semenov et al., “Impact of Self-Heating Effect on Long-Term Reliability and Performance Degradation in CMOS Circuits,” *IEEE Transactions on Device and Materials Reliability*, vol. 6, p. 17, 2006.
- [Sha09] Pour Shahid Saeed Abadi et al. “Factors That Govern the Performance of Thermal Interface Materials” *Journal of Electronic Materials*, 2009. 38 (1): p. 175-192
- [Sny14] S. Snyder et al. “Thermally Enhanced 3 Dimensional Integrated Circuit (TE3DIC) Packaging” 2014 *Electronic Components & Technology Conference (ECTC)*
- [Soh06] Sung-Min Sohn et al. “SoC design of an auto-focus driving image signal processor for mobile camera applications” *IEEE Transactions on Consumer Electronics* (Volume: 52, Issue: 1, Feb. 2006)
- [Son15] Taigon Song et al. “Three-tier 3D ICs for more power reduction: Strategies in CAD, design, and bonding selection” *Conference on Computer-Aided Design (ICCAD)*, 2015 IEEE/ACM International
- [Sri04] J. Srinivasan et al. “The impact of technology scaling on lifetime reliability” 2004 *International Conference on Dependable Systems and Networks*
- [Sue02] J. S. Suehle et al. “Ultrathin gate oxide reliability: physical models, statistics, and characterization” *IEEE Transactions on Electron Devices* (Volume: 49, Issue: 6, Jun 2002)
- [Tan08] Wei Tan et al. “Effects of Warpage on Fatigue Reliability of Solder Bumps: Experimental and Analytical Studies” 2008 *Electronic Components and Technology Conference (ECTC)*

- [Ten04] M. Tencer et al. “Arrhenius average temperature: the effective temperature for non-fatigue wearout and long term reliability in variable thermal conditions and climates” *IEEE Transactions on Components and Packaging Technologies* (Volume: 27, Issue: 3, Sept. 2004)
- [Tri17] K. Triantopoulos et al. “Thermal effects in 3D sequential technology” 2017 *IEEE International Electron Devices Meeting (IEDM)*
- [Ume14] Taku Umebayashi et Al. “3D Stacked CMOS Image Sensor Exmor RSTM” *International Solid- State Circuits Conference (ISSCC) 2014 IEEE*
- [Vil13] F. Villa et al. “CMOS single photon sensor with in-pixel TDC for Time-of-Flight applications”, 2013 *IEEE Nordic-Mediterranean Workshop on Time-to-Digital Converters (NoMe TDC)*
- [Vis00] Viswanath & al., “Thermal Performance Challenges from Silicon to Systems” *Intel Technology Journal*, Quarter 3, Sept. 2000
- [Viv11] P. Vivet et al. “3D NoC using Through Silicon Via: an asynchronous implementation”, *19th International Conference on VLSI and System-on-Chip 2011 IEEE/IFIP*
- [Wag14] Guy R. Wagner “A study of the maximum theoretical power dissipation of tablets under natural convection conditions” *20th International Workshop on Thermal Investigations of ICs and Systems THERMINIC 2014*
- [Wal07] Ed Walsh et Al. “Low profile fan and heat sink thermal management solution for portable applications” *International Journal of Thermal Sciences* 46 (2007) 1182–1190
- [Wan14] L. Wang et al., “3D coupled electro-thermal simulations for SOI FinFET with statistical variations including the fin shape dependence of the thermal conductivity” *Solid-State and Integrated Circuit Technology (ICSICT), 2014*
- [Wun14] B. Wunderle et al. “Phase Change based Thermal Buffering of Transient Loads for Power Converter” *20th International Workshop on Thermal Investigations of ICs and Systems THERMINIC 2014*
- [Yam16] Y. Yamada et al. “Novel heatsink for power semiconductor module using high thermal conductivity graphite” *Microelectronics Reliability* 64 (2016) 484–488
- [Yen12] Yen Yi Germaine Hoe et al. “Modeling and characterization of the thermal performance of advanced packaging materials in the flip-chip BGA and QFN packages” 2012 *IEEE 14th Electronics Packaging Technology Conference (EPTC)*
- [Zha14] Heng Yun Zhang et al. “Thermal Characterization of Both Bare Die and Overmolded 2.5-D Packages on Through Silicon Interposers” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Vol. 4, No. 5, May 2014

- [Zha15] Yong Zhang et al. “Improved Heat Spreading Performance of Functionalized Graphene in Microelectronic Device Application” *Advanced Functional Materials*, Volume 25, Issue 28, 2015
- [Zür16] J. Zürcher et al. “Enhanced Percolating Thermal Underfills Achieved by Means of Nanoparticle Bridging Necks” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Vol. 6, No. 12, December 2016

Annexe

A1 : Propriétés des matériaux

Les modèles de simulation utilisés dans ce travail de thèse sont partis des données de conductivité thermique récupérés bien de la littérature, bien des données fournis par les fabricantes des matériaux spécifiques utilisés. Voici la liste extensive des conductivités :

- Matériaux de conductivité thermique constante :

Matériau	Conductivité thermique (W/mK)	Matériau	Conductivité thermique (W/mK)
Aluminium	201	Polymère TAIYO (BGA)	0,21
Passivation ALX	0,2	Saphir	40
Cuivre	385	SiN amorphe	3
Moulage Epoxy	0,68	SiN cristalline	30
FR4	0,3	SiO2	1,4
Verre - Standard	1,05	Solder (Sn 96,5/Ag 3,5)	78
Colle thermique	4	Solder SAC (SnAgCu)	60
Or	296	Titanium	21
Interface - Chargée de particules Ag	18	Tungstène	174
Interface - Epoxy	0,05	Underfill - Standard	0,5
Interface - Polyamide	0,19	Underfill - Thermal (IBM)	3,8
Interface - Colle polymère	0,5		
Interface - Silicone	0,6		
Interface - Pate thermique	4		
Niquel	59		
Polymère SUMIMOTO (BGA)	0,59		

- Matériaux de conductivité thermique variable :

Matériau	Conductivité thermique	Dépendance avec la température	Température de référence	Coefficient	Orthotopique	Kx	Ky	Kz
Unités	W/mK		°C	W/mK ²		W/mK		
Verre - Plan Optik	1,39	Oui	25	0,001	Non			
PGS (Graphite) 10 µm	-	Non	-	-	Oui	1900	1900	10
PGS (Graphite) 100 µm	-	Non	-	-	Oui	700	700	26
PGS (Graphite) 25µm	-	Non	-	-	Oui	1600	1600	18
PGS (Graphite) 70 µm	-	Non	-	-	Oui	1000	1000	20
Silicon	150	Oui	25	-0,42	Non			
Silicon HR	150	Oui	25	-0,42	Non			

A2 : Modèles de simulation

Le design des modèles de simulation en Flotherm a profité des résultats des caractérisations thermiques réalisés dans le banc de test. Les résultats des mesures thermiques ont aidé à calibrer le modèle grâce aux courbes de température des véhicules de test plus simples. Ces résultats ont aidé à tracer les conditions limites dans chacune des faces du modèle. Ces conditions sont évidemment spécifiques à chaque modèle due aux différents environnements à simuler :

- Véhicule de test WIZZ pour l'évaluation silicium :

Ce véhicule de test a été simulé en détail grâce à la simplicité de sa structure (fig. a1). Le motif des lignes électriques a été désigné dans sa totalité et importe du logiciel CATIA. L'épaisseur des couches de SiO₂ a chaque côté du silicium a été simulé par des résistances de contact. Le substrat en verre en dessous du silicium a été désigné jusqu'à une surface de 16 cm².

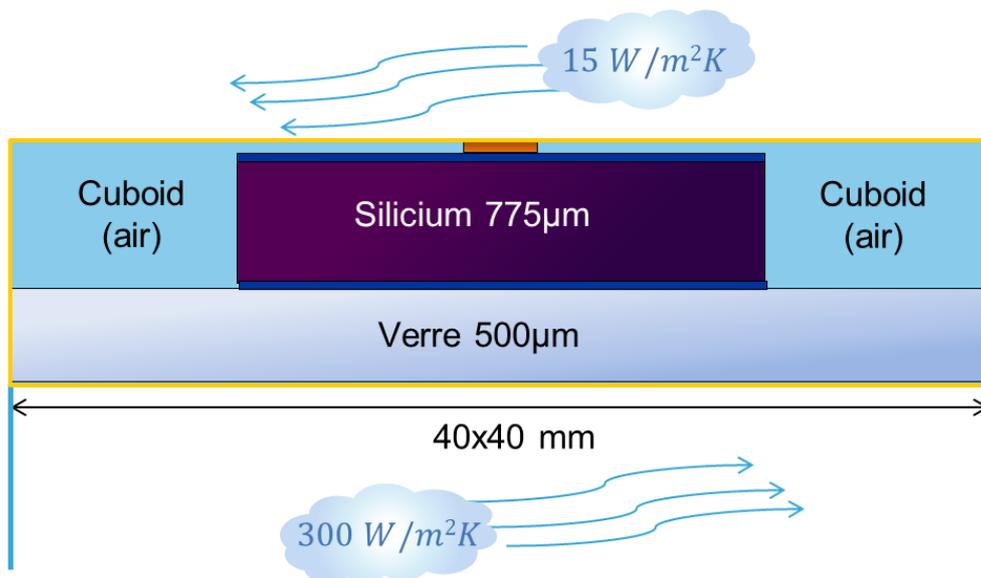


Fig. a11: Modèle de simulation du véhicule de test WIZZ d'interaction silicium-répartiteur.

Les espaces vides du système sont occupés par un volume 'cuboid' d'air ($\lambda = 0,026 \text{ W/mK}$) avec propriétés de solide conducteur. Les conditions aux limites dans les faces supérieure et latérales comprennent une faible convection équivalente à un flux d'azote dans la chambre du testeur. La valeur de convection vers le bas a été variée jusqu'à obtenir des températures égales à celles des mesures de test. La convection de 300 W/mK simule le reste de la structure isolante en verre et puis la conduction vers la plaque en acier du banc de test.

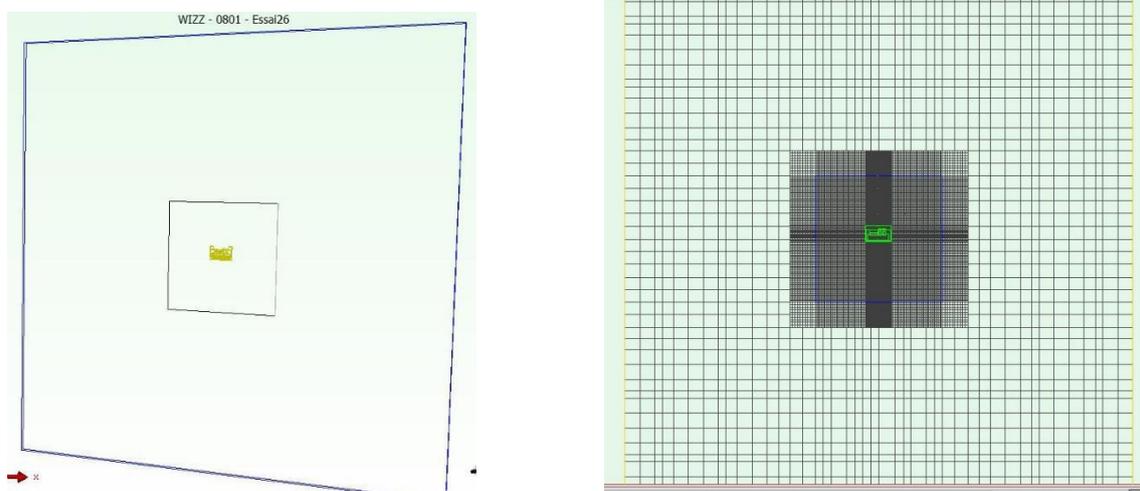


Fig. a22: Maillage du modèle de simulation WIZZ

Le maillage a été fait de façon à optimiser le nombre d'éléments (fig. a2). Le maillage local de la puce est plus fin lorsqu'on s'approche à la structure du point chaud. Le nombre total d'éléments est proche à un million.

- Véhicule de test WIOMING pour l'évaluation des structures boitier :

Le design de ce modèle a été fait de façon similaire au WIZZ. Toutes les couches d'épaisseur supérieure à 5 μm ont été simulés par un cuboid. Pour les couches plus fines une résistance de contact a été utilisé. La puce silicium comprend une structure centrale de TSV (Through Silicon Vias) qui a été simulée par un cuboid avec des valeurs de conduction thermique équivalentes à toute l'ensemble.

Les conditions aux limites vers le haut et latérales du modèle représentent une faible convection. La valeur de convection ver le bas représente la soudure des billes du BGA (Ball Grid Array) avec les lignes électriques de la carte électronique.

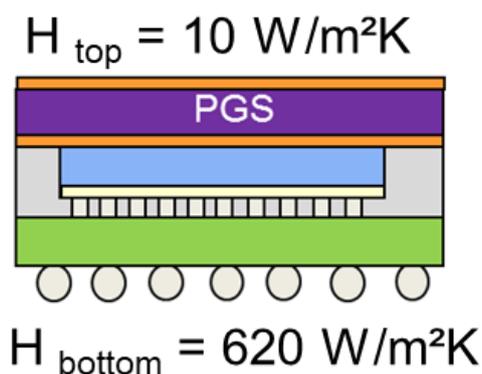


Fig. a33: Conditions aux limites du modèle de simulation boitier WIOMING

Le niveau de détail du modèle, ainsi que les conditions aux limites, ont réussi un très bon fit entre les courbes des mesures expérimentales et celles obtenus par simulation. La figure a4 montre le profil de température pour les cas avec et sans répartiteur en PGS. La corrélation entre le modèle de simulation et le véhicule de test réel semble être significative.

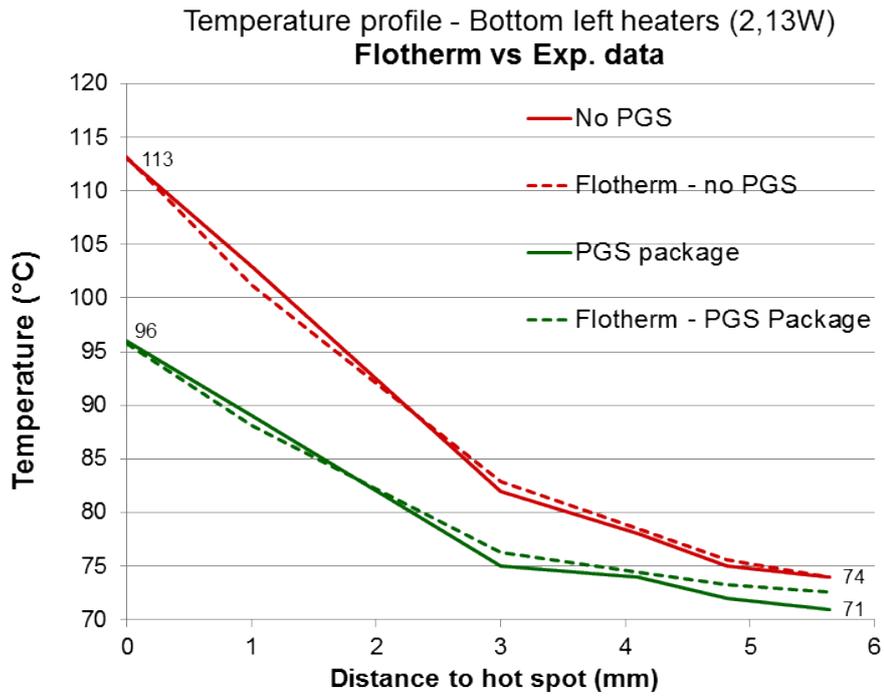


Fig. a44: Fit des courbes obtenus par des mesures expérimentales et par simulation en Flotherm

Communications scientifiques et brevets

1. R. Prieto, G. Belly, J. P. Colonna, P. Coudrain, F. de Crecy, S. Cheraamy, Y. Avenas “*Assessment of a heat spreading solution for hot spots cooling in compact packages*”, **THERMINIC 2014**, London, 24-26 September

Abstract: Heat generation in integrated circuits has become in few decades one of the most limiting factors for performance improvement in mobile device components, such as cell phones or tablets. In these devices, heat dissipation is limited to a few Watts as state of art cooling systems, such as heat-sinks or fans, do not fit with the dimensional and power consumption constraints. Amongst the solutions proposed for circuit cooling, the implementation of heat spreaders is probably the most suitable alternative for compact packages due to their ease of manufacturing and low cost. The objective of this work is

therefore to study the performance of a high thermal conductivity layer directly integrated at the die level in the scope of short-term industrial implementation. In particular, we compare both the hotspot temperature reduction and the temperature profile of the die using either copper or a graphite-based material. Temperature reductions over 80°C have been measured for the best-case scenario, with a thermal resistance enhancement of 61% at the die stack level. Finite volume simulations are finally presented in order to explain the thermal flux of the system.

2. R. Prieto, J. P. Colonna, P. Coudrain, C. Santos, P. Vivet, S. Cheramy, D. Campos, A. Farcy, Y. Avenas. “*Thermal measurements on flip-chipped system-on-chip packages with heat spreader integration*”, **SEMI-THERM 2015**, San Diego, 15-19 March

Abstract: Amongst the cooling solutions proposed to mitigate heat hazard effects in microelectronics, heat spreaders seem to be one of the most suitable when thickness and space constraints are considered. This work proposes the use of graphite-based materials as heat spreaders for thermal management of flip-chip configurations. Experimental tests and numerical simulations show a significant improvement in the thermal dissipation capabilities of the stack when adding this layer. An additional configuration with a copper heat sink added on top of the heat spreader is also studied. Results indicate a significant reduction of the peak temperature for an integrated graphite heat spreader and a reduction of the average chip temperature if the heat spreader is linked to a copper heat sink. Experimental results are then analysed by retrosimulation and the thermal path is investigated with or without heatspreader.

3. R. Prieto, J. P. Colonna, P. Coudrain, N. Chevrier, K. N. Assigbe, S. Cheramy, A. Farcy, . “*Thermo-mechanical assessment of copper and graphite heat spreaders for compact packages*”, **THERMINIC 2016**, Budapest, 21-23 September

Abstract: Graphite-based materials have been proved to be an enhancement over copper heat spreaders when directly integrated at the silicon level. However, not only they outdo copper in terms of thermal performance, but their in-plane CTE (coefficient of thermal expansion) is much closer to that of silicon. As a result, mechanical stress due to deformation mismatches is reduced during thermal cycling. Thus, thermal interface thickness can be reduced to optimize the heat flow from the hotspot. Heat management of

3D structures implies several challenges. The silicon die and intertier thickness are limited by the vertical connexions height in these heterogeneous stacks. These constraints will also imply strongly thinned heat spreaders and thermal interfaces in a future intertier implementation. This work investigates the thermo-mechanical constraints of integrating a heat spreader at the die level. Copper and PGS (pyrolytic graphite sheet) heat spreaders are compared. Their deformation subjected to thermal cycling is measured experimentally via Thermo-Moiré measurements. The differences in the deformation between the silicon die, molding and the substrate are also measured.

4. R. Prieto, J. P. Colonna, P. Coudrain, Y. Hallez, C. Chancel, V. Rat, S. Dumas, G. Romano, R. Franiatte, S. Cheramy, C. Brunet-Manquiat, A. Farcy. “*Heat spreading packaging solutions for hybrid bonded 3D-ICs*”, **3DIC 2016**, San Francisco, 8-11 November

Abstract: Direct hybrid bonding is considered as one of the most promising technologies for high performance 3D-ICs. Its face-to-face structure allows significant inter-connexion capabilities. Nonetheless, it also implies increased thermal densities that will be reflected in both die tiers due to the lack of insulating barriers. This work investigates the thermal interactions between two hybrid bonded dice for different case scenarios. A specific test vehicle comprising heaters and temperature sensors have been designed. Packaging variables such as silicon thickness, substrate thermal design or TIM conductivity and thickness are studied.

Communications comme co-auteur :

5. Cristiano Santos, Rafael Prieto, Pascal Vivet, Jean-Philippe Colonna, Perceval Coudrain, Ricardo Reis. “*Graphite-based heat spreaders for hotspot mitigation in 3D ICs*”, **3DIC 2015**, Sendai, Japan, 31 Aug.-2 Sept. 2015

Abstract: Heat dissipation is frequently pointed as one of the main challenges in the promising 3D integration technology. The very thin dies required to integrate high density TSVs reduce the heat dissipation capacity of the 3D stack and may provoke exacerbated hotpots. This work investigates the use of graphite-based heat spreaders to mitigate the strong hotspot dissipation issues in advanced 3D ICs. Graphite-based materials present high in-plane thermal conductivity and can be integrated into 3D stacks to compensate the

poor heat spreading capacity of the thinned silicon dies. Silicon measurements are used to confirm this is a feasible and effective method for thermal management. Numerical simulations for a variety of circuit, application and integration configurations indicate this is an effective approach for hotspot mitigation in 3D ICs. Results for a memory-on-logic 3D circuit indicate a reduction of up to 40% in the peak temperature.

6. J.P. Colonna, R. Prieto, P. Coudrain, Y. Hallez, D. Campos, O. Le-Briz, R. Franiatte, C. Brunet-Manquat, C. Chancel, V. Rat “*Carbon-based patterned heat spreaders for thermal mitigation of wire bonded packages*”, **THERMINIC 2017**, Amsterdam, 27-29 September

Abstract: Thermal dissipation is a major concern in microelectronics, especially for compact packages and 3D circuits where the dense stacking of thin silicon layers leads to a significant increase of heat densities. Direct hybrid bonding is considered as one of the most promising technologies for future 3D-ICs. Its face-to-face structure allows significant inter-connexion capabilities, but it also implies increased thermal densities that will be reflected in both tiers due to the lack of insulating barriers. A specific test vehicle for 3D hybrid bonding including heaters and temperature sensors on each tier has been fabricated and characterized. Several packaging configurations including different silicon thicknesses, substrate thermal design or the integration of a patterned graphite heat spreader have been tested. The best results were obtained with the integration of the graphite heat spreader which led to a reduction in thermal resistance by 11%. These experimental results have been retro-simulated to establish a thermal model. This model was then used to analyse the heat path and explore the thermal impact of the different packaging parameters.

7. Axel Pic, Rafael Prieto, Sébastien Gallois-Garreignot, Jean-Philippe Colonna ; Vincent Fiori , Pierre-Olivier Chapuis “*3D hybrid bonding assembly studied by scanning thermal microscopy, resistive thermometry and Finite Element Modelling*”, **EuroSimE 2018**, Toulouse, 15-18 April

Abstract: Heat dissipation is one of the main challenges faced by microelectronics due to the increase of integration density. From Silicon-On-Insulator (SOI) to 3D-stacked technologies, accurate knowledge of the chip temperature is needed to quantify the thermal performances at the device and package levels. In this work, a 3D Hybrid Bonding assembly is studied by means of resistive thermometry and Scanning Thermal Microscopy

(SThM), a technique based on atomic force microscopy where a self-heated electrical resistance is added at the probe apex in order to measure the surface temperature of test chips. The measurements are compared to numerical simulation of heat conduction with Finite Element Modeling, which require local homogenization inside the chip to reduce the computation time due to the large aspect ratios involved. The comparison is only possible once a numerical reproduction of the experiment has been done by means of a virtual scan. Reasonable agreement between the numerical temperature field and the experimental one is observed.

Brevets:

Electronic device provided with a thermal dissipation member

US20170287806A1

Inventors: Rafael Prieto, Jean-Philippe Colonna, Perceval Coudrain

Abstract: An electronic device includes a support and a component in the form of an integrated circuit chip having a rear face mounted above a front face of the support and a front face opposite its rear face. A block is provided for at least partially encapsulating the component above the front face of the support. The device also includes at least one thermal dissipation member having a flexible sheet having at least two portions folded onto one another while forming at least one-fold between them, these portions facing one another at least partly.

Heat-Transferring and Electrically Connecting Device and Electronic Device

US20180142923A1

Inventors: Rafael Prieto, Jean-Philippe Colonna, Perceval Coudrain

Abstract: A heat-transferring device is formed by a stack that includes at least one heat-conducting layer and at least one heat-absorbing layer. The at least one heat-conducting layer has at least one heat-collecting section placed facing a heat source and at least one heat-evacuating section placed facing a heat sink. The at least one heat-absorbing layer

includes a phase-change material. One face of the at least one heat-absorbing layer is adjoined to at least one portion of at least one face of the heat-conducting layer.