



HAL
open science

Modélisation, simulation des sources de bruit dans les capteurs d'images à pixels actifs, étude et conception d'un amplificateur opérationnel faible bruit compatible avec les APS

Hassan Belahrach

► **To cite this version:**

Hassan Belahrach. Modélisation, simulation des sources de bruit dans les capteurs d'images à pixels actifs, étude et conception d'un amplificateur opérationnel faible bruit compatible avec les APS. Sciences de l'ingénieur [physics]. Université Cadi Ayyad Marrakech (Maroc), 2001. Français. NNT : . tel-02429880

HAL Id: tel-02429880

<https://theses.hal.science/tel-02429880>

Submitted on 6 Jan 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 22

**Université CADI AYYAD
Faculté des Sciences et Techniques
Marrakech**

Thèse de Doctorat d'Etat

préparée par

Hassan BELAHRACH
Docteur ès-Sciences
(Spécialité : microélectronique)

**Modélisation, simulation des sources de bruit dans les
capteurs d'images à pixels actifs, étude et conception
d'un amplificateur opérationnel faible bruit
compatible avec les APS**

Soutenue le 10 novembre 2001 devant la Commission d'Examen :

MM.	L. RADOUANE	Président
	J. FARRE	Rapporteur
	M. M. HASSANI	Rapporteur
	M. KARIM	Directeur de thèse
	Lh. MASMOUDI	Examineur
	A. CHITNALAH	Examineur

A mes parents,

A mon épouse,

A mes enfants, qui par leur attachement et leur sourire joyeux m'ont permis de traverser les moments difficiles durant les années de préparation de cette thèse.

A tous les membres de la famille,

A tous mes amis.

Résumé :

Ce travail porte sur l'étude et l'amélioration des performances en bruit des capteurs d'images à pixels actifs (APS), sous faible éclairage, et réalisés en technologie CMOS. La première partie est consacrée à l'étude et la modélisation des sources de bruit associées à l'élément photosensible et aux transistors MOS intégrés à côté des pixels. Nous avons développé une méthode analytique permettant de calculer la densité spectrale de puissance (DSP) du bruit BF (bruit RTS et bruit $1/f$) des MOSFETs en fonction des paramètres technologiques, géométriques et électriques. Le modèle établi est basé sur le processus capture/émission des porteurs de charges libres dans le canal par les pièges d'oxyde au voisinage de l'interface Si/SiO₂. Aussi, un banc de mesure de la DSP du bruit a été établi. Cette étude nous permet de définir des règles de conception des transistors "in-pixel" ayant un bruit optimal. Dans la deuxième partie, nous avons présenté une méthode pratique et efficace permettant de simuler le comportement en bruit dans les capteurs APS, directement dans le domaine temporel. Cette technique est entièrement compatible avec le simulateur PSPICE, ce qui rend facile la simulation transitoire du bruit d'un circuit. Aussi, nous avons déterminé des expressions analytiques de la variance du bruit total à la sortie du pixel actif. L'étude développée dans cette section montre que la variance du bruit dépend fortement des paramètres technologiques et électriques du pixel et de ses transistors associés. Nous avons étudié l'effet de la polarisation et de la géométrie des transistors du circuit de lecture. L'effet de la capacité de charge a été également évoqué. La comparaison entre les résultats de l'étude analytique et ceux obtenus par la simulation PSPICE, montre qu'il y a un bon accord entre les deux résultats. La dernière partie de ce travail est consacrée à l'étude et la conception d'un amplificateur opérationnel à transconductance (OTA) à sortie différentielle en technologie CMOS. Cet OTA est susceptible d'être intégré dans la chaîne d'acquisition d'un capteur APS. Les différents étages de cet amplificateur ont été développés. Cette étude a mis en évidence que le bruit généré par l'étage d'entrée différentiel peut être réduit davantage, en optimisant les dimensions des composants utilisés.

Mots clés :

Capteur d'images APS, CMOS, OTA, sources de bruit, bruit basse fréquence, modélisations, simulations PSPICE, DSP du bruit, variance du bruit.

TABLE DES MATIERES

Table des matières

Introduction générale	13
Chapitre I : Du capteur d'images CCD au capteur d'images APS	19
I – 1 – Introduction	21
I – 2 – Capteur d'images à transfert de charges (CCD)	21
I – 3 – Capteur à pixels actifs (APS)	24
<i>I – 3 – 1 – Généralités</i>	24
<i>I – 3 – 2 – Principe de fonctionnement de l'APS à photoMOS</i>	27
I – 3 – 2 – 1 – Phase d'intégration	27
I – 3 – 2 – 2 – Phase de transfert de charges	28
<i>I – 3 – 3 – Circuit de lecture du signal de sortie</i>	28
<i>I – 3 – 4 – Modélisation et simulation du pixel élémentaire</i>	30
I – 3 – 4 – 1 – Effet de l'épaisseur de la zone de charges d'espace	31
I – 3 – 4 – 2 – Transfert de charges	32
I – 3 – 4 – 3 – Simulation du pixel élémentaire	33
I – 4 – Conclusion	37
I – 5 – Références bibliographiques	38
Chapitre II : Caractérisation et modélisation des sources de bruit dans les MOSFETs submicroniques en technologie CMOS	41
II – 1 – Introduction	43
II – 2 – Caractéristiques statiques des transistors MOSFETs	43
<i>II – 2 – 1 – Différents modes de fonctionnement d'un NMOS</i>	43
<i>II – 2 – 2 – Modèle des charges superficielles</i>	44
<i>II – 2 – 3 – Mode de fonctionnement en forte inversion (SI)</i>	47
<i>II – 2 – 4 – Mode de fonctionnement en faible inversion (LI)</i>	48
<i>II – 2 – 5 – Mode de fonctionnement en inversion modérée (MI)</i>	50
<i>II – 2 – 6 – Mobilité effective</i>	51

II – 3 – Modélisation du bruit dans les transistors submicroniques	54
<i>II – 3 – 1 – Introduction</i>	54
<i>II – 3 – 2 – Modélisation du bruit BF</i>	55
<i>II – 3 – 3 – Bruit blanc</i>	62
II – 4 – Aspect expérimental et mesures du bruit BF	63
<i>II – 4 – 1 – Introduction</i>	63
<i>II – 4 – 2 – Banc de mesure</i>	63
<i>II – 4 – 3 – Estimation du bruit de la chaîne de mesures</i>	64
<i>II – 4 – 4 – Résultats expérimentaux et discussions</i>	66
II – 5 – Conclusion	72
II – 6 – Références bibliographiques	73

Chapitre III : Modélisation et simulation temporelle des sources de bruit dans les capteurs APS

III – 1 – Modélisation des sources de bruit temporelles	77
<i>III – 1 – 1 – Introduction</i>	77
<i>III – 1 – 2 – Génération des sources de bruit</i>	78
<i>III – 1 – 3 – Valeur efficace du signal bruit</i>	84
III – 2 – Bruit temporel associé au pixel actif pendant l'intégration	86
III – 3 – Bruit temporel associé au pixel actif pendant la phase reset	90
III – 4 – Bruit associé à la phase lecture	95
<i>III – 4 – 1 – Introduction</i>	95
<i>III – 4 – 2 – Etude du bruit pendant la phase lecture</i>	95
<i>III - 4 – 3 – Résultats et discussions</i>	98
III – 5 – Conclusion	99
III – 6 – Références bibliographiques	100

Chapitre IV : Etude et conception d'un AOP intégré faible bruit en technologie CMOS

IV – 1 – Introduction	103
IV – 2 – Choix du type d'AOP adapté au capteur APS	104

<i>IV – 2 – 1 – AOP classique type 741</i>	104
<i>IV – 2 – 2 – AOP à transconductance (OTA)</i>	107
<i>IV – 2 – 3 – Etude et conception d'un OTA à sorties différentielles</i>	109
IV – 2 – 3 – 1 – Etage différentiel	110
IV – 2 – 3 – 2 – Amplificateur cascode	116
IV – 2 – 3 – 3 – Circuit de contrôle du mode commun en sortie	123
IV – 3 – Conclusion	126
IV – 4 – Références bibliographiques	127
Conclusion générale	129
Annexes	135
Annexe II	137
Annexe III	140
Annexe IV	144

INTRODUCTION GENERALE

Introduction

Les capteurs optoélectroniques, en particulier les capteurs d'images, sont de plus en plus utilisés dans la vie courante et dans les applications professionnelles. Ils permettent de surveiller des installations dans des endroits difficilement accessibles, de manière efficace et fiable. Par exemple, dans l'aéronautique et le domaine spatial, on installe de plus en plus de capteurs dans les véhicules pour assurer le bon fonctionnement des parties critiques (moteurs, train, ...) ou bien pour assurer l'orientation des satellites dans l'espace.

L'accroissement du nombre de capteurs utilisés est dû essentiellement à l'évolution croissante de la micro-électronique. Cela permet de concevoir des capteurs sans cesse plus petits, plus performants et toujours moins coûteux. Ce progrès est très lié à la technologie de fabrication des circuits intégrés en silicium qui ne cesse de progresser.

Les capteurs d'images basés sur le concept du transfert de charges dans un semi-conducteur, les capteurs CCD (Charge Coupled Device), sont très développés et équipent actuellement tout le domaine de l'imagerie visible, aussi bien pour les applications grand public que pour l'imagerie scientifique ou militaire.

Cependant, le principe du CCD présente quelques inconvénients. Entre autres, la technologie utilisée pour réaliser une matrice CCD est coûteuse et n'est pas compatible avec les technologies classiques bipolaires ou CMOS, ce qui empêche toute intégration d'un système de traitement à côté du capteur. Le principe CCD a commencé à être remis en question au début des années 1990 lorsqu'un nouveau type de capteur d'images à l'état solide appelé APS (Active Pixel Sensor ou capteur d'images à pixels actifs) s'est développé notamment au Japon et aux Etats-Unis.

L'intérêt général du concept APS est sa technique de fabrication qui est compatible avec la technologie CMOS largement utilisée par ailleurs. Le concept APS consiste à intégrer des éléments actifs (transistors) dans les pixels afin de conserver la sensibilité du CCD et de ne pas nécessiter de nombreux transferts de charges comme c'est le cas du CCD. Un des avantages majeur du concept APS est la possibilité d'intégrer sur la même puce le détecteur, la chaîne d'acquisition de l'image et des circuits annexes (amplification, filtrage, conversion, traitement et séquençement, ...). Ceci permet de réaliser des caméras miniatures très appréciées dans les applications embarquées, présentant en outre une consommation de puissance réduite. De plus, le concept APS permet de réaliser des opérations de fenêtrage ou

de lecture aléatoire des pixels, tout en conservant des vitesses de lecture élevées, ce qui est impossible avec les CCD.

Actuellement, les capteurs APS sont sur le point de remplacer les capteurs CCD dans plusieurs domaines. On peut citer par exemple les applications grand public (camescopes, photographie numérique, ...), le secteur automobile (anti-collision, guidage, ...), des applications nécessitant des vitesses de lecture particulièrement élevées (balistique, sport, crash-tests, analyse d'explosion, ...) et également le domaine scientifique et militaire (imagerie médicale, guidage, senseurs stellaires pour positionner les satellites, ...).

Des caméras numériques basées sur le concept APS ont été déjà présentées par certains industriels, dotées de vitesses de lecture allant, suivant le type d'application, de quelques dizaines à quelques centaines d'images par seconde.

Aujourd'hui, les recherches dans le domaine des imageurs CMOS (capteur d'images + chaîne d'acquisition) sont orientées vers l'amélioration des performances du capteur en termes de réduction du bruit temporel et spatial, du courant d'obscurité, de la rapidité de lecture et de la linéarité. L'amélioration de ces divers paramètres nécessite une bonne connaissance et une parfaite modélisation des mécanismes qui gouvernent le fonctionnement des pixels et en particulier des transistors submicroniques intégrés dans le pixel (in-pixel).

Depuis 1995, le laboratoire de recherche CIMI (conception d'Imageurs Matriciels Intégrés) de l'ENSAE (Ecole Nationale Supérieure de l'Aéronautique et de l'Espace-SUPAERO-Toulouse) oriente ses activités vers la modélisation, la conception et la réalisation de capteurs APS performants. Il s'intéresse plus particulièrement aux applications spatiales de ces capteurs, en collaboration avec des industriels et des grands organismes scientifico-industriels (CNES, ESA, DGA). Un grand nombre de prototypes ont été réalisés par ce laboratoire. Ils sont basés sur deux types de pixels différents : pixels à photodiode et pixels à photoMOS. Ils nous ont permis de mieux comprendre les mécanismes mis en jeu dans le fonctionnement du capteur et d'en évaluer les performances.

C'est dans ce contexte qu'une partie importante de cette thèse est consacrée à l'étude des sources de bruit associées au capteur APS. Le bruit est l'un des problèmes majeurs limitant les performances du capteur essentiellement sous faible éclairage.

Le travail effectué au cours de cette thèse consiste à l'étude, la modélisation et la simulation des sources de bruit générées par l'élément photosensible, par les transistors intégrés à côté du pixel et de celles associées au circuit de lecture.

Avant d'aborder l'étude détaillée des sources de bruit dans le capteur APS, nous effectuons au cours du chapitre I, un rappel sur les capteurs d'images CCD. Ensuite, le capteur APS, son

fonctionnement et la simulation PSPICE du pixel élémentaire sont présentés dans la deuxième partie de ce chapitre.

Au cours du chapitre II, nous nous sommes intéressés à la caractérisation et à la modélisation des transistors MOSFETs submicroniques, en technologie CMOS, intégrés dans le pixel. Dans ce sens, un banc de mesure des sources de bruit de ces dispositifs a été mis au point au sein du laboratoire CIMI. Des études analytiques et expérimentales des différentes sources de bruit (thermique, de grenaille, bruit 1/f et le bruit RTS) ont été effectuées. Les résultats théoriques et expérimentaux nous ont permis d'optimiser le bruit associé aux transistors "in-pixel" en fonction des dimensions de ces transistors, pour la technologie CMOS standard utilisée.

Dans le chapitre III, une méthode originale est décrite pour générer des signaux de bruit dans le domaine temporel. En utilisant ces signaux dans une analyse transitoire du pixel élémentaire, il est maintenant possible d'effectuer des simulations temporelles de bruit durant les différentes étapes de fonctionnement : la remise à zéro, l'intégration et la phase de lecture. La méthode est basée sur des modèles de densités spectrales de puissance de bruit. Cette technique a permis d'adapter le simulateur PSPICE à des simulations transitoires du bruit du circuit complet (pixel + transistor d'amplification + transistor de sélection et le transistor de remise à zéro). Le bon accord entre les résultats analytiques et ceux de la simulation de la valeur efficace du bruit à la sortie du pixel actif, montre l'efficacité de la méthode choisie.

Le dernier chapitre, le chapitre IV, est consacré à l'étude théorique et à la simulation d'un amplificateur opérationnel destiné à être intégré, faible bruit, dans la chaîne d'acquisition d'images du capteur APS.

On note que, dans ce mémoire de thèse, les chapitres sont relativement indépendants les uns des autres, et organisés de telle sorte que le lecteur s'intéressant à l'un des sujets présenté dans un chapitre, ne soit pas obligé de lire tout le reste du manuscrit. Dans cet esprit et afin de faciliter leur accès, les conclusions et les références bibliographiques sont placées à la fin de chaque chapitre.

CHAPITRE I

**DU CAPTEUR D'IMAGES CCD
AU CAPTEUR D'IMAGES APS**

Du capteur d'image CCD au capteur d'image APS

I – 1 – Introduction

Depuis quelques décennies, le capteur d'images universel CCD (Charge Coupled Device) s'est fortement développé au fil des années jusqu'à devenir un composant scientifique hautement fiable. Ses performances élevées et sa souplesse d'utilisation permettent de l'utiliser dans les domaines les plus variés de l'industrie, de la sécurité, de la recherche et du grand public. Le capteur CCD peut atteindre une efficacité quantique proche de 100%, avec un faible bruit de lecture et dans un large domaine spectral. Mais le concept CCD souffre de quelques inconvénients, liés à son principe et à la technologie utilisée et il est maintenant concurrencé à la vue de l'évolution croissante de la technologie de fabrication des circuits intégrés dans le silicium. Sa principale faiblesse réside dans son principe de fondamental, i.e. le transfert de charges sur des distances importantes devant les dimensions d'un pixel élémentaire. La réalisation de grandes tailles est par conséquent extrêmement complexe et très vite limitée. La lecture série limite considérablement le temps d'accès à l'image et n'autorise pas une lecture directe d'un unique élément ou une zone réduite de la matrice. La lecture d'une ligne de la matrice dépend du fonctionnement de chacun de ses pixels, et tout défaut en l'un d'eux entraîne l'aveuglement de toute ou une partie de la ligne, ce qui rend les matrices photosensibles CCD très délicates d'utilisation en conditions extrêmes. En outre, la technologie CCD ne permet pas une intégration des circuits de lecture et d'amplification à côté du capteur sur la même puce de silicium. C'est à l'analyse de tous ces inconvénients qu'est apparu le capteur d'image à pixel actif (Active Pixel Sensor : APS), avec l'idée d'éviter le transfert de charges et de la possibilité d'accéder d'une manière aléatoire à chaque pixel, tout en conservant les performances des matrices CCD [1].

I – 2 – Capteur d'images à transfert de charges (CCD) :

Les dispositifs à transfert de charges (CCD) ont été imaginés en 1970 par Boyle et Smith [2]. Ils consistent en un ensemble de capacités MOS réalisées sur la même plaquette et

dont les grilles sont très voisines les unes des autres. Le fonctionnement de ces dispositifs est basé sur le principe suivant :

Le rayonnement incident induit des charges électriques dans le matériau détecteur semi-conducteur. Ces charges sont stockées sous l'une des grilles puis sont transférées dans la grille voisine sous l'action d'un champ électrique [3].

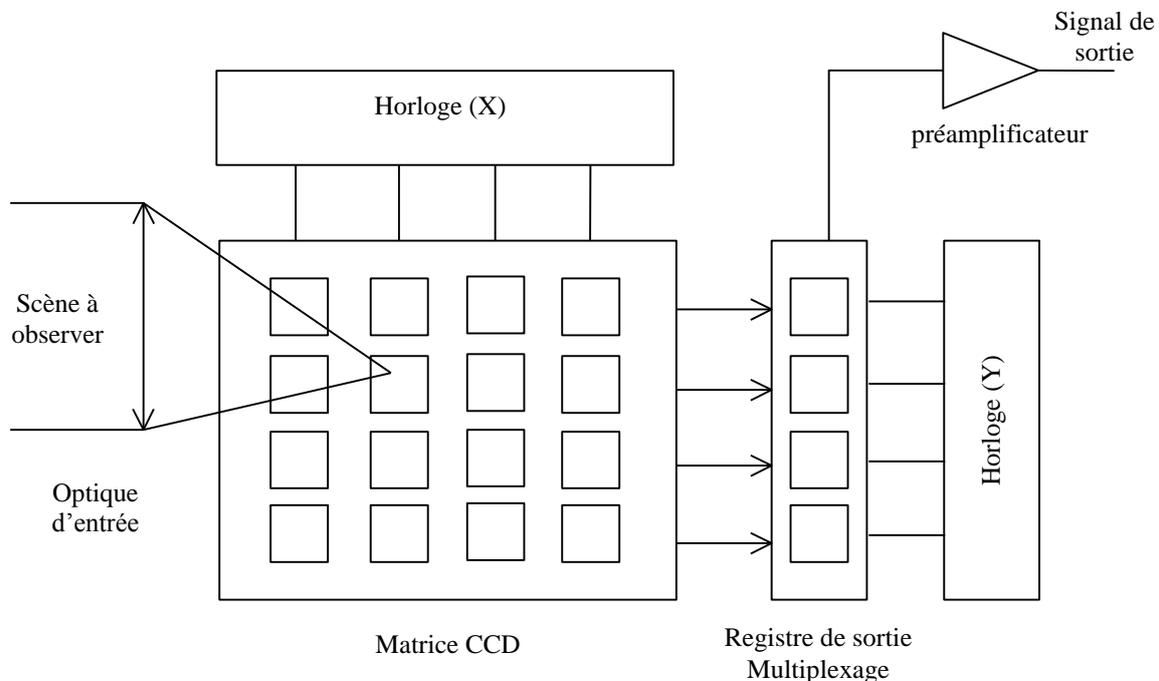


Fig. I.1 : Principe de l'imagerie visible par des matrices CCD's

Ainsi, une scène incidente sur la surface du CCD est transformée en une distribution de paquets de charges correspondant aux détails de l'image. Pour la lecture de l'information, un signal d'horloge appliqué à chaque élément permet le transfert des paquets de charges stockées à travers le registre de sortie et produit un signal vidéo (figure I.1).

En vue d'expliquer le fonctionnement d'un pixel élémentaire CCD, on rappelle la structure de l'étage de sortie et les sources de bruit associées à ce dispositif. Il existe deux principales types d'étage de sortie pour les capteurs CCD :

- Etage à grille flottante [4],
- Etage à diffusion flottante [5].

Pour des raisons de rapidité de lecture, la plupart des capteurs d'images CCD utilisent la structure à diffusion flottante. Le circuit de sortie typique d'un capteur CCD est représenté sur la figure I.2.

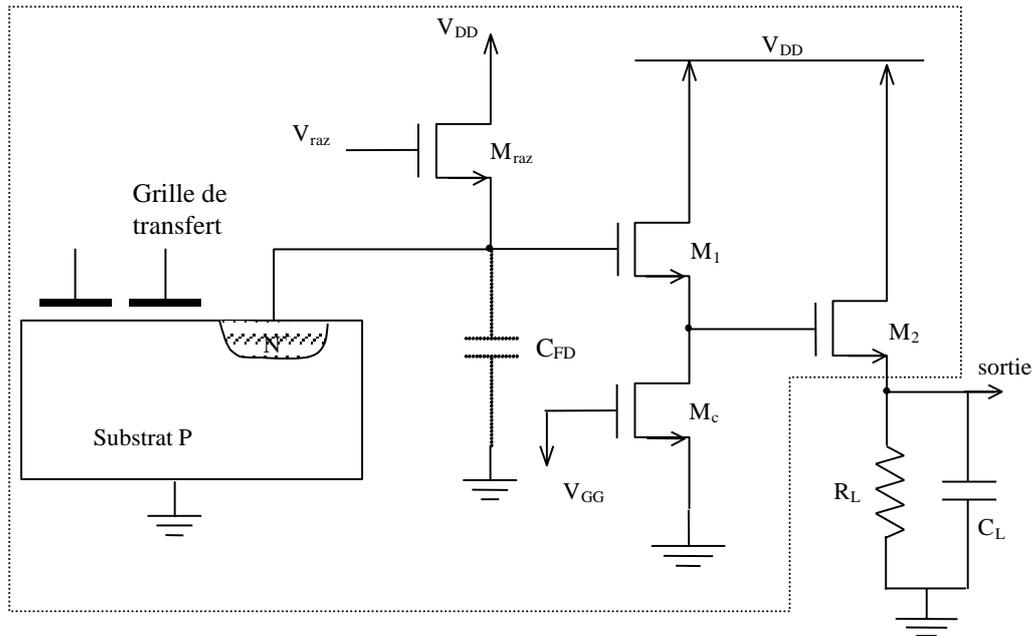


Fig. I.2 : Circuit de sortie d'un élément photosensible CCD

Le transistor M_1 constitue le premier étage suiveur et le transistor M_c avec la source de tension V_{GG} constituent une source de courant permettant la polarisation de M_1 . Ces deux transistors déterminent les performances en bruit du capteur. Le second étage M_2 commande la charge. L'électrode source du transistor reset M_{raz} est connectée au nœud de détection constitué par la diffusion flottante et la grille du suiveur M_1 .

Principe de fonctionnement :

La capacité de jonction de la diode flottante, préchargée à un niveau de tension de référence V_{DR} , reçoit par injection, des charges électriques en provenance d'un pixel dans le CCD. L'étage suiveur M_1 ayant un gain voisin de l'unité permet de récupérer le signal aux bornes de la diode flottante.

Sur la figure **I.3** est représentée la séquence de fonctionnement de la lecture d'un capteur CCD :

- à l'instant $t=t_0$, début de la remise à zéro de la diode flottante (préchargement de la capacité C_{DF} à V_{DR}), ($V_{DR} = V_{DD} - \text{tension seuil de } M_{raz}$).
- à $t=t_1$, le transistor reset M_{raz} devient bloqué et la tension de référence chute légèrement par effet capacitif ,
- à $t=t_2$, on injecte le paquet de charges dans la diode flottante de sortie, ce qui entraîne une diminution de la tension de sortie $\Delta V = V_{DR} - V_{sig}$,
- à $t=t_3$, le phénomène se répète pour lire le pixel suivant.

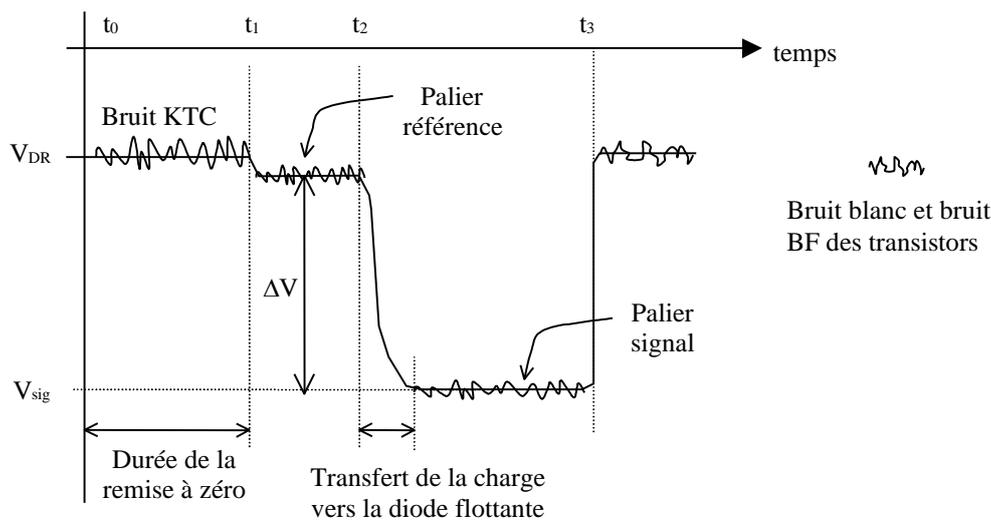


Fig. I.3 : Tension à la sortie d'un capteur CCD pour la lecture d'un pixel

La chute de la tension ΔV à la sortie du capteur est proportionnelle à la quantité de charges injectées. Le but de la chaîne d'acquisition est donc de mesurer cette tension le plus précisément possible, malgré le bruit qui se superpose au signal.

L'information contenue dans le signal de sortie du capteur CCD est proportionnelle au nombre d'électrons captés dans chacun des pixels durant la phase d'intégration et donc à l'éclairement lumineux de chaque pixel. Cette information est représentée par la tension ΔV qui est la différence entre le palier de référence V_{DR} (après la remise à zéro) et le palier signal V_{sig} (après l'injection des charges). On appelle ce type de mesure différentielle un double échantillonnage corrélé (Correlated Double-Sampling : CDS). Ce type de mesure joue un rôle primordial pour éliminer ou réduire considérablement le bruit KTC généré par la procédure de remise à zéro. La lecture CDS est toujours utilisée dans les applications faible flux [6].

Dans la suite nous rappellerons le principe des capteurs APS, avec l'objectif de rechercher le capteur APS le mieux adapté pour l'imagerie faible flux.

I – 3 – Capteur à pixels actifs (APS) :

I – 3 – 1 – Généralités :

Le concept APS consiste à associer à chaque pixel du détecteur photosensible, des transistors actifs amplifiant le signal à proximité du capteur élémentaire, en quelque sorte de placer un circuit de lecture CCD dans chaque pixel. Ce qui permet d'éviter les problèmes dus aux nombreux transferts des charges rencontrés dans les matrices CCD's classiques.

La réalisation des capteurs d'images "intelligents" (caméra on-chip), à base d'APS, contenant les matrices photosensibles, les amplificateurs, les convertisseurs A/N et les circuits de traitement sur la même plaquette est rendue possible (figure I.4). Ceci est grâce au développement de la technologie CMOS submicronique [7].

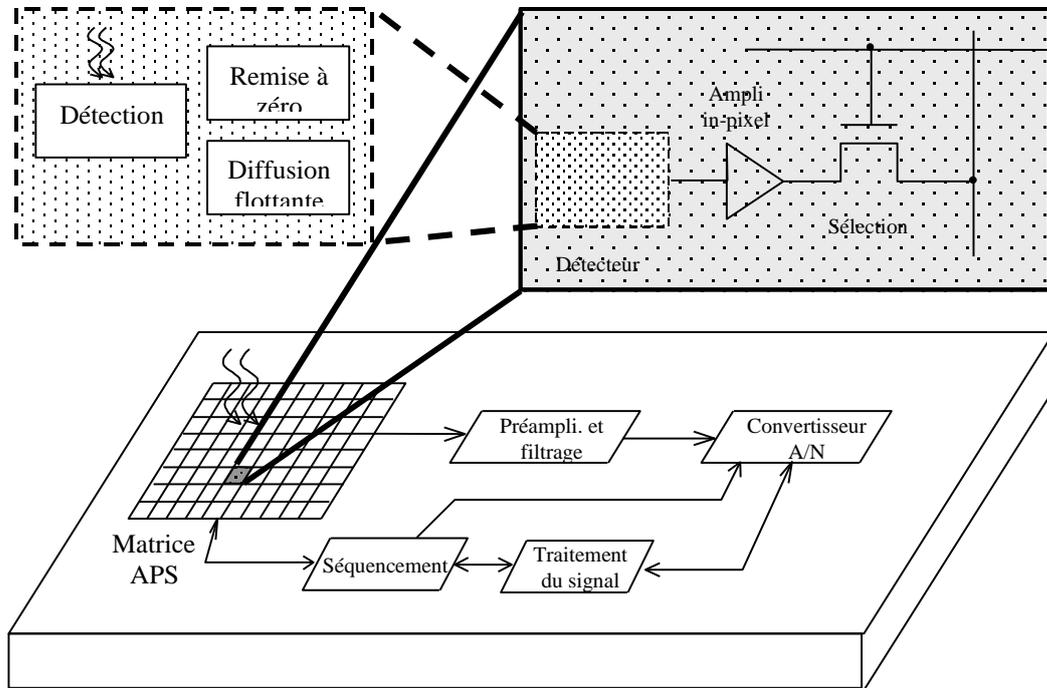


Fig. I.4 : Intégration d'une matrice APS à côté des blocs électroniques associés sur la même plaquette silicium.

L'idée d'intégrer des transistors actifs à côté des éléments photosensibles n'est pas nouvelle, mais pour des raisons technologiques, sa faisabilité est très récente. Pour ne pas dégrader le taux de remplissage (rapport de l'aire de l'élément photosensible sur l'aire totale du pixel actif), la technologie utilisée doit être très fine. C'est donc l'arrivée des technologies CMOS submicroniques qui a contribué au développement des capteurs APS (figure I.5) [8].

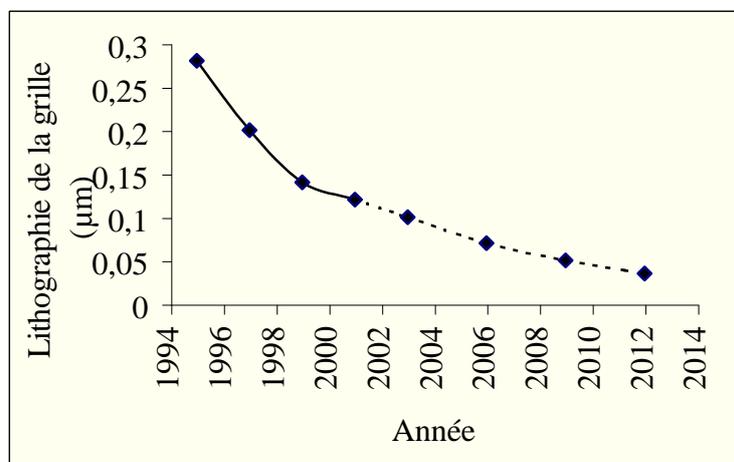


Fig. I.5 : Evolution de la réduction des dimensions d'un transistor MOS en technologie CMOS.

La grande sensibilité et le faible bruit des capteurs CCD's sont obtenus grâce à la structure de leur étage de sortie. Avec la technologie CMOS submicronique, on peut concevoir le même étage de sortie à côté du pixel APS ce qui permet d'obtenir des performances en bruit proche de celles des CCD's. Par conséquent, la haute sensibilité, le faible bruit associé aux APS et la possibilité de réaliser des matrices de grandes tailles, confirment que ce concept est applicable pour l'imagerie faible flux [9].

Dans la section suivante sont présentés la structure et le fonctionnement des pixels utilisés actuellement dans les capteurs APS. Il existe deux types de structures principales pour la partie photosensible du capteur : la photodiode et le photoMOS (figure I.6). Ce sont les deux structures qui sont développées par le laboratoire CIMI (Conception d'Imageurs Matriciels Intégrés) à l'Ecole SUPAERO de Toulouse [10].

La structure photodiode est utilisée dans des applications fort flux alors que celle à photoMOS sera sélectionnée pour des applications faible flux [11]. Dans la suite de ce paragraphe, seule la structure photoMOS sera développée.

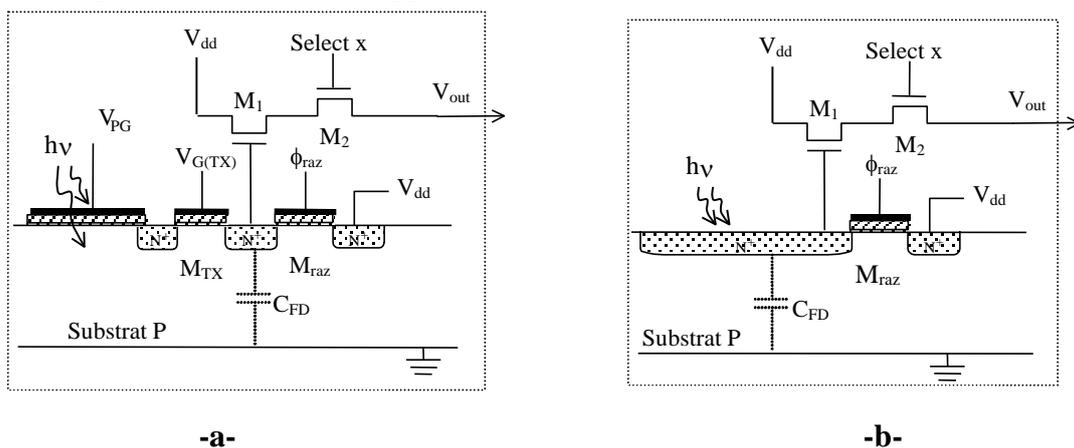


Fig. I.6 : Schéma de principe des structures APS
a – Pixel élémentaire à photoMOS
b – Pixel élémentaire à photodiode

La structure photoMOS est constituée d'une partie photosensible (grille NMOS de grande surface) à laquelle est associée une partie aveugle constituée de plusieurs transistors :

- Transistor de transfert de charge M_{TX} dont la grille est polarisée par une tension fixe $V_{G(TX)}$ et d'une source flottante (diffusion flottante N^+).
- d'une diode flottante N^+/P polarisée en inverse qui représente une capacité C_{FD} dont la tension aux bornes varie en fonction de la charge injectée.
- Transistor du remise à zéro M_{raz} .
- Transistor de sélection du pixel M_2 .
- Transistor M_1 monté en source - suiveuse.

Cette structure permet de détecter et de stocker des charges, puis de les transférer dans une diode flottante qui seront lues par un transistor MOS.

I – 3 – 2 – Principe de fonctionnement de l'APS à photoMOS :

Le détecteur photoMOS est une grille en polysilicium portée à une tension positive qui fonctionne en régime de dépeuplement profond (substrat type P). La zone de charge d'espace sous la grille constitue un puits de potentiel, capable de collecter et de retenir des charges créées par les photons.

I – 3 – 2 – 1 – Phase d'intégration :

La photogate est portée à V_{DD} , sous l'éclairement, les photons traversent la grille polysilicium (transparente pour le visible) et génèrent des paires électrons-trous dans le substrat. Grâce au champ électrique présent dans la zone dépeuplée, les électrons (minoritaires) sont récoltés à l'interface Si/SiO₂, et les trous se dirigent vers le substrat (figure I.7).

Le transistor de transfert M_{TX} doit être polarisé de manière à ce que, durant la phase d'intégration, il n'y ait pas de canal sous la grille de ce transistor. Ainsi, la diffusion N⁺ du côté source du photoMOS est isolée électriquement de la diffusion flottante du côté du transistor de remise à zéro (diode de lecture). Par conséquent, on peut rafraîchir la diode flottante en évacuant les charges qu'elle contient, sans perturber l'accumulation des charges photoniques (e⁻) sous la photogate.

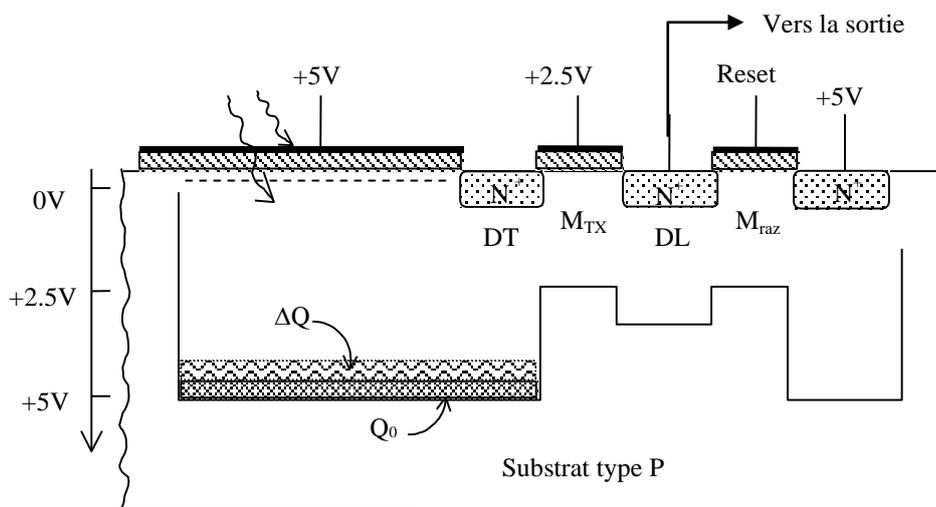


Fig. I.7 : Schématisation de l'état de la structure du pixel photoMOS pendant l'intégration.

DT : diode de transfert

DL : diode de lecture

La charge Q_0 représente les charges résiduelles (constante d'obscurité) et ΔQ représente les charges créées par le flux photonique.

I – 3 – 2 – 2 – Phase de transfert de charges :

A la fin de la période d'intégration, le potentiel de la photogate est porté à la masse, les charges électroniques accumulées sous cette grille sont transférées vers la diode flottante de lecture DL, via le transistor de transfert M_{TX} . La chute de tension aux bornes de la diode flottante provoquée par l'injection des charges est transmise à travers le transistor M_1 (suiveur) vers le circuit de lecture de sortie.

La figure I.8 représente le principe de transfert des charges pendant la lecture. On mesure alors aux bornes de la diode flottante une chute de tension ΔV proportionnelle à la charge ΔQ (on suppose que C_{FD} reste constante) [11]:

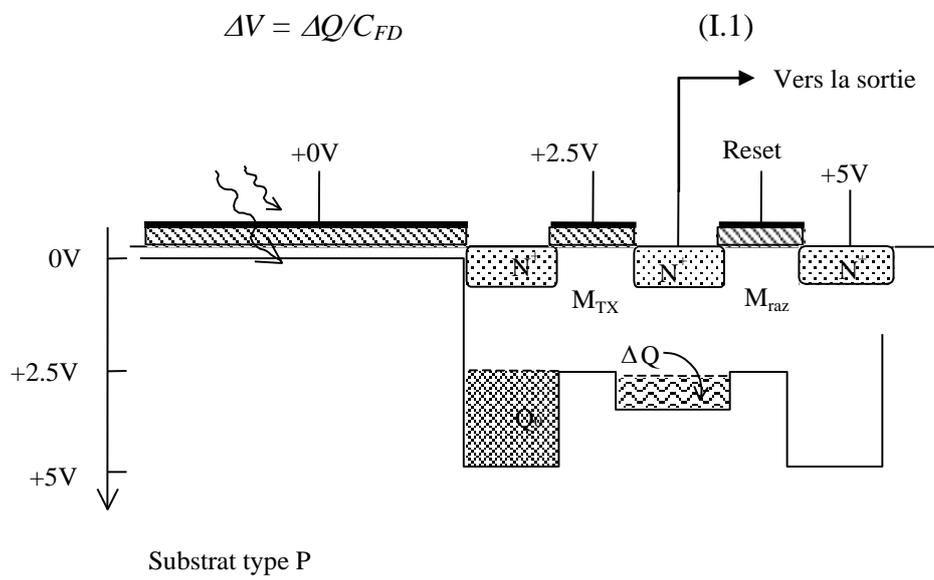


Fig. I.8 : Schématisation de l'état de la structure photoMOS pendant le transfert de charges

On remarque que la source du transistor M_{TX} étant flottante, elle conserve la charge résiduelle Q_0 .

I – 3 – 3 – Circuit de lecture du signal de sortie :

Le but de ce circuit est de mesurer la tension en sortie de l'APS et d'extraire l'information des pixels en sachant que le signal est perturbé par le bruit thermique et le bruit basse fréquence (BF). En effet, il faut filtrer le signal avec une chaîne optimisée pour que la bande équivalente de bruit soit la plus petite possible. La lecture de cette information (nombre d'électrons captés dans chaque pixel durant la phase d'intégration) revient à mesurer la chute de tension ΔV qui est la différence entre le palier de référence (après la remise à zéro de

l'étage de sortie) et le palier de signal (après l'injection des charges d'un pixel dans l'étage de sortie), comme le montre la figure **I.9**.

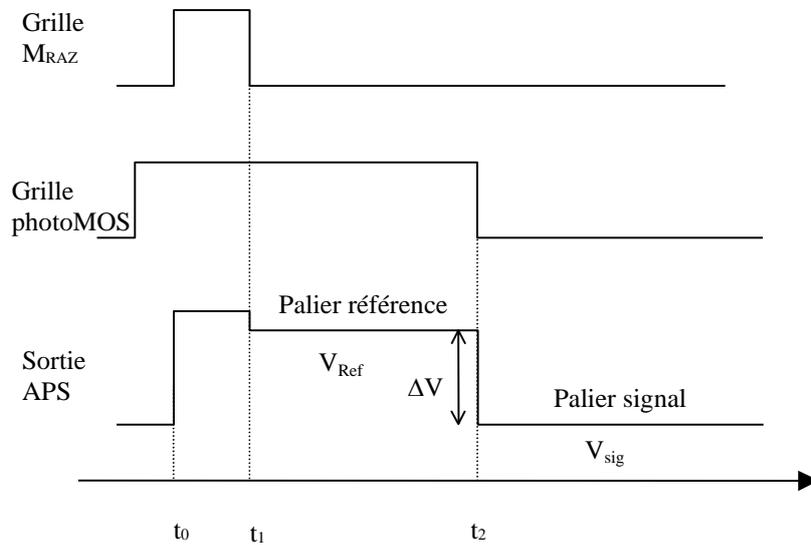


Fig. I.9 : Chronogramme de lecture associé à la sortie du pixel actif

On appelle ce type de mesure différentielle un double échantillonnage corrélé (CDS). Cette technique est indispensable pour les applications faibles flux, car elle permet d'éliminer le bruit KTC généré par la remise à zéro de la diode flottante (voir plus loin) [12].

Un exemple de circuit de lecture est donné sur la figure **I.10**.

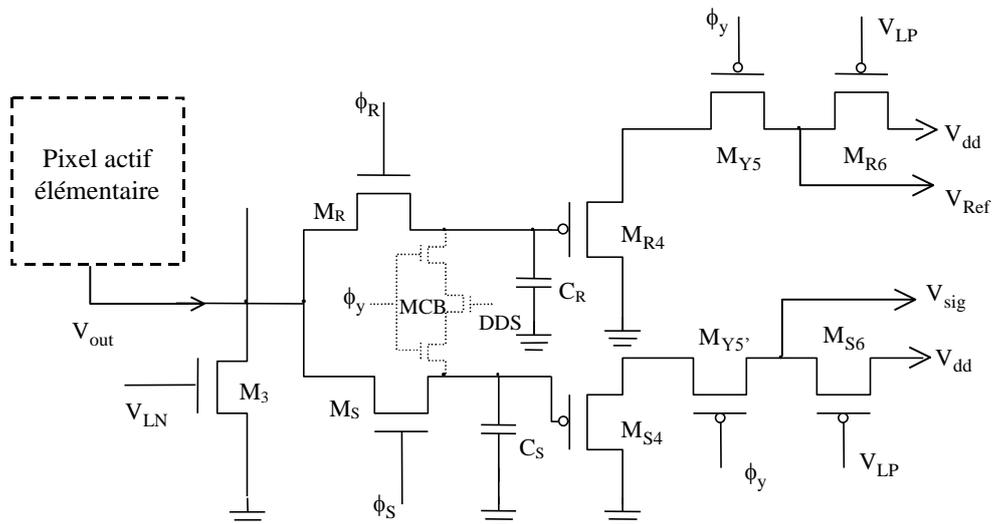


Fig. I.10 : Schéma de principe du circuit de lecture CDS

Ce circuit de lecture est commun à une colonne de pixels et comporte le transistor de charge M_3 du premier étage source - suiveuse M_1 .

Principe de fonctionnement :

Le processus à double échantillonnage corrélé est assuré à l'aide de deux capacités de stockage : C_S (pour la valeur V_{sig}) et C_R (pour la valeur V_{Ref}). Le signal d'entrée de ce circuit est la tension de sortie du pixel (V_{out}). Le stockage des signaux V_{Ref} et V_{sig} dans les capacités C_R et C_S , respectivement, est assuré par les transistors M_R et M_S opérant en interrupteur (fonction de ϕ_R et ϕ_S). Après le stockage, on sélectionne une adresse Y à partir de ϕ_y , par les transistors de sélection M_{Y5} et $M_{Y5'}$, afin de pouvoir lire les valeurs de V_{Ref} et V_{sig} associées à cette colonne. Cette lecture se fait à travers le second étage source - suiveuse M_{R4} (ou M_{S4}) chargé par le transistor M_{R6} (ou M_{S6}).

Les circuits CDS d'une colonne à l'autre n'ont pas exactement les mêmes caractéristiques, car les tensions de seuil de leurs transistors n'ont pas les mêmes valeurs et génèrent ce qu'on appelle le bruit spatial fixe dans le temps (Fixed Pattern Noise FPN). Ainsi, pour une même tension aux bornes des deux capacités C_S et C_R , on trouve à la sortie un décalage en tension relativement important devant la sensibilité du système et qui diffère d'une colonne à l'autre. Cependant, il est possible de réduire nettement ce décalage, on le mesure simplement en court-circuitant les deux capacités d'échantillonnage par trois transistors monté en série (Crowbar Circuit : en pointillé sur la figure I.10). Ensuite, on soustrait la valeur obtenue en sortie ΔV_2 à la valeur primaire ΔV_1 . La quantité ΔV_2 est le décalage associé uniquement à la variation de la tension de seuil des transistors du circuit de lecture. Cette technique s'appelle échantillonnage par double différence (Double Delta Sampling DDS) [13] (figure I.11).

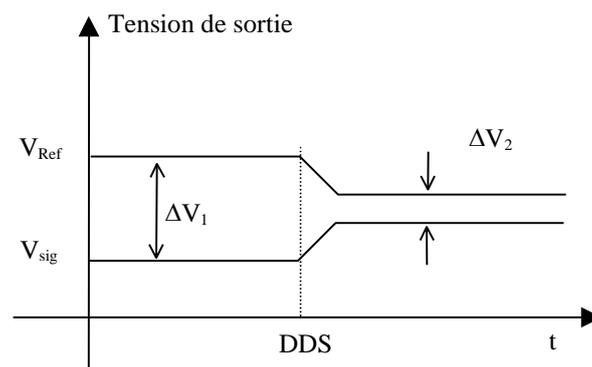


Fig. I.11 : Variations du signal avec et sans DDS

I – 3 – 4 – Modélisation et simulation du pixel élémentaire :

A la suite des études effectuées précédemment, dans ce paragraphe nous allons étudier, d'une part, le transfert des charges entre la grille du transistor photoMOS et la diode

flottante pour les applications à faible flux, et d'autre part de simuler le transfert de charges photoniques par le simulateur PSPICE.

I – 3 – 4 – 1 – Effet de l'épaisseur de la zone de charges d'espace :

Si une faible tension positive V_{PG} est appliquée à la grille du transistor photoMOS, une charge négative est induite dans le semi-conducteur. D'abord ceci est dû aux trous repoussés du voisinage de l'interface Si/SiO₂, laissant derrière eux une zone désertée constituée d'ions accepteurs non compensés. Si on augmente V_{PG} , l'épaisseur de la zone de déplétion augmente, et corrélativement, la variation totale du potentiel électrostatique dans le silicium augmente également. La zone de charge d'espace sous la grille constitue un puits de potentiel, capable de collecter et de retenir les charges photoniques (figure I.12).

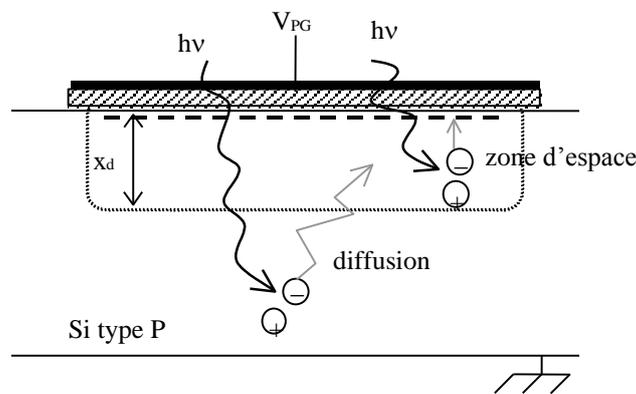


Fig. I.12 : Structure photoMOS en régime de dépeuplement profond

On note que x_d diminue avec l'accumulation des charges photoniques. Ainsi, le volume de la zone photosensible se réduit durant la phase d'intégration, ce qui se traduit par une réponse non linéaire. Ce phénomène est difficile à quantifier de manière plus précise parce que x_d dépend du spectre du flux incident. Toutefois, dans les technologies CMOS alimentées sous faible tension avec substrat fortement dopé, l'épaisseur de la zone de déplétion est faible. Par suite la majorité des électrons stockés proviennent des électrons créés dans le substrat et qui parviennent dans la zone de charge d'espace par diffusion.

Pour une structure idéalisée, l'épaisseur de la zone de charges d'espace peut être exprimée par [14] :

$$x_d = \frac{\epsilon_{Si}}{C_{ox}} \left[1 - \sqrt{1 + \frac{2V_{PG} C_{ox}^2}{q \epsilon_{Si} N_A}} \right]^2 \quad (I.2)$$

ϵ_{Si} : permittivité du silicium

C_{ox} : capacité d'oxyde mince par unité de surface

N_A : dopage du substrat (atomes par cm³)

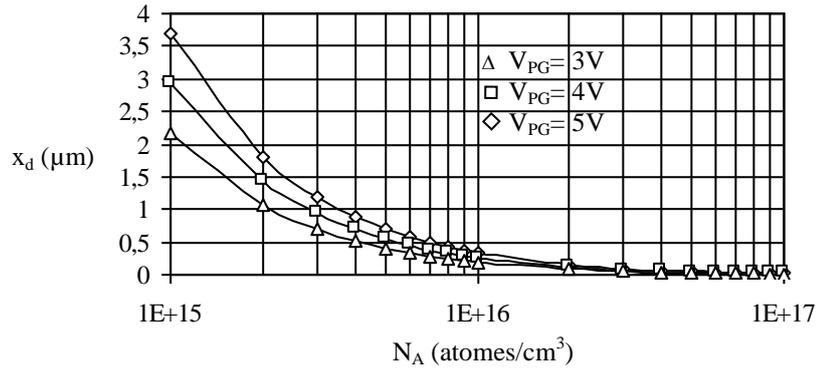


Fig. I.13 : Epaisseur de la zone de charges d'espace en fonction de la concentration du substrat N_A pour différentes V_{PG} .

La figure **I.13** représente les variations de l'épaisseur x_d avec la concentration N_A du dopage du substrat type P pour les valeurs de $V_{PG} = 3, 4$ et $5V$. On constate que la diminution de V_{PG} (ce qui est équivalent à une intégration des charges photoniques) entraîne une diminution de l'épaisseur x_d . Par exemple pour $N_A = 2 \cdot 10^{16}$ (atomes/cm³), lorsque V_{PG} passe de $5V$ à $3V$, l'épaisseur x_d passe de $0.152\mu m$ à $0.085\mu m$. Les calculs précédents sont effectués pour une épaisseur d'oxyde SiO_2 égale à $23.8nm$.

I – 3 – 4 – 2 – Transfert de charges :

Le transistor de transfert M_{TX} joue le rôle d'interrupteur qui s'ouvre durant la phase d'intégration et se ferme pendant la lecture, ce qui correspond au passage du courant photonique. La commande de fonctionnement de ce transistor se fait de manière indirecte par la tension de la grille du photoMOS. La tension grille – source du transistor M_{TX} suit les variations du potentiel de surface de la grille du photoMOS [11]. Pour rendre ce transistor conducteur il faut que :

$$V_{GS(TX)} \geq V_{th(TX)} \quad (I.3)$$

La tension seuil $V_{th(TX)}$ du transistor de transfert varie aussi en fonction de la différence de potentiel entre le substrat et la source V_{BS} . L'expression analytique $V_{th(TX)}$ peut être donnée par la relation suivante [15] :

$$V_{th(TX)} = V_{th0(TX)} + \frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}} \left(\sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F} \right) \quad (I.4)$$

avec $\phi_F \approx \frac{KT}{q} \ln \frac{N_A}{N_i}$

- N_i : concentration intrinsèque du substrat type P
- N_A : concentration du dopage du substrat type P
- $V_{th0(TX)}$: tension de seuil du transistor M_{TX} lorsque $V_{BS}=0$
- V_{BS} : d.d.p entre le substrat et la source

La figure **I.14** représente les valeurs de la tension de la source en fonction de celle de la grille du même transistor M_{TX} lorsque ce dernier commence à conduire (égalité des relations (I.3) et (I.4)).

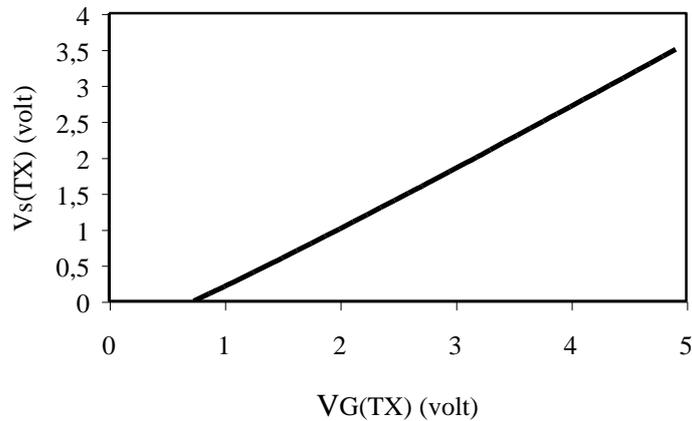


Fig. I.14 : Evolution de $V_S(TX)$ en fonction de $V_G(TX)$

On constate que pour une tension fixe de $V_G(TX) = 3.5V$, le transistor commence à conduire pour $V_S(TX) [2.26V$ et se bloque dans le cas contraire.

I – 3 – 4 – 3 – Simulation du pixel élémentaire :

Le simulateur PSPICE analyse les circuits électriques et électroniques à constantes localisées en termes de tension et de courant. Donc pour simuler des composants photosensibles, on a recours à des modélisations comportementales. Le photocourant généré se détermine en fonction du signal optique incident, de la longueur d’onde et de la polarisation. Le photocourant est modélisé par une source de courant commandée par la puissance du flux incident. On suppose que la durée du transfert de charges entre la grille du photoMOS et la source du transistor M_{TX} est négligeable devant le temps nécessaire pour que les charges traversent le canal du transistor M_{TX} . Sur la figure **I.15** est représenté le circuit PSPICE permettant de simuler le pixel élémentaire pendant le transfert de charges. Les dimensions des transistors M_{TX} et M_{raz} sont choisies identiques $W=2\mu m$ et $L=1.2\mu m$.

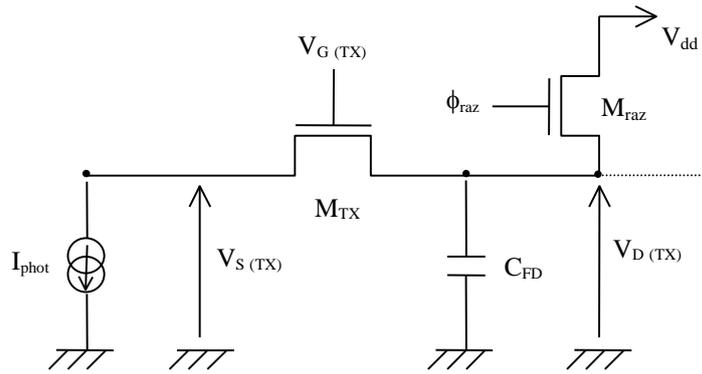


Fig. I.15 : Circuit électrique équivalent pour simuler la cellule élémentaire APS pendant le transfert de charges.

I_{phot} : courant électrique associé aux charges photoniques générées par le flux incident ;

C_{FD} : capacité de la diode flottante en sortie.

La grille du transistor M_{TX} est une ligne en polysilicium, la source est une diffusion flottante entre la grille du photoMOS et celle du transistor M_{TX} , et le drain est constitué par la diode flottante de lecture (DL). Cette diode, dont la modélisation est très délicate, est représentée par sa capacité de jonction qui dépend de la tension inverse appliquée à ses bornes. A l'équilibre, cette capacité peut être approchée par la relation suivante [16] :

$$C_{\text{FD}}(V_{\text{D(TX)}}) = \frac{C_{\text{FD}}(0)}{\sqrt{1 + \frac{V_{\text{D(TX)}}}{\phi_0}}} \quad \text{avec} \quad C_{\text{FD}}(0) = A_0 \sqrt{\frac{q\epsilon_{\text{Si}}N_{\text{A}}}{2(V_{\text{d0}} - 2U_{\text{T}})}} \quad (\text{I.5-a})$$

A_0 : surface de la jonction N⁺/P

U_{T} : unité thermodynamique de l'ordre de 25mV à la température ambiante.

V_{d0} : tension seuil de la diode flottante ; $\phi_0 = V_{\text{d0}} - 2U_{\text{T}} \approx 0.75\text{V}$

La figure **I.16** montre les variations de C_{FD} avec la tension $V_{\text{D(TX)}}$. Les paramètres fournis par le fondeur AMS permettent de trouver $V_{\text{d0}} \approx 0.8\text{V}$ et $C_{\text{FD}}(0) \approx 4.14\text{fF}$. Pour $V_{\text{D(TX)}}=3.5\text{V}$, la capacité de la diode flottante est de l'ordre de 2fF .

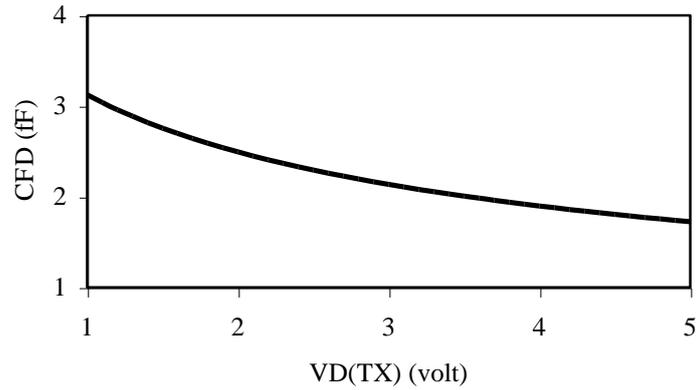


Fig. I.16 : Variations de la capacité C_{FD} de la diode flottante en fonction de la d.d.p à ses bornes

On constate que la valeur de C_{FD} n'est que de quelques femto-Farads. En effet, les capacités parasites autour de la diode flottante jouent un rôle important. Ce sont les capacités parasites entre le substrat et les différentes couches reliant la diode flottante au suiveur. Ces capacités parasites sont du même ordre de grandeur que C_{FD} et interviennent en parallèle avec celle-ci. La linéarité de la réponse de la diode est aussi très importante. La tension aux bornes de la diode flottante varie entre V_{Ref} après la remise à zéro, et $(V_{Ref} - \Delta V)$ après l'injection de charges. La valeur de ΔV dépend du flux incident et de la durée d'intégration.

La figure **I.17** montre la nonlinéarité de la capacité C_{FD} en fonction de $V_D (TX)$ et pour différentes valeurs de ΔV . Le coefficient de la linéarité est défini par :

$$\zeta = \left| \frac{dC_{FD} / dV_{D(TX)}}{C_{FD}} \right| \cdot \Delta V \cdot 100 = \frac{\Delta V}{2(\phi_0 + V_{D(TX)})} \cdot 100 \quad (I.5-b)$$

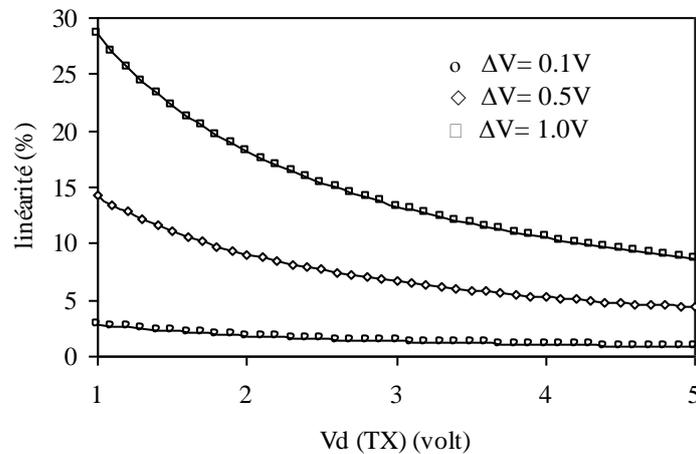


Fig. I.17 : Linéarité de la capacité C_{FD} en fonction de $V_{D(TX)}$ pour différentes valeurs de ΔV .

Pour simuler le transfert des charges via le transistor M_{TX} , la capacité C_{FD} est considérée fonction de $V_{D(TX)}$ avec une valeur initiale $C_{FD}(0)$ estimée à 50fF en tenant compte des capacités parasites associées au reste du circuit connecté au nœud de la sortie. Dans les simulations PSPICE nous avons considéré que le courant photonique est constant pendant l'intégration et égal à 1.88nA ou 9.4nA et dure 100ns.

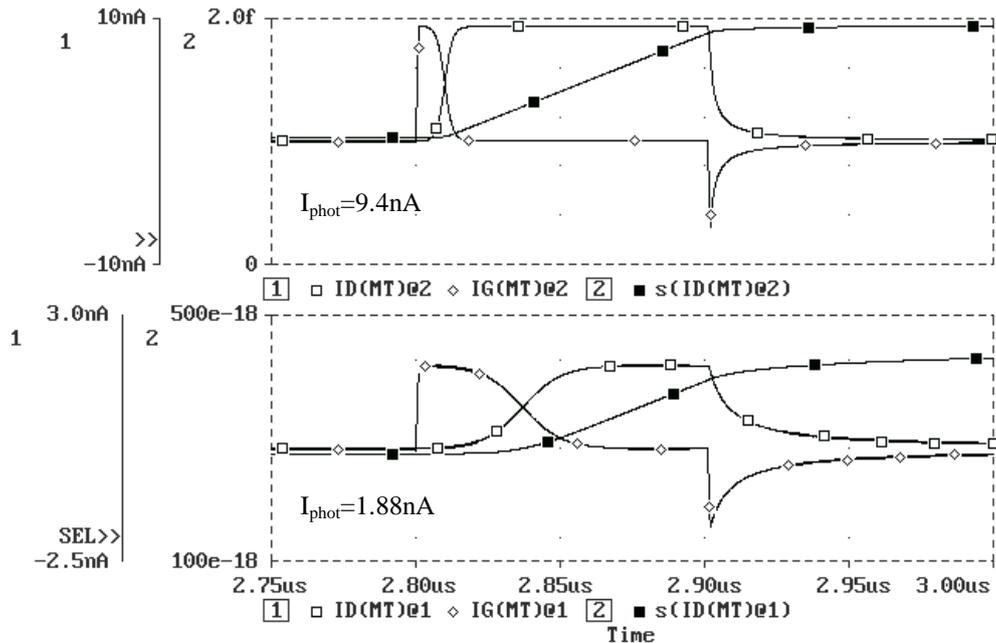


Fig. I.18 : Courants drain et grille du transistor du transfert ainsi que les charges injectées dans la diode

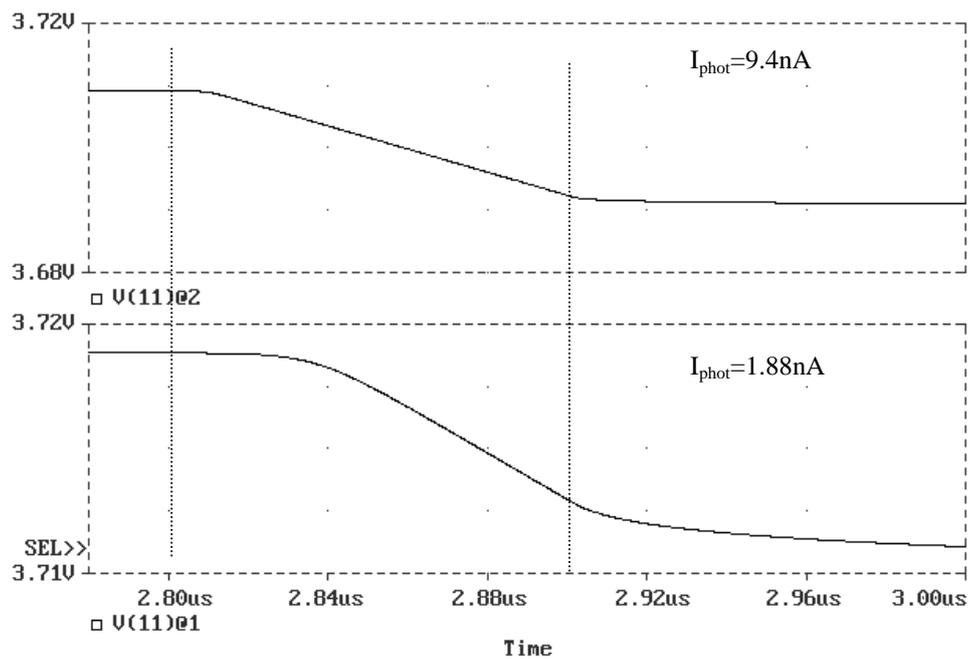


Fig. I.19 : Evolution de la tension $V_{d(TX)}$ pour deux valeurs du photocourant

Les résultats de la simulation sont présentés sur les figures **I.18**, **I.19** et **I.20**. Nous constatons que lorsque $V_{GS(TX)}$ est supérieure à la tension seuil du transistor M_{TX} ($V_{th} = 0.736V$), il y a apparition d'un courant I_{DS} , ce qui correspond au passage des charges photoniques.

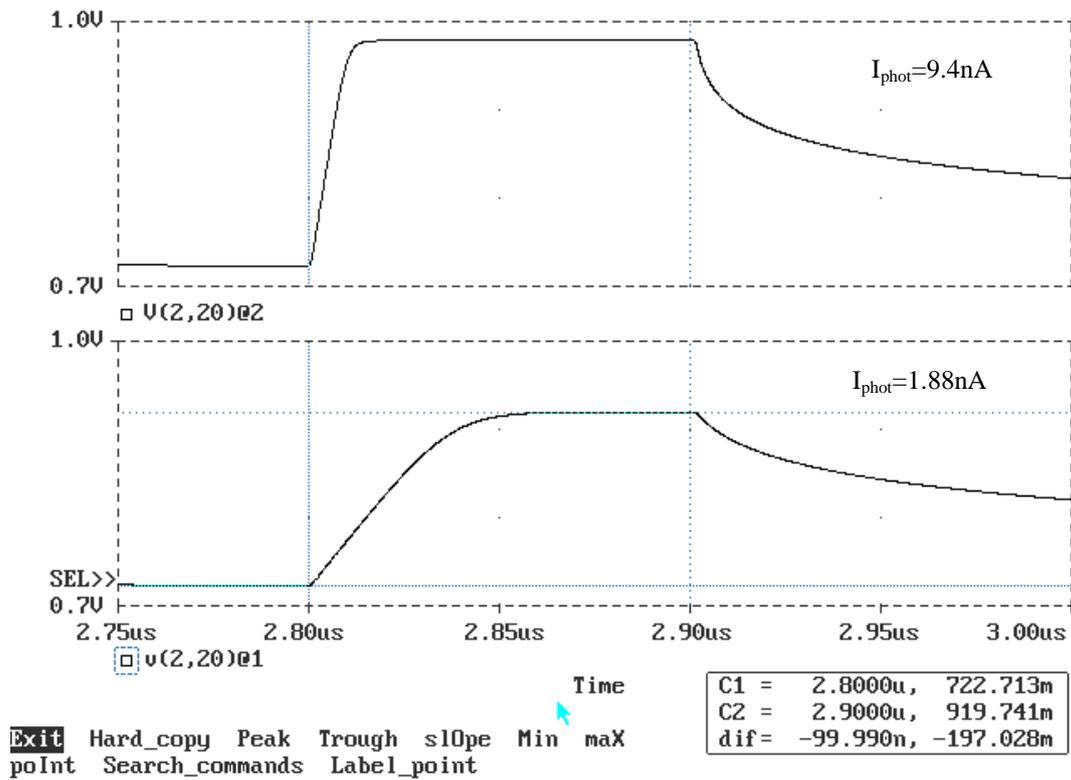


Fig. I.20 : Evolution de la ddp $V_{GS(TX)}$ pour deux valeurs du photocourant

A la fin de l'injection des charges, $V_{GS(TX)}$ diminue (figure I.20) et $V_S(TX)$ augmente (car $V_{G(TX)}=2.5V$) et par suite la résistance du canal s'élève. La figure **I.19** montre que les électrons mettent du temps pour traverser le canal du M_{TX} . Ce traînage est plus prononcé dans le cas de faible courant photonique. Cependant, il faut laisser suffisamment de temps à la diode flottante pour se charger complètement.

I – 4 – Conclusion

Le capteur CCD a atteint aujourd'hui sa maturité et est utilisé dans toutes les applications d'imagerie. Néanmoins, l'usage d'une technologie spécifique au CCD augmente considérablement le coût de fabrication de ce capteur et réduit les possibilités d'intégration des fonctions de traitement à côté du capteur sur la même plaquette de silicium.

Les progrès de la micro-électronique de ces dernières années, ont ouvert la possibilité de réaliser de nouvelles structures photosensibles à l'aide de la technologie CMOS

submicronique qui apportent certains avantages par rapport aux CCD's. L'un de ces capteurs est le capteur APS CMOS. Les avantages de ces capteurs APS sont les suivants :

- ◆ Procédé de fabrication CMOS standard à très grande diffusion (faible coût),
- ◆ Lecture d'un pixel par adressage XY ce qui rend la vitesse de lecture élevée et le fenêtrage possible.
- ◆ Possibilité d'intégrer l'électronique associée au traitement à côté des éléments photosensibles sur la même puce,
- ◆ Faible consommation de puissance (miniaturisation de la caméra).

Le problème limitant les performances à faible flux du capteur APS se manifeste dans le bruit intrinsèque associé à l'élément photosensible et à l'amplificateur in-pixel. Le chapitre suivant sera consacré à l'étude et la modélisation des sources de bruit de l'élément de base à savoir le transistor à effet de champ MOSFET.

I – 5 – Références bibliographiques

- [1] E. R. Fossum, "Active pixel sensors : Are CCD's dinosaurs ?", Proc. of SPIE, vol. 1900, Charge coupled devices and solid-state optical sensors III, pp. 1-13, 1993.
- [2] W. S. Boyle and G. E. Smith, " Charge Coupled Semiconductor Devices", Bell Syst. Tech. J., Vol. 49, pp. 587-593, 1970.
- [3] J. Boucher et J. Simonne, "Principes et Fonctions de l'Electronique Intégrée", Tome 2 (effets de surface et circuits intégrés), SUP'AERO-Toulouse, CEPADUES – EDITIONS, 1989.
- [4] D. D. WEN, "Design and Operation of Floating Gate Amplifier", IEEE Journal of Solid-State Circuits, Vol. 9, N° 6, December 1974.
- [5] DAVID F. BARBE, " Imaging Devices Using the Charge-Coupled Concept", Proceedings of the IEEE, Vol. 63, pp. 38-67, January 1975.
- [6] J. Solhusvik, et. al., " A New Low-Noise CCD Signal Acquisition Method Based on a Commutable Band-Pass Filter", IEEE Transactions on Circuits and Systems – II : Analog and digital Processing, Vol. 44, N° 3, March 1997, pp. 164-173.

- [7] CARVER A. MEAD, “ Scaling of MOS Technology to submicrometer Feature Sizes”, Analog Integrated Circuits and Signal Processing 6, 1994, pp. 9-25.
- [8] HON – SUM PHILIP WONG, et. al.,” Nanoscale CMOS”, Proceedings of the IEEE, Vol. 87, N° 4, April 1999, pp. 537-569.
- [9] J. Solhusvik, et. al., “Developpement of CMOS Active Pixel Sensors Suitable for Space Application :some preliminary results”, Proc. of SPIE, Vol. 2358, Sensors, Systems and Next Generation Satellites, Sep. 1995.
- [10] C. Cavadore, et al., “Design and characterisation of CMOS APS imagers on two different technologies”, Proc. of SPIE, vol. 3301, pp. 140-150, 1998.
- [11] A. GAUTRAND, “Etude et modelisation des phénomènes de transfert de charges dans les capteurs d’images à pixels actifs photoMOS”, Thèse de Doctorat, soutenue à l’ENSAE le 18/10/2000.
- [12] Y. Degerli, et al, “ Analysis and reduction of signal readout circuitry temporal noise in CMOS image sensors for low light levels”, IEEE Transaction on Electron Devices, vol. 47, n°5, May 2000, pp. 949-962.
- [13] Sunetra K. Mendis, et. al., “CMOS Active Pixel Image Sensors for Highly Integrated Imaging Systems”, IEEE Journal of Solid-State Circuits, Vol. 32, N° 2, February 1997, pp. 187-197.
- [14] A.J.P. Theuwissen, “Solid – State Imaging with Charge – Coupled Devices”, Edition Kluwer Academic Publishers, pp. 79, Dordrecht, 1995.
- [15] Y. Tsvividis, Operation and Modeling of the MOS transistor, Singapore : McGraw-Hill 1999.
- [16] A. S. GROVE, “Physique et Technologie des Dispositifs à Semiconducteur”, Edition DUNOD, Paris, 1971.

CHAPITRE II

**CARACTERISATION ET MODELISATION
DES SOURCES DE BRUIT DANS LES
TRANSISTORS MOSFET EN
TECHNOLOGIE CMOS**

Caractérisation et modélisation des sources de bruit dans les MOSFETs submicroniques en technologie CMOS.

II – 1 – Introduction

Pendant les dernières années, plusieurs auteurs ont publié des travaux concernant l'effet de la réduction des dimensions des dispositifs sur les performances d'un circuit électronique. En dépit de ces études, il n'y avait pas beaucoup d'attention sur l'effet de la réduction des dimensions au niveau du bruit basses fréquences (BF). En fait, on considère que la miniaturisation des composants entraîne une augmentation du bruit BF fonction de l'inverse de la surface du composant [1, 2].

L'objectif de ce chapitre est de présenter une méthode plus quantitative montrant l'impact de la réduction des dimensions des MOSFETs sur les marges du bruit BF. Ce dernier constitue une importante caractéristique pour les applications analogiques et numériques, par exemple les capteurs d'images APS.

Ce chapitre comporte trois parties principales :

- i) Caractéristiques statiques des transistors MOSFETs submicroniques,
- ii) Modélisation du bruit basses fréquences,
- iii) Aspect expérimental et mesures du bruit dans les transistors submicroniques.

II – 2 – Caractéristiques statiques des transistors MOSFETs

La connaissance de la densité des porteurs de charges du canal et du courant drain en fonction de la polarisation du transistor s'avère nécessaire pour une caractérisation efficace des sources de bruit des transistors MOS.

II – 2 – 1 – Différents modes de fonctionnement d'un NMOS

La figure **II.1** représente la caractéristique principale d'un transistor MOS à canal N. La figure **II.1-a** représente la section droite d'un transistor NMOS avec les tensions appliquées sur la grille et le drain par rapport à la source qui est reliée au substrat, ce dernier est porté à la masse. La d.d.p entre la grille et la source est supposée légèrement supérieure à la tension seuil du transistor, ce qui entraîne une contribution importante à la charge d'espace négative en surface provenant des électrons qui sont pourtant des porteurs minoritaires du substrat. Notons que les trous en accumulation et les électrons en inversion sont localisés très

près de l'interface Si/SiO₂, tandis que la charge des ions négatifs en déplétion et en inversion s'étend sur une distance relativement importante à l'intérieur du semi-conducteur.

La figure II.1-b représente le réseau de caractéristiques typiques de sortie d'un transistor MOS à canal N. Les zones d'inversions (faible inversion, inversion modérée et forte inversion) sont données en fonction de la d.d.p V_{gs} (les limites de ces régions seront étudiées dans le paragraphe suivant). La réduction de V_{gs} et V_{ds} rend le courant drain-source plus faible et peut être masqué par le courant de fuite de la jonction PN⁺ (drain-substrat) polarisée en inverse. La limite entre la région de fonctionnement linéaire et celle de saturation est indiquée par la courbe en pointillée.

Les modes de fonctionnement en faible inversion et en inversion modérée sont souvent utilisés dans des applications de faible consommation.

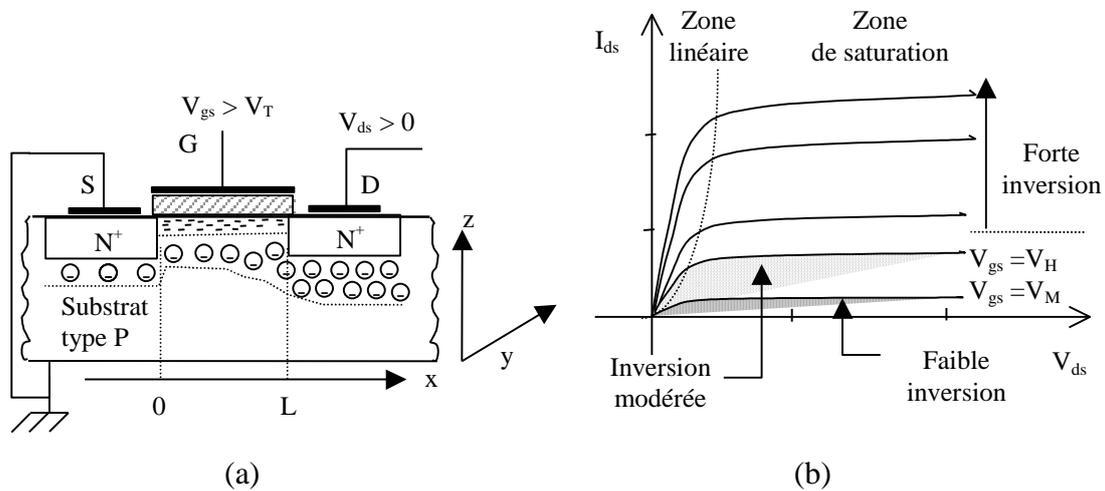


Fig. II.1 : a- Répartition des charges dans une structure NMOS
b- Modes de fonctionnement d'un NMOS.

II – 2 – 2 – Modèle des charges superficielles

Le courant dans le canal peut être composé en un courant drift et un courant de diffusion. Soit x la position des porteurs dans le canal mesurée à partir de la source. Le courant de la couche d'inversion à la position x est donné par [3] :

$$I(x) = I_{drift}(x) + I_{diff}(x) \quad (II.1)$$

$$I_{drift}(x) = -\mu W Q_n \frac{d\phi_s}{dx} \quad \text{et} \quad I_{diff}(x) = \mu W U_T \frac{dQ_n}{dx} \quad (II.2)$$

où $Q_n(x)$ est la charge superficielle de la couche d'inversion à la position x , W est la largeur du canal, U_T le potentiel thermodynamique, μ la mobilité des porteurs de charges superficielles et $\phi_s(x)$ est le potentiel du canal par rapport au substrat à la position x .

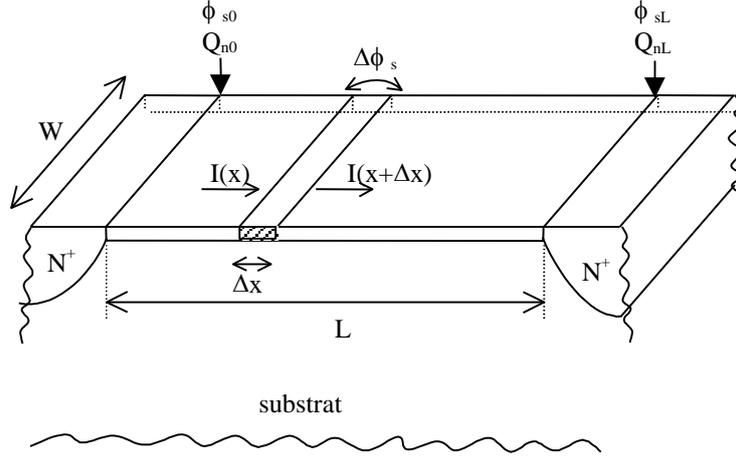


Fig. II.2 : Représentation schématique de la couche d'inversion d'un transistor NMOS

Considérons la structure de base représentée à la figure **II.2**. Il s'agit d'un transistor MOS à canal N, dont le canal présente une longueur L (distance entre les deux zones N^+) et une largeur W . On va analyser ce qui se passe entre la source et le drain en terme de courant I_{ds} . Le courant drain source I_{ds} est la somme des courants $I(x)$ de la source jusqu'au drain :

$$I_{ds} = \frac{W}{L} \left[- \int_{\phi_{s0}}^{\phi_{sL}} \mu Q_n d\phi_s + U_T \int_{Q_{i0}}^{Q_{iL}} \mu dQ_n \right] \quad (\text{II.3})$$

La charge $Q_n(x)$ peut s'exprimer sous la forme suivante :

$$Q_n(x) = C_{ox} [V_{gb} - V_{th}(x) - \phi_s(x)] \quad (\text{II.4})$$

Où

C_{ox} est la capacité d'oxyde mince entre la grille et le canal et elle est exprimée en Farad par unité de surface, $V_{th}(x)$ est la tension seuil du NMOS à la position x , et V_{gb} est la d.d.p entre la grille et le substrat.

En supposant que la mobilité μ est constante, le courant drain peut s'exprimer de la manière suivante (annexe **A.II.1**) :

$$I_{ds} = \frac{W}{L} \mu C_{ox} [f(\phi_{sL}) - f(\phi_{s0})] \quad (\text{II.5})$$

Avec $f(\phi)$ une fonction intermédiaire définie par :

$$f(\phi) = (V_{gb} - V_{Fb} + U_T) \phi - \frac{1}{2} \phi^2 - \frac{2}{3} \gamma \phi^{3/2} + U_T \gamma \phi^{1/2} \quad (\text{II.6})$$

et

$$\phi_{s0} = V_{gb} - V_{Fb} - \gamma \sqrt{\phi_{s0} + U_T \exp((\phi_{s0} - 2\phi_F - V_{sb})/U_T)} \quad (\text{II.7})$$

$$\phi_{sL} = V_{gb} - V_{Fb} - \gamma \sqrt{\phi_{sL} + U_T \exp((\phi_{sL} - 2\phi_F - V_{db})/U_T)} \quad (\text{II.8})$$

où $\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}}$, V_{Fb} est la tension de la condition des bandes plates, ϕ_F le potentiel de Fermi, N_A est la concentration des impuretés accepteurs dans le substrat, ϵ_{si} est la permittivité du substrat et q est la charge élémentaire de l'électron.

Les équations (II.7) et (II.8) peuvent être résolues numériquement en ϕ_{s0} et ϕ_{sL} . On peut définir les régions d'inversions à partir de la tension grille comme le montre la figure II.3.

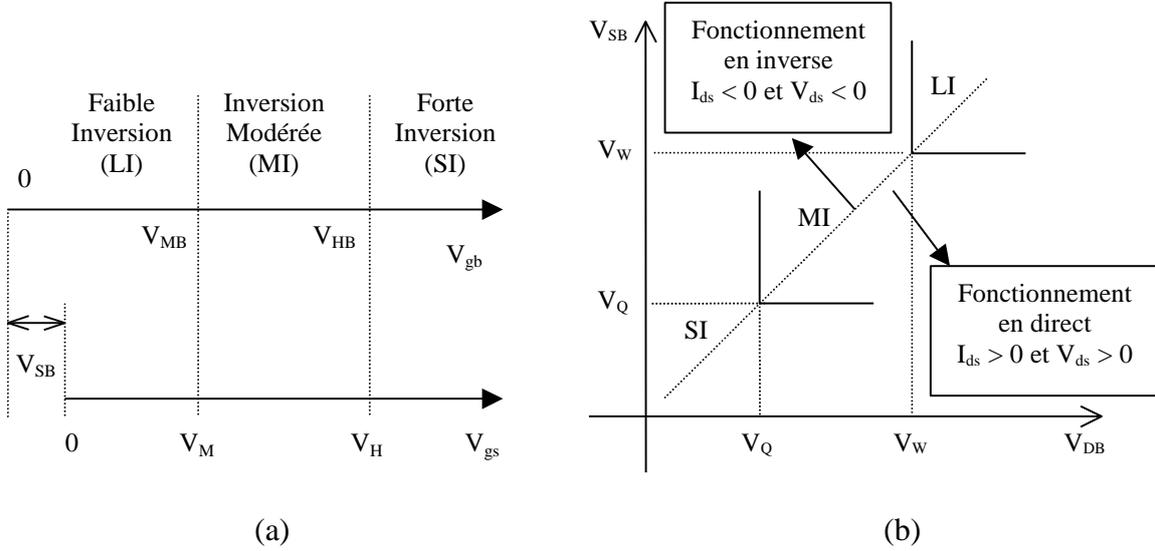


Fig. II.3 : a – Définition des modes d'inversion en fonction de V_{gb} et V_{gs}
b – Modes d'inversion et zones de fonctionnement d'un transistor NMOS pour V_{gb} donnée.

La tension basse limite V_M du mode de faible inversion et V_H celle du mode d'inversion modérée sont données par (on prend V_{gs} comme variable avec $V_{sb}>0$) :

$$V_M = V_{Fb} + 2\phi_F + \gamma \sqrt{2\phi_F + V_{sb}} \quad (\text{II.9})$$

$$V_H \approx V_M + 0.6V \quad (\text{II.10})$$

Les valeurs des potentiels définissant les limites des modes d'inversion du canal sont données par (on choisit V_{db} comme variable) :

$$V_Q \approx \left(\gamma / 2 - \sqrt{\gamma^2 / 4 + V_{gb} - V_{Fb} - 0.6V} \right)^2 - 2\phi_F \quad (\text{II.11})$$

$$V_W \approx \left(\gamma / 2 - \sqrt{\gamma^2 / 4 + V_{gb} - V_{Fb}} \right)^2 - 2\phi_F \quad (\text{II.12})$$

D'après la figure II.3-b, il est facile de définir le mode de fonctionnement du transistor à partir des potentiels V_Q et V_W . Par exemple, lorsque $V_{sb} < V_Q$ et $V_Q < V_{db} < V_W$ le transistor fonctionne en mode de forte inversion et en direct.

Par la suite nous allons discuter séparément les modes d'inversion d'un transistor afin de trouver des expressions simplifiées du courant drain-source.

II – 2 – 3 – Mode de fonctionnement en forte inversion (SI)

On dit que le transistor fonctionne en forte inversion si l'une ou les deux extrémités du canal est (sont) fortement inversée(s).

- En régime linéaire (V_{ds} faible), on peut avoir en mode de forte inversion, les approximations suivantes [3]:

$$\phi_{s0} \approx \phi_0 + V_{sb} \quad \text{et} \quad \phi_{sL} \approx \phi_0 + V_{db}$$

avec $\phi_0 \approx 2\phi_F + \Delta\phi$ et $\Delta\phi \approx 6U_T$.

Dans ce cas, le courant drain-source I_{ds} , en fonctionnement normal, peut être exprimé sous la forme suivante :

$$I_{ds} = \frac{W}{L} \mu C_{ox} [g(V_{db}) - g(V_{sb})] \quad (\text{II.13})$$

Avec $g(V)$ une fonction intermédiaire définie par :

$$g(V) = (V_{gb} - V_{Fb} - \phi_0)V - (1/2)V^2 - (2/3)\gamma(\phi_0 + V)^{3/2} \quad (\text{II.14})$$

- En régime de saturation $V_{ds} > V_{ds\text{ sat}}$, on considère que le courant drain atteint le courant de saturation $I_{ds\text{ sat}}$ lorsque le potentiel drain par rapport au substrat atteint la tension de pincement V_p , obtenue à partir de :

$$\left(\frac{\partial I_{ds}}{\partial V_{db}} \right)_{V_{db}=V_p} = 0,$$

ce qui entraîne :

$$V_p \approx \left(\gamma/2 - \sqrt{\gamma^2/4 + V_{gb} - V_{Fb}} \right)^2 - \phi_0 \quad (\text{II.15})$$

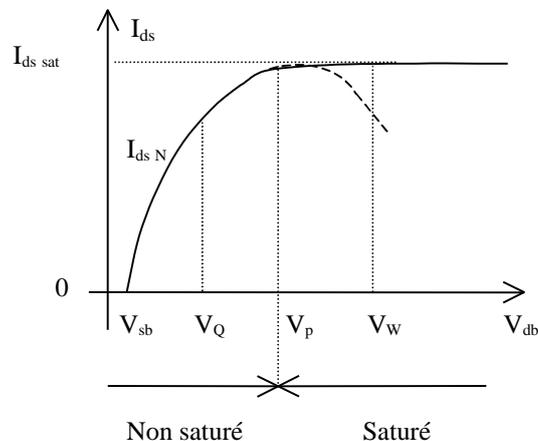


Fig. II.4 : Courant I_{ds} en fonction V_{db}

En introduisant des approximations dans le modèle des charges superficielles, le courant en mode de forte inversion et en régime linéaire peut être donné par :

$$I_{ds} = \frac{W}{L} \mu C_{ox} \frac{n}{2} \left[(V_p - V_{sb})^2 - (V_p - V_{db})^2 \right] \quad (\text{II.16})$$

avec
$$n = 1 + \frac{\gamma}{2\sqrt{\phi_0 + V_p}}$$

En zone de saturation (en fonctionnement direct $I_{ds\text{ sat}} = I_{ds}(V_{db}=V_p)$) le courant drain devient :

$$I_{ds\text{ sat}} = \frac{W}{L} \mu C_{ox} \frac{n}{2} (V_p - V_{sb})^2 \quad (\text{II.17})$$

En saturation inverse le courant drain est donné par :

$$I'_{ds\text{ sat}} = \frac{W}{L} \mu C_{ox} \frac{n}{2} (V_p - V_{db})^2 \quad (\text{II.18})$$

Dans le cas où la source serait la référence des potentiels avec $V_{sb} = 0$, on peut exprimer le courant drain-source, pour les deux zones de fonctionnement linéaire et saturé, comme suit :

$$I_{ds} = I_{ds\text{ sat}} (1 - \eta^2) \quad (\text{II.19})$$

avec

$$\eta = \begin{cases} 1 - V_{ds}/V_{ds\text{ sat}}, & \text{pour } V_{ds} \leq V_{ds\text{ sat}} = (V_{gs} - V_{Th})/n \\ 0, & \text{pour } V_{ds} > V_{ds\text{ sat}} \end{cases}$$

La relation entre le potentiel du canal par rapport au substrat (ou par rapport à la source) à la position x peut être exprimée sous la forme suivante :

$$\phi_s(x) \approx \frac{V_{gs} - V_{Th}}{2n} \left[1 - \sqrt{1 - \frac{x}{L} (1 - \eta^2)} \right] \quad (\text{II.20})$$

Le facteur n dépend de la technologie utilisée et de la polarisation et dans ce cas, il est

approché par :
$$n \approx 1 + \frac{\gamma}{4\sqrt{\phi_0}}$$

II – 2 – 4 – Mode de fonctionnement en faible inversion (LI)

Les limites de fonctionnement en faible inversion ont été indiqué dans le paragraphe II-2-2. Les modèles développés dans ce paragraphe peuvent être utilisés pour trouver des relations simplifiées du courant drain source en mode de fonctionnement faible inversion.

Pour un point quelconque du canal faiblement inversé, le potentiel de surface est approché par :

$$\phi_s \approx \left(\gamma / 2 - \sqrt{\gamma^2 / 4 + V_{gb} - V_{Fb}} \right)^2 \quad (\text{II.21})$$

On remarque que le potentiel de surface dépend seulement de V_{gb} et ce indépendamment de la position le long du canal. Dans ce cas, le canal est considéré uniforme et le courant se fait par diffusion (et non par drift). Les expressions des charges superficielles au niveau source et au niveau drain sont données par [3] :

$$Q_{n0} \approx -\frac{1}{2} \sqrt{\frac{2q\varepsilon_{si}N_A}{\phi_s}} U_T \exp \left[\frac{\phi_s - 2\phi_F - V_{sb}}{U_T} \right] \quad (\text{II.22})$$

$$Q_{nL} \approx -\frac{1}{2} \sqrt{\frac{2q\varepsilon_{si}N_A}{\phi_s}} U_T \exp \left[\frac{\phi_s - 2\phi_F - V_{db}}{U_T} \right] \quad (\text{II.23})$$

Le courant en mode de faible inversion peut être écrit de la manière suivante :

$$I_{ds} = \frac{W}{L} \mu C_{ox} (n-1) U_T^2 [h(V_{sb}) - h(V_{db})] \quad (\text{II.24})$$

avec $h(V)$ une fonction intermédiaire définie par :

$$h(V) = \exp[(V_p + \phi_0 - 2\phi_F - V) / U_T] \quad (\text{II.25})$$

Dans le cas où la source est une référence des tensions, l'expression (II.24) devient :

$$I_{ds} = \frac{W}{L} I_M \left[1 - e^{-\frac{V_{ds}}{U_T}} \right] \cdot e^{\frac{V_{gs} - V_M}{nU_T}} \quad (\text{II.26})$$

avec

$$V_M = V_{Fb} + 2\phi_F + \gamma \sqrt{V_{sb0} + 2\phi_F} ; I_M = \frac{1}{2} \mu U_T^2 \sqrt{\frac{2q\varepsilon_{si}N_A}{2\phi_F + V_{sb0}}} ; n \approx 1 + \frac{\gamma}{2\sqrt{2\phi_F + V_{sb0}}}$$

où V_{sb0} est une d.d.p fixe entre la source et le substrat.

La variation de I_{ds} en fonction de V_{gs} pour V_{ds} constante est représentée en échelle semi-logarithmique dans la figure **II.5**. On remarque qu'en faible inversion le logarithme de I_{ds} varie linéairement avec V_{gs} . En dehors de cette zone de fonctionnement, le courant I_{ds} correspond au courant de fuite de la jonction PN^+ .

Par interpolation linéaire, la charge de la couche d'inversion (figure **II.5-b**) peut s'exprimer en fonction de la position x par la relation suivante :

$$Q_n(x) \approx Q_{n0} \left[1 + \left(1 - e^{-V_{ds}/U_T} \right) \frac{x}{L} \right] \quad (\text{II.27})$$

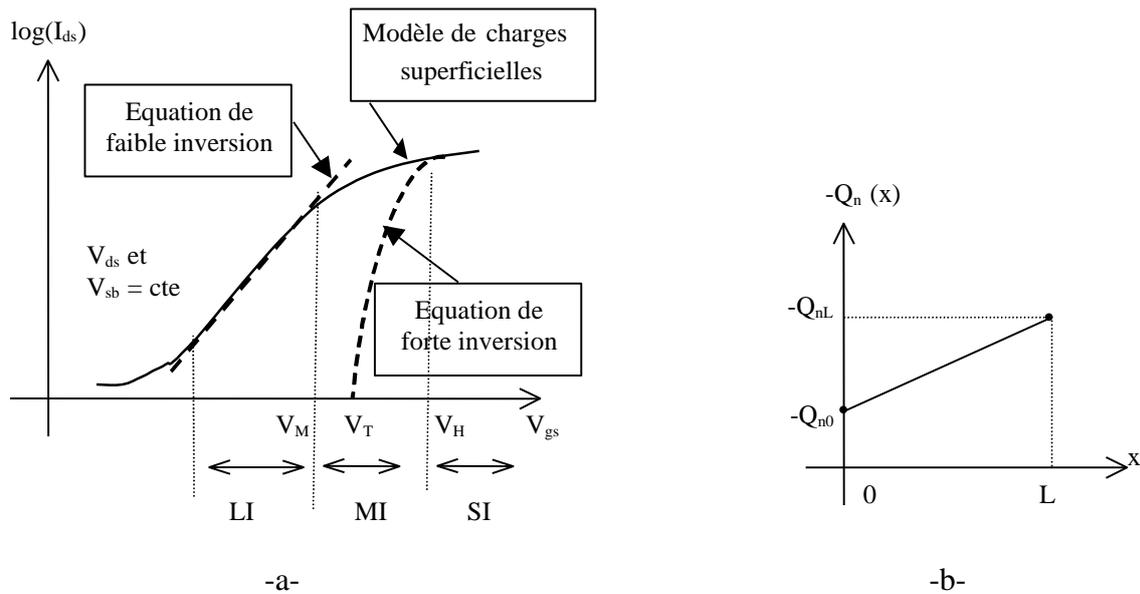


Fig. II.5 : a- courant I_{ds} en fonction de V_{gs} pour les différents modèles cités précédemment
 b- charge de la couche d'inversion en mode de faible inversion en fonction de x

II – 2 – 5 – Mode de fonctionnement en inversion modérée (MI)

En inversion modérée, le courant drain est composé du courant drift et de diffusion. Pour ce mode de fonctionnement on ne connaît pas très bien de modèles simplifiés. La formulation du courant drain doit être faite en tenant compte de la continuité aux limites, d'une part, entre le mode de faible inversion et de l'inversion modérée, et d'autre part, entre l'inversion modérée et l'inversion forte. Dans ce sens, plusieurs expressions empiriques ont été proposées. Un exemple de modèle est celui de EKV [4] :

$$I_{ds} = \frac{W}{L} \mu C_{ox} 2 n U_T^2 [m(V_{sb}) - m(V_{db})] \quad (II.28)$$

avec $m(V)$ une fonction intermédiaire définie par :

$$m(V) = \left[\ln \left(1 + \exp \frac{V_p - V}{2U_T} \right) \right]^2 \quad (II.29)$$

En faible inversion, la valeur du terme exponentiel de la relation précédente est faible devant l'unité. Au premier ordre : $\ln(1+\varepsilon) \approx \varepsilon$, donc il est facile de constater que ce modèle correspond à celui de faible inversion. En forte inversion et en mode de fonctionnement non saturé, la valeur du terme exponentiel est très forte et par suite on peut effectuer l'approximation $\ln[1+\exp(y)] = y$, donc ce modèle se réduit à celui du mode de forte inversion.

II – 2 – 6 – Mobilité effective

La réduction des dimensions du canal d'un transistor NMOS a pour effet d'augmenter le champ transversal, et par suite les électrons de la couche d'inversion se déplacent proche de l'interface Si/SiO₂. Cependant, les collisions des porteurs de charges dans le canal augmentent et la mobilité de ces porteurs diminue. Cette mobilité est déterminée par plusieurs mécanismes de dispersion dans lesquels les électrons échangent de l'énergie avec leur environnement. Les mécanismes de dispersion de la mobilité les plus importants sont [5] :

- Dispersion par les impuretés appelée dispersion par effet Coulomb (μ_{Coul}),
- Dispersion par le réseau cristallin appelée dispersion par phonons (μ_{Ph}),
- Dispersion associée à la rugosité de surface (μ_{SR}).

La dispersion due aux impuretés ionisées est causée par leurs charges qui infléchit la trajectoire des porteurs. La probabilité de cette dispersion dépend de la concentration totale en impuretés ionisées présentes dans le semi-conducteur. La dispersion par effet de Coulomb est non seulement due aux atomes ionisés (donneurs ou accepteurs), mais aussi aux charges des pièges actifs à l'interface Si/SiO₂. La dispersion par interaction avec le réseau cristallin est due aux vibrations thermiques des atomes qui perturbent la périodicité du réseau et empêchent les mouvements des porteurs libres. La dispersion associée à la rugosité de surface correspond à la rupture de périodicité au voisinage de l'interface Si/SiO₂. Ceci entraîne des ondulations de composition intermédiaires entre le Si et SiO₂ de quelque Å de hauteur et de quelques centaines d'Å de période [6].

Toutes ces dispersions tendent à atténuer la mobilité des électrons de la couche d'inversion (appelée mobilité de surface) à une valeur plus faible que de celle en volume. A faible champ électrique, la dispersion de Coulomb associée aux impuretés et aux charges dans l'oxyde domine la limitation de la mobilité.

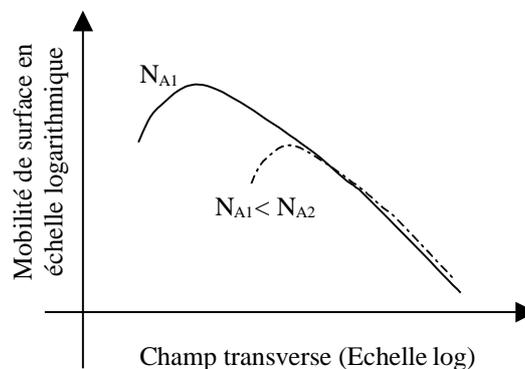


Fig. II.6 : Mobilité de surface des e⁻ du canal d'un NMOS en fonction du champ transverse moyen

Au fur et à mesure que le champ électrique augmente, la charge de la couche d'inversion augmente et masque l'effet des charges des atomes ionisés. C'est pourquoi la mobilité augmente mais à partir d'une certaine valeur du champ électrique moyen $E_{z \text{ moy}}$, la mobilité chute à cause de la dispersion associée à l'interaction électron - phonon. Enfin, pour des champs électriques très forts, l'attraction des électrons vers l'interface Si/SiO₂ rend la dispersion associée à la rugosité de surface prépondérante et la mobilité décroît rapidement comme le montre la figure **II.6**.

L'effet de l'augmentation de la concentration du substrat N_A sur la mobilité est de déplacer le point où la dispersion de Coulomb devient négligeable vers les forts champs électriques. Aussi, les valeurs élevées de N_A diminuent d'avantage la mobilité en surface.

Par la suite, on va discuter comment introduire les dispersions citées plus haut dans les modèles statiques des transistors MOS. En régime permanent, le courant drain – source est égal au courant à tout point du canal. Si la mobilité des porteurs μ est considérée constante, alors on peut la sortir de l'intégrale de la relation (II.2). En général, la mobilité des porteurs de charges dépend du champ électrique transverse, donc elle dépend des variables de l'intégrale de (II.2). Dans ce cas, le calcul direct de cet intégrale est plus difficile. Pour éviter ce calcul direct, on définit une mobilité effective μ_{eff} telle que :

$$I_{ds} = \frac{W}{L} \mu_{\text{eff}} \left[- \int_{\phi_{s0}}^{\phi_{sL}} Q_n d\phi_s + U_T (Q_{nL} - Q_{n0}) \right] \quad (\text{II.30})$$

où la mobilité effective est défini par :

$$\mu_{\text{eff}} = \frac{\int_0^{\infty} \mu_b n(z) dz}{\int_0^{\infty} n(z) dz} \quad (\text{II.31})$$

avec :

μ_b est la mobilité en volume en absence de la rugosité en surface, $n(z)$ représente la distribution des porteurs de charges libres dans la couche d'inversion d'un transistor NMOS. Cette distribution de charges peut être exprimée en fonction du potentiel de surface $\phi_s(z)$ à la profondeur z par :

$$n(z) = n_0 e^{\phi_s(z)/U_T} \quad (\text{II.32})$$

avec n_0 est la concentration des électrons minoritaires dans le substrat.

L'expression précédente peut être exprimée en fonction du champ électrique transverse $E_{z \text{ moy}}$ par :

$$n(z) = n_s e^{-E_{z\text{ moy}} \cdot z / U_T} \quad (\text{II.33})$$

avec n_s est la concentration des électrons à l'interface Si/SiO₂.

Pour tenir compte de l'atténuation de la mobilité μ_b au niveau de la surface, on considère qu'elle présente une valeur négligeable sur une épaisseur d et relativement constante ailleurs.

Cependant la relation (II.31) devient :

$$\mu_{\text{eff}} \approx \mu_b e^{-E_{z\text{ moy}} \cdot d / U_T} \quad (\text{II.34})$$

On admet que le champ électrique transverse $E_{z\text{ moy}}$ est la moyenne des composantes $E_{z\text{ i}}$ à l'interface et $E_{z\text{ b}}$ celle juste au-dessous de la couche d'inversion. Ces composantes $E_{z\text{ i}}$ et $E_{z\text{ b}}$ peuvent être exprimées en fonction des charges électriques Q_n à l'interface et Q_B de la zone de déplétion :

$$E_{z\text{ i}} = (Q_n + Q_B) / \epsilon_{Si} \text{ et } E_{z\text{ b}} = Q_B / \epsilon_{Si} \quad (\text{II.35})$$

avec ϵ_{Si} est la permittivité du silicium.

Donc, le champ électrique moyen $E_{z\text{ moy}}$ est donné par :

$$E_{z\text{ moy}} = (0.5Q_n + Q_B) / \epsilon_{Si} \quad (\text{II.36})$$

En forte inversion, les charges électriques Q_n à l'interface et Q_B de la zone de déplétion sont approchées par :

$$Q_n \approx C_{ox}(V_{gs} - V_{Th}) \text{ et } Q_B \approx \sqrt{2q\epsilon_{Si}N_A\phi_s} \quad (\text{II.37})$$

La combinaison des relations (II.36) et (II.37) donne :

$$E_{z\text{ moy}} \approx \frac{1}{2\epsilon_{Si}} C_{ox}(V_{gs} - V_{Th}) + \sqrt{\frac{2qN_A\phi_s}{\epsilon_{Si}}} \quad (\text{II.38})$$

Par suite la relation (II.34) devient :

$$\mu_{\text{eff}} = \mu_0 e^{-\theta(V_{gs} - V_{Th})} \quad (\text{II.39})$$

avec μ_0 est la mobilité à faible champ électrique et donnée par :

$$\mu_0 = \mu_b \exp\left[-\frac{d}{U_T} \sqrt{\frac{2qN_A\phi_s}{\epsilon_{Si}}}\right] \quad (\text{II.40})$$

et θ est le facteur d'atténuation de la mobilité donné par :

$$\theta = \frac{1}{2} \frac{C_{ox}d}{\epsilon_{Si}U_T} \quad (\text{II.41})$$

Le développement limité de l'expression (II.39) peut être écrit sous la forme :

$$\mu_{\text{eff}} = \mu_0 \frac{1}{1 + \theta(V_{gs} - V_{Th}) + \theta^2(V_{gs} - V_{Th})^2 + \dots} \quad (\text{II.42})$$

Au premier ordre, la mobilité effective est souvent approchée par la relation suivante [7] :

$$\mu_{eff} \approx \mu_0 \frac{1}{1 + \theta (V_{gs} - V_{Th})} \quad (\text{II.43})$$

avec θ dépend de la technologie de fabrication du transistor MOS, principalement, inversement proportionnel à l'épaisseur de la grille (t_{ox}).

II – 3 – Modélisation du bruit dans les transistors submicroniques

II – 3 – 1 – Introduction

Le développement de la micro-électronique a été considérable depuis ces dernières années. Sur le plan technologique, la taille des composants est en constante diminution offrant pour les circuits intégrés des possibilités d'intégration à très grande échelle (cas des technologies CMOS), des consommations réduites et des vitesses de fonctionnement élevées. Il est maintenant courant de rencontrer des complexités de circuit dépassant les millions de transistors, possédant une partie numérique et une partie analogique sur le même substrat (cas du capteur APS).

Le concepteur a toujours cherché à repousser les limites d'utilisation jusqu'à celles imposées par les phénomènes physiques et quantiques. Une de ces limites va déterminer le seuil infranchissable pour la résolution ou la sensibilité des systèmes analogiques. En effet, les fluctuations des porteurs de charges électriques générées par la plupart des composants électroniques, sont appelées bruit. Elles sont représentées par des signaux aléatoires associés aux mouvements aléatoires des porteurs de charges ou par des fluctuations de leur nombre. Ces signaux sont susceptibles de perturber le fonctionnement du circuit électronique.

Dans les années précédentes, de nombreuses études faisaient références aux sources de bruit associées aux transistors MOSFETs. En général, ces sources de bruit sont de type thermique, de grenaille et du bruit basse-fréquence (BF). Ce dernier se manifeste dans les transistors MOSFET submicroniques sous forme de signaux aléatoires de type télégraphique appelé bruit RTS (relatif au Random Telegraph Signal). Les recherches effectuées dans ce domaine montrent que la réduction des dimensions des composants s'accompagne par une augmentation du bruit BF [8, 9]. En effet, la réduction des dimensions du transistor, rend les performances du composant fonction des défauts associés à l'interface Si/SiO₂. Ces défauts sont responsables du bruit RTS qui est attribué au processus aléatoire capture/émission des porteurs de charges du canal par les pièges d'oxyde au voisinage de l'interface Si/SiO₂ [10]. Ainsi, le bruit 1/f (bruit de scintillement ou "flicker noise") est reconnu comme étant la superposition de plusieurs signaux RTS [11, 25].

Actuellement, il existe deux principales théories pour expliquer les origines physiques du bruit BF dans les MOSFETs. Le premier modèle est basé sur les fluctuations du nombre des porteurs de charges dans le canal (ΔN) appelé théorie de McWorter [12]. Le second modèle met en jeu les fluctuations de la mobilité ($\Delta \mu$) des porteurs. Il a été établi par les hypothèses de Hooges [13, 14]. Plusieurs chercheurs débattent ces deux modèles [15].

Les composants essentiels du bruit BF sont le bruit de scintillement (flicker noise ou bruit $1/f$), et le bruit RTS.

L'objectif de ce paragraphe est d'effectuer une étude analytique et expérimentale du bruit BF dans les transistors MOSFET submicroniques. Cette étude comporte les différents modes de fonctionnement du transistor : faible inversion, inversion modérée et forte inversion, aussi en zone linéaire et non linéaire.

II – 3 – 2 – Modélisation du bruit BF

Le bruit RTS associé aux fluctuations du courant drain se présente sous la forme de transitions discrètes et aléatoires entre deux niveaux bas et haut. Dans les composants submicroniques, ces deux niveaux sont attribués à la capture et à l'émission aléatoire d'un électron par les pièges de l'oxyde au voisinage de l'interface Si/SiO₂. Justement, les pièges de l'oxyde jouent un rôle important dans la qualité et la fiabilité des transistors MOS, et peuvent être étudiés au niveau microscopique par des mesures des RTS. En plus, le bruit BF représenté par le bruit RTS devient forcément une limitation importante pour des futures réductions des dimensions des MOSFETs.

La figure II.7-a montre le chronogramme typique d'un signal télégraphique aléatoire associé au processus capture/émission d'un seul électron par les pièges de l'oxyde au voisinage de l'interface Si/SiO₂.

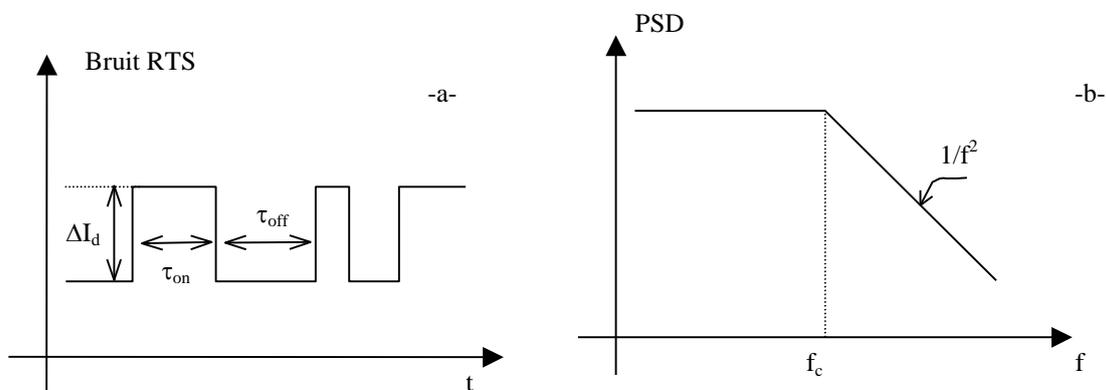


Fig. II.7 : a- Bruit RTS dans le domaine temporel

b- Densité spectrale en puissance PSD du bruit RTS

Les paramètres essentiels des signaux RTS sont [16] :

- L'amplitude moyenne ΔI_d des fluctuations du courant drain,
- La durée moyenne de capture τ_{on} ,
- La durée moyenne d'émission τ_{off} .

La figure **I.7-b** représente la densité spectrale en puissance du bruit RTS : c'est un Lorentzien. La fréquence de coupure de ce spectre est donnée en fonction des durées moyennes de capture τ_{on} et d'émission τ_{off} par : $f_c = 1/\tau_{on} + 1/\tau_{off}$.

Si on néglige le courant de diffusion devant le courant drift alors le courant drain peut être considéré proportionnel au produit $\mu x N$ où μ et N représentent respectivement la mobilité et le nombre de porteurs de charges du canal par unité de surface. La capture et l'émission d'un seul porteur (électron cas du NMOS) par les pièges de l'oxyde introduisent des fluctuations corrélées du nombre N et de la mobilité μ des porteurs de charges du canal. Mathématiquement, les fluctuations relatives du courant drain peuvent être écrites sous la forme :

$$\frac{\Delta I_d}{I_d} = \frac{\Delta \mu}{\mu} + \frac{\Delta N}{N} \quad (\text{II.44})$$

Le processus aléatoire capture/émission d'un électron s'effectue par activation thermique. Ce phénomène peut être expliqué à partir des diagrammes de la figure **II.8**. Au point A (cercle vide), un piège non occupé peut être excité thermiquement vers le point B où il peut capturer un électron de la bande de conduction du Si. Au point C (cercle plein) le piège est occupé et relaxé vers un état stable d'énergie plus faible. L'énergie excédentaire est dissipée par émission multi - phonons. Le processus de l'émission se fait de manière contraire. On note que l'énergie nécessaire à l'émission d'un électron est souvent supérieure à celle nécessaire pour en capturer un.

L'énergie d'activation dépend du niveau d'énergie du piège relatif à celui de la bande de conduction du Si, et par suite elle dépend de la courbure de bande.

La variation de la tension grille V_g affecte l'énergie d'activation et ceci est plus important pour les cas où les pièges sont profonds (z_0 relativement élevée) [23].

$$E_T - E_F = A - q \left[\left(1 - \frac{z_0}{t_{ox}} \right) \phi_s + \frac{z_0}{t_{ox}} V_g \right] \quad (\text{II.45})$$

$E_T - E_F$ est le niveau d'énergie du piège relatif au niveau de Fermi, A est une constante, z_0 représente la distance du piège à partir de l'interface Si/SiO₂, t_{ox} est l'épaisseur de l'oxyde, ϕ_s est le potentiel de surface et V_g est le potentiel de la grille.

Ce rapport présente les variations du nombre de porteurs du canal par rapport au nombre de porteurs piégés à l'interface Si/SiO₂.

Ainsi, la modulation des charges piégées s'accompagne par un changement de la distribution des autres charges de la structure MOS indiquée sur la figure **II.9**.

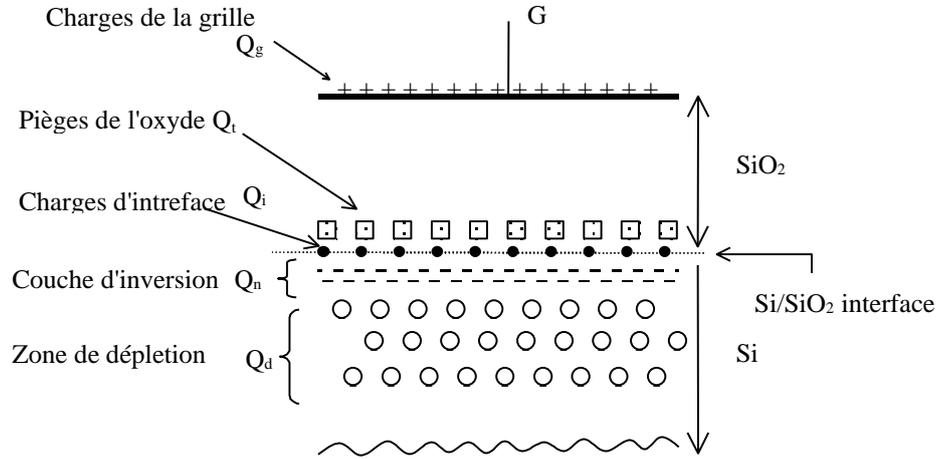


Fig. II.9 : Localisation des charges dans une structure MOS

La conservation des charges permet d'écrire :

$$\Delta Q_g + \Delta Q_t + \Delta Q_n + \Delta Q_d + \Delta Q_i = 0 \quad (\text{II.49})$$

Ces variations des charges peuvent être exprimées en fonction des variations du potentiel de surface ϕ_s comme suit :

$$\Delta Q_g = -C_{ox} \Delta \phi_s, \Delta Q_n = -C_{IL} \Delta \phi_s, \Delta Q_d = -C_{DL} \Delta \phi_s, \Delta Q_i = -C_{IT} \Delta \phi_s \quad (\text{II.50})$$

C_{IL} , C_{DL} et C_{IT} représentent respectivement les capacités de la couche d'inversion, de la zone de déplétion et de celle associée aux pièges de l'interface. La relation entre Q_n et C_{IL} peut être donnée par l'expression suivante :

$$Q_n = 2\phi_s e^{-a} \left[I + \frac{U_T}{\phi_s} e^a - \sqrt{I + \frac{U_T}{\phi_s} e^a} \right] C_{IL} \quad (\text{II.51})$$

où $a \approx (\phi_s - 2\phi_F)/U_T$.

Si le second terme de la racine carré est négligeable devant l'unité, alors l'expression ci-dessus devient :

$$Q_n \approx U_T C_{IL} \quad (\text{II.52})$$

L'expression générale du rapport R est donnée par [17] :

$$R = \frac{C_{IL}}{(C_{IL} + C_{DL} + C_{IT}) \left[I + z_0 / (t_{ox} - z_0) \right] + \epsilon_{ox} / (t_{ox} - z_0)} \quad (\text{II.53})$$

Pour $z_0 \ll t_{ox}$, l'expression précédente devient :

$$R \approx \frac{C_{IL}}{C_{IL} + C_{ox} + C_{DL} + C_{IT}} \quad (\text{II.54})$$

avec $C_{ox} = \epsilon_{ox}/t_{ox}$.

Van der Ziel [18] a observé que le paramètre R dépend fortement de la polarisation du transistor ; $R \approx 10^{-8}$ en mode de faible inversion et $R \approx 1$ en mode de forte inversion. Aussi, lorsque $z_0 \ll t_{ox}$ le paramètre R devient indépendant de la position et de la nature des pièges dans l'oxyde.

La densité spectrale en puissance des fluctuations du courant local ΔI_d peut être déduite de la relation (II.48), ainsi :

$$S_{\Delta_d}(x, f) = I_d^2 \left(\frac{R}{N} \pm \alpha \mu \right)^2 S_{\Delta N_t}(x, f) \quad (\text{II.55})$$

avec $S_{\Delta N_t}$ est la densité spectrale de puissance de la moyenne du carré des fluctuations du nombre de pièges occupés par unité de surface.

Pour calculer $S_{\Delta N_t}$, on considère qu'il y a interaction entre les électrons du canal et les états de surface vides, et que les électrons des états de surface entrent en interaction avec les pièges de l'oxyde non occupés.

Soit $n_T = N_T(E, x, y, z) \Delta E \Delta x \Delta y \Delta z$ le nombre de pièges dans l'oxyde dans un volume $\Delta x \Delta y \Delta z$ ayant une énergie entre E et ΔE , et soit n_t le nombre de ces pièges occupés. En supposant que le piégeage des électrons obéit à une loi binomiale, le nombre n_t et ses fluctuations Δn_t satisfont les relations suivantes [19] :

$$\overline{n_t} = n_T F_t \text{ et } \overline{(\Delta n_t)^2} = n_T F_t (1 - F_t) \quad (\text{II.56})$$

où $\overline{n_t}$ et $\overline{(\Delta n_t)^2}$ représentent respectivement les valeurs moyennes du nombre des porteurs piégés dans le volume $\Delta x \Delta y \Delta z$ et du carré des fluctuations de ce nombre.

F_t est la fonction de Fermi-Dirac qui représente la probabilité d'occupation des états par un électron. Elle peut être exprimée en fonction du niveau d'énergie du piège E_T :

$$F_t = \frac{1}{1 + g \cdot \exp\left(\frac{E_T - E_F}{KT}\right)} \quad (\text{II.57})$$

où g est le facteur de dégénérescence d'état.

Le spectre associé à Δn_t est donné par :

$$S_{\Delta N_t}(x, f) = \int_0^W \int_0^{t_{ox}} \int_{E_v}^{E_c} 4N_T(E, x, y, z) \Delta x F_t(1 - F_t) \frac{\tau(E, x, y, z)}{1 + (\omega \tau(E, x, y, z))^2} dy dz dE \quad (\text{II.58})$$

où τ est la constante du temps du piégeage qui est fonction de l'énergie E et de la position (x, y, z) , ω est la fréquence angulaire, E_v et E_c sont les niveaux d'énergie de valence et de conduction respectivement.

Le calcul de l'intégrale de la relation précédente nécessite quelques hypothèses qu'on suppose souvent acquises :

- La distribution spatiale des pièges dans l'oxyde est supposée uniforme au voisinage de l'interface Si/SiO₂ : $N_T(E,x,y,z) = N_T(E)$,
- La probabilité de pénétration d'un électron dans l'oxyde décroît exponentiellement avec la distance mesurée à partir de l'interface. Il en résulte que la constante du temps du piégeage est exprimée par [20] :

$$\tau = \tau_0(E) \exp(\xi z) \quad (\text{II.59})$$

avec

ξ : le facteur de transition ($\xi \approx 10^8 \text{ cm}^{-1}$ pour l'interface Si/SiO₂)

$\tau_0(E)$: la constante du temps à l'interface.

Soit z_1 la profondeur maximale (1 à 3 nm) que peut atteindre l'électron piégé par un défaut à l'intérieur de l'oxyde, il lui correspond la constante du temps τ_1 donnée par :

$$\tau_1 = \tau_0(E) \exp(\xi z_1) \quad (\text{II.60})$$

Les hypothèses citées précédemment permettent de trouver (annexe **A.II.2**) :

$$S_{\Delta n_i}(x, f) = \frac{2KT \Delta x W}{\pi f \xi} [\text{Arctg}(\omega \tau_1) - \text{Arctg}(\omega \tau_0)] N_t(E_F) \quad (\text{II.61})$$

avec

$$N_t(E_F) = \frac{I}{KT} \int_{E_v}^{E_c} N_T(E) F_t(1 - F_t) dE \quad (\text{II.62})$$

Dans le cas où $\omega \tau_1 \gg 1$ et $\omega \tau_0 \ll 1$, l'expression (II.61) deviendrait :

$$S_{\Delta n_i}(x, f) = \frac{KT \Delta x W}{f \xi} N_t(E_F) \quad (\text{II.63})$$

La relation (II.63) montre que sur une surface $W\Delta x$, nous avons la relation $n_i = N_t W \Delta x$, et par suite : $S_{\Delta n_i}(x, f) = S_{\Delta n_i}(x, f) (W\Delta x)^2$. Ainsi, la relation (II.55) devient :

$$S_{I_d}(x, f) = I_d^2 \frac{KT}{\Delta x W f \xi} N_t(E_F) \left(\frac{R}{N} \pm \alpha \mu \right)^2 \quad (\text{II.64})$$

La densité spectrale de puissance du bruit associé au courant drain total est donnée sous la forme suivante :

$$S_{I_d}(f) = I_d^2 \frac{KT}{L^2 W f \xi} N_t(E_F) \int_0^L \left(\frac{R}{N} \pm \alpha \mu \right)^2 dx \quad (\text{II.65})$$

Le calcul de l'intégral précédent dépend du mode d'inversion et de la zone de fonctionnement du transistor.

Soit le paramètre $N_0 = U_T(C_{ox} + C_{DL} + C_{IT})/q$. Avec les relations (II.52) et (II.54), le rapport R/N peut être approché par $I/(N + N_0)$. En supposant que le coefficient α dépend légèrement de la position x , l'expression (II.65) peut s'écrire sous la forme suivante :

$$S_{I_d}(f) = I_d^2 \frac{KT}{L^2 W \xi f} N_t(E_F) \left\{ L \alpha^2 \mu^2 + \int_0^L \left[\frac{I}{(N + N_0)^2} \pm \frac{2\alpha \mu}{N + N_0} \right] dx \right\} \quad (\text{II.66})$$

En fonctionnement linéaire, on peut considérer que la distribution des charges dans le canal est uniforme. Donc $N(x)$ sera constante le long du canal et par suite l'expression précédente devient :

$$S_{I_d}(f) = I_d^2 \frac{KT}{LW\xi} N_t(E_F) \left(\frac{I}{N + N_0} \pm \alpha \mu \right)^2 \frac{1}{f} \quad (\text{II.67})$$

La dernière relation représente la densité spectrale du bruit $1/f$ obtenue à partir de la superposition des signaux télégraphiques aléatoires (RTSs).

En forte inversion on a $N \gg N_0$ et on trouve que la densité spectrale en puissance normalisée du courant drain dépend fortement de la polarisation de la grille à travers le terme Q_n^{-2} où $Q_n = qN$ représente la charge du canal (relation (II.37)).

En fonctionnement non linéaire, la charge Q_n dépend de la position x . Elle peut être exprimée en mode de forte inversion par :

$$Q_n(x) = qN(x) \approx -C_{ox} [V_{gs} - V_{Th} - \alpha_B V_{ds}(x)] \quad (\text{II.68})$$

où α_B est un coefficient de l'effet de substrat qui peut être approché par : $\alpha_B = 1 + a_0 \frac{\gamma}{2\sqrt{\phi_s}}$

avec $0.5 < a_0 < 0.8$.

En forte inversion nous avons $I_d = W\mu Q_n(x) \frac{dV_{ds}}{dx}$, après avoir effectué un changement de variable, l'expression de (II.66) peut être remplacée par (annexe **A.II.3**):

$$S_{I_d}(f) = I_d^2 \frac{KT}{L^2 W \xi f} N_t(E_F) \left\{ L \alpha^2 \mu^2 - \frac{W\mu q^2}{I_d C_{ox} \alpha_B} \left[\ln \frac{N(L)}{N(0)} \pm 2\alpha \mu (N(L) - N(0)) \right] \right\} \quad (\text{II.69})$$

avec

$$N(L) \approx -\frac{C_{ox}}{q} [V_{gs} - V_{Th} - \alpha_B V_{ds}] \text{ et } N(0) \approx -\frac{C_{ox}}{q} [V_{gs} - V_{Th}]$$

On constate que la DSP des fluctuations du courant drain varie avec les polarisations V_{gs} et V_{ds} d'une manière non linéaire.

En faible inversion, nous avons $N \ll N_0$ et pour une fréquence donnée la DSP reste relativement constante pour V_{gs} donnée car N_0 ne varie pas beaucoup avec la polarisation V_{ds} .

II – 3 – 3 – Bruit blanc

Le bruit thermique, dû essentiellement aux fluctuations de vitesse des porteurs de charges par suite des interactions avec le réseau cristallin, constitue en fait la limite inférieure du bruit de fond observable dans les semi-conducteurs. Il est indépendant de la fréquence et est donc appelé bruit blanc. Le bruit thermique trouve son origine dans les zones résistives du transistor, principalement la résistance du canal et les résistances d'accès. Dans le domaine des basses fréquences, le bruit thermique est négligeable devant les sources de bruit BF (sources de bruit citées précédemment).

La densité spectrale totale de puissance du bruit thermique associé au transistor MOS peut être écrite sous la forme suivante [3, 21]:

$$S_{Id(th)} = 4KT \gamma_{th} g_{tot} \quad (II.70)$$

Avec

$$g_{tot} \approx \frac{W}{L} \mu C_{ox} 2U_T \left\{ \frac{\ln(1 + e^{x_0})}{1 + e^{-x_0}} + (\alpha_B - 1) \frac{\ln(1 + e^{x_1})}{1 + e^{-x_1}} \right\} \quad (II.71)$$

où $x_0 = (V_{gs} - V_{Th}) / (2\alpha_B U_T)$; $x_1 = (V_{gs} - V_{Th} - \alpha_B V_{ds}) / (2\alpha_B U_T)$.

et

$$\gamma_{th} = \frac{L}{L - \Delta L} \cdot \frac{I}{I + m(x_0)} \left\{ \frac{1}{2} (1 + b) + \frac{2}{3} m(x_0) \left(1 + \frac{b}{1 + \sqrt{b}} \right) \right\} + \frac{I}{g_{tot}} \cdot \frac{\Delta L}{L^2} \cdot \frac{I_{ds}}{E_{critique}} \quad (II.72)$$

où $b = \frac{m(x_1)}{m(x_0)}$; $m(x) = [\ln(1 + e^x)]^2$; $\Delta L = \frac{V_{ds} - V_{ds sat}}{V_{EA} + V_{ds}} L$;

$$I_{ds} = \frac{W}{L} \mu C_{ox} 2\alpha_B U_T^2 \{m(x_0) - m(x_1)\}$$

avec

W, L : largeur et longueur du canal;

U_T : potentiel thermodynamique (25mV à 25°C);

V_{Th} : tension seuil du transistor MOS;

ϕ_F : potentiel de Fermi;

ϵ_{Si} : permittivité du substrat;

N_A : concentration du dopage substrat;

C_{ox} : capacité d'oxyde par unité de surface;

$V_{ds\ sat}$: tension de saturation du transistor;

V_{EA} : tension d'Early.

$$\left\{ \begin{array}{l} V_{ds\ sat} \approx 3U_T, \quad \text{en mode de faible inversion} \\ V_{ds\ sat} \approx (V_{gs} - V_{Th})/\alpha_B, \quad \text{en mode de forte inversion} \end{array} \right.$$

$E_{critique}$ est le champ électrique critique à partir duquel les porteurs de charges atteignent leur vitesse limite ($\approx 10^4$ V/m).

Un autre type de bruit blanc est le bruit de grenaille (shot noise). Ce type de bruit se manifeste surtout dans les composants à jonction PN. Ce bruit est lié à l'état corpusculaire de l'électricité. Donc il est le résultat de l'émission de porteurs de charges à travers une barrière de potentiel. Sa densité spectrale de puissance est proportionnelle au courant moyen I_d [22] :

$$S_{Id} = 2 q I_d \quad (\text{II.73})$$

Les valeurs du bruit blanc sont négligeables devant le bruit basse fréquence (BF). C'est pourquoi dans la partie expérimentale nous nous sommes intéressés uniquement au bruit BF.

II – 4 – Aspect expérimental et mesures du bruit BF

II – 4 – 1 – Introduction

Dans cette section on décrit des mesures de bruit effectuées sur des transistors MOS submicroniques. Les transistors de test sont fabriqués par la technologie CMOS-0.7 μ m d'Alcatel-Microélectronique. Dans cette partie sont exposées les mesures de la densité de puissance du bruit en courant du transistor sous – test. Les polarisations du transistor V_{gs} et V_{ds} sont balayées de 0.2V à 5V. Ceci permet d'analyser le comportement en bruit du transistor MOS pour les différents modes d'inversion et les différentes zones de fonctionnement. Les valeurs des tensions de seuils sont $V_{Th} = 0.76$ V pour les NMOS et $V_{Th} = -1$ V pour les PMOS. L'épaisseur de l'oxyde t_{ox} est relativement égale à 175Å°.

II – 4 – 2 – Banc de mesure

La chaîne de mesures est constituée du transistor sous-test (DUT), du circuit de polarisation, d'un amplificateur de courant faible bruit LT1007, de l'analyseur de spectre HP3585A et de l'analyseur de signaux LeCroy-LC374A comme le montre la figure **II.10**.

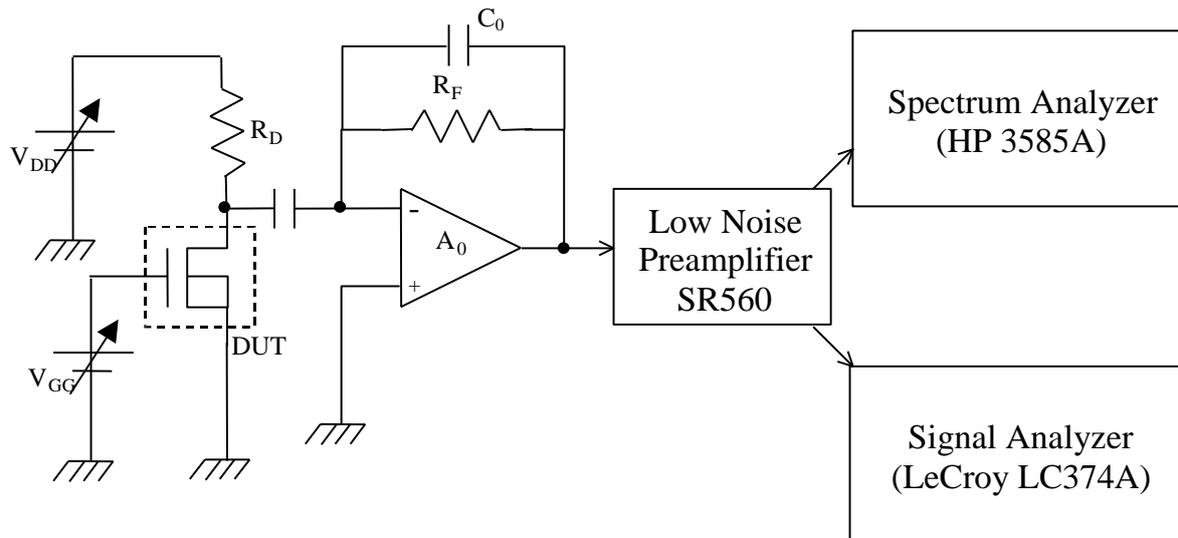


Fig. II.10 : Constituants de la chaîne de mesures.

Les sources d'alimentation utilisées sont des batteries spéciales permettant de réduire les bruits apportés par le secteur. Les tensions V_{gs} et V_{ds} sont fixées par les sources V_{GG} et V_{DD} , elles polarisent le transistor autour d'un point de fonctionnement souhaité. Les valeurs typiques de la résistance de contre réaction R_f sont entre $10\text{ K}\Omega$ et $100\text{ K}\Omega$. La capacité C_0 (de petite valeur $\approx 5\text{ pF}$) en parallèle avec R_f , permet d'éviter l'auto-oscillation de l'amplificateur A_0 . Le système de mesures du bruit est installé dans une cage de Faraday et toutes les mesures sont effectuées à la température ambiante. Le courant drain statique est mesuré par un pico-ampèremètre Keithley 485.

II – 4 – 3 – Estimation du bruit de la chaîne de mesures

L'amplificateur A_0 génère du bruit provenant de ses différents composants. D'une manière générale, cet amplificateur peut se représenter de manière équivalente sous la forme d'un amplificateur idéal (non bruyant) avec deux sources équivalentes de bruit généralement corrélées sur son entrée (figure II.11).

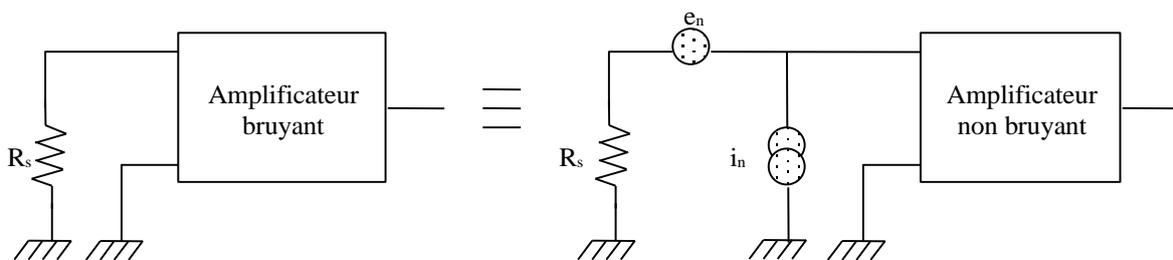


Fig. II.11 : Représentation équivalente de l'amplificateur avec les sources de bruit.

Les sources de bruit e_n et i_n sont des caractéristiques de l'amplificateur utilisé. Il est évident, pour que la contribution en bruit de l'amplificateur soit minimale, e_n et i_n doivent être les plus faibles possibles. Dans cette condition, l'amplificateur est adapté à la résistance de source R_s . En supposant que les deux sources de bruit e_n et i_n sont non corrélées, le bruit total à l'entrée de l'amplificateur v_{nt} est donné par :

$$\overline{v_{nt}^2} = \overline{e_n^2} + R_s^2 \overline{i_n^2} + 4KT R_s \quad (\text{II.74})$$

Soit ζ la contribution relative en bruit de l'amplificateur par rapport au bruit généré par la source, défini par :

$$\zeta = \frac{\overline{e_n^2} + R_s^2 \overline{i_n^2}}{4KT R_s} \quad (\text{II.75})$$

Cette contribution est minimale lorsque : $\frac{\partial \zeta}{\partial R_s} = 0$, ce qui donne : $R_s = e_n/i_n$.

Nous disposons de différents amplificateurs intégrés du commerce, adaptés pour différentes impédances de source, permettant d'effectuer des mesures de bruit sur toutes les plages de polarisations du transistor. A titre d'exemple, une série d'amplificateurs est donnée sur le tableau **II.1**.

Nom de l'ampli	$e_n(\text{nV}/\sqrt{\text{Hz}})$	$i_n(\text{pA}/\sqrt{\text{Hz}})$	R optimale (K Ω)	Plage d'utilisation
LT1028	0.85	1.0	1	150 Ω à 7K Ω
LT1007	2.5	0.4	6	550 Ω à 45K Ω
OPA627	5.2	1.6 10 ⁻³	3 10 ³	1.5K Ω à 5G Ω

Tableau II.1 : Comparaison des caractéristiques (e_n et i_n) de quelques amplificateurs

Le choix de l'AOP est déterminé par ses conditions optimales d'utilisation. Ce choix sera donc en fonction de la résistance du canal R_{ds} qui dépend de la zone de fonctionnement du transistor MOS.

Nous avons adopté le deuxième type d'AOP (LT1007) pour sa plage d'utilisation qui est relativement importante [24].

Dans la plupart des cas, le bruit généré par le transistor MOS sous-test est très supérieur à celui généré par le système de mesure. Néanmoins, on peut le corriger en calculant le bruit total à la sortie de l'amplificateur à partir de la figure II.12.

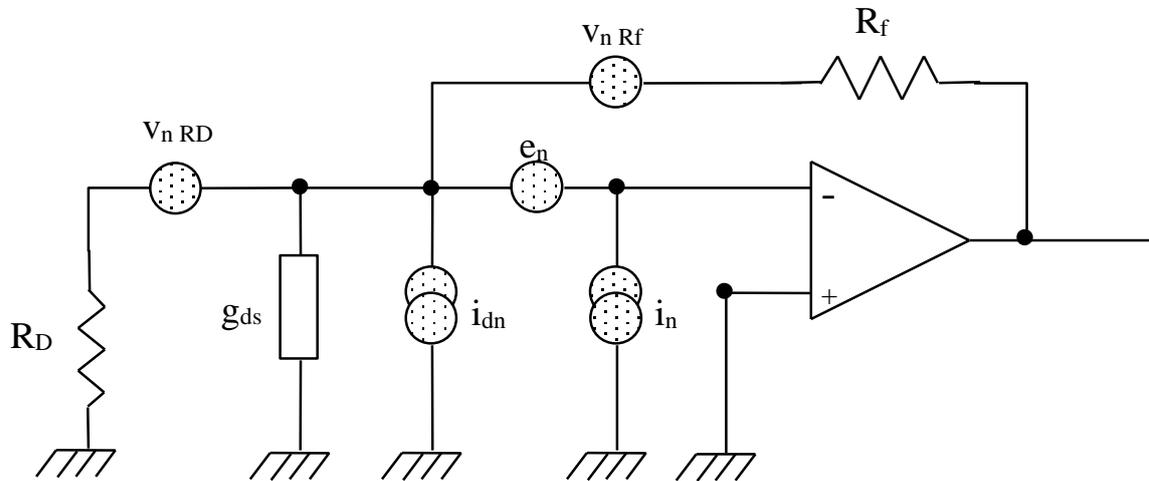


Fig. II.12 : Circuit équivalent aux sources de bruit associé au système de mesures

Le bruit total à la sortie de l'amplificateur de courant peut être exprimé par :

$$\overline{v_n^2} = R_f^2 (\overline{i_{dn}^2} + \overline{i_n^2}) + \left[1 + R_f \left(g_{ds} + \frac{1}{R_D} \right) \right]^2 \overline{e_n^2} + \overline{v_{nR_f}^2} + \overline{v_{nR_D}^2} \quad (\text{II.76})$$

avec

i_{dn} est le bruit en courant du transistor sous-test ;

g_{ds} est la conductance du canal du transistor sous-test ;

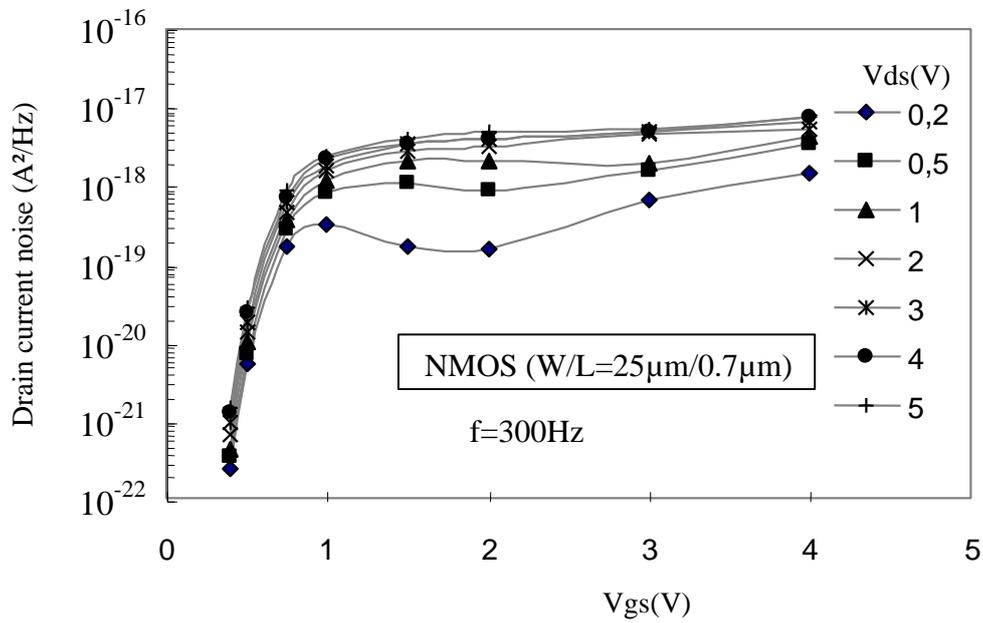
v_{nR_D} et v_{nR_f} représentent respectivement le bruit thermique des résistances R_f et R_D .

II – 4 – 4 – Résultats expérimentaux et discussions

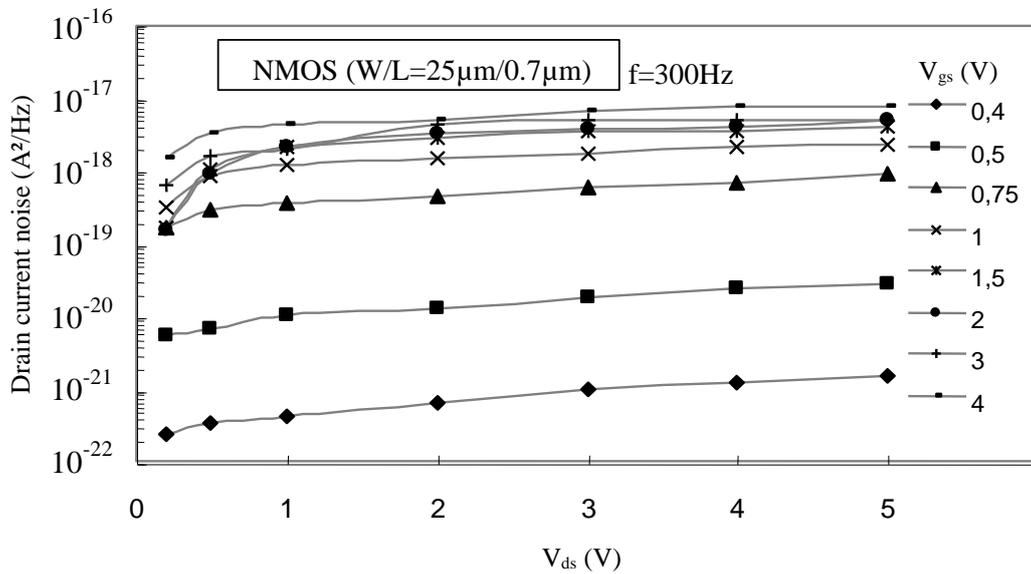
Les densités spectrales du bruit sont relevées pour différentes polarisations du transistor (variations de V_{gs} et V_{ds}), pour deux géométries de grille différentes ($W/L=1\mu\text{m}/0.7\mu\text{m}$ et $W/L=25\mu\text{m}/0.7\mu\text{m}$). Les transistors sous-test sont de type NMOS et PMOS provenant de deux lots différents.

Dans ce paragraphe nous représentons des résultats expérimentaux essentiels. La figure II.13.a montre l'effet de la polarisation d'un transistor NMOS de géométrie $W \times L=25\mu\text{m} \times 0.7\mu\text{m}$ sur la densité spectrale du bruit du courant drain à la fréquence $f=300\text{Hz}$. Pour ce composant, les caractéristiques du bruit sont relativement régulières. L'analyse de ces courbes montre que le bruit augmente avec la tension de la grille en mode de faible inversion

puis il se sature en forte inversion. La mesure du courant drain en fonctionnement sous-seuil $V_{gs} = 0.4V$ donne $I_d = 610nA$ pour $V_{ds} = 0.2V$ et $I_d = 1.36\mu A$ pour $V_{ds} = 4V$.



-a-



-b-

Fig. II.13 : Bruit du courant drain en fonction de la polarisation du transistor NMOS (W/L=25µm/0.7µm)

a)- effet de V_{gs} avec V_{ds} comme paramètre

b)- effet de V_{ds} avec V_{gs} comme paramètre

Afin de montrer l'effet considérable de la polarisation sur le bruit, des résultats similaires sont représentés d'une autre manière sur la figure **II.13-b**. En zone linéaire le bruit augmente avec la polarisation du drain. Puis il augmente faiblement dans la région non linéaire. Il est à noter que d'autres mesures sont effectuées sur des transistors NMOS de mêmes dimensions fabriqués sur la même puce. Nous avons trouvé pratiquement les mêmes comportements cités plus haut.

La figure **II.14** représente les résultats de mesures du bruit du courant drain d'un transistor PMOS de dimensions $W \times L = 25 \mu\text{m} \times 0.7 \mu\text{m}$ à la fréquence $f = 100 \text{Hz}$ et en fonction de la polarisation du transistor. Nous remarquons que le bruit du courant drain dépend fortement de la tension V_{ds} surtout dans la région de fonctionnement sous-seuil. A $V_{gs} = -0.95 \text{V}$, le courant drain mesuré pour $V_{ds} = -0.2 \text{V}$ est $I_d = -50 \text{nA}$ et pour $V_{ds} = -4 \text{V}$ on trouve $I_d = -440 \text{nA}$.

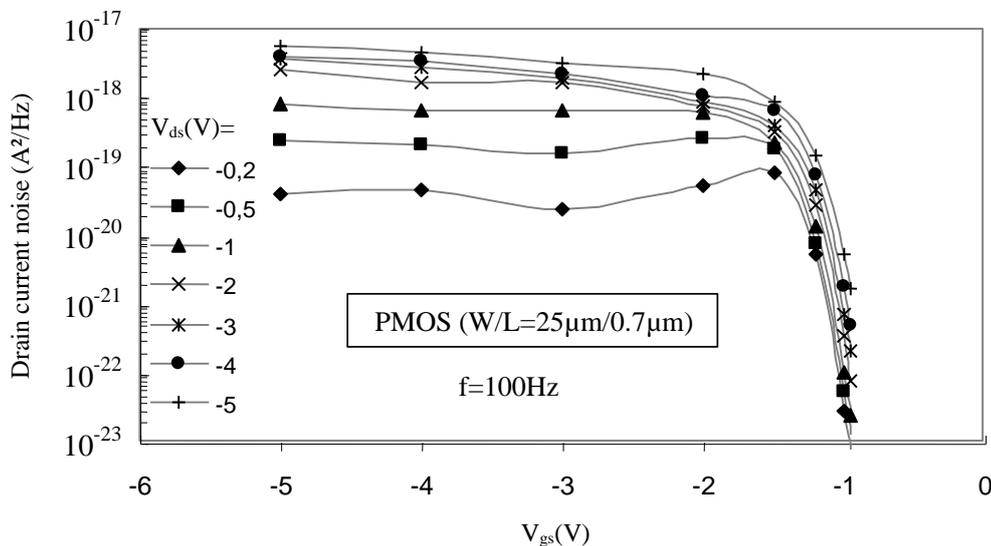


Fig. II.14 : Variations du bruit BF du courant drain du transistor PMOS ($W/L = 25 \mu\text{m}/0.7 \mu\text{m}$) en fonction de V_{gs} et V_{ds} .

D'après les figures **II.13** et **II.14**, nous constatons que les transistors NMOS sont plus bruyants que les transistors PMOS. Ceci peut être attribué au fait que l'émission des trous à travers une barrière de potentiel à l'interface Si/SiO_2 est moins probable que celle des électrons. Aussi, la différence entre les mobilités des électrons et des trous résulte des fluctuations différentes de la mobilité de surface.

La figure **II.15** présente les résultats de mesures du bruit BF du courant drain d'un transistor PMOS de géométrie réduite $W \times L = 1 \mu\text{m} \times 0.7 \mu\text{m}$. Les mesures sont effectuées en mode de fonctionnement sous-seuil et aussi en mode de forte inversion.

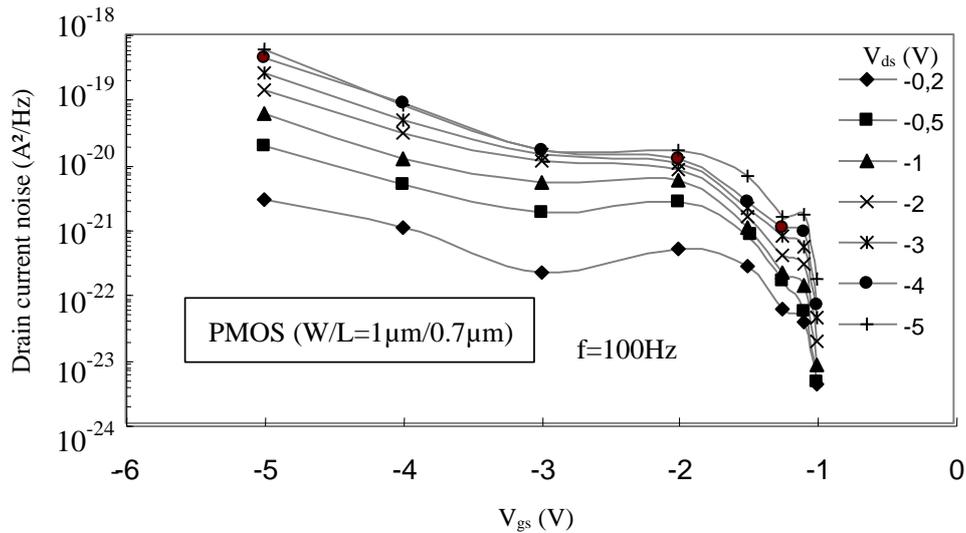


Fig. II.15 : Variations du bruit BF du courant drain du transistor PMOS ($W/L=1\mu\text{m}/0.7\mu\text{m}$) en fonction de V_{gs} et V_{ds} .

Pour $V_{ds}=-0.2\text{V}$, nous avons mesuré le courant drain pour différentes valeurs de V_{gs} . Les valeurs obtenues sont groupées dans le tableau **II.2**.

$-I_d$ (μA)	$-V_{gs}$ (V)
0.021	1
0.226	1.25
1.31	1.5
9.84	3

Tableau II.2 : I_d en fonction de V_{gs} pour $V_{ds}=-0.2\text{V}$ (PMOS)

L'effet de la réduction de la largeur du canal sur le bruit du courant drain est évident par comparaison des figures **II.14** et **II.15**. Contrairement aux résultats obtenus par le transistor PMOS large, le bruit BF, pour le "petit" transistor, continue à augmenter avec la tension grille pour les deux modes d'inversion (inversion faible et inversion forte).

De la même manière, la figure **II.16** représente le bruit BF d'un transistor NMOS de géométrie $W \times L=1\mu\text{m} \times 0.7\mu\text{m}$ en fonction des variables V_{gs} et V_{ds} et pour une fréquence fixe de 300Hz.

L'examen de ces courbes montre qu'en mode de faible inversion et de forte inversion, le bruit BF augmente sensiblement avec V_{gs} dans les deux régions de fonctionnement linéaire et non

linéaire. On peut aussi noter que ce bruit dépend faiblement de la tension drain dans la zone de saturation.

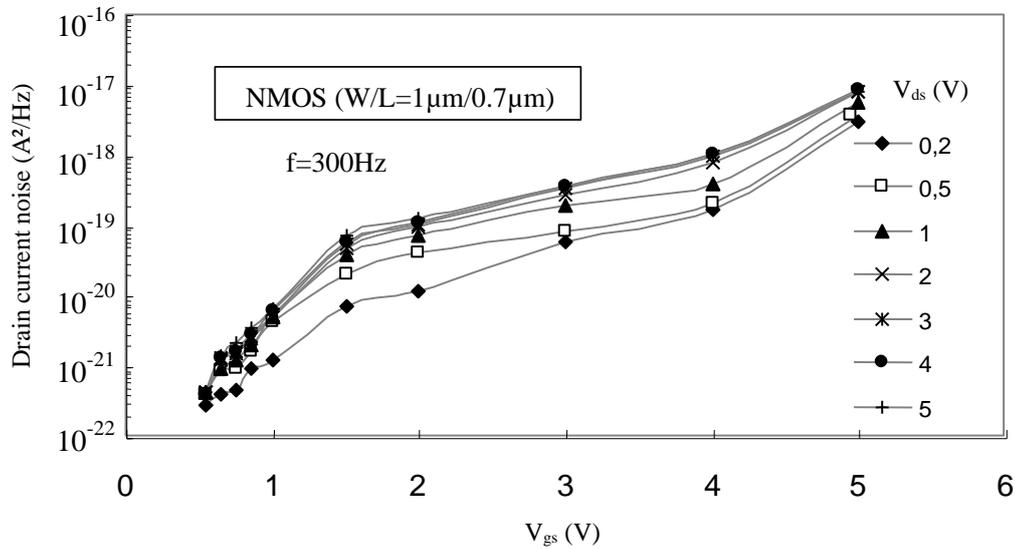


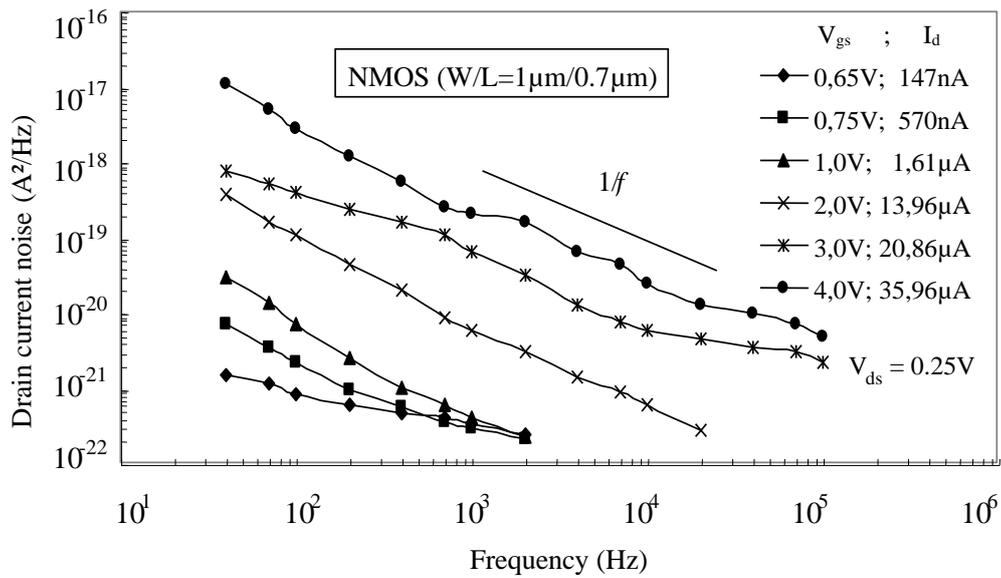
Fig. II.16 : le bruit BF du courant drain du transistor NMOS ($W/L=1\mu\text{m}/0.7\mu\text{m}$) en fonction de V_{gs} et V_{ds} .

Le tableau **II.3** représente les valeurs du courant drain mesuré pour $V_{ds}=0.2\text{V}$ et pour plusieurs valeurs de V_{gs} .

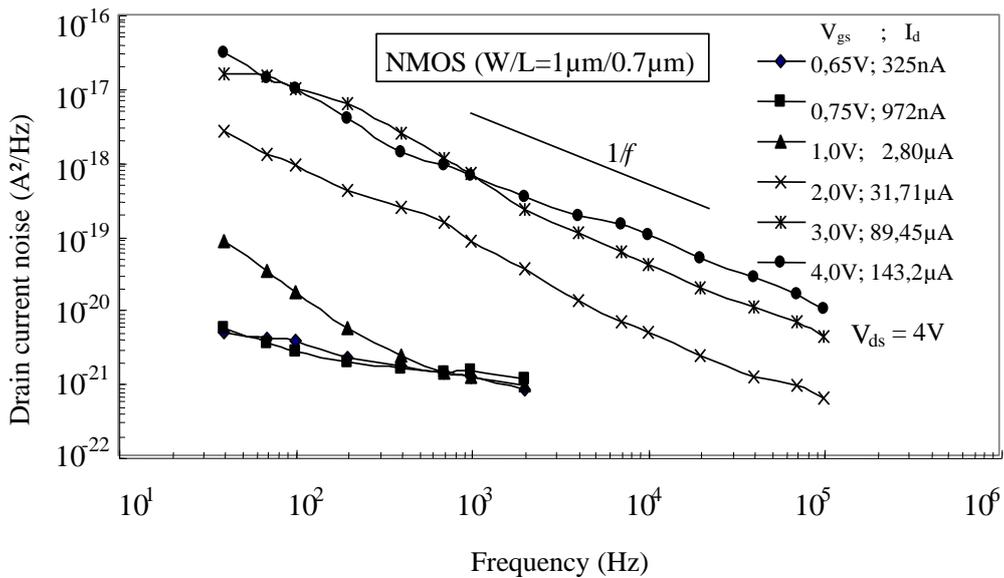
I_d (μA)	V_{gs} (V)
0.126	0.55
0.302	0.65
0.543	0.75
1.43	1
4.90	1.5
11.01	2

Tableau II.3 : I_d en fonction de V_{gs} pour $V_{ds}=0.2\text{V}$ (NMOS)

La figure **II.17** représente l'évolution des spectres de la densité spectrale du bruit BF du transistor NMOS ($W \times L=1\mu\text{m} \times 0.7\mu\text{m}$). Le transistor fonctionne en linéaire ($V_{ds}=0.25\text{V}$) et non linéaire ($V_{ds}=4\text{V}$), en mode de faible inversion et forte inversion.



-a-



-b-

Fig. II.17 : Spectres du bruit BF d'un NMOS ($W/L=1\mu\text{m}/0.7\mu\text{m}$) opérant
a- dans la zone linéaire, b- dans la zone non linéaire

Cette figure montre qu'en forte inversion les spectres sont relativement de type $1/f$. Ceci est dû à la présence d'un nombre important de pièges actifs. Au fur et à mesure que la tension de la grille V_{gs} diminue, le nombre des RTSs diminue. Ainsi, les spectres montrent la présence d'un nombre fini des Lorentziens élémentaires. Ceci peut apparaître évident par la mesure du bruit BF dans le domaine temporel. La figure **II.18** donne un exemple de bruit RTS mesuré

pour $V_{ds}=0.1V$ et à $V_{gs}=0.75$. Ces signaux sont caractérisés par des niveaux de transition différents et avec des durées différentes. Donc il existe deux ou trois pièges actifs à l'interface Si/SiO₂ caractérisés par des constantes de temps et/ou des énergies d'activation différentes. L'examen des figures II.17 et II.18 montre que le spectre des transistors submicroniques sont composés d'une superposition de quelque Lorentzians élémentaires.

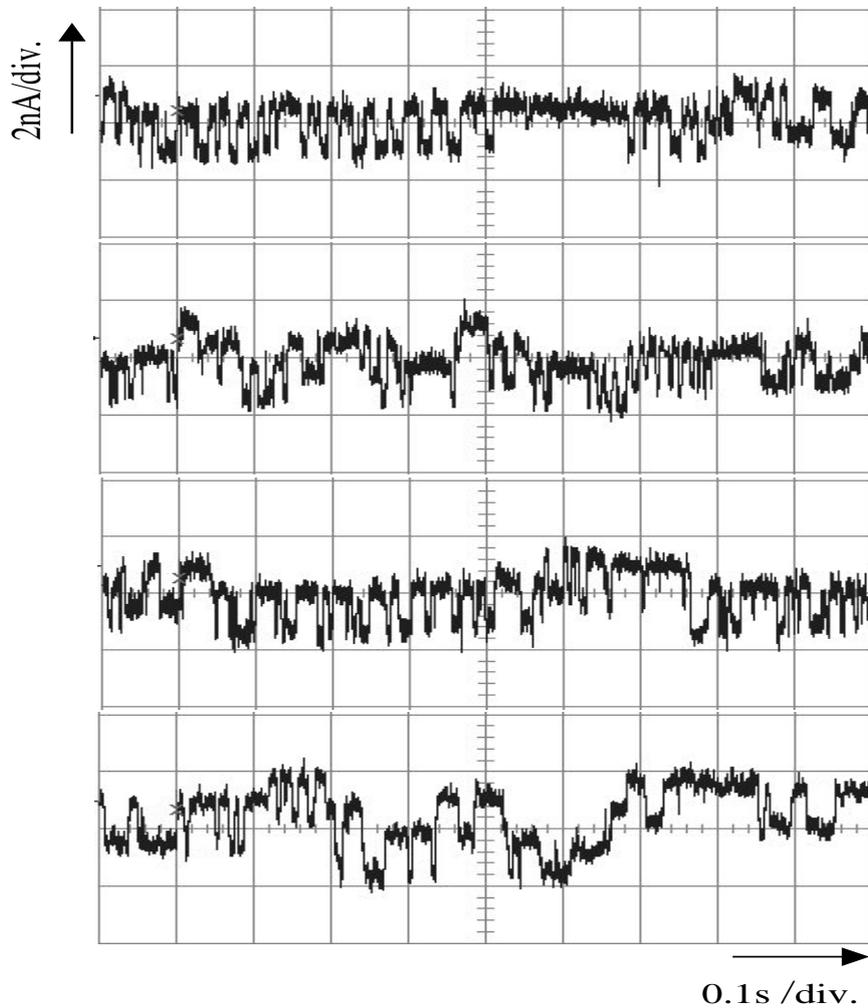


Fig. II.18 : bruit RTS mesuré à $V_{ds}=0.1V$ et $V_{gs}=0.75V$ pour un transistor submicronique ($W/L=1\mu m/0.7\mu m$)

II – 5 – Conclusion

Nous avons essayé de trouver un modèle mathématique permettant d'étudier le comportement en bruit des MOSFETs submicroniques. Il s'est avéré qu'il est difficile de formuler un seul modèle caractérisant le bruit dans les dispositifs de petites dimensions. Cependant, il est intéressant d'analyser le bruit associé au composant pour chaque mode d'inversion (faible inversion, inversion modérée et forte inversion). Nous avons montré que

l'origine physique du bruit $1/f$ est considérée comme étant les fluctuations du nombre de porteurs de charges du canal corrélées avec celles de la mobilité de surface.

Le banc de mesures établi a permis d'étudier le bruit BF des transistors MOS fabriqués par une technologie submicronique ($W/L=25\mu\text{m}/0.7\mu\text{m}$ et $W/L=1\mu\text{m}/0.7\mu\text{m}$). Il est à noter que la densité spectrale de puissance du bruit BF associée au transistor dépend fortement de la polarisation. Les mesures effectuées sur les MOS de petites dimensions permettent de conclure que le bruit basse fréquence peut être considéré comme la somme des bruits générés par des RTS individuels. Plusieurs auteurs [2, 23] montrent que si on réduit davantage la longueur du canal, alors le bruit basse fréquence est de type RTS dont le spectre est purement Lorentzien (voir figure II.18) pour deux ou trois pièges actifs à l'interface Si/SiO₂. D'un autre côté, les applications à faible consommation nécessitent des transistors ayant de faible tension seuil ($\text{Low-}V_T$), ce qui favorise le bruit RTS. Ce phénomène est intéressant pour les capteurs d'images CMOS car il peut réduire l'utilisation des circuits d'échantillonnage à corrélation double.

II – 6 – Références bibliographiques

- [1] M. H. Tsai and T. P. Ma, "The impact of device scaling on the current fluctuations in MOSFET's", IEEE Trans. on Electron Devices, vol. 41, n° 11, November 1994, pp. 2061-2068.
- [2] E. Simoen and C. Claeys, "On the flicker noise in submicron silicon MOSFETs", Solid-state Electronics, vol. 43, 1999, pp. 865-882.
- [3] Y. Tsvetkov, Operation and Modeling of the MOS transistor, Singapore : McGraw-Hill 1999.
- [4] C.C. ENZ, et al., "Analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low current applications", Analog Integrated Circuits and Signal Processing, Vol. 8, July 95, pp. 83-114.
- [5] Scott T. Martin, et al., "The gate bias and geometry dependence of random telegraph signal amplitudes", IEEE Trans. on Electron Devices Letters, vol. 18, n° 9, Sep. 1997, pp. 444-446.
- [6] T. Ando, A. B. Fowler and F. Stern, "Electronic properties of 2D systems", Rev. Mod. Phys., Vol. 54, April 1982, pp. 437-472.
- [7] T. Boutchacha, et al., "Study of low frequency noise in the 0.18 μm silicon CMOS Transistors", Proceeding of IEEE, 1999 Int. Conference on Microelectronic Test Structures, Vol. 12, March 1999, pp. 84-88.
- [8] G. GHIBAUDO, et al., "Impact of Scaling Down on Low Frequency Noise in Silicon MOS Transistors", Phys. State Sol. (a) 132, 1992, pp. 501-507.

- [9] T. Boutchacha and G. GHIBAUDO, "Low frequency noise characterization of 1.8 μ m Silicon CMOS transistors", Phys. State Sol. (a) 167, 1998, pp. 261-270.
- [10] M. J. Kirton, et al., "Individual defects at the Si/SiO₂ interface", Semiconductor Sci. Tech. 4, 1989, pp. 1116-1126.
- [11] H. BELAHRACH, et al., "Low frequency noise measurements on submicrometer n and p-channel MOSFET's at various operating regions", International Journal of Electronics, 2001, vol. 88, N° 4, pp. 411-421.
- [12] A. L. McWhorter, "1/f noise and germanium surface properties", In R. H. Kingston (ed), Semiconductor surface physics (Philadelphia: university of Pennsylvania Press), 1957, pp. 207-228.
- [13] F. N. Hooge, "1/f noise", Physica B, 83, 1976, pp. 14-23.
- [14] F. N. Hooge, "1/f noise sources", IEEE Transaction on Electron Devices, vol. 41, n° 11, November 1994, pp.1926-1935.
- [15] Proc. of 14-th Int. Conf. Noise in physical systems and 1/f fluctuations, Leuven, Belgium, 14-18 July 1997, C. Claeys and E. Simoen, Eds, World Scientific, 1997.
- [16] Brian K. Jones, "Low frequency noise Spectroscopy", IEEE Trans. on Electron Devices, vol. 41, n° 11, November 1994, pp. 2188-2197.
- [17] A. PACELLI, et al., "Quantum effects on the extraction of MOS oxide traps by 1/f noise measurements", IEEE Trans. on Electron Devices, vol. 46, n° 5, 1999, pp. 1029-1035.
- [18] R. P. Jindal and Van der Ziel, "Carrier fluctuation noise in MOSFET channel due to traps in the oxide", Solid - State Electron., Vol. 21, 1978, pp. 901-903.
- [19] A. van der Ziel, Noise in Solid State Devices and Circuits, New York : Wiley-1986.
- [20] S. Christenson, et al., "Low frequency noise in MOSFET transistors (I) Theory", Solid - State Electron., Vol. 11, 1968, pp. 797-
- [21] Soharli Tedja, et al., "Analytical and experimental studies of thermal noise in MOSFETs", IEEE Trans. on Electron Devices, vol. 41, n° 11, November 1994, pp. 2069-2074.
- [22] G. REIMBOLD and P. GENTIL, "White noise of MOS transistors operating in weak inversion", IEEE Trans. on Electron Devices, vol. ED 29, n° 11, November 1982, pp. 1722-1725.
- [23] K. K. Hung, et al., "Random Telegraph Noise of Deep-Submicrometer MOSFET's", IEEE Trans. on Electron Devices Letters, vol. 11, n° 2, February 1990, pp. 90-92.
- [24] <http://www.burr-brown.com/download/pspice>.
- [25] H. BELAHRACH, et al., "Low-frequency Noise Modelling and Measurements in submicrometer MOSFETs Processed in 0.7 μ m CMOS Technology", accepted for publication in the AMSE Journals, (July 2001).

CHAPITRE III

**MODELISATION ET SIMULATION DES
SOURCES DE BRUIT DANS LES
CAPTEURS APS**

Modélisation et simulation temporelle des sources de bruit dans les capteurs APS

Pour les applications faibles flux, les performances des capteurs d'images APS sont fonctions des sources de bruit temporelles et spatiales associées aux éléments du pixel élémentaire et les composants du circuit de lecture. Les principales sources de bruit mis en jeu sont :

- bruit du transistor M_1 in - pixel (bruit blanc et bruit basse fréquence)
- bruit du photoMOS (bruit de grenaille du courant photonique et du courant d'obscurité)
- bruit KTC associé aux capacités parasites et d'échantillonnage
- bruit des transistors suiveurs (M_{R6} et M_{S6} voir figure **I.10**)

III – 1 – Modélisation des sources de bruit temporelles

III – 1 – 1 – Introduction

L'objectif de ce paragraphe est de développer une méthodologie pouvant effectuer des simulations transitoires de bruit et de traiter les différents types des sources de bruit. Il existe des méthodes basées sur l'intégration d'un système d'équations différentielles avec des termes stochastiques lourds et compliqués [19]. Il semble intéressant de développer une méthode pratique et efficace qui génère des sources de bruit adaptées au simulateur électrique PSPICE (très performant) et permettant d'effectuer une simulation transitoire du bruit d'un circuit. L'approche consiste à introduire des sources temporelles de bruit dans les composants bruyants puis effectuer des simulations transitoires du circuit afin d'obtenir l'effet de ces sources sur les signaux de sortie. Les sources introduites doivent représenter le bruit physique généré par les composants en temps réel, dont les caractéristiques sont fournies par les modèles de densités spectrales de puissance (DSP). En régime transitoire, la polarisation des composants actifs varie parfois fortement faisant passer le composant d'un régime de fonctionnement à un autre. Il est donc intéressant que le bruit soit correctement modélisé en fonction de la polarisation.

En général, la représentation spectrale de puissance de bruit est fonction du temps et peut s'écrire de la façon suivante [1] :

$$\Psi(f,t) = M(t).S(f) \quad (\text{III.1})$$

avec $M(t)$ est la fonction de modulation de la densité spectrale de puissance $S(f)$.

Dans le cas d'un système stationnaire (polarisation fixe), la fonction $\Psi(f,t)$ se réduit à la DSP normale $S(f)$.

De manière générale, un système bruyant peut se mettre sous la forme d'un quadripôle linéaire. Ce dernier peut être remplacé par un quadripôle identique idéal (non bruyant) associé à deux sources de bruit, une source de tension en série v_n et une source de courant en parallèle i_n , placées sur l'entrée du quadripôle (figure III.1) [3].

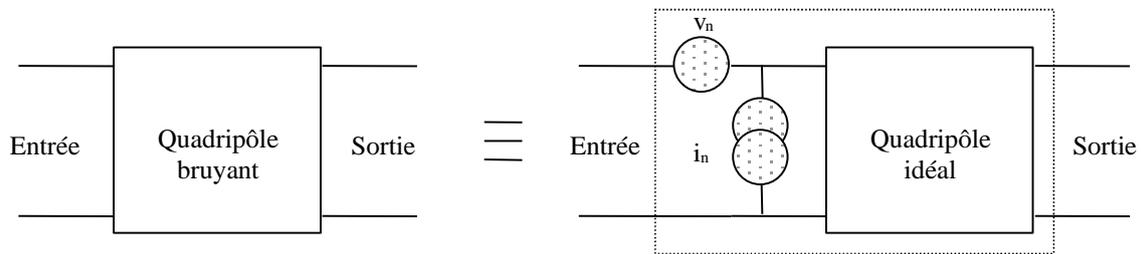


Fig. III.1 : Représentation équivalente d'un quadripôle bruyant

En général, les deux sources de bruit v_n et i_n sont corrélées. Par simplification et parce que l'erreur résultante dû à la corrélation est faible [2, 3], les deux sources v_n et i_n sont considérées non corrélées. La représentation temporelle de la DSP en courant $S_i(f)$ (ou en tension $S_v(f)$) est considérée comme un signal stationnaire $i_{bn}(t)$ (ou $v_{bn}(t)$). En régime transitoire et suivant les caractéristiques de $\Psi(f,t)$, le bruit en courant (ou en tension) peut être mis sous la forme d'un signal modulé en amplitude [4, 5] :

$$i_n(t) = m(t) \cdot i_{bn}(t) \quad \text{ou} \quad v_n(t) = m(t) \cdot v_{bn}(t) \quad (\text{III.2})$$

Nous considérons que le bruit est localement stationnaire, autrement dit, nous supposons que le régime transitoire est équivalent à une succession d'états d'équilibre, et que la fonction $m(t)$ dépend uniquement de la polarisation à l'instant t .

III – 1 – 2 – Génération des sources de bruit

Dans une simulation transitoire d'un circuit, des signaux aléatoires représentant le bruit physique des éléments de ce circuit doivent être générés. Le signal temporel aléatoire généré est fonction, à chaque instant, de la densité spectrale de puissance définie par un modèle régissant le type du bruit mis en jeu. La puissance de ce signal, doit être compatible avec la DSP définie par ce modèle. Dans le domaine temporel, le bruit physique généré par les dispositifs est aléatoire en fonction du temps. L'objectif de ce paragraphe est de générer le courant $i_n(t)$ ou la tension $v_n(t)$ de bruit à partir d'une somme de N_s sinusoïdes :

$$b_n(t) = \sum_{k=1}^{N_s} \alpha_k \sin(2\pi f_k t + \varphi_k) \quad (\text{III.3})$$

Les caractéristiques de ce signal de bruit dépendent des amplitudes α_k , des fréquences f_k et des phases φ_k de chaque sinusoïde.

Afin de déterminer les caractéristiques du signal de bruit, on s'intéresse aux propriétés statistiques des signaux de bruit considérés aléatoires et stationnaires (moyenne, corrélation, ...).

La fonction de corrélation $R_{nn}(\tau)$ du bruit $b_n(t)$ est par définition donnée par [6] :

$$\begin{aligned} R_{nn}(\tau) &= E[b_n(t)b_n(t+\tau)] = \lim_{T \rightarrow \infty} \frac{1}{2T} \int_{-T}^T b_n(t)b_n(t+\tau) dt \\ &= \sum_{k=1}^{N_s} \frac{\alpha_k^2}{2} \cos(2\pi\tau f_k) \end{aligned} \quad (\text{III.4})$$

avec $E[x(t)]$ est l'espérance mathématique ou la moyenne du signal aléatoire $x(t)$.

Soit $S_n(f)$ la densité spectrale de puissance du signal de bruit $b_n(t)$, d'après le théorème de Wiener – Khinchine, $S_n(f)$ est la transformée de Fourier de la fonction de corrélation $R_{nn}(\tau)$ de $b_n(t)$:

$$\begin{aligned} S_n(f) &= \int_{-\infty}^{+\infty} R_{nn}(\tau) e^{-j2\pi f\tau} d\tau \quad f \in \mathfrak{R} \\ R_{nn}(\tau) &= \int_{-\infty}^{+\infty} S_n(f) e^{+j2\pi f\tau} df \quad \tau \in \mathfrak{R} \end{aligned} \quad (\text{III.5})$$

En pratique nous définissons la densité spectrale unilatérale $S(f)$ en fonction de celle $S_n(f)$ bilatérale par :

$$S(f) = \begin{cases} 0 & \text{pour } f < 0 \\ 2S_n(f) & \text{pour } f > 0 \\ S_n(0) & \text{pour } f = 0 \end{cases} \quad (\text{III.6})$$

La valeur en zéro de la fonction de corrélation $R_{nn}(0)$ donne la puissance moyenne du signal $b_n(t)$. Pour un processus stationnaire, la puissance temporelle et la puissance spectrale d'un signal aléatoire $b_n(t)$ sont reliées entre elles par la relation de Parseval [7, 8] :

$$\overline{b_n^2} = \int_{-\infty}^{+\infty} S_n(f) df = \lim_{T \rightarrow \infty} \frac{1}{2T} \int_{-T}^{+T} b_n^2(t) dt \quad (\text{III.7})$$

La génération des sources de bruit dépend des paramètres φ_k , α_k et f_k . Ces derniers peuvent être déduits des fonctions citées plus haut.

a – Choix des phases φ_k

Nous considérons qu'à l'instant t les caractéristiques du bruit ne dépendent que de la polarisation instantanée du composant. Nous supposons aussi qu'à l'instant $t=0$ la valeur du bruit ne sera pas forcément nulle. Ainsi, les phases φ_k des sinusoides seront choisies aléatoirement entre 0 et 2π avec une répartition uniforme.

b – Détermination des amplitudes α_k

Soit P_{Af} la puissance spectrale disponible dans un intervalle de fréquence $[f_b, f_h]$ donnée par :

$$P_{\Delta f} = \int_{f_b}^{f_h} S_n(f) df \quad (\text{III.8})$$

Soit $P_{\Delta t}$ la puissance temporelle du signal $b_n(t)$ généré (relation III.4) :

$$P_{\Delta t} = R_{nn}(0) = \sum_{k=1}^{N_s} \frac{\alpha_k^2}{2} \quad (\text{III.9})$$

La bande de fréquence $[f_b, f_h]$ est partagée en N_s tranches de fréquences $\Delta f_k = f_k - f_{k-1}$. Ainsi, pour que $P_{\Delta f}$ et $P_{\Delta t}$ soient égales, les amplitudes α_k sont calculées à partir de l'intégrale de la densité spectrale $S_n(f)$ sur la bande Δf_k :

$$\alpha_k = \sqrt{2 \int_{\Delta f_k} S_n(f) df} \quad (\text{III.10})$$

La relation précédente montre que les amplitudes α_k dépendent des intervalles de fréquences Δf_k et de l'expression de la DSP du bruit $b_n(t)$.

c – Choix des fréquences f_k

En réalité, le bruit généré par les dispositifs présente une puissance située dans une certaine bande de fréquences. Cette puissance est répartie dans toute la bande. La discrétisation de la densité spectrale de puissance du bruit (figure III.2) aura pour effet de localiser la puissance dans des tranches fréquentielles particulières.

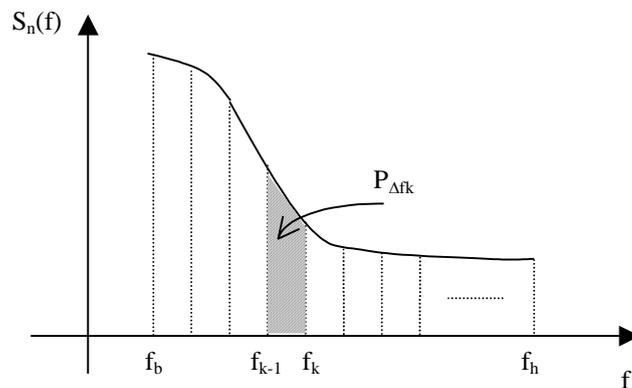


Fig. III.2 : Discrétisation de la DSP du bruit $b_n(t)$

En augmentant le nombre des sinusoïdes, les sources générées seront plus représentatives du bruit des dispositifs, et par suite la puissance de chaque sinusoïde diminuera relativement par rapport à la puissance totale. On choisit une répartition uniforme de la puissance entre chaque sinusoïde. Donc, la forme du spectre (bruit blanc, bruit $1/f$, bruit RTS,...) va permettre de fixer la distribution des fréquences f_k dans la bande $[f_b, f_h]$.

1 – Cas du bruit blanc :

Soit un bruit blanc de DSP $S_n(f)=S_0$. Les amplitudes α_k et les fréquences f_k des sinusoïdes sont données par :

$$\alpha_k = \sqrt{2S_0 \Delta f_k} \quad (\text{III.11})$$

$$f_k = f_{k-1} + \Delta f_k \quad (\text{III.12})$$

avec $\Delta f_k = \frac{f_h - f_b}{N_s}$

2 – Cas du bruit 1/f :

Soit le bruit 1/f de DSP $S_n(f)=S_0/f$. Les amplitudes α_k et les fréquences f_k des sinusoïdes sont choisies de la manière suivante :

$$\alpha_k = \sqrt{2S_0 \ln(\Delta \xi)} \quad (\text{III.13})$$

$$f_k = f_{k-1} \Delta \xi \quad (\text{III.14})$$

avec $\Delta \xi = \left(\frac{f_h}{f_b} \right)^{1/N_s}$

3 – Cas du bruit RTS :

Le spectre du bruit RTS est supposé composé d'un seul "Lorentzien" de densité spectrale de puissance :

$$S_n(f) = \frac{A_0}{1 + (f/f_0)^2} \quad (\text{III.15})$$

Les amplitudes α_k et les fréquences f_k des sinusoïdes sont données par :

$$\alpha_k = \sqrt{2A_0 f_0 \Delta \theta} \quad (\text{III.16})$$

$$f_k = f_0 \operatorname{tg}[\operatorname{arctg}(f_{k-1}/f_0) + \Delta \theta] \quad (\text{III.17})$$

avec $\Delta \theta = \frac{1}{N_s} [\operatorname{arctg}(f_h/f_0) - \operatorname{arctg}(f_b/f_0)]$ et f_0 la fréquence de coupure du Lorentzien.

Afin d'assurer la décorrélation des deux sources de bruit générées à partir de la même densité spectrale de puissance, il faut que les fréquences des sinusoïdes soient différentes. Ces fréquences seront choisies aléatoirement dans les N_s tranches de fréquences. Dans une tranche Δf_k , la densité de probabilité de la variable aléatoire X fixant la position d'une fréquence va être fonction de la forme de la DSP. On considère que X est une variable aléatoire de densité de probabilité uniforme entre 0 et 1. En effet, pour:

- le bruit blanc

$$f_{Sk} = f_{k-1} + \Delta f X_k \quad (\text{III.18})$$

- le bruit 1/f

$$f_{Sk} = f_{k-1} (\Delta \xi)^{X_k} \quad (\text{III.19})$$

- le bruit RTS

$$f_{Sk} = f_0 \operatorname{tg} [\operatorname{arctg}(f_{k-1} / f_0) + \Delta \theta X_k] \quad (\text{III.20})$$

La méthode présentée est utilisée dans le simulateur PSPICE et permet de générer des signaux temporels de bruit et de les utiliser dans une simulation transitoire des circuits. Les contributions temporelles des différentes sources du bruit sont observées à la sortie du circuit. Le bruit se trouve superposé avec le signal utile ; mais en général l'amplitude du signal de bruit est très faible devant le signal informatif. Pour séparer le bruit du signal utile, on effectue deux simulations : l'une en absence des sources de bruit et l'autre en présence de ces dernières, puis à l'aide de l'éditeur graphique du PSPICE on fait une soustraction des deux résultats de la simulation.

La première étape de construction d'une source de bruit dans le domaine temporel consiste à trouver une variable aléatoire X . D'une manière générale, la moyenne m_X et l'écart type σ_X de la variable aléatoire X sont inconnus dans un processus. Nous pouvons les calculer à partir des relations suivantes :

$$m_X = \frac{1}{N_s} \sum_{k=1}^{N_s} X_k \quad (\text{III.21-a})$$

$$\sigma_X^2 = \frac{1}{N_s} \sum_{k=1}^{N_s} (X_k - m_X)^2 \quad (\text{III.21-b})$$

Dans le cas où $\sigma_X \neq 1$ et $m_X \neq 0$, on utilise une transformation permettant de trouver un écart type $\sigma_Y = 1$ et une moyenne $m_Y = 0$. Donc on construit une nouvelle variable aléatoire Y définie par :

$$Y_k = \frac{X_k - m_X}{\sigma_X} \quad (\text{III.22})$$

Le circuit PSPICE est basé d'une part sur une somme des sources sinusoïdales (figure **III.3-a**) dont les fréquences sont choisies dans une répartition uniforme. Leurs valeurs sont calculées préalablement à l'aide d'un logiciel permettant de générer des variables aléatoires de moyenne nulle et d'écart type égale à 1 (exemple du logiciel Excel). De l'autre côté, on utilise

l'option modélisation comportementale du PSPICE pour contrôler le signal de bruit généré à l'entrée (figure III.3-b).

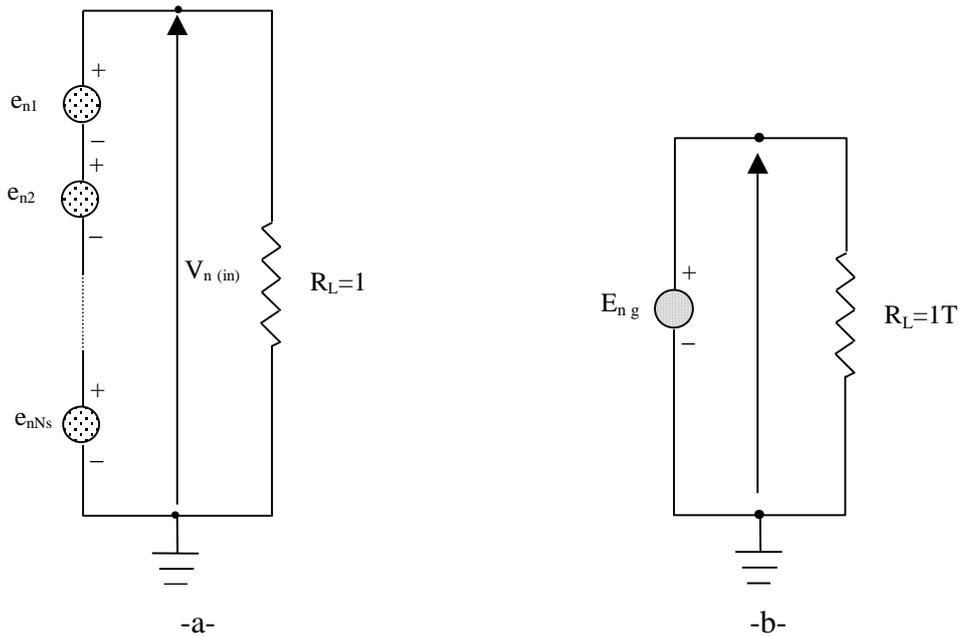


Fig. III.3 : a) Représentation PSPICE de la somme des sources sinusoïdales dont la fréquence et la phase varient aléatoirement. b) Circuit permettant de fixer l'amplitude souhaitée de la source de bruit d'entrée.

```

*-----*
*          générateur de bruit temporel          *
*-----*
Eng out 0 1 0 1
Rl2 out 0 1T
Rl1  1 0 1
Xnoise 1 0 gen_nois
*-----*
.subckt gen_nois np nn
*-----*
.param ; pour définir les paramètres des      sinusoides
.Inc <nom du fichier>; fichier Excel

Vn1  np  1    sin(0 {a0} {f1}  0 0 {φ1})
Vn2   1  2    sin(0 {a0} {f2}  0 0 {φ2})
.
.
VnNs  Ns-1 nn sin(0 {a0} {fNs}  0 0 {φNs})
*-----*
.ends ; fin du sous-circuit
*-----*
*          commandes de la simulation          *
*-----*
.lib
.probe
.tran T0 Tstop Ti Ts
.end; fin du circuit générateur de bruit

```

Fig. III.4 : Fichier circuit d'une source de bruit dans le domaine temporel

Le fichier circuit (figure III.4) des simulations transitoires du bruit est constitué par un sous-circuit décrivant la mise en série des sources sinusoïdales dont les fréquences f_k et les phases α_k sont calculées préalablement par le logiciel Excel. Les valeurs de f_k et α_k sont regroupées dans un fichier et exploitées par la commande **.Inc** <nom du fichier> du simulateur PSPICE.

III – 1 – 3 – Valeur efficace du signal bruit

Une des caractéristiques particulièrement utile pour définir le bruit est la valeur efficace $v_{n\text{eff}}$ du signal $v_n(t)$:

$$v_{n\text{eff}}^2 = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T v_n^2(t) dt \quad (\text{III.23})$$

La quantité T représente la durée d'observation du signal, elle doit être infinie. Comme cela n'est pas applicable en pratique, nous pouvons utiliser la moyenne statistique du signal. La valeur efficace du signal est estimée à partir d'une moyenne d'événements. Chaque événement correspond à la valeur du bruit à un instant t_0 de chaque simulation transitoire. Nous considérons N simulations transitoires identiques du même circuit avec des valeurs différentes des sources de bruit entre chaque simulation.

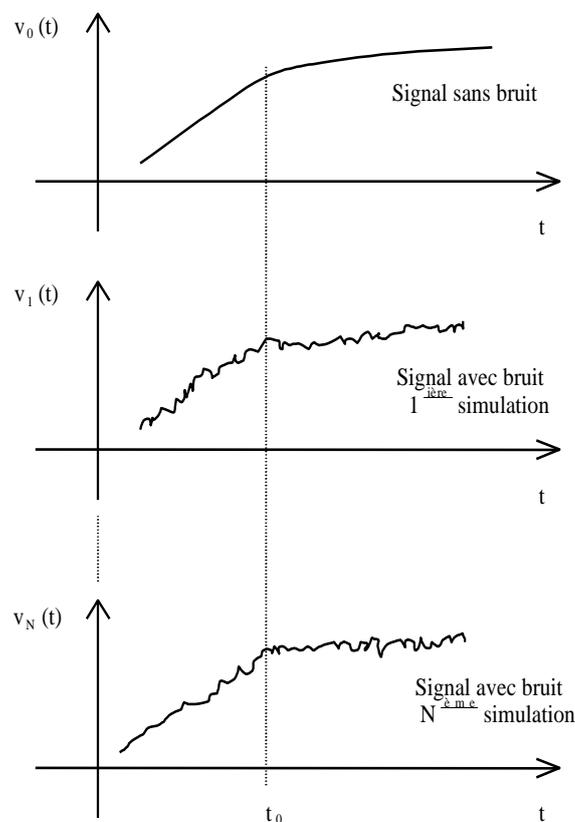


Fig. III.5 : Illustration des informations pour l'estimation de $v_{n\text{eff}}$ du bruit à partir de N simulations transitoires.

Les résultats des valeurs efficaces de bruit des différentes simulations sont obtenus sous la forme de courbes qui fluctuent autour d'une valeur moyenne (figure **III.5**). On suppose que cette valeur moyenne étant le résultat de simulation sans sources de bruit. On définit la précision des résultats de bruit comme l'écart type des fluctuations rapportées à cette valeur moyenne.

Considérons le cas d'un signal de bruit v_n composé d'une somme de N_s sinusoïdes de même amplitude a_0 . Soit X_i une variable aléatoire de répartition uniforme entre 0 et 2π , et Y_i la variable aléatoire correspondant au signal de bruit, soit :

$$Y_{N_s} = \sum_{i=1}^{N_s} a_0 \sin(X_i) \quad (\text{III.24})$$

Soit Z_N la variable aléatoire correspondant à la valeur efficace du bruit à évaluer :

$$Z_N = \frac{1}{N} \sum_{k=1}^N (Y_{N_s})_k^2 \quad (\text{III.25})$$

La valeur moyenne de la variable aléatoire Z_N est donnée par (Annexe **A.III.1**):

$$\overline{Z_N} = \frac{N_s}{2} a_0^2 \quad (\text{III.26})$$

La variance caractérisant l'erreur entre Z_N et $\overline{Z_N}$ est définie par :

$$\sigma^2 = \overline{(Z_N - \overline{Z_N})^2} \quad (\text{III.27})$$

Comme les variables X_i sont indépendantes, on peut montrer que (Annexe **A.III.1**) :

$$\sigma^2 = \frac{a_0^4}{N} \left(\frac{5}{4} N_s^2 - \frac{9}{8} N_s \right) \quad (\text{III.28})$$

On définit ζ l'erreur relative caractérisant les fluctuations Z_N et $\overline{Z_N}$, par :

$$\zeta = \frac{\sigma}{\overline{Z_N}} = \frac{1}{\sqrt{N}} \sqrt{5 - \frac{9}{2N_s}} \quad (\text{III.29})$$

La représentation graphique des variations de ζ en fonction du nombre de simulations et du nombre des sinusoïdes constituant le signal de bruit, est donnée sur la figure **III.6**.

D'après ces résultats on constate que l'erreur relative ζ est inversement proportionnelle à la racine carrée de N . Ainsi, lorsque le nombre de sinusoïdes N_s est supérieur à 5, l'influence de N_s devient négligeable. Il est évident que plus le nombre de sinusoïdes est élevé plus les sources de bruit seront représentatives et donc meilleur en sera l'estimation de la valeur efficace.

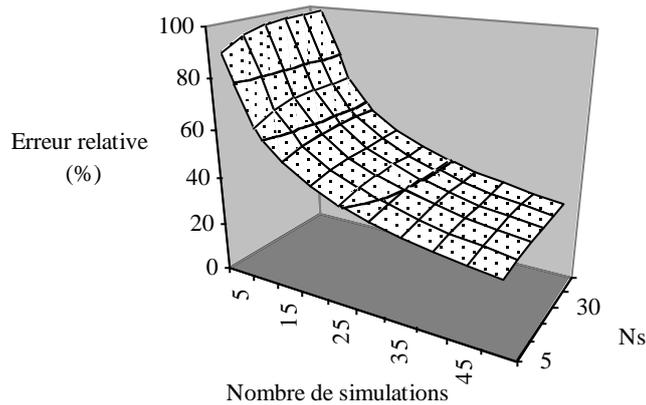


Fig. III.6 : Erreur relative en fonction du nombre de simulations et du nombre de sinusoïdes

La méthode de génération des sources de bruit dans le domaine temporel va permettre d'étudier le comportement du pixel vis à vis du bruit durant les différentes étapes de fonctionnement à savoir la phase d'intégration, celle de remise à zéro et l'étape de la lecture.

III – 2 – Bruit temporel associé au pixel actif pendant l'intégration

Durant la période d'intégration, les photo – électrons générés sont collectés à la surface (près de l'interface SiO_2/Si). Pendant cette opération, le signal d'entrée est constitué du courant photonique I_{ph} , du courant d'obscurité I_{dark} , et du bruit de grenaille i_n (shot noise). Ce dernier est associé aux variations aléatoires du nombre d'électrons intégrés dans la diode flottante. En négligeant le bruit associé au transistor de transfert M_{TX} (on suppose que la durée de transfert des charges est très faible devant celle d'intégration), le circuit équivalent permettant d'étudier le bruit temporel pendant l'intégration est donné sur la figure III.7 [9,10].

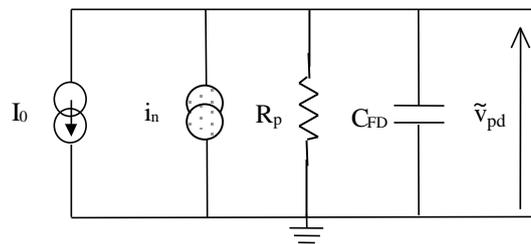


Fig. III.7 : Circuit équivalent au pixel pendant l'intégration

La résistance R_p représente la résistance de fuite de très grande valeur, la source de courant I_0 est supposée constante (le flux lumineux est considéré constant), la source temporelle de bruit associé au bruit de grenaille est modélisée par la méthode décrite au paragraphe précédent.

Dans le domaine temporel, la loi des nœuds appliquée au circuit de la figure **III.7** entraîne la relation suivante :

$$\tilde{i}_{pd}(t)dt + C_{FD}(\tilde{v}_{pd}(t))d\tilde{v}_{pd}(t) = 0 \quad (\text{III.30})$$

avec

$$\tilde{v}_{pd}(t) = v_{pd}(t) + v_n(t) \text{ et } \tilde{i}_{pd}(t) = I_{ph}(t) + I_{dark}(t) + i_n(t) \quad (\text{III.31})$$

où $v_{pd}(t)$ est la tension de sortie et $v_n(t)$ est le bruit en tension en sortie.

Pour tenir en considération la non linéarité de la capacité C_{FD} , le modèle d'une jonction abrupte a été utilisé [11] :

$$C_{FD}(v_{pd}) = \frac{C_0}{\sqrt{I + \frac{v_{pd}}{\phi_0}}} \quad (\text{III.32})$$

En supposant que le bruit est faible devant le signal utile, l'équation (III.30) peut être réécrite sous la forme suivante :

$$\frac{dv_{pd}}{dt} + \frac{dv_n}{dt} + \frac{I I_{ph}(t) + I_{dark}(t) + i_n(t)}{2(\phi + v_{pd}(t))C_{FD}(v_{pd}(t))}v_n(t) + \frac{I_{ph}(t) + I_{dark}(t) + i_n(t)}{C_{FD}(v_{pd}(t))} = 0 \quad (\text{III.33})$$

Après avoir effectué des approximations, la partie déterministe de l'équation (III.30) peut se mettre sous la forme suivante :

$$\frac{dv_{pd}}{dt} + \frac{I_{ph}(t) + I_{dark}(t)}{C_{FD}(v_{pd}(t))} = 0 \quad (\text{III.34})$$

On admet que le courant photonique et le courant d'obscurité restent constants durant la période de l'intégration.

On pose : $I_0 = I_{ph} + I_{dark}$.

Ainsi, en remplaçant C_{FD} par l'équation (III.32), l'équation différentielle (III.34) devient :

$$\frac{dv_{pd}}{\sqrt{I + \frac{v_{pd}}{\phi_0}}} = -\frac{I_0}{C_0} dt \quad (\text{III.35})$$

En utilisant les conditions initiales à la sortie du pixel, la solution de l'équation (III.35) peut être exprimée sous la forme ci – dessous :

$$v_{pd}(t) = k_1 + k_2 t + k_3 t^2 \quad (\text{III.36})$$

avec

$$k_1 = V_{Ref}, k_2 = -\frac{I_0}{C_0} \sqrt{1 + \frac{V_{Ref}}{\phi_0}} \text{ et } k_3 = \frac{I}{4\phi_0} \left(\frac{I_0}{C_0} \right)^2$$

où

V_{Ref} est la tension de référence ($v_{pd}(0) = V_{Ref}$), et ϕ_0 est le potentiel de jonction.

La partie non déterministe de l'équation (III.30) peut se mettre sous la forme suivante :

$$\frac{dv_n}{dt} + f(t)v_n(t) + s(t) = 0 \quad (\text{III.37})$$

avec

$$f(t) = \frac{I}{2} \frac{I_0}{(\phi_0 + v_{pd}(t))C_{FD}(v_{pd}(t))} \text{ et } s(t) = \frac{i_n(t)}{C_{FD}(v_{pd}(t))}$$

L'utilisation des relations (III.32) et (III.35) donne :

$$f(t) = \frac{a_0}{1 - a_0 t} \text{ et } s(t) = \frac{i_n(t)}{C_{FD}(V_{Ref})} (1 - a_0 t)$$

avec $a_0 = \frac{I}{2} \frac{I_0}{C_{FD}(V_{Ref})(\phi_0 + V_{Ref})}$

Ainsi, la solution de l'équation différentielle (III.37) permet de trouver l'expression du bruit temporel à la sortie du pixel :

$$v_n(t) = (1 - a_0 t) \left[v_n(0) - \frac{1}{C_{FD}(V_{Ref})} \int_0^t i_n(y) dy \right] \quad (\text{III.38})$$

Soit $E[v_n^2(t)]$ la moyenne quadratique de $v_n(t)$. La variance du bruit de grenaille associé à I_0 peut être donnée par :

$$\overline{v_{n\text{ shot}}^2(t)} = E[v_n^2(t)] = (1 - a_0 t)^2 E[v_n^2(0)] + \frac{qI_0}{C_{FD}^2(V_{Ref})} t(1 - a_0 t)^2 \quad (\text{III.39})$$

Pour comparer les résultats théoriques avec ceux obtenus par le simulateur PSPICE, la méthode proposée au paragraphe III-1 a été introduite dans ce simulateur pour générer les signaux temporels de bruit, et de les utiliser dans une simulation transitoire du circuit équivalent au pixel pendant l'intégration (figure III.7).

Nous avons pris l'exemple suivant : $V_{Ref} = 3.5V$, $C_{DF}(V_{Ref}) = 50fF$, $\phi_0 = 0.74V$ et $I_0 = 1.88nA$. Pendant cette étape de fonctionnement du pixel, le bruit de grenaille associé au courant I_0 est le plus prépondérant. La représentation temporelle de cette source de bruit est réalisée à l'aide d'une somme de 30 sinusoides d'égales amplitudes. On utilise la relation (III.10) pour déterminer cette amplitude. Les fréquences de ces sinusoides sont choisies aléatoirement à

travers une variable aléatoire fixant la position d'une fréquence dans une tranche de fréquence Δf (voir relation (III.18)). Ainsi, ces fréquences sont calculées préalablement en générant une variable aléatoire X de moyenne nulle et d'écart type égale à 1. Pour cet effet nous avons utilisé le logiciel Excel (de Microsoft office).

A l'aide de l'option modélisation comportementale du PSPICE, on construit le fichier circuit qui contrôle le signal de bruit qui doit être injecté à l'entrée du circuit (voir figure III.3).

Afin de "mesurer" les signaux de bruit noyés dans les signaux utiles, nous avons effectué deux simulations PSPICE : une simulation avec les sources de bruit et une autre en absence des sources de bruit. La soustraction des résultats de ces deux simulations donne les signaux de bruit dans un point du circuit.

Sur la figure III.8-a, nous avons représenté le signal de bruit de grenaille dans le domaine temporel (la source i_n de la figure III.7). La figure III.8-b représente le signal bruit à la sortie (correspond à la sortie de la diode flottante).

Pour valider l'expression de la variance du bruit de grenaille donnée par la relation (III.39), nous avons représenté sur la figure III.8-c, les valeurs RMS du bruit de sortie du circuit et les résultats de la relation (III.39) sur le même graphe en fonction du temps. L'examen de ces résultats montre qu'il y a un bon accord entre les résultats de la simulation et de ceux analytiques.

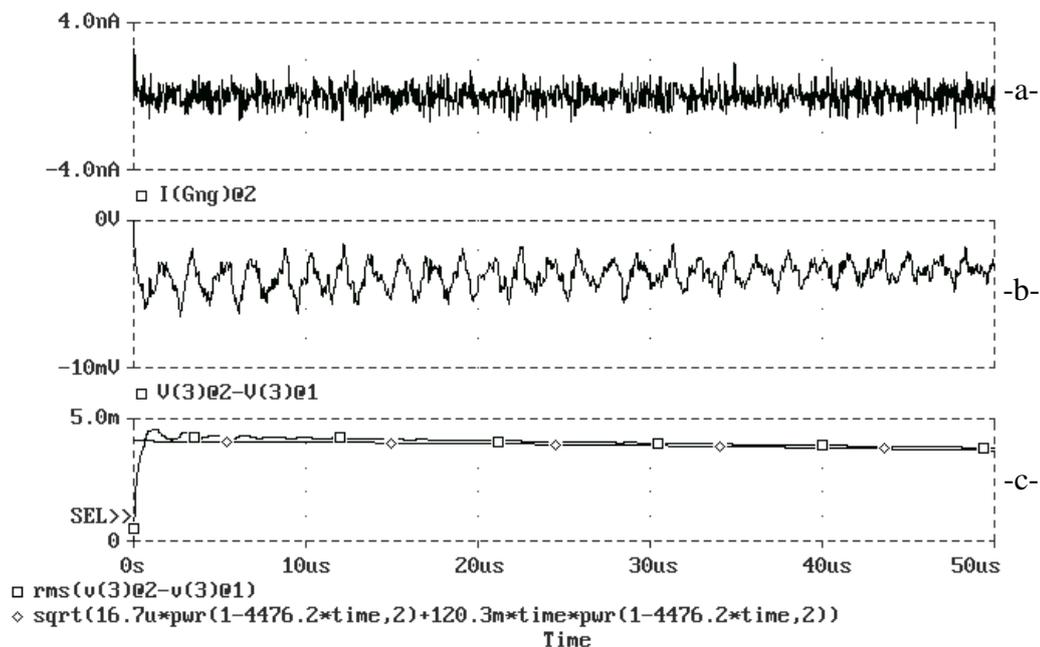


Fig. III.8 : Bruit au niveau de la diffusion flottante en fonction du temps
a- Signal temporel correspondant au bruit de grenaille à l'entrée,
b- Réponse en bruit à la sortie,
c- valeur RMS du bruit à la sortie.

III – 3 – Bruit temporel du pixel actif pendant la phase reset

Durant la phase reset, on désactive le transistor de sélection M_2 et on active le transistor reset M_{raz} . Le circuit équivalent au pixel élémentaire pendant la remise à zéro est schématisé sur la figure III.9.

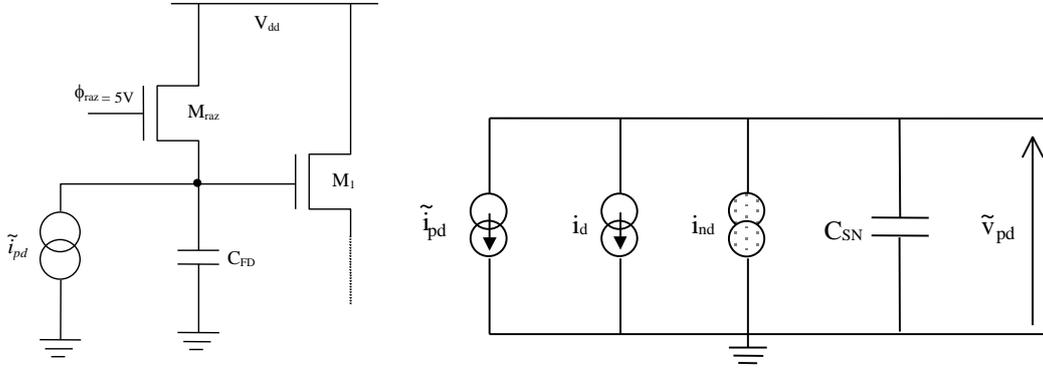


Fig. III .9 : Circuit équivalent au pixel pendant la phase reset.

Le courant drain du transistor M_{raz} est exprimé par : $i_d = (g_m + g_{mb} + g_{ds}) \tilde{v}_{pd}$, avec g_{ds} est la transconductance drain-source, g_m est la transconductance grille et g_{mb} est la transconductance du substrat du transistor reset. Le bruit associé au canal de ce transistor est représenté par la source i_{nd} . La capacité équivalente à la sortie de la diode flottante C_{SN} peut être approchée par la somme de celle de la diode flottante C_{FD} et de la capacité d'entrée C_{gs0} du transistor M_{raz} . L'analyse dans le domaine temporel du circuit équivalent de la figure III.9, entraîne la relation suivante :

$$C_{SN} \frac{d\tilde{v}_{pd}}{dt} + g_{tot} \tilde{v}_{pd} + \tilde{i}_{pd} + i_{nd} = 0 \quad (\text{III.40})$$

En considérant la partie déterministe de l'équation différentielle III.40, et en supposant que le photocourant est constant, la tension à la sortie de la diode flottante est donnée par :

$$v_{pd}(t) = e^{-h(t)} \left[v_{pd}(0) - I_0 \int_0^t \frac{e^{h(x)}}{C_{SN}(x)} dx \right] \quad (\text{III.41})$$

où $I_0 = i_{ph} + i_{dark}$; $h(t) = \int_0^t \frac{dx}{\tau(x)}$ avec $\tau(x) = \frac{C_{SN}(x)}{g_{tot}(x)}$ et x est une variable intermédiaire.

La non linéarité de la réponse dépend de la transconductance g_{tot} du transistor de remise à zéro et de la capacité équivalente de la diode flottante.

Si on admet que le bruit de grenaille i_n est négligeable devant le bruit total associé au transistor M_{raz} , alors l'analyse de la partie non déterministe de l'équation différentielle (III.40) permet d'écrire :

$$g_{tot} v_n + C_{SN} \frac{dv_n}{dt} = i_{nd} \quad (\text{III.42})$$

La solution de cette équation différentielle se fait de la même manière que celle de la partie déterministe, et on peut trouver [12] :

$$v_n(t) = e^{-h(t)} \left[v_n(0) + \int_0^t i_{nd}(x) \frac{e^{h(x)}}{C_{SN}(x)} dx \right] \quad (\text{III.43})$$

La variance du bruit à la sortie de la diode flottante peut être exprimée sous la forme suivante :

$$E[v_n^2(t)] = E[v_n^2(0)]e^{-2h(t)} + e^{-2h(t)} \int_0^t \int_0^t \frac{e^{h(x)+h(y)}}{C_{SN}(x)C_{SN}(y)} E[i_{nd}(x)i_{nd}(y)] dx dy \quad (\text{III.44})$$

avec $E[i_{nd}(x)i_{nd}(y)]$ est la fonction d'autocorrélation du bruit i_{nd} .

Si la conductance totale g_{tot} du transistor reset ainsi que la capacité équivalente C_{FD} de la diode flottante sont supposées relativement constantes, alors la relation (III.44) devient :

$$E[v_n^2(t)] = E[v_n^2(0)]e^{-2t/\tau} + \frac{e^{-2t/\tau}}{C_{SN}^2} \int_0^t \int_0^t e^{(x/\tau+y/\tau)} E[i_{nd}(x)i_{nd}(y)] dx dy \quad (\text{III.45})$$

Les principales sources de bruit associées au transistor reset sont :

- le bruit blanc (thermique et de grenaille)
- le bruit 1/f
- le bruit RTS (cas des transistors submicroniques ayant une surface $W \times L < 1 \mu\text{m}^2$)

Donc la variance totale du bruit à la sortie de la diode flottante à la fin de la remise à zéro (à $t=t_r$) est donnée sous la forme :

$$\sigma_{v_n}^2(t_r) = \sigma_{v_n(0)}^2 + \sigma_{th}^2(t_r) + \sigma_{shot}^2(t_r) + \sigma_{1/f}^2(t_r) + \sigma_{RTS}^2(t_r) \quad (\text{III.46})$$

Le premier terme de cette relation est négligeable devant les autres car il est proportionnel à $e^{-2t_r/\tau}$ ($t_r \gg \tau$). Après avoir effectué des approximations et en considérant les conditions du régime établi, les différents termes de la relation (III.46) peuvent se calculer de la manière suivante :

A - Contribution du bruit thermique

Soit S_{Id} la densité spectrale unilatérale du bruit thermique associé au canal du transistor M_{raz} (relations II.70 à II.72). La fonction d'autocorrélation de ce bruit est donnée par :

$$E[i_{nd}(x)i_{nd}(y)] = \frac{S_{Id}}{2} \delta(x-y) \quad (\text{III.47})$$

A la fin de la phase reset, la contribution du bruit thermique dans la relation (III.46) est donnée par :

$$\sigma_{th}^2(t_r) = \frac{KT}{C_{SN}} \gamma_{th} [1 - e^{-2t_r/\tau}] \quad (\text{III.48})$$

Cette contribution dépend de la température, de la capacité équivalente au nœud de la sortie, des paramètres électriques et technologiques du transistor M_{raz} .

B - Contribution du bruit de grenaille

Soit S_{Id} la densité spectrale du bruit de grenaille associé au canal du transistor M_{raz} (relation II.73). Dans ce cas la fonction d'autocorrélation de ce bruit est donnée par la même relation (III.47). Aussi, de la même manière que précédemment, la contribution du bruit de grenaille sera donnée par :

$$\sigma_{\text{shot}}^2(t_r) = \frac{qI_d}{2C_{\text{SN}}g_{\text{tot}}} \left[1 - e^{-2t_r/\tau} \right] \quad (\text{III.49})$$

Si le transistor fonctionne en mode de faible inversion, le courant drain pourrait être approché par [13, 14] :

$$I_d = nU_T g_{\text{tot}} \quad (\text{III.50})$$

et par suite la contribution du bruit de grenaille dans (III.46) devient :

$$\sigma_{\text{shot}}^2(t_r) \approx \frac{KT}{2C_{\text{SN}}} n \left[1 - e^{-2t_r/\tau} \right] \quad (\text{III.51})$$

Cette contribution dépend de la capacité équivalente du nœud de détection C_{SN} , de la technologie et de la température.

C - Contribution du bruit RTS

Soit S_{Id} la densité spectrale du bruit RTS associé au transistor reset. La fonction d'autocorrélation de ce bruit est donnée par [15] :

$$E[i_{\text{nd}}(x)i_{\text{nd}}(y)] = \Re e \left[\int_0^\infty S_{\text{Id}}(f) e^{j2\pi f(x-y)} df \right] \quad (\text{III.52})$$

La contribution du bruit RTS pour N_t pièges dans la relation (III.46) peut être écrite sous la forme :

$$\sigma_{\text{RTS}}^2(t_r) = \frac{e^{-2t_r/\tau}}{C_{\text{SN}}^2} \sum_{i=1}^{N_t} A_i \tau_i I_d^2 \int_0^\infty \int_0^{t_r} \int_0^{t_r} \frac{e^{\frac{x}{\tau}(1+j2\pi f\tau)} e^{\frac{y}{\tau}(1-j2\pi f\tau)}}{1 + (2\pi f\tau_i)^2} dx dy df \quad (\text{III.53})$$

A_i et τ_i sont des caractéristiques des pièges se trouvant à l'interface Si/SiO₂. Après avoir calculé l'intégrale double dans le domaine temporel entre 0 et t_r , la relation précédente devient :

$$\sigma_{\text{RTS}}^2(t_r) = \frac{I_d^2 \tau^2}{C_{\text{SN}}^2} e^{-2t_r/\tau} \sum_{i=1}^{N_t} A_i \tau_i \int_0^\infty \frac{1 + e^{2t_r/\tau} - 2e^{t_r/\tau} \cos(2\pi f t_r)}{(1 + (2\pi f\tau)^2)(1 + (2\pi f\tau_i)^2)} df \quad (\text{III.54})$$

Ensuite, en appliquant le théorème des résidus sur l'intégrale de la relation (III.54), on obtient la contribution du bruit RTS suivante :

$$\sigma_{\text{RTS}}^2(t_r) = \sum_{i=1}^{N_t} \frac{A_i \tau_i I_d^2}{4g_{\text{tot}}^2(\tau + \tau_i)} \left\{ 1 + e^{-2t_r/\tau} - 2e^{-t_r/\tau} \left[\frac{\tau e^{-t_r/\tau} - \tau_i e^{-t_r/\tau_i}}{\tau - \tau_i} \right] \right\} \quad (\text{III.55})$$

D - Contribution du bruit 1/f

Pour ce type de bruit, la fonction d'autocorrelation est définie par la même relation (III.52). La densité spectrale de ce bruit est inversement proportionnelle à la fréquence (relation II.67), et la contribution de ce bruit peut être exprimée par :

$$\sigma_{1/f}^2(t_r) = \frac{I_d^2}{C_{SN}^2} \frac{KT r}{WL} e^{-2t_r/\tau} \int_0^\infty \int_0^{t_r} \int_0^{t_r} \frac{e^{\frac{x}{\tau}(1+j2\pi f\tau)} e^{\frac{y}{\tau}(1-j2\pi f\tau)}}{f} dx dy df \quad (\text{III.56})$$

où r peut être déduite facilement de la relation (II.67).

Le calcul de l'intégrale double dans le domaine temporel entre 0 et t_r donne :

$$\sigma_{1/f}^2(t_r) = \frac{I_d^2}{g_{tot}^2} \frac{KT r}{WL} \int_0^\infty \frac{1 + e^{-2t_r/\tau} - 2e^{-t_r/\tau} \cos\left(x \frac{t_r}{\tau}\right)}{x(1+x^2)} dx \quad (\text{III.57})$$

La difficulté de calculer cette contribution de bruit réside dans la limite inférieure de la fréquence du bruit $1/f$. L'existence d'une fréquence limite très basse n'a jamais été constatée expérimentalement, et des spectres $1/f$ ont été mesurés jusqu'à des fréquences de l'ordre de quelques μHz [16]. En plus, une puissance de bruit infinie n'a jamais été observée et n'a pas de réalité physique. Le bruit $1/f$ peut être considéré comme un processus non stationnaire [17] et on va supposer que la fréquence limite inférieure est l'inverse de la durée d'observation du signal.

Si la durée de la phase reset t_r est très supérieure à la constante de temps du circuit équivalent τ , et en tenant compte de la remarque précédente, alors la relation (III.57) devient :

$$\sigma_{1/f}^2(t_r) = \frac{KT r}{2WL} \left(\frac{I_d}{g_{tot}} \right)^2 \cdot \ln \left(1 + \frac{1}{x_{min}^2} \right) \quad (\text{III.58})$$

avec $x_{min} \approx 2\pi \frac{\tau}{t_r}$

La validation des contributions du bruit thermique et du bruit $1/f$ a été effectuée en simulant le circuit équivalent pendant la phase reset à l'aide du simulateur PSPICE. Dans cet exemple nous avons choisi les dimensions $W=2\mu\text{m}$ et $L=1.2\mu\text{m}$ pour le transistor M_{raz} , et nous avons considéré que le photocourant est constant $I_{ph}=1.88\text{nA}$ et que la tension de référence est $V_{Ref}=3.5\text{V}$. Les paramètres électriques du transistor sont extraits du simulateur PSPICE. Les étapes de construction du fichier circuit de la simulation transitoire sont les mêmes que celles citées au paragraphe III.2. Le spectre du bruit en $1/f$ est divisé en 30 tranches de fréquences. Aussi, les différents paramètres technologiques et électriques mis en jeu dans les relations (III.48), (III.49) et (III.58) sont calculés soigneusement soit par le simulateur PSPICE et/ou par les paramètres des modèles des transistors fournis par le fondeur. Les résultats de la simulation sont donnés sur les figures III.10 et III.11.

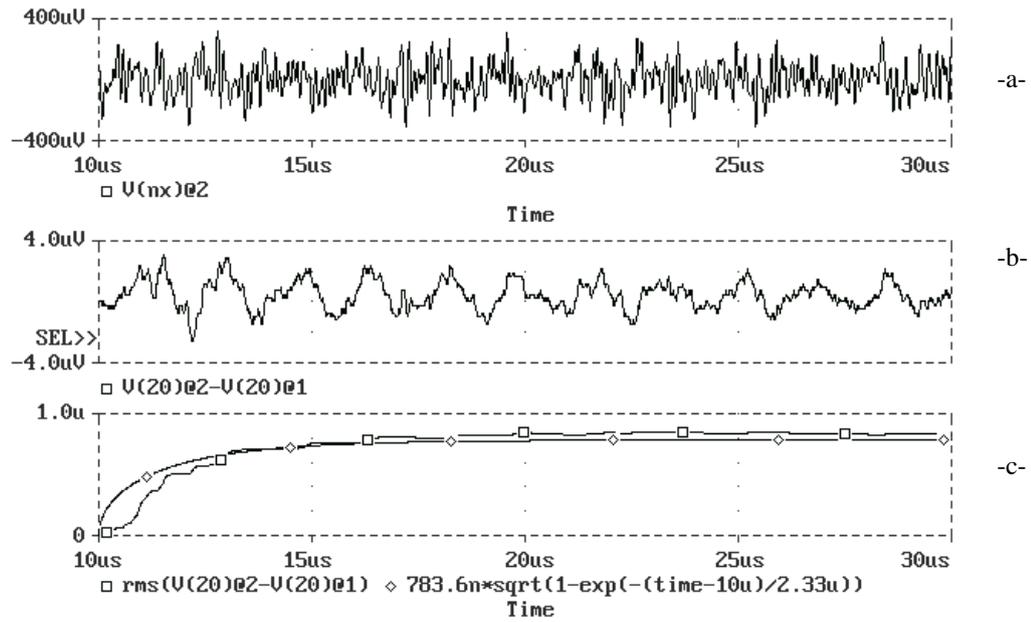


Fig. III.10 : Contribution du bruit thermique, **a** - Source de bruit blanc associé au canal du transistor M_{raz} , **b** - Contribution du bruit thermique à la sortie, **c** - Valeurs RMS simulée et théorique du bruit de sortie.

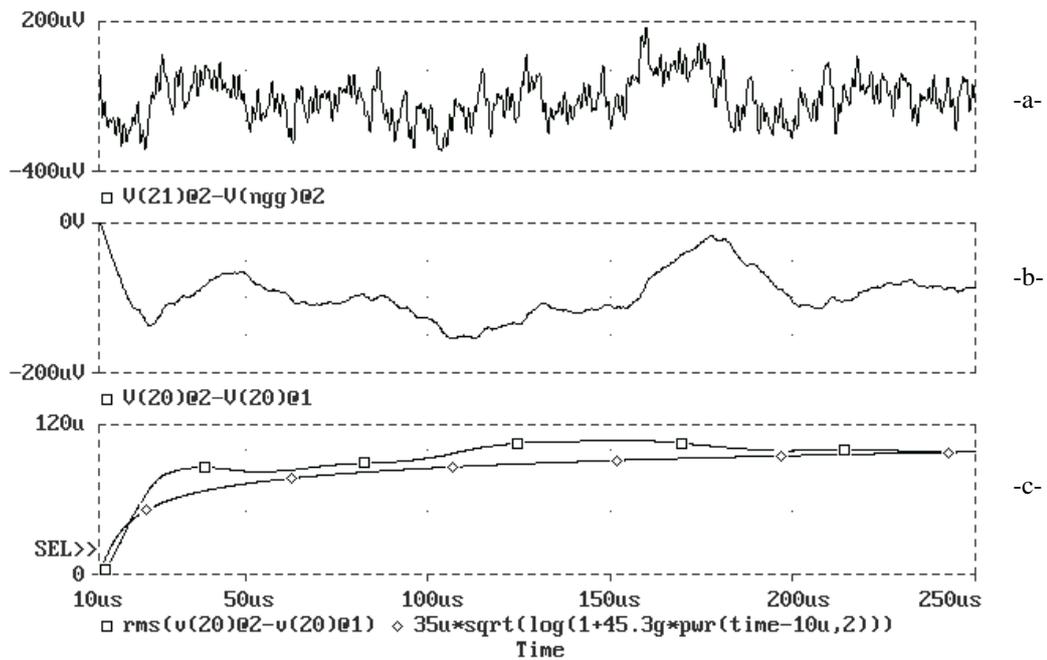


Fig. III.11 : Contribution du bruit $1/f$

- a** - Source de bruit $1/f$ associé au canal du transistor M_{raz} ,
- b** - Contribution du bruit $1/f$ à la sortie,
- c** - Valeurs RMS simulée et théorique du bruit $1/f$ de sortie.

Sur les figures **III.10-c** et **III.11-c** nous avons représenté les résultats de la simulation par PSPICE et ceux du calcul théorique. Nous constatons un bon accord entre les deux résultats. Ce qui montre que la génération d'une source de bruit dans le domaine temporel à partir de la densité spectrale est efficace pour étudier le comportement des circuits vis à vis du bruit temporel comme le cas des capteurs d'images.

III – 4 – Bruit associé à la phase lecture

III – 4 – 1 – Introduction

A la fin de la phase d'intégration et après avoir polarisé la grille du transistor M_{raz} par V_{dd} , on peut lire simultanément une ligne entière de pixels. Pendant la phase lecture, le transistor de sélection M_2 est polarisé en linéaire. Le signal de sortie du premier étage source-suiveuse est stocké dans la capacité C_R à travers le transistor "switch" M_R . Ensuite on porte la grille du photoMOS à la masse, ce qui permet le transfert des charges photoniques vers la diode flottante et par suite vers la sortie du pixel élémentaire. Ce signal est stocké dans la capacité C_S à travers le transistor "switch" M_S . Les signaux stockés dans C_R et C_S sont transmis séquentiellement au circuit de lecture via le second étage source-suiveuse (M_{R6} ou M_{S6}) grâce à l'adressage des transistors "switch" M_{y5} et $M_{y5'}$ (figure **I.10**).

III – 4 – 2 – Etude du bruit pendant la phase lecture

Le bruit principal associé à la lecture est celui associé aux transistors du premier étage source-suiveuse. Dans ce paragraphe, on néglige l'effet des sources de bruit associé aux transistors d'échantillonnage (M_R et M_S) ainsi que celles du second étage source-suiveuse (M_{R4} , M_{S4} , M_{y5} , $M_{y5'}$, M_{R6} et M_{S6}). Par la suite, on détaille les contributions des sources de bruit des transistors M_1 , M_2 et M_3 . Durant la phase lecture, on suppose que M_1 et M_3 fonctionnent en saturation et M_2 en linéaire [**18**].

Le bruit à la sortie peut être calculé à l'aide du circuit équivalent en petits signaux en régime permanent donné sur la figure **III.12**.

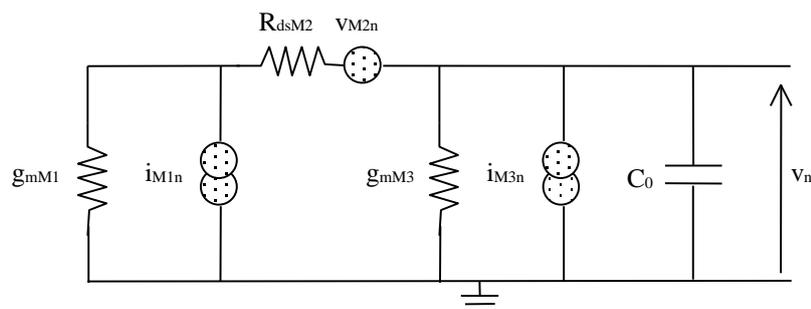


Fig. III.12 : Circuit équivalent permettant de calculer le bruit à la sortie du pixel pendant la phase lecture

Sur ce circuit électrique équivalent, on a négligé les capacités parasites des différents transistors. Les sources de bruit i_{M1n} , v_{M2n} et i_{M3n} représentent les sources du bruit blanc et du bruit basse fréquence associées aux transistors M_1 , M_2 et M_3 respectivement, g_{mM1} et g_{mM3} sont les transconductances des transistors M_1 et M_3 respectivement et R_{dsM2} représente la résistance du canal du transistor M_2 . La capacité de charge C_0 est la capacité équivalente à la sortie (C_R ou C_S).

En régime permanent, et en supposant que les différentes sources de bruit sont non corrélées, le bruit équivalent en tension à la sortie peut être écrit sous la forme suivante (annexe **A.III.2**) :

$$v_n(j\omega) = \frac{R_1 i_{M1n} + R_2 i_{M3n} + A_0 v_{M2n}}{1 + j\tau_0 \omega} \quad (\text{III.59})$$

avec

$$R_1 = [g_{mM1} + g_{mM3}(1 + g_{mM1}R_{dsM2})]^{-1}, \quad R_2 = (1 + g_{mM1}R_{dsM2})R_1, \quad A_0 = g_{mM1}R_1 \quad \text{et} \quad \tau_0 = C_0 R_2.$$

La variance totale du bruit équivalent à la sortie est définie par :

$$\overline{v_n^2} = \int_0^{+\infty} \frac{R_1^2 \overline{i_{M1n}^2} + A_0^2 \overline{v_{M2n}^2} + R_2^2 \overline{i_{M3n}^2}}{1 + (\tau_0 \omega)^2} df \quad (\text{III.60})$$

avec

$$\overline{i_{M1n}^2} = (S_{Id})_{M1} = 4KT(\gamma_{th} g_{tot})_{M1} + k_{M1} / f + \sum_{i=1}^{N_i} \left(\frac{A_i I_d^2}{1 + \tau_i^2 \omega^2} \right)_{M1} \quad (\text{III.61})$$

$$\overline{i_{M3n}^2} = (S_{Id})_{M3} = 4KT(\gamma_{th} g_{tot})_{M3} + k_{M3} / f + \sum_{i=1}^{N_i} \left(\frac{A_i I_d^2}{1 + \tau_i^2 \omega^2} \right)_{M3} \quad (\text{III.62})$$

$$\overline{v_{M2n}^2} = 4KT(\gamma_{th} g_{tot} g_m^{-2})_{M2} + k_{M2} g_m^{-2} / f + \left(g_m^{-2} \sum_{i=1}^{N_i} \frac{A_i I_d^2}{1 + \tau_i^2 \omega^2} \right)_{M2} \quad (\text{III.63})$$

où

$$k_x = \left(\frac{r}{WL} I_d^2 \right)_x \quad \text{avec} \quad x = M_1, M_2 \quad \text{ou} \quad M_3$$

En terme de variance, la contribution du bruit thermique à la sortie est donnée par :

$$\overline{v_n^2}(th) = \frac{KT}{C_0 R_2} \left\{ R_1^2 (\gamma_{th} g_{tot})_{M1} + R_2^2 (\gamma_{th} g_{tot})_{M3} + (A_0 g_m^{-1})^2 (\gamma_{th} g_{tot})_{M2} \right\} \quad (\text{III.64})$$

Cette variance dépend de la température, de la capacité de charge et des différents paramètres électriques et technologiques des transistors M_1 , M_2 et M_3 .

Comme c'est mentionné au paragraphe **III-3**, le calcul de la contribution du bruit $1/f$ suppose une fréquence basse limite f_{min} égale à l'inverse de la durée d'observation du signal. Après

avoir effectué quelques combinaisons de calcul, en terme de variance, on trouve pour le bruit $1/f$ l'expression suivante :

$$\overline{v_n^2(1/f)} = \frac{KT}{2} \left\{ R_1^2 k_{M1} + R_2^2 k_{M3} + (A_0 g_{mM2}^{-1})^2 k_{M2} \right\} \ln \left[1 + (2\pi\tau_0 f_{\min})^{-2} \right] \quad (\text{III.65})$$

Cette variance dépend de la durée d'observation du signal $T_{obs}=1/f_{\min}$ et des différents paramètres électriques et technologiques des transistors M_1 , M_2 et M_3 .

Avec les hypothèses citées précédemment, la variance totale du bruit à la sortie durant les trois phases d'opération du pixel élémentaire, peut être exprimée par :

$$\overline{v_n^2(out)} = A_1^2 \overline{v_{n\ shot}^2(T_{int})} + A_1^2 \sigma_{v_n}^2(t_r) + \overline{v_n^2(th)} + \overline{v_n^2(1/f)} \quad (\text{III.66})$$

avec : A_1 est le gain en tension de l'étage source - suiveuse intégré dans le pixel élémentaire, $\overline{v_{n\ shot}^2(T_{int})}$ est la variance du bruit de grenaille associé au courant photonique pendant l'intégration (T_{int}) et $\sigma_{v_n}^2(t_r)$ représente la variance du bruit associé au transistor M_{raz} pendant la phase reset.

En tenant compte de l'effet du substrat des transistors M_1 et M_2 , le calcul du gain A_1 peut se faire à l'aide du circuit de la figure **III.13**.

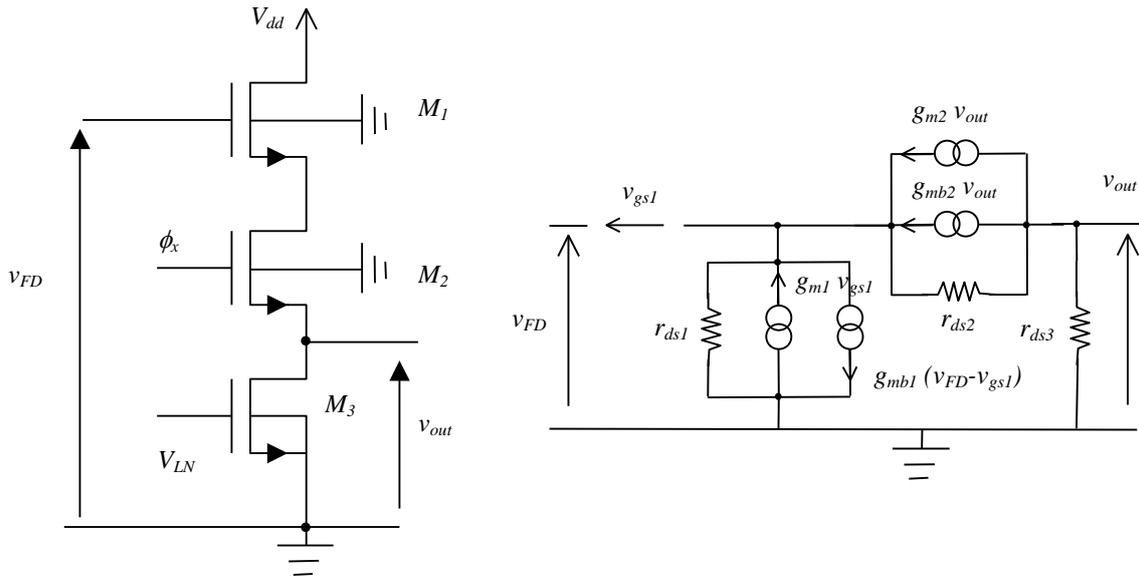


Fig. III.13 : Circuit électrique équivalent permettant de calculer le gain A_1

Le gain statique en tension de cet étage est donné par :

$$A_1 = \frac{v_{out}}{v_{FD}} = \frac{g_{m1} g_{ds2}}{g_{ds2} g_{ds3} + (g_{ds1} + g_{m1} + g_{mb1})(g_{ds3} + g_{ds2} + g_{m2} + g_{mb2})} \quad (\text{III.67})$$

Comme on peut le constater, ce gain dépend de la technologie et de la polarisation des transistors M_1 , M_2 et M_3 à travers les transconductances g_{m1} , g_{m2} , g_{mb1} et g_{mb2} et les conductances g_{ds1} , g_{ds2} et g_{ds3} .

III – 4 – 3 – Résultats et discussions

La validation des résultats analytiques est effectuée à l'aide du simulateur PSPICE. Le circuit que nous allons discuter est schématisé sur la figure **III.14**. Nous avons simulé ce circuit par une analyse en continue (DC) pour déterminer le point de fonctionnement des transistors, ensuite nous effectuons une analyse harmonique (AC) afin de ‘mesurer’ la densité spectrale du bruit à la sortie.

Les dimensions des transistors du circuit adopté sont données comme suit :

$M_T(2\mu\text{m}/1.2\mu\text{m})$, $M_{\text{raz}}(2\mu\text{m}/1.2\mu\text{m})$, $M_1(3.6\mu\text{m}/1.2\mu\text{m})$, $M_2(3.6\mu\text{m}/1.2\mu\text{m})$, $M_3(4\mu\text{m}/3\mu\text{m})$.

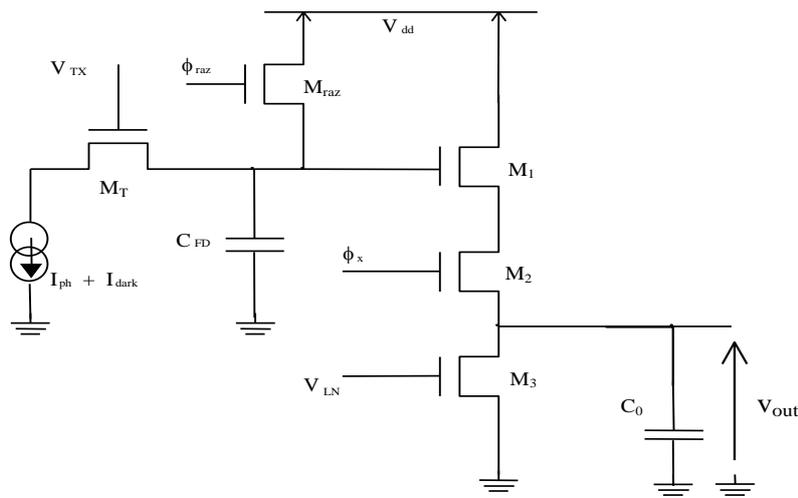
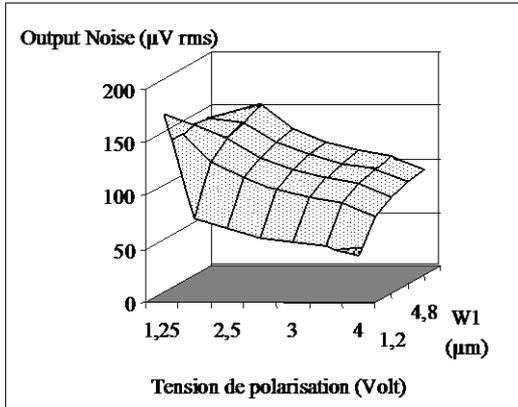


Fig. III.14 : Circuit du pixel correspondant à la phase lecture

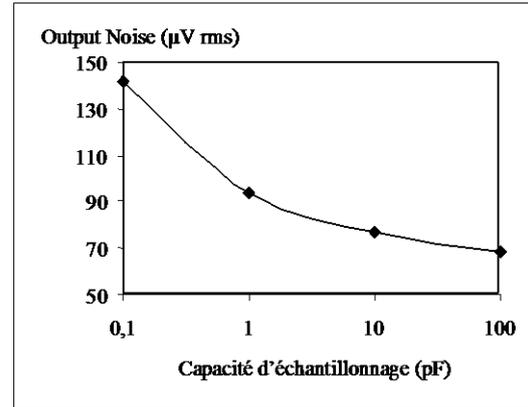
Les paramètres électriques des différents transistors ainsi que la valeur du gain en tension du premier étage source - suiveuse A_1 dépendent du point de fonctionnement du circuit, et sont calculés à chaque valeur du paramètre d'entrée. Ensuite ces valeurs sont utilisées pour évaluer les densités spectrales du bruit blanc et du bruit basse-fréquence de chaque transistor.

Cette méthode s'avère une solution pratique pour aider le concepteur à analyser le comportement en bruit des Imageurs en technologie CMOS.

Les résultats essentiels de cette étude sont regroupés sur la figure **III.15**. La figure **III.15-a** présente l'effet de la polarisation du transistor de charge M_3 , ainsi que l'effet de la largeur du canal du transistor M_1 sur la valeur RMS du bruit de sortie.



-a-



-b-

Fig. III.15 : **a-** Valeur RMS du bruit de sortie en fonction de la tension V_{LN} et de la largeur du canal W_1 , **b-** Valeur RMS du bruit de sortie en fonction de la capacité d'échantillonnage C_0

Ces résultats montrent que l'augmentation de la tension de polarisation V_{LN} entraîne une diminution de la valeur RMS du bruit à la sortie. Ceci est dû à la croissance de la transconductance g_{mM1} du transistor M_1 avec la tension V_{LN} . Aussi, pour de faibles valeurs de la largeur W_1 , la valeur RMS du bruit de sortie décroît.

Nous avons aussi étudié l'effet de la valeur de la capacité de charge sur le bruit de sortie. Les résultats sont représentés sur la figure III.15-b. On remarque que l'augmentation de la valeur C_0 entraîne la réduction de la bande passante du système et du bruit ; par conséquent, elle limite la vitesse de lecture.

III – 5 – Conclusion

La méthode proposée dans ce chapitre permet de générer des signaux aléatoires dont les caractéristiques sont proches du bruit physique des composants électroniques. Ces signaux sont considérés comme une somme de signaux sinusoïdaux d'égale puissance et dont les fréquences sont choisies dans une répartition uniforme et dépendent du type du spectre du bruit (blanc, 1/f ou RTS).

Ces signaux sont introduits dans le logiciel PSPICE afin d'analyser le comportement du circuit électronique vis – à – vis des sources de bruit associées aux différents composants de ce circuit.

Le bruit généré a été testé sur l'exemple d'un pixel élémentaire APS pendant les phases d'intégration, de remise à zéro et de lecture. Les résultats de simulation sont comparés à ceux analytiques et nous avons trouvé un bon accord entre les deux résultats.

Ces simulations peuvent être appliquées à tous les types de circuits. Les résultats peuvent être disponibles sous trois formes différentes :

- Bruit superposé au signal,
- Signal du bruit seul en fonction du temps,
- Valeur efficace du bruit en fonction du temps.

Dans le chapitre suivant sera étudié un amplificateur opérationnel intégré faible bruit en technologie CMOS 1.2µm, compatible avec les capteurs APS en application faible flux.

III – 6 – Références bibliographiques

- [1] P. FLANDRIN, " Temps – Fréquence", HERMES EDITEUR, 1993.
- [2] C. D. MOTCHENBACHER and F. C. FITCHEN, "Low Noise Electronic Design", Wiley, New York, 1973
- [3] C. D. MOTCHENBACHER and J. A. CONNELLY, "Low Noise Electronic System Design", Wiley & SONS, New York, 1993
- [4] H. BELAHRACH, et. al., "Noise Characterisation and PSPICE Simulations in MOSFETs Pocessed in 0.7µm CMOS Technology", Proceeding Int. AMSE Conf. CSS'01, Rabat, pp. 476-483, March 19-21, 2001.
- [5] P. BOLCATO, R. POUJOIS, " A New Approach for Noise Simulation in Transient Analysis", Proceeding of ISCAS'92, San Diego, USA, May 1992.
- [6] Yves THOMAS, "Signaux et Systèmes Linéaires", Edition MASSON Paris, 1992.
- [7] M. CHARBIT , " Eléments de Théorie du signal non déterministe ", Edition ELLIPSES, Paris, 1990.
- [8] V. V. SUSHKOV, " Noise Analysis for an Electronic Readout with Time Variant Signal Processors", Nuclear Instruments and Methods in Physics Research A403, pp. 115-135, 1998.
- [9] D. DIDOMENICO, et. al., " Solide State Photodetection Comparison between Photodiodes and Photoconductors", Proceeding of IEEE, Vol. 52, pp. 132, 1964.
- [10] R. K. Willardson and A.C. Bear, Edition Semiconductors and semimetals, Infrared Detector II , Vol. 12, , Academic, New York, 1977.
- [11] S. M. SZE, " Phisics of Semiconductor Devices", second Edition, , Wiley & SONS, New York, 1981.
- [12] H. BELAHRACH, et. al., " Noise Modelling and Simulation in CMOS Active Pixel Sensor for Low Light Application", AMSE Journals, Adevnced in Modeling & Analysis B-2001, vol. 44 n° 1, pp. 33-54.

- [13] E. A. VITTOZ, "Analog VLSI Processing : why, where and how ?", Analog Integrated Circuits and Signal Processing 6, pp. 27-44, 1994.
- [14] E. A. VITTOZ & J. FELLRATH, " CMOS Analog Integrated Circuits Based on Weak Inversion Operating", IEEE Journal of Solide-State Circuits, Vol. SC. 12, N°3, pp. 224-231, 1977.
- [15] M. LABARRERE, et. al., " le Filtrage et ses Applications", Supaéro CEADUES EDITION, 1998.
- [16] M. CALOYANNIDS, " Microcycle Spectral Estimates of 1/f noise in semiconductors", Journal Appl. Physics, Vol. 45, N° 1, pp. 307-316, 1974.
- [17] J. L. TANDON & H. R. BILGER, " 1/f Noise as a Nostationary Process : Experimental Evidence and some Anlytical Conditions", Journal Appl. Physics, Vol. 47, N° 4, pp. 1697-1701, 1976.
- [18] H. TIAN, et al, " Analysis of temporal noise in CMOS APS", Proceeding of SPIE, vol. 3649, sensors, cameras and systems for scientific and industrial applicaions, 1999.
- [19] Y. Degerli, et al, " Analysis and reduction of signal readout circuitry temporal noise in CMOS image sensors for low light levels", IEEE Transaction on Electron Devices, vol. 47, n°5, May 2000, pp. 949-962.

CHAPITRE IV

**ETUDE ET CONCEPTION D'UN AOP FAIBLE
BRUIT EN TECHNOLOGIE CMOS INTEGRE
DANS LA CHAINE D'ACQUISITION DU
CAPTEUR APS**

Etude et conception d'un AOP faible bruit en technologie CMOS

Intégré dans la chaîne d'acquisition du capteur APS

IV – 1 – Introduction

A l'issue de la description technique du capteur, on peut se faire une idée assez précise sur certaines caractéristiques fondamentales des amplificateurs opérationnels (AOPs) (gain, bande passante, la dynamique de sortie, ...) qui doivent être intégrés dans la chaîne d'acquisition du capteur APS.

Traditionnellement, les systèmes électroniques sont réalisés par des composants analogiques (AOP, CAN, ...) en technologie bipolaire qui assurent le fonctionnement de la partie analogique du système, et de l'autre côté, la partie logique est constituée par des dispositifs fabriqués en utilisant la technologie MOS (Microprocesseur, mémoires, ...). L'évolution de la technologie permet actuellement l'intégration des systèmes électroniques plus complexes (partie logique et analogique) sur la même puce de Silicium et avec la même technologie de fabrication, exemple du capteur APS.

En fait, la tension délivrée par une pixel APS est stockée dans deux capacités C_S et C_R (figure I-10). En effet, il s'agit d'une d.d.p entre deux tensions appelées V_{sig} et V_{Ref} chacune stockée dans une capacité de façon séquentielle. Le système d'acquisition doit donc traiter une tension différentielle et séquentielle. Le premier circuit électronique que l'on trouve dans la chaîne d'acquisition est un adaptateur d'impédance permettant de mesurer les tensions aux bornes des capacités sans en affecter les valeurs (figure IV.1). Le dernier élément de la chaîne est constitué par un convertisseur analogique – numérique de type 'pipeline' [1, 2, 3].

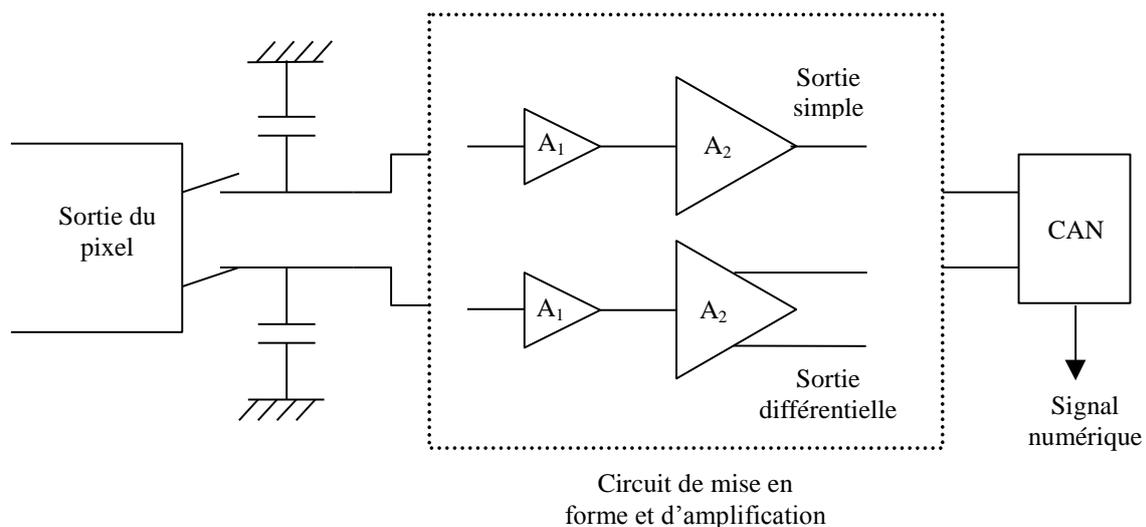


Fig. IV.1 : synoptique du système d'acquisition du capteur APS

L'entrée analogique du CAN se fait en différentiel parce que sa structure interne est basée sur des AOPs à sorties différentielles permettant de meilleures performances au niveau de la rejection des bruits des alimentations.

Ce chapitre est essentiellement consacré à l'étude théorique et à la simulation électrique des AOPs en technologie CMOS, destinés à être intégrés sur un capteur APS. L'étage de gain sera constitué par un AOP à sortie simple alimenté par 5V, ayant un gain en boucle ouverte supérieure à 70dB et une fréquence de coupure entre 60 à 90MHz selon la valeur de la contre réaction. L'AOP à sortie différentielle utilisé dans le CAN "pipeline" doit être caractérisé par un gain plus grand que 64dB et une fréquence de coupure de 60MHz pour chaque sortie. Ces caractéristiques seront discutées en détail dans les paragraphes suivants.

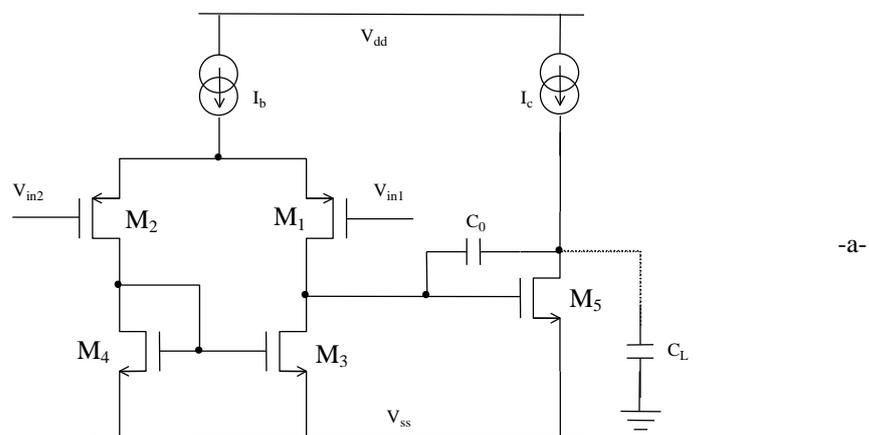
Le travail présenté dans ce chapitre consiste à étudier et à concevoir l'amplificateur qu'on doit intégrer à la sortie du capteur et d'en déduire les caractéristiques essentielles. Il sera alors possible de choisir le type d'AOP qui conviendra le mieux.

IV – 2 – Choix du type d'AOP adapté au capteur APS

Nous avons vu que les caractéristiques exigées au niveau des AOPs sont rigoureuses, surtout en ce qui concerne la bande passante et la précision. Il est donc utile de bien analyser les types d'AOP qui peuvent remplir le cahier des charges.

IV – 2 – 1 – AOP classique type 741

La figure IV.2-a représente une configuration simplifiée d'un AOP en technologie CMOS constitué de deux étages, un étage différentiel et un autre d'amplification qui sert aussi d'étage de sortie. Il est utile, pour des raisons de stabilité en boucle fermée, d'introduire une capacité d'ilotage des pôles C_0 [4].



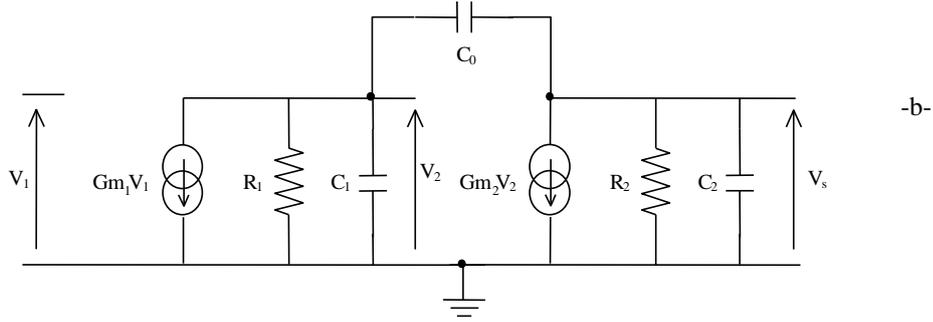


Fig. IV.2 : a- Structure simplifiée d'un AOP CMOS à deux étages
b- Circuit équivalent en petits signaux

Le schéma simplifié de cette configuration en petits signaux est donné sur la figure **IV.2-b**. Chaque étage est considéré comme étant une transconductance Gm , une résistance R et une capacité équivalente C . Après avoir écrit les relations entre la tension d'entrée et celle de la sortie, du circuit de la figure **IV.2-b**, on peut approcher la fonction de transfert du circuit par la relation suivante [5, 6] :

$$A_v(s) \approx A_{v0} \frac{1 - C_0 \cdot s / Gm_2}{1 + a \cdot s + b \cdot s^2} \quad (\text{IV.1})$$

avec

$$\begin{aligned} A_{v0} &= Gm_1 \cdot Gm_2 \cdot R_1 \cdot R_2 \\ a &= (C_0 + C_1)R_1 + (C_0 + C_2)R_2 + Gm_2 \cdot R_1 \cdot R_2 \cdot C_0 \\ b &= R_1 \cdot R_2 \cdot (C_0 \cdot C_1 + C_0 \cdot C_2 + C_1 \cdot C_2) \end{aligned}$$

où C_1 représente la capacité de charge du premier étage et C_2 la capacité de charge à la sortie. Le zéro et les pôles de cette fonction de transfert sont donnés par :

$$z_0 = Gm_2 / C_0, \quad p_1 \approx \frac{-1}{(1 + Gm_2 \cdot R_2) R_1 \cdot C_0} \quad \text{et} \quad p_2 \approx \frac{-Gm_2 \cdot C_0}{C_1 \cdot C_0 + C_2 \cdot C_0 + C_1 \cdot C_2} \quad (\text{IV.2})$$

On peut noter que le pôle dû à C_2 est poussé vers les hautes fréquences, alors que le pôle résultant de la charge du premier étage est poussé vers les basses fréquences.

Vu de l'entrée, la capacité C_0 se trouve multipliée par le gain du second étage (effet Miller). Pour cette raison, cette technique de compensation est souvent appelée îlotage des pôles. Cette technique présente un inconvénient associé à la valeur finie de la transconductance du second étage. Pour les hautes fréquences, le signal traverse C_0 vers la sortie en produisant une inversion de phase de 180° .

Pour comprendre ce phénomène, considérons l'absence de C_1 et C_2 comme le montre la figure IV.3. A haute fréquence, le transistor de sortie est monté en diode de résistance simplifiée égale à $1/gm_5$. En effet, la limite du gain en tension de l'AOP est de Gm_1/Gm_2 .

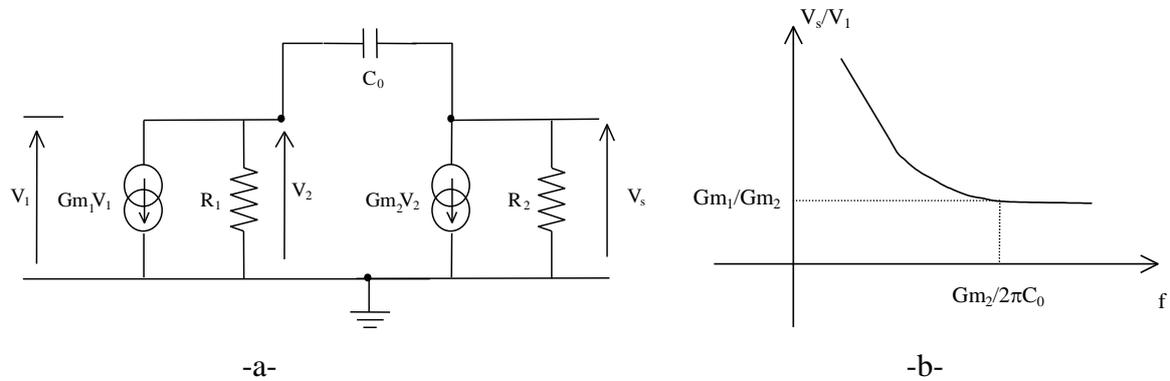


Fig. IV.3 : a- Circuit équivalent en petits signaux sans capacités de charge
b- Evolution du gain en tension du circuit équivalent avec la fréquence

Si les transconductances des deux étages sont semblables alors il est impossible de stabiliser l'amplificateur avec une simple capacité d'ilotage de pôles. Cependant, il existe deux remèdes pour compenser cet inconvénient :

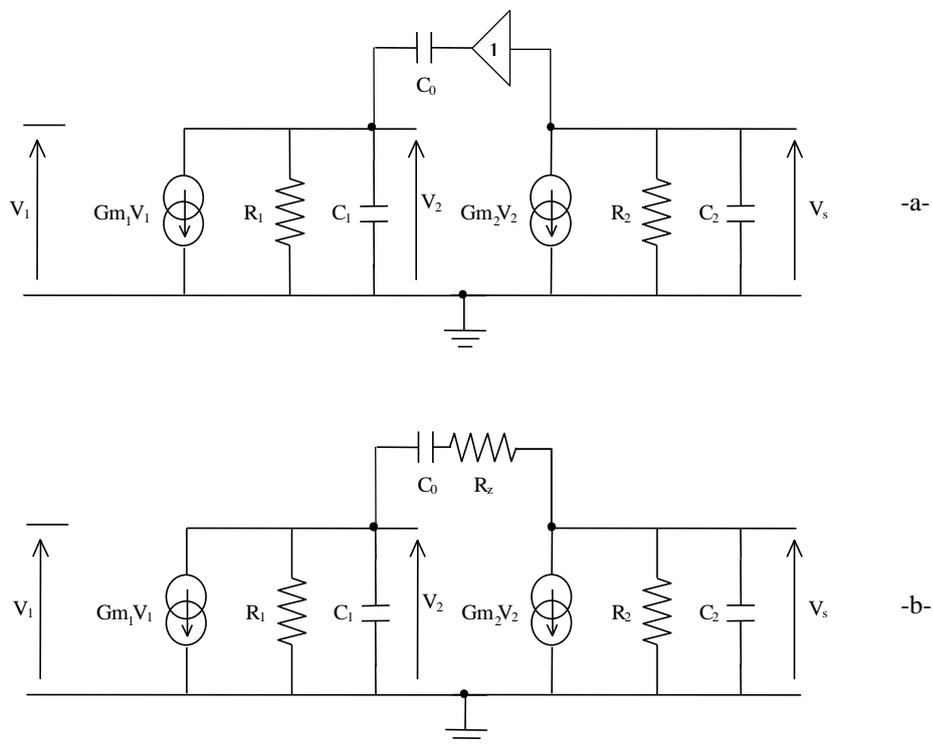


Fig. IV.4 : Schéma équivalent d'un AOP compensé, **a-** avec étage suiveur, **b-** avec résistance série R_z .

- a- Introduction d'un étage source suiveuse entre la sortie de l'étage différentiel et la sortie de l'AOP (figure IV.4-a). Le gain de la source suiveuse est voisin de l'unité, cet étage isole C_0 de la sortie de l'AOP [4].
- b- Une autre approche plus simple consiste à introduire une résistance R_z en série avec C_0 (figure IV.4-b). La valeur de R_z doit annuler le zéro de la fonction de transfert du gain de l'amplificateur, dans ce cas particulier $R_z = 1/Gm_2$ [4, 7].

La figure IV.5 représente la réponse fréquentielle d'un tel AOP sans charge, avec (R_z , C_0) et sans compensation.

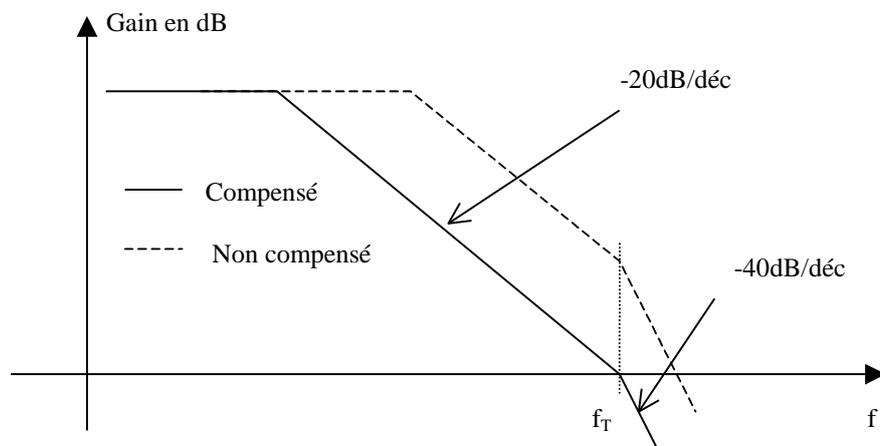


Fig. IV.5 : Réponse fréquentielle d'AOP CMOS avec et sans compensation

L'inconvénient de ce montage est l'influence déstabilisante de la charge capacitive C_L , qui couplée avec la résistance de sortie de l'AOP, R_s , crée un pôle de valeur $1/2\pi.R_s.C_L$. Pour que ce pôle soit situé au-delà de 60MHz, et pour une charge capacitive de 2.5pF, R_s doit être inférieure à 1K Ω . Une telle valeur de résistance de sortie est difficile à atteindre en technologie CMOS. De plus, ce qui joue le plus en défaveur de ce type d'AOP est l'effet pervers de la capacité de contre réaction interne C_0 . Si celle-ci a un effet correcteur d'un point de vue fréquentiel, elle induit également une nette diminution de la vitesse de balayage (appelée slew-rate).

IV – 2 – 2 – AOP à transconductance (OTA)

Un exemple d'OTA simple est représenté sur la figure IV.6. La caractéristique importante de ce type d'AOP est qu'il présente une impédance de sortie très grande. Il présente aussi une vitesse raisonnable et une dynamique acceptable [8].

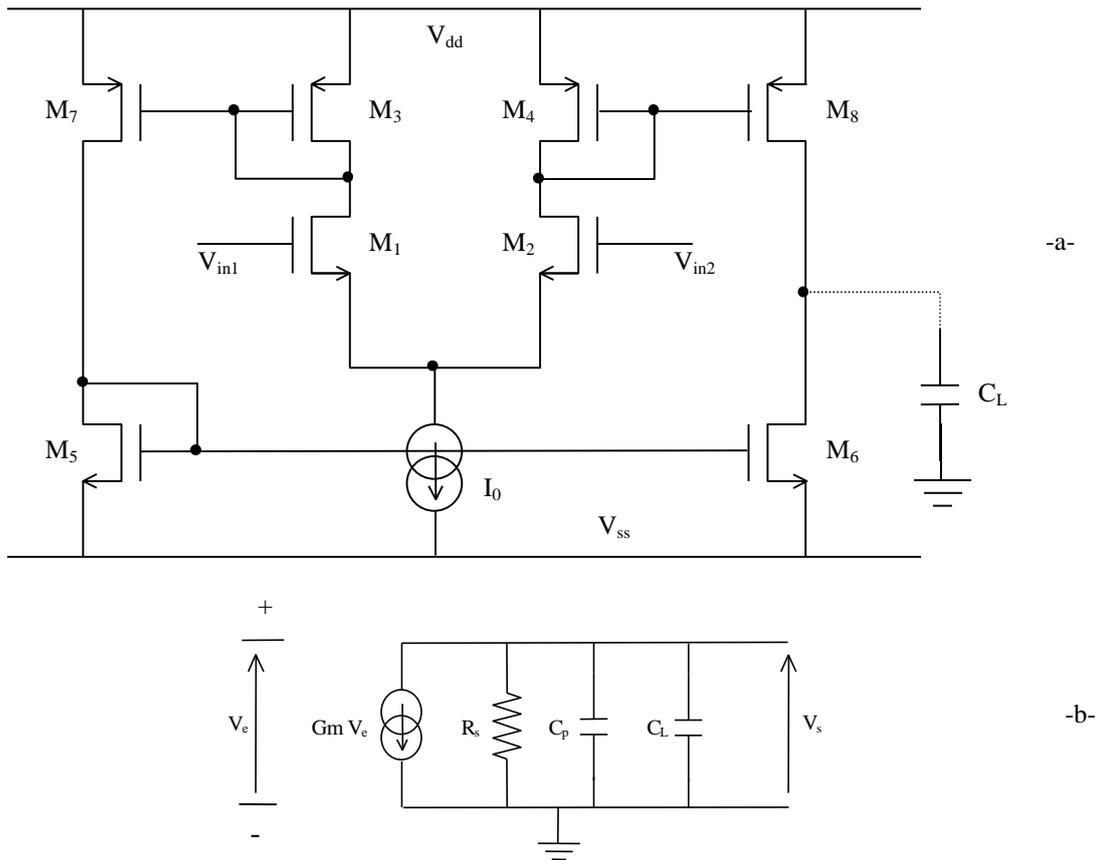


Fig. IV.6 : a- Structure d'un OTA simple, b- Schéma électrique équivalent en petits signaux

Il semble alors logique de considérer un OTA comme une source de courant commandée par la tension d'entrée. Le schéma électrique équivalent, en petits signaux, d'un OTA simple avec charge capacitive C_L est représenté sur la figure **IV.6-b**. On note que l'OTA en boucle ouverte n'est pas compensé, donc il présente une excellente vitesse de balayage. Aussi, le pôle du gain en tension est associé à la capacité parasite C_p se trouvant entre la sortie de l'OTA et la masse dynamique du montage. Contrairement à l'AOP classique, l'effet de la capacité de charge C_L est favorable à la stabilité du montage en boucle fermée. Cependant, le pôle dominant de l'OTA est alors ramené à la fréquence $f_0 = 1/2\pi R_s C_L$, et donc, plus C_L augmente plus ce pôle se déplace vers les basses fréquences et plus la fréquence de transition diminue de la même manière améliorant ainsi la marge de phase de l'ensemble.

Le comportement fréquentiel de l'OTA est schématisé sur la figure **IV.7**. En considérant que les miroirs de courant M_3 - M_7 et M_4 - M_8 présentent un rapport géométrique de valeur k_1 , la transconductance de l'OTA est donnée par :

$$Gm = k_1 \cdot g_{m1(\text{ou } 2)} \quad (\text{IV.3})$$

Avec $g_{m1(\text{ou } 2)}$ est la transconductance du transistor M_1 (ou M_2).

En négligeant l'effet de R_s et C_p , le circuit chargé par C_L se comporte comme un intégrateur de constante du temps $\tau_u = C_L/G_m$ qui est l'inverse de la fréquence angulaire du gain unité. Maintenant considérons un seul pôle non dominant associé à la capacité parasite C_p et de constante de temps τ_p . Pour des fréquences très supérieures à f_0 (pôle dominant), le gain en tension de l'amplificateur peut être exprimé sous la forme suivante :

$$A_v(s) = \frac{1}{\tau_u \cdot s \cdot (1 + \tau_p \cdot s)} \quad (\text{IV.4})$$

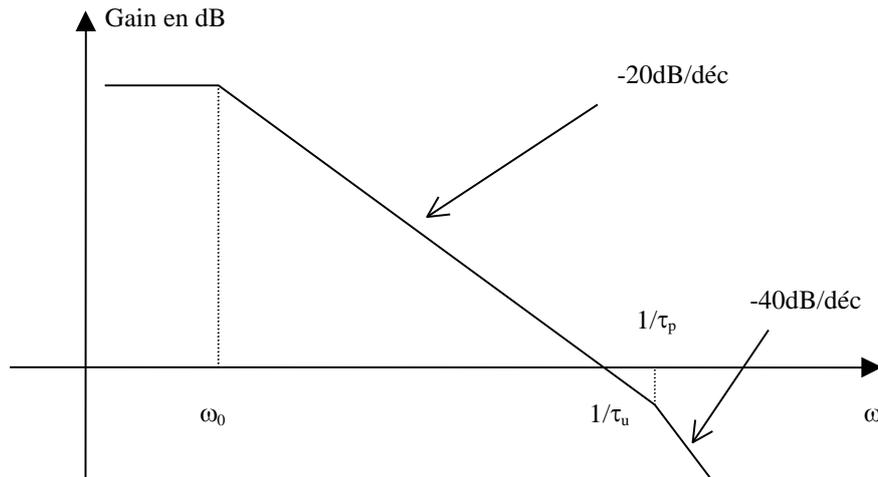


Fig. IV.7 : Réponse fréquentielle d'un OTA

On conclut que la conception de l'OTA est entièrement adaptée à la caméra APS, car les OTA présentent une large bande passante avec une vitesse de balayage importante. Aussi, il est adapté aux montages à capacités commutés car il permet d'atteindre des fréquences de transition élevées.

IV – 2 – 3 – Etude et conception d'un OTA à sorties différentielles

L'objectif de ce paragraphe est d'étudier et de concevoir les différents éléments constituant un amplificateur opérationnel à transconductance à sorties différentielles. Cet amplificateur sera implanté dans la chaîne d'acquisition et aussi dans le convertisseur A/N de type pipeline. Ce dernier permet de convertir une tension analogique différentielle ($V_{ref} - V_{sig}$) en une valeur numérique. La figure IV.8 schématise la structure synoptique d'un OTA à sorties différentielles. On distingue les éléments principaux suivants :

- Etage différentiel
- Deux étages amplificateurs de type cascode
- Circuit de contrôle du mode commun de sortie

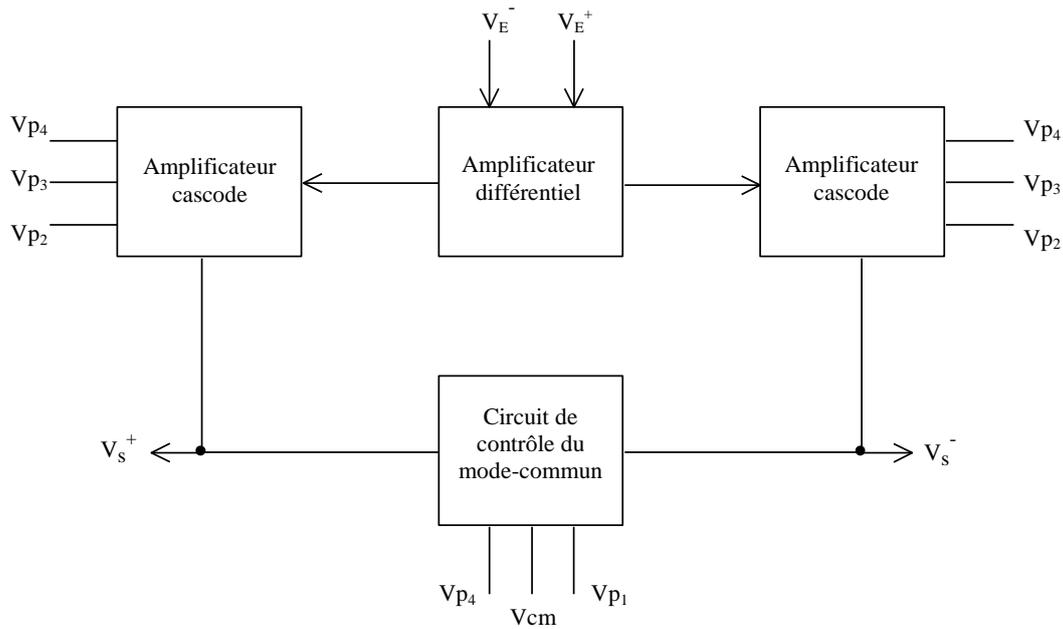


Fig. IV.8 : Structure synoptique d'un OTA à sorties différentielles

V_{p1} , V_{p2} , V_{p3} et V_{p4} représentent les polarisations des composants internes de l'OTA, (V_E^- , V_E^+) et (V_s^- , V_s^+) représentent les entrées et les sorties respectives de l'OTA, et V_{cm} est la tension de contrôle du mode commun en sortie.

IV – 2 – 3 – 1 – Etage différentiel

Cet étage mérite un paragraphe particulier du fait de sa grande utilisation soit en tant qu'étage d'entrée des amplificateurs opérationnels soit pour des applications particulières telles que par exemple les amplificateurs de lecture des mémoires. La figure IV.9 indique le schéma général d'un amplificateur différentiel simple en technologie CMOS. Pour des applications faibles bruits, les transistors d'entrées M_1 et M_2 sont choisis de type PMOS qui sont moins bruyants par rapport à ceux à canal type N.

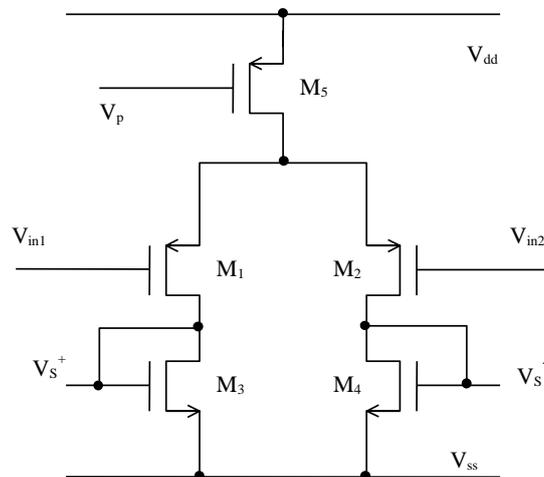


Fig. IV.9 : Structure d'un amplificateur différentiel simple en technologie CMOS

Les charges actives sont assurées par les transistors M_3 et M_4 montés en diodes. La source de courant est représentée par le transistor M_5 dont la grille est polarisée à une tension continue V_p . Les dimensions géométriques des transistors seront données par des considérations de saturation à savoir la transconductance g_m et le courant I_D du transistor saturé. On note que la transconductance g_m , grille drain, d'un transistor saturé est donnée par [9, 10] :

- en faible inversion : $g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_D=cte} = \frac{I_D}{nU_T}$ (IV.5)

- en forte inversion : $g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_D=cte} = \sqrt{\frac{2bI_D}{n}}$ (IV.6)

La transconductance g_{mb} , source drain, associée à l'effet de polarisation de substrat est reliée à g_m par la relation approchée suivante :

$$g_{mb} = n g_m \quad (IV.7)$$

Le circuit électrique équivalent de l'amplificateur différentiel, en petits signaux basses fréquences, est donné sur la figure IV.10.

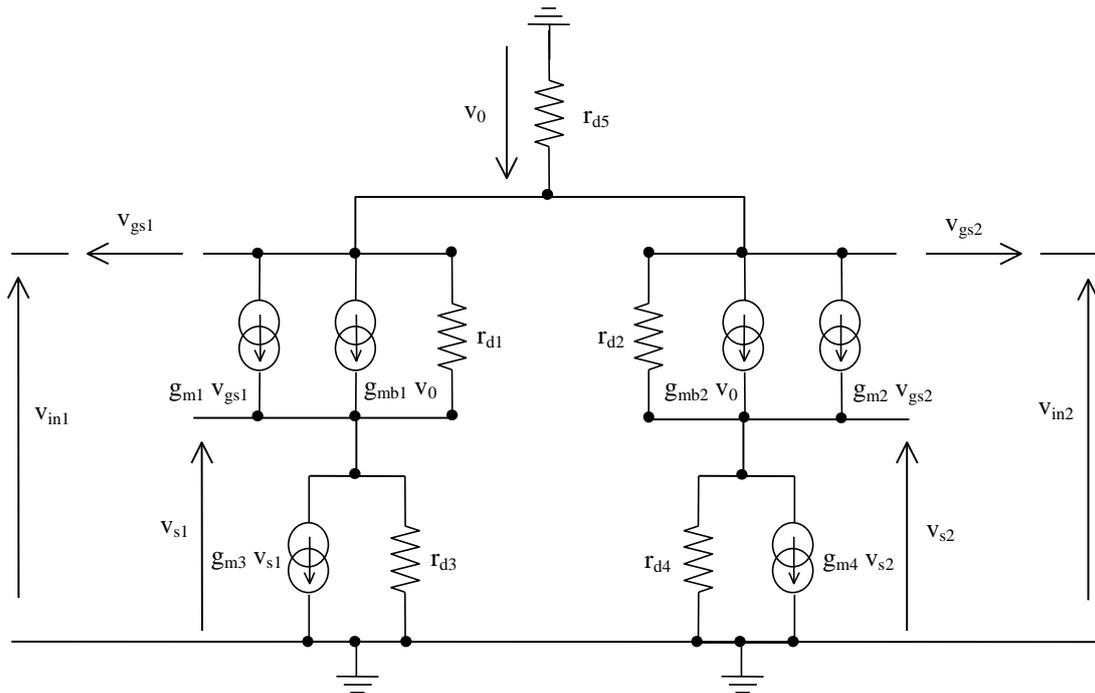


Fig. IV.10 : Schéma électrique équivalent en petits signaux BF

Le gain statique de cet amplificateur peut être exprimé sous la forme suivante (Annexe A.IV.1) :

$$A_{v0} = \frac{g_{m1}}{(g_{d1} + g_{d3} + g_{m3}) \left[2 + \frac{g_{d5}(g_{d1} + g_{d3} + g_{m3})}{(g_{d3} + g_{m3})(g_{d1} + g_{m1} + g_{mb1})} \right]} \quad (IV.8)$$

Les paramètres électriques et géométriques standards de l'amplificateur différentiel sont les suivants :

$$V_p = 1V, V_{in1} = V_{in2} = 2.5V$$

$$W1/L1 = W2/L2 = 300\mu/1.2\mu,$$

$$W3/L3 = W4/L4 = 1.2\mu/3.6\mu,$$

$$W5/L5 = 2.4\mu/3.6\mu$$

L'amplificateur est chargé par $1pF$ sur chaque sortie.

Les résultats de la simulation en fonction de la polarisation V_p et des dimensions du transistor M_5 , en termes du gain en tension et de la phase, sont regroupés sur la figure **IV.11**.

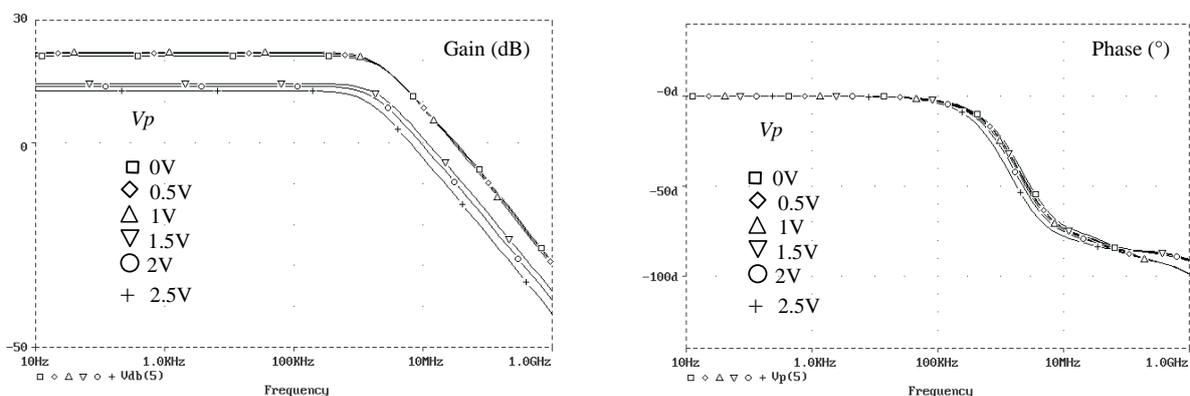
Le calcul théorique et les résultats de la simulation, pour les paramètres standards, montrent que :

Le gain statique $A_{v0} = 22.2dB$, la fréquence de coupure $f_c = 2.38MHz$, et la fréquence de transition $f_T = 30.89MHz$.

Les paramètres petits signaux des différents transistors obtenus par PSPICE sont donnés sur le tableau suivant :

	M_1	M_2	M_3	M_4	M_5
g_m (μS)	439	439	11.8	11.8	10.5
g_d (μS)	4.46	4.46	0.18	0.18	12.7
g_{mb} (μS)	60.1	60.1	3.02	3.02	2.33
C_{gs} (fF)	322	322	1.45	1.45	3.95

Tableau IV.1 : Paramètres petits signaux des transistors de l'amplificateur différentiel



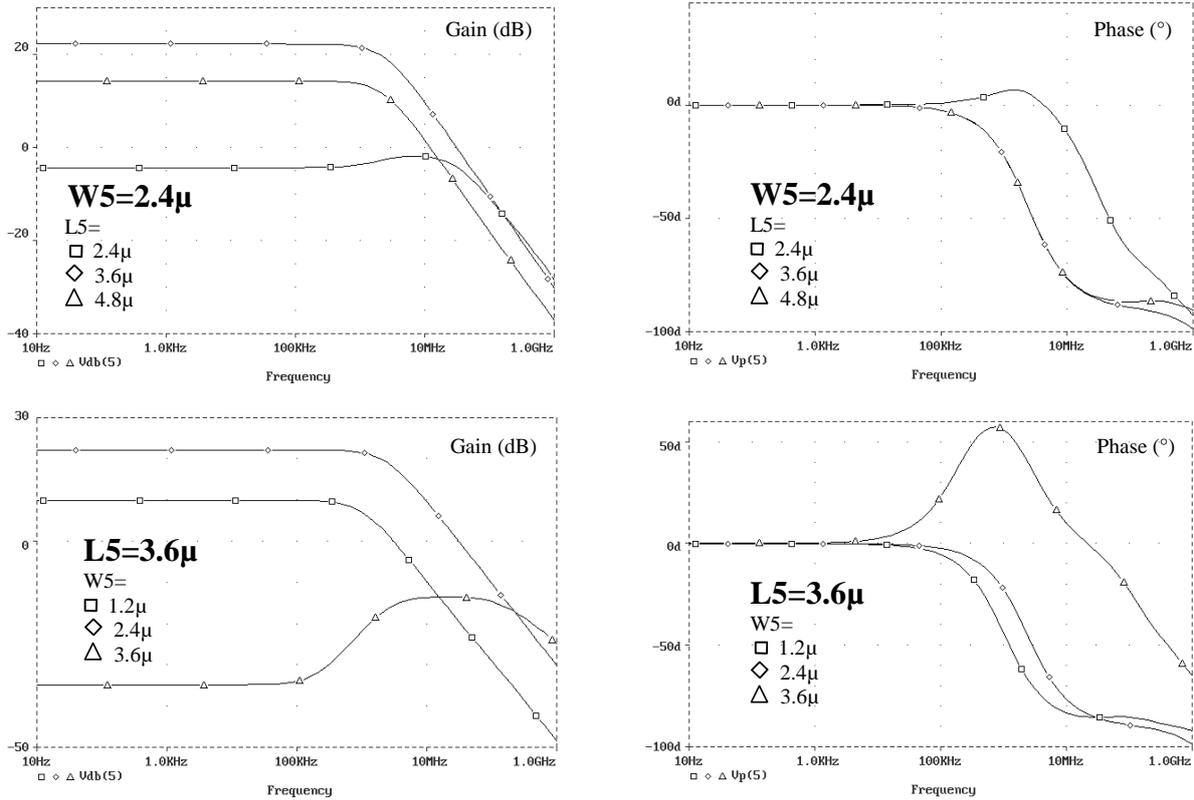


Fig. IV.11 : Evolution du gain en tension et de la phase en fonction de la fréquence.

Sur ces figures, on trouve que pour des valeurs particulières des dimensions ($L_5=W_5$) du transistor de charge M_5 , la structure étudiée n'est plus stable.

Performances en bruit :

Plusieurs éléments affectent la valeur du bruit dans un dispositif semi-conducteur. Tout d'abord, si l'étage différentiel apporte davantage de gain, la contribution du bruit généré par les autres amplificateurs sera réduite. Ensuite, on peut étudier l'effet de la polarisation et la géométrie des transistors d'entrée de l'étage afin d'optimiser leur production de bruit. Le calcul du bruit total à la sortie de l'étage différentiel se fait à l'aide du circuit équivalent en bruit donné sur la figure **IV.12**.

Sur cette figure, les conductances équivalentes g_1 , g_2 , g_3 et g_4 sont exprimées en fonction des transconductances et des conductances des transistors de l'étage différentiel, de la manière suivante (Annexe **A.IV.2**) :

$$g_1 = g_2 = \frac{g_{d1}(g_0 + g_{d5})}{g_0 + g_{d5} + g_{m1} + g_{mb1}} \quad \text{avec} \quad g_0 = 2 \frac{(g_{m4} + g_{d4})(g_{d2} + g_{m2} + g_{mb2})}{g_{d2} + g_{d4} + g_{m4}} \quad (\text{IV.9})$$

et

$$g_3 = g_4 = g_{m3} + g_{d3} = g_{m4} + g_{d4} \quad (\text{IV.10})$$

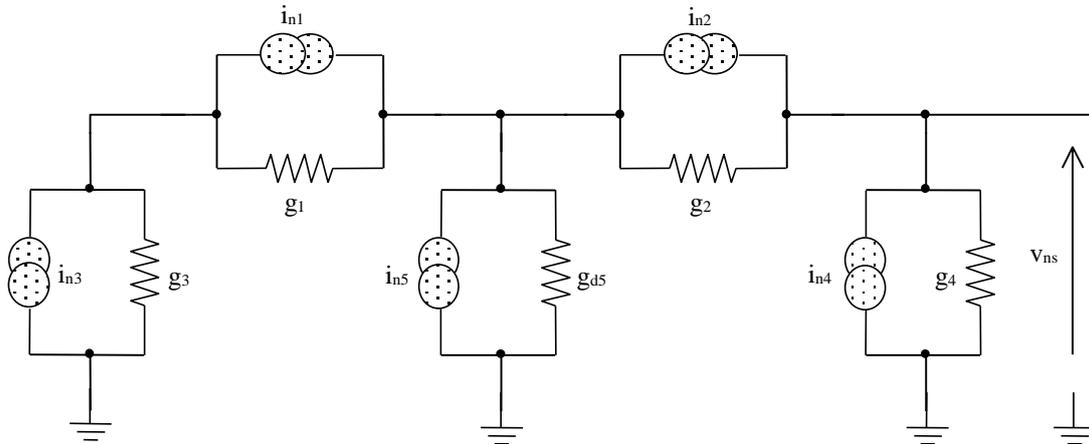


Fig. IV.12 : Circuit permettant de calculer le bruit à la sortie de l'étage différentiel

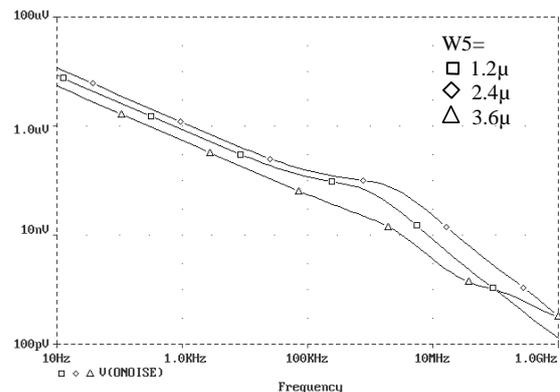
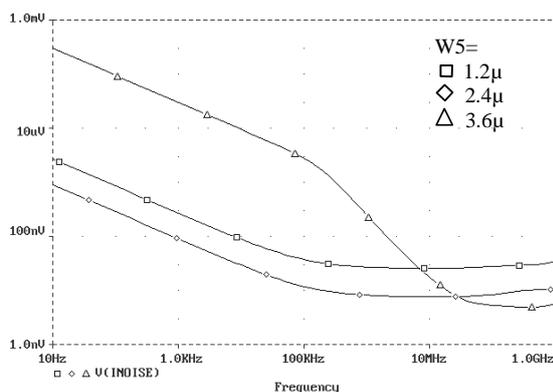
Le bruit total équivalent à la sortie peut être exprimé par sa densité spectrale suivante (Annexe **A.IV.3**) :

$$v_{ns}^2 = A^2 \left\{ \left(\frac{g_1 g_3}{g_1 + g_3} + g_{\acute{e}q} \right)^2 i_{n1}^2 + \left(\frac{g_1^2}{g_1 + g_3} + g_{\acute{e}q} + g_1 \right)^2 i_{n3}^2 + g_1^2 i_{n5}^2 \right\} \quad (\text{IV.11})$$

où

$$A^{-1} = g_1 g_3 + g_{\acute{e}q}(g_1 + g_3) \text{ et } g_{\acute{e}q} = g_{d5} + \frac{g_1 g_3}{g_1 + g_3}$$

i_{n1}^2 , i_{n3}^2 et i_{n5}^2 sont les densités spectrales des bruits en courant associées aux transistors M_1 , M_3 et M_5 respectivement. Ces densités spectrales sont données par des relations explicitées dans le chapitre **II**. Les résultats de la simulation du bruit de l'amplificateur différentiel montrent que le bruit total à l'entrée et à la sortie est de type bruit $1/f$ pour des fréquences inférieures à 10KHz. Le bruit blanc ramené à l'entrée de cette structure est estimé à 7.6nV rms (fig.**IV.13**).



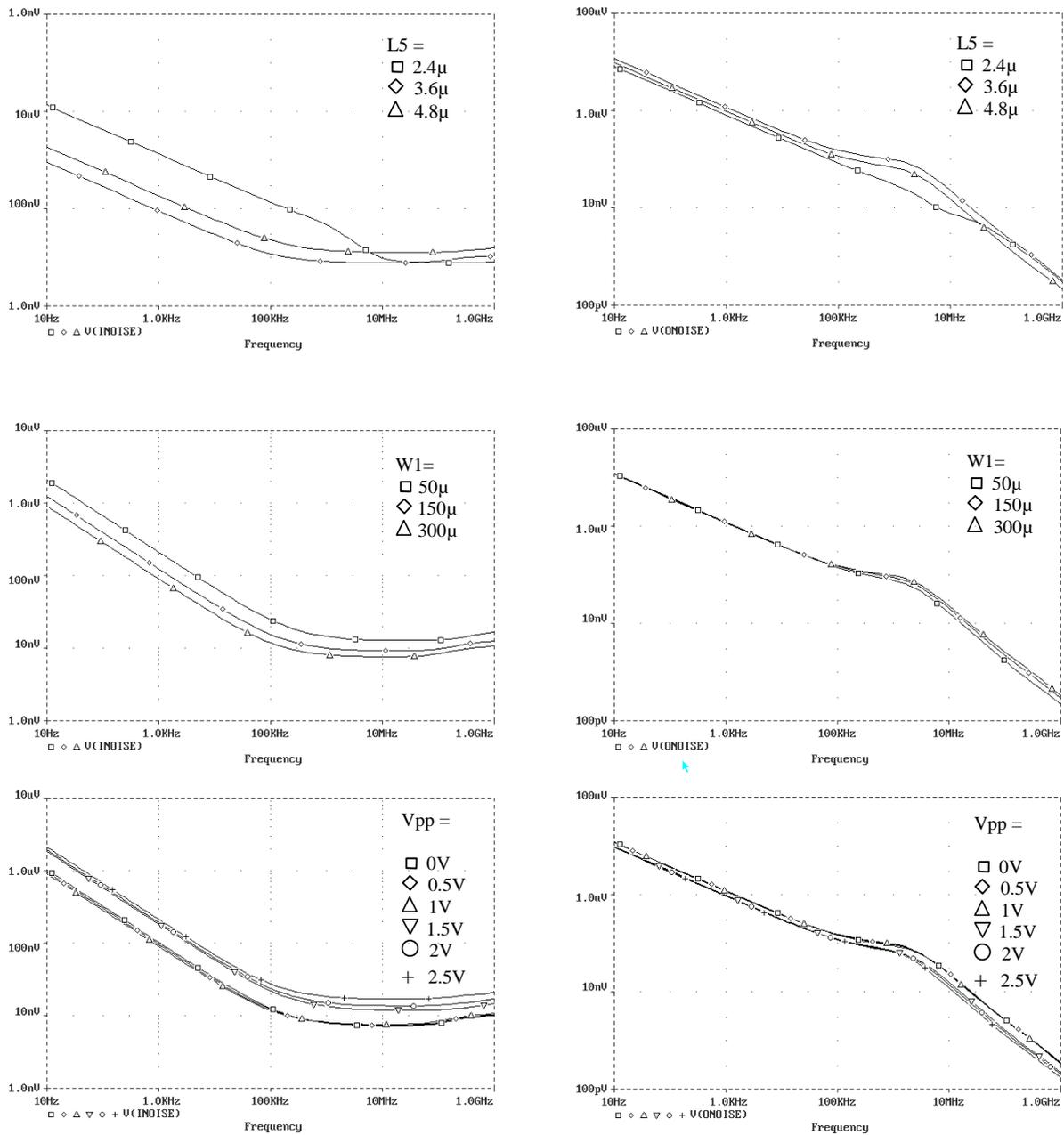


Fig. IV.13 : Résultat de la simulation PSPICE du bruit à l'entrée et à la sortie de l'amplificateur différentiel.
Effet des dimensions et de la polarisation de la source du courant.

On note aussi que le bruit équivalent à l'entrée diminue lorsqu'on augmente la largeur du canal des transistors d'entrées, alors que le bruit à la sortie reste quasi - constant comme le montre la figure ci-dessus. D'après cette étude, les paramètres géométriques du transistor M_5 permettant d'obtenir un comportement en bruit optimal sont $W_5=3.6\mu\text{m}$ et $L_5=2.4\mu\text{m}$. Le paragraphe suivant consiste à étudier le 2^{ème} élément de l'OTA à savoir l'amplificateur de gain de type cascode.

IV – 2 – 3 – 2 – Amplificateur cascode

Dans le montage de l'inverseur simple, l'effet capacitif lié au recouvrement de la grille sur le drain du transistor d'entrée est multiplié par le gain en tension de l'étage (ce qu'on appelle l'effet Miller). Ceci peut être gênant dans le cas d'étage à fort gain, d'autant plus que la capacité grille-drain est directement proportionnelle à la géométrie du transistor signal. Pour s'en affranchir, on intercale entre la charge et le transistor d'entrée un autre transistor polarisé à tension grille constante comme le montre la figure **IV.14-a**. Le circuit équivalent en petits signaux basse fréquence de ce montage est représenté sur la figure **IV.14-b**.

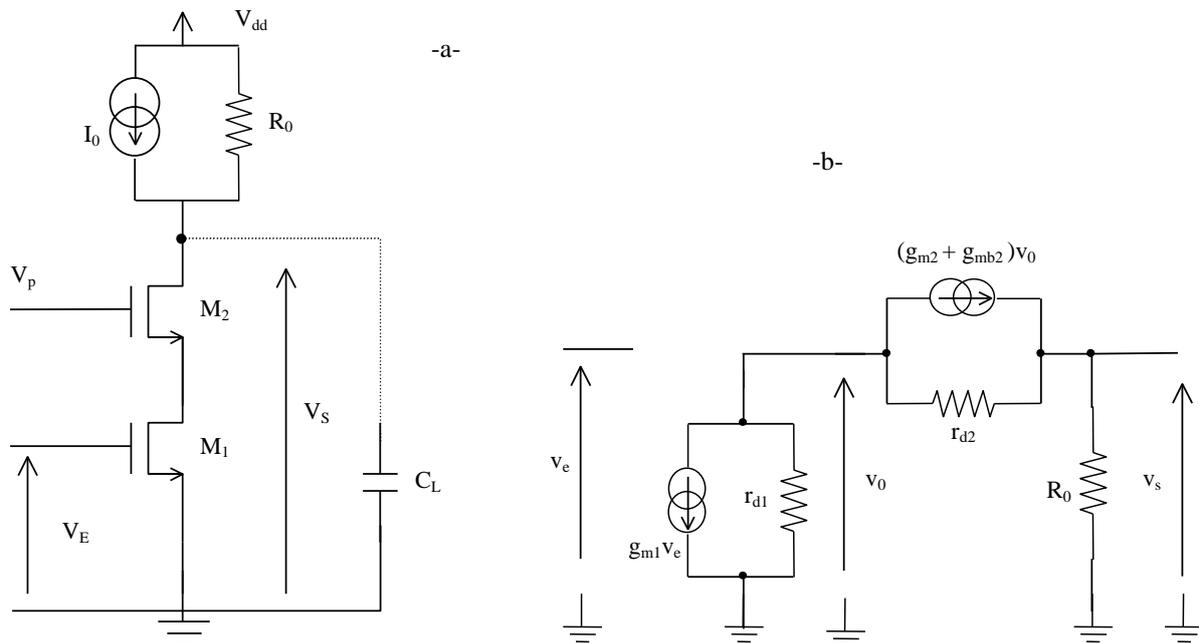


Fig. IV.14 : a- Structure d'un amplificateur cascode simple
b- Circuit équivalent en petits signaux BF

Le gain statique de cet amplificateur cascode peut être donné sous la forme suivante (Annexe **A.IV.4**) :

$$A_{vcs0} = - \frac{g_{m1} r_{d1} R_0 [1 + r_{d2} (g_{m2} + g_{mb2})]}{R_0 + r_{d2} + r_{d1} [1 + r_{d2} (g_{m2} + g_{mb2})]} \quad (\text{IV.12})$$

A haute fréquence, en tenant compte des capacités parasites des transistors, le circuit équivalent de l'amplificateur cascode est celui de la figure **IV.15**.

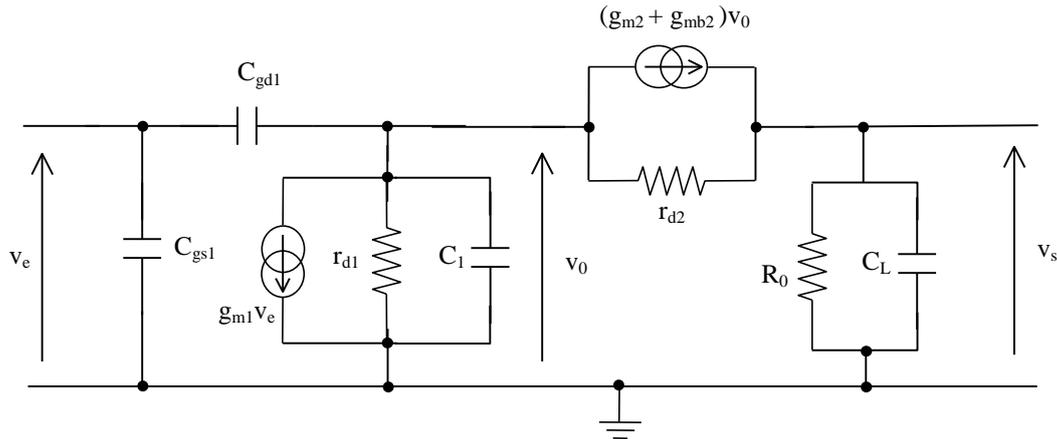


Fig. IV.15 : Schéma électrique équivalent en petits signaux HF du montage cascode

Le calcul de la fonction de transfert du gain de ce montage donne :

$$A_{vcs}(s) = \frac{A_{vcs0}}{1 + a_1 \cdot s + a_2 \cdot s^2} \quad (IV.13)$$

avec

$$a_1 = \frac{r_{d1} R_0 \{C_L [1 + r_{d2} (g_{d1} + g_{m2} + g_{mb2})] + C_1 (1 + g_0 r_{d2})\}}{R_0 + r_{d2} + r_{d1} [1 + r_{d2} (g_{m2} + g_{mb2})]}$$

$$a_2 = \frac{r_{d1} r_{d2} R_0 C_1}{R_0 + r_{d2} + r_{d1} [1 + r_{d2} (g_{m2} + g_{mb2})]} \quad \text{où } C_1 = C_{gs2} + C_{ds1}$$

L'approximation du pôle dominant peut être appliquée ici sans aucun problème, puisque les deux pôles en question sont distants de plusieurs décades [11]:

$$A_{vcs}(s) = \frac{A_{vcs0}}{(1 + a_1 \cdot s)(1 + a_2' \cdot s)} \quad (IV.14)$$

où $a_2' = a_2 / a_1$

Le pôle non dominant ($1/a_2'$) est généré par les capacités parasites connectées au drain du transistor M_1 .

La réponse fréquentielle de l'amplificateur peut être approchée par un filtre du premier ordre comme le montre les résultats de la figure IV.16.

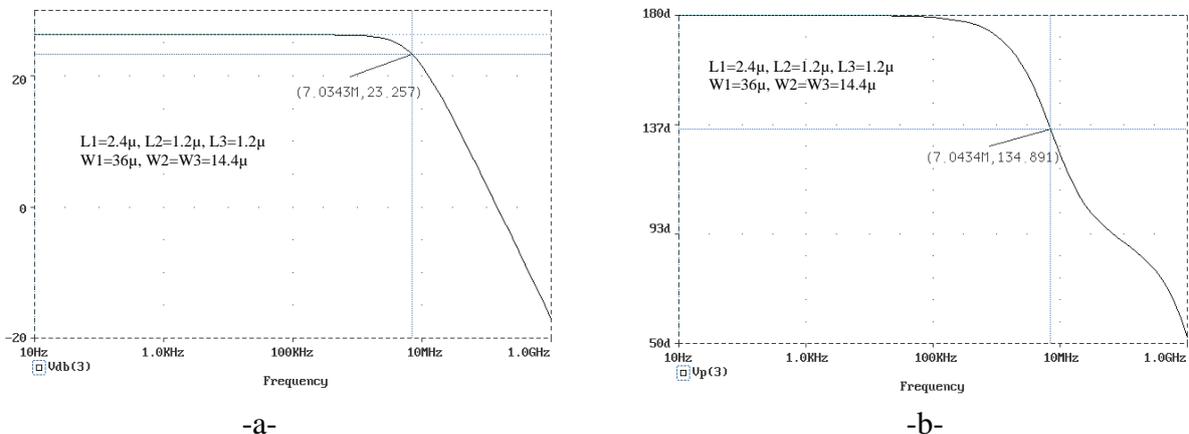


Fig. IV.16 : Réponse fréquentielle de l'amplificateur cascode simple
a- en amplitude, b- en phase

On montre aussi que la résistance de sortie et l'amplification en tension statique de l'amplificateur cascode avec renforcement de gain, circuit de la figure **IV.18**, sont donnés par :

$$R_S = r_{d2} + r_{d1} [I + r_{d2} (G_m + g_{mb2})] \quad (\text{IV.15})$$

$$A_{v0} = - \frac{g_{m1} r_{d1} R_0 [1 + r_{d2} (G_m + g_{mb2})]}{R_0 + r_{d2} + r_{d1} [1 + r_{d2} (G_m + g_{mb2})]} \quad (\text{IV.16})$$

Le comportement HF de ce montage peut se faire en considérant que la fonction de transfert du gain $G_v(s)$ du "booster" est du premier ordre :

$$G_v(s) = \frac{A_0}{1 + \tau_0 \cdot s} \quad (\text{IV.17})$$

Cependant, le gain global du cascode renforcé peut être écrit sous la forme :

$$A_v(s) = A_{v0} \frac{1 + \tau_1 \cdot s}{1 + \tau_2 \cdot s + \tau_0 \tau_3 \cdot s^2} \quad (\text{IV.18})$$

avec

$$\tau_1 = \tau_0 \frac{I + r_{d2} (g_{m2} + g_{mb2})}{I + r_{d2} (G_m + g_{mb2})}, \quad \tau_2 = (R_0 // R_S) C_L + \tau_0 \frac{R_0 + r_{d2} + r_{d1} [I + r_{d2} (g_{m2} + g_{mb2})]}{R_0 + r_{d2} + r_{d1} [I + r_{d2} (G_m + g_{mb2})]}$$

$$\text{et } \tau_3 = R_0 C_L \frac{r_{d2} + r_{d1} [I + r_{d2} (g_{m2} + g_{mb2})]}{R_0 + r_{d2} + r_{d1} [I + r_{d2} (G_m + g_{mb2})]}.$$

L'approximation des pôles dominants permet d'écrire :

$$A_v(s) \approx A_{v0} \frac{1 + \tau_1 \cdot s}{(1 + \tau_2 \cdot s) \left(1 + \frac{\tau_0 \tau_3}{\tau_2} \cdot s \right)} \quad (\text{IV.19})$$

Le zéro de cette fonction de transfert peut être compensé par le second pôle $\tau_0 \tau_3 / \tau_2$ en choisissant les conditions suivantes :

$$\tau_0 \ll R_0 C_L \frac{r_{d2} + r_{d1} [I + r_{d2} (G_m + g_{mb2})]}{R_0 + r_{d2} + r_{d1} [I + r_{d2} (g_{m2} + g_{mb2})]} \quad \text{et } r_{d2} \ll r_{d1}.$$

Ces approximations mènent au résultat suivant :

$$A_v(s) \approx A_{v0} \frac{1}{1 + (R_0 // R_S) C_L \cdot s} \quad (\text{IV.20})$$

La figure ci-dessous représente le diagramme de Bode du gain $A_{vcs}(s)$ de l'étage cascode sans "booster", de l'étage de gain $G_v(s)$ "booster" et de l'amplificateur cascode globale $A_v(s)$ avec renforcement de gain.

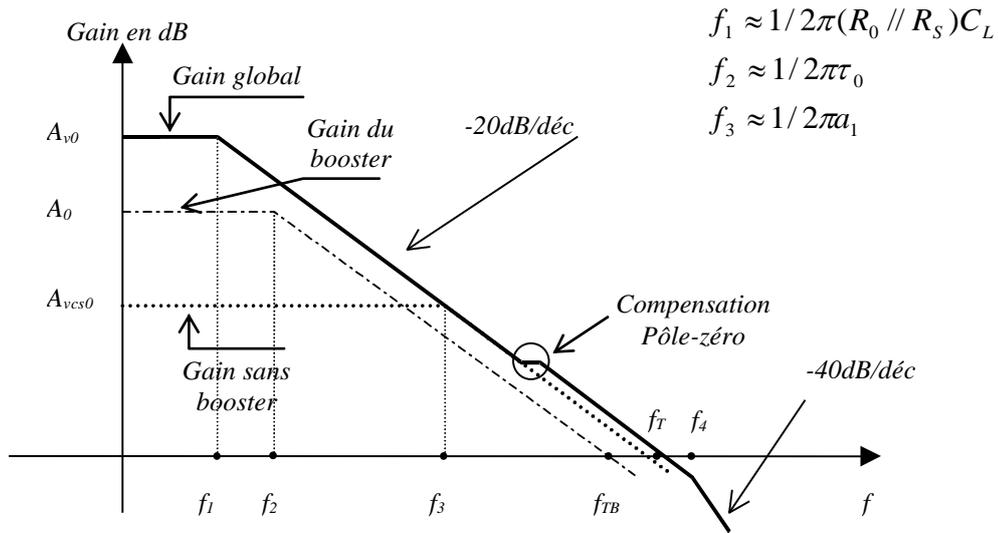


Fig. IV.19 : Diagramme de Bode des gains A_{vcs} , G_v et A_v .

A basse fréquence, l'augmentation du gain est approchée par :

$$\frac{A_{v0}}{A_{vcs0}} \approx \frac{1 + A_0}{1 + \frac{r_{d1}r_{d2}g_{m2}A_0}{R_0 + r_{d2} + r_{d1}[1 + r_{d2}(g_{m2} + g_{mb2})]}} \quad (\text{IV.21})$$

Pour des fréquences supérieures à f_1 , l'impédance de sortie de l'étage cascode devient fonction de la capacité de charge C_L et le gain $A_v(s)$ diminue.

Les fréquences f_2 et f_{TB} sont respectivement les fréquences de coupure et de transition du 'booster'. Les fréquences f_3 et f_T sont respectivement la fréquence de coupure et la fréquence de transition de l'amplificateur cascode sans renforcement de gain. D'après la figure **IV.19**, la fréquence de transition du booster f_{TB} doit être supérieure à la fréquence de coupure f_3 et aussi doit être inférieure à la fréquence de transition de l'étage cascode global qui est identique à celui de l'étage cascode sans renforcement de gain (cas de compensation zéro - pôle).

L'amplificateur cascode intégré dans l'amplificateur opérationnel, conçu pour la caméra APS, est constitué par une charge active cascode avec 'booster' permettant de réaliser une source de courant d'impédance très grande, et par un amplificateur cascode, comme le montre la figure **IV.20-a**.

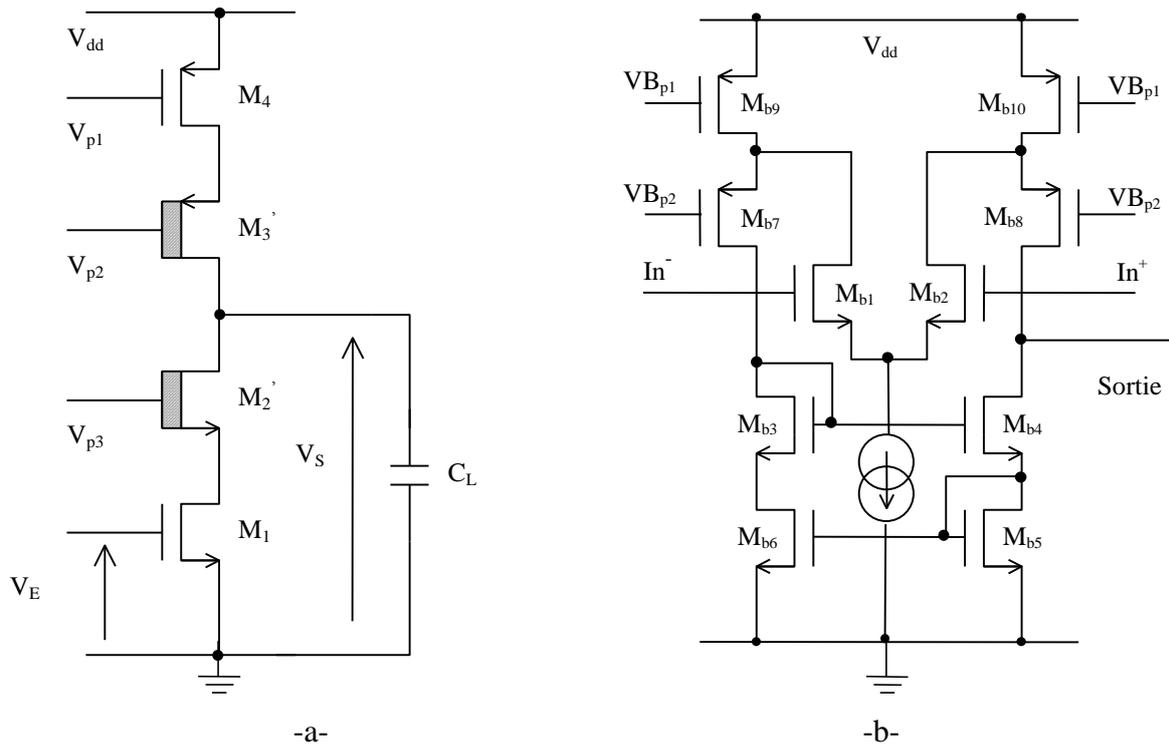


Fig. IV.20 : a- Circuit de l'étage cascode muni des transistors super - transconductance
b- structure interne du "booster_p" associé au transistor M_3

La figure **IV.20-b** représente la structure interne du "booster_p" associé au transistor M_3 à canal P. Le "booster_n" associé au transistor M_2 présente une structure analogue avec des transistors d'entrées de type PMOS. L'avantage évident de cette structure est que le pôle principal est fonction de la capacité de charge. Les pôles secondaires sont à des fréquences très élevées car les nœuds internes du circuit sont à basse impédance. La réponse fréquentielle en amplitude et en phase du "booster_p" est représentée sur la figure **IV.21**. Les dimensions géométriques choisies sont données dans le tableau **IV.2**.

	M_{b1}	M_{b2}	M_{b3}	M_{b4}	M_{b5}	M_{b6}	M_{b7}	M_{b8}	M_{b9}	M_{b10}
W(μm)	56	56	18	18	18	18	40	40	35.2	35.2
L(μm)	1.2	1.2	1.2	1.2	1.2	1.2	3.6	3.6	4.8	4.8

Tableau IV.2 : Paramètres géométriques des transistors du "booster_p"

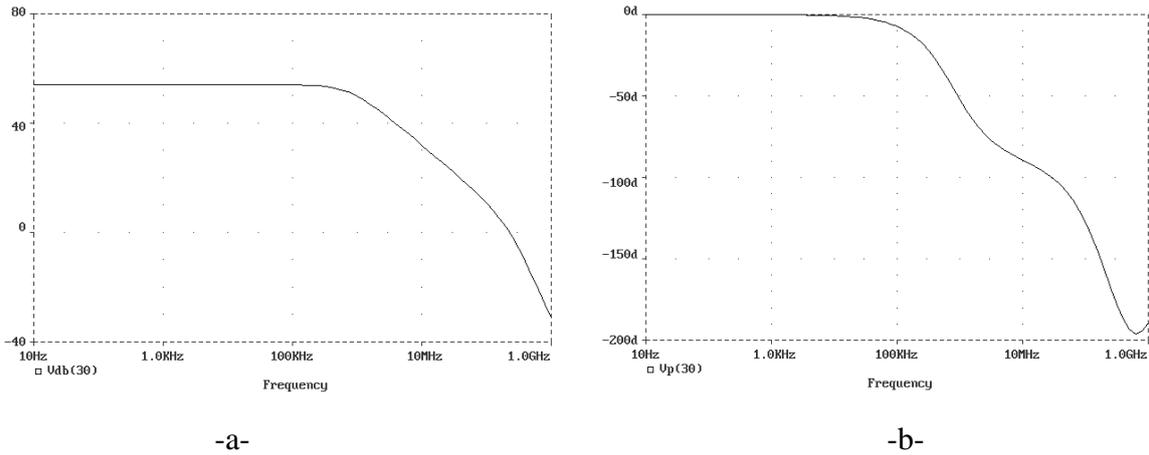
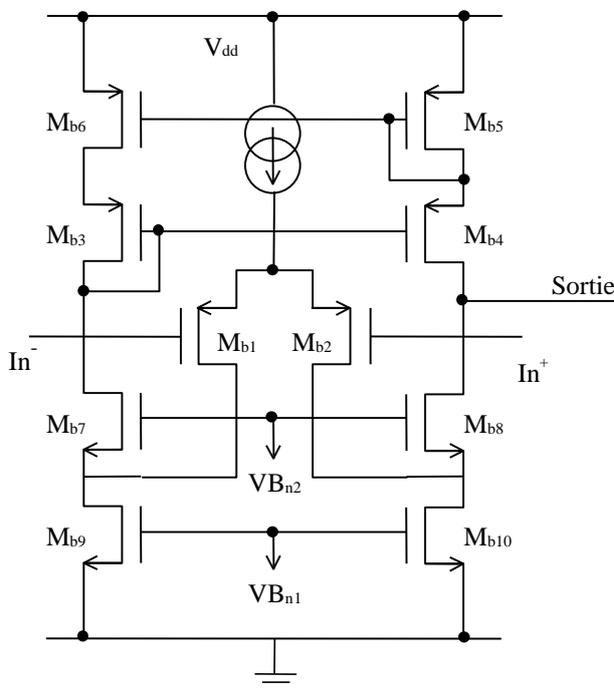


Fig. IV.21 : Réponse fréquentielle du "booster_p" associé au transistor M_3
a- en amplitude, **b-** en phase

L'examen de ces courbes montre que le gain statique du booster_p est voisin de 54dB et la fréquence de transition est de l'ordre de 225MHz.

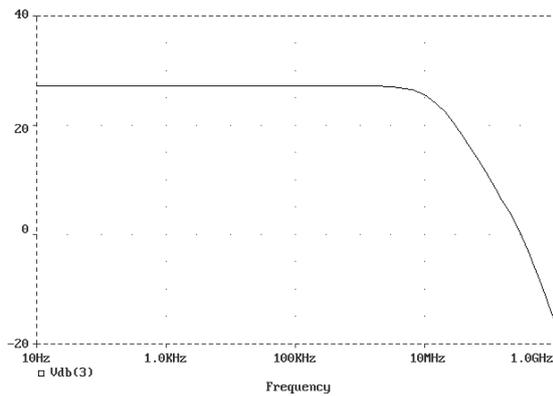
La figure IV.22 représente la structure interne du "booster_n" associé au transistor M_2 à canal N. La réponse fréquentielle en amplitude et en phase du "booster_n" est représentée sur la figure IV.23. Les dimensions géométriques choisies sont données dans le tableau IV.3.



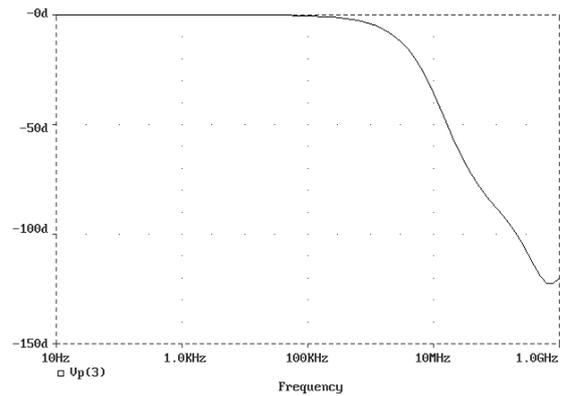
	W(μm)	L(μm)
M_{b1}	7.2	1.2
M_{b2}	7.2	1.2
M_{b3}	18	1.2
M_{b4}	18	1.2
M_{b5}	18	1.2
M_{b6}	18	1.2
M_{b7}	21.6	1.2
M_{b8}	21.6	1.2
M_{b9}	10.8	1.2
M_{b10}	10.8	1.2

Fig. IV.22 : Structure interne du "booster_n"

Tableau IV.3 : Paramètres géométriques des transistors du "booster_n"

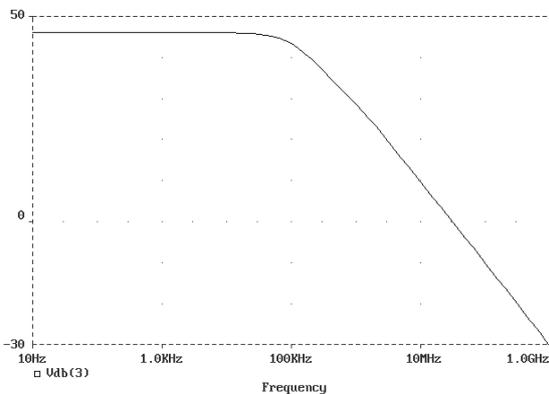


-a-

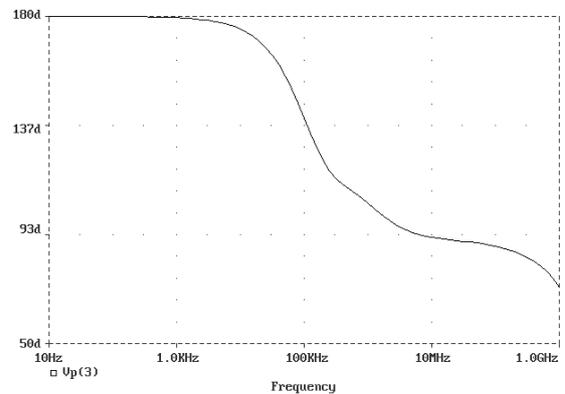


-b-

Fig. IV.23 : Réponse fréquentielle du "booster_n", a- en amplitude, b- en phase



-a-



-b-

Fig. IV.24 : Réponse fréquentielle du cascode complet, a- en amplitude, b- en phase.

L'examen de ces courbes montre que le gain statique du booster_n (figure **IV.23**) est voisin de 27dB et la fréquence de transition est de l'ordre de 306MHz. Le gain statique du cascode complet est approché à 46dB (figure **IV.24**).

IV – 2 – 3 – 3 – Circuit de contrôle du mode commun en sortie

Les AOPs prévus pour les convertisseurs pipelines sont à sorties différentielles. Ainsi, lorsqu'on utilise l'étage différentiel d'entrée de faible gain suivi de deux amplificateurs cascades, le taux de rejection de mode commun est nettement insuffisant. Ceci est associé à la source de courant de l'étage différentiel qui est loin d'être idéale et qui présente une impédance de sortie bien trop faible pour maintenir une polarisation rigoureusement constante indépendamment de la tension du mode commun des entrées.

Une première solution pourrait être trouvée si l'on parvient à concevoir une source de courant très performante en utilisant un montage cascode. Cette source pour qu'elle fonctionne dans

sa zone linéaire, il faut appliquer à ses bornes une différence de potentiel de quelques volts. Ceci entraîne alors une limitation excessive de la plage du mode commun applicable à l'entrée du différentiel.

L'objectif de ce paragraphe est de proposer une solution pour parvenir à maintenir la moyenne des deux sorties de l'AOP à une tension de référence choisie, et ceci, pour une plage de mode commun d'entrée convenable.

La structure interne choisie pour ce circuit est basée sur l'utilisation de deux amplificateurs différentiels montés en série comme le montre la figure **IV.25**.

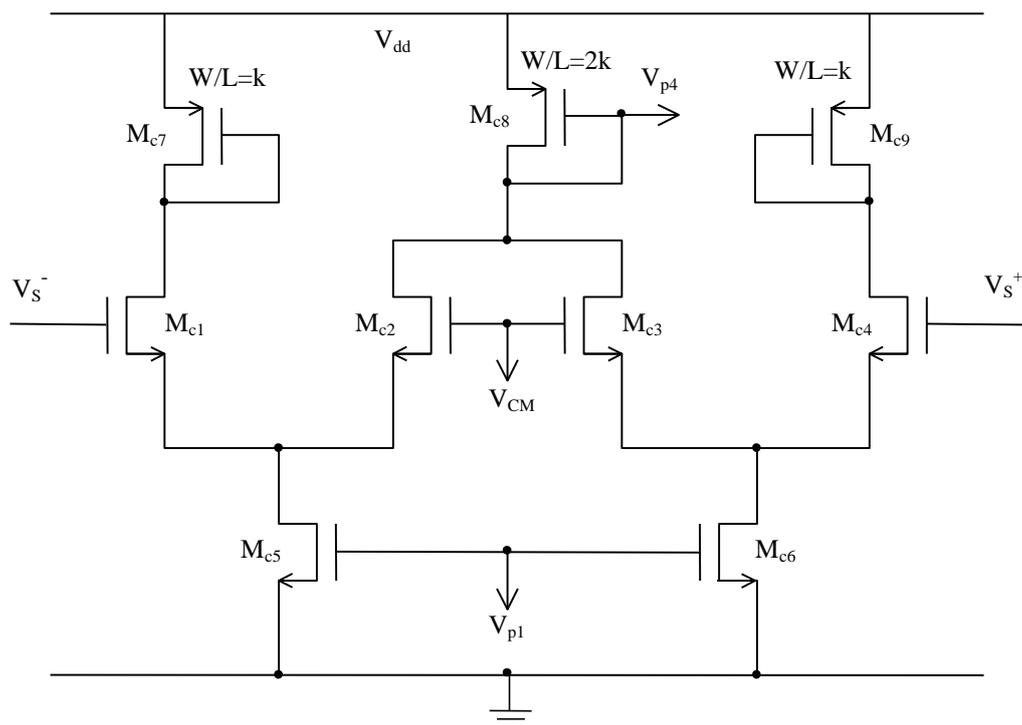


Fig. IV.25 : Structure interne du circuit de contrôle du mode commun.

a- Etude simplifiée du circuit :

Le circuit de la figure **IV.25** peut être scindé en deux parties symétriques. Le demi-schéma équivalent peut être simplifié par le circuit donné sur la figure **IV.26-a**. Sur cette figure, R_0 représente la résistance équivalente du transistor M_{c8} monté en diode, et I_0 représente la source de courant associé au transistor M_{c6} supposé parfait. Le circuit équivalent en petits signaux de ce circuit est dessiné sur la figure **IV.26-b**.

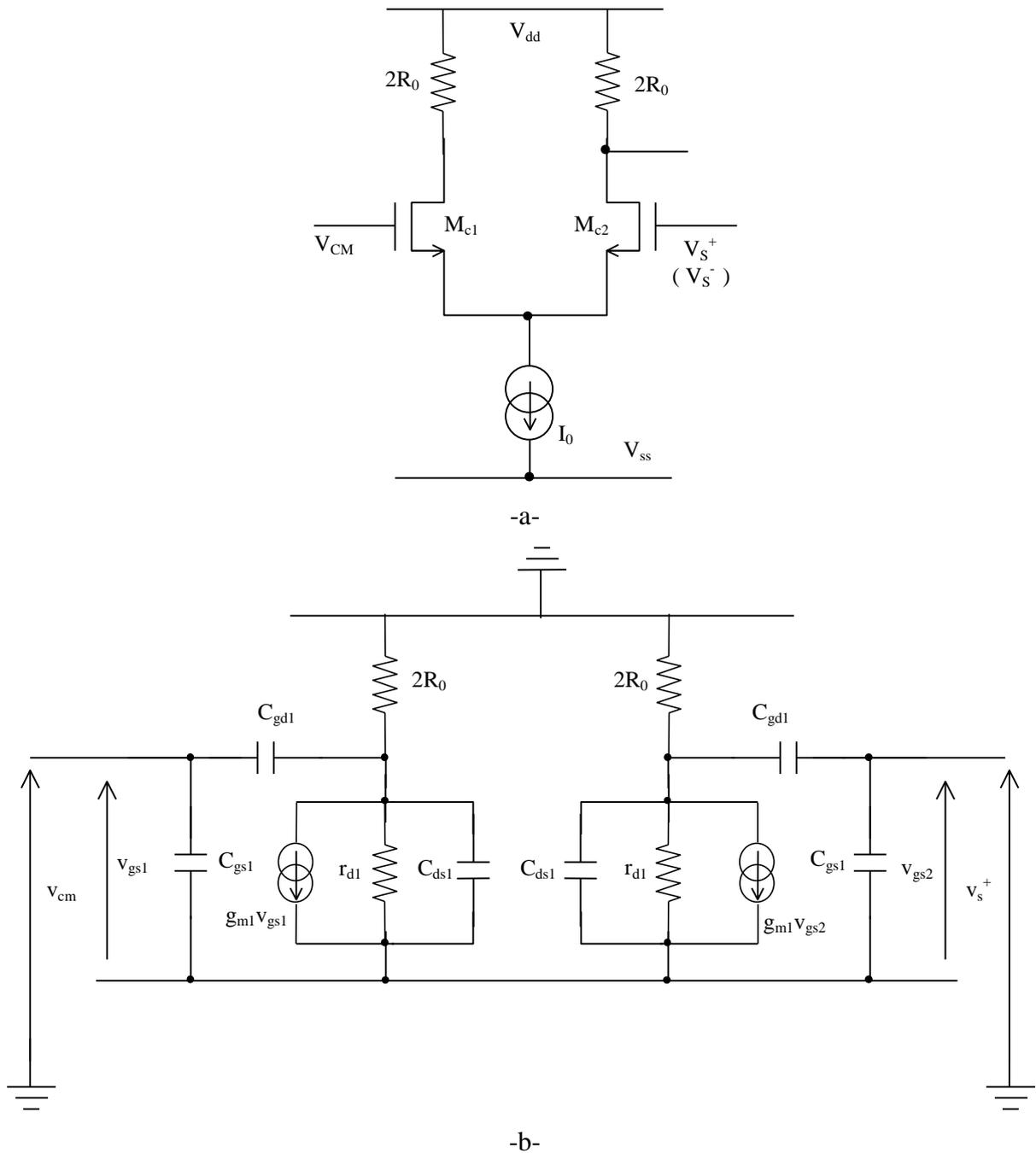


Fig. IV.26 : a- Demi-circuit équivalent de celui de la figure IV.25
b- Schéma électrique équivalent en petits signaux

Le gain différentiel en tension de ce circuit peut être exprimé par :

$$A_d(s) \approx \frac{r_d g_m}{1 + \tau_d \cdot s} \quad (IV.22)$$

avec $\tau_d \approx r_d (C_{gd} + C_{ds})$

r_d , g_m , C_{gd} , C_{ds} représentent, respectivement, la résistance du canal, la transconductance, les capacités grille – drain et drain – source du transistor M_{c1} (ou M_{c2}).

En utilisant le schéma équivalent de Thévenin de chaque moitié du circuit, on peut montrer facilement que la sortie V_{p4} est la moyenne des sorties de chacun des différentiels et on trouve :

$$V_{p4} = A_d(s)(v_{smoy} - V_{cm}) \quad (IV.23)$$

avec $v_{smoy} = \frac{v_s^+ + v_s^-}{2}$

b- Stabilité du circuit :

L'étude de la stabilité de ce circuit de contrôle nécessite l'analyse du gain de boucle. Ce dernier est composé de deux entités qui sont d'une part le gain V_S^+/V_{p4} (ou V_S^-/V_{p4}) de l'étage cascode 1 (ou 2) (figure IV.8), et d'autre part la fonction de transfert du circuit de la figure IV.25.

L'asservissement de mode commun de sortie peut être simplifié sous la forme de schéma-bloc suivant :

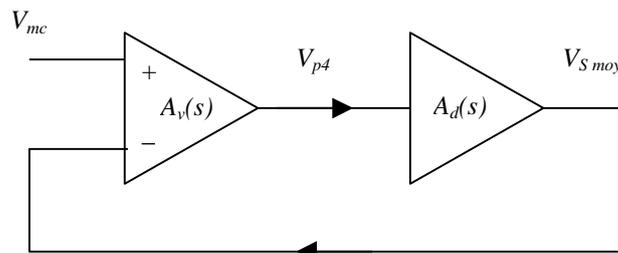


Fig. IV.27 : Schéma bloc simplifié du circuit de contrôle du mode commun

Cette représentation (figure IV.27) permet de comprendre les conditions que doit remplir le gain A_d de chacun des différentiels constituant le circuit de contrôle de mode commun en sortie, pour que l'ensemble soit effectivement stable. Le circuit de contrôle ne doit pas introduire de pôles en dessous de la fréquence de transition de l'AOP sans quoi la marge de phase du gain de boucle risque d'être insuffisante et d'entraîner une instabilité. Le gain statique de ce circuit doit être faible pour garantir une large bande passante.

IV – 3 – Conclusion

L'objectif de ce chapitre consiste à étudier et mettre au point un amplificateur opérationnel (AOP) en vue de l'intégrer dans la chaîne d'acquisition d'un capteur photosensible APS en technologie CMOS. L'AOP compatible avec ce capteur est un amplificateur à transconductance (OTA) à sortie différentielle. Les performances en bruit de l'étage différentiel d'entrée de cet OTA ont été présentées en fonction des dimensions et de la polarisation du transistor de charge.

Afin d'augmenter le gain de cet étage et de réduire l'effet Miller, nous avons étudié l'étage cascode avec renforcement de gain (gain boosting).

Un circuit du contrôle du mode commun en sortie a été élaboré. Ce circuit permet de maintenir la moyenne des deux sorties de l'AOP à une tension de référence donnée, et ceci, pour un intervalle de mode commun d'entrée convenable.

En perspective, ce type d'AOP sera intégré dans la chaîne d'acquisition et dans le convertisseur A/N de type "pipeline".

IV – 4 – Références bibliographiques

- [1] T.B. CHO and P.R. GRAY, "A 10 bit, 20MS/s, 35mW pipeline A/D converter", TC IEEE, Custom Integrated Circuits Conference, 1994.
- [2] S. BOUDJELEL, " Définition et étude d'un convertisseur A/N intégré pour un imageur APS", Rapport du projet de fin d'étude INSA, 1996.
- [3] T. ROCACHER, "Etude d'un AOP pour la chaîne d'acquisition d'un capteur APS", Rapport du projet de fin d'étude INSA, 1996.
- [4] M. CAND, E. DEMOULIN, P. SENN, " Conception des Circuits Intégrés MOS", Eléments de base – perspectives , Edition EYROLLES, Paris, 1986.
- [5] H. BELAHRACH, " Etude et conception d'un amplificateur CMOS faible bruit", Rapport de stage – ENSAE – Toulouse, 1998.
- [6] H. BELAHRACH , M. KARIM, J. FARRE, " Simulation PSPICE d'un circuit photodiode amplificateur intégré faible bruit en technologie CMOS alimenté par 2.5V", CIMASI'2000 EHTP - casablanca, 23-25 octobre 2000, CD-ROM_CIMASI'00.
- [7] P. R. GRAY, et. al., "MOS operational amplifier design : a tutorial overview", IEEE Journal of solid-state circuits, Vol. SC. 17, n° 6, 1982, pp. 969-982.
- [8] F. KRUMMENACHER, " High voltage gain CMOS OTA for micropower SC filters", Electronics letters, Vol. 17, 1981, pp. 160-162.
- [9] H. OGUEY & S. CSERVENY, " MOS modelling at low current density", summer course on process and device modelling, KU-Leuven, 1983.
- [10] E. VITTOZ, " MOS transistor", Intensive Summer Course on CMOS VLSI design, EPFL, Lausanne, 1990.
- [11] P. R. GRAY, et. al., " Analog MOS Integrated Circuits", proceeding of IEEE solide-state circuits, volume in the IEEE press selected reprint series, New York, 1980, pp. 29-49.
- [12] K. BULT & G.J.M. GEELLEN, " a fast settling CMOS Op Amp for SC circuits with 90dB DC gain", IEEE Journal of solid-state circuits, Vol. SC. 25, n° 6, 1990, pp. 1379-1383.

CONCLUSION GENERALE

CONCLUSION GENERALE

L'avènement de la micro-électronique est un élément important dans les domaines industriels, scientifiques et militaires. Le progrès de la technologie des semi-conducteurs a été très rapide. Dans la course à la performance, la tendance à la miniaturisation des composants électroniques est devenue une constante de l'industrie de la micro-électronique. Elle s'accompagne, pour les circuits intégrés, d'une augmentation de la surface occupée par les circuits. Ces deux tendances sont rendues possibles par la grande maturité de la technologie du silicium et en particulier la technologie CMOS. Ce qui a ouvert la possibilité de concevoir de nouvelles structures photosensibles tels que les capteurs d'images à pixels actifs (APS). Ces nouveaux capteurs, réalisés en technologie CMOS, permettent d'obtenir une sensibilité similaire à celle des capteurs CCD. Un des avantages majeur du concept APS est la possibilité d'intégrer sur la même puce le détecteur et la chaîne d'acquisition de l'image pour des applications spécifiques.

Les recherches dans le domaine des imageurs CMOS s'orientent vers l'amélioration des performances optoélectroniques du capteur en réduisant le bruit associé au détecteur et à l'amplification. Aussi, le courant d'obscurité, qui est un paramètre important, méritera dans un futur proche des études approfondies afin de le minimiser.

Le problème limitant les performances à faible flux du capteur APS se manifeste dans le bruit intrinsèque associé à l'élément photosensible et à l'amplificateur "in-pixel". C'est dans ce contexte qu'il s'est avéré nécessaire de caractériser et modéliser les sources de bruit dans les transistors MOS submicroniques. C'était l'objet du chapitre II.

Après avoir rappeler les différents modes de fonctionnement du transistor MOS (faible inversion, inversion modérée, forte inversion), des expressions analytiques approchées du courant drain-source, de la charge de la couche d'inversion et de la mobilité effective sont établies en fonction des paramètres technologiques, géométriques et de la polarisation du MOSFET. Dans la seconde partie de ce chapitre, nous avons développé une méthode analytique permettant de calculer la densité spectrale de puissance (DSP) du bruit associé au transistor en fonction des paramètres cités précédemment. La modélisation des sources de bruit basse fréquence (bruit RTS et bruit $1/f$) était basée sur le processus capture/émission des porteurs de charges libres du canal par les pièges d'oxyde au voisinage de l'interface Si/SiO₂.

Nous avons montré que le bruit $1/f$, dans un transistor MOS submicronique, est constitué par la superposition de plusieurs signaux télégraphiques aléatoires (RTSs). La dernière partie de ce chapitre a été consacrée à l'aspect expérimental et aux mesures du bruit basse fréquence. Nous avons monté un banc de mesure permettant de mesurer la DSP du bruit associé au transistor MOS, et de visualiser les fluctuations du courant drain-source dans le domaine temporel. Plusieurs essais ont été effectués, surtout au niveau du choix de l'amplificateur de courant faible bruit. Les mesures effectuées sur des transistors MOS fabriqués par une technologie submicronique ($W/L=25\mu\text{m}/0.7\mu\text{m}$, $W/L=1\mu\text{m}/0.7\mu\text{m}$) montrent que la DSP du bruit BF dépend fortement de la polarisation comme s'est prévu par la théorie. Les mesures effectuées sur le transistor de petites dimensions ont montré que si nous réduisons davantage la longueur du canal, le bruit BF devient purement du type RTS. La figure II.18 représente les résultats du bruit dans le domaine temporel pour ce transistor. Le nombre de pièges actifs et leur énergie, totalement aléatoire, même pour les transistors réalisés sur la même puce, pose un problème, surtout, pour les transistors submicroniques avancés. Ainsi, la caractérisation du bruit de ce type de transistors ne peut être que de manière statistique.

Une fois calculées les densités spectrales en puissance de bruit, nous avons présenté une méthode pratique et efficace permettant de simuler le bruit dans le capteur APS directement dans le domaine temporel. Cette méthode, développée dans le chapitre III, permet l'analyse du bruit en régime transitoire d'un circuit. Les signaux de bruit générés par cette technique sont considérés comme une superposition de signaux sinusoïdaux d'égales puissances et dont les fréquences et les phases sont choisies aléatoirement dans une répartition uniforme. Ils dépendent de la nature du spectre de la DSP du bruit (bruit blanc, bruit $1/f$ ou bruit RTS). Cette sorte d'analyse est compatible avec le simulateur électrique PSPICE. Ce dernier peut ainsi simuler le comportement en bruit dans le domaine temporel de tous les types de circuits. Les sources de bruit générées par cette méthode ont été appliquées à l'étude du comportement d'un pixel actif vis-à-vis du bruit, et ceci pendant les trois phases de fonctionnement du pixel : l'intégration, la remise à zéro et la lecture. Afin de "mesurer" les signaux de bruit noyés dans les signaux utiles, deux simulations transitoires ont été effectuées, une simulation avec les sources de bruit et une autre en l'absence de ces sources. La soustraction des résultats de ces deux simulations donne les signaux bruit d'un nœud du circuit.

La seconde partie de ce chapitre a été consacrée au calcul de la variance du bruit total à la sortie du pixel actif. L'étude développée dans cette section montre que la variance du bruit total à la sortie, elle aussi, dépend des paramètres technologiques et électriques du pixel et de ses transistors associés. Les différentes contributions du bruit (bruit blanc, bruit $1/f$ et bruit

RTS) sont mises en considération. L'effet de la polarisation et de la géométrie du transistor "in-pixel" sur la valeur efficace du bruit en sortie, en terme rms, a été évoqué. Les paramètres électriques des différents transistors sont calculés à chaque valeur du paramètre d'entrée. Ensuite, ils sont utilisés pour évaluer les densités spectrales en puissance des sources de bruit de chaque transistor. De l'autre côté, l'effet de la capacité de charge a été étudié. Il s'est avéré que l'augmentation de la valeur de cette capacité entraîne une réduction de la bande passante du système et du bruit. Par contre elle limite la vitesse de lecture. L'examen des résultats de la simulation électrique et de ceux analytiques montre qu'il y a un bon accord entre les deux résultats.

Dans la dernière partie de ce mémoire, nous avons étudié soigneusement un amplificateur opérationnel de type OTA susceptible d'être intégré dans la chaîne d'acquisition de l'image d'un capteur APS. En fait, la tension de sortie du pixel actif est stockée dans deux capacités, donc il s'agit de saisir une tension différentielle et séquentielle. Nous avons développé, en détail, les éléments principaux de l'OTA, à savoir, l'étage différentiel d'entrée, les étages amplificateurs intermédiaires et le circuit du contrôle du mode commun à la sortie. A l'aide du simulateur PSPICE, nous avons effectué des simulations, dans le domaine fréquentiel, des différents étages de l'OTA. Cette étude a mis en évidence que le bruit généré par l'étage différentiel peut être réduit en optimisant les dimensions des composants utilisés.

La perspective principale de ce travail s'adresse à l'étude des amplificateurs OTA alimentés à faible tension, donc compatible avec des applications faibles consommations. Et avec la miniaturisation des composants, la chaîne d'acquisition des capteurs APS doit évoluer avec la technologie CMOS submicronique avancée, en gardant le rapport signal/bruit le plus adéquat, surtout pour les applications faibles flux.

*''Chaque progrès donne un nouvel espoir,
suspendu à la solution d'une nouvelle difficulté.*

Le dossier n'est jamais clos.''

Claude Lévi-Strauss

ANNEXES

Annexe du chapitre II

A.II.1. Courant I_{ds} en fonction du potentiel de surface :

Soit ϕ_{s0} le potentiel de surface du canal d'un transistor NMOS du côté source ($x=0$), et Q_{n0} est la charge de la couche d'inversion en ce point. De même, soit ϕ_{sL} le potentiel de surface du canal côté drain ($x=L$, L : la longueur du canal), et Q_{nL} est la charge de la couche d'inversion en ce point.

En régime permanent DC, le courant total dans le canal est supposé identique en tous points le long du canal et égale au courant drain source I_{ds} (relations II.1 et II.2) :

$$I_{ds} = -\mu W Q_n \frac{d\phi_s}{dx} + \mu W U_T \frac{dQ_n}{dx} \quad (\text{A.II.1.1})$$

L'intégration de l'expression précédente par rapport à la longueur du canal, donne :

$$\int_0^L I_{ds} dx = -W \int_{\phi_{s0}}^{\phi_{sL}} \mu Q_n d\phi_s + W U_T \int_{Q_{n0}}^{Q_{nL}} \mu dQ_n \quad (\text{A.II.1.2})$$

Le courant I_{ds} est constant et peut se mettre à l'extérieur de l'intégrale ; et si on considère que la mobilité reste relativement constante, alors la relation précédente devient :

$$I_{ds} = \frac{W}{L} \mu \left[- \int_{\phi_{s0}}^{\phi_{sL}} Q_n d\phi_s + U_T \int_{Q_{n0}}^{Q_{nL}} dQ_n \right] \quad (\text{A.II.1.3})$$

La charge de la couche d'inversion peut être exprimée en fonction du potentiel de surface ϕ_s de la manière suivante :

$$Q_n(x) = C_{ox} [V_{gb} - V_{FB} - \phi_s(x) - \gamma \sqrt{\phi_s(x)}] \quad (\text{A.II.1.4})$$

En utilisant cette relation, les deux termes de l'équation (A.II.1.3) peuvent s'écrire sous la forme suivante :

$$I_{ds} = I_{ds1} + I_{ds2}$$

avec

$$I_{ds1} = \frac{W}{L} \mu C_{ox} \left[(V_{gb} - V_{FB}) (\phi_{sL} - \phi_{s0}) - \frac{1}{2} (\phi_{sL}^2 - \phi_{s0}^2) - \frac{2}{3} \gamma (\phi_{sL}^{3/2} - \phi_{s0}^{3/2}) \right] \quad (\text{A.II.1.5})$$

$$I_{ds2} = \frac{W}{L} \mu C_{ox} U_T \left[(\phi_{sL} - \phi_{s0}) + \gamma (\phi_{sL}^{1/2} - \phi_{s0}^{1/2}) \right] \quad (\text{A.II.1.6})$$

D'où la fonction intermédiaire définie par la fonction de la relation (II.6).

A.II.2. Densité spectral de puissance des fluctuations du courant I_{ds} :

Le calcul de la relation (II.58) est basé sur la relation (II.59) et sur le fait que la distribution spatiale dans l'oxyde est supposée uniforme et ne dépend que des niveaux d'énergie des pièges. La dernière hypothèse permet de sortir la quantité :

$$N_t(E_F) = \frac{I}{KT} \int_{E_v}^{E_c} N_T(E) F_t(1 - F_t) dE \quad (\text{A.II.2.1})$$

de la relation (II.58), et par suite :

$$S_{\Delta n_t}(x, f) = 4KT N_t(E_F) \int_0^W \int_0^{t_{ox}} \frac{\tau_0 e^{\xi z}}{1 + \tau_0^2 \omega^2 e^{2\xi z}} dy dz \quad (\text{A.II.2.2})$$

Après avoir effectué un changement de variable, et en utilisant la profondeur z_1 que peut atteindre l'électron piégé dans l'oxyde qui correspond à la constante du temps $\tau_1 = \tau_0 e^{\xi z_1}$, le

calcul l'intégrale de la relation (A.II.2.2) se ramène au calcul de $\int_{x_0}^{x_1} \frac{dX}{1 + X^2}$. Ainsi, la densité

spectrale de puissance du bruit associé au courant drain par unité de longueur Δx du canal, peut être écrite sous la forme suivante :

$$S_{\Delta n_t}(x, f) = \frac{2KT \Delta x W}{\pi f \xi} [\text{Arctg}(\omega \tau_1) - \text{Arctg}(\omega \tau_0)] N_t(E_F) \quad (\text{A.II.2.3})$$

A.II.3. Densité spectral de puissance des fluctuations du courant I_{ds} en fonction de la polarisation du transistor :

Le calcul de l'intégrale $\mathfrak{S} = \int_0^L \frac{1}{(N + N_0)^2} \pm \frac{2\alpha \mu}{N + N_0} dx$ de la relation (II.66) peut s'écrire, en

mode de forte inversion, de la manière suivante :

Le courant drain peut être donné par $I_{ds} = W \mu Q_n \frac{dV_{ds}(x)}{dx}$ et la charge de la couche

d'inversion est exprimée par $Q_n(x) = -C_{ox} [V_{gs} - V_{th} - \alpha_B V_{ds}(x)] = qN(x)$. La combinaison de ces deux relations donne :

$$dx = \frac{W \mu}{I_{ds} C_{ox} \alpha_B} Q_n dQ_n = \frac{q^2 W \mu}{I_{ds} C_{ox} \alpha_B} N dN \quad (\text{A.II.3.1})$$

Ainsi :

$$\mathfrak{S} = \int_{N_0}^{N_L} \left(\frac{1}{N^2} \pm \frac{2\alpha \mu}{N} \right) \frac{q^2 W \mu}{I_{ds} C_{ox} \alpha_B} N dN \quad (\text{A.II.3.2})$$

avec

$$N_0 = N(x=0) = \frac{C_{ox}}{q} (V_{gs} - V_{th}) \quad (\text{A.II.3.3})$$

$$N_L = N(x=L) = \frac{C_{ox}}{q} (V_{gs} - V_{th} - \alpha_B V_{DS})$$

Après avoir simplifier par N, l'intégrale de la relation (A.II.3.2) devient :

$$\begin{aligned}\mathfrak{S} &= \frac{q^2 W \mu}{I_{ds} C_{ox} \alpha_B} \left\{ \ln \frac{N_L}{N_0} \pm 2\alpha \mu (N_L - N_0) \right\} \\ &= \frac{q^2 W \mu}{I_{ds} C_{ox} \alpha_B} \left\{ \ln \left(1 - \frac{\alpha_B V_{DS}}{V_{gs} - V_{th}} \right) \mp 2\alpha \mu \alpha_B \frac{C_{ox}}{q} V_{DS} \right\}\end{aligned}\quad (\text{A.II.3.4})$$

d'où la densité spectrale de puissance des fluctuations du courant drain :

$$\frac{S_{I_d}(f)}{I_{ds}^2} = \frac{r}{f} \{ L\alpha^2 \mu^2 + \mathfrak{S} \} \quad (\text{A.II.3.5})$$

$$\text{où } r = \frac{KT N_t (E_F)}{L^2 W \xi}$$

Annexe du chapitre III

A.III.1. La moyenne et la variance de la variable aléatoire Z_N .

A.III.1.1. La valeur moyenne de Z_N

Soit Z_N la variable aléatoire correspondant à la valeur efficace d'une source de bruit donnée ayant comme variable aléatoire Y_{Ns} donnée par la relation (III.24). En effet la variable aléatoire Z_N peut s'écrire en fonction de Y_{Ns} de la manière suivante :

$$\overline{Z_N} = \frac{1}{N} \sum_{k=1}^{k=N} \overline{(Y_{Ns})_k^2} \quad (\text{A.III.1.1})$$

avec

$$\overline{(Y_{Ns})_k^2} = a_0^2 \sum_{i=1}^{N_s} \overline{(\sin(X_i))_k^2} + a_0^2 \sum_{\substack{l,m=1 \\ l \neq m}}^{N_s} \overline{(\sin(X_l) \sin(X_m))_k} \quad (\text{A.III.1.2})$$

Puisque les variables aléatoires X_l et X_m sont indépendantes alors, quelque soit i, l et $m = l$ à N_s et $k=1$ à N , on a :

$$\overline{(\sin(X_i))_k^2} = \frac{1}{2}, \quad \overline{(\sin(X_l) \sin(X_m))_k} = 0 \quad (\text{A.III.1.3})$$

et par suite :

$$\overline{Z_N} = \frac{N_s}{2} a_0^2 \quad (\text{A.III.1.4})$$

A.III.1.2. La variance de Z_N

La variance de la variable aléatoire Z_N est définie par :

$$\sigma^2 = \overline{(Z_N - \overline{Z_N})^2} = \overline{(Z_N)^2} - (\overline{Z_N})^2 \quad (\text{A.III.1.5})$$

Pour déterminer σ^2 on calcule $\overline{(Z_N)^2}$:

$$\overline{(Z_N)^2} = \overline{\left(\frac{1}{N} \sum_{k=1}^N (Y_{Ns})_k \right)^2} = \frac{1}{N^2} \sum_{k=1}^N \overline{(Y_{Ns})_k^4} + \frac{1}{N^2} \sum_{\substack{l,m=1 \\ l \neq m}}^N \overline{(Y_{Ns})_l (Y_{Ns})_m^2} \quad (\text{A.III.1.6})$$

Evaluation du premier terme de cette relation :

$$\begin{aligned} \overline{(Y_{Ns})_k^4} &= \overline{\left(\sum_{i=1}^{Ns} a_0 \sin(X_i) \right)_k^4} = a_0^4 \sum_{i=1}^{Ns} \overline{(\sin(X_i))_k^4} + 4a_0^4 \sum_{\substack{i,j=1 \\ i \neq j}}^{Ns} \overline{(\sin^3(X_i) \sin(X_j))_k} \\ &\quad + 6a_0^4 \sum_{\substack{i,j=1 \\ i \neq j}}^{Ns} \overline{(\sin^2(X_i) \sin^2(X_j))_k} \\ &\quad + 12a_0^4 \sum_{\substack{i,j,m=1 \\ i \neq j \neq m}}^{Ns} \overline{(\sin^2(X_i) \sin(X_j) \sin(X_m))_k} \\ &\quad + 24a_0^4 \sum_{\substack{i,j,m,n=1 \\ i \neq j \neq m \neq n}}^{Ns} \overline{(\sin(X_i) \sin(X_j) \sin(X_m) \sin(X_n))_k} \end{aligned} \quad (\text{A.III.1.7})$$

puisque les variables aléatoires X_i sont indépendantes alors, le 2^{ème}, le 4^{ème} et le 5^{ème} termes sont nuls, et le 1^{er} et le 3^{ème} termes sont fonctions de N_s , et on trouve :

$$\sum_{k=1}^N \overline{(Y_{Ns})_k^4} = N \left[\frac{3}{8} N_s a_0^4 + \frac{3}{2} N_s (N_s - 1) a_0^4 \right] \quad (\text{A.III.1.8})$$

de la même façon, puisque $(Y_{Ns})_l$ et $(Y_{Ns})_m$ sont non corrélés, le second terme de la relation (A.III.1.5) est donné par :

$$\sum_{\substack{l,m=1 \\ l \neq m}}^N \overline{(Y_{Ns})_l^2 (Y_{Ns})_m^2} = N(N-1) \frac{N_s^2}{4} a_0^4 \quad (\text{A.III.1.9})$$

L'addition des deux relations (A.III.1.8) et (A.III.1.9) entraîne la relation suivante :

$$\overline{(Z_N)^2} = \frac{a_0^4}{N} \left[\frac{3}{8} N_s + \frac{3}{2} N_s (N_s - 1) + (N-1) \frac{N_s^2}{4} \right] \quad (\text{A.III.1.10})$$

d'où la variance σ^2 donnée par la relation (III.28).

A.III.2. Total variance of the output noise (**extrait de l'article [12] du chapitre III**)

The circuit shown in figure **III.12** can be describe by tree stages:

a- i_{M1n} source noise contribution

The corresponding circuit is plotted in figure **A.III.3.1**.

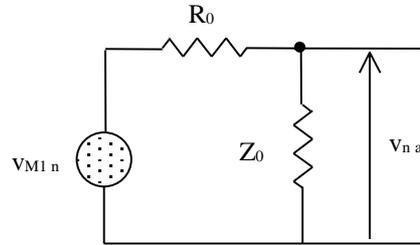


Fig. A.III.2.1 : small signal circuit for i_{M1n} source noise contribution

The signal v_{na} can be expressed as:

$$v_{na} = \frac{Z_0}{Z_0 + R_0} v_{M1n} \quad (\text{A.III.2.1})$$

with

$$Z_0 = 1/(g_{mM3} + jC_0\omega), \quad R_0 = R_{dsM2} + 1/g_{mM1} \quad \text{and} \quad v_{M1n} = i_{M1n} / g_{mM1}$$

After some simplifications

$$v_{na}(j\omega) = \frac{R_1}{1 + j\tau_0\omega} i_{M1n} \quad (\text{A.III.2.2})$$

with

$$R_1 = [g_{mM1} + g_{mM3}(1 + g_{mM1}R_{dsM2})]^{-1}, \quad \tau_0 = C_0(1 + g_{mM1}R_{dsM2})R_1$$

b- v_{M2n} source noise contribution

The corresponding circuit is plotted in figure **A.III.2.2**.

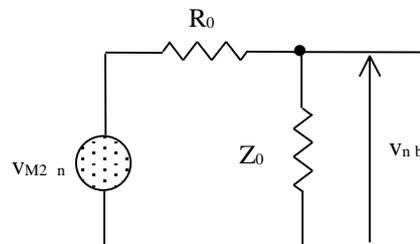


Fig. A.III.2.2 : small signal circuit for v_{M2n} source noise contribution

In the same way as the i_{M1n} noise source contribution, we find

$$v_{nb}(j\omega) = \frac{A_0}{1 + j\tau_0\omega} v_{M2n} \quad (\text{A.III.2.3})$$

where $A_0 = g_{mM1} R_1$

c- i_{M3n} source noise contribution

The corresponding circuit is plotted in figure **A.III.2.3**.

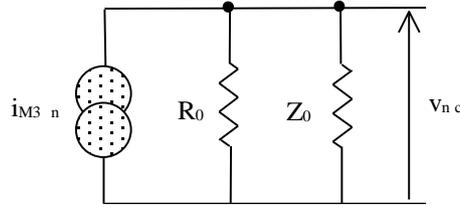


Fig. A.III.2.3 : small signal circuit for i_{M3n} source noise contribution

The signal v_{nc} is given by:

$$v_{nc}(j\omega) = \frac{R_2}{1 + j\tau_0\omega} i_{M3n} \quad (\text{A.III.2.3})$$

where $R_2 = (1 + g_{mM1} R_{dsM2}) R_1$.

Finally, the total output noise expression may be obtained from the preceding ones :

$$v_{n1}(j\omega) = \frac{R_1 i_{M1n} + A_0 v_{M2n} + R_2 i_{M3n}}{1 + j\tau_0\omega}$$

Annexe du chapitre IV

A.IV.1. Gain statique de l'amplificateur différentiel

Soit le circuit équivalent de la figure **IV.10**. Il est régi par les équations suivantes :

$$(1) v_{in1} = v_{gs1} + v_0$$

$$(2) g_{ds5} v_0 + (g_{m3} + g_{d3})(v_{s1} + v_{s2}) = 0 \quad (M_3 \text{ et } M_4 \text{ identiques})$$

$$(3) v_0(g_{d5} + 2g_{mb1} + 2g_{d1} - g_{m1}) + g_{m1} v_{gs1} - g_{d1}(v_{s1} + v_{s2}) = 0$$

$$(4) v_{s2}(g_{m3} + g_{d3} + g_{d1}) = v_0(g_{d1} + g_{mb1} - g_{m1})$$

la combinaison de ces relations donne :

$$A_{v0} = \frac{g_{m1}}{(g_{d1} + g_{d3} + g_{m3}) \left[2 + \frac{g_{d5}(g_{d1} + g_{d3} + g_{m3})}{(g_{d3} + g_{m3})(g_{d1} + g_{m1} + g_{mb1})} \right]} \quad (\text{A.IV.1.1})$$

A.IV.2. Calcul des conductances g_0 , g_s et g_1

En se référant au circuit équivalent de la figure IV.10, la conductance vue du côté drain du transistor M_5 , peut se calculer à partir du circuit de la figure ci-dessous :

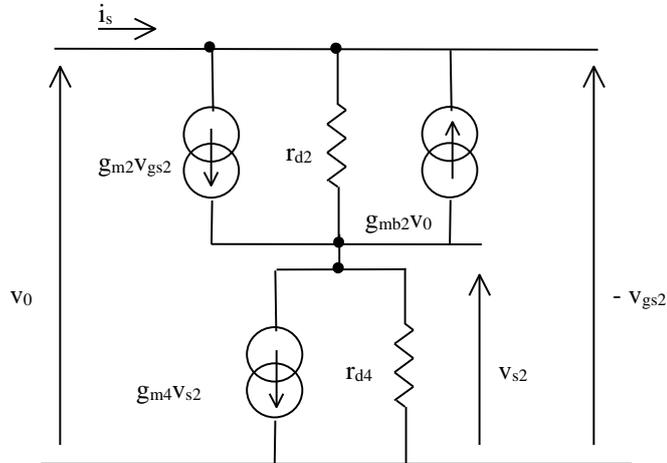


Fig. A.IV.2.1: Moitié du circuit global de l'A .D

Les équations régissant ce circuit sont les suivantes :

$$(1) i_s + (g_{m2} + g_{mb2})v_0 = g_{d2}(v_0 - v_{s2})$$

$$(2) i_s = (g_{m4} + g_{md4})v_{s2}$$

La combinaison de ces deux relations donne la conductance $g_0 = i_0/v_0$:

$$g_0 = 2 \frac{(g_{m4} + g_{d4})(g_{d2} + g_{m2} + g_{mb2})}{g_{d2} + g_{d4} + g_{m4}} \quad (\text{A.IV.2.1})$$

La conductance vue de la sortie peut se calculer à partir du circuit équivalent donné sur la figure A.IV.2.2.

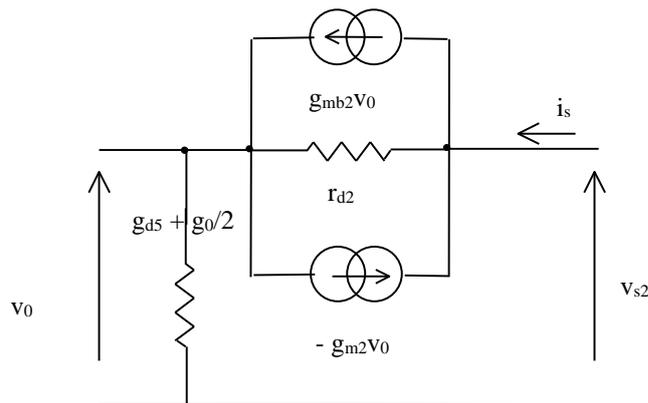


Fig. A.IV.2.2 : Circuit équivalent permettant de calculer la conductance de sortie de l'A.D

Les relations qui régissent ce circuit sont données par :

$$(1) i_s = (g_{d5} + g_0/2)v_0$$

$$(2) i_s = (g_{m2} + g_{mb2} - g_{d2})v_0 + g_{d2}v_{s2}$$

La combinaison de ces deux relations permet d'écrire :

$$g_s = \frac{i_s}{v_{s2}} = \frac{g_{d2}(g_0/2 + g_{d5})}{g_0/2 + g_{d2} + g_{m2} + g_{mb2} + g_{d5}} \quad (\text{A.IV.2.2})$$

vue la symétrie du circuit global, la conductance équivalente g_1 (ou g_2) du transistor d'entrée de l'étage différentiel peut s'obtenir à partir de la relation suivante :

$$\frac{1}{g_s} = \frac{1}{g_1} + \frac{1}{g_{d5} + g_0/2} \quad (\text{A.IV.2.3})$$

d'où

$$g_1 = g_2 = \frac{g_{d1}(g_{d5} + g_0/2)}{g_{d5} + g_0/2 + g_{m1} + g_{mb1}} \quad (\text{A.IV.2.4})$$

A.IV.3. Bruit total à la sortie de l'amplificateur différentiel

Pour exprimer le bruit total équivalent à la sortie du circuit de la figure **IV.12**, on utilise le théorème de superposition. On considère que les sources de bruit i_{n1} , i_{n2} , i_{n3} , i_{n4} , et i_{n5} ne sont pas corrélées.

a – Contribution de i_{n1}

Le circuit équivalent à cette contribution est schématisé sur la figure **A.IV.3.1**.

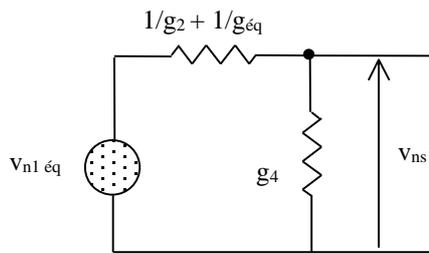


Fig. A.IV.3.1 : Circuit équivalent permettant de calculer v_{ns1}

Dans ce circuit la source du bruit équivalente est donnée par :

$$v_{n1\acute{e}q} = \frac{g_3 i_{n1}}{g_1 g_3 + g_{d5}(g_1 + g_3)} \quad \text{et} \quad g_{\acute{e}q} = g_{d5} + \frac{g_1 g_3}{g_1 + g_3} \quad (\text{A.IV.3.1})$$

d'après le circuit de la figure **A.IV.3.1**, et après avoir effectué des combinaisons de calcul, on trouve :

$$v_{ns1} = \frac{g_2 g_3}{(g_1 + g_3) \{g_2 g_4 + g_{\acute{e}q}(g_2 + g_4)\}} i_{n1} \quad (\text{A.IV.3.2})$$

b – Contribution de i_{n2}

Le circuit équivalent à cette contribution est schématisé sur la figure **A.IV.3.2**.

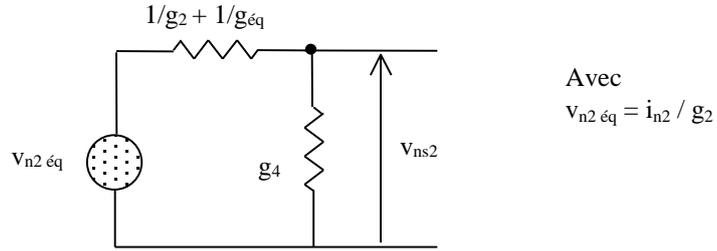


Fig. A.IV.3.2 : Circuit équivalent permettant de calculer v_{ns2}

Le bruit à la sortie correspondant à la contribution de i_{n2} peut être écrit sous la forme suivante :

$$v_{ns2} = \frac{g_{éq} i_{n2}}{g_2 g_4 + g_{éq} (g_2 + g_4)} \quad (\text{A.IV.3.3})$$

c – Contribution de i_{n3}

Le circuit équivalent à cette étude est donné sur la figure **A.IV.3.3**.

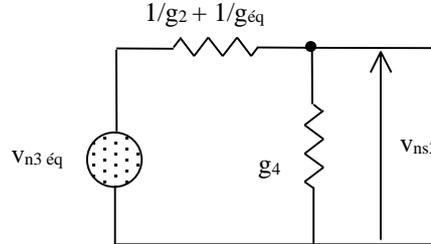


Fig. A.IV.3.3 : Circuit équivalent permettant de calculer v_{ns3}

$$v_{n3éq} = \frac{g_1 i_{n3}}{g_1 g_3 + g_{d5} (g_1 + g_3)} \quad (\text{A.IV.3.4})$$

Le calcul de v_{ns3} se fait de la même manière que dans le cas du paragraphe (a). On trouve :

$$v_{ns3} = \frac{g_2 g_1}{(g_1 + g_3) \{g_2 g_4 + g_{éq} (g_2 + g_4)\}} i_{n3} \quad (\text{A.IV.3.5})$$

d – Contribution de i_{n4}

Le circuit correspondant au calcul du bruit à la sortie relatif à i_{n4} est représenté sur la figure **A.IV.3.4**.

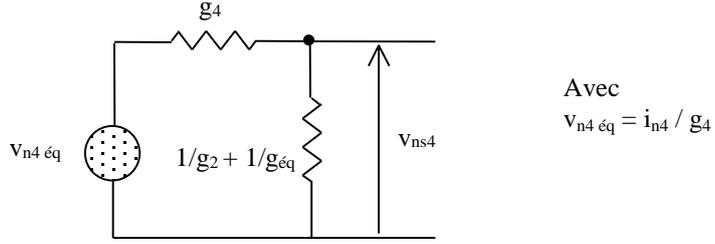


Fig. A.IV.3.4 : Circuit équivalent permettant de calculer v_{ns4}

De la même manière que précédemment, on trouve :

$$v_{ns4} = \frac{(g_2 + g_{\acute{e}q}) i_{n4}}{g_2 g_4 + g_{\acute{e}q} (g_2 + g_4)} \quad (\text{A.IV.3.5})$$

e – Contribution de i_{n5}

L'évaluation de cette contribution est identique à celle de la contribution de i_{n2} :

$$v_{ns5} = \frac{g_2 i_{n5}}{g_2 g_4 + g_{\acute{e}q} (g_2 + g_4)} \quad (\text{A.IV.3.6})$$

La superposition de ces cinq contributions donne :

$$v_{ns} = v_{ns1} + v_{ns2} + v_{ns3} + v_{ns4} + v_{ns5} \quad (\text{A.IV.3.7})$$

si on pose $A = \frac{1}{g_1 g_3 + g_{\acute{e}q} (g_1 + g_3)}$ et si M_1 et M_2 sont identiques, et aussi M_3 et M_4 sont

identiques, alors le bruit total équivalent à la sortie peut être exprimé par sa densité spectrale suivante :

$$v_{ns}^2 = A^2 \left\{ \left(\frac{g_1 g_3}{g_1 + g_3} + g_{\acute{e}q} \right)^2 i_{n1}^2 + \left(\frac{g_1^2}{g_1 + g_3} + g_{\acute{e}q} + g_1 \right)^2 i_{n3}^2 + g_1^2 i_{n5}^2 \right\} \quad (\text{A.IV.3.8})$$

A.IV.4. Gain statique de l'amplificateur cascode

Les relations qui régissent le circuit de la figure **IV.14-b** sont données par :

$$(1) v_s = -R_0 i_s$$

$$(2) i_s + (g_{m2} + g_{mb2})v_0 + g_{d2}(v_0 - v_s) = 0$$

$$(3) v_0 = r_{d1}(i_s - g_{m1}v_e)$$

La combinaison de ces relations donne le gain statique de l'amplificateur cascode A_{vcs0} :

$$A_{vcs0} = -\frac{g_{m1} r_{d1} R_0 [1 + r_{d2} (g_{m2} + g_{mb2})]}{R_0 + r_{d2} + r_{d1} [1 + r_{d2} (g_{m2} + g_{mb2})]} \quad (\text{A.IV.4.1})$$

Titre :

Modélisation et simulation des sources de bruit dans les capteurs d'images à pixels actifs, étude et conception d'un amplificateur opérationnel faible bruit compatible avec les APS.

Mots clés :

Capteur d'images APS, CMOS, OTA, sources de bruit, bruit basse fréquence, modélisations, simulations PSPICE, DSP du bruit, variance du bruit.

Résumé :

Ce travail porte sur l'étude et l'amélioration des performances en bruit des capteurs d'images à pixels actifs (APS), sous faible éclairément, et réalisés en technologie CMOS. La première partie est consacrée à l'étude et la modélisation des sources de bruit associées à l'élément photosensible et aux transistors MOS intégrés à côté des pixels. Nous avons développé une méthode analytique permettant de calculer la densité spectrale de puissance (DSP) du bruit BF (bruit RTS et bruit 1/f) des MOSFETs en fonction des paramètres technologiques, géométriques et électriques. Le modèle établi est basé sur le processus capture/émission des porteurs de charges libres dans le canal par les pièges d'oxyde au voisinage de l'interface Si/SiO₂. Aussi, un banc de mesure de la DSP du bruit a été établi. Cette étude nous permet de définir des règles de conception des transistors "in-pixel" ayant un bruit optimal. Dans la deuxième partie, nous avons présenté une méthode pratique et efficace permettant de simuler le comportement en bruit dans les capteurs APS, directement dans le domaine temporel. Cette technique est entièrement compatible avec le simulateur PSPICE, ce qui rend facile la simulation transitoire du bruit d'un circuit. Aussi, nous avons déterminé des expressions analytiques de la variance du bruit total à la sortie du pixel actif. L'étude développée dans cette section montre que la variance du bruit dépend fortement des paramètres technologiques et électriques du pixel et de ses transistors associés. Nous avons étudié l'effet de la polarisation et de la géométrie des transistors du circuit de lecture. L'effet de la capacité de charge a été également évoqué. La comparaison entre les résultats de l'étude analytique et ceux obtenus par la simulation PSPICE, montre qu'il y a un bon accord entre les deux résultats. La dernière partie de ce travail est consacrée à l'étude et la conception d'un amplificateur opérationnel à transconductance (OTA) à sortie différentielle en technologie CMOS. Cet OTA est susceptible d'être intégré dans la chaîne d'acquisition d'un capteur APS. Les différents étages de cet amplificateur ont été développés. Cette étude a mis en évidence que le bruit généré par l'étage d'entrée différentiel peut être réduit davantage, en optimisant les dimensions des composants utilisés.

Title :

Noise modeling and simulation in active pixel sensor, and low-noise amplifier design suitable for APS sensors.

Abstract :

This work is focused on noise performance improvement in CMOS active pixel sensor at low flux. In the first part of this work, detector and MOS transistor noise sources modelisation is presented. Complete model of the power spectral density (PSD) of the low-frequency noise, associated to MOSFET, is achieved. This model is based on trapping/detrapping process of electrons by the oxide traps at the Si/SiO₂ interface. Furthermore, an experimental study on the noise current exhibited by MOSFET in both the ohmic and nonlinear region is carried out. This study allows optimizing the in-pixel transistor dimensions for lower noise. In the second part of the thesis, an original method based on PSD characteristics of the input noise sources is detailed. Also, creating random noise input requires writing a program to generate a set of random numbers, which can there be incorporate in the PSPICE net list. The obtained analytical formulae allow computing output rms noise value in time domain. In order to determine the effect of the bias of the in-pixel buffer, the total noise is computed for several bias values, and confirms that this noise depend strongly on the bias current of the first source follower. In this study de capacitance nonlinearity of the sense node is taken into account. The influence of the in-pixel transistor scaling down is analyzed. A good agreement is observed between analytical and PSPICE simulation results. In the next part, a differential output operational transconductance amplifier (OTA) is analyzed. This amplifier will be integrated in the readout circuit of the CMOS APS. The different circuits of this OTA are simulated with the help of PSPICE. Optimizing transistor dimensions of the input differential amplifier permit to obtain an optimal noise at the output of the OTA.

Keywords :

Active pixel sensor, CMOS technology, OTA amplifier, modelisation, PSPICE simulation, low-frequency noise, power spectral density, variance.