



HAL
open science

Developpement de cellules elementaires radiofrequences faible consommation en technologie FDSOI pour des applications liees à l'internet des objets

Jing Liu

► **To cite this version:**

Jing Liu. Developpement de cellules elementaires radiofrequences faible consommation en technologie FDSOI pour des applications liees à l'internet des objets. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2019. Français. NNT: 2019GREAT057. tel-02524863

HAL Id: tel-02524863

<https://theses.hal.science/tel-02524863v1>

Submitted on 30 Mar 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nanoélectronique et Nanotechnologie**

Arrêté ministériel : 31 janvier 2019

Présentée par

Jing LIU

Thèse dirigée par **Sylvain Bourdel** et
co-encadrée par **Estelle Lauga-Larroze**

préparée au sein des **Laboratoires IMEP-LAHC & RFIC-Lab**
dans **l'École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal**

Développement de cellules élémentaires radiofréquences faible consommation en technologie FDSOI pour des applications liées à l'internet des objets

Thèse soutenue publiquement le 15 Octobre 2019,
devant le jury composé de :

Pr. Jean GAUBERT

Professeur des Universités, Université d'Aix Marseille, Rapporteur

Pr. Thierry PARRA

Professeur des Universités, Université de Toulouse, Rapporteur

Pr. Bruno ALLARD

Professeur des Universités, INSA Lyon, Président du jury

Pr. Sylvain BOURDEL

Professeur des Universités, Université Grenoble-Alpes, Directeur de thèse

Mme. Estelle LAUGA-LARROZE

Maitre de Conférences, Université Grenoble-Alpes, Co-Encadrante de thèse

M. Frédéric Hameau

Ingénieur, CEA Leti Grenoble, Examineur



A ma fille Ambre et mon chéri Thomas

Résumé

Les applications sans fil nécessitent, de fait, des appareils alimentés sur batteries. La consommation d'énergie est donc une préoccupation majeure pour la conception des composants qui les constituent tels que les amplificateurs faible bruit (LNAs). Il existe toujours des compromis pour satisfaire le facteur de faible bruit, un gain raisonnable, une linéarité élevée, une faible consommation et un faible coût. L'objectif de ce travail est de concevoir un amplificateur faible bruit en technologie CMOS 28 nm FDSOI fournit par STMicroelectronics en mettant en œuvre une méthode de conception en g_m/I_D et une technique RFPG (RF power gating). La partie principale de cette conception est de réaliser des LNAs avec une très faible consommation sans dégrader les performances. Dans un premier temps, la conception du LNA est basée sur la méthodologie g_m/I_D et sur les caractéristiques de la technologie de 28nm FDSOI. Pour ces technologies avancées, des travaux récents montrent que des bons compromis entre les performances et la consommation d'énergie peuvent être obtenus dans les régions d'inversions modérées ou faibles. Dans ce travail, nous présentons une méthode complète pour dimensionner les LNAs basés sur une topologie de *feedback* capacitif. Cette topologie a été choisie pour sa compacité puisqu'une seule inductance est utilisée (dans le réseau d'adaptation d'entrée). Cette méthode de conception permet d'atteindre certaines performances données en bruit et en gain avec une consommation d'énergie minimale et une faible valeur d'inductance, afin de réduire le coût du LNA. Cette méthode de conception repose sur une approche g_m/I_D adaptée à la conception RF dans des technologies avancées comme FDSOI. Cette méthode permet également de dimensionner tous les composants pour atteindre un gain et un facteur de bruit donné, en maximisant le rapport g_m/I_D , afin de minimiser la consommation d'énergie. De plus, même si la linéarité n'est pas considérée comme une contrainte de conception, cette méthode a des bonnes performances en IIP3 car elle tend à réduire le facteur de qualité en entrée, ce qui entraîne une linéarité élevée. Cette méthode permet également de maîtriser la valeur d'inductance d'entrée pour l'adaptation. Dans un deuxième temps, un LNA intégrant une technique de réduction de la consommation RFPG est présenté. Sur la base du premier LNA, un LNA RFPG est conçu pour répondre aux besoins applicatifs du standard ZigBee. Le

principe de la technique RFPG consiste à commuter l'alimentation des blocs RF tels que le LNA ou le Mixer pendant le temps des symboles. Cette approche est basée sur l'observation que, dans le cas d'un bon canal de propagation, il n'est pas nécessaire de collecter toute l'énergie du symbole. Avec cette technique, il est possible d'adapter les performances du récepteur à la qualité du canal et ainsi d'adapter la consommation d'énergie. Avec la méthode g_m/I_D , la technique RFPG sur la technologie avancée FDSOI, la consommation du LNA peut être largement réduit en gardant les bonnes performances.

Mots-clés : Amplificateur faible bruit; capacitive feedback; faible consommation; g_m/I_D ; RFPG(RF power gating); 28nm FDSOI

Abstract

Wireless applications require battery-powered devices. Energy consumption is therefore a major concern for the design of the components used in these systems, such as low noise amplifiers (LNAs). Trade-offs are required to satisfy the low noise factor, reasonable gain, high linearity, low consumption and low cost. The objective of this work is to design a low noise amplifier in 28 nm CMOS FDSOI technology provided by STMicroelectronics, by using a g_m/I_D design method and an RFPG (RF power gating) technique. The main part of this design is to produce LNAs with very low power consumption without degrading the performance. Initially, the design of the LNA is based on the g_m/I_D methodology and the characteristics of the 28nm FDSOI technology. For these advanced technologies, recent work shows that good trade-offs between performance and energy consumption can be achieved in moderate to low inversion regions. In this work, we present a complete method for sizing LNAs based on a capacitive feedback topology. This topology was chosen for its compactness since only one inductance is used (in the input adaptation network). This design method achieves given noise and gain performances with minimal energy consumption and a low inductance value, in order to reduce the cost of the LNA. This design method is based on a g_m/I_D approach suited to RF design in advanced technologies such as FDSOI. In addition, even if linearity is not considered as a design constraint, this method has good IIP3 performance because it tends to reduce the input quality factor, resulting in high linearity. This method also makes it possible to control the input inductance value used for the matching. In a second step, an LNA based on a RFPG technique is presented to further reduce the power consumption. Based on the first LNA, an RFPG LNA is designed to meet the application requirements of the ZigBee standard. The principle of the RFPG technique consists in switching the power supply of RF blocks such as the LNA or the Mixer during the symbol time. This approach is based on the observation that, in the case of a good propagation channel, it is not necessary to collect all the energy of the symbol. With this technique, it is possible to adapt the receiver's performance to the quality of the channel and thus adapt the energy consumption. With the g_m/I_D method, the RFPG technique on the advanced FDSOI

technology, the consumption of LNA can be greatly reduced while maintaining good performance.

Keywords: Low Noise Amplifier; capacitive feedback; Low Power; g_m/I_D ; RFBG(RF power gating); 28nm FDSOI

TABLE DES MATIERES

TABLE DES MATIERES	4
LISTE DES FIGURES	11
LISTE DES TABLEAUX	14
INTRODUCTION	15
Chapitre 1 : Contexte et objectifs de la thèse	17
1.1. L'internet des objets et les réseaux de capteurs sans fil	19
1.2. Techniques de réduction de la consommation	21
1.3. La norme IEEE 802.15.4-ZigBee	24
1.4. Les architectures de récepteurs RF pour les WSN	26
1.4.1 Récepteur sans changement de fréquence	26
1.4.2 Commutation de l'alimentation et technique RFPG dans les récepteurs	27
1.5. La technologie 28 nm FDSOI de ST-Microelectronics	28
1.6. Méthodes de conception en g_m/I_D	30
1.6.1 L'approche g_m/I_D	30
1.6.2 Modèle ACM (Advanced Compact Mosfet)	33
1.7. Conclusion	36
Chapitre 2 : Méthodologie de conception d'un LNA à capacité de rétroaction sur la base de caractéristiques g_m/I_D	38
2.1. Cahier des charges du LNA à concevoir	40
2.2. Etat de l'art des LNAs	41
2.2.1. Principales architectures de LNA	41
2.2.1.a. LNA de type Common-Source avec une dégénérescence inductive	42
2.2.1.b. LNA large bande sans inductance	43
2.2.2. LNA low power	44
2.3. Conception d'un LNA à capacité de feedback en technologie FDSOI 28 nm de STMicroelectronics	46

2.3.1.	<i>Adaptation de l'impédance d'entrée à 50Ω</i>	46
2.3.2.	<i>Définition la valeur optimale de g_m/I_D</i>	48
2.3.2.a.	Gain intrinsèque du transistor NRVT $g_m.r_{ds}$ en fonction de g_m/I_D	48
2.3.2.b.	$g_m.r_{ds}$ vs g_m/I_D de la structure.....	50
2.3.3.	<i>Facteur de bruit du LNA</i>	52
2.3.4.	<i>Dimensionnement du transistor</i>	55
2.3.5.	<i>Résumé de la méthode</i>	56
2.4.	<i>Conception du buffer</i>	59
2.5.	<i>Circuits implémentés</i>	61
2.6.	<i>Amélioration de la méthode de design</i>	62
2.7.	<i>Résultats</i>	64
2.8.	<i>Conclusion</i>	67
	Chapitre 3: Conception LNA RF Power Gating	69
3.1.	<i>ETAT DE L'ART DES RECEPTEUR ADAPTATIFS COMMUTES</i>	72
3.1.1.	<i>Wake-up radio</i>	73
3.1.2.	<i>RF Power-gating (RFPG)</i>	74
3.1.2.a.	Les récepteurs à ultra-large bande impulsionnelle (IR-UWB).....	74
3.1.2.b.	Les récepteurs à bande étroite.....	75
3.1.2.c.	RF Power-gating (RFPG) [55].....	76
3.1.3.	<i>Conclusion</i>	78
3.2.	<i>Design du circuit LNA RFPG</i>	78
3.2.1.	<i>Définition des modes de fonctionnement</i>	79
3.2.2.	<i>Unité de gestion de la puissance et paramètres critiques</i>	80
3.2.3.	<i>Conception d'un CF-LNA commuté pour le RFPG (CF-LNA-RFPG)</i>	82
3.2.4.	<i>Buffer commuté pour la technique de RFPG</i>	85
3.2.5.	<i>LNA et Buffer RFPG conçus pour être commutés</i>	86
3.2.6.	<i>Générateur d'impulsion programmable</i>	86
3.3.	<i>Performances du LNA+ buffer RFPG</i>	89
3.4.	<i>Démonstrateur LNA+ buffer RFPG incluant un LDO</i>	91
3.4.1.	<i>Circuit LDO dédié au LNA RFPG</i>	92
3.4.2.	<i>Démonstrateur LDO + LNA + buffer RFPG</i>	94
3.5.	<i>Conclusion</i>	95

Conclusion et perspectives	96
• <i>Conclusion</i>	98
• <i>Perspectives</i>	99
Liste des valorisations	100
Bibliographie	103

LISTE DES FIGURES

Figure 1. 1 Les domaines d'application de l'IoT[1]	19
Figure 1. 2 Pr�vision d'�volution du nombre de dispositifs utilisant internet [2].....	20
Figure 1. 3 (a) FDSOI et (b) FinFET	21
Figure 1. 4 Couches protocolaires de ZigBee	25
Figure 1. 5 Diagramme bloc d'une chaine de r�ception en Low-IF et z�ro-IF.....	27
Figure 1. 6 Principe d'une architecture RFPG (a) et des instants de commutation de l'alimentation en fonction de la trame.....	28
Figure 1. 7 Vue en coupe d'une structure MOS en (a) technologie bulk et (b) technologie FDSOI[19].....	29
Figure 1. 8 Structure des transistors NMOS et PMOS en FDSOI (a) Conventiennel-Well et (b) Flip-Well [19]	29
Figure 1. 9 Caract�ristique I_D vs V_{gs} d'un transistor nRVT avec $W/L=1\mu\text{m}/30\text{nm}$	31
Figure 1. 10 Caract�ristique g_m/I_D vs V_{od} d'un transistor nRVT avec $W/L=1\mu\text{m}/30\text{nm}$	32
Figure 1. 11 Diagramme simplifi� des techniques de conception en g_m/I_D	33
Figure 1. 12 Courant de drain divis� en courant de diffusion et drift en fonction de la tension de grille pour un MOSFET fonctionnant dans la r�gion lin�aire avec $V_{ds}=\phi_t/2=13\text{mV}$	35
Figure 2. 1 Sch�ma bloc d'un r�cepteur RF	41
Figure 2. 2 Architecture de LNA Common-Source avec une d�g�n�rescence inductive	42
Figure 2. 3 Architecture de LNA large bande (NC-LNA (a), CF-LNA (b), RF-LNA (c)).....	43
Figure 2. 4(a) Structure du LNA � capacit� de feedback et (b) Mod�le �quivalent en petits signaux	46
Figure 2. 5 Mod�le d'extraction du transistor.....	49
Figure 2. 6 Courbes du gain intrins�que $g_{m,r_{ds}}$ du transistor NRVT en fonction de g_m/I_D pour diff�rentes longueurs L	49
Figure 2. 7 Courbes du gain intrins�que $g_{m,r_{ds}}$ due � la structure capacit� feedback en fonction de g_m/I_D pour diff�rents gains de LNA	51
Figure 2. 8 $g_{m,r_{ds}}$ vs g_m/I_D pour $Q_e = 1$ et $V_{ds} = (V_{DD} - V_{ea}) / 2$	52
Figure 2. 9 Mod�le de la r�sistance bruyante	53
Figure 2. 10 Mod�le de MOS bruyant.....	53

Figure 2. 11 Modèle de bruit de LNA à capacité feedback.....	53
Figure 2. 12 NF vs g_m	55
Figure 2. 13 $I_D/(W/L)$ vs g_m/I_D	55
Figure 2. 14 V_{ov} en fonction de g_m/I_D	56
Figure 2. 15 Principe de la méthode pour dimensionnement	57
Figure 2. 16 Schéma de buffer	59
Figure 2. 17 Résultats de simulation du NF, S_{21} et du gain en tension (G_V) buffer	60
Figure 2. 18 Circuit implementé en FDSOI 28nm	61
Figure 2. 19 Layout de LNA+buffer	61
Figure 2. 20 Espace de conception du LNA Cf feedback	64
Figure 2. 21 Bench de mesure LNA.....	64
Figure 2. 22 Résultats de PLS et mesure buffer.....	65
Figure 2. 23 Résultats de PLS et mesure du LNA	65
Figure 2. 24 Détail du layout de la capacité Cf.....	66
Figure 2. 25 Rétro simulation en ajoutant 100fF de capacité parasite à Cf	66
Figure 3. 1 Répartition de la consommation d'un objet communicant en mode d'écoute [39]	71
Figure 3. 2 Modèle de communication sans fil	72
Figure 3. 3 Principe de la structure Wake-up radio.....	73
Figure 3. 4 Principe de la structure Duty-cycling de IR-UWB	75
Figure 3. 5 Récepteur intermittent (a) décodeur intermittent [57] et (b) LNA et mélangeur intermittents [58].....	76
Figure 3. 6 Exemple d'une architecture front-end RFPG zéro-IF [46].....	76
Figure 3. 7 Simulation du BER en utilisant ADS Agilent de l'architecture ayant une réception RFPG [46]	77
Figure 3. 8 Probabilité de la distribution vs la puissance de signal reçu.....	79
Figure 3. 9 Topologie de LNA RFPG	80
Figure 3. 10 Technique de Chemin à faible impédance	82
Figure 3. 11 Schéma du CF-LNA	83
Figure 3. 12 (a) Schéma du CF-LNA RFPG et (b) Simulation du temps d'établissement	84
Figure 3. 13 (a) Schéma du CF-LNA RFPG amélioré et (b) Simulation du temps d'établissement.....	84
Figure 3. 14 (a) Structure buffer commuté et (b) Structure améliorée du buffer RFPG.....	85

Figure 3. 15 Schéma du LNA + buffer RFPG ainsi que leurs signaux de commande Switch et T_{rise}	86
Figure 3. 16 Diagramme bloc du générateur d'impulsion [31].....	87
Figure 3. 17 (a)CMOS inverseur avec capacité de charge et (b) Structure du « Current-starved-inverter »[63].....	87
Figure 3. 18 Schéma du générateur d'impulsion à largeur programmable et du current-starved-inverter introduit dans la chaîne d'inverseurs	88
Figure 3. 19 Résultats de simulation illustrant les différentes largeurs d'impulsions en fonction de ' V_{ctrl} '.....	88
Figure 3. 20 Schéma complet de LNA+buffer RFPG.....	89
Figure 3. 21 Résultats de simulation du LNA RFPG.....	90
Figure 3. 22 LNA RFPG standalone layout (a) LNA RFPG cœur et (b) LNA RFPG avec des pads.....	91
Figure 3. 23 Schéma et layout de LDO.....	93
Figure 3. 24 Layout LDO+LNA+buffer RFPG	94
Figure 3. 25 Résultats de simulation LDO_LNA RFPG.....	95

LISTE DES TABLEAUX

Tableau 1- 1 Comparaison des caractéristiques des standards ZigBee, Bluetooth et WiFi.....	24
Tableau 1- 2 Caractéristiques de la couche physique – IEEE 802.15.4[7]	25
Tableau 2- 1 Spécifications visées pour le LNA.....	41
Tableau 2- 2 Aperçu des principales topologies de LNA	41
Tableau 2- 3 Performances présentées par le LNA de [27]	42
Tableau 2- 4 Comparaison performances de low-power LNA	45
Tableau 2- 5 Performance de LNA avec différentes valeurs de g_m	58
Tableau 2- 6 Comparaison performance de LNA	58
Tableau 3- 1 Comparaison performances Wake-up radio	73
Tableau3- 2 Paramètres du front-end étudié dans [54]	77
Tableau 3- 3 Valeurs correspondant d'augmentation de E_b/N_0 pour atteindre un BER de 10^{-3}	78
Tableau 3- 4 Performances de CF-LNA	83
Tableau 3- 5 Performances simulées du circuit LNA+buffer RFPG	89
Tableau 3- 6 Performances simulées du LNA RFPG	90
Tableau 3- 7 Spécifications du LDO.....	92
Tableau 3- 8 Performances de consommation LDO+LNA en simulation et mesure.....	93

INTRODUCTION

L'évolution actuelle vers l'internet des Objets (IoT Internet of Things) est basée sur la capacité qu'auront ces objets à communiquer entre eux pour échanger des informations via internet. Parmi les champs d'application possibles de l'IoT, on peut citer la gestion de l'énergie dans les bâtiments, les domaines de l'industrie, de l'agriculture, de la sécurité, du transport ou encore de la santé. Ces champs d'application nécessitent un nombre d'objets connectés extrêmement important, au-delà du milliard. Cette évolution s'appuie sur la disponibilité de réseaux de capteurs sans fil (WSN Wireless Sensors Network) pouvant communiquer et échanger des données avec d'autres capteurs. Le déploiement de tels réseaux est soutenu par les progrès technologiques tant aux niveaux circuits, que systèmes et que protocoles de communication. En effet, l'évolution des technologies CMOS permet une intégration de plus en plus poussée de ces capteurs avec une consommation, un encombrement et un coût réduits. Les WSN profitent aussi des caractéristiques des protocoles de communications de données à faible débit (telle que la norme IEEE 802.15.4 ZigBee) spécialement intéressantes en termes de consommation.

Cependant la fiabilité d'un tel réseau est basée sur l'autonomie de chacun des nœuds de capteur, ce qui dépend de la durée de vie de la batterie (plusieurs mois ou plusieurs années). Par conséquent, la consommation des nœuds, à savoir les capteurs et les sous-systèmes qui les composent (émetteur/récepteur, mémoire, microcontrôleur) est une caractéristique essentielle du système.

C'est dans ce contexte que ces travaux de thèse sur les récepteurs RF optimisés en consommation ont été réalisés. Pour atteindre des consommations encore plus basses et des degrés d'intégration encore plus importants, nous nous sommes intéressés aux architectures de récepteurs de type conversion directe (également appelées zéro-IF et Low-IF). Alliées à des techniques de commutation des alimentations à l'échelle du temps symbole (RFPG ou RF-Power-Gating) et à des méthodes de conception en g_m/I_D , ces récepteurs RF sont particulièrement adaptés aux communications de données à faible débit des WSN et semblent prometteurs pour la réduction de la consommation moyenne des capteurs.

Le chapitre 1 présente une vue générale des applications RF et détaille l'objectif de ces travaux de thèse. En particulier, il décrit les quatre niveaux d'aspect sur lesquels on peut jouer pour réduire la consommation : la technologie, la conception des blocs, le système et le protocole. Ces quatre niveaux d'abstraction sont présentés dans le contexte de l'étude qui repose sur : l'utilisation de la technologie FDSOI, la mise en œuvre de méthodes de conception en g_m/I_D , l'implémentation dans une architecture homodyne utilisant le RFPG et l'utilisation du protocole ZigBee.

Dans le chapitre 2, la méthodologie de conception d'amplificateur à faible bruit (LNA) mise en place dans le cadre de ces travaux de thèse est présentée. Cette méthodologie est appliquée dans la conception d'un LNA de type capacité-feedback et se base sur les caractéristiques g_m/I_D . La méthodologie développée permet de dimensionner de manière optimale le LNA en terme de consommation pour un gain donné. Un circuit a été conçu en technologie FDSOI 28nm et caractérisé. Les résultats de mesure sont présentés et analysés dans ce chapitre.

Le troisième chapitre détaille la suite de ce travail avec l'implémentation de la technique RFPG appliquée au LNA développé dans le chapitre 2. Ce nouvel LNA est conçu pour être commuté (allumé / éteint) rapidement qui permet de réduire sa consommation dans le cas d'un canal de bonne qualité. Afin d'illustrer ces travaux, un circuit démonstrateur a été conçu en technologie FDSOI 28nm, incluant un régulateur de tension alimentant ce LNA, tous deux étant commutables. Les résultats de mesure sont présentés et commentés.

Enfin, le quatrième chapitre propose une conclusion et ouvre des perspectives pour ces travaux de thèse, en évoquant la conception d'un récepteur complet (LNA, mixer et VCO) basé sur ces deux techniques : g_m/I_D et power-gating.

Chapitre 1 : Contexte et objectifs de la thèse

1.1. *L'internet des objets et les réseaux de capteurs sans fil*

Le marché de la communication sans fils est passé par un développement et une croissance très rapide depuis l'introduction des premiers systèmes de téléphonie mobile modernes. Celle-ci s'est soldée par une augmentation constante du nombre d'abonnés nécessitant des débits de données de plus en plus élevés. Pour les applications grand public, le principal objectif des fabricants est de fournir des solutions à faible coût. Dans ce sens, l'évolution de la filière technologique silicium CMOS permet d'intégrer à coût quasi-constant de plus en plus de fonctionnalités avec des performances de plus en plus élevées.

Aujourd'hui, les services comme la domotique, la distribution (eau, électricité, télévision...), les transports, la santé, utilisent de plus en plus des infrastructures basées sur les réseaux de télécommunications. Ces réseaux sont généralement connectés à Internet, ce qui permet de réaliser ce qu'on appelle communément aujourd'hui l'Internet des Objets (Internet of Things - IoT) (Figure 1. 1).

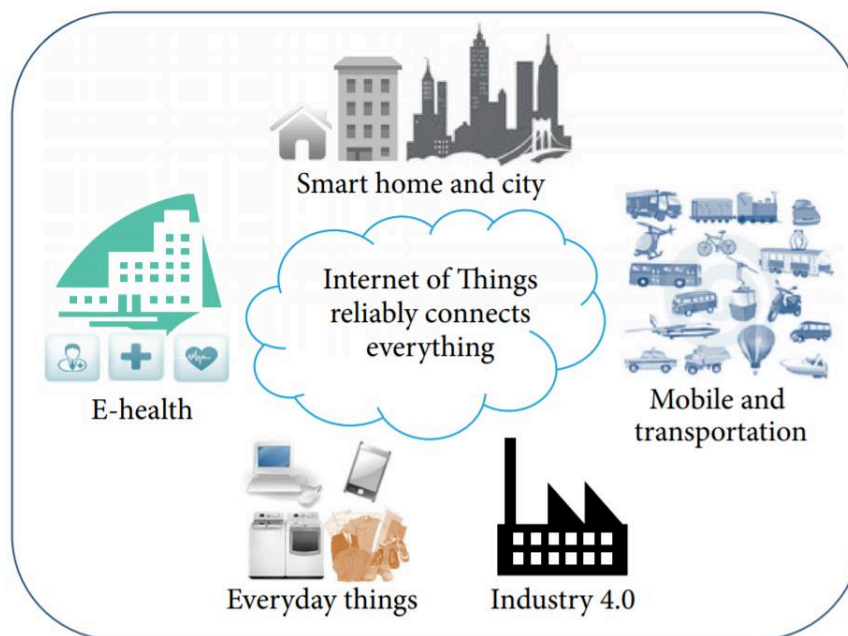


Figure 1. 1 Les domaines d'application de l'IoT[1]

La Figure 1. 2 montre que le nombre d'appareils interconnectés par les réseaux de communication dans le monde dépasse les 18 milliards en 2018 en s'invitant dans tous les secteurs de la vie quotidienne.

Cette évolution est basée sur la disponibilité de réseaux de capteurs sans fil (WSN) permettant de détecter et contrôler l'environnement proche et pouvant communiquer et échanger des données avec d'autres capteurs. Comparés avec les solutions câblées, les WSN permettent un déploiement plus facile et une meilleure flexibilité des systèmes. Avec le développement technologique rapide des capteurs, les WSN sont une partie clé de l'IoT.

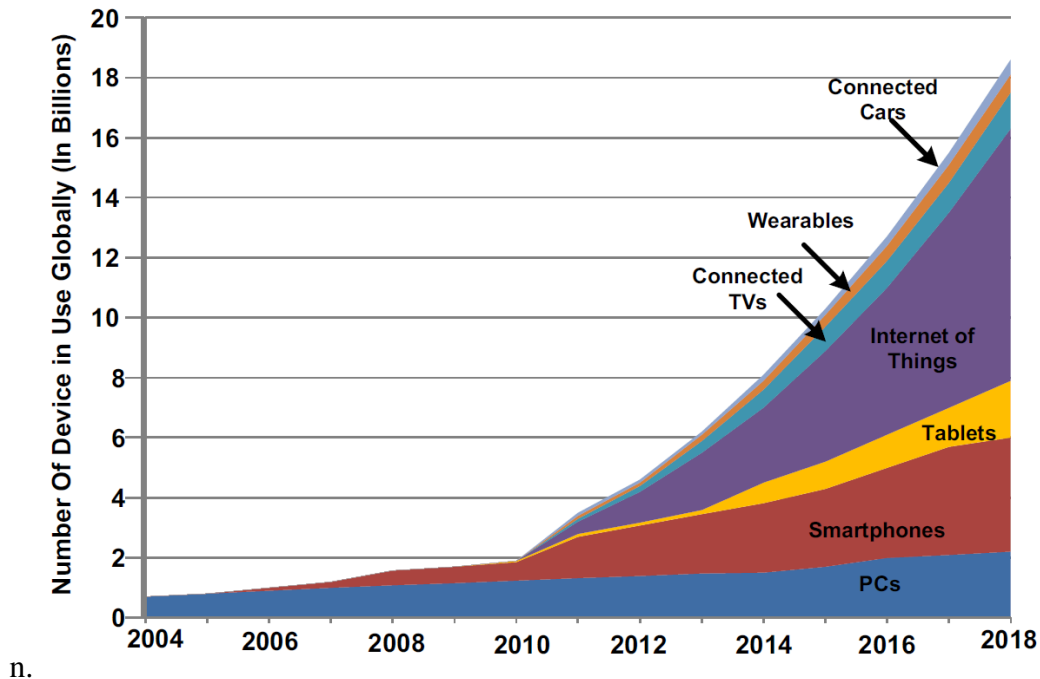


Figure 1. 2 Prévision d'évolution du nombre de dispositifs utilisant internet [2]

Les équipements WSN présentent des débits de données relativement faibles mais nécessitent un très faible coût d'assemblage en raison de leur densité et une très faible consommation pour préserver la durée de vie des batteries embarquées dans les capteurs. Avec l'engouement de l'IoT sont venus de nouveaux protocoles et systèmes poussés par des alliances (LoRa) ou des constructeurs (SigFox). Toutefois, des protocoles plus anciens tels que ZigBee [5] ou Bluetooth [6] suscitent un regain d'intérêt car ils sont particulièrement adaptés à l'IoT et sont déjà adoptés par les marchés. Bien que l'objet des travaux présentés dans cette thèse dépasse le cadre d'un protocole spécifique, et constitue une contribution plus globale qui touche l'ensemble des systèmes communiquant faible consommation, une mise en perspective des résultats sera faite dans le cadre du protocole Zigbee.

1.2. Techniques de réduction de la consommation

La consommation d'énergie est une préoccupation majeure de la conception des circuits intégrés dans les technologies CMOS. Il existe plusieurs niveaux sur lesquels agir pour réduire la consommation d'énergie : le niveau technologique, le niveau architecture des circuits, le niveau système et enfin le niveau le plus haut, à savoir les protocoles de communication.

a) Niveau technologique

L'évolution des technologies (notamment la réduction des dimensions) et les innovations telles que les technologies FDSOI et FinFET à canaux courts permettent de proposer des composants avec de meilleures performances en terme de consommation. Les deux technologies, FDSOI pour « Fully Depleted Silicon On Insulator » et technologie FinFET pour « Fin Field-Effect Transistor », présentent un meilleur contrôle électrostatique de la grille sur le canal du transistor dans les canaux courts (Figure 1. 3).

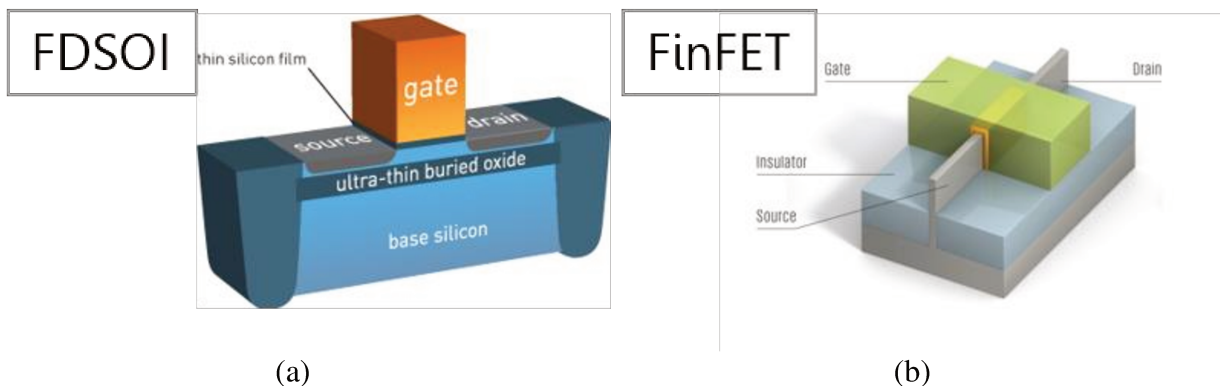


Figure 1. 3 (a) FDSOI et (b) FinFET

Les transistors en technologie FDSOI possèdent une couche d'oxyde très fine sous le canal entre le drain et la source. Ce film permet de mieux contrôler les phénomènes électrostatiques dus à la grille. Il permet d'appliquer une tension différente au substrat et ainsi de faire varier la tension de seuil du transistor (soit pour le rendre plus rapide soit pour limiter les courants de fuite). La technologie FinFET consiste à concevoir un transistor vertical pour avoir un meilleur contrôle électrostatique sur le canal court.

La compétition entre ces deux technologies est rude et de nombreuses études publiées dans la littérature comparent ces technologies en termes de performance en vitesse de fonctionnement, de consommation, de coût, etc.

b) Niveau circuit et architecture des circuits

Dans la conception traditionnelle de circuits intégrés RF, les transistors fonctionnent en forte inversion afin de bénéficier de la fréquence de transition f_t maximale offerte par la technologie. Dans ce régime de forte inversion, le transistor est polarisé au-dessus du seuil de conduction, les électrons sont fortement concentrés, ce qui induit une consommation importante.

Cependant, avec l'évolution des technologies, les fréquences de transition présentées deviennent très élevées. Par exemple, avec la technologie de 28nm FDSOI de STMicroelectronics, la fréquence de transition f_t peut être supérieure à 200GHz. Ainsi, pour fonctionner dans des gammes de fréquence RF, bien inférieures à ces f_t , les transistors peuvent tout à fait fonctionner en régime d'inversion modérée ou faible.

A partir de ce constat, des méthodes de conception permettant de faire fonctionner les transistors en faible inversion sont apparues et sont utilisées pour la conception de circuits optimisés en terme de consommation. Par exemple, la méthode de g_m/I_D permet aux concepteurs de déterminer la valeur de g_m/I_D nécessaire afin d'atteindre les spécifications voulues. Ensuite, l'extraction des paramètres technologiques et les équations du circuit permettent de dimensionner le circuit. La conception d'un OTA en suivant cette méthodologie est présentée dans [4].

Une autre approche consiste à concevoir une architecture spécifique dite *current-reuse* [3], permettant de ré-utiliser le courant pour toutes les fonctions du circuit. Par exemple, la structure LMV permet de réaliser le LNA, le mélangeur et le VCO (Oscillateur commandé en tension) en un seul étage. Cette structure effectue donc les trois fonctions du front end RF en partageant le même courant de polarisation.

c) Niveau système

Afin de réduire la consommation du système, une solution consiste à éteindre le système et à l'allumer rapidement quand il doit fonctionner. Dans le cadre du récepteur RF, il faut s'assurer que le système ne soit pas éteint ou en veille quand il y a des signaux à collecter. Il existe deux stratégies principales : les systèmes de wake-up radio (WUR) et le système de power-gating (RFPG).

La stratégie des WUR consiste à rajouter aux côtés du récepteur principal un circuit très faible consommation qui surveille s'il y a des données à collecter ou pas. Tant qu'il n'y a pas de données, le récepteur est maintenu en veille, permettant de limiter la consommation du système global. Quand il y a une communication, le circuit très faible consommation réveille le front-end principal. La consommation du récepteur peut être ainsi largement réduite jusqu'à quelques microwatts. Cependant, la sensibilité des WUR étant relativement faible, cette technique n'est pas adaptée pour les communications longue distance.

L'autre technique, le power-gating, est issue du monde numérique et consiste à réaliser des commutations ON/OFF (alimenté / non alimenté). L'implémentation de cette technique implique de sans cesse commuter les blocs RF y compris durant la transmission. Des études [46] ont montrés que la qualité de la réception restait dans les spécifications en terme de BER, y compris lorsque le récepteur ne perçoit qu'une partie du symbole. La réduction de consommation ainsi atteinte avec la technique de RFPG n'est pas aussi importante que celle offerte par les WUR, mais elle présente de meilleures performances de sensibilité.

d) Niveau protocole de communication

Les protocoles de communication sont les standards qui fixent les règles à respecter entre les émetteurs et récepteurs pour échanger des données sur les réseaux.

Pour l'internet des objets, le choix de protocoles de communication en low-power peut diminuer la consommation. En fonction des applications, les spécifications (telles que la distance de communication, les exigences de sécurité, la durée de vie de la batterie etc....) déterminent le choix du protocole de communication. Pour les applications de l'IoT où une communication à faible consommation est visée, le protocole de Zigbee est un bon candidat.

Dans le cadre de cette thèse, afin de concevoir un récepteur RF à 2.4GHz optimisé en consommation, nous nous sommes intéressés aux circuits fonctionnant en régime de faible inversion et avons développé une méthode de conception basée sur les caractéristiques g_m/I_D . Ce circuit a été conçu en technologie FDSOI 28nm proposée par STMicroelectronics. Puis nous avons mis en œuvre la technique de commutation RFPG pour réduire encore la consommation du récepteur RF.

1.3. La norme IEEE 802.15.4-ZigBee

Le standard ZigBee fournissant un cadre applicatif pour cette thèse, les principales spécificatifs données techniques sont données ici. La technologie ZigBee [7], dont la couche physique repose sur la norme IEEE 802.15.4 [8], est une technologie dédiée aux réseaux de capteurs sans fils. La norme IEEE 802.15.4 spécifie les protocoles de couche physique pour les réseaux locaux sans fil à faible débit (LR-WPAN), et faible consommation.

Pour comparaison, le Tableau 1- 1 présente les principales caractéristiques des technologies utilisées pour la transmission locale de données (ZigBee, Bluetooth et WiFi).

Tableau 1- 1 Comparaison des caractéristiques des standards ZigBee, Bluetooth et WiFi[5]

Protocole	ZigBee	Bluetooth	Wi-Fi
IEEE	802.15.4	802.15.1	802.11
Fréquence	868/915 MHz, 2.4GHz	2.4GHz	2.4GHz
Débit de données	20/40/250 Kbps	1Mbps	2-54Mbps
Nombre des nœuds	65000+	7	32
Consommation	~1mW	~40-100mW	~160mW-600mW
Portée	30-75m	10-30m	50-200m
Durée de vie	Année	Jours	Heures

Au regard de ce tableau, la technologie ZigBee ayant été développée pour les WSN, elle semble effectivement la mieux adaptée pour l'IoT [9]. Le protocole ZigBee est structuré en quatre couches dont les deux couches inférieures (PHY et MAC) sont définies par les spécifications de la norme IEEE 802.15.4 (Figure 1. 4).

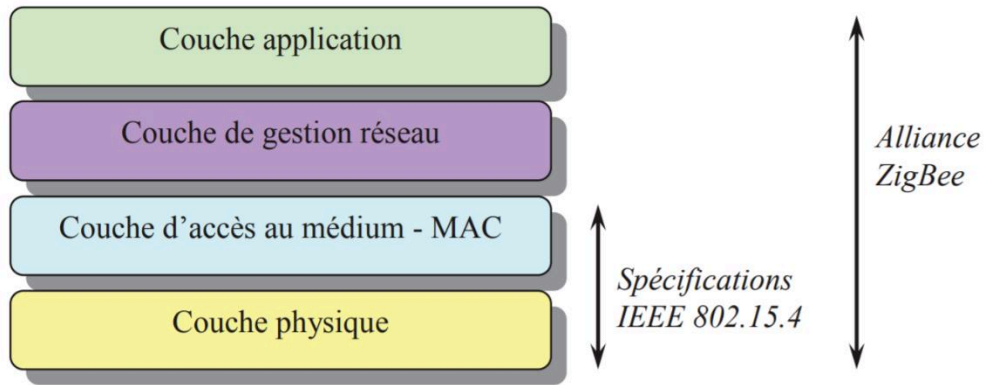


Figure 1. 4 Couches protocolaires de ZigBee

La couche physique gère les fréquences d'émission et de réception, le débit des données, le type de modulation et le codage numérique des informations. Les principaux paramètres de la couche physique du lien radio fréquence (RF) de la norme IEEE 802.15.4 sont résumés dans le Tableau 1- 2 pour la bande haute de fréquence à 2,4GHz qui est la plus large et la plus flexible au regard des applications.

Tableau 1- 2 Caractéristiques de la couche physique – IEEE 802.15.4[7]

Parameter	2.4 GHz PHY	868/915 MHz PHY
Sensitivity @ 1% PER	-85 dBm	-92 dBm
Receiver Maximum Input Level	-20 dBm	
Adjacent Channel Rejection	0 dB	
Alternate Channel Rejection	30 dB	
Output Power (Lowest Maximum)	-3 dBm	
Transmit Modulation Accuracy	EVM<35% for 1000 chips	
Number of Channels	16	1/10
Channel Spacing	5 MHz	single-channel/2 MHz
Transmission Rates		
Data Rate	250 kb/s	20/40 kb/s
Symbol Rate	62.5 ksymbol/s	20/40 ksymbol/s
Chip Rate	2 Mchip/s	300/600 kchip/s
Chip Modulation	O-QPSK with half-sine pulse shaping (MSK)	BPSK with raised cosine pulse shaping
RX-TX and TX-RX turnaround time	12 Symbols	

1.4. Les architectures de récepteurs RF pour les WSN

Le choix de l'architecture résulte principalement d'un compromis entre la complexité et la consommation d'une part et la performance d'autre part. Au niveau architectural, deux paramètres sont essentiels pour la complexité et la consommation : la transposition de fréquence et la commutation (*duty-cycling*) de l'alimentation.

1.4.1 Récepteur conversion directe

Les récepteurs hétérodynes traditionnels à un ou plusieurs étages de fréquence intermédiaire (IF) offrent le meilleur compromis entre sélectivité et sensibilité, mais nécessitent des étages IF et des filtres externes induisant un faible niveau d'intégration et une consommation élevée. Ils sont donc mal adaptés aux objectifs visés. En revanche, les architectures de récepteur zéro-IF (également souvent appelées conversion directe) et Low-IF sont d'excellentes candidates pour des récepteurs complètement intégrés offrant de bonnes performances à faible consommation et forte intégration.

Dans un récepteur zéro-IF, le signal RF est converti directement en bande de base sans passer par une fréquence intermédiaire. Une fois converti en bande de base et numérisé, le signal peut être démodulé et filtré numériquement avec une grande flexibilité et une faible consommation. Bien que ce type d'architecture soit sensible au bruit en $1/f$ et aux offsets spécialement présents dans les technologies CMOS submicroniques, ces problèmes sont actuellement bien maîtrisés au niveau de la conception des blocs.

Dans un récepteur à Low-IF, le signal RF est transféré à une fréquence intermédiaire basse, dépendant de la largeur de la bande de réception (généralement quelques mégahertz pour des porteuses à 2,4 GHz). Par rapport aux architectures zéro IF, les architectures Low-IF ne sont pas sensibles aux offsets et aux bruits en $1/f$ mais sont sensibles au canal image, proche du canal utile, qui peut être rejeté après conversion par un traitement numérique. La Figure 1. 5 montre le schéma synoptique d'une chaîne de réception en Low-IF ou zéro-IF.

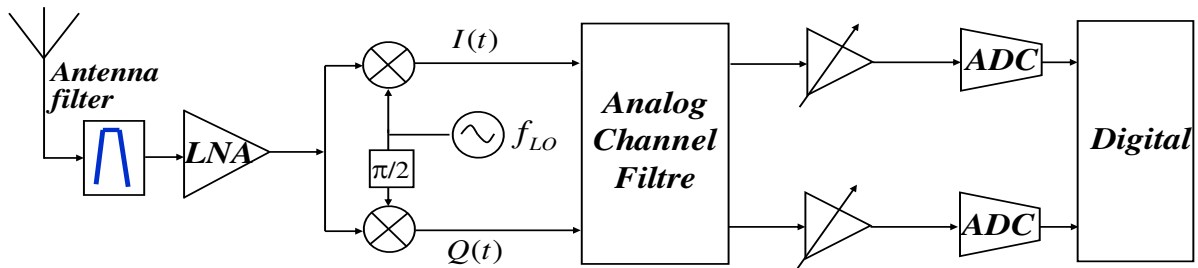


Figure 1. 5 Diagramme bloc d'une chaîne de réception en Low-IF et zéro-IF

1.4.2 Commutation de l'alimentation et technique RFPG dans les récepteurs

Les techniques de commutation de l'alimentation se développent de plus en plus. En particulier les récepteurs dit « *wake-up receiver* » qui intègrent une radio faible consommation toujours à l'écoute du canal et qui réveille un transmetteur plus complexe le cas échéant pour réaliser la communication. Ce principe se généralise aujourd'hui avec les radios déclenchées par évènements (*event-driven transmission*) [68]. Une autre approche très prometteuse et le *duty-cycling* à l'échelle du temps symbole ou RFPG.

Le principe d'un récepteur RFPG [46] repose sur l'idée qu'il n'est pas nécessaire de traiter le signal pendant toute la durée du symbole pour en extraire la donnée. Ainsi, les systèmes ayant des constantes de temps rapide comme les circuits RF peuvent être éteint et allumés pendant la réception d'un symbole comme représenté sur la Figure 1. 6. Ainsi la consommation peut être réduite d'un facteur proportionnel au rapport entre le temps d'observation et le temps symbole. Dans la mesure où l'énergie du signal traité est plus faible, le récepteur devient plus sensible au bruit. Ainsi cette technique est pertinente dans le cadre de récepteurs adaptatifs où le système s'adapte à la qualité du canal et réduit sa consommation quand le SNR est favorable. Il a été démontré que cette technique est assez simple à mettre en œuvre dans le cas d'un récepteur non-cohérent pour les modulations MSK ce qui la rend très attractive dans le cadre du standard ZigBee. Aussi, soulignons que la commutation des filtres et circuits bande de base n'est pas possible en raison des constantes de temps mise en jeu ni la commutation de la synthèse de fréquence en raison des temps d'établissement des PLL intégrées.

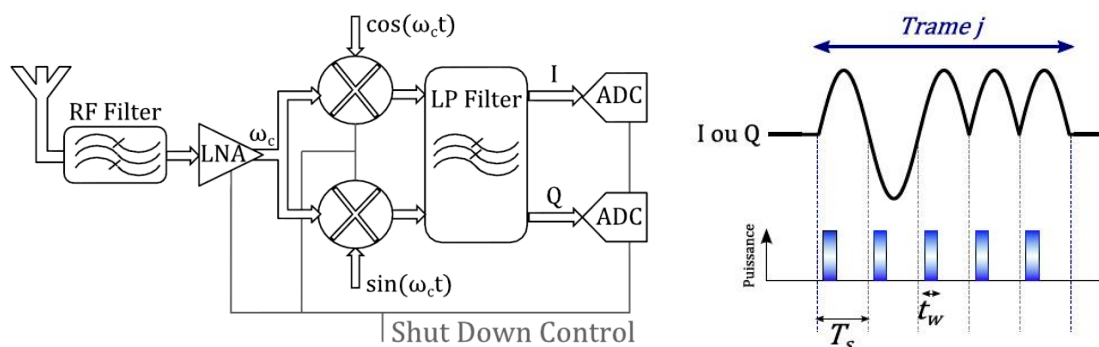


Figure 1. 6 Principe d'une architecture RFPG (a) et des instants de commutation de l'alimentation en fonction de la trame

1.5. La technologie 28 nm FDSOI de ST-Microelectronics

La technologie FDSOI (Fully-Depleted Silicon on Insulator) est une évolution de la technologie CMOS bulk pour laquelle la réduction de la longueur du canal s'accompagne d'une augmentation du courant de fuite dans le substrat à l'état OFF. La Figure 1. 7 illustre la vue en coupe simplifiée d'une structure MOS en technologie Bulk et en technologie FDSOI. Avec la technologie FDSOI, le canal entre le drain et la source se forme dans une couche de silicium très fine entièrement déplétée et délimitée par l'oxyde de grille et une couche fine d'oxyde (Ultra-Thin Buried oxide) (UTBO). Ce film permet d'avoir une grande amélioration de la variabilité par rapport à la technologie Bulk. En plus, étant donné que le film est très fin, il n'est pas nécessaire de doper le canal, ce qui rend le transistor Fully-Depleted. Parmi les avantages offerts par la technologie FDSOI, on peut citer :

- Un excellent contrôle électrostatique du transistor
- Une variabilité très faible de la tension de seuil du transistor
- Une réduction du courant de fuite à l'état OFF
- Une réduction des capacités parasites de drain et de source
- La possibilité de faire varier la tension de seuil par la polarisation du caisson (technique du Body-Biasing BB)

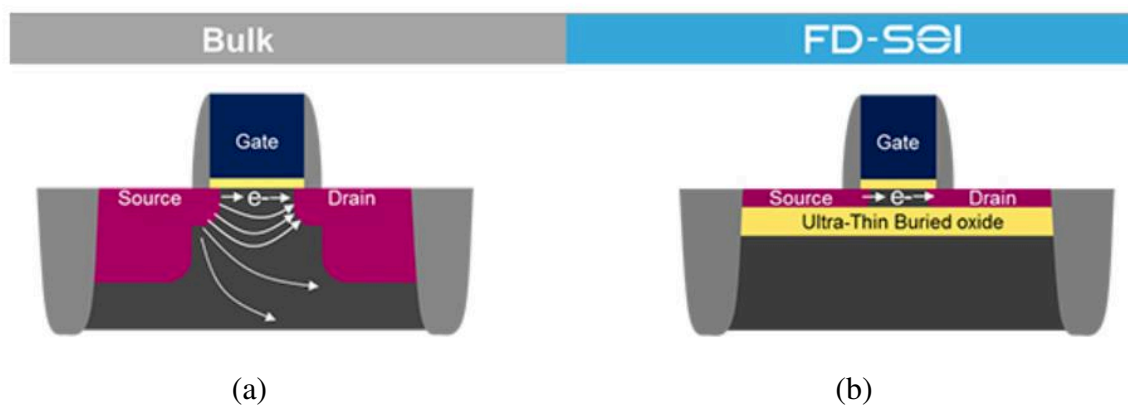


Figure 1. 7 Vue en coupe d'une structure MOS en (a) technologie bulk et (b) technologie FDSOI[18]

Dans la technologie 28nm FDSOI proposée par STMicroelectronics, il existe quatre types de MOSFET disponibles (Figure 1. 8) : les structures *Conventionnel-Well* (CW) de type P-MOS ou N-MOS (Figure 1. 8 (a)) dans lesquels le caisson est de type opposé au canal, et les structures *Flip-Well* (FW) de type P-MOS ou N-MOS (Figure 1. 8 (b)) dont les caissons sont du même type que le canal.

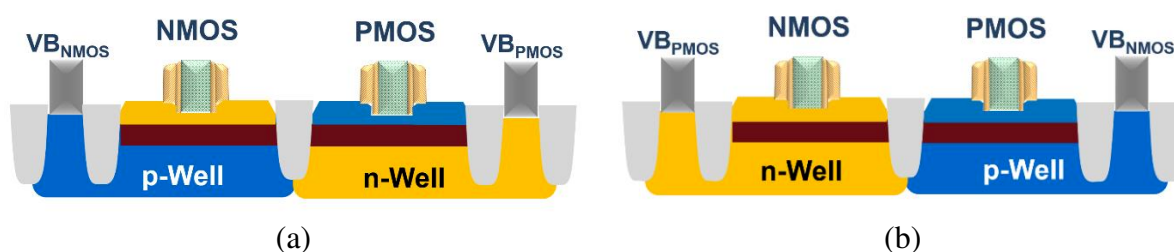


Figure 1. 8 Structure des transistors NMOS et PMOS en FDSOI (a) Conventional-Well et (b) Flip-Well [18]

La valeur de la tension de seuil V_{th} peut être modifiée en fonction de la tension de caisson $V_{B_{NMOS}}$ et $V_{B_{PMOS}}$ par une technique dite de Body-Biasing (BB). Il y a deux modes pour faire varier la tension V_{th} : Forward Body Bias (FBB) et Reverse Body Bias (RBB).

- Le mode FBB

Ce mode permet d'abaisser la tension de seuil en appliquant une tension positive $V_{B_{NMOS}}$ (ou négative $V_{B_{PMOS}}$) sur les caissons des MOS. Les transistors deviennent ainsi plus rapides mais présentent plus de fuite entre le drain et la source. Les transistors FW sont conçus pour les modes FBB.

- Le mode RBB

Ce mode permet d'augmenter la tension de seuil en appliquant une tension négative sur les caissons (les transistors sont moins rapides mais présentent moins de fuite entre le drain et la source).

Pour les MOS de type CW, la variation de $V_{B_{PMOS}}$ est de $[-300\text{mV}, 3\text{V}]$ et $V_{B_{NMOS}}$ est $[-3\text{V}, 300\text{mV}]$. C'est l'inverse pour les MOS de type FW.

Avec la technique BB, la tension basse est limitée à -300 mV en RBB en raison de l'effet GIDL (Gate induced Drain leakage), tandis que dans la technique FBB la tension haute est limitée à $+300\text{ mV}$ en raison des fuites de jonction source-drain et du risque de latch-up en cas de tensions et de températures élevées.

Grâce à la technique BB, la technologie FDSOI présente une versatilité accrue par rapport à la technologie Bulk[19]. Elle permet aux concepteurs d'adapter les performances des MOS pour réaliser des circuits pour des applications Numériques et Analogique/RF sur le même substrat[19][20]. En ce qui concerne les performances en Analogique/RF, on peut citer :

- L'absence de l'étape d'implantation dans la couche du canal pour régler le V_{th} ce qui diminue la variabilité de ce paramètre
- Le gain intrinsèque (g_m/g_{ds}) plus élevé sur canal long avec une meilleure adaptation et un facteur de bruit réduit
- Un facteur de qualité des composants passifs (principalement des inductances) élevé grâce à une isolation diélectrique du substrat
- La possibilité de diminuer la tension d'alimentation V_{DD} (et par conséquent la consommation statique) en diminuant les tensions de seuil, tout en conservant les performances.

1.6. Méthodes de conception en g_m/I_D

1.6.1 L'approche g_m/I_D

Dans les technologies récentes, la diminution de la longueur du canal et la baisse de l'épaisseur d'oxyde de grille s'accompagnent d'une diminution de la tension d'alimentation V_{DD} . Cependant les tensions de seuil ne diminuent pas dans la même proportion que la tension V_{DD} . Ceci a pour conséquence une polarisation des transistors $V_{ov}=V_{GS}-V_{th}$ de plus en plus faible faisant fonctionner les transistors non plus en forte inversion mais en moyenne, voir

faible inversion. Pour la technologie utilisée donnant un f_t supérieur à 200GHz en forte inversion, le passage du régime de forte inversion vers la moyenne ou la faible inversion s'accompagne d'une baisse de la fréquence de transition du MOS dont la valeur (quelque dizaine de GHz) reste cependant suffisante pour des application RF dans le domaine de quelques GHz. La modélisation du MOS doit donc faire appel à un modèle compact couvrant tous les régimes de fonctionnement de la forte à la faible inversion[12][17]. Parallèlement, les méthodologies de conception doivent aussi évoluer et se baser non plus sur la tension de polarisation du MOS V_{ov} comme en régime de forte inversion mais sur des paramètres tels que les rapports g_m/I_D , $g_m:f_i/I_D$ [10], et g_m^2/I_D [11] représentant la performance du MOS en tant que transconducteur par rapport à sa consommation. Ce sont donc des paramètres de conception qui peuvent être utilisés pour optimiser les performances du circuit à réaliser. Dans la réalisation de nos cellules nous avons choisi d'utiliser la méthodologie de conception basée sur le paramètre g_m/I_D .

La Figure 1. 9 montre l'évolution du courant de drain I_D sur une échelle logarithmique en fonction de la tension V_{gs} . On voit que le courant de drain I_D passe progressivement d'une loi exponentielle pour un V_{gs} inférieur à la tension de seuil V_{th} à une loi quadratique en $(V_{gs}-V_{th})^2$ lorsque que le transistor entre dans la région d'inversion forte.

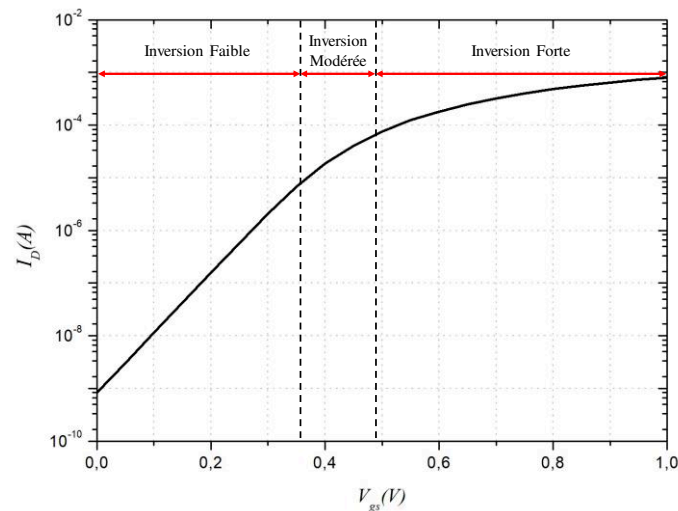


Figure 1. 9 Caractéristique I_D vs V_{gs} d'un transistor nRVT avec $W/L=1\mu m/30nm$

Quand la tension V_{gs} est inférieure à la tension V_{th} , le nombre de charges libres dans le canal représentant le courant de conduction est très faible. Le courant est essentiellement dû

au courant de jonction PN du drain et de la source. Le courant est donc de loi exponentielle par rapport à V_{gs} comme montré dans la Figure 1. 9.

La relation entre g_m/I_D et V_{ov} est présentée dans la Figure 1. 10. On voit que le rapport g_m/I_D est maximal dans la région d'inversion faible et décroît quand la tension V_{ov} augmente. C'est-à-dire quand le fonctionnement évolue de l'inversion faible vers l'inversion forte.

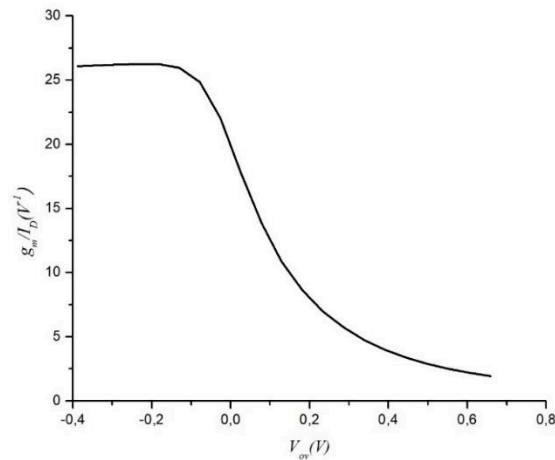


Figure 1. 10 Caractéristique g_m/I_D vs V_{ov} d'un transistor nRVT avec $W/L=1\mu m/30nm$

Dans tous les régimes de fonctionnement, le courant de drain I_D est proportionnel au rapport W/L du MOS. Pour un courant de polarisation donné, le rapport W/L peut donc toujours être choisi pour faire fonctionner le MOS dans une région de faible ou moyenne inversion pour laquelle le rapport g_m/I_D est élevé.

Les techniques de conception en g_m/I_D ont été d'abord introduites par Silveira et Vittoz pour la conception de circuit basses fréquences[4][21]. Comme présenté dans la Figure 1. 11, ces méthodes s'appuient sur deux piliers. L'utilisation d'équations dérivées de la structure étudiée exprimant des performances (G_v , NF et B_W) en fonction du rapport g_m/I_D et l'utilisation d'abaques extraits de simulations reliant chaque caractéristique du transistor (gain intrinsèque, fréquence de transition, densité de courant $I_D/(W/L)$, etc..) au paramètre g_m/I_D . Connaissant les valeurs de g_m/I_D nécessaires pour atteindre les performances attendues et ayant à disposition les abaques, la topologie peut être dimensionnée. Aussi, cette méthodologie donne une indication sur la région de fonctionnement du transistor.

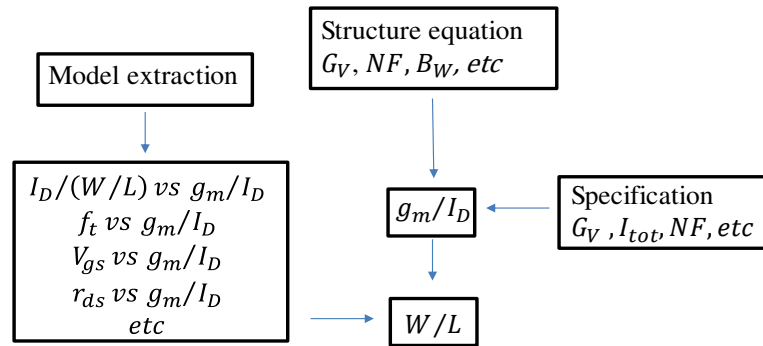


Figure 1. 11 Diagramme simplifié des techniques de conception en g_m/I_D

Avec les technologies avancées, les transistors ont un f_t très élevé. Avec la demande pour les systèmes à faible consommation, l'utilisation du MOS en forte inversion n'est plus nécessaire. La tendance est donc à la polarisation en régime d'inversion faible ou modérée. La méthode de g_m/I_D permet de maximiser le rapport g_m/I_D pour une topologie et des spécifications données. Cette approche peut être transposée dans le domaine des circuits RF.

Pour obtenir des circuits à faible consommation pour les applications RF, la méthode de conception en g_m/I_D , associée à la technologie FDSOI, permet d'obtenir les spécifications visées avec une faible consommation. L'objet du chapitre suivant est donc de présenter la méthodologie de conception mise en place durant cette thèse pour réaliser un amplificateur faible bruit (LNA) et de l'illustrer avec la conception, la réalisation et la caractérisation d'un circuit conçu en technologie FDSOI 28nm.

1.6.2 Modèle ACM (Advanced Compact Mosfet)

La méthode g_m/I_D se base sur l'utilisation d'abaques pour définir tous les paramètres de conception. Cependant, l'utilisation des abaques manque de précision et prend beaucoup de temps. Le développement de modèle compact type EKV [22] ou ACM [14] qui est valable pour toute la région de fonctionnement du transistor MOS a permis de mettre en place des approches analytique de ces méthodes en g_m/I_D .

Le modèle ACM développé par LCI de l'Université de Florianópolis est basé sur un modèle de charge introduit par Maher et Mead en 1987 [15] et le modèle de contrôle de

charge unifié (UCCM) présenté par Byun et al. en 1990 [16] . Il est composé d'expressions très simples, valables pour tout niveau d'inversion, et qui préserve la symétrie source-drain du transistor.

Dans un transistor MOS, le courant de drain I_D s'exprime par la différence des courants Forward I_F et Reverse I_R :

$$I_D = I_F - I_R = I(V_G, V_S) - I(V_G, V_D) \quad (1-1)$$

avec $I_{F(R)} = \mu C'_{ox} n \frac{\phi_t^2}{2} \frac{W}{L} \left[\left(\frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} \right)^2 - 2 \frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} \right]$, n est le facteur de pente en zone sous le

seuil. C'_{ox} est la capacité de l'oxyde par unité de surface, ϕ_t est le potentiel thermique. $Q'_{IS(D)}$ est la densité de charge de l'inversion à la source ou au drain du transistor. L'équation (1-1) est valide dans toutes les régions de fonctionnement du transistor, l'inversion faible, modérée et forte.

Le courant I_D peut être normalisé en (1-2):

$$I_D = I_S (i_f - i_r) \quad (1-2)$$

avec $i_f = I_F/I_S$ est le courant Forward normalisé qui est également défini comme le coefficient d'inversion. $i_r = I_R/I_S$ est le courant Reverse normalisé. I_S est le courant spécifique dépendant de la technologie et défini par :

$$I_S = \mu C'_{ox} n \frac{\phi_t^2}{2} \frac{W}{L} = I_{SQ} \frac{W}{L} \quad (1-3)$$

I_{SQ} est le courant spécifique normalisé. C'est un paramètre technologique dépendant de la longueur de grille comme le facteur de pente n . En règle générale, $i_f > 100$, les transistors fonctionnent dans l'inversion forte, $i_f < 1$ les transistors fonctionnent dans l'inversion faible. $1 < i_f < 100$, les transistors fonctionnent dans l'inversion modérée.

Utilisation de la forme normalisée de UCCM :

$$V_p - V_{S(D)} = \phi_t (q'_{IS(D)} - 1 + \ln(q'_{IS(D)})) \quad (1-4)$$

A partir de la densité de charge d'inversion normalisée à la source (drain) $q'_{IS(D)}$

$$q'_{IS(D)} = \frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} = \sqrt{1+i_{f(r)}} - 1 \quad (1-5)$$

On peut définir les tensions de source (ou de drain) à partir d'une tension de pincement V_p :

$$V_p - V_s = \phi_t \left(\sqrt{1+i_f} - 2 + \ln(\sqrt{1+i_f} - 1) \right) \quad (1-6)$$

avec

$$V_p \cong \frac{V_G - V_{T0}}{n} \quad (1-7)$$

V_{T0} est la tension de seuil à l'équilibre, correspondant à la valeur de V_G pour V_p qui est égal à zéro présenté dans la Figure 1. 12.

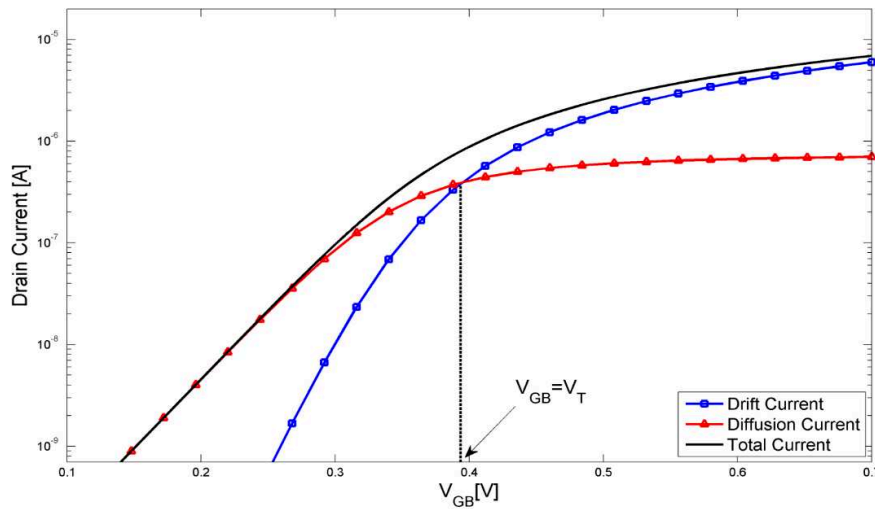


Figure 1. 12 Courant de drain divisé en courant de diffusion et drift en fonction de la tension de grille pour un MOSFET fonctionnant dans la région linéaire avec $V_{ds} = \phi/2 = 13\text{mV}$

La relation entre le niveau d'inversion et la transconductance de la source et du drain peuvent être exprimé comme suit :

$$g_{ms(d)} = \frac{2I_s}{\phi_t} \left(\sqrt{1+i_{f(r)}} - 1 \right) = \frac{W}{L} n\mu C'_{ox} \phi_t \left(\sqrt{1+i_{f(r)}} - 1 \right) \quad (1-8)$$

Cette expression (1-8) de la transconductance est très utile pour la conception de circuits car elle est compact, et valable pour tous les niveaux d'inversion. De plus, (1-8) est une relation universelle pour les MOSFET. Les seuls paramètres dépendant de la technologie dans cette relation sont le courant de normalisation ou le facteur de pente.

A partir de la transconductance du transistor qui est :

$$g_m = \frac{g_{ms} - g_{md}}{n} \quad (1-9)$$

la relation entre g_m/I_D et i_f peut être obtenue :

$$\frac{g_m}{I_D} = \frac{2}{n\phi_t \left(\sqrt{1+i_f} + \sqrt{1+i_r} \right)} \quad (1-10)$$

Dans la région de saturation du transistor ($i_f \gg i_r$), le rapport g_m/I_D ne dépend que du coefficient d'inversion :

$$\frac{g_m}{I_D} = \frac{2}{n\phi_t \left(\sqrt{1+i_f} + 1 \right)} \quad (1-11)$$

Cette relation permet d'utiliser des méthodes de conception similaire à celle basée sur des abaques mais en ayant une approche analytique. Elle nécessite tout de même l'extraction de trois paramètres pertinents qui sont : n , I_S et V_{T0} .

1.7. Conclusion

En résumé, la conjonction d'une technologie d'intégration type FDSOI, d'une approche de conception en g_m/I_D , d'une architecture homodyne utilisant le RFPG et un protocole optimisé pour la faible consommation tel que celui de la norme IEEE 802.15.4, permet d'envisager des récepteurs à très faible consommation pour les réseaux WSN. L'objectif de ces travaux de thèse est de proposer et de faire la démonstration de méthodes efficaces de conception de circuits RF optimisée en consommation pour ces applications.

Chapitre 2 : Méthodologie de conception d'un LNA à rétroaction capacitive sur la base de caractéristiques g_m/I_D

Dans ce chapitre, une méthodologie complète permettant de concevoir un LNA à rétroaction capacitive (*capacitive-feedback LNA*) est présentée. Cette méthodologie est basée sur les caractéristiques g_m/I_D afin d'atteindre un dimensionnement optimum avec un transistor travaillant dans la région de faible inversion.

Dans la première partie, nous précisons le cahier des charges à respecter, en termes de gain en tension, de bruit et de consommation. Puis les différentes architectures de LNA sont évoquées afin de valider le choix de l'architecture du LNA à rétroaction capacitive. Cette topologie a été préférée car elle ne nécessite aucune inductance, élément coûteux en termes de surface de silicium[13]. Cependant, ce choix d'architecture (et ce choix de limiter l'inductances) contraint la conception du réseau d'adaptation d'entrée du LNA, ce qui est détaillé dans la deuxième partie de ce chapitre. Puis le dimensionnement des différents éléments du LNA est présenté pour un circuit en technologie 28nm FDSOI de STMicroelectronics. La méthode de dimensionnement développée dans ce travail, et présentée dans ce chapitre, est basée sur les caractéristiques g_m/I_D . En effet les caractéristiques g_m/I_D permettent de décrire le comportement des transistors dans toutes les régions de fonctionnement, et notamment les régions d'inversion modérée et faible qui sont des régimes de fonctionnement intéressant lorsqu'on vise la faible consommation (mais fort mal décrit par les modèle petits signaux traditionnellement utilisé en conception de circuit). Une fois le LNA dimensionné, un *buffer* de sortie est ajouté en vue du test (pour permettre l'adaptation de l'impédance de sortie à 50 ohms). Pour finir le chapitre, une revue des dimensions et des performances simulées et mesurés sont présentées.

2.1. Cahier des charges du LNA à concevoir

L'amplificateur à faible bruit (LNA) est un bloc critique dans un système RF parce qu'il constitue un des premiers étages de la chaîne de réception, comme présenté dans la Figure 2. 1. En réception, les signaux d'entrée étant très faibles, la sensibilité du système (environ – 105 dBm pour un récepteur ZigBee du commerce) est déterminée par le facteur de bruit (NF) et le gain du LNA. Les objectifs de la conception du LNA sont donc de bonnes performances en termes de bruit, gain, IIP3 ainsi qu'une faible consommation et une impédance d'entrée proche de 50Ω.

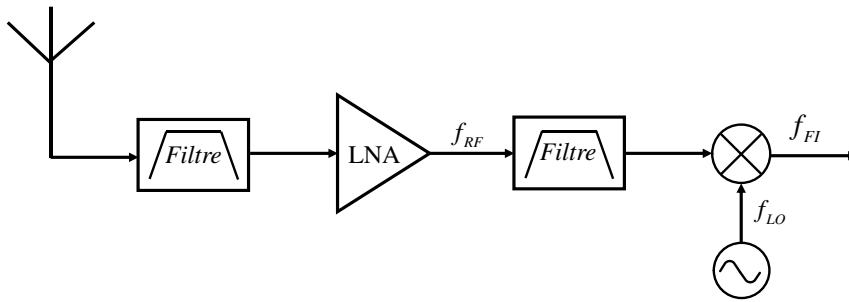


Figure 2. 1 Schéma bloc d'un récepteur RF

Dans le cadre de cette étude, les performances visées sont résumées dans le Tableau 2- 1:

Tableau 2- 1 Spécifications visées pour le LNA

Paramètres	Valeurs
S_{11}	<10dB
G_v	>15dB
NF	<3dB
$IIP3$	>-10dBm
P_{dc}	<1mW

Dans un premier temps, une étude des différentes architectures de LNA est donnée afin de comparer leurs caractéristiques et choisir l'architecture la plus appropriée pour atteindre ces performances.

2.2. Etat de l'art des LNAs

2.2.1. Principales architectures de LNA

Les architectures de LNA en technologie CMOS consistent principalement en deux topologies : Common-Source (CS), Common-Gate (CG).

Tableau 2- 2 Aperçu des principales topologies de LNA

Common-Source	Common-Gate
<ul style="list-style-type: none"> • Contre réaction • Cascode, dégénérescence inductive 	<ul style="list-style-type: none"> • Contre réaction positive/négative • Cascode et charge inductive

2.2.1.a. LNA de type Common-Source avec une dégénérescence inductive

Cette topologie Common-Source avec dégénérescence inductive est largement utilisée pour les applications bande étroite car elle présente de bonnes performances en terme de bruit. Le schéma est illustré dans la Figure 2. 2.

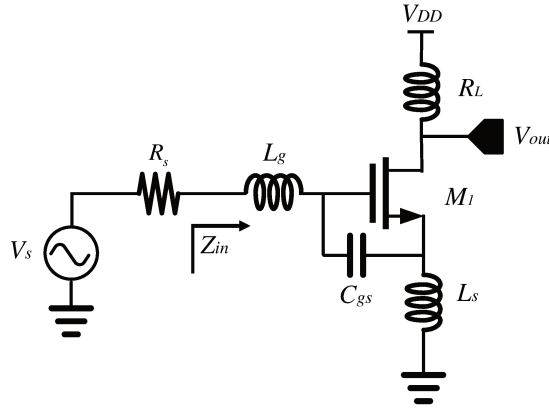


Figure 2. 2 Architecture de LNA Common-Source avec une dégénérescence inductive

Cette topologie est bien adaptée aux contraintes de conception à basse tension d'alimentation V_{DD} et à une consommation d'énergie modérée. Cependant, elle nécessite l'utilisation de trois inductances. En effet, l'impédance d'entrée de ce montage, décrite par l'équation (2-1), implique deux inductances ce qui induit une surface de circuit grande et donc un coût élevé. De plus, l'impédance d'entrée est adaptée pour une certaine fréquence rendant cette architecture bande étroite.

$$Z_m = \underbrace{j(L_s + L_g)\omega + \frac{1}{j\omega C_{gs}}}_{\text{Imaginaire}} + \underbrace{L_s \frac{g_m}{C_{gs}}}_{\text{réel}} \quad (2-1)$$

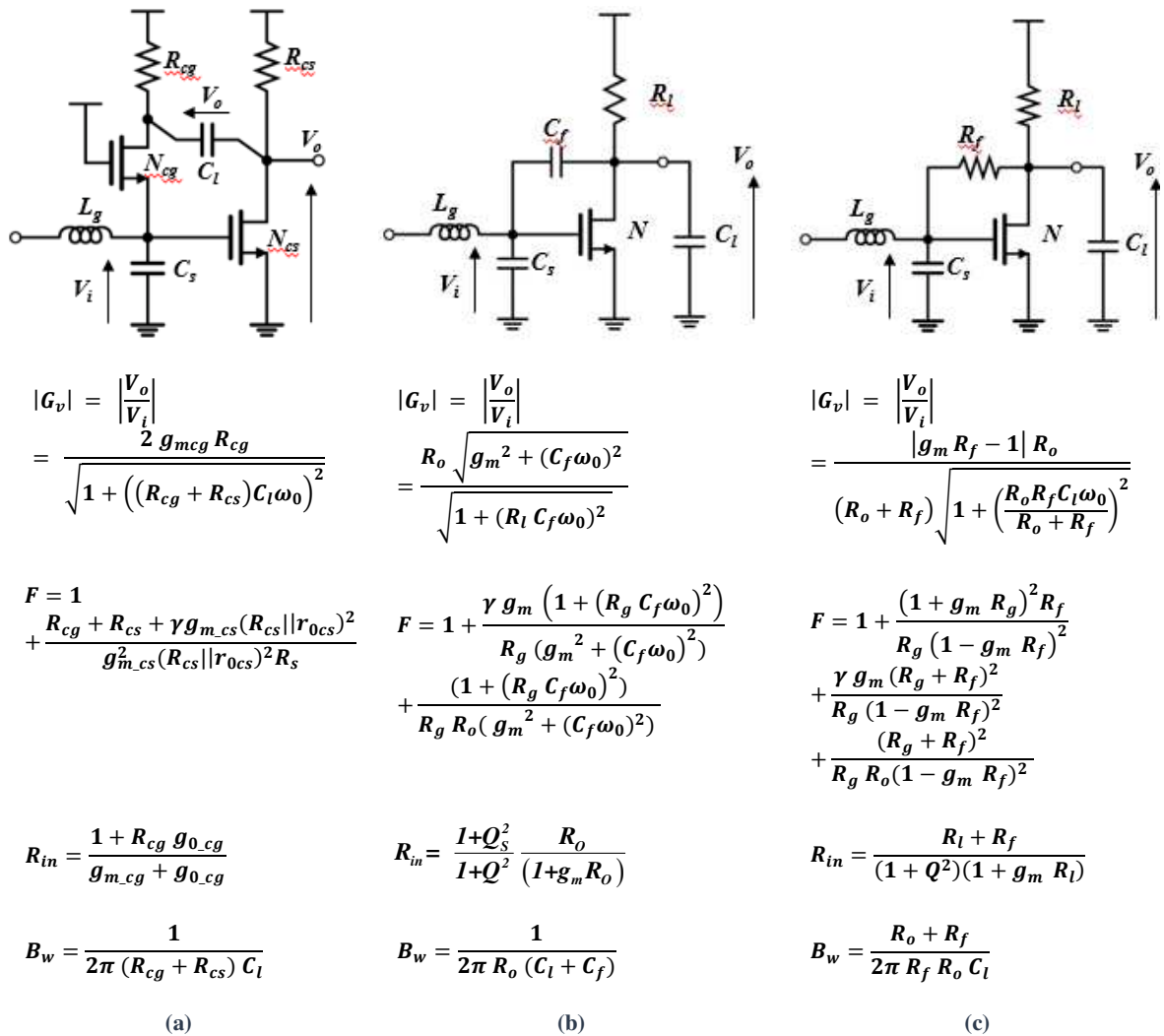
Cette topologie de LNA Common-source avec dégénérescence inductive est donc largement utilisée pour les applications bande étroite en raison de ses avantages tels que son faible facteur de bruit NF , sa facilité l'adaptation d'entrée, son gain élevé et sa faible consommation d'énergie (voir les performances présentées par [23] et résumées dans le tableau ci-dessous). Cependant, ces avantages viennent au prix d'une grande surface de silicium due aux deux inductances.

Tableau 2- 3 Performances présentées par le LNA de [23]

Tech	A (mm ²)	P _{DC} (mw)	G _v (dB)	BW (GHz)	NF (dB)	S ₁₁ (dB)	IIP ₃ (dBm)
CMOS 130nm	1.15	0.64	13.4	5	2.93	-20	-16

2.2.1.b. LNA large bande sans inductance

Plusieurs topologies ont été étudiée afin de réduire l'encombrement et le cout. Parmi les plus connues on rencontre le R-Feedback (RF-LNA)[24], le C-Feedback (CF-LNA) [25] et le Noise Cancelling (NC-LNA)[26] décrite dans la Figure 2. 3. Ces structures permettent de synthétiser une impédance réelle de 50Ω sans nécessité d'utiliser une inductance comme c'est le cas pour la dégénération inductive. Ces architectures sont intrinsèquement large bande. Dans le cas d'application bande étroite comme c'est le cas ici, une inductance L_g peut être rajoutée en entrée pour annuler la partie imaginaire et rendre la structure plus sélective. Aussi, le gain en tension peut bénéficier du coefficient de surtension (Q) créé par la maille d'entrée.



With $R_o = R_l / r_{ds}$ et $Q_s = 1 / R_o C_f \omega_0$

Figure 2. 3 Architecture de LNA large bande (NC-LNA (a), CF-LNA (b), RF-LNA (c)).

Le NC-LNA est particulièrement intéressant car il permet de convertir une entrée single en sortie différentielle sans pénaliser le facteur de bruit car la source de bruit du transistor Common-Gate (CG) est annulée par celle du Common-Source (CS). Ainsi le facteur de bruit est dominé par le bruit du CS. L'impédance d'entrée est synthétisée par le CG et peut être réglée indépendamment du bruit. Même si les performances en bruit sont bonnes pour un LNA à deux étages, elles restent inférieures à celles d'un simple étage et son choix se justifie seulement si la fonction *balun* est nécessaire pour le système. Quand on compare les deux architectures RF-LNA et CF-LNA, il apparaît que la bande passante du RF-LNA est plus grande car le pôle dominant est $R_O.C_I$ alors que celui du CF-LNA est $R_O.C_f$ avec $C_f > C_I$ dans la plupart des cas. Toutefois, il apparaît que pour le CF-LNA, le gain est dominé par $g_m R_O$ et le facteur de bruit par g_m alors que la bande passante est dominée par C_f et l'impédance d'entrée par C_f et Q . Ainsi le dimensionnement est plus aisé car les caractéristiques sont relativement indépendantes ce qui n'est pas le cas du RF-LNA dont le dimensionnement est plus délicat et donne lieu à plus de compromis. Aussi, dans la mesure où la technologie cible présente un grand f_t au regard de la fréquence de fonctionnement, le CF-LAN sera préféré pour notre étude.

2.2.2. LNA low power

Les challenges de la conception LNA incluent la possibilité d'atteindre un gain élevé, un facteur de bruit faible, une meilleure linéarité, une faible consommation d'énergie avec une faible coût pour la fréquence de fonctionnement requise. Ces spécifications dépendent de la topologie du circuit.

Sur la base de topologie CG-LNA, CS-LNA, des LNAs pour différentes applications low-power sont réalisés. Pour la conception de LNA low-power, il est plus important de trouver des compromis entre la consommation et d'autres performances. Pour la réduction de la consommation trois approches sont généralement adoptées :

- La réutilisation du courant DC (*current-reused*)
- La réduction de la tension d'alimentation
- L'inversion faible ou modérée

La technique de *current-reused* [32] permet de réduire la consommation [33]. C'est une technique bien connue pour utiliser le courant de manière efficace. Ce concept consiste

essentiellement à utiliser le même courant DC dans plusieurs composants. C'est par exemple le cas lors de l'utilisation d'un montage cascode. Le transistor cascode qui permet d'améliorer l'isolation entrée sortie en réduisant l'effet Miller utilise le même courant DC que le transconducteur. La réduction de la tension d'alimentation [28][32] est aussi une solution souvent utilisée. Cette approche est particulièrement pertinente dans les technologies FDSOI car il est possible de réduire la tension de seuil du MOS en polarisant la grille. En *current-reused* ou en faible tension d'alimentation, la tension V_{DS} tend à diminuer ce qui conduit à travailler en région d'inversion modérée ou faible. De nombreuses architectures ont été proposées opérant sous le seuil [30] [33] [34] [36] ou autour du seuil de conduction. Ces différentes approches sont comparées dans le Tableau 2- 4.

Tableau 2- 4 Comparaison performances de low-power LNA

Référence	Topologie	IC	f_0 (GHz)	P_{DC}	G_v (dB)	NF (dB)	Tech (um)	IIP3 (dBm)	Surface (mm ²)
[27]	CG	Faible	0.4-1	200μW@1V	15.5-18	4.2	0.18	-14~-21	0.27
[28]	CS	Modéré	2.4	60μW@0.4V	13.1	5.3	0,13	-12.2	0.63
[29]	CS	Forte	2.45	3.9mW@0.9V	15.3	3,34	0.13	-10	0.5
[30]	CG	Faible	2-5	1.8mW@1.8V	13	6-8	0.18	-9.5	0.72
[31]	Cascode	Forte	2.4	2mW@1.2V	10	3.1	0.13-PD-SOI	-	0.8
[32]	Cascode	Forte	5.2	1.08mW@0.6V	10	3.37	0.18	-8.6	0.7
[33]	CG	Forte	2.4	580μW@1.8V	14.7	4.8	0.18	2	0.39

Finalement, l'utilisation de la région d'inversion modéré ou faible est une approche particulièrement pertinente pour les LNA faible consommation en technologie FDSOI. D'une part, les technologies avancées telles que la FDSOI possèdent des tensions d'alimentation faibles ce qui rend difficile la saturation des transistors. De plus, lorsque le MOS est en régime de faible inversion, son g_m/I_D est élevé ce qui signifie que son efficacité énergétique est grande. En effet, il fournit un g_m important pour un faible courant d'alimentation. Cela est d'autant plus intéressant que pour l'ensemble des structures de LNA étudiées le gain et le facteur de bruit s'améliorent avec le g_m . Avec une telle approche, la limitation vient alors de la bande passante car maintenir un fort g_m avec un courant faible implique des transistors larges

et une bande passante réduite. Ici encore, l'utilisation de technologies avancées est un atout en raison de la forte valeur de leur f_t .

2.3. Conception d'un LNA à rétroaction capacitive en technologie FDSOI 28 nm de STMicroelectronics

Afin d'assurer une bonne adaptation d'entrée du LNA ($Z_{in}=50\Omega$), la première étape consiste à étudier l'impédance d'entrée. Une fois l'adaptation d'entrée assurée, une étude du transistor et une étude du circuit permettent de définir le g_m/I_D optimum. Puis les dimensions et la polarisation du transistor sont déterminées. Une dernière étape consiste à réajuster la valeur de l'impédance d'entrée.

2.3.1. Adaptation de l'impédance d'entrée à 50Ω

Pour déterminer l'impédance d'entrée de la structure, le schéma petit signal de la structure est établi dans la Figure 2. 4.

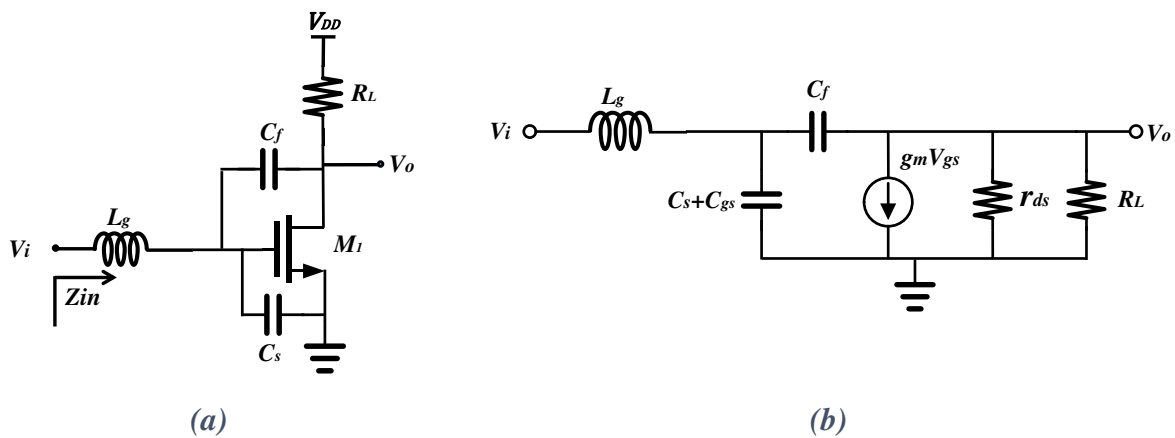


Figure 2. 4(a) Structure du LNA à capacité de feedback et (b) Modèle équivalent en petits signaux

L'impédance d'entrée de la structure est donnée par :

$$Z_{IN} = L_g p + \frac{1}{(C_{gs} + C_s) p} // Z_M \quad (2-2)$$

avec L_g l'inductance d'entrée, C_{gs} la capacité grille source, C_s la capacité ajoutée sur la grille du transistor M_1 et Z_M l'impédance de Miller ramenée par la capacité de feedback qui peut être exprimée comme suit si $C_f \omega \ll g_m$:

$$Z_M = \frac{1}{C_f p (1 - G_v)} \quad \text{with} \quad G_v = \frac{v_o}{v_{gs}} = \frac{R_o (C_f p - g_m)}{1 + R_o C_f p} \approx -g_m R_o \quad (2-3)$$

avec $R_o = r_{ds} // R_L$. Donc l'impédance de Miller Z_M peut être exprimée par (2-4):

$$Z_M \approx \frac{1}{C_f p (1 + g_m R_o)} + \frac{R_o}{(1 + g_m R_o)} = \frac{1}{C_M p} + R_M \quad (2-4)$$

avec $C_M = C_f (1 + g_m R_o)$ et $R_M = \frac{R_o}{1 + g_m R_o}$

A partir de (2-2) et (2-4), la partie réelle et la partie imaginaire de l'impédance d'entrée peuvent être écrits telles que:

$$\Re(Z_{in}) = R_M \frac{1 + Q_s^2}{1 + Q_p^2} \approx \frac{1 + Q_s^2}{1 + Q_p^2} \frac{R_o}{(1 + g_m R_o)} \quad (2-5)$$

$$\Im(Z_{in}) = L_g p + \frac{Q_p^2}{(C_s + C_{gs} + C_p) p (1 + Q_p^2)} \quad (2-6)$$

avec

$$Q_s = \frac{1}{R_M C_M \omega} = \frac{1}{C_f R_o \omega} \quad (2-7)$$

$$Q_p = C_T R_p \omega_0 = (C_{gs} + C_p + C_s) R_p \omega_0 = \frac{1}{R_{IN} C_{IN} \omega_0} \quad (2-8)$$

$$R_p = (1 + Q_s^2) R_M = (1 + Q_p^2) R_{IN}; \quad C_p = \frac{Q_s^2}{(1 + Q_s^2)} C_M \quad (2-9)$$

Le facteur de qualité d'entrée de la maille d'entrée Q_p est aussi défini par (2-10) avec R_g l'impédance d'entrée égale à 50Ω .

$$Q_p = \frac{L_g \omega_0}{R_g} \quad (2-10)$$

Pour annuler la partie imaginaire de Z_{in} (2-6), considérer L_g comme la variable peut avoir un impact sur la taille du circuit. Dans le cadre de notre étude, afin de viser un circuit sans inductance intégrée, nous proposons de fixer la valeur de L_g dès le début du dimensionnement et au minimum possible afin d'assurer un facteur de qualité d'entrée $Q_p = 1$. La valeur d'inductance ainsi obtenue, 3.3nH pourra être synthétisée via le *wire-bonding* nécessaire pour relier l'antenne au circuit intégré. Cette stratégie, consistant à fixer la valeur de l'inductance d'entrée à la valeur minimum possible pour d'assurer un facteur de qualité Q_p à 1 va aussi impacter et limiter le gain en tension du LNA. C'est pourquoi cette condition sur l'adaptation

d'entrée est traitée avant même le dimensionnement du transistor. Une autre conséquence de ce choix est l'impact sur l'IIP3 du LNA reste positif. En effet, comme le facteur de qualité Q_p est faible, la valeur V_{gs} est limitée ce qui aide à réduire les non-linéarités.

Une fois la valeur de l'inductance L_g fixée, le dimensionnement du transistor peut commencer. Les parties réelle et imaginaire de l'impédance d'entrée seront ensuite ajustées en fonction de R_O et g_m , à travers les capacités C_f , C_s . On peut dès à présent aussi remarquer l'impact du couple R_O et C_f sur la bande passante du montage. En effet, si les capacités C_{ds} et C_{db} sont négligées, la bande passante de ce montage est exprimée comme (2-11):

$$BW \approx \frac{1}{2\pi R_O C_f} = \frac{Q_s \omega_0}{2\pi} \quad (2-11)$$

Après avoir fixé l'inductance d'entrée, la valeur de g_m/I_D optimum doit être définie afin de pouvoir dimensionner les autres paramètres du transistor.

2.3.2. Définition de la valeur optimale de g_m/I_D

Comme présenté dans le premier chapitre, la méthodologie de g_m/I_D permet de déterminer les relations entre le gain intrinsèque du transistor $g_m.r_{ds}$, le gain de la structure et le ratio g_m/I_D en se basant sur les caractéristiques de la technologie (le gain intrinsèque et le g_m/I_D sont technologiquement liés pour L donné) et sur les caractéristiques de la structure (à travers l'expression du gain du LNA en particulier).

Dans ce travail, nous proposons de minimiser la consommation d'énergie pour atteindre un gain et un facteur de bruit NF donnés. Ainsi, pour atteindre la consommation minimale, nous allons déterminer la valeur optimale de g_m/I_D en nous basant sur les caractéristiques issues de la technologie (le gain intrinsèque du transistor $g_m.r_{ds}$ en fonction de g_m/I_D .) et issues de la topologie de LNA choisie (le gain de la structure $g_m.r_{ds}$ en fonction de g_m/I_D).

2.3.2.a. Gain intrinsèque du transistor NRVT $g_m.r_{ds}$ en fonction de g_m/I_D

Le schéma d'extraction des caractéristiques du transistor est présenté dans la Figure 2. 5.

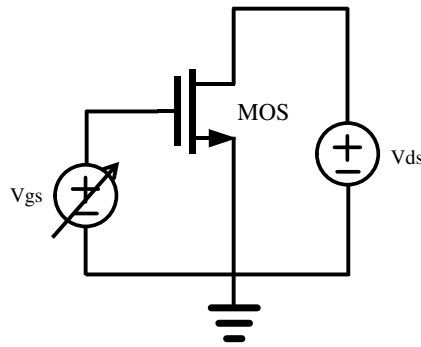


Figure 2. 5 Modèle d'extraction des caractéristiques du transistor

Ces simulations permettent d'extraire les paramètres tels que la densité du courant $I_D/(W/L)$, la fréquence de transition f_T , la tension d'overdrive V_{ov} et le gain intrinsèque $g_m \cdot r_{ds}$ en fonction de g_m/I_D .

Notre objectif étant d'observer le comportement du gain intrinsèque du transistor $g_m \cdot r_{ds}$ en fonction de g_m/I_D , nous avons fait varier la longueur L du transistor entre la valeur minimum (30nm) et une valeur raisonnable (100nm) pour la technologie de 28nm FDSOI de ST-Microelectronics. Ces courbes du gain intrinsèque du transistor ($g_m \cdot r_{ds}$) en fonction de g_m/I_D pour différentes valeurs de longueur L sont présentées dans la Figure 2. 6.

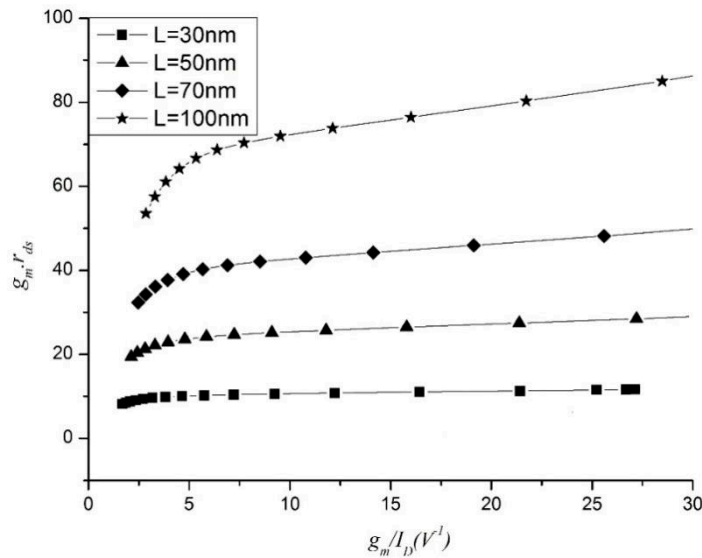


Figure 2. 6 Courbes du gain intrinsèque $g_m \cdot r_{ds}$ du transistor NRVT en fonction de g_m/I_D pour différentes longueurs de grille L

Cette courbe nous permet de constater que plus la longueur du canal est grande, plus le gain intrinsèque est élevé. Cependant, pour une longueur de canal donnée, le gain intrinsèque $g_m \cdot r_{ds}$ ne varie pas beaucoup en fonction de g_m/I_D .

2.3.2.b. $g_m r_{ds}$ vs g_m/I_D de la structure

Pour extraire les caractéristiques $g_m r_{ds}$ (dépendant de de la structure) en fonction de g_m/I_D , nous déterminons le gain en tension de cette topologie à partir du schéma dans la Figure 2. 4. Pour les fréquences supérieures à la fréquence de coupure imposée par C_f , le gain peut s'écrire (2-12):

$$G_{\text{lna}} = \frac{V_o}{V_i} = g_m * (r_{ds} // R_L) * \sqrt{1 + Q_p^2} \quad (2-12)$$

Avec R_0 et r_{ds} qui peuvent être décrites telles que (2-13) et (2-14):

$$R_0 = \frac{V_{DD} - V_{ds}}{I_D} \quad (2-13)$$

$$r_{ds} = \frac{V_{ds} + V_{ea}}{I_D} \quad (2-14)$$

avec V_{ds} la tension entre le drain et la source du transistor et V_{ea} la tension d'Early (qui peut être considérée comme constante dans une approximation du premier ordre). Dans les technologies avancées, surtout avec les transistors qui fonctionnent dans la région en inversion modérée ou faible, V_{ea} est de valeur faible.

A partir de ces relations, nous pouvons exprimer le gain en fonction g_m/I_D :

$$G_{\text{lna}} = \frac{g_m}{I_D} \sqrt{1 + Q_p^2} \left(\frac{(V_{DD} - V_{ds})(V_{ea} + V_{ds})}{V_{DD} + V_{ea}} \right) \quad (2-15)$$

A partir de cette équation, si $V_{ea} < V_{DD}$ on constate que le gain passe par un maximum pour $V_{ds} = (V_{DD} - V_{ea})/2$. Choisir de se placer à ce gain maximum implique de choisir $r_{ds} = R_0$ et de polariser le transistor en fonction.

En prenant en compte ces choix ($r_{ds} = R_0$ et $V_{ea} = V_{DD} - 2V_{ds}$) dans les équations (2-13) et (2-14), on peut exprimer le gain du LNA par (2-16):

$$G_{\text{lna}} = \frac{g_m}{I_D} \sqrt{1 + Q_p^2} \frac{V_{DD} + V_{ea}}{4} \quad (2-16)$$

A partir de cette équation, le gain intrinsèque de la structure ($g_m r_{ds}$) en fonction de g_m/I_D peut être noté pour une valeur de V_{ds} donnée :

$$\frac{1}{g_m r_{ds}} = \frac{\sqrt{1 + Q_p^2}}{G_{\text{lna}}} - \frac{2}{\frac{g_m}{I_D} (V_{DD} + V_{ea})} \quad (2-17)$$

Connaissant la valeur du facteur de qualité Q_p , fixée à 1 et la valeur de $V_{ds} = (V_{DD} - V_{ea})/2$, nous pouvons tracer les courbes de $(g_m \cdot r_{ds})$ en fonction de g_m/I_D pour différentes valeurs de gain G_{lna} , ce qui est illustré dans la Figure 2. 7.

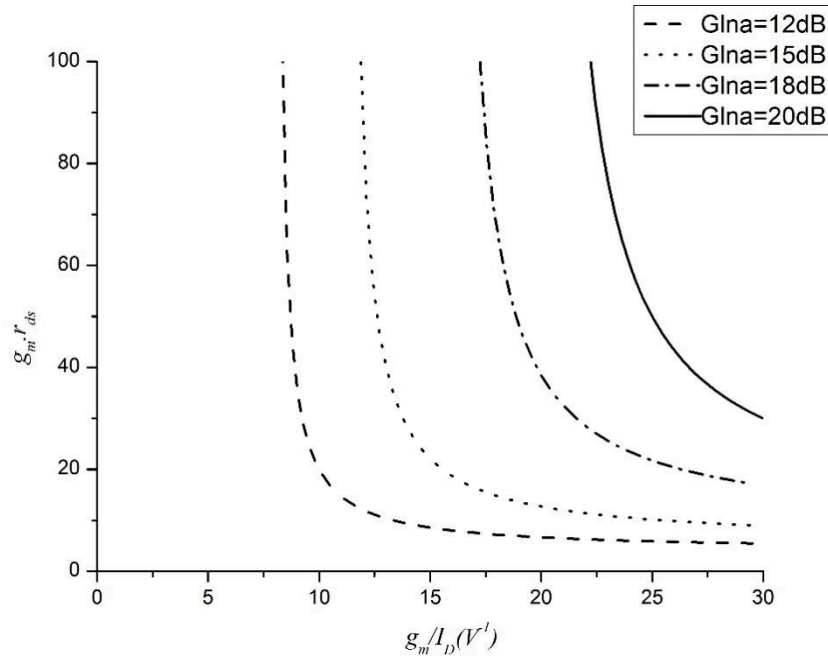


Figure 2. 7 Courbes du gain intrinsèque $g_m \cdot r_{ds}$ due à la structure capacité feedback en fonction de g_m/I_D pour différents gains de LNA

D'après cette courbe, plus le gain à atteindre est élevé, plus il faut une valeur de g_m/I_D élevée. On peut aussi remarquer que les valeurs de g_m/I_D varient principalement entre 10 et 30.

En réunissant ces deux abaques, présentés dans la Figure 2. 6 et la Figure 2. 7, nous obtenons les courbes du gain $g_m \cdot r_{ds}$ en fonction de g_m/I_D pour différentes valeurs de longueurs L de transistor et différentes valeurs du gain du LNA en considérant la technologie 28nm FDSOI de ST-Microelectronics (Figure 2. 8). Nous pouvons observer que l'utilisation d'une petite longueur de grille augmente le g_m/I_D pour atteindre le même gain, ce qui permet de réduire la consommation d'énergie pour un g_m donné. Par exemple, pour atteindre un gain de 15dB, la valeur optimale g_m/I_D serait environ à 22 pour $L=30\text{nm}$. Avec cette figure, nous pouvons aussi trouver la région de fonctionnement du transistor. Plus la valeur g_m/I_D est élevée, plus le transistor fonctionne dans la région de l'inversion faible d'où découle une consommation plus faible.

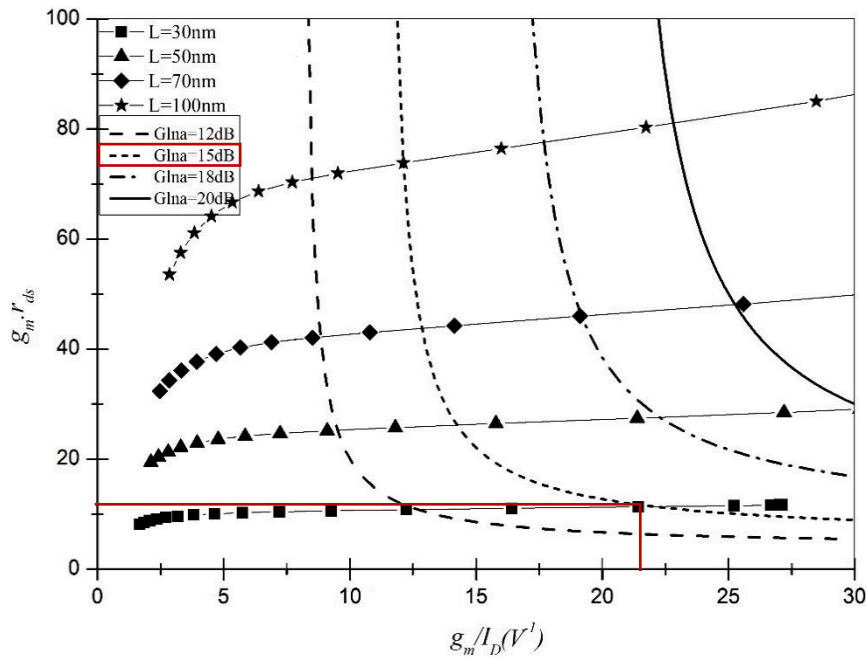


Figure 2. 8 $g_m.r_{ds}$ vs g_m/I_D pour $Q_e=1$ et $V_{ds}=(V_{DD}-V_{ea})/2$

Les deux relations entre ($g_m.r_{ds}$) et (g_m/I_D) sur le même graphe permettent ainsi de trouver un point de fonctionnement qui maximise g_m/I_D et optimise ainsi la consommation d'énergie pour un gain et une technologie donnée.

2.3.3. Facteur de bruit du LNA

Il existe plusieurs sources de bruit qui viennent de plusieurs mécanismes physiques. Il y a le bruit thermique induit par la résistance, le drain et la grille du transistor. Il y a le bruit de *Flicker* en $1/f$ qui vient de la résistance du drain du transistor et de la polarisation de la jonction PN. Et il y a aussi le bruit de grenaille qui vient de la jonction PN. Pour analyser le bruit d'un LNA dans le domaine RF, nous considérons principalement le bruit thermique. Le modèle de bruit d'une résistance R est illustré Figure 2. 9. Une résistance peut être modélisée par une résistance non-bruyante de la même valeur avec une source de bruit en série (source de tension) ou en parallèle (source de courant). La valeur de la source de tension $e_n^2(f)$ est égale à $4KTR\Delta f$, et celle de la source de courant $i_n^2(f)$ à $\frac{4}{R}KT\Delta f$ avec K la constante de Boltzmann, qui vaut $1.3806 \times 10^{-23} J.K^{-1}$, T la température thermodynamique et Δf la bande passante.

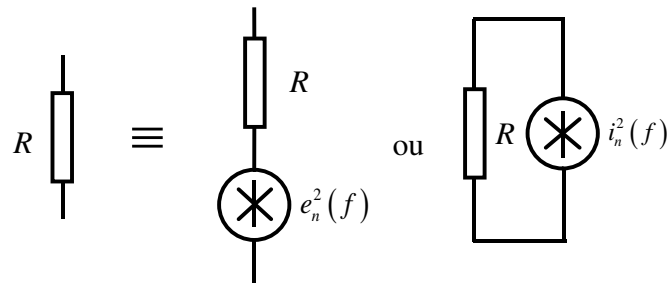


Figure 2. 9 Modèle de la résistance bruyante

Pour modéliser le bruit dans les amplificateurs tels que les transistors MOS, il faut considérer le bruit ramené à l'entrée. Sachant que le canal d'un transistor génère un courant de bruit, on peut le modéliser comme une source de courant en parallèle entre le drain et la source du transistor. Dans la mesure où nous travaillons en haute fréquence, nous allons négliger le bruit en $1/f$ à la grille du transistor. La source de courant du transistor $\overline{i_{nd}^2}$ est égale $4kT\gamma g_m \Delta f$ avec γ le facteur de bruit en excès. Par conséquent, la modélisation de bruit dans les transistors est présentée dans la Figure 2. 10.

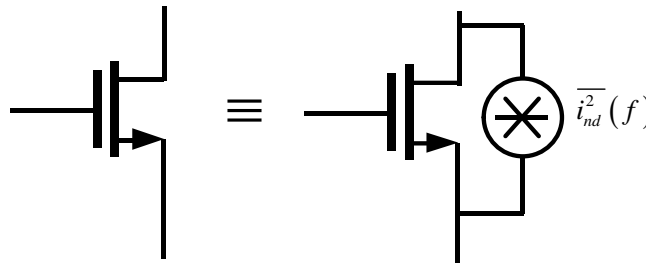


Figure 2. 10 Modèle de MOS bruyant

Après avoir modélisé le bruit d'une résistance et le bruit d'un transistor, nous pouvons établir le modèle de bruit de la topologie de LNA à rétroaction capacitive (la Figure 2. 4), présenté dans la Figure 2. 11.

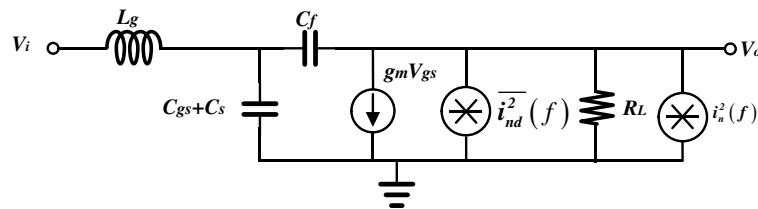


Figure 2. 11 Modèle de bruit de LNA à capacité feedback

Le facteur de bruit F (ou NF pour Noise Figure quand il est exprimé en dB) est une mesure de la dégradation du rapport signal à bruit (S/B) entre l'entrée et la sortie du LNA. Ce facteur de bruit est défini par le ratio entre le rapport signal à bruit en entrée et le rapport signal à bruit en sortie (2-18) :

$$F = \frac{(S/B)_e}{(S/B)_s} \quad (2-18)$$

Pour un circuit avec plusieurs étages, le facteur de bruit total est donné par la formule de Friis qui met en lumière le fort impact du bruit du premier étage dans le facteur de bruit final :

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_2} + \dots \quad (2-19)$$

Avec la topologie de LNA à capacité de feedback, le facteur de bruit est calculé comme suit si nous négligeons l'inductance L_g à l'entrée :

$$F = 1 + \frac{\gamma g_m \left(1 + (R_g C_f \omega_0)^2\right)}{R_g \left(g_m^2 + (C_f \omega_0)^2\right)} + \frac{\left(1 + (R_g C_f \omega_0)^2\right)}{R_g R_0 \left(g_m^2 + (C_f \omega_0)^2\right)} \quad (2-20)$$

$$\approx 1 + \frac{\gamma}{g_m R_g} + \frac{1}{g_m^2 R_g R_L} \quad (2-21)$$

avec R_g l'impédance entrée égale à 50Ω et γ le facteur de bruit en excès qui est une constante, à extraire pour une technologie donnée [22].

Concernant le facteur de bruit du LNA, l'équation (2-21) permet de distinguer deux parties. Une partie est constituée du bruit généré par transistor, et une autre est constituée du bruit généré par la résistance de charge R_L . Comparées entre elles, c'est la source de bruit du transistor qui domine le facteur de bruit du LNA. Par conséquent, en négligeant la source de bruit de R_L , il est possible de tracer la figure de bruit $NF = 10\log(F)$ en fonction de g_m , illustrée Figure 2. 12. Cette courbe permet de déterminer la valeur de g_m nécessaire pour une valeur de facteur bruit donnée. Par exemple, pour notre cas d'étude, le facteur de bruit maximum toléré est de 3 dB, nous devons donc viser un g_m supérieur à 15mS.

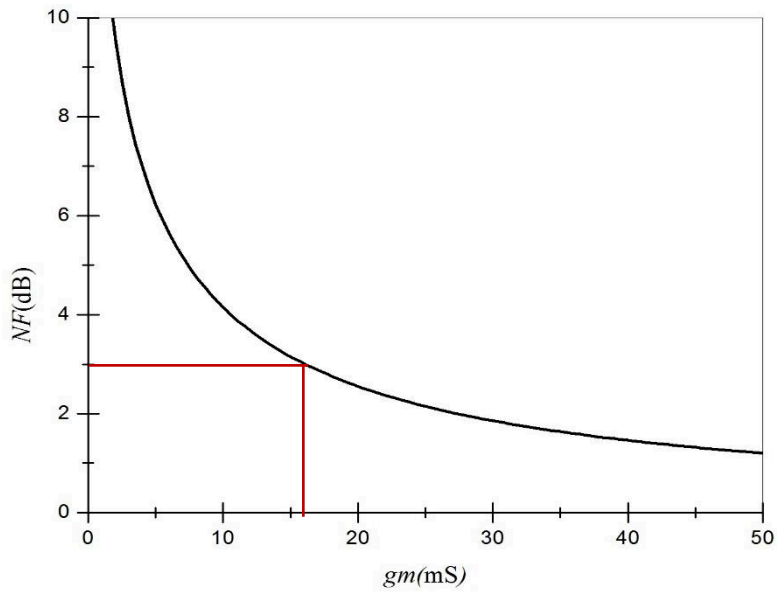


Figure 2. 12 NF vs g_m

2.3.4. Dimensionnement du transistor

Après avoir trouvé la valeur minimum de g_m , la valeur optimum de g_m/I_D , I_D et R_0 dans les étapes précédentes, il reste à définir la taille W/L du transistor et la polarisation du transistor V_{gs0} . Ensuite, nous pouvons trouver la relation de la densité de courant $I_D/(W/L)$ en fonction g_m/I_D présenté dans la Figure 2. 13. On observe que la densité de courant diminue quand g_m/I_D augmente car les transistors passent du fonctionnement en forte inversion à celui en faible inversion.

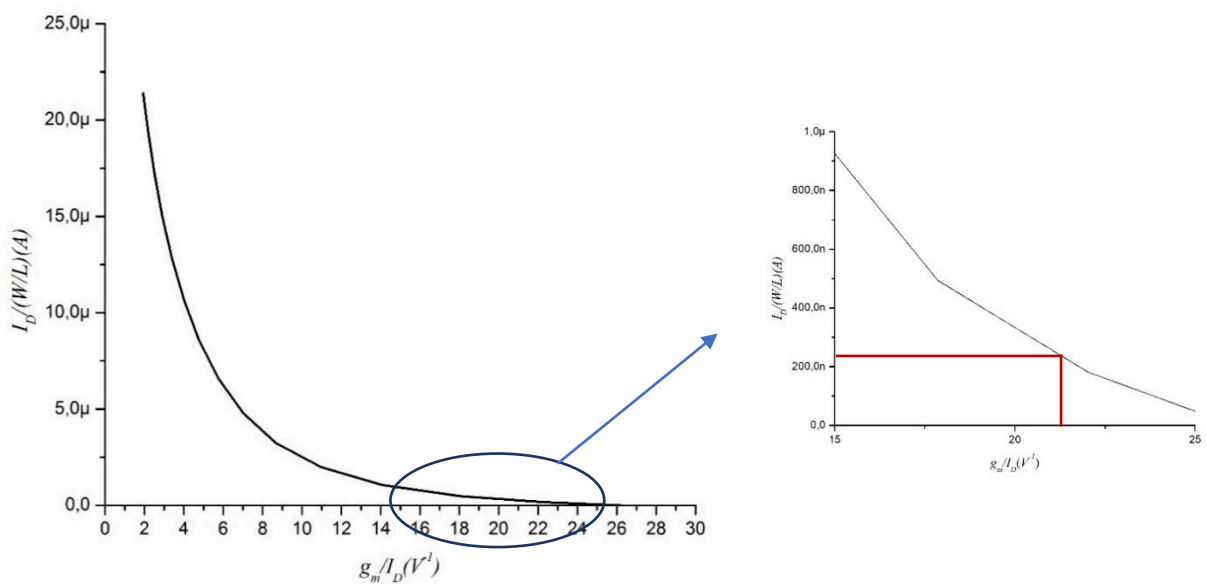


Figure 2. 13 $I_D/(W/L)$ vs g_m/I_D

De même, on peut tracer la tension d'overdrive V_{ov} en fonction de g_m/I_D comme présenté dans la Figure 2. 14. On y observe que la valeur de V_{ov} diminue avec l'augmentation de g_m/I_D , c'est-à-dire que les transistors passent du fonctionnement en forte inversion (à fort V_{ov}) au fonctionnement en faible inversion (à faible V_{ov}).

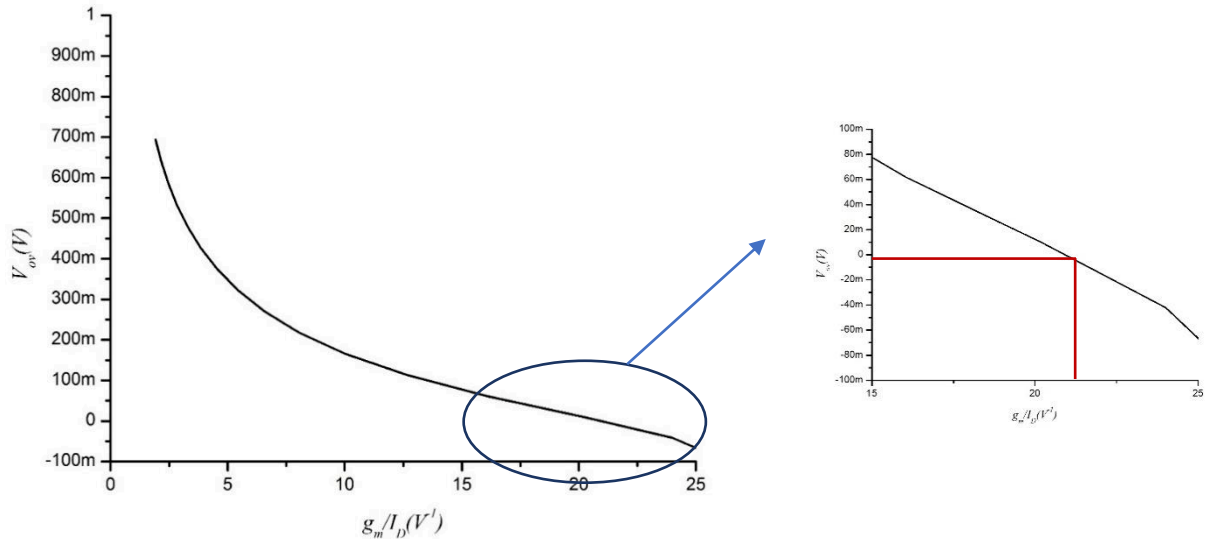


Figure 2. 14 V_{ov} en fonction de g_m/I_D

Tous les paramètres restants peuvent être déterminés à partir de ces deux courbes. En effet, la longueur de grille du transistor L est déjà fixée à partir de la Figure 2. 8 avec la valeur optimale de g_m/I_D pour un gain donné ($L = 30\text{nm}$, $g_m/I_D = 21$ pour un gain visé de 15 dB). A partir de la valeur optimale de g_m/I_D et du facteur de bruit (Figure 2. 12), le courant I_D est déterminé ($714\mu\text{A}$). Ensuite, la caractéristique illustrée Figure 2. 13 permet de déterminer la densité de courant ($I_D/(W/L) = 258\text{nA}$). A partir des valeurs de I_D et de L trouvées précédemment, la largeur du transistor W peut être calculée ($W = 83\mu\text{m}$). En parallèle, la polarisation V_{gs} peut être déterminée par la relation entre la tension d'overdrive V_{ov} et g_m/I_D .

Une fois le transistor dimensionné et polarisé, les capacités C_{gd} et C_{gs} ramenées par le transistor sont extraites. Les valeurs de C_f et C_s peuvent être déterminées et ajoutées en fonction pour ajuster l'adaptation d'impédance d'entrée à 50Ω .

2.3.5. Résumé de la méthode

Le principe de la méthode de conception proposée est présenté dans la Figure 2. 15.

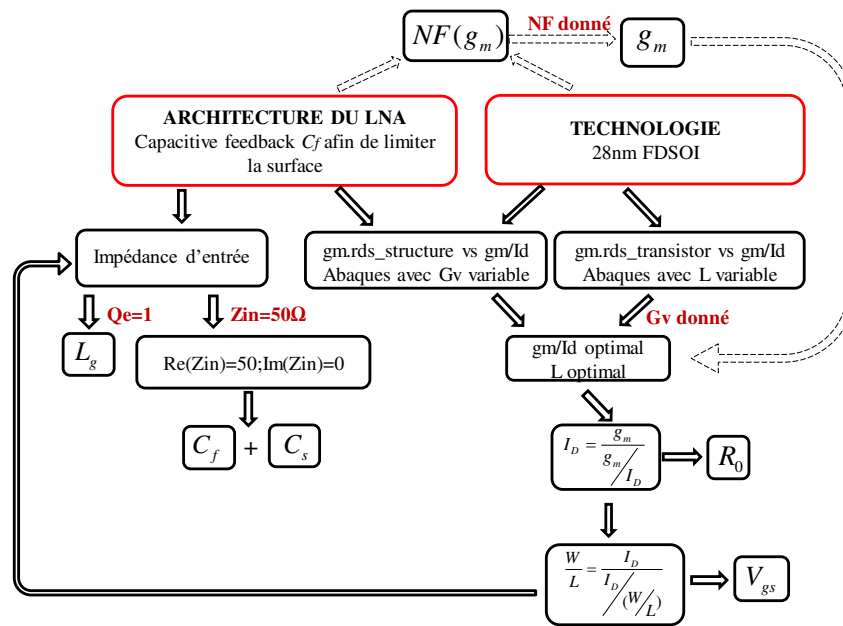


Figure 2. 15 Principe de la méthode pour dimensionnement

Les principales étapes de cette méthode se déroulent telles que :

1. G_{Ina} , NF and L_g sont définis par des spécifications.
2. La tension d'early V_{ea} est extraite et V_{ds} est fixé par $(V_{DD}-V_{ea})/2$.
3. Les valeurs optimales de g_m/I_D et L sont déterminées par $g_{m,rds}(g_m/I_D)$ (Figure 2. 8).
4. Sur la base de la valeur maximale de NF , la transconductance g_m peut être fixée par (2-21).
5. Le courant I_D est déterminé par g_m et g_m/I_D , donc la résistance de charge R_0 peut être déterminée par I_D et $V_{ds}=(V_{DD}-V_{ea})/2$.
6. La largeur W du transistor M_1 est réglée par la relation entre la densité du courant $I_D/(W/L)$ et (g_m/I_D) (Figure 2. 13), et la polarisation du transistor V_{gs} peut être déterminée pour obtenir le courant nécessaire V_{ov} vs g_m/I_D .
7. C_f et C_s sont calculés pour avoir l'impédance d'entrée Z_{in} telle que $Im(Z_{in})=0$ et $Re(Z_{in})=50\Omega$.

Cette méthode permet de concevoir un LNA à rétroaction capacitive pour un gain et un facteur de bruit donnés en visant la valeur minimum de L_g et une faible consommation. Avec cette méthode basée sur une méthodologie en g_m/I_D , les abaques de courbes remplacent les formules « petits signaux » traditionnellement utilisées par les concepteurs mais qui ne modélisent pas bien les transistors canaux courts fonctionnant en régime de faible inversion ou inversion modérée. Cette méthode est appliquée pour la technologie de 28nm FDSOI de

ST-Microelectronics. On peut noter que cette technologie est bien adaptée à ces régimes de fonctionnement (faible inversion et inversion modérée) car la fréquence de transition reste assez élevée.

Pour illustrer cette méthode, trois LNA ont été conçus, avec des gains respectifs de $G_{ina} = [15 ; 18 ; 20]$ dB, tous visant un NF maximum de 3dB. Le facteur de qualité de la maille d'entrée a été limité à $Q_p = 1$ pour obtenir une valeur minimale d'inductance $L_g=3.3nH$. Cette valeur d'inductance peut être intégrée ou synthétisée par le *wire-bonding* à l'entrée du circuit. Le Tableau 2- 5 montre les principaux paramètres de conception théoriquement obtenus de l'étape 3 à l'étape 6.

Tableau 2- 5 Performances de LNA avec différentes valeurs de g_m

G_{ina} (dB)	NF (dB)	g_m (mS)	g_m/I_D (V ⁻¹)	L (nm)	I_D (mA)	R_0 (Ω)	W (μm)
15	<3	15	21	30	0.714	560	83
18		14	22	50	0.636	943	53
20		12	23	70	0.522	1149	54

Le gain élevé maximise la valeur de g_m/I_D pour un g_m presque constant, une consommation d'énergie plus faible et une bande passante (BW) plus faible. Trois LNA ont été conçus sur la base de ces paramètres initiaux. L'adaptation d'entrée a été obtenue en ajoutant C_f et C_s (étape 7). Les performances simulées après avoir été ajustées sont résumées et comparées à l'état de l'art dans le Tableau 2- 6.

Tableau 2- 6 Comparaison performances de LNA

	Tech (nm)	G_{ina} (dB)	NF (dB)	S_{11} (dB)	IIP3 (dBm)	P. Cons (mW)	BW (GHz)	V_{DD} (V)	L_g (nH)	FoM
[34]	65 CMOS	8.7	3.74	-22	n/a	0.315	-	0.7	19.6+2.3+18	-
[35]	90 CMOS	12.6	5.5-6.5	<-10	-6~-9	0.75	6.9	0.5	3.1+3.1	6
[36]	90 COMS	9.7	4.36	<-10	-4	0.684	0.8	1.2	0.75+11.1+1 0.5	8.1
[37]	130 CMOS	12.3	4.9-6	<-10	-11.5~- 9.5	0.4	2.2	1	0	0.7
[38]	65 CMOS	21.2	2.8-4	-<-10	-7.7	2	4.3	1.2	1.5	9.25
This work	28 FDSOI (post-layout simulation)	15.7	3	-17.8	-6.75	0.76	3	1	3.8	16.7
		18.3	2.57	-20.7	-7.2	0.628	2.7			20
		19.8	2.6	-17.4	-8.5	0.55	3.4			21.68

Les performances globales des LNA sont comparées via la FoM suivante :

$$FoM = 20 \log_{10} \left(\frac{G_{V_{av.[lin]}} BW_{[GHz]} IIP3_{[mW]}}{P_{dc[mW]} (F_{av.[lin]} - 1)} \right) \quad (2-22)$$

A partir de Tableau 2- 6 et de la FoM, les performances des trois LNA conçus s'avèrent à l'état de l'art et présentent une meilleure FoM. Pour atteindre une valeur de gain donnée et une spécification de bruit donnée, cette méthodologie de conception permet de garantir la plus faible consommation, une faible valeur d'inductance intégrée et une bonne linéarité avec la technologie de 28nm FDSOI.

2.4. Conception du buffer

En vue du test des circuits, la sortie des LNA nécessite d'être adaptée sur 50Ω . Un *buffer* de test a donc été conçu et ajouté à la sortie des LNA afin de pouvoir mesurer leurs caractéristiques sans changer leurs conditions de charge. Dans cette partie, nous détaillons le fonctionnement et le dimensionnement de ce buffer de test. L'impédance d'entrée du buffer doit tendre vers l'infini pour charger la sortie du LNA et l'impédance de sortie du buffer doit être égale à 50Ω pour être adapté aux appareils de mesure. Bien que l'ajout de ce buffer va impacter le gain du circuit, sa conception va veiller à limiter cet impact. La structure du buffer choisie est de type suiveur de tension collecteur commun, présenté dans la Figure 2. 16.

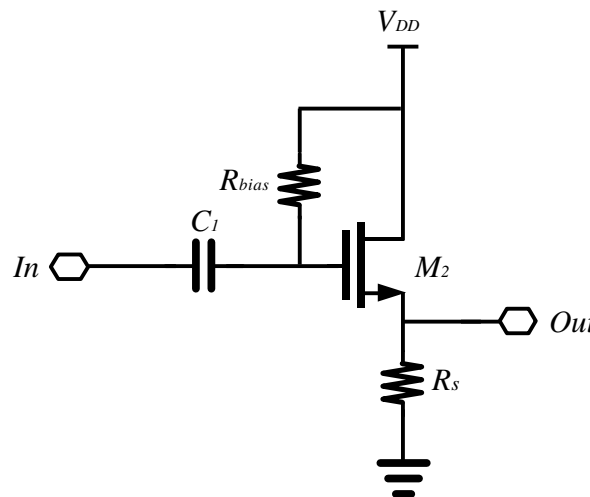


Figure 2. 16 Schéma de buffer

Une capacité de liaison C_1 est placée à l'entrée du *buffer*, ce qui permet de fixer le potentiel de grille du transistor M_2 à V_{DD} à travers une résistance R_{bias} de forte valeur. Une résistance R_s ,

placée sur la source du transistor M_2 permet de générer la source de courant. L'impédance de sortie, fixée à 50Ω est déterminée par la taille du transistor M_2 et de la résistance R_s . Les résultats de simulation de NF, S_{21} et G_v sont présentés dans la Figure 2. 17.

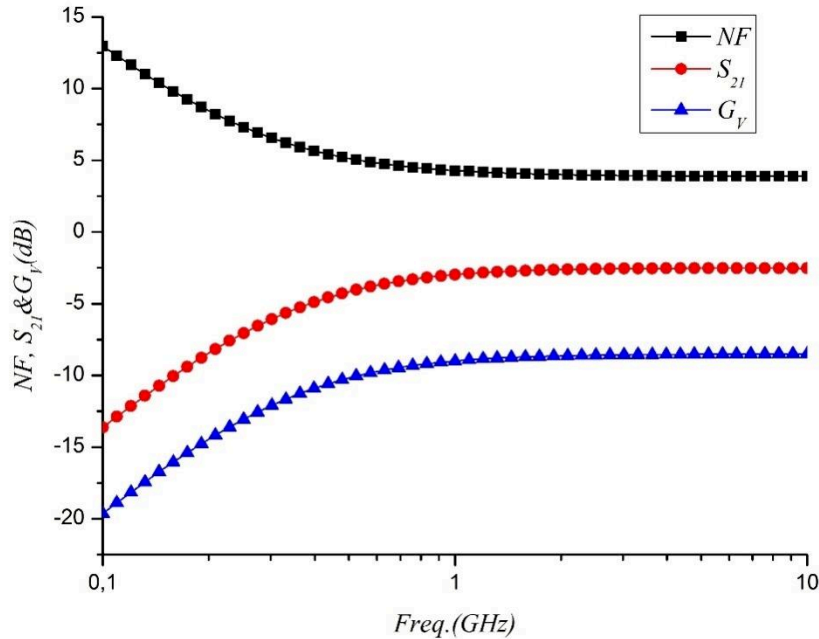


Figure 2. 17 Résultats de simulation du NF, S_{21} et du gain en tension (G_v) buffer

L'inconvénient majeur de cette structure est qu'il y a des pertes de gain en tension. Donc pour extraire le gain en tension du LNA de la mesure de gain du circuit total (LNA + *buffer*), il faudra ajouter la perte de gain due au *buffer*. Afin de mesurer précisément le gain en tension du *buffer* (et de pouvoir ainsi remonter à la valeur du gain du LNA), le *buffer* a été implémenté en *standalone* comme illustré dans la Figure 2. 19.

2.5. Circuits implémentés

La Figure 2. 18 montre le circuit complet avec les dimensions des composants pour $G_{lna} = 15.7\text{dB}$ et $L_g = 3.8\text{nH}$. Les résultats de la simulation sont présentés dans la Tableau 2- 6.

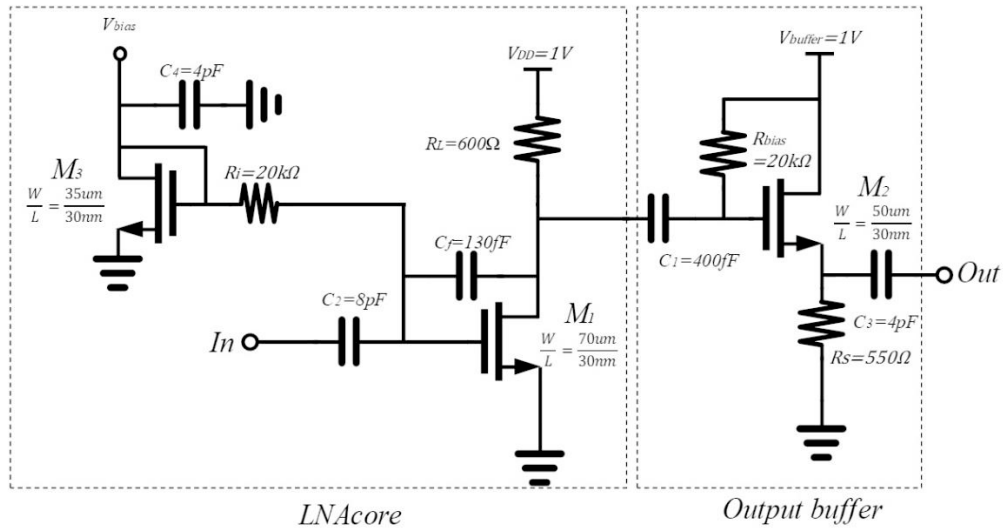


Figure 2. 18 Circuit implémenté en FDSOI 28nm

Pour les considérations de mesure, un *buffer* a été ajouté à la sortie du LNA pour assurer l'adaptation de sortie du circuit. La surface du LNA+buffer est $127\mu\text{m} \times 170\mu\text{m}$ sans les pads et $400\mu\text{m} \times 378\mu\text{m}$ avec les pads.

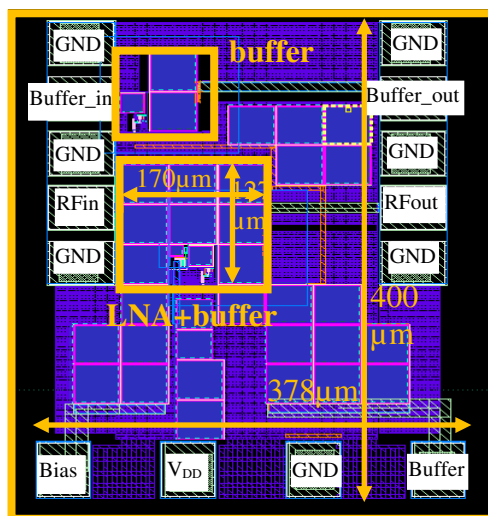


Figure 2. 19 Layout de LNA+buffer

2.6. Amélioration de la méthode de design

Il existe toutefois des contraintes liées la méthode de conception basée sur les abaques en g_m/I_D . En premier, cette méthode manque de précision car elle s'appuie sur une extraction d'abaques un peu fastidieuse. Aussi, la bande passante n'est pas maîtrisée. Pour cette raison, une approche globale est proposée basée sur un modèle compact [14] qui est valable pour toute la région de fonctionnement du transistor MOS. L'objet de cette approche est d'exprimer la bande passante et le gain en fonction du rapport g_m/I_D et donc du coefficient d'inversion i_f précédemment introduit dans l'équation (1-2).

La bande passante peut être exprimée par :

$$BW = \frac{1}{2\pi R_o (C_f + C_{gd} + C_o)} \approx \frac{1}{2\pi R_o (C_f + C_o)} \quad (2-23)$$

avec $C_o(i_f) = C_l + C_{db}(i_f) = C_l + K_c.W(i_f)$ la capacité de sortie dépendant du niveau d'inversion à travers la capacité drain bulk qui dépend de la largeur du transistor et donc de i_f pour un g_m donné (c'est-à-dire pour un facteur de bruit donné). Pour cela on rappelle que :

$$\frac{g_m}{I_D} = \frac{2}{n\phi_t (\sqrt{1+i_f} + 1)} \quad (2-24)$$

Et dans la région de saturation ($i_f \gg i_r$) que :

$$I_D = I_S i_f = I_{sq} \frac{W}{L} i_f \quad (2-25)$$

Donc :

$$W(i_f) = \frac{g_m n U_t L (\sqrt{1+i_f} + 1)}{2 I_{sq} i_f} \quad (2-26)$$

Aussi, on peut montrer de la manière suivante que la résistance de sortie R_o est dépendante de i_f pour un g_m donnée :

$$R_o(i_f) = \frac{V_{DS}}{I_D} = \frac{(V_{DD} - V_{ea})}{2I_D} = \frac{(V_{DD} - V_{ea})}{g_m \phi_t (\sqrt{1+i_f} + 1)} \quad (2-27)$$

Enfin pour une valeur maximale de bande passant BW_{max} définit comme suit :

$$BW = \frac{1}{2\pi R_o (C_f + C_o)} < \frac{1}{2\pi R_o C_f} = \frac{Q_s \omega_0}{2\pi} = BW_{max} \quad (2-28)$$

on a C_f qui dépend du niveau d'inversion :

$$C_f(i_f) = \frac{1}{2\pi R_o(i_f) BW_{max}} = \frac{2g_m n \phi_t (\sqrt{1+i_f} + 1)}{\pi BW_{max} (V_{DD} + V_{ea})} \quad (2-29)$$

Par conséquent, pour un niveau de facteur de bruit donné (c'est-à-dire une valeur de g_m

donnée) la bande passante peut être tracée en fonction du niveau d'inversion.

$$BW(i_f) = \frac{1}{2\pi R_o(i_f)(C_l + C_{ab}(i_f) + C_f(i_f))} \quad (2-30)$$

Aussi, comme présentée dans la section 2.3, par la relation (2-29) le gain du LNA peut être exprimé en fonction de g_m/I_D et donc en fonction du niveau d'inversion comme suit :

$$G_{\text{ina}} = \sqrt{1+Q_p^2} \frac{V_{DD} + V_{ea}}{2n\phi_t(\sqrt{1+i_f} + 1)} \quad (2-31)$$

Si on tient compte de la bande passante, le gain total peut s'exprimer comme suit :

$$|G_{\text{ina}}(\omega)| = \frac{V_{DD} + V_{ea}}{2n\phi_t(\sqrt{1+i_f} + 1)} \frac{1}{\sqrt{1 + \left(\frac{\omega_0}{2\pi BW}\right)^2}} \sqrt{1+Q_p^2} \quad (2-32)$$

BW dépend de i_f mais aussi Q_p à travers la résistance de Miller R_M . En effet on rappelle que d'après la relation (2-2) on a :

$$\sqrt{1+Q_p^2} = \sqrt{1+Q_s^2} \sqrt{\frac{R_M}{R_{IN}}} \quad (2-33)$$

avec

$$R_M(i_f) = \frac{R_o}{(1 + g_m R_o)} = \frac{1}{g_m \left(1 + \frac{2n\phi_t(\sqrt{1+i_f} + 1)}{V_{DD} + V_{ea}}\right)} \quad (2-34)$$

Ainsi il est possible d'exprimer le gain en fonction de i_f pour un NF (g_m) donné :

$$|G_{\text{ina_max}}(i_f, \omega)| = \frac{V_{DD} + V_{ea}}{2n\phi_t(\sqrt{1+i_f} + 1)} \frac{\sqrt{1 + \left(\frac{2\pi BW_{\text{max}}}{\omega_0}\right)^2}}{\sqrt{1 + \left(\frac{\omega_0}{2\pi BW(i_f)}\right)^2}} \sqrt{\frac{R_M(i_f)}{R_s}} \quad (2-35)$$

Les expressions du gain (2-35) et de la bande passante (2-30) sont donc exprimées en fonction du coefficient d'inversion pour différentes valeurs du facteur de bruit. Ainsi, il est possible d'explorer l'espace de conception à partir d'équations analytiques et de choisir un niveau d'inversion qui garantisse la bande passante nécessaire au système, comme présenté sur les courbes illustrées Figure 2. 20.

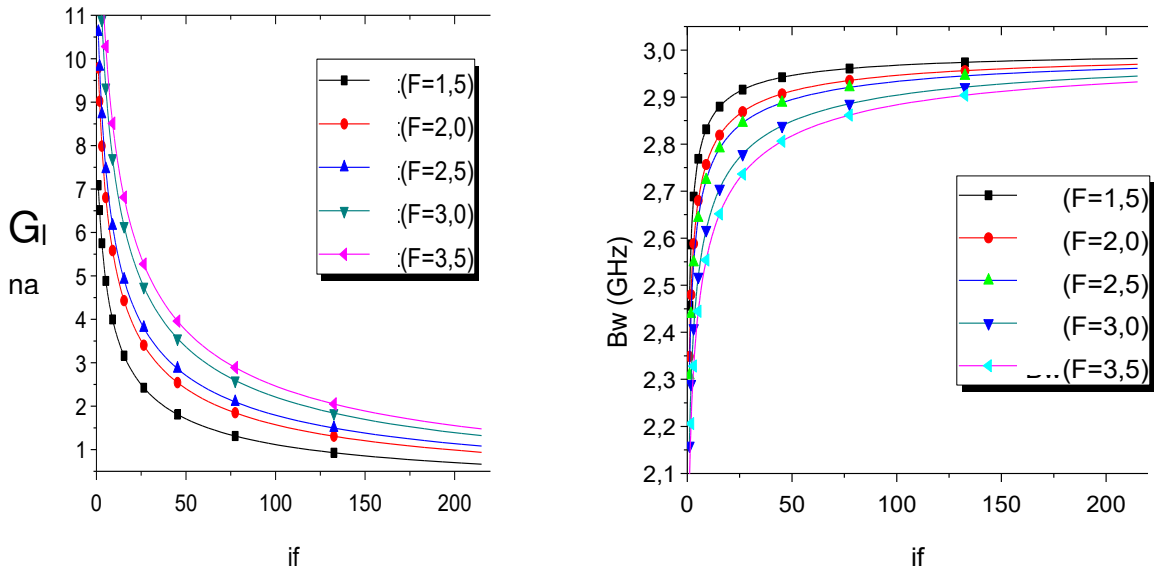


Figure 2. 20 Espace de conception du LNA Cf feedback

2.7. Résultats

Les performances de ce circuit peuvent se décliner en deux domaines, les performances DC et les performances RF.

Le bench de mesure est présenté dans la Figure 2. 21 avec deux appareils qui fournissent 4 alimentations DC, et un VNA pour mesurer les paramètres S de la partie RF.

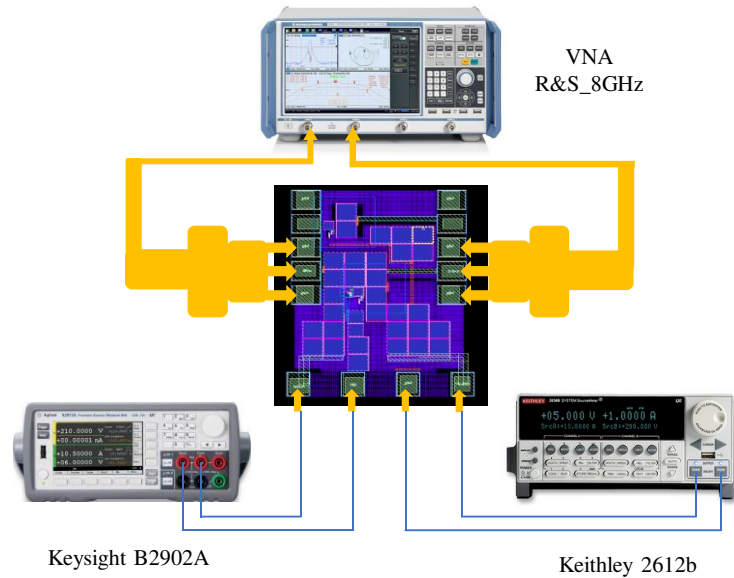


Figure 2. 21 Bench de mesure LNA

Ce bench de mesure est le même pour la mesure du buffer. La consommation du LNA et du buffer sont 1.1mA et 2.09mA.

Comme présenté dans la Figure 2. 19, le *layout* de ce circuit est tel qu'il est possible de mesurer la partie de buffer et la partie de LNA+*buffer* indépendamment. Pour comparer les performances du *buffer*, les résultats de mesure et de simulation du S_{21} sont présentés dans la Figure 2. 22.

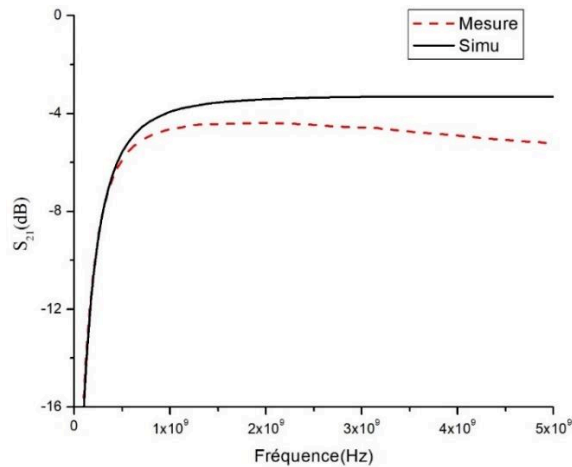


Figure 2. 22 Résultats de PLS et mesure *buffer*

A partir de ces résultats, nous observons qu'il y a un écart entre la mesure et la simulation. Celui-ci se produit significativement lors des hautes fréquences. Il y a à peu près 1dB d'écart à 2.4GHz. Ensuite, les performances de LNA+*buffer* sont présentées dans la Figure 2. 23.

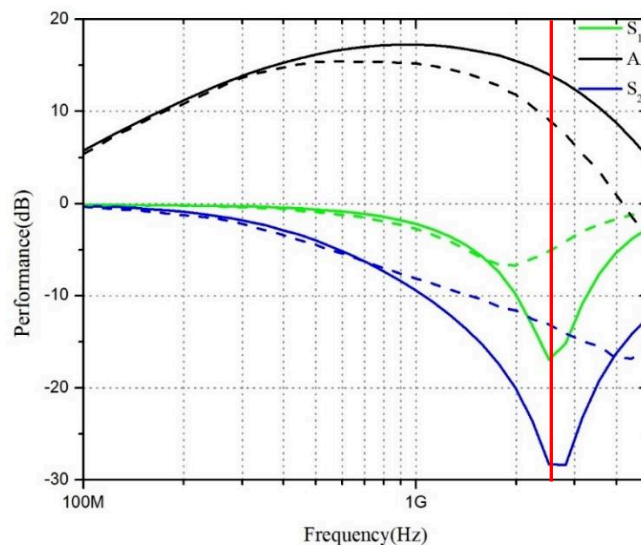


Figure 2. 23 Résultats de PLS et mesure du LNA

Ces résultats sont obtenus par les mesures S2P plus une simulation mettant en œuvre une inductance de 3.3nH pour émuler le *wire-bonding*. Le gain A_v est obtenu en ajoutant les 8.8dB de chute de gain en tension du *buffer*. A partir des résultats de mesures, nous observons qu'il y a des chutes de gain avec l'augmentation de la fréquence. Ces phénomènes peuvent être expliqués par les capacités parasites (*fringe*) qui se trouvent autour de la capacité feedback C_f dans le *layout* comme représenté sur la Figure 2. 24. Surtout, la valeur de C_f a une forte influence la bande passante. Les résultats de rétro-simulation sont montrés dans la Figure 2. 25 pour une capacité de *fringe* de 100fF.

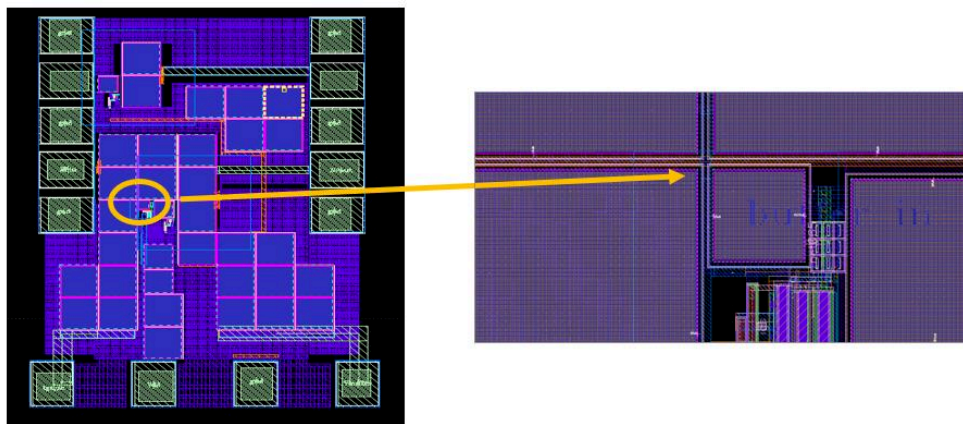


Figure 2. 24 Détail du layout de la capacité C_f

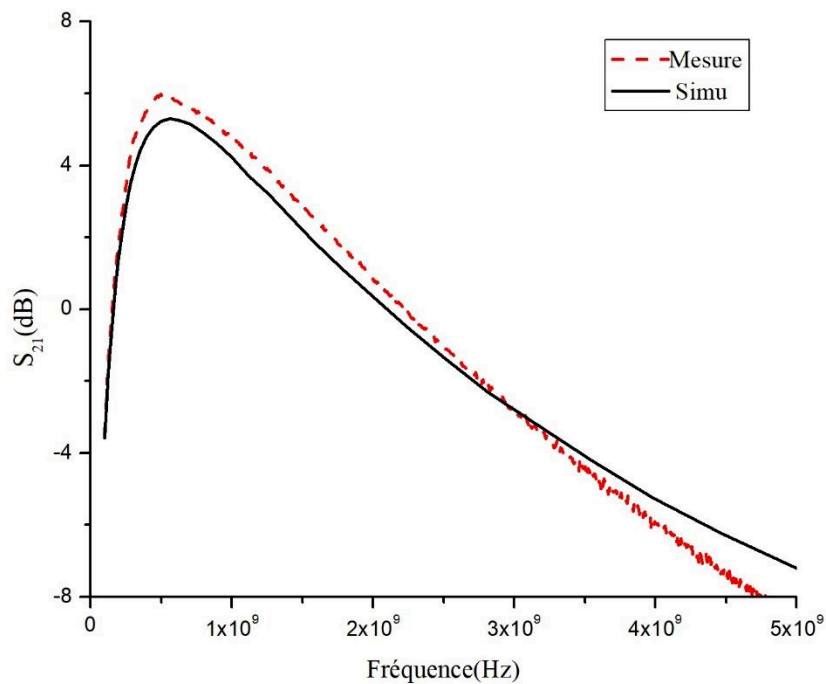


Figure 2. 25 Rétro simulation en ajoutant 100fF de capacité parasite à C_f

A partir de cette figure, nous pouvons observer que les résultats de gain S_{21} sont très proches des résultats de mesure en ajoutant cette capacité parasite en parallèle de C_f .

2.8. Conclusion

Sur la base de la méthodologie proposée, trois LNA ont été conçus en visant trois gains différents. Le LNA présentant un gain de 15dB a été implémenté et fabriqué en technologie FDSOI 28nm. Grâce à cette méthodologie de conception, un LNA de capacité feedback peut être dimensionné pour atteindre des valeurs de gain, de facteur de bruit données pour une consommation d'énergie minimale et une taille d'inductance L_g minimale. Cette méthodologie en g_m/I_D convient bien aux technologies avancées pour lesquelles le f_i est assez élevé.

Chapitre 3: Conception LNA RF Power Gating

Les radiofréquences sont largement utilisées dans les systèmes de communication sans fil. Dans ce domaine, la mobilité occupe une part de marché importante et l'une des exigences principales dans ce domaine est l'autonomie énergétique. Par conséquent, minimiser la consommation d'énergie des émetteurs-récepteurs RF est important.

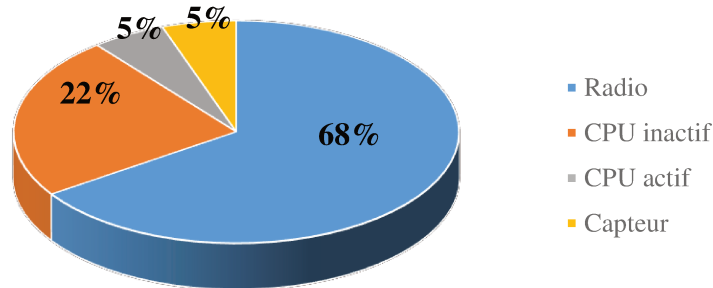


Figure 3. 1 Répartition de la consommation d'un objet communicant en mode d'écoute [39]

La répartition de la consommation des différents blocs d'un objet communicant est illustrée dans la Figure 3. 1. Il montre clairement que les émetteurs-récepteurs consomment environ 80% d'énergies du système.

Les émetteurs-récepteurs classiques ont des performances fixes (non-adaptatives) et sont conçus pour atteindre une qualité de service (QoS) donnée quelles que soient les conditions de la liaison. Toutefois, la plupart du temps, les émetteurs-récepteurs ne sont pas mis en œuvre dans les conditions d'utilisation pour lesquelles ils ont été dimensionnés et le canal de transmission est beaucoup plus favorable (distance de communication plus courte, nombre de bloqueurs réduits, etc ...). Souvent, l'augmentation des performances s'accompagne d'une augmentation de la consommation (gain, facteur de bruit, linéarité, ...). Par conséquent, s'il était possible d'adapter les performances du système de transmission à l'environnement, cela permettrait de réduire sa consommation, dans le cas d'une liaison de bonne qualité notamment en limitant ses performances [40]. C'est l'objet des émetteurs-récepteurs adaptatifs, qui constituent un volet majeur de la recherche dans les systèmes de communication, et sont la base des travaux présentés dans ce chapitre.

Dans le chapitre précédent, la conception d'un LNA sur la base d'une méthode en g_m/I_D est proposée. Cette méthode de conception permet d'avoir un LNA faible consommation, optimisé en énergie et ayant une faible valeur de l'inductance d'adaptation d'entrée. Dans ce chapitre est présentée une solution pour la commutation (*duty-cycling*) du CF-LNA permettant de mettre en œuvre une technique dite de RFPG (RF *power-gating*), adoptée ici pour rendre le récepteur adaptatif. Grâce à la technologie FDSOI 28nm, ce LNA_RFPG

présente très peu de courant de fuite quand il est en état OFF. Grace à la technique RFPG, les faibles courants de fuite à l'état OFF et la consommation optimisée à l'état ON permettent d'atteindre des performances en termes de consommation très satisfaisantes.

3.1. ETAT DE L'ART DES RECEPTEUR ADAPTATIFS COMMUTES

Un système communication sans fil se décompose en trois parties : l'émetteur, le canal de transmission et le récepteur comme représenté dans la Figure 3. 2.



Figure 3. 2 Modèle de communication sans fil

Comme illustré dans la Figure 3. 1, le émetteurs-récepteurs radio est le principal consommateur d'énergie dans un système. La recherche se concentre plus dans la partie de récepteur.

Le facteur de bruit (NF) d'un récepteur est défini comme le rapport des rapports signal sur bruit de l'entrée SNR_{in} sur celui de la sortie SNR_{out} , ce qui peut s'écrire comme :

$$SNR_{out} = SNR_{in} - NF \quad (3-1)$$

Ainsi, à partir de (3-1), on voit que si le rapport signal sur bruit en entrée augmente (quand le récepteur se rapproche de l'émetteur par exemple) il est possible de maintenir le même SNR en sortie avec un facteur de bruit plus élevé. C'est l'idée même du récepteur adaptatif.

Le *duty-cycling* est une méthode efficace qui est souvent utilisée pour réduire la consommation d'énergie dans les réseaux de capteurs sans fils (WSN)[44]. L'idée de *duty-cycling* est de mettre les nœuds périodiquement dans le mode veille. Le réseau est synchrone et les nœuds ne se réveillent que pour communiquer entre eux. Ce protocole est très efficace énergétiquement car il évite les collisions (paquet perdu) ou le réveil inopportun d'un récepteur, toutefois, il ne permet pas de s'adapter à l'environnement. Depuis quelques temps, des techniques dans le domaine des systèmes à rapports cycliques ont émergées permettant de rendre les E/R adaptatifs au regard de leur environnement, parmi lesquelles on distingue :

- La technique Wake-up Radio
- La technique RF *power-gating* (RFPG)

3.1.1. Wake-up radio

La technique Wake-up radio (WURx) consiste à ajouter un récepteur supplémentaire en parallèle à la radio principale. Son objectif est d'activer la radio principale quand il y en a besoin soit en détectant que le canal est libre pour transmettre, soit en détectant un message simple permettant au récepteur de savoir qu'un système tente de communiquer avec lui. Le principe d'une WURx est présenté dans la Figure 3. 3.

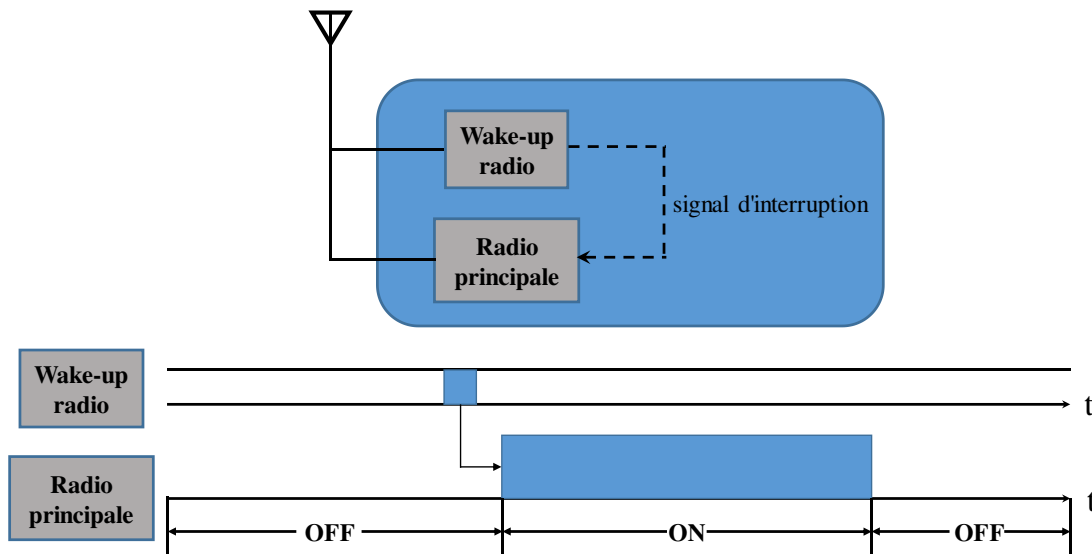


Figure 3. 3 Principe de la structure Wake-up radio

Tableau 3- 1 Comparison performances Wake-up radio

	[41]	[42]	[43]	
Consommation d'énergie	52 μ W	51 μ W	415 μ W	
Fréquence	2GHz	915MHz	2.4GHz	
Sensibilité	-72dBm	-75dBm	-87dBm	-82dBm
Débit de données	100kbps	100kbps	250 kbps	500 kbps
Efficacité énergétique	520pJ/bit	510pJ/bit	830pJ/bit	
Modulation		OOK	PPM-IR	
Application	WSN	WSN	WSN	

Tableau 3- 1, la consommation des wake-up radios apparait comme très faible (de $50\mu\text{W}$ à $415\mu\text{W}$), ce qui est la condition nécessaire pour que le système complet affiche des performances intéressantes [45]. Cependant, leur sensibilité reste modeste. Avec une sensibilité du récepteur de l'ordre de -72dBm (proposé dans [41]), la distance de communication reste faible (inférieure à 10m). De plus, le principe même du récepteur, basé sur une détection d'énergie, le rend sensible aux bloqueurs. Des systèmes basés sur des récepteurs à transposition vers une fréquence incertaine permettent d'améliorer la sensibilité et réduire la nuisance des bloqueurs [43], toutefois, la consommation explose et limite la performance globale du système.

3.1.2. *RF Power-gating (RFPG)*

La technique RFPG est une technique de gestion de l'alimentation consistant à allumer et éteindre les blocs RF pendant le temps du symbole. Le principe du *power-gating* est largement utilisé pour les circuits numériques en permettant la synchronisation d'horloge [47][48] ou en désactivant certaines parties du système [49][50]. La technique RFPG étend ce principe au front-end RF. On distingue deux grandes familles de récepteurs qui utilisent la technique *RFPG* : les récepteurs à ultra-large bande impulsionnelle (IR-UWB) [51]-[55] et les récepteurs à bande étroite [56]-[58].

3.1.2.a. Les récepteurs à ultra-large bande impulsionnelle (IR-UWB)

La radio impulsionnelle Ultra-large bande (IR-UWB) est une solution pour les émetteurs-récepteurs sans fil à faible consommation, notamment pour les débits de données faibles et moyens [60]. En effet, les informations transmises sont codées par des impulsions de courte durée en comparaison du temps symbole. Cette propriété fait que l'IR-UWB peut être utilisé pour la localisation, mais surtout permet l'utilisation de techniques RFPG sans perte d'information ni de puissance du signal reçu.

Pour réduire la consommation d'énergie, il est possible d'exploiter le faible rapport cyclique des transmissions IR-UWB bas débit. Ainsi il est possible d'éteindre le système entre deux impulsions reçues comme présenté dans la Figure 3. 4.

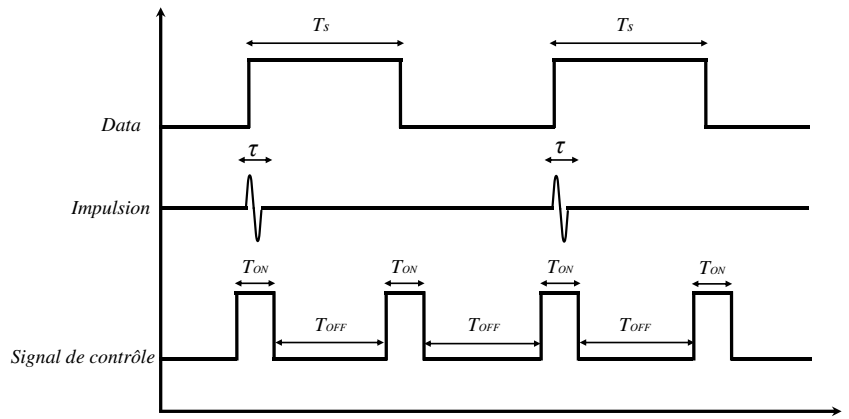


Figure 3. 4 Principe de la structure Duty-cycling de IR-UWB

La durée des impulsions (τ) étant de l'ordre de quelques nanosecondes, le gain en énergie ($\eta_e = T_s/\tau$) peut-être théoriquement très élevé.

Une synchronisation précise est un élément crucial pour garantir un gain en énergie important. A l'émission, la synchronisation reste facile à mettre en œuvre car l'horloge d'émission est disponible. Au niveau du récepteur, il est nécessaire de régénérer l'horloge synchrone du message. Ainsi les performances énergétiques dépendent du circuit de régénération de l'horloge.

3.1.2.b. Les récepteurs à bande étroite

Différemment des récepteurs IR-UWB, les E/R à bande étroite utilisent une porteuse RF modulée produisant des signaux qui sont définis pendant toute la durée du temps symbole. Ainsi, en dehors de la modulation OOK, l'application d'une technique RFBP à l'intérieur du temps symbole induit intrinsèquement la perte d'une partie du signal. Néanmoins, cette propriété n'interdit pas l'utilisation du RFBP pour les systèmes bande étroite, notamment dans le cas de systèmes adaptatifs où la qualité du signal reçu peut être élevée. Quelques travaux de recherche considèrent par exemple l'utilisation intermittente de certaines parties d'un récepteur en bande étroite dont le principe est illustré dans la Figure 3. 5. Dans [57], les circuits en bande de base sont commutés (*duty-cycling*). L'utilisation par intermittence du décodeur permet de réduire la consommation du récepteur de 4.5 mA à 3 mA lorsque le rapport entre la période d'allumage du décodeur et le temps symbole (IOR) passe de 8.2% à 1.8%. Dans [58], le LNA et le mélangeur sont éteints par intermittence, et la consommation du récepteur est divisée par huit lorsque l'IOR est de 12% dans le cas d'une modulation BPSK. D'autres travaux [59] proposent de réduire la consommation d'énergie du récepteur en

commutant le convertisseur analogique-numérique (ADC) pendant le temps symbole et de jouer sur la fréquence d'échantillonnage pour limiter la dégradation du BER. Et plus récemment, les mêmes auteurs ont proposé d'étendre le principe du RFPG aux composants RF d'un récepteur [46].

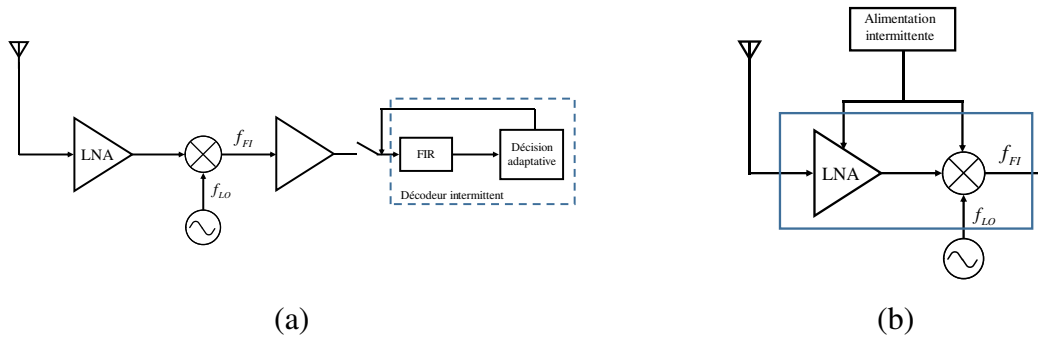


Figure 3. 5 Récepteur intermittent (a) décodeur intermittent [57] et (b) LNA et mélangeur intermittents [58]

3.1.2.c. RF Power-gating (RFPG) [46]

Dans [46], les auteurs étudient les performances théoriques d'un récepteur utilisant une technique de RFPG pour une modulation de fréquence de type MSK.

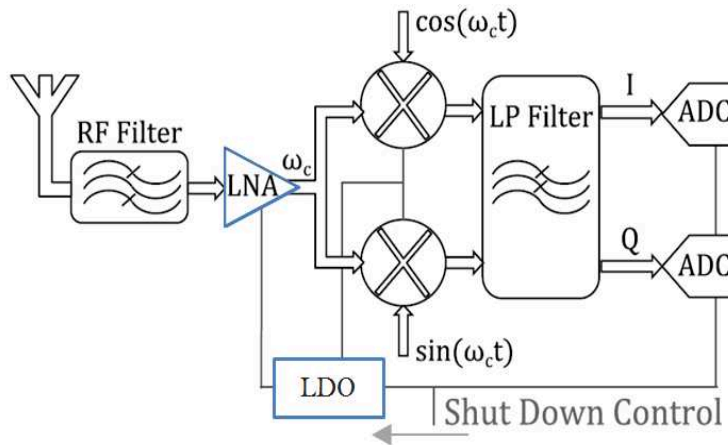


Figure 3. 6 Exemple d'une architecture front-end RFPG zéro-IF [46]

La Figure 3. 6 montre le front-end considéré et les éléments soumis au RFPG. Les filtres FI, ayant un temps de réponse trop lent, ne sont pas commutés. Les performances ont été étudiées dans le cadre d'un récepteur typique dont les performances sont données dans le Tableau3- 2.

Tableau3- 2 Paramètres du front-end étudié dans [46]

Paramètres	Valeurs
Débit(chip rate)	2Mbps
Modulation	MSK
Temps symbole(T_s)	500ns
Facteur de bruit(NF)	7dB
Fréquence intermédiaire(IF)	4MHz

Les performances (BER(E_b/N_0)) d'un tel récepteur soumis à une technique RFPG ont été étudiées dans [46] et sont données en fonction de p , le rapport entre le temps où le récepteur est actif (t_w) et le temps symbole (T_s). Ce rapport est l'image du gain en consommation maximum que l'on obtiendrait si le récepteur s'allume instantanément et n'a pas de courant de fuite.

$$p = \frac{t_w}{T_s} \tag{3-2}$$

Les simulations sont présentées pour la modulation MSK (Minimum-Shift Keying), car elle est bien adaptée à la réception faible consommation. Elle permet notamment une démodulation non cohérente et une resynchronisation des données simple, étudiée en [59].

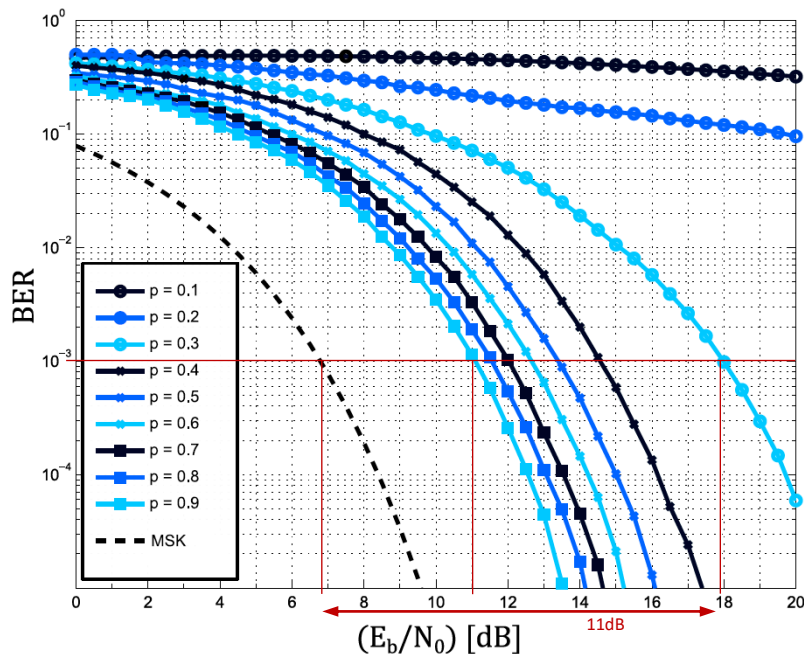


Figure 3. 7 Simulation du BER en utilisant ADS Agilent de l'architecture ayant une réception RFPG [46]

La Figure 3. 7 nous montre l'évolution du BER en fonction du rapport (E_b/N_0) pour différentes valeurs de p et dans le cas d'une modulation de type MSK, pour le cas où seulement deux échantillons sont prélevés (un au début de t_w et un à la fin). Plus la valeur de p

est élevée, meilleures sont les performances car l'interférence entre les deux échantillons due au bruit de phase diminue avec leur distance. Toutefois, on voit que pour maintenir un BER constant, le SNR (E_b/N_0) doit augmenter. Par exemple, pour atteindre un BER de 10^{-3} il faut augmenter le rapport E_b/N_0 de 11dB (comparativement à un récepteur MSK conventionnel [64] si on utilise une technique RFPG avec $p=0,3$). Le Tableau 3- 3 montre les différentes valeurs de SNR (E_b/N_0) pour atteindre un BER de 10^{-3} avec différentes valeurs de p .

Tableau 3- 3 Valeurs correspondant à l'augmentation de E_b/N_0 pour atteindre un BER de 10^{-3}

	Augmentation du SNR (E_b/N_0) permettant de maintenir BER $> 10^{-3}$
$p=0,3$	11dB
$p=0,4$	8dB
$p=0,5$	7dB
$p=0,6$	6dB
$p \geq 0,7$	≤ 5 dB

3.1.3. Conclusion

Même si les performances énergétiques d'un système RFPG bande étroite semblent moins bonnes que celles d'un wake-up radio, le système permet une meilleure adaptation aux conditions d'utilisation et particulièrement à la puissance du signal reçu. En outre il permet de garantir les performances maximales quand cela est nécessaire. Toutefois, la faisabilité technique d'un tel système n'a jamais été démontrée.

3.2. Design du circuit LNA RFPG

Le LNA RFPG est destiné à être utilisé dans un récepteur adaptatif. Les précédents travaux ont montré qu'il est possible d'utiliser cette technique avec un rapport cyclique de 30% sans dégradation du BER si le rapport SNR est augmenté de 11dB en entrée du récepteur. Avant de présenter la conception des éléments constituant le LNA commuté, une étude sur les différents modes de fonctionnement et les seuils permettant de passer d'un mode à l'autre est proposée ainsi qu'une analyse du système de gestion de l'alimentation permettant de spécifier les paramètres critiques du LNA au regard de son fonctionnement commuté.

3.2.1. Définition des modes de fonctionnement

Pour le standard 802.15.4 (Zigbee), la sensibilité actuelle des récepteurs est inférieure à -100 dBm [65]. Dans le reste du manuscrit nous considèrerons la sensibilité typique égale à : $P_{RX_typ} = -100$ dBm. Cependant, une telle sensibilité n'est pas requise 100% du temps d'utilisation d'un récepteur. En d'autres termes, dans de nombreuses situations, le rapport signal à bruit en entrée du récepteur est suffisamment élevé pour appliquer une technique RFPG sans dégrader les performances en BER.

La puissance reçue au niveau d'un récepteur (P_{RX}) dépend de la puissance émise (P_{TX}) et de la distance de communication (d) selon la relation suivante :

$$P_{RX}(d) = P_{TX} - 10\log(\alpha) - 10\beta\log(d) \quad (3-3)$$

ou β est le coefficient d'atténuation égal à 3 et α est l'atténuation de référence de $10^{3.7}$ pour une distance de un mètre, qui sont des valeurs typiques pour le canal intérieur. Dans le cas d'un réseau donné de n éléments ayant une distribution géographique homogène (modélisé par une loi de Poisson), la densité de probabilité de cette puissance reçue au niveau du récepteur ($PDF_{P_{RX}}(p_{RX})$) est connue ([61]) et est donnée ci-dessous :

$$PDF_{P_{RX}}(P_{RX}) = \frac{\ln 10}{10\beta} \cdot \frac{2(\pi\lambda)^n}{(n-1)!} \cdot 10^{2\pi A} \cdot e^{-\lambda\pi 10^{2A}} \quad \text{avec } A = \frac{P_{TX} - 10\log(\alpha) - P_{RX}}{10\beta} \quad (3-4)$$

ou λ correspondant à une distance moyenne entre un nœud et son premier voisin de 15,8 m selon [62]. Dans le cas d'un réseau ZigBee (avec $P_{TX} = 0$ dBm) de $n=1$ éléments, $PDF_{P_{RX}}(P_{RX})$ est représenté sur la Figure 3. 8. Les valeurs les plus probables de la puissance reçue se situent entre -85dBm et -70dBm alors que la puissance de -100dBm (P_{RX_typ}) est peu probable.

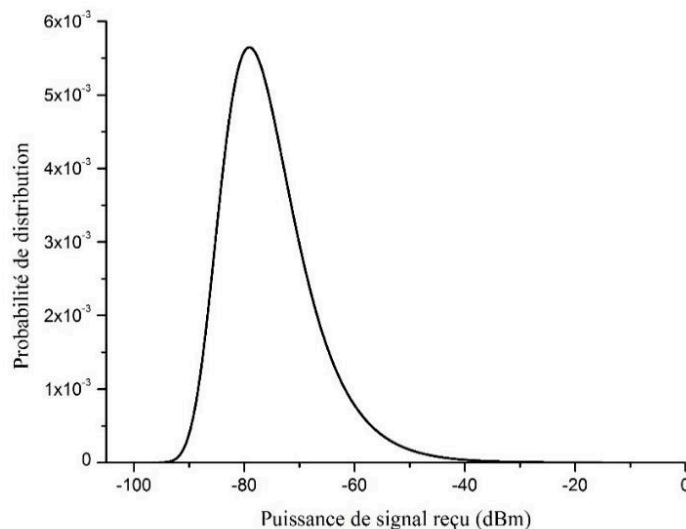


Figure 3. 8 Probabilité de la distribution vs la puissance de signal reçu

La probabilité que la puissance du signal reçu soit 11dB supérieure à P_{RX_typ} ($P_{RX_lim} = P_{RX_typ} + 11dB = -89dBm$), remontant ainsi le SNR en entrée du récepteur et donc permettant l'utilisation d'une technique de RFPG avec $p=0,3$ sans dégradation du BER, peut être évaluée à partir de $PDF_{P_{RX}}(p_{RX})$ et vaut :

$$P(P_{RX} \geq P_{RX_lim}) = \int_{P_{RX_lim}}^{\infty} PDF_{P_{RX}}(P_{RX}) \cdot dP_{RX} = 99\% \quad (3-5)$$

On peut ainsi définir deux modes de fonctionnement. Un mode de fonctionnement continu pour les faibles puissances reçues, et un mode RFPG pour les puissances reçues supérieures au seuil défini par P_{RX_lim} . La probabilité d'être en mode RFPG dans le cas du réseaux ZigBee considéré ici est 99%.

3.2.2. Unité de gestion de la puissance et paramètres critiques

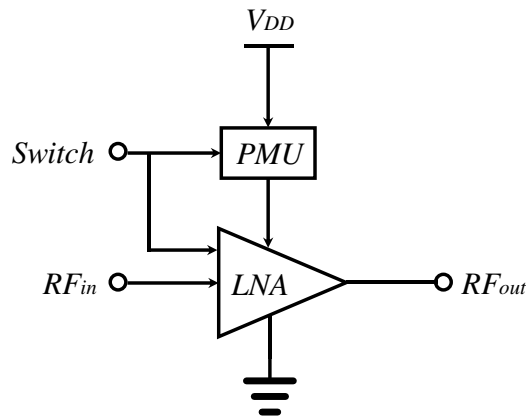


Figure 3. 9 Topologie de LNA RFPG

Afin d'appliquer une technique RFPG, une unité de gestion de la puissance (*Power Management Unit* - PMU) est insérée entre l'alimentation V_{DD} et le LNA, comme présenté dans la Figure 3. 9. Cette PMU est utilisée pour contrôler les interrupteurs qui mettent en œuvre le système de commutation du LNA. La consommation totale de ce système commuté peut être exprimée de la manière suivante :

$$P_{LNA_TOTAL} = P_{LNA_CONTINUE} + P_{LNA_RFPG} = \frac{1}{T} (P_{LNA_ON} \Delta T_{CONTINUE} + P_{LNA_RFPG} \Delta T_{RFPG}) \quad (3-6)$$

avec $\Delta T_{CONTINUE}$ le temps d'activé en mode continu quand la puissance reçue est $P_{RX} < P_{RX_lim}$,

et ΔT_{RFPG} le temps d'activé en mode RFPG quand la puissance reçue est $P_{RX} > P_{RX_lim}$.

Connaissant la probabilité que $P_{RX} > P_{RX_lim}$, il est alors possible d'évaluer le ratio entre le temps en mode RFPG et le temps symbole à partir de la relation (3-7):

$$\frac{\Delta T_{RFPG}}{T} = 99\% \quad (3-7)$$

C'est-à-dire que 99% du temps, nous pouvons utiliser la technique RFPG pour réduire la consommation sans dégradation du BER.

La partie PMU considérée ici consiste en un convertisseur DC (Low Drop Out) et un ensemble d'interrupteurs utilisés pour allumer et éteindre le LNA à partir d'une commande externe 'Switch'. La production de cette commande externe à partir de l'état du système (mesure RSSI ou analyse du BER par exemple) n'est pas étudiée ici. Quand le LNA est en état 'ON', la consommation du système sera la consommation du LNA. Quand le LNA est en état 'OFF', la consommation du système sera liée aux courants de fuite. Pour réduire la consommation du système, il y a trois critères qui doivent être minimisés dans chaque sous-système : i) la consommation en état 'ON', ii) la consommation en état 'OFF' et iii) le temps d'établissement du système. Afin de garantir une certaine efficacité énergétique, le temps d'établissement du système ne doit pas dépasser quelques pourcents du temps symbole soit environ $0,1 \cdot 500n = 50ns$ pour le standard ZigBee. Cette remarque est également valable pour les circuits du PMU eux-mêmes. Par conséquent, la consommation totale du système est donnée dans (3-8)

$$\begin{aligned} P_{LNA_RFPG} &= P_{LNA_ON} + P_{LNA_leak} + P_{LNA_SU} \\ &= \frac{V_{DD}}{\Delta T_{RFPG}} \left(I_{LNA_ON} \cdot \Delta T_{LNA_ON} + I_{LNA_leak} \cdot \Delta T_{LNA_leak} + I_{LNA_SU} \cdot \Delta T_{LNA_SU} \right) \end{aligned} \quad (3-8)$$

avec $\Delta T_{RFPG} = \Delta T_{LNA_ON} + \Delta T_{LNA_leak} + \Delta T_{LNA_SU}$

I_{LNA_ON} est le courant du LNA à l'état 'ON', I_{LNA_leak} le courant de fuite du LNA à l'état 'OFF', I_{LNA_SU} est le courant moyen pendant le temps d'établissement. ΔT_{LNA_ON} , ΔT_{LNA_leak} et ΔT_{LNA_SU} correspondent respectivement aux temps à l'état 'ON', à l'état 'OFF' et d'établissement.

Dans un système à alimentation commutée, le rôle du PMU est de déconnecter le LNA ainsi que le circuit d'alimentation (ici le LDO) afin de réduire la consommation et les fuites du système. Dans ce système, le temps d'établissement ΔT_{LNA_SU} est déterminé par le temps nécessaire au système pour atteindre ses points de fonctionnement DC qui sont dominés par les capacités aux nœuds DC, les résistances de charge ou le courant de charge. Lorsque le système s'éteint, le temps nécessaire pour déconnecter les circuits d'alimentation est très court

par rapport au ΔT_{LNA_SU} , car il est réglé par le temps de réponse des commutateurs et peut être négligé.

Il existe plusieurs techniques afin de réduire le temps d'établissement (ΔT_{LNA_SU}). Parmi les plus connues, nous utiliserons « le chemin à faible impédance » qui est présenté dans la Figure 3. 10.

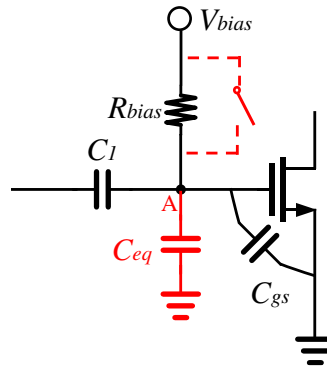


Figure 3. 10 Technique de Chemin à faible impédance

La Figure 3. 10 illustre le principe de la technique de chemin à faible impédance. Le temps d'établissement de la tension DC au nœud A dépend de la charge DC au nœud A (C_{eq}) et de la résistance du chemin d'alimentation (R_{bias}). On peut donc le décrire comme :

$$\tau_{rise} = R_{bias} \cdot C_{eq} \quad (3-9)$$

Pour réduire le temps d'établissement, la technique de chemin à faible impédance consiste à réduire la résistance du chemin d'alimentation en proposant un chemin beaucoup moins résistif que R_{bias} : un interrupteur qui court-circuite cette résistance R_{bias} pendant le temps d'établissement. Ainsi ΔT_{LNA_SU} peut être largement réduit en court-circuitant judicieusement les résistances des chemins d'alimentation.

3.2.3. Conception d'un CF-LNA commuté pour le RFPG (CF-LNA-RFPG)

Le design du CF-LNA-RFPG repose sur la base d'un LNA capacité feedback que nous avons présenté dans le chapitre 2. Son schéma est rappelé dans la Figure 3. 11 et les performances sont données dans le Tableau 3- 4.

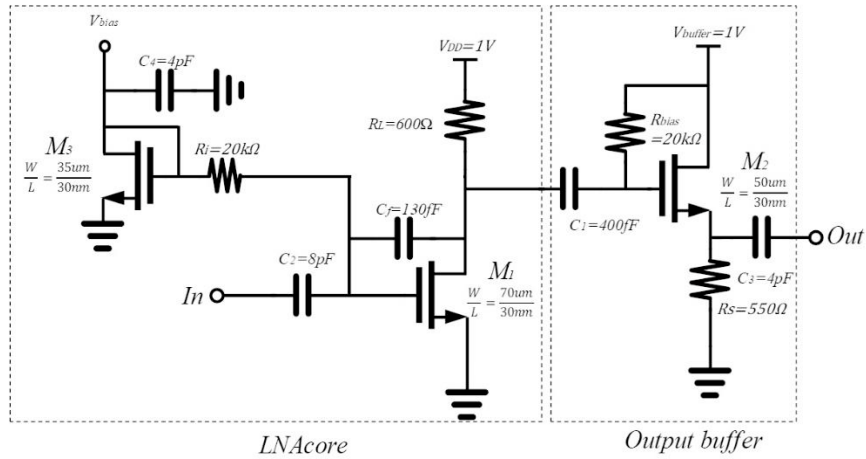


Figure 3. 11 Schéma du CF-LNA

Tableau 3- 4 Performances de CF-LNA

Tech (nm)	G_{na} (dB)	NF (dB)	S_{11} (dB)	IIP3 (dBm)	P. Cons (mW)	BW (GHz)	V_{DD} (V)
28 FDSOI	15.7	3	-17.8	-6.75	0.76	3	1

Afin d’implémenter la technique RFPG sur le circuit CF-LNA, le système de polarisation a été modifié et une partie PMU a été ajouté. Le schéma de ce circuit CF-LNA-RFPG est illustré Figure 3. 12(a). La tension de polarisation V_{gs0} (395mV) étant proche de V_{ds0} (404mV), il est décidé de réaliser la polarisation de la grille par le drain en utilisant une résistance R_f de forte valeur entre la grille et le drain du transistor. Les conséquences sur les performances du système impactent surtout le gain. En effet le gain est réduit de 11.7%, passant de 15.7dB à 14dB. Par contre le facteur de bruit n’est pas impacté et reste le même. Concernant la partie PMU, un transistor M_2 est ajouté entre V_{DD} et la résistance R_0 afin de déconnecter le LNA de la ligne d’alimentation. La commande ‘Switch’ fonctionne comme un interrupteur pour déconnecter l’alimentation. Aussi, le transistor M_2 est dimensionné pour avoir une faible résistance à l’état passant (R_{on}) afin de ne pas changer la charge du LNA. Le résultat de simulation est présenté dans la Figure 3. 12 (b).

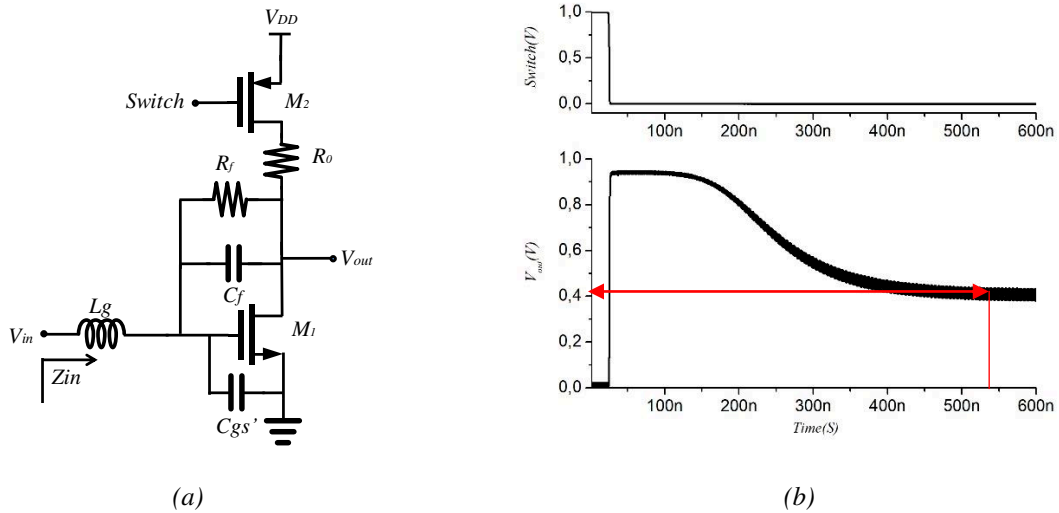


Figure 3. 12 (a) Schéma du CF-LNA RFPG et (b) Simulation du temps d'établissement

On peut remarquer sur les simulations que le temps d'établissement est supérieur à 400ns ce qui est largement supérieur au temps spécifié dans le paragraphe 3.2.2 (50ns). Afin de réduire ce temps, la technique de chemin à faible impédance est adoptée. La capacité vue à la grille du transistor C_g est chargée à travers une résistance de forte valeur R_f ce qui induit une constante de temps très longue. Afin de charger la capacité C_g plus rapidement, un interrupteur M_3 peut être ajouté en parallèle à R_f afin de la court-circuiter pendant le temps d'établissement. Cet interrupteur est ouvert pendant le fonctionnement nominal du LNA. Le schématique est présenté dans la Figure 3. 13(a).

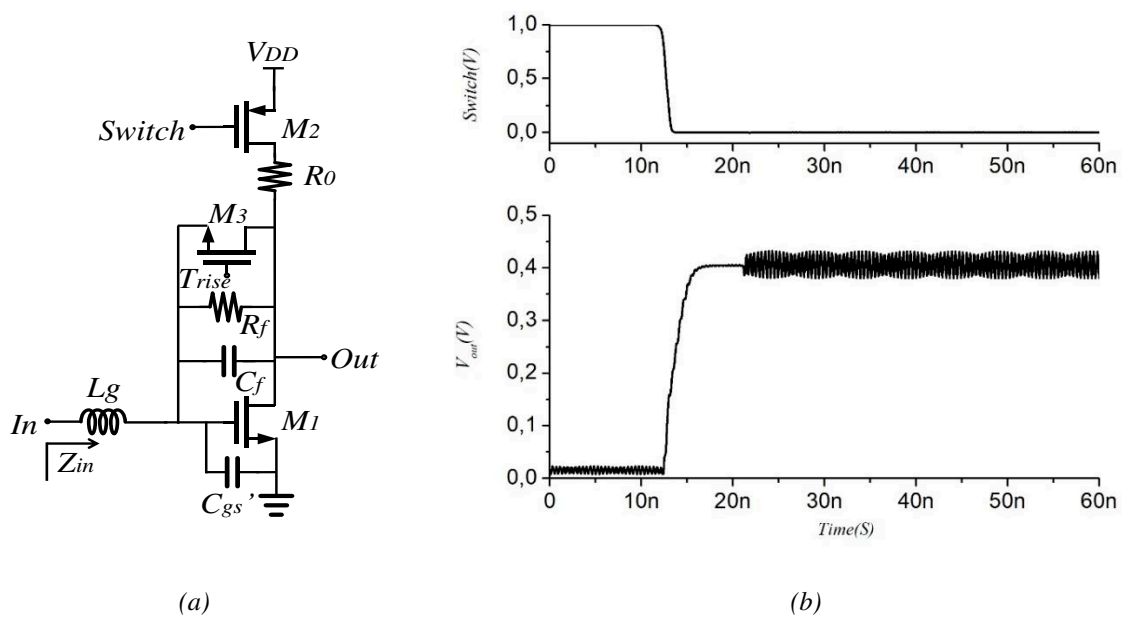


Figure 3. 13 (a) Schéma du CF-LNA RFPG amélioré et (b) Simulation du temps d'établissement

Comme M_2 , le transistor M_3 est dimensionné pour présenter une faible résistance à l'état passant entre le drain et la source afin de minimiser l'impédance du chemin DC et réduire la constante de temps. Avec cette amélioration, le temps d'établissement simulé peut être réduit jusqu'à 8 nanosecondes comme présenté dans Figure 3. 13(b) ce qui nous permet de parfaitement répondre aux spécifications de rapidité de mise en route du LNA. Le revers de la médaille étant la nécessité de générer ce signal de commande T_{rise} .

3.2.4. Buffer commuté pour la technique de RFPG

A des fins de mesures (nécessité de présenter une impédance de sortie du circuit proche de 50Ω), le LNA est implémenté avec un *buffer*. La structure de ce *buffer* est identique à celle utilisée pour le CF-LNA qui a été présentée dans le chapitre 2. C'est un suiveur de tension dont la tension de grille est polarisée à V_{DD} . Par contre, afin d'impacter le moins possible les mesures de consommation à l'état ON et OFF, ce *buffer* est modifié pour pouvoir lui appliquer la technique RFPG. Comme illustré sur la Figure 3. 14(a) l'interrupteur M_6 est ajouté permettant de déconnecter le *buffer* de l'alimentation. Ce transistor peut être identique à celui utilisé pour le LNA (M_2 sur Figure 3. 13(a)). Pour accélérer le temps d'établissement du *buffer*, la technique de chemin faible impédance est aussi utilisée. L'ajout de l'interrupteur M_5 permet ainsi de court-circuiter la résistance de polarisation (R_{bias}) de forte valeur qui induit une constante de temps d'établissement très grande. La structure utilisée est présentée dans la Figure 3. 14(b).

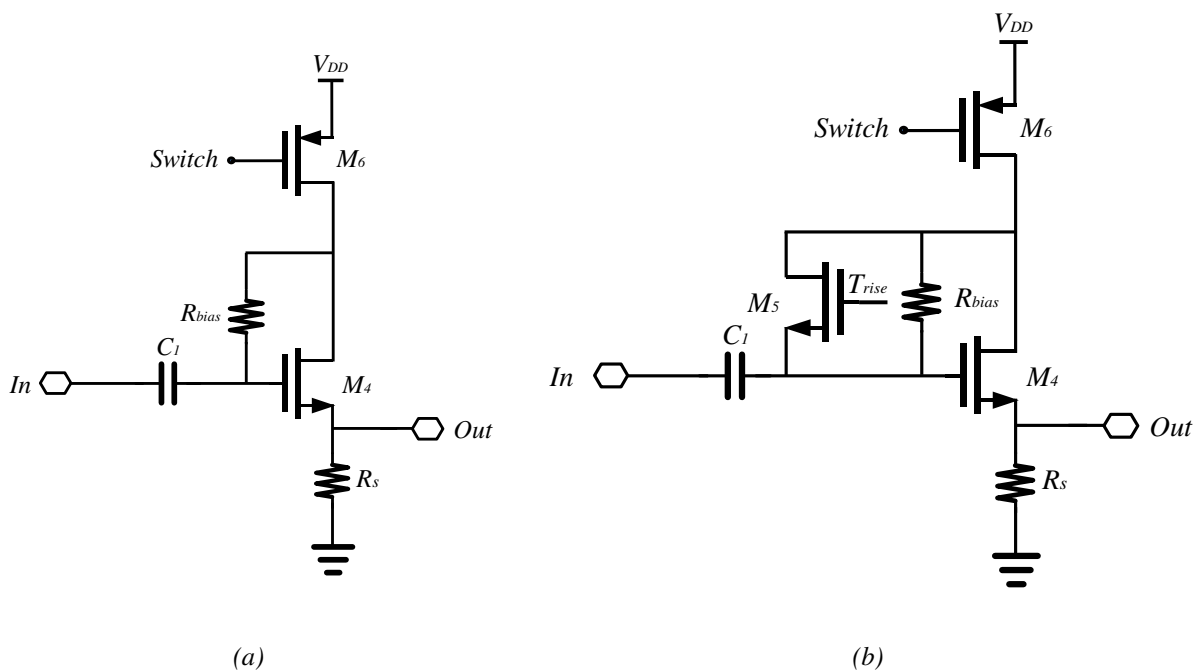


Figure 3. 14 (a) Structure buffer commuté et (b) Structure améliorée du buffer RFPG

3.2.5. LNA et Buffer RFPG conçus pour être commutés

La technique de commutation RFPG peut ainsi être appliquée au circuit LNA + buffer RFPG dont le schéma est présenté dans la Figure 3. 15.

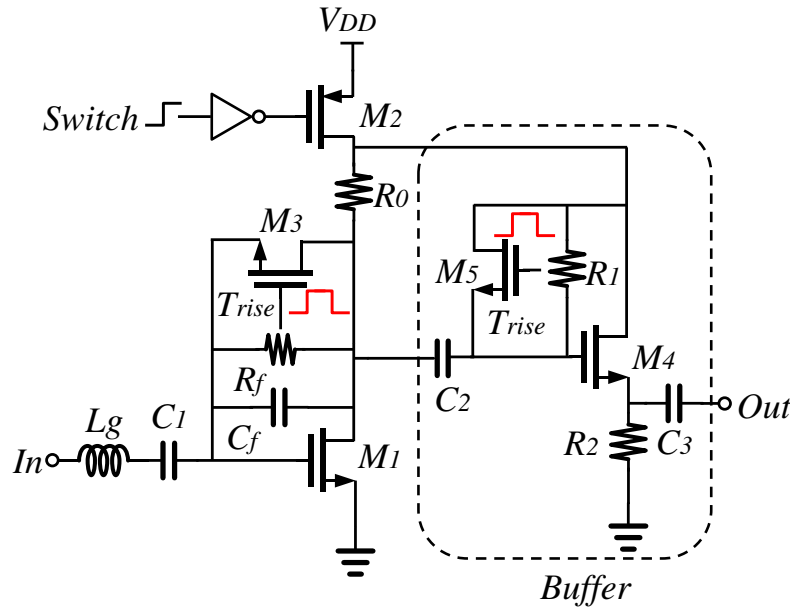


Figure 3. 15 Schéma du LNA + buffer RFPG ainsi que leurs signaux de commande *Switch* et *Trise*

Comme illustré dans la Figure 3. 15, les signaux '*Switch*' et '*Trise*' sont deux signaux numériques nécessaires à la commutation du système. Le signal '*Switch*' permet l'activation du système en le connectant à l'alimentation alors que '*Trise*' permet d'accélérer l'établissement du système en court-circuitant les résistances de polarisation pendant un court-instant lors de la mise en route du système. '*Trise*' correspond à une impulsion numérique. A des fins d'optimisation de ce système (minimisation maximum du temps d'établissement), on souhaite générer une impulsion de largeur réglable.

3.2.6. Générateur d'impulsion programmable

Le générateur numérique d'impulsion [66] peut être réalisé en recombinaison d'un front montant (signal '*Switch*') avec une porte logique (NOR par exemple) tels qu'illustrés ci-dessous.

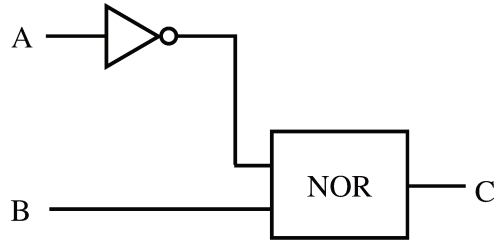


Figure 3. 16 Diagramme bloc du générateur d'impulsion [31]

La présence de l'inverseur en entrée du générateur amène un délai, produit par la charge et la décharge de la capacité de sortie comme présenté dans la Figure 3. 17 (a). C'est en jouant sur ce délai que la largeur de l'impulsion va varier.

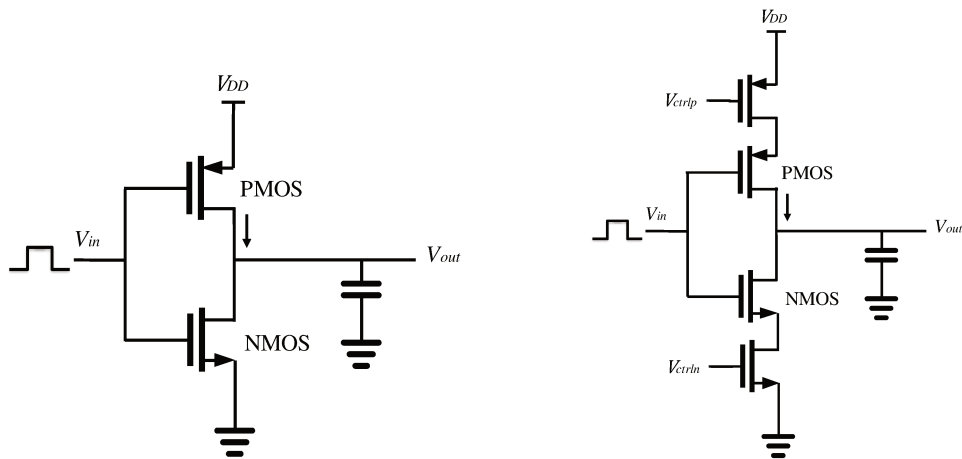


Figure 3. 17 (a)CMOS inverseur avec capacité de charge et (b) Structure du « Current-starved-inverter »[63]

Quand la tension d'entrée est à V_{DD} , le transistor PMOS est bloqué et le NMOS est passant. La capacité se décharge et ce temps de décharge dépend du courant généré par le NMOS et la taille de la capacité. Quand la tension d'entrée est à 0, le transistor PMOS est passant et le NMOS est bloqué, donc la capacité se charge. Cependant, les temps de charge et de décharge ne peuvent pas changer si le courant et la valeur de capacité sont fixés. L'inverseur à structure *current-starved*, généralement utilisé dans les oscillateurs en anneau[67], est une structure qui permet de faire varier le temps de propagation. Comme représenté sur la Figure 3. 17 (b), deux transistors montés en source de courant sont ajoutés entre l'inverseur et les rails d'alimentation afin de faire varier le courant circulant dans l'inverseur et donc le courant de charge de la capacité.

Le générateur digital d'impulsion à largeur programmable est réalisé en introduisant un inverseur à structure *current-starved* dans la chaîne d'inverseurs du générateur d'impulsion

comme présenté dans la Figure 3. 18. La largeur de l'impulsion est ainsi programmée à travers la commande V_{ctrl} .

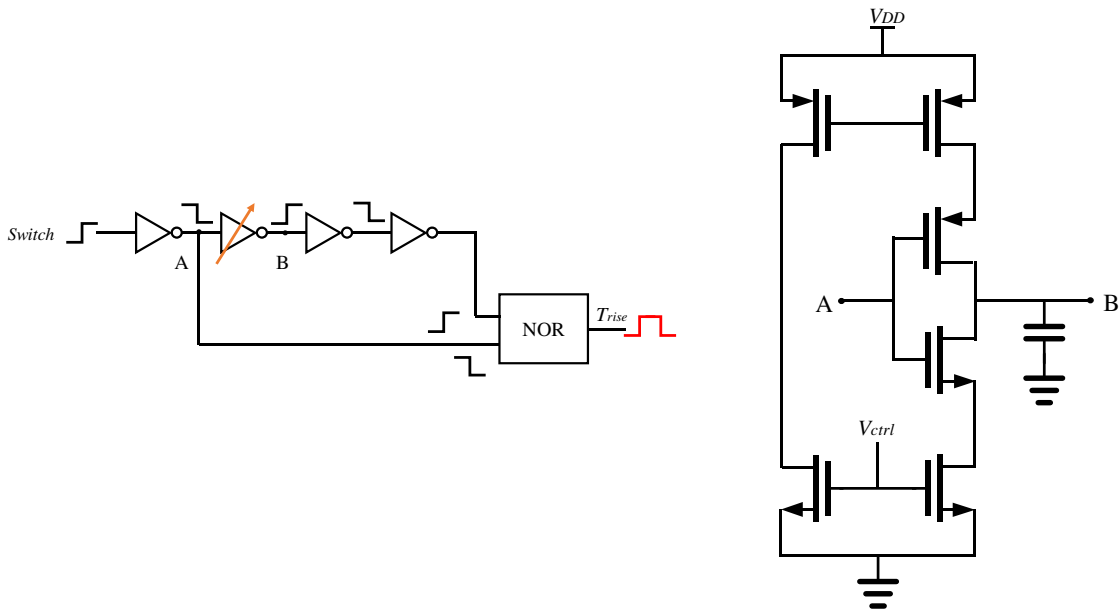


Figure 3. 18 Schéma du générateur d'impulsion à largeur programmable et du current-starved-inverter introduit dans la chaîne d'inverseurs

Les résultats de simulation du système réalisé sont montrés dans la Figure 3. 19. Ces résultats montrent une variation de la largeur du signal ' T_{rise} ' allant de 8ns et 100ns pour une tension de contrôle V_{ctrl} allant de 250mV à 50mV.

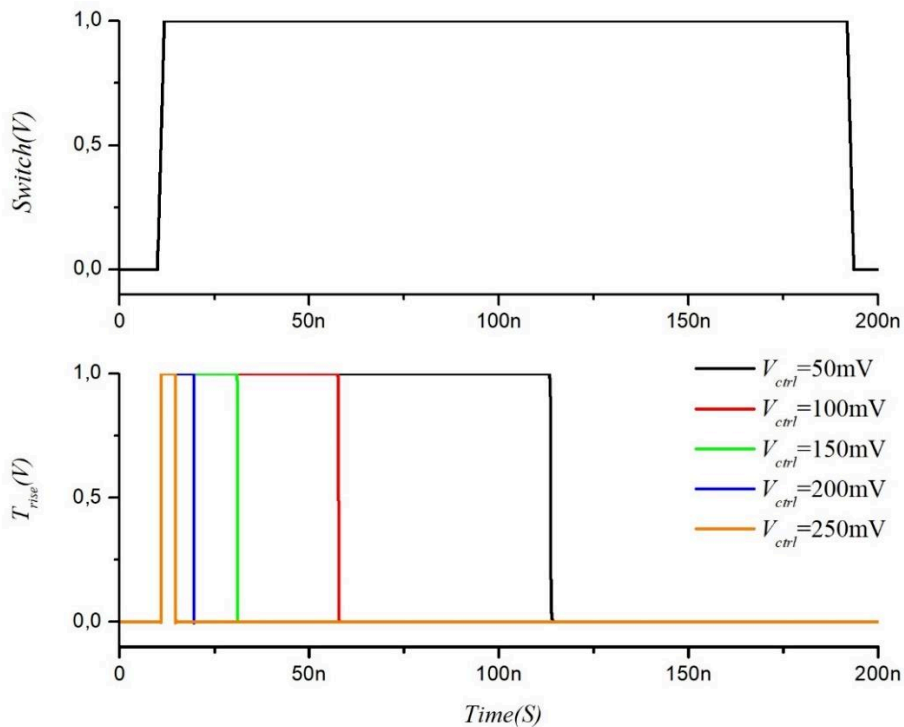


Figure 3. 19 Résultats de simulation illustrant les différentes largeurs d'impulsions en fonction de ' V_{ctrl} '

3.3. Performances du LNA+buffer RFPG

Le circuit complet LNA+buffer RFPG ainsi que le circuit de génération des signaux (schéma complet illustré ci-dessous dans la Figure 3. 20) est implémenté en technologie FDSOI 28nm et simulé. Les performances simulées de ce circuit LNA + buffer RFPG sont présentées dans le Tableau 3- 5.

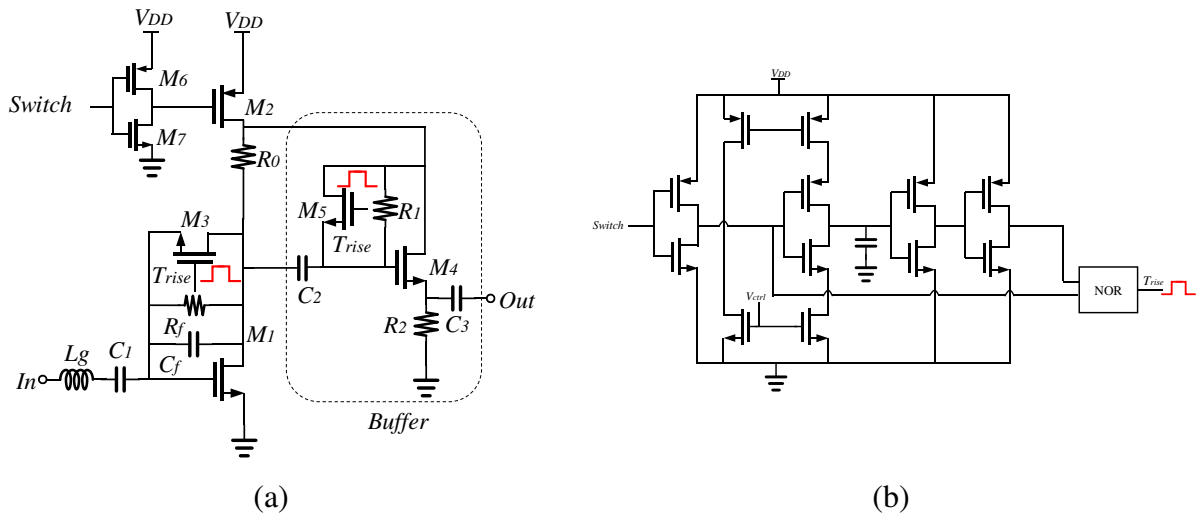


Figure 3. 20 Schéma complet de LNA+buffer RFPG

Tableau 3- 5 Performances simulées du circuit LNA+buffer RFPG

LNA+Buffer ON		LNA+Buffer OFF
$I_{tot}=1.7mA$	$I_{LNA_ON}=880uA$	$I_{LNA_leak}=3nA$
	$I_{Buffer_ON}=830uA$	
$S_{11}=-11.7dB$		
$S_{22}=-11.1dB$		
$S_{21}=6.327dB$		

Les résultats de simulation des temps d'établissement sont montrés ci-dessous dans la Figure 3. 21. Le signal *Switch* permet d'activer le LNA+buffer (*Switch*=1V, LNA+buffer commutés à l'état *ON*). Le signal *Trise* permet d'accélérer l'établissement à l'état *ON*. Avec une impulsion *Trise* de 10nS de temps d'établissement, le signal de sortie du LNA a suffisamment de temps pour s'établir. Grâce à cette structure, le LNA peut être commuté rapidement et permettre de viser des applications basse consommation. En effet le système ne consomme de l'énergie que lorsque le LNA est en fonctionnement, c'est-à-dire lorsque le commutateur *M2* est passant. Par conséquent, pendant les périodes d'inactivité, le LNA est en

sommeil, la consommation résiduelle n'étant dues qu'aux courants de fuite. Grâce à la technologie 28nm FDSOI extrêmement performante en termes de courant de fuite, le courant de fuite du circuit est de l'ordre du nano-ampère (3nA).

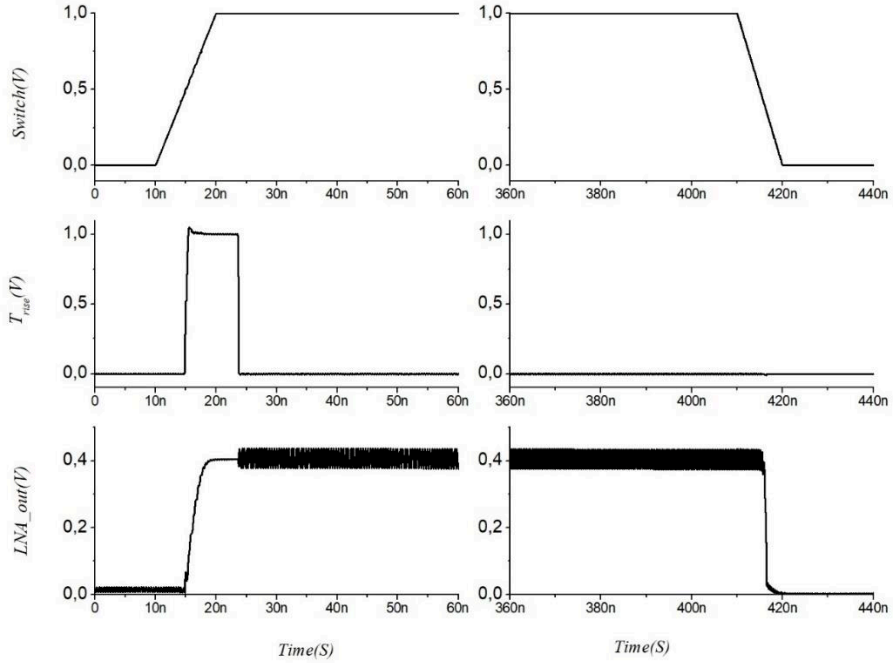


Figure 3. 21 Résultats de simulation du LNA RFPG

Combiné avec les formules issues de la partie PMU, en appliquant le rapport de temps actif p égale à 0,3, pour un temps symbole de 500ns, on obtient une fenêtre d'ouverture de 150ns.

Tableau 3- 6 Performances simulées du LNA RFPG

ZigBee/Mesh	
T (Temps de Symbole)	500 ns
p	0,3
ΔT_{LNA_ON}	150 ns
ΔT_{LNA_SU}	10 ns
ΔT_{LNA_leak}	340 ns
I_{LNA_ON}	880uA
I_{LNA_leak}	3nA
I_{LNA_SU}	440uA
Gv	14dB
P_{LNA_RFPG}	272.8uW

En conclusion, d'après ces résultats, en appliquant la technique RFPG 99% du temps (afin de garantir le BER) la consommation du LNA RFPG peut être réduit de 68% par rapport au LNA à l'état ON.

Afin de mesurer ce circuit sous pointes, un layout du LNA+buffer RFPG complet a été conçu avec des pads RF de pitch 50 μm et des pads DC de pitch 100 μm (Figure 3. 22.). La surface de ce circuit cœur est 128 μm *170 μm sans pads et la surface est 357 μm *327 μm avec les pads.

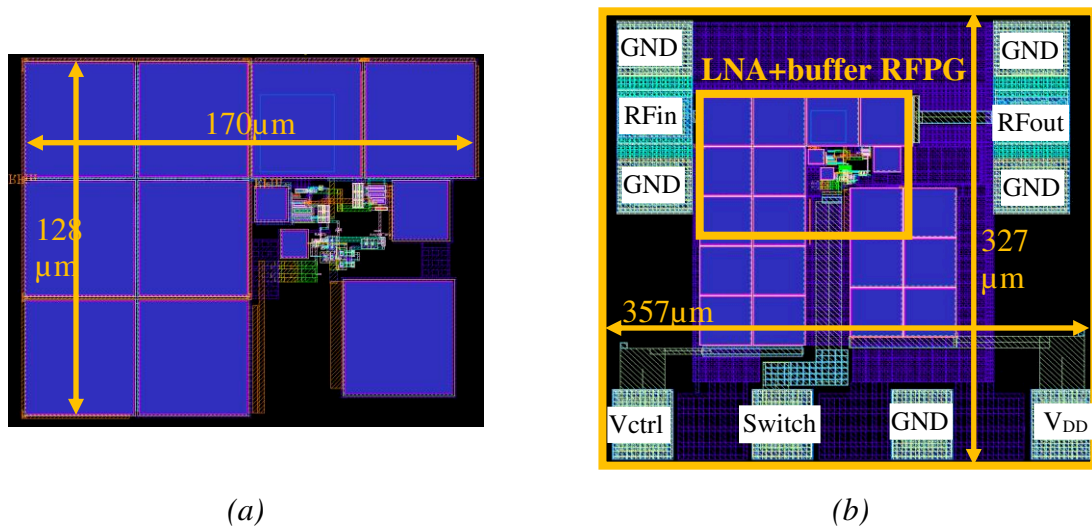


Figure 3. 22 LNA RFPG standalone layout (a) LNA RFPG cœur et (b) LNA RFPG avec des pads

3.4. Démonstrateur LNA+ buffer RFPG incluant un LDO

Afin de concevoir un démonstrateur complet, la partie PMU (LDO + ensemble d'interrupteurs utilisés pour allumer et éteindre le LNA) est maintenant considérée. Le LNA RFPG a été alimenté par un LDO. Ce LDO doit pouvoir fournir au LNA une tension stable 1V avec un courant maximum de 5mA. Ce LDO est aussi commutable afin de limiter la consommation. Les différents enjeux de cette conception sont de concevoir un LDO qui commute rapidement à l'état ON (qui puisse alimenter rapidement le LNA RFPG) et dont la consommation à l'état OFF doit être la plus réduite possible afin de maximiser l'efficacité de la technique RFPG.

3.4.1. Circuit LDO dédié au LNA RFPG

Ce circuit LDO a été conçu par un autre doctorant Abdelkader Taibi. Le schéma du LDO issu de son travail est illustré Figure 3. 23. Afin de commuter ce LDO à l'état OFF, trois interrupteurs (SW1 à SW3) ont été rajouté entre l'alimentation et le LDO.

Les différentes spécifications du LDO sont résumées le Tableau 3- 7. Ce circuit LDO est alimenté par une tension $V_{in}=1.2V$ et il doit fournir en sortie une tension stable $V_{out} = 1V$ (en vue d'alimenter le LNA) quel que soit le courant à délivrer en sortie ($0 < I_{load} < 5mA$). La consommation du circuit LDO doit être la plus petite possible (*Quiescent current*) et surtout, il doit pouvoir commuter très rapidement à l'état ON et fournir une tension V_{out} stabilisée dans un temps très court. De plus, la consommation du LDO RFPG doit être réduite autant que possible.

Tableau 3- 7 Spécifications du LDO

Parameters	Values
V_{in}	1.2V
V_{out}	1V
I_{load}	5mA
I_Q	<20 μ A
T_r	<10nS

V_{in} , V_{out} , I_{load} , I_Q , et T_r sont, respectivement, la tension d'entrée minimale (batterie), la tension de sortie du LDO, le courant de charge maximal, la consommation du LDO, et le temps de régime transitoire (temps de réponse régulation).

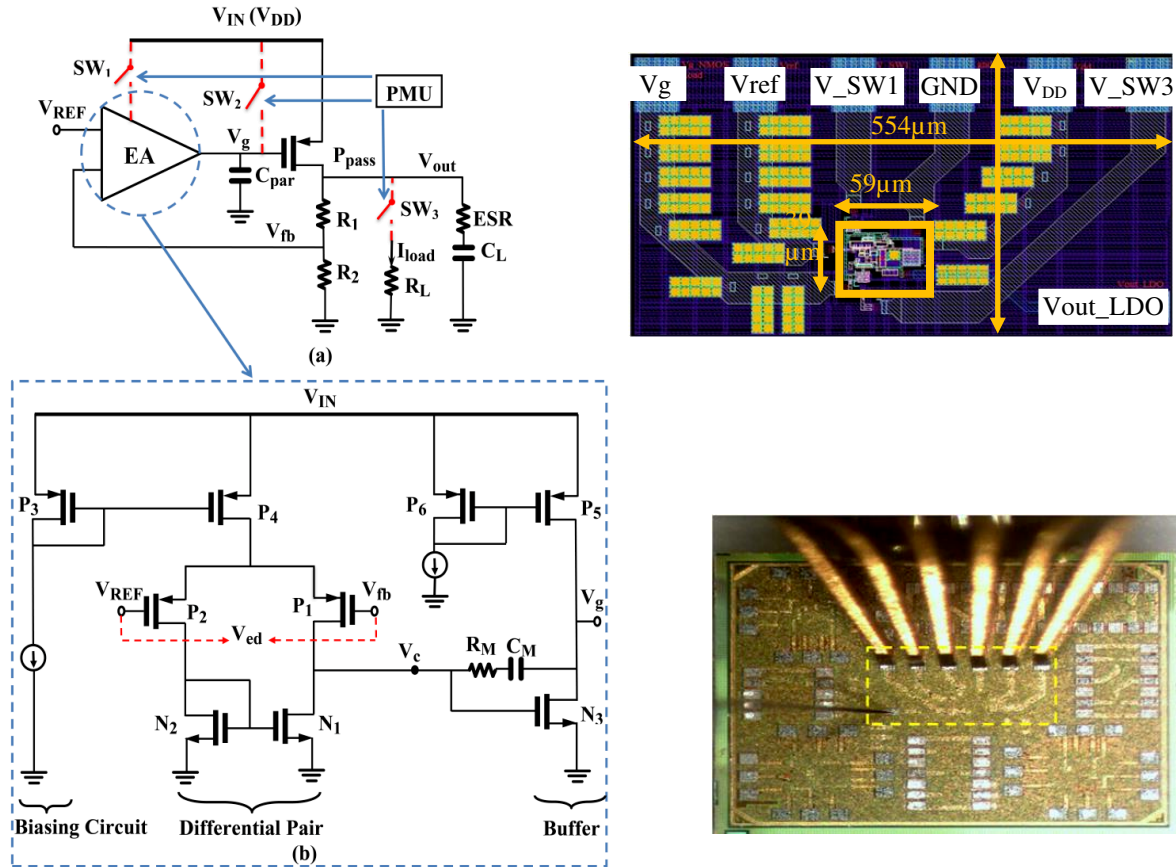


Figure 3.23 Schéma et layout de LDO

Les performances de consommation LDO+LNA en mesure et en simulation sont présentés dans le Tableau 3- 8.

Tableau 3- 8 Performances de consommation LDO+LNA en simulation et mesure

LDO+LNA+buffer	Simulation	Mesure
ON	1.7mA	1.45mA
OFF	31nA	15nA
$P=0.2$	180µA	200uA
$P=0.4$	360µA	540µA

3.4.2. *Démonstrateur LDO + LNA + buffer RFPG*

Le layout complet LNA+buffer RFPG ainsi que le pad ring est implémenté en technologie FDSOI 28nm présenté dans Figure 3. 24 et simulé. Le pad ring a séparé deux parties, RF et BF/DC. Les pads BF/DC fournissent l'alimentation du LDO (1.2V), deux signaux de contrôle (V_{ctrl_LDO} pour le LDO et $switch$ pour LNA) ainsi que les alimentations du pad ring. Les plots RF sont des plots GSG.

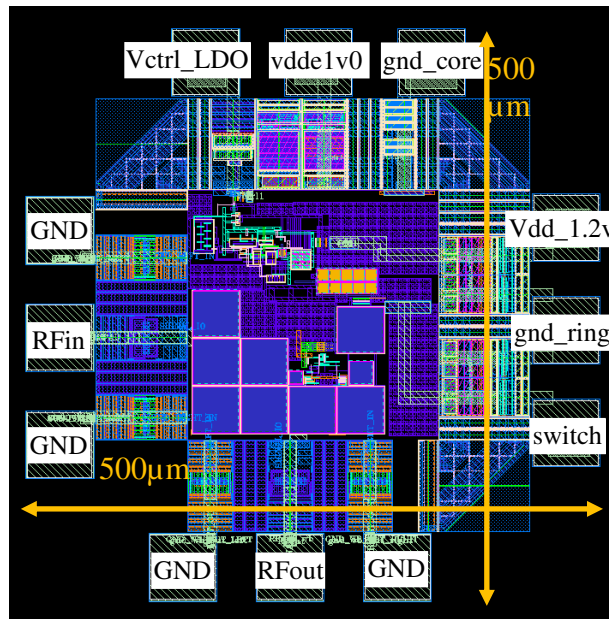


Figure 3. 24 *Layout LDO+LNA+buffer RFPG*

Les résultats (post layout) de simulation en temps d'établissement sont présentés dans la Figure 3. 25. Le temps nécessaire pour observer un signal stable à la sortie est de 45ns avec le temps de signal de 'rise up' de 10ns. Le LNA est activé 20ns après le LDO (même si la tension de sortie LDO n'est pas complètement stable ni établie à 1.2V, elle est suffisamment élevée pour démarrer le LNA et entamer la phase d'établissement). En outre, l'utilisation de la technique RFPG dans le LNA et le LDO a permis d'améliorer considérablement le rendement énergétique du système (LDO_LNA).

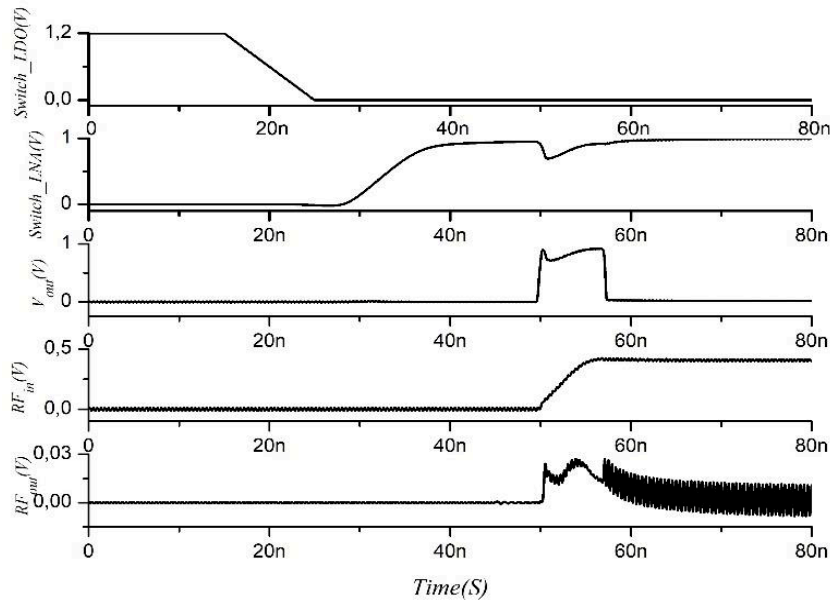


Figure 3. 25 Résultats de simulation LDO_LNA RFG

3.5. Conclusion

Ce chapitre se concentre sur la conception de LNA sur la base de LNA dans la chapitre 2 en utilisant la technique RFG. Cette technique permet d'allumer et éteindre le LNA rapidement et ne pas dégrader les performances du LNA en même temps. La technologie FDSOI est un bon candidat pour utiliser cette technique. Grâce à la couche d'isolant mince sous le canal, il y a très peu de courant de fuite dans le canal, ce qui réduit considérablement la consommation à l'état OFF.

Ensuite, un LDO avec la technique duty-cycling est utilisée pour réaliser l'alimentation du LNA. Ce système de LDO et LNA permet d'allumer et éteindre le LDO et LNA séparément. La consommation est réduite de près de 75% en utilisant la technique RFG.

Conclusion et perspectives

- **Conclusion**

Alors que les applications liées à l'internet des objets (Internet of Things - IoT) permettent de combiner, de contrôler et de faire interagir des dispositifs tels que les ordinateurs les capteurs et les réseaux, elles ouvrent sur un monde plus intelligent, nouveau et entièrement interconnecté. Les réseaux de capteurs sans fils (WSN) permettent un déploiement plus facile et une meilleure flexibilité de l'IoT. Parmi les nombreux standards émergeant dans ce contexte, la technologie de ZigBee reste compétitive car elle permet une connectivité à faible coût et à faible consommation d'énergie et satisfait les principales spécifications des applications IoT.

Les travaux de thèse présentés ici, proposent une méthodologie de conception de LNA intégrés pour des applications radiofréquences sous contraintes de faible consommation et de faible coût pour les applications IoT.

Dans le chapitre 1, une vue d'ensemble des différents éléments qui impactent la consommation d'un système de télécommunication sans fils sont passés en revue. Sur une échelle de valeur allant de la technologie jusqu'au protocole nous avons dressé le contexte de ces travaux et mis en évidence la pertinence d'utiliser une technologie FDSOI, développer des méthodes de conception en g_m/I_D , combiner une architecture homodyne avec une technique de commutation de l'alimentation de type RFPG et d'utiliser le standard ZigBee.

Dans le chapitre 2, la méthodologie de conception basée sur les caractéristiques g_m/I_D d'un LNA à rétroaction capacitive (CF-LNA) a été présenté. Grâce à cette méthode, le rapport g_m/I_D est maximisé de sorte que les transistors fonctionnent dans la région d'inversion modérée ou faible et présente ainsi un meilleur rendement énergétique. Nous avons proposé cette méthode en utilisant les abaques de simulation qui permet de trouver la valeur optimale de g_m/I_D . Cette valeur de g_m/I_D est définie par les spécifications de gain et le facteur de bruit. Le dimensionnement du transistor peut être fixé avec la valeur de g_m/I_D connue. D'autre part, cette structure CF-LNA permet d'avoir une faible valeur de l'inductance à l'entrée pour l'adaptation d'impédance. Cette faible valeur de l'inductance peut être remplacée par les *wire-bondings* pour réduire la surface et le coût de circuit. Enfin, une méthode plus générale, permettant en particulier de prendre en compte les contraintes liées à la bande passante, a été produite.

Le chapitre 3 décrit la conception d'un CF-LNA utilisant une technique de RF *power-gating* (RFPG). La technique RFPG est une technique de gestion de l'alimentation pour allumer et éteindre les blocs RF pendant la durée du temps symbole. Une étude expérimentale

sur la base de dispositifs réalisés en 28FDSOI a montré qu'un système utilisant une technique RFPG composé d'un LNA et d'un LDO dédié pourrait réduire sa consommation de 75% s'il était déployé dans un réseau de capteur.

- **Perspectives**

Ces travaux de thèse peuvent être poursuivies de différentes manières :

- D'un point de vue technologique. La technologie 28nm FDSOI qui a été utilisée pour la conception du LNA faible consommation présente l'avantage de posséder une grille arrière permettant de modifier la tension de seuil du MOS. Le *body-biasing* (BB) pourrait-être appliqué pour encore réduire la consommation. Un transistor ayant un V_t plus faible pourrait être alimenté avec une tension V_{DD} plus faible et consommerait moins d'énergie. Aussi, le *body-biasing* pourrait être appliqué pour le LNA RFPG. Afin de diminuer le courant de fuite quand il est éteint.
- D'un point de vue de la structure, le fait de pouvoir réduire la tension de seuil en jouant sur le *body-biasing* permet d'empiler un plus grand nombre de transistor ce qui ouvre la perspective de réaliser des structures basées sur le *current-reused*. Des travaux expérimentaux sur les structures LMV (LNA, Mixer, VCO) ont été réalisés et la technologie FDSOI semble particulièrement intéressante pour ces architectures.

Liste des valorisations

[Liu2017] J. Liu, E. Lauga-Larroze, S. Subias, J. Fournier, C. Galup, S. Bourdel, "Design methodology of a LNA based on gm/Id in FDSOI 28nm technology", *IP-Soc-IoT Conference and exhibition*, 2017.

[Liu2017] J. Liu, E. Lauga-Larroze, S. Subias, J. Fournier, C. Galup, S. Bourdel, "Méthodologie de conception d'un LNA en technologie FDSOI 28nm basée sur les caractéristiques gm/ID", *Journées Nationales du Réseau Doctoral en Microélectronique*, 2017.

[Liu2018] J. Liu, E. Lauga-Larroze, S. Subias, J. Fournier, S. Bourdel, C. Galup, F. Hameau, "A Methodology for the Design of Capacitive Feedback LNAs based on the gm/ID Characteristic", *Proc. 16th IEEE Int. New Circuits and Systems Conf. (NEWCAS)*, pp.178-181, 2018, DOI 10.1109/NEWCAS.2018.8585612.

[Liu2019] J. Liu, E. Lauga-Larroze, S. Subias, F. Hameau, J. Fournier, C. Galup, S. Bourdel, "gm/ID based methodology for capacitive feedback LNA design", *ISTE OpenScience, Journal of Nanoelectronic Devices*, vol. Special Issue on FDSOI, 2019, DOI 10.21494/ISTE.OP.2019.0327.

Bibliographie

- [1]. H. Tseng, "Multipath Load Balancing Routing for Internet of Things". *Journal of Sensors*. 2016. 1-8. 10.1155/2016/4250746.
- [2]. <http://internetofeverything.cisco.com/explore/trends>
- [3]. A. Liscidini, A. Mazzanti, R. Tonietto, L. Vandi, P. Andreani, and R. Castello, "Single-stage low-power quadrature RF receiver front-end: The LMV cell," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2832–2841, Dec. 2006.
- [4]. F. Silveira, D. Flandre, and P. G. A. Jespers, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA" *IEEE J. Solid-State Circuits*, vol. 31, pp. 1314–1319, Sept. 1996.
- [5]. Zigbee Alliance Consortium. Available: <http://www.zigbee.org>
- [6]. Bluetooth. <http://www.bluetooth.org>
- [7]. K.-T. Le, "Designing a ZigBee-ready IEEE 802.15.4-compliant radio transceiver," *RFDesign Magazine* <http://rfdesign.com>, pp. 42-50, 2004.
- [8]. "IEEE Standard for Local and metropolitan area networks--Part 15.4: Low-Rate Wireless Personal Area Networks (LR-WPANs) Amendment 1: MAC sublayer," *IEEE Std 802.15.4e-2012 (Amendment to IEEE Std 802.15.4-2011)*, pp. 1-225, 2012.
- [9]. Reiter, G.: 'Wireless connectivity for the Internet of things'. White Paper, Texas Instruments, June 2014.
- [10]. A. Shameli and P. Heydari, "Ultra-low power RFIC design using moderately inverted MOSFETs: an analytical/experimental study," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, 2006. San Francisco, CA, 2006 pp. 521–524.
- [11]. I. Song et al., "A Simple Figure of Merit of RF MOSFET for Low-Noise Amplifier Design," in *IEEE Electron Device Letters*, vol. 29, no. 12, pp. 1380-1382, Dec. 2008.
- [12]. P. Jespers, *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits*. Boston, MA: Springer, 2009.
- [13]. B. Razavi, *RF Microelectronics*. Second Edition.
- [14]. M. C. Schneider and C. Galup-Montoro, "CMOS Analog Design Using All-Region MOSFET Modeling" 2010.
- [15]. M. A. Maher and C. A. Mead, "A physical chargecontrolled model for MOS transistors," in *Advanced Research in VLSI*, P. Losleben (ed.), MIT Press, Cambridge, MA, 1987.

- [16]. Y. Byun, K. Lee and M. Shur, "Unified charge control model and subthreshold current in heterostructure field effect transistors," *IEEE Electron Device Letters*, vol. 11, no. 1, pp. 50-53, Jan. 1990.
- [17]. Y. Tsidvidis, *Operation and Modeling of The MOS Transistor*, 2nd ed. Oxford, 1999
- [18]. *STMicrowaveelectronics public communication*
- [19]. P. Flatresse, et al., "Ultra-Wide Body-Bias Range LDPC Decoder in 28nm UTBB FDSOI Technology," *ISSCC Dig. Tech. Papers*, pp. 424-425, 2013
- [20]. A. Balteanu, I. Sarkas, E. Dacquay, A. Tomkins, G. Rebeiz, et al., "A 2- Bit, 24 dBm, Millimeter-Wave SOI CMOS Power-DAC Cell for Watt-Level High-Efficiency, Fully Digital m-ary QAM Transmitters," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 5, pp. 1126–1137, May 2013.
- [21]. E. A. Vittoz and J. Fellrath, "CMOS analog integrated circuits based on weak inversion operation," *IEEE J. Solid-State Circuits*, vol. SC-12, no. 3, pp. 224-231, June 1977.
- [22]. C. C. Enz, E. A. Vittoz, *Charge-Based MOS Transistor Modeling: The EKV model for low power and RF IC design*, John Wiley & Sons, Ltd, 2006.
- [23]. W. Da-Ke, et al., "A Low-Voltage and Low-Power CMOS LNA Using Forward-Body-Bias NMOS at 5GHz," in *IEEE Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on, 2006*, pp. 1658-1660.
- [24]. S. Joo, T.Y. Choi, and B. Jung, "A 2.4 GHz resistive feedback LNA in 0.13- μ m CMOS," *IEEE J. of Solid-State Circuits*, vol. 44, No. 11, pp. 3019-3029, 2009.
- [25]. H. G. Han, D. H. Jung, and T. W. Kim, "A 2.88 mw + 9.06 dbm IIP3 Common-Gate LNA with Dual Cross-Coupled Capacitive Feedback," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 3, pp. 1019–1025, March 2015.
- [26]. F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, *Wideband Low Noise Amplifiers Exploiting Thermal Noise Cancellation*. Springer US, 2005.
- [27]. H. Liu and Z. Zhang, "An Ultra-Low Power CMOS LNA for WPAN Applications", *IEEE Microwave and Wireless Components Letters*, Vol. 27, N. 2, p. 174-176, Feb 2017
- [28]. T. Taris, J.-B. Begueret et Y. Deval, "A 60 μ W LNA for 2.4GHz wireless sensors network applications", *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium* pp. 1-4 June 2011.

- [29]. M. Cimino, H Lapuyade, Y. Deval, T Taris, J.-B. Begueret. "Design of a 0.9 V 2.45 GHz self-testable and reliability-enhanced CMOS LNA". IEEE Journal of Solid-State Circuits, 2008, vol. 43, no. 5, p. 1187 - 1194.
- [30]. A. R. Aravinth Kumar, B. Sahoo, A. Dutta, "A Wideband 2–5 GHz Noise Canceling Subthreshold Low Noise Amplifier" IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 65, No. 7, pp 834-838, July 2018.
- [31]. M. El Kaamouchi ; M. Si Moussa ; J.-p. Raskin ; D. Vanhoenacker-Janvier, "A 2-mW Power Consumption Low Noise Amplifier in PD SOI CMOS Technology for 2.4 GHz Applications" IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp 253-256, 2007
- [32]. H. H. Hsieh and L. H. Lu, "Gain-Enhancement Techniques for CMOS Folded Cascode LNAs at Low-Voltage Operations" IEEE Transactions on Microwave Theory and Techniques, 2008, vol. 56, no. 8, p. 1807 – 1816
- [33]. Z. Li, Z. Wang, M. Zhang, L. Chen, C. Wu, and Z Wang, "A 2.4 GHz Ultra-Low-Power Current-Reuse CG-LNA With Active -Boosting Technique" IEEE Microwave and Wireless Components Letters, vol. 24, no. 5, May 2014
- [34]. M. M. Vinaya, R. P. Paily and A. Mahanta, "A low-power subthreshold LNA for mobile applications," VLSI Design and Test (VDATE), 2015 19th International Symposium on, Ahmedabad, 2015, pp. 1-5.
- [35]. M. Parvizi, K. Allidina, and M. El-Gamal, "A sub-mw, ultra-low voltage, wideband low-noise amplifier design technique" IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 23, no. 6, pp. 1111– 1122, Jun. 2015.
- [36]. R. Fiorelli, F. Silveira, and E. Peralias, "MOST moderate-weak inversion region as the optimum design zone for CMOS 2.4-GHz CSLNAs," IEEE Transactions on Microwave Theory and Techniques, vol. 62, no. 3, pp. 556–566, March 2014.
- [37]. Mahdi Parvizi, Karim Allidina and Mourad N. El-Gamal, Y. Rolain, "An Ultra-Low-Power Wideband Inductorless CMOS LNA With Tunable Active Shunt-Feedback," IEEE Transactions on microwave theory and technique, vol. 64, no. 6, June 2016.
- [38]. Zhijian Pan, Chuan Qin, Zuochang Ye, and Yan Wang, "A Low Power Inductorless Wideband LNA With Gm Enhancement and Noise Cancellation," IEEE microwave and wireless components letters, vol. 27, no. 1, January 2017.
- [39]. O. Landsiedel, K. Wehrle, and S. Götz, "Accurate prediction of power consumption in sensor networks," in Embedded Networked Sensors, 2005. EmNetS-II. The Second

- IEEE Workshop on, pp. 37–44, May 2005.
- [40]. A. Tasic, W. Serdijn, and J. Long, *Adaptive Low-Power Circuits for Wireless Communications. Analog Circuits and Signal Processing*, Springer Netherlands, 2007.
- [41]. N. M. Pletcher, S. Gambini, and J. Rabaey, “A 52 μ W wake-up receiver with -72 dBm sensitivity using an uncertain-IF architecture,” *IEEE J. Solid-State Circuits*, vol. 44, no. 1, pp. 269–280, Jan. 2009.
- [42]. X. Huang, S. Rampu, X. Wang, G. Dolmans, and H. de Groot, “A 2.4 GHz/915 MHz 51 μ W wake-up receiver with offset and noise suppression,” in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC)*, Feb. 2010, pp. 222–223.
- [43]. S. Drago, D.M.W. Leenaerts, F. Sebastiano, L.J. Breems, K.A.A.Makinwa and B. Nauta. “A 2.4 GHz 830 pJ/bit Duty-Cycled Wake-Up Receiver with -82 dBm Sensitivity for Crystal-Less Wireless Sensor Nodes.”2010
- [44]. L. M. Feeney and M. Nilsson, “Investigating the energy consumption of a wireless network interface in an ad hoc networking environment,” in *IEEE Conference on Computer Communications (INFOCOM)*, 2001, pp. 1548–1557.
- [45]. L. Huo “A Comprehensive Study of Passive Wake-up Radio in Wireless Sensor Networks”; Delft Univ. of Technol- Thesis - 2014
- [46]. J. F. Pons, N. Dehaese, S. Bourdel, J. Gaubert and B. Paille, "RF Power Gating: A Low Power Technique for Adaptive Radios," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 4, pp. 1377-1390, April 2016.
- [47]. Q. Wu, M. Pedram, and X. Wu, “Clock-gating and its application to low power design of sequential circuits,” *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, vol. 47, no. 3, pp. 415–420, Mar. 2000.
- [48]. F. Emmett and M. Biegel, *Power Reduction Through RTL Clock Gating*. San Jose, CA, USA: SNUG, 2000.
- [49]. M. Tanevski, A. Boegli, and P. Farine, “Power supply energy optimization for ultra low-power wireless sensor nodes,” in *Proc. IEEE Sensors Appl. Symp. (SAS)*, Feb. 2013, pp. 176–181.
- [50]. Z. Hu, A. Buyuktosunoglu, V. Srinivasan, V. Zyuban, H. Jacobson, and P. Bose, “Microarchitectural techniques for power gating of execution units,” in *Proc. Int. Symp. Low Power Electron. Design (ISLPED)*, 2004, pp. 32–37.
- [51]. M. Crepaldi, C. Li, J. R. Fernandes, and P. R. Kinget, “An ultra-wideband impulse-radio transceiver chipset using synchronized-OOK modulation,” *IEEE J. Solid-State Circuits*, vol. 46,no. 10, pp. 2284–2299, Oct. 2011.

- [52]. R. K. Dokania, X. Y. Wang, S. G. Tallur, and A. B. Apsel, "A low power impulse radio design for body-area-networks," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 58, no. 7, pp. 1458–1469, Jul. 2011.
- [53]. X. Wang et al., "A high-band IR-UWB chipset for real-time duty-cycled communication and localization systems," in *Proc. IEEE Asian Solid-State Circuits Conf. (A-SSCC)*, Nov. 2011, pp. 381–384.
- [54]. J. R. Fernandes and D. Wentzloff, "Recent advances in IR-UWB transceivers: An overview," in *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, May/Jun. 2010, pp. 3284–3287.
- [55]. I. Benamor, N. Dehaese, J. Gaubert, S. Bourdel, "Fast Power Switching Low-Noise Amplifier for 6-10 GHz Ultra-Wideband Applications," *2014 IEEE International Conference on Ultra-WideBand (ICUWB)*, pp. 331-336.
- [56]. D. C. Daly and A. P. Chandrakasan, "An energy-efficient OOK transceiver for wireless sensor networks," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1003–1011, 2007.
- [57]. H. Ishizaki, K. Nose, and M. Mizuno, "A 2.4GHz ISM-band digital CMOS wireless transceiver with an intra-symbol adaptively intermittent Rx," in *VLSI Circuits, 2007 IEEE Symposium on*, pp. 84–85, June 2007.
- [58]. M. Nakamura, M. Ugajin, and M. Harada, "A 280-MHz CMOS intra-symbol intermittent RF front end for adaptive power reduction of wireless receivers," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1–4, June 2011.
- [59]. J.-F. Pons, N. Dehaese, S. Bourdel, J. Gaubert, and B. Paille, "Analysis of binary CPFSK with non-uniform sampled reception," *IEEE Trans. Commun.*, vol. 63, no. 3, pp. 844–856, Mar. 2015.
- [60]. J. R. Fernandes and D. Wentzloff, "Recent advances in IR-UWB transceivers: An overview," in *Proc. IEEE Int. Symp. Circuits Syst., ISCAS, 2010*, pp. 3284–3287.
- [61]. J. Zaini, F. Hameau, T. Taris, D. Morche, L. Q. V. Tran, and P. Audebert, "Channel aware receiver front end for low power 2.4 GHz Wireless Sensor Network: A system level analysis," in *2016 14th IEEE International New Circuits and Systems Conference (NEWCAS)*, Jun. 2016, pp. 1–4.
- [62]. H. R. Thompson, "Distribution of Distance to Nth Neighbour in a Population of Randomly Distributed Individuals," *Ecology*, vol. 37, no. 2, pp. 391–394, 1956.
- [63]. S. Mokhtar, W. Abdullah, "Memristor Based Delay Element Using Current Starved Inverter" *Micro and Nanoelectronics (RSM)*, 2013 IEEE. pp.81 – 84, 2013.

- [64]. J. G. Proakis, Digital Communications. New York, NY, USA. McGraw-Hill, 2001.
- [65]. Y.-I. Kwon, S.-G. Park, T.-J. Park, K.-S. Cho, and H.-Y. Lee, “An Ultra Low-Power CMOS Transceiver Using Various Low-Power Techniques for LR WPAN Applications,” Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 59, pp. 324–336, Feb 2012.
- [66]. M. M IAO and C. NGUYEN: On the development of an integrated cmosbased uwb tunable pulse transmit module. Microwave Theory and Techniques, IEEE Transactions on, 54(10), 3681– 3687, October 2006.
- [67]. C. Q. Liu, Y. Cao, C. H. Chang, “ACRO-PUF: A Low-power, Reliable and Aging-Resilient Current Starved Inverter-Based Ring Oscillator Physical Unclonable Function”, IEEE Transactions on Circuits and Systems–I: Regular Papers, VOL. 64, NO. 12, Dec 2017.
- [68]. Mao-Cheng Lee ; Alireza Karimi-Bidhendi ; Omid Malekzadeh-Arasteh ; Po T. Wang ; Zoran Nenadic ; An H. Do ; Payam Heydari, “A CMOS inductorless MedRadio OOK transceiver with a 42 μ W event-driven supply-modulated RX and a 14% efficiency TX for medical implants”, 2018 IEEE Custom Integrated Circuits Conference (CICC), Year: 2018.