



**HAL**  
open science

## Modules intégrés en technologie LTCC pour des applications en bande D (110 - 170 GHz)

Malika Tlili

► **To cite this version:**

Malika Tlili. Modules intégrés en technologie LTCC pour des applications en bande D (110 - 170 GHz). Electronique. Ecole nationale supérieure Mines-Télécom Atlantique, 2020. Français. NNT : 2020IMTA0165 . tel-02538427

**HAL Id: tel-02538427**

**<https://theses.hal.science/tel-02538427v1>**

Submitted on 9 Apr 2020

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THESE DE DOCTORAT DE

L'ÉCOLE NATIONALE SUPERIEURE MINES-TELECOM ATLANTIQUE  
BRETAGNE PAYS DE LA LOIRE - IMT ATLANTIQUE

ÉCOLE DOCTORALE N° 601  
*Mathématiques et Sciences et Technologies  
de l'Information et de la Communication*  
Spécialité : *Génie électrique*

Par

**Malika TLILI**

**Modules intégrés en technologie LTCC pour des applications en bande  
D (110-170 GHz)**

Thèse présentée et soutenue à Brest , le 22 janvier 2020  
Unité de recherche : Laboratoire Lab-STICC  
Thèse N° : 2020IMTA0165

## Rapporteurs avant soutenance :

Philippe Ferrari Professeur à l'Université de Grenoble  
Stéphane Bila Directeur de recherche au CNRS, XLIM Limoges

## Composition du Jury :

Président :	Philippe Ferrari	Professeur à l'Université de Grenoble
Examineurs :	Stéphane Bila	Directeur de recherche au CNRS, XLIM Limoges
	Anne-Laure Billabert	Maître de conférences HDR à ESYCOM/ Le Cnam
	Camilla Kärfelt	Ingénieur d'études à IMT Atlantique
Dir. de thèse :	Alain Peden	Professeur à IMT Atlantique

## Invité(s)

Daniel Bourreau Maître de conférences à IMT Atlantique

# Remerciements

La réalisation de cette thèse a été possible grâce au concours de plusieurs personnes à qui je voudrais témoigner toute ma gratitude.

Je voudrais tout d'abord adresser toute ma reconnaissance à Madame Camilla KÄRNFELT qui m'a encadrée, pour sa patience, sa disponibilité et surtout ses judicieux conseils qui ont contribué à alimenter ma réflexion ainsi que sa confiance et son soutien inestimable. Je tiens à exprimer ma reconnaissance aussi à mon directeur de thèse Professeur Alain PEDEN de m'avoir encadrée, orientée, aidée et conseillée et pour avoir eu la patience de répondre à mes innombrables questions. Un grand merci également à mon encadrant Monsieur Daniel BOURREAU qui m'a fourni les outils nécessaires à la réussite des mesures effectuées tout au long de ma thèse.

J'adresse mes plus vifs remerciements à Monsieur Philippe FERRARI professeur à l'Université de Grenoble président et rapporteur du jury, à Monsieur Stéphane BILA directeur de recherche au CNRS, XLIM Limoges rapporteur et à Madame Anne-Laure BILLABERT maître de conférences HDR à ESYCOM le Cnam examinateur, de l'intérêt qu'ils ont porté à ce travail en prenant part au jury et en me permettant de soutenir cette thèse.

Je tiens à témoigner toute ma gratitude à Pascal COANT, technicien de laboratoire qui m'a appris les étapes de fabrication du substrat LTCC ainsi que l'utilisation des différentes machines nécessaires. J'aimerais exprimer ma gratitude également à Maïna SINOU ingénieure de recherche et développement, pour sa contribution dans plusieurs tests et expériences effectués. Un grand merci à Jérémie HEMERY, ingénieur de recherche et développement pour son aide et sa patience lors de la préparation des différents bancs de mesure nécessaires à la caractérisation des différents prototypes élaborés.

J'aimerais exprimer ma gratitude à l'entreprise GOTMIC qui nous a fourni les puces MMIC ainsi que leur aide pour pouvoir effectuer la mesure thermique à l'université de Chalmers. Je remercie également les enseignants et chercheurs, trop nombreux pour les citer, qui ont pris le temps de discuter de mon sujet. Chacun de ces échanges m'a aidé à faire avancer mon analyse.

Je remercie également la direction scientifique de l'IMT Atlantique et le responsable du département Micro-onde Patrice PAJUSCO pour leur facilitation des différentes procédures administratives tout au long des 3 années de thèse.

Un grand merci à mes amis à l'IMT Atlantique, Emna BELKAMEL, Ankit JEAN et Oumaima MHADHBI pour leur support moral et leurs encouragements.

Enfin, je remercie mes parents, mon frère Chokri et mon mari Ahmed d'être toujours là pour me pousser en avant, m'encourager et me donner de la confiance en moi.

# Table des matières

Table des illustrations.....	6
Liste des tableaux .....	11
Liste d’abréviations et sigles .....	12
Liste de symboles .....	15
Constantes physiques .....	16
Contexte de thèse .....	17
I. État de l’art de la mise en boîtier des puces MMIC.....	21
I.1 Introduction .....	22
I.2 La mise en boîtier.....	23
I.2.1 Définition .....	23
I.2.2 Mise en boîtier pour des applications hautes fréquences .....	23
I.2.2.1 Matrice de billes BGA .....	24
I.2.2.2 Boîtier QFN .....	25
I.2.2.3 Boîtier SIP .....	26
I.2.2.4 Boîtier CSP .....	27
I.2.2.5 Boîtier SOP .....	28
I.2.2.6 Boîtier métallique avec accès en guide d’onde.....	28
I.2.2.7 Boîtier MCM.....	29
I.3 La technologie LTCC.....	33
I.3.1 Définition .....	33
I.3.2 Les <i>tapes</i> LTCC .....	33
I.3.3 Étapes de fabrication des circuits en technologie LTCC .....	35
I.3.3.1 Découpe des <i>tape</i> LTCC.....	35
I.3.3.2 Création des trous d’alignement, vias et cavités.....	37
I.3.3.3 Remplissage des vias .....	37
I.3.3.4 Sérigraphie des pâtes conductrice/diélectrique.....	38
I.3.3.5 Empilement et laminage .....	39
I.3.3.6 Cuisson.....	40
I.4 Techniques d’interconnexions .....	41
I.4.1 Micro-câblage.....	41
I.4.1.1 Ball bonding.....	41
I.4.1.2 Wedge bonding .....	42
I.4.1.3 Ribbon bonding.....	43
I.4.2 Flip-chip .....	45
I.5 Conclusion.....	47
II. Report de puces MMIC sur substrat LTCC .....	48
II.1 Introduction .....	49
II.2 Report et interconnexion de puces MMIC sur substrat LTCC.....	50
II.2.1 Report et interconnexion de puces MMIC coplanaires .....	51
II.2.1.1 Puces MMIC « lignes coplanaires » .....	52
II.2.1.2 Report et interconnexion.....	52
II.2.1.3 Simulations et mesures en bande V .....	54
II.2.2 Report et interconnexion des puces MMIC microruban .....	57
II.2.2.1 Puces MMIC « lignes microruban » .....	57
II.2.2.2 Contraintes présentées par les puces MMIC « lignes microruban ».....	58
II.2.2.3 Report sur substrat LTCC .....	65
II.2.2.4 Proposition d’une nouvelle puce « hot via » et intégration sur le LTCC ...	79
II.3 Conclusion.....	85

III.	Solutions de refroidissement .....	86
III.1	Introduction .....	87
III.2	Problème de dissipation de chaleur dans l'amplificateur de puissance .....	88
III.3	Solutions de refroidissement .....	89
III.3.1	Solutions actives.....	89
III.3.2	Solutions passives .....	90
III.4	Solutions proposées.....	93
III.4.1	Problème à résoudre .....	93
III.4.2	Solutions.....	95
III.4.2.1	Micro-caloduc .....	95
III.4.2.2	Refroidissement par intégration du conducteur dans LTCC.....	118
III.5	Conclusion.....	127
IV.	Module intégré en LTCC .....	128
IV.1	Introduction .....	129
IV.2	Les puces actives de Gotmic .....	130
IV.3	Report sur le substrat LTCC.....	134
IV.3.1	Montage du multiplieur sur le LTCC .....	135
IV.3.2	Montage du multiplieur + mélangeur sur le LTCC.....	137
IV.3.2.1	Montage par micro-câblage .....	137
IV.3.2.2	Montage par flip-chip .....	140
IV.3.2.3	Montage par micro-câblage et flip-chip.....	141
IV.3.3	Réalisation et mesure des modules.....	144
IV.3.3.1	Réalisation des modules.....	144
IV.3.3.2	Montages des puces et mesures .....	146
IV.4	Conclusion.....	158
	Conclusion générale .....	159
	Perspectives .....	162
	Bibliographie.....	163
	Annexe 1 : Matériaux d'ESL .....	172
	Annexe 2 : Règles de conception LTCC.....	179
	Annexe 3 : Simulation électromagnétique sous CST.....	180
	Annexe 4 : Simulation thermique sous CST .....	181
	Annexe 5 : Equations pour le micro-caloduc .....	184

# Table des illustrations

Figure 1. Puce de l'émetteur-récepteur (à gauche) et le boîtier BGA (à droite) ; vue de dessus (en haut) et vue de dessous (en bas) [4] © [2016]	24
Figure 2. Vue de dessous de le boîtier (à gauche) et vue de dessus (à droite) [5] © [2014]	25
Figure 3. Boîtier QFN conçu pour la bande E [8] © [2013]	26
Figure 4. Vue de dessus du SIP 122 GHz [10] © [2016]	26
Figure 5. Mise en boîtier CSP [12] © [2011]	27
Figure 6. Mise en boîtier FC-CSP [13] © [2016]	27
Figure 7. Technologie SOP [15] © [2005]	28
Figure 8. Prototype du module LTCC encapsulé dans une structure métallique; à gauche vue en perspective, à droite vue de côté [20] © [2014]	29
Figure 9. Prototype de module LTCC encapsulé dans un enclos métallique; à gauche vue en perspective, à droite vue de côté [20] © [2014]	29
Figure 10. Prototype de module MCM-L de l'interface Antenne-MMIC [21] © [2013]	30
Figure 11. Exemple de module MCM-D [22] © [2009]	31
Figure 12. Photographies du module HTCC: à droite vue de dessus, à gauche vue de dessous [23] © [2012]	31
Figure 13. Prototype de l'antenne patch [24] © [2016]	32
Figure 14. Substrat LTCC	33
Figure 15. Découpe des tapes LTCC	36
Figure 16. Indication de l'orientation des tapes	36
Figure 17. Tapes tournés de 90° degrés	36
Figure 18. Tape ESL41010 avec trous d'alignement et trous d'orientation	37
Figure 19. Remplissage des vias par sérigraphie	38
Figure 20. Sérigraphie de la pâte conductrice sur un tape LTCC	38
Figure 21. Support d'empilement des couches LTCC utilisé au laboratoire	39
Figure 22. Tapes empilés	39
Figure 23. Ball bonding avec liaison Au-Au, Ag-Au et Cu-Au [36] © [2015]	42
Figure 24. Simulation sous HFSS (à gauche) micro câblage entre la puce MMIC et l'antenne [38] © [2015]	43
Figure 25. Capture écran de CAD (à gauche) et photo du module de l'amplificateur de puissance (à droite) [39] © [2014]	43
Figure 26. Cinq types de micro câblage [41] © [2014]	44
Figure 27. Machine flip-chip disponible au laboratoire	46
Figure 28. Boîtier LTCC avec le récepteur MMIC et l'antenne lentille [44] © [2016]	46
Figure 29. Mesure et extraction des caractéristiques de l'ESL 41020 dans la bande D	51
Figure 30. Puce MMIC (L2) de deux lignes coplanaires	52
Figure 31. Support LTCC fabriqué pour le montage de la puce L2	53
Figure 32. Support LTCC après ablation avec le laser	53
Figure 33. Puce MMIC (L2) intégrée sur un substrat LTCC	54
Figure 34. Mesure et simulation sous CST et ADS Momentum des paramètres S de la ligne L2-1 de la puce L2 avant l'intégration sur le substrat LTCC	54
Figure 35. Mesure et simulation sous CST et ADS Momentum des paramètres S de la ligne L2-1 de la puce L2 après l'intégration sur le substrat LTCC	55
Figure 36. Mesure des paramètres S de la ligne L2-1 de la puce L2 avant et après l'intégration sur le substrat LTCC	56
Figure 37. Montage de la puce sur LTCC : interconnexion avec lignes coplanaires prolongées (à gauche) Interconnexion avec des courtes lignes coplanaires (à droite)	56
Figure 38. Puce 1 d'une ligne microruban	57
Figure 39. Layout de la face avant (gauche) et la face arrière (droite) de la puce	58
Figure 40. Vue 3D (sous CST) de la puce (gauche) et de la métallisation de la puce (droite)	58
Figure 41. Taille des plots en entrée et sortie de la puce	59
Figure 42. Les billes de diamètre 80 µm placés sur les plots de la puce	59
Figure 43. Circuit de deux lignes coplanaires interconnectées par micro-câblage	60

Figure 44. Paramètres S simulés du circuit (figure 43) pour différentes valeurs de diamètre du micro-câblage_	60
Figure 45. Photo de découpe d'une puce	61
Figure 46. Micro-câblage entre deux lignes sans (à gauche) et avec (à droite) substrat autour des plots	61
Figure 47. Circuit de deux lignes coplanaires interconnectées par micro-câblage	62
Figure 48. Paramètres S simulés du circuit (figure 47) pour différentes valeurs de longueur du micro-câblage_	62
Figure 49. Puce montée par flip-chip : sans (à gauche) et avec (à droite) débordement de substrat	63
Figure 50. Courbes des paramètres S des montages de la figure 49 : montage de la puce sans (à gauche) et avec (à droite) débordement du substrat au niveau des plots	63
Figure 51. Entraxe des pointes pour la bande D	64
Figure 52. Outil LinCalc sous ADS pour le dimensionnement de la ligne coplaire 50 $\Omega$	64
Figure 53. Micro-câblage entre une puce et substrat LTCC avec cavité (gauche) et sans cavité (droite)	65
Figure 54. La conception proposée du montage par micro-câblage	66
Figure 55. Dimensions des plots sur le substrat LTCC	66
Figure 56. Substrat LTCC pour le montage des puces des lignes microruban	67
Figure 57. Puces des lignes microruban montées sur le substrat LTCC : (1) puce montée par micro câblage en entrée et sortie (2) puce montée par micro câblage en sortie seulement (3) puce montée par flip-chip première solution (4) puce montée par flip-chip deuxième solution	67
Figure 58. Simulations et mesures de la puce « ligne microruban » seule, du montage 1 et simulation du montage idéal	68
Figure 59. Puces avec accès 35 $\Omega$ (gauche) et avec accès 50 $\Omega$ (droite)	68
Figure 60. Simulation des puces avec accès 35 $\Omega$ (courbe rouge) et avec accès 50 $\Omega$ (courbe verte)	69
Figure 61. Simulations et mesures de la puce « ligne microruban » seule, du montage 2 et simulation du montage idéal	70
Figure 62. Simulation de la puce avec accès 50 $\Omega$ montée sur le substrat LTCC par un micro-câblage de longueur 170 $\mu\text{m}$	71
Figure 63. Vue 3D des deux solutions proposées du montage par flip-chip	72
Figure 64. Dimensions des plots sur le substrat LTCC pour les deux solutions proposées	73
Figure 65. Substrat LTCC pour le montage des puces des lignes microruban : plots montage 3 en haut à droite et plots montage 4 en bas à droite	73
Figure 66. Puces des lignes microruban montées sur le substrat LTCC : (1) puce montée par micro câblage en entrée et sortie (2) puce montée par micro câblage en sortie seulement (3) puce montée par flip-chip première solution (4) puce montée par flip-chip deuxième solution	73
Figure 67. Puce avec des billes de diamètre 54 $\mu\text{m}$	74
Figure 68. Simulations et mesures de la puce « ligne microruban » seule, du montage 3 et simulation du montage idéal	74
Figure 69. Simulations et mesures de la puce « ligne microruban » seule, du montage 4 et simulation du montage idéal	74
Figure 70. Plot conçus (à gauche) et plot après cuisson (à droite)	75
Figure 71. Puce « ligne microruban » avec substrat LTCC à 20 $\mu\text{m}$ de la surface de la puce	76
Figure 72. Simulation de la puce avec et sans substrat LTCC	76
Figure 73. Montage 3 réalisé	76
Figure 74. Simulation du montage 3 avec différentes longueurs des accès coplanaires qui débordent sous la puce	77
Figure 75. Simulation de la puce avec accès 50 $\Omega$ montée sur le substrat LTCC par la première solution flip-chip	77
Figure 76. Simulation de la puce avec accès 50 $\Omega$ montée sur le substrat LTCC par la deuxième solution flip-chip	78
Figure 77. Schéma explicatif de la technique du « hot via »	80
Figure 78. Technique d'interconnexion par « hot via »	80
Figure 79. Vue de dessus (gauche) et vue de dessous (droite) de la puce proposée sans respect des règles de conception de « WIN semiconductors »	81
Figure 80. Vue de dessus (gauche) et vue de dessous (droite) de la puce proposée avec respect des règles de conception de « WIN semiconductors »	81
Figure 81. Vue 3D de la partie métallique de la puce sans respect des règles de conception de « WIN semiconductors » (gauche) et avec respect des règles de conception (droite)	81
Figure 82. Dimension des plots de la puce proposée : plots de face avant (gauche) plots de face arrière (droite)	81

Figure 83. Dimension des plots de la puce proposée : plots de face avant (gauche) plots de face arrière (droite)	82
Figure 84. Intégration de puce sur LTCC	82
Figure 85. Dimensions des plots sur LTCC pour puce figure 79 (gauche) et dimensions des plots sur LTCC pour puce figure 80 (droite)	82
Figure 86. Simulation de la puce proposée avant et après l'intégration sur le substrat LTCC	83
Figure 87. Vue 3D de l'amplificateur placé sur des couches conductrices et des vias avec des micros canaux au-dessous de l'ensemble [62] © [2017]	89
Figure 88. Vue en coupe des deux solutions de refroidissement proposées en [63] © [2017]	90
Figure 89. Les vias conducteurs à travers le tape fugitif [63] © [2017]	90
Figure 90. Vue en coupe des modèles réalisés : modèle avec vias (en haut), modèle avec dissipateur de chaleur (en bas) [64] © [2017]	91
Figure 91. Distribution de la température pour les deux modèles réalisés : modèle avec vias (en haut) et modèle avec dissipateur de chaleur (en bas) [64] © [2017]	91
Figure 92. Photo des deux solutions : bloc de cuivre plaqué or (à gauche) et bloc d'aluminium plaqué argent (à droite) intégrés dans le substrat LTCC au-dessous de la puce LED [65] © [2012]	92
Figure 93. Distribution de la température pour la solution avec bloc de cuivre plaqué or (à gauche) et avec bloc d'aluminium plaqué argent (à droite) [65] © [2012]	92
Figure 94. Layout des grilles des transistors intégrés dans l'amplificateur de puissance	93
Figure 95. Mesure (gauche) et simulation (droite) thermique de l'amplificateur de puissance placé sur un support 45°C	94
Figure 96. Simulation thermique de l'amplificateur de puissance collé sur une couche de LTCC	94
Figure 97. Simulation thermique de l'amplificateur de puissance placé sur cinq couche de LTCC	95
Figure 98. Kit de démonstration de chez Thermacore Europe	96
Figure 99. Mesure du caloduc	96
Figure 100. Mesure de la barre en aluminium	97
Figure 101. Illustration de l'amplificateur de puissance collé sur le micro-caloduc	98
Figure 102. Simulation thermique de l'amplificateur de puissance (3 W) placé sur un micro-caloduc qui évacue 1,5 W	98
Figure 103. (a) couches des rainures (b) couches de l'espace vapeur (c) couches au-dessous du micro-caloduc (d) couches au-dessus du micro-caloduc (e) vue en coupe du micro-caloduc (f) Structure du micro-caloduc	99
Figure 104. Tests effectués pour le paramétrage du laser	99
Figure 105. Les couches qui contiennent les rainures (a), les couches qui contiennent les cavités pour l'espace vapeur (b), les couches qui se situent au-dessus des micro-caloducs (c), le substrat LTCC après laminage (d) le substrat après cuisson (e) et vue en coupe des micro-caloducs (f)	100
Figure 106. Les dix couches LTCC qui forment les micro-caloducs à tester	103
Figure 107. Les plans de coupes AA et BB pour l'analyse du laminage chimique froid	103
Figure 108. Photos du substrat ESL 41020 laminé par un laminage chimique froid avec salive après cuisson: vue de surface du substrat (à gauche) et vue en coupe (à droite)	103
Figure 109. Photos de substrat ESL 41020 laminé par un laminage chimique froid avec miel après cuisson: vue de dessus du substrat (à gauche) et vue en coupe (à droite)	104
Figure 110. Photos de la cavité remplie par l'alcool cyatélique fondu (gauche) et par les feuilles de PMMA (droite)	106
Figure 111. Photos du substrat ESL 41020 après cuisson avec le SVM alcool cyatélique : vue de dessus du substrat (à gauche) et vue en coupe (à droite)	106
Figure 112. Photos de substrat ESL 41020 après cuisson avec SVM PMMA : vue de dessus du substrat (à gauche) et vue en coupe (à droite)	106
Figure 113. Profil de cuisson standard (à gauche) et prolongé (à droite) [74] © [2009]	108
Figure 114. Les dix couches qui forment les micro-caloducs à tester	108
Figure 115. Dimensions du micro-caloduc	109
Figure 116. Vue en coupe des prototypes : (1) tape fugitif sans adhésif et profil de cuisson standard, (2) tape fugitif, avec adhésif et profil de cuisson standard, (3) PMMA, sans adhésif et profil de cuisson standard, (4) PMMA, avec adhésif et profil de cuisson standard, (5) tape fugitif, sans adhésif et profil de cuisson prolongé, (6) tape fugitif, avec adhésif et profil de cuisson prolongé, (7) PMMA, sans adhésif et profil de cuisson prolongé, (8) PMMA, avec adhésif et profil de cuisson prolongé	109
Figure 117. Diagramme Paréto des effets principaux sur l'épaisseur de l'espace vapeur (à gauche) et courbe d'interaction entre le SVM et le profil de cuisson (à droite)	111

Figure 118. Vue en coupe des huit prototypes réalisés	112
Figure 119. Vue en coupe des six prototypes réalisés : (1) 70 bars et 2 min, (2) 70 bars et 5 min, (3) 90 bars et 2 min, (4) 90 bars et 5 min, (5) 150 bars et 2 min, (6) 150 bars et 5 min	113
Figure 120. Valeurs des angles $\alpha_1$ (gauche) et $\alpha_2$ (droite) mesurées pour les 6 prototypes réalisés	113
Figure 121. Vue de dessus du micro-caloduc réalisé (gauche) et vue de côté (droite)	114
Figure 122. Remplissage du micro-caloduc par la méthode 1	115
Figure 123. Goutte d'eau et goutte de colle placées en face de l'ouverture du micro-caloduc	115
Figure 124. Amplificateur de puissance collé sur la surface d'un micro-caloduc	116
Figure 125. Banc de mesure thermique (gauche) micro-caloduc sur lequel placé l'amplificateur alimenté à travers des pointes DC (droite)	116
Figure 126. Photo de la mesure thermique de l'amplificateur placé sur le micro-caloduc rempli avec la méthode 3 (température maximale 192,5°C)	117
Figure 127. Simulation thermique de l'amplificateur placé sur un micro-caloduc rempli par méthode 3 (température maximale 185°C)	117
Figure 128. Les couches LTCC pour réaliser la solution proposée	118
Figure 129. Position du canal par rapport aux grilles des transistors de l'amplificateur	119
Figure 130. L'amplificateur de puissance placé sur la solution de refroidissement	119
Figure 131. Simulations de l'amplificateur placé sur la solution de refroidissement proposée	120
Figure 132. Les couches LTCC de la solution de refroidissement	120
Figure 133. Vue en coupe du prototype réalisé	121
Figure 134. Rétro-simulation thermique du prototype déformé avec un focus sur l'amplificateur de puissance	121
Figure 135. Photo thermique de mesure de l'amplificateur de puissance placé sur la solution de refroidissement (température maximale 220 °C)	122
Figure 136. Remplissage des vias de diamètre 150, 115 et 80 $\mu\text{m}$ par le conducteur ESL 802	122
Figure 137. Les couches LTCC pour réaliser la solution proposée	123
Figure 138. Vias au-dessous de l'amplificateur	124
Figure 139. Emplacement des vias par rapport aux grilles des transistors de l'amplificateur	124
Figure 140. L'amplificateur de puissance placé sur la solution de refroidissement	125
Figure 141. Simulations de l'amplificateur placé sur la solution de refroidissement proposée	125
Figure 142. Les couches LTCC de la solution de refroidissement	125
Figure 143. Synoptique du mélangeur gMDR0035	130
Figure 144. Dimensions ( $\mu\text{m}$ ) du mélangeur avec emplacement des différents plots	131
Figure 145. Diagramme du multiplieur gXSBO025	132
Figure 146. Dimensions ( $\mu\text{m}$ ) du multiplieur avec emplacement des différents plots	132
Figure 147. Pointes MCW (Multi Contact Wedge) pour l'alimentation DC	134
Figure 148. Valeur de la tension de chaque plot du multiplieur	135
Figure 149. Conception du montage par micro-câblage du multiplieur sur LTCC	136
Figure 150. Multiplieur retourné pour un montage par flip-chip	136
Figure 151. Conception du montage par flip-chip du multiplieur sur LTCC	137
Figure 152. Topologie 1 (gauche) et topologie 2 (droite) pour deux puces « ligne microruban » montées par micro-câblage	138
Figure 153. Topologie 1 (gauche) et topologie 2 (droite)	138
Figure 154. Simulation des deux topologies données par la figure 153	138
Figure 155. Réseau d'alimentation DC du multiplieur + mélangeur	139
Figure 156. Conception du montage par micro-câblage du multiplieur + mélangeur sur LTCC	140
Figure 157. Conception du montage par flip-chip du multiplieur + mélangeur sur LTCC	141
Figure 158. Topologie 1 (gauche) et topologie 2 (droite) pour deux puces « ligne microruban »	141
Figure 159. Topologie 1 (gauche) et topologie 2 (droite)	142
Figure 160. Simulation des deux topologies données par la figure 159	142
Figure 161. Conception du montage du multiplieur + mélangeur sur LTCC (topologie 1)	143
Figure 162. Conception du montage du multiplieur + mélangeur sur LTCC (topologie 2)	143
Figure 163. Couches 4 et 5 pour le montage du multiplieur par micro-câblage (à gauche) (conception donnée à la figure 149) et par flip-chip (à droite) (conception donnée à la figure 151)	144
Figure 164. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par micro-câblage (conception donnée à la figure 156)	144
Figure 165. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par flip-chip (conception donnée à la figure 157)	144

Figure 166. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par micro-câblage et flip-chip topologie 1 (conception donnée à la figure 161)	145
Figure 167. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par micro-câblage et flip-chip topologie 2 (conception donnée à la figure 162)	145
Figure 168. Les différentes couches du substrat LTCC pour le montage du multiplieur et du multiplieur + mélangeur	145
Figure 169. Substrat réalisé pour les différents montages	146
Figure 170. Vérification du substrat à l'aide des pointes DC	147
Figure 171. Puce du multiplieur	147
Figure 172. Multiplieur monté sur le substrat LTCC par micro-câblage	147
Figure 173. Banc de mesure	149
Figure 174. Puissance de sortie du multiplieur avant et après intégration sur le LTCC à 78 GHz pour différentes valeurs de puissance du signal d'entrée	150
Figure 175. Puissance de sortie du multiplieur avant et après intégration sur le LTCC à 86,4 GHz pour différentes valeurs de puissance du signal d'entrée	150
Figure 176. Puissance de sortie du multiplieur avant et après intégration sur le LTCC en fonction de la fréquence pour $P_{in} = 9$ dBm	151
Figure 177. Montage du multiplieur par micro-câblage sur le LTCC	152
Figure 178. Puce du mélangeur	152
Figure 179. Montage du multiplieur +mélangeur sur le LTCC par micro-câblage et assemblage avec le PCB	153
Figure 180. Banc de mesure	155
Figure 181. Diagramme du montage réalisé	156
Figure 182. Courbes des pertes de conversion en fonction de puissance de signal RF (gauche, $P_{LO} = 14$ dBm) et en fonction de puissance du signal LO (droite, $PRF = -20$ dBm) à 140 GHz pour $V_{G\_MIX} = -1,1$ V	156
Figure 183. Courbes des pertes de conversion en fonction de la fréquence (gauche, $V_{G\_MIX} = -1,1$ V) et en fonction de $V_{G\_MIX}$ (droite, fréquence= 140GHz) pour $PRF = -20$ dBm et $P_{LO} = 14$ dBm	157
Figure 184. Courbe des pertes de conversion en fonction de la fréquence FI pour $PRF = -10$ dBm, $P_{LO} = 14$ dBm et $V_{G\_MIX} = -1,1$ V	157
Figure 185. Descriptif règles de conception	179

# Liste des tableaux

<i>Tableau 1. Matériaux LTCC .....</i>	<i>35</i>
<i>Tableau 2. Pâtes conductrices pour LTCC.....</i>	<i>39</i>
<i>Tableau 3. Performances d'une interconnexion par micro-câblage.....</i>	<i>72</i>
<i>Tableau 4. Performances d'interconnexion par flip-chip .....</i>	<i>78</i>
<i>Tableau 5. Comparaison des performances des interconnexions par flip-chip et par micro-câblage.....</i>	<i>79</i>
<i>Tableau 6. Performances d'interconnexion par « hot vias ».....</i>	<i>84</i>
<i>Tableau 7. Comparaison des différentes solutions proposées .....</i>	<i>84</i>
<i>Tableau 8. Résultats des tests effectués .....</i>	<i>101</i>
<i>Tableau 9. Dimensions calculées du micro-caloduc .....</i>	<i>109</i>
<i>Tableau 10. Valeurs des paramètres de laminage testées.....</i>	<i>111</i>
<i>Tableau 11. Valeurs de temps et pression testées .....</i>	<i>112</i>
<i>Tableau 12. Règles de conception .....</i>	<i>179</i>

# Liste d'abréviations et sigles

Abréviation	Explication	Traduction français si besoin
<b>ADS</b>	Advanced Design System	Simulateur circuit de Keysight Technologies
<b>AiP</b>	Antenna-in-Package	Antenne intégrée en boîtier
<b>APC</b>	Angled Physical Contact	Contact Physique Incliné
<b>BGA</b>	Ball Grid Array	
<b>CI</b>	Circuits intégrés	
<b>CMOS</b>	Complementary Metal Oxide Semiconductor	Semi-conducteur d'oxyde de métal complémentaire
<b>COB</b>	Chip-On-Board	Assemblage direct des puces sur une carte
<b>CPW</b>	Coplanar Waveguide	Guide d'onde coplanaire
<b>CPWG</b>	Grounded Coplanar Waveguide	Guide d'onde coplanaire avec plan de masse
<b>CSP</b>	Chip Scale Package	
<b>CST</b>	Computer Simulation Technology	Simulateur électromagnétique et thermique
<b>ESL</b>	Electroscience Laboratory	
<b>FC-CSP</b>	Flip-Chip Chip Scale Package	
<b>GAA</b>	Grid Array Antenna	
<b>GGW</b>	Grooved Gap Waveguide	Guide d'onde rainuré
<b>Gotmic</b>	Göteborg Microwave Integrated Circuits	Entreprise à Göteborg (Suède)
<b>HFSS</b>	High Frequency Structure Simulator	Simulateur électromagnétique
<b>HTCC</b>	High Temperature Co-fired Ceramic	Céramique cocuite à haute température
<b>LCP</b>	Liquid Crystal Polymer	Polymère à cristaux liquides
<b>LED</b>	Light-emitting diode	Diode électroluminescente
<b>LTCC</b>	Low Temperature Co-fired Ceramic	Céramique cocuite à basse température
<b>MCM</b>	Multi-Chip Module	Module à plusieurs circuits intégrés
<b>MCM-C</b>	Multi-Chip Module co-fired Ceramic layers	MCM à base des couches céramiques cocuites
<b>MCM-D</b>	Multi-Chip Module vapor-deposited Dielectric layers	MCM à base des couches diélectriques
<b>MCM-L</b>	Multi-Chip Module organic Laminates layers	MCM à base des couches organique laminées

<b>MCQFN</b>	MicroCoax QFN	
<b>MMIC</b>	Microwave Monolithic Integrated Circuit	Circuit intégré monolithique micro-ondes
<b>PCB</b>	Printed Circuit Board	Carte électronique imprimée
<b>PMMA</b>	Poly Methyl MethAcrylate	Poly MéthAcrylate de Méthyle
<b>PWB</b>	Printed Wiring Board	Carte électronique imprimée de câblage
<b>QFN</b>	Quad Flat No Lead	
<b>QFP</b>	Quad Flat Package	
<b>SIP</b>	System-In-Package	
<b>SIW</b>	Substrate Integrated Waveguide	Guide d'onde intégré dans un substrat
<b>SMA</b>	SubMiniature version A	Connecteur coaxial miniature
<b>SMP</b>	SubMiniature Push on	Connecteur coaxial miniature
<b>SOP</b>	System-On-Package	
<b>SVM</b>	Sacrificial Volume Material	Matériel de volume sacrificiel
<b>V-LIW</b>	Vertical LTCC Integrated Waveguide	Guide d'onde vertical intégré dans un substrat LTCC
<b>VQC</b>	ligne Verticale Quasi-Coaxiale	
<b>WL-CSP</b>	Wafer Level Chip Scale Package	



# Liste de symboles

Symbole	Explication	Unité
<b>BP</b>	Bande passante	%
<b>F</b>	Fréquence	Hz
$\lambda_0$	Longueur d'onde dans le vide	m
$\lambda_g$	Longueur d'onde guidée	m
$\epsilon_0$	Permittivité du vide	F m <sup>-1</sup>
$\epsilon_r$	Permittivité relative	
$\epsilon_{\text{eff}}$	Permittivité effective	
$\mu_0$	Perméabilité du vide	H m <sup>-1</sup>
$\mu_r$	Perméabilité relative	
$\Omega$	Pulsation	Rad/s
<b>C</b>	Capacité	F

# Constantes physiques

Nom	Symbole	Valeur
Célérité de la lumière dans le vide	$c$	$3 \times 10^8$ m/s
Pi	$\pi$	3,14
Permittivité du vide	$\epsilon_0$	$8,854\ 187\ 82 \times 10^{-12}$ F m <sup>-1</sup>
Perméabilité du vide	$\mu_0$	$4\pi \times 10^{-7}$ H m <sup>-1</sup>

# Contexte de thèse

Un circuit électronique analogique qui réalise une fonction déterminée (amplification, mélange, multiplication de fréquence,...) est généralement constitué de composants actifs (transistors, diodes) et passifs (résistances, condensateurs, inductances) connectés entre eux par des lignes. Ce circuit est soumis à différentes agressions environnementales telles que la chaleur, l'humidité, la poussière, les chocs, etc., qui peuvent dégrader ses performances ou provoquer son dysfonctionnement. Par ailleurs, aux fréquences très élevées, la longueur d'onde est telle que la taille réduite des circuits augmente leur fragilité et rend leur manipulation assez complexe. Afin de prendre en compte toutes ces contraintes et de les minimiser, une étape complémentaire et indispensable qui suit la fabrication des circuits est la mise en boîtier.

La mise en boîtier permet a priori la protection des circuits contre tous les facteurs d'agression extérieurs cités précédemment. Elle permet également de faciliter la connexion entre le circuit et les autres dispositifs et éléments du système au travers de connecteurs ou de lignes de connexion dans le cas d'un report sur substrat. Un autre intérêt de la mise en boîtier est la possibilité de mettre en place un système de dissipation de la chaleur afin de garantir un équilibre thermique et prolonger la durée de vie des circuits.

Le boîtier peut être réalisé à partir de différents matériaux tels que le métal, le plastique, la céramique,... Le choix est lié à plusieurs critères : la compatibilité avec le type de circuit en termes de bande de fréquence et de taille, le coût de fabrication qui dépend du matériau utilisé, le processus de fabrication ainsi que le temps nécessaire à la réalisation.

Pour les fréquences très élevées et en particulier pour la bande D (110–170 GHz), le boîtier est généralement réalisé à partir de structures métalliques. Ces boîtiers sont coûteux, volumineux et relativement longs à fabriquer. Pour les raisons citées précédemment, il est nécessaire de proposer un autre type qui permet la mise en boîtier des circuits intégrés conçus pour cette bande de fréquence : c'est l'objet des travaux de cette thèse intitulée « Modules intégrés en technologie LTCC pour des applications en bande D (110 GHz – 170 GHz) ».

Cette thèse constitue un nouveau projet entre le laboratoire Lab-STICC au sein de l'Institut Mines-Télécom Atlantique qui travaille depuis 2009 sur la technologie LTCC (Low Temper Co-fired Ceramics) et l'entreprise suédoise GOTMIC, créée en 2008 et dont les activités sont la

conception et la réalisation de circuits intégrés en technologie MMIC (Monolithic Microwave Integrated Circuits) ainsi que le développement de solutions de mise en boîtier.

L'objectif de la thèse est de réaliser des modules d'émission-réception (front-end TRX) en bande D, faible coût, sur la base de puces intégrées de type MMIC reportées sur un substrat LTCC. Les applications visées à ces fréquences sont par exemple l'imagerie (sécurité), les radars automobiles ACC d'aide à la conduite, la radiométrie ou encore le « back-haul » des réseaux de téléphonie 5G.

Les principaux objectifs visés à travers cette thèse sont :

- Les interconnexions entre les puces MMIC et le support LTCC

Le laboratoire Lab-STICC dispose de deux machines pour la réalisation des interconnexions : machine de micro-câblage et machine flip-chip. La machine flip-chip est une machine de report de puces retournées acquise au travers du projet CPER Sophie STIC et Ondes. Elle permettra de comparer cette technique d'interconnexion avec le micro-câblage.

- Le contrôle thermique des puces ayant une dissipation importante

Les amplificateurs de puissance sont en général indissociables du module d'émission (TX). Du fait du rendement en puissance parfois très faible ( $< 20\%$ ), une grande partie de la puissance DC (Direct Current) de ces amplificateurs est convertie en chaleur qui, du fait de la faible conductivité thermique du LTCC, provoque une augmentation de la température qui peut endommager les puces. L'étude, la modélisation, la simulation et la réalisation d'une solution de refroidissement des puces dans les modules LTCC sont alors nécessaires.

- L'alimentation continue (DC) intégrée sur le module TRX

Les puces MMICs doivent être correctement alimentées en DC. En LTCC, les circuits d'alimentation (pistes et composants passifs) peuvent être réalisés sur une ou plusieurs couches. Une alimentation efficace est à étudier et à proposer.

- Réalisation du module réception en bande D

L'intégration des puces MMIC actives sur le substrat LTCC représente l'étape finale pour réaliser un module réception en bande D. Les puces doivent être montées sur leur substrat LTCC avec l'interconnexion et le réseau d'alimentation convenable.

Ce manuscrit est composé de quatre chapitres :

- Le premier chapitre présente un état de l'art illustrant la mise en boîtier sur la base des principales technologies d'encapsulation, dédiées aux applications à hautes fréquences, dont la technologie LTCC qui sera utilisée dans la suite du travail. Les différentes technologies d'interconnexion y sont également présentées.

- Le deuxième chapitre est dédié au report des puces MMIC sur un support LTCC en utilisant l'interconnexion par Flip-Chip ou par micro-câblage. Ces deux techniques d'interconnexion sont comparées en simulation et en mesure sur la base de puces MMIC GaAs. Ces MMICs sont constitués d'une simple ligne coplanaire puis microruban. Les résultats de simulations et de mesures sont analysés pour identifier l'influence de la technologie LTCC et de la technique d'interconnexion sur les performances des puces.

- Les solutions de refroidissement font l'objet du troisième chapitre. L'échauffement des circuits intégrés, tels que les amplificateurs de puissance liés à leur rendement électrique, nécessite l'étude de solutions de refroidissement qui sont proposées dans ce chapitre. Nous y présentons une solution réalisable, efficace et compatible avec la puce qui est utilisée.

- Le quatrième et dernier chapitre porte sur l'intégration d'un module simple constitué d'un multiplieur puis d'un multiplieur associé à un mélangeur (récepteur) sur le substrat LTCC par flip-chip et par micro-câblage. La mesure des modules réalisés et les résultats obtenus ont permis d'analyser l'effet du report des puces sur le substrat LTCC sur les performances du module dans la bande D par comparaison avec les données des puces seules.



# I. État de l'art de la mise en boîtier des puces MMIC

TABLE DES MATIÈRES CHAPITRE I:

---

I.	État de l'art de la mise en boîtier des puces MMIC
I.1	Introduction
I.2	La mise en boîtier
I.2.1	Définition
I.2.2	Mise en boîtier pour des applications hautes fréquences
I.3	La technologie LTCC
I.3.1	Définition
I.3.2	Les <i>tapes</i> LTCC
I.3.3	Étapes de fabrication des circuits en technologie LTCC
I.4	Techniques d'interconnexions
I.4.1	Micro-câblage
I.4.2	Flip-chip
I.5	Conclusion

## **I.1 Introduction**

La grande variété de boîtiers disponibles peut être classée selon différents critères. On présente dans la première partie les différents types de mise en boîtier des circuits conçus pour des applications à hautes fréquences ( $> 50$  GHz). La technologie de mise en boîtier LTCC (Low Temperature Cofired Ceramics) ainsi que ses avantages sont décrits dans la deuxième section. Enfin, une présentation des différentes technologies d'interconnexion entre le circuit intégré (CI) et son boîtier ou entre les CIs intégrés dans un même boîtier.

## **I.2 La mise en boîtier**

### **I.2.1 Définition**

La mise en boîtier d'un circuit électronique a pour objectif de le protéger contre tout type d'agressions mécaniques (choc) ou environnementales (effet des corps extérieurs tels que l'eau ou l'humidité, l'air, la poussière,...), de faciliter la manipulation lors des caractérisations expérimentales, de le connecter à d'autres circuits ou composants électroniques, ou encore de dissiper la chaleur produite par le circuit,... Les technologies de mise en boîtier sont nombreuses et chacune a ses avantages et ses inconvénients. Les premiers critères sur lesquels se base le choix du boîtier sont la fréquence d'utilisation du circuit, l'influence du boîtier sur le comportement du circuit, la taille de circuit, le coût du boîtier et le processus de fabrication. Dans la section qui suit, on présente quelques technologies de mise en boîtier de circuits conçus pour des applications au delà de 50 GHz puisque notre projet vise des applications en bande D [1].

### **I.2.2 Mise en boîtier pour des applications hautes fréquences**

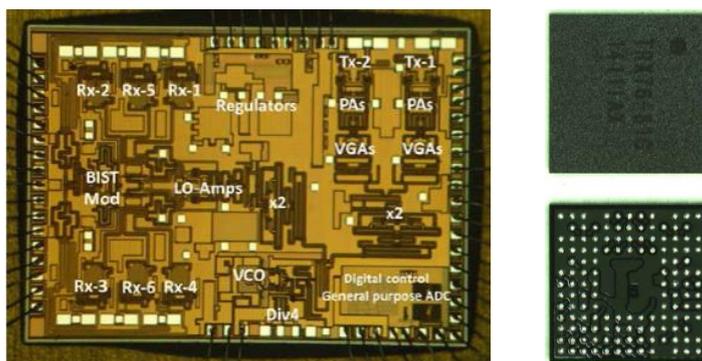
La taille des circuits électroniques devient de plus en plus petite lorsque la fréquence augmente du fait de la réduction de la longueur d'onde. Cependant, l'augmentation de la fréquence de fonctionnement des circuits provoque généralement l'apparition d'effets parasites (couplages, effets capacitifs et inductifs) et induit des phénomènes de propagation et de rayonnement [1]. Face à ces effets souvent pénalisants en termes de performances (bande passante, adaptation, gain,...) , le choix du boîtier est une étape très importante car celui-ci doit rajouter le moins possible de perturbations au circuit.

Il existe une grande variété et diversité de technologies de mise en boîtier pour des circuits visant des applications hautes fréquences. Dans le paragraphe suivant, des technologies de mise en boîtier dans les bandes V (50-75 GHz), E (50-90 GHz), W (75-110 GHz) et D (110-170 GHz) sont présentées.

## I. État de l'art de la mise en boîtier des puces MMIC

### I.2.2.1 Matrice de billes BGA

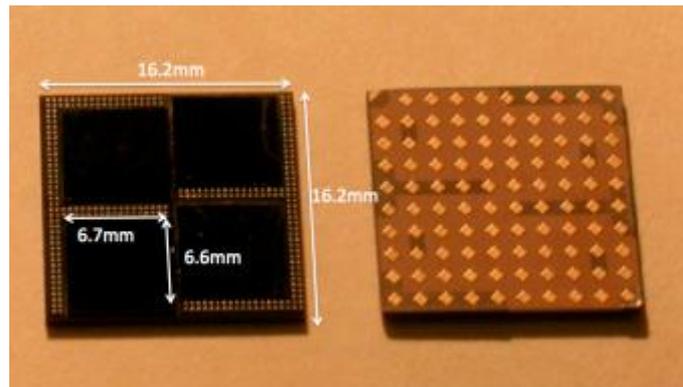
La technologie BGA (Ball Grid Array) est caractérisée par un grand nombre des billes soudées sur la face arrière du boîtier afin de monter le boîtier sur le circuit imprimé (PCB : Printed Circuit Board). Ce type de boîtier est souvent utilisé pour des circuits numériques (microprocesseurs, microcontrôleurs, mémoires,...) du fait de la haute densité des entrées/sorties (entre 200 et 500). Le BGA offre une taille réduite si on le compare à la technologie *Lead Frame* telle que le QFN (présentée par la suite). Le BGA est utilisé dans des applications en bande V comme le montre l'exemple du module, présenté en [3], compatible avec un émetteur/récepteur 60 GHz intégrant les antennes d'émission/réception. Le module proposé est faible coût et facile à fabriquer tout en offrant des performances de l'antenne acceptables. Le BGA est également utilisé pour encapsuler par flip-chip une puce émetteur-récepteur de 76 à 81 GHz (bande W) [4]. Les pertes résultant de la mise en boîtier sont évaluées entre 1.5 et 2 dB ce qui représente une dégradation minimale des performances globales. La figure 1 ci-dessous montre la puce de l'émetteur-récepteur ainsi que le boîtier BGA.



**Figure 1. Puce de l'émetteur-récepteur (à gauche) et le boîtier BGA (à droite) ; vue de dessus (en haut) et vue de dessous (en bas) [4] © [2016]**

L'exemple présenté en [5] exploite un BGA pour mettre en boîtier un émetteur-récepteur avec un réseau d'antenne en bande W composé de 64 éléments. Le réseau d'antenne est sur le dessus du boîtier et l'émetteur-récepteur, composé de quatre circuits intégrés (CI) réalisés en technologie SiGe, et est connecté à la face inférieure du boîtier par flip-chip. La figure 2 montre le boîtier avec le réseau d'antennes et les quatre CIs de l'émetteur-récepteur.

## I. État de l'art de la mise en boîtier des puces MMIC



**Figure 2.** Vue de dessous de le boîtier (à gauche) et vue de dessus (à droite) [5] © [2014]

Le BGA peut cependant présenter plusieurs problèmes : billes absentes, billes de taille inférieure ou supérieure, billes déformées à cause de l'oxydation ou par contamination. Un autre inconvénient du BGA est sa sensibilité aux gradients de température auxquels il est exposé lors de l'encapsulation. Les différents coefficients de dilatation thermique (CTE) des matériaux contenus dans le boîtier entraînent sa déformation (warpage). L'étude, présentée en [6], réalisée à l'aide du simulateur COMSOL Multiphysics sur la fiabilité du BGA soumis à un cycle de température montre que les billes de soudure écrasées sont essentiellement sur les bords. Ce travail est utile pour estimer la fatigue du boîtier et par la suite augmenter l'efficacité de production.

### I.2.2.2 Boîtier QFN

Le boîtier de type QFN (Quad Flat No Lead) dérive de la technique QFP (Quad Flat Package) mais le QFN n'a pas de « pattes » qui sortent du boîtier. Le QFN est un boîtier généralement en plastique et peut encapsuler un ou plusieurs CI. Ce boîtier est de conception simple et offre une encapsulation facile qui peut être manuelle contrairement au BGA qui nécessite un processus de montage spécifique. Il est dédié à un faible nombre d'entrées-sorties (entre 6 et 80).

L'inconvénient majeur de ce boîtier est le matériau utilisé : le plastique est un matériau qui absorbe l'humidité, ce qui peut endommager le circuit. Des études ont été réalisées sur le développement de nouveaux matériaux thermoplastiques à base de polymère à cristaux liquides pour concevoir des boîtiers QFN [7]. Ces matériaux offrent une faible absorption de l'humidité et une haute résistance thermique, ce que prolonge la durée de vie du boîtier.

Le QFN a été utilisé pour des applications à hautes fréquences, telles que la bande E [8]. Il s'agit d'un QFN pour lequel le câblage traditionnel est remplacé par un câblage appelé

## I. État de l'art de la mise en boîtier des puces MMIC

MicroCoax similaire au câble coaxial. Ce MCQFN (MicroCoax QFN) offre une excellente isolation entre les signaux d'entrée-sortie, une bonne dissipation thermique, une intégration plus facile avec les PCB ainsi que des pertes faibles, ce qui augmente la bande passante du boîtier. La figure 3 ci-dessous montre un boîtier QFN avec une métallisation centrale pour dissiper la chaleur du circuit encapsulé.



Figure 3. Boîtier QFN conçu pour la bande E [8] © [2013]

### I.2.2.3 Boîtier SIP

Le boîtier SIP (System-In-Package) permet d'encapsuler tout un système qui peut contenir des composants actifs ou passifs et même des boîtiers. Le SIP offre une structure 3D pouvant supporter plusieurs technologies (RF, analogique, numérique,...).

L'avantage du SIP si on le compare aux circuits imprimés (PCB) est la réduction de taille. La publication [9] présente la mise en boîtier SIP de systèmes électroniques portables permettant une miniaturisation de 55 % par rapport au PCB avec potentiellement de meilleures performances.

Le SIP peut être utilisé pour des applications en bande D comme proposé en [10] avec un capteur radar à 122 GHz. Le boîtier SIP contient la puce de l'émetteur-récepteur ainsi que les antennes d'émission et de réception comme le montre la figure 4.

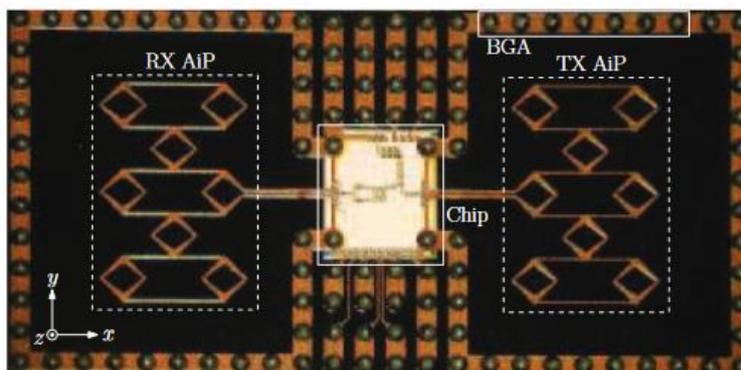


Figure 4. Vue de dessus du SIP 122 GHz [10] © [2016]

## I. État de l'art de la mise en boîtier des puces MMIC

### I.2.2.4 Boîtier CSP

Le boîtier CSP (Chip Scale Package) offre une taille similaire à celle du CI encapsulé. Il peut être monté directement sur la surface de la carte à travers des billes à souder. Le CI est connecté à travers le boîtier par un micro-câblage ou des billes soudées (flip-chip). Ce dernier offre des meilleures performances électriques puisqu'on diminue les pertes en réduisant la longueur de la connexion [1].

Pour augmenter le rendement de production, on utilise le WL-CSP dérivé du CSP et caractérisé par la mise en boîtier des CIs dans la phase de "Wafer Level" avant d'être découpé individuellement. Il permet d'encapsuler plusieurs CIs à la fois en ajoutant des couches protectrices et des billes à souder qui permettent les connexions aux boîtiers.

L'amplificateur de puissance MMIC présenté en [11] a été conçu pour des applications en bandes E et W et est encapsulé dans un boîtier CSP. Les interconnexions (RF et DC) sont réalisées par la création de vias dans le substrat permettant de souder par des billes la puce MMIC à la carte PCB. Cette technique d'interconnexion est compatible avec les CIs microruban et permet de réduire les problèmes causés par le micro-câblage (inductance parasite, pertes, couplage électromagnétique,...).

Les figures 5 et 6 ci-dessous donnent des exemples de mise en boîtier de type CSP où la connexion entre la puce et le boîtier est réalisée par micro-câblage (figure 5) ou par flip-chip (figure 6).

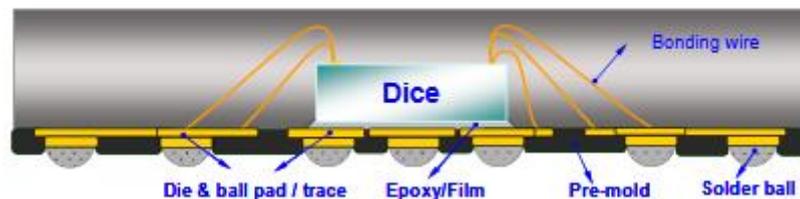


Figure 5. Mise en boîtier CSP [12] © [2011]

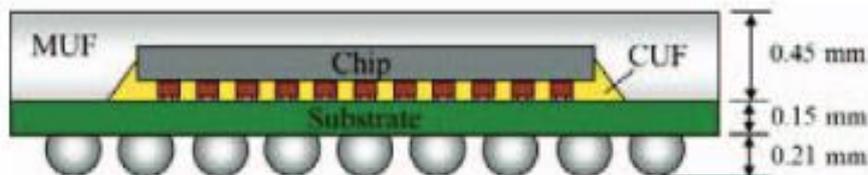


Figure 6. Mise en boîtier FC-CSP [13] © [2016]

## I. État de l'art de la mise en boîtier des puces MMIC

### I.2.2.5 Boîtier SOP

La technologie SOP (System-On-Package) n'est pas à proprement parler un boîtier qui va être monté sur une carte pour compléter un système qui existe déjà mais elle représente plutôt un système complet qui regroupe toutes les fonctions nécessaires. Dans cette technologie, on peut trouver des composants passifs et actifs qui permettent de réaliser des modules numériques, RF ou optique [14] [15]. La figure 7 ci-dessous montre un exemple de SOP.

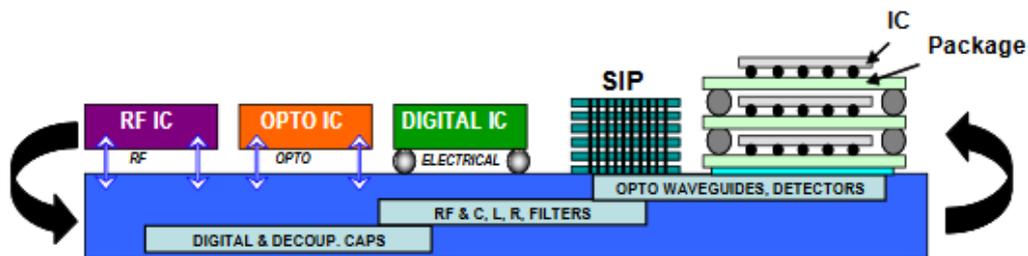


Figure 7. Technologie SOP [15] © [2005]

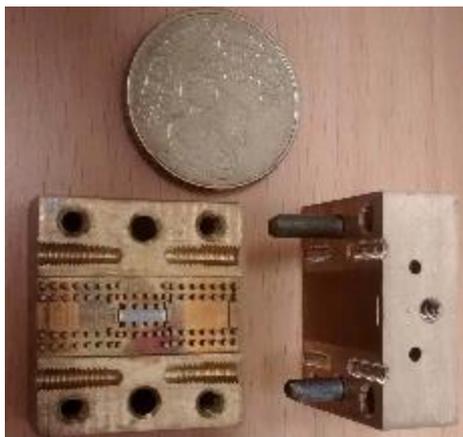
Cette technologie peut être utilisée pour les hautes fréquences comme le montre l'exemple en [16] où il s'agit d'encapsuler un amplificateur de puissance CMOS conçu pour la bande W en utilisant le polymère à cristaux liquides (LCP) ou encore en [17] où un transmetteur à 338 GHz est mis en boîtier via la technologie SOP.

### I.2.2.6 Boîtier métallique avec accès en guide d'onde

Parmi les boîtiers utilisés pour encapsuler des CIs et surtout les MMIC, on trouve les boîtiers métalliques qui peuvent être sous forme de capots permettant de couvrir et protéger un CI ou un ensemble de CIs ou sous forme de guides d'ondes qui facilitent la transmission des signaux entre les différents composants. Les boîtiers métalliques sont très utilisés pour la mise en boîtier des CIs conçus pour des applications à hautes fréquences du fait de la bonne isolation obtenue entre les différentes parties d'un système, ce qui diminue les pertes qui apparaissent à ces fréquences. L'utilisation d'un guide d'onde pour la bande D est proposée en [18] pour réaliser la transition en sortie d'un circuit MMIC. Cette transition est faite à l'aide d'une antenne à fente de type LTSA (Linearly Tapered Slot Antenna) placée dans le guide d'onde.

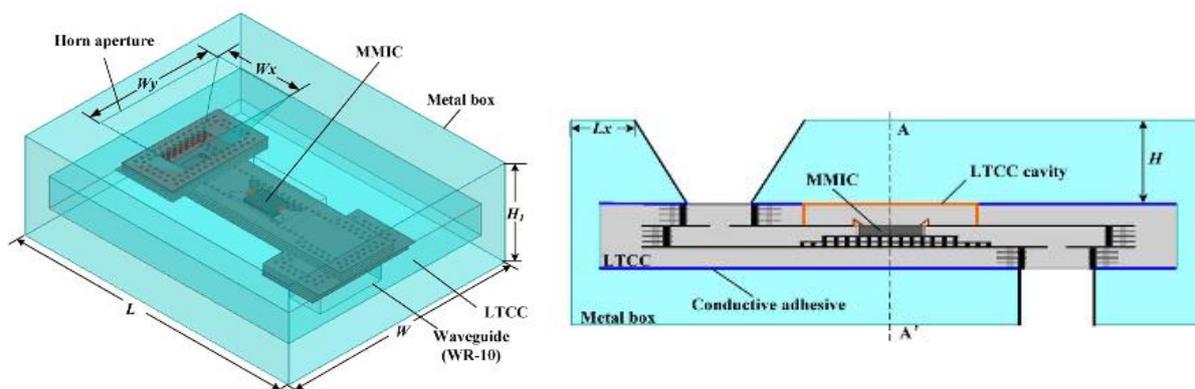
La figure 8 montre un guide d'onde GGW (Grooved Gap Waveguide) utilisé pour réaliser la transition d'une ligne microruban dans la bande V [19] avec la possibilité d'intégrer des circuits MMIC à l'intérieur de ce type de guide.

## I. État de l'art de la mise en boîtier des puces MMIC



**Figure 8. Prototype du module LTCC encapsulé dans une structure métallique; à gauche vue en perspective, à droite vue de côté [20] © [2014]**

Un exemple de structure métallique utilisé pour encapsuler un module LTCC (Low Temperature Cofired Ceramic) est donné en [20]. Elle a été conçue pour la bande W et contient un circuit MMIC et une antenne AiP (Antenna-in-Package). Le choix de la structure métallique est justifié par la forte résistance mécanique obtenue ainsi. Les dimensions de l'ouverture rayonnante sont déterminées pour optimiser les performances de l'antenne. La figure 9 montre le prototype réalisé.



**Figure 9. Prototype de module LTCC encapsulé dans un enclos métallique; à gauche vue en perspective, à droite vue de côté [20] © [2014]**

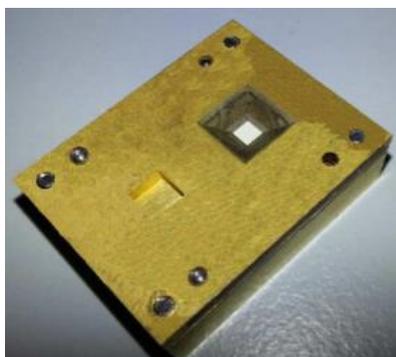
### I.2.2.7 Boîtier MCM

Un module MCM (Multi-Chip Module) permet d'encapsuler plusieurs CIs sur le même substrat et obtenir ainsi un ensemble de composants intégrés dans une même boîtier, d'où le nom Multi Chip Module. Ce boîtier est caractérisé par une structure multicouche ce qui donne une forme générale 3 D. Cette encapsulation existe sous trois formes différentes : MCM-L, MCM-D et MCM-C, qui diffèrent selon le type de substrat utilisé.

## I. État de l'art de la mise en boîtier des puces MMIC

- MCM-L

Le module MCM laminé dérive de la technologie PWB (Printed Wiring Board) où les CIs sont montés par la technique COB (Chip-On-Board) avec des interconnexions par micro-câblage ou flip-chip. Ce module se base sur l'utilisation des substrats laminés composés par des matériaux organiques tels que FR4 [2]. La publication [21] présente l'utilisation de ce boîtier pour l'encapsulation d'une interface antenne-MMIC. Le but de ce travail est de réaliser une interconnexion sans fil entre la puce MMIC, fabriquée sur un substrat GaAs et conçue pour des applications en bande E, et une antenne. Pour ce faire, un patch actif est mis sur la surface du MMIC et interconnecté à un patch parasite par l'intermédiaire de trois couches de substrat LCP formant par la suite une antenne patch empilée. Les simulations et les mesures montrent une bonne concordance. La figure 10 ci-dessous présente le module MCM-L réalisé.



**Figure 10. Prototype de module MCM-L de l'interface Antenne-MMIC [21] © [2013]**

- MCM-D

Un module MCM-D est caractérisé par un substrat à forte densité de films minces de métaux et de silicium ( $\epsilon_r = 11$ ). Le processus de fabrication d'un module MCM-D est le même que celui des CIs ; la première étape consiste à déposer une couche de polyimide sur la surface du substrat (silicium), puis on utilise un plasma d'oxygène pour créer des vias dans cette couche à travers un masque métallique. La deuxième étape est d'enlever le masque et déposer trois couches de métaux formées par deux couches métalliques minces sur les deux faces d'une couche métallique épaisse à haute conductivité. La dernière étape est la gravure par photolithographie de la couche métallique. Ces trois étapes se répètent chaque fois qu'une nouvelle couche diélectrique est déposée [22].

La publication [22] présente l'utilisation du MCM-D pour intégrer un filtre passe-bande planaire et un duplexeur conçus en bande W. La figure 11 montre le boîtier MCM-D conçu.

## I. État de l'art de la mise en boîtier des puces MMIC

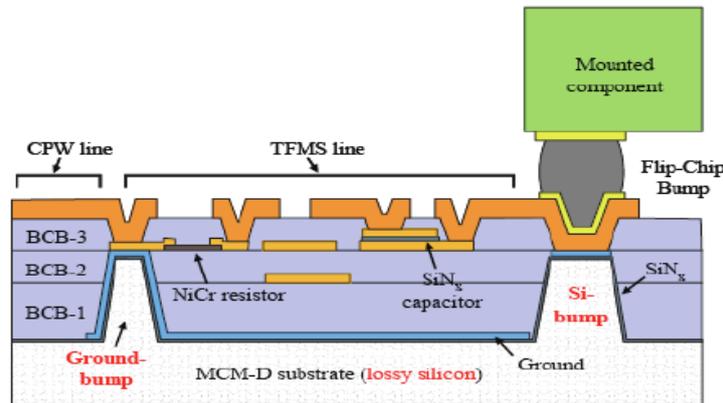


Figure 11. Exemple de module MCM-D [22] © [2009]

### • MCM-C

Les Modules MCM-C sont composés de couches minces en céramique, sans couche de base comme dans le cas du MCM-D. Dans ce type de boîtier, on trouve deux technologies qui sont décrites ci-après : HTCC (High Temperature Co-fired Ceramic) et LTCC (Low Temperature Co-fired Ceramic).

\* **High Temperature Co-fired Ceramics (HTCC)** : comme présenté dans le paragraphe précédent, le MCM-C est formé par un ensemble de couches minces en céramique sur lesquelles on peut imprimer des conducteurs ou des diélectriques. Après la sérigraphie des conducteurs/diélectriques et la création des vias, les couches céramiques sont mises dans un four à une température très élevée (1600 °C) comme dernière étape de création du boîtier. Comme un conducteur classique tel que l'or ou le platine ne supporte pas une telle température, on utilise le Tungstène dont la conductivité est cependant plus faible que l'or. La publication [23] présente une mise en boîtier d'une antenne d'émission/réception à 60 GHz. Les résultats de mesures des coefficients de réflexion et du rayonnement valident la fiabilité de la technologie HTCC utilisée pour encapsuler les deux antennes. La figure 12 ci-dessous montre les deux antennes intégrées dans un boîtier HTCC.

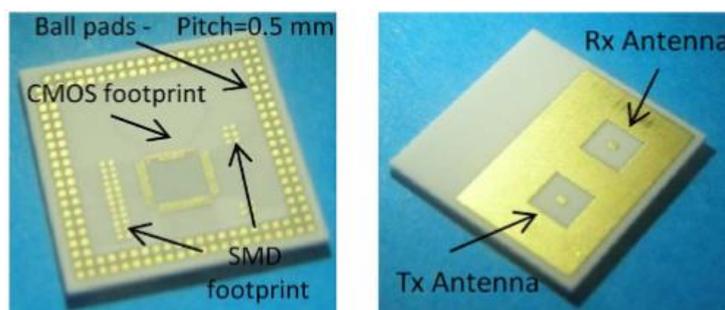


Figure 12. Photographies du module HTCC: à droite vue de dessus, à gauche vue de dessous [23] © [2012]

## I. État de l'art de la mise en boîtier des puces MMIC

\* **Low Temperature Co-fired Ceramics (LTCC)** : la technologie LTCC est caractérisée par une basse température de cuisson contrairement à la technologie HTCC. Pour réduire la température de cuisson, la technologie LTCC utilise des couches composées par un mélange de céramique et de verre qui demande une température de cuisson entre 800 et 1000°C car l'ajout du verre aux grains céramiques permet de diminuer le point de fusion et par conséquent la température de la cuisson. Le mélange de verre et de céramique donne des couches LTCC à permittivité relative inférieure à celle des couches faites à partir de la céramique seule. Une permittivité relative plus faible donne une taille plus grande ce qui permet de réduire les problèmes liés aux couplages parasites par exemple et offrir de meilleures performances à haute fréquence. La technologie LTCC ne nécessite pas avantageusement un conducteur spécial qui supporte les très hautes températures comme en HTCC. La publication [24] propose l'intégration en bande D d'une antenne patch couplée à sa ligne d'alimentation à travers une ouverture dans un plan de masse. Cette antenne offre une large bande passante de 20,4%, avec un gain maximal de 7,8 dB. La figure 13 ci-dessous montre l'antenne patch réalisée.

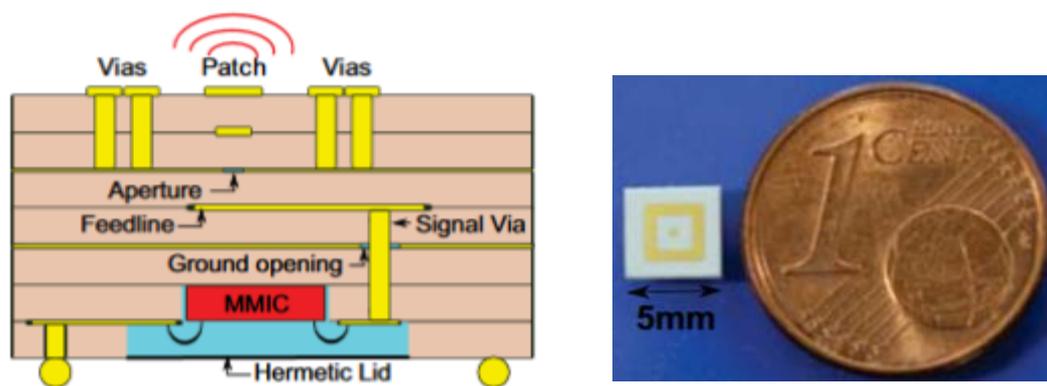


Figure 13. Prototype de l'antenne patch [24] © [2016]

Après la présentation d'une variété des boîtiers utilisés pour intégrer les circuits électroniques conçus pour des applications à haute fréquences (> 50 GHz), la technologie de mise en boîtier LTCC fera l'objectif de la section suivante.

## I.3 La technologie LTCC

### I.3.1 Définition

La technologie LTCC est une technique de mise en boîtier des CIs à travers une structure multicouche. Sur la surface de chaque couche, une pâte résistive, conductrice ou diélectrique peut être imprimée par sérigraphie. Les différentes couches peuvent être connectées entre elles par le biais de vias créés par un faisceau laser et remplis par un matériau conducteur. Après l'étape de sérigraphie et de création des vias, les couches LTCC sont empilées à l'aide d'un support d'empilement et laminées par une presse dans le but d'éviter tout type de gaps d'air entre les couches. Finalement, l'ensemble des couches est cuit à une température inférieure à 1000°C pour obtenir le circuit désiré [1].

### I.3.2 Les *tapes* LTCC

Généralement, la température de cuisson de la céramique seule est de 1600°C. Pour abaisser la température de cuisson de la céramique, et ainsi pouvoir utiliser de meilleurs conducteurs, on doit la mélanger avec d'autres composants : le substrat LTCC est alors composé par la céramique, du verre, une matière organique et des solvants. La figure 14 ci-dessous montre les composants d'un substrat LTCC.

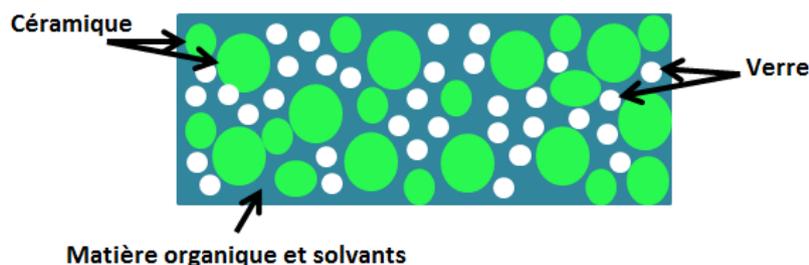


Figure 14. Substrat LTCC

Le mélange est ensuite placé dans un récipient ayant une ouverture ajustable pour sortir la matière avec une épaisseur bien définie. Le récipient contenant le mélange se trouve sur un tapis roulant qui aide la matière à sortir de l'ouverture et former le ruban (« *tape* » en anglais) LTCC. Enfin, le ruban est séché et on obtient un rouleau de *tape* LTCC prêt à être utilisé.

Plusieurs entreprises fabriquent des rubans LTCC : Ferro, ESL (ElectroScience Laboratory) qui a été acquise par Ferro, Dupont, Kyocera, Institut de Céramique de Shanghai,...

## I. État de l'art de la mise en boîtier des puces MMIC

Les *tapes* LTCC varient d'une entreprise à l'autre en terme de composition ce qui donne des caractéristiques physiques et électriques différentes.

Le tableau 1 ci-dessous liste quelques types de *tapes* LTCC proposés par ESL, Ferro et Dupont. Ferro propose deux types de *tape* : un pour des applications hautes fréquences (A6M) et un pour les basses fréquences (L8). Ces *tapes* demandent plusieurs conducteurs pour une même application (conducteur pour les couches conductrices extérieures, conducteur pour les couches conductrices intérieures, conducteur pour les vias,...) ce qui rajoute des contraintes de fabrication.

Chez Dupont, on trouve les références 951 et 9K7. Ces deux *tapes* contiennent des sous-types qui diffèrent selon l'épaisseur de la couche LTCC. Le type 951 offre la possibilité d'utiliser les conducteurs or et argent pour un même prototype dans le but de réduire le coût de fabrication.

ESL propose cinq types de *tape* LTCC qui varient en termes de permittivité et de pertes. Le *tape* utilisé au cours de la thèse est la référence ESL 41020 dont le choix sera expliqué dans le chapitre II au paragraphe I.3. Par ailleurs, la diversité des *tapes* proposés (permittivité relative allant de 4 à 16) est très intéressante pour la conception de dispositifs.

Dans le tableau 1, la permittivité, les pertes (loss tangent), la température et le temps de cuisson des *tapes* sont donnés :

- La permittivité donne une idée de la taille du circuit à une fréquence donnée, plus la permittivité est grande, plus la taille est petite:  $\lambda_g = \frac{f}{c\sqrt{\varepsilon_{eff}}}$ , où  $\lambda_g$  représente la longueur d'onde guidée,  $f$  la fréquence,  $c$  la vitesse de la lumière dans le vide et  $\varepsilon_{eff}$  la permittivité effective du milieu.
- Les pertes représentent l'énergie ou la puissance dissipée par effet joule dans le substrat.
- La température et le temps de cuisson nous renseignent sur le matériel à utiliser pour la cuisson (four).

## I. État de l'art de la mise en boîtier des puces MMIC

**Tableau 1. Matériaux LTCC**

Entreprise	Tape	Permittivité (@ fréquence)	Loss tangent (@ fréquence)	Température de cuisson (°C)	Temps de cuisson (minute)
ESL [26] + Ferro [27] [28]	41020	7,3 (110-170 GHz)	0,013 (110-170 GHz)	850-875	10-12
	41050	13-14 (1 MHz)	0,002 (1 MHz)	875	30
	41060-G	16,3 (15 GHz)	0,00375 (15 GHz)	875	30
	41111-G	4,11 (75-170 GHz)	0,008 (75-170 GHz)	850	10
	A6M	5,9 (94 GHz)	<0,002 (1-100 GHz)	850	10-15
	L8	7,2 (40 GHz)	0,0037 (40 GHz)		
Dupont [29] [30] [31]	951 (C2,PT,P2,PX)	7,8 (1-15 GHz)	0,005 (1 GHz) 0,008 (15 GHz)	850	17-23
	9K7(PX,PV)	7,1 (1-10 GHz)	0,001 (10 GHz)	850	17-23

### I.3.3 Étapes de fabrication des circuits en technologie LTCC

Les étapes de fabrication en technologie LTCC varient un peu d'un laboratoire à un autre selon les ressources matérielles, les applications, l'expérience. Dans cette section, on va présenter les étapes de fabrication en LTCC dans notre laboratoire qui s'intéresse à cette technologie depuis 2009.

#### I.3.3.1 Découpe des *tapes* LTCC

La première étape dans la fabrication de LTCC est la découpe des *tapes* à l'aide d'une lame. Le *tape* découpé est sous forme de carré de dimensions 50,8 mm × 50,8 mm.

## I. État de l'art de la mise en boîtier des puces MMIC

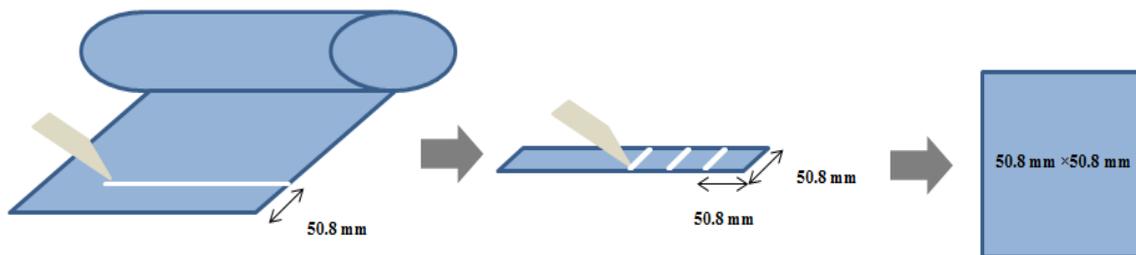


Figure 15. Découpe des *tapes* LTCC

Il est recommandé lors de l'étape de découpe, de mettre une marque (coin en haut à droite). Cette marque nous renseigne sur l'orientation de la couche LTCC.

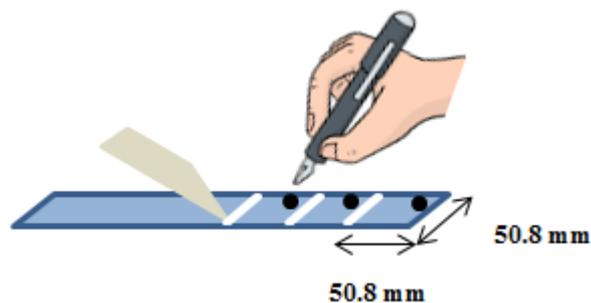


Figure 16. Indication de l'orientation des *tapes*

Après l'étape de découpe, chaque *tape* doit être tourné de 90° degré par rapport au *tape* précédent. Le fait de tourner le *tape* permet de compenser le rétrécissement en x / y initié par le coulage des bandes.

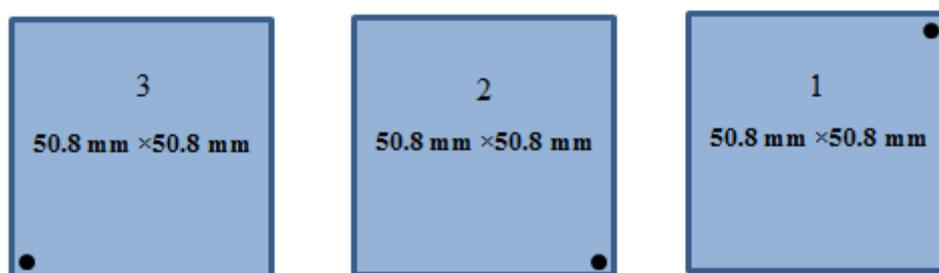


Figure 17. *Tapes* tournés de 90° degrés

Enfin, pour éliminer le stress et les charges distribuées sur la surface du *tape* (qui créent une interaction avec l'environnement de fabrication) les *tapes* sont mis dans le four à 70°C pendant 30 minutes.

## I. État de l'art de la mise en boîtier des puces MMIC

### I.3.3.2 Création des trous d'alignement, vias et cavités

L'étape de fabrication de LTCC qui suit la découpe des *tapes* est l'étape de création des ouvertures à l'aide d'un faisceau laser. On ajuste la fréquence, la puissance et la vitesse du faisceau laser pour avoir les bonnes dimensions des ouvertures.

La création de trous d'alignement est indispensable pour chaque couche LTCC. Ils sont divisés en trois types. Quatre trous dans les quatre coins de chaque couche, de diamètre 3 mm et servant à bien aligner les couches LTCC. Trois trous en haut à droite et au-dessous du trou au coin, qui servent à donner l'orientation de la couche et de diamètre 0,4 mm. Deux trous de diamètre 0,4 mm, un au milieu du côté droite du *tape* et un au milieu du côté gauche du *tape*, ces deux trous sont utilisés lors de la sérigraphie pour bien aligner le motif à imprimer sur la surface du *tape* (voir figure 18).



Figure 18. *Tape* ESL41010 avec trous d'alignement et trous d'orientation

Simultanément, on crée les vias qui servent à connecter les couches LTCC entre elles si c'est nécessaire, selon la structure du circuit à réaliser. Ils ont un diamètre qui varie entre 80 et 150  $\mu\text{m}$  (après cuisson) et ils ne doivent pas couvrir plus de 30% de la surface utile de la couche LTCC (voir l'annexe 2 pour plus de détails)

Pour créer une cavité, il faut une épaisseur du substrat sous la cavité entre 300 et 400  $\mu\text{m}$  (après cuisson). Comme pour les vias, la création des cavités dépend de la structure du circuit à réaliser.

### I.3.3.3 Remplissage des vias

Après la création des ouvertures, on doit remplir les vias avec un conducteur. Le remplissage se fait par sérigraphie. La sérigraphieuse possède une raclette qui ramène la pâte conductrice sur la surface du *tape*. La pâte conductrice remplit les vias à travers un masque

## I. État de l'art de la mise en boîtier des puce MMIC

réalisé sur un écran. Le conducteur utilisé est le ESL802 de chez Electroscience Laboratory. Il s'agit d'un conducteur en or prévu pour des *tapes* ESL pour le remplissage des vias.

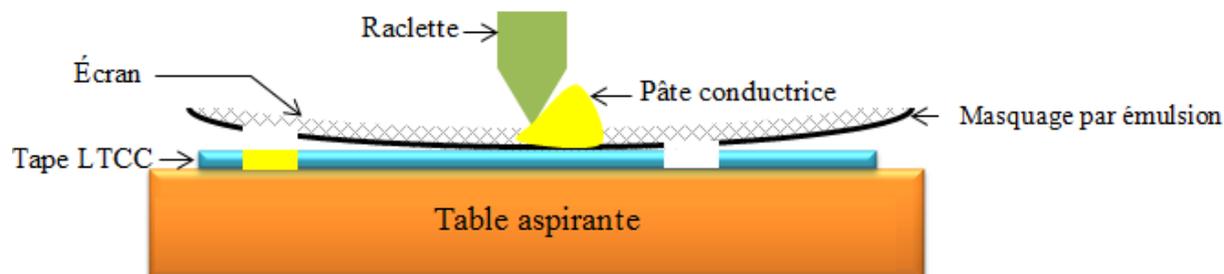


Figure 19. Remplissage des vias par sérigraphie

### I.3.3.4 Sérigraphie des pâtes conductrice/diélectrique

Une fois les vias remplis, on passe à l'étape de sérigraphie des motifs sur la surface des couches à l'aide d'une pâte résistive, conductrice ou diélectrique. La pâte est distribuée sur la surface du *tape* à l'aide de la sérigraphieuse. On utilise la pâte ESL803 (Au) comme pâte conductrice pour la sérigraphie des motifs.

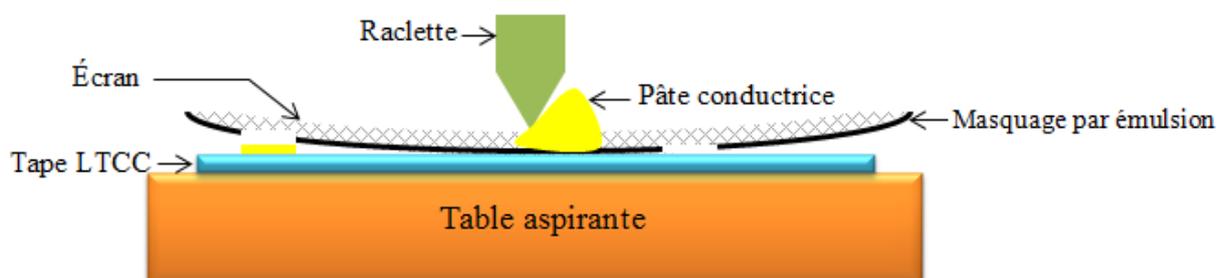


Figure 20. Sérigraphie de la pâte conductrice sur un *tape* LTCC

Il est très utile de connaître les caractéristiques des pâtes à imprimer sur les *tapes* LTCC. Le point de fusion du métal conducteur est un paramètre très important ; il doit être supérieur à la température de cuisson du *tape* LTCC, pour éviter l'écoulement de la pâte et par conséquent garantir la non modification de la structure du circuit réalisé.

Dans la technologie LTCC, les pâtes les plus utilisées sont des pâtes conductrices qui permettent l'intégration des circuits. Le tableau 2 ci-dessous liste quelques types de pâtes conductrices utilisables avec le LTCC. On donne la conductivité qui nous renseigne sur la qualité du conducteur et le point de fusion qui nous informe si c'est utilisable avec le LTCC ou non. Si on compare ces conducteurs, on remarque que l'argent et le cuivre ont une conductivité électrique plus élevée que celle de l'or. L'inconvénient du cuivre est qu'il demande des équipements spécifiques pour éviter l'oxydation. De plus, lors de l'intégration sur le substrat

## I. État de l'art de la mise en boîtier des puces MMIC

LTCC des puces MMIC métallisées avec l'or, il est nécessaire de faire des interconnexions par micro-câblage ou par flip-chip qui utilisent des fils ou des billes en or. Il est donc préférable d'avoir des pistes conductrices en or. L'impact de l'utilisation de deux conducteurs différents est bien expliqué dans la publication [36] : une soudure de deux conducteurs différents se dégrade et vieillit rapidement.

**Tableau 2. Pâtes conductrices pour LTCC**

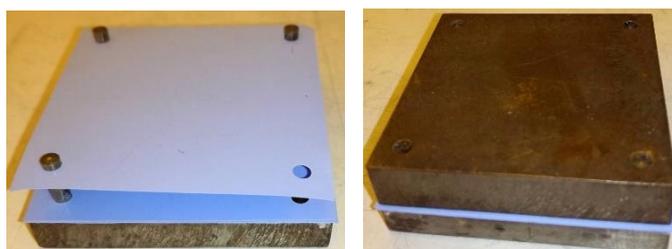
Conducteur	Conductivité (S/m)	Point de fusion (°C)
Argent (Ag) [32]	6,17 x 10 <sup>7</sup>	961
Or (Au) [32]	4,10 x 10 <sup>7</sup>	1063
Cuivre (Cu) [32]	5,8 x 10 <sup>7</sup>	1083

### I.3.3.5 Empilement et laminage

L'empilement et le laminage sont les avant-dernières étapes. L'empilement consiste à superposer les couches LTCC dans le bon ordre et la bonne orientation à l'aide d'un support métallique. Ce support est composé de deux parties : une base avec trois tiges qui servent à empiler les couches LTCC et un capot qui sert à appliquer une petite pression sur l'ensemble des couches empilées.



**Figure 21. Support d'empilement des couches LTCC utilisé au laboratoire**



**Figure 22. Tapes empilés**

## I. État de l'art de la mise en boîtier des puces MMIC

Dans le cas où les *tapes* contiennent des cavités, un *tape* fugitif est placé dans les cavités pour maintenir leur forme et éviter tout écrasement et déformation. L'insertion du *tape* fugitif dans les cavités se fait lors de l'étape d'empilement. Par la suite les quatre coins de l'ensemble des *tapes* empilés doivent être collés à l'aide d'isopropanol. L'ensemble des *tapes* est placé ensuite dans une machine de mise sous vide pour assurer un bon empilement et éviter tout espace d'air entre les couches LTCC.

Le laminage est l'étape qui suit la mise sous vide, elle consiste à mettre l'ensemble des *tapes* entre deux plaques métalliques d'une presse. La température des deux plaques (68°C) et la pression (220 bars) pendant 10 minutes permet le laminage de l'ensemble des couches LTCC. Le laminage produit une structure avec des couches bien collées entre elles : il n'y a pas de gaps d'air entre les couches.

### I.3.3.6 Cuisson

Cette étape consiste à mettre les *tapes* LTCC laminés dans un four. La cuisson se fait sur trois phases principales. La première phase comporte la disparition de matériaux organiques. Dans la deuxième phase, la température monte jusqu'à son maximum (entre 850°C et 875°C). À cette température, les grains de verre sont fondus et remplissent avec la céramique le vide résultant de la disparition des matériaux organiques. Cette action provoque un rétrécissement des *tapes* LTCC. La dernière phase est le refroidissement, dans laquelle la température commence à diminuer jusqu'à la température ambiante. Cette phase permet d'éviter tout choc thermique lorsqu'on sort les *tapes* du four.

## **I.4 Techniques d'interconnexions**

Lors de la mise en boîtier des CIs, une connexion électrique doit être réalisée entre le boîtier et le CI. Ces connexions sont divisées en deux types : micro-câblage et flip-chip. Dans cette section, on définit les différents types de micro-câblage utilisés dans notre laboratoire ainsi que la technologie flip-chip.

### **I.4.1 Micro-câblage**

#### **I.4.1.1 Ball bonding**

Le micro-câblage du type « ball bonding » est basé sur un tube capillaire qui contient un fil conducteur. Le processus d'interconnexion commence par la fusion du bout de ce fil. Cette fusion est faite par un choc électrostatique à l'aide d'une électrode ce qui donne naissance à une bille. La bille sera soudée par la suite sur un des ports du CI par un chauffage, une pression et une vibration ultrasonique pendant une durée bien déterminée. Après la soudure de la bille sur le CI, le tube capillaire est déplacé vers le substrat du boîtier pour souder le fil. Le processus d'interconnexion se termine par la section du fil. Cette technique d'interconnexion est utilisée en technologie de mise en boîtier de type BGA, QFN, SOP et MCM.

À haute fréquence, la taille des CIs ainsi que le pas entre ses ports devient plus petit. Le diamètre de la bille et des fils doit être alors adapté à la taille de la puce et à l'écart entre les plots à connecter au boîtier. La publication [35] montre la réalisation d'une interconnexion de type ball bonding pour des écarts faibles (« fine entraxe » en anglais). La conception est basée sur l'utilisation d'un modèle qui permet de calculer et optimiser trois paramètres qui influent sur le diamètre des billes et des fils : le diamètre de la bille avant qu'elle ne soit soudée, la taille du tube capillaire et les paramètres du processus de soudage (température, pression et vibration ultrasonique).

Le matériau utilisé pour réaliser un ball bonding est un critère très important. Il dépend du matériau des plots de la puce et du boîtier. La connexion entre le fil et les plots doit être fiable face aux différentes contraintes. Une étude de fiabilité du ball bonding dans le cas d'utilisation de matériaux de même type ou non est proposée en [36]. Elle montre que lorsqu'on utilise l'or (Au) comme matériau de fils d'interconnexion et des ports/plots, à une température de 175°C pendant 1000 heures, on a une fiabilité maximale. Par contre, si on utilise un fil de cuivre (Cu)

## I. État de l'art de la mise en boîtier des puces MMIC

et des ports/plots en or, à une température de 175°C, on remarque une dégradation après 200 heures. La dégradation est visible par la décoloration autour de la soudure cuivre, ce qui montre le vieillissement de la soudure et par conséquent une soudure instable. La figure ci-dessous montre les soudures or-or (Au-Au), argent-or (Ag-Au) et cuivre-or (Cu-Au). Il est clair d'après la figure 23 qu'il y a une dégradation de soudure pour argent-or et cuivre-or. Le cas du cuivre-or est le plus dégradé.

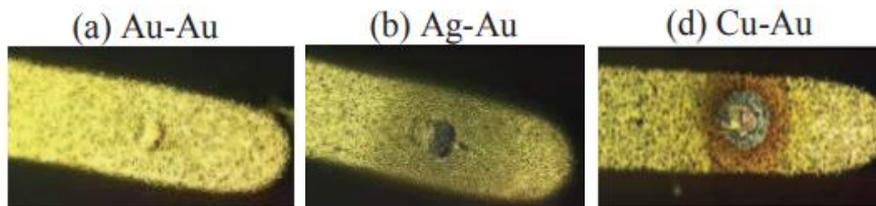


Figure 23. Ball bonding avec liaison Au-Au, Ag-Au et Cu-Au [36] © [2015]

### I.4.1.2 Wedge bonding

Le câblage « wedge bonding » est un autre type de micro-câblage qui ressemble au ball bonding, à la différence que le wedge bonding ne commence pas par la création d'une bille. La création de la connexion commence directement par la soudure du fil sur le CI à l'aide d'une force de pression et par ultrason ou chauffage.

L'avantage du wedge bonding par rapport au ball bonding est que le premier ne fait pas de boucle lors de création de la connexion contrairement au deuxième. Le ball bonding a cependant un avantage important : c'est la rapidité de création de la connexion. En ball bonding, il est possible de créer de 5 à 12 connexions par seconde, et en wedge bonding, de 3 à 6 connexions par seconde [37].

Le wedge bonding de type thermosonique avec un wedge « cross groove » a été utilisé dans un boîtier LTCC en bande D pour interconnecter une antenne GAA (Grid Array Antenna) et une puce MMIC [38]. Des simulations sous HFSS montrent que l'utilisation du wedge bonding en or de longueur 100  $\mu\text{m}$  et de diamètre 25  $\mu\text{m}$  donne un coefficient de réflexion inférieur à -13 dB et un coefficient de transmission supérieur à -1,4 dB de 135 à 155 GHz. La figure 24 montre les simulations sous HFSS et le micro-câblage entre la puce et l'antenne.

## I. État de l'art de la mise en boîtier des puce MMIC

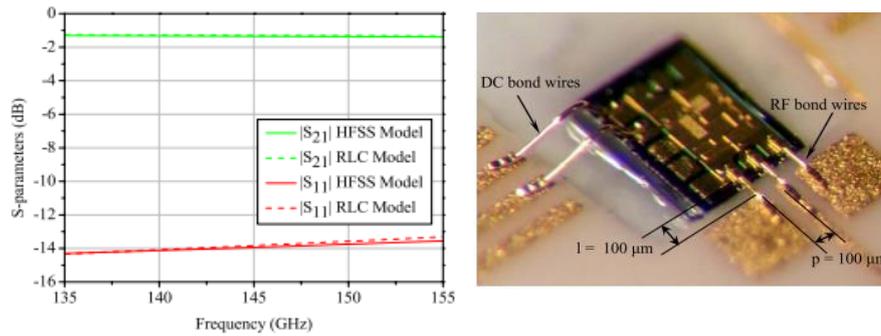


Figure 24. Simulation sous HFSS (à gauche) micro câblage entre la puce MMIC et l'antenne [38] © [2015]

Le wedge bonding a été utilisé également entre 220 et 320 GHz pour la conception et la mise en boîtier dans un guide d'onde WR-3.4 d'une puce MMIC (amplificateur de puissance) [39]. Le wedge bonding permet d'interconnecter l'amplificateur de puissance et une ligne microruban sur un substrat en quartz (voir figure 25).

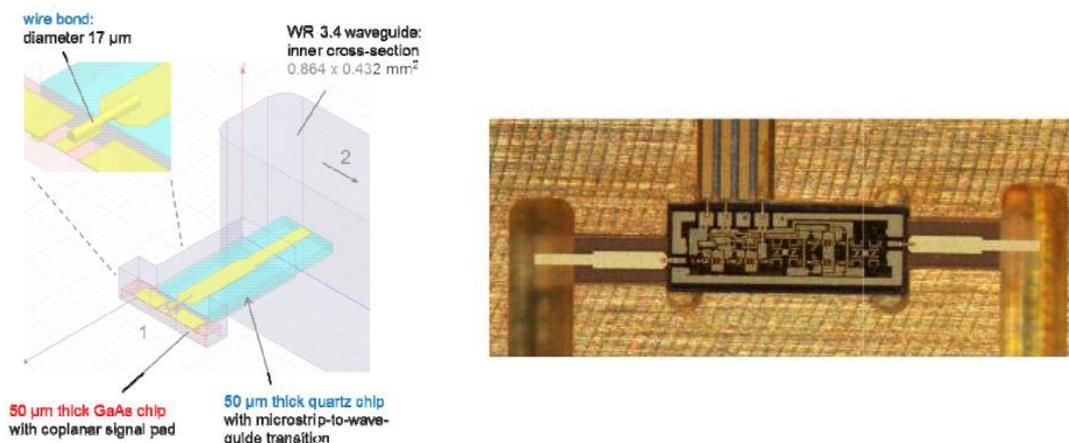


Figure 25. Capture écran de CAD (à gauche) et photo du module de l'amplificateur de puissance (à droite) [39] © [2014]

### I.4.1.3 Ribbon bonding

La technologie d'interconnexion Ribbon bonding représente un troisième type de micro-câblage. Ce type est similaire au wedge bonding: le processus de création de liaison est le même. La différence entre les deux technologies est qu'en ribbon bonding le fil a une largeur importante par rapport au wedge bonding. La section d'un fil de ribbon bonding est rectangulaire alors que la section d'un fil de wedge bonding est circulaire.

La largeur de fil de ribbon bonding est un paramètre qui a une grande influence sur le comportement de l'interconnexion. Pour minimiser la réflexion du signal, la largeur du fil doit

## I. État de l'art de la mise en boîtier des puces MMIC

être la plus grande possible, ce qui nécessite un plot sur la puce plus large. Un plot plus large donne naissance à une capacité parasite plus grande et donc une désadaptation d'impédance. Par conséquent, on doit choisir une largeur de fil qui préserve une bonne adaptation [40].

Plusieurs études ont été menées pour comparer les différents types de micro-câblage comme la mise en boîtier QFN d'une puce GaAs conçue à 60 GHz où sont utilisées les deux techniques d'interconnexions wedge bonding et ribbon bonding [41]. La comparaison est faite entre cinq configurations d'interconnexions. La figure 26 (ci-dessous) montre les cinq configurations étudiées : (a) l'accès « signal » est connecté par deux fils wedge bonding avec une seule liaison à la masse, (b) l'accès « signal » est connecté par un fil ribbon bonding avec une seule liaison à la masse, (c) l'accès « signal » est connecté par un fil ribbon bonding et les accès « masse » sont connectés par un fil wedge bonding avec deux connexions à la masse, (d) l'accès « signal » est connecté par deux fil wedge bonding et les accès « masse » sont connectés par un fil wedge bonding avec deux liaisons à la masse, (e) l'accès « signal » et les accès « masse » sont connectés par un fil ribbon bonding avec deux liaisons à la masse. Les longueurs des fils wedge bonding et ribbon bonding sont respectivement 375  $\mu\text{m}$  et 465  $\mu\text{m}$ . La largeur et l'épaisseur de fils du ribbon bonding sont respectivement 75  $\mu\text{m}$  et 15  $\mu\text{m}$ , ces dimensions permettent d'avoir un ROS (Rapport d'Onde Stationnaire) de 1,28. Tous les fils sont en or.

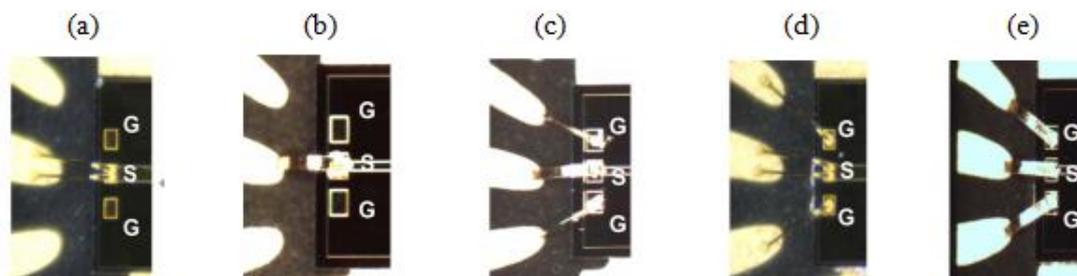


Figure 26. Cinq types de micro câblage [41] © [2014]

La mesure du coefficient de transmission des cinq types de micro-câblage montre que (c), (d) et (e) ont des pertes inférieures à celles de (a) et (b) ce qui veut dire que l'utilisation de deux liaisons à la masse permet d'améliorer le montage par la réduction des pertes. Si on compare les courbes de mesure des pertes des types (c), (d) et (e), on voit qu'elles sont confondues jusqu'à 40 GHz. Entre 40 et 55 GHz, le type (e) a des pertes inférieures à (c) et (d). Pour les fréquences supérieures à 55 GHz, le type (d) est le meilleur.

La longueur de la liaison ribbon bonding ainsi que l'écart entre les liaisons ont aussi un effet sur les caractéristiques de la transmission comme le montre l'étude en [42], dans la bande W, sur l'interconnexion ribbon bonding entre deux lignes de transmissions coplanaires (CPW) implémentées sur un substrat  $\text{LiNbO}_3$  et un substrat LTCC respectivement. Les

## I. État de l'art de la mise en boîtier des puces MMIC

simulations effectuées montrent que plus la liaison ribbon bonding ainsi que le pas entre les liaisons sont petits, plus les caractéristiques de transmission sont meilleures. Des simulations de la transition ligne-liaison-ligne sont faites pour optimiser les paramètres de l'interconnexion qui offrent les meilleurs résultats. Après fabrication, les mesures de la transition montrent une bonne concordance avec les simulations. Une longueur d'interconnexion ribbon bonding de 180  $\mu\text{m}$  et un pas de 100  $\mu\text{m}$  donnent un coefficient de réflexion inférieur à -10 dB et un coefficient de transmission supérieur à -2,5 dB.

Une comparaison entre l'interconnexion ribbon bonding et ball bonding est également nécessaire comme présentée en [43]. Ces deux technologies sont comparées dans le cas d'une interconnexion entre un boîtier LTCC et une puce sur substrat Si (silicium) en bande W. Cette étude se base sur des simulations HFSS (High Frequency Structure Simulator) qui montrent que le ribbon bonding est meilleur que le ball bonding en réflexion et en transmission. Le ball bonding introduit une inductance parasite élevée qui dégrade l'adaptation. Pour améliorer l'interconnexion de type ball bonding, on doit raccourcir la longueur de la liaison et créer plusieurs liaisons parallèles à la place d'une seule [43]. On peut également travailler les plots sur le substrat et sur les puces pour prendre en compte le câblage.

### **I.4.2 Flip-chip**

La technologie d'interconnexion par flip-chip représente une connexion directe entre le CI et le substrat du boîtier. L'interconnexion est réalisée à travers des billes soudées sur les ports du CI. Dans notre laboratoire, la création des billes sur les CIs pour réaliser un montage flip-chip est faite par la machine de micro-câblage tout en utilisant un programme spécifique de la machine. Les billes créées avec les paramètres standards ont un diamètre de 80  $\mu\text{m}$ . L'interconnexion est réalisée à l'aide de la température et d'une force de pression choisies en fonction du nombre de billes ainsi que de leurs poids. La température est appliquée par l'échauffement du support du substrat et la force est appliquée par la tête amovible sur le CI.

## I. État de l'art de la mise en boîtier des puces MMIC

La figure 27 ci-dessous montre la machine flip-chip du laboratoire ainsi qu'un exemple de montage d'une puce GaAs sur un substrat LTCC.

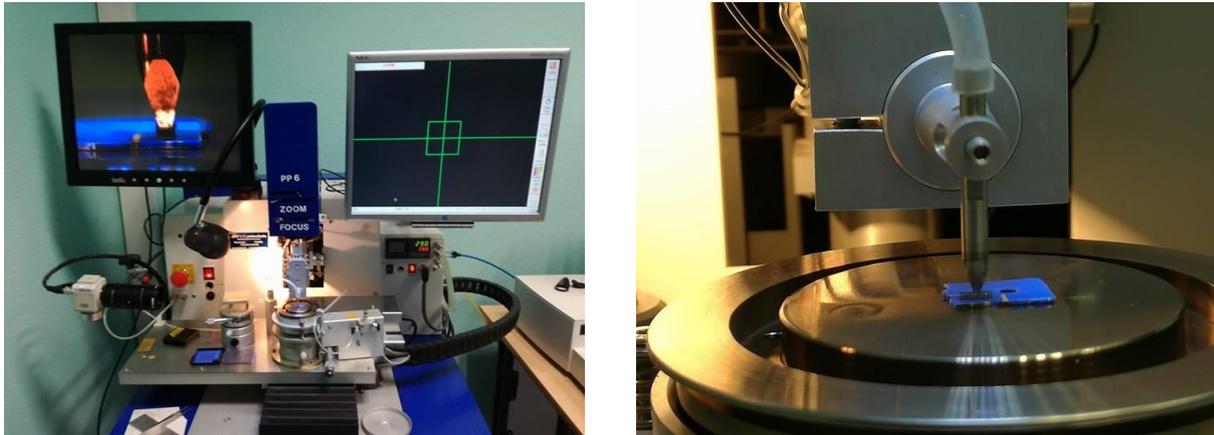


Figure 27. Machine flip-chip disponible au laboratoire

Une interconnexion de type flip-chip est souvent utilisée pour le montage de puces conçues pour les hautes fréquences, comme dans l'exemple [44] à 300 GHz. La technologie de mise en boîtier utilisée est le LTCC avec une puce MMIC (récepteur) intégrant en surface une antenne dipôle. La puce est positionnée dans le boîtier LTCC avec une antenne lentille en silicium sur la surface (voir figure 28).

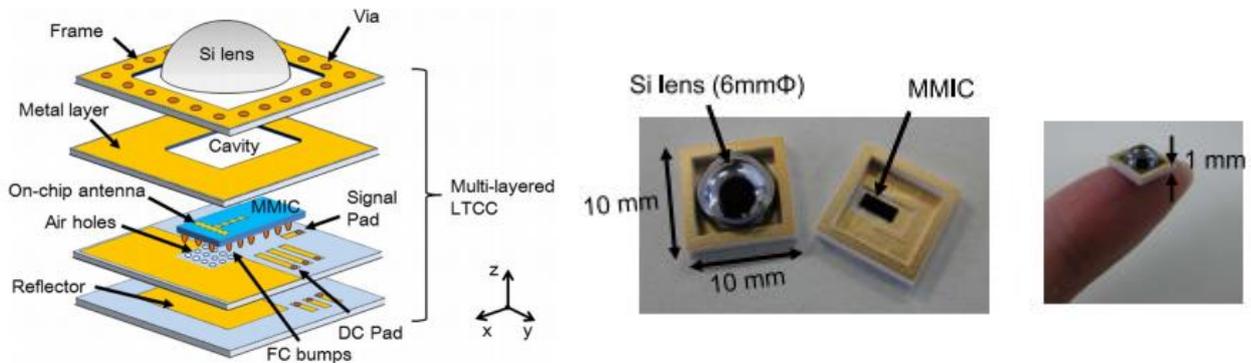


Figure 28. Boîtier LTCC avec le récepteur MMIC et l'antenne lentille [44] © [2016]

Le montage flip-chip peut être utilisé jusqu'à des fréquences de 500 GHz comme le montre la faisabilité du montage d'une puce stripline [45]. La mesure montre que le flip-chip offre des coefficients de réflexion et de transmission de -18 dB et -5 dB respectivement à 500 GHz.

## **I.5 Conclusion**

On a présenté dans ce premier chapitre un état de l'art des différentes technologies de mise en boîtier pour les hautes fréquences, la technologie LTCC, les différentes technologies d'interconnexions et les moyens de connexion vers l'extérieur.

Dans une première partie, nous avons présenté quelques technologies d'encapsulation comme BGA, QFN, SIP, CSP, SOP, boîtier métallique, MCM-L, MCM-D et MCM-C (HTCC et LTCC). Ces technologies sont utilisées pour les bandes de fréquences V, E, W, D et même au-delà de 300 GHz.

Dans une deuxième partie, nous avons présenté la technologie de mise en boîtier LTCC. Nous avons décrit les étapes de réalisation du substrat puis de fabrication à partir des *tapes* disponibles commercialement.

Dans une troisième et dernière partie, nous avons présenté les différentes technologies d'interconnexions entre le CI et son boîtier ou entre les CIs intégrés dans un même boîtier. Nous avons présenté trois types de micro-câblage (ball bonding, wedge bonding et ribbon bonding) et la technologie flip-chip et discuté de leurs avantages et inconvénients respectifs, en particulier pour un fonctionnement en bande D et au-delà.

Après cet état de l'art, la mise en boîtier des puces MMIC à l'aide de la technologie LTCC fait l'objet du chapitre qui suit.

# **II. Report de puces MMIC sur substrat LTCC**

TABLE DES MATIÈRES CHAPITRE II:

---

II. Report de puces MMIC sur substrat LTCC

II.1 Introduction

II.2 Report et interconnexion de puces MMIC sur substrat LTCC

II.2.1 Report et interconnexion de puces MMIC coplanaires

II.2.2 Report et interconnexion de puces MMIC microruban

II.3 Conclusion

## II.1 Introduction

Les puces MMIC sont des circuits intégrés sur substrat semi-conducteur (Si, GaAs, GaN, InP) conçus pour des applications à hautes fréquences couvrant les bandes UHF/VHF à EHF (300 MHz à 300 GHz). Ces circuits sont dédiés à la génération de signaux, la transposition ou le mélange de fréquence, l'amplification de puissance, l'amplification faible bruit, la multiplication de fréquence, ... La surface des puces est généralement inférieure à quelques millimètres carrés, selon la fréquence de travail. La technologie MMIC offre une très bonne reproductibilité des performances électriques, dans la limite des dispersions technologiques. Les accès d'entrée(s) et de sortie(s) des puces sont le plus souvent adaptés à 50 ohms, afin de permettre leur association dans un système radio sans besoin de réseaux d'adaptation entre puces [46].

Ce deuxième chapitre présente le report sur substrat LTCC de puces MMIC simples constituées de lignes coplanaires et microrubans, dans les bandes V et D. L'objectif est de choisir une technique d'interconnexion entre les puces et le substrat. Un travail préliminaire a été effectué sur des puces en bande V afin de prendre en main les outils de fabrication du substrat LTCC et la machine de report en flip-chip. A la suite de ce travail, le choix de l'interconnexion s'est porté sur la technique flip-chip et ce, pour la bande D.

## **II.2 Report et interconnexion de puces MMIC sur substrat LTCC**

La mise en boîtier, ou dans notre cas le report sur substrat, d'une puce MMIC représente l'étape ultime dans le processus de fabrication du circuit. En préliminaire à cette étape, il est indispensable de disposer d'une technologie d'interconnexion ou d'assemblage qui permet de relier l'ensemble des plots d'accès (RF et DC) sur la puce aux connexions qui sont associées au boîtier ou au substrat, tout en conservant les performances intrinsèques de la puce avant assemblage.

La publication [47] illustre la problématique de nos travaux avec l'intégration d'un module front-end 60 GHz sur un substrat LTCC monté par la suite sur un PCB. Dans ce travail, il y a deux versions du module front-end 60 GHz : la première version est basée sur des puces MMIC SiGe et la deuxième version est basée sur des puces MMIC GaAs. Ces modules comportent les fonctions suivantes : multiplicateur, mélangeur, amplificateur faible bruit et amplificateur de puissance. L'objectif de ce travail est d'intégrer ces deux versions sur un substrat LTCC, incluant une solution de refroidissement de l'amplificateur de puissance à travers le LTCC et de comparer les deux versions par des simulations et des mesures. La comparaison montre la bonne fonctionnalité des deux versions sachant que le module GaAs présente un facteur de bruit plus faible et le module SiGe a une puissance à dissiper plus faible (1 W) que celui en GaAs (3 W), et donc une température à refroidir plus faible. Le substrat LTCC utilisé est le Dupont-943 de permittivité relative 7,54 à 60 GHz (très proche de celle du substrat ESL 41020 utilisé dans notre projet et dont la permittivité est 7,3 dans la bande D). Les puces sont interconnectées sur le substrat LTCC par micro-câblage pour les deux versions, la connexion entre le module LTCC et le PCB étant réalisée par des connecteurs SMP. Les puces sont collées sur le substrat LTCC par une colle thermoconductrice spéciale dans le but d'améliorer la dissipation thermique. Pour évacuer la chaleur, des vias remplis d'or à travers le substrat LTCC sont placés sous l'amplificateur de puissance. Ces vias sont connectés à un radiateur placé sous le substrat LTCC.

Dans notre cas, l'interconnexion entre la puce et le substrat sera nettement plus critique compte-tenu de la fréquence de travail. Par contre, la partie thermique semble être possible à transférer directement vers la bande D.

Le report des puces MMICs sur le substrat LTCC nécessite la réalisation de lignes d'accès, notamment en RF, sur ce dernier ainsi qu'une technique d'interconnexion entre les puces et ces

## II. Report de puces MMIC sur substrat LTCC

lignes. La suite de ce chapitre présente le travail effectué pour concevoir et réaliser des transitions en bande D, qui sont de type coplanaire, afin de pouvoir effectuer des mesures sous pointes de l'assemblage « puce sur substrat », mais aussi de choisir la technique d'interconnexion entre la puce et le substrat LTCC.

Le choix du matériau LTCC est lié au projet dans lequel s'intègre la thèse puisqu'il s'agit d'une collaboration avec un industriel dont l'objectif est d'obtenir un produit commercialisable. Nous avons retenu le matériau LTCC ESL 41020 qui a des caractéristiques diélectriques très proches des matériaux utilisés dans l'industrie, à savoir une permittivité relative de 7,3 et une tangente de pertes de 0,013 en bande D. Ces valeurs ont été obtenues par des mesures effectuées, sur un substrat de six couches d'ESL 41020, selon la technique présentée en [48] et dont le banc de caractérisation est disponible au laboratoire. La mesure des coefficients de transmission et de réflexion entre deux antennes cornet, entre lesquelles est placé le substrat, permet d'extraire les caractéristiques du matériau sous test (voir figure 29).

Cependant, le choix de ce matériau va augmenter les contraintes de fabrication du fait des dimensions des circuits, liées à la longueur d'onde qui seront d'autant plus faibles que la permittivité du matériau est élevée.

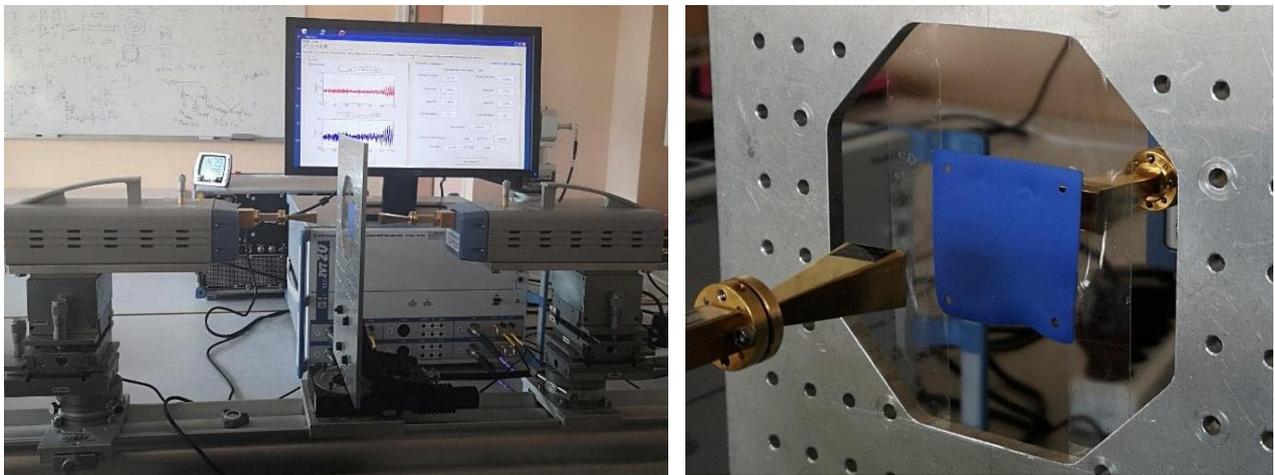


Figure 29. Mesure et extraction des caractéristiques de l'ESL 41020 dans la bande D

### II.2.1 Report et interconnexion de puces MMIC coplanaires

Cette section présente le report et l'interconnexion sur un substrat LTCC de puces MMIC simples constituées de différentes formes de ligne coplanaire et conçues pour fonctionner jusqu'à

## II. Report de puces MMIC sur substrat LTCC

60 GHz (bande V). Le but de ce travail est de prendre en main la réalisation d'un substrat LTCC et la technique d'interconnexion flip-chip utilisée pour le montage des puces.

### II.2.1.1 Puces MMIC « lignes coplanaires »

Toutes les puces sont fabriquées sur un substrat GaAs d'épaisseur 620  $\mu\text{m}$ , de métallisation or d'épaisseur 1,25  $\mu\text{m}$ . Elles sont fournies avec des billes en or formées par électrodéposition par la fonderie OMMIC. Ces billes vont permettre le montage Flip-Chip. Les accès entrée et sortie des puces sont des lignes « taper » 50  $\Omega$ .

La puce (L2) de la figure 30 comporte deux lignes coplanaires qui diffèrent en entrée-sortie : la ligne à gauche a des plots sur lesquels sont placées les billes et la ligne à droite ne possède pas de plots et les billes sont directement placées sur la ligne. La ligne à gauche a une longueur de 795  $\mu\text{m}$ , un gap de 6  $\mu\text{m}$  et une largeur du ruban central de 15  $\mu\text{m}$  (impédance caractéristique 40  $\Omega$ ). La ligne de droite a une longueur de 576  $\mu\text{m}$ , un gap de 3  $\mu\text{m}$  et une largeur de ligne centrale de 10  $\mu\text{m}$  (impédance caractéristique 35  $\Omega$ ).

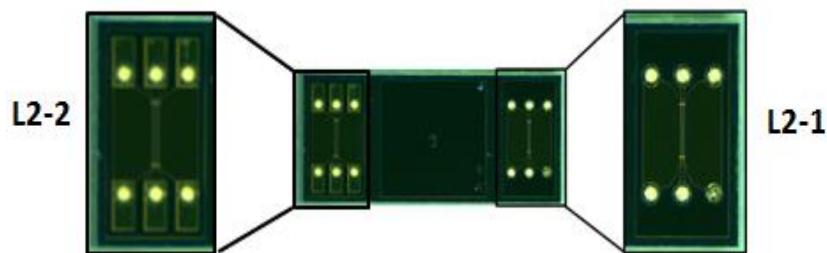


Figure 30. Puce MMIC (L2) de deux lignes coplanaires

### II.2.1.2 Report et interconnexion

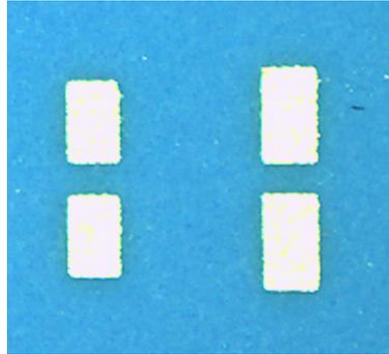
Le report sur substrat LTCC de la puce présentée précédemment nécessite la fabrication du support LTCC puis le montage de cette puce à l'aide d'une technique d'interconnexion. Les deux paragraphes qui suivent décrivent en détail ces deux étapes.

#### II.2.1.2.1 Fabrication du support LTCC

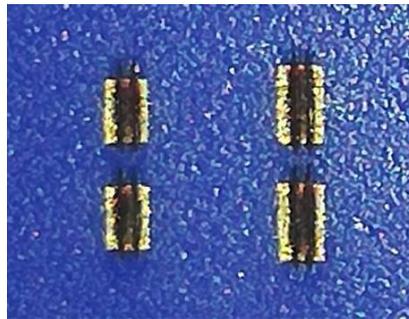
Puisque les puces qui vont être montées sur la surface du substrat LTCC sont des lignes coplanaires simples, cinq couches d'ESL 41020 suffisent. D'après les règles de conception LTCC, pour un montage simple qui ne nécessite pas de via ni de cavité, on peut utiliser un minimum de couches LTCC, soit cinq pour éviter une fragilité mécanique.

## II. Report de puces MMIC sur substrat LTCC

Le montage des puces nécessite des accès coplanaires sur le substrat de report LTCC et ces accès sont dimensionnés pour être adaptés à  $50 \Omega$ . Pour les réaliser, des pistes en or sont imprimées sur la surface supérieure du substrat (voir figure 31). Ces pistes sont ensuite divisées en trois parties par ablation laser pour former la ligne coplanaire. Les accès qui en résultent ont un gap de  $30 \mu\text{m}$  et une largeur du ruban central de  $100 \mu\text{m}$ , correspondant à une impédance de l'ordre de  $50 \Omega$  (voir figure 32).



**Figure 31. Support LTCC fabriqué pour le montage de la puce L2**



**Figure 32. Support LTCC après ablation avec le laser**

### II.2.1.2.2 Interconnexion entre les puces MMIC et le support LTCC

Pour monter les puces MMIC « lignes coplanaires » sur leur substrat LTCC, le Flip-Chip en mode thermocompression a été utilisé comme technique d'interconnexion. Cette technique est caractérisée par une soudure directe entre les billes sur les puces et les pistes d'or sur le substrat LTCC. Pour ce faire, les paramètres de la machine Flip-Chip utilisés sont : une température de  $400^\circ\text{C}$  et une force de  $50 \text{ g}$  par bille pour une durée d'une minute. La figure 33 ci-dessous montre les puces des lignes coplanaires montées sur leur substrat LTCC ESL 41020.

## II. Report de puces MMIC sur substrat LTCC

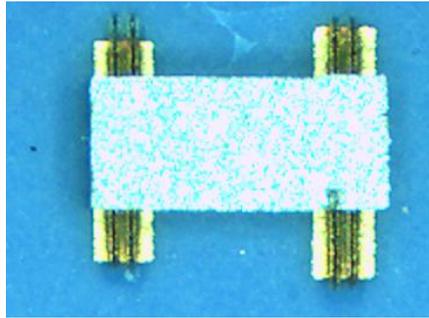


Figure 33. Puce MMIC (L2) intégrée sur un substrat LTCC

### II.2.1.3 Simulations et mesures en bande V

La puce (L2) est simulée et mesurée, avant et après montage sur le substrat LTCC, par ADS Momentum (Advanced Design System) et CST (Computer Simulation Technology).

Les simulations et la mesure de la ligne L2-1 de la puce L2 (voir figure 30) vont être présentées et comparées comme exemple dans la suite de ce paragraphe. Cette comparaison va nous conduire à choisir le simulateur qui sera utilisé pour la suite de la thèse.

Une autre comparaison sera faite entre les simulations et les mesures des puces seules et des puces montées sur le substrat LTCC dans le but de voir l'effet de l'interconnexion sur leurs performances.

Les courbes ci-dessous montrent la simulation et le mesure de la ligne L2-1 avant et après le montage sur le substrat LTCC dans la bande V (voir figures 34 et 35).

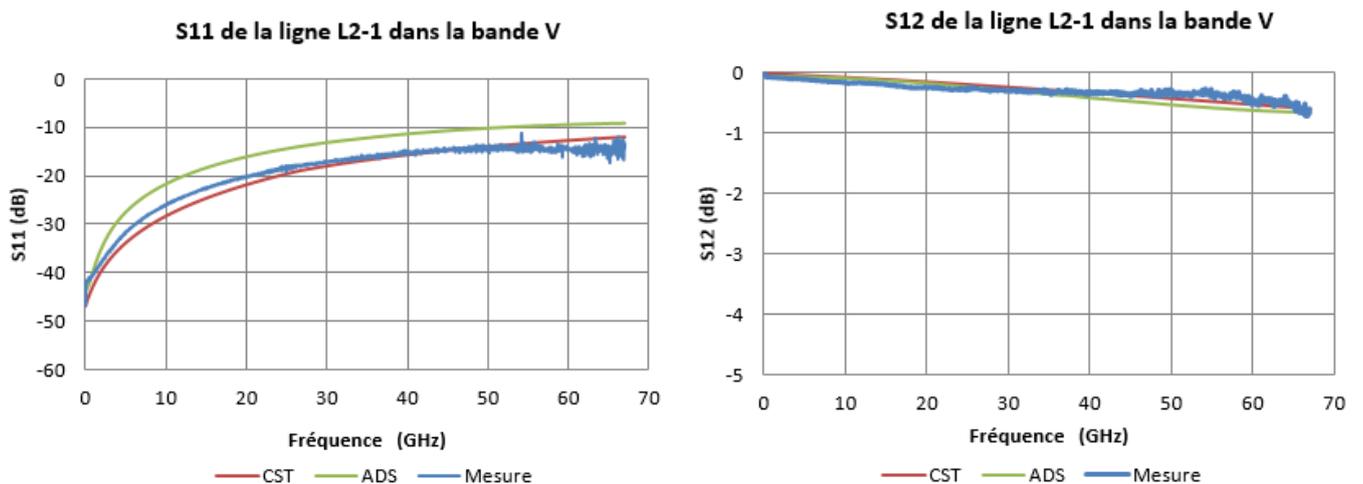
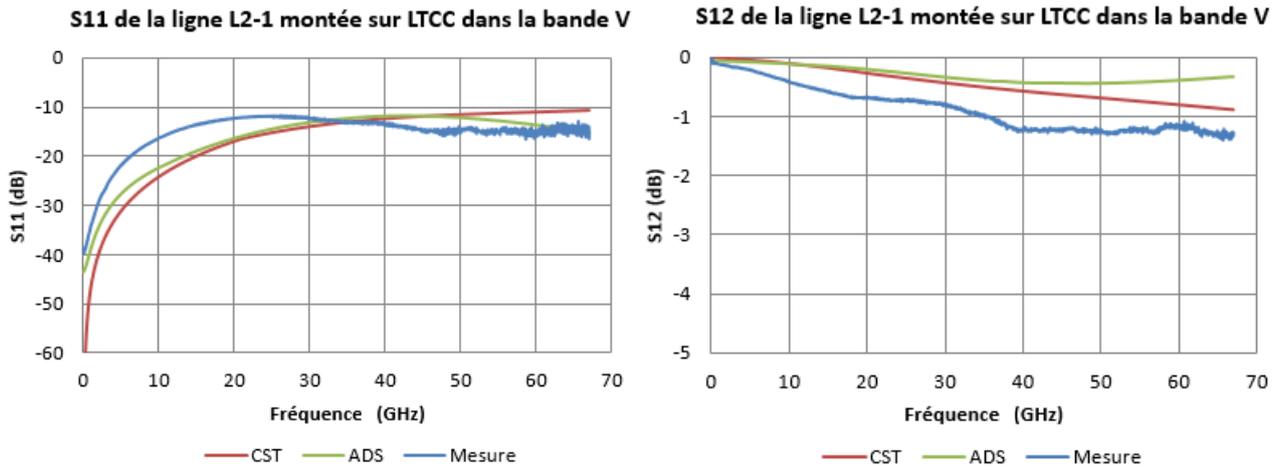


Figure 34. Mesure et simulation sous CST et ADS Momentum des paramètres S de la ligne L2-1 de la puce L2 avant l'intégration sur le substrat LTCC

## II. Report de puces MMIC sur substrat LTCC



**Figure 35. Mesure et simulation sous CST et ADS Momentum des paramètres S de la ligne L2-1 de la puce L2 après l'intégration sur le substrat LTCC**

En observant les courbes présentées sur la figure 34 (puce seule), on remarque une bonne concordance entre les simulations et la mesure. Pour la puce reportée sur le substrat, les courbes de la figure 35 montrent que la concordance entre les simulations et la mesure est moins bonne.

En comparant les simulations à la mesure de la puce seule (figure 34), nous observons que la simulation de  $S_{11}$  sous CST est plus proche de la mesure que la simulation sous Momentum. Pour la transmission ( $S_{12}$ ), les simulations et la mesure sont presque identiques.

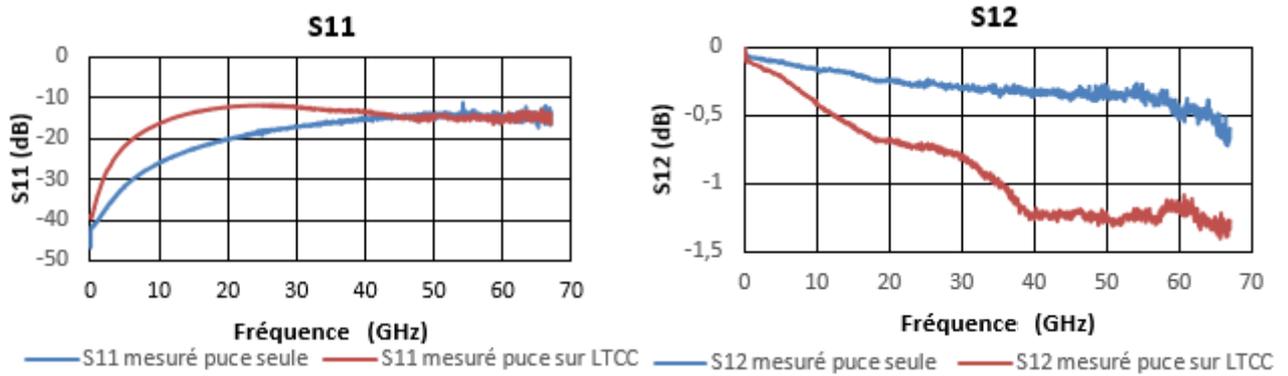
Les simulations et la mesure (figure 35) de la puce montée sur le substrat LTCC montrent que :

- en réflexion :  $S_{11}$  simulé sous CST et Momentum est relativement proche de la mesure (allure similaire mais avec une désadaptation plus importante en mesure en dessous de 30 GHz).
- en transmission : la courbe de  $S_{12}$  obtenue sous CST suit l'allure de la mesure sur toute la bande avec un écart de l'ordre de 0,5 dB tandis que la courbe de simulation sous Momentum s'en écarte à partir de 40 GHz.

Au regard des figures 34 et 35, nous avons choisi le logiciel CST pour les simulations dans la suite de ce travail (voir annexe 3). La technique de simulation de CST basée sur le maillage 3D de l'ensemble des matériaux de la structure, par rapport au maillage 2D des parties conductrices dans ADS/Momentum, semble a priori mieux adaptée à notre application [49] [50].

L'effet de l'interconnexion sur les performances de la puce peut être analysé à partir des courbes de la figure 36 qui donne les paramètres S de la puce seule et de la puce montée sur le substrat LTCC.

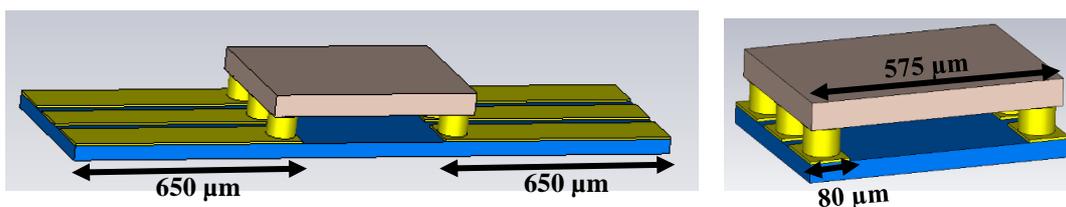
## II. Report de puces MMIC sur substrat LTCC



**Figure 36. Mesure des paramètres S de la ligne L2-1 de la puce L2 avant et après l'intégration sur le substrat LTCC**

Les courbes du coefficient de réflexion, avant et après l'intégration de la puce sur le substrat LTCC, montrent une adaptation inférieure à -10 dB sur toute la bande pour les deux cas. L'interconnexion a dégradé le  $S_{11}$  jusqu'à 40 GHz et à partir de 45 GHz les deux courbes se confondent.

Les courbes des coefficient de transmission, avant et après l'intégration de la puce sur le substrat LTCC, montrent des pertes maximales à 67 GHz de 0,7 dB pour la puce seule et de 1,3 dB pour la puce montée sur LTCC. Avec  $|S_{11}| = -10$  dB (max), on obtient pour un circuit passif sans pertes  $|S_{21}| = -0,45$  dB, ce qui permet d'estimer les pertes totales des deux transitions (accès coplanaires sur substrat + billes) à 0,6 dB à 67 GHz ce qui est cohérent avec la comparaison des mesures puce seule et puce montée sur substrat. En déduisant les pertes de l'accès coplaire prolongé (0,25 dB environ par simulation CST), une seule interconnexion (billes + plots coplanaires au plus court) donne des pertes inférieures à 0,1 dB environ (voir figure 37).



**Figure 37. Montage de la puce sur LTCC : interconnexion avec lignes coplanaires prolongées (à gauche)  
Interconnexion avec des courtes lignes coplanaires (à droite)**

Pour comparaison, on peut citer la publication [51] axée sur la mise en boîtier WLCSP (Wafer Level Chip Scale Package) d'une puce MMIC d'un LNA par la technique d'interconnexion flip-chip. Les simulations et les mesures sont faites entre 66 GHz et 91 GHz. Les pertes rajoutées à la puce après l'intégration sur le PCB sont de 1,5 dB dont 0,6 dB proviennent des lignes coplanaires prolongées et 0,9 dB proviennent des interconnexions. Donc,

## II. Report de puces MMIC sur substrat LTCC

après la mise en boîtier, les pertes par interconnexion sont de 0,45 dB à 66 GHz. Cette valeur est sensiblement plus élevée que celle de notre résultat.

La publication [52] est un autre exemple qui donne la comparaison entre deux amplificateurs de puissance MMIC pour la bande V, le premier utilise des lignes microruban et le deuxième des lignes CPWG. Les pertes rajoutées après l'intégration par flip-chip sur un substrat pour le second amplificateur (CPWG) est de 0,5 dB, c'est-à-dire 0,25 dB par interconnexion soit une valeur de même ordre de grandeur que celle obtenue dans notre cas.

### II.2.2 Report et interconnexion des puces MMIC microruban

Dans cette section, le travail concerne des puces MMIC simples constituées de lignes microrubans. Ce type de puces (microruban) est similaire aux puces qui vont former le module envisagé dans cette thèse. Les essais de report de ces puces sur un substrat LTCC nous permet d'étudier et valider le report des puces actives qui seront montées par la suite dans le module. Dans le paragraphe qui suit nous présentons les différentes puces utilisées.

#### II.2.2.1 Puces MMIC « lignes microruban »

Toutes les puces avec des lignes microruban sont fabriquées sur un substrat en GaAs d'épaisseur 50  $\mu\text{m}$  avec une métallisation or (plan de masse, plots et ligne) d'épaisseur 3  $\mu\text{m}$ . Les accès d'entrée et sortie sont des plots sous forme coplanaire pour pouvoir les mesurer avec une station sous pointes et sont adaptés à 35  $\Omega$  tandis que la ligne microruban qui relie ces accès est adaptée à 50  $\Omega$ .

La puce 1 donnée sur la figure 38 est caractérisée par une longueur de ligne 1150  $\mu\text{m}$  avec une impédance caractéristique de 50  $\Omega$ . L'entrée et la sortie de la puce sont formées chacune par une ligne coplanaire caractérisée par une largeur de ligne centrale de 58  $\mu\text{m}$  et un gap de 41  $\mu\text{m}$  ce qui donne une impédance caractéristique de 35  $\Omega$ .

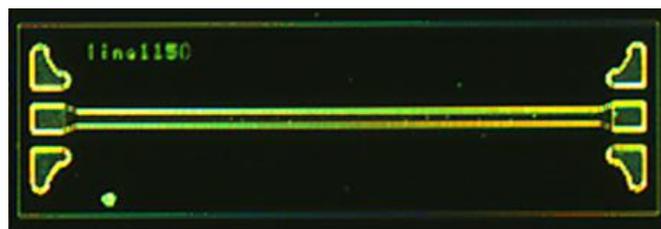


Figure 38. Puce 1 d'une ligne microruban

## II. Report de puces MMIC sur substrat LTCC

Les plots de masse sont connectés au plan de masse dans la face arrière par des vias à travers le substrat (voir figures 39 et 40).

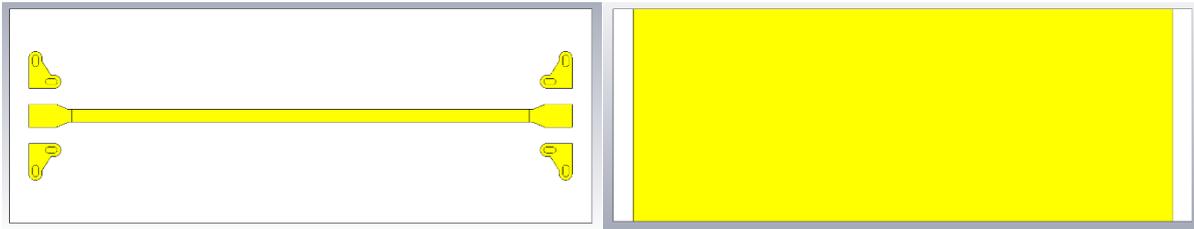


Figure 39. Layout de la face avant (gauche) et la face arrière (droite) de la puce

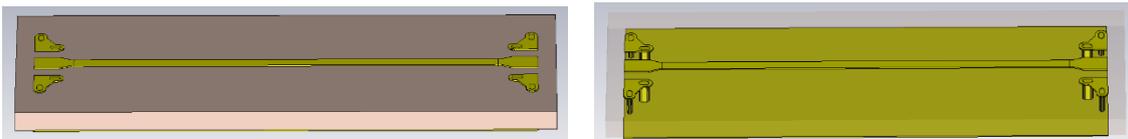


Figure 40. Vue 3D (sous CST) de la puce (gauche) et de la métallisation de la puce (droite)

### II.2.2.2 Contraintes présentées par les puces MMIC « lignes microruban »

La puce décrite dans le paragraphe précédent présente cinq contraintes majeures qui créent la plus grande problématique dans ce travail de thèse.

#### II.2.2.2.1 Impédance des accès d'entrée et de sortie des puces

La première contrainte est liée à l'impédance des accès coplanaires d'entrée et de sortie qui est, comme évoqué précédemment, égale à  $35 \Omega$ . Avec cette impédance, même si les puces peuvent être mesurées avec la station sous pointes dont les pointes sont adaptées à  $50 \Omega$ , on ne peut pas déduire directement des paramètres S les pertes intrinsèques de la puce : les pertes obtenues sont liées aussi à la désadaptation des puces. Pour monter les puces sur le substrat LTCC, il est nécessaire de concevoir un réseau d'adaptation d'impédance sur le substrat LTCC.

#### II.2.2.2.2 Taille des plots des puces

La deuxième contrainte est la taille des plots d'accès : le plot central a une largeur de  $58 \mu\text{m}$  et une longueur de  $69 \mu\text{m}$ . Les plots de masse ont une largeur chacun de  $54 \mu\text{m}$  et une longueur de  $41 \mu\text{m}$  si on ne prend en compte que la partie qui ne contient pas les vias (c'est la partie du plot utilisable pour faire l'interconnexion). Le gap entre le plot central et les plots de masse est de  $41 \mu\text{m}$  (voir figure 41).

## II. Report de puces MMIC sur substrat LTCC

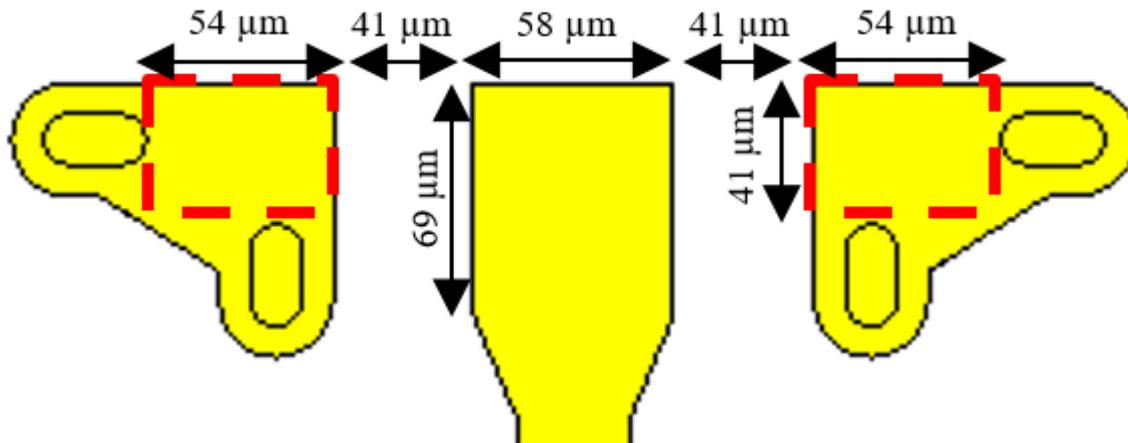


Figure 41. Taille des plots en entrée et sortie de la puce

Si on veut monter cette puce par la technique du flip-chip, nous devons tout d'abord créer des billes sur chaque plot pour interconnecter la puce et le substrat LTCC. La création de ces billes est faite à l'aide de la machine micro-câbleuse dont le diamètre normal des billes créées est de  $80\ \mu\text{m}$ . Avec les dimensions des plots de la puce (données sur la figure 41), une bille de diamètre  $80\ \mu\text{m}$  sur chaque plot va créer un court-circuit entre les plots de masse et le ruban central compte-tenu des différentes dimensions. Le problème est illustré sur la figure 42.

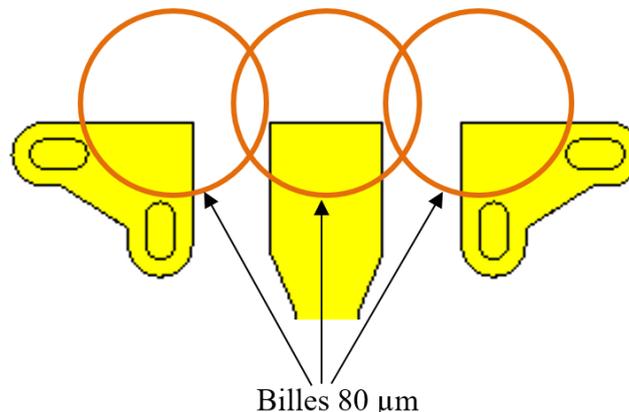


Figure 42. Les billes de diamètre  $80\ \mu\text{m}$  placés sur les plots de la puce

La taille des plots présente aussi des limitations pour un montage par micro-câblage. A titre d'illustration, on prend l'exemple de deux lignes coplanaires adaptées à  $50\ \Omega$  sur le même substrat (le LTCC ESL 41020 par exemple) que l'on souhaite interconnecter par micro-câblage (voir figure 43). On va s'intéresser au micro-câblage du type « wedge bonding » vu sa faisabilité par rapport au « ball bonding » et « ribbon bonding » en termes de largeur qui est adaptée à celle des plots de la puce. Notre micro-câbleuse utilise un fil de diamètre de  $25\ \mu\text{m}$ , mais nous avons simulé sous ADS à partir des modèles de la bibliothèque (voir figure 43) des interconnexions entre les puces coplanaires avec des fils dont le diamètre est supérieur ou égal à  $25\ \mu\text{m}$  afin de

## II. Report de puces MMIC sur substrat LTCC

mettre en évidence leur effet. La figure 44 présente les paramètres S obtenus (réflexion et transmission). La longueur du micro-câblage choisie dans les simulations représente la longueur la plus courte réalisable d'après nos tests.

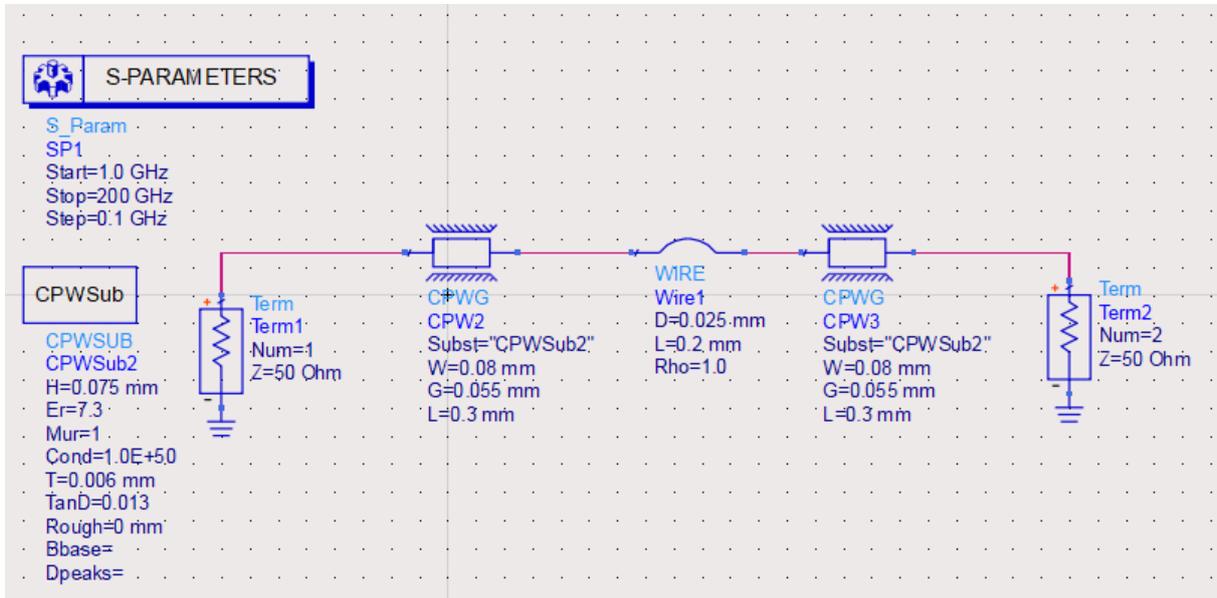


Figure 43. Circuit de deux lignes coplanaires interconnectées par micro-câblage

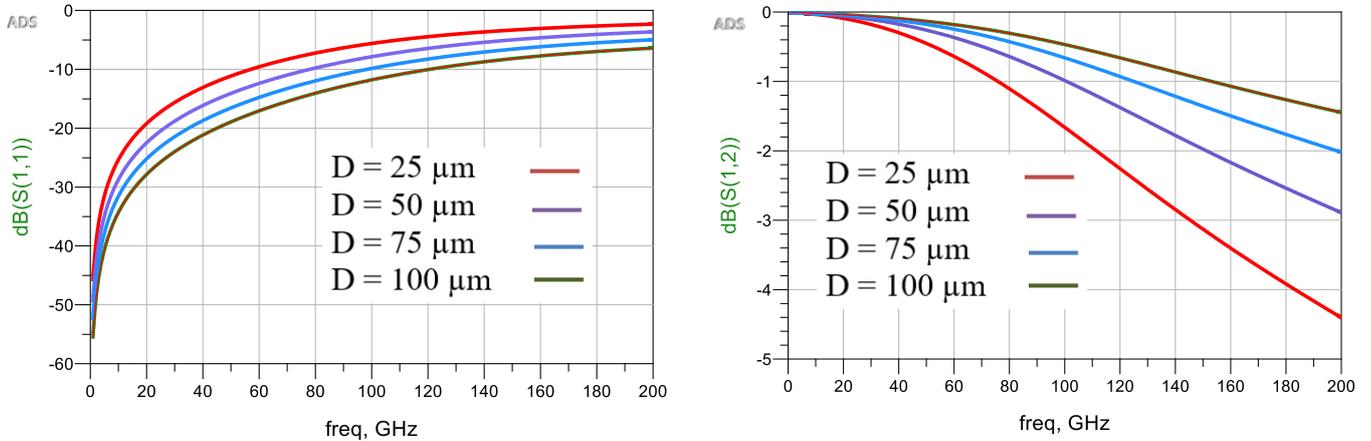


Figure 44. Paramètres S simulés du circuit (figure 43) pour différentes valeurs de diamètre du micro-câblage

Nous pouvons conclure aussi à partir des courbes qu'un diamètre plus important aide à améliorer le comportement du montage : le fil d'interconnexion est équivalent à une inductance entre les deux lignes coplanaires qui filtre le signal RF, plus le diamètre du fil est grand plus l'inductance est faible ce qui réduit la désadaptation.

Pour pouvoir « augmenter » le diamètre du fil (limité à  $25 \mu\text{m}$ ), la solution est de placer plusieurs fils en parallèle pour une même interconnexion, ce qui revient à placer des inductances en parallèle et donc réduire l'inductance totale équivalente. Cependant, les dimensions des plots

## II. Report de puces MMIC sur substrat LTCC

disponibles nous limitent en nombre de fils possible : la largeur du plot central est de  $58\ \mu\text{m}$ , ce qui veut dire qu'on ne peut pas mettre plus de deux fils pour une interconnexion. Cependant, ces deux fils doivent être superposés car l'écrasement du premier fil ne laisse pas suffisamment d'espace pour placer le deuxième fil, ce qui ne facilite pas la réalisation de l'interconnexion.

### II.2.2.2.3 Substrat autour des plots de la puce

La troisième contrainte pour cette puce est liée au « wafer dicing rules » : lors de la fabrication des différentes puces MMIC, la fonderie regroupe les puces de mêmes caractéristiques sur le même wafer qui sera ensuite découpé pour séparer les différentes puces. Lors de la découpe, il y a une marge de  $50\ \mu\text{m}$  de substrat au minimum qui reste sur le contour de la puce (voir figure 45).

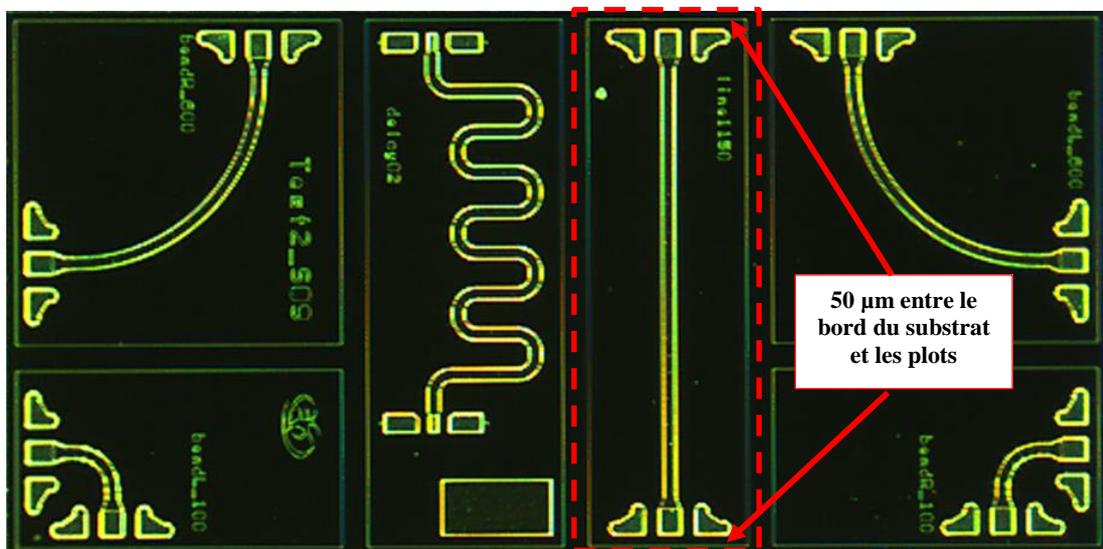


Figure 45. Photo de découpe d'une puce

Cette partie de substrat qui reste autour de la puce sera relativement gênante lors d'un montage par micro-câblage quand la fréquence d'utilisation est élevée puisqu'elle oblige à mettre des fils d'interconnexion plus longs, comme cela est illustré sur la figure 46. Les simulations associées à cette longueur de fil supplémentaire sont données sur la figure 48.



Figure 46. Micro-câblage entre deux lignes sans (à gauche) et avec (à droite) substrat autour des plots

## II. Report de puces MMIC sur substrat LTCC

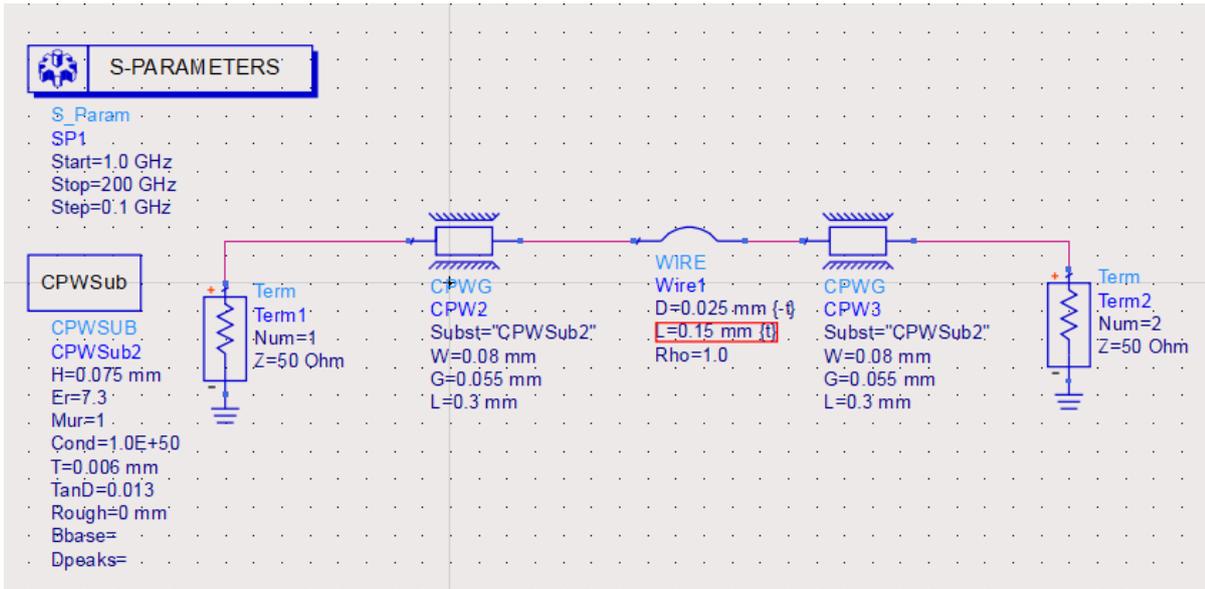


Figure 47. Circuit de deux lignes coplanaires interconnectées par micro-câblage

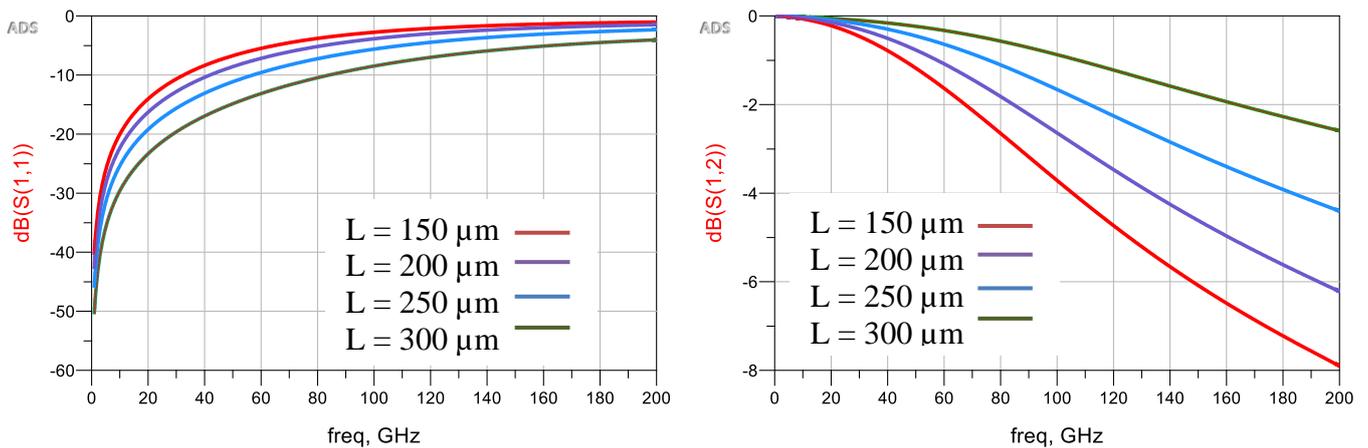


Figure 48. Paramètres S simulés du circuit (figure 47) pour différentes valeurs de longueur du micro-câblage

Nous concluons à partir de ces courbes l'effet de la longueur de fil sur l'adaptation et sur les pertes : plus le fil est long, plus les pertes sont élevées et l'adaptation est dégradée. L'inductance représentée par le fil d'interconnexion entre les deux lignes coplanaires augmente avec l'augmentation de la longueur du fil et son effet de filtrage est donc plus important.

Cette partie de substrat qui déborde de la puce n'influence pas seulement le montage par micro-câblage mais aussi le montage par flip-chip. Si on étudie en simulation le report par flip-chip d'une ligne coplaire adaptée à 50 Ω sur un substrat LTCC ESL 41020 via des lignes coplanaires imprimées sur la surface du substrat (voir figure 49), on peut observer l'effet de ce débordement sur les paramètres S de la structure, comme le montre la figure 50.

## II. Report de puces MMIC sur substrat LTCC

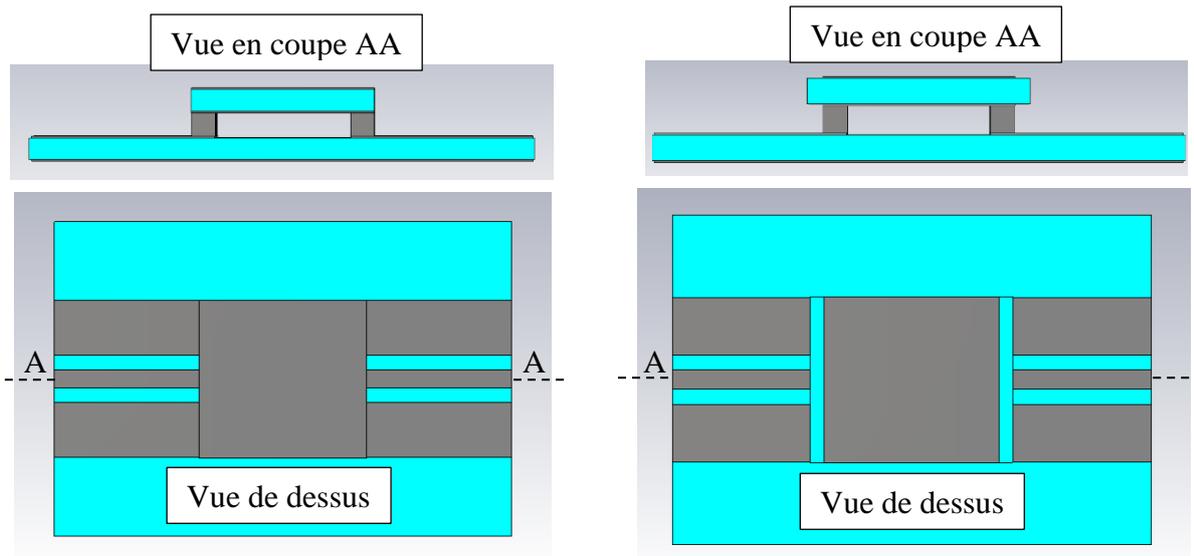


Figure 49. Puce montée par flip-chip : sans (à gauche) et avec (à droite) débordement de substrat

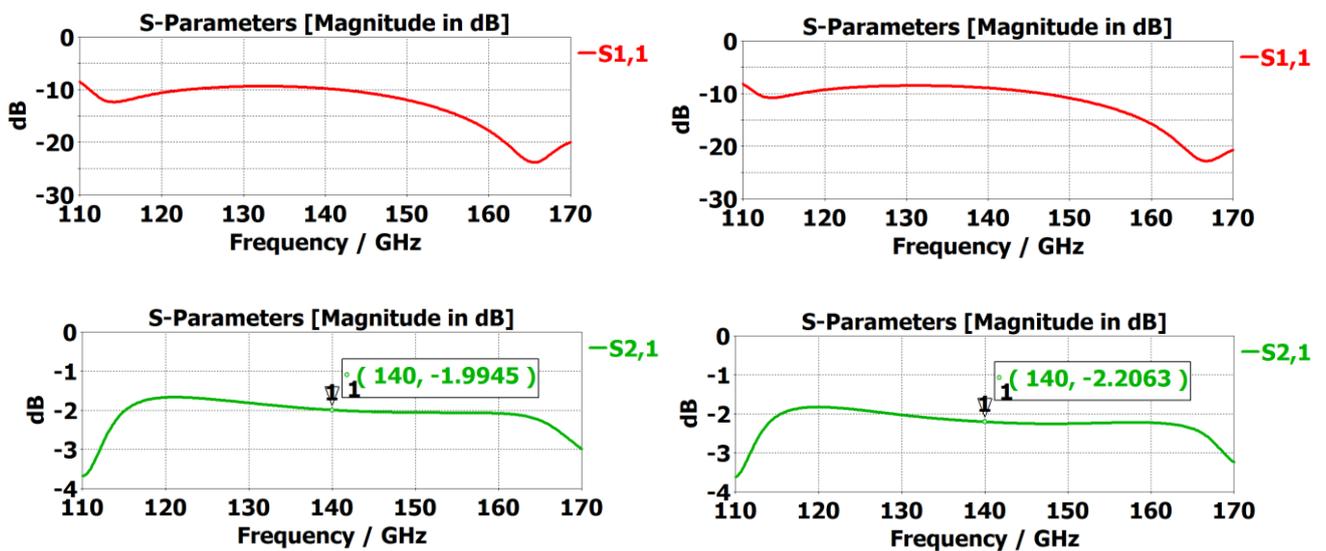


Figure 50. Courbes des paramètres S des montages de la figure 49 : montage de la puce sans (à gauche) et avec (à droite) débordement du substrat au niveau des plots

La simulation montre qu'il y a environ 0,2 dB de pertes supplémentaires et une légère dégradation de l'adaptation. Le substrat qui débord des deux côtés de la puce modifie localement la géométrie du milieu de propagation et par conséquent le champ électromagnétique, ce qui provoque cette désadaptation.

### II.2.2.2.4 Règles de conception et condition de mesure

Les deux dernières contraintes sont liées aux règles de conception de LTCC et aux conditions de mesure :

## II. Report de puces MMIC sur substrat LTCC

- règles de conception sur LTCC : la largeur d'une ligne imprimée sur LTCC doit être supérieure ou égale à  $85\ \mu\text{m}$  et le gap entre deux lignes doit être supérieur ou égal à  $75\ \mu\text{m}$  (voir annexe 2)
- mesures : pour faire des mesures dans la bande D, on utilise la station sous-pointes avec des pointes de « entraxe »  $100\ \mu\text{m}$  (voir figure 51)

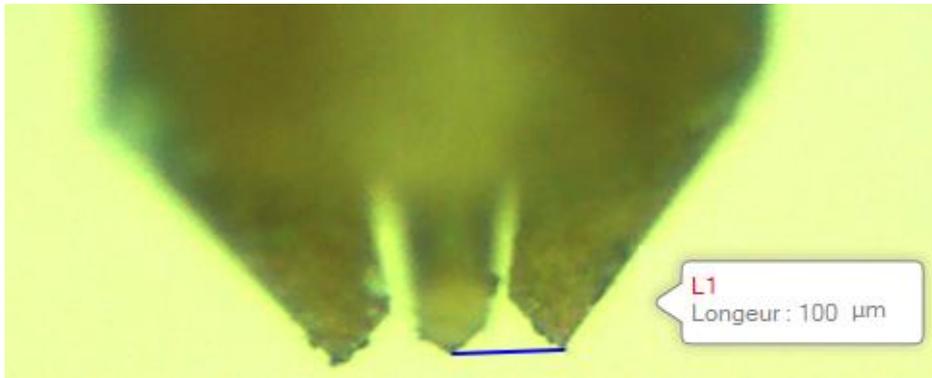


Figure 51. Entraxe des pointes pour la bande D

Pour réaliser et mesurer une ligne coplanaire adaptée à  $50\ \Omega$  dans la bande D sur un substrat LTCC ESL 41020, on doit donc respecter ces deux conditions : si on fixe la largeur de la ligne centrale à  $85\ \mu\text{m}$ , le gap est alors de  $75\ \mu\text{m}$  (ces deux valeurs représentent les valeurs minimales réalisables d'après les règles de conception, données en annexe 2) (voir figure 52).

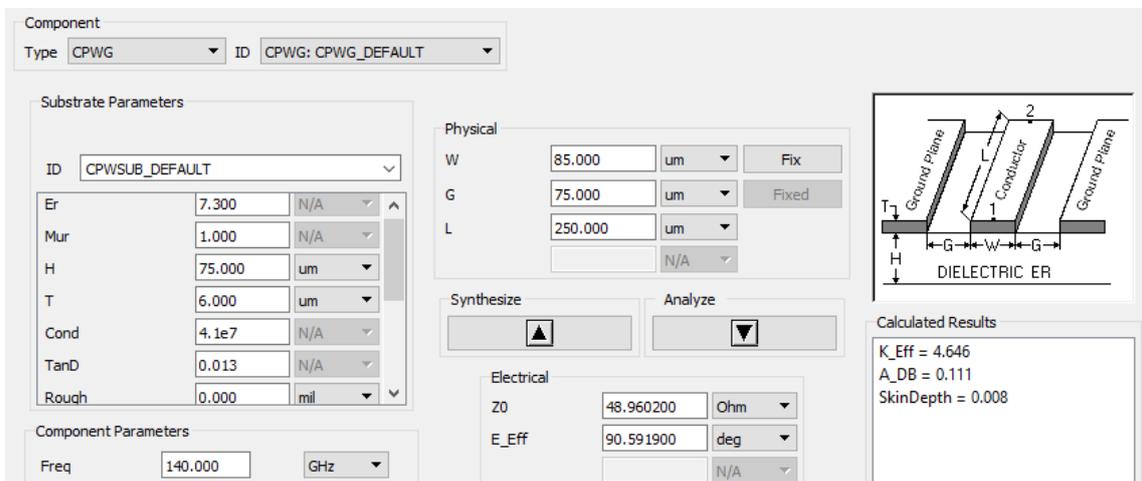


Figure 52. Outil LinCalc sous ADS pour le dimensionnement de la ligne coplanaire  $50\ \Omega$

Avec ces dimensions de ligne qui donnent un entraxe  $117,5\ \mu\text{m}$ , on ne peut pas effectuer des mesures puisque l'entraxe des pointes est de  $100\ \mu\text{m}$ . Pour pouvoir mesurer les prototypes réalisés, nous devons minimiser la largeur de la ligne centrale et des gaps. Nous pourrions réaliser des lignes coplanaires avec les dimensions souhaitées à l'aide de l'ablation laser qui permet de créer des ouvertures dans l'or (dans la limite imposée par le diamètre du faisceau laser, soit  $\geq 25\ \mu\text{m}$  après cuisson). Cette technique n'est pas disponible dans notre laboratoire actuellement du

## II. Report de puces MMIC sur substrat LTCC

fait d'une panne de la machine laser. C'est pourquoi, nous avons pris le risque de ne pas respecter les règles de conception LTCC avec, comme conséquence, des problèmes lors de la fabrication.

### II.2.2.3 Report sur substrat LTCC

Pour intégrer les puces définies précédemment sur le substrat LTCC et réaliser l'interconnexion entre ce dernier et les puces par flip-chip ou micro-câblage, nous simulons sous CST dans un premier temps les lignes coplanaires à sérigraphier sur le substrat LTCC. Nous fabriquons ensuite le substrat LTCC et nous faisons le montage des puces puis effectuons les mesures. Les deux paragraphes qui suivent décrivent en détail ces différentes étapes.

#### II.2.2.3.1 Report sur substrat LTCC et interconnexions par micro-câblage

Les puces « lignes microruban » définies dans les paragraphes précédents ont une épaisseur totale de  $56\ \mu\text{m}$  ( $50\ \mu\text{m}$  (substrat) +  $3\ \mu\text{m}$  (métallisation) +  $3\ \mu\text{m}$  (plan de masse)). Pour les intégrer sur le substrat LTCC par micro-câblage, on doit les placer dans des cavités dans le but de réaliser des micros-câblages les plus courts possibles comme illustré sur la figure 53.



Figure 53. Micro-câblage entre une puce et substrat LTCC avec cavité (gauche) et sans cavité (droite)

Pour monter les puces sur le substrat LTCC, cinq couches d'ESL 41020 sont suffisantes. La 5<sup>ème</sup> couche va contenir les cavités dans lesquelles les puces seront collées ainsi que les plots pour interconnecter les puces et le substrat LTCC. La couche 4 contient le plan de masse et les couches 1, 2, 3 ne contiennent rien.

L'interconnexion par micro-câblage est faite entre les plots de la puce et les accès coplanaires sur le substrat LTCC. Ces accès coplanaires sont adaptés à l'impédance au bout du fil de câblage suivie par des accès coplanaires  $50\ \Omega$  pour pouvoir faire la mesure sous pointes. La conception du montage proposé est donnée sur la vue 3D de la figure 54.

## II. Report de puces MMIC sur substrat LTCC

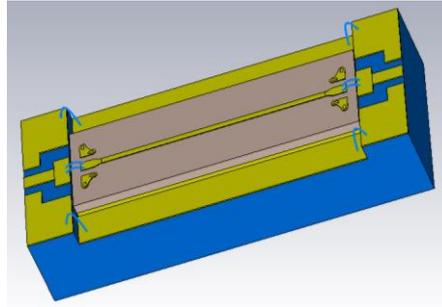


Figure 54. La conception proposée du montage par micro-câblage

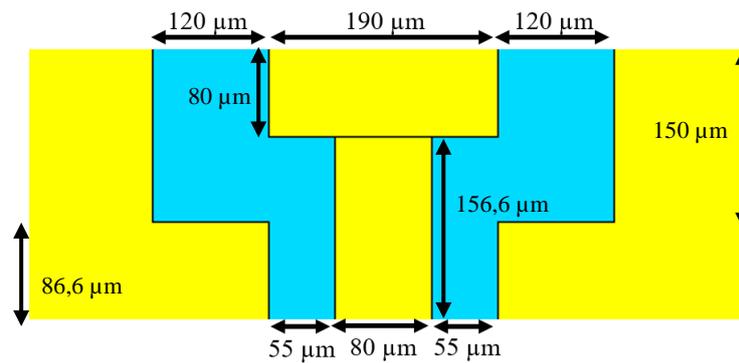


Figure 55. Dimensions des plots sur le substrat LTCC

Pour réaliser ces accès, des pistes en or sont imprimées sur la surface de la couche 5 du substrat LTCC. Pour la partie des plots côté puce, les règles de conception LTCC sont prises en compte ce qui n'est pas le cas pour la partie des plots côté mesure où le gap de 55 μm est inférieur à la dimension recommandée. Pour pouvoir réussir la sérigraphie avec ces dimensions, un écran spécifique ayant 400 mailles par pouce pour un diamètre de fil de 19/23 μm (écran normal : 325 mailles par pouce pour un diamètre de fil de 24/28 μm) a été utilisé.

Les figures 56 et 57 ci-dessous montrent le substrat LTCC fabriqué avec les plots pour un montage par micro-câblage et un montage flip-chip (le montage flip-chip sera discuté dans le paragraphe suivant), avant et après montage des puces.

## II. Report de puces MMIC sur substrat LTCC

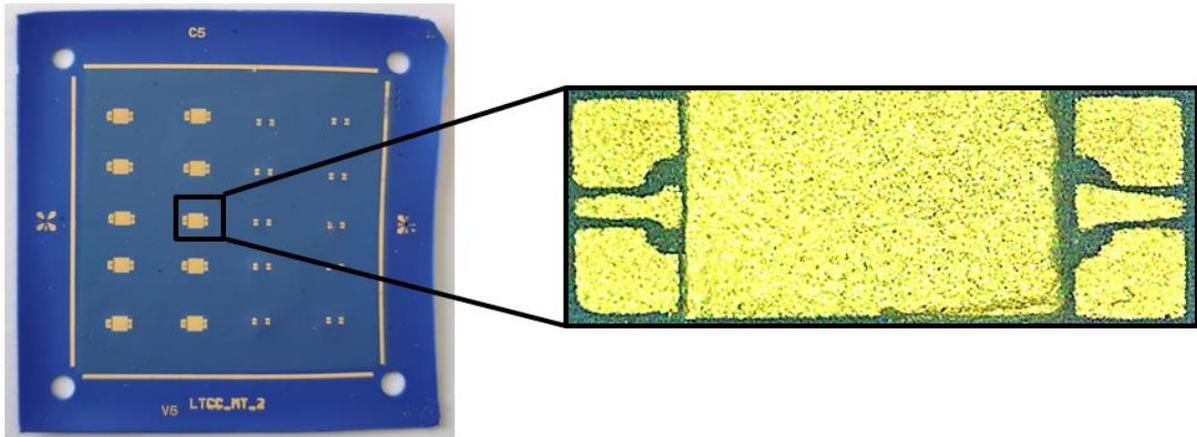


Figure 56. Substrat LTCC pour le montage des puces des lignes microruban

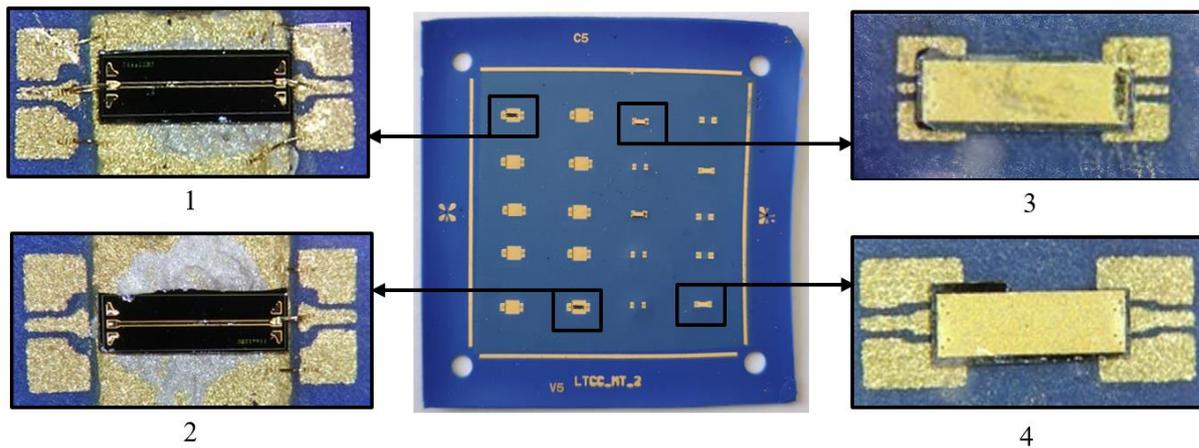


Figure 57. Puces des lignes microruban montées sur le substrat LTCC : (1) puce montée par micro câblage en entrée et sortie (2) puce montée par micro câblage en sortie seulement (3) puce montée par flip-chip première solution (4) puce montée par flip-chip deuxième solution

Les montages numérotés 1 et 2 de la figure 57 ont été retrosimulés et mesurés. Les courbes ci-dessous (figures 58 et 61) montrent la simulation et la mesure de la puce « ligne microruban » avant et après le montage par micro-câblage sur le substrat LTCC dans la bande de fréquence D.

## II. Report de puces MMIC sur substrat LTCC

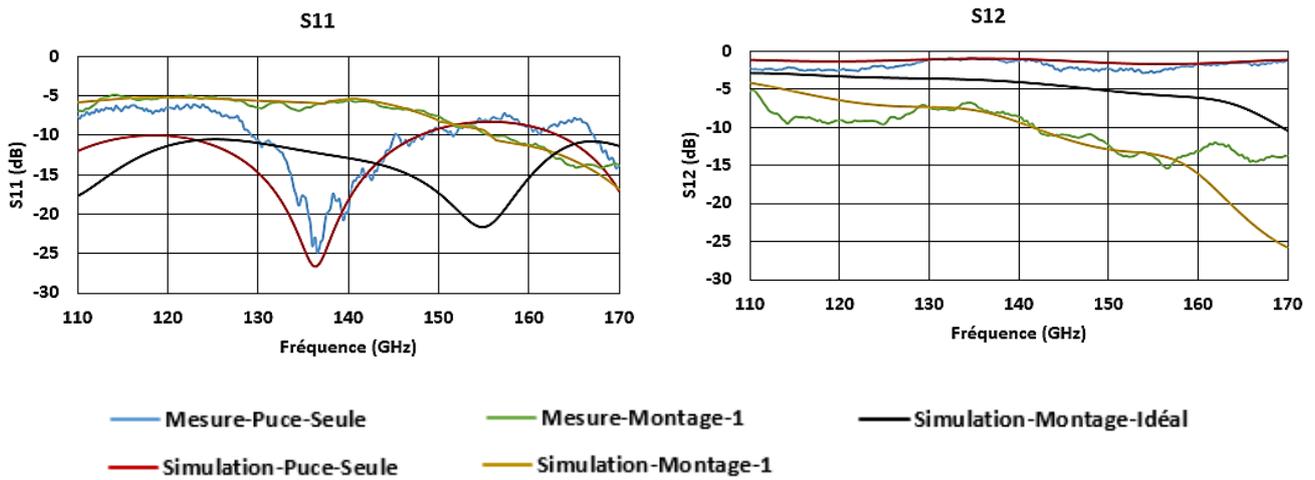


Figure 58. Simulations et mesures de la puce « ligne microruban » seule, du montage 1 et simulation du montage idéal

En observant la simulation et la mesure de la puce « ligne microruban », on remarque une même allure des courbes des coefficients de réflexion  $S_{11}$  et de transmission  $S_{12}$ . Les courbes en réflexion montrent un écart entre la simulation et la mesure de 4 dB entre 110 et 135 GHz, cet écart diminuant jusqu'à ce que les deux courbes se confondent de 136 à 170 GHz. L'adaptation est inférieure à -10 dB entre 130 et 150 GHz, et entre -7 et -10 dB sur le reste de la bande. Les courbes en transmission montrent une bonne concordance entre la simulation et la mesure de 130 à 143 GHz, et sur le reste de la bande, il y a un décalage de 1 dB entre la simulation et la mesure. En mesure, la puce perd au maximum 3 dB à 155 GHz.

Cette désadaptation de la puce, observée entre 110 et 130 GHz et entre 150 et 170 GHz, est due principalement aux accès coplanaires sur la puce qui ont une impédance caractéristique de 35  $\Omega$ .

Pour bien visualiser l'impact des accès coplanaires 35  $\Omega$  (largeur ligne centrale = 58  $\mu\text{m}$  et gap = 41  $\mu\text{m}$ ), une simulation de la même puce avec des accès coplanaires 50  $\Omega$  (ligne centrale 33  $\mu\text{m}$  et gap = 53,5  $\mu\text{m}$ ) a été effectuée.

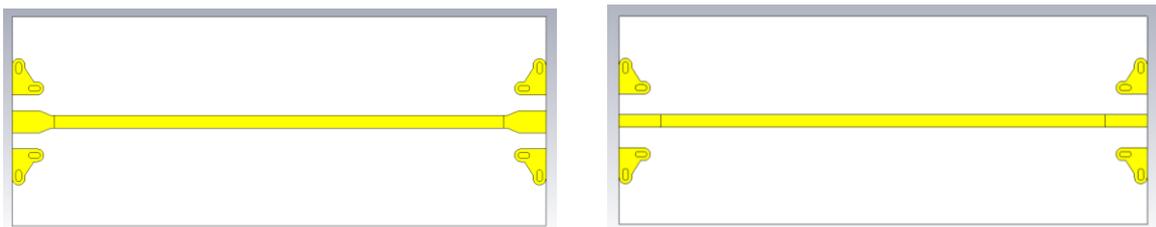


Figure 59. Puces avec accès 35  $\Omega$  (gauche) et avec accès 50  $\Omega$  (droite)

## II. Report de puces MMIC sur substrat LTCC

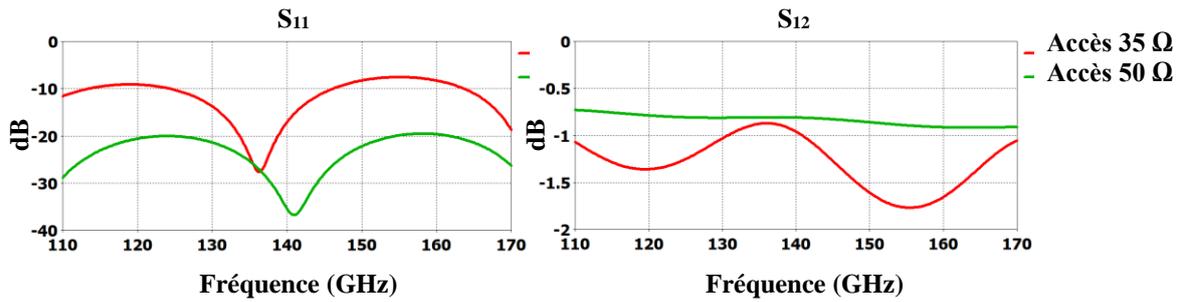


Figure 60. Simulation des puces avec accès 35  $\Omega$  (courbe rouge) et avec accès 50  $\Omega$  (courbe verte)

A partir des simulations (figure 60) on observe que des accès coplanaires 35  $\Omega$  dégradent l'adaptation de 10 dB environ et déplacent le minimum de  $S_{11}$  de 5 GHz par rapport aux accès coplanaires 50  $\Omega$ . Les pertes de la puce avec des accès 50  $\Omega$  sont des pertes intrinsèques à la puce, elles sont de l'ordre de 0,8 dB. Les pertes de la puce avec des accès 35  $\Omega$  sont les pertes intrinsèques de la puce auxquelles s'ajoutent les pertes par désadaptation des accès coplanaires, elles sont comprises entre 0,9 et 1,8 dB.

Le montage 1 présente la puce « ligne microruban » montée par micro-câblage sur le LTCC. Il diffère du montage idéal (celui proposé et donné par la figure 54) par :

- la taille de la cavité où la puce va être collée : la cavité réalisée est plus grande que la puce pour s'assurer qu'elle y rentre totalement, ce qui n'est pas le cas pour le montage idéal où les dimensions de la cavité sont celles de la puce (+ 5  $\mu\text{m}$ ). En effet, la découpe des puces étant faite à la main, les quatre côtés de la puce ne sont pas toujours bien droits et la taille finale après découpe des différents exemplaires n'est pas la même.

- la longueur du micro-câblage : dans le montage 1, la puce est décalée vers un côté de la cavité, donc avec un micro-câblage plus court d'un côté et beaucoup plus long de l'autre côté (voir figure 57).

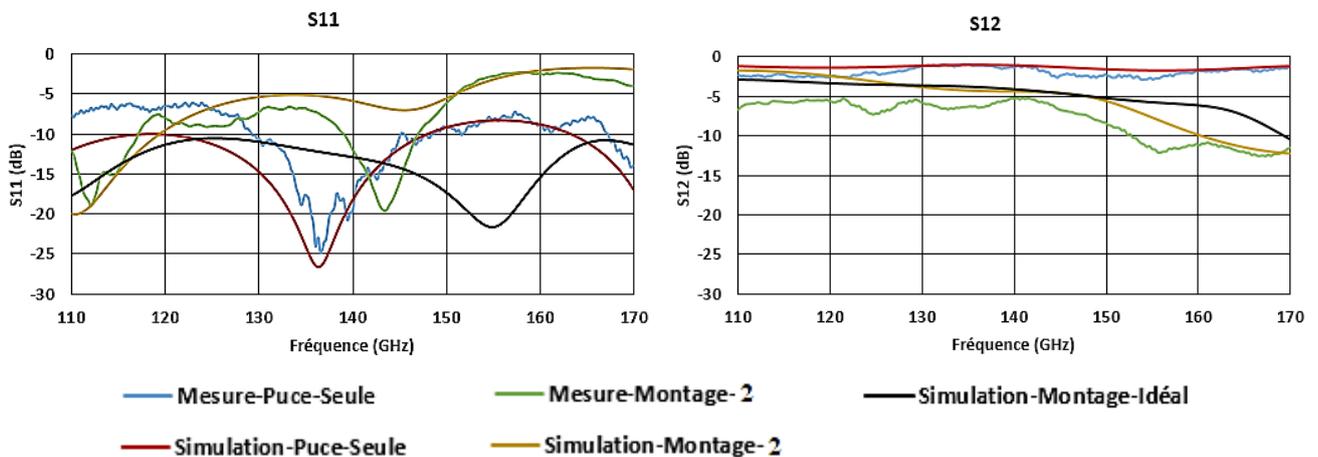
Pour retrouver les résultats de la mesure, une rétrosimulation du montage 1 a été effectuée. Le paramètre le plus influençant sur la forme et le niveau des courbes est la longueur des deux micro-câblages. Dans le montage 1 réalisé, le micro-câblage long a une longueur de 325  $\mu\text{m}$  environ et le micro-câblage court a une longueur de 185  $\mu\text{m}$ . En rétrosimulation, on retrouve les résultats de la mesure : si on observe les courbes de rétrosimulation et de mesure du montage 1, on constate que la courbe de simulation et la courbe de mesure en réflexion ( $S_{11}$ ) sont bien confondues sur toute la bande. L'adaptation est autour de -5 dB jusqu'à 140 GHz, entre -5 et -10 dB de 140 à 155 GHz et de -10 à -15 dB sur le reste de la bande. Les courbes en transmission

## II. Report de puces MMIC sur substrat LTCC

montrent une bonne concordance entre la simulation et la mesure de 130 à 158 GHz, entre 110 et 130 GHz il y a un décalage de 3 dB entre la simulation et le mesure.

La désadaptation observée sur presque toute la bande ainsi que les pertes très élevées de ce montage sont dues au micro câblage très long (325  $\mu\text{m}$ ).

À partir de ce montage 1, on ne peut pas réellement estimer les pertes de chaque interconnexion puisqu'elles ne sont pas identiques et que la désadaptation masque en partie les pertes intrinsèques. L'étude du montage 2 présenté ci-après va nous permettre de voir l'effet de l'élimination du micro-câblage très long.



**Figure 61. Simulations et mesures de la puce « ligne microruban » seule, du montage 2 et simulation du montage idéal**

Le montage 2 est différent de celui du montage 1 en termes de micro-câblage réalisé d'un seul côté dans le but d'éviter le micro-câblage très long (cas du montage 1). Lors de la mesure, les pointes sont posées sur la puce d'un côté et sur les accès coplanaires sur le LTCC de l'autre côté.

Une rétrosimulation du montage 2 permet d'avoir des courbes similaires à celles des mesures. Les courbes de simulation et de mesure en réflexion sont presque confondues sur toute la bande avec un pic en mesure plus important à 143 GHz que celui en simulation. L'adaptation en mesure est bonne entre 110 et 120 GHz et entre 140 et 148 GHz. Les courbes en transmission montrent un écart de 4 dB entre la simulation et la mesure, cet écart diminue jusqu'à ce que la simulation et la mesure se confondent entre 160 et 170 GHz. Ces courbes ont la même allure que celles du montage 1 avec une réduction des pertes d'environ 4 dB .

A partir du montage 2, il est difficile de déterminer les pertes liées au micro-câblage du fait de la désadaptation introduite par les accès coplanaires 35  $\Omega$ . De ce fait, nous avons estimé les pertes par micro-câblage en simulation (montage similaire au montage 2) : on remplace la

## II. Report de puces MMIC sur substrat LTCC

puce actuelle par celle qui a des accès  $50 \Omega$  (figure 59 droite) pour éviter le problème de désadaptation et on utilise un micro-câblage de longueur égale à la plus courte obtenue en retrosimulation. Les courbes de paramètre S sont données par la figure 62 ci-dessous.

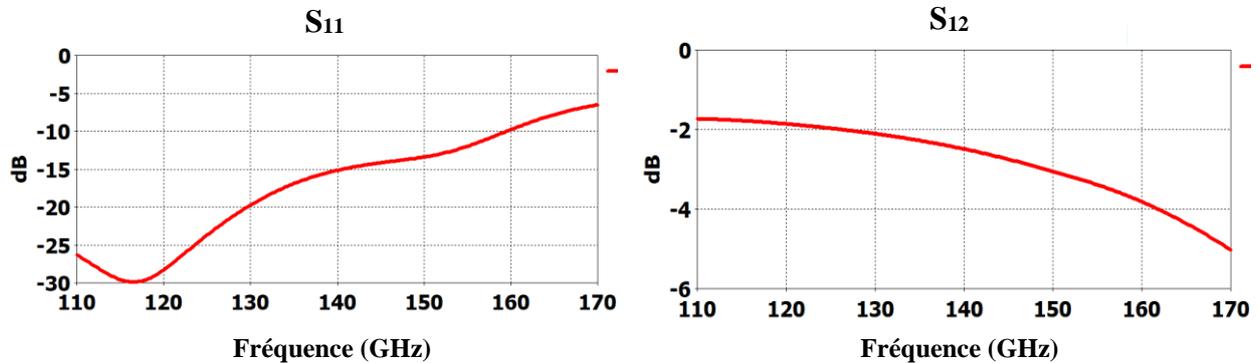


Figure 62. Simulation de la puce avec accès  $50 \Omega$  montée sur le substrat LTCC par un micro-câblage de longueur  $170 \mu\text{m}$

À partir des courbes trouvées par simulation, nous pouvons dire que les pertes totales du montage sont entre 2 et 5 dB, si la puce perd 0,8 dB environ et l'accès coplanaire prolongé perd de l'ordre de 0,6 dB, nous pouvons conclure alors que les pertes du micro-câblage sont comprises entre 0,6 dB et 3,6 dB (de l'ordre de 1 dB à 140 GHz).

Dans la référence [54], les pertes annoncées pour une interconnexion par micro-câblage (longueur =  $400 \mu\text{m}$  et diamètre =  $17 \mu\text{m}$ ) entre deux puces de lignes coplanaires au centre de la bande passante (122 GHz) sont de 1,5 dB.

Nous pouvons voir aussi dans la publication [55] une interconnexion entre deux puces faite par différentes longueurs de micro-câblage. La mesure et la simulation des différents montages sont faites entre 220 et 260 GHz. Les pertes des montages réalisés au centre de la bande de fréquence (240 GHz) sont entre 3 et 5 dB (en mesure) et entre 3 et 4 dB (en simulation).

Pour pouvoir comparer les deux références [54] et [55] à notre travail, le tableau 3 donne la bande de fréquence, la bande passante et les pertes au centre de la bande passante de chaque étude.

La formule de la bande passante en pourcentage est donnée par :

$$BP (\%) = \frac{f_{max} - f_{min}}{2f_0} \times 100$$

$f_{max}$  et  $f_{min}$  sont les fréquences maximale et minimale entre lesquelles le coefficient de réflexion  $S_{11}$  est au dessous de -10 dB. La fréquence  $f_0$  est celle au centre de la bande de fréquence.

## II. Report de puces MMIC sur substrat LTCC

**Tableau 3. Performances d'une interconnexion par micro-câblage**

Bande de fréquence (GHz)	Bande passante (%) ( $S_{11} < -10$ dB)	Pertes d'une transition au centre de la bande passante (dB)	Dimensions du micro-câblage ( $\mu\text{m}$ )	Référence
110-170	3,5	1,5 à 122 GHz	Diamètre = 17, Longueur = 400	[54]
220-260	1	5 à 257 GHz	Diamètre = 25, Longueur = 120	[55]
110-170	21	1 à 140 GHz	Diamètre = 50, Longueur = 185	Ce travail

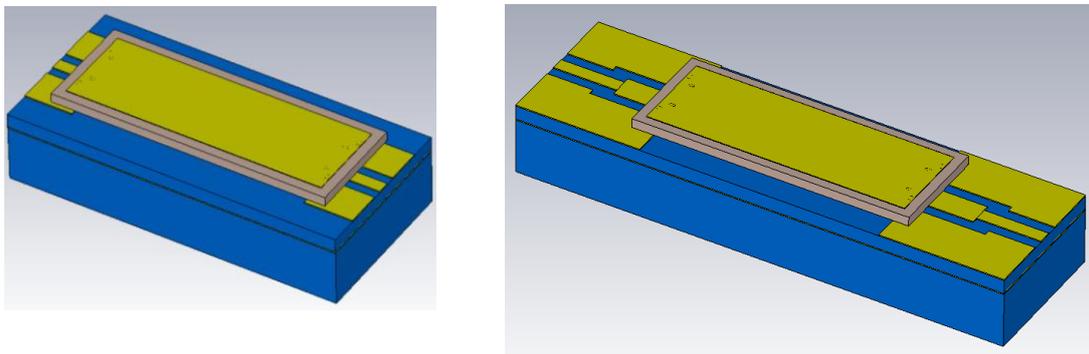
Dans le paragraphe qui suit, deux solutions d'interconnexion par flip-chip proposées sont détaillées.

### II.2.2.3.2 Report et interconnexions par flip-chip

Pour un montage flip-chip de la puce « ligne microruban » sur le substrat LTCC, il n'est pas nécessaire de réaliser une cavité puisque la puce va être retournée directement sur la surface du substrat.

Cinq couches d'ESL 41020 suffisent pour ce montage. Le plan de masse est sérigraphié sur la couche 4 et les plots sont sérigraphiés sur la couche 5. La 5<sup>ème</sup> couche du montage 3 contient des vias qui connectent les plots de masse au plan de masse.

Le montage par flip-chip nécessite des accès coplanaires : deux solutions sont proposées pour faire le montage de la puce (voir figure 63).



**Figure 63. Vue 3D des deux solutions proposées du montage par flip-chip**

## II. Report de puces MMIC sur substrat LTCC

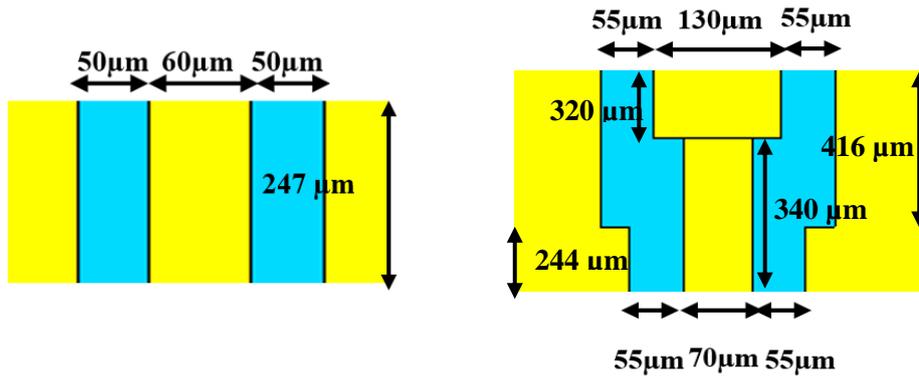


Figure 64. Dimensions des plots sur le substrat LTCC pour les deux solutions proposées

Dans ces montages par flip-chip, les règles de conception LTCC ne sont pas respectées et, pour pouvoir réussir la sérigraphie, le même type d'écran que celui du montage par micro-câblage a été utilisé. Les figures 65 et 66 ci-dessous reprennent les mêmes figures 56 et 57 avec un focus cette fois-ci sur les plots flip-chip et les montages flip-chip.

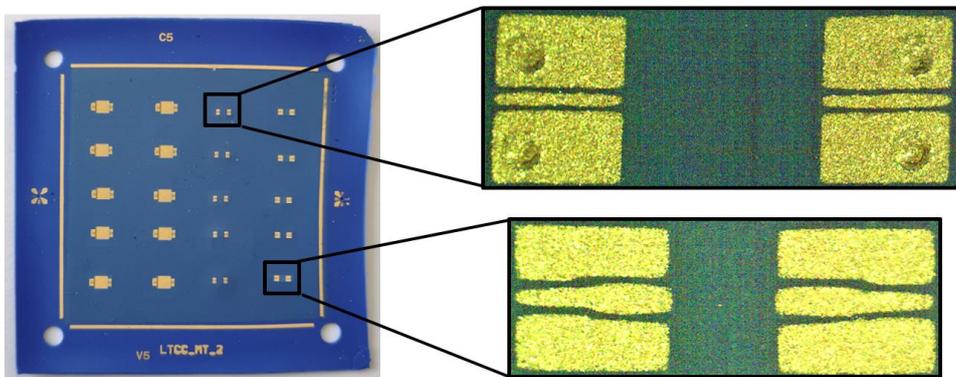


Figure 65. Substrat LTCC pour le montage des puces des lignes microruban : plots montage 3 en haut à droite et plots montage 4 en bas à droite

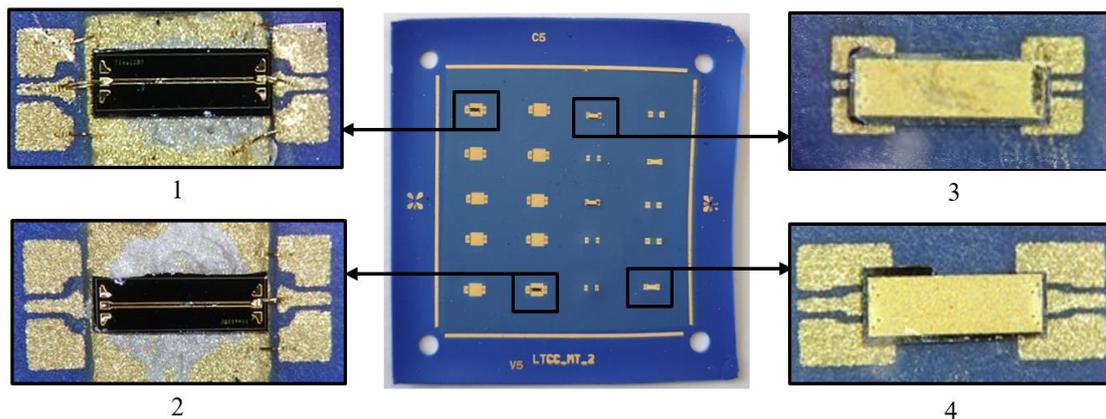


Figure 66. Puces des lignes microruban montées sur le substrat LTCC : (1) puce montée par micro câblage en entrée et sortie (2) puce montée par micro câblage en sortie seulement (3) puce montée par flip-chip première solution (4) puce montée par flip-chip deuxième solution

Pour résoudre le problème des courts-circuits qui peuvent être créés par les billes de diamètre  $80\ \mu\text{m}$  (expliqués dans II.4.2.2.2), nous avons travaillé sur la diminution de ce diamètre

## II. Report de puces MMIC sur substrat LTCC

et réussi à obtenir un diamètre minimal de  $54\ \mu\text{m}$  (utilisation d'un outil de câblage dit « fine pitch », avec le paramètre de EFO (Electronic Flame-Off) réduit (voir figure 67).



Figure 67. Puce avec des billes de diamètre  $54\ \mu\text{m}$

Les montages 3 et 4 ont été rétrosimulés et mesurés. Les courbes des figures 68 et 69 ci-dessous montrent la simulation et la mesure de la puce de la ligne microruban avant et après le montage par flip-chip sur le substrat LTCC dans la bande de fréquence D.

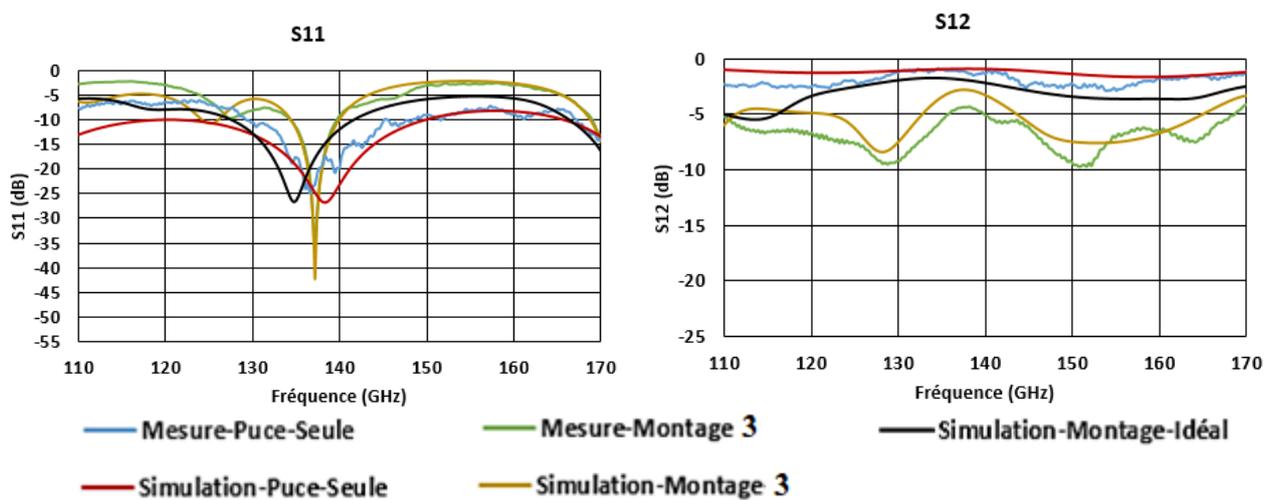


Figure 68. Simulations et mesures de la puce « ligne microruban » seule, du montage 3 et simulation du montage idéal

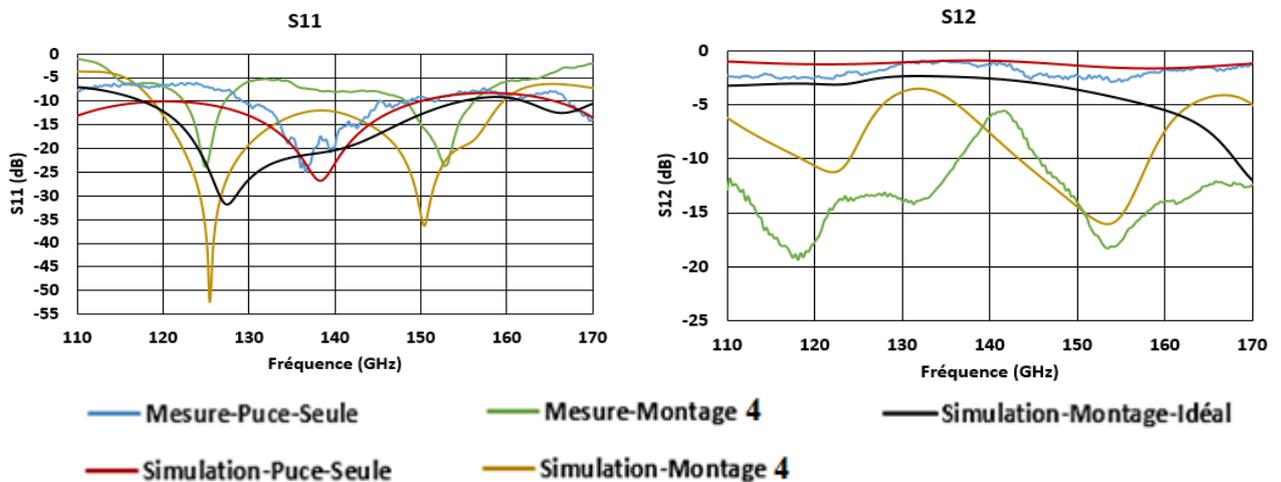


Figure 69. Simulations et mesures de la puce « ligne microruban » seule, du montage 4 et simulation du montage idéal

## II. Report de puces MMIC sur substrat LTCC

Le montage idéal des deux solutions flip-chip est celui proposé et donné à la figure 63, les montages 3 et 4 sont différents par rapport aux montages idéaux en termes de longueur plus importante des accès coplanaires sur LTCC qui débordent sous la puce afin d'assurer une bonne connexion de la puce des deux côtés (voir montages 3 et 4 figure 66) : ce choix est fait dans le but de prendre en compte la déformation des bords des plots sérigraphiés sur le substrat LTCC après la cuisson (voir figure 70), l'emplacement des billes sur la puce qui peuvent être décalées, l'aplatissement de ces dernières lors du montage flip-chip et l'erreur de la machine flip-chip.

Pour un prototype ultérieur, cette longueur supplémentaire est bien-sûr à ôter.



**Figure 70. Plot conçu (à gauche) et plot après cuisson (à droite)**

Pour reproduire le cas de la mesure des montages 3 et 4, une rétrosimulation a été effectuée en prenant en compte les accès coplanaires qui débordent sous la puce et une hauteur des billes de 20  $\mu\text{m}$  au lieu de 25  $\mu\text{m}$  d'après les montages réalisés.

D'après les résultats de simulation et de mesure du montage 3, on constate que les courbes de simulation et de mesure en réflexion sont similaires entre 135 et 170 GHz. L'adaptation est inférieure à -10 dB entre 133 et 140 GHz, elle est entre -2 et -10 dB sur le reste de la bande. La courbe de mesure en transmission est en-dessous de celle de la simulation d'environ 1 dB.

La courbe de simulation en réflexion du montage 4 est décalée de 4 dB par rapport à la mesure. L'adaptation est en-dessous de -10 dB entre 122,5 et 127,5 GHz et entre 148 et 156 GHz, elle est entre -2 et -10 dB sur le reste de la bande. Les courbes en transmission en simulation et en mesure sont presque confondues entre 140 et 150 GHz, sur le reste de la bande il y a un écart d'environ 5 dB.

À partir des mesures et simulations des deux montages, on remarque une désadaptation sur une grande partie de la bande avec des pertes assez élevées qui atteignent 10 dB pour le montage 3 et 20 dB pour le montage 4. Il y a deux causes possibles qui peuvent produire ces résultats : la première cause est que la puce n'est pas conçue pour un montage par flip-chip et la deuxième cause est liée aux accès coplanaires qui se prolongent sous la puce. Pour comprendre l'origine des dégradations des performances, une simulation de la puce, au-dessus de laquelle (à 20  $\mu\text{m}$  de la puce) il y a un substrat LTCC avec un plan de masse, a été effectuée.

## II. Report de puces MMIC sur substrat LTCC

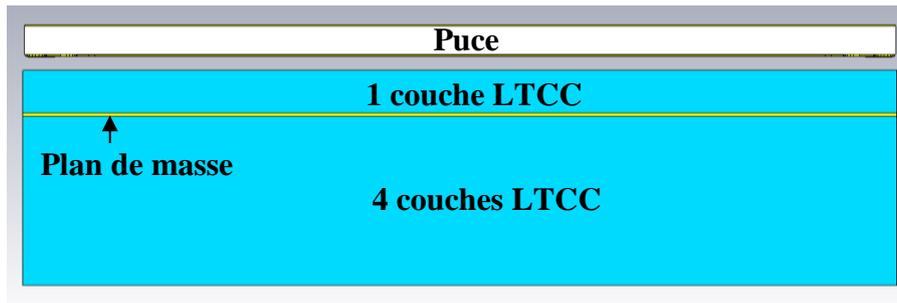


Figure 71. Puce « ligne microruban » avec substrat LTCC à 20  $\mu\text{m}$  de la surface de la puce

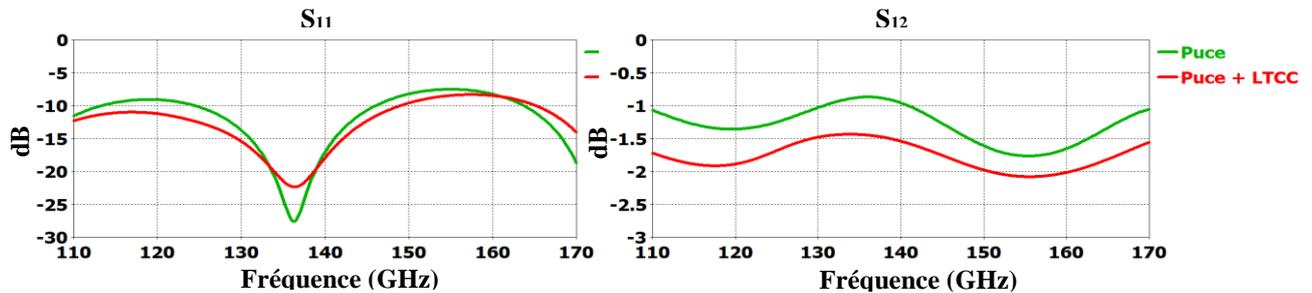


Figure 72. Simulation de la puce avec et sans substrat LTCC

La simulation donnée par la figure 72 montre que la présence du substrat à proximité de la puce n'affecte pas réellement l'adaptation avec un « creux » à 136 GHz dégradé de 5 dB. Les courbes de transmission ont la même allure et la présence du substrat a augmenté les pertes de 0,5 dB environ. Nous pouvons conclure que la présence du substrat a une influence mineure sur les performances de la puce et que cette dernière peut être montée par flip-chip.

L'étude de l'effet des accès coplanaires qui se prolongent sous la puce a également été menée. Pour ce faire, nous avons simulé le montage 3 avec différentes longueurs des accès coplanaires ( $L_1$  et  $L_2$ ) sous la puce.

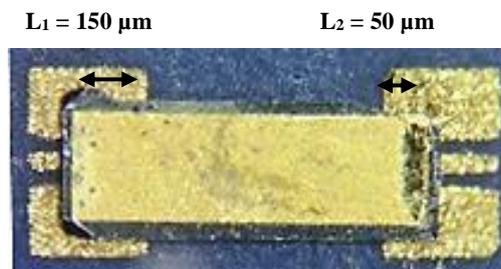


Figure 73. Montage 3 réalisé

## II. Report de puces MMIC sur substrat LTCC

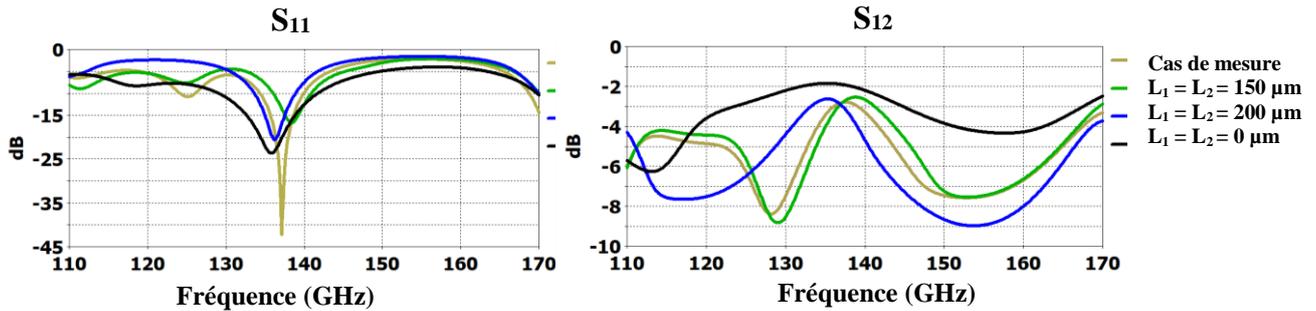


Figure 74. Simulation du montage 3 avec différentes longueurs des accès coplanaires qui débordent sous la puce

La simulation du montage 3 avec différentes longueurs des accès coplanaires qui passent en-dessous de la puce montre que plus ces accès sont longs, plus l'adaptation est dégradée et la bande passante est réduite, ce qui provoque des pertes plus significatives.

La désadaptation observée dans les montages 3 et 4 est donc due principalement aux accès coplanaires qui débordent sous la puce. Ces derniers se comportent comme des stubs en circuit ouvert qui ramènent une impédance en parallèle au niveau des billes de flip-chip et provoquent une désadaptation du montage.

Les courbes des montages 3 et 4 obtenues en mesure ne nous permettent pas de déterminer les pertes au niveau de l'interconnexion flip-chip : les pertes de désadaptation, causées par les accès coplanaires  $35 \Omega$  sur la puce et par les stubs circuit ouvert, masquent en partie les pertes intrinsèques des deux montages. Par conséquent, nous pouvons estimer ces pertes par simulation en remplaçant la puce par celle avec des accès  $50 \Omega$  (figure 59) et en enlevant les accès qui débordent au-dessous de la puce. (voir figure 75 et 76).

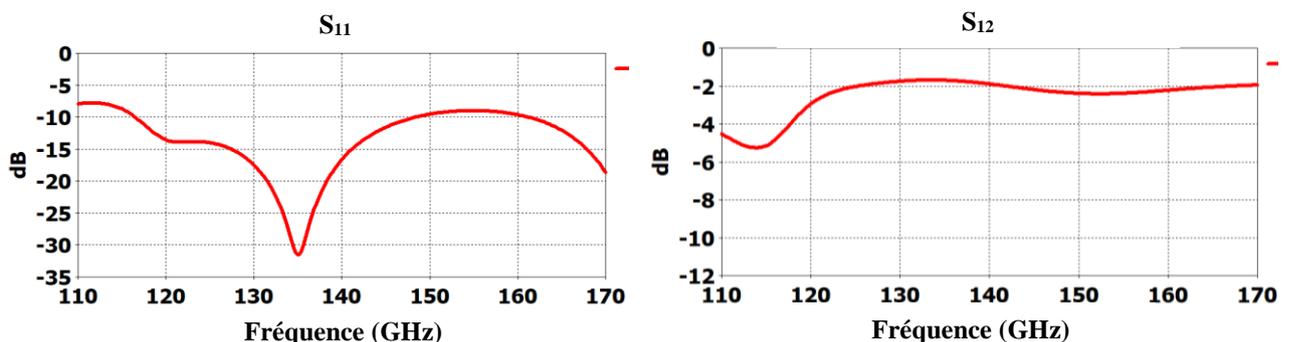
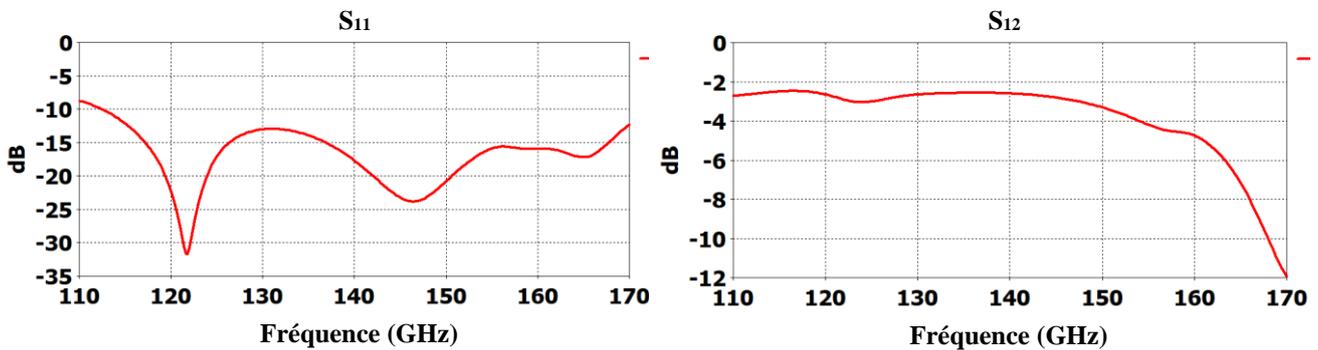


Figure 75. Simulation de la puce avec accès  $50 \Omega$  montée sur le substrat LTCC par la première solution flip-chip

La simulation de la puce avec accès  $50 \Omega$  montée par la première solution flip-chip (utilisée dans montage 3) montre des pertes de 2 dB environ entre 125 et 170 GHz. La puce perdant 0,8 dB et les lignes coplanaires prolongées d'environ 0,3 dB, on peut estimer les pertes des deux

## II. Report de puces MMIC sur substrat LTCC

interconnexions flip-chip à 0,9 dB, soit 0,45 dB par interconnexion. Une interconnexion perd 2 dB maximum à 115 GHz.



**Figure 76. Simulation de la puce avec accès 50  $\Omega$  montée sur le substrat LTCC par la deuxième solution flip-chip**

La simulation du montage de la puce par la deuxième solution flip-chip (utilisée dans le montage 4) indique des pertes aux alentours de 2,5 dB entre 110 et 150 GHz. Si la puce perd 0,8 dB et les lignes coplanaires prolongées 0,4 dB environ, les pertes des deux interconnexions sont alors de 1,3 dB c'est-à-dire 0,65 dB par interconnexion.

La publication [56] portant sur l'interconnexion par flip-chip (billes de diamètre 125  $\mu\text{m}$ ) d'une puce SiGe (ligne microruban avec des accès d'entrée et sortie sous forme coplanaire) et un substrat LTCC donne des pertes de l'ordre de 2,25 dB au centre de la bande passante (80 GHz) (valeur mesurée). La puce perdant 0,7 dB, les pertes par interconnexion sont estimées à 0,8 dB environ.

Concernant la référence [54], les pertes pour une interconnexion par flip-chip entre deux lignes coplanaires de même substrat sont de 0,75 dB environ (valeur simulée) au centre de la bande passante (140 GHz).

La comparaison entre les deux références et notre travail est résumée dans le tableau ci-dessous.

**Tableau 4. Performances d'interconnexion par flip-chip**

Bande de fréquence (GHz)	Bande passante (%) (S11 < -10 dB)	Pertes d'une transition au centre de la bande passante (dB)	Référence
110-170	21	0,75 à 140 GHz	[54]
65-85	10	0,8 à 80 GHz	[56]
110-170	19	0,45 à 140 GHz	Ce travail 1 <sup>ère</sup> solution flip-chip
110-170	21	0,65 à 140 GHz	Ce travail 2 <sup>ème</sup> solution flip-chip

## II. Report de puces MMIC sur substrat LTCC

### II.2.2.3.3 Conclusion sur les résultats obtenus

À partir des montages présentés dans les deux sections précédentes, nous pouvons conclure qu'une interconnexion par micro câblage a des pertes comprises entre 0,6 dB et 3,6 dB sur la bande D. L'interconnexion par flip-chip a des pertes de l'ordre de 0,5 dB pour les deux solutions proposées.

Si on compare les deux solutions d'interconnexion par flip-chip et l'interconnexion par micro-câblage pour notre application (voir tableau 5 ), on constate que la solution flip-chip est préférable au micro-câblage.

**Tableau 5. Comparaison des performances des interconnexions par flip-chip et par micro-câblage**

Bande de fréquence (GHz)	Bande passante (%) (S11 < -10 dB)	Pertes d'une transition au centre de la bande passante (dB)	Référence
110-170	21	1 à 140 GHz	Micro-câblage
110-170	19	0,45 à 140 GHz	première solution flip-chip
110-170	21	0,65 à 140 GHz	deuxième solution flip-chip

### II.2.2.4 Proposition d'une nouvelle puce « hot via » et intégration sur le LTCC

#### II.2.2.4.1 Présentation de la puce proposée

Cette section présente une nouvelle puce pour une interconnexion par des « hot vias ». La technique d'interconnexion par des « hot vias » est une technique autre que le micro-câblage et le flip-chip. Elle consiste à faire passer le signal du plot au dessus de la puce vers un plot au dessous de la puce à l'aide d'un via qui traverse le substrat de la puce. La figure 77 ci-dessous représente un exemple d'une puce « ligne microruban » où le signal passe à l'aide d'un « hot via » de la surface supérieure vers la surface inférieure.

## II. Report de puces MMIC sur substrat LTCC

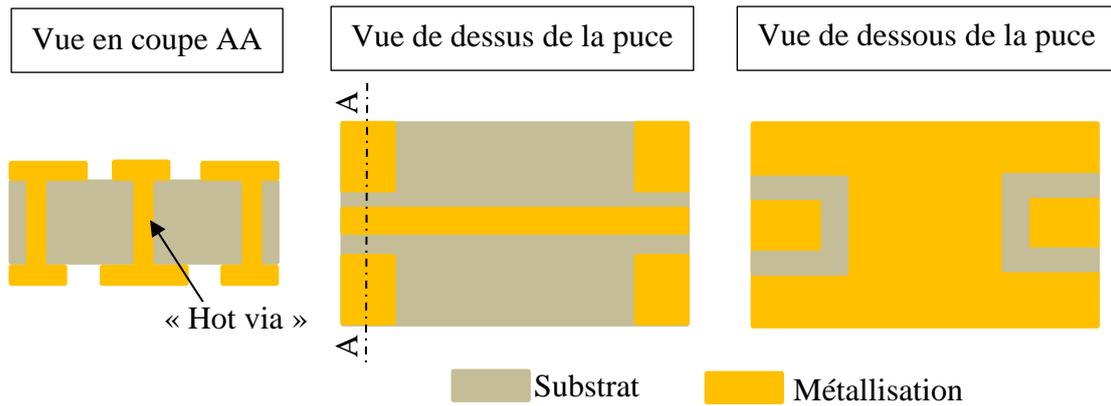


Figure 77. Schéma explicatif de la technique du « hot via »

L'interconnexion entre ce type de puce et un substrat se fait par des billes placées sur les plots au-dessous de la puce. Le montage se fait alors à l'aide de la machine flip-chip mais sans besoin ici de retourner la puce (voir figure 78).

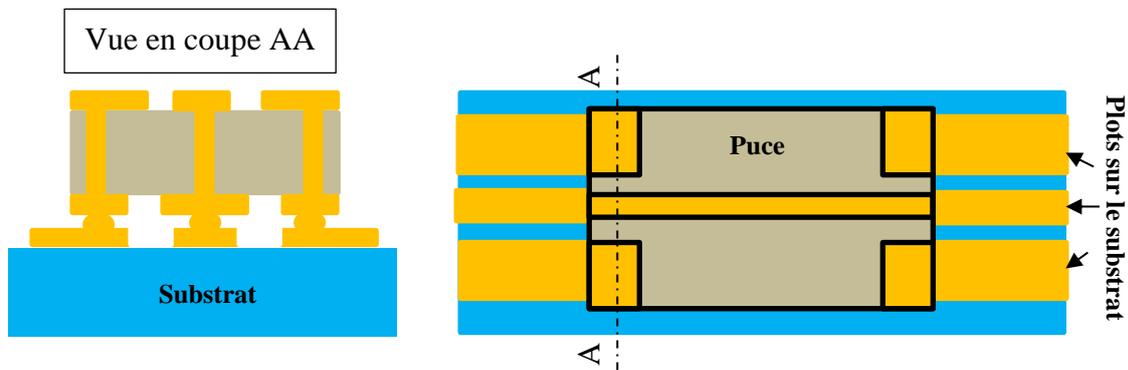


Figure 78. Technique d'interconnexion par « hot via »

La technique des « hot vias » a été utilisée dans des applications hautes fréquences. Les références [57] et [59] montrent la faisabilité de cette technique jusqu'à 110 GHz ce que nous encourage à proposer une nouvelle puce pour un montage par « hot via ».

Nous avons proposé deux puces, dont l'une est conçue sans contraintes liées aux règles de conception et l'autre en respectant les règles de conception de la fonderie « WIN semiconductors » qui fabrique les puces de Gotmic.

Les nouvelles puces sont des lignes microruban avec des accès coplanaires en entrée et en sortie (figure 79 droite et figure 80 droite). La vue de dessous est donnée par les figures 79 gauche et 81 gauche. Le signal passe, de la ligne centrale (sur la face avant de la puce) vers le plot sur la face arrière de la puce, par un « hot via » qui traverse le substrat (voir figure 81). Le substrat des puces est de 50  $\mu\text{m}$  d'épaisseur et la métallisation a une épaisseur de 3  $\mu\text{m}$ . Il y a toujours le dépassement du substrat autour des plots comme précédemment puisqu'on ne peut pas supprimer le « dicing street ».

## II. Report de puces MMIC sur substrat LTCC

Les dimensions des plots des puces sont données sur les figures 82 et 83. Les accès coplanaires en entrée et en sortie sur les deux faces des puces ainsi que les lignes microruban ont une impédance caractéristique de  $50 \Omega$ .

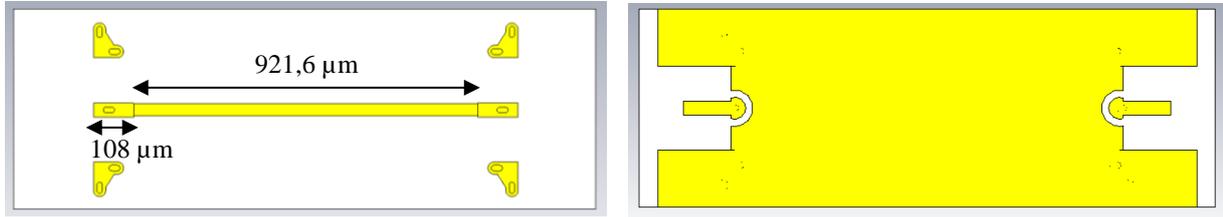


Figure 79. Vue de dessus (gauche) et vue de dessous (droite) de la puce proposée sans respect des règles de conception de « WIN semiconductors »

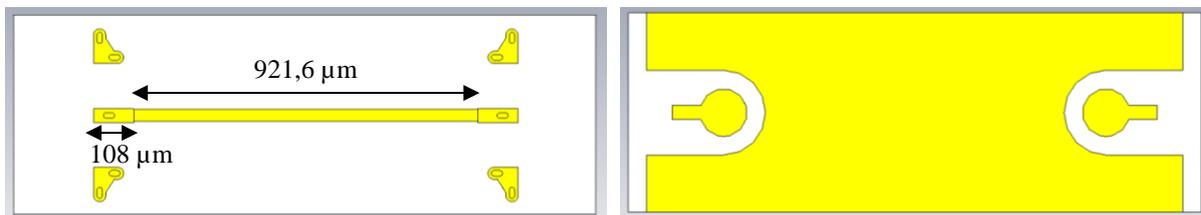


Figure 80. Vue de dessus (gauche) et vue de dessous (droite) de la puce proposée avec respect des règles de conception de « WIN semiconductors »

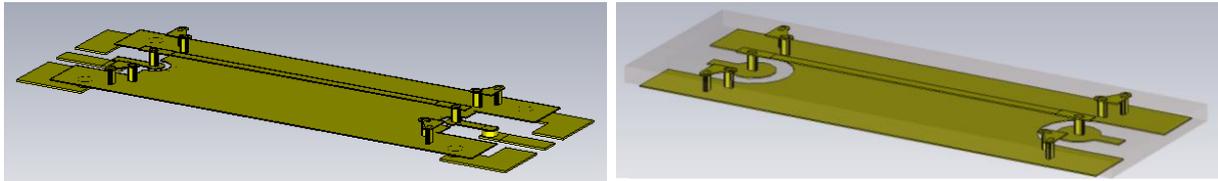


Figure 81. Vue 3D de la partie métallique de la puce sans respect des règles de conception de « WIN semiconductors » (gauche) et avec respect des règles de conception (droite)

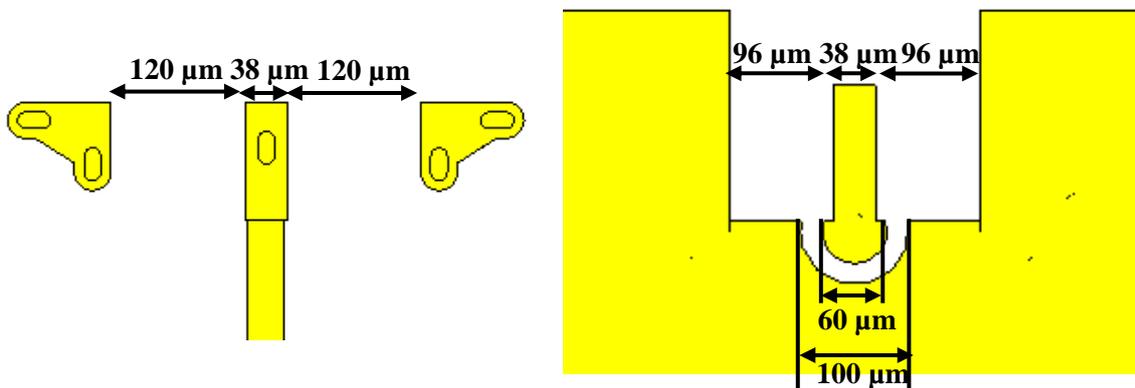


Figure 82. Dimension des plots de la puce proposée : plots de face avant (gauche) plots de face arrière (droite)

## II. Report de puces MMIC sur substrat LTCC

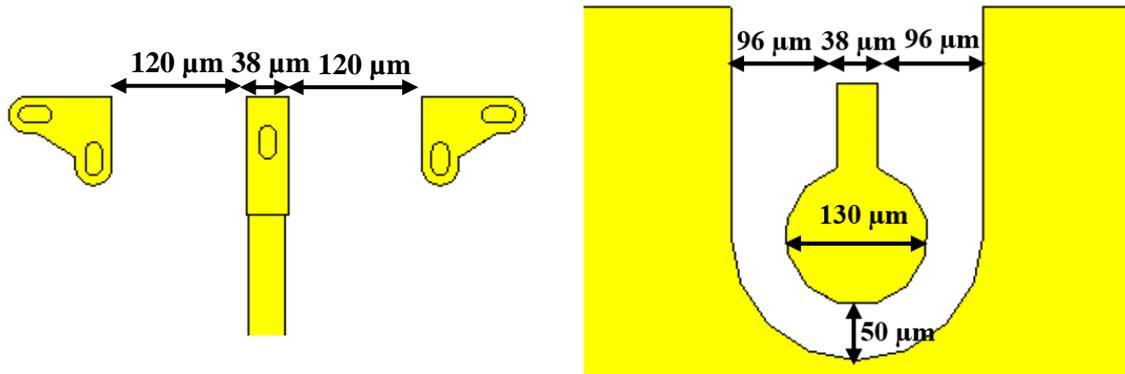


Figure 83. Dimension des plots de la puce proposée : plots de face avant (gauche) plots de face arrière (droite)

### II.2.2.4.2 Report sur substrat LTCC et simulation

Le montage de cette puce sur le substrat LTCC se fait par flip-chip mais sans nécessité de retourner la puce puisque le signal est déjà passé sur la face arrière par le hot via. Pour effectuer ce montage, cinq couches d'ESL 41020 suffisent. Le plan de masse est sérigraphié sur la couche 4 et les plots sont sérigraphiés sur la couche 5 (voir figure 84). Les dimensions des accès coplanaires sur le substrat LTCC sont données sur la figure 85.

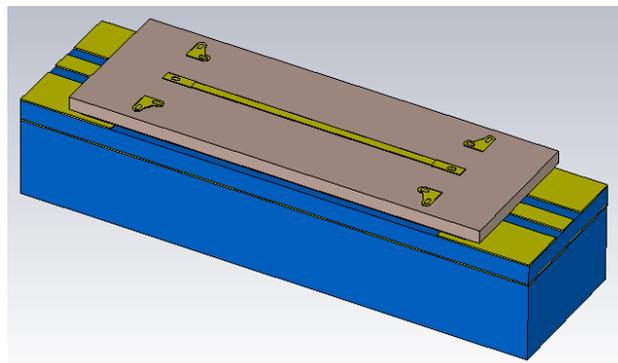


Figure 84. Intégration de puce sur LTCC

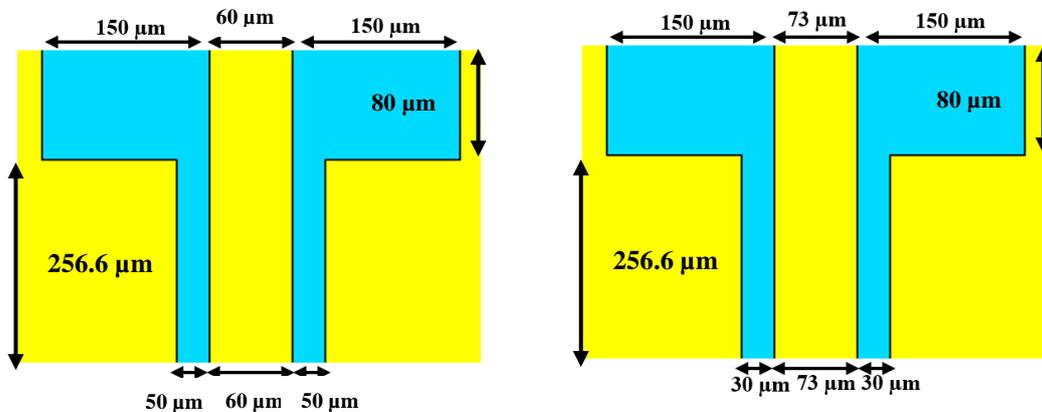


Figure 85. Dimensions des plots sur LTCC pour puce figure 79 (gauche) et dimensions des plots sur LTCC pour puce figure 80 (droite)

## II. Report de puces MMIC sur substrat LTCC

La simulation de la puce seule et des deux puces montées sur le substrat LTCC est donnée sur la figure 86 ci-dessous.

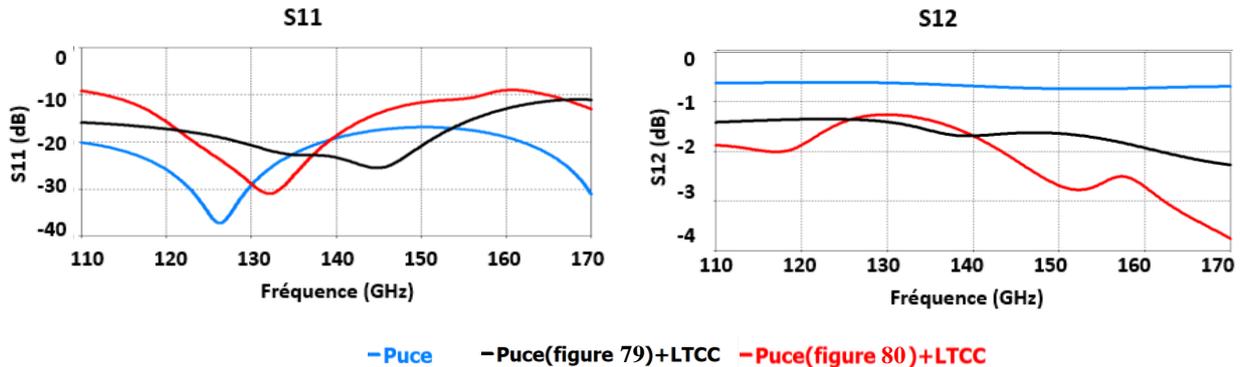


Figure 86. Simulation de la puce proposée avant et après l'intégration sur le substrat LTCC

En observant les courbes de simulation du coefficient de réflexion de la puce seule, on remarque que l'adaptation est meilleure que -10 dB sur toute la bande et que les pertes de la puce sont de 0,7 dB environ. Après intégration sur le substrat LTCC, les pertes de la puce, pour laquelle on respecte les règles de conception de la fonderie, seront autour de 2 dB. Les interconnexions ont rajouté alors de l'ordre de 1,3 dB. Si on enlève les pertes rajoutées par les lignes coplanaires prolongées qui sont de 0,8 dB, les pertes par interconnexion seraient alors de l'ordre de 0,25 dB.

La publication [57] montre des mesures des paramètres S d'un montage d'une puce AsGa MMIC montée à travers des hot vias sur un substrat. La puce a des accès coplanaires en entrée et sortie reliés par une ligne microruban. La mesure du montage montre qu'une interconnexion perd 0,6 dB à 110 GHz. Les pertes de ce montage sont de l'ordre de grandeur des pertes du montage que nous avons proposé.

La référence [58] décrit l'intégration d'une puce AsGa MMIC sur un substrat  $\text{Al}_2\text{O}_3$  par hot via dans la bande V. La mesure montre que les pertes d'une transition sont de 0,23 dB à 60 GHz.

Dans [59], l'auteur a simulé une transition par hot via entre une puce MMIC d'une ligne microruban et un substrat. Les pertes sont de 0,4 dB à 86 GHz et de 0,6 dB au centre de la bande W (94 GHz).

Dans la référence [60], il s'agit d'une étude sur l'intégration d'une puce AsGa (ligne coplanaire) sur un substrat en silicium par hot via qui montre qu'une transition perd au maximum 1,3 dB (valeur mesurée) à 40 GHz.

La comparaison de notre montage avec les différentes références citées précédemment est résumée dans le tableau 6.

## II. Report de puces MMIC sur substrat LTCC

**Tableau 6. Performances d'interconnexion par « hot vias »**

Bande de fréquence (GHz)	Bande passante (%) ( $S_{11} < -10$ dB)	Pertes d'une transition au centre de la bande passante (dB)	Référence
0-110	28	0,1 à 15 GHz	[57]
0-67	100	0,1 à 33,5 GHz	[54][58]
75-100	15	0,4 à 86 GHz	[59]
10-40	60	1 à 25 GHz	[60]
110-170	21	0,1 à 140 GHz	Ce travail

La nouvelle solution proposée (hot vias) peut également être comparée avec les solutions de micro-câblage et flip-chip présentées dans les sections précédentes ( II.2.2.3.1 et II.2.2.3.2). Le tableau 7 donne les éléments de comparaison.

**Tableau 7. Comparaison des différentes solutions proposées**

Bande de fréquence (GHz)	Bande passante (%) ( $S_{11} < -10$ dB)	Pertes d'une transition au centre de la bande passante (dB)	Référence
110-170	21	1 à 140 GHz	Micro-câblage
110-170	19	0,45 à 140 GHz	1 <sup>ère</sup> solution flip-chip
110-170	21	0,65 à 140 GHz	2 <sup>ème</sup> solution flip-chip
110-170	21	0,1 à 140 GHz	Hot vias

Le tableau 7 montre bien l'importance de la solution des « hot vias » par rapport aux autres solutions pour notre application dans la bande D. Avec la technique d'interconnexion « hot vias », les pertes sont extrêmement réduites avec une large bande passante.

## II.3 Conclusion

Dans ce chapitre et dans une première partie, une description détaillée du travail réalisé sur l'interconnexion entre la puce MMIC et le substrat LTCC a été présentée : l'intégration des puces MMIC de lignes coplanaires conçues pour la bande V sur un substrat LTCC ESL 41020 puis l'interconnexion entre les puces et le substrat faite par la technique flip-chip. Les montages réalisés montrent des résultats acceptables après une comparaison avec la littérature.

Dans la deuxième partie, le travail s'est focalisé sur des puces « lignes microruban » conçues pour la bande D, bande de fréquence visée dans cette thèse. L'étude de ces puces nous permet de trouver la solution pour monter des puces actives du module sur le substrat LTCC. Pour intégrer ces puces sur le LTCC ESL 41020, deux techniques d'interconnexion ont été testées : le micro-câblage et le flip-chip. Les résultats trouvés pour les montages réalisés montrent qu'une interconnexion par la technique flip-chip est plus intéressante que le micro-câblage du fait de pertes plus faibles.

Dans la dernière partie de ce chapitre, une nouvelle puce MMIC « ligne microruban » basée sur les hot vias est proposée. Un montage sur le substrat LTCC est proposé et la simulation de cette puce est faite avant et après l'intégration sur le substrat LTCC. Les résultats des simulations du montage proposé sont intéressants et montrent de meilleures performances par rapport au micro-câblage et flip-chip. Le test de cette puce une fois réalisée en fonderie sera une perspective de cette thèse.

Le prochain chapitre est dédié à l'étude des problèmes thermiques en présence de puces actives générant de la chaleur comme l'amplificateur de puissance et présente les solutions de refroidissement étudiées et retenues.

# III. Solutions de refroidissement

TABLE DES MATIÈRES CHAPITRE III:

---

## III. Solutions de refroidissement

### III.1 Introduction

### III.2 Problème de dissipation de chaleur dans l'amplificateur de puissance

### III.3 Solutions de refroidissement

#### III.3.1 Solutions actives

#### III.3.2 Solutions passives

### III.4 Solutions proposées

#### III.4.1 Problème à résoudre

#### III.4.2 Solutions

### III.5 Conclusion

## **III.1 Introduction**

L'évolution continue de l'intégration électronique conduit à des dispositifs de taille de plus en plus petite et cette réduction de taille, du fait de la forte densité d'intégration, induit une densification de la puissance consommée et par conséquent l'échauffement des composants. Tous les composants électroniques sont sensibles à la température, ils peuvent être endommagés ou détruits par l'augmentation de la chaleur à dissiper ou leurs performances dégradées et leur durée de vie devient de plus en plus courte.

## **III.2 Problème de dissipation de chaleur dans l'amplificateur de puissance**

Dans le module émission conçu pour les hautes fréquences, le problème de l'échauffement ou la dissipation de chaleur représente un problème majeur qui peut amener au dysfonctionnement du module. Le report sur un substrat LTCC pour former le module rend le problème plus significatif du fait de la faible conductivité thermique du LTCC (environ 3 W/m.K). Une solution de refroidissement doit alors être intégrée dans le substrat LTCC pour éviter tout risque qui peut endommager l'ensemble.

La puce qui s'échauffe le plus dans un module d'émission est celle de l'amplificateur de puissance dont le développement de grille total peut être très important. Plus la puissance dissipée à travers le transistor est élevée, plus la température de la jonction augmente. Cette dissipation de puissance est liée au rendement en puissance de l'amplificateur qui est en pratique relativement faible, de l'ordre de 20 % voire 10 %. Ce rendement indique que 80 à 90 % de la puissance fournie par l'alimentation DC est perdue par effet Joule dans les transistors : elle doit donc être évacuée le mieux possible sous peine de voir la température de jonction augmenter au-delà de la limite acceptable (175°C pour le GaAs, 250°C pour le GaN). Les effets liés à la température s'observent également par une réduction du courant de drain dans un transistor FET, par un emballement thermique dans un bipolaire,...

Les solutions de refroidissement sont nombreuses et classées en deux catégories : solution de refroidissement active et solution passive. Les solutions actives nécessitent une action ou intervention de l'extérieur, alors que les solutions passives ne nécessitent aucune action externe. Dans la section qui suit, on présente quelques exemples de solutions de refroidissement.

## III.3 Solutions de refroidissement

### III.3.1 Solutions actives

Les solutions de refroidissement actives sont des solutions qui nécessitent une action extérieure. Cette dernière se fait par exemple à l'aide d'une pompe pour permettre la circulation d'un fluide de refroidissement.

Dans [62], un exemple de ce type de solutions a été présenté pour dissiper la chaleur produite par un amplificateur de puissance. Des micro-canaux sont créés dans les couches LTCC et la chaleur est transférée de l'amplificateur vers les canaux par des couches conductrices et des vias. Le liquide (eau) qui circule dans ces canaux permet l'évacuation de chaleur. Deux modèles sont proposés : un avec une circulation du liquide parallèle à l'amplificateur et un avec une circulation perpendiculaire. La figure 87 ci-dessous montre les deux modèles proposés.

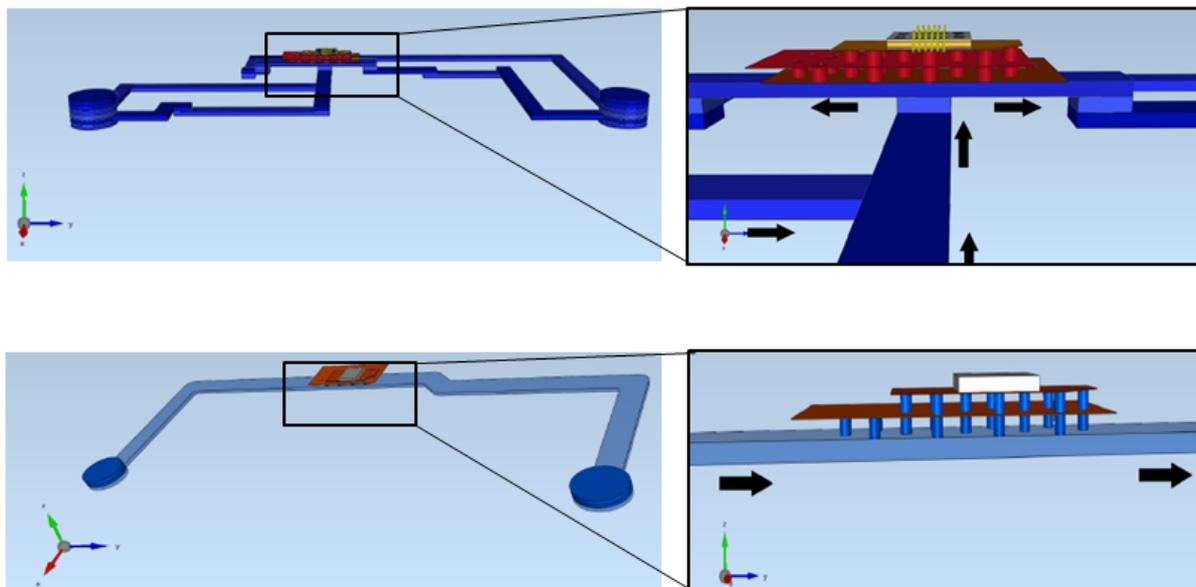


Figure 87. Vue 3D de l'amplificateur placé sur des couches conductrices et des vias avec des micro-canaux au-dessous de l'ensemble [62] © [2017]

Des mesures effectuées montrent que le modèle avec une circulation perpendiculaire à la source de chaleur offre une meilleure dissipation. Cette publication montre la possibilité de faire circuler un liquide dans un substrat LTCC à travers des micro-canaux.

Une autre solution de refroidissement active est donnée par [63]. Elle est basée sur un micro-canal et des vias et deux modèles ont été comparés : le premier avec un canal qui passe

### III. Solutions de refroidissement

sous deux puces à travers le LTCC et le second avec des vias qui traversent le canal. La figure ci-dessous montre les deux modèles comparés.

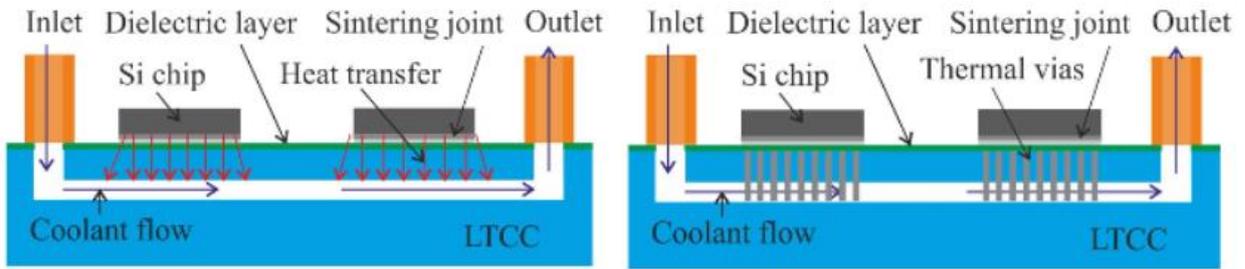


Figure 88. Vue en coupe des deux solutions de refroidissement proposées en [63] © [2017]

Les simulations montrent que le modèle avec des vias réduit la température de 43 % par rapport au modèle sans vias d'où le choix en réalisation de ce dernier. Les vias sont créés sur les couches LTCC au-dessus du canal ainsi qu'à travers le *tape* fugitif (*carbon tape*).

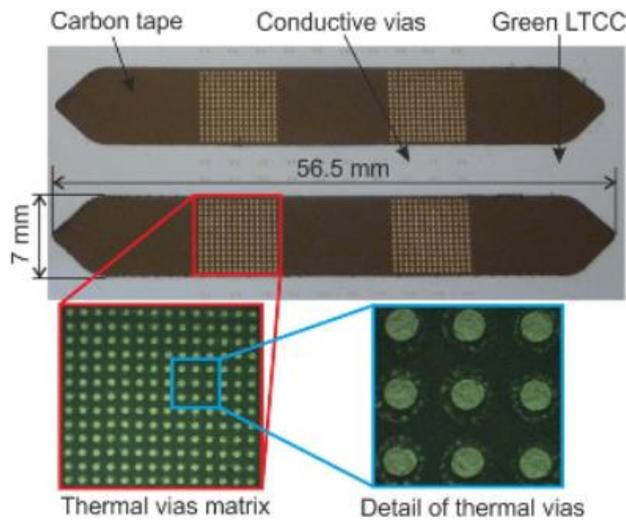


Figure 89. Les vias conducteurs à travers le *tape* fugitif [63] © [2017]

Les résultats de mesure et de simulation thermique montrent une différence moyenne de 6,1 % ce que souligne une très bonne concordance entre les deux.

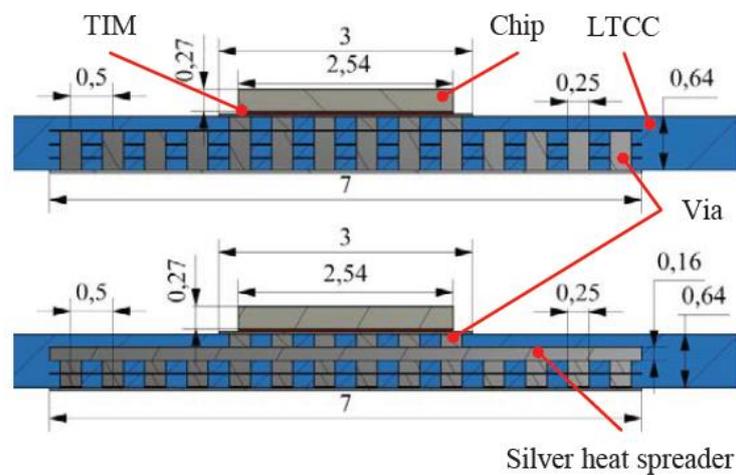
### III.3.2 Solutions passives

Les solutions de refroidissement passives sont des solutions simples si on les compare aux solutions actives. Elles ne nécessitent pas une intervention extérieure car on les intègre directement au niveau de la source de chaleur.

Un exemple de solution passive est donné dans [64] dans lequel deux modèles ont été comparés. Le premier intègre des vias en argent (Ag) sous la puce qui s'échauffe et le second un

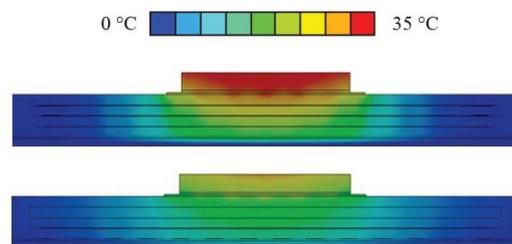
### III. Solutions de refroidissement

dissipateur de chaleur et des vias (Ag). Le dissipateur est réalisé par une couche conductrice comme le montre la figure 90.



**Figure 90. Vue en coupe des modèles réalisés : modèle avec vias (en haut), modèle avec dissipateur de chaleur (en bas) [64] © [2017]**

D'après les simulations et les mesures, le dissipateur de chaleur offre une réduction de température plus importante que les vias : la température du modèle avec dissipateur et vias est inférieure à celle du modèle avec vias seuls de 30,5%. L'ajout de couches conductrices entre les *tapes* LTCC avec les vias permet donc d'améliorer la dissipation de la chaleur comme l'illustre la figure 91.



**Figure 91. Distribution de la température pour les deux modèles réalisés : modèle avec vias (en haut) et modèle avec dissipateur de chaleur (en bas) [64] © [2017]**

Une autre solution de refroidissement passive est proposée par [65]. Dans le but de dissiper la chaleur délivrée par une puce LED (Light-emitting diode) de 1 Watt intégrée sur un substrat LTCC, deux solutions ont été comparées : la première consiste à réaliser un bloc de cuivre plaqué or (GPC) et la seconde, un bloc en aluminium plaqué argent (SPA) sous la puce dans le substrat LTCC. Dans les deux modèles GPC et SPA, l'alliage 80Au20Sn a été utilisé comme un alliage eutectique<sup>1</sup> qui est placé entre la puce et le bloc pour le modèle GPC et pour le modèle SPA,

<sup>1</sup> Eutectique : mélange de deux ou plusieurs corps purs qui fond et se solidifie à température constante de manière uniforme, contrairement aux mélanges habituels où le changement de température conduit à une variation de la proportion de solide par rapport à celle de liquide. [Wikipédia]

### III. Solutions de refroidissement

entre la puce et un substrat silicium, qui est collé par la suite sur le bloc par une colle Ag-époxy. La figure 92 montre les deux modèles étudiés.

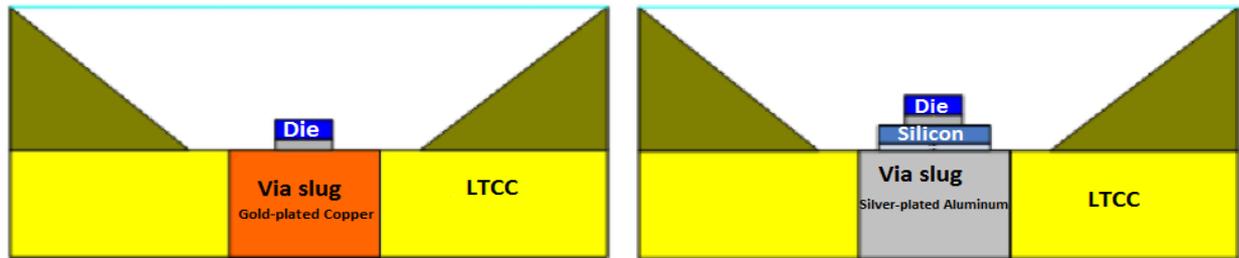


Figure 92. Photo des deux solutions : bloc de cuivre plaqué or (à gauche) et bloc d'aluminium plaqué argent (à droite) intégrés dans le substrat LTCC au-dessous de la puce LED [65] © [2012]

Les simulations montrent qu'une structure avec un bloc en cuivre plaqué or intégré sous la puce dans le substrat LTCC donne une température maximale de 52,9°C tandis que pour une structure avec un bloc en aluminium plaqué argent, elle est de 65,4°C. Nous pouvons conclure que le modèle GPC est meilleur en refroidissement du fait de la conductivité thermique du cuivre (385 W/m.K) qui est plus importante que celle de l'aluminium (201 W/m.K) et du chemin de dissipation plus court puisque la puce est montée directement sur le bloc.

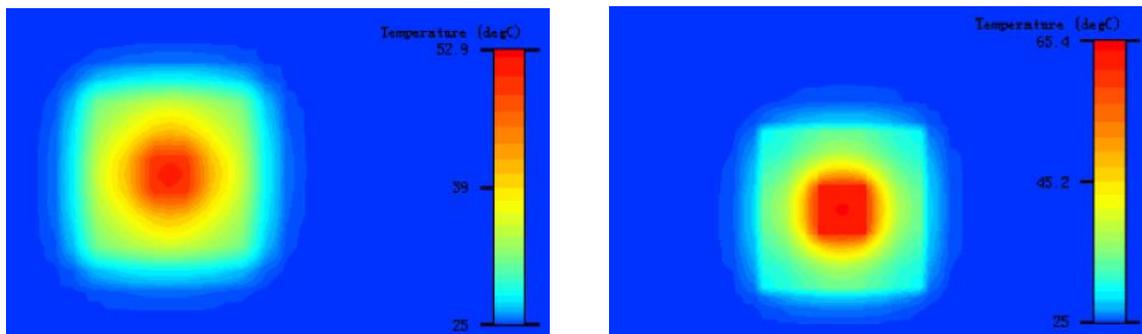


Figure 93. Distribution de la température pour la solution avec bloc de cuivre plaqué or (à gauche) et avec bloc d'aluminium plaqué argent (à droite) [65] © [2012]

## III.4 Solutions proposées

### III.4.1 Problème à résoudre

Dans cette partie nous allons proposer une solution de refroidissement qui permet de refroidir un amplificateur de puissance 4 étages de dimension  $2,5 \times 2 \times 0,056 \text{ mm}^3$  composé de 32 transistors : les transistors dans l'étage 2, 3, 4 livrent une puissance chacun de 50 mW et les transistors dans l'étage 1 livrent chacun une puissance de 25 mW. Les transistors sont réalisés sur un substrat GaAs d'épaisseur  $50 \text{ }\mu\text{m}$ . (Figure 94)

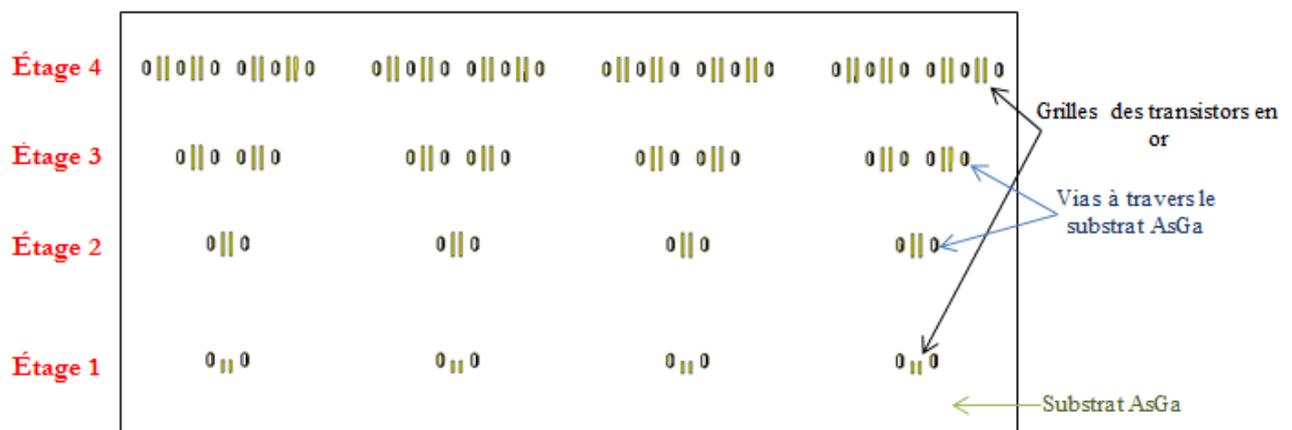
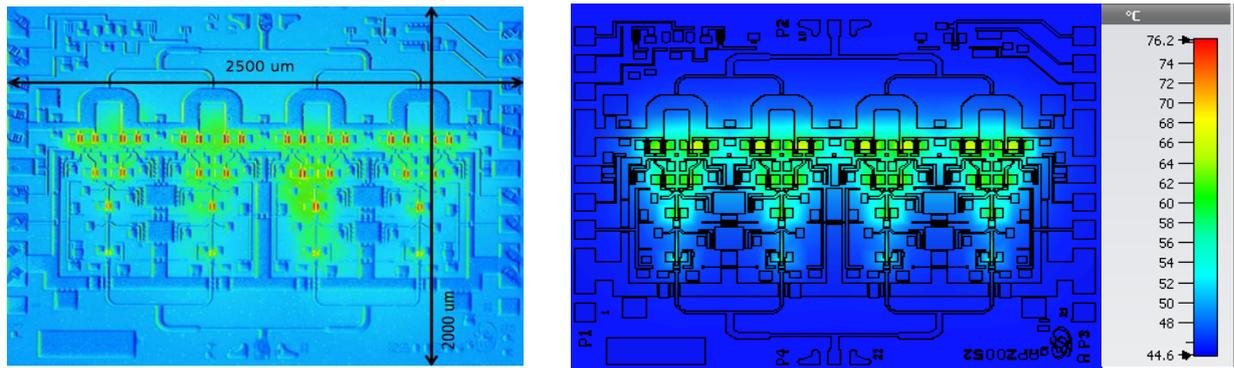


Figure 94. Layout des grilles des transistors intégrés dans l'amplificateur de puissance

La mesure thermique a été effectuée par Gotmic. L'amplificateur est collé sur un bloc en cuivre ( $385 \text{ W/m.K}$ ) de dimension  $2 \times 2 \times 4 \text{ cm}^3$  par une colle Ag-époxy de conductivité thermique  $6,5 \text{ W/m.K}$  et d'épaisseur  $20 \text{ }\mu\text{m}$  environ. L'ensemble est ensuite positionné sur un support placé à  $45^\circ\text{C}$  pour la mesure. Cette valeur de  $45^\circ\text{C}$  est choisie car à température ambiante la température varie beaucoup et ne se stabilise pas. Cette condition est prise en compte dans toutes les mesures et simulations effectuées dans la suite.

La mesure montre que la température maximale de l'amplificateur est de  $75^\circ\text{C}$ . La simulation thermique, dans laquelle toutes les conditions de mesure sont prises en compte, a été effectuée à l'aide du solveur thermique du simulateur CST (voir annexe 4) qui montre une bonne concordance avec la mesure avec une température maximale de  $76,2^\circ\text{C}$  (Figure 95).

### III. Solutions de refroidissement

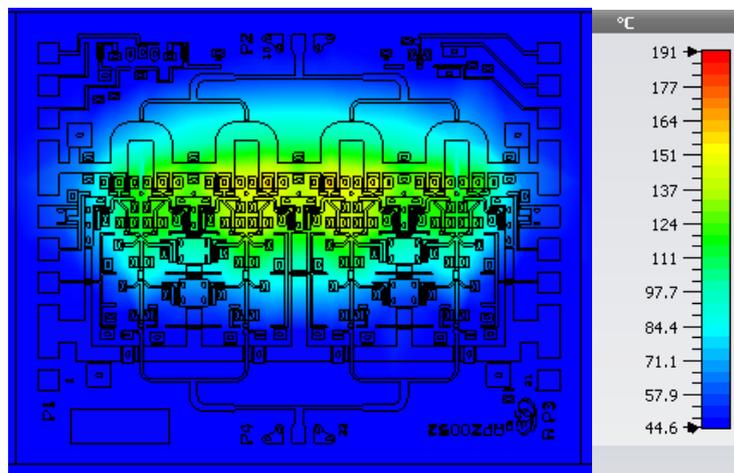


**Figure 95. Mesure (gauche) et simulation (droite) thermique de l'amplificateur de puissance placé sur un support 45°C**

L'intégration de l'amplificateur de puissance sur un substrat LTCC va augmenter la température maximale de chaque étage à cause de la faible conductivité thermique du LTCC (environ 3 W/m.K). Des simulations sont faites pour estimer la température maximale de l'amplificateur en présence d'un substrat LTCC.

Nous avons simulé la puce collée (colle utilisée dans la mesure) sur une seule couche LTCC ESL 41020 au-dessous de laquelle se trouve un support à 45°C. La température maximale est de 191 °C ce qui explique bien l'effet du substrat LTCC sur l'échauffement de l'amplificateur.

La figure 96 ci-dessous montre la simulation thermique avec une seule couche LTCC.



**Figure 96. Simulation thermique de l'amplificateur de puissance collé sur une couche de LTCC**

Une simulation a également été effectuée avec cinq couches de LTCC ESL 41020 sous la puce d'amplificateur, ce qui est le nombre minimal de couches LTCC nécessaire pour intégrer une puce. La température maximale est alors de 348 °C (voir la figure 97).

### III. Solutions de refroidissement

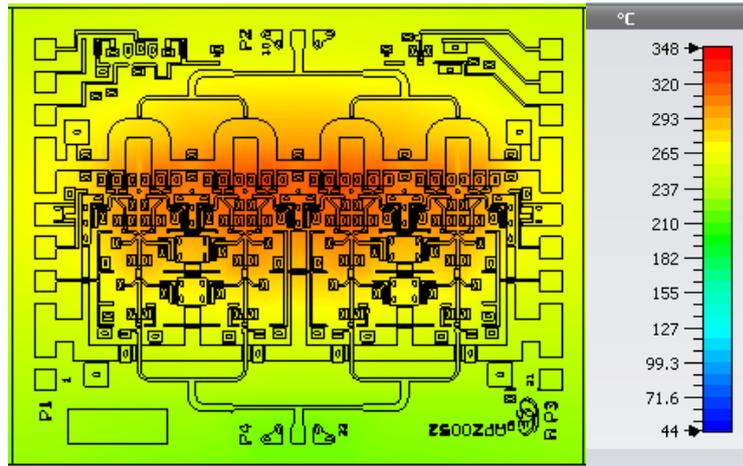


Figure 97. Simulation thermique de l'amplificateur de puissance placé sur cinq couches de LTCC

Pour un bon fonctionnement des transistors, la température de grille de chaque transistor ne doit pas dépasser 175°C. Comme on l'a déjà constaté, l'amplificateur de puissance utilisé atteint 348 °C si on le place sur cinq couches de LTCC ESL 41020 d'où la nécessité d'intégrer une solution de refroidissement.

#### III.4.2 Solutions

Nous proposons deux solutions : la première solution est le micro-caloduc et la deuxième solution est l'intégration des couches conductrices et des vias dans le substrat LTCC.

##### III.4.2.1 Micro-caloduc

###### III.4.2.1.1 Définition du caloduc

Le caloduc est un dispositif de refroidissement passif sous forme d'un tube rectangulaire ou circulaire en cuivre, LTCC ou autre. Il conduit la chaleur entre une source chaude et une source froide grâce au changement d'état d'un liquide (eau, alcool,...). La conduction de la chaleur se fait des hautes températures vers les basses températures.

Le fonctionnement du caloduc est basé sur ce principe et le transport de chaleur est assuré par le changement de phase du liquide à l'intérieur de tube. En effet, celui-ci existe sous la forme de deux états au sein du système : liquide et vapeur. Le liquide est au-dessous de la source de chaleur, il passe à l'état vapeur à cause de la chaleur. Ensuite, l'évaporation provoque une augmentation de la pression ce qui entraîne l'écoulement de la vapeur qui s'est formée vers l'autre côté du tube (la source froide), où le fluide se condense et se refroidit. Puis survient le

### III. Solutions de refroidissement

retour du liquide vers sa position initiale, qui est assurée par la force de gravité et/ou une force capillaire, et ainsi de suite. Cette dernière est créée par une structure capillaire qui enveloppe la surface interne du caloduc (treillis métallique, rainures...).

Nous avons testé un kit de démonstration de chez Thermacore Europe (Figure 98) qui contient un caloduc et une barre en aluminium. Pour le fonctionnement de ce caloduc, celui-ci est chauffé d'un côté avec un décapeur thermique puis la température est mesurée à chaque extrémité à l'aide d'un capteur thermique. Le même test a été effectué pour la barre en aluminium.



**Figure 98. Kit de démonstration de chez Thermacore Europe**

La valeur de la température du côté chauffé (source de chaleur) est de 79 °C et de 119 °C à l'autre extrémité. Ce résultat montre le bon fonctionnement du caloduc : il transfère la chaleur du côté où est générée la chaleur vers le côté froid où la chaleur va être dissipée. (Figure 99)



**Figure 99. Mesure du caloduc**

La mesure de température de la barre en aluminium (Figure 100) montre une valeur de 150 °C à l'extrémité chauffée (après un chauffage de 2 minutes environ) et une valeur de 101 °C de l'autre côté, ce qui montre la différence par rapport au caloduc.

### III. Solutions de refroidissement



**Figure 100. Mesure de la barre en aluminium**

#### III.4.2.1.2 Micro-caloduc en LTCC

Un micro-caloduc réalisé en LTCC est basé sur un canal enfermé dans les couches LTCC et qui est sous forme rectangulaire avec des rainures sur le dessus et le dessous du canal. Les dimensions du micro-caloduc LTCC dépendent du matériau LTCC, du liquide à faire circuler à l'intérieur et de la puissance de la source de chaleur.

La réalisation d'un micro-caloduc en LTCC Ferro A6M est donnée par [67]. Ce micro-caloduc est conçu pour refroidir une source de chaleur de 1 Watt. Les dimensions sont calculées à l'aide des équations données dans l'annexe 5.

Pour assurer le bon fonctionnement du caloduc après la réalisation, il doit être rempli par un liquide tout en gardant un bon niveau de vide à l'intérieur, ce qui représente l'étape la plus difficile à réaliser. La référence [67] décrit les difficultés pour bien rendre hermétique le micro-caloduc après le remplissage, ce qui provoque un manque de contrôle du vide et du liquide à l'intérieur et par conséquent le dysfonctionnement du micro-caloduc.

#### III.4.2.1.3 Réalisation du Micro-caloduc en LTCC ESL 41020

Dans le but de refroidir l'amplificateur de puissance (3 W), nous avons choisi de réaliser un micro-caloduc. Les dimensions du caloduc sont calculées à l'aide des équations 1 à 9 (de l'annexe 5) pour évacuer la moitié de la puissance (1,5 W). Cette valeur de puissance à évacuer est choisie pour adapter la taille du micro-caloduc à la taille du module envisagé (12 x 12 x 1 mm<sup>3</sup>) car plus la puissance à évacuer est importante, plus la taille du caloduc est grande. Si on place l'amplificateur de puissance qui dissipe 3 W sur un micro-caloduc qui évacue 1,5 W (Figure 101), la température maximale diminue à 75,8°C ce qui confirme bien le refroidissement de l'amplificateur (Figure 102).

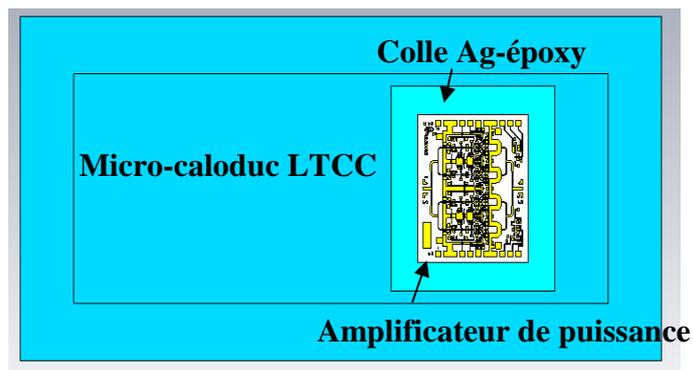


Figure 101. Illustration de l'amplificateur de puissance collé sur le micro-caloduc

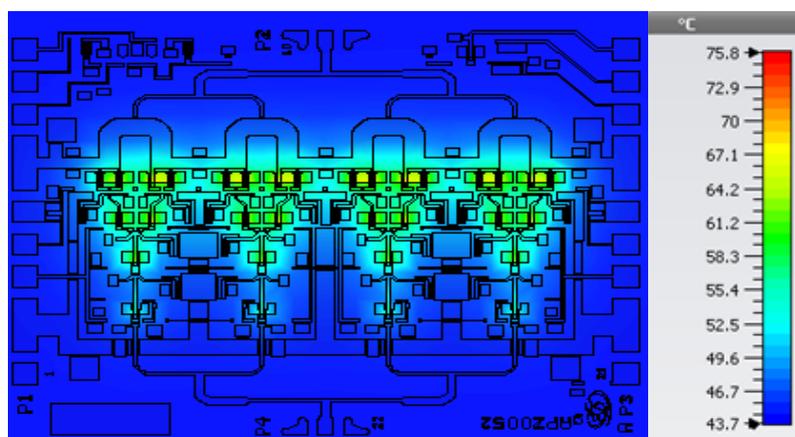


Figure 102. Simulation thermique de l'amplificateur de puissance (3 W) placé sur un micro-caloduc qui évacue 1,5 W

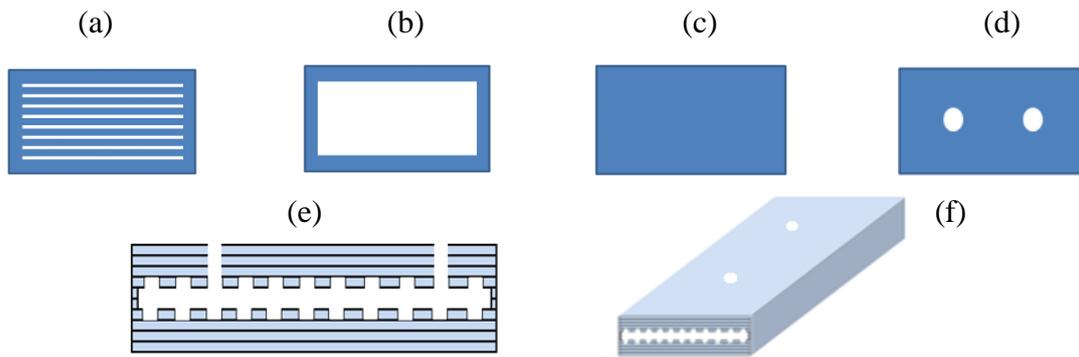
Dans un premier temps, nous avons réalisé 14 prototypes de micro-caloduc avec différentes dimensions pour trouver les limites en conception LTCC.

#### III.4.2.1.3.1 Couches LTCC du micro-caloduc

Dans un premier temps, quelques paramètres sont fixés, comme par exemple l'épaisseur totale du micro-caloduc et la profondeur des rainures. Le micro-caloduc doit être intégré dans un substrat LTCC qui ne dépasse pas 1 mm d'épaisseur. La création des rainures sur plus d'une seule couche LTCC peut donner des rainures avec des dimensions fausses à cause du désalignement des couches LTCC. Donc pour assurer des dimensions correctes pour les rainures, nous avons choisi une profondeur égale à l'épaisseur d'une couche.

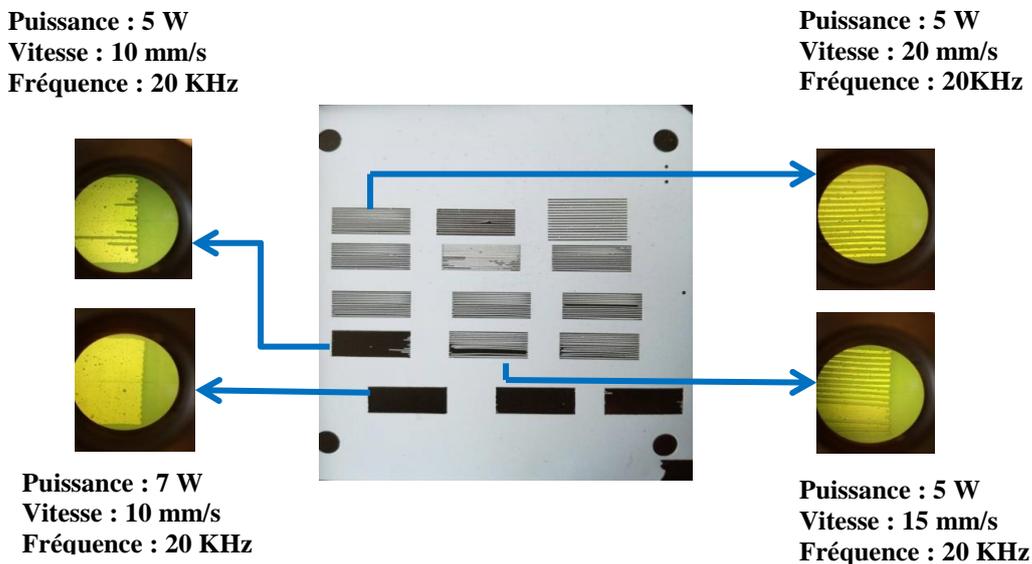
Pour les premiers tests, le nombre total de couches est 13. Les 5 couches au-dessous du caloduc ne contiennent rien (Figure 103, c et e), 4 couches au-dessus du caloduc qui contiennent des ouvertures (Figure 103, d et e), 2 couches qui contiennent des rainures (Figure 103, a et e) et 2 couches qui contiennent des cavités (Figure 103, b et e).

### III. Solutions de refroidissement



**Figure 103. (a) couches des rainures (b) couches de l'espace vapeur (c) couches au-dessous du micro-caloduc (d) couches au-dessus du micro-caloduc (e) vue en coupe du micro-caloduc (f) Structure du micro-caloduc**

Pour réaliser le micro-caloduc dans notre laboratoire, il faut prendre en compte les limites des équipements : la réalisation des rainures requiert un laser sophistiqué de diamètre variant entre 20-30  $\mu\text{m}$  (laser Astree 250 de Novalase, basé sur un laser Nd : YAG à 1 064 nm), dont la largeur de la rainure et de l'ailette sur le LTCC doit être légèrement plus grande que le diamètre du laser. D'après nos tests, la largeur de la rainure doit être supérieure ou égale à 100  $\mu\text{m}$  et la largeur de l'ailette supérieure ou égale à 50  $\mu\text{m}$ . La puissance et la vitesse de balayage du laser jouent aussi un rôle important pour réaliser les rainures sur la couche. Il faut ajuster ces paramètres convenablement pour éviter la détérioration des rainures (Figure 104).



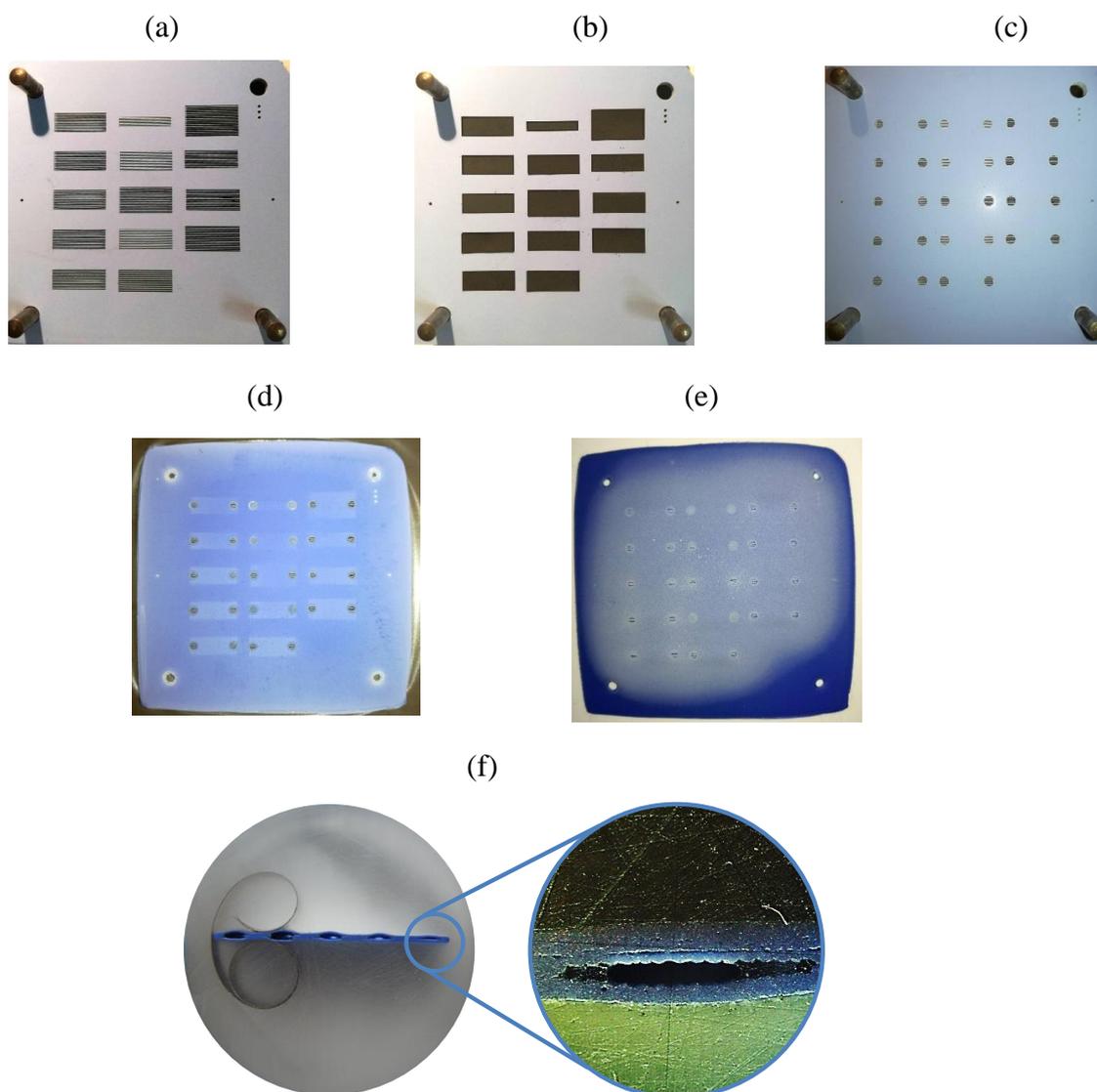
**Figure 104. Tests effectués pour le paramétrage du laser**

#### III.4.2.1.3.2 Prototypes réalisés

Les 14 prototypes qui ont été réalisés sur 13 couches LTCC se différencient par l'épaisseur de l'espace vapeur, la largeur de rainure, la largeur de l'ailette et le nombre des rainures. La figure 105 ci-dessous montre les couches qui contiennent les rainures (a), les couches qui contiennent les cavités pour l'espace vapeur (b), les couches qui se situent au-dessus des micro-

### III. Solutions de refroidissement

caloducs et qui contiennent des cheminées pour permettre la sortie du  $\text{CO}_2$  produit par les *tapes* fugitifs qui représentent le SVM (sacrificiel volume material) utilisé pour remplir les cavités (c). La figure 105 montre aussi le substrat LTCC qui intègre les 14 micro-caloducs après l'étape de laminage (d) et après la cuisson (e), la décoloration sur la surface est due au dépôts du SVM. On a effectué par la suite trois coupes sur le substrat, au milieu des micro-caloducs réalisés, pour pouvoir visualiser la forme à l'intérieur de ceux-ci (f).



**Figure 105.** Les couches qui contiennent les rainures (a), les couches qui contiennent les cavités pour l'espace vapeur (b), les couches qui se situent au-dessus des micro-caloducs (c), le substrat LTCC après laminage (d) le substrat après cuisson (e) et vue en coupe des micro-caloducs (f)

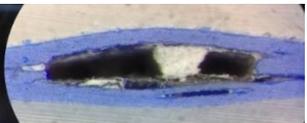
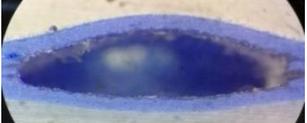
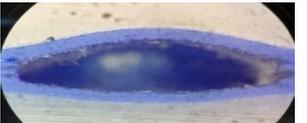
D'après les prototypes réalisés donnés dans le Tableau 8, on constate que la forme des rainures est passée de la forme rectangulaire à la forme trapézoïde, avec une détérioration de quelques unes qui est due au laminage pour lequel on utilise une pression de 210 bars et une température de 68 °C. On constate également un délaminage dans quelques prototypes. Les

### III. Solutions de refroidissement

prototypes réalisés montrent aussi une structure gonflée qui n'est pas rectangulaire, cet effet est dû au manque de dégagement du CO<sub>2</sub> produit par le *tape* fugitif dans l'étape de cuisson.

Pour résoudre les problèmes rencontrés dans ce premier test, nous proposons quelques solutions présentées dans le prochain paragraphe.

**Tableau 8. Résultats des tests effectués**

Micro-caloduc	Dimensions (μm)	interprétations
	tv = 150 μm 2W= 50 μm 2L1= 100 μm N= 10	-Nombre des rainures obtenu N = 08/20 -La forme de rainure est trapézoïdale -Pas de délaminage observé -Forme générale quasi-rectangulaire
	tv = 300 μm 2W= 50 μm 2L1= 100 μm N= 20	-Nombre des rainures obtenu N = 0/30 -Délamination dans la couche 4 -Structure gonflée
	tv = 375 μm 2W= 100 μm 2L1= 100 μm N= 20	-Nombre des rainures obtenu N = 16/40 -La forme des rainures est trapézoïdale -Délamination dans les couches 9 et 6 -Forme générale elliptique -Structure gonflée
	tv = 225 μm 2W= 150 μm 2L1= 150 μm N= 10	-Nombre des rainures obtenu N = 20/20 -La forme des rainures est trapézoïdale -Pas de délaminage observé -Forme générale quasi-rectangulaire -Structure légèrement gonflée
	tv = 225 μm 2W= 200 μm 2L1= 100 μm N = 15	-Nombre des dents obtenu N = 22/30 -La forme des rainures est trapézoïdale -Délaminage dans la couche 4 -Forme générale elliptique -Structure gonflée

#### III.4.2.1.3.1 Solutions proposées

### III. Solutions de refroidissement

Les résultats obtenus dans la section précédente nécessitent une amélioration de la qualité des rainures ainsi que de réduire le gonflement de la structure. Les solutions proposées sont données par les deux paragraphes qui suivent.

#### III.4.2.1.3.1.1 Solution pour une bonne qualité des rainure

Dans le but d'améliorer la qualité des rainures, il est nécessaire de changer les paramètres de laminage. La haute pression provoque l'écrasement des rainures et la faible pression provoque le délaminage de la structure. On doit alors trouver des paramètres qui permettent à la fois une bonne qualité des rainures et une structure totale sans délaminage. Pour cela, nous sommes partis des résultats présentés dans la thèse [68] où plusieurs types d'adhésif ont été utilisés avec une faible pression pour le laminage du LTCC : le laminage dit « froid » qui ne demande pas une température spécifique comme dans le laminage standard (68°C). Il y a deux types de laminage froid : le laminage froid avec faible pression et le laminage chimique froid.

Le laminage froid avec faible pression est une méthode qui se base sur l'utilisation de *tape* adhésif à base de poly-acrylate entre deux couches LTCC successives tout en travaillant à température ambiante et à faible pression, de l'ordre de 5 MPa. Durant la cuisson, les *tapes* adhésifs se décomposent (décomposition dès 270 °C), ce qui forme avec la structure poreuse du *tape* LTCC une force capillaire permettant de coller les couches LTCC entre elles. Contrairement au laminage standard, le laminage froid avec faible pression réduit les déformations pour les structures très fines en trois dimensions telles que les cavités et les micro-canaux. Ce type de laminage ne convient pas pour les *tapes* métallisés, ni pour les cavités fermées à cause de la décomposition de l'adhésif qui commence à 270°C et qui produit des cavités bouchées. On peut alors dire que le laminage froid avec faible pression ne convient pas pour le micro-caloduc.

Le laminage chimique froid se base sur l'utilisation des solvants adhésifs qui dissolvent un peu la surface des couches LTCC. Il y a des adhésifs commerciaux comme l'alcool et le 'thinner<sup>2</sup>' et il y a même d'autre adhésifs comme l'eau, le miel et la salive qui peuvent offrir le fonctionnement recherché. D'après [68], les tests effectués sur le Dupont 951 montrent que les adhésifs qui offrent des résultats favorables en laminage chimique froid sont le miel et la salive sans besoin de température ni pression, l'alcool et le thinner sont très agressifs et dissolvent rapidement les *tapes* et l'eau est inefficace. On a choisi alors le laminage avec miel et salive sans température et sans pression pour améliorer la qualité des rainures.

---

<sup>2</sup> Thinner : diluant utilisé pour remettre la pâte conductrice, à sérigraphier sur le LTCC, à l'état liquide une fois séchée.

### III. Solutions de refroidissement

Pour tester ces adhésifs, nous avons réalisé six micro-caloducs dans dix couches de LTCC, avec différentes largeurs et nombre de rainures (Figure 106). Deux coupes AA et BB ont été réalisées après cuisson : la figure 107 montre la position des coupes par rapport aux cavités sur le *tape* LTCC. Les résultats obtenus sont donnés sur les figures 108 et 109.

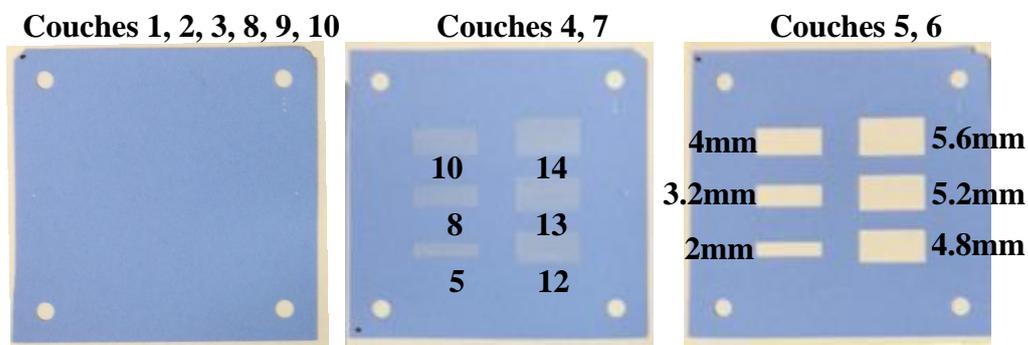


Figure 106. Les dix couches LTCC qui forment les micro-caloducs à tester

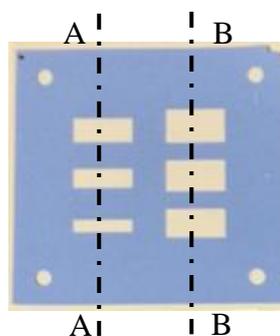


Figure 107. Les plans de coupes AA et BB pour l'analyse du laminage chimique froid

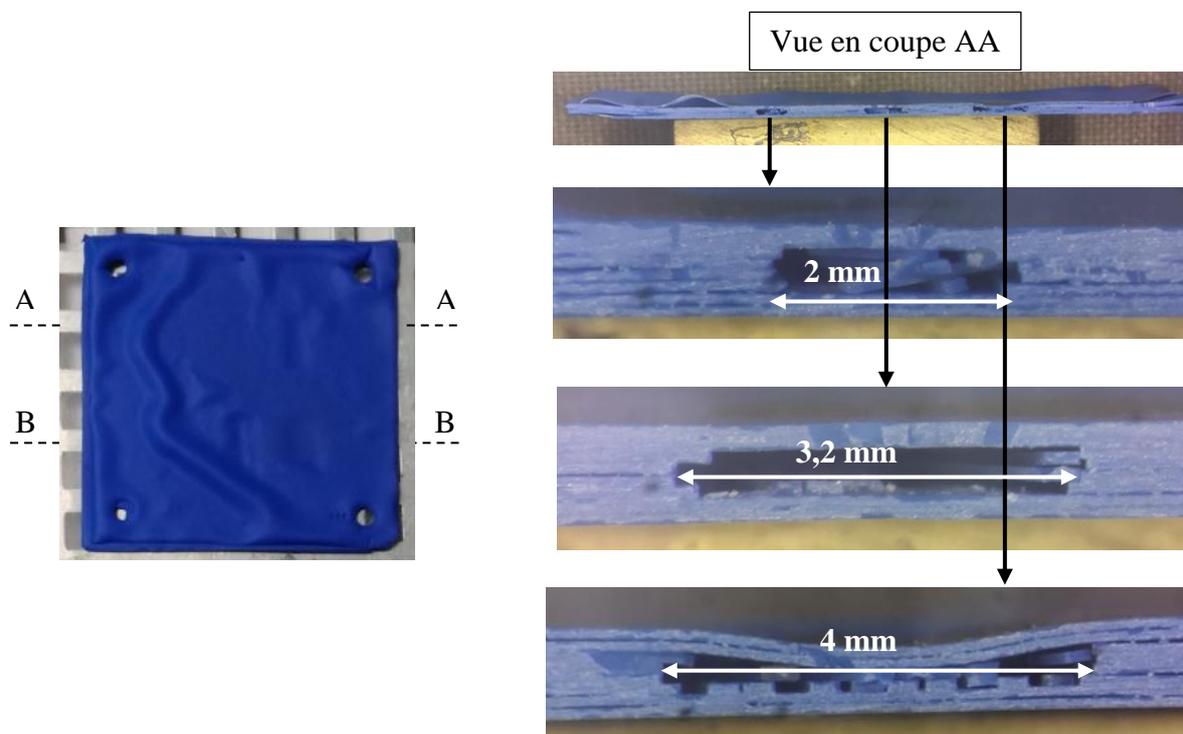
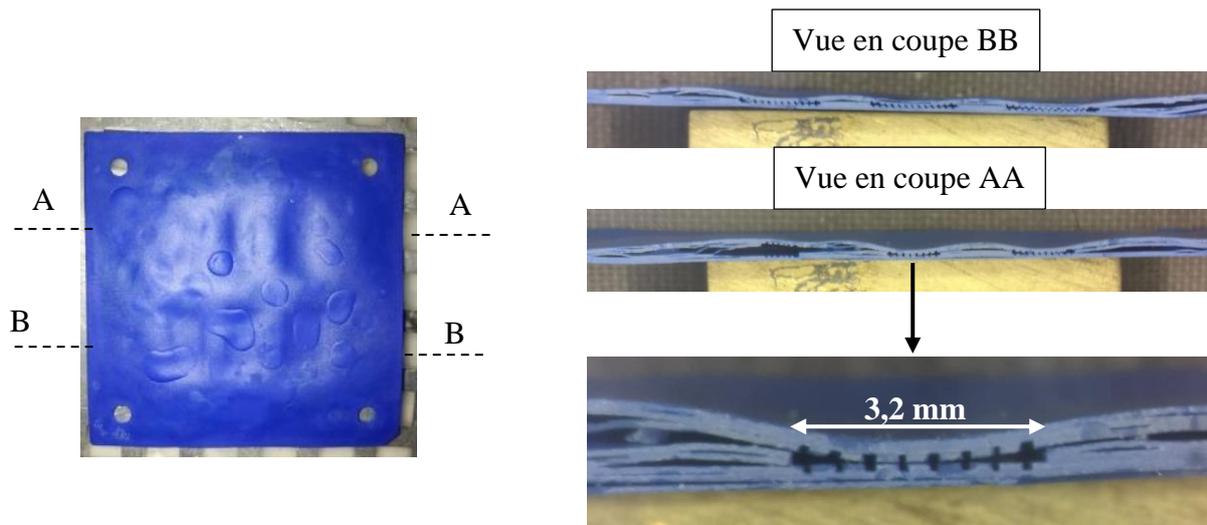


Figure 108. Photos du substrat ESL 41020 laminé par un laminage chimique froid avec salive après cuisson: vue de surface du substrat (à gauche) et vue en coupe (à droite)

### III. Solutions de refroidissement



**Figure 109. Photos de substrat ESL 41020 laminé par un laminage chimique froid avec miel après cuisson: vue de dessus du substrat (à gauche) et vue en coupe (à droite)**

A l'issue de ces tests, nous avons observé que la salive sèche très rapidement lors de l'empilement à cause de son absorption par les *tapes*, ce qui donne des *tapes* très mous. Après la cuisson, on remarque un gonflement sur la surface de la structure totale du substrat LTCC (Figure 108, gauche).

Les coupes transversales du substrat nous permettent de conclure que :

- les micro-caloducs de largeur 2 et 3,2 mm sont bien rectangulaires et ne sont pas écrasés malgré l'absence du SVM, mais leurs rainures sont cassées
- le micro-caloduc de largeur 4 mm est écrasé, par contre les rainures ne sont pas totalement cassées
- les micro-caloducs de largeur 4,8, 5,2 et 5,6 mm montrent le même résultat que celui de largeur 4 mm
- toute la structure montre un délaminage au niveau de la plupart des couches LTCC

Le test du miel comme adhésif offre une structure meilleure en empilement : les *tapes* sont bien collés entre eux (ce qui n'est pas le cas avec la salive), par contre les couches supérieures tombent dans les cavités du bas puisque le miel allourdit les *tapes*, d'où la nécessité d'avoir un SVM. Le volume de miel à appliquer doit être bien contrôlé et en très faible quantité pour éviter que les *tapes* ne l'absorbent. Après la cuisson, on remarque que, au contraire de la salive, la surface n'est pas gonflée mais elle contient des bulles d'air. La vue en coupe montre que :

- tous les micro-caloducs sont écrasés quelle que soit la largeur, ce qui montre la nécessité d'un SVM

### III. Solutions de refroidissement

- les rainures ne sont pas cassées avec une forme bien rectangulaire (Figure 109, droite en bas)
- un délaminage remarquable sur toute la structure qui est plus important que dans le cas de la salive

On peut conclure alors que la salive est meilleure en termes de forme des micro-caloducs de largeur inférieure à 8 mm qui ne sont pas écrasés et du délaminage qui est moins grave par rapport au miel. En contre partie, le miel offre une structure moins gonflée ainsi que des rainures bien rectangulaires et pas cassés.

Dans cette étude, nous nous intéressons à la qualité des rainures : le miel est donc la solution retenue avec nécessité d'apporter quelques améliorations comme l'ajout d'un SVM pour éviter l'écrasement des cavités et l'application d'une faible pression pour éviter le délaminage.

#### III.4.2.1.3.1.2 Solution pour une structure non gonflée

Pour résoudre le problème de gonflement du micro-caloduc, deux solutions ont été proposées : la première est de tester un autre type de SVM et la deuxième est de prolonger le profil de cuisson.

Un test de deux types de SVM a été effectué dans [69] pour la réalisation des micro canaux : l'alcool cytélique et le carbone. D'après les tests effectués, l'alcool cytélique offre des meilleurs résultats en termes de qualité et de taille des canaux. Ce type de SVM est compatible avec les cavités internes et ne dégage pas du gaz dans l'étape de cuisson, ce qui élimine le problème de gonflement.

Le PMMA comme SVM a été utilisé dans [70] sous forme de feuilles et de poudre pour des cavités internes en LTCC. Le test de la structure sans SVM, avec PMMA poudre et avec PMMA feuille a été réalisé. D'après les résultats obtenus, une structure sans SVM donne une cavité écrasée, une structure avec PMMA poudre offre une cavité de bonne qualité mais il a un impact significatif sur les composants passifs sérigraphiés. La structure avec PMMA feuille offre une très bonne qualité des cavités internes avec aucun impact sur les éléments sérigraphiés du fait de sa surface lisse. Le PMMA ne dégage aucun gaz lors de la cuisson.

D'après les deux publications citées précédemment, nous avons choisi de tester l'alcool cytélique [71] et le PMMA feuille [72] pour le micro-caloduc avec un laminage standard (68°C et 210 bars). On reprend la même structure testée pour les adhésives salive et miel (Figure 106 et figure 107). Les résultats de nos tests sont donnés sur la figure 111 et la figure 112.

### III. Solutions de refroidissement



Figure 110. Photos de la cavité remplie par l'alcool cytélique fondu (gauche) et par les feuilles de PMMA (droite)

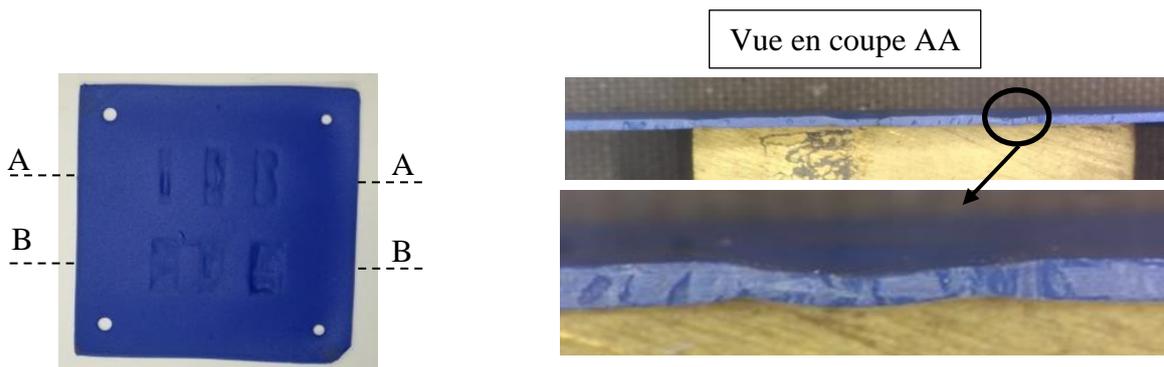


Figure 111. Photos du substrat ESL 41020 après cuisson avec le SVM alcool cytélique : vue de dessus du substrat (à gauche) et vue en coupe (à droite)

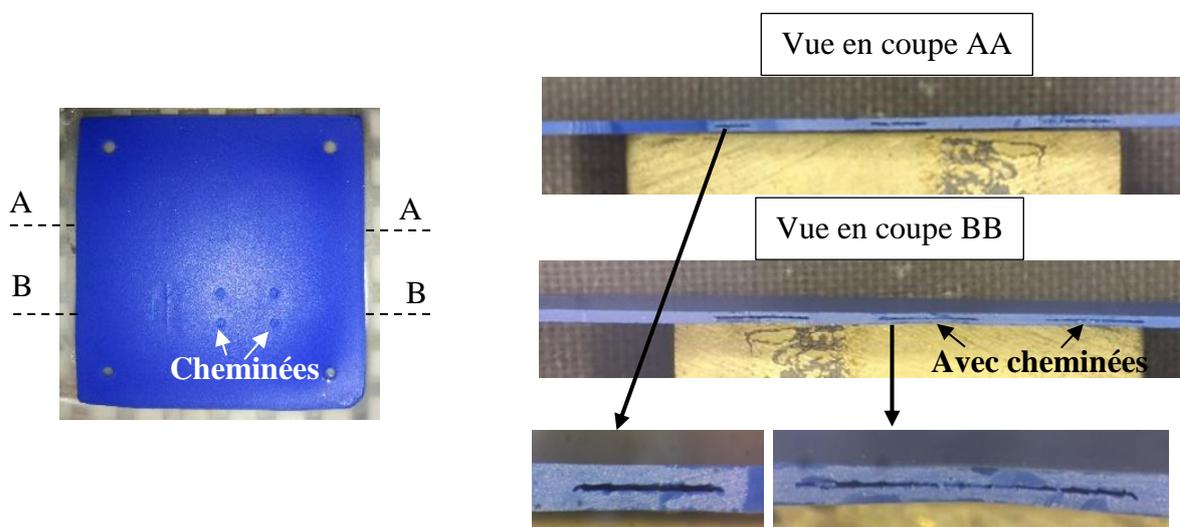


Figure 112. Photos de substrat ESL 41020 après cuisson avec SVM PMMA : vue de dessus du substrat (à gauche) et vue en coupe (à droite)

L'alcool cytélique étant sous forme solide (Figure 110, gauche), il doit être fondu à 50°C pour pouvoir remplir les cavités. La première difficulté est qu'il se solidifie rapidement dès qu'il est à la température ambiante ce que rend l'application un peu complexe. La deuxième difficulté est qu'il fait fondre les *tapes* s'il reste longtemps à l'état liquide. Dans l'étape de laminage (68°C pendant 10 minutes), l'alcool est dans son état liquide et il fait fondre les *tapes* LTCC ce qui

### III. Solutions de refroidissement

donne des cavités écrasées. Après cuisson, les rainures et les cavités ont alors disparu ce qui est bien visible dans la figure 111 à droite. Cette solution est donc à éviter.

Le PMMA est disponible sous forme de feuilles transparentes d'épaisseur égale à 50  $\mu\text{m}$  (Figure 110, droite). Pour pouvoir placer les feuilles dans la cavité avec les dimensions convenables, il est nécessaire de les couper avec un outil précis. Vu la petite taille de cavité, une lame ou des ciseaux ne permettent pas d'avoir les dimensions voulues. C'est pourquoi, nous avons effectué la découpe par le laser utilisé pour couper les *tapes* LTCC, mais la découpe n'a pas fonctionné car le laser brûle la feuille PMMA. Un autre test de découpe a été fait à l'aide du graveur laser Rayjet [73] qui dispose d'un laser  $\text{CO}_2$  pour créer des ouvertures ou des formes dans différents matériaux. Ce laser nous a permis d'avoir une coupe assez propre avec des dimensions correctes. Dans la cavité d'épaisseur 150  $\mu\text{m}$ , on place trois feuilles de PMMA ( $50 \times 3 = 150$ ).

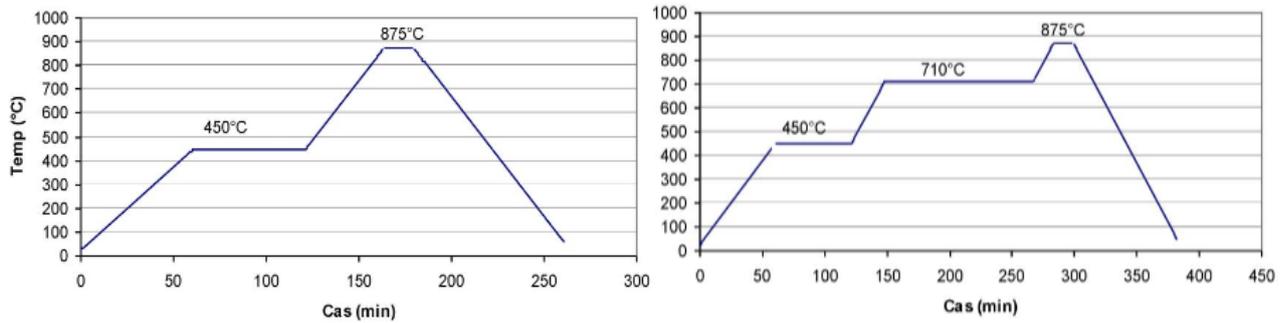
D'après le résultat de test du PMMA, nous pouvons conclure que le résultat est bien meilleur qu'avec l'acool cytélique. Les deux vues en coupe AA et BB de la figure 112 montrent que les trois micro-caloducs de plus faibles largeurs (coupe AA : 2 mm, 3,2 mm et 4 mm) ne sont pas écrasés. La vue en coupe BB où les micro-caloducs sont plus larges montre que ces derniers sont écrasés au milieu, que ce soit avec ou sans cheminées.

A l'issue de ces différents tests, nous pouvons conclure que :

- le PMMA ne dégage pas de gaz, les cheminées ne sont donc pas nécessaires
- il est possible d'avoir des cavités non écrasées ni gonflées pour une largeur inférieure ou égale à 4 mm
- le test des deux SVM alcool cytélique et PMMA prouve bien que le dernier offre de très bons résultats en termes de facilité d'application et de qualité des cavités

La deuxième solution proposée est de prolonger le profil de cuisson comme dans [74]. Les *tapes* fugitifs (carbone) commencent à se transformer en gaz  $\text{CO}_2$  à 710  $^\circ\text{C}$  qui s'évacue à travers des ouvertures dans la structure LTCC. Dans le profil de cuisson standard (Figure 113 à gauche) la température passe de 450 $^\circ\text{C}$  à 875 $^\circ\text{C}$  en 30 minutes ce qui ne donne pas le temps nécessaire au  $\text{CO}_2$  de se dégager complètement. Le profil prolongé (Figure 113 à droite) est utilisé dans le but de donner ce temps nécessaire. Il a le même schéma que le profil standard mais avec deux heures en plus à 710  $^\circ\text{C}$ .

### III. Solutions de refroidissement



**Figure 113. Profil de cuisson standard (à gauche) et prolongé (à droite) [74] © [2009]**

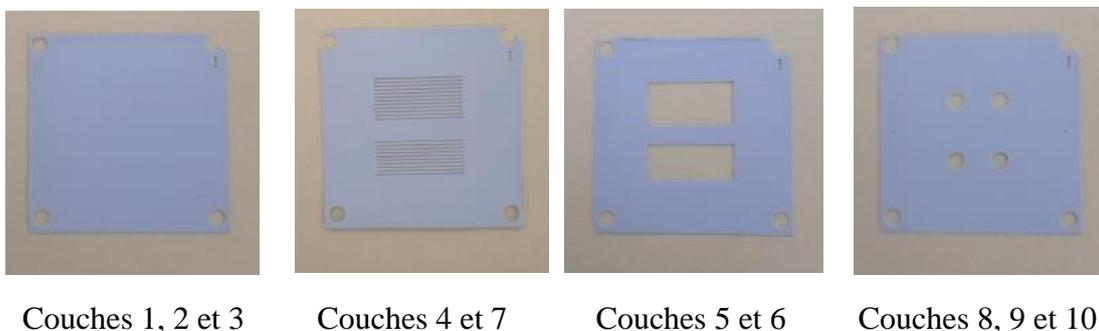
#### III.4.2.1.3.2 Test de combinaison des solutions proposées

D'après les tests effectués, il ressort que, d'une part, le miel avec une faible pression peut donner une bonne qualité des rainures et d'autre part, que l'utilisation du PMMA en feuille mais aussi le profil de cuisson prolongé permet de résoudre le problème de gonflement ainsi que d'améliorer la qualité des cavités.

Pour tester ces trois facteurs et leur impact sur le résultat, nous avons réalisé un plan d'expérience dans lequel trois paramètres ont été modifiés :

- le premier paramètre est sans ou avec adhésif (miel) : sans adhésif cela veut dire qu'on utilise un laminage standard à 210 bars de pression et 68 °C de température, avec adhésif ou miel on utilise une pression de 10 bars et une température ambiante
- le deuxième paramètre est le SVM : on utilise le *tape* fugitif ou le PMMA
- le troisième paramètre est le profil de cuisson : on applique un profil de cuisson standard ou prolongé

Huit prototypes ont été réalisés avec une combinaison des trois paramètres cités précédemment. Chaque prototype est composé de 10 couches : 2 couches pour les rainures, 2 couches pour l'espace vapeur et 6 couches pour le dessous et le dessus du micro-caloduc (voir figure 114).



Couches 1, 2 et 3

Couches 4 et 7

Couches 5 et 6

Couches 8, 9 et 10

**Figure 114. Les dix couches qui forment les micro-caloducs à tester**

### III. Solutions de refroidissement

Pour interpréter les huit prototypes réalisés, les dimensions indiquées sur la figure 115 ont été mesurées et comparées aux valeurs calculées données dans le tableau 9.

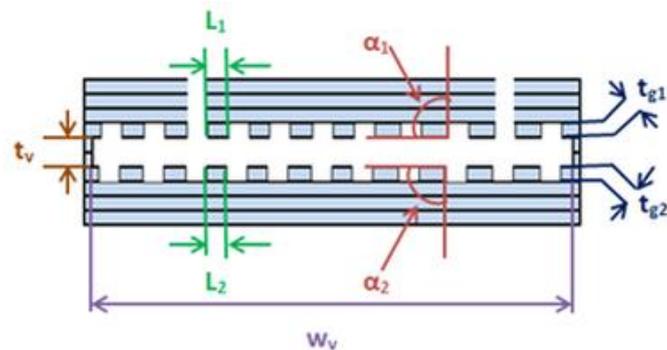


Figure 115. Dimensions du micro-caloduc

Tableau 9. Dimensions calculées du micro-caloduc

$W_v$	4 mm	tg1 et tg2	0.075 mm	$\alpha_1$ et $\alpha_2$	90°
$t_v$	0.15 mm	L1 et L2	0.3 mm	N: Nombre des rainures	20

Les coupes des huit prototypes réalisés sont données sur la figure 116.

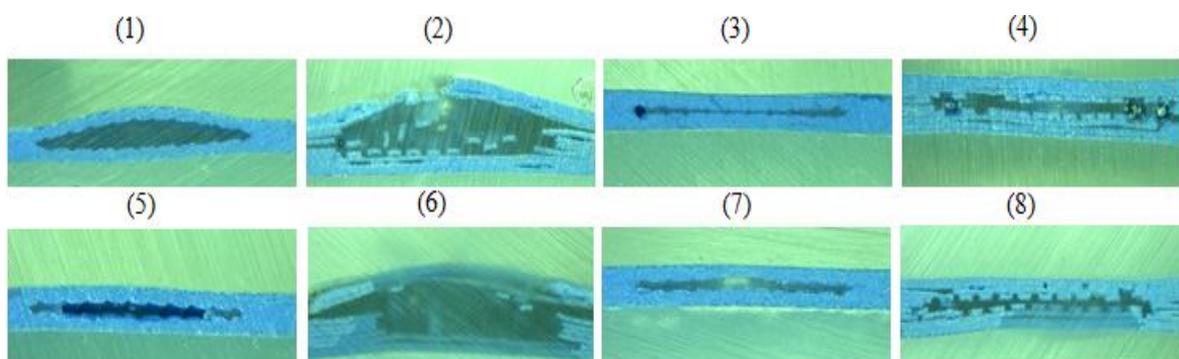


Figure 116. Vue en coupe des prototypes : (1) *tape* fugitif sans adhésif et profil de cuisson standard, (2) *tape* fugitif, avec adhésif et profil de cuisson standard, (3) PMMA, sans adhésif et profil de cuisson standard, (4) PMMA, avec adhésif et profil de cuisson standard, (5) *tape* fugitif, sans adhésif et profil de cuisson prolongé, (6) *tape* fugitif, avec adhésif et profil de cuisson prolongé, (7) PMMA, sans adhésif et profil de cuisson prolongé, (8) PMMA, avec adhésif et profil de cuisson prolongé

D'après la figure 116, on observe selon le prototype que :

- Prototype 1 : on utilise le *tape* fugitif comme SVM, les paramètres de laminage standard (68°C et 210 bars) et le profil de cuisson standard. Après réalisation, on observe une structure gonflée avec des rainures écrasés.

- Prototype 2 : on utilise le *tape* fugitif comme SVM, un laminage chimique froid (ajout de miel comme adhésif avec une pression de 10 bars et une température ambiante) et le profil de

### III. Solutions de refroidissement

cuisson standard. Après réalisation, on observe une structure gonflée, un délaminage au niveau de toutes les couches et des rainures non écrasées mais cassées.

- Prototype 3 : on utilise le PMMA comme SVM, les paramètres de laminage standard (68°C et 210 bars) et le profil de cuisson standard. Après réalisation, on observe une structure non gonflée et des rainures rectangulaires non écrasées.

- Prototype 4 : on utilise le PMMA comme SVM, un laminage chimique froid et le profil de cuisson standard. Après réalisation, on observe une structure non gonflée bien rectangulaire mais avec des rainures cassés et un délaminage au niveau de toutes les couches.

- Prototype 5 : on utilise le *tape* fugitif comme SVM, les paramètres de laminage standard et un profil de cuisson prolongé. Après réalisation, on observe une structure non gonflée bien rectangulaire et des rainures rectangulaires qui sont un peu déformées.

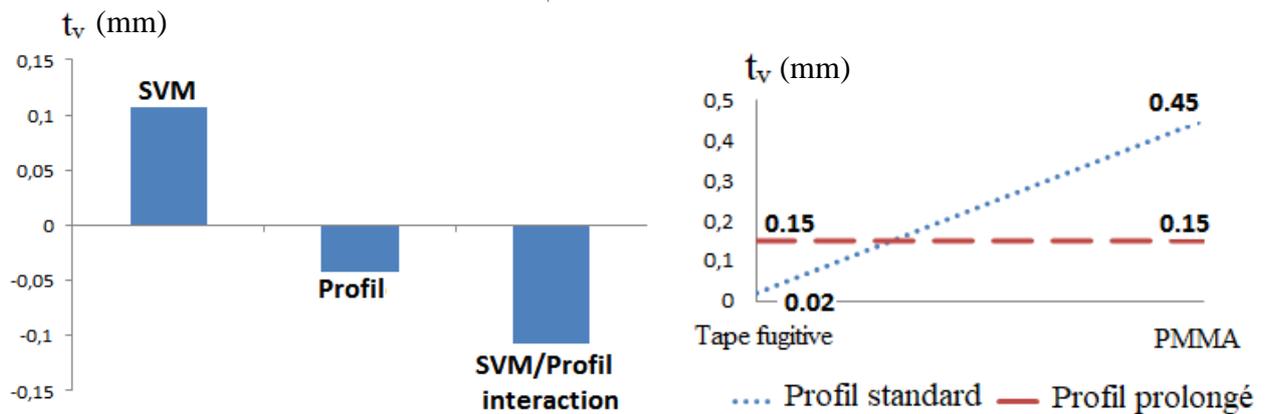
- Prototype 6 : on utilise le *tape* fugitif comme SVM, un laminage chimique froid et un profil de cuisson prolongé. Après réalisation, on observe une structure gonflée, un délaminage au niveau de toutes les couches et des rainures cassées.

- Prototype 7 : on utilise le PMMA comme SVM, les paramètres de laminage standard et un profil de cuisson prolongé. Après réalisation, on observe une structure non gonflée et des rainures un peu déformées.

- Prototype 8 : on utilise le PMMA comme SVM, un laminage chimique froid et le profil de cuisson prolongé. Après réalisation, on observe une structure non gonflée bien rectangulaire et des rainures bien rectangulaires aussi mais la structure totale est délaminée.

A partir des observations précédentes, nous pouvons conclure que les prototypes 3, 5 et 7 sont les meilleurs. On conclut aussi que, dans tous les cas où on utilise le laminage chimique froid, on observe un délaminage dans toutes les couches LTCC (prototypes 2, 4, 6 et 8) : le laminage chimique froid est une solution à éliminer. Par conséquent, dans le plan d'expérience réalisé nous allons nous intéresser à l'effet du deuxième (SVM) et du troisième paramètre (profil de cuisson) qui ont une influence sur l'épaisseur de l'espace vapeur  $t_v$ .

### III. Solutions de refroidissement



**Figure 117. Diagramme Paréto des effets principaux sur l'épaisseur de l'espace vapeur (à gauche) et courbe d'interaction entre le SVM et le profil de cuisson (à droite)**

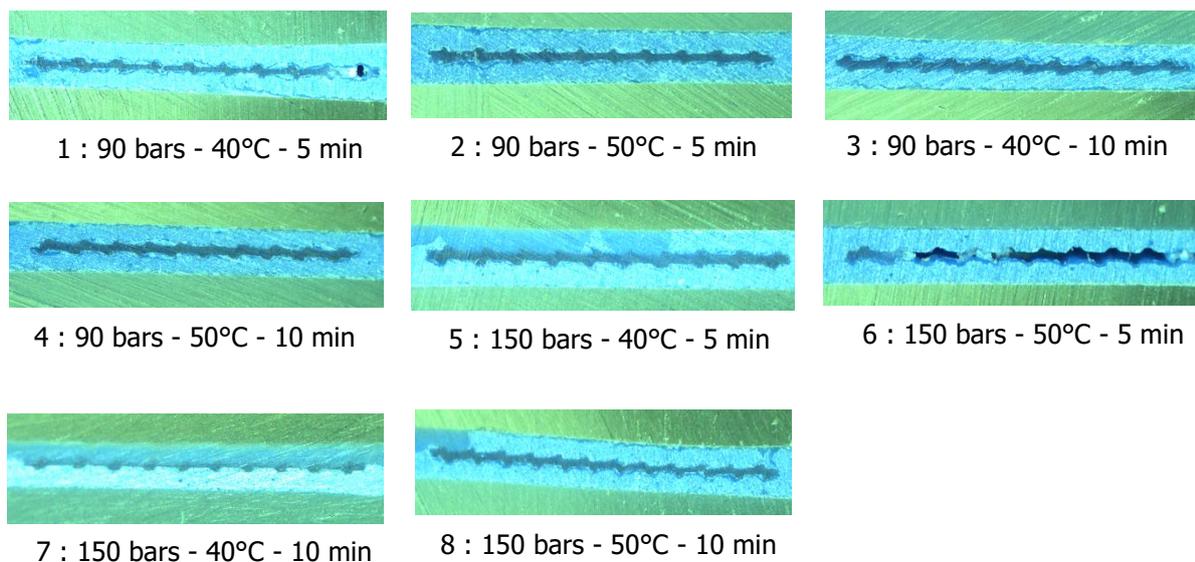
D'après le diagramme Paréto de la figure 117 (gauche), nous pouvons voir que l'interaction entre le SVM et le profil de cuisson a un effet majeur sur l'épaisseur de l'espace vapeur. La courbe à droite montre que, pour avoir la bonne valeur de l'épaisseur de l'espace vapeur, on doit utiliser un profil prolongé quel que soit le SVM, c'est-à-dire, d'après nos réalisations, les prototypes 5 et 7. Après une mesure de toutes les dimensions des prototypes 5 et 7, on trouve que le prototype 5 est le plus proche en dimensions du modèle calculé mais les rainures sont toujours déformées. Dans le but de résoudre le problème de déformation des rainures, on a poursuivi le travail en faisant varier cette fois-ci les paramètres de laminage, c'est-à-dire la température, la pression et le temps de pression tout en utilisant le SVM et le profil de cuisson du prototype 5. Les valeurs testées sont données dans le tableau 10.

**Tableau 10. Valeurs des paramètres de laminage testées**

Paramètres de laminage	Valeur 1	Valeur 2
Température (°C)	40	50
Pression (bars)	90	150
Temps de pression (minutes)	5	10

Les coupes des prototypes réalisés sont données sur la figure 118.

### III. Solutions de refroidissement



**Figure 118. Vue en coupe des huit prototypes réalisés**

Dans ce test, on s'intéresse à la forme des rainures et au bon alignement des rainures au-dessus et au-dessous de l'espace vapeur. D'après la figure 118, les prototypes 1, 2, 5 et 6 sont les meilleurs puisque la forme des rainures est améliorée et l'alignement des rainures en haut et en bas est parfait. En interprétant ces résultats, nous pouvons dire que la pression pendant 5 minutes permet d'avoir des rainures bien alignées et, pour une durée de 10 minutes, la diminution de la pression à 90 et 150 bars permet d'améliorer la forme des rainures. La température n'a aucun effet sur la structure des rainures (même résultat pour 40 et 50°C).

Malgré l'amélioration de la forme des rainures dans les prototypes 1, 2, 5 et 6, le résultat final n'est pas suffisant et il est nécessaire de poursuivre les tests en diminuant plus la pression et le temps de pression. La température sera fixée à 50°C.

Le tableau 11 ci-dessous donne les valeurs de temps et de pression testées.

**Tableau 11. Valeurs de temps et pression testées**

Paramètres de laminage	Valeur 1	Valeur 2	Valeur 3
Pression (bars)	70	90	150
Temps de pression (minutes)	2	5	-

### III. Solutions de refroidissement

Les coupes des prototypes réalisés sont données sur la figure 119.

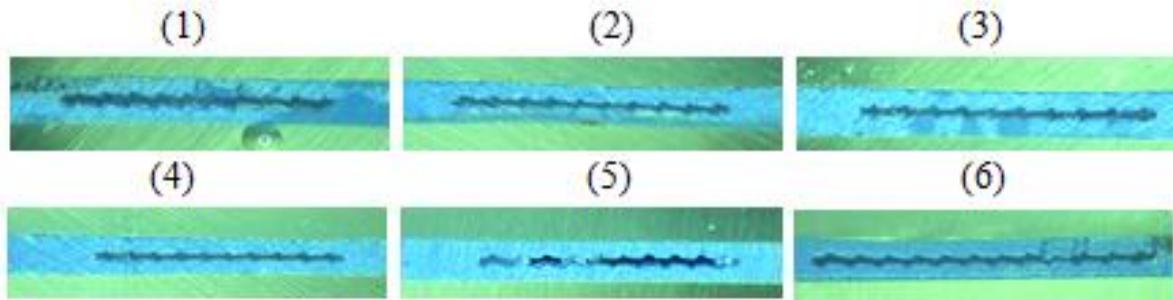


Figure 119. Vue en coupe des six prototypes réalisés : (1) 70 bars et 2 min, (2) 70 bars et 5 min, (3) 90 bars et 2 min, (4) 90 bars et 5 min, (5) 150 bars et 2 min, (6) 150 bars et 5 min

Dans ce test on s'intéresse à la valeur des angles  $\alpha_1$  et  $\alpha_2$  (Figure 115) qui doivent être le plus proche de  $90^\circ$ . La mesure des angles  $\alpha_1$  et  $\alpha_2$  est donnée sur la figure 120 ci-dessous :

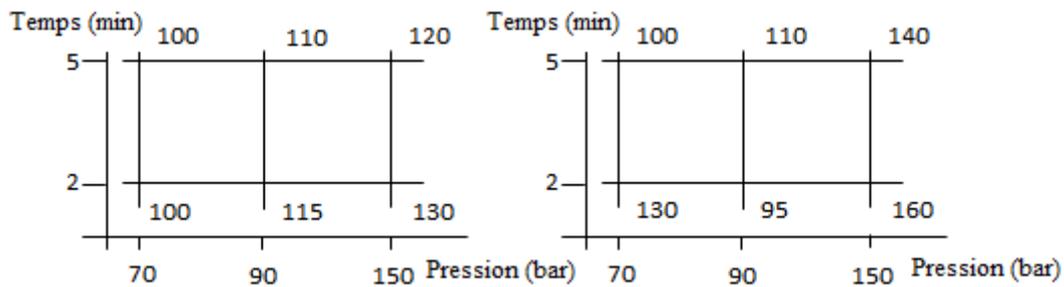


Figure 120. Valeurs des angles  $\alpha_1$  (gauche) et  $\alpha_2$  (droite) mesurées pour les 6 prototypes réalisés

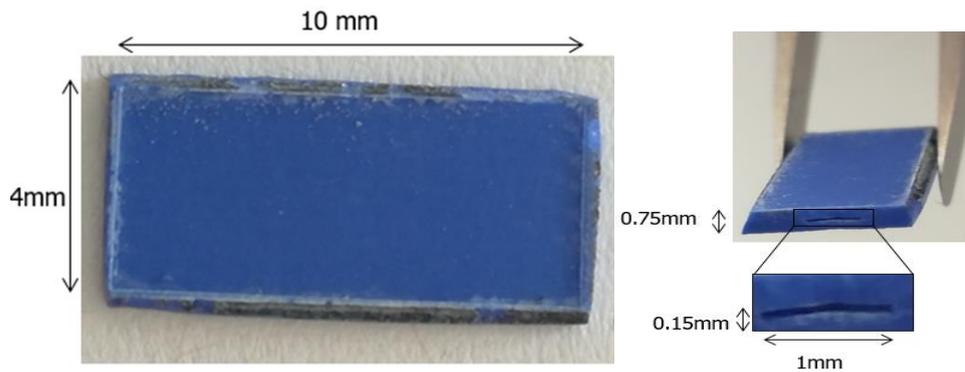
D'après la mesure des angles  $\alpha_1$  et  $\alpha_2$ , les prototypes 2 ( $\alpha_1 = \alpha_2 = 100^\circ$ ) et 4 ( $\alpha_1 = \alpha_2 = 110^\circ$ ) représentent les meilleurs par rapport au reste des prototypes. On choisit le prototype 2 puisque les valeurs des angles sont plus proches de  $90^\circ$ .

A l'issue de tous les tests effectués pour réaliser le micro-caloduc final, les meilleurs résultats sont atteints avec :

- *Tape* fugitif comme SVM
- Paramètres de laminage : pression = 70 bars, température =  $50^\circ\text{C}$  et temps de pression = 5 minutes
- Profil de cuisson prolongé

Le micro-caloduc réalisé est donné sur la figure 121.

### III. Solutions de refroidissement



**Figure 121. Vue de dessus du micro-caloduc réalisé (gauche) et vue de côté (droite)**

Pour pouvoir remplir le micro-caloduc, une ouverture de même épaisseur que l'espace vapeur (0,15 mm) et de largeur 1 mm est réalisée.

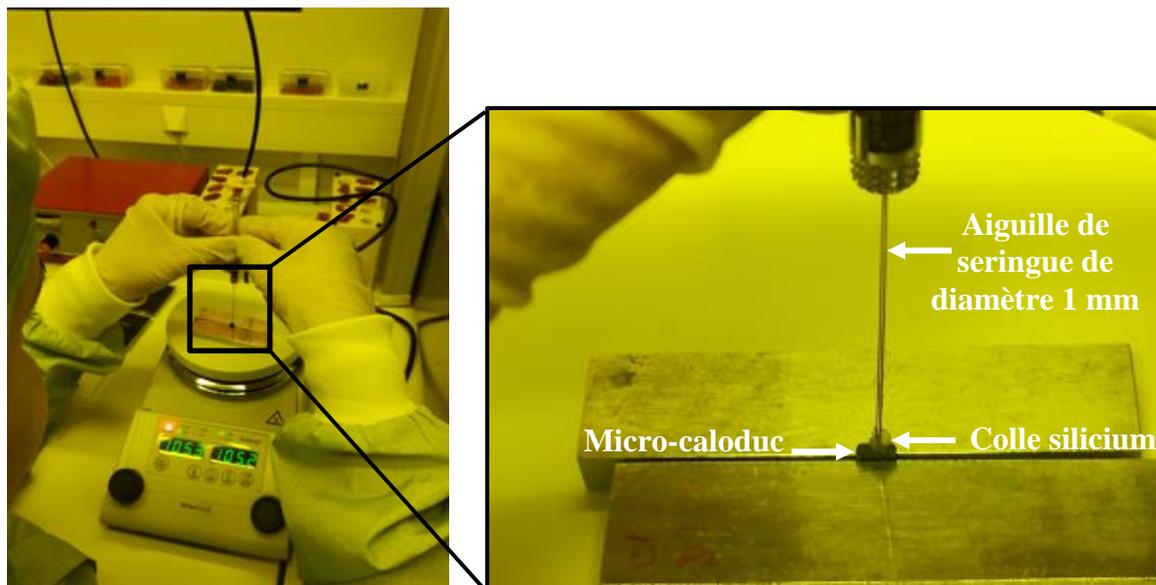
#### *III.4.2.1.3.3 Remplissage du micro-caloduc*

Pour assurer le bon fonctionnement du micro-caloduc, ce dernier doit être rempli avec un liquide adéquat. Dans les applications de refroidissement des packages électroniques, les liquides les plus utilisés sont l'alcool et l'eau [75]. Le choix du liquide dépend de la plage de températures dans laquelle on travaille.

Le liquide qui convient pour notre application est l'eau puisqu'on travaille à une température minimale de 25°C (ambiante) et à une température maximale de 175°C (la température maximale acceptée par un transistor). Le micro-caloduc doit être rempli par un volume égal à un cinquième de son volume total (dans notre cas 0,15  $\mu$ l) [67]. Le reste du volume du micro-caloduc doit être sous vide (ne contenant pas d'air). Le remplissage du micro-caloduc a été effectué dans la salle blanche de la plateforme technologique optique pour l'industrie disponible à IMT Atlantique [76].

Pour remplir le micro-caloduc, nous avons utilisé trois méthodes :

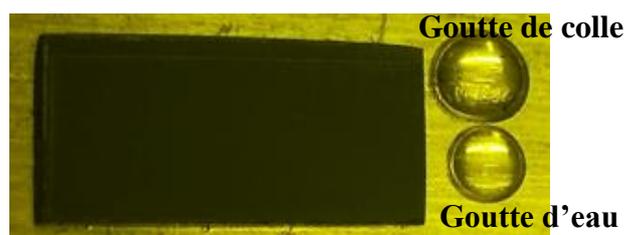
- Méthode 1 : C'est la méthode utilisée dans [67]. Elle consiste à remplir le micro-caloduc par un volume un peu supérieur à un cinquième du volume total, à boucher l'ouverture de remplissage par une colle et à introduire l'aiguille d'une seringue dans la colle. L'ensemble doit être placé sur une plaque chauffante maintenue à la température d'évaporation de l'eau (100°C). On chauffe pendant quelques secondes puis on retire la seringue et on arrête l'échauffement. Une fois le micro-caloduc refroidi, le vide va être créé. (Figure 122)



**Figure 122. Remplissage du micro-caloduc par la méthode 1**

L'inconvénient de cette méthode est qu'on ne peut pas bien contrôler le volume d'eau à l'intérieur de micro-caloduc.

- Méthode 2 : Dans cette méthode, nous avons proposé de mettre une goutte de colle et une goutte d'eau ( $0,15 \mu\text{l}$ ) en face de l'ouverture du micro-caloduc. On place ensuite l'ensemble dans une étuve sous vide. La mise sous vide va provoquer l'absorption de la goutte d'eau dans un premier temps puis de la colle qui va rester sur la surface de l'ouverture pour l'obstruer (Figure 123).



**Figure 123. Goutte d'eau et goutte de colle placées en face de l'ouverture du micro-caloduc**

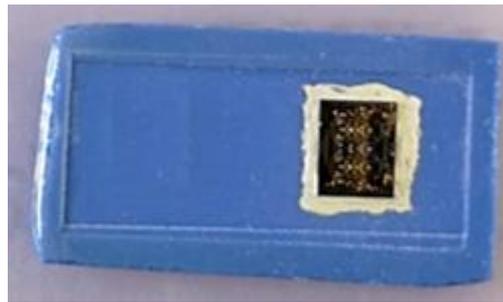
Cette méthode permet de contrôler le volume d'eau et d'avoir un bon niveau de vide dans le micro-caloduc. L'inconvénient de cette méthode qu'on ne peut pas savoir si la goutte d'eau a été vaporisée ou non à cause de la mise sous vide.

- Méthode 3 : La troisième méthode consiste à remplir le micro-caloduc avec  $0,15 \mu\text{l}$  d'eau et de boucher l'ouverture avec la colle sans mettre sous vide le volume interne du micro-caloduc qui reste. Cette méthode permet de s'assurer que le volume d'eau nécessaire est bien à l'intérieur mais le niveau de vide dans le micro-caloduc est très faible.

### III. Solutions de refroidissement

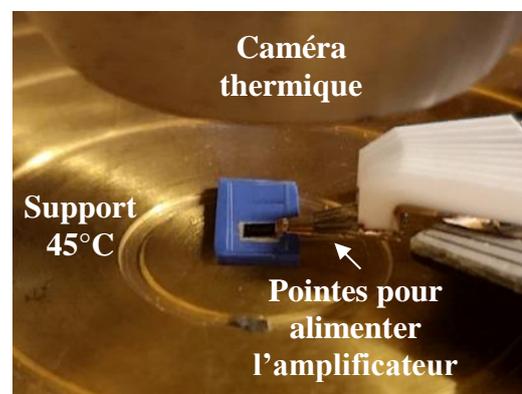
#### III.4.2.1.3.1 *Mesure thermique du micro-caloduc*

Dans le but de tester le fonctionnement des micro-caloducs remplis à l'aide des trois méthodes, nous avons effectué des mesures thermiques en plaçant l'amplificateur de puissance à refroidir sur la surface (Figure 124). L'amplificateur a été collé par l'époxy 128-08 A/B conducteur électrique à base d'argent (conductivité de 6,5 W/m.K). Cette colle sera utilisée pour coller l'amplificateur sur toutes les solutions de refroidissement proposées.



**Figure 124. Amplificateur de puissance collé sur la surface d'un micro-caloduc**

Les mesures thermiques ont été effectuées à l'aide d'une caméra thermique infrarouge à l'université de Chalmers [77].



**Figure 125. Banc de mesure thermique (gauche) micro-caloduc sur lequel placé l'amplificateur alimenté à travers des pointes DC (droite)**

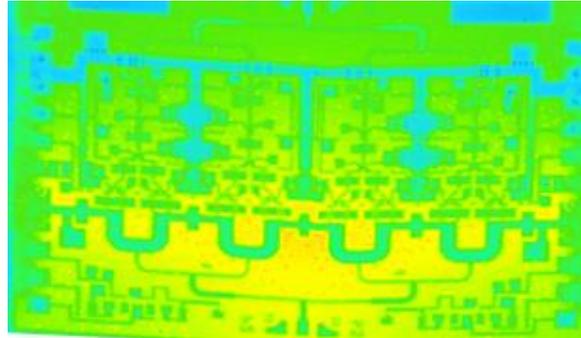
Les mesures thermiques réalisées montrent un dysfonctionnement des micro-caloducs remplis par les trois méthodes de remplissage. Le micro-caloduc rempli avec la méthode 1 atteint une température maximale de 240°C, le micro-caloduc rempli avec la méthode 2 atteint une température maximale de 168°C et le micro-caloduc rempli avec la méthode 3 atteint une température maximale de 192,5°C.

Une rétro-simulation des micro-caloducs a été faite pour comprendre la cause de ce dysfonctionnement. Nous avons simulé le micro-caloduc rempli par la vapeur (0,018 W/m.K)

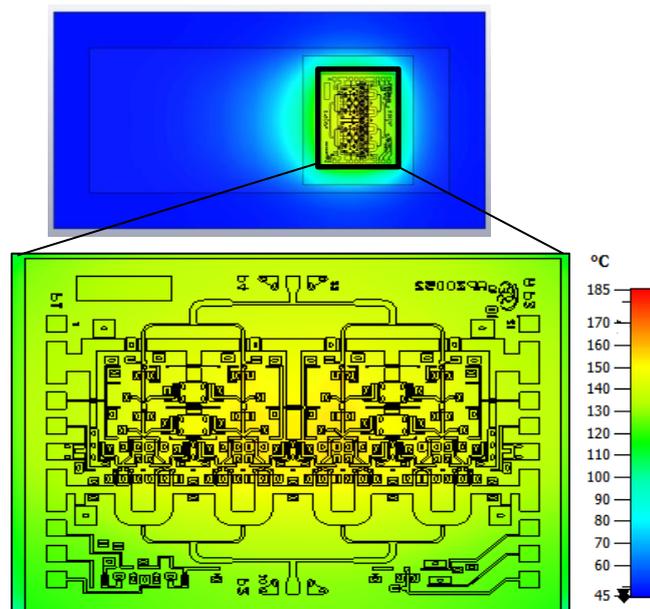
### III. Solutions de refroidissement

(cas propable de la méthode 1), le micro-caloduc rempli de vide (cas propable de la méthode 2) et le micro-caloduc rempli par un cinquième de son volume eau ( $0,6 \text{ W/m.K}$ ) et quatre cinquième de son volume air ( $0,026 \text{ W/m.K}$ ) ce qui représente le cas propable de la méthode 3.

Les résultats de simulation sont en bonne concordance avec les mesures dans le cas du micro-caloduc rempli avec la méthode 3 (Figures 126 et 127).



**Figure 126. Photo de la mesure thermique de l'amplificateur placé sur le micro-caloduc rempli avec la méthode 3 (température maximale  $192,5^\circ\text{C}$ )**



**Figure 127. Simulation thermique de l'amplificateur placé sur un micro-caloduc rempli par méthode 3 (température maximale  $185^\circ\text{C}$ )**

D'après les résultats de mesure des micro-caloducs réalisés, nous avons constaté la dysfonctionnement de ce dernier à cause de la difficulté du remplissage qui demande des équipements spécifiques. Néanmoins, ce travail a permis de faire avancer le processus de fabrication LTCC en particulier dans la réalisation de cavités fermées.

Pour cela nous sommes passés à une deuxième solution de refroidissement basée sur l'intégration de conducteurs dans les couches LTCC.

### III.4.2.2 Refroidissement par intégration du conducteur dans LTCC

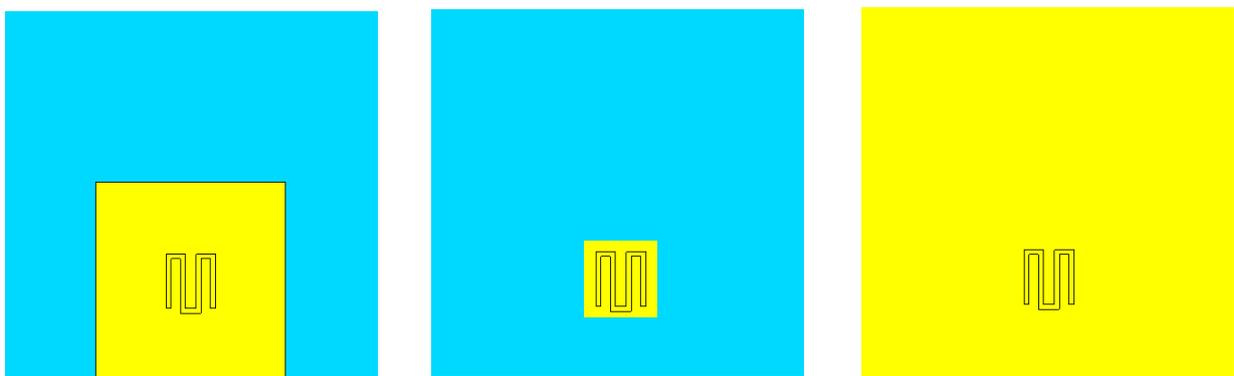
La deuxième solution proposée pour refroidir l'amplificateur de puissance est l'intégration de couches conductrices dans le substrat LTCC au-dessous de l'amplificateur. Cette solution permet d'améliorer la conduction de la chaleur à travers les couches conductrices vers l'extérieur et par la suite minimiser la température produite par la puce. Cette solution de refroidissement doit être intégrée dans cinq couches de LTCC sur lesquelles sera placé notre amplificateur.

Deux tests ont été effectués pour voir la possibilité de la réalisation avec le LTCC .

#### III.4.2.2.1 Couches conductrices et canal serpentin

La puce de l'amplificateur de puissance est intégrée sur cinq couches LTCC de dimension  $12 \times 12 \times 0.375 \text{ mm}^3$  (taille de notre module). Dans le but de refroidir la puce avec des couches conductrices, on a choisi de mettre des couches conductrices entre deux couches LTCC successives d'où 4 couches conductrices de dimensions  $7 \times 6 \times 0,005 \text{ mm}^3$ . La couche conductrice sur la couche 5 a les mêmes largeur et longueur que la puce amplificateur. La face arrière de la couche 1 est totalement couverte par une couche conductrice.

Pour améliorer la conduction de la chaleur, un canal serpentin est intégré dans chaque couche LTCC de largeur 0,15mm et de longueur totale 8,45 mm. Les différentes couches de la structure proposée sont données sur la figure 128.



Vue de face des couches 1, 2, 3 et 4

Vue de face de la couche 5

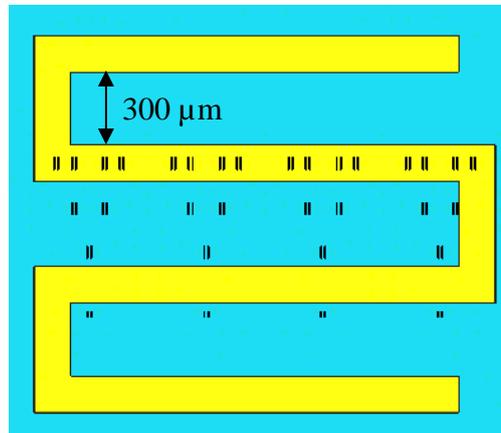
Vue d'arrière de la couche 1

**Figure 128. Les couches LTCC pour réaliser la solution proposée**

Les couches conductrices sont sérigraphiées avec l'encre ESL 803 et le canal serpentin est rempli avec l'encre ESL 802 prévue pour le remplissage des vias.

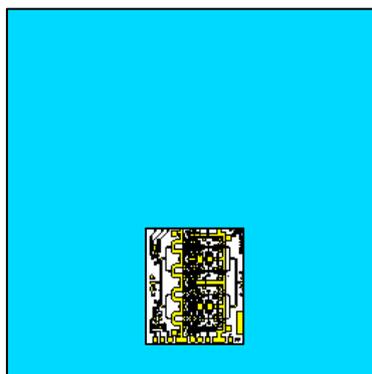
### III. Solutions de refroidissement

Dans la conception du canal, l'entraxe dans un méandre est de  $450\ \mu\text{m}$  (3 x largeur du canal par application de la règle de conception des vias). La position du canal est au-dessous des grilles des transistors de l'étage 4 (voir figure 94) qui, du fait de leur nombre et de la distance entre chaque paire, représentent l'endroit où la température est la plus élevée sur la puce (Figure 129).



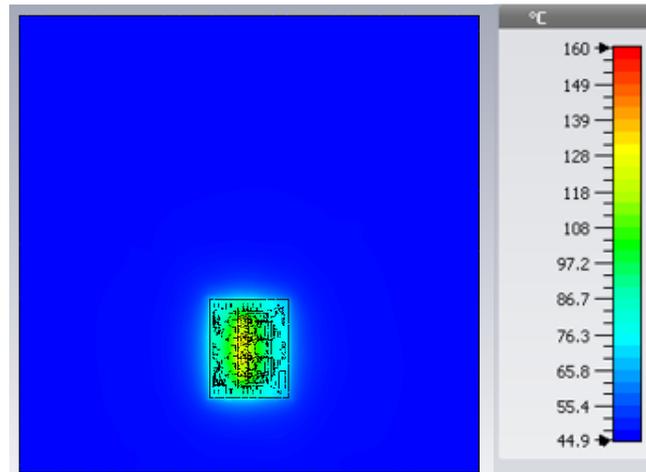
**Figure 129. Position du canal par rapport aux grilles des transistors de l'amplificateur**

Dans le modèle de simulation, la solution proposée est placée sur un support conducteur d'épaisseur  $20\ \mu\text{m}$  maintenu à  $45\ ^\circ\text{C}$  (condition de mesure). La simulation de la structure avec l'amplificateur collé ( $20\ \mu\text{m}$  de la colle Ag-époxy) sur la surface (Figure 130) montre une température maximale de  $160\ ^\circ\text{C}$  (Figure 131) et la simulation de l'amplificateur de puissance placé sur cinq couches de LTCC montre une température maximale de  $348\ ^\circ\text{C}$  (Figure 97). Sur la base de ces simulations, la solution proposée semble tout à fait pertinente pour refroidir l'amplificateur.



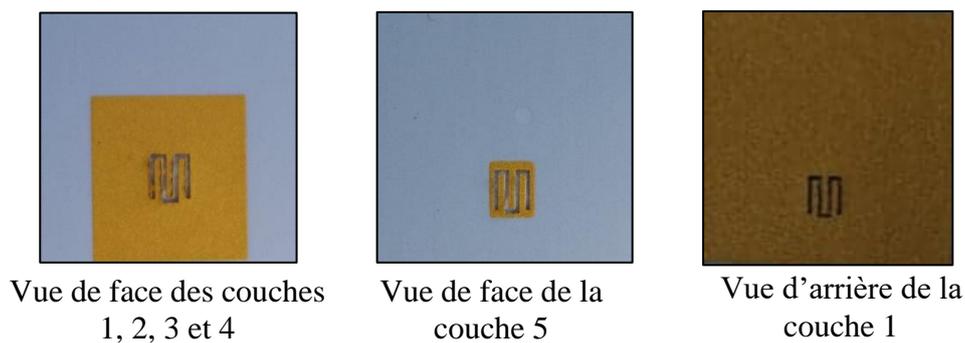
**Figure 130. L'amplificateur de puissance placé sur la solution de refroidissement**

### III. Solutions de refroidissement



**Figure 131. Simulations de l'amplificateur placé sur la solution de refroidissement proposée**

Après la validation de la solution des couches conductrices et du canal serpentin par simulation, nous devons passer à la validation de la réalisation. Les couches LTCC qui forment la solution de refroidissement sont données sur la figure 132. Le remplissage du canal n'ayant pas réussi avec la sérigraphieuse, nous avons effectué le remplissage manuellement.



**Figure 132. Les couches LTCC de la solution de refroidissement**

Après cuisson du prototype, nous avons remarqué une grande déformation de la structure, avec au total 500  $\mu\text{m}$  de bombage sur l'axe vertical du LTCC. Cette déformation est probablement due au conducteur de remplissage du canal (ESL 802) qui est destiné au remplissage des vias et ne convient pas pour remplir de grandes cavités à cause de son rétrécissement qui pendant la cuisson se déroule d'une façon différente pour ces deux types d'ouvertures. Le rétrécissement de l'encre ESL 802 dans un via suit le rétrécissement du LTCC pendant la cuisson, par contre l'encre ESL 802 mis dans une grande cavité (grande quantité) rétrécit différemment par rapport au LTCC. La figure 133 donne la vue en coupe du prototype qui montre bien la déformation de la structure. La coupe est réalisée au niveau des canaux superposés dans les cinq couches comme le montre la figure 133 à gauche où on distingue le bloc d'or (ESL 802) dans la figure 133 à droite.

### III. Solutions de refroidissement

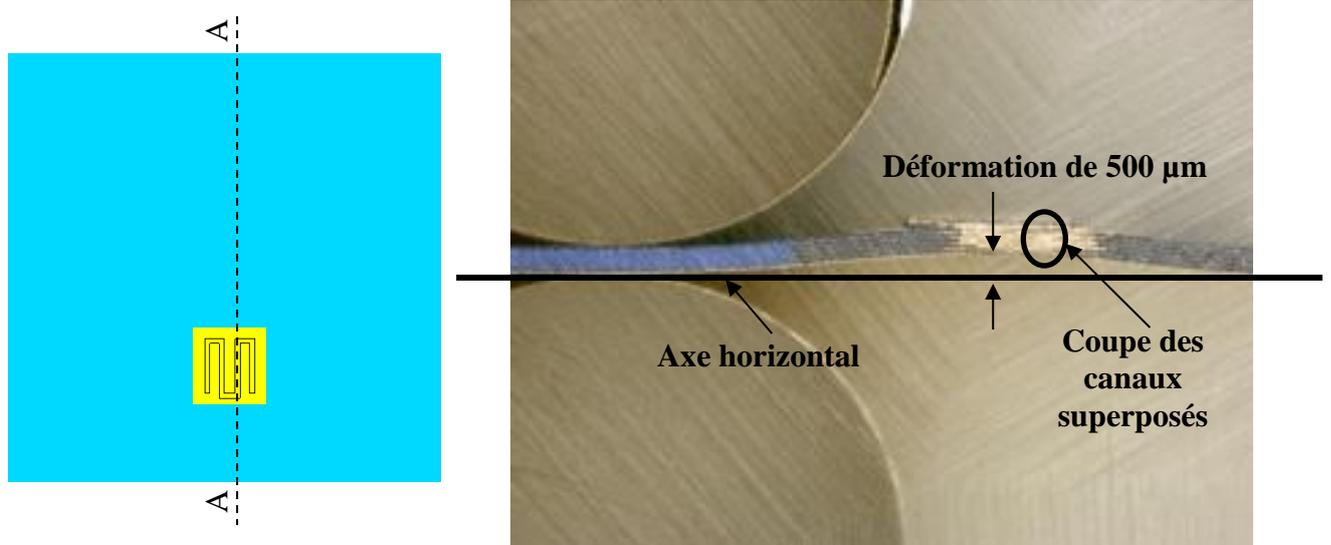


Figure 133. Vue en coupe du prototype réalisé

Une rétro-simulation du prototype réalisé a été faite en introduisant cette déformation et la simulation donne une température maximale de 218°C après l'application d'une puissance de 1,5 W. La mesure de cette solution de refroidissement avec la caméra thermique donne, quant à elle, une température maximale de 220 °C, identique à la simulation.

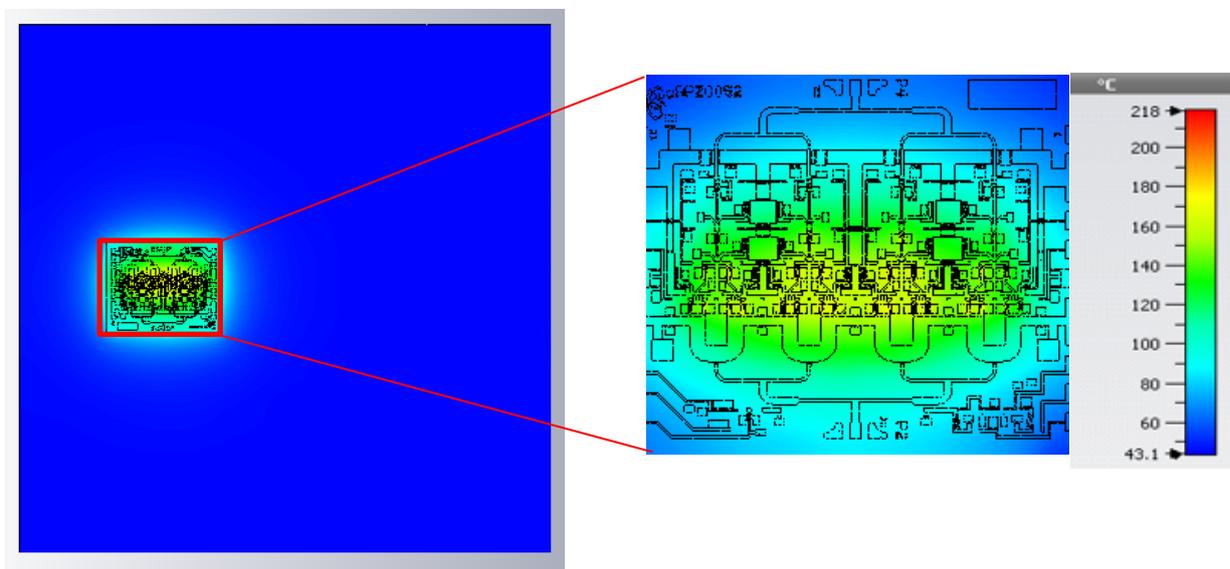
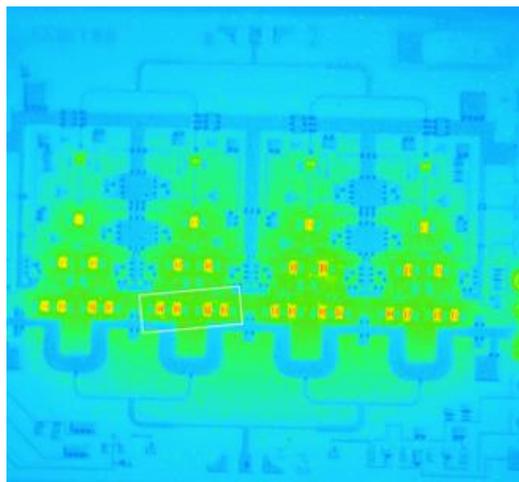


Figure 134. Rétro-simulation thermique du prototype déformé avec un focus sur l'amplificateur de puissance

### III. Solutions de refroidissement



**Figure 135. Photo thermique de mesure de l'amplificateur de puissance placé sur la solution de refroidissement (température maximale 220 °C)**

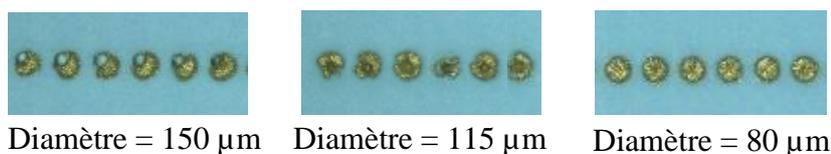
Cette température très élevée malgré l'application de la moitié de la puissance (1,5 Watt) est due à l'air qui est piégé dans la déformation au-dessous du prototype (Figure 133), la conductivité thermique de l'air étant de 0,026 W/m.K, valeur 10 fois inférieure à la conductivité thermique du LTCC.

A partir des résultats obtenus, nous pouvons conclure que le conducteur ESL 802 convient pour les vias circulaires mais pas pour réaliser des méandres ou des blocs et par conséquent la solution de refroidissement à proposer doit se baser sur des vias et non sur des canaux ou des grandes cavités.

#### III.4.2.2.2 Couches conductrices et vias

La deuxième solution proposée, de taille totale 12 x 12 x 0,375 mm<sup>3</sup>, est basée sur des vias à travers les cinq couches de LTCC ESL 41020 qui seront remplies dans l'étape de sérigraphie par le conducteur ESL 802.

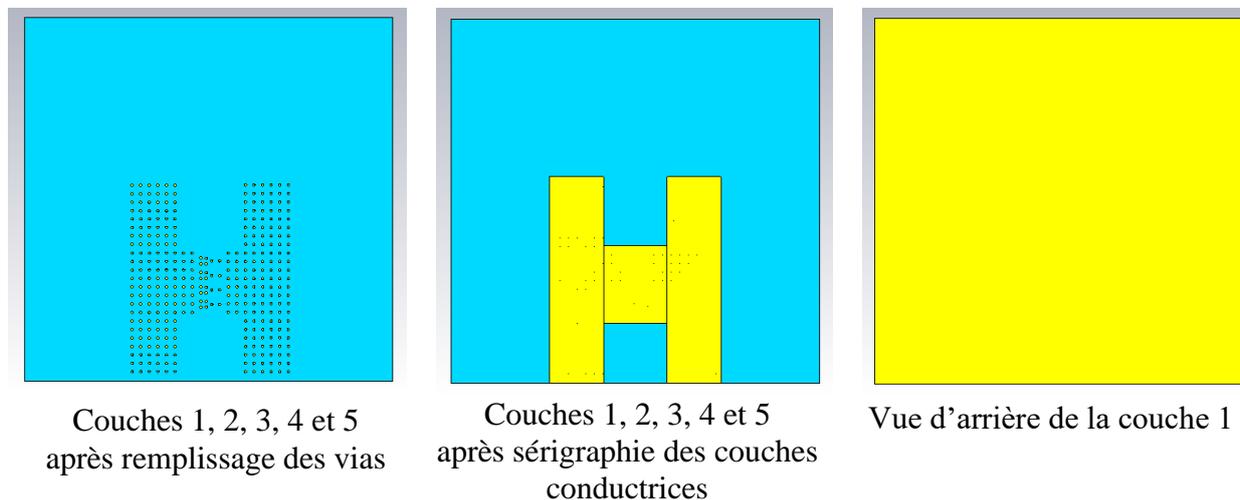
Après une étude dans laquelle nous avons comparé le remplissage des vias de diamètre 150 µm, 115 µm et 80 µm, nous avons conclu qu'un diamètre de 80 µm offrait un meilleur remplissage : tout le volume du trou est rempli (voir figure 136). Dans le prototype à réaliser nous avons choisi cette dimension pour tous les vias.



**Figure 136. Remplissage des vias de diamètre 150, 115 et 80 µm par le conducteur ESL 802**

### III. Solutions de refroidissement

En plus des vias, il y a des couches conductrices (ESL 803) sur la surface de tous les *tapes* LTCC d'épaisseur 15  $\mu\text{m}$  chacune pour améliorer de plus le refroidissement : pour avoir cette épaisseur, on répète la sérigraphie trois fois puisqu'une couche conductrice mesure 5  $\mu\text{m}$  d'épaisseur après frittage avec nos outils de fabrication. Les différentes couches de la structure proposée sont données sur la figure 137.

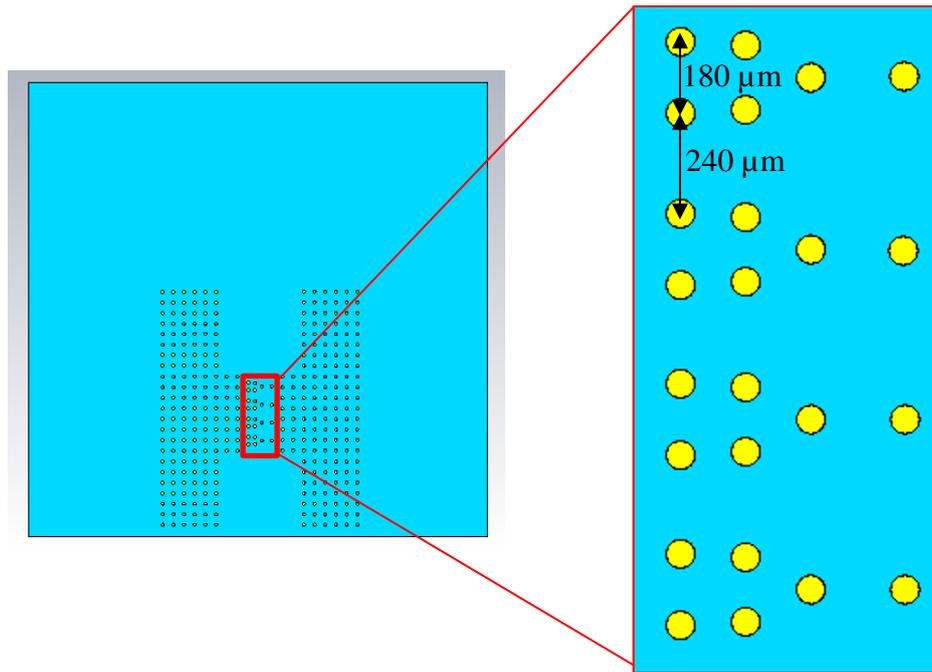


**Figure 137. Les couches LTCC pour réaliser la solution proposée**

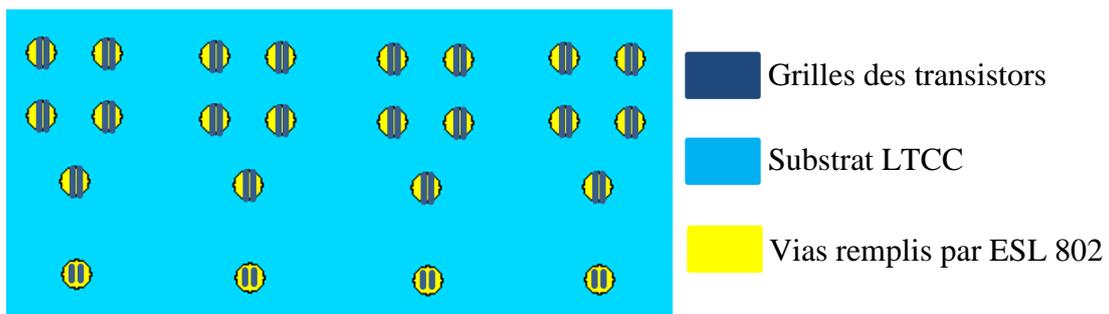
Dans cette solution, les vias et les couches conductrices couvrent un espace plus grand que celui de la solution avec le canal serpentin dans le but d'améliorer l'évacuation de la chaleur. Les vias sont repartis au-dessous de l'amplificateur et des deux côtés où sont l'entrée et la sortie RF avec un entraxe de 240  $\mu\text{m}$ . Sur les deux autres côtés (DC), il n'y a pas de vias pour éviter de faire des courts-circuits à travers le LTCC au niveau de l'alimentation de l'amplificateur (voir figure 140).

Les vias au centre du *tape* LTCC sont localisés sous les grilles des transistors pour améliorer le transport de la chaleur produite principalement par ces derniers (voir figures 138 et 139).

### III. Solutions de refroidissement



**Figure 138. Vias au-dessous de l'amplificateur**



**Figure 139. Emplacement des vias par rapport aux grilles des transistors de l'amplificateur**

La simulation de cette solution avec l'amplificateur collé sur la surface (Figure 140) montre une température maximale de 139 °C. Nous pouvons conclure à partir des simulations que la solution proposée refroidit bien l'amplificateur (Figure 141).

### III. Solutions de refroidissement

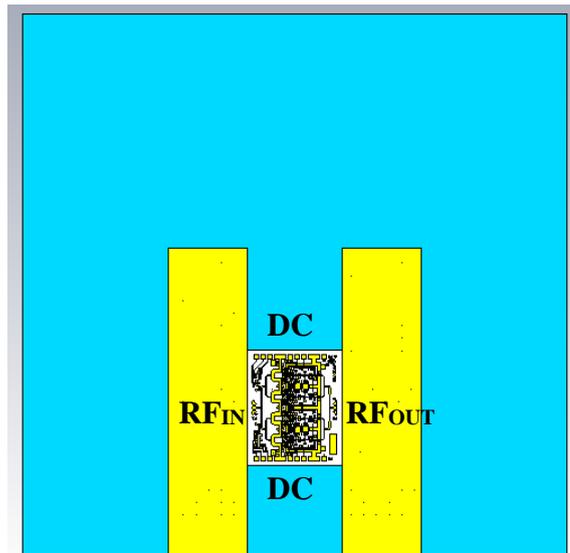


Figure 140. L'amplificateur de puissance placé sur la solution de refroidissement

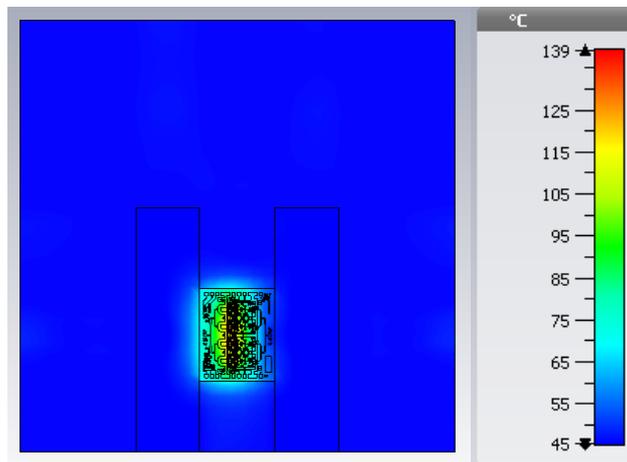
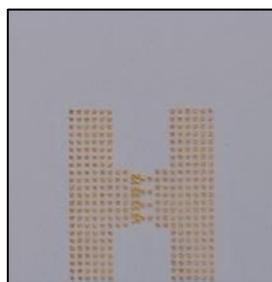
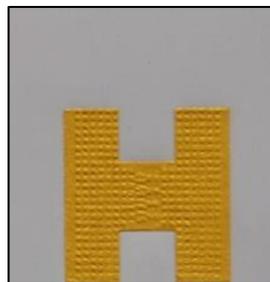


Figure 141. Simulations de l'amplificateur placé sur la solution de refroidissement proposée

Les couches LTCC nécessaires pour réaliser cette solution de refroidissement sont données sur la figure 142.



Couches 1, 2, 3, 4 et 5 après remplissage des vias



Couches 1, 2, 3, 4 et 5 après sérigraphie des couches conductrices



Vue d'arrière de la couche 1

Figure 142. Les couches LTCC de la solution de refroidissement

### III. Solutions de refroidissement

D'après les résultats obtenus l'intégration de l'amplificateur de puissance qui dissipe 3 W sur un substrat LTCC avec la solution de refroidissement proposée permet de le refroidir avec une température qui ne dépasse pas 139 °C, ce qui est une température acceptable pour un fonctionnement sécurisé.

## III.5 Conclusion

Ce troisième chapitre décrit les solutions proposées pour refroidir la puce d'un amplificateur de puissance qui dissipe 3 W et dont la température monte jusqu'à 348°C si on l'intègre sur cinq couches de LTCC. Le travail a été divisé en trois grande parties :

La première partie comporte une recherche bibliographique sur les solutions existantes intégrées dans un substrat LTCC. Il y a des solutions dite actives qui se basent par exemple sur des canaux dans lesquels circule un liquide à l'aide d'une excitation extérieure (pompe). Les solutions passives quant à elles ne demandent pas d'excitation extérieure et sont basées sur l'intégration des conducteurs dans le substrat LTCC ce qu'augmente la conductivité thermique et permet l'évacuation de la chaleur. Les avantages des solutions passives sont un coût réduit et une structure simple, c'est pourquoi les solutions proposées sont des solutions passives.

Dans la deuxième partie, nous avons proposé le micro-caloduc comme solution passive de refroidissement. La fabrication de cette solution en LTCC a été précédée par un travail sur la structure afin d'améliorer la cavité interne en LTCC et les rainures. Pour réussir la fabrication du micro-caloduc en LTCC, nous avons utilisé un laminage avec une pression de 70 bars, une température de 50°C, un temps de pression de 5 minutes et une cuisson prolongée. Après la fabrication, un remplissage du micro-caloduc par trois méthodes a été expérimenté. La mesure des micro-caloducs fabriqués montre un dysfonctionnement à cause de la complexité du remplissage.

Dans la troisième partie, une autre solution de refroidissement passive a été proposée. Cette solution est basée sur l'intégration des couches conductrices (ESL 803) et un canal serpentin (ESL 802) dans les cinq couches LTCC. Cette solution montre une déformation du prototype réalisé à cause de l'ESL 802 mis dans le canal et qui est fait pour le remplissage des vias. D'où la proposition d'une solution basée sur des couches conductrices et des vias qui permet d'avoir une température maximale de 139°C et donc un fonctionnement correct de l'amplificateur de puissance après intégration sur le support LTCC.

# IV. Module intégré en LTCC

TABLE DES MATIÈRES CHAPITRE IV:

---

## IV. Module intégré en LTCC

IV.1 Introduction

IV.2 Les puces actives de Gotmic

IV.3 Report sur le substrat LTCC

IV.3.1 Montage de multiplieur sur le LTCC

IV.3.2 Montage de multiplieur + mélangeur sur le LTCC

IV.3.3 Réalisation et mesure des modules

IV.4 Conclusion

## **IV.1 Introduction**

Dans le deuxième chapitre, une étude sur l'interconnexion entre le substrat LTCC et les puces MMIC intégrant des lignes microruban a été réalisée, puis au troisième chapitre, une solution de refroidissement a été proposée pour l'amplificateur de puissance.

Dans ce quatrième et dernier chapitre, nous présentons l'intégration des puces actives qui forment le module émission ou réception sur le substrat LTCC.

Le travail porte dans un premier temps sur l'intégration des puces actives du module réception (mélangeur + mutiplicieur) en se basant sur les résultats présentés au deuxième chapitre concernant l'interconnexion entre les puces MMICs et le substrat LTCC. Dans un second temps, un réseau d'alimentation de ces puces actives est implanté à travers le LTCC.

## IV.2 Les puces actives de Gotmic

Le travail de la thèse portant sur l'intégration d'un module (émission ou réception) en bande D sur un substrat LTCC, nous présentons ici des exemples de puces MMICs actives réalisées et commercialisées par la société Gotmic.

Le mélangeur conçu par Gotmic pour la bande D (gMDR0035) est un mélangeur harmonique IQ dont le synoptique est donné à la figure 143.

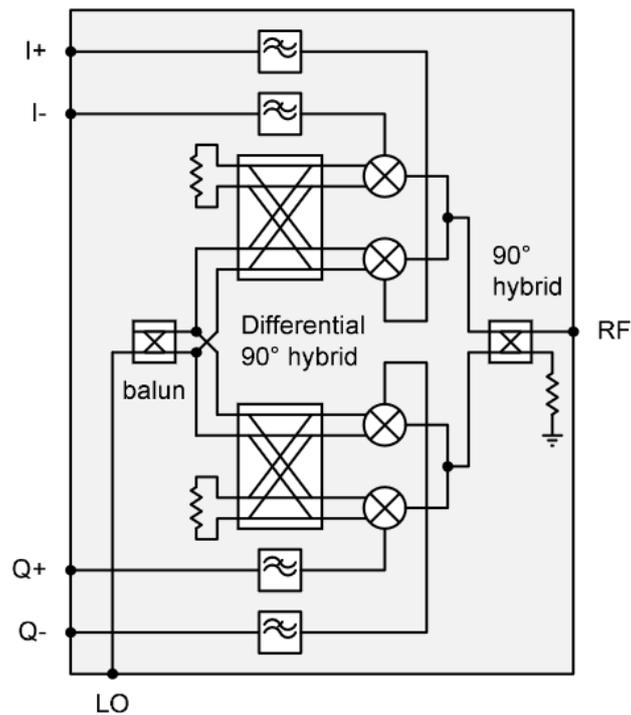


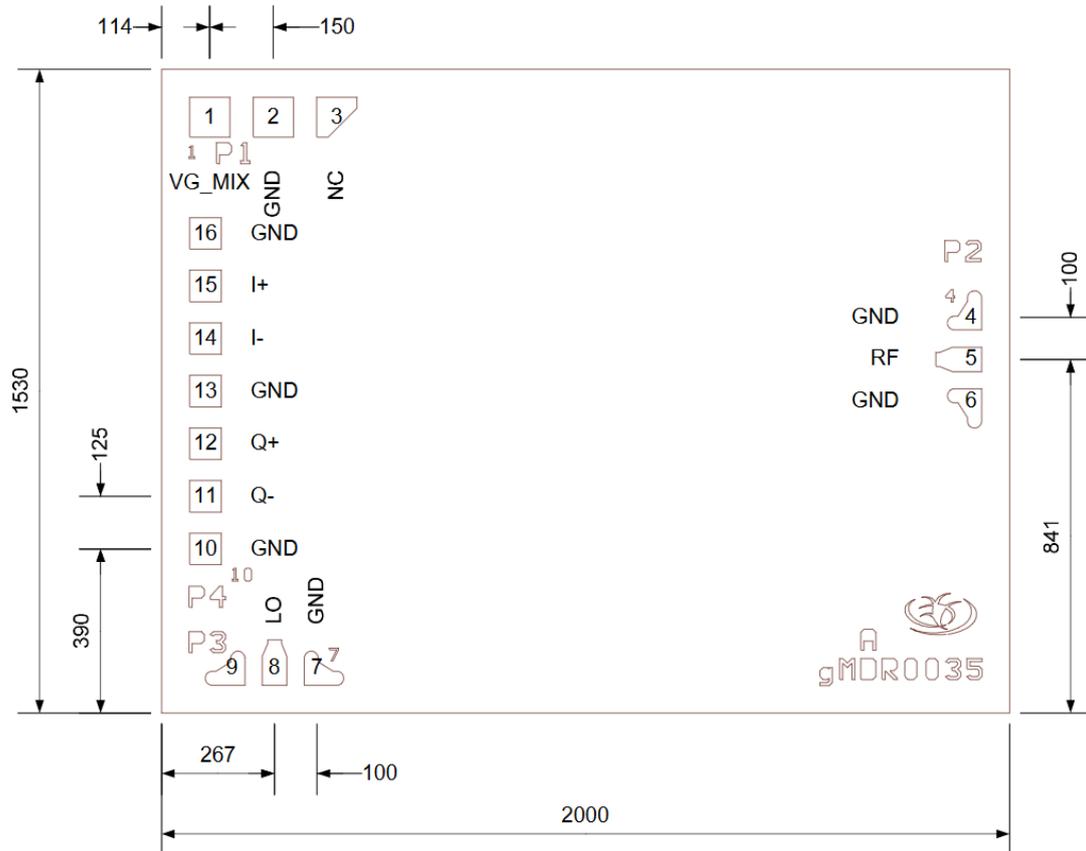
Figure 143. Synoptique du mélangeur gMDR0035

La fréquence RF ( $F_{RF}$ ) de ce mélangeur est entre 140 et 170 GHz, la fréquence FI ( $F_{FI}$ ) couvre du DC jusqu'à 6 GHz et la fréquence LO ( $F_{LO}$ ) se situe entre 70 et 85 GHz avec un facteur de multiplication égal à 2. En fonctionnement downconverter (dans un récepteur), la fréquence intermédiaire s'écrit donc :  $F_{FI} = |2 \times F_{LO} - F_{RF}|$ .

La puissance d'entrée LO a une valeur typique de 15 dBm. Les pertes de conversion (CL) sont de 12 dB (valeur typique) et le point de compression à -1 dB est donné pour une puissance d'entrée de -5 dBm.

La puce est réalisée en technologie AsGa sur un substrat d'épaisseur 50  $\mu\text{m}$  avec une métallisation en or de 3  $\mu\text{m}$ . La largeur de la puce est de 1530  $\mu\text{m}$  pour une longueur de 2000  $\mu\text{m}$  comme l'indique la figure 144, avec également la dimension des différents plots de connexion.

#### IV. Module intégré en LTCC



**Figure 144. Dimensions (µm) du mélangeur avec emplacement des différents plots**

Cette puce contient 4 accès :

- Le port 1 est le port d'alimentation DC du mélangeur, il comporte trois plots : le plot 1 pour la tension d'alimentation du mélangeur (VG\_MIX) de valeur entre -1,7 et -1,1 V. Le plot 2 est relié à la masse et plot 3 n'est pas connecté. La taille de chaque plot est de  $95 \times 95 \mu\text{m}^2$ , le gap entre deux plots est de  $55 \mu\text{m}$ .
- Le port 2 est le port d'entrée ou de sortie du signal RF, il est composé de trois plots qui forment un accès coplanaire  $35 \Omega$  : les plots 4 et 6 représentent la masse et le plot 5, la ligne centrale de largeur  $58 \mu\text{m}$ . Le gap entre les plots est de  $41 \mu\text{m}$ .
- Le port 3 est le port d'entrée du signal LO, il est identique au port 2.
- Le port 4 est composé de 7 plots, il représente le port d'entrée ou de sortie du signal FI. Il comporte 3 plots reliés à la masse (10, 13 et 16) et 4 plots I+, I-, Q+ et Q- (11, 12, 14 et 15) du signal FI en mode différentiel. La taille de chaque plot est de  $75 \times 75 \mu\text{m}^2$  et le gap entre deux plots est de  $50 \mu\text{m}$ .

Tous les plots sont situés à  $66 \mu\text{m}$  par rapport au bord de la puce.

#### IV. Module intégré en LTCC

Le multiplieur X6 (gXSB0025), de facteur de multiplication 6, est représenté schématiquement à la figure 146. Il fonctionne avec le mélangeur cité précédemment pour former une émetteur ou un récepteur en bande D. Ce multiplieur est conçu pour la bande E, son diagramme est donné par la figure 145.

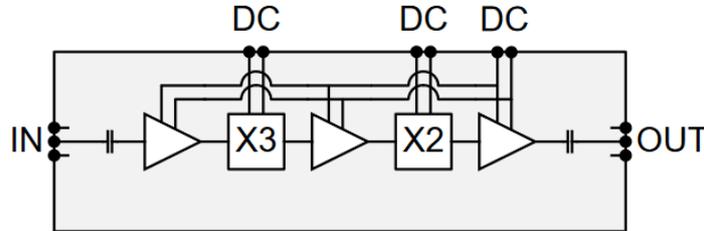


Figure 145. Diagramme du multiplieur gXSB0025

La fréquence d'entrée se situe entre 11,8 et 14,4 GHz et la fréquence de sortie est entre 71 et 86 GHz. Pour une puissance d'entrée de 5 dBm, on a une puissance de sortie de 14 dBm. La puissance dissipée du multiplieur est typiquement de l'ordre 0,5 mW. Le coefficient de réflexion en entrée et en sortie est inférieur à -10 dB.

Réalisée sur AsGa d'épaisseur 50  $\mu\text{m}$  avec une métallisation en or de 3  $\mu\text{m}$ , la largeur de la puce est de 1200  $\mu\text{m}$  pour une longueur de 3000  $\mu\text{m}$  (voir figure 146).

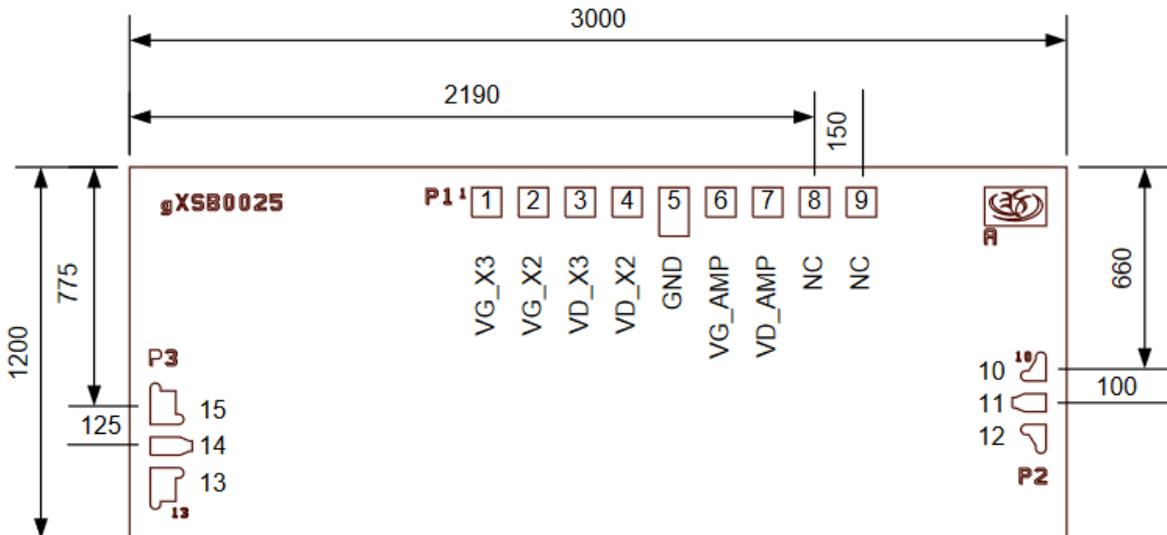


Figure 146. Dimensions ( $\mu\text{m}$ ) du multiplieur avec emplacement des différents plots

La puce contient 3 accès dont les plots sont situés à 66  $\mu\text{m}$  du bord de la puce :

- Le port 1 pour l'alimentation DC, avec 9 plots : les plots 1, 2, 3, 4, 6 et 7 pour appliquer les tensions VG\_X3 (typique -0,75 V), VG\_X2 (typique -0,8 V), VD\_X3 (typique 5 V), VD\_X2 (typique 3,3 V), VG\_AMP (typique -0,45 V) et VD\_AMP (typique 3,3 V) respectivement. Le plot 5 est relié à la masse et les plots 8 et 9 ne sont

#### IV. Module intégré en LTCC

pas connectés. La taille de chaque plot est de  $95 \times 95 \mu\text{m}^2$ , le gap entre deux plots est de  $55 \mu\text{m}$ .

- Les ports 2 et 3 sont les ports d'entrée et de sortie du signal RF, ils sont composés de trois plots chacun formant un accès coplanaire  $35 \Omega$  : les plots 10, 12, 13 et 15 sont reliés à la masse et les plots 11 et 14, les lignes centrales de largeur  $58 \mu\text{m}$ . Le gap entre les plots de chaque port est de  $41 \mu\text{m}$ .

## IV.3 Report sur le substrat LTCC

Les puces du mélangeur et du multiplieur décrites précédemment vont être intégrées sur un substrat LTCC ESL 41020. Dans un premier temps, seul le multiplieur sera reporté sur le substrat puis dans un second temps les deux puces ensemble.

Pour monter une puce MMIC sur le LTCC, des accès sont nécessaires pour l'alimentation DC et pour le signal RF ainsi qu'une technique d'interconnexion (micro câblage ou flip-chip). Avant de faire la conception du réseau d'alimentation, il faut tout d'abord connaitre le dispositif qui sera utilisé pour alimenter les puces. Dans notre cas, il s'agit de 7 pointes d'entraxe 150  $\mu\text{m}$  et dont une sera reliée à la masse, comme le montre la figure 147.

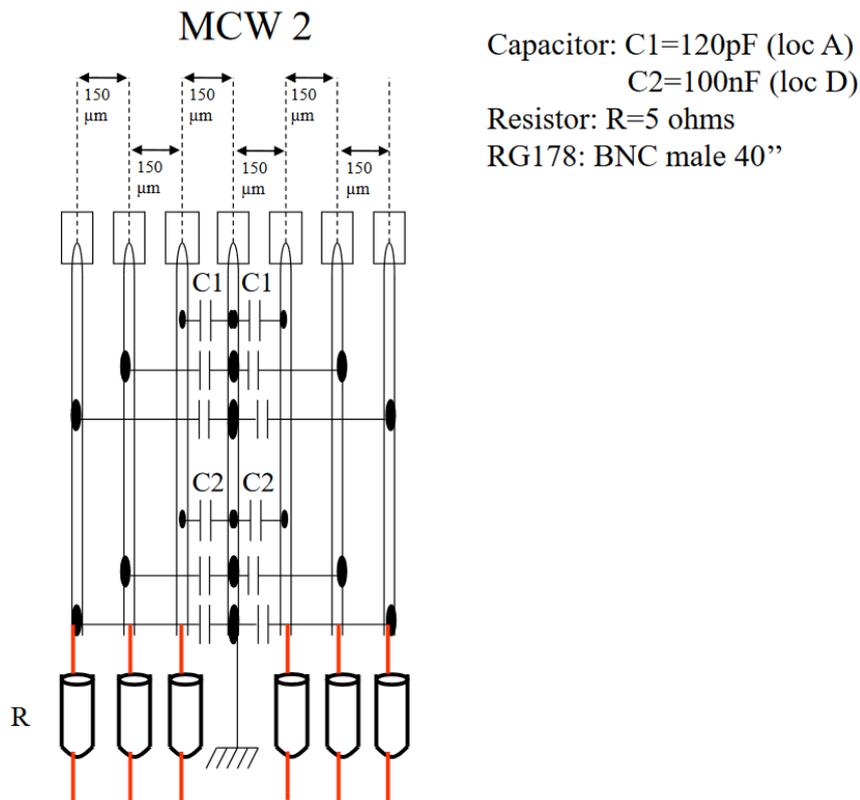


Figure 147. Pointes MCW (Multi Contact Wedge) pour l'alimentation DC

### IV.3.1 Montage du multiplieur sur le LTCC

Le port d'alimentation (P1) de la puce contient 6 plots pour appliquer une tension non nulle (1, 2, 3, 4, 6 et 7) et un plot relié à la masse (5). Pour pouvoir alimenter le multiplieur avec les points représentées à la figure 147, le nombre des plots de deux côtés de la masse doit être égal ce qui n'est pas le cas sur la puce. Pour cela, les tensions VG\_X3 et VG\_X2 vont être confondues et donc alimentées par la même pointe. De même, les tensions VD\_X2 et VD\_AMP vont être fournies par la même pointe. La conception du réseau d'alimentation du multiplieur va être faite de manière à avoir deux accès de chaque côté de la masse avec un entraxe égal à 150  $\mu\text{m}$  entre les accès, similaire à celui des pointes.

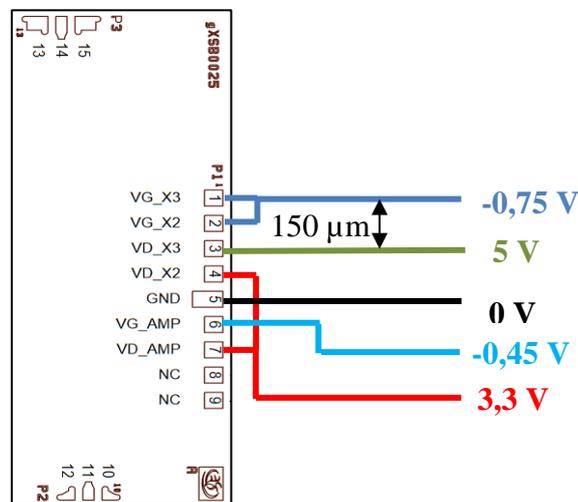


Figure 148. Valeur de la tension de chaque plot du multiplieur

Dans le but d'éviter l'intersection entre les accès d'alimentation (masse et VD\_X2-VD\_AMP, VG\_AMP et VD\_X2-VD\_AMP), le regroupement de VD\_X2 et VD\_AMP sera réalisé dans une couche inférieure.

Pour améliorer le découplage des accès DC vis-à-vis du signal RF, un condensateur (100 pF) est placé en parallèle au niveau de chaque plot DC (sauf la masse) afin de court-circuiter le signal RF qui peut passer dans les accès DC.

Le multiplieur peut être interconnecté avec le substrat LTCC par micro-câblage ou par flip-chip pour passer le signal RF. Nous allons utiliser deux solutions d'interconnexions proposées dans le chapitre 2 (micro-câblage et première solution flip-chip) puisqu'elles conviennent aussi pour les fréquences d'entrée (entre 11,8 et 14,4 GHz) et de sortie du multiplieur (71 et 86 GHz).

#### IV. Module intégré en LTCC

Le montage du multiplieur nécessite cinq couches de LTCC ESL 41020. La couche 5 contient les plots de RF et DC, des cavités pour les condensateurs et pour la puce MMIC (dans le cas du montage par micro-câblage), des vias pour passer le signal DC dans la couche 4 dans le but d'éviter l'intersection des accès DC. La couche 4 contient le plan de masse et un plot pour le signal DC. Les couches 1, 2 et 3 ne contiennent rien. La conception est faite sous ADS (voir figure 149 et 151).

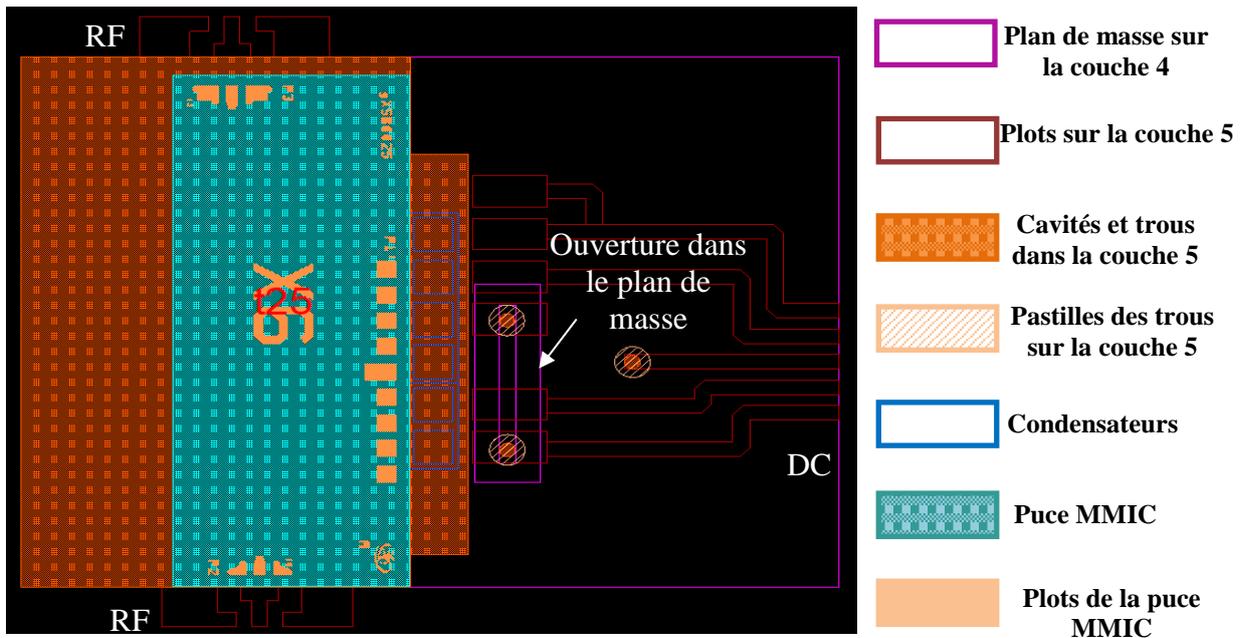


Figure 149. Conception du montage par micro-câblage du multiplieur sur LTCC

Pour un montage par flip-chip sur le substrat LTCC, la puce du multiplieur doit être retournée et la vue de face du montage donnée à la figure 148 devient celle donnée à la figure 150.

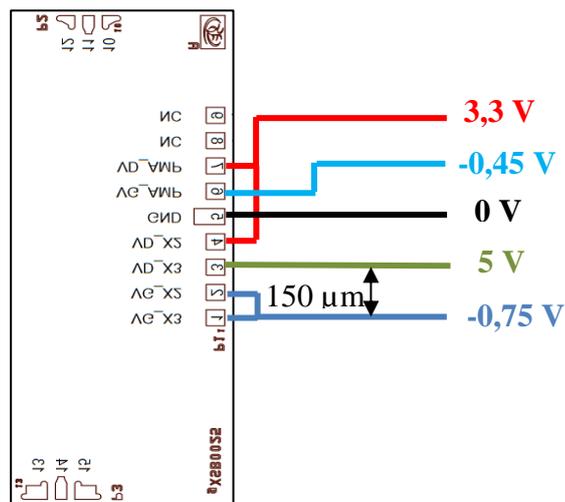


Figure 150. Multiplieur retourné pour un montage par flip-chip

## IV. Module intégré en LTCC

Le montage par flip-chip avec le réseau d'alimentation DC est donné à la figure 151 ci-dessous.

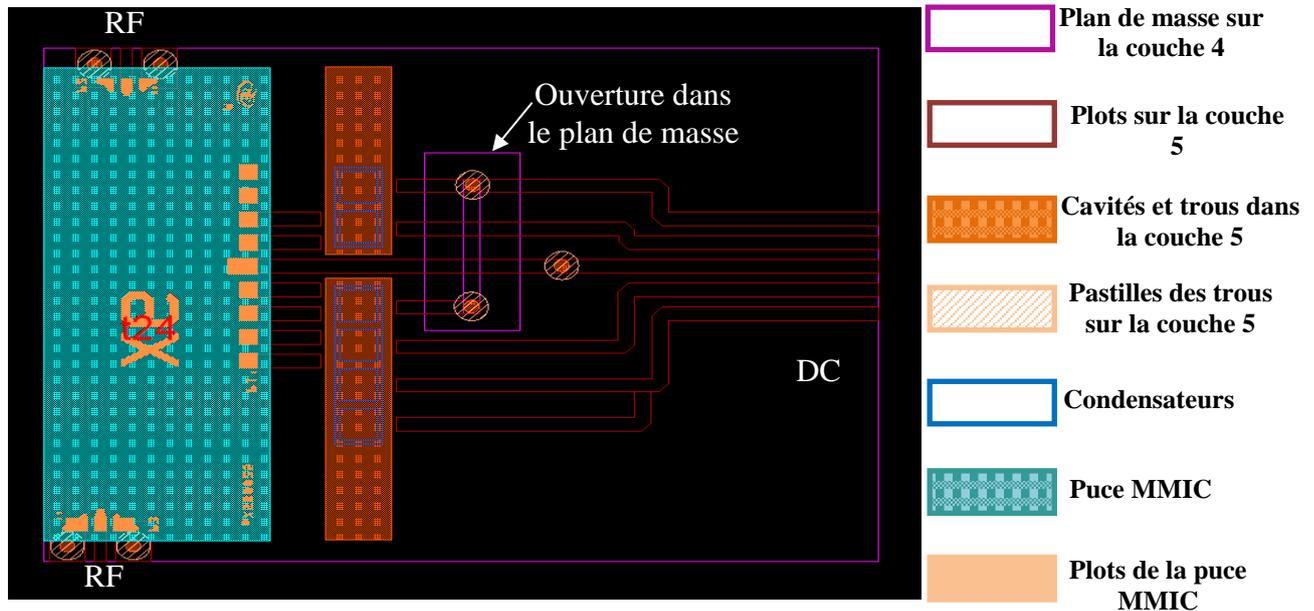


Figure 151. Conception du montage par flip-chip du multiplieur sur LTCC

### IV.3.2 Montage du multiplieur + mélangeur sur le LTCC

Dans cette section, nous allons intégrer le mélangeur et le multiplieur ensemble sur le substrat LTCC dans le but de former un module récepteur. La fréquence d'entrée LO du module est celle du multiplieur, elle est comprise entre 11,8 et 14,4 GHz. La fréquence d'entrée RF du module est celle du mélangeur (140-160 GHz). La fréquence de sortie FI du module est 6 GHz.

Pour monter le mélangeur avec le multiplieur sur le substrat LTCC, nous allons utiliser une technique d'interconnexion qui convient pour la bande D (fréquence d'entrée du mélangeur) et la bande K (fréquence d'entrée du multiplieur). Deux techniques d'interconnexions proposées dans le chapitre 2 vont être testées : micro-câblage et la première solution flip-chip.

Les deux puces peuvent être montées par micro-câblage, par flip-chip ou une puce montée par micro câblage et l'autre par flip-chip.

#### IV.3.2.1 Montage par micro-câblage

Le montage par micro-câblage a deux topologies possibles :

#### IV. Module intégré en LTCC

- topologie 1 : l'interconnexion entre les deux puces se fait à travers le substrat LTCC (voir figure 152 gauche)
- topologie 2 : l'interconnexion entre les deux puces se fait directement (voir figure 152 droite)

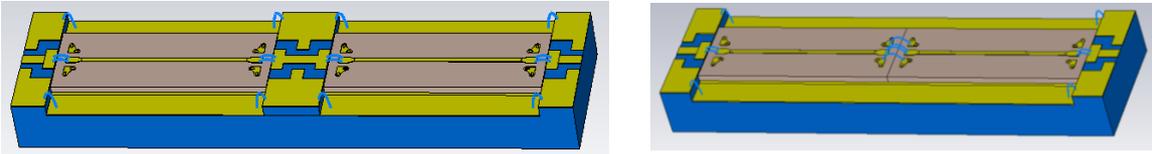


Figure 152. Topologie 1 (gauche) et topologie 2 (droite) pour deux puces « ligne microruban » montées par micro-câblage

Dans le but de pouvoir choisir entre les deux topologies, nous avons simulé le comportement de l'interconnexion entre deux puces « ligne microruban » entre 70 et 90 GHz (fréquence de sortie du multiplieur et d'entrée du mélangeur).

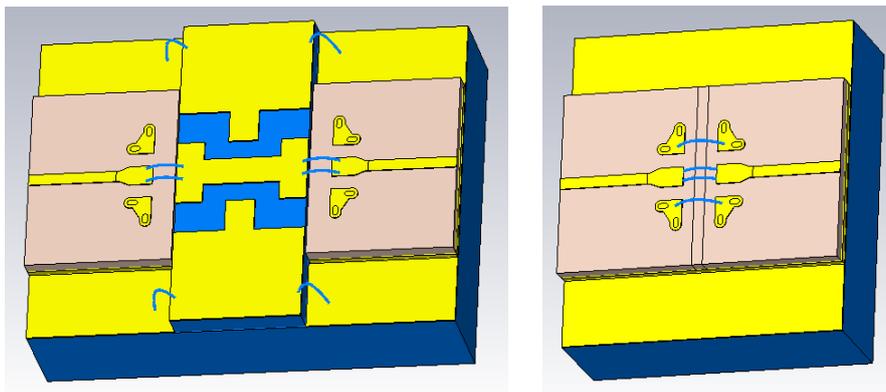


Figure 153. Topologie 1 (gauche) et topologie 2 (droite)

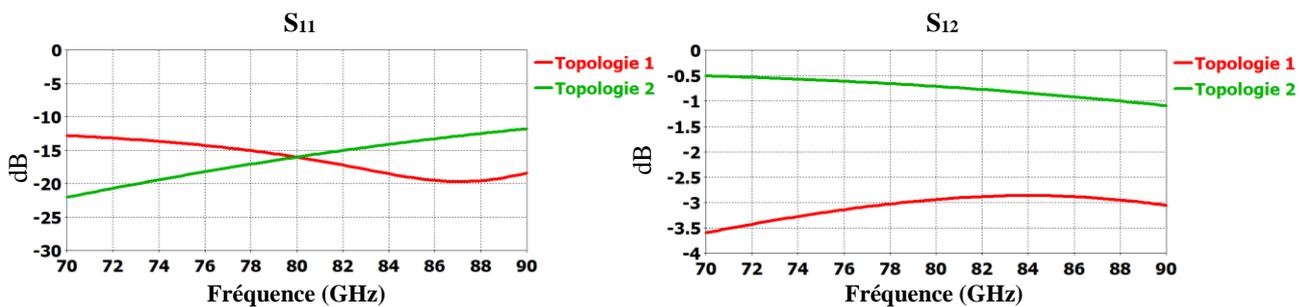


Figure 154. Simulation des deux topologies données par la figure 153

D'après les simulations des deux montages de la figure 153, il apparaît que les deux montages offrent une bonne adaptation entre 70 et 90 GHz (au-dessous de -10 dB). Les pertes de la topologie 1 sont supérieures à celles de la topologie 2 d'environ 2,5 dB ce qui rend cette dernière préférable pour un montage du module par micro-câblage.

#### IV. Module intégré en LTCC

L'alimentation DC du module nécessite l'alimentation du port 1 du mélangeur qui contient un plot avec tension non nulle ( $V_{G\_MIX} = -1,4 \text{ V}$ ) et le port 1 du multiplieur qui contient 6 plots avec des tensions non nulles. Nous avons alors 7 plots à alimenter au total sachant que le dispositif d'alimentation possède 6 pointes avec une tension non nulle (voir figure 147). Les plots 4 et 7 sont alors regroupés sur le multiplieur (3,3 V) afin d'avoir 6 plots à alimenter. La configuration est donnée sur la figure 155 : on a trois accès de chaque côté de la masse avec un entraxe égal à  $150 \mu\text{m}$ , similaire à la configuration des pointes.

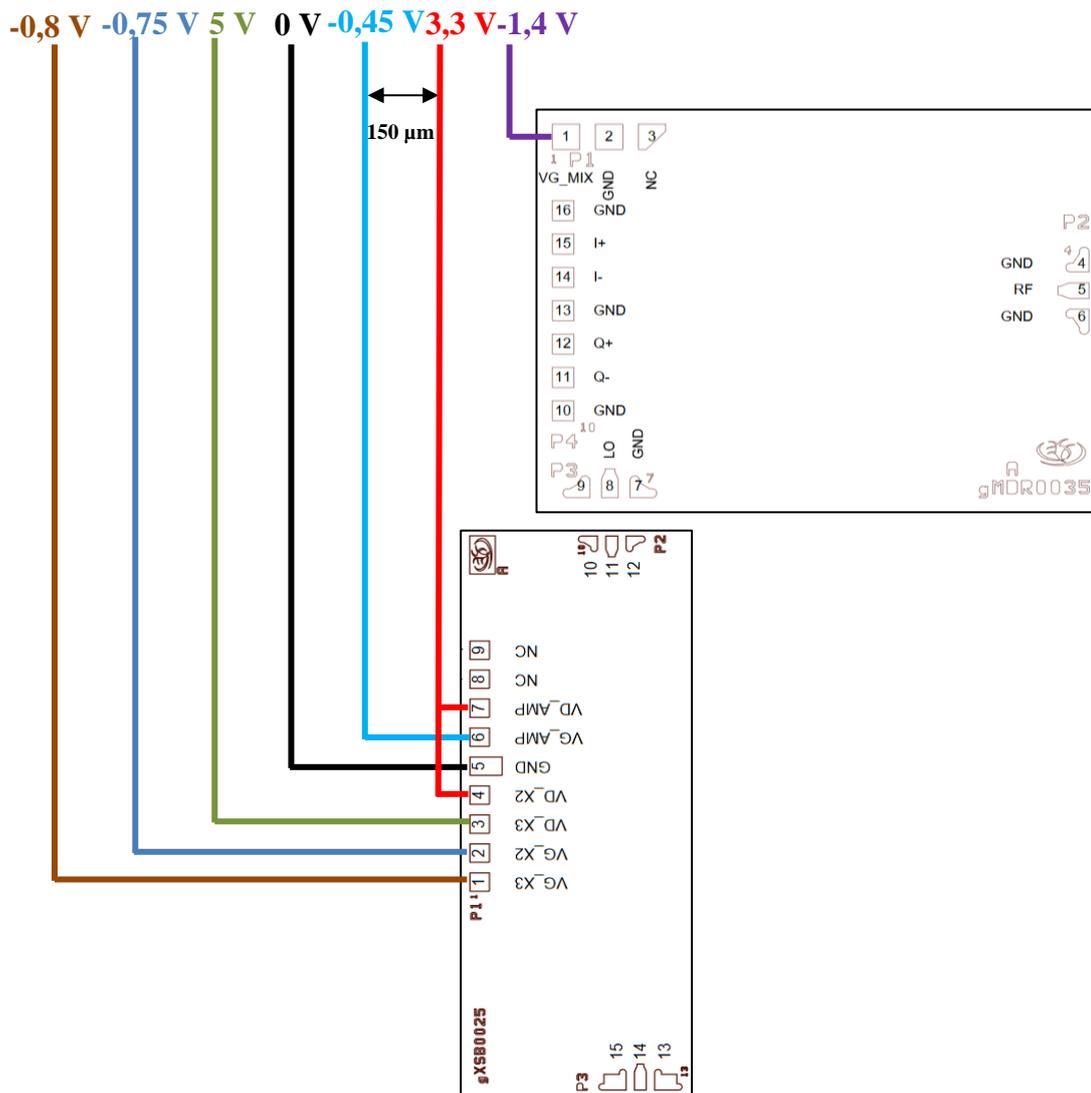


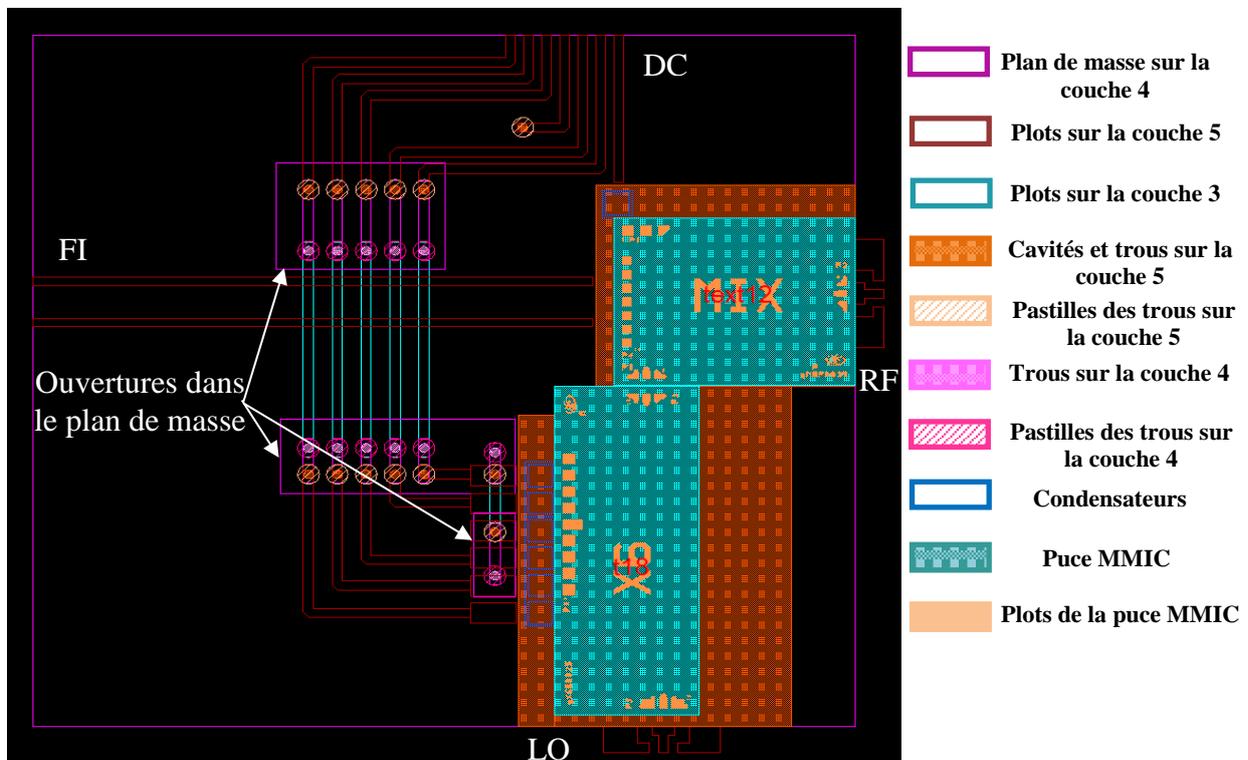
Figure 155. Réseau d'alimentation DC du multiplieur + mélangeur

Les plots 11, 12, 14 et 15 sur le mélangeur sont les plots de sortie de signal FI ( $I_+$ ,  $I_-$ ,  $Q_+$ ,  $Q_-$ ). Les sorties I et Q sont en quadrature de phase avec la même amplitude et  $I_+$  et  $I_-$  sont en opposition de phase (même chose pour  $Q_+$  et  $Q_-$ ).

#### IV. Module intégré en LTCC

Pour pouvoir mesurer les 4 signaux FI, des lignes d'accès microruban sur LTCC d'impédance caractéristique  $50 \Omega$  sont nécessaires. Deux accès  $50 \Omega$ , de largeur  $75 \mu\text{m}$  et de même longueur, ont été placés sur le LTCC en face des plots de sortie du signal FI : chaque accès/ligne  $50 \Omega$  est alors placé à mi-chemin de deux plots de I et de Q. On a choisi de mettre 2 accès au lieu de 4 pour simplifier le montage et la connexion puisque nous pouvons utiliser un accès pour deux plots adjacents : l'accès et le premier plot sont interconnectés par micro câblage, et pour connecter ce même accès au deuxième plot, on coupe le premier micro-câblage et on réalise un deuxième. Dans un montage ultime de ce dispositif, nous devons avoir quatre accès sur le LTCC pour connecter les 4 plots de I et Q.

La conception complète du layout du montage du module, sur le LTCC, est donnée sur la figure 156.



#### IV.3.2.2 Montage par flip-chip

Dans le montage de deux puces par flip-chip, nous allons utiliser le même nombre de couches LTCC que dans le montage par micro-câblage. Pour l'alimentation DC, on a regroupé les plots 1 et 2 à la place de 4 et 7 (montage par micro-câblage). Les accès nécessaires pour la mesure du signal FI sont au nombre de 4 cette fois-ci à cause du montage par flip-chip (voir figure 157).

#### IV. Module intégré en LTCC

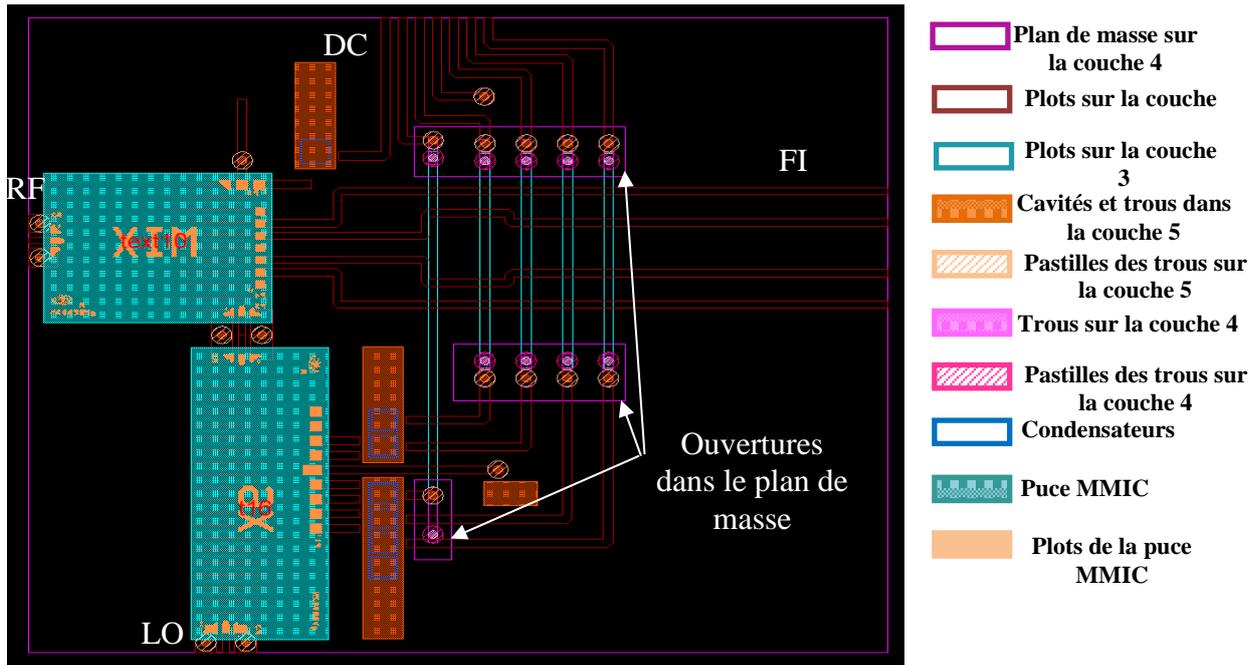


Figure 157. Conception du montage par flip-chip du multiplieur + mélangeur sur LTCC

#### IV.3.2.3 Montage par micro-câblage et flip-chip

La troisième possibilité du montage de deux puces sur le substrat LTCC est d'interconnecter le multiplieur par micro-câblage et le mélangeur par flip-chip avec le substrat LTCC. Pour ce montage, on a deux topologies possibles :

- topologie 1 : l'interconnexion entre les deux puces se fait à travers le substrat LTCC (voir figure 158 gauche)
- topologie 2 : l'interconnexion entre les deux puces se fait directement (voir figure 158 droite)

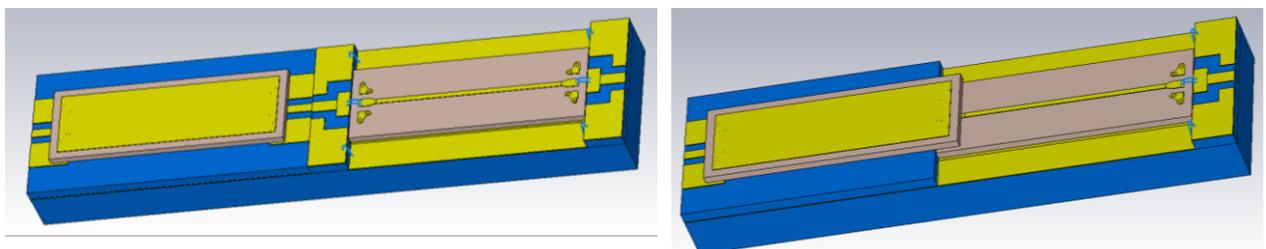


Figure 158. Topologie 1 (gauche) et topologie 2 (droite) pour deux puces « ligne microruban »

La comparaison des deux topologies est faite en simulant les deux types d'interconnexion entre les deux puces « ligne microruban » pour des fréquences entre 70 et 90 GHz (fréquence de sortie du multiplieur et d'entrée du mélangeur).

#### IV. Module intégré en LTCC

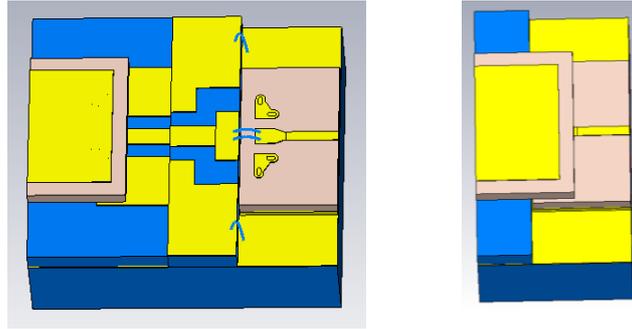


Figure 159. Topologie 1 (gauche) et topologie 2 (droite)

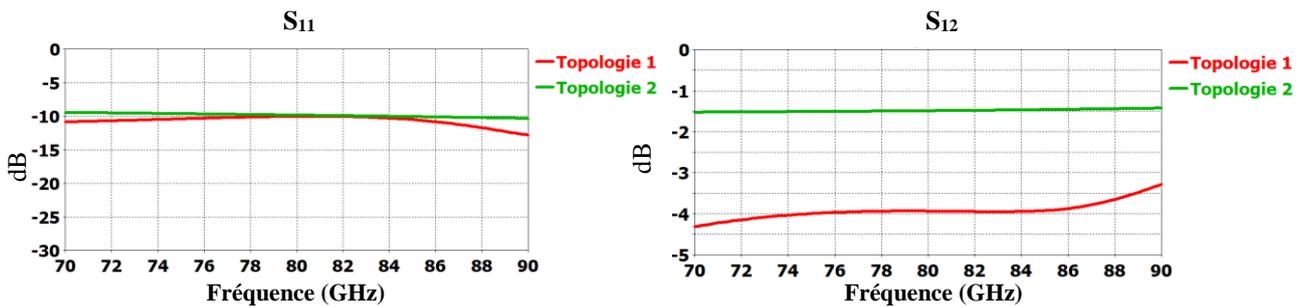


Figure 160. Simulation des deux topologies données par la figure 159

D'après la simulation des deux topologies, on remarque que l'adaptation est de l'ordre de -10 dB pour les deux cas. Les pertes sont de 4 dB environ pour la topologie 1 et de 1,5 dB environ pour la topologie 2, ce qui rend cette dernière préférable pour la réalisation.

Cependant, du fait de la complexité de réalisation de la topologie 2 à cause de l'interconnexion flip-chip entre deux puces, la réussite du montage n'est pas garantie. Nous avons décidé alors de réaliser les deux topologies.

Comme dans le cas du montage par flip-chip et du montage par micro-câblage, nous allons utiliser 5 couches de LTCC ESL 41020. La couche 5 contient des cavités pour le multiplieur et pour les condensateurs, des vias pour passer le signal DC dans une couche inférieure (pour éviter l'intersection entre les accès DC) et des plots pour le signal RF, DC et FI.

La conception des deux montages est donnée sur les figures 161 et 162.

#### IV. Module intégré en LTCC

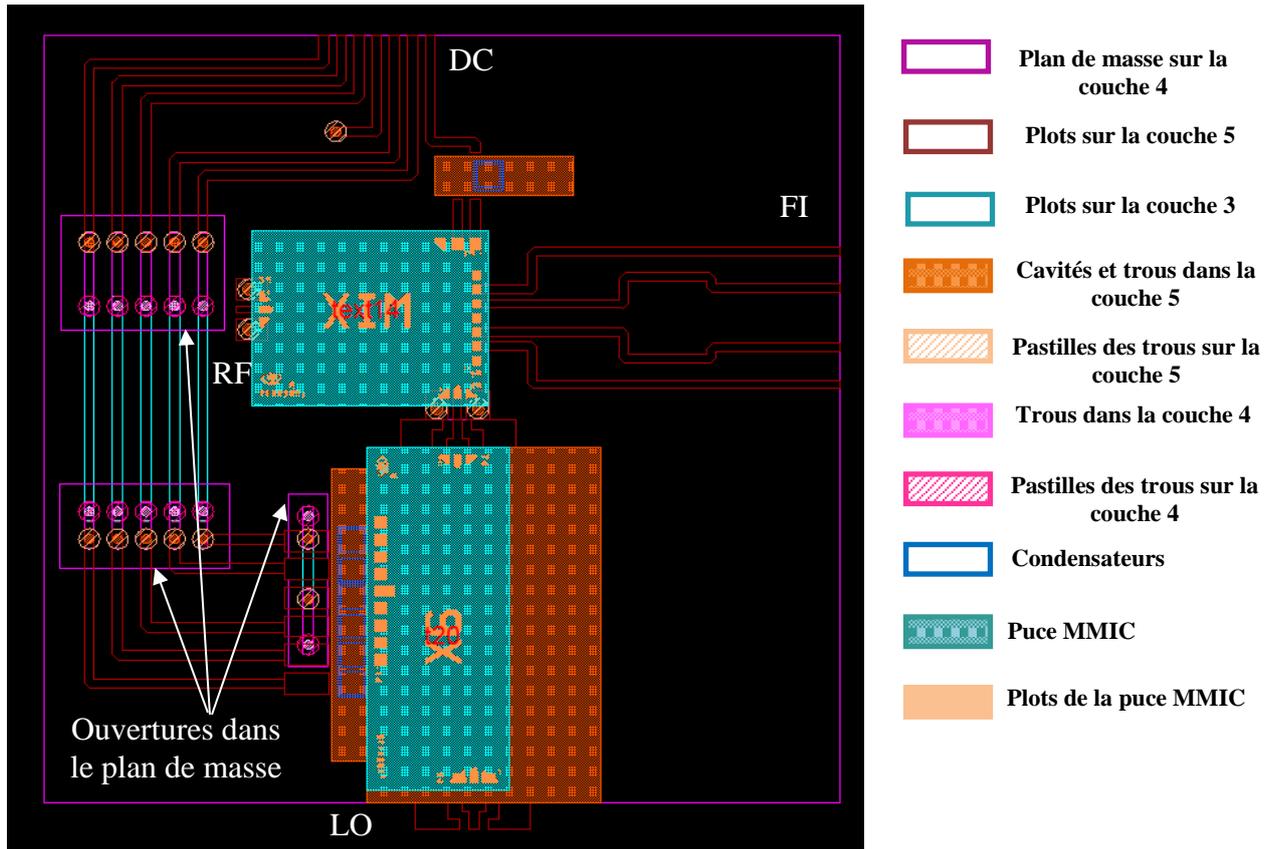


Figure 161. Conception du montage du multiplieur + mélangeur sur LTCC (topologie 1)

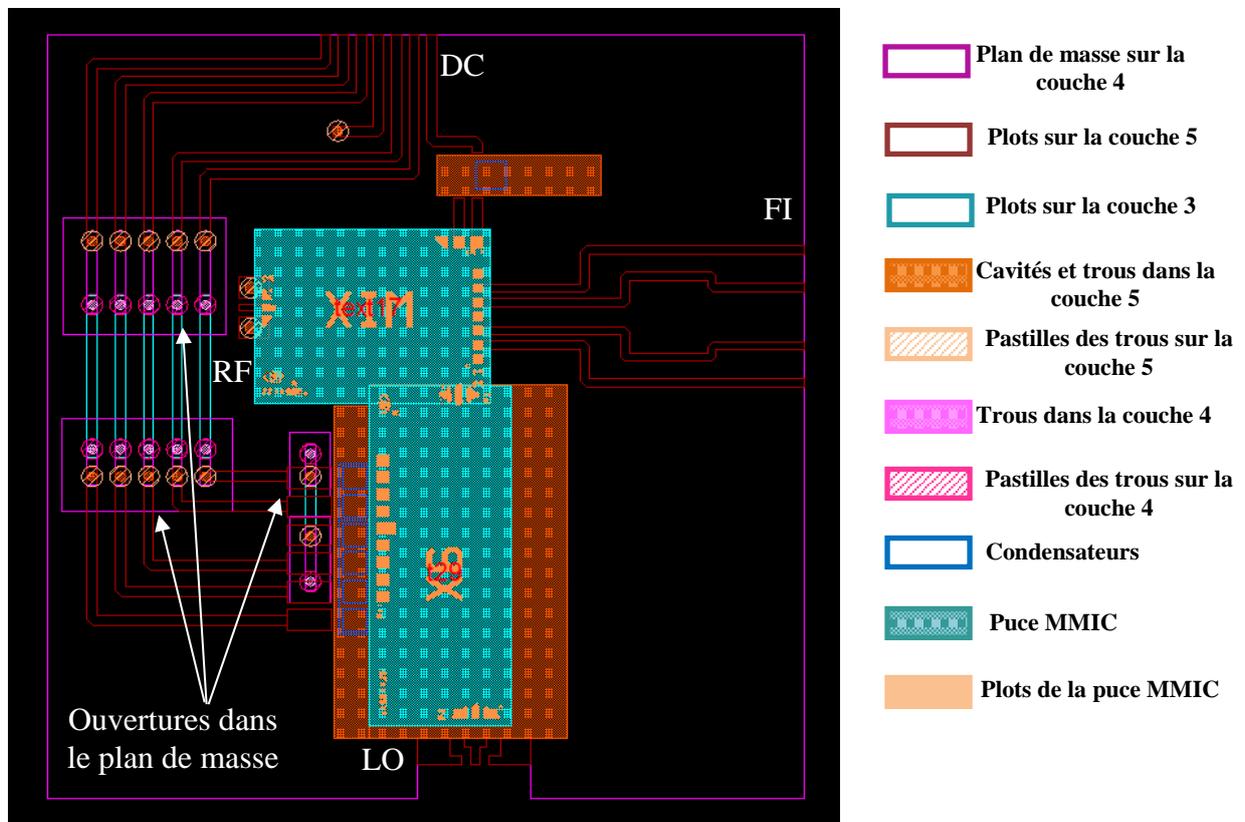


Figure 162. Conception du montage du multiplieur + mélangeur sur LTCC (topologie 2)

### IV.3.3 Réalisation et mesure des modules

#### IV.3.3.1 Réalisation des modules

Comme mentionné, le substrat LTCC pour les différents montages est composé de 5 couches, comme suit :

- dans le montage du multiplieur par micro-câblage ou par flip-chip les couches 4 et 5 contiennent des couches conductrices et des vias tandis que les couches 1, 2 et 3 ne contiennent rien (voir figure 163).



Figure 163. Couches 4 et 5 pour le montage du multiplieur par micro-câblage (à gauche) (conception donnée à la figure 149) et par flip-chip (à droite) (conception donnée à la figure 151)

- dans le montage du multiplieur + mélangeur, les couches 3, 4 et 5 contiennent des couches conductrices et des vias. Les couches 1 et 2 ne contiennent rien (voir figure 164).

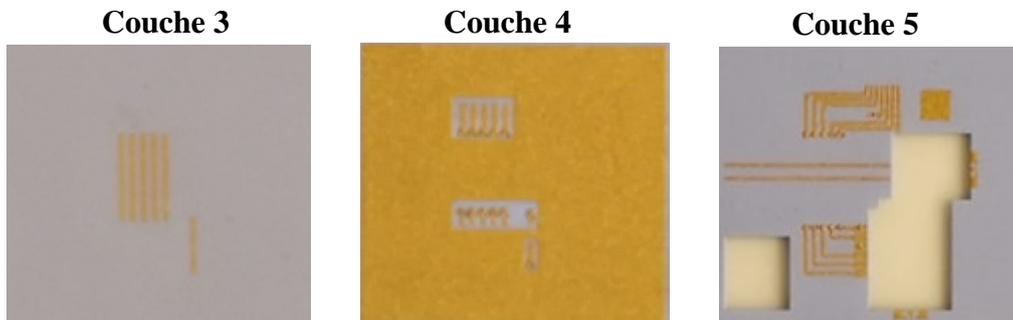


Figure 164. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par micro-câblage (conception donnée à la figure 156)

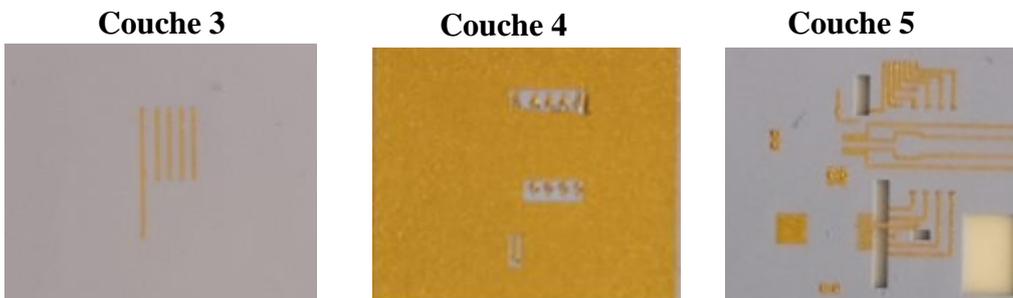


Figure 165. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par flip-chip (conception donnée à la figure 157)

#### IV. Module intégré en LTCC

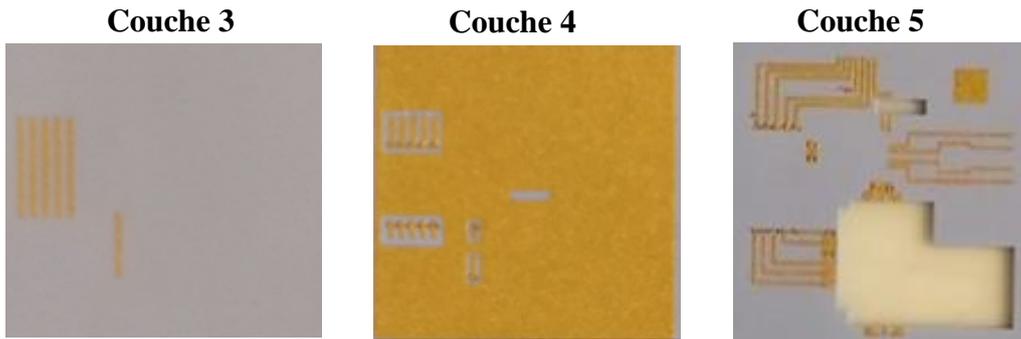


Figure 166. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par micro-câblage et flip-chip topologie 1 (conception donnée à la figure 161)

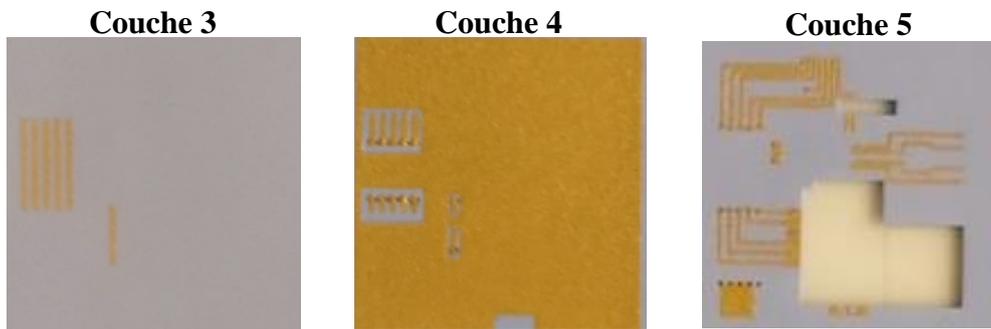


Figure 167. Couches 3, 4 et 5 pour le montage du multiplieur + mélangeur par micro-câblage et flip-chip topologie 2 (conception donnée à la figure 162)

La réalisation des différents montages proposés est faite sur le même substrat (50,8 x 50,8 mm<sup>2</sup>), comme le montre la figure 168.

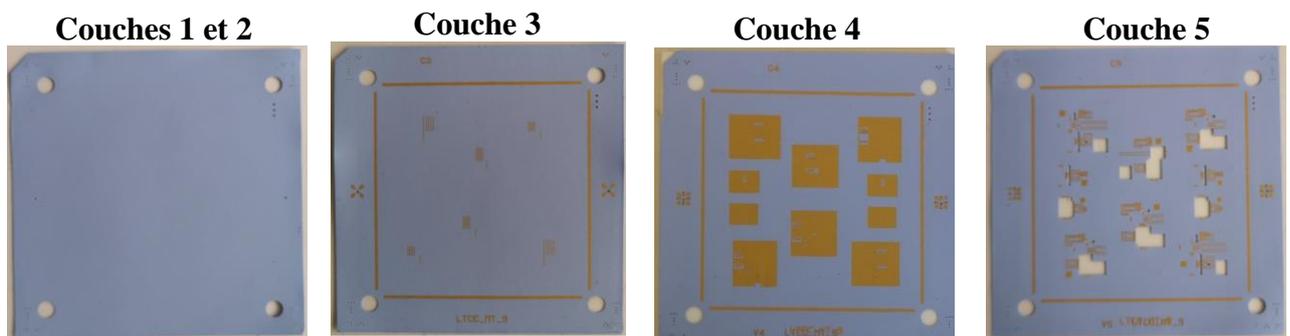


Figure 168. Les différentes couches du substrat LTCC pour le montage du multiplieur et du multiplieur + mélangeur

Le substrat avec les différents prototypes est présenté dans la figure 169.

#### IV. Module intégré en LTCC

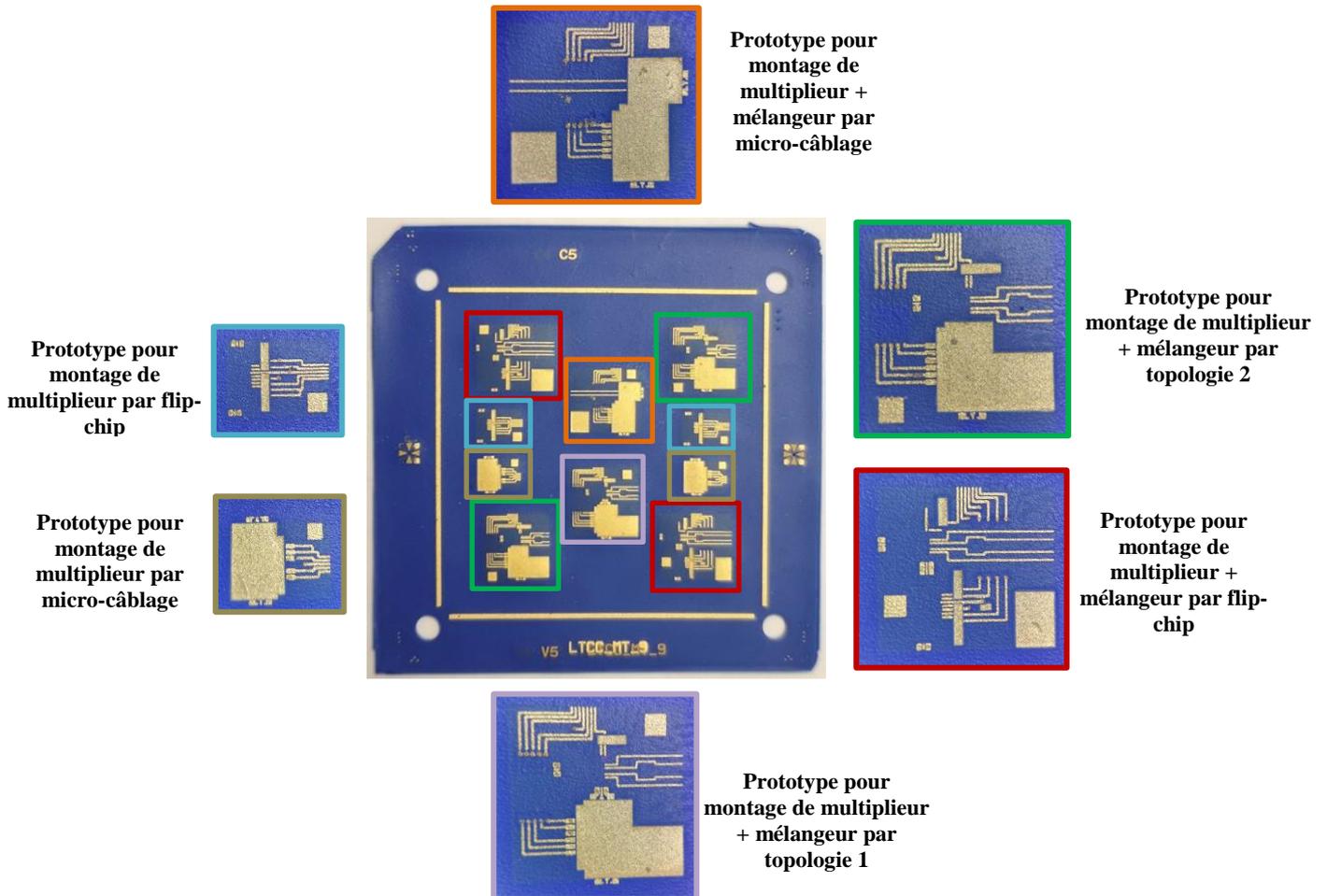


Figure 169. Substrat réalisé pour les différents montages

#### IV.3.3.2 Montages des puces et mesures

Avant de procéder au montage des puces, des tests électriques sont effectués afin de vérifier la présence ou non de circuits-ouverts dans les connexions à travers le substrat (entre couches 3, 4 et 5), ou de courts-circuits entre les accès dans la couche 5 ou entre les accès et le plan de masse. La vérification est faite à l'aide des pointes DC qui sont placées sur la station sous pointes et d'un multimètre.

#### IV. Module intégré en LTCC

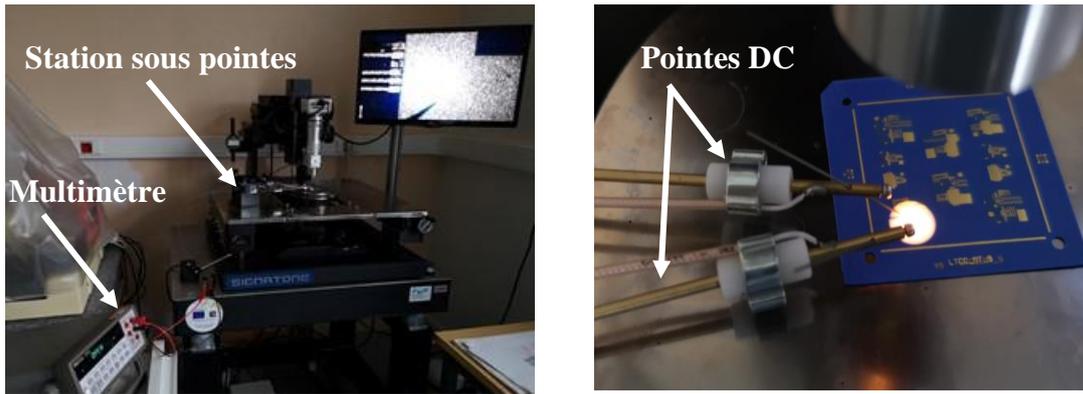


Figure 170. Vérification du substrat à l'aide des pointes DC

Le montage des capacités est ensuite réalisé suivi par celui des puces. Les figures 171 et 173 montrent la puce du multiplieur ainsi que son montage sur le substrat LTCC par micro-câblage.

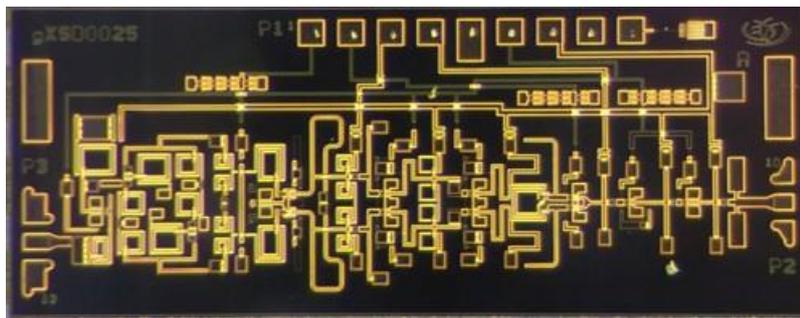


Figure 171. Puce du multiplieur

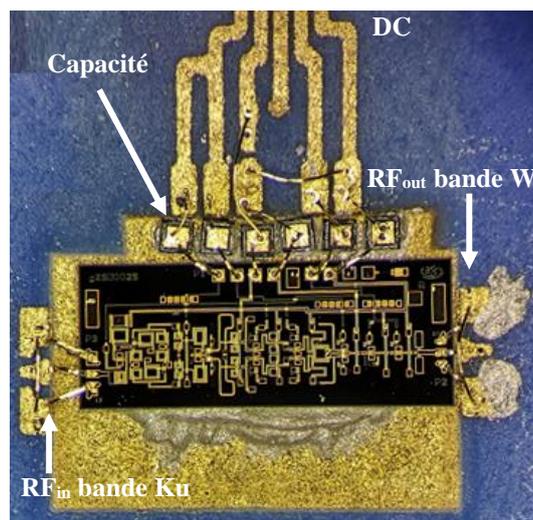


Figure 172. Multiplieur monté sur le substrat LTCC par micro-câblage

Pour pouvoir mesurer le montage de la figure 172, le banc sera constitué de :

- Une alimentation continue DC

#### IV. Module intégré en LTCC

- Des pointes DC
- Un générateur de signal RF en bande Ku pour générer le signal d'entrée RF.
- Des pointes RF en bande V connectées au câble coaxial en bande Ku qui sort du générateur avec une transition Ku-V entre les deux.
- Des pointes RF en bande W
- Un atténuateur en guide d'onde en bande W connecté au câble coaxial en bande W par une transition coax-guide en bande W.
- Un mélangeur externe en bande W pour la mesure à l'analyseur de spectre
- Un analyseur de spectre 40 GHz

La figure 173 montre le banc de mesure ainsi réalisé.

#### IV. Module intégré en LTCC

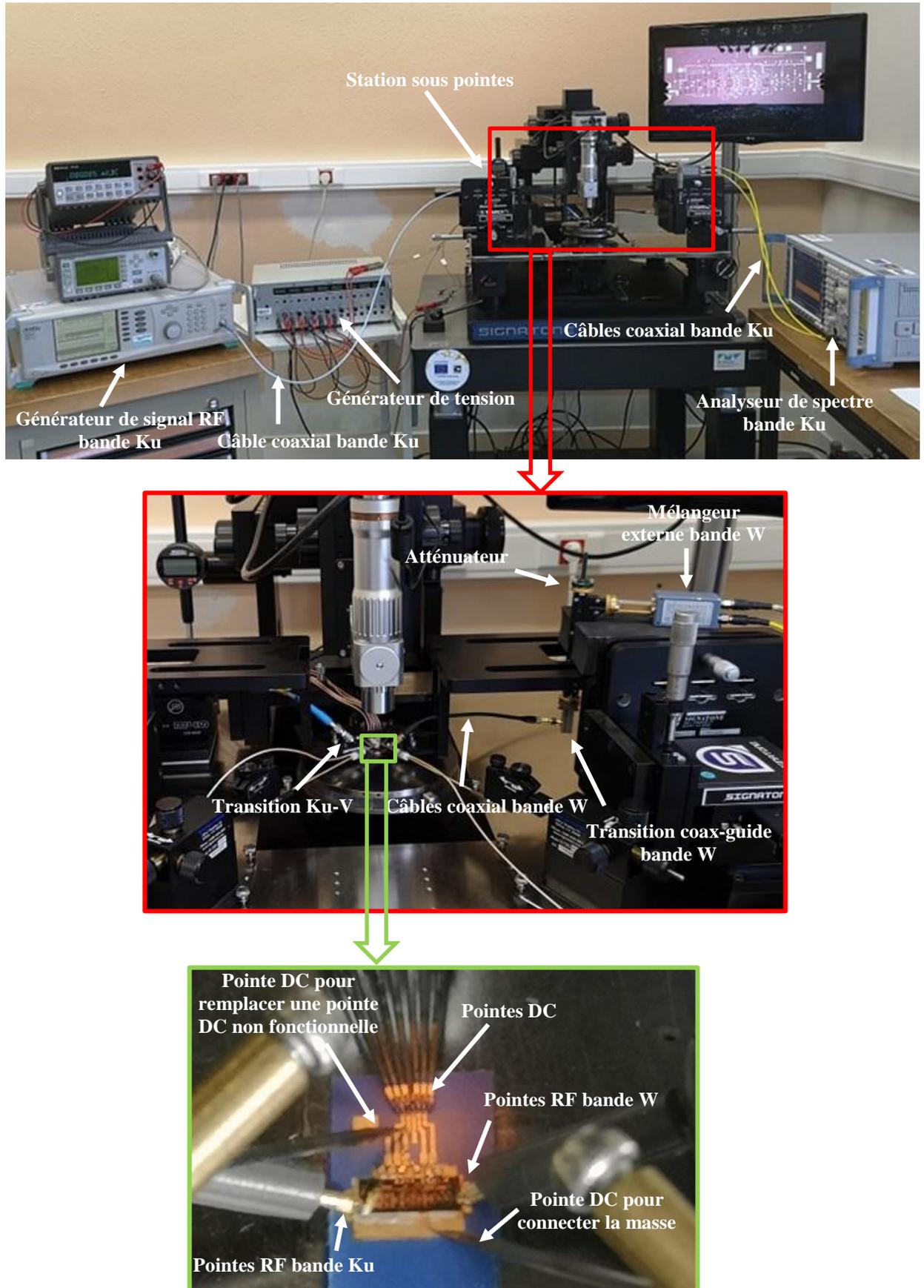


Figure 173. Banc de mesure

#### IV. Module intégré en LTCC

Les résultats de mesure de la puissance de sortie du multiplieur par 6 en fonction de la puissance d'entrée pour deux fréquences de test, avant (figure 171) et après l'intégration sur le substrat LTCC (figure 172) sont donnés ci-dessous sur les figures 174 et 175, et en fonction de la fréquence pour une puissance d'entrée fixée à 9 dBm.

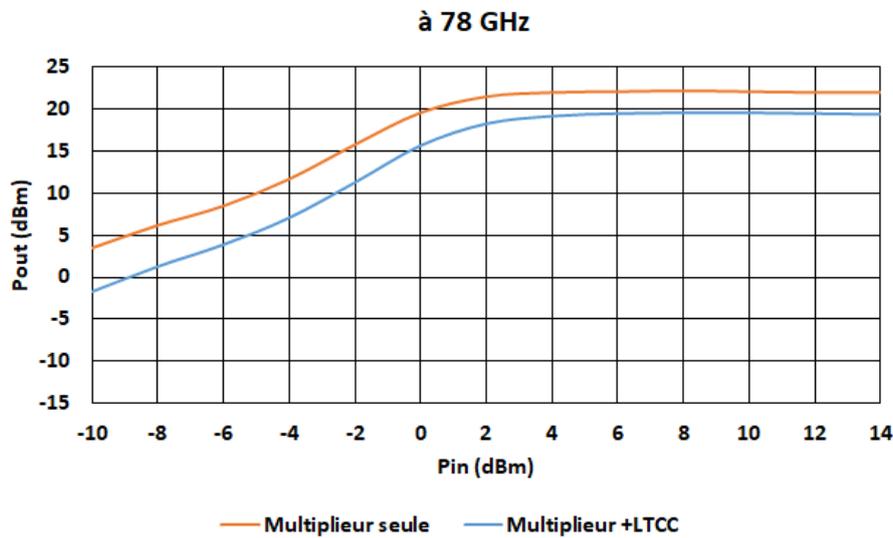


Figure 174. Puissance de sortie du multiplieur avant et après intégration sur le LTCC à 78 GHz pour différentes valeurs de puissance du signal d'entrée

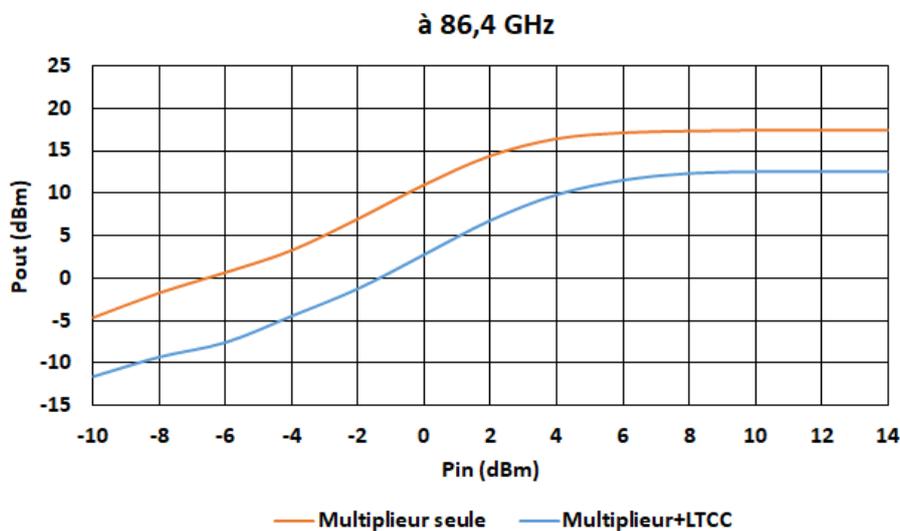
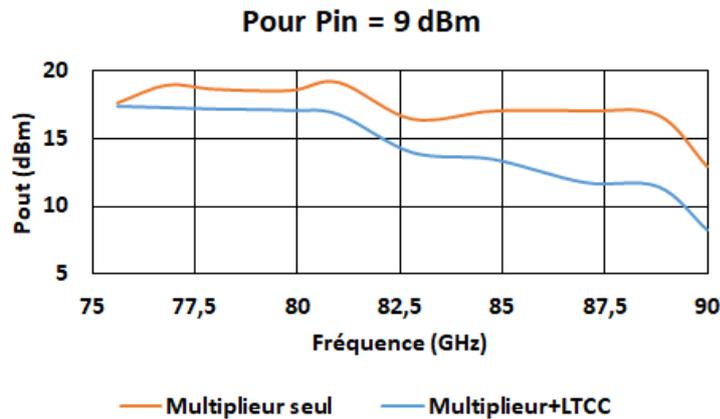


Figure 175. Puissance de sortie du multiplieur avant et après intégration sur le LTCC à 86,4 GHz pour différentes valeurs de puissance du signal d'entrée

#### IV. Module intégré en LTCC

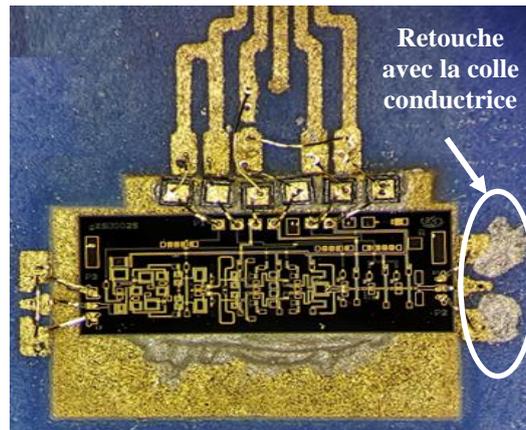


**Figure 176. Puissance de sortie du multiplieur avant et après intégration sur le LTCC en fonction de la fréquence pour  $P_{in} = 9 \text{ dBm}$**

D'après les courbes des figures 174 et 175, on constate que les pertes supplémentaires dues au montage sont de l'ordre de 2,5 dB à 78 GHz et de 5 dB environ à 86,4 GHz, dans la zone de saturation.

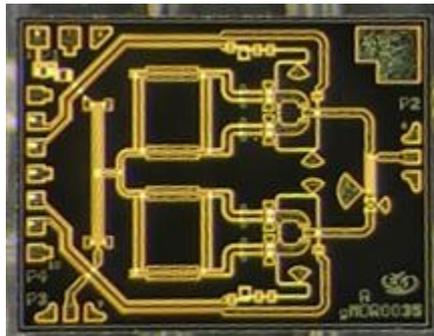
En observant les courbes de la figure 176, les pertes dues à l'intégration sur le substrat LTCC sont comprises entre 0,2 et 5 dB entre 75 et 90 GHz. Ces pertes proviennent de l'interconnexion par micro-câblage, de l'accès coplanaire sur le LTCC mais aussi de la désadaptation de la puce puisque l'entrée et la sortie ont une impédance caractéristique de  $35 \Omega$ , ces désadaptations étant compensées sur le substrat (voir section II.2.2.3.1). Pour pouvoir bien placer les pointes GSG à la sortie du multiplieur sur le LTCC, on a retouché un peu l'accès coplanaire sur le substrat pour minimiser les gaps élargis (problème décrit dans la figure 70). Ce problème peut être évité par l'ablation laser qui permet de créer des ouvertures de largeur inférieure à  $75 \mu\text{m}$  entre les accès. Ceci n'a pas pu être effectué lors de ce travail compte-tenu de la panne de ce dernier. La retouche avec la colle conductrice (voir figure 177) modifie l'impédance caractéristique de l'accès coplanaire sur le LTCC, estimée à  $40 \Omega$  environ d'après les dimensions résultantes observées. Une rétrosimulation d'une ligne microruban (telle que décrite dans le chapitre II : puce L1) connectée par cette transition montre que l'effet de cette retouche est minime (pertes dégradées de l'ordre de 0,2 dB dans la bande W, avec une adaptation inférieure à -10 dB). Il est cependant difficile de préciser chaque contribution indépendamment l'une de l'autre.

#### IV. Module intégré en LTCC



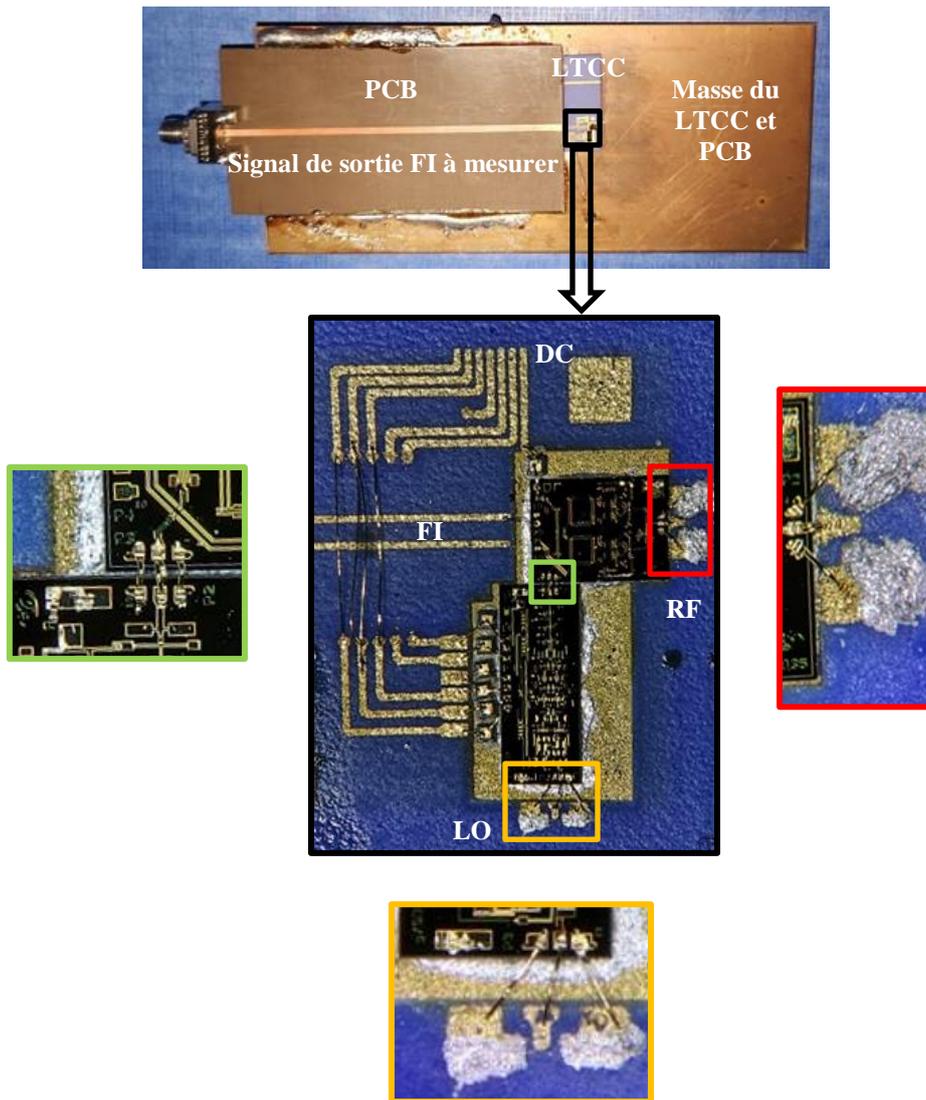
**Figure 177. Montage du multiplieur par micro-câblage sur le LTCC**

Le montage et la mesure du multiplieur et du mélangeur montés par micro-câblage ont été aussi réalisés sur un banc similaire au précédent. La photographie du mélangeur ainsi que du module mesuré est donnée sur les figures 178 et 179 respectivement.



**Figure 178. Puce du mélangeur**

#### IV. Module intégré en LTCC



**Figure 179. Montage du multiplieur +mélangeur sur le LTCC par micro-câblage et assemblage avec le PCB**

Le multiplieur et le mélangeur montés sur le LTCC forment un module récepteur c'est pourquoi on va mesurer la puissance du signal FI (DC – 6 GHz). Cette mesure nécessite des connecteurs coaxiaux soudés au niveau des sorties FI sur le substrat LTCC. La soudure de ces derniers sur un substrat LTCC peut provoquer la casse du substrat [2]. Pour cela, nous avons utilisés un PCB (Duroid) pour faire sortir et mesurer le signal FI. (La connection entre le substrat LTCC et le PCB est fait par micro-câblage).

Pour pouvoir mesurer le montage de la figure 179, les éléments du banc sont les suivants :

- Une alimentation DC
- Des pointes DC
- Un générateur de signal en bande Ku pour générer le signal d'entrée LO

#### IV. Module intégré en LTCC

- Des pointes RF bande V connecté au câble coaxial bande Ku qui sort du générateur avec une transition Ku-V entre les deux.
- Des pointes RF bande D
- Tête millimétrique bande D
- Un analyseur de spectre 40 GHz

La figure 180 montre le banc de mesure réalisé. La figure 181 illustre de manière synthétique les différents blocs connectés entre eux.

#### IV. Module intégré en LTCC

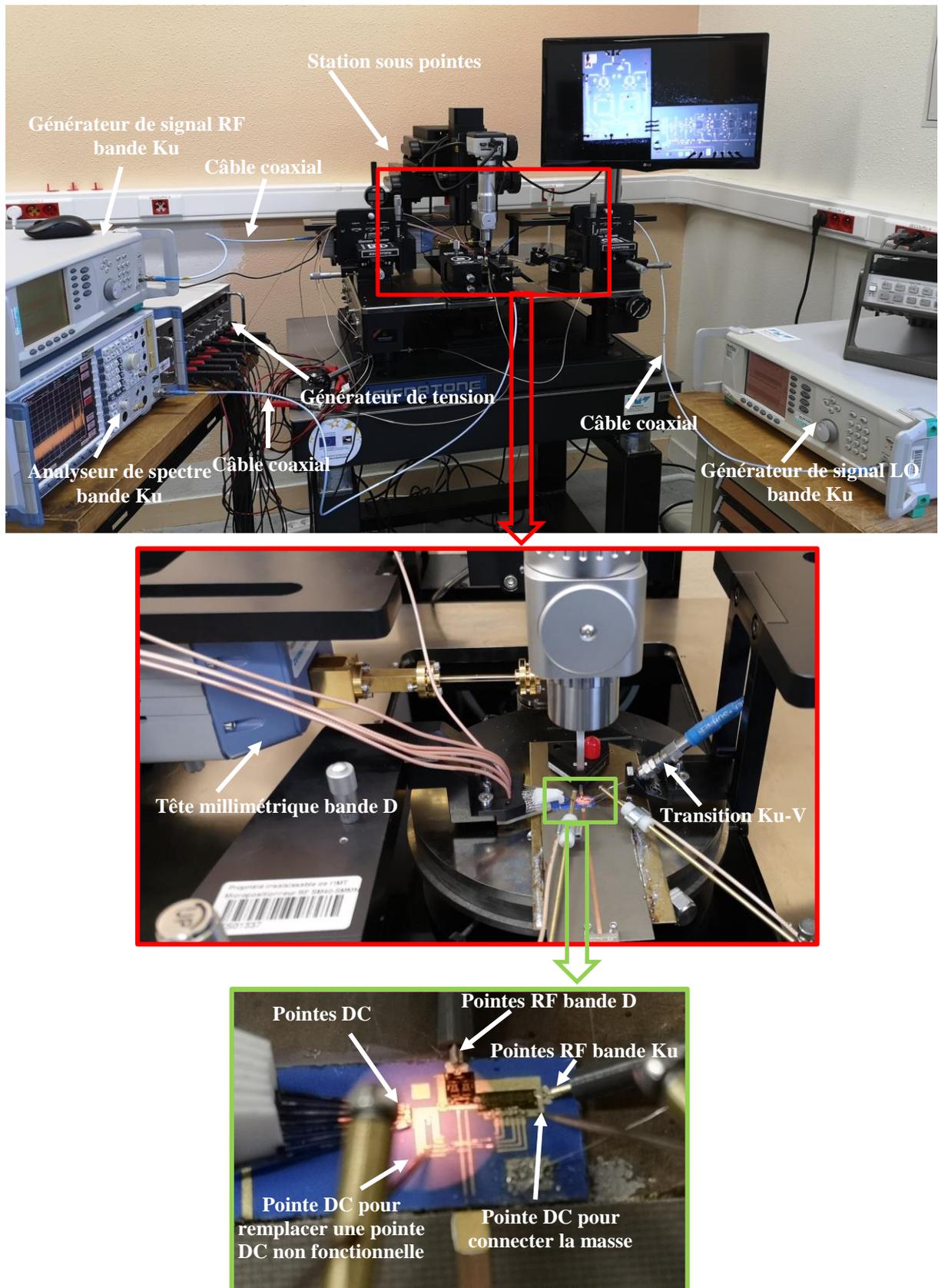


Figure 180. Banc de mesure

#### IV. Module intégré en LTCC

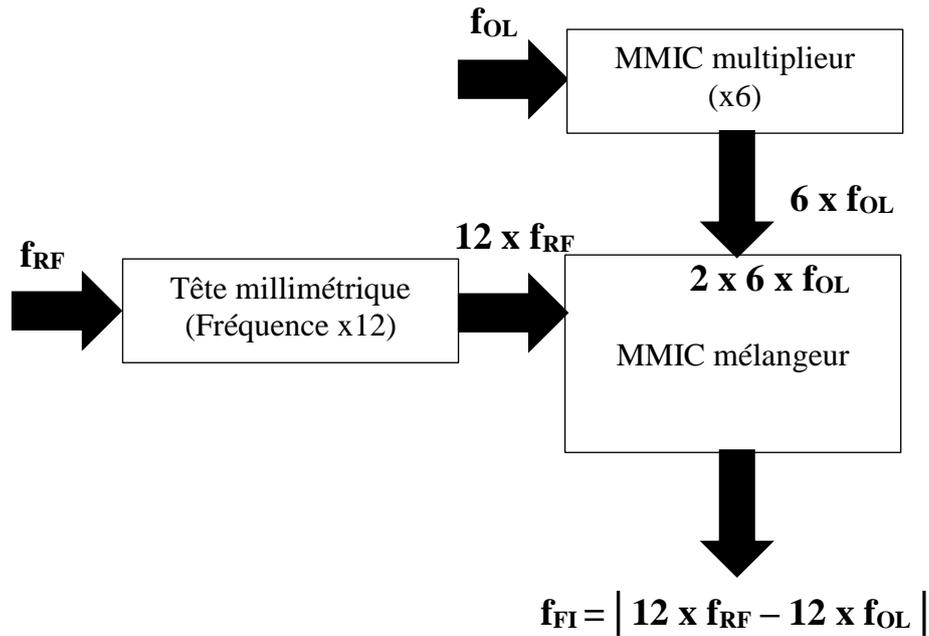


Figure 181. Diagramme du montage réalisé

Les résultats de mesure de la puissance du signal de sortie FI du montage de la figure 179 sont donnés ci-dessous. Les courbes des pertes de conversion en fonction de la puissance du signal RF, de la puissance du signal LO, de la fréquence, de la tension VG\_MIX (tension d'alimentation de mélangeur) et de la fréquence FI sont données sur les figures 182, 183 et 184.

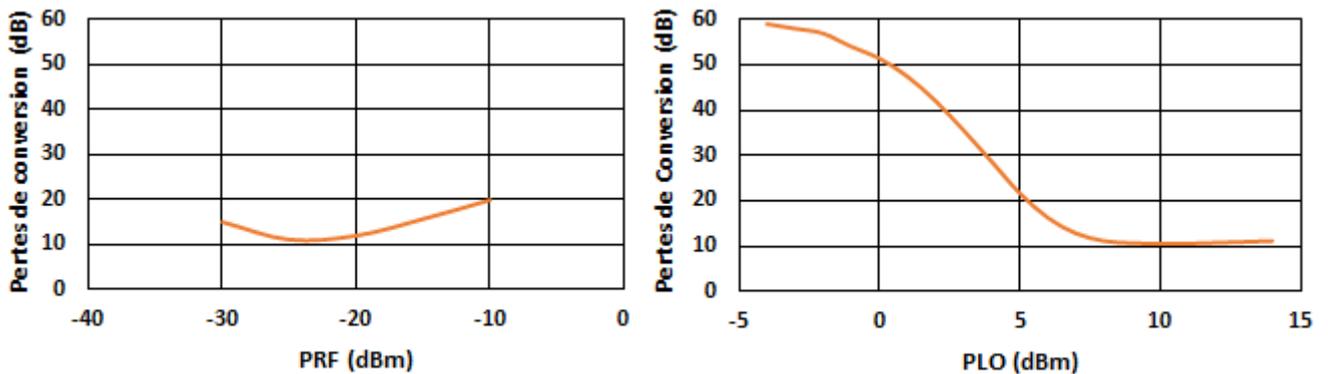


Figure 182. Courbes des pertes de conversion en fonction de puissance de signal RF (gauche, PLO= 14 dBm) et en fonction de puissance du signal LO (droite, PRF=-20 dBm) à 140 GHz pour VG\_MIX = -1,1 V

#### IV. Module intégré en LTCC

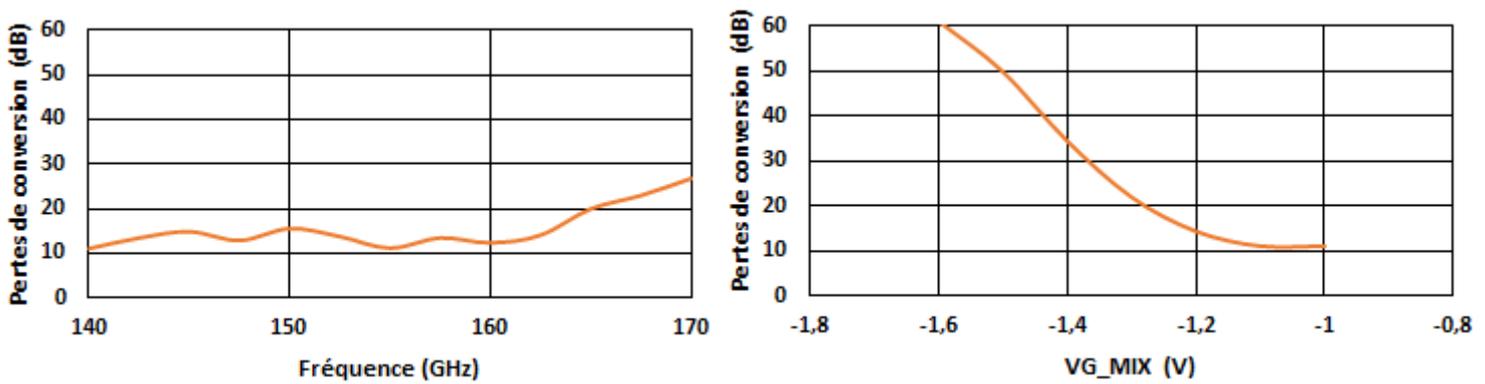


Figure 183. Courbes des pertes de conversion en fonction de la fréquence (gauche, VG\_MIX= -1,1 V) et en fonction de VG\_MIX (droite, fréquence= 140GHz) pour PRF = -20 dBm et PLO = 14 dBm

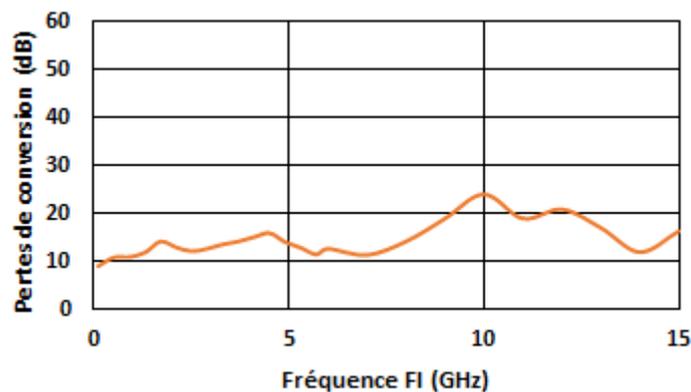


Figure 184. Courbe des pertes de conversion en fonction de la fréquence FI pour PRF= -10 dBm, PLO = 14 dBm et VG\_MIX = -1,1 V

D'après les courbes ci-dessus, les pertes de conversion sont comprises entre 11 et 15 dB pour les puissances PRF = -20 dBm et PLO  $\geq$  5 dBm, une tension VG\_MIX  $\geq$  -1,2 V et une fréquence entre 140 et 160 GHz. Ces pertes de conversion sont du même ordre de grandeur que la valeur mesurée (12 dB) par l'entreprise Gotmic sur le mélangeur seul.

A partir de ces mesures, nous pouvons dire que l'intégration du multiplieur et du mélangeur sur le substrat LTCC par micro-câblage n'a pas affecté le fonctionnement des deux puces connectées ensemble puisque les pertes de conversion mesurées sont de l'ordre de grandeur de celles de la puce mélangeur avant intégration sur le LTCC.

Les pertes pourraient être probablement minimisées sur l'ensemble des montages réalisés en réduisant les diverses désadaptations, et particulièrement en utilisant des puces dont les accès ont une impédance caractéristique de 50  $\Omega$  et non 35  $\Omega$ .

## IV.4 Conclusion

Ce dernier chapitre a présenté l'intégration des puces actives sur le substrat LTCC en utilisant les solutions proposées dans le chapitre 2.

Après une présentation des puces actives fournis par l'entreprise Gotmic (multiplieur et mélangeur), nous avons proposé une solution pour intégrer le multiplieur sur le substrat LTCC. La conception du réseau d'alimentation de la puce à partir de pointes DC disponibles au laboratoire et de l'interconnexion en entrée et sortie RF de la puce et le substrat LTCC par micro-câblage et par flip-chip a été faite. Nous avons validé par la mesure le montage par micro-câblage.

Nous avons proposé ensuite la conception pour intégrer le multiplieur et le mélangeur dans le module. Une fois le réseau d'alimentation DC conçu, quatre propositions d'interconnexion entre les puces et le substrat LTCC constitué de cinq couches ont été proposées sur la base des techniques de micro-câblage, flip-chip ou d'un mixte de ces deux dernières. Nous avons validé par la mesure la première proposition (à base de la technique par micro-câblage), les autres propositions sont en cours de réalisation pour une validation prévue dans les semaines qui viennent.

Les résultats de mesures montrent des pertes maximales de 5 dB à 90 GHz après intégration du mutliplieur seul sur le substrat LTCC.

Les mesures du module intégrant le multiplieur et du mélangeur montrent une bonne concordance avec la mesure du mélangeur effectuée par Gotmic, soit des pertes de l'ordre de 12 dB.

# Conclusion générale

Les travaux de cette thèse, axés sur la réalisation de modules d'émission-réception (front-end TRX) en bande D, faible coût, sur la base de puces intégrées de type MMIC reportées sur un substrat LTCC, ont été réalisés avec des objectifs portant sur :

- les interconnexions entre les puces MMIC et le support LTCC
- le contrôle thermique de puces ayant une dissipation importante
- l'alimentation continue (DC) intégrée sur le module TRX
- l'intégration des puces MMIC actives sur le substrat LTCC

Après un état de l'art des différentes technologies de mise en boîtier à hautes fréquences, la technologie LTCC, les différentes technologies d'interconnexion et les moyens de connexion vers l'extérieur, les premiers travaux ont été portés sur le premier objectif : les interconnexions entre les puces MMIC et le support LTCC. L'intégration de puces constituées de lignes microruban conçues pour la bande D sur le substrat LTCC a permis de tester deux techniques d'interconnexion : le micro-câblage et le flip-chip.

Les résultats obtenus pour les montages réalisés montrent qu'une interconnexion par la technique flip-chip est plus intéressante que le micro-câblage du fait de pertes plus faibles. Pour la meilleure transition flip-chip, nous obtenons 0,45 dB de pertes au lieu de 1 dB pour le micro-câblage. De plus, une proposition d'une puce hot-via adaptée  $50 \Omega$  montre en simulation des pertes de 0,1 dB à 140 GHz, mais cette puce proposée n'a pas encore été fabriquée par notre partenaire industriel pour validation.

Le deuxième objectif concerne le contrôle thermique de puces ayant une dissipation importante, avec l'accent mis sur le refroidissement d'un amplificateur de puissance MMIC en bande E qui dissipe 3 W. Les solutions proposées sont des solutions passives qui ne demandent pas une intervention extérieure.

La première solution proposée est le micro-caloduc. La fabrication de ce dernier avec les bonnes dimensions a demandé un changement des paramètres de fabrication LTCC standard et plus précisément les paramètres de laminage et de cuisson : nous avons utilisé un laminage avec une pression de 70 bars au lieu de 210 bars, une température de 50°C au lieu de 70 °C, un temps de pression de 5 minutes au lieu de 10 minutes avec un profil de cuisson prolongé. Nous n'avons pas pu prouver le bon fonctionnement des micro-caloducs du fait de la complexité du remplissage qui nécessiterait un outillage spécifique. Par contre, nous avons pu démontrer

comment réaliser les micro-caloducs avec une bonne qualité dimensionnelle, dans ce *tape* ESL41020 qui n'est pas habituellement utilisé pour ce type de dispositif. Avec ce travail, nous avons ainsi apporté du savoir-faire dans la fabrication des dispositifs LTCC à la communauté scientifique.

La deuxième solution proposée est basée sur l'intégration des couches conductrices (ESL 803) et des vias qui traversent chaque couche LTCC (ESL 802). Cette solution montre une température maximale de 139°C ce qui est acceptable pour le bon fonctionnement de l'amplificateur.

Les troisième et quatrième objectifs concernent la conception de l'alimentation DC des puces actives avec la solution d'interconnexion étudiée précédemment.

Pour réaliser ces deux objectifs, deux puces MMIC actives ont été intégrées sur le substrat LTCC : un multiplieur et mélangeur.

Le réseau d'alimentation du multiplieur et du multiplieur associé au mélangeur est adapté au points DC disponibles et l'interconnexion en entrée et sortie RF de la puce et le substrat LTCC est réalisée par micro-câblage et par flip-chip. Quatre propositions d'interconnexion entre les puces et le substrat LTCC ont été proposées :

- Interconnexion par micro-câblage entre les puces et le substrat LTCC
- Interconnexion par flip-chip entre les puces et le substrat LTCC
- Interconnexion par micro-câblage entre le substrat et le multiplieur et par flip-chip entre le mélangeur et le substrat (deux topologies proposées).

La mesure du multiplieur connecté par micro câblage sur le LTCC montre que l'interconnexion et les accès coplanaires ont rajouté des pertes maximales de 5 dB à 90 GHz après intégration de la puce sur le substrat LTCC. Ce résultat peut être affiné avec l'aide de la technologie d'ablation laser qui permettra de réaliser des lignes coplanaires avec une impédance caractéristique de 50 ohm. Cette technologie était hors de portée à l'instant de la fabrication des prototypes à cause d'une panne.

La mesure du module constitué du multiplieur et du mélangeur intégrés sur le substrat LTCC par micro-câblage montre une bonne concordance avec la mesure du mélangeur effectuée par Gotmic, ce qui veut dire que l'intégration des puces sur le substrat LTCC n'a pas altéré leur fonctionnement.

Les montages qui ont été réalisés et mesurés sont des montages par micro-câblage. Du fait de contraintes du temps, nous n'avons pas pu réaliser toutes les solutions proposées (flip-chip et flip-chip + micro câblage) qu'il serait intéressant de tester et comparer globalement.

# Perspectives

Comme perspective à ce travail de thèse, il serait intéressant de tester la nouvelle puce « ligne microruban » proposée dans le chapitre 2 basée sur les hot vias. Cette puce montre après intégration sur le LTCC d'après les simulations effectuées des pertes de l'ordre de 0,1 dB à 140 GHz ce qui représente un résultat meilleur par rapport au flip-chip et au micro-câblage. La validation de ce résultat par la mesure sera une étape très importante.

Une autre perspective liée au dernier objectif est de réaliser le montage du module par flip-chip, ce qui n'a pas pu être réalisé pour des contraintes du temps. Le micro-câblage a déjà montré des résultats importants lors de l'intégration du multiplieur seul ou du multiplieur associé au mélangeur. Ces résultats nous encouragent à faire le montage par flip-chip puisqu'il a été montré qu'il est plus intéressant que le micro câblage du fait de pertes plus faibles.

Nous avons étudié et proposé une solution pour refroidir un amplificateur de puissance en bande E du fait de la non-disponibilité d'un amplificateur équivalent en bande D. L'intégration d'un amplificateur de puissance pour un module d'émission en bande D avec une solution de refroidissement convenable est une perspective à envisager.

Enfin, la réalisation et la validation du module en bande D devront être suivies par une solution permettant de récupérer le signal du module vers l'extérieur. Pour assurer une connexion, plusieurs possibilités sont potentiellement envisageables comme des connecteurs, des guides d'onde ou encore des antennes. Pour notre application dans la bande D, les connecteurs ne représentent pas une solution viable puisqu'ils sont limités en pratique à 110 GHz compte-tenu du très faible diamètre de 1 mm du connecteur. Les solutions à envisager alors pour réaliser la connexion vers des dispositifs externes au module LTCC sont les guides d'onde et les antennes.

# Bibliographie

- [1] C. Kärnfelt, “Solutions d’intégration en boîtier de puces MMIC via la technologie LTCC,” phdthesis, Télécom Bretagne ; Université de Bretagne Occidentale, 2016.
- [2] K. H. Rida, “Packaging of Microwave Integrated Circuits in LTCC Technology,” phdthesis, Télécom Bretagne, Université de Bretagne Occidentale, 2013.
- [3] A. Bisognin et al., “BGA organic module for 60 GHz LOS communications,” in 2016 International Symposium on Antennas and Propagation (ISAP), 2016, pp. 1038–1039.
- [4] T. Fujibayashi et al., “A 76- to 81-GHz packaged singleflip-chip transceiver for automotive radar,” in 2016 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2016, pp. 166–169.
- [5] X. Gu et al., “A compact 4flip-chip package with 64 embedded dual-polarization antennas for W-band phased-array transceivers,” in 2014 IEEE 64th Electronic Components and Technology Conference (ECTC), 2014, pp. 1272–1277.
- [6] W. C. Chuang, B. Tsai, W. L. Chen, and J. Su, “Reliability of ball grid array subjected to temperature cycling,” in 2017 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), 2017, pp. 1–4.
- [7] W. Chennikic, “Evaluation de la fiabilité de boîtiers électroniques QFN à base de nano composites LCP/SiO<sub>2</sub> fonctionnalisées,” phdthesis, Université de Bordeaux, Ecole Doctorale Sciences Physiques et de l’Ingénieur, Laboratoire IMS , 2015.
- [8] S. S. Cahill, E. A. Sanjuan, and D. Regev, “Scaling Quad-flat no-leads package performance to E-band frequencies,” in 2013 IEEE International Conference on Microwaves, Communications, Antennas and Electronic Systems (COMCAS 2013), 2013, pp. 1–5.

- [9] V. Nair, L. Krishnamurthy, J. Swan, A. Essaian, T. Frank, and M. Bynum, "3D stacked embedded component system-in-package for wearable electronic devices," in 2017 IEEE Radio and Wireless Symposium (RWS), 2017, pp. 108–110.
- [10] M. Furqan, F. Ahmed, R. Feger, K. Aufinger, and A. Stelzer, "A 122-GHz system-in-package radar sensor with BPSK modulator in a 130-nm SiGe BiCMOS technology," in 2016 46th European Microwave Conference (EuMC), 2016, pp. 683–686.
- [11] A. Bessemoulin, M. C. Rodriguez, S. J. Mahon, A. E. Parker, and M. C. Heimlich, "Soldered hot-via E-band and W-band power amplifier MMICs for millimeter-wave chip scale packaging," in 2016 IEEE MTT-S International Microwave Symposium (IMS), 2016, pp. 1–4.
- [12] Y. P. Wang, V. Lin, E. Chen, and D. Lee, "CSP package and ball design for board level characteristic," in 2011 IEEE 13th Electronics Packaging Technology Conference, 2011, pp. 824–828.
- [13] C. Y. Wu, C. H. Wang, K. K. Ho, K. M. Chen, P. C. Kuo, and C. L. Yang, "Chip package interaction development of flip-chip CSP package with Cu pillar bump on lead for advanced node chip," in 2016 11th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 2016, pp. 374–377.
- [14] V. Sundaram et al., "System-on-a-package (SOP) substrate and module with digital, RF and optical integration," in 2004 Proceedings. 54th Electronic Components and Technology Conference (IEEE Cat. No.04CH37546), 2004, vol. 1, p. 17–23 Vol.1.
- [15] R. R. Tummala, "Packaging: past, present and future," in 2005 6th International Conference on Electronic Packaging Technology, 2005, pp. 3–7.
- [16] C. E. Patterson, D. Dawn, and J. Papapolymerou, "A W-band CMOS PA encapsulated in an organic flip-chip package," in 2012 IEEE/MTT-S International Microwave Symposium Digest, 2012, pp. 1–3.

- [17] C. H. Li et al., "A 37.5-mW 8-dBm-EIRP 15.5-circ-\$-HPBW 338-GHz Terahertz Transmitter Using SoP Heterogeneous System Integration," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 2, pp. 470–480, Feb. 2015.
- [18] A. Hassona, Z. S. He, V. Vassilev, and H. Zirath, "D-band waveguide transition based on Linearly Tapered Slot Antenna," in *2017 IMAPS Nordic Conference on Microelectronics Packaging (NordPac)*, 2017, pp. 64–67.
- [19] U. Nandi, A. U. Zaman, A. Vosoogh, and J. Yang, "Novel Millimeter Wave Transition From Microstrip Line to Groove Gap Waveguide for MMIC Packaging and Antenna Integration," *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 8, pp. 691–693, Aug. 2017.
- [20] B. Cao, H. Wang, Y. Huang, J. Wang, and H. Xu, "A Novel Antenna-in-Package With LTCC Technology for W-Band Application," *IEEE Antennas and Wireless Propagation Letters*, vol. 13, pp. 357–360, 2014.
- [21] S. L. Smith, T. Merkle, K. W. Smart, S. Hay, M. Shen, and F. Ceccato, "Design Aspects of an Antenna-MMIC Interface Using a Stacked Patch at 71 - 86 GHz," *IEEE Transactions on Antennas and Propagation*, vol. 61, no. 4, pp. 1591–1598, Apr. 2013.
- [22] J. Maeng, N. Jeon, S. Song, and K. Seo, "W-band cross-coupled filters and a duplexer on a thin-film substrate for low-cost front-end integration," in *2009 59th Electronic Components and Technology Conference*, 2009, pp. 1594–1598.
- [23] D. Titz et al., "Industrial HTCC Antenna-Module SiP for 60-GHz Applications," *IEEE Antennas and Wireless Propagation Letters*, vol. 11, pp. 576–579, 2012.
- [24] A. Bhutani et al., "122 GHz aperture-coupled stacked patch microstrip antenna in LTCC technology," in *2016 10th European Conference on Antennas and Propagation (EuCAP)*, 2016, pp. 1–5.
- [25] "Electronics and Microelectronics" [Online]. Available : <http://www.ltcc.org.pl>. [Accessed: 04-Dec-2017].

- [26] M. Prudenziati et J. Hormadaly, *Printed Films: Materials Science and Applications in Sensors, Electronics and Photonics*. Elsevier, 2012.
- [27] Z. Chen and Y. P. Zhang, “A 94-GHz LTCC microstrip grid array antenna for imaging application,” in 2014 16th International Symposium on Antenna Technology and Applied Electromagnetics (ANTEM), 2014, pp. 1–2.
- [28] A. A. Hanzaz, “LTCC System for High Frequency Applications,” in 2012 International MultiConference of Engineers and Computer Scientists (IMECS), vol. II, March, 2012.
- [29] L. H. Hsieh and S. X. Dai, “Bandpass Filters With Localized Temperature Compensation Dielectrics in Low-Temperature Cofired Ceramic Packages,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 4, no. 9, pp. 1427–1431, Sep. 2014.
- [30] C. Oikonomopoulos-Zachos and M. Martínez-Vázquez, “Effect of technological tolerances in the design of a 60 GHz LTCC antenna,” in 2010 IEEE Antennas and Propagation Society International Symposium, 2010, pp. 1–4.
- [31] A. Schulz, D. Stöpel, T. Welker, R. Müller, F. Wollenschläger, and J. Müller, “Optimized wire-bond transitions for microwave applications up to 67 GHz using the low loss LTCC material DuPont 9k7,” in 2013 European Microelectronics Packaging Conference (EMPC), 2013, pp. 1–5.
- [32] “Conductive Materials or Metal Conductivity - TIBTECH innovations -.” [Online]. Available: <http://www.tibtech.com/conductivity.php>. [Accessed: 04-Dec-2017].
- [33] DODUCO, “Silver&Silver Alloys.” [Online]. Available: [http://www.doduco.net/media/34482/silver\\_silver\\_alloys\\_\\_englisch\\_24-10-2011.pdf](http://www.doduco.net/media/34482/silver_silver_alloys__englisch_24-10-2011.pdf). [Accessed: 14-Mar-2017].
- [34] “Start - TPT Wire Bonder.” [Online]. Available: <https://www.tpt-wirebonder.com/en/start.html>. [Accessed: 16-Nov-2017].

- [35] M. Mayer, “Process Design of Fine Entraxe Ball Bonding by Volume Conservation Modelling,” in 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), 2016, pp. 2216–2221.
- [36] S. Murali, V. Sureshkumar, L. M. Wan, T. C. Wei, and Z. Xi, “Interfacial reaction and thermal ageing of ball and stitch bonds,” in 2015 IEEE 17th Electronics Packaging and Technology Conference (EPTC), 2015, pp. 1–6.
- [37] J. Powell, “Ball Bonding vs. Wedge Bonding.” [Online]. Available: <http://www.palomartechologies.com/blog/bid/206846/ball-bonding-vs-wedge-bonding>. [Accessed: 20-Oct-2017].
- [38] B. Zhang *et al.*, “Integration of a 140 GHz Packaged LTCC Grid Array Antenna With an InP Detector,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 5, no. 8, pp. 1060–1068, Aug. 2015.
- [39] A. Tessmann *et al.*, “A Broadband 220-320 GHz Medium Power Amplifier Module,” in 2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), La Jolla, CA, USA, 2014, pp. 1–4.
- [40] Y. C. Lin, W. H. Lee, T. S. Horng, and L. T. Hwang, “High performance plastic molded QFN package with ribbon bonding and a defective PCB ground,” in 2013 IEEE 63rd Electronic Components and Technology Conference, 2013, pp. 1644–1649.
- [41] Y. C. Lin, W. H. Lee, T. S. Horng, and L. T. Hwang, “Full Chip-Package-Board Co-Design of Broadband QFN Bonding Transition Using Backside via and Defected Ground Structure,” *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 4, no. 9, pp. 1470–1479, Sep. 2014.
- [42] R. Shireen, S. Shi, P. Yao, and D. W. Prather, “Multiflip-chip Module Packaging For W-Band  $\text{LiNbO}_3$  Modulator,” *IEEE Microwave and Wireless Components Letters*, vol. 21, no. 3, pp. 145–147, Mar. 2011.

- [43] J. Cui, Q. Wang, G. Daniel, L. Cao, and L. Wan, "Millimeter-wave performance of various interconnexions used for Si-based IC packaging technologies," in 2012 13th International Conference on Electronic Packaging Technology High Density Packaging, 2012, pp. 837–840.
- [44] T. Tajima, H. J. Song, and M. Yaita, "Compact THz LTCC Receiver Module for 300 GHz Wireless Communications," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 4, pp. 291–293, Apr. 2016.
- [45] N. G. Weimann *et al.*, "Manufacturable Low-Cost flip-chip Mounting Technology for 300 - 500-GHz Assemblies," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 7, no. 4, pp. 494–501, Apr. 2017.
- [46] C. Mahle and H. Huang, "MMIC's in communications," *IEEE Communications Magazine*, vol. 23, no. 9, pp. 8–16, Sep. 1985.
- [47] R. Müller *et al.*, "60 GHz ultrawideband hybrid-integrated dual-polarized front-end in LTCC technology," in *Proceedings of the 5th European Conference on Antennas and Propagation (EUCAP)*, 2011, pp. 1449–1453.
- [48] D. Bourreau, A. Peden, and S. Le Maguer, "A Quasi-Optical Free-Space Measurement Setup Without Time-Domain Gating for Material Characterization in the  $\$W\$$ -Band," *IEEE Transactions on Instrumentation and Measurement*, vol. 55, no. 6, pp. 2022–2028, Dec. 2006.
- [49] D. Morris, "Which Electromagnetic Simulator Should I Use?," p. 10.
- [50] T. Weiland, M. Timm, and I. Munteanu, "A practical guide to 3-D simulation," *IEEE Microwave Magazine*, vol. 9, no. 6, pp. 62–75, Dec. 2008.
- [51] T. Kawasaki, M. Kubota, K. Tsukashima, T. Tokumitsu, and Y. Hasegawa, "A full E-band low noise amplifier realized by using novel wafer-level chip size package technology suitable for reliable flip-chip reflow-soldering," in 2014 IEEE MTT-S International Microwave Symposium (IMS2014), 2014, pp. 1–4.
- [52] W. Chang, J. Su, C. Meng, C. Chang, and G. Huang, "V-band flip-chip pHEMT balanced power amplifier with CPWGMs-CPWG topology and CPWG Lange couplers," in 2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2017, pp. 19–22.

- [53] H. Zhang and W. Hong, "A Wire Bonding Structure Directly Based on Substrate Integrated Waveguide Technology," *IEEE Microwave and Wireless Components Letters*, vol. 24, no. 11, pp. 757–759, Nov. 2014.
- [54] AS. Beer, H. Gulan, B. Ripka, P. Pahl, and T. Zwick, "Packaging and interconnect solutions for a low cost surface-mountable millimeter-wave radar sensor," in 2011 Semiconductor Conference Dresden, Dresden, Germany, 2011, pp. 1–4.
- [55] J. Schafer, D. Muller, T. Zwick, G. Eren, and I. Kallfass, "Tx front end concept for FMCW radar with frequency scanning antenna at 240 GHz," in 2018 International Workshop on Antenna Technology (iWAT), Nanjing, 2018, pp. 1–4.
- [56] F. J. Schmtickle, "A 77 GHz Broadband flip-chip Transition on LTCC Submount," p. 4, 2010.
- [57] A. Bessemoulin, "Design Data for Hot-via Interconnects in Chip Scale Packaged MMICs up to 110 GHz," p. 4, 2004.
- [58] Wei-Cheng Wu et al., "60 GHz Broadband MS-to-CPW Hot-Via flip-chip Interconnects," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 11, pp. 784–786, Nov. 2007.
- [59] A. Bessemoulin, M. C. Rodriguez, S. J. Mahon, A. E. Parker, and M. C. Heimlich, "Soldered hot-via E-band and W-band power amplifier MMICs for millimeter-wave chip scale packaging," in 2016 IEEE MTT-S International Microwave Symposium (IMS), San Francisco, CA, 2016, pp. 1–4.
- [60] J. Zhou, J. Yang, and Y. Shen, "3D heterogeneous integration technology using hot via MMIC and silicon interposer with millimeter wave application," in 2017 IEEE MTT-S International Microwave Symposium (IMS), Honolulu, HI, USA, 2017, pp. 499–502.
- [61] B. K. Kreeley, "Keep drives cool and increase the lifespan and reliability of electrical components in class i, division 1 & 2 hazardous environments," 31-May-2016. [Online]. Available: <https://www.linkedin.com/pulse/keep-drives-cool-increase-lifespan-reliabilty-class-i-bruce-k-kreeley>. [Accessed: 28-Mar-2017].

- [62] P. Uhlig, A. Serwa, U. Altmann, T. Welker, J. Müller, D. Schwanke, J. Pohlner, T. Rittweg, "Liquid Cooling in an LTCC-Module for a Switched Mode Amplifier," 2017 IMAPS Nordic Conference on Microelectronics Packaging (NordPac)
- [63] T. Girasek, A. Pietrikova, T. Welker and J. Muller, "Improving thermal resistance of multilayer LTCC module with cooling channels and thermal vias," 40th International Spring Seminar on Electronics Technology (ISSE).
- [64] T. Welker, N. Gutzeit, J. Müller, "Enhanced Heat Spreading in LTCC Packages utilizing Thick Silver Tape in the Co-fire Process," Electronics Technology Group Technische Universität Ilmenau Ilmenau, Germany, European Microelectronics Packaging Conference, 10-13 September 2017, Warsaw, Poland
- [65] Y. Hai, D. Yang, D. Yan, W. Tian, "Thermal Design and Analysis of High Power LED with LTCC Packaging," 2012 International Conference on Electronic Packaging Technology & High Density Packaging
- [66] C. Byon, "Heat Pipe and Phase Change Heat Transfer Technologies for Electronics Cooling," School of Mechanical Engineering, Yeungnam University, Gyeongsan, South Korea, 2016
- [67] P. Z. Shi, K. M. Chua, S. C. K. Wong, et Y. M. Tan, "Design and performance optimization of miniature heat pipes in LTCC," J. Phys. Conf. Ser., vol. 34, p. 142- 147, avr. 2006
- [68] Y. Fournier, "3D Structuration Techniques of LTCC for Microsystems," La faculté sciences et techniques de l'ingénieur, Laboratoire de production microtechnique , Programme doctoral en systèmes de production et robotique, Aout. 2010
- [69] K. Malecha, D. Jurk'ow and L. J. Golonka, "Comparison of solvent and sacrificial volume-material-based lamination processes of low-temperature co-fired ceramics tapes," Faculty of Microsystem Electronics and Photonics, Wroclaw University of Technology, Wybrzeze S. Wyspianskiego 27, 50-370 Wroclaw, Poland, Journal of Micromechanics and Microengineering, May 2009.

- [70] S.Toskov,N.Krcic,and G.Radosavljevic,“LTCC lamination process using PMMA fugitive material,” in Proceedings of the 2014 37th International Spring Seminar on Electronics Technology, 2014, pp. 21–26
- [71] “Alcool cétylique,” [Online].  
Available: <http://www.merckmillipore.com/FR/fr/product/Cetyl-alcohol/> [Accessed: 05-Jun-2019].
- [72] Polyméthacrylate de méthyle – Film PMMA, Acrylique,”[Online]. Available :  
<http://www.goodfellow.com/catalogue/> [Accessed: 11-Jun2018]
- [73] “Graveur laser Rayjet | Laser à graver d’entrée de gamme France.” [Online]. Available:  
<https://www.rayjetlaser.com/fr-FR-FR/Pages/graveur-laser.aspx>. [Accessed: 19-Aug-2019].
- [74] M. Hrovat, D. Belavic, J. Cilensek, S. Drnovsek, J. Holc, and M. Jerlah, “Investigation of sacrificial layers for 3D LTCC structures and some preliminary results,” in 32nd International Spring Seminar on Electronics Technology, 2009, pp. 1–6
- [75] M. M. Lebouche et al., “Etude et réalisation de caloducs plats miniatures pour l’intégration en électronique de puissance,” p. 194.
- [76] “Salle Blanche,” [Online].  
Available:<https://www.imt.fr/arago-plateforme-technologique-optique-lindustrie/>  
[Accessed: 25-Jun-2019].
- [77] “Chalmers university of technology,” [Online].  
Available: <https://www.chalmers.se/en/Pages/default.aspx> [Accessed: 25-Jun-2019].

# Annexe 1 : Matériaux d'ESL



## ESL ELECTROSCIENCE

CERAMIC TAPES &  
THICK-FILM MATERIALS

416 EAST CHURCH ROAD  
KING OF PRUSSIA, PA 19406-2625 USA

T: 610.272.8000  
F: 610.272.6759

[www.electroscience.com](http://www.electroscience.com)

### CO-FIRE CERAMIC TAPE

### 41020

#### RoHS Compliant Ceramic Tape for Multilayer and Microwave Applications Requiring Dielectric Constant ~ 8

The 41020 is a flexible cast film of inorganic dielectric powder dispersed in an organic matrix. It is designed to be fired at 850°C to 875°C to give a dense body. Multilayer parts can be formed by laminating metallized sheets of the tape into a monolithic structure prior to firing. A pressure/temperature combination of 21 MPa and 70°C works well for laminating this tape. Ceramic tape is provided on a silicone coated polyester film to minimize environmental contamination, to protect it from mechanical damage, and to aid in handling. This material is useful in microwave applications that require low dielectric constant.

#### PROCESSING PARAMETERS

LAMINATING:	21 MPa at 70°C
FIRING TEMPERATURE:	850-875°C
TIME AT PEAK TEMPERATURE:	10-12 minutes

#### TAPE CHARACTERISTICS

TAPE THICKNESS:	100-130 µm
COLOR:	blue
SHELF LIFE:	6 months

41020 1106-C

#### ESL Affiliates

ESL China • Rm#1707, Tower A • City Center of Shanghai • 100 Zunyi Road • Shanghai, China 200051 Tel: (011-86)-21-62370336 • Fax: (011-86)-21-62370338 • [eslchina@eslshanghai.net](mailto:eslchina@eslshanghai.net)

ESL Europe • 8 Commercial Road • Reading, Berkshire, England RG2 0QZ • Tel: (011-44)-118-918-2400 • Fax: (011-44)-118-986-7331 • [Sales@ESLEurope.co.uk](mailto:Sales@ESLEurope.co.uk)

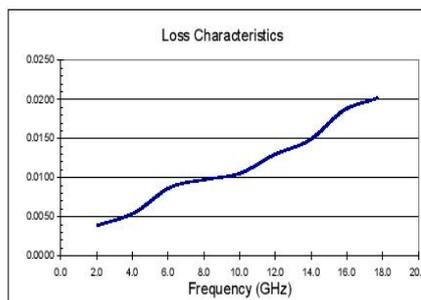
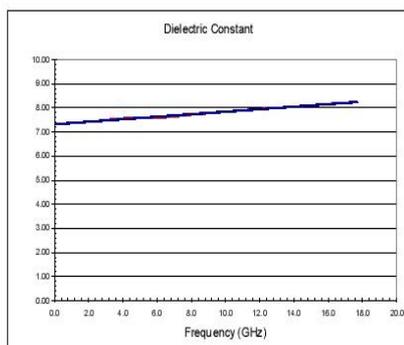
ESL Nippon • Sukegawa Bldg • 6<sup>th</sup> floor • 3-4 Yanagibashi 1-chome • Taito-ku • Tokyo 111, Japan • Tel: (011-81)-3-3864-8521 • Fax: (011-81)-3-3864-9270 • [Sales@ESL-Nippon.co.jp](mailto:Sales@ESL-Nippon.co.jp)

See Caution and Disclaimer on other side.

**FIRED TAPE PROPERTIES** (Tested with ESL 903-A post-fired silver conductor.)

<b>DIELECTRIC CONSTANT:</b> (1 MHz)		7.0-8.5
<b>DIELECTRIC CONSTANT:</b> (GHz, cofired with 903-A silver conductor, see microwave properties below)		7.0-7.5
<b>DISSIPATION FACTOR:</b> (1 MHz)		≤ 0.5%
<b>INSULATION RESISTANCE:</b> (at 100 VDC)		≥ 10 <sup>12</sup> Ω
<b>THERMAL CONDUCTIVITY:</b>		2.5-3.0 W/(m-K)
<b>TCE:</b> (25°C to 300°C)		7.4 ppm/°C
<b>BREAKDOWN VOLTAGE:</b>		> 1000 V/25 μm
<b>PRESSURE COOKER:</b> (Insulation resistance after 15 minutes at 2 atmospheres)		≥ 10 <sup>12</sup> Ω
<b>FIRED SHRINKAGE:</b> (Using recommended processing parameters)	X and Y	14 ± 1%
	Z	16 ± 2%
<b>FIRED DENSITY:</b> (Theoretical)		3.16 g/cm <sup>3</sup>
<b>COMPATIBLE CONDUCTORS:</b>	ESL 803, 902, 903-A, 903-B, 903-D 963	

**MICROWAVE PROPERTIES \***



\* Data obtained from measurements on ring resonators. Metallization is co-fired ESL 903-A.

41020 1106-C

\*Complies with RoHS, ELV, WEEE and CHIP 3 EC directives

**CAUTION:** Proper industrial safety precautions should be exercised in using these products. Use with adequate ventilation. Avoid prolonged contact with skin or inhalation of any vapors emitted during use or heating of these compositions. The use of safety eye goggles, gloves or hand protection creams is recommended. Wash hands or skin thoroughly with soap and water after using these products. Do not eat or smoke in areas where these materials are used. Refer to appropriate MSDS sheet.

**DISCLAIMER:** The product information and recommendations contained herein are based on data obtained by tests we believe to be accurate, but the accuracy and completeness thereof is not guaranteed. No warranty is expressed or implied regarding the accuracy of these data, the results obtained from the use hereof, or that any such use will not infringe any patent. Electro-Science assumes no liability for any injury, loss, or damage, direct or consequential arising out of its use by others. This information is furnished upon the condition that the person receiving it shall make their own tests to determine the suitability thereof for their particular use, before using it. User assumes all risk and liability whatsoever in connection with their intended use. Electro-Science's only obligation shall be to replace such quantity of the product proved defective.



## ESL ELECTROSCIENCE

CERAMIC TAPES &  
THICK-FILM MATERIALS

416 EAST CHURCH ROAD  
KING OF PRUSSIA, PA 19406-2625, U.S.A

T: 610-272-8000  
F: 610-272-6759

[www.electroscience.com](http://www.electroscience.com)

### GOLD CONDUCTOR

### 802

#### Conductor for Low Temperature Co-fired Ceramic Tapes

ESL 802 is a gold conductor paste specially developed for use with ESL low temperature co-fired ceramic tapes (LTCC). This material is designed as a via-fill metallization.

#### PASTE DATA

<b>RHEOLOGY:</b>	Thixotropic, screen-printable paste
<b>VISCOSITY:</b> (Brookfield RVT, ABZ spindle, 10 rpm, 25.5 ± 0.5 °C)	275 ± 25 Pa.s
<b>SOLIDS CONTENT:</b>	87.5 ± 1.5 %
<b>SHELF LIFE:</b> (at 25 °C)	6 months

#### PROCESSING

<b>SCREEN MESH/EMULSION:</b>	325 / 25 ± 12 µm
<b>LEVELING TIME:</b> (at 25°C)	5 - 10 min
<b>DRYING TIME:</b> (at 80°C)	10 -15 min
<b>FIRING TEMPERATURE:</b>	Co-fired with LTCC
<b>RATE OF ASCENT/DESCENT:</b>	60°C - 100°C/minute
<b>SUBSTRATE FOR CALIBRATION:</b>	ESL 41010
<b>THINNER:</b>	ESL 401

ESL Europe (KOP) 802 0904-New

#### ESL Affiliates

ESL Europe (Agmet Ltd) • 8 Commercial Road • Reading • Berkshire • England • RG2 9GZ • Tel: +44 (0) 118 918 2400 • Fax: +44 (0) 118 986 7331 • [Sales@ESLEurope.co.uk](mailto:Sales@ESLEurope.co.uk)

ESL Nippon • Suwayama Bldg. • 6<sup>th</sup> floor • 3-4 Yanagibashi 1-chome • Taito-ku • Tokyo 111, Japan • Tel: +81-3-3864-8521 • Fax: +81-3-3864-9270 • [Sales@ESL-Nippon.co.jp](mailto:Sales@ESL-Nippon.co.jp)

ESL China • Room #1707, Tower A, City Center of Shanghai • 100 Zuyi Road • Shanghai, China 200051 • Tel: +86-21-6237-0336 and 0337 • Fax: +86-21-6237-0338  
[ESL.China@eslshanghai.net](mailto:ESL.China@eslshanghai.net)

See Caution and Disclaimer on other side.

## TYPICAL PROPERTIES

### FIRED THICKNESS:

(measured on a 2 mm x 2 mm pad)

15 - 25  $\mu\text{m}$

### RESISTIVITY:

(measured on a 100 mm x 0.25 mm conductor track)

$\leq 30 \text{ m}\Omega/\text{square}$

**NOTES:** All data was collected using ESL 41010 or similar tape, co-fired at 850°C.

ESL Europe (KOP) 802 0904-New

**CAUTION:** Proper industrial safety precautions should be exercised in using these products. Use with adequate ventilation. Avoid prolonged contact with skin or inhalation of any vapours emitted during use or heating of these compositions. The use of safety eye goggles, gloves or hand protection creams is recommended. Wash hands or skin thoroughly with soap and water after using these products. Do not eat or smoke in areas where these materials are used. Refer to appropriate MSDS sheet.

**DISCLAIMER:** The product information and recommendations contained herein are based on data obtained by tests we believe to be accurate, but the accuracy and completeness thereof is not guaranteed. No warranty is expressed or implied regarding the accuracy of these data, the results obtained from the use thereof, or that any such use will not infringe any patent. ElectroScience assumes no liability for any injury, loss, or damage, direct or consequential, arising out of its use by others. This information is furnished upon the condition that the person receiving it shall make his own tests to determine the suitability thereof for his particular use, before using it. User assumes all risk and liability whatsoever in connection with his intended use. ElectroScience's only obligation shall be to replace such quantity of the product proved defective.



## ESL ELECTROSCIENCE

CERAMIC TAPES &  
THICK-FILM MATERIALS

416 EAST CHURCH ROAD  
KING OF PRUSSIA, PA 19406-2625, U.S.A

T: 610-272-8000  
F: 610-272-6759

[www.electroscience.com](http://www.electroscience.com)

### GOLD CONDUCTOR

### 803

#### Conductor for Low Temperature Co-fired Ceramic Tapes

ESL 803 is a gold conductor paste specially developed for use with ESL low temperature co-fired ceramic tapes (LTCC). This material is designed for use as an inner layer or top layer metallization.

#### PASTE DATA

<b>RHEOLOGY:</b>	Thixotropic, screen-printable paste
<b>VISCOSITY:</b> (Brookfield RVT, ABZ spindle, 10 rpm, 25.5 ± 0.5 °C)	225 ± 50 Pa.s
<b>SOLIDS CONTENT:</b>	77.0 ± 1.5 %
<b>SHELF LIFE:</b> (at 25 °C)	6 months

#### PROCESSING

<b>SCREEN MESH/EMULSION:</b>	325 / 25 ± 12 µm
<b>LEVELING TIME:</b> (at 25°C)	5 - 10 min
<b>DRYING TIME:</b> (at 80°C)	10 -15 min
<b>FIRING TEMPERATURE:</b>	Co-fired with LTCC
<b>RATE OF ASCENT/DESCENT:</b>	60°C - 100°C/minute
<b>SUBSTRATE FOR CALIBRATION:</b>	ESL 41010
<b>THINNER:</b>	ESL 401

803 0904-A

#### ESL Affiliates

ESL China • Rm#1707, Tower A • City Center of Shanghai • 100 Zunyi Road • Shanghai, China 200051 Tel: (011-86)-21-62370336 • Fax: (011-86)-21-62370338 • [eslchina@eslshanghai.net](mailto:eslchina@eslshanghai.net)

ESL Europe • 5 Commercial Road • Reading, Berkshire, England RG2 0GZ • Tel: (011-44)-118-918-2400 • Fax: (011-44)-118-955-7331 • [Sales@ESLEurope.co.uk](mailto:Sales@ESLEurope.co.uk)

ESL Nippon • Sukeyama Bldg • 6<sup>th</sup> floor • 3-4 Yanagibashi 1-chome • Taketa-ku • Tokyo 111, Japan • Tel: (011-81)-3-3864-8521 • Fax: (011-81)-3-3864-8270 • [Sales@ESL-Nippon.co.jp](mailto:Sales@ESL-Nippon.co.jp)

See Caution and Disclaimer on other side.

## TYPICAL PROPERTIES

<b>FIRED THICKNESS:</b> (measured on a 2 mm x 2 mm pad)	6 - 12 $\mu\text{m}$
<b>RESISTIVITY:</b> (measured on a 100 mm x 0.25 mm conductor track at 9 $\mu\text{m}$ fired thickness)	$\leq 10 \text{ m}\Omega/\text{square}$
<b>SOLDER WETTABILITY:</b> (80 Au / 20 Sn solder)	Good
<b>WIREBONDABILITY:</b> (25 $\mu\text{m}$ Au wire)	
<b>INITIAL PULL STRENGTH:</b>	$\geq 10$ grams
<b>ADHESION:</b> (90° pull, 2.0 mm x 2.0 mm pads)	
<b>INITIAL PULL STRENGTH:</b>	$\geq 13 \text{ N}$

**NOTES:** All data was collected using ESL 41010 or similar tape, co-fired at 850°C.

---

### 803 0904-A

**CAUTION:** Proper industrial safety precautions should be exercised in using these products. Use with adequate ventilation. Avoid prolonged contact with skin or inhalation of any vapors emitted during use or heating of these compositions. The use of safety eye goggles, gloves or hand protection creams is recommended. Wash hands or skin thoroughly with soap and water after using these products. Do not eat or smoke in areas where these materials are used. Refer to appropriate MSDS sheet.

**DISCLAIMER:** The product information and recommendations contained herein are based on data obtained by tests we believe to be accurate, but the accuracy and completeness thereof is not guaranteed. No warranty is expressed or implied regarding the accuracy of these data, the results obtained from the use thereof, or that any such use will not infringe any patent. Electro-Science assumes no liability for any injury, loss, or damage, direct or consequential arising out of its use by others. This information is furnished upon the condition that the person receiving it shall make their own tests to determine the suitability thereof for their particular use, before using it. User assumes all risk and liability whatsoever in connection with their intended use. Electro-Science's only obligation shall be to replace such quantity of the product proved defective.

---



## ESL ELECTROSCIENCE

CERAMIC TAPES &  
THICK-FILM MATERIALS

416 EAST CHURCH ROAD  
KING OF PRUSSIA, PA 19406-2625 USA

T: 610.272.8000  
F: 610.272.6759

[www.electroscience.com](http://www.electroscience.com)

## FUGITIVE TAPE

## 49000

### Organic-Based Tape for use in Creating Channels in Sensors

ESL 49000 is a flexible cast film of fugitive powder dispersed in an organic matrix. This material is designed to be burned out in the temperature range of 600°C-700°C to yield a void where the tape was placed. ESL 49000 tape is provided on a silicone-coated polyester film to protect the tape from mechanical damage and aid in handling.

This tape is generally used with zirconia or alumina green tapes and can be co-fired for use in oxygen sensors.

**TAPE THICKNESS:** 125µm +/- 10%  
(custom thicknesses available)

#### PROCESSING:

Parts are formed by blanking sheets of the tape to the required green size prior to firing. The burnout cycle depends on the part configuration and size.

**TYPICAL FIRING PROFILE FOR PARTS:** Depends on matrix tapes

49000 0805-new

#### ESL Affiliates

ESL China • Rm#1707, Tower A • City Center of Shanghai • 100 Zunyi Road • Shanghai, China 200051 Tel: (011-86)-21-62370336 • Fax: (011-86)-21-62370338 • [eslchina@eslshanghai.net](mailto:eslchina@eslshanghai.net)

ESL Europe • 8 Commercial Road • Reading, Berkshire, England RG2 0QZ • Tel: (011-44)-118-918-2400 • Fax: (011-44)-118-986-7331 • [Sales@ESLEurope.co.uk](mailto:Sales@ESLEurope.co.uk)

ESL Nippon • Sukegawa Bldg • 6<sup>th</sup> floor • 3-4 Yanagibashi 1-chome • Taito-ku • Tokyo 111, Japan • Tel: (011-81)-3-3864-8521 • Fax: (011-81)-3-3864-9270 • [Sales@ESL-Nippon.co.jp](mailto:Sales@ESL-Nippon.co.jp)

See Caution and Disclaimer on other side.

## Annexe 2 : Règles de conception LTCC

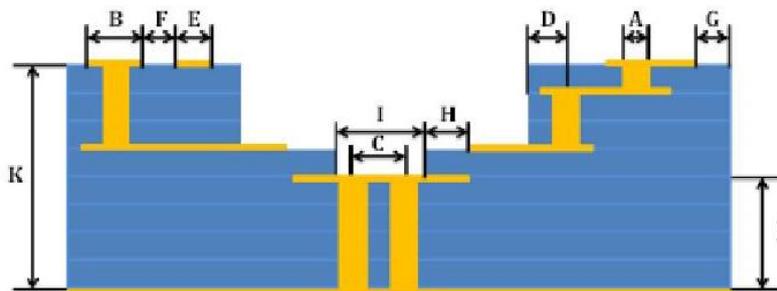


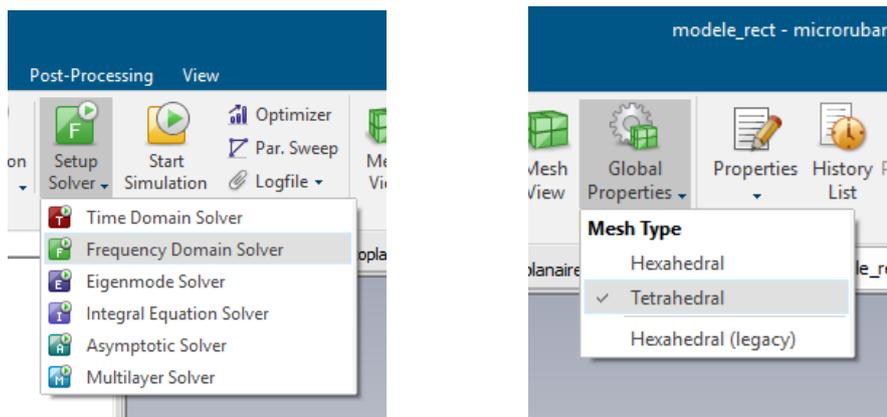
Figure 185. Descriptif règles de conception

Tableau 12. Règles de conception

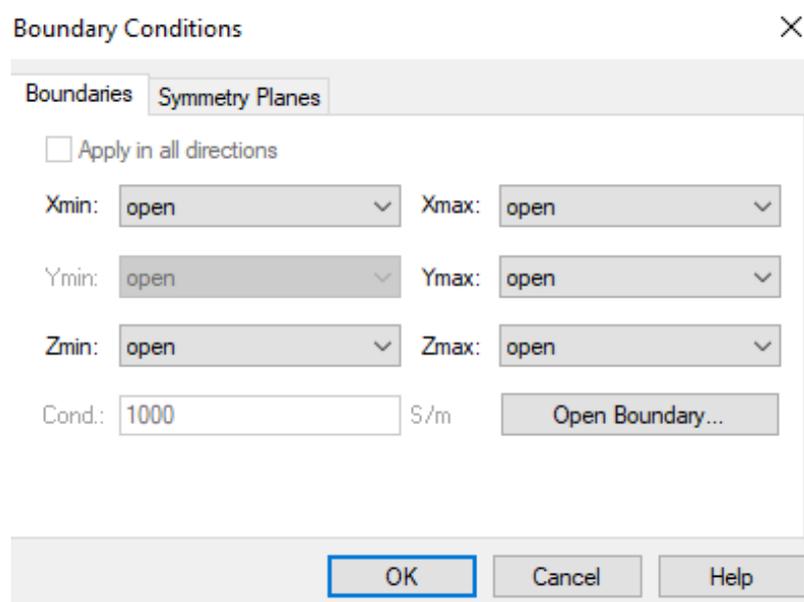
INTI-TULÉ	DÉTAIL	DIMENSION (µm)			COMMENTAIRE
		MIN.	TYP.	MAX.	
A	DIAMÈTRE DE VIA MÉTALLISÉ	80	100	150	DIAMÈTRE DESSINÉ = DIAMÈTRE EXIGÉ*[1/(1-RETRAIT/100)] (UNDERSIZE = 30 µm POUR LE FAISCEAU DU LASER)
B	DIAMÈTRE DU PLOT DE VIA	A +100	120		
C	ENTRAXE ENTRE PLOTS DE VIA	B+100			
D	DISTANCE CENTRE VIA AU BORD DE SUBSTRAT ET BORD DE LA CAVITÉ	2 × A			
E	LARGEUR LIGNE	85	150		
F	DISTANCE ENTRE LIGNES OU ENTRE LIGNE ET PLOT DE TROU VIA	75	150		
G	DISTANCE LIGNE AU BORD DE SUBSTRAT	200			
	DISTANCE ENTRE LIGNE ET PLOT DE COMPOSANT CMS	300			CE PLOT SERA COUVERT PAR UNE COUCHE AUPT
	DISTANCE ENTRE PLOT CMS ET BORD DU SUBSTRAT	500			CE PLOT SERA COUVERT PAR UNE COUCHE AUPT
H	DISTANCE LIGNE AU BORD D'UNE CAVITÉ	150	200		CECI PEUT ÊTRE MIN 25 µm ± 25 µm SI DÉCOUPE LASER APRÈS SÉRIGRAPHIE
I	LARGEUR CAVITÉ	800			
J	ÉPAISSEUR DU SUBSTRAT DESSOUS UNE CAVITÉ	300	400		
K	ÉPAISSEUR TOTALE DU SUBSTRAT	450			
	NOMBRE DE VIAS				VIAS SUR MAXIMUM 30% DE LA SURFACE UTILE PEU IMPORTE LEUR ENTRAXE

# Annexe 3 : Simulation électromagnétique sous CST

**Solveur et maillage utilisés :** le solveur de domaine fréquentiel avec un maillage du type « Tetrahedral » a été utilisé qui donne des résultats précis dans un temps très court (quelques minutes) et sans consommer beaucoup de mémoire.

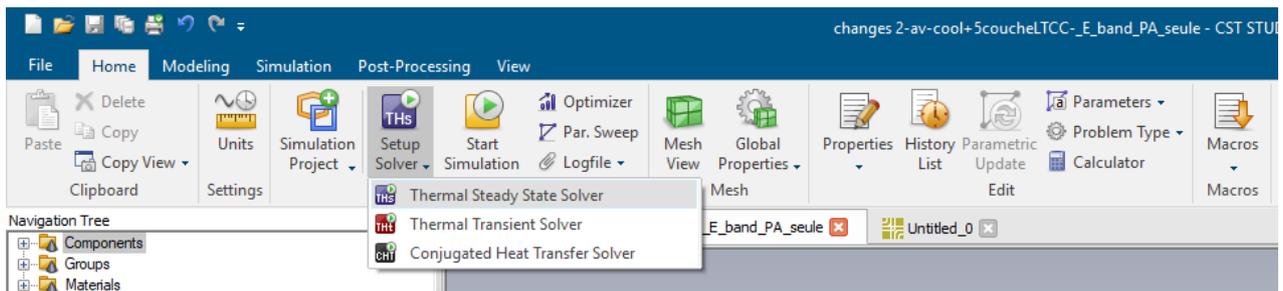


**Condition aux limites :** « Open » dans les quatre directions a été choisi puisque cette condition correspond à l'état réel : on a de l'air qui entoure la structure où l'onde peut se propager sans retourner vers la structure.

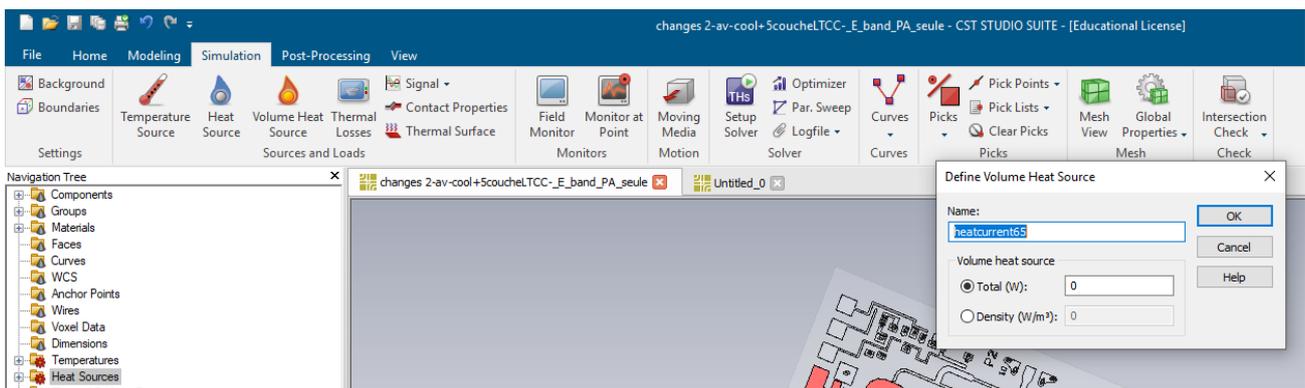
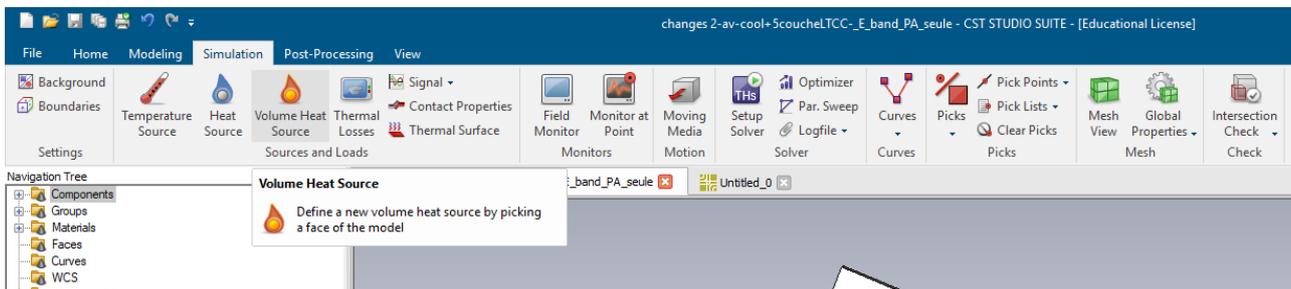


# Annexe 4 : Simulation thermique sous CST

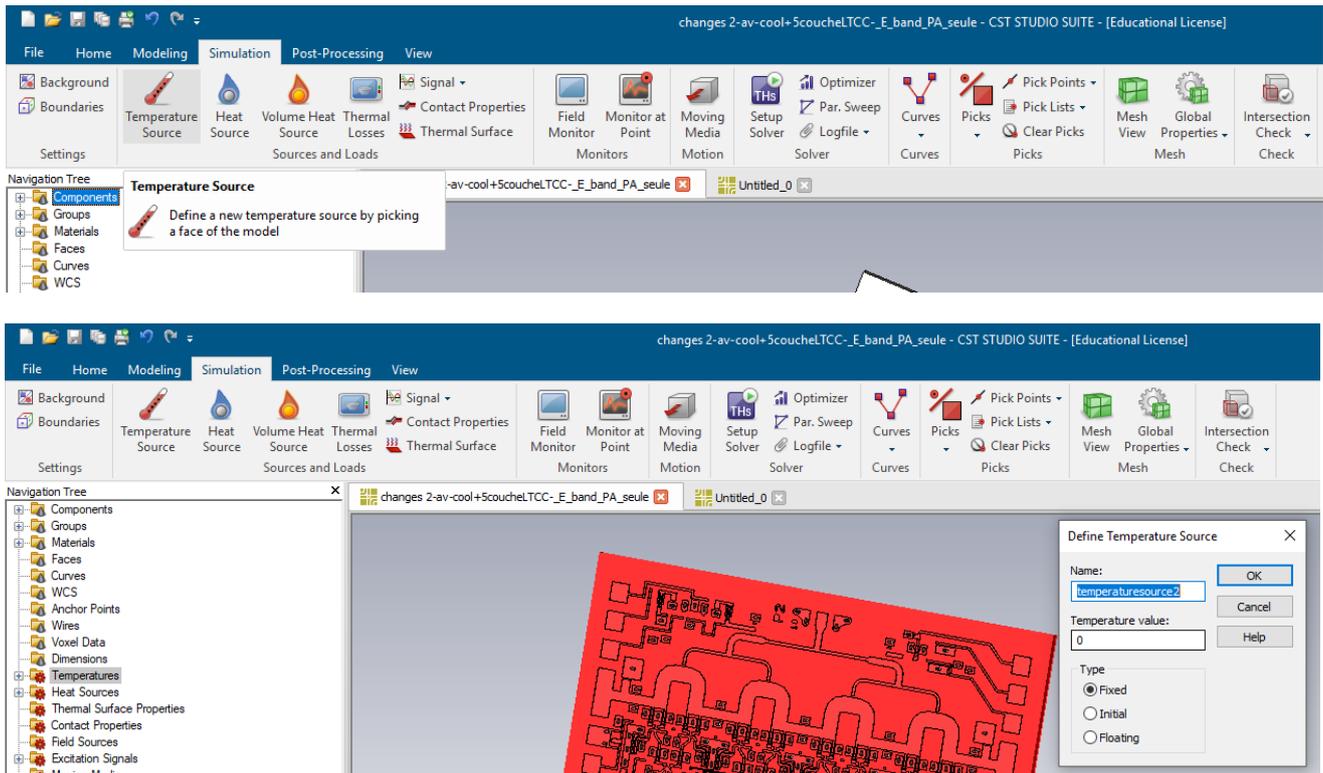
**Solveur utilisé :** le solveur « Thermal Steady State Solver » a été choisi puisque la température de notre modèle ne dépend pas du temps (cas de « Thermal Transient Solver ») et ne contient pas de fluide (cas de « Conjugated Transfer Solver »).



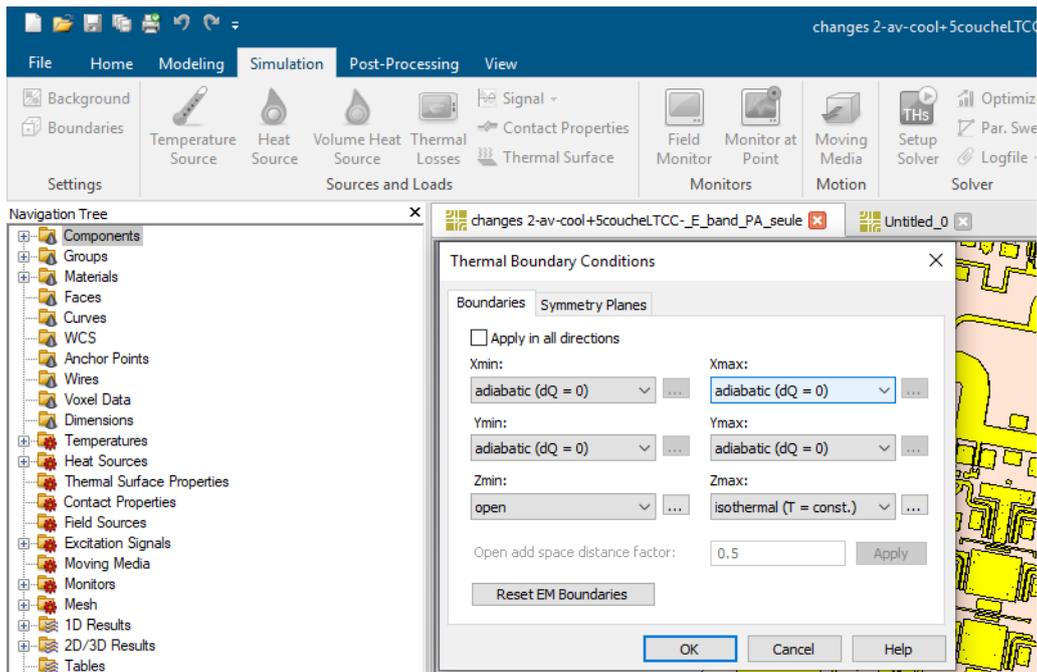
## **Définition des sources de chaleur :**



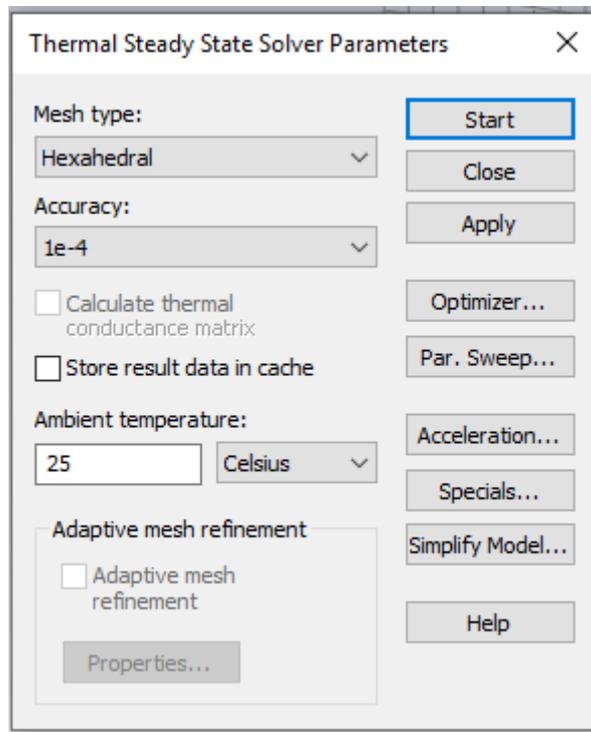
## Définition des sources de température constante :



**Conditions aux limites :** Dans notre cas, on a supposé que le transfert de chaleur est suivant l'axe Z et qu'il n'y a pas de transfert de chaleur suivant les axes X et Y. Pour cela les conditions aux limites en  $X_{\min}$ ,  $X_{\max}$ ,  $Y_{\min}$  et  $Y_{\max}$  sont adiabatiques. La condition en  $Z_{\min}$  est « open », elle décrit la partie supérieure du modèle qui est vers l'espace vide. En  $Z_{\max}$  la condition est « isothermal  $T=\text{const}$  », elle décrit le support du modèle qui est maintenu à une température fixe ( $45^{\circ}\text{C}$ ).



**Maillage utilisé :** un maillage « Hexahedral » a été utilisé puisque ce type offre des résultats proches des mesures et avec des temps de simulation et un espace mémoire raisonnables.



## Annexe 5 : Equations pour le micro-caloduc

$$Q_{max} = h_{fg} \left[ \frac{\sigma \cos \theta_0}{W L_{eff}} + (\rho_l - \rho_v) g \sin \gamma \right] / \left[ (fRe)_v \frac{2\mu_v}{D_{hv}^2 \rho_v A_v} + (fRe)_l \frac{2\mu_l}{D_{hv}^2 \rho_l N A_l} \right] \quad (1)$$

$$L_{eff} = \frac{L_e + L_c}{2} + L_a \quad (2)$$

$$(fRe)_v = 24(1 - 1.3553C + 1.9467C^2 - 1.7012C^3 + 0.95464C^4 - 0.2537C^5) \quad (3)$$

$$C = \frac{t - 2(t_g + t_w)}{N(W + L_1)} \quad (4)$$

$$(fRe)_l = (fRe)_{l0} \times \left\{ 1 + \frac{4NW^3}{3\pi D_{hv}^3} (fRe)_v \frac{\vartheta_v}{\vartheta_l} \times \left[ 1 - 1.971 \exp\left(-\frac{\pi t_g}{2W}\right) \right] \right\} \quad (5)$$

$$(fRe)_{l0} = 8t_g^2 / \left[ W^2 \left( 1 + \frac{t_g}{W} \right)^2 \left( \frac{1}{3} - \frac{64W}{\pi^5 t_g} \tanh \frac{\pi t_g}{2W} \right) \right] \quad (6)$$

$$D_{hv} = \frac{4(W + L_1)[t - 2(t_g + t_w)]}{4(W + L_1) + [t - 2(t_g + t_w)]} \quad (7)$$

$$D_{hl} = \frac{4t_g L_1}{(t_g + 2W)} \quad (8)$$

$$A_v = (W + L_1)[t - (t_g + t_w)]$$

(9)

Avec :

**Q<sub>max</sub>** : Puissance de source de chaleur

**h<sub>fg</sub>** : Chaleur latente du liquide

**σ** : Tension de surface du liquide

**θ<sub>0</sub>** : L'angle que fait le liquide avec le mur de rainure

**W** : Demi-largeur des rainures

**L<sub>1</sub>** : Demi-largeur de l'ailette

**L<sub>c</sub>** : Longueur de la zone de condensation

**L<sub>a</sub>** : Longueur de la zone adiabatique

**L<sub>e</sub>** : Longueur de la zone d'évaporation

**L<sub>eff</sub>** : Longueur effective de caloduc

**γ** : L'angle entre le caloduc et l'horizontale

**μ<sub>l,v</sub>** : Viscosité dynamique du liquide, vapeur

**D<sub>hl,v</sub>** : Diamètre hydraulique du liquide, vapeur

**A<sub>l,v</sub>** : Surface d'écoulement du liquide, vapeur

**t** : Épaisseur totale du caloduc

**t<sub>g</sub>** : Épaisseur des rainures du caloduc

**t<sub>w</sub>** : Épaisseur de dessous et dessus du caloduc

**ρ<sub>l,v</sub>** : Densité du liquide, vapeur

**N** : Nombre des rainures

**g** : Force de gravité

---

**Titre :** Modules intégrés en technologie LTCC pour des applications en bande D (110 – 170 GHz).

**Mots clés :** LTCC (Low Temperature Co-fired Ceramics), Mise en boîtier, Bande D (110-170 GHz), Interconnexions, MMIC, Gestion thermique

**Résumé :** Cette thèse a pour objectif de réaliser des modules d'émission-réception (front-end TRX) faible coût, en bande D (110-170 GHz), utilisant des puces intégrées MMIC reportées sur un substrat LTCC. Les applications visées à ces fréquences sont diverses : l'imagerie (sécurité) par le déploiement de scanners haute résolution, les radars automobiles d'aide à la conduite, la radiométrie ou encore le « back-haul » du réseau de téléphonie 5G. Aux fréquences très élevées, les boîtiers sont généralement réalisés à partir de structures métalliques, ce qui les rend coûteux, volumineux et relativement longs à fabriquer. Des solutions de mise en boîtier basées sur la technologie LTCC ont été proposées et développées au cours de la thèse avec l'objectif de maintenir les performances

intrinsèques des puces avant report. Pour intégrer les puces MMIC sur le support LTCC, différents aspects ont été étudiés et validés expérimentalement, avec les difficultés en mesure inhérentes à ces fréquences de fonctionnement très élevées. Il s'agit en particulier des techniques d'interconnexion pour relier les plots d'accès RF de la puce aux plots sur substrat et du contrôle thermique pour maîtriser l'échauffement de certaines puces, comme l'amplificateur de puissance, qui peut provoquer un dysfonctionnement voire une défaillance du module. La mise en place des réseaux d'alimentation continue des puces actives est également un point crucial dans la conception du boîtier puisqu'ils ne doivent pas interférer avec les accès RF.

---

**Title :** LTCC front-end integration for D-band applications (110-170GHz)

**Keywords :** LTCC (Low Temperature Co-fired Ceramics), Packaging, D band (110-170 GHz), Interconnections, MMIC, Thermal management

**Abstract:** This thesis has as objective to realize low cost front-end TRX modules, in D-band (110-170 GHz), using MMIC chips integrated on an LTCC substrate. The applications at these frequencies are various: imaging (security) by deploying high-resolution scanners, automotive assistance radars, radiometry or the backhaul of the 5G telephony network. At very high frequencies, the packaging is generally made of metal structures, which makes it expensive, bulky and relatively long to manufacture. Packaging solutions based on LTCC technology have been proposed and developed during the thesis with the objective of maintaining the intrinsic performance of chips

before integration. To integrate the MMIC chips on the LTCC support, various aspects have been studied and validated experimentally, with the difficulties in measurement inherent to these very high operating frequencies. These are in particular interconnection techniques for connecting the RF access pads of the chip to the pads on the substrate and the thermal solution to limit the heating of certain chips, such as the power amplifier, which can cause a malfunction or even failure of the module. The establishment of the DC biasing networks of active chips is also a crucial point in the design of the packaging since they must not interfere with the RF accesses.