



HAL
open science

Amélioration des performances intrinsèques d'un amplificateur de puissance grâce à une méthode de linéarisation

Jérôme Loraine

► **To cite this version:**

Jérôme Loraine. Amélioration des performances intrinsèques d'un amplificateur de puissance grâce à une méthode de linéarisation. Traitement du signal et de l'image [eess.SP]. Université de Cergy Pontoise, 2019. Français. NNT : 2019CERG2024 . tel-02869815

HAL Id: tel-02869815

<https://theses.hal.science/tel-02869815>

Submitted on 16 Jun 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université // Paris Seine



Université de Cergy-Pontoise - Ecole doctorale EM2PSI - Economie, Management, Mathématiques,
Physique et Sciences Informatiques

Thèse

présentée pour obtenir le titre de DOCTEUR
en Sciences et Techniques de l'Information et de la Communication

AMÉLIORATION DES PERFORMANCES INTRINSÈQUES D'UN AMPLIFICATEUR DE PUISSANCE GRÂCE À UNE MÉTHODE DE LINÉARISATION

par

Jérôme LORAINÉ

ETIS - ENSEA / Université de Cergy-Pontoise / CNRS UMR 8051
6 avenue du Ponceau, 95014 Cergy-Pontoise Cedex, France

ACCO

36-38 Avenue de la Princesse, 78014 Louveciennes, France

Février 2020

Soutenance le 12 Décembre 2019 devant le jury composé de :

Rapporteur	Eric Bergeault - Professeur Telecom ParisTech (RFM ²)
Rapporteuse	Nathalie Deltimple - MCF-HDR Université de Bordeaux (IMS)
Examinatrice	Catherine Algani - Professeure CNAM Paris (ESYCOM)
Examineur	Bruno Barelaud - Professeur Université de Limoges (XLIM)
Directrice de thèse	Myriam Ariaudo - MCF-HDR ENSEA (ETIS)
Co-encadrant	Cédric Duperrier - MCF ENSEA (ETIS)
Co-encadrant (invité)	Stephan Doucet - Ingénieur UMS-GAAS (Paris)

Remerciements

Je souhaite tout d'abord remercier Madame Nathalie Deltimple, maitre de conférence HDR à l'université de Bordeaux, et Monsieur Eric Bergeault, professeur à Telecom ParisTech, d'avoir accepté d'être rapporteur de mon manuscrit de thèse. Je remercie également Madame Catherine Algani, professeure au CNAM (Paris), et Monsieur Bruno Barelaud, professeur à l'université de Limoges, d'avoir accepté de prendre part à mon jury de thèse en tant que présidente de jury et d'examinateur respectivement.

Je tiens à remercier également les membres du laboratoire ETIS de m'avoir accueilli et conseillé. Je remercie notamment Emmanuelle, Aymeric, Sébastien, Daniel, Bruno, Inbar, Veronica, David. Je remercie les autres (ex-)doctorants sans qui la vie aurait été plus difficile, à savoir : Alexandre, Ahcine, Habiba, Amine, Pierre, Lounis et Agathe.

Je remercie Myriam Ariaudo d'avoir dirigé ma thèse. Je la remercie pour sa patience, sa pédagogie, sa gentillesse et ses nombreux conseils qui m'ont permis d'aller jusqu'au bout de ma thèse. Je remercie Cédric Duperrier d'avoir encadré ma thèse. Je le remercie également pour sa patience, son savoir et ses encouragements. Je remercie Stephan Doucet d'avoir encadré ma thèse. Je le remercie pour m'avoir appris tant de chose avec une patience à toute épreuve. Je le remercie également pour tout le soutien qu'il m'a apporté au long de ces années. Je souhaite enfin le remercier pour avoir continué à suivre le déroulement de ma thèse la dernière année alors qu'il n'avait aucune obligation de le faire.

Je remercie tout mes anciens collègues d'ACCO pour leur soutien, les longues discussions au coin café ou dans le train, les parties de foot et leur aide au quotidien.

Je remercie mes collègues d'X-FAB qui m'ont soutenu pendant ma période de rédaction et m'ont permis de finaliser ma thèse dans les meilleures conditions.

Enfin, je remercie ma famille et mes amis pour m'avoir supporté pendant ces 5 longues années. En particulier, je remercie ma mère d'avoir pris le temps d'oter

toutes les fautes de ce manuscrit une par une.

Table des matières

Remerciements	i
Glossaire	xv
Introduction générale	1
1 Amplificateurs de puissance pour applications mobiles 3G	5
1.1 Contexte	5
1.1.1 Architecture de la chaîne d'émission des UE 3G	6
1.1.2 Le signal W-CDMA	7
1.2 Fondamentaux de l'amplificateur de puissance	9
1.2.1 Caractéristiques fondamentales associées	10
1.2.1.1 Gains	10
1.2.1.2 Rendements	11
1.2.2 Etude de la stabilité	11
1.2.3 Métriques des amplificateurs pour l'étude de la linéarité	13
1.2.3.1 Caractérisation monoporteuse	13
1.2.3.2 Caractérisation bi-porteuses	15
1.2.3.3 Caractérisation avec des signaux large bande	16
1.3 Amélioration des performances électriques	17
1.3.1 Techniques d'amélioration du rendement	17
1.3.2 Méthodes de linéarisation	22
1.3.2.1 Méthodes niveau système	22
1.3.2.2 Méthodes niveau Circuit	25
1.3.3 Tableau comparatif des techniques de linéarisation niveau circuit	28
1.4 Cahier des charges	29
1.5 Etat de l'art des amplificateurs de puissance pour applications mobiles 3G	30
2 Technologie du MASMOS et généralités pour la conception d'am- plificateurs de puissance	35
2.1 Technologie CMOS Si 180nm oxyde fin RF	35

TABLE DES MATIÈRES

2.1.1	Rappel sur le fonctionnement des transistors à effet de champ	35
2.1.2	Description de l'empilement et du design kit	37
2.1.3	Mécanismes de défaillance	38
2.2	La cellule MASMOS	39
2.2.1	Le JFET canal-N	40
2.2.2	Modélisation électrique des transistors	41
2.2.2.1	Modèle du transistor MOS	41
2.2.2.2	Modèle du JFET	43
2.3	Paramètres de conception	44
2.3.1	Rappel sur les classes de fonctionnement	45
2.3.1.1	Les classes de fonctionnement linéaires	45
2.3.1.2	Classes de fonctionnement à rendement élevé	48
2.3.2	Conditions de fermeture de l'amplificateur	49
2.3.2.1	Caractérisation et simulation loadpull	49
2.3.2.2	Impédances de charge	50
2.3.2.3	Impédances de source	51
2.3.3	Dimensionnement des transistors	52
2.4	Moyens de caractérisation	52
2.4.1	Banc de mesures sous pointes	52
2.4.2	Banc de mesure paramètres-S	53
2.4.3	Banc de mesure Loadpull	53
3	Conception d'un étage de puissance hautes performances à base de MASMOS	57
3.1	Etude des interconnexions flip-chip sur la cellule MASMOS	57
3.1.1	Impact du flip-chip sur la mise à la masse du transistor MOS	57
3.1.2	Etude des impédances optimales de la cellule MASMOS	58
3.1.3	Etude de l'impact d'une inductance de dégénérescence	64
3.1.4	Implémentation et vérifications expérimentales	66
3.1.5	Conclusion	67
3.2	Etude des amplificateurs à topologie différentielle	68
3.2.1	Principe de fonctionnement	68
3.2.2	Outil et théorie pour l'étude des amplificateurs différentiels	69
3.2.2.1	Mode différentiel et mode commun	69
3.2.2.2	Paramètres S mixed-mode	72
3.2.2.3	Stabilité des étages différentiels	74
3.3	Conception d'un étage de puissance différentiel MASMOS de référence	75
3.4	Conception d'un balun de sortie intégré	76
3.4.1	Propriétés des transformateurs pour la synthèse d'impédance	77
3.4.1.1	Résonance parallèle de l'inductance secondaire	78
3.4.1.2	Résonance série de l'inductance secondaire	79
3.4.2	Du transformateur au balun intégré	79
3.4.3	Méthodologie de conception	81

3.4.4	Conception du balun associé à l'étage de puissance	81
3.5	Caractérisation de l'étage de puissance	83
3.5.1	Vérification de l'annulation de l'effet de l'inductance parasite de source	83
3.5.1.1	Plan de mesures	83
3.5.1.2	Caractérisation des réseaux d'adaptation d'impédance	84
3.5.1.3	Résultats de mesure	84
3.5.2	Mesures des performances intrinsèques de l'étage de puissance	85
3.5.2.1	Mesures des réseaux d'adaptation	86
3.5.2.2	Mesures paramètres-S	87
3.5.2.3	Mesures Loadpull CW	88
3.5.2.4	Mesures Loadpull W-CDMA	90
3.5.3	Comparaison avec la littérature sur les PAs CMOS pour ap- plication 3G	91
4	Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle	95
4.1	Présentation de deux méthodes de linéarisation adaptées aux ampli- ficateurs différentiels	95
4.1.1	Feedback harmonique	96
4.1.2	Filtrage du second harmonique au noeud central	98
4.2	Conception de l'amplificateur de puissance avec filtrage au second harmonique	101
4.2.1	Bilan en gain de l'amplificateur de puissance	102
4.2.2	Conception des étages de puissance	103
4.2.2.1	Conception de l'étage de puissance de référence	103
4.2.2.2	Détermination de la structure du filtre	104
4.2.2.3	Dimensionnement des éléments du filtre	106
4.2.2.4	Conception de l'étage de puissance linéarisé	107
4.2.3	Choix des paramètres de l'étage driver	109
4.2.4	Conception du réseau d'adaptation d'impédance de sortie	111
4.2.5	Conception du réseau d'adaptation d'impédance inter-étage	115
4.2.6	Simulation de la chaîne complète	119
4.3	Conclusion	121
	Conclusion générale et perspectives	123
	Bibliographie	128
	Annexe 1 - Modélisation 3 ports petit signal du transistor MOS	135
	Annexe 2 - Méthodologie d'extraction des paramètres électriques des lignes	137

Table des figures

1.1	Synoptique de l'architecture du réseau UMTS	6
1.2	Synoptique de la chaîne d'émission dans les équipements utilisateurs .	6
1.3	Représentation du PAPR du signal W-CDMA utilisé dans l'UMTS .	8
1.4	(a) PDF [8] et (b) CCDF du signal W-CDMA	9
1.5	Schéma bloc d'un amplificateur de puissance et son bilan de puissance	9
1.6	Zones de fonctionnement des PA définies sur les allures de $P_{OUT}(dBm)$ (bleue) et de la $P_{AE}(\%)$ (rouge) en fonction de $P_{IN}(dBm)$	13
1.7	(a) Méthode de détermination du P1dB (b) Allure des courbes de conversion AM/AM et AM/PM d'un PA générique	14
1.8	Composantes fréquentielles résultant d'une amplification non-linéaire d'ordre 3	15
1.9	(a) Méthode de détermination de l' IP_3 (b) Allure d'une courbe de C/I_3	16
1.10	Exemple de l'ACLR d'un signal W-CDMA	16
1.11	DPA : (a) Schéma de principe [14] (b) Profil de la PAE	18
1.12	LINC : (a) Schéma de principe [16] (b) Schéma du combineur Chireix [17]	19
1.13	Schéma système de l'enveloppe tracking	20
1.14	Représentation de la valeur dynamique de l'alimentation par rapport à la valeur maximale de l'enveloppe	20
1.15	Architecture de la méthode EER	21
1.16	Schéma du système de contre-réaction cartésienne [25]	23
1.17	Schéma système du feedforward [26]	24
1.18	Synoptique d'un PA avec un bloc de pré-distorsion	24
1.19	Schéma électrique équivalent petit signal simplifié d'un transistor MOS 3-ports en régime saturé	25
1.20	Profil du (a) gm_3 d'un premier transistor FET (rouge) et gm_3 d'un second avec une tension de polarisation d'offset (bleu) et (b) gm_3 résultant de leur mise en parallèle	26
1.21	Schéma électrique équivalent utilisé pour la détermination de l'impé- dance d'entrée du transistor	27

TABLE DES FIGURES

1.22	Compensation de la capacité d'entrée : (a) schéma électrique avec un nMOS en parallèle (b) schéma électrique avec un pMOS en parallèle (c) compensation de la capacité d'un nMOS (rouge) par un pMOS (bleu) et la capacité résultante de leur mise en parallèle (vert)	28
1.23	Schéma de principe de l'injection d'enveloppe	28
1.24	Schéma de principe de la contre-réaction harmonique	29
1.25	Schéma électrique du MASMOS	30
2.1	Vue en coupe d'un transistor nMOS	35
2.2	Réseaux statiques du transistor nMOS : (a) $I_d = f(V_{ds})$ et (b) $I_d = f(V_{gs})$	36
2.3	Vue en coupe de l'empilement	37
2.4	Schéma électrique du MASMOS	39
2.5	Vue en coupe du JFET développé par ACCO	40
2.6	Schéma électrique du modèle du MOS	42
2.7	Schéma électrique équivalent intrinsèque petit signal du MOS	43
2.8	Schéma électrique du modèle du JFET	43
2.9	Schéma électrique équivalent intrinsèque petit signal du JFET	44
2.10	Réseau statique parfait $I_d = f(V_{ds})$ avec les cycles de charge et points de polarisation des classes de fonctionnement linéaire	46
2.11	Synoptique d'un banc de caractérisation loadpull à la fréquence fondamentale	50
2.12	(a)Banc de mesure sous pointes (b) Banc de mesure paramètres S	53
2.13	Banc de mesure loadpull	54
3.1	Schéma du circuit pour le calcul du gain en tension (a) vue circuit (b) vue système	58
3.2	Schéma électrique utilisé en simulation pour l'optimisation des paramètres de l'étage de puissance	59
3.3	Allure de l'ACLR d'un PA polarisé en classe AB profonde	60
3.4	Contours constants de la PAE (rouge) et de la puissance de sortie P_{OUT} (bleu) issus du loadpull CW à la fréquence fondamentale	61
3.5	Contours constants de la (a) PAE (rouge) et de la (b) puissance de sortie P_{OUT} (bleu) issus du loadpull CW au second harmonique	61
3.6	Contours constants de la PAE (rouge) et de la puissance de sortie P_{OUT} (bleu) issus du loadpull W-CDMA à la fréquence fondamentale	62
3.7	Evolution de la PAE (a) et de la P_{OUT} (b) en fonction de $IM(ZL_{2f_0})$ au niveau d'ACLR de -40dBc pour un signal d'entrée W-CDMA	63
3.8	Evolution de GP (violet), PAE (rouge) et $ACLR$ (bleu) en fonction de L_p pour $P_{out} = 25.7dBm$	65
3.9	Courant de drain intrinsèque (bleu) et tension drain-source intrinsèque (rouge) du transistor MOS à $P_{out} = 25.7dBm$ pour (a) $L_p = 0pH$ et (b) $L_p = 180pH$	66
3.10	Schéma électrique d'un amplificateur différentiel simple	68

TABLE DES FIGURES

3.11	(a) Schéma électrique d'un amplificateur différentiel en convention single-ended, (b) schéma électrique équivalent des demi-étages en mode commun et (c) en mode différentiel	70
3.12	Schéma équivalent d'un amplificateur différentiel avec un signal d'entrée sinusoïdale différentiel	71
3.13	(a) Schéma équivalent d'un octopôle différentiel représenté par sa matrice paramètres-S 4 ports et (b) son équivalent par représentation en mode mixte (mixed-mode)	73
3.14	Layout de l'étage de puissance référence	75
3.15	Schéma électrique d'un transformateur	77
3.16	Schéma électrique d'un transformateur avec une résonance parallèle	78
3.17	Schéma électrique d'un transformateur avec une résonance série	79
3.18	Schéma électrique équivalent du balun intégré	80
3.19	Schéma électrique équivalent du balun intégré complet	81
3.20	Méthodologie de conception du balun intégré	82
3.21	Schéma électrique équivalent final du balun	82
3.22	Paramètres simulés du balun (a) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode différentiel, (b) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode commun et (c) pertes en dB	83
3.23	Configuration de mesure (a) single-ended et (b) différentielle	84
3.24	Performances mesurées de l'amplificateur en configuration single-ended (○) et en configuration différentielle (□)	85
3.25	Photographie du PCB de test incluant le rat-race en entrée	86
3.26	Paramètres mesurés du balun (a) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode différentiel, (b) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode commun et (c) pertes en dB	87
3.27	Amplitude en dB des paramètres-S 2 ports mesurés (bleus) et simulés (rouge)	88
3.28	Facteur K mesuré de la structure	88
3.29	Contours de PAE constante résultant du loadpull CW de l'étage de puissance obtenus (a) en mesure et (b) en simulation	89
3.30	Contours de P_{OUT} constante résultant du loadpull CW de l'étage de puissance obtenus (a) en mesure et (b) en simulation	89
3.31	Evolution des performances en fonction de P_{out} en simulation (□) et en mesure (○)	90
4.1	Schéma électrique équivalent d'un transistor avec un feedback harmonique série quelconque à chaque fréquence et son équivalent	96
4.2	Schéma électrique équivalent de l'amplificateur différentielle avec une contre-réaction harmonique aux harmoniques pairs	97
4.3	Performances simulées de la structure avec contre-réaction harmonique obtenues à $-40dBc$ d'ACLR pour la charge permettant d'atteindre le meilleur compromis P_{OUT}/PAE	98

TABLE DES FIGURES

4.4	Schéma électrique équivalent d'un transistor en grille commune	99
4.5	Architecture de l'amplificateur de puissance avec le filtre au second harmonique	100
4.6	(a) PAE , $ACLR$ et (b) G_P de l'étage de puissance avec filtre (bleu) et sans filtre (rouge) pour un signal d'entrée W-CDMA	101
4.7	Synoptique de l'architecture de l'amplificateur de puissance proposé .	102
4.8	Layout optimisé de l'étage de puissance	104
4.9	Architectures de filtre au second harmonique possibles	105
4.10	Evolution des performances en fonction de la capacité C_f (a) P_{OUT} , G_P et (b) PAE	106
4.11	Layout de l'étage de puissance linéarisé	107
4.12	Comparaison des performances obtenus pour la structure sans filtre (rouge) et avec filtre (bleu) pour un signal W-CDMA à un niveau d' $ACLR$ de $-40dBc$	108
4.13	(a) Contours de PAE constante et (b) contours de P_{OUT} constante du source pull à la fréquence fondamentale de l'étage de puissance linéarisé (donnés pour un signal d'entrée W-CDMA à un niveau de $-40dBc$ d' $ACLR$)	109
4.14	Formes d'ondes de la tension V_{ds} du transistor MOS sans le filtre (rouge) et avec le filtre (bleu)	110
4.15	Gain de l'étage de puissance (rouge), gain de l'étage driver (bleu) et gain total (violet) de l'amplificateur de puissance obtenu pour un signal CW	111
4.16	Performances de l'étage driver pour un signal d'entrée CW	111
4.17	Schéma électrique équivalent du balun de sortie	112
4.18	Méthodologie de conception du balun de sortie	113
4.19	Layout du balun de sortie de l'amplificateur de puissance	114
4.20	Performances obtenues lors de la simulation EM du balun de sortie : (a) impédance différentielle de charge (b) impédance commune de charge et (c) pertes	115
4.21	Schéma électrique du réseau d'adaptation d'impédance	115
4.22	Méthodologie de conception du réseau d'adaptation d'impédance inter-étage	117
4.23	(a) partie réelle de Z_{LDS} , (b) partie imaginaire de Z_{LDS} , (c) partie réelle de Z_{SPS} et (d) partie imaginaire de Z_{SPS} obtenues en simulation électrique avant (rouges) et après (bleues) l'ajout de C_p et L_{cor}	118
4.24	Schéma électrique final du réseau d'adaptation d'impédance inter-étage	118
4.25	Layout du balun d'adaptation d'impédance inter-étage	119
4.26	Résultats de la simulation électromagnétique du réseau d'adaptation d'impédance inter-étage (a) impédance Z_{SPS} , (b) impédance Z_{LDS} , (c) impédance Z_{comm} et (d) pertes	119
4.27	PAE (violet), $ACLR$ (bleu) et G_P (rouge) en fonction de P_{OUT} de l'amplificateur de puissance complet obtenus pour un signal d'entrée W-CDMA	120

TABLE DES FIGURES

4.28 Schéma électrique équivalent intrinsèque 3 ports petit signal du MOS	135
4.29 Schéma électrique utilisé pour la détermination du coefficient de cou- plage K	137

Liste des tableaux

1.1	Etats du circuit selon la valeur de K	13
1.2	Tableau récapitulatif des améliorations apportées par les méthodes de linéarisation	29
1.3	Spécifications électriques du PA données à $-40dBc$ d'ACLR	30
1.4	Tableau récapitulatif des meilleurs PA de la littérature pour application mobiles 3G	31
2.1	Caractéristiques des éléments du design kit	38
2.2	Caractéristiques électriques du JFET	41
2.3	Caractéristiques des classes F et F inverse	49
3.1	Tableau récapitulatif des quatre configurations de loadpull pour l'estimation des performances de l'étage de puissance	59
3.2	Impédances de charge retenues	64
3.3	Résultats obtenus pour les trois valeurs d'inductance de dégénérescence	67
3.4	Définition des tensions et courants d'entrée en mode commun et différentiel	70
3.5	Impédances de charge optimales de l'étage de puissance différentiel	76
3.6	Pertes des réseaux d'adaptation pour les deux configurations de mesure	85
3.7	Performances du balun de sortie obtenues en mesures et en simulations	87
3.8	Performances sur la charge $\Gamma = 0.2 / -120^\circ$ mesurée et simulée pour un signal W-CDMA	90
3.9	Tableau comparatif des meilleures PA de la littérature pour application mobiles 3G	91
4.1	Spécifications électriques du PA données à $-40dBc$ d'ACLR	95
4.2	Résultats de simulation pour les deux configurations à $-40dBc$ d'ACLR100	
4.3	Performances intrinsèques mesurées de l'étage de puissance de référence données à $-40dBc$ d'ACLR	102
4.4	Bilan en gain de l'amplificateur de puissance décrit étage par étage	103
4.5	Tableau comparatif des performances entre l'ancien et le nouveau layout de l'étage de puissance données à $-40dBc$ d'ACLR	105

LISTE DES TABLEAUX

4.6	Schéma électrique équivalent des filtres pour les architectures (b) et (c) vue par chaque demi-étage selon le mode	105
4.7	Fréquence de résonance des filtres selon l'architecture	106
4.8	Tableau récapitulatif des performances des deux étages de puissance comparés données à $-40dBc$ d'ACLR	108
4.9	Impédances de charge de l'étage de puissance	112
4.10	Paramètres retenus pour le balun avec et sans C_p	113
4.11	Spécifications du réseau d'adaptation d'impédance inter-étage	116
4.12	Paramètres du schéma électrique équivalent du réseau avant et après l'ajout de C_p et L_{cor}	117
4.13	Récapitulatifs des performances de l'amplificateur de puissance pour un signal d'entrée W-CDMA à $-40dBc$ d'ACLR	120
4.14	Tableau comparatif des meilleures PA de la littérature pour application mobiles 3G	121

Glossaire

2G : 2ème Génération
3G : 3ème Génération
3GPP : 3rd Generation Partnership Program
4G : 4ème génération
ARIB : Association of Radio Industries and Businesses
ACLR : Adjacent Channel Leakage Ratio
ACPR : Adjacent Channel Power Ratio
APD : Analog Pre-Distortion
ATIS : Alliance for Telecommunications Industry Solutions
BSIM : Berkeley Short-Channel IGFET Model
CC : Capacitance Compensation
CCDF : Complementary Cumulative distribution function
CCSA : Canadian Communication Systems Alliance
CDMA : Code Division Multiple Access
CFB : Cartesian Feed-Back
 C/I_3 : Carrier to 3rd order Interference
CMOS : Complementary Metal Oxide Semiconductor
CMS : Composant Monté en Surface
CN : Core Network
CW : Continuous Wave
DPA : Doherty Power Amplifier
EE&R : Envelope Elimination and Restoration
ET : Envelope Tracking
ETSI : European Telecommunication Standards Institute
EVM : Error Vector Magnitude
FDMA : Frequency Division Multiple Access
FET : Field Effect Transistor
GaAs : Gallium Arsenide / Arséniure de Gallium
 G_P : Gain en Puissance
GSM : Global System for Mobile communications
 G_T : Gain Transducique
IMD3 : 3rd order InterModulation Distortion

IP3 : Point d'Interception d'ordre 3
IPD : Integrated Passive Device
JFET : Junction Field Effect Transistor
LINC : LInear amplification with Nonlinear Components
LTE : Long Term Evolution
MESFET : MEtal Semiconductor Field Effect Transistor
MGTR : Multiple-Gated TRansistor
MIM : Metal Insulator Metal
MOS : Metal Oxide Semiconductor
NDF : Normalized Determinant Function
nMOS : n-channel Metal Oxide Semiconductor
P1dB : Point de compression à 1dB
PAE : Power Added Efficiency
PAPR : Peak to Average Power Ratio
PCB : Printed Circuit Board
PD : Pre-Distortion
 P_{DC} : Puissance continue
PDF : Power Density Function
 P_{IN} : Puissance d'entrée
pMOS : p-channel Metal Oxide Semiconductor
 P_{OUT} : Puissance de sortie
 P_{TH} : Puissance dissipée thermiquement
RF : Radio-Fréquence
SCS : Signal Component Separator
STAN : STability ANalysis
STI : Shallow Trench Isolation
UE : User's Equipment
UMTS : Universal Mobile Telecommunications System
UTM : Ultra-Thick Metal
UTRAN : Universal Terrestrial Radio Access Network
VNA : Vector Network Analyzer
W-CDMA : Wideband Code division Multiple Access

Introduction générale

Le développement de la capacité des réseaux mobiles de type GSM, UMTS et LTE a entraîné l'expansion fulgurante du marché des appareils de communication sans fil. Les performances offertes en terme de débit sans précédents ont permis l'apparition de nombreux produits tels que les smartphones, les tablettes ou encore les clés 3G/4G. Parmi les nouvelles problématiques posées, la consommation est cruciale afin d'offrir un fonctionnement optimal tout en assurant une longue autonomie. Il est alors obligatoire d'utiliser des éléments possédant un rendement énergétique élevé.

Dans la chaîne d'émission des appareils mobiles, l'amplificateur de puissance (PA) est un des principaux consommateurs d'énergie. Le défi des concepteurs est de maintenir des performances électriques, spectrales et temporelles répondant aux standards de communication tout en proposant une consommation faible (rendements élevés). Cette problématique s'avère d'autant plus difficile que les nouvelles générations de réseaux emploient des modulations de plus en plus complexes, impliquant des contraintes encore plus sévères en terme de linéarité. Les concepteurs doivent ainsi utiliser des techniques de linéarisation ou d'amélioration du rendement pour répondre aux spécifications.

Les PA dédiés aux applications de téléphonie mobile sont aujourd'hui très majoritairement réalisés en GaAs (Arséniure de Gallium). Cette technologie est particulièrement adaptée de part sa forte densité de courant, sa tenue face aux fortes tensions et ses fréquences de transition élevées, lui permettant d'adresser facilement des bandes jusqu'à 6GHz (fréquence maximale de la 5G-NR (5ème Génération Nouvelle Radio) phase1).

Néanmoins, la conception de composant radio-fréquence (RF) en technologie CMOS (Complementary Metal Oxide Semiconductor) Silicium (*Si*) fait l'objet de nombreuses recherches. Son principal atout est son faible coût de production qui la rend très attractive pour la production de masse. Son autre avantage est la possibilité d'intégrer des fonctions analogiques et numériques au sein même des puces.

Cette technologie est cependant sujette à un verrou technologique : sa faible tenue en tension. Son autre problème majeur est sa faible densité de courant rendant l'amplification de puissance problématique. Ainsi, le développement de grille nécessaire à atteindre les objectifs de puissance tout en présentant un niveau de linéarité suffisant entraîne une forte dégradation du rendement. La société ACCO a développé et breveté une cellule permettant de répondre au problème de tenue en tension : le MASMOS[1].

Le but de cette thèse est l'amélioration des performances intrinsèques d'un PA pour des applications mobiles basé sur la cellule MASMOS, spécialement en terme de rendement et de linéarité. Les circuits sont réalisés en technologie CMOS $0.18\mu\text{m}$. Le cahier des charges est basé sur les spécifications émises par l'organisme de standardisation 3GPP pour les systèmes de troisième génération. Le point de départ de la conception du PA est la sélection de l'architecture et l'optimisation de la cellule MASMOS avec pour objectifs les meilleures performances en terme de rendement, puissance de sortie et linéarité pour un développement de grille donné.

Le premier chapitre de ce manuscrit commence avec la présentation du contexte de notre étude. Nous passons ensuite en revue le signal utilisé pour l'étude : le W-CDMA. Puis, les différentes caractéristiques des PAs en terme de gain, de puissance, de rendement, de linéarité et de stabilité sont présentés. Nous proposons ensuite un état de l'art des différentes méthodes d'amélioration des performances électriques des PAs. Nous présentons notre cahier des charges basé sur les spécifications de l'organisme 3GPP pour la 3G. Enfin, nous établissons un tableau comprenant les meilleures réalisations de PA 3G en CMOS pour applications mobiles.

Dans le second chapitre, nous présentons la technologie utilisée pour notre étude ainsi que la cellule MASMOS et ses spécificités. Dans un deuxième temps, un rappel sur les différents paramètres nécessaires pour la conception des PAs est réalisé. Parmi ceux-ci, on peut compter les classes de fonctionnement et les impédances de fermeture de source et de charge à la fréquence fondamentale et au second harmonique. Enfin nous présentons les différents bancs de mesure qui ont été utilisés tout au long de la thèse.

Le troisième chapitre est dédié à l'optimisation de la cellule MASMOS et au choix d'une architecture pour l'étage de puissance de notre PA. La première partie présente l'étude de l'impact des interconnexions flip-chip sur le MASMOS et plus particulièrement sur sa source. Nous proposons une méthode de loadpull pour le choix des impédances de charge que nous utiliserons durant le manuscrit. Dans le cadre de notre étude, nous nous intéressons également à l'impact d'une inductance de dégénérescence sur les performances du circuit. Les résultats issus de cette étude ont donné lieu à une communication scientifique aux Journées Nationales Microondes 2018. Nos conclusions nous mènent à choisir une architecture différentielle pour l'étage de puissance dont nous présentons les étapes de conception. Nous pas-

sons alors en revue les éléments nécessaires à l'étude de ces circuits. Ensuite, nous proposons une méthode de conception de balun basé sur une architecture de transformateur intégré. Enfin, nous caractérisons l'étage de puissance. Dans un premier temps, nous faisons part de l'apport de la structure différentielle par rapport à une structure single-ended. Dans un second temps, nous faisons la corrélation des résultats de mesure avec nos résultats de simulation. Les résultats de mesures ainsi que la structure de notre balun ont donné lieu à une communication scientifique au Radio Wireless Symposium 2019. Enfin, nous comparons les résultats de mesures avec les meilleures réalisations de la littérature.

Le dernier chapitre commence par l'étude de deux méthodes de linéarisation dont la mise en oeuvre originale utilise les spécificités des amplificateurs différentiels. La première méthode est la contre-réaction harmonique (harmonic feedback) et la seconde consiste en l'utilisation d'un filtre au second harmonique au sein du MASMOS. Nous choisissons la seconde méthode par rapport à son apport en terme d'amélioration des performances électriques et sa facilité de mise en oeuvre. Nous présentons alors la conception de l'étage de puissance et de son balun associé. Nous utilisons également un étage de pré-amplification qui est conçu pour fournir le gain requis ainsi que pour pré-distordre et linéariser l'étage de puissance. Nous décrivons ensuite la conception du réseau d'adaptation d'impédance inter-étage. Enfin, nous simulons les résultats du PAs et les comparons avec les meilleures réalisations de la littérature.

Les communications scientifiques effectuées pendant cette thèse sont listés ci-après :

« Linéarisation et amélioration du rendement d'un amplificateur de puissance cascade par une inductance de dégénérescence », J. LORAINE, S. DOUCET, M. Ariaudo, C. Duperrier et R. Lemoine, XXèmes Journées Nationales Micro-ondes, 16-19 mai

« Design of High-Performances CMOS Power-Stage for Handset Applications Based on MASMOS Cells » J. LORAINE, S. DOUCET, M. Ariaudo and C. Duperrier, Radio Wireless Symposium 2018, 14-17 january

Amplificateurs de puissance pour applications mobiles 3G

1.1 Contexte

Le Third Generation Partnership Program (3GPP) est un projet international de standardisation en télécommunications regroupant les principaux organismes mondiaux tels que : l'ARIB (Japon), l'ETSI (Europe), le CCSA (Chine) ou encore l'ATIS (Amérique du nord). Les partenaires du programme sont responsables de la création et de la publication de spécifications techniques pour les réseaux de troisième génération (3G). Nous allons nous intéresser ici à l'UMTS qui est une des technologies de la 3G qui a été implémentée en Europe. Cette dernière est basée sur une architecture flexible et modulaire qui permet en théorie d'utiliser n'importe quelle technique d'accès radio tout en n'ayant pas un ensemble prédéfini de services. Ces deux postulats assurent ainsi sa compatibilité avec d'autres réseaux mobiles de deuxième et troisième génération tout en garantissant son évolution.

L'UMTS est l'évolution des réseaux GSM dont il conserve certains éléments permettant ainsi sa rétro-compatibilité. Au fil des années, l'UMTS a été doté de fonctions supplémentaires et son développement fait toujours l'objet de réunion de travail au sein du 3GPP. L'architecture du réseau UMTS définie dans la spécification technique 23.101[2] est représentée sur la figure 1.1.

Le réseau est composé de deux domaines principaux : le domaine de l'équipement usager (UE) et le domaine de l'infrastructure. Ce dernier est scindé en deux sous-domaines : le domaine du réseau d'accès radio terrestre UMTS (UTRAN) et le domaine du réseau coeur (CN).

1.1 Contexte

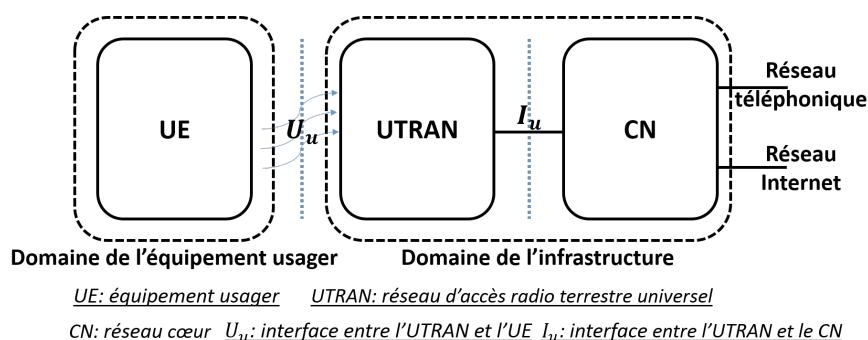


Figure 1.1 – Synoptique de l'architecture du réseau UMTS

Chaque domaine remplit une fonction précise dans le réseau et son périmètre est délimité par une ou plusieurs interface(s)[3] :

- L'équipement utilisateur (UE) représente l'ensemble des terminaux mobiles ayant la possibilité de se connecter au réseau UMTS. L'UE est l'élément qui permet à un abonné d'accéder au domaine de l'infrastructure ainsi qu'à ses services à travers l'interface radio U_u .
- Le réseau d'accès radio terrestre universel (UTRAN) est principalement responsable de l'émission/réception des données utilisateurs à travers l'interface radio U_u et de leur conversion pour les transmettre au réseau cœur à travers l'interface I_u . Il contrôle également les fonctions liées à l'accès au réseau et il alloue les ressources radio.
- Le réseau cœur (CN) est la passerelle entre les utilisateurs et le réseau (téléphonique ou internet).

1.1.1 Architecture de la chaîne d'émission des UE 3G

La chaîne d'émission utilisée dans les appareils mobiles pour les communications 3G est décrite dans la note technique 125.213[4]. L'architecture de la chaîne est présentée sur la figure 1.2.

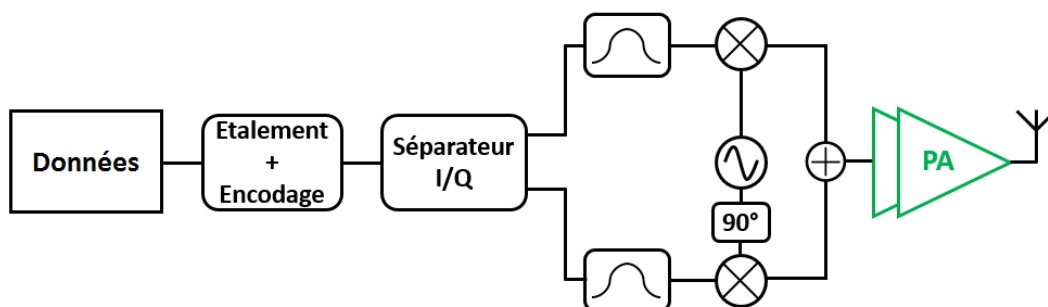


Figure 1.2 – Synoptique de la chaîne d'émission dans les équipements utilisateurs

Dans les appareils mobiles permettant de gérer les différents types de réseau (2G, 3G et 4G), il y a une partie complexe du front-end (duplexeurs, switches d'antennes...) qui n'est pas représentée ici. En entrée de la chaîne, il y a les données à transmettre en format binaire. La première opération est l'étalement de spectre, l'application de codes orthogonaux et la génération des signaux I et Q. Les signaux sont alors modulés en quadrature. Le signal résultant en sortie du modulateur IQ est appelé signal W-CDMA (Wideband Code Division Multiple Access). Ce signal attaque alors le PA avant d'être émis via l'antenne.

Le signal W-CDMA rel99[5] a été utilisé lors de notre étude. Ses caractéristiques sont décrites dans la section suivante.

1.1.2 Le signal W-CDMA

Description générale

Le W-CDMA est la technologie radio employée au sein du réseau UMTS. La génération de ce signal est basée sur deux techniques de traitement de signal : l'étalement de spectre (spread spectrum modulation) et la méthode d'accès multiple par division de code (CDMA)[6]. C'est une technique de modulation large bande, qui utilise des canaux bien plus larges que la bande spectrale des données à transférer. Au lieu que chaque transmission ait une bande de fréquence dédiée suffisamment large (comme en FDMA) pour envisager un débit maximum, les signaux CDMA peuvent partager un même canal.

Le CDMA est une technique qui consiste à allouer à chaque utilisateur une séquence de code afin d'encoder les signaux porteurs d'informations. Le récepteur, connaissant le code, est capable de décoder le signal reçu et de récupérer les données originales. Cette opération est possible car les codes sont orthogonaux entre eux.

La technique de modulation par étalement de spectre consiste à noyer l'information dans un signal possédant un spectre avec une bande bien plus large. Ainsi, pour assurer le fonctionnement de cette technique il est nécessaire que la bande passante de l'information soit très faible devant celle du signal d'étalement. Ainsi, le spectre résultant n'est plus statistiquement lié à l'information.

Ces deux techniques combinées confèrent aux signaux émis plusieurs propriétés :

- Capacité d'accès multiple : Plusieurs utilisateurs peuvent transmettre simultanément ces signaux et le récepteur sera capable de distinguer les différents utilisateurs.
- Protection contre les interférences multi-trajets : Les signaux issus des différents trajets peuvent être vus comme des copies du signal original avec des différences de phase, d'amplitude et d'angle d'arrivée. Ainsi l'utilisation des codes orthogonaux permet la sélection du signal original dans la bande en considérant le reste comme du bruit.

1.1 Contexte

- Sécurité : le signal transmis ne peut être récupéré que si le récepteur possède le code
- Capacité anti-brouillage bande étroite : Un signal brouilleur bande étroite (volontaire ou non) ne peut pas empêcher une communication car l'information est contenue sur une bande plus large.

Propriétés statistiques du W-CDMA

Les principales figures de mérite et propriétés utiles pour la conception d'amplificateurs de signaux sont :

- Le PAPR : rapport entre le maximum de puissance instantanée du signal par rapport à sa puissance moyenne. Cette information est primordiale notamment pour les choix de conception en terme de linéarité. En effet, un signal possédant un fort PAPR est susceptible de générer des non-linéarités pour des puissances relativement faibles par rapport à la puissance de sortie maximale. Le PAPR du signal W-CDMA que nous utiliserons tout au long de ce manuscrit est de 3.2dB. Son estimation est représentée sur la figure 1.3.

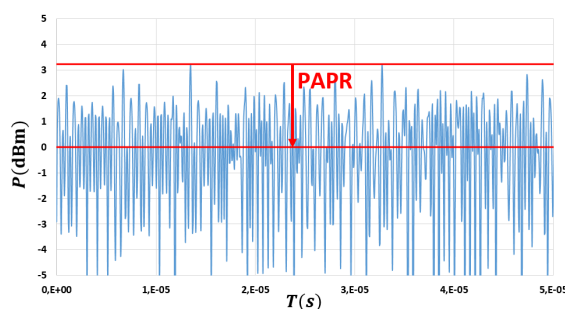


Figure 1.3 – Représentation du PAPR du signal W-CDMA utilisé dans l'UMTS

- La largeur du canal correspond à la bande fréquentielle occupée par le signal. Elle est importante notamment pour l'établissement des masques spectraux pour le calcul des ACLR (voir section 1.2.3). La bande passante du signal est de 3.84MHz et le spectre est étalé sur 5MHz [7].
- La fonction de densité de probabilité d'enveloppe (enveloppe PDF) représente la probabilité que l'enveloppe du signal de sortie ait une valeur particulière. La PDF décrit donc la probabilité qu'une émission soit effectuée à une puissance instantanée donnée. La figure 1.4(a) représente l'enveloppe PDF du signal W-CDMA [8].
- La fonction de densité cumulée complémentaire (CCDF) représente la probabilité qu'un signal ait une valeur de puissance instantanée supérieure ou égale à une certaine valeur. La CCDF du signal W-CDMA est représentée sur la figure 1.4(b). Le point de puissance le plus élevé correspond à la valeur de PAPR du signal considéré. Cette courbe permet de donner une information sur l'occurrence d'un pic de puissance par rapport à sa valeur moyenne.

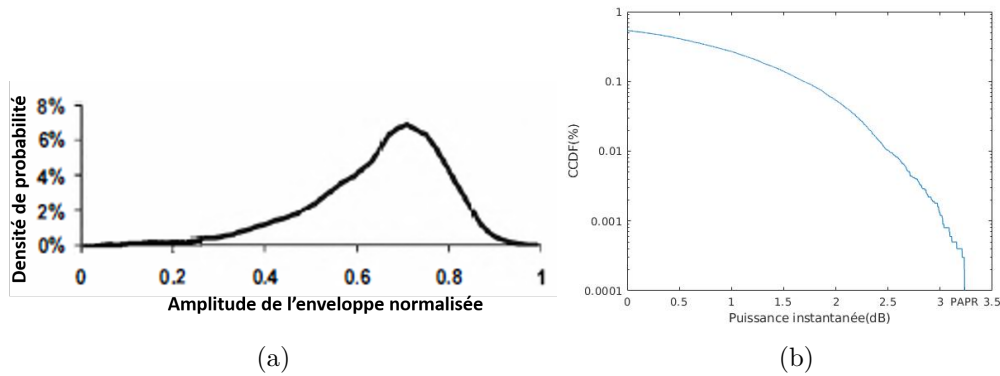


Figure 1.4 – (a) PDF [8] et (b) CCDF du signal W-CDMA

1.2 Fondamentaux de l'amplificateur de puissance

L'amplificateur de puissance est un quadripôle actif possédant une entrée et une sortie. Il est utilisé pour l'amplification de signaux électriques dynamiques. Ainsi, le signal de sortie est une image de celui d'entrée avec une puissance plus élevée. Le bilan de puissance du PA est représenté sur la figure 1.5.

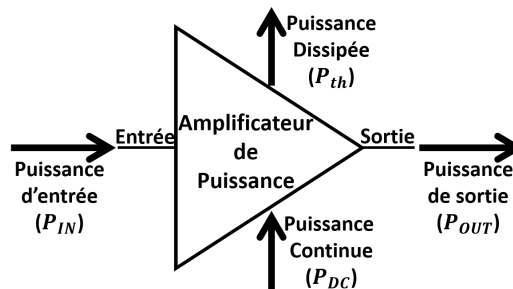


Figure 1.5 – Schéma bloc d'un amplificateur de puissance et son bilan de puissance

Les puissances mises en jeu dans le bilan de puissance sont :

- Puissance de sortie (P_{OUT}) : Puissance de sortie délivrée à la charge
- Puissance d'entrée (P_{IN}) : Puissance dynamique délivrée par le générateur et disponible à l'entrée
- Puissance continue (P_{DC}) : Puissance continue fournie par l'alimentation à l'amplificateur
- Puissance dissipée (P_{TH}) : Puissance dissipée thermiquement ne contribuant pas à l'amplification et étant donc indésirable

Afin d'amplifier le signal d'entrée, le composant convertit P_{DC} en P_{OUT} . La partie restante de P_{DC} est perdue par dissipation thermique dans l'amplificateur et correspond à P_{TH} . Les PA sont utilisés sur toute la gamme des fréquences pour des applications allant de la simple amplification audio à la transmission longue portée des systèmes de télécommunication.

1.2 Fondamentaux de l'amplificateur de puissance

1.2.1 Caractéristiques fondamentales associées

Les contraintes liées aux amplificateurs sont variées selon l'application visée. Parmi celles-ci, les plus importantes sont le rendement, le gain et la puissance de sortie.

1.2.1.1 Gains

Dans le cas d'un quadripôle, il existe quatre définitions de gain dépendant de ses conditions de fermeture. Les expressions des gains sont déterminées à partir de la puissance disponible ou injectée dans les ports de l'amplificateur. Seul le gain d'insertion est calculé d'une manière différente :

- Le gain en puissance est défini comme le rapport entre la puissance fournie à la charge et la puissance injectée en entrée (adaptation conjuguée à l'entrée). Cette expression permet de ne pas prendre en compte la désadaptation d'impédance à l'entrée. Elle peut être utilisée lors de la conception des PA où une des premières étapes est la recherche de l'impédance optimale de charge.
- Le gain transducique est défini comme le rapport entre la puissance fournie à la charge et la puissance maximale disponible à la source de puissance d'entrée (condition de fermeture quelconque). Cette expression est la plus complète car elle prend en compte l'impact des conditions de fermeture en entrée et en sortie. Ainsi, le transfert réel de puissance entre la source et la charge est exprimé.
- Le gain disponible est défini comme le rapport entre la puissance disponible en sortie et la puissance disponible à la source de puissance d'entrée (adaptation conjuguée entrée et sortie). Cette expression est appropriée pour la conception d'amplificateur avec des problématiques liées au bruit où l'optimisation de l'impédance présentée à l'entrée a le plus grand impact.
- Le gain d'insertion est défini comme le rapport entre la puissance fournie à la charge lorsque le quadripôle est inséré et la puissance fournie à la charge lorsque le quadripôle est absent.

Pour la conception de PA, le paramètre le plus important est l'impédance de charge. Ainsi, l'utilisation du gain disponible ne serait pas cohérente. En effet, l'adaptation conjuguée en sortie ne permet généralement pas d'atteindre les spécifications des amplificateurs de puissance notamment en terme de rendement et de puissance de sortie. La définition du gain d'insertion est elle aussi incompatible pour la conception de PA car on ne considère qu'un seul bloc et non pas un système. Les deux derniers gains sont utilisés à différents moments de la conception du PA. Le gain en puissance (G_P) sert lors de la recherche de la condition de charge optimale où l'entrée n'est pas adaptée. Une fois l'impédance de charge fixée, le gain transducique (G_T) devient le plus important car il permet d'obtenir le gain réel de l'amplificateur lors de son utilisation. Ces deux gains seront utilisés pendant cette étude.

1.2.1.2 Rendements

Le rendement est un indicateur de la capacité à convertir la puissance continue P_{DC} en puissance de sortie P_{OUT} . Plus il est élevé plus la P_{DC} est utilisée efficacement. Le rendement est une des caractéristiques les plus importantes pour la conception d'amplificateurs ayant application dans des systèmes mobiles. La définition du rendement est donnée par l'équation 1.1. Dans le cas d'un amplificateur réalisé à base de transistor MOS (Metal Oxyde Semiconductor), il est appelé rendement au drain (η_d).

$$\eta = \frac{P_{OUT}}{P_{DC}} \quad (1.1)$$

Le rendement en puissance ajoutée (PAE) est néanmoins l'expression utilisée pour définir l'efficacité énergétique des PA. Son expression est donnée dans l'équation 1.2. Elle est plus complète car elle prend en compte la totalité du bilan de puissance. Comme le montre l'équation 1.2, la PAE correspond au pourcentage de puissance continue convertie. De plus, cette définition est plus appropriée lors de la saturation de l'amplificateur où le gain G_P diminue et la puissance d'entrée P_{IN} n'est plus négligeable devant P_{OUT} . Il est à noter que le rendement est toujours plus élevé que la PAE. Cette expression sera utilisée tout au long de notre étude.

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}} = P_{IN} \cdot \frac{G_P - 1}{P_{DC}} = 1 - \frac{P_{TH}}{P_{DC}} \quad (1.2)$$

1.2.2 Etude de la stabilité

La stabilité des amplificateurs est un point primordial devant être abordé lors de la conception de tout dispositif non linéaire afin d'éviter toutes oscillations destructives du composant.

- Il existe trois principales méthodes pour l'étude de la stabilité des amplificateurs :
- La méthode du facteur de Rollet (généralement appelé facteur K) [9]
 - La méthode STAN (STability ANalysis) [10]
 - La méthode NDF (Normalized Determinant Functions) [11]

En régime petit signal, la méthode de prédilection est celle du facteur K qui est déterminée à partir des paramètres-S de l'amplificateur. En régime de forte puissance, où l'hypothèse de linéarité des amplificateurs ne tient plus, les deux dernières méthodes sont utilisées.

La méthode STAN repose sur la méthode d'identification des pôles et zéros. Dans un premier temps, une fonction de transfert est extraite, puis, la stabilité du système est déterminée à partir du signe des différents pôles.

La méthode du NDF repose quant à elle sur l'application du critère de Nyquist aux systèmes asservis. Le NDF désigne le produit des pôles du système. Le circuit

1.2 Fondamentaux de l'amplificateur de puissance

est alors stable s'il ne possède que des pôles à partie réelle négative. Cette méthode pourtant simple nécessite d'avoir accès à un modèle éclaté des composants actifs et plus particulièrement sur les sources commandées.

Les deux dernières méthodes présentent de nombreux avantages tels que la possibilité de déterminer la source de l'instabilité et l'étude de la stabilité au niveau des boucles internes de l'amplificateur. Leur mise en oeuvre est néanmoins très complexe et nécessite pour STAN d'avoir accès à un outil spécifique et pour le NDF d'avoir un modèle éclaté des composants. Nous n'utiliserons ainsi que la méthode du facteur K que nous détaillons dans les prochains paragraphes. Cette méthode ne permet pas d'avoir une information totale sur l'état de la stabilité du circuit mais permet toutefois d'assurer la stabilité selon les impédances de fermeture. Néanmoins, l'information sur la stabilité n'est valable qu'en petit signal où le comportement du circuit est linéaire.

Pour la détermination du facteur K nous considérons un quadripôle actif représenté par sa matrice de paramètres S . Le quadripôle est fermé à sa sortie par une impédance de charge Γ_2 et à son entrée par une impédance de source Γ_1 . La condition pour que l'amplificateur soit inconditionnellement stable est que le module du coefficient de réflexion des ports du circuit soit strictement inférieur à 1 quelle que soit la condition de fermeture de l'autre port. Cette condition assure ainsi que le quadripôle ne réfléchit pas plus d'énergie qu'il n'en reçoit.

A partir de ces conditions (une par port), deux critères dépendant uniquement des paramètres S du quadripôle sont définis (voir équation 1.3). Lorsqu'ils sont vérifiés simultanément, ces deux critères assurent la stabilité inconditionnelle du circuit.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta S|^2}{2|S_{11}S_{21}|} > 1 \quad (1.3)$$
$$|\Delta S| < 1 \text{ avec } \Delta S = S_{11}S_{22} - S_{21}S_{12}$$

Le module du déterminant de la matrice de paramètres S est généralement inférieur à 1 pour les amplificateurs. Dans cette configuration, il existe trois cas de figures qui sont répertoriés dans le tableau 1.1. Pour les cas où le module de K est supérieur à 1, les charges présentées n'ont pas d'impact sur la stabilité du quadripôle. Pour des valeurs de K intermédiaires, il est nécessaire de déterminer les charges présentant des risques d'instabilité. Pour cela, il est possible de déterminer des cercles de stabilité dont les caractéristiques (centre, rayon) sont obtenues à partir du coefficient de réflexion d'un port lorsque l'autre est chargé. Ainsi, si l'on désire ne pas stabiliser le quadripôle il est toujours possible de travailler avec des charges stables.

valeur de K	Etat du circuit
$K > 1$	inconditionnellement stable
$1 > K > -1$	conditionnellement stable
$K < -1$	inconditionnellement instable

Table 1.1 – Etats du circuit selon la valeur de K

1.2.3 Métriques des amplificateurs pour l'étude de la linéarité

La figure 1.6 représente l'allure de P_{OUT} (bleue) et de la PAE (rouge) en fonction de la puissance d'entrée P_{IN} d'un PA.

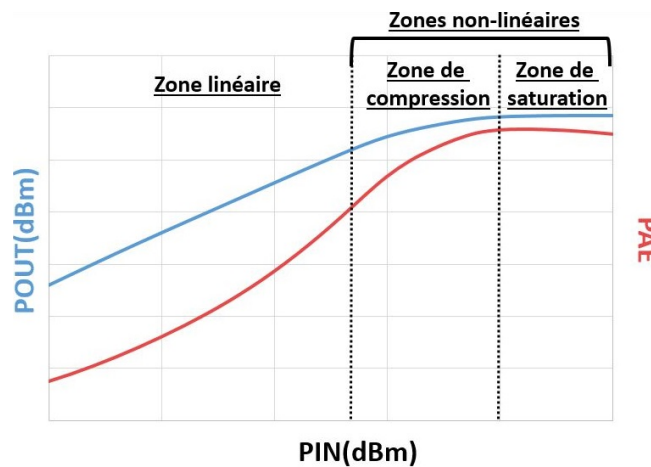


Figure 1.6 – Zones de fonctionnement des PA définies sur les allures de $P_{OUT}(dBm)$ (bleue) et de la $PAE(\%)$ (rouge) en fonction de $P_{IN}(dBm)$

Il existe trois zones de fonctionnement distinctes repérées sur la courbe de puissance de sortie P_{OUT} : la zone linéaire, la zone de compression et la zone de saturation. Dans la zone linéaire le signal de sortie est l'image du signal d'entrée, cependant, la PAE est faible. Dans la zone de saturation, P_{OUT} tend vers une valeur asymptotique, ce qui se traduit par une réduction du gain G_P , néanmoins, la PAE est élevée. En saturant, l'amplificateur déforme le signal d'entrée et l'information peut être soit faussement interprétée ou nuire aux transmissions d'autres utilisateurs. La zone de compression délimite les deux zones précédentes et apparaît donc comme un compromis entre linéarité et rendement. La linéarité peut être décrite par différents indicateurs que nous allons détailler selon le signal d'entrée utilisé pour les obtenir.

1.2.3.1 Caractérisation monoporteuse

A partir d'une caractérisation monoporteuse il est possible de déterminer plusieurs métriques de linéarité. La première est le point de compression à 1dB (P1dB) qui correspond au point obtenu pour une différence de 1dB entre la caractéristique

1.2 Fondamentaux de l'amplificateur de puissance

$P_{OUT}(dBm) = f(P_{IN}(dBm))$ et la caractéristique d'un amplificateur parfait ne présentant ni compression ni saturation. La détermination du P1dB est représentée sur la figure 1.7(a) avec la caractéristique d'un PA (bleue) et la caractéristique parfaite (noire).

Le point peut être donné aussi bien en entrée qu'en sortie. Il est un indicateur de la compression de l'amplificateur et correspond ainsi à une limite à ne pas dépasser pour conserver un fonctionnement linéaire. En présence de signaux ayant un PAPR non nul, il est nécessaire de réduire P_{OUT} afin de respecter les contraintes de linéarité. La réduction de P_{OUT} par rapport à un certain niveau de compression ou par rapport au P1dB est appelée back-off.

La caractérisation monoporteuse permet également d'obtenir les caractéristiques de conversion AM/AM (amplitude/amplitude) et AM/PM (amplitude/phase). Ces caractéristiques représentent respectivement les variations d'amplitude et de phase provoquées par un amplificateur en fonction du niveau de puissance appliqué sur l'entrée. La courbe de conversion AM/AM est la caractéristique $P_{OUT} = f(P_{IN})$ et la courbe d'AM/PM est la différence de phase entre les tensions d'entrée et de sortie en fonction de P_{IN} . Un exemple des courbes de conversion AM/AM et AM/PM d'un PA est représenté sur la figure 1.7(b).

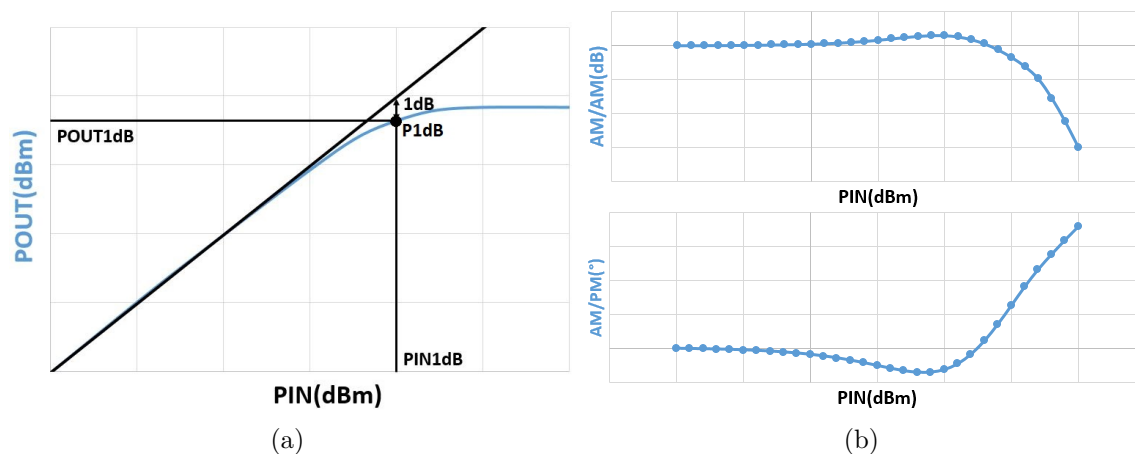


Figure 1.7 – (a) Méthode de détermination du P1dB (b) Allure des courbes de conversion AM/AM et AM/PM d'un PA générique

Ces caractéristiques décrivent totalement les distorsions subies par le signal à amplifier en amplitude et en phase dans le cas où les amplificateurs ne présentent pas d'effets mémoire. Dans notre cas, nous avons déterminé expérimentalement, à travers tous les résultats de mesures et de simulations obtenus lors du travail de thèse, que ces caractéristiques ont une précision suffisante pour les niveaux de linéarité visés.

1.2.3.2 Caractérisation bi-porteuses

Avant de parler des métriques obtenues par caractérisation bi-porteuses, il est nécessaire d'introduire la notion de produit d'intermodulation. En régime de faible non-linéarité, il est possible de modéliser le comportement d'un amplificateur par un polynôme reliant son signal d'entrée $x(t)$ à sa sortie $y(t)$ comme dans l'équation 1.4 (le niveau de non-linéarité s'arrête ici à l'ordre 3 par mesure de simplicité). Il est à noter que dans un cas réel, l'ordre des non-linéarités est infini.

$$y(t) = a_1.x(t) + a_2.x^2(t) + a_3.x^3(t) \tag{1.4}$$

Pour un signal d'entrée bi-porteuse de fréquences f_1 et f_2 et pour les conditions $f_2 > f_1$ et $\Delta f = f_2 - f_1 \ll \frac{f_2 + f_1}{2}$, un amplificateur produira en sortie des composantes à des fréquences multiples de f_2 et f_1 et à des combinaisons linéaires obtenues à partir de f_1 , f_2 et leurs harmoniques comme l'illustre la figure 1.8. Les composantes présentes à des multiples des fréquences d'entrée sont appelées harmoniques et sont facilement éliminables par filtrage étant hors-bande. Les fréquences résultant d'une combinaison linéaire de fréquences sont appelées produits d'intermodulation et sont générées dans la bande (à $2f_2 - f_1$ et $2f_1 - f_2$) et autour des harmoniques. Ces produits sont problématiques car contigus fréquentiellement avec les porteuses.

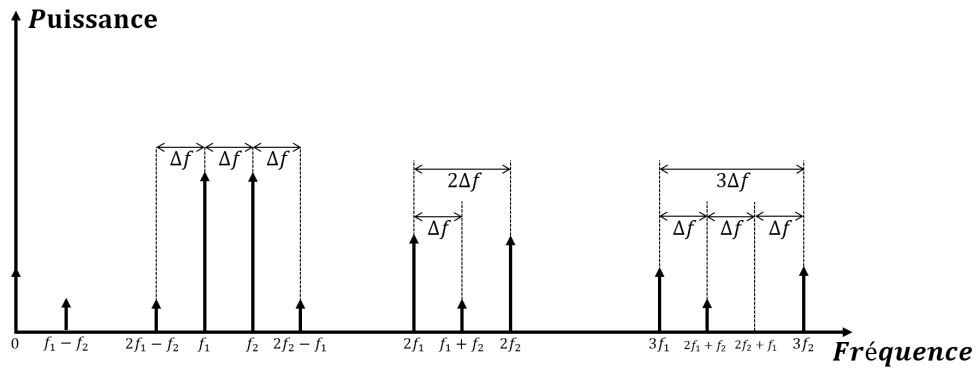


Figure 1.8 – Composantes fréquentielles résultant d'une amplification non-linéaire d'ordre 3

Le point d'interception d'ordre 3 (IP_3) correspond au croisement des courbes asymptotiques de puissance dans la zone linéaire des composantes fondamentales et d'un des produits d'intermodulation d'ordre 3 (IMD3). Son interpolation est représentée sur la figure 1.9(a). Ce point est ensuite défini soit en entrée soit en sortie en le projetant sur les axes. L' IP_3 peut prendre des valeurs supérieures à la puissance de saturation de l'amplificateur. Cette métrique est donc purement indicative car elle ne présente aucune réalité physique.

Le rapport C/I_3 est quant à lui le rapport entre la puissance des porteuses et la puissance d'un des produits d'intermodulation. Ce critère permet de donner une

1.2 Fondamentaux de l'amplificateur de puissance

limite concrète définie à partir du niveau d'intermodulation critique brouillant les communications voisines fréquentiellement (voir figure 1.9(b)). Comparé au P1dB avec lequel il faut prévoir un back-off vis-à-vis de sa valeur, le C/I_3 varie et est donné à des valeurs de puissance d'entrée et de sortie précises.

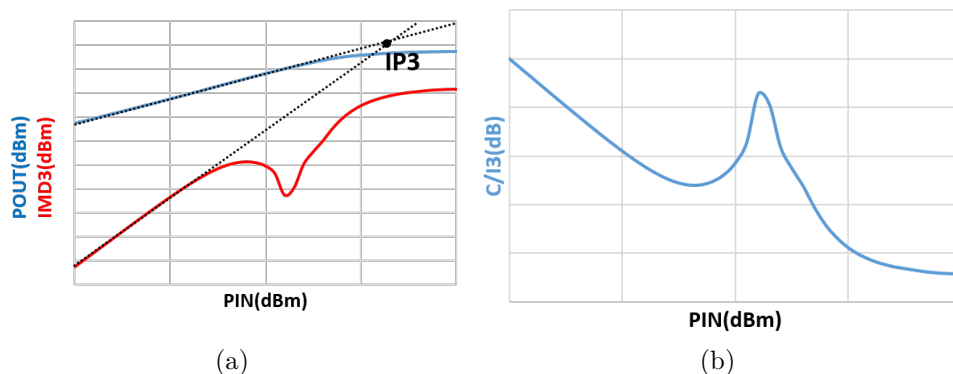


Figure 1.9 – (a) Méthode de détermination de l' IP_3 (b) Allure d'une courbe de C/I_3

1.2.3.3 Caractérisation avec des signaux large bande

Dans les communications utilisant des modulations large bande, les signaux amplifiés peuvent provoquer des remontées spectrales dans les bandes adjacentes de façon analogue à un signal bi-porteuse. L'Adjacent Channel Power Ratio (ACPR) correspond au rapport entre la puissance dans le canal principal et la puissance émise dans un des canaux adjacents. C'est une métrique équivalente au C/I_3 mais appliquée aux signaux large bande. Sa représentation graphique est donnée sur la figure 1.10 pour un signal W-CDMA en sortie d'un amplificateur de puissance. A partir des réseaux de troisième génération, l'ACPR est renommé Adjacent Channel Leakage Ratio (ACLR). La méthode de mesure de l'ACLR est donnée dans la spécification technique 34.121-1[12]. Cette métrique ainsi que son acronyme ACLR sont utilisés pour cette étude.

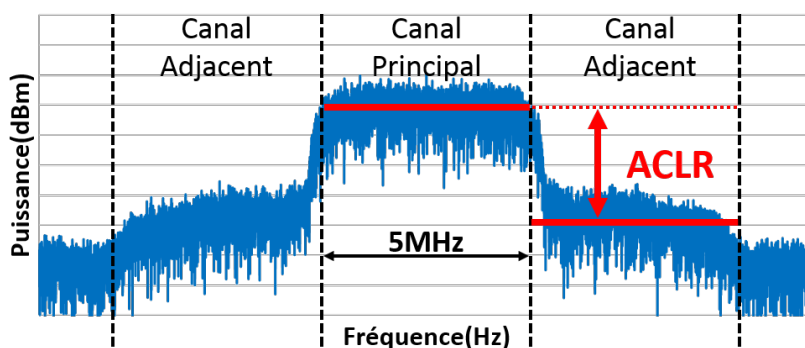


Figure 1.10 – Exemple de l'ACLR d'un signal W-CDMA

1.3 Amélioration des performances électriques

Afin d'améliorer les performances des PA, il existe de nombreuses méthodes séparées en deux catégories : amélioration du rendement et linéarisation. La première se focalise sur l'amélioration des performances énergétiques dans la zone linéaire. La seconde, améliore le niveau global de linéarité et permet d'améliorer la P_{OUT} dite "linéaire" donnée pour un niveau d'ACLR. Ces deux méthodes restent néanmoins soumises au compromis linéarité/rendement. L'amélioration de la linéarité fait la plupart du temps appel à des blocs supplémentaires augmentant la consommation totale, tandis que, l'amélioration du rendement utilise généralement les PA dans des zones peu linéaires.

1.3.1 Techniques d'amélioration du rendement

Alors que les systèmes de deuxième génération qui utilisaient la modulation en phase avec des PA fonctionnant en zone de saturation, les systèmes de troisième génération utilisent des signaux à enveloppes dynamiques. Il devient alors nécessaire d'utiliser le PA dans sa zone linéaire avec pour conséquence un rendement plus faible. Les techniques présentées dans cette partie permettent d'améliorer le rendement des PAs dans leur zone linéaire. Cette partie fait appel à la notion de classe de fonctionnement qui est traitée dans la section 2.3.1.

Architecture Doherty (DPA)

Le principe de fonctionnement de cette architecture est basé sur le loadpull actif [13]. Le circuit présente deux maximums de PAE à deux valeurs de P_{IN} différentes. Son schéma de principe est représenté sur la figure 1.11(a).

Le dispositif est constitué de deux amplificateurs en parallèle, reliés à leur entrée par un diviseur de puissance (power divider), tandis que, les signaux sont recombinaés en sortie par un transformateur en ligne quart d'onde ($\lambda/4$). Le fonctionnement des DPA peut-être scindé en deux zones comme l'indique la courbe de PAE représentée sur la figure 1.11(b). Dans la gamme de basse puissance, seul l'amplificateur principal (AP = Carrier Amplifier) contribue à l'amplification du signal. Lorsqu'il atteint la saturation, le DPA atteint un premier maximum de PAE. L'amplificateur auxiliaire (AA = Peaking Amplifier) entre alors en conduction et vient moduler la charge présentée à l'AP. Le circuit atteint alors une deuxième fois son maximum de PAE lorsque les deux amplificateurs saturent.

Plusieurs considérations sont nécessaires pour assurer le fonctionnement du circuit. La mise en fonctionnement différée des PAs est réalisée en polarisant l'AP en classe AB ou B et l'AA en classe C [15]. Cela implique de fortes non-linéarités notamment lors de l'allumage de l'AA dû à la variation brusque de son impédance d'entrée. Le déphasage induit par le transformateur quart d'onde doit également

1.3 Amélioration des performances électriques

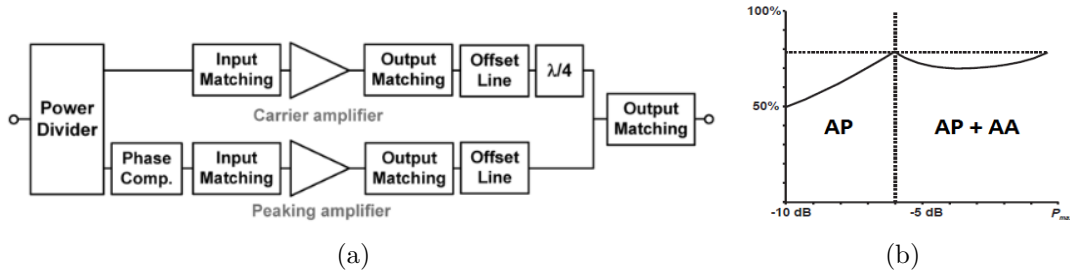


Figure 1.11 – DPA : (a) Schéma de principe [14] (b) Profil de la PAE

être ajouté sur la voie auxiliaire pour assurer la recombinaison en sortie. Pour des applications RF, la dimension des lignes quart d'onde étant trop importante pour envisager une implémentation sur puce, cette fonction est réalisée par un réseau localisé [15].

Linear amplification with Non-linear Components (LINC)

Le principe du LINC est la séparation d'un signal complexe en deux composantes modulées en fréquence afin de les amplifier séparément avec un rendement élevé. Le schéma de principe de la méthode LINC est représenté sur la figure 1.12(a).

Le bloc SCS (Signal Components Separator) est un composant permettant de transformer les signaux I et Q d'entrée en deux signaux modulés en phase. Pour un signal d'entrée de la forme :

$$S_{in}(t) = A(t) \cdot \cos(\omega t + \phi(t)) \quad (1.5)$$

Le SCS décompose ce signal en deux composantes :

$$\begin{cases} s_1(t) = A_0 \cdot \cos(\omega t + \phi(t) - \theta(t)) \\ s_2(t) = A_0 \cdot \cos(\omega t + \phi(t) + \theta(t)) \end{cases} \quad (1.6)$$

Avec $A_0 = \max(A(t))$ et $\theta = \cos^{-1}(A(t)/2A_0)$ l'angle de décomposition.

Les signaux générés attaquent alors un modulateur IQ. Les deux sorties résultantes sont modulées uniquement en phase et sont injectées dans deux PA afin d'être recombinaisonnées en sortie. La figure 1.12(b) représente le schéma du combineur utilisé en sortie proposé initialement par Chireix [18]. Ce combineur consiste en l'utilisation de deux susceptances shunt de signes opposés placées en amont de la charge. Sans le combineur, les amplificateurs voient chacun une admittance dépendante de l'angle de décomposition et de la charge présentée [19]. La partie imaginaire vue par chaque étage est d'une valeur opposée à celle vue par l'autre. L'utilisation de ces deux susceptances opposées permet de compenser la partie imaginaire des admittances présentées aux deux étages à une valeur précise d'angle de décomposition.

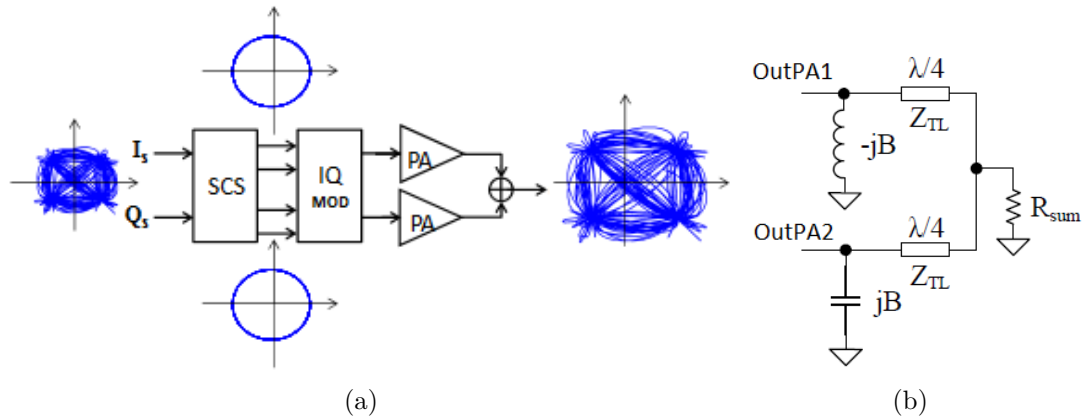


Figure 1.12 – LINC : (a) Schéma de principe [16] (b) Schéma du combineur Chireix [17]

De cette manière l'impédance vue à cet angle est purement réelle et assure un rendement élevé. Chireix a montré qu'en faisant cette correction pour un seul angle de décomposition, le rendement global du circuit était amélioré.

Ayant une amplitude constante, les deux signaux en sortie du SCS peuvent être amplifiés par des PA fonctionnant dans leur zone de saturation et ainsi bénéficier du maximum de PAE . En prenant le gain égal à G le signal de sortie s'exprime de la manière suivante :

$$S_{out}(t) = s_1(t) + s_2(t) = G.A(t) \cdot \cos(\omega t + \phi(t)) \quad (1.7)$$

Il existe ainsi une relation linéaire entre le signal d'entrée et le signal de sortie. Cette architecture permet donc en théorie de générer un signal à la puissance voulue avec une PAE élevée tout en ne générant aucune non-linéarité. Ce système n'est pas à proprement parler une méthode d'amélioration du rendement puisqu'elle nécessite en entrée les signaux I et Q non modulés. C'est un modulateur haut niveau qui construit le signal voulu à un niveau de P_{OUT} élevé.

Le premier problème ici est que le rendement n'est pas amélioré pour les bas niveaux de puissance. Le rendement moyen du système dépend donc directement des PA, du niveau de l'enveloppe et du signal de sortie. Le second problème est l'implémentation du bloc SCS qui est très difficile du fait que le moindre déséquilibre en gain ou phase entre les deux voies peut entraîner des erreurs conséquentes en sortie [16]. Le dernier problème est la séparation en deux composantes entraînant un étalement spectral du signal sur chacune des voies.

Envelope Tracking (ET)

L'ET vise à faire fonctionner le PA dans sa zone de compression pour une plage étendue de puissance d'entrée [20]. Pour ce faire, l'alimentation est ajustée dynamiquement en fonction de l'enveloppe du signal de sortie de l'amplificateur. Pour

1.3 Amélioration des performances électriques

l'étude de ce type de méthode, il est nécessaire de considérer le PA comme un composant 3 ports. Ainsi, il possède deux ports d'entrée (un pour le signal RF un pour l'alimentation) et un port de sortie. Le schéma de principe de cette méthode est représenté sur la figure 1.13.

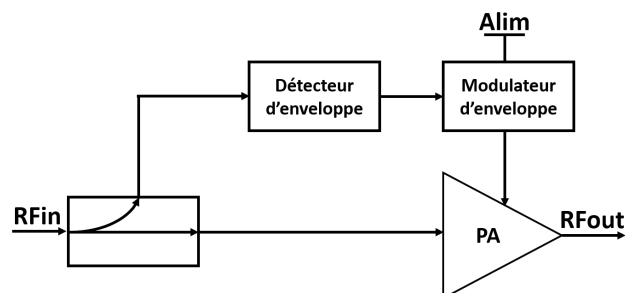


Figure 1.13 – Schéma système de l'enveloppe tracking

Le circuit est composé de deux voies. La première voie est responsable de l'amplification RF et contient le PA. La seconde voie contient un modulateur d'alimentation réalisant le conditionnement de la tension d'alimentation du PA conformément à l'enveloppe du signal à amplifier. Pour assurer un fonctionnement en compression sans écrêtage, il est nécessaire de suivre deux règles :

- La tension d'alimentation est plus élevée que la valeur instantanée de l'enveloppe d'une valeur appelée overhead
- La tension d'alimentation admet une valeur minimale supérieure ou égale à la tension de coude V_k du composant

La tension d'alimentation en fonction de la puissance de sortie suivant les deux règles précédentes est représentée sur la figure 1.14 où la tension d'overhead est V_k . On peut déduire de la dernière règle qu'un amplificateur doté d'un système d'ET ne fonctionnera pas en compression pour les faibles valeurs de P_{IN} où la dynamique de sortie n'est pas suffisamment élevée.

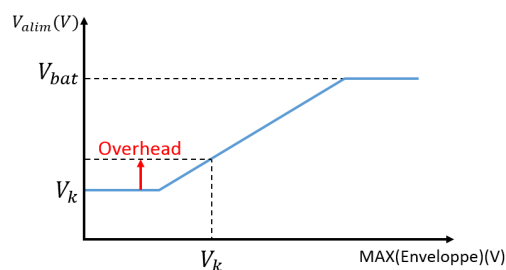


Figure 1.14 – Représentation de la valeur dynamique de l'alimentation par rapport à la valeur maximale de l'enveloppe

Le processus d'amplification obtenu avec l'adjonction du modulateur d'enveloppe n'est pas linéaire car la modulation de l'alimentation entraîne de fortes variations

d'AM/AM. Ces variations sont dues au fait que le gain G_P est dépendant de la valeur de l'alimentation et qu'en choisissant par exemple de conserver le même niveau de compression sa valeur augmente avec la puissance de sortie. L'implémentation d'un système d'ET sans méthode de linéarisation est envisageable si les contraintes sur la tension d'alimentation sont relâchées.

Les prérequis du modulateur d'enveloppe sont très stricts [21] car il doit reproduire l'enveloppe du signal avec une grande précision tout en ayant une large bande passante et un rendement élevé. En effet, le modulateur et le PA étant en série, le rendement global du circuit est défini comme le produit de leur PAE respective. La conversion IQ vers polaire étant non-linéaire, elle étend le spectre de l'enveloppe (plusieurs fois la largeur du signal en bande de base). Il est donc nécessaire d'avoir une large bande passante pour ne pas introduire de non-linéarité supplémentaire [22].

Envelope Elimination & Restoration (EER)

Tout comme l'ET, l'EER est basé sur le principe d'alimentation dynamique à la différence que le PA est utilisé uniquement dans sa zone de saturation. L'amplification n'est alors plus linéaire mais polaire [23]. L'amplification polaire consiste à utiliser l'amplificateur en permanence dans sa zone de saturation et à appliquer la modulation d'amplitude avec l'alimentation. Le schéma type de l'architecture est représenté sur la figure 1.15.

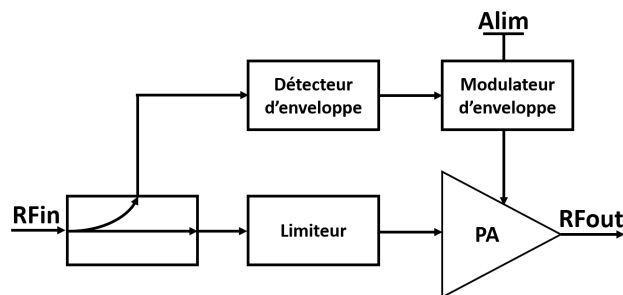


Figure 1.15 – Architecture de la méthode EER

On peut voir deux voies parallèles, une voie avec un modulateur d'alimentation et l'autre avec l'amplificateur de puissance. La voie avec le modulateur récupère l'amplitude de l'enveloppe du signal afin de moduler son alimentation en conséquence. La seconde voie ne garde que la phase avec l'utilisation d'un limiteur. Le signal à l'entrée de l'amplificateur est donc uniquement modulé en phase, et la modulation d'amplitude est appliquée par le biais du modulateur d'alimentation. Théoriquement, le signal d'entrée de l'amplificateur est une porteuse modulée en fréquence, il n'y a donc aucune intermodulation possible. Les seules non-linéarités seront présentes hors bandes et donc filtrables.

1.3 Amélioration des performances électriques

L'amplificateur fonctionne en zone de saturation pour bénéficier de sa PAE maximale. Dans ce type de fonctionnement, la commande de la puissance de sortie du circuit est entièrement dictée par l'alimentation. Sa valeur devient donc déterminante pour le bon fonctionnement du dispositif.

Tout comme l'ET les prérequis du modulateur d'enveloppe sont très sévères, à la différence qu'ici, la précision est d'autant plus importante que le modulateur est entièrement responsable de la modulation d'amplitude. La justesse des tensions appliquées dicte directement le niveau de non-linéarité en sortie de l'amplificateur. De plus, pour que l'EER fonctionne il ne faut aucun retard entre les deux voies, ce qui introduirait des distorsions supplémentaires.

1.3.2 Méthodes de linéarisation

Le travail de thèse s'effectue autour des méthodes de linéarisation. En effet, avant d'améliorer le rendement dans les zones de puissance faible à modérée, il est nécessaire d'avoir des performances en linéarité suffisantes. Les méthodes de linéarisation conventionnelles seront présentées ici dans la section 1.3.2.1. Les autres méthodes de linéarisation, agissent au niveau du circuit et seront présentées dans la section 1.3.2.2. De très nombreuses méthodes sont proposées dans la littérature. Seules les plus simples à mettre en oeuvre et les plus efficaces connues seront décrites dans ce qui suit.

1.3.2.1 Méthodes niveau système

Feedback cartésien (CFB)

Plusieurs formes de feedback comme méthodes de linéarisation ont été proposées dans la littérature [24]. Le CFB semble être le plus adapté de part sa simplicité d'implémentation et ses résultats. Cette méthode de linéarisation effectue une contre-réaction des symboles I et Q entre la sortie et l'entrée. Le schéma de principe du CFB est représenté sur la figure 1.16.

En boucle ouverte, le système comprend un filtre de mise en forme (représenté par la fonction de transfert $H(s)$), un modulateur I/Q et le PA. Afin de réaliser la boucle de rétro-action, une partie du signal de sortie du PA est prélevée avec un coupleur directionnel. Le signal attaque alors les mélangeurs d'un démodulateur I/Q. Les signaux sont alors amplifiés jusqu'au niveau nécessaire pour la comparaison avec les signaux originaux I_d et Q_d .

Pour assurer le fonctionnement du CFB il est nécessaire de prendre en compte le déphasage introduit par le PA afin de synchroniser le modulateur et le démodulateur. Les contraintes sur la boucle de rétro-action sont la largeur de la bande passante nécessaire et le gain afin d'assurer la stabilité du système [19]. La linéarité des mélangeurs du démodulateur limite le niveau de correction possible du CFB.

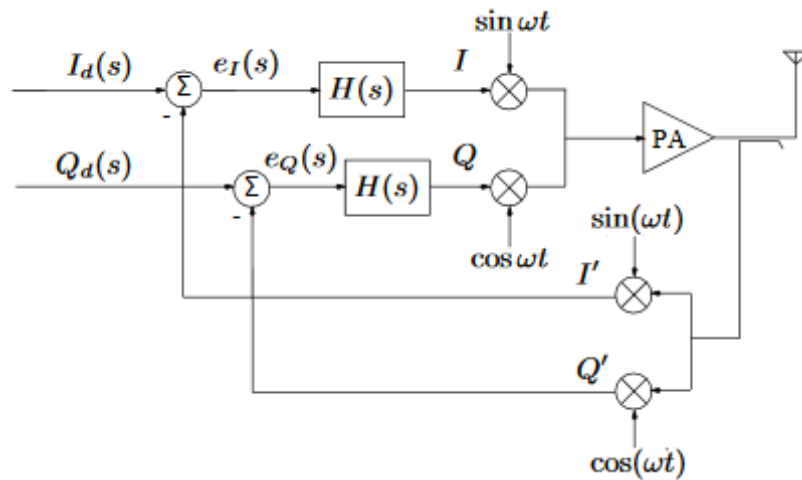


Figure 1.16 – Schéma du système de contre-réaction cartésienne [25]

Cette technique de linéarisation permet de compenser les variations de process, la température et le vieillissement de part la nature même de la contre-réaction [25]. Les deux boucles opèrent dans la bande de base ce qui facilite la conception vis-à-vis des autres systèmes de linéarisation. L'utilisation du même oscillateur local rend les processus de modulation et de démodulation cohérents. Enfin, la symétrie des deux boucles permet d'éliminer les retards pouvant être rencontrés dans d'autres systèmes entre les voies de phase et d'amplitude.

Cette méthode de linéarisation est cependant difficilement intégrable dans un PA étant donné que son architecture consiste en un émetteur complet.

Feedforward

La technique de feedforward consiste à annuler les produits d'intermodulation en sortie d'un PA [26]. Contrairement au feedback, le traitement se fait à la sortie de l'amplificateur d'où son nom. Le schéma de principe de cette méthode est représenté sur la figure 1.17.

Le système est composé de deux voies distinctes. La première contient l'amplificateur principal (MA). La seconde voie permet de générer des produits d'intermodulation identiques à ceux générés sur la voie principale afin de les annuler en sortie. Pour cela, une partie du signal d'entrée retardé est comparé avec un échantillon prélevé à la sortie du MA afin d'en extraire les produits d'intermodulation. Le signal résultant de la soustraction est alors amplifié par un amplificateur d'erreur (EA) et est soustrait à la sortie. En théorie, cette méthode permet de supprimer tous les produits d'intermodulation.

Dans le cadre d'une implémentation réelle, la soustraction nécessite une gestion parfaite de la phase et de l'amplitude des signaux en sortie de l'EA [24]. Le second

1.3 Amélioration des performances électriques

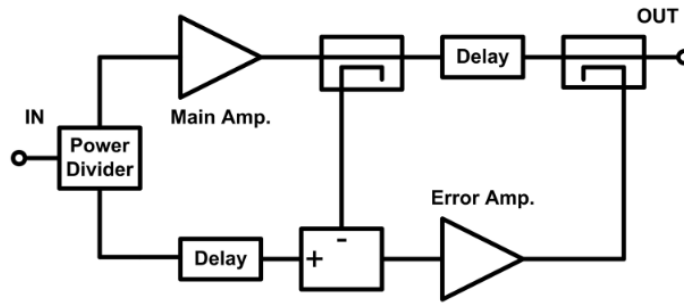


Figure 1.17 – Schéma système du feedforward [26]

problème est l'utilisation d'un amplificateur supplémentaire qui signifie une dégradation de la PAE du système. Les coupleurs introduisent également des pertes faisant chuter la puissance de sortie, le gain et la PAE .

Pré-distorsion (PD)

Le principe de la PD réside dans l'utilisation d'un bloc en amont du PA appelé pré-distorreur présentant les caractéristiques de distorsion inverses au PA. Théoriquement, lorsque les deux blocs sont mis en cascade, l'ensemble présente une fonction de transfert parfaitement linéaire. Le synoptique de la prédistorsion est représenté sur la figure 1.18.

Le pré-distorreur peut être de nature analogique [27] ou numérique [28] et la PD peut-être réalisée dans le domaine RF [29] ou en bande de base [30]. Un PA peut être soumis à ce que l'on appelle des effets mémoires. Ils rendent les réponses du circuit dépendantes de ses états précédents et sont principalement causés par le stockage d'énergie dans le PA ou dans le circuit de polarisation et par l'échauffement du composant.

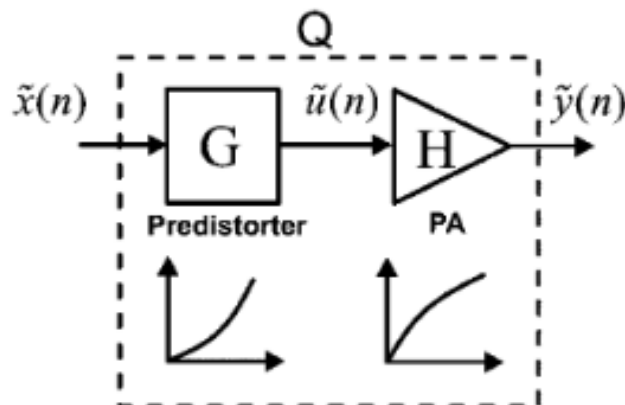


Figure 1.18 – Synoptique d'un PA avec un bloc de pré-distorsion

Dans le cas d'un PA sans effets mémoires, ses caractéristiques non-linéaires sont

entièrement définies par ses courbes d'AM/AM et d'AM/PM [31]. Il est possible de créer un prédistordeur possédant "parfaitement" ses caractéristiques inverses.

Dans le cas d'un PA avec effets mémoires, ses caractéristiques non-linéaires évoluent régulièrement et le bloc de prédistorsion n'est plus suffisant pour les compenser. Il est nécessaire de mettre à jour les caractéristiques du pré-distordeur. Pour résoudre ce problème, des méthodes de PD adaptative (APD) sont employées. Elles consistent à réaliser un feedback pour estimer les caractéristiques non-linéaires du PA et ajuster régulièrement les paramètres du pré-distordeur.

1.3.2.2 Méthodes niveau Circuit

Polarisation adaptative

La polarisation adaptative est une méthode de linéarisation consistant à faire varier la classe de fonctionnement de l'amplificateur de puissance en fonction de sa puissance d'entrée P_{IN} . Contrairement à l'ET faisant varier la tension de drain, la polarisation adaptative fait varier la tension de grille. Ainsi, l'amplificateur est polarisé en classe AB-profonde à faible niveau de puissance d'entrée, puis, pour des puissances croissantes, la classe de fonctionnement évolue graduellement vers un fonctionnement en classe A.

Il est nécessaire d'utiliser un modulateur afin que la polarisation de grille suive la valeur moyenne de la puissance d'entrée P_{IN} . Les contraintes de conception sont ainsi relâchées par rapport à l'ET et à l'EER étant donné que le modulateur ne reproduit pas ou ne suit pas l'enveloppe. Néanmoins, le choix du changement de polarisation doit être fait de telle manière que la courbe d'AM/AM résultante présente le moins de discontinuité, d'expansion ou de compression possible afin de conserver un comportement linéaire.

Multiple Gated TRansistors (MGTR)

Cette méthode consiste à linéariser la transconductance (g_m) du transistor autour de son point de polarisation. Nous considérons le schéma petit signal équivalent d'un FET en zone saturée représenté sur la figure 1.19.

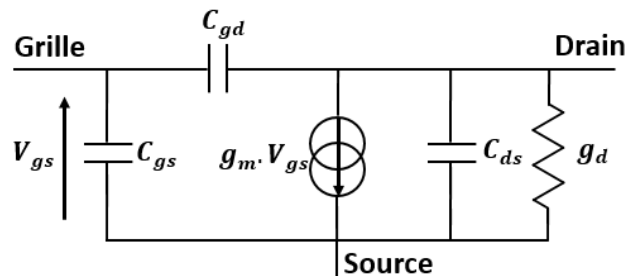


Figure 1.19 – Schéma électrique équivalent petit signal simplifié d'un transistor MOS 3-ports en régime saturé

1.3 Amélioration des performances électriques

En petit signal, le courant I_d généré par la source de courant $g_m \cdot V_{gs}$ peut être exprimé par une série de Taylor (voir équation 1.8).

$$I_d = g_{m1} \cdot V_{gs} + \frac{1}{2} \cdot g_{m2} \cdot V_{gs}^2 + \frac{1}{6} \cdot g_{m3} \cdot V_{gs}^3 \quad (1.8)$$

Pour un signal d'entrée bi-porteuse $V_{gs} = A \cdot [\cos(\omega_1 \cdot t) + \cos(\omega_2 \cdot t)]$ avec $\omega_2 - \omega_1 \ll \omega_2$, les produits d'intermodulation d'ordre 3 du courant I_d sont générés uniquement par la non-linéarité d'ordre 3 (g_{m3}) et valent :

$$I_d(2\omega_1 - \omega_2) = I_d(2\omega_2 - \omega_1) = \frac{1}{8} \cdot g_{m3} \cdot A^3 \quad (1.9)$$

Le profil de g_{m3} en fonction de V_{gs} pour un transistor CMOS Si est représenté sur la figure 1.20(a) en rouge. Il possède deux calottes dont une positive et une négative. Le principe du MGTR est de mettre en parallèle deux transistors avec des polarisations différentes afin que la calotte positive du premier (MA : amplificateur principal) soit compensée par la calotte négative du second (AA : amplificateur auxiliaire). Le profil du g_{m3} du second transistor est représenté en bleu sur la figure 1.20(a). Le g_{m3} résultant de leur mise en parallèle est représenté sur la figure 1.20(b).

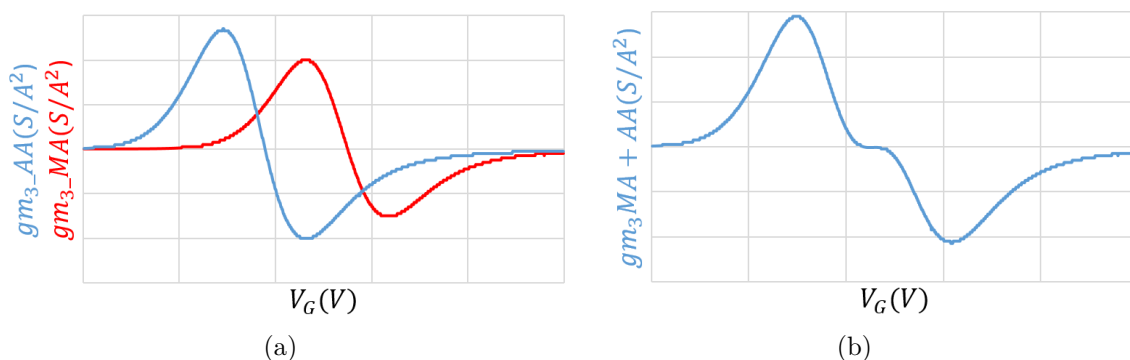


Figure 1.20 – Profil du (a) g_{m3} d'un premier transistor FET (rouge) et g_{m3} d'un second avec une tension de polarisation d'offset (bleu) et (b) g_{m3} résultant de leur mise en parallèle

Il est important de noter que, le niveau des deux calottes étant différent, la taille des transistors est nécessairement différente et doit être prévisible par simulation. Cette technique nécessite donc un modèle fiable reproduisant la troisième dérivée partielle de I_d par rapport à V_{gs} . Il faut également noter que, la plage de P_{IN} pour laquelle cette méthode annule le paramètre g_{m3} dépend du nombre d'étages mis en parallèle.

Compensation de la capacité d'entrée

La capacité d'entrée C_{gs} des FET est fortement non-linéaire lorsque le transistor transite autour du seuil de conduction. Cette variation est particulièrement forte en classe AB car la non-linéarité est localisée près du point de polarisation. En considérant un transistor NMOS unilatéral ($C_{gd} = 0$) l'impédance d'entrée du circuit

est : $Z_{in} = R_g + \frac{1}{jC_{gs}\omega}$ (voir figure 1.21). La tension de commande V_{gs} est liée à la tension de la source V_{in} par l'expression :

$$V_{gs} = V_{in} \frac{Z_{in}}{Z_{in} + Z_s} \quad (1.10)$$

avec Z_s l'impédance présentée par la source de tension.

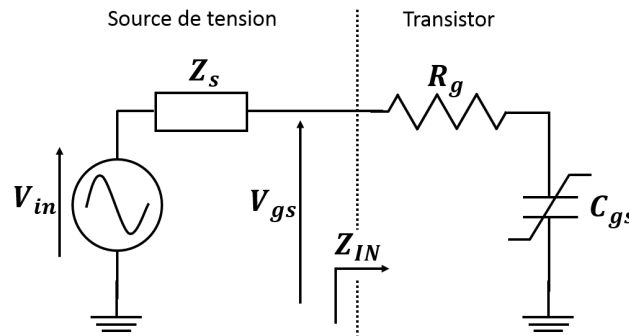


Figure 1.21 – Schéma électrique équivalent utilisé pour la détermination de l'impédance d'entrée du transistor

L'amplitude et la phase de la tension de commande V_{gs} du transistor sont donc des versions non-linéaires de celles de la tension d'entrée V_{in} [32]. La méthode de compensation de la capacité d'entrée consiste à placer un dispositif présentant une variation de capacité complémentaire en parallèle sur l'entrée de l'étage de puissance afin que la capacité totale d'entrée soit constante. Ainsi les non-linéarités dues à la variation d'impédance d'entrée sont réduites. La désadaptation d'impédance en entrée rencontrée pour les fortes puissances est tenue pour responsable dans la génération d'AM/PM [33]. Cette méthode permet donc de pallier à cette problématique. Cependant, la linéarisation du dispositif entraîne une augmentation de la capacité d'entrée du transistor[32] et par conséquent une réduction de la fréquence de coupure du circuit total.

Les deux méthodes présentées dans la littérature [32] [34] utilisent soit un nMOS ou un pMOS pour réaliser la capacité complémentaire. Les schémas électriques pour ces deux circuits sont représentés respectivement sur les figures 1.22(a) et 1.22(b). L'allure des différentes capacités dans le cas présenté sur la figure 1.22(b) est présentée sur la figure 1.22(c). La capacité résultante de leur mise en parallèle (vert) est quasiment constante.

Contre-réaction harmonique et injection d'enveloppe

Ces deux méthodes fonctionnent de manière analogue mais sont implémentées différemment. Le principe est d'ajouter au signal d'entrée une composante supplémentaire, afin que, de nouveaux produits d'intermodulation soient générés par les

1.3 Amélioration des performances électriques

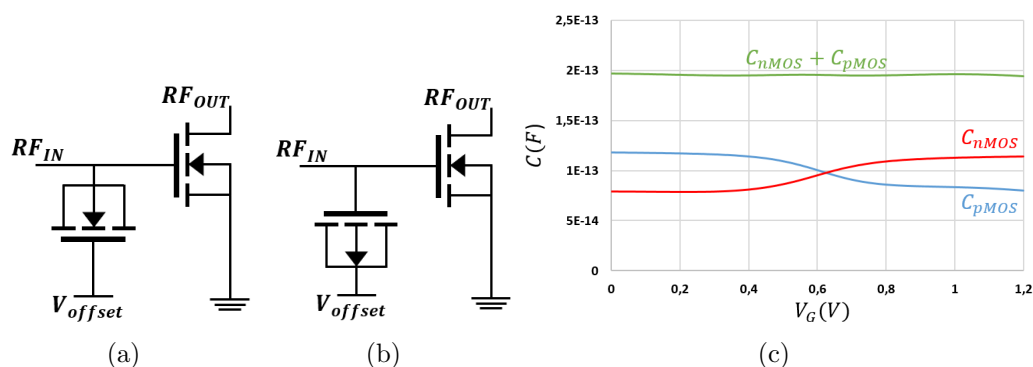


Figure 1.22 – Compensation de la capacité d’entrée : (a) schéma électrique avec un nMOS en parallèle (b) schéma électrique avec un pMOS en parallèle (c) compensation de la capacité d’un nMOS (rouge) par un pMOS (bleu) et la capacité résultante de leur mise en parallèle (vert)

non-linéarités et annulent les produits d’intermodulation d’ordre 3.

Le schéma de principe de la technique d’injection d’enveloppe est représenté sur la figure 1.23. La composante supplémentaire est une image de l’enveloppe du signal d’entrée[35] injectée par un circuit de traitement qui fixe la valeur de la phase et l’amplitude afin de réduire les produits d’intermodulation.

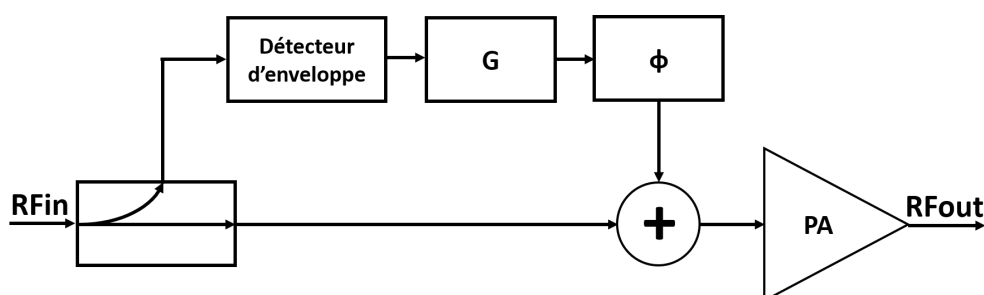


Figure 1.23 – Schéma de principe de l’injection d’enveloppe

Le schéma de principe de la contre-réaction harmonique est représenté sur la figure 1.24. Le signal fourni par contre-réaction est une image du second harmonique de la sortie[36]. De cette manière, par combinaison des deux fréquences à l’entrée, les produits d’intermodulation sont réduits.

1.3.3 Tableau comparatif des techniques de linéarisation niveau circuit

* Valeurs interpolées **Valeurs prises en un point de puissance

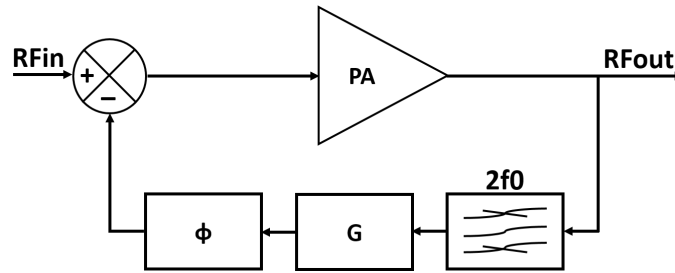


Figure 1.24 – Schéma de principe de la contre-réaction harmonique

	Méthode de linéarisation	Signal	Amélioration ACLR(dBc)	Amélioration C/I ₃ (dBc)
[36], 1999	Contre-réaction harmonique	QPSK(4MHz)	7	-
[37], 2015	Contre-réaction harmonique	W-CDMA	10	-
[38], 2005	Injection d'enveloppe	W-CDMA	6**	-
[39], 2004	Compensation de la capacité (CC)	W-CDMA	10*,**	-
[40], 2000	MGTR	bi-porteuse	-	6
[41], 2007	MGTR & CC	bi-porteuse	-	10

Table 1.2 – Tableau récapitulatif des améliorations apportées par les méthodes de linéarisation

Le tableau 1.2 contient les résultats de circuits issus d'article proposant une étude sur la linéarité pour chacune des méthodes de linéarisation présentées. L'ensemble des méthodes apporte des améliorations sur toutes les gammes de puissance d'entrée sauf la méthode MGTR qui ne linéarise qu'en régime de faible puissance.

Parmi ces méthodes, les plus attrayantes sont : la contre-réaction harmonique et la compensation de la capacité d'entrée de part leur degré de complexité, leurs performances et leur plage de correction. Les performances de linéarisation sont comprises entre 6dB d'amélioration du C/I₃ pour le MGTR jusqu'à 10dB d'amélioration de l'ACLR pour la compensation de la capacité associée au MGTR et pour la contre-réaction harmonique.

1.4 Cahier des charges

Les caractéristiques attendues de l'amplificateur de puissance sont basées sur la norme définie par l'organisme 3GPP. Des marges supplémentaires sont retenues afin de prendre en compte les éventuels composants entre l'antenne et le PA dans la chaîne d'émission (switch d'antenne, filtres ...). Notamment en terme d'ACLR où la norme spécifie $-33dBc$ à l'antenne. Le niveau retenu pour l'étude sera de $-40dBc$ d'ACLR à la sortie du PA. La fréquence de fonctionnement est fixée à 1.9GHz. Les principales figures de mérite retenues pour la conception sont la P_{OUT} , le G_P et la PAE pour un niveau d'ACLR donné. Les spécifications (données à un niveau de $-40dBc$ d'ACLR) retenues sont présentées dans le tableau 1.3. Le PA doit présenter ces spécifications tout en conservant un niveau d'ACLR inférieur à $-40dBc$ pour les P_{OUT} inférieures.

1.5 Etat de l'art des amplificateurs de puissance pour applications mobiles 3G

$P_{out}(dBm)$	$PAE(\%)$	$G_P(dB)$
28.5	38	29

Table 1.3 – Spécifications électriques du PA données à $-40dBc$ d'ACLR

Le PA est basé sur la cellule MASMOS (voir Fig.1.25). Il est composé d'un transistor MOS monté en source commune et d'un FET (Field Effect Transistor) monté en grille commune formant une structure cascode. Ses caractéristiques physiques et électriques seront présentées dans le chapitre suivant plus en détail. Les circuits sont réalisés en technologie Si CMOS 180nm thin oxyde.

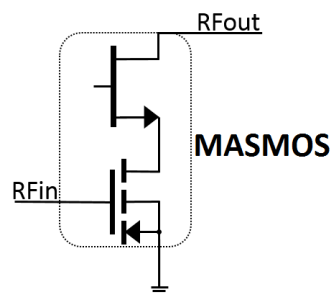


Figure 1.25 – Schéma électrique du MASMOS

En plus des contraintes liées à la technologie, plusieurs caractéristiques de l'amplificateur ont été fixées au départ :

- La tension d'alimentation V_{bat} vaut 3.4V (tension typique de la batterie d'un téléphone portable)
- Les puces sont en technologie flip-chip
- L'amplificateur de puissance doit être un module autonome avec pour seules entrées le signal RF et l'alimentation

1.5 Etat de l'art des amplificateurs de puissance pour applications mobiles 3G

Le tableau 1.4 contient les meilleures réalisations publiées à ce jour de PA en CMOS pour les applications mobiles de type 3G. Deux publications dans d'autres technologies sont ajoutées pour permettre une comparaison plus large. Il est à noter que les circuits présentés n'utilisent pas nécessairement les méthodes présentées.

Le signal utilisé pour leur caractérisation est le W-CDMA rel99. Les fréquences de fonctionnement et les tensions d'alimentation sont suffisamment proches pour permettre une comparaison de leurs performances. La seule différence notable pour certaines des réalisations est l'absence d'un étage driver, ce qui rend la comparaison des performances harsardeuse. La plupart des méthodes d'amélioration de performances de la section 1.3 sont représentées ici bien que certaines ont été plus

largement étudiées pour des applications dans les stations de base ou encore avec des signaux définis pour la LTE.

	Technologie	Freq (GHz)	V_{lim} (V)	PAE (%)	P_{out} (dBm)	G_p (dB)	ACLR (dBc)	Technique d'amélioration
[42]2014	AlGaAs/InGaAs pHEMT InGaP/GaAs HBT	1.85	3.5	44.5	27.5	27.7	-37	DPA
[14]2011	InGaP/GaAs HBT	1.85	4.5	36.3	27.5	> 28	-32	DPA
[43]2010	0.18µm CMOS	1.95	3.4	40	23.5	26*	-33	Polarisation adaptative
[31]2012	0.18µm CMOS	1.95	3.5	39.4	29.1	23.2~32.2*	-36	PD
[44]2014	0.11µm CMOS	0.9	2.5	34	27.5	34*	-33	Bias network improvement
[39]2004	0.5µm CMOS	1.75	3.3	29	24	23.9	-35	CC
[35]2012	0.18µm CMOS	1.85	3.5	45.8	27.8	15.8	-33	Polarisation adaptative
[45]2017	0.18µm CMOS	1.85	3.4	24	25.8	24.8	-39	MGTR &Anti-phase
[46]2011	65nm CMOS	1.8	3.4	48	27.9	—	-33	DPD
[47]2015	0.13µm CMOS	1.85	2.8	29.3	27.5	—	-39.8	DPD
[48]2014	90nm CMOS	1.95	3.7	39.2	28	30.5	-41.1	EE&R

Table 1.4 – Tableau récapitulatif des meilleurs PA de la littérature pour application mobiles 3G

Dans [42] et [14], les PA ne sont pas réalisés en technologie CMOS. Les performances présentées sont largement au-dessus en terme de PAE par rapport au reste du tableau. Il est également à noter que les performances sont données pour un niveau d'ACLR alors que les PA ont une architecture doherty qui est par nature non-optimisée en un point de puissance. Les technologies III-V démontrent des performances largement suffisantes pour l'application.

Le reste du tableau comporte uniquement des PA réalisés en technologie CMOS. Les articles présentant les résultats les plus proches de notre cahier des charges sont [31], [35], [48] et [46]. Les meilleurs résultats en terme de PAE sont obtenus dans [35] et [46], cependant, les résultats sont obtenus pour des amplificateurs sans driver (supposé pour [46]). La meilleure puissance "linéaire" est présentée dans [31]. Enfin dans [48], le niveau d'ACLR est bien plus élevé que dans les autres publications et le niveau de PAE à -33dBc est donc comparable voire plus élevé.

Conclusion et positionnement

Dans une première partie, le cadre globale de l'étude a été présenté en commençant par l'architecture du réseau UMTS, puis, l'architecture de la chaîne d'émission dans les UE et enfin, le signal W-CDMA.

Ensuite, dans un second temps, les notions fondamentales du PA ont été décrites. Le choix des différentes performances a été explicité à propos de leur cohérence vis-à-vis de l'étude. Parmi les différentes métriques utilisées pour l'étude des

1.5 Etat de l'art des amplificateurs de puissance pour applications mobiles 3G

PA, l'ACLR a été retenu car il est utilisé dans la norme définie par 3GPP.

Les principales méthodes d'amélioration des performances des PA ont été présentées. Dans la littérature, elles sont classées en deux catégories selon la correction qu'elles apportent. Les méthodes d'amélioration du rendement sont principalement utilisées dans les PA des stations de base qui sont moins contraintes en terme de taille. Les méthodes de linéarisation niveau système sont les plus efficaces de part leurs résultats et leur plage de fonctionnement en puissance. Leurs implémentations résident dans des systèmes complexes freinant une possible réalisation au sein d'une seule puce avec le PA. Le choix de la méthode de linéarisation a été réalisé selon les contraintes liées au projet et par rapport aux résultats présentés dans la littérature.

Puis, le cahier des charges présenté contient les différentes contraintes d'implémentation ainsi que les spécifications électriques du composant. Le travail est basé sur une structure exclusive à la société ACCO. Enfin, les résultats des meilleures réalisations présentes dans la littérature ont démontré que des résultats équivalents à notre cahier des charges sont possibles en technologie CMOS dans le cadre de communications mobiles 3G.

Il est nécessaire de mettre en perspective les résultats de la littérature avec notre cahier des charges. Les rendements présentés ne prennent généralement pas en compte la consommation des parties digitales ou analogiques nécessaires à la linéarisation. Les résultats en terme de rendement peuvent donc être biaisés. Nos contraintes d'ACLR correspondent à des spécifications données en sortie du module PA. Les résultats de la littérature sont généralement présentés à -33dBc. En appliquant notre marge, les performances en P_{OUT} et en PAE s'en trouvent réduites. Enfin, le noeud technologique (CMOS 180nm) à notre disposition, est plus long que les meilleurs résultats de la littérature. Tous les points abordés montrent la difficulté que représente la conception du PA suivant notre cahier des charges.

Notre objectif est l'amélioration des performances intrinsèques de l'amplificateur à travers une ou plusieurs méthodes de linéarisation. Parmi nos spécifications, le PA doit être un module autonome ne prenant en entrée que le signal RF à amplifier et l'alimentation. Pour remplir l'objectif, nous souhaitons tirer le maximum de l'amplificateur en terme de performances avant d'appliquer des méthodes au niveau système nécessitant d'ajouter des blocs complexes autour de l'amplificateur de puissance. Nous avons donc choisi des méthodes au niveau circuit ayant un faible degré de complexité et une facilité relative de mise en oeuvre. Néanmoins, nous avons présenté les principales méthodes d'amélioration du rendement et de linéarisation présentes dans la littérature qui pourront être utilisées ultérieurement afin d'obtenir de meilleurs résultats.

Au niveau du dispositif, la topologie de la cellule amplificatrice utilisée pour le travail de thèse donne des degrés de liberté supplémentaires pour l'implémentation

de ces méthodes par rapport à un transistor seul. En effet, la topologie type cascode utilisée donne accès à un noeud supplémentaire situé entre le drain du transistor MOS et la source du JFET. Fort de ce constat, nous avons décidé de mettre en oeuvre la méthode de feedback harmonique ainsi qu'une méthode originale à base de filtrage harmonique au noeud commun. Ces deux méthodes et leur modalité de mise en oeuvre seront présentés dans le chapitre 4.

Le chapitre suivant présente les différents aspects technologiques liés à la conception de PA dans notre cas.

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

Ce chapitre présente les différents aspects de la technologie, le principe de fonctionnement des composants utilisés ainsi que les principaux paramètres de conception et leurs impacts. Enfin, les bancs de caractérisation sont présentés en détail.

2.1 Technologie CMOS Si 180nm oxyde fin RF

2.1.1 Rappel sur le fonctionnement des transistors à effet de champ

Le FET est un dispositif semi-conducteur permettant de réguler le niveau de courant le traversant par l'application d'un champ électrique. Ce composant possède quatre ports : le drain, la grille, la source et le substrat. Nous prenons à titre d'exemple, pour l'explication du fonctionnement des FET, le MOS canal N utilisé dans le MASMOS. La vue en coupe du transistor est représentée sur la figure 2.1.

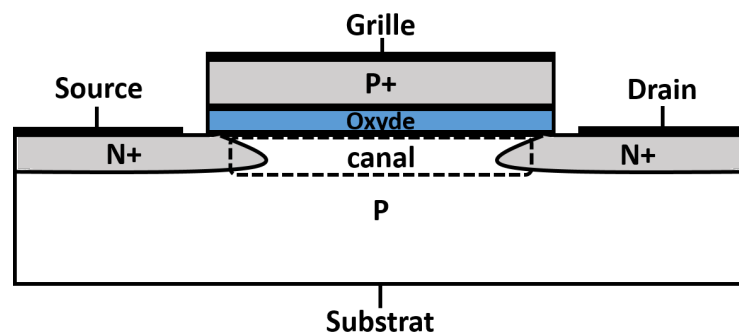


Figure 2.1 – Vue en coupe d'un transistor nMOS

2.1 Technologie CMOS Si 180nm oxyde fin RF

La source et le drain sont fortement dopés en atomes donneurs (N) et la grille est fortement dopée en atomes accepteurs (P) afin de créer des contacts ohmiques. Le substrat est, quant à lui, légèrement dopé P pour augmenter sa résistivité. La jonction grille-substrat est une capacité réalisée à partir d'une couche d'oxyde. Nous considérons que le substrat est connecté au plus faible potentiel du circuit, c'est-à-dire, à la source dans le cas d'un montage en source commune.

Le principe de fonctionnement du MOS est basé sur l'inversion des porteurs majoritaires dans le canal [49]. Le substrat étant dopé P, en l'absence d'actions extérieures ($V_{gs} = 0V$ et $V_{ds} = 0V$), les porteurs majoritaires dans le canal sont les trous (charges positives). Lorsqu'une tension V_{gs} positive est appliquée, une accumulation de trous au niveau de la grille apparaît et induit une accumulation de charges négatives (électrons) dans le substrat, sous le contact de grille. Lorsque V_{gs} atteint le seuil de conduction (V_{th}), l'accumulation d'électrons forme un canal conducteur. Dans ces conditions, en appliquant une tension V_{ds} positive, un courant d'électrons s'instaure dans le canal partant de la source vers le drain.

Les réseaux statiques $I_d = f(V_{ds})$ et $I_d = f(V_{gs})$ d'un transistor nMOS sont représentés sur la figure 2.2(a) et 2.2(b) respectivement.

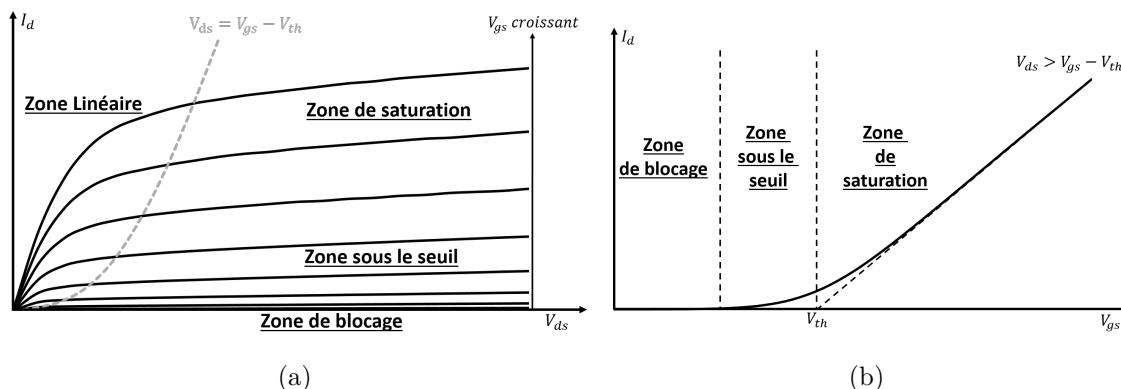


Figure 2.2 – Réseaux statiques du transistor nMOS : (a) $I_d = f(V_{ds})$ et (b) $I_d = f(V_{gs})$

Il est possible de définir quatre zones de fonctionnement pour les FET :

- Zone linéaire : le transistor se comporte comme une résistance en fonction de la tension V_{ds} . Cette zone est la première source de non-linéarité des MOS. Elle est délimitée par la caractéristique d'équation $V_{ds} = V_{gs} - V_{th}$ où le canal est pincé au niveau du drain. Dans ce régime de fonctionnement, le transistor n'a aucun intérêt pour l'amplification.
- Zone de saturation : le transistor fonctionne en régime de forte inversion. Le canal est pincé au niveau du drain et quelle que soit la valeur de V_{ds} le courant traversant le dispositif reste constant. Dans cet état, le transistor est une source de courant linéaire commandée par la tension V_{gs} . C'est la zone principalement utilisée pour l'amplification de signaux linéaires.

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

- Zone sous le seuil : le transistor fonctionne en régime de moyenne inversion. Pour une tension V_{ds} fixée, le courant I_d est une fonction exponentielle de la tension V_{gs} . Le transistor est polarisé dans cette zone pour les applications nécessitant une faible consommation au repos.
- Zone de blocage : le transistor est en régime de faible inversion et aucun courant ne peut circuler quelle que soit V_{ds} . Cette zone est la seconde source de non-linéarité des MOS. En effet, lorsque la tension de commande V_{gs} devient faible ou négative, la dynamique du courant est limitée par le seuil de conduction et le courant est écrêté. Cette zone n'a pour seul intérêt que sa consommation nulle au repos.

2.1.2 Description de l'empilement et du design kit

La vue en coupe de l'empilement silicium est représentée sur la figure 2.3. Les interconnexions sont réalisées à partir de 4 couches de métaux (M1, Mx1, Mx2 et UTM). La dernière est une couche épaisse (Ultra Thick Metal) utilisée pour les interconnexions longue distance. Les entrées/sorties des puces sont réalisées en technologie flip-chip. Les connexions sont réalisées à partir de bumps présentant de faibles inductances et résistances d'accès.

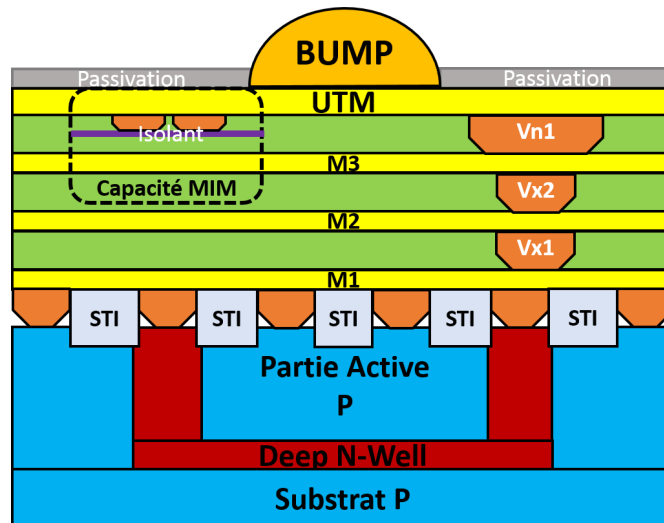


Figure 2.3 – Vue en coupe de l'empilement

Le process propose l'option de triple-well qui consiste à alterner des couches dopées N et P entre les composants et le substrat. De cette manière, les différentes couches sont équivalentes à des diodes tête-bêche. En les polarisant en inverse, les composants sont enfermés dans des caissons étanches et sont ainsi isolés à la fois entre eux et à la fois du substrat. Leurs polarisations sont impératives pour ne pas introduire de transistors bipolaires parasites. L'option de tranchée isolante large (STI) est également utilisée. Elle consiste à placer de l'isolant entre les contacts du

2.1 Technologie CMOS Si 180nm oxyde fin RF

M1 au niveau des parties actives. De cette manière, l'espacement entre ceux-ci peut être réduit.

Les éléments du design kit principalement utilisés pour la conception sont les capacités MIM (Metal Insulator Metal), les transistors MOS canal N avec oxyde fin et les résistances en poly dopé P+. Les caractéristiques de ces composants sont regroupées dans le tableau 2.1.

Composants	$V_{th}(V)$	$I_{on}(A/cm^2)$	$V_{DSmax}(V)$	$F_t/F_{max}(GHz)$ @ $V_{DS} = 2.1V$ & $V_{GS} = 0.5V$
NMOS	0.475	5.5	3	22/34
	Composants	$R_{sq}(\Omega/sq)$	$C_{sur}(fF/\mu m^2)$	
	Rés. Poly P+	320	-	
	Cap. MIM	-	2	

Table 2.1 – Caractéristiques des éléments du design kit

Les fréquences de coupure F_t (gain en courant = 1) et F_{max} (gain en puissance maximum disponible = 1) du transistor MOS sont suffisamment élevées pour procurer suffisamment de gain à 1.9GHz. La densité de courant est également très élevée et permet un fort niveau d'intégration. Seule la tension de claquage est bloquante pour la conception d'amplificateurs de puissance.

2.1.3 Mécanismes de défaillance

Le principal problème des transistors MOS est leur faible tenue en tension. Avec la tendance à miniaturiser, les niveaux de tensions supportés par les transistors diminuent ($\sim 3V$). Des valeurs V_{ds} peuvent entraîner un vieillissement accéléré du dispositif, ou pire, causer sa destruction. Les principaux mécanismes sont les suivants :

- **Rupture de jonction (Junction breakdown)** : Deux jonctions sont formées entre drain-substrat et entre source-substrat. Lorsque ces diodes sont polarisées suffisamment en inverse, elles entrent en avalanche, entraînant d'importants courants même si le composant est bloqué.
- **Avalanche** : lorsque le champ électrique entre drain et source est suffisamment élevé, les électrons atteignent leur vitesse de saturation. Pour des valeurs de champ plus élevées, les électrons continuent à acquérir de l'énergie. Ils peuvent alors entrer en collision avec les atomes de Si et créer une paire électron-trou. C'est ce que l'on appelle l'ionisation par impact. Si le champ est suffisamment intense, cette nouvelle paire peut entrer en collision avec d'autres atomes pour créer de nouvelles paires entraînant ainsi une réaction en chaîne. Cet effet est appelé avalanche et est plus fréquent au niveau du drain où le champ est le plus fort dans la structure. Des courants supérieurs à ceux de la zone de saturation apparaissent alors au sein de la structure. Cet effet est destructif dans le cas où le composant subit des dégâts dus à

l'échauffement provoqué par ces courants. Le transistor ne doit jamais entrer dans la zone d'avalanche.

- **Rupture d'oxyde (Oxide Breakdown)** : ce phénomène correspond à la formation d'un court-circuit permanent à travers l'isolant entre la grille et le substrat. Il est le résultat de l'application d'un champ intense entre les deux électrodes. Les principales causes sont les décharges électrostatiques provoquées par la manipulation des puces. Des protections sont ajoutées sur les grilles des transistors pour éviter la rupture d'oxyde.

Les transistors en technologie CMOS sont sujets à de fortes variations de caractéristiques en fonction de la température [49]. En effet, lorsque la température augmente, la mobilité des porteurs au sein du matériau diminue et la valeur du seuil de conduction diminue. Ces variations se traduisent par une augmentation du courant dans les zones de faible et de moyenne inversion (dominé par la valeur du seuil) et par la diminution du courant dans la zone de forte inversion (dominé par la mobilité des porteurs). La gestion de la température se révèle donc être un point important à traiter notamment lors de la phase de layout.

2.2 La cellule MASMOS

La cellule MASMOS est composée d'un transistor nMOS monté en source commune et d'un JFET canal N (Junction Field Effect Transistor) monté en grille commune formant une structure cascode (voir figure 2.4).

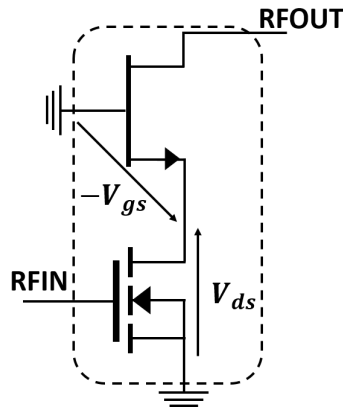


Figure 2.4 – Schéma électrique du MASMOS

Dans un fonctionnement normal de cascode, lorsque la tension V_{ds} aux bornes du transistor source commune augmente, le courant traversant les deux transistors diminue. Lorsque les deux transistors atteignent leur zone de blocage, le potentiel sur le noeud central atteint son maximum et correspond à la tension de pincement $-V_p$ du transistor monté en grille commune (au potentiel de grille près).

2.2 La cellule MASMOS

Dans le MASMOS, la grille du JFET est placée directement à la masse, et le noeud central n'est pas polarisé (noeud flottant) afin de permettre à la tension de commande V_{GS} du JFET d'être égale à la tension V_{DS} du transistor MOS. De cette manière, la tension de commande du JFET devient $-V_{DS}$, et le potentiel maximum appliqué au transistor MOS est $-V_p$. Ainsi, le MASMOS permet de limiter le potentiel appliqué au drain du MOS pour permettre au circuit de supporter des tensions plus importantes nécessaires à l'amplification de puissance.

Le second intérêt du MASMOS est l'utilisation en sortie du circuit d'un composant à jonction. La tension maximale du circuit est déterminée par le seuil de conduction en inverse de la diode formée par la grille et le drain du JFET. Les montages de type cascode bénéficient également d'une réduction de l'effet Miller améliorant leur stabilité.

2.2.1 Le JFET canal-N

Le JFET est réalisé en tirant parti du process de fabrication triple-well. La vue en coupe du JFET (sans métallisation) développé par ACCO est représentée sur la figure 2.5. Le JFET unitaire intrinsèque est entouré en rouge. Il est doté de deux grilles : une au-dessus du canal et l'autre en-dessous réalisée à partir de la couche P-well (utilisée pour les composants canal N comme les PMOS). Les deux grilles sont ensuite connectées ensemble afin d'avoir un contrôle conjoint du canal ce qui permet de réduire la tension V_p . Le JFET est alors enfermé dans un caisson triple-well ce qui induit deux diodes tête-bêche sur la grille.

Le JFET canal N est un composant "normally on", c'est à dire que contrairement au nMOS, le canal est conducteur pour $V_{gs} = 0V$. La tension de commande nécessaire pour pincer le canal est négative. Le fonctionnement du JFET est analogue à celui du MOS.

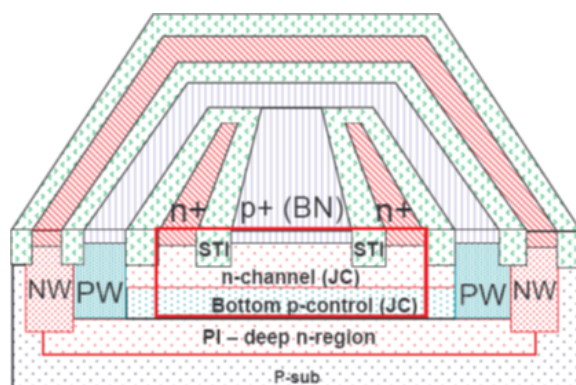


Figure 2.5 – Vue en coupe du JFET développé par ACCO

Les paramètres électriques du JFET qui doivent être pris en compte pour la réalisation et le dimensionnement sont :

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

- La tension de pincement (V_p) : fixée par le potentiel de drain maximal que l'on souhaite appliquer au transistor MOS
- La tension V_{gd} : déterminée par la tension maximale supportée par le MASMOS
- La résistance série en fonctionnement (R_{on}) : la plus faible possible afin de réduire les pertes
- La densité de courant (I_{on}) : suffisante pour ne pas introduire des non-linéarités supplémentaires

Les paramètres électriques du JFET sont répertoriés dans le tableau 2.2. La tension de pincement est choisie plus faible que la limite fixée par le MOS par mesure de sécurité vis-à-vis des variations de process et de la présence d'harmonique en régime large signal. La tension supportée par le JFET est quant à elle largement suffisante pour supporter les plus fortes dynamiques de sortie. Enfin, la densité de courant du JFET est plus faible d'un rapport 7 vis-à-vis du MOS. Il faudra donc avoir un JFET avec une largeur totale de grille plus grande que celle du MOS afin de ne pas introduire davantage de non-linéarités. Les fréquences de coupure F_t et F_{max} du transistor sont quant à elles très faibles et ne permettent a priori pas un gain suffisant à la fréquence de travail. Cependant, ces fréquences de coupure sont déterminées en montage source commune et le JFET est utilisé en grille commune. La fréquence de transition du MASMOS est quant à elle de $7GHz$ et permet d'avoir un rapport supérieur à 3 par rapport à la fréquence de travail voulue de $1.9GHz$.

$V_p(V)$	$I_{on}(A/cm^2)$	$R_{on}(\Omega.cm)$	$V_{Dmax}(V)$	$F_t/F_{max}(GHz)$ @ $V_{DS} = 1.3V \& V_{GS} = -2.1V$
-2.7	0.8	0.7	>10	1.5/6.6

Table 2.2 – Caractéristiques électriques du JFET

2.2.2 Modélisation électrique des transistors

La modélisation des différents transistors utilisés est un point essentiel pour la prédiction des résultats de mesure. Les modèles doivent être capable de reproduire le comportement des composants en régime continu, petit et grand signal. La caractéristique I-V du transistor doit être précise afin de permettre de restituer le contenu harmonique des différentes grandeurs mises en jeu en régime grand signal. Cette partie présente le modèle du MOS et du JFET ainsi que leur modèle équivalent en régime petit signal. La précision des modèles en régime grand signaux sera éprouvée lors des différentes corrélations entre mesures et simulations réalisées dans ce manuscrit.

2.2.2.1 Modèle du transistor MOS

Le modèle du MOS dont le schéma électrique équivalent est représenté sur la figure 2.6 est fourni avec le design kit par le fondeur. Le modèle est composé d'élé-

2.2 La cellule MASMOS

ments électriques extrinsèques et d'un BSIM3 pour représenter l'intrinsèque.

Modèle extrinsèque Les résistances R_d , R_g , R_s et R_b ainsi que les capacités C_{gs} , C_{gd} et C_{ds} modélisent les interconnexions au sein de la puce. Les diodes D_{sb} et D_{db} et les résistances R_{db} et R_{sb} modélisent les deux jonctions drain-substrat et source-substrat. Il est nécessaire d'adjoindre des diodes supplémentaires dans les éléments extrinsèques pour tenir compte des caissons triple-well autour du transistor.

Modèle intrinsèque Le modèle BSIM3 [50] représentant la partie intrinsèque du MOS est compact. Le courant de drain est défini par une seule équation décrivant sa dépendance aux tensions V_{gs} et V_{ds} . Ce modèle I-V unifié améliore à la fois la convergence et l'efficacité de la simulation en fournissant des équations (mobilité, densité de charge dans le canal, courant linéaire, courant saturé) continues entre les zones de fonctionnement. La modélisation des capacités est réalisée en utilisant un modèle de charge Q-V aux différents terminaux afin d'assurer la conservation de la charge au sein du composant. De cette manière, la continuité des différentes capacités est assurée entre les zones de fonctionnement et plus particulièrement autour de la tension de seuil V_{th} .

Le modèle permet de prédire le comportement du transistor en continu, petit et large signal avec des relations I-V et C-V continues entre les zones de fonctionnement du transistor. La méthodologie d'extraction des différents paramètres est décrite dans la manuel d'utilisation du modèle BSIM [50]. Il est également important de noter que le modèle prend en compte les variations dues à la température ainsi qu'au phénomène d'auto-échauffement en incluant des variations de certains paramètres (mobilité μ , tension de seuil V_{th} , tension de saturation V_{sat} ...).

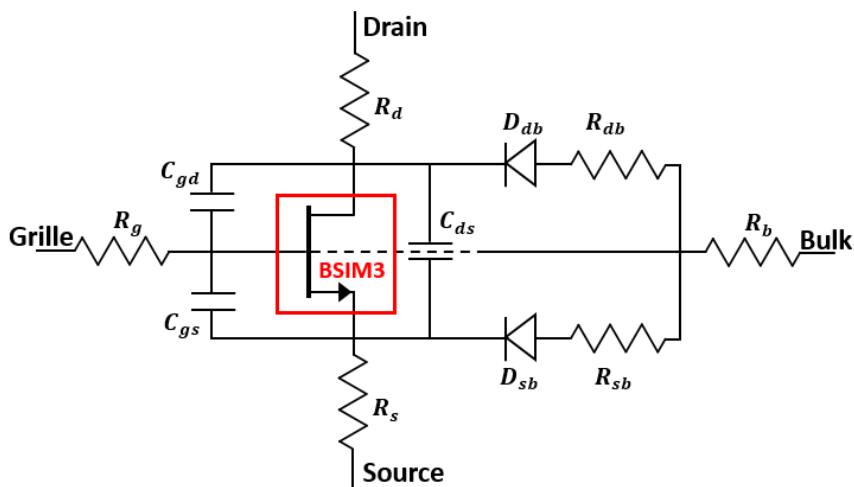


Figure 2.6 – Schéma électrique du modèle du MOS

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

Schéma électrique équivalent intrinsèque petit signal Nous avons développé un schéma électrique équivalent petit signal du BSIM3 valide pour la zone de saturation qui est basé sur [49]. Le schéma électrique de celui-ci est représenté sur la figure 2.7. L'extraction des différents éléments est réalisée en trois ports en connectant le substrat à la source. La méthodologie d'extraction des différents éléments du modèle est présentée dans l'annexe 1. Cette extraction permet d'avoir accès aux variations non-linéaires des capacités C_{gs} et C_{gd} ainsi que l'allure de la transconductance g_m en fonction des différents points de polarisation. Ce modèle a été validé en utilisant plusieurs points de polarisation situés dans la zone de saturation. L'extraction entre le modèle développé et le BSIM intrinsèque est très proche à 1.9GHz.

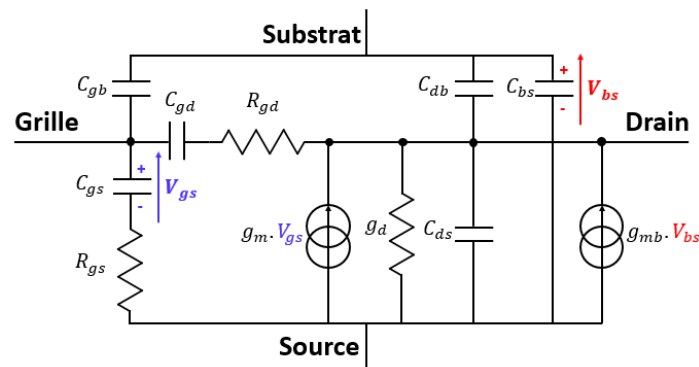


Figure 2.7 – Schéma électrique équivalent intrinsèque petit signal du MOS

2.2.2.2 Modèle du JFET

Le modèle du JFET est développé par l'équipe de modélisation d'ACCO. Le schéma électrique du modèle est représenté sur la figure 2.8. Le modèle est composé d'éléments extrinsèques et d'un modèle intrinsèque basé sur le modèle Angelov [51].

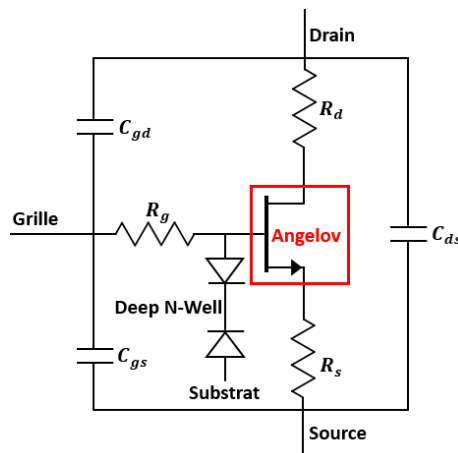


Figure 2.8 – Schéma électrique du modèle du JFET

2.3 Paramètres de conception

Modèle extrinsèque Les résistances et les capacités modélisent l'impact des interconnexions jusqu'au niveau de métallisation UTM. Il est donc nécessaire de le prendre en compte lors des simulations post-layout. Le triple-well dans lequel est réalisé le transistor est modélisé par des diodes connectées à la grille intrinsèque représentant les différentes interfaces.

Modèle intrinsèque Le modèle Angelov est phénoménologique. Il permet de modéliser le comportement du courant de drain et l'évolution des capacités dans tous les régimes de fonctionnement pour les FET. De la même manière que le BSIM, les équations utilisées sont compactes et permettent des simulations précises quant aux phénomènes non-linéaires. Le modèle permet de prendre en compte les variations de performance en fonction de la température ainsi que les règles de mise à l'échelle.

L'optimisation des différents paramètres utilisés dans le modèle a été faite par les ingénieurs modèles d'ACCO à partir de mesures sous pointes réalisées dans le plan du transistor (après de-embedding open short des accès) sur wafer. Lors de la rédaction de cette section, l'accès aux courbes validant le comportement non-linéaire entre modèle et mesures était impossible.

Schéma électrique équivalent intrinsèque petit signal Le schéma électrique équivalent intrinsèque petit signal du JFET est représenté sur la figure 2.9. La simplicité relative du modèle Angelov par rapport au BSIM permet d'obtenir un schéma équivalent très simple. L'extraction des différents composants est réalisée avec une simple procédure 2 ports placés sur la grille et le drain.

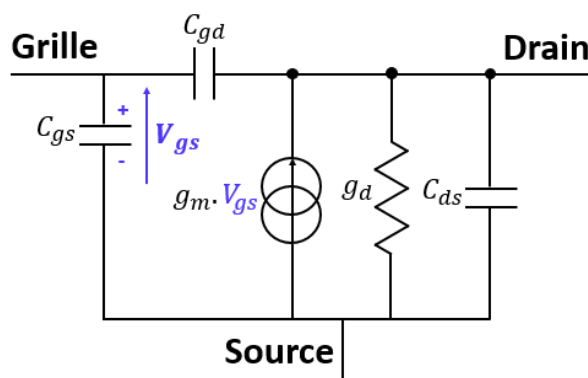


Figure 2.9 – Schéma électrique équivalent intrinsèque petit signal du JFET

2.3 Paramètres de conception

Après avoir présenté la cellule unitaire utilisée, il est nécessaire de s'intéresser aux différents paramètres entrant en jeu dans la conception d'un amplificateur de

puissance. Cette partie commence par un bref rappel sur les classes de fonctionnement définies entre autres par leurs impédances de charge et leur polarisation. Ensuite, l'impact sur les performances des différentes impédances de fermeture est présenté. Enfin, la méthodologie de dimensionnement est exposée.

2.3.1 Rappel sur les classes de fonctionnement

Les classes de fonctionnement des amplificateurs sont déterminées par les conditions de polarisation et de charge. Elles possèdent des propriétés particulières et sont des bases pour la conception selon les spécifications. Il existe deux catégories :

- les classes de fonctionnement linéaires
- les classes de fonctionnement à rendement élevé

L'étude des classes de fonctionnement utilise généralement le cycle de charge du transistor. C'est un outil graphique de choix puisqu'il est représentatif de la trajectoire du courant et des tensions du transistor sur les réseaux statiques $I_d = f(V_{GS})$ et $I_d = f(V_{DS})$.

2.3.1.1 Les classes de fonctionnement linéaires

La définition de ces classes nécessite plusieurs hypothèses :

- Le transistor est considéré comme une source de courant parfaite
- Le transistor n'entre pas dans la zone d'avalanche
- Seules les fortes non-linéarités (Bloquage du transistor et saturation du courant) sont considérées
- Le signal d'entrée est une sinusoïde
- Les charges présentées aux harmoniques sont des court-circuits parfaits

Cette dernière hypothèse implique que la tension V_{ds} est sinusoïdale. Le réseau statique obtenu à partir de ces hypothèses est représenté sur la figure 2.10. Le fonctionnement linéaire du transistor est ainsi délimité par : le courant I_{max} (courant de saturation du transistor), la tension V_{max} (limite de la zone d'avalanche), la tension V_k (limite de la zone linéaire du transistor) et par le courant $I_d = 0$ correspondant au bloquage du transistor. Pour déterminer les différentes classes de fonctionnement linéaires il est nécessaire d'introduire la notion d'angle de conduction. Ce paramètre traduit le rapport entre le temps de bloquage et de conduction du transistor sur une période et sera noté α . Un transistor conduisant en permanence aura un angle de conduction $\alpha = 2\pi$ et un transistor étant tout le temps bloqué aura un angle de conduction α nul.

Classe A

La classe A est définie pour être en permanence en conduction et possède ainsi un angle de conduction de 2π . L'objectif est d'obtenir les dynamiques en tension et en courant de sortie maximales pour le transistor en zone saturée. Ainsi, les limites non-linéaires fixées précédemment (voir 2.1) sont atteintes simultanément.

2.3 Paramètres de conception

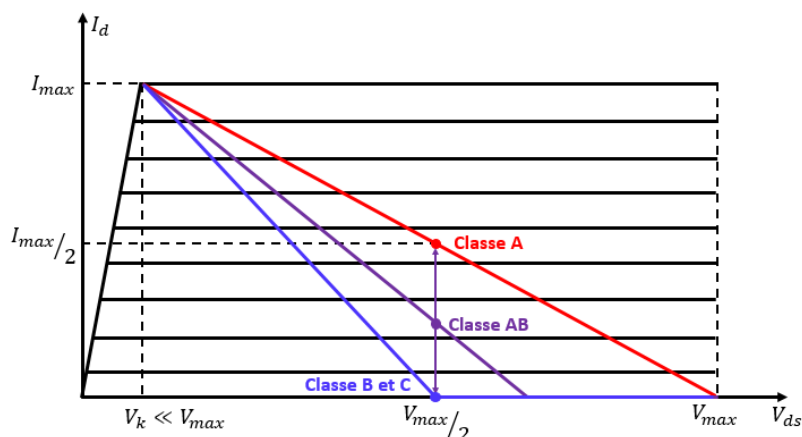


Figure 2.10 – Réseau statique parfait $I_d = f(V_{ds})$ avec les cycles de charge et points de polarisation des classes de fonctionnement linéaire

La dynamique maximale de la tension de sortie dans ces conditions est donnée par la limite de la zone d'avalanche et la limite de la zone linéaire. La dynamique maximale en courant de sortie est donnée par le courant de saturation du transistor. Le seul point de polarisation permettant de satisfaire ces conditions simultanément se situe au centre de la caractéristique statique $I_d = f(V_{ds})$. Il vaut :

$$\begin{aligned} - V_{ds0} &= \frac{V_{max}}{2} \\ - I_{d0} &= \frac{I_{max}}{2} \end{aligned}$$

L'impédance de charge à la fréquence fondamentale nécessaire est donc déterminée par l'inverse de la pente du cycle de charge obtenu. Cette classe de fonctionnement permet d'amplifier jusqu'à la puissance maximale sans génération d'harmonique en sortie. Cependant, son rendement maximal est faible et vaut 50% au maximum théorique (voir équation (2.1)).

$$\eta = \frac{P_{OUT}}{P_{DC}} = \frac{V_{dseff} \cdot I_{deff}}{V_{ds0} \cdot I_{d0}} = \frac{1}{2} \cdot \frac{\frac{V_{max}}{2} \cdot \frac{I_{max}}{2}}{\frac{V_{max}}{2} \cdot \frac{I_{max}}{2}} = 50\% \quad (2.1)$$

Classe B

La classe B est définie pour obtenir une consommation nulle au repos. Le point de polarisation choisi correspond donc à $I_{DC} = 0$ ($V_{gs} = V_{th}$). Son angle de conduction est de π . Ces conditions signifient que seule l'alternance positive de la sinusoïde d'entrée rend le transistor passant. Le courant de sortie a donc une forme demi-sinusoïdale et ses composantes en continu et à la fondamentale sont : $I_{DC} = \frac{I_{max}}{\pi}$ et $I_{f0} = \frac{I_{max}}{2}$. Les non-linéarités du transistor entraînent une différence entre le courant continu au repos et en régime d'amplification linéaire.

Afin d'obtenir la même dynamique en tension que pour la classe A, la charge ainsi que le point de polarisation doivent être identiques. Pour conserver la forme sinusoïdale de la tension il est nécessaire d'effectuer un filtrage des harmoniques dans le réseau d'adaptation. Ainsi, la puissance de sortie reste inchangée et la consommation est réduite d'un facteur $\frac{2}{\pi}$. Le rendement est alors proche de 78.5% (voir équation (2.2)).

$$\eta = \frac{P_{OUT}}{P_{DC}} = \frac{V_{dseff} \cdot I_{deff}}{V_{ds0} \cdot I_{d0}} = \frac{1}{2} \cdot \frac{\frac{V_{max}}{2} \cdot \frac{I_{max}}{2}}{\frac{V_{max}}{2} \cdot \frac{I_{max}}{\pi}} = \frac{\pi}{4} \approx 78.5\% \quad (2.2)$$

La classe B offre la même puissance de sortie que la classe A en présentant un rendement bien plus élevé. Cette amélioration se fait au prix de la génération de non-linéarités dans le courant et une diminution du gain due à la diminution de l'angle de conduction.

Classes AB

La classe AB est une classe intermédiaire entre les classes A et B. Elle permet d'effectuer un compromis entre linéarité et rendement. Son angle de conduction est compris entre 2π et π . Le courant continu traversant le transistor est alors donné comme dans l'équation (2.3) et l'amplitude de la composante fondamentale du courant est donnée dans l'équation (2.4).

$$I_{d0} = \frac{I_{max}}{2\pi} \cdot \frac{2 \cdot \sin(\alpha/2) - \alpha \cos(\alpha/2)}{1 - \cos(\alpha/2)} \quad (2.3)$$

$$I_{d1} = \frac{I_{max}}{2\pi} \cdot \frac{\alpha - \sin(\alpha/2)}{1 - \cos(\alpha/2)} \quad (2.4)$$

Le rendement de cette classe de fonctionnement est compris entre 50% et 78.5% pour les valeurs d'angle de conduction correspondant aux classe A et B.

Il est important de noter qu'en classe AB, la dynamique du courant dépasse I_{max} . Cela implique que pour conserver une dynamique en tension maximale sans mettre le transistor en danger, il est impératif de choisir une résistance de charge différente des classes A et B. Cette augmentation de la dynamique du courant se traduit par une expansion de gain avant la compression.

Pour une polarisation en classe AB profonde (proche de la classe B), cet effet permet d'améliorer la linéarité de l'amplificateur dans cette zone précise, allant même jusqu'à présenter des formes d'ACLR plus faible qu'un amplificateur en classe A. Le compromis offert entre rendement et linéarité font de la classe AB-profonde la plus utilisée pour la conception d'amplificateur pour les applications mobiles [52][53].

2.3 Paramètres de conception

Classes C

La classe de fonctionnement C est définie pour des angles de conduction compris entre 0 et π . Le transistor est ainsi passant moins de la moitié d'une période et la forme d'onde du courant de sortie est une image d'une partie de la sinusoïde d'entrée. En utilisant les angles de conduction énoncé précédemment dans l'équation le rendement de la classe C est compris entre 78.5% et 100%. Il est important de noter que plus l'angle de conduction est petit plus la puissance délivrée à la charge diminue.

Cette classe de fonctionnement n'est pas utilisée pour la conception d'amplificateurs de puissance pour les télécommunications. En effet, le fort rendement ne permet pas de justifier la faible puissance de sortie qui est nécessaire pour ces applications. De plus, le gain de l'amplificateur est nul tant que l'amplitude d'entrée ne dépasse pas le seuil de conduction entraînant de fortes non-linéarités lors de la mise en conduction du transistor.

2.3.1.2 Classes de fonctionnement à rendement élevé

Les classes de fonctionnement à rendement élevé ont pour objectif de réduire le chevauchement entre les formes d'ondes du courant et de la tension de sortie. Parmi celles-ci, il est possible de définir deux catégories :

- Les classes D et E où les transistors sont utilisés en régime de commutation
- Les classes F et F inverse basées sur l'optimisation des formes d'ondes de sortie

Classes D et E

Les classes D et E sont définies comme des classes de fonctionnement en commutation. L'excitation et la tension de sortie sont de formes carrées. Le réseau de sortie est composé de circuits résonants afin de minimiser le temps de commutation du transistor et permettre ainsi de réduire au maximum le chevauchement des formes d'ondes en sortie. Ces deux classes offrent ainsi un rendement élevé mais introduisent de fortes non-linéarités.

Contrairement à la classe C, les niveaux de puissance de sortie ne sont pas altérés. Ainsi, ces classes sont principalement utilisées pour l'amplification de signaux modulés en fréquence. En effet, le transistor est en permanence saturé rendant l'amplification d'amplitude impossible.

Classes F et F inverse

Contrairement aux deux classes énoncées précédemment, les amplificateurs en classe F et F inverse sont attaqués par des signaux à modulation complexes. Afin d'optimiser les formes d'ondes en sortie, des charges particulières sont présentées

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

en sortie à chaque harmonique en plus de la fondamentale. Les caractéristiques des charges ainsi que les formes d'ondes en sortie sont répertoriés dans la tableau 2.3.

	Classe F	Classe F inverse
Impédances des harmoniques pairs	court-circuit	circuit ouvert
Impédances des harmoniques impairs	circuit ouvert	court-circuit
Forme du courant de sortie	demi-sinusoidal	carré
Forme de la tension de sortie	carrée	demi-sinusoidal

Table 2.3 – Caractéristiques des classes F et F inverse

Sous ces conditions, il n'existe aucun chevauchement entre le courant et la tension de sortie. Le rendement obtenu pour ces deux classes est de 100%.

En pratique, seules les impédances à la fondamentale et aux deux premiers harmoniques sont présentées. Ainsi, il n'existe pas de cas où la tension est nulle lorsqu'il y a du courant réduisant de ce fait le rendement possible.

2.3.2 Conditions de fermeture de l'amplificateur

Les impédances de fermeture d'un amplificateur de puissance fixent son comportement général. La caractérisation par loadpull est brièvement présentée dans cette partie. Nous considérons ensuite l'impact des impédances à la fréquence fondamentale ainsi qu'au second harmonique présentées par la charge et la source. Les impédances au troisième harmonique ne sont pas étudiées car leur impact est moins important sur la linéarité du circuit [52]. De plus, la synthèse de trois impédances dans un réseau d'adaptation d'impédance est complexe et augmente les pertes.

2.3.2.1 Caractérisation et simulation loadpull

La réponse des transistors vis-à-vis des impédances leur étant présentée en régime large signal est très complexe et sa détermination théorique devient presque impossible. Le choix des impédances est généralement réalisé à travers des mesures et des simulations de type loadpull. Le principe de ces simulations est de faire varier l'impédance voulue en sortie en maintenant fixe les autres paramètres du circuit. Le niveau des différentes performances est ensuite tracé sur un abaque de Smith pour chaque impédance. Il est alors possible de déterminer des zones optimales pour chaque performance en terme d'impédance. Ainsi, le choix de l'impédance résulte d'un compromis correspondant aux critères du cahier des charges.

Deux méthodes de caractérisation loadpull existent [54] :

- Le loadpull passif est réalisé en utilisant un accordeur d'impédance (load tuner) passif composé d'un ou plusieurs stubs selon le nombre d'impédances aux harmoniques accordables. Le principal inconvénient de cette méthode est que les impédances possédant un faible coefficient de réflexion sont mal

2.3 Paramètres de conception

synthétisées. Il est donc nécessaire d'effectuer une pré-adaptation pour les composants nécessitant de faibles ou très fortes impédances.

- Le loadpull actif consiste en l'injection d'ondes de puissance cohérentes (provenant de la même source) simultanément aux deux ports du composant. En faisant varier l'amplitude et la phase de l'onde en sortie il est alors possible de synthétiser n'importe quelle impédance. Cette méthode permet de générer des impédances en bord d'abaque contrairement au loadpull passif. Elle possède néanmoins une forte complexité d'implémentation.

Les simulations de type loadpull permettent d'explorer toutes les zones d'impédances. Le synoptique de la figure 2.11 représente le type de banc qui est utilisé lors de cette thèse pour les simulations (les polarisations ne sont pas représentées par mesure de simplicité). Sur la figure, l'impédance à optimiser est celle présentée par la charge à la fondamentale. Les autres sont fixes. Des filtres sont placés en série pour assurer un contrôle indépendant de chaque fréquence.

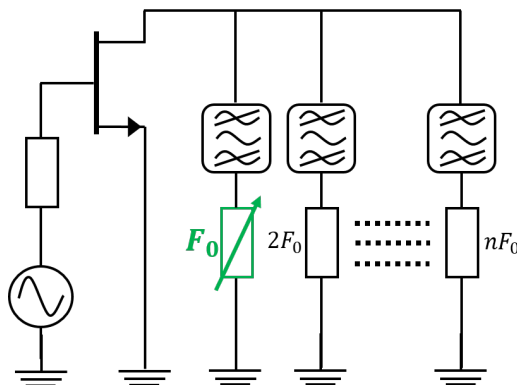


Figure 2.11 – Synoptique d'un banc de caractérisation loadpull à la fréquence fondamentale

2.3.2.2 Impédances de charge

Impédance de charge à la fréquence fondamentale ($Z_L|f_0$)

L'impédance de charge fondamentale est la plus importante car elle fixe les principales performances telles que la puissance de sortie, la PAE , G_P et la linéarité. Son choix dépend principalement de l'application visée. Pendant la conception, c'est la première impédance que l'on cherche à optimiser pour ces raisons. L'impédance au fondamental est déterminée dans la définition des classes de fonctionnement où le comportement du transistor est idéal. Pour un comportement réel, la charge choisie est complexe afin de compenser la capacité de sortie du transistor et la partie réelle est différente selon le compromis retenu.

Impédance de charge au second harmonique ($Z_L|2f_0$)

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

L'impédance de charge au second harmonique a un impact à la fois sur le rendement et sur la linéarité. Elle influe sur les composantes au second harmonique du courant et de la tension de sortie changeant ainsi le cycle de charge du transistor et par conséquent la PAE.

Pour ce qui est de la linéarité, dans [55], les auteurs montrent que l'impédance au second harmonique est responsable de la position du creux de l'ACLR en classe AB (avec un circuit-ouvert en bande de base). L'influence de l'impédance est due au fait que les harmoniques générés en sortie sont recombinaés dans le processus d'amplification par contre-réaction. Les non-linéarités d'ordre 2 de la transconductance entraînent la recombinaison du second harmonique avec la fréquence fondamentale. Cette composante vient alors s'ajouter à celle générée par non-linéarité d'ordre 3. Le résultat de cette somme est déterminé par la phase et l'amplitude de la composante d'ordre 2. Ainsi, le niveau des produits d'intermodulation dépend de l'impédance $Z_L|2f_0$ qui est généralement une réactance.

2.3.2.3 Impédances de source

Impédance de source à la fréquence fondamentale($Z_S|f_0$)

L'impédance de source à la fréquence à la fondamentale détermine la linéarité du système et le G_P . L'impédance agit sur la linéarité car l'une des principales sources de non-linéarité est la capacité non-linéaire d'entrée C_{gs} . En effet, le réseau d'adaptation d'impédance d'entrée transforme l'impédance de source (50Ω) en une valeur constante ($Z_S|f_0$) alors que l'impédance d'entrée $Z_{IN}|f_0$ varie fortement selon le niveau de puissance. Cette désadaptation entraîne de fortes non-linéarités notamment lorsque le transistor transite autour de son seuil de conduction. Cela se traduit alors par une dégradation de la caractéristique d'AM/PM pour des $Z_S|f_0$ proches du conjugué de l'impédance d'entrée. L'adaptation d'entrée doit donc faire l'objet d'un compromis entre linéarité et G_P (et par conséquent la PAE).

Dans [56], les auteurs vérifient en mesure l'impact de $Z_S|f_0$ sur la linéarité d'un amplificateur à base de MESFET (MEtal Semiconductor FET) en classe AB. Plus la désadaptation d'impédance est élevée plus la linéarité est améliorée ce qui est dû au fait que les variations d'impédance d'entrée deviennent négligeables.

Impédance de source au second harmonique($Z_S|2f_0$)

L'impédance de source au second harmonique détermine également la linéarité du système et la PAE. De la même manière que pour les techniques de feedback harmonique et d'injection d'enveloppe ou harmonique, cette impédance permet de changer la phase et l'amplitude de la tension de commande V_{gs} d'entrée. De cette manière, les composantes au second harmonique et à la fondamentale sont combinées par les non-linéarités d'ordre 2 de la transconductance et réduisent les niveaux d'intermodulation dans la bande.

2.4 Moyens de caractérisation

2.3.3 Dimensionnement des transistors

Le dimensionnement des deux transistors consiste à déterminer la largeur de grille de chacun des transistors. Les deux points à considérer par ordre de priorité sont :

- La puissance de sortie nécessaire
- Le meilleur compromis entre linéarité et rendement

Idéalement dans un cascode, le transistor en grille commune fonctionne en suiveur de courant et fournit le même courant que le transistor en source commune. Dans un cas réel, la tension de commande du transistor grille commune possède des harmoniques et il existe un courant de grille. Ainsi le courant de sortie n'est pas une image parfaite du courant traversant le montage source commune. Devant la complexité des interactions entre les deux transistors et le fait que la transformation d'impédance opérée par le transistor grille commune ne soit pas optimale, la meilleure solution reste une étude exhaustive pour déterminer le ratio entre les deux transistors. L'équipe de développement de la technologie d'ACCO a déterminé le rapport optimal de largeur de grille à travers la caractérisation de plusieurs structures avec des rapports de largeur de grille différents. Le meilleur compromis est obtenu pour un rapport de 1.7 entre la taille des deux transistor.

Une fois le rapport fixé entre les deux transistors il suffit de dimensionner le transistor MOS afin de fournir la puissance de sortie nécessaire. La largeur totale de grille de MOS se situe entre 16mm et 20mm. Nous avons choisi une largeur totale de grille de 16mm pour l'ensemble de l'étude.

2.4 Moyens de caractérisation

Cette partie présente les différents bancs de mesure utilisés pour la caractérisation des différentes structures et leur intérêt.

2.4.1 Banc de mesures sous pointes

Le schéma du banc de caractérisation sous pointes est représenté sur la figure 2.12(a). Il est équipé d'un analyseur de réseau programmable 4 ports N5222A fonctionnant de 10MHz à 26,5GHz. Les circuits sont polarisés à travers des Tés de polarisation par une alimentation continue. Trois types de pointes sont disponibles :

- Pointes RF GSG
- Pointes DC GSGSG
- Pointes RF GSGSG

Ce banc est utilisé pour la caractérisation des amplificateurs (single-ended ou différentiel) et des structures passives réalisées sur substrat. Obtenir les résultats dans le plan des composants permet une meilleure modélisation et d'obtenir précisément les impédances présentées.

2.4.2 Banc de mesure paramètres-S

Le banc de mesures paramètres S (voir figure 2.12(b)) est uniquement composé d'un VNA 2 ports N5230A fonctionnant de 300kHz à 6GHz. Ce banc est utilisé pour la caractérisation de circuits montés sur PCB. L'alimentation DC est amenée en externe, et le réseau d'adaptation doit inclure une des voies pour les signaux continus. La caractérisation en paramètres S 2 ports est essentiellement utilisée pour s'assurer du fonctionnement de l'amplificateur en continu et en régime petit signal.

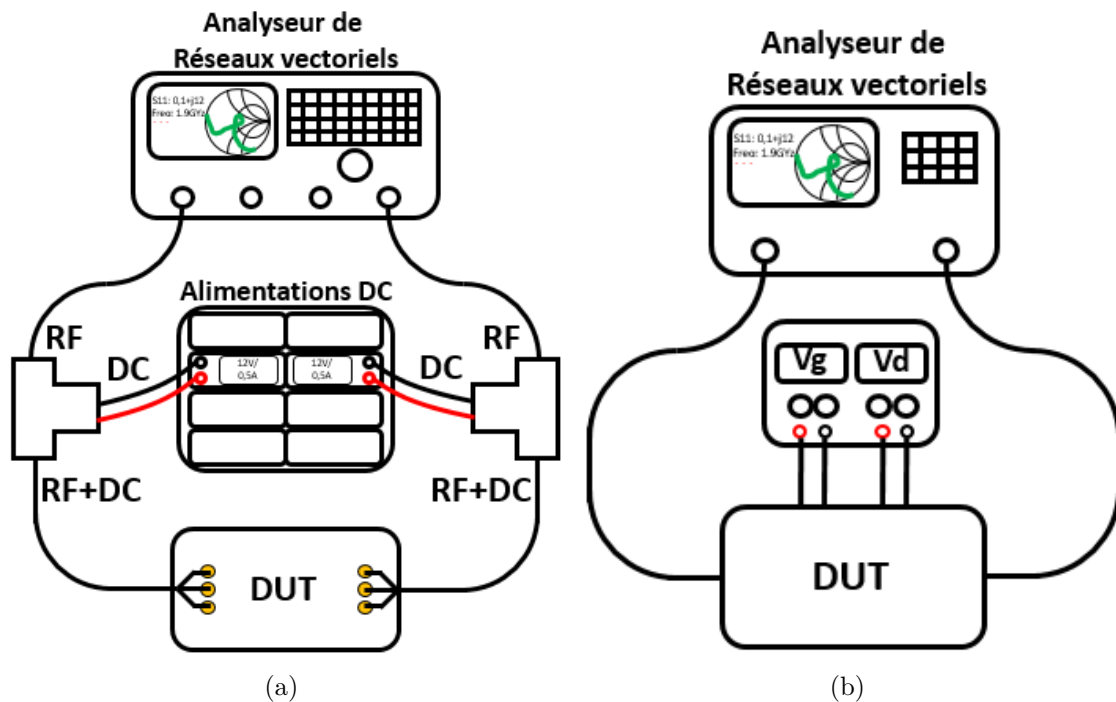


Figure 2.12 – (a)Banc de mesure sous pointes (b) Banc de mesure paramètres S

2.4.3 Banc de mesure Loadpull

Le schéma du banc de caractérisation loadpull est représenté sur la figure 2.13. Le signal d'entrée est réalisé par un générateur de signaux vectoriels Agilent N5172B fonctionnant de 9kHz à 3GHz. Il permet des caractérisations CW (continuous wave \leftrightarrow sinusoïde pure) et avec des signaux complexes (dans notre cas W-CDMA). Le signal est injecté dans un driver. Un coupleur directif en sortie permet de récupérer une partie de la puissance à travers une sonde de puissance attaquant un puissance-mètre. Le signal est alors injecté dans le composant (DUT= Device Under Testing). La charge présentée est ajustée par un tuner Focus MPT_Lite_608. La puissance en sortie du tuner est alors récupérée de la même manière qu'à la sortie du driver. Le signal de sortie est enfin injecté dans un analyseur de signal N9010A fonctionnant

2.4 Moyens de caractérisation

de 9kHz à 26.5GHz. Tous les appareils sont pilotés par un ordinateur permettant de récupérer les données pour les différents balayages utilisés.

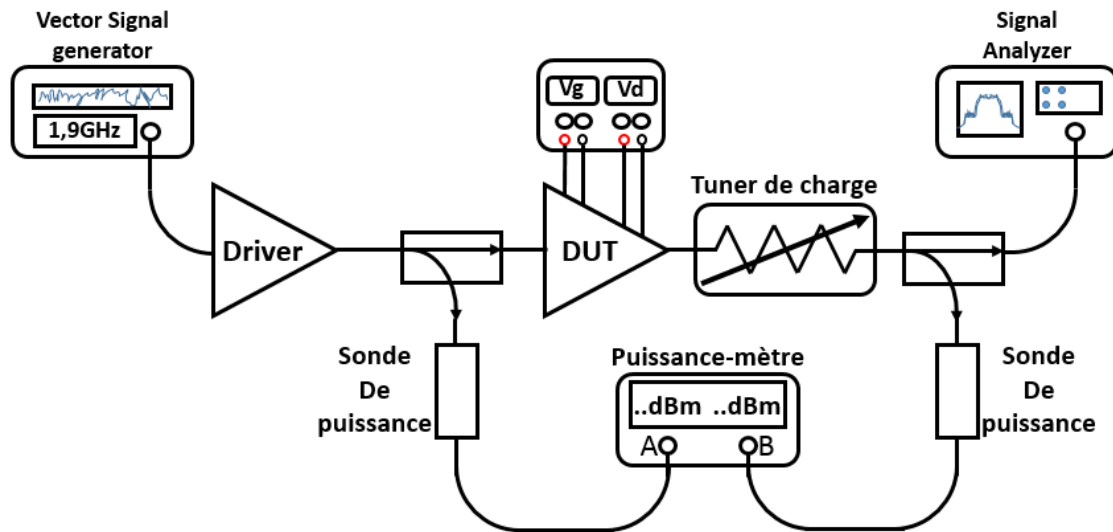


Figure 2.13 – Banc de mesure loadpull

Conclusion

Au début de ce chapitre, les deux transistors composant le MASMOS ainsi que leur fonctionnement ont été présentés. Les principales limitations de la technologie CMOS viennent de sa faible tenue en tension qui limite fortement les applications d'amplification de puissance. L'adjonction du JFET permet de protéger le MOS tout en assurant une tenue en tension suffisante. Cet ajout se fait au détriment des performances fréquentielles du dispositif. Les modèles électriques des transistors reproduisent fidèlement leur comportement dans toutes les zones d'utilisation. Puis, le modèle de chacun des transistors est présenté séparément.

Dans une seconde partie, les différents paramètres pour la conception d'amplificateurs de puissance ont été passés en revue. Les différentes classes de fonctionnement ont été présentées. Ensuite, nous avons passé en revue l'impact des différentes impédances de fermeture pour un amplificateur de puissance. Il ressort de l'étude des conditions de fermeture que l'impact des impédances à la fréquence fondamentale est le plus important. Il faut cependant apporter une attention particulière aux impédances présentées au second harmonique afin d'optimiser au maximum l'amplificateur.

Enfin, les différents bancs de caractérisation ont été présentés. Ils permettent une caractérisation complète de l'amplificateur de puissance en régime continu, petit et grand signal.

Technologie du MASMOS et généralités pour la conception d'amplificateurs de puissance

Cette partie a permis de poser les bases pour la conception de notre amplificateur de puissance. Parmi toutes les informations d'ores et déjà présentées, deux choix de conception ont été retenus. L'étude des classes de fonctionnement montre que pour des amplificateurs embarqués dans des appareils mobiles la classe AB profonde est la plus adaptée par son compromis rendement/linéarité et par la forme spécifique qu'elle procure aux ACLR. Nous pouvons également noter que le rapport 1.7 entre le développement de grille total du JFET par rapport à celui du MOS permet d'obtenir le meilleur compromis entre $P_{OUT} / ACLR$ et P_{AE} . Nous utiliserons ce rapport pour tous les démonstrateurs, tandis que, la taille des transistors sera ajustée pour répondre aux spécifications.

Le chapitre suivant présente la conception d'un étage de puissance de référence à partir de cellules MASMOS.

Conception d'un étage de puissance hautes performances à base de MASMOS

Ce chapitre est dédié à la conception d'un étage de puissance de référence à base de cellule MASMOS. Nous souhaitons de cette manière, déterminer les performances pouvant être obtenus sans techniques de linéarisation. Suite à l'observation de certains résultats de simulation, nous présentons également l'impact d'une inductance de dégénérescence sur la cellule MASMOS.

3.1 Etude des interconnexions flip-chip sur la cellule MASMOS

Afin d'optimiser la cellule MASMOS, une étude est tout d'abord menée sur l'effet des connexions flip-chip sur la source du transistor MOS.

3.1.1 Impact du flip-chip sur la mise à la masse du transistor MOS

Les interconnexions flip-chip consistent à relier la puce à un boîtier ou un substrat en utilisant des billes de métaux (bumps). Pour cela, la puce est retournée (substrat vers le haut) et les billes sont soudées directement sur l'empreinte du composant. Ces interconnexions sont modélisées par une inductance L_p en série avec une résistance parasite R_p .

Une inductance L_p placée sur la source d'un FET réalise une contre-réaction série du courant de sortie I_d sur la tension de commande V_{GS} . La résistance R_p associée n'est pas représentée pour simplifier le calcul. Pour étudier son impact sur le MASMOS, le MOS est représenté par sa source de courant I_d de transconductance g_m et le JFET est considéré comme faisant partie de sa charge R_L . Le schéma électrique que nous utilisons pour la suite est représenté sur la figure 3.1(a) et son

3.1 Etude des interconnexions flip-chip sur la cellule MASMOS

équivalent système sur la figure 3.1(b).

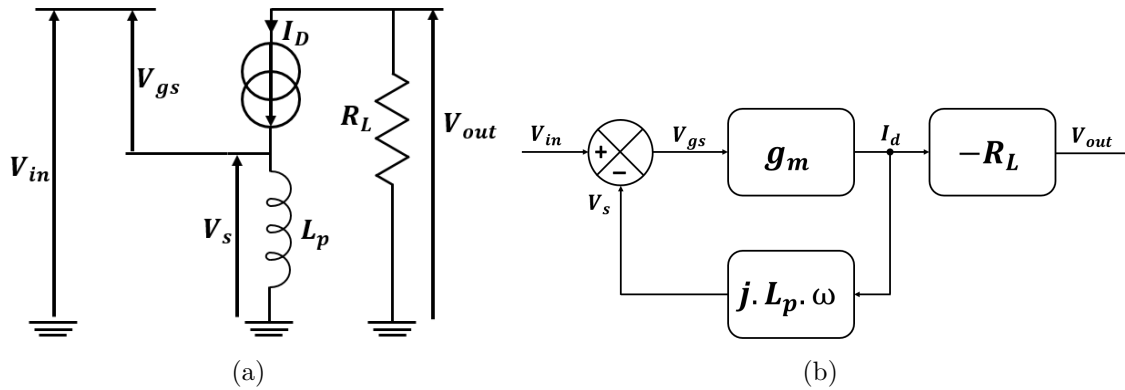


Figure 3.1 – Schéma du circuit pour le calcul du gain en tension (a) vue circuit (b) vue système

En boucle ouverte, le gain en tension est : $G_{vo} = -R_L \cdot g_m$. En boucle fermée, en appliquant la formule de Black, on obtient le gain en tension suivant :

$$G_v = \frac{-R_L \cdot g_m}{1 + j \cdot L_p \cdot \omega \cdot g_m} \quad (3.1)$$

Le module du gain G_v en boucle fermée augmente lorsque l'inductance parasite L_p diminue. Une des conséquences de la contre-réaction est la linéarisation du système en boucle fermée. Cet effet de linéarisation est aisément mis en évidence par l'expression de la dérivée partielle du module de G_v par rapport à g_m donnée dans l'équation 3.2.

$$\frac{\partial |G_v|}{|G_v|} = \frac{1}{1 + L_p^2 \cdot \omega^2 \cdot g_m^2} \cdot \frac{\partial g_m}{g_m} \quad (3.2)$$

Les variations de G_v en présence de l'inductance sont divisées par un rapport $1 + L_p^2 \cdot \omega^2 \cdot g_m^2$ comparé au cas sans inductance. Cette réduction se traduit par une diminution de l'AM/AM et donc par une amélioration des niveaux d'intermodulation d'ordre 3. Les interconnexions flip-chip et plus particulièrement celles sur la source des transistors FET permettent en théorie d'améliorer les performances en linéarité au détriment du gain.

3.1.2 Etude des impédances optimales de la cellule MASMOS

Avant d'observer l'impact des parasites sur la structure, il est nécessaire d'optimiser sa polarisation ainsi que ses impédances de charge. Le circuit utilisé en simulation pour l'optimisation de la cellule en terme de linéarité est représenté sur la figure 3.2. Quatre loadpull sont réalisés en simulation. La configuration des différents loadpull est donnée dans le tableau 3.1.

Conception d'un étage de puissance hautes performances à base de MASMOS

La condition utilisée pour le tracé des contours obtenus avec un signal sinusoïdal d'entrée, est le maximum de PAE intrinsèque saturée. De ce fait, la compression et par conséquent la puissance injectée à l'entrée diffèrent selon les charges présentées. Ce critère permet d'estimer le potentiel des étages de puissance responsables des performances de sortie des amplificateurs de puissance. Pour le signal W-CDMA, les contours constants de performance sont tracés pour un niveau d'ACLR de $-40dBc$ correspondant à la spécification en linéarité à la sortie de l'amplificateur. Pour chaque signal, deux loadpull sont réalisés, un à la fréquence fondamentale et un au second harmonique.

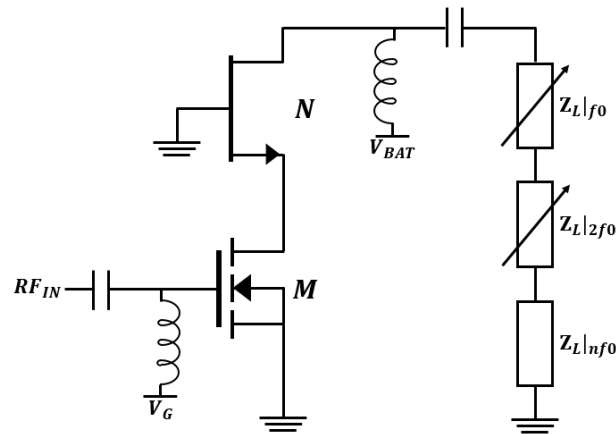


Figure 3.2 – Schéma électrique utilisé en simulation pour l'optimisation des paramètres de l'étage de puissance

Excitation	$Z_L f_0$	$Z_L 2f_0$	$Z_L nf_0$	Condition de tracé des contours
CW	variable	50Ω	50Ω	PAE intrinsèque maximum
CW	Optimum en PAE	variable	50Ω	PAE intrinsèque maximum
W-CDMA	variable	Compromis PAE/ P_{OUT} obtenu en CW	50Ω	ACLR = $-40dBc$
W-CDMA	Optimum en PAE	variable	50Ω	ACLR = $-40dBc$

Table 3.1 – Tableau récapitulatif des quatre configurations de loadpull pour l'estimation des performances de l'étage de puissance

Les inductances d'accès parasites (que nous modéliserons par des inductances $L_p = 20pH$ et leur résistance parasite $R_p = 10m\Omega$) ne sont pas prises en compte dans un premier temps. La largeur totale de grille M du transistor MOS est de 8mm correspondant à une largeur totale de grille du JFET N de 13.4mm (pour un rapport de largeur totale de grille entre transistor de 1.7). Ces tailles ont été choisies car elles étaient disponibles à la mesure immédiatement.

3.1 Etude des interconnexions flip-chip sur la cellule MASMOS

Nous souhaitons polariser le circuit en classe AB profonde ce qui correspond à une tension de grille V_g comprise entre $0.45V$ de $0.5V$. Afin de tracer le loadpull à un niveau donné d'ACLR, nous utilisons un algorithme sélectionnant les différentes performances pour un niveau d'ACLR de $-40dBc$. La figure 3.3 représente l'allure de l'ACLR d'un PA polarisé en classe AB profonde. Sur celle-ci on peut distinguer deux zones. La seconde zone est celle où les performances notamment en termes de P_{OUT} et PAE sont les plus élevées. Nous souhaitons donc que la spécification de linéarité soit dépassée dans celle-ci.

Dans la première zone, la valeur de l'ACLR est fortement dépendante de la polarisation appliquée sur la grille. Plus la tension V_{gs} est élevée, et par conséquent le courant I_d , plus le niveau d'ACLR est élevé. Dans la seconde zone, les performances en linéarité sont peu impactées par la valeur de tension V_{gs} et varient grandement avec l'impédance de charge présentée à la fréquence fondamentale. Afin de vérifier la spécification d'ACLR de $-40dBc$ pour tous les niveaux de puissance d'entrée, la polarisation V_g est donc fixée à $0.5V$ afin que notre algorithme détecte le point vert représenté sur la figure 3.3 et non pas le point rouge. La polarisation sera ensuite optimisée à la suite des loadpull.

L'ensemble des conceptions réalisées dans ce manuscrit sont réalisées dans l'environnement de design virtuoso de Cadence. Les différentes simulations électriques sont réalisées avec GoldenGate et les simulations électromagnétiques avec le logiciel momentum de Keysight intégré dans l'interface de virtuoso.

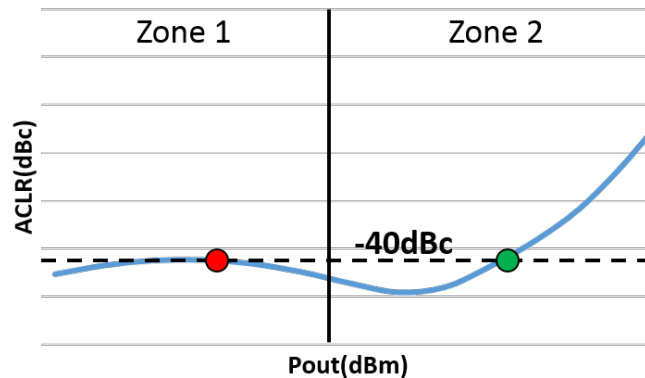


Figure 3.3 – Allure de l'ACLR d'un PA polarisé en classe AB profonde

Loadpull CW à la fréquence fondamentale Le tracé des contours constants de PAE et de P_{OUT} sont représentés sur la figure 3.4. Les contours de PAE sont espacés de 5 points pour un maximum de 63% pour une charge de $5 + j6.5\Omega$ (carré rouge). Les contours de P_{OUT} sont espacés de $0.5dB$ pour un maximum de $30.8dBm$ pour une charge de $5 + j2.5\Omega$ (point bleu).

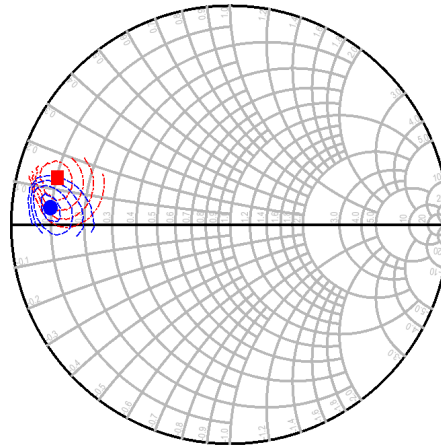


Figure 3.4 – Contours constants de la PAE (rouge) et de la puissance de sortie P_{OUT} (bleu) issus du loadpull CW à la fréquence fondamentale

Loadpull CW au second harmonique La recherche d'un optimum en terme d'impédance au second harmonique est menée en fixant l'impédance optimale en PAE à la fréquence fondamentale (1.9GHz). Le contour constant de PAE est représenté sur la figure 3.5(a) et celui de puissance de sortie P_{OUT} sur la figure 3.5(b). Les contours de PAE sont espacés d'un point pour un maximum de 66% situé entre les impédances $0 + j10\Omega$ et $0 + j15\Omega$ (carré rouge). Les contours de P_{OUT} sont espacés de $0.2dB$ pour un maximum de $29.6dBm$ pour une impédance de $0 + j6.5\Omega$ (point bleu). En choisissant une impédance de $0 + j14\Omega$ au second harmonique, la PAE est améliorée de 3 points et la puissance de sortie est augmentée de 0.2 dB.

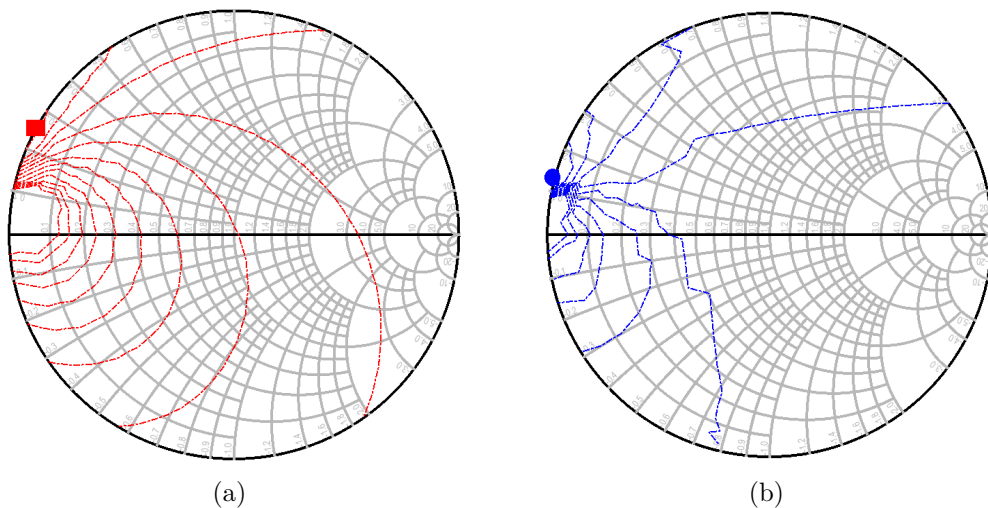


Figure 3.5 – Contours constants de la (a) PAE (rouge) et de la (b) puissance de sortie P_{OUT} (bleu) issus du loadpull CW au second harmonique

3.1 Etude des interconnexions flip-chip sur la cellule MASMOS

Loadpull W-CDMA à la fréquence fondamentale Après avoir vu l'impact des différentes impédances de sortie sur les performances dans la zone de saturation de l'amplificateur, nous observons le comportement à la limite de notre critère de linéarité (-40 dBc d'ACLR) pour un signal d'entrée W-CDMA. Pour ce loadpull, l'impédance au second harmonique est fixée d'emblée à une valeur de $j14\Omega$ correspondant à la charge optimale en CW. Cette valeur est conservative vis-à-vis des fortes variations de PAE provoquées par la charge au second harmonique dans la zone de saturation.

Les contours de PAE et de P_{OUT} obtenus sont représentés sur la figure 3.6. Les contours de PAE sont espacés de 2 points et l'optimum (point bleu) est de 44% pour une P_{OUT} de $26.2dBm$ pour une charge de $4.7 + j3.4\Omega$. Les contours de P_{OUT} sont espacés de $0.6dB$ et l'optimum est de $26.5dBm$ pour une PAE de 40% pour une charge de $3.7 + j2.7\Omega$ (point bleu). Les contours ont une coupure brusque dans les zones de basses impédances due au fait que la valeur de l'ACLR passe sous la limite des $-40dBc$ pour des faibles puissances.

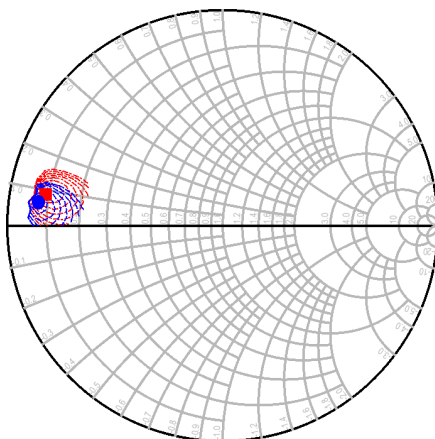


Figure 3.6 – Contours constants de la PAE (rouge) et de la puissance de sortie P_{OUT} (bleu) issus du loadpull W-CDMA à la fréquence fondamentale

Loadpull W-CDMA au second harmonique Nous observons maintenant l'influence de l'impédance de charge au second harmonique sur les performances en linéarité. La charge à la fréquence fondamentale sélectionnée est celle présentant l'optimum en PAE ($4.7 + j3.4\Omega$). La figure 3.5 a montré que les principales variations de performance provenaient des impédances imaginaires pures centrées autour de 0Ω . L'étude est donc restreinte sur l'impédance au second harmonique de $-j20\Omega$ à $j20\Omega$. Les résultats obtenus sont représentés sur la figure 3.7. Les optimums en terme de PAE et de P_{OUT} sont obtenus pour une impédance au second harmonique de $j8\Omega$ contrairement à $j14\Omega$ obtenu en CW. Il est cependant dangereux d'utiliser cette valeur car elle présente de fortes variations de performance. Il est donc préférable d'utiliser une valeur de charge au second harmonique comprise entre $j10\Omega$ et

Conception d'un étage de puissance hautes performances à base de MASMOS

$j15\Omega$ qui assure des performances plus élevées que sur 50Ω .

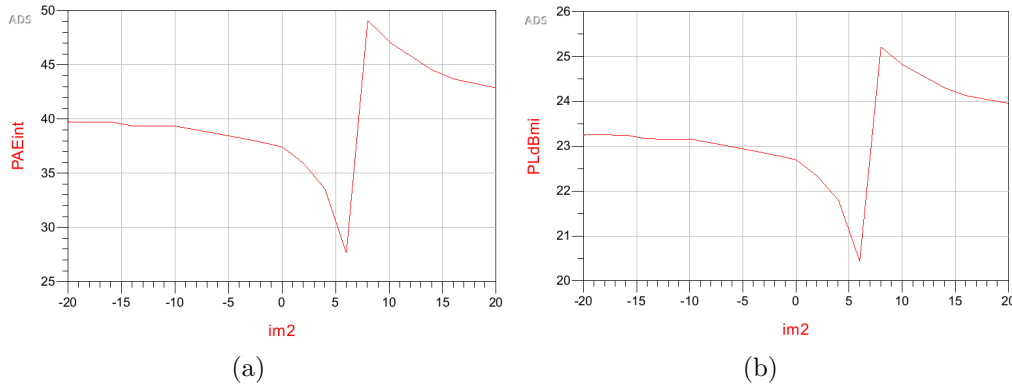


Figure 3.7 – Evolution de la PAE (a) et de la P_{OUT} (b) en fonction de $IM(Z_{L2f_0})$ au niveau d'ACLR de -40dBc pour un signal d'entrée W-CDMA

Bilan des simulations loadpull Cette phase de loadpull a permis de déterminer les impédances de charge optimales pour les signaux CW et W-CDMA. Les loadpulls CW permettent d'obtenir les zones d'impédances optimales à la fréquence fondamentale et au second harmonique. Il ressort tout d'abord à la fréquence fondamentale que la partie réelle est très proche pour l'optimal de PAE et de P_{OUT} et seule la partie imaginaire permet de changer la condition optimale. L'impédance de charge au second harmonique permet d'améliorer les performances lorsqu'on présente uniquement une impédance réactive. La zone où l'amélioration est la plus importante est sujette à des variations de performance rapides, il est donc préférable de choisir une partie réactive plus élevée que l'optimal pour assurer une amélioration de performance.

Le loadpull réalisé pour un signal W-CDMA permet d'obtenir les performances en linéarité de l'étage de puissance. L'impédance de charge optimale à la fréquence fondamentale en terme de PAE est de $4.7 + j3.4\Omega$ et celle en terme de P_{OUT} est de $3.7 + j2.7\Omega$. On peut noter que ces impédances sont très faibles et la synthèse de l'impédance de charge s'avère difficile compte tenu des variations qui pourraient être engendrées par la moindre erreur commise. Au second harmonique, nous pouvons tirer le même constat que pour le loadpull CW : il vaut mieux préférer une impédance réactive élevée présentant à la fois une augmentation moindre et une faible variation des performances.

Optimisation conjointe polarisation/charge Après avoir obtenu les zones d'impédance de charge donnant des performances optimales pour $V_g = 0.5V$, nous réoptimisons la polarisation et les charges. En effet, en reprenant la figure 3.3 l'impédance de charge optimale en PAE fournit une marge sur le niveau d'ACLR maximum

3.1 Etude des interconnexions flip-chip sur la cellule MASMOS

dans la zone 1. La prise en compte des niveaux d'ACLR dans la zone 1 fixe la polarisation de la grille à 0.49V. Les impédances de charge retenues pour la suite sont répertoriées dans le tableau 3.2. L'impédance à la fondamentale est ainsi $(5.3 + j4.7)\Omega$ (contre $4.7 + j3.4\Omega$ obtenu en loadpull) et correspond à l'optimum en terme de PAE à $-40dBc$ d'ACLR. L'impédance au second harmonique est fixée à $j14\Omega$ par mesure de précaution vis-à-vis des variations rapides de performance autour de l'optimum. Les performances obtenues à $-40dBc$ d'ACLR suite à l'optimisation des paramètres sont :

- $P_{OUT} = 25.7dBm$
- $PAE = 45\%$
- $G_P = 22.5dB$

Impédance de charge	Valeur
$Z_L f_0$	$5.3 + j4.7\Omega$
$Z_L 2f_0$	$0 + j14\Omega$

Table 3.2 – Impédances de charge retenues

3.1.3 Etude de l'impact d'une inductance de dégénérescence

Dans la continuité de notre étude sur l'impact de la connexion de la source du MASMOS à la masse, nous avons observé des résultats intéressants pour des valeurs d'inductances supérieures à celles de notre modèle de bump dont nous allons faire part dans cette section. L'inductance de dégénérescence est généralement utilisée dans la conception d'amplificateur faible bruit, où elle permet de faciliter l'adaptation d'impédance d'entrée en rapprochant les lieux d'impédance optimale en terme de gain et de bruit. Son utilisation au sein d'un amplificateur de puissance n'est généralement pas envisagée à cause de la réduction de gain occasionnée. Dans le cas de la cellule MASMOS, nous montrons que l'inductance de dégénérescence permet d'optimiser le rendement.

Dans un premier temps, et afin de montrer son influence sur les performances du circuit, nous plaçons une inductance de dégénérescence L_p à la source du MOS utilisé dans le circuit ayant servi pour les loadpull. Le circuit est placé dans sa configuration optimisée en terme de PAE à $-40dBc$ d'ACLR. L'inductance L_p est balayée de 0 à 300pH et la simulation est réalisée pour un signal d'entrée W-CDMA. Les résultats de la simulation sont présentés sur la figure 3.8. Les performances sont prises pour une puissance de sortie de $25.7dBm$ correspondant à la puissance maximale du circuit obtenue pour un niveau d'ACLR de $-40dBc$.

Les niveaux d'ACLR sont améliorés tandis qu'il y a une dégradation de G_P pour des valeurs croissantes d'inductance comme prévu lors de l'ajout d'une inductance de dégénérescence. La PAE présente un optimum pour $L_p = 180pH$. Dans le cas des circuits que nous pouvons mesurer, la valeur minimale de L_p est estimée à 50pH

Conception d'un étage de puissance hautes performances à base de MASMOS

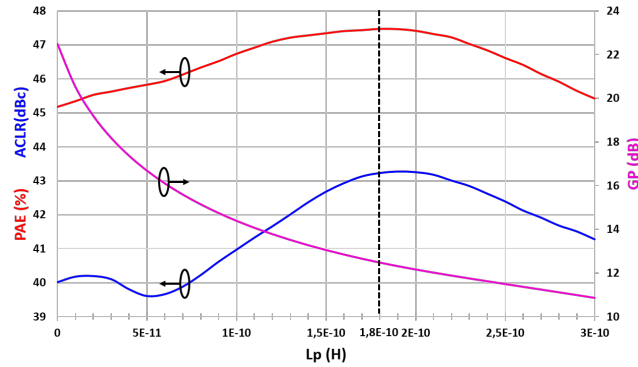


Figure 3.8 – Evolution de GP (violet), PAE (rouge) et $ACLR$ (bleu) en fonction de L_p pour $P_{out} = 25.7dBm$

($20pH$ pour le bump et $30pH$ pour l'accès réalisé sur le PCB). L'amélioration en se plaçant à l'optimum en terme de PAE par rapport au minimum de $50pH$ est de 1.6 points de PAE et de 3.6dB pour les niveaux d'ACLR. La réduction de G_P est quant à elle de 4.2dB.

Afin de comprendre l'amélioration de la PAE , nous nous intéressons au cycle de charge des transistors. Le transistor qui est optimisé en terme de PAE par l'inductance de dégénérescence L_p est principalement le MOS car l'inductance est placée directement sur son noeud commun (source).

L'impédance de charge vue par le transistor MOS est déterminée par la charge Z_L présentée au MASMOS qui est transformée à travers le JFET. Le fonctionnement du MASMOS est donc optimisé mais le MOS voit une impédance qui n'est pas nécessairement optimale.

L'ajout de l'inductance permet d'optimiser son fonctionnement. Dans [57], l'auteur établit l'expression des paramètres de la transconductance équivalente d'un FET en source commune avec une contre-réaction série quelconque présentant des impédances différentes aux harmoniques. Dans notre cas, la contre-réaction série est opérée par l'inductance de dégénérescence L_p sur le transistor MOS. Les expressions des paramètres de la transconductance équivalent du MOS sont données dans les équations suivantes :

$$g_{m1eq} = \frac{g_{m1}}{1 + F(\omega_0).g_{m1}} \quad (3.3)$$

$$g_{m2eq} = \frac{1}{1 + F(\omega_0).g_{m1}} \cdot \frac{g_{m2}}{(1 + F(\omega_0).g_{m1})^2} \quad (3.4)$$

$$g_{m3eq} = \frac{1}{(1 + F(3.\omega_0).g_{m1}).(1 + F(\omega_0).g_{m1})^2} \cdot \left(\frac{g_{m3} - 2.g_{m2}^2.F(2\omega_0)}{1 + F(2.\omega_0).g_{m1}} \right) \quad (3.5)$$

3.1 Etude des interconnexions flip-chip sur la cellule MASMOS

F représente l'impédance de contre-réaction aux différentes fréquences. Les paramètres g_m correspondent à la décomposition de la transconductance en série de Taylor en petit signal.

Nous pouvons tirer deux conclusions à partir de ces équations :

- Il est possible de changer l'amplitude et la phase de chaque harmonique séparément en ajustant les valeurs de F aux différents harmoniques
- Il existe une impédance au second harmonique qui permet d'annuler la composante g_{m3eq} et donc la génération des produits d'intermodulation

Le modèle étant limité au régime petit signal, il ne permet pas de prévoir l'évolution des harmoniques pour des puissances modérées à élevées. Cependant, les résultats des simulations précédentes sont conformes aux prédictions petit signal puisque la phase et l'amplitude des différents harmoniques changent pour les différentes valeurs de L_p . En effet, la figure 3.9(a) représente les formes d'ondes intrinsèques V_{ds} et I_d du transistor MOS pour $L_p = 0pH$ et $L_p = 180pH$ à $P_{out} = 25.7dBm$. L'inductance de dégénérescence linéarise la transconductance du MOS ce qui se traduit par une réduction de la génération d'harmonique 3 du courant I_d intrinsèque. L_p permet également de changer l'écart de phase entre la fondamentale et le second harmonique. La valeur optimale L_p correspond à un déphasage de 90° comme le montre les figures 3.9(a) et 3.9(b), où I_d est de forme demi-sinusoidale. Le fonctionnement du MOS se rapproche alors de la classe F^{-1} ce qui justifie l'amélioration de PAE observée.

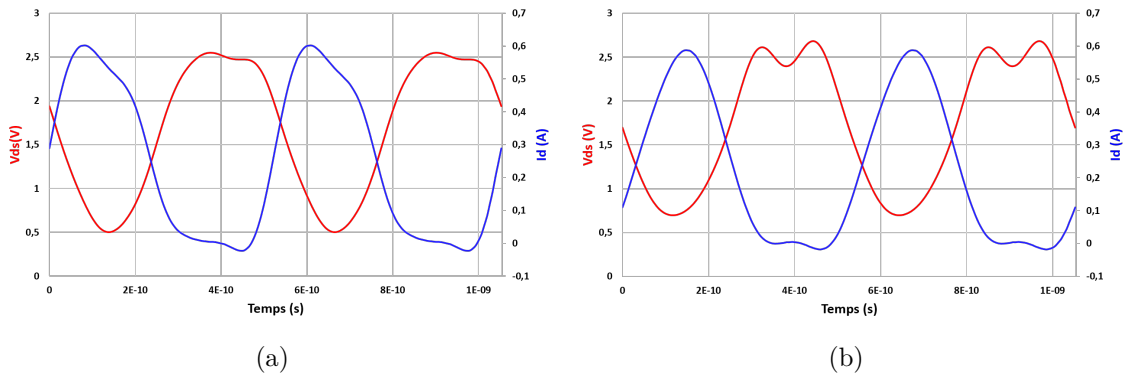


Figure 3.9 – Courant de drain intrinsèque (bleu) et tension drain-source intrinsèque (rouge) du transistor MOS à $P_{out} = 25.7dBm$ pour (a) $L_p = 0pH$ et (b) $L_p = 180pH$

3.1.4 Implémentation et vérifications expérimentales

Plusieurs circuits imprimés (PCB) ont été conçus afin de vérifier l'impact de l'inductance de dégénérescence sur le circuit. Les réseaux d'adaptation entrée/sortie sont réalisés sur des pistes dédiées avec des composants montés en surface (CMS).

Conception d'un étage de puissance hautes performances à base de MASMOS

L'inductance de dégénérescence est réalisée à partir de vias sur le PCB et de pistes métalliques sous la source. Trois PCBs sont mesurés ayant des valeurs d'inductance L_p de 50pH, 100pH et 130pH. Les différentes valeurs ont été estimées par les ingénieurs d'ACCO par comparaison entre de nombreux résultats de mesures avec des rétro-simulations. Les trois PCBs sont mesurés avec la même puce. Les réseaux d'adaptation d'impédance entrée/sortie sont identiques. Le seul paramètre de mesure changeant est l'inductance placée à la source. Le circuit est terminé par une charge 50Ω et l'excitation est réalisée par une source W-CDMA.

Le tableau 3.3 contient les mesures des performances pour les trois PCB à un niveau d'ACLR de -40dBc à la charge. De la même manière que dans les simulations précédentes (section 3.1.3), entre $L_p = 50pH$ et $100pH$, la P_{out} et la PAE augmentent et le G_P diminue. La mesure confirme l'existence d'une valeur optimale d'inductance en terme de PAE autour de 100pH. La différence de valeur optimale entre les simulations et la mesure vient de la relative simplicité des résultats de simulation qui n'étaient qu'au niveau électrique.

$L_{deg}(pH)$	$PAE(\%)$	$G_P(dB)$	$P_{out}(dBm)$
50	37	15.5	24.4
100	41	13	24.5
130	40.6	11.4	25.2

Table 3.3 – Résultats obtenus pour les trois valeurs d'inductance de dégénérescence

3.1.5 Conclusion

L'inductance de dégénérescence permet d'améliorer le fonctionnement du MASMOS en optimisant le fonctionnement du MOS. Dans le cas d'un seul transistor en source commune, l'inductance n'aura que l'effet prédit dans la section 3.1.1, puisque l'impédance de charge est présentée directement au transistor.

Ce résultat peut néanmoins être étendu au circuit cascode en général où l'impédance présentée au transistor en source commune n'est pas précisément contrôlée. Le point négatif de cette méthode est la réduction du G_P qui est très importante. L'inductance de dégénérescence n'aura donc d'intérêt que pour des structures type cascode possédant un G_P suffisamment élevé pour compenser sa réduction.

Dans notre cas, la réduction du G_P est trop importante. En effet, même avec un étage driver en amont de l'étage de puissance, il est difficile d'obtenir le G_P nécessaire (29dB). Sa réduction entraîne également une réduction de la PAE dans la zone de saturation. Nous avons donc choisi de réduire au maximum l'impact de l'inductance parasite présentée à la source. La structure différentielle est généralement utilisée pour la conception d'amplificateur de puissance utilisant des connexions de type wire-bonding pour répondre à cette problématique [58].

3.2 Etude des amplificateurs à topologie différentielle

3.2.1 Principe de fonctionnement

Les amplificateurs différentiels sont des structures symétriques couplées dans leur plan de symétrie par une impédance Z_c (voir figure 3.10). Le fonctionnement de ces amplificateurs peut être séparé en deux modes distincts [59] : le mode commun correspondant à une attaque des deux demi-étages avec des signaux en phase et le mode différentiel avec une attaque des demi-étages avec des signaux en opposition de phase.

Les amplificateurs différentiels possèdent de nombreux avantages vis-à-vis de leurs équivalents (en terme de taille) single-ended :

- Immunité aux parasites de mode commun
- Formation d'une masse virtuelle dans le plan de symétrie de l'amplificateur
- Réduction du rapport de transformation dû au fait que l'impédance différentielle d'un circuit est quatre fois plus élevée que son équivalent single-ended

Le principal désavantage de ce type de structure est la difficulté de leur mise en oeuvre. Les étages doivent être parfaitement symétriques à la fois géométriquement et électriquement pour ne pas générer de mode commun. Les structures de séparation/combinaison en entrée/sortie doivent également être conçues et prennent d'autant plus de place sur la puce ou le substrat. Cependant, les structures de type balun (BALanced-UNbalanced) en entrée/sortie permettent de réaliser la fonction d'adaptation d'impédance. Certaines topologies permettent également un réglage simple de l'impédance de charge présentée au second harmonique.

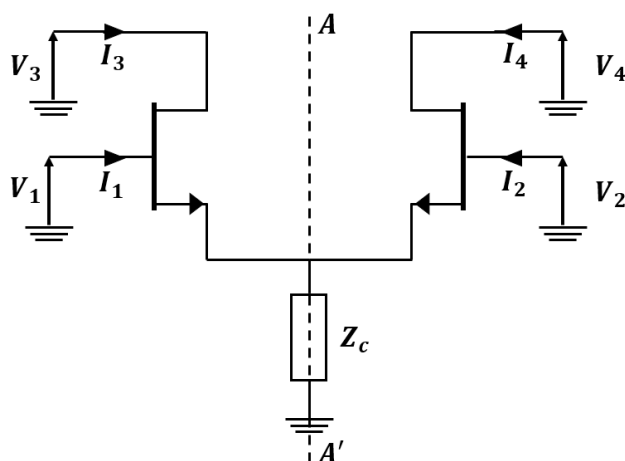


Figure 3.10 – Schéma électrique d'un amplificateur différentiel simple

La conception des amplificateurs différentiels a généralement pour but de favoriser le mode différentiel. Pour cela, le gain en mode commun est très fortement réduit

par l'ajout de composant dans le plan de symétrie, ou encore par une désadaptation du mode commun.

Dans notre cas, l'amplificateur différentiel est utilisé uniquement pour sa capacité à masquer l'effet des éléments parasites dans le plan de symétrie du composant. Cela nécessite que l'attaque soit purement différentielle afin de ne pas générer de mode commun. Le circuit nécessite donc une attaque particulière alors que la source de puissance ne change pas. Il est alors impératif d'utiliser des composants permettant de générer un signal différentiel à partir de la source, et un composant permettant de recombinaison des signaux en sortie pour les délivrer à la charge.

3.2.2 Outil et théorie pour l'étude des amplificateurs différentiels

L'étude des amplificateurs différentiels nécessite l'utilisation d'un formalisme adapté. La notion de modes différentiel et commun est présentée dans la première section. Ce formalisme permet de mieux comprendre les moyens à mettre en oeuvre pour favoriser le mode différentiel. La seconde section présente les paramètres-S modes mixtes (mixed-mode) permettant d'utiliser à partir des paramètres-S les figures de mérite adaptées aux modes commun et différentiel. Enfin, la stabilité des amplificateurs différentiels est abordée dans la dernière section.

3.2.2.1 Mode différentiel et mode commun

Comme dit précédemment, le fonctionnement d'un amplificateur différentiel peut être divisé en deux modes : le mode commun et le mode différentiel. Il est possible de décomposer un signal quelconque comme la somme d'un signal différentiel et d'un signal mode commun. Pour la définition des deux modes nous considérons la figure [3.11](#).

Le mode différentiel est défini comme la soustraction de deux signaux et le mode commun comme la somme de deux signaux. Les tensions et courants différentiels et communs d'entrée sont répertoriés dans le tableau [3.4](#). Il est important de noter les coefficients appliqués au courant différentiel et à la tension commune. Les deux modes en sortie sont définis de la même manière en remplaçant dans le tableau l'indice 1 par l'indice 3 et l'indice 2 par l'indice 4.

En mode commun, le plan de symétrie est équivalent à un mur magnétique (circuit ouvert) tandis qu'en mode différentiel il est équivalent à un mur électrique (court-circuit). Les schémas électriques équivalents de ces deux modes de fonctionnement sont représentés sur les figures [3.11\(b\)](#) et [3.11\(c\)](#).

En mode différentiel, les courants entrant dans les noeuds situés dans le plan de symétrie sont en opposition de phase ce qui équivaut à une masse virtuelle. Pour le mode commun, les courants entrant dans les noeuds sont en phase, ainsi, le courant

3.2 Etude des amplificateurs à topologie différentielle

	Mode différentiel	Mode commun
Tension	$V_{di} = V_1 - V_2$	$V_{ci} = \frac{V_1 + V_2}{2}$
Courant	$I_{di} = \frac{I_1 - I_2}{2}$	$I_{ci} = I_1 + I_2$

Table 3.4 – Définition des tensions et courants d'entrée en mode commun et différentiel

traversant les impédances dans le plan de symétrie est doublé entraînant ainsi un doublement de l'impédance vue par les demi-étages. L'étude de l'amplificateur total peut donc être réduite à deux sous-circuits simples dépendant chacun du mode d'excitation.

Les impédances en mode différentiel et commun en entrée et en sortie de l'amplificateur sont déterminées à partir de leurs courants et tensions respectifs. L'impédance d'entrée en mode différentiel est donnée dans l'équation 3.6 tandis que celle de mode commun est donnée dans l'équation 3.7. Pour le mode différentiel on a $V_2 = -V_1$ et pour le mode commun on a $V_2 = V_1$. La deuxième partie de ces deux équations permet de montrer l'équivalence qu'il existe entre les impédances d'entrée d'un étage différentiel complet et l'impédance d'entrée Z_1 d'un de ces demi-étage en single-ended. Ces résultats sont donnés en entrée mais sont applicables de la même manière en sortie.

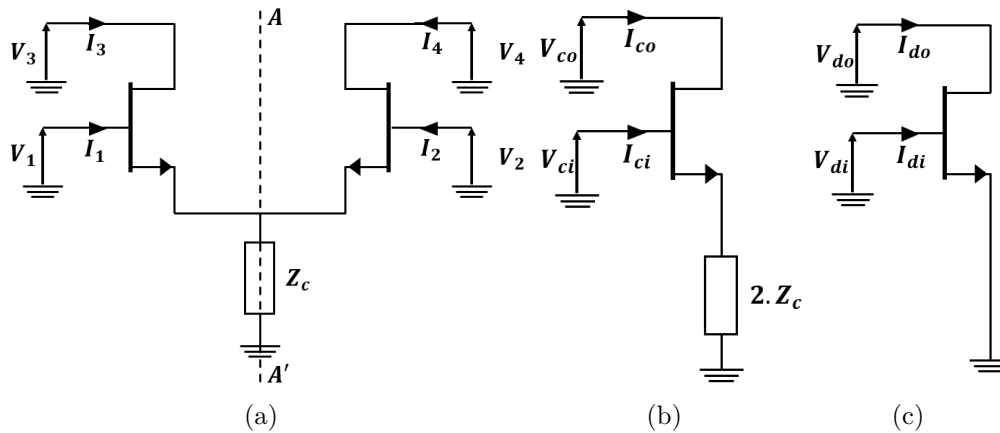


Figure 3.11 – (a) Schéma électrique d'un amplificateur différentiel en convention single-ended, (b) schéma électrique équivalent des demi-étages en mode commun et (c) en mode différentiel

$$Z_{di} = \frac{V_{di}}{I_{di}} = \frac{V_1 - V_2}{\frac{I_1 - I_2}{2}} = \frac{2 \cdot V_1}{\frac{2 \cdot I_1}{2}} = 2 \cdot Z_1 \quad (3.6)$$

$$Z_{ci} = \frac{V_{ci}}{I_{ci}} = \frac{\frac{V_1 + V_2}{2}}{I_1 + I_2} = \frac{\frac{2 \cdot V_1}{2}}{2 \cdot I_1} = \frac{Z_1}{2} \quad (3.7)$$

Conception d'un étage de puissance hautes performances à base de MASMOS

Un étage différentiel nécessite une impédance de charge 4 fois plus élevée que son équivalent (en terme de taille) single-ended. En effet, pour une impédance de charge single-ended Z_d , chaque demi-étage dans l'amplificateur voit $Z_d/2$ selon les équations précédentes. L'amplificateur single-ended étant 2 fois plus grand que les demi-étages, l'impédance devant lui être présentée est $Z_d/4$ par règle de mise à l'échelle. En augmentant de cette manière la valeur des conditions de fermeture de l'amplificateur, il est possible de synthétiser plus facilement les impédances, d'avoir une meilleure tolérance aux variations d'impédances et de réduire le rapport de transformation par rapport à 50Ω , l'impédance généralement présentée par les circuits, et réduire par conséquent les pertes des réseaux d'adaptation.

Pour un fonctionnement hors de la zone linéaire, l'amplificateur génère des harmoniques. Avec une excitation purement différentielle, les harmoniques impairs sont en mode différentiel tandis que les harmoniques pairs sont en mode commun [59]. Afin de comprendre ce phénomène nous considérons le schéma de la figure 3.12. Pour la démonstration, les amplificateurs sont représentés par leur transconductance non-linéaire gm et l'expression du courant de sortie est donnée dans l'équation 3.8. L'ordre de la non-linéarité est pris jusqu'à trois par mesure de simplicité.

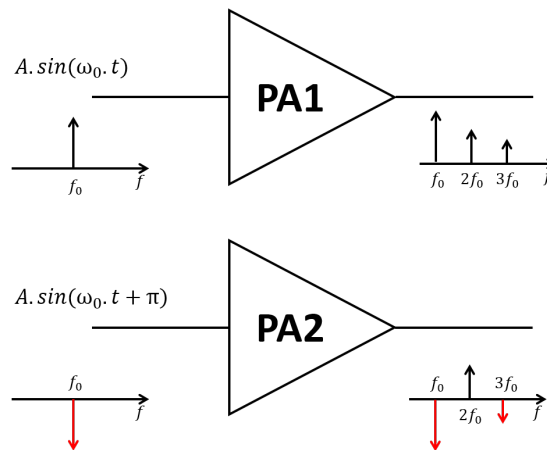


Figure 3.12 – Schéma équivalent d'un amplificateur différentiel avec un signal d'entrée sinusoïdale différentiel

$$I_{out}(t) = gm[V_{in}(t)] = g_{m1} \cdot V_{in}(t) + g_{m2} \cdot V_{in}(t)^2 + g_{m3} \cdot V_{in}(t)^3 \quad (3.8)$$

Nous considérons une excitation différentielle sinusoïdale $V_{in1}(t) = A \cdot \sin(\omega_0 \cdot t)$ et $V_{in2}(t) = A \cdot \sin(\omega_0 \cdot t + \pi)$. Le premier terme de l'équation 3.8 génère la composante fondamentale tandis que le troisième terme génère une composante à la fréquence fondamentale (négligeable devant l'amplitude générée par le premier terme) et une composante au troisième harmonique. Les termes impairs obtenus à la fréquence fondamentale ainsi qu'au troisième harmonique sont donnés dans les équations 3.9 et 3.10 respectivement. Les composantes impaires de sortie des amplificateurs différentiels sont donc en opposition de phase.

3.2 Etude des amplificateurs à topologie différentielle

$$\begin{aligned} I_{out1}|_{f_0} &= g_{m1} \cdot A \\ I_{out2}|_{f_0} &= g_{m1} \cdot A \cdot e^{j \cdot \pi} = -I_{out1}|_{f_0} \end{aligned} \quad (3.9)$$

$$\begin{aligned} I_{out1}|_{3 \cdot f_0} &= g_{m3} \cdot \frac{A^3}{4} \\ I_{out2}|_{3 \cdot f_0} &= g_{m3} \cdot \frac{A^3}{4} \cdot e^{j \cdot 3 \cdot \pi} = -I_{out1}|_{3 \cdot f_0} \end{aligned} \quad (3.10)$$

Le second terme de l'équation 3.8 est responsable de la génération des termes pairs en continu et au second harmonique. Pour la même excitation différentielle sinusoïdale que précédemment, les termes obtenus à $2 \cdot f_0$ par les deux demi-circuits sont donnés par l'équation 3.11. Ces deux équations montrent que les deux composantes de sortie au second harmonique sont en phase.

$$\begin{aligned} I_{out1}(t)|_{2f_0} &= g_{m2} \cdot \frac{A^2}{2} \\ I_{out2}(t)|_{2f_0} &= g_{m2} \cdot \frac{A^2}{2} \cdot e^{j \cdot 2 \cdot \pi} = I_{out1}|_{2 \cdot f_0} \end{aligned} \quad (3.11)$$

Les harmoniques pairs et impairs, pour une attaque purement différentiel, sont respectivement de mode commun et de mode différentiel, ce qui permet leur gestion séparée. Ce découplage octroie un degré de liberté supplémentaire pour la conception des amplificateurs de puissance et des réseaux d'adaptation d'impédance.

3.2.2.2 Paramètres S mixed-mode

Afin de mieux représenter les amplificateurs différentiels lors de leur fonctionnement linéaire, le formalisme des paramètres-S modes mixtes a été développé [59]. A partir de la définition des modes commun et différentiel énoncée dans la section 3.2.2.1, il est possible de définir une nouvelle matrice de paramètres S possédant des ports communs et différentiels. Afin d'exprimer la nouvelle matrice, nous considérons l'octopôle différentiel possédant deux entrées (indices 1 et 2) et deux sorties (indices 3 et 4) représenté sur la figure 3.13(a). Son comportement en petit-signal est entièrement défini par sa matrice de paramètres S 4 ports exprimée dans l'équation 3.12).

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{pmatrix} = \overbrace{\begin{pmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{pmatrix}}^S \cdot \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} \quad (3.12)$$

Les ondes de puissance normalisées modales sont reliées aux ondes conventionnelles par les expressions données dans l'équation 3.13. L'indice d correspond à la

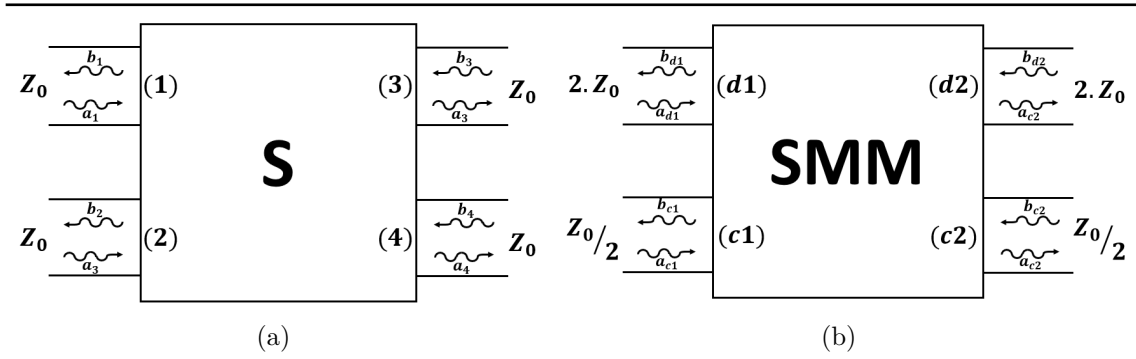


Figure 3.13 – (a) Schéma équivalent d'un octopôle différentiel représenté par sa matrice paramètres-S 4 ports et (b) son équivalent par représentation en mode mixte (mixed-mode)

définition des ondes différentielles et l'indice c correspond à la définition des ondes communes. De la même manière que les courants et tensions, les impédances de référence des deux modes sont différentes. Pour une impédance de référence en single-ended de valeur Z_0 les ondes différentielles sont normalisées par $2 \cdot Z_0$ et les ondes communes sont normalisées par $\frac{Z_0}{2}$.

$$\begin{aligned} a_c &= \frac{a_1 + a_2}{\sqrt{2}} & | & & a_d &= \frac{a_1 - a_2}{\sqrt{2}} \\ b_c &= \frac{b_1 + b_2}{\sqrt{2}} & | & & b_d &= \frac{b_1 - b_2}{\sqrt{2}} \end{aligned} \quad (3.13)$$

Il est alors possible de déterminer de nouveaux vecteurs modaux b_{MM} et a_{MM} représentant respectivement les ondes réfléchies et les ondes incidentes reliées aux ondes conventionnelles par une matrice de passage M comme le montre l'équation 3.14. L'indice 1 représente les ports d'entrée et l'indice 2 les ports de sortie.

$$b_{MM} = \begin{pmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{pmatrix} = \frac{1}{\sqrt{2}} \cdot \overbrace{\begin{pmatrix} 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & -1 \\ 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & -1 \end{pmatrix}}^M \cdot \begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{pmatrix} \quad (3.14)$$

Vient alors une nouvelle matrice représentative de l'octopôle définie pour des ports communs et différentiels que nous appellerons matrice de paramètres S mode mixte (S_{MM}). La relation de passage entre la matrice S et la matrice S_{MM} est donnée dans l'équation 3.15.

$$\begin{aligned} b &= S \cdot a \\ M^{-1} \cdot b_{MM} &= S \cdot M^{-1} \cdot a_{MM} \\ b_{MM} &= M \cdot S \cdot M^{-1} \cdot a_{MM} \end{aligned} \quad (3.15)$$

3.2 Etude des amplificateurs à topologie différentielle

La matrice S_{MM} obtenue est développée dans l'équation 3.16. Les deux premiers indices des paramètres S_{MM} représentent respectivement le mode onde réfléchi et le mode de l'onde incidente. Les deux derniers indices représentent respectivement le port de l'onde réfléchi et le port de l'onde incidente. Ainsi, le paramètre S_{dd21} est le coefficient de transmission du mode différentiel vers le mode différentiel de l'entrée vers la sortie. Il est possible de diviser la matrice S_{MM} en quatre sous matrices :

- S_{dd} : correspond à la matrice des paramètres de mode différentiel. Ce sont les paramètres qu'il faut optimiser pour un amplificateur différentiel.
- S_{cd} et S_{dc} : correspondent aux matrices des paramètres liés aux conversions de modes. Ces paramètres traduisent la symétrie du circuit : plus ils sont faibles, plus le circuit est symétrique.
- S_{cc} : correspond à la matrice des paramètres de mode commun. Afin d'assurer le bon fonctionnement des amplificateurs différentiels le gain de mode commun est généralement très faible.

$$\begin{pmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{pmatrix} = \begin{pmatrix} \overbrace{S_{dd11} \quad S_{dd12}}^{S_{dd}} & \overbrace{S_{cd11} \quad S_{cd12}}^{S_{cd}} \\ \overbrace{S_{dd21} \quad S_{dd22}}^{S_{dd}} & \overbrace{S_{cd21} \quad S_{cd22}}^{S_{cd}} \\ \overbrace{S_{dc11} \quad S_{dc12}}^{S_{dc}} & \overbrace{S_{cc11} \quad S_{cc12}}^{S_{cc}} \\ \overbrace{S_{dc21} \quad S_{dc22}}^{S_{dc}} & \overbrace{S_{cc21} \quad S_{cc22}}^{S_{cc}} \end{pmatrix} \cdot \begin{pmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{pmatrix} \quad (3.16)$$

Nous utiliserons ce formalisme de paramètre-S essentiellement pour la stabilité petit signal de l'amplificateur et pour la conception des structures passives de séparation et de re-combinaison du signal mode différentiel en mode commun.

3.2.2.3 Stabilité des étages différentiels

Dans le cas d'un octopôle tel qu'un amplificateur différentiel, il est nécessaire d'élargir la méthode du facteur K de deux à quatre ports. Il existe alors 6 facteurs K différents correspondant aux différentes combinaisons possibles de ports [9]. La détermination des facteurs K est alors analogue à celle présentée dans le chapitre I à la différence que le coefficient de réflexion vu d'un port doit avoir un module strictement inférieur à 1 quelles que soient les impédances présentées sur les trois autres ports.

Dans [60], il a démontré dans le cas d'amplificateurs différentiels qu'il était possible de définir 4 facteurs K dépendant du formalisme des modes pairs et impairs et de leurs modes de conversion. De la même manière, en utilisant le formalisme des modes mixtes, si les matrices de conversion de mode S_{dc} et S_{cd} présentent des paramètres S très faibles, il est possible de ramener le problème au calcul des facteurs K_{dd} et K_{cc} correspondant aux matrices S_{dd} et S_{cc} . Dans le cas contraire, il est nécessaire de calculer tous les coefficients possibles de la matrice S_{MM} car le calcul de K_{dd} et K_{cc} seuls est erroné étant donné que les ports qui ne sont pas considérés sont chargés sur leur impédance caractéristique.

3.3 Conception d'un étage de puissance différentiel MASMOS de référence

Un premier étage de puissance est conçu afin d'atteindre plusieurs objectifs en amont de l'implémentation d'une méthode de linéarisation :

- Evaluer l'apport de l'étage différentiel par rapport à une structure single-ended
- Estimer la puissance de sortie P_{OUT} possible pour une taille choisie de MASMOS
- Concevoir un étage de puissance hautes performances de référence afin de le linéariser par la suite
- Valider le choix de l'architecture

La longueur totale de grille retenue pour le MOS est de 16mm et pour le JFET de 26,9mm. Ces tailles correspondent au double de celles utilisées précédemment. En effet, les puissances obtenues lors des précédentes simulations et mesures sont presque deux fois moins élevées que celles attendues dans le cahier des charges (28.5dBm). La largeur de transistor totale est séparée en deux sous-étages de tailles égales afin de constituer l'amplificateur différentiel.

Le layout de l'étage de puissance est mené en parallèle de la conception afin d'optimiser la valeur des parasites dus aux interconnexions. En effet, les layouts ne sont pas réalisés à partir de cellules paramétriques (P-cell) et il est nécessaire d'estimer les éléments extrinsèques des transistors. Plusieurs structures différentielles simples ont été réalisées. Seul l'étage de puissance délivrant les meilleures performances est présenté ici. Le layout de la puce est représenté sur la figure 3.14. Les éléments électriques du circuit sont représentés en bleu au dessus du layout.

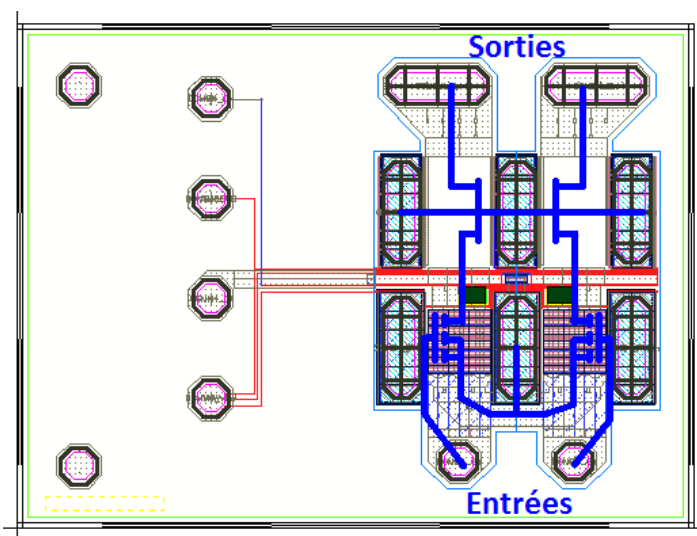


Figure 3.14 – Layout de l'étage de puissance référence

3.4 Conception d'un balun de sortie intégré

Afin d'obtenir une réduction maximale de l'inductance parasite de source, les deux sources des MOS sont reliées ensemble directement sur la puce au niveau du bump central. Les grilles des JFET sont également reliées ensemble au niveau d'un bump central. Afin d'assurer une résistance thermique faible, les transistors sont cernés par des piliers thermiques non connectés électriquement au circuit mais participant à la dissipation thermique vers le substrat et vers le plan de masse. La surface de la partie active (incluant les piliers thermiques) est de $0.225mm^2$ ($450\mu m * 500\mu m$).

La recherche des impédances de fermeture est réalisée selon la méthodologie présentée dans la section 3.1.2. La seule différence est que l'impédance à la fondamentale est déterminée en mode différentiel et l'impédance au second harmonique est déterminée en mode commun conformément aux résultats de la section 3.2.2.1. Le tableau 3.5 contient les impédances de charge optimales en terme de P_{OUT} à un niveau d'ACLR de $-40dBc$ à la fréquence fondamentale et au second harmonique.

	$Z_{Lf0}(\Omega)$	$Z_{L2f0}(\Omega)$
$P_{OUT} @ACLR = -40dBc$	$10+j6$	$0 + j7$

Table 3.5 – Impédances de charge optimales de l'étage de puissance différentiel

Etant donné que les modules de PA doivent être single-ended en entrée et en sortie, il est nécessaire d'ajouter à l'étage de puissance une structure de recombinaison en sortie. Parmi celles existantes telles que le rat-race, le balun marchand ou encore le balun intégré (inductances couplées), nous avons retenu le balun intégré. En effet, les autres structures nécessitent l'utilisation de lignes quart d'onde possédant des dimensions trop élevées ($\lambda_g \sim 19.7mm$) pour notre application. Le balun intégré est intégrable sur la puce ou sur un substrat tout en occupant une plus faible surface. Il permet également de synthétiser à la fois l'impédance de charge différentielle présentée à la fréquence fondamentale et l'impédance de charge commune au second harmonique simultanément. L'étude de cette structure est l'objet de la section suivante.

3.4 Conception d'un balun de sortie intégré

La principale contrainte pour la conception du balun est son intégration sur le substrat stratifié ou sur la puce elle-même. S'il est réalisé sur la puce il est possible d'utiliser les capacités MIM tandis que sur le substrat il faut utiliser des capacités issues d'un circuit passif intégré supplémentaire. La structure doit réaliser la conversion du mode différentiel vers le mode commun (single-ended) tout en transformant l'impédance de la charge 50Ω comme prévu selon les résultats de la section précédente. Afin de mieux comprendre le fonctionnement de la structure, il est nécessaire d'étudier les transformateurs qui en sont le principe de base.

3.4.1 Propriétés des transformateurs pour la synthétisation d'impédance

Un transformateur est représenté par deux inductances couplées dont le modèle est représenté sur la figure 3.15. Le transformateur est défini par une inductance primaire L_p et une inductance secondaire L_s couplées d'un coefficient de couplage k . Leur inductance mutuelle est $M = k \cdot \sqrt{(L_p \cdot L_s)}$. Les pertes sont ici négligées afin de faire transparaître les résultats ainsi que leurs dépendances aux différents paramètres de conception. Pour les démonstrations suivantes nous utilisons le schéma de la figure 3.15 et sa matrice de paramètre Z donnée dans l'équation 3.17.

$$Z = \begin{pmatrix} j \cdot L_p \cdot \omega & j \cdot M \cdot \omega \\ j \cdot M \cdot \omega & j \cdot L_s \cdot \omega \end{pmatrix} \quad (3.17)$$

Nous considérons que le port 2 est terminé par une résistance de charge R_L . L'impédance Z_{in} ramenée au port 1 est donnée dans l'équation 3.18.

$$\begin{aligned} Z_{in} &= Z_{11} + \frac{Z_{12} \cdot Z_{21}}{R_L + Z_{22}} = j \cdot L_p \cdot \omega - \frac{M^2 \cdot \omega^2}{R_L + j \cdot L_s \cdot \omega} \\ \text{Re}(Z_{in}) &= \frac{M^2 \cdot \omega^2 \cdot R_L}{R_L^2 + L_s^2 \cdot \omega^2} \\ \text{Im}(Z_{in}) &= L_p \cdot \omega - \frac{M^2 \cdot L_s \cdot \omega^3}{R_L^2 + L_s^2 \cdot \omega^2} \end{aligned} \quad (3.18)$$

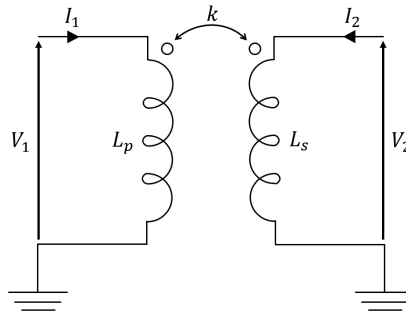


Figure 3.15 – Schéma électrique d'un transformateur

Lorsque la fréquence tend vers l'infini, l'impédance ramenée tend vers $Z_{in} = k^2 \cdot \frac{L_p}{L_s} \cdot R_L + j \cdot L_p \cdot \omega \cdot (1 - k^2)$. La partie imaginaire de Z_{in} est proportionnelle à la fréquence. En plus de ne pas être valable à notre fréquence de travail, cette expression montre que la partie imaginaire synthétisée serait trop élevée par rapport à celle souhaitée de part sa dépendance fréquentielle.

Afin de synthétiser une impédance Z_{in} tout en maîtrisant sa valeur à une fréquence donnée, il est possible de faire résonner l'inductance secondaire du transfor-

3.4 Conception d'un balun de sortie intégré

mateur avec une capacité. Les deux sections suivantes présentent les deux possibilités de résonance (série ou parallèle) ainsi que les résultats obtenus.

3.4.1.1 Résonance parallèle de l'inductance secondaire

La résonance parallèle est obtenue à partir d'une capacité C_p mise en parallèle avec l'inductance secondaire L_s . Le schéma équivalent du transformateur dans cette configuration est donné sur la figure 3.16. La matrice Z associée à ce quadripôle est donnée dans l'équation 3.19.

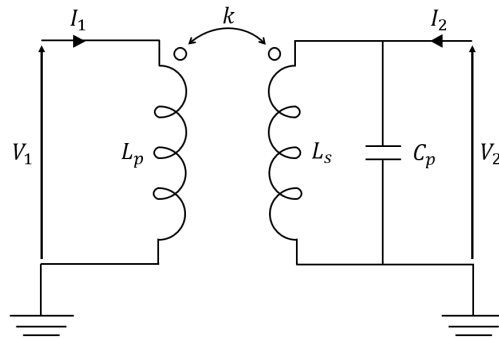


Figure 3.16 – Schéma électrique d'un transformateur avec une résonance parallèle

$$Z = \begin{pmatrix} j.L_p.\omega + \frac{j.C_p.\omega.M^2.\omega^2}{1 - L_s.C_p.\omega} & \frac{j.M.\omega}{1 - L_s.C_p.\omega} \\ \frac{j.M.\omega}{1 - L_s.C_p.\omega} & \frac{j.L_s.\omega}{1 - L_s.C_p.\omega} \end{pmatrix} \quad (3.19)$$

La résonance parallèle est obtenue à la pulsation $\omega_0 = \frac{1}{\sqrt{L_s.C_p}}$. Nous considérons une résistance de charge R_L terminant le port 2 du quadripôle. A la fréquence de résonance, les expressions des parties imaginaires et réelles de l'impédance ramenée au port 1 sont données dans l'équation 3.20.

$$\begin{aligned} Re(Z_{in}) &= k^2 \cdot \frac{L_p}{L_s} \cdot R_L \\ Im(Z_{in}) &= L_p \cdot \omega_0 \cdot (1 - k^2) \end{aligned} \quad (3.20)$$

L'impédance ramenée à la fréquence fondamentale est exactement l'asymptote obtenue pour le transformateur sans résonance. La résonance parallèle permet donc de synthétiser une impédance à une fréquence voulue. A la résonance, la partie réelle est un maximum local et la partie imaginaire varie rapidement. Il est donc possible d'obtenir une impédance avec peu de variations sur une bande autour de la fréquence de résonance.

Conception d'un étage de puissance hautes performances à base de MASMOS

Il est remarquable de voir que la partie imaginaire est entièrement déterminée par l'inductance primaire ainsi que le coefficient de couplage (la pulsation étant fixée par l'application). La partie réelle quant à elle est entièrement dépendante de la charge présentée au circuit et à l'inductance secondaire. Ainsi la capacité sera un des derniers paramètres fixés permettant d'atteindre la fréquence de résonance voulue.

3.4.1.2 Résonance série de l'inductance secondaire

La résonance série est obtenue à partir d'une capacité C_s en série avec l'inductance secondaire L_s . Le schéma électrique équivalent du transformateur dans cette configuration est représenté sur la figure 3.17. La matrice Z du quadripôle est donnée par l'équation 3.21.

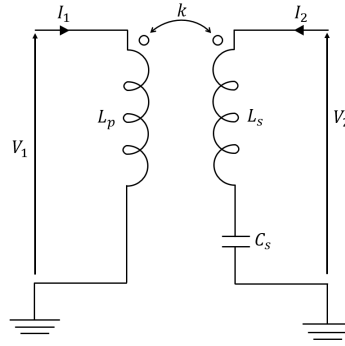


Figure 3.17 – Schéma électrique d'un transformateur avec une résonance série

$$Z = \begin{pmatrix} j.L_p.\omega & j.M.\omega \\ j.M.\omega & \frac{j.L_s.\omega}{R_L + \frac{1-L_s.C_s.\omega}{j.C_s.\omega}} \end{pmatrix} \quad (3.21)$$

La résonance série est obtenue également à la pulsation $\omega_0 = \frac{1}{\sqrt{L_s.C_s}}$. Nous considérons une résistance de charge R_L terminant le port 2 du quadripôle. A la fréquence de résonance, l'expression des parties imaginaire et réelle de l'impédance ramenée au port 1 est donnée dans l'équation 3.22. Comparé au cas de la résonance parallèle, la partie réelle est ici proportionnelle à l'inverse de la charge R_L et la partie imaginaire est indépendante du coefficient k .

$$\begin{aligned} Re(Z_{in}) &= \frac{M^2.\omega_0^2}{R_L} \\ Im(Z_{in}) &= L_p.\omega_0 \end{aligned} \quad (3.22)$$

3.4.2 Du transformateur au balun intégré

Afin d'étendre les résultats obtenus pour le transformateur à l'étude du balun intégré, nous considérons le schéma de la figure 3.18. Deux ports sont maintenant

3.4 Conception d'un balun de sortie intégré

placés de part et d'autre de l'inductance primaire et représentent chacun une des sorties d'une structure différentielle. Le troisième port est terminé par une résistance de charge R_L de 50Ω . La tension aux bornes de l'inductance primaire L_p est $V_1 - V_2$ et le courant la traversant est $I_1 = -I_2$.

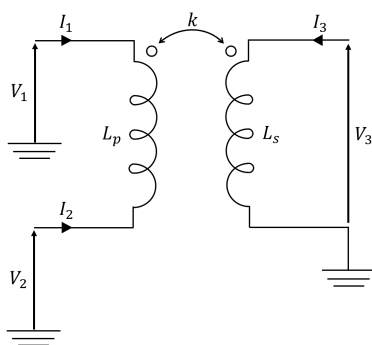


Figure 3.18 – Schéma électrique équivalent du balun intégré

Dans le cas d'un fonctionnement purement différentiel où $V_1 = -V_2$, l'expression de la tension différentielle est $V_d = 2.V_1$ et le courant différentiel est $I_d = \frac{I_1 - I_2}{2}$. En remplaçant les deux ports single-ended d'entrée de la figure 3.18 par un port différentiel possédant une tension V_d et un courant I_d les résultats obtenus sur l'impédance ramenée de la section 3.4.1 s'appliquent au port différentiel. L'impédance différentielle présentée par le balun est alors donnée dans l'équation 3.18 dans le cas sans résonance, dans l'équation 3.20 dans le cas de la résonance parallèle et dans l'équation 3.22 dans le cas de la résonance série.

Pour la conception d'un réseau d'adaptation d'impédance de sortie il est maintenant nécessaire d'adjoindre à la structure un moyen de polarisation et également de considérer le comportement en mode commun. En mode différentiel, le point milieu de l'inductance primaire L_p est une masse virtuelle. Ce noeud permet ainsi d'amener la polarisation sans modifier le comportement RF porté à travers le mode différentiel. Le schéma électrique équivalent d'un balun intégré de sortie est représenté sur la figure 3.19. Par simplicité, la polarisation est effectuée à travers un té de polarisation parfait (L_{DC} et C_{RF}).

Pour ce qui est de l'impédance ramenée en mode commun par la structure, on considère une attaque du balun telle que $V_1 = V_2$ et $I_1 = I_2$. La tension commune est alors $V_c = V_1$ et le courant commun est $I_c = 2.I_1$. Dans ce mode de fonctionnement, il n'y a aucun couplage du signal vers la charge. L'impédance commune vue par l'étage différentielle est alors $\frac{V_c}{I_c} = \frac{1}{j.L_p.\omega}$.

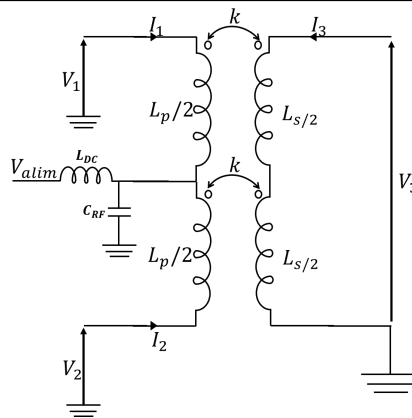


Figure 3.19 – Schéma électrique équivalent du balun intégré complet

3.4.3 Méthodologie de conception

La méthodologie que nous proposons pour la conception du balun intégré est présentée sur la figure 3.20. Cette méthodologie est adaptée aux deux types de résonance présentées dans la section précédente. Elle est séparé en deux blocs distincts. Le premier bloc consiste à dimensionner les différents éléments constitutifs du transformateur en amont des simulations électromagnétiques sans prendre en compte les effets parasites. Afin de faire ce dimensionnement il est nécessaire de créer un abaque comprenant les valeurs de k , L_p , L_s et L_p/L_s pour différentes géométries et dispositions de lignes de transmission. La méthodologie d'extraction de ces différents paramètres est détaillée dans l'annexe 2. Puis, le second bloc consiste à faire plusieurs itérations de simulations électromagnétiques pour prendre en compte les parasites avant d'aboutir aux résultats voulus.

3.4.4 Conception du balun associé à l'étage de puissance

Le balun est intégré sur un substrat stratifié afin de bénéficier de pertes plus faibles que sur le silicium. La méthodologie présentée dans la section précédente est appliquée ici pour la conception du balun répondant aux contraintes énoncées lors de la conception de notre étage de puissance. La structure retenue est la résonance série. Ce choix a été fixé par l'empreinte (disposition des pads d'entrée/sortie) du circuit intégré passif que nous avons utilisé pour les capacités.

Le schéma électrique final du balun est représenté sur la figure 3.21. Les deux capacités C_1 et C_2 sont intégrées sur un circuit intégré passif réalisé par les ingénieurs d'ACCO. Ce circuit est composé de deux matrices de capacité possédant une granularité respective de $0.1pF$ et $4.5pF$. Ces capacités sont ainsi ajustables par une découpe préalable au laser des interconnexions. C_1 est utilisée pour la résonance tandis que C_2 est utilisée pour le découplage. Ces capacités permettent d'adapter les valeurs d'impédance en mode différentiel (C_1) et en mode commun (C_2). La polarisation est assurée sur le point milieu du primaire.

3.4 Conception d'un balun de sortie intégré

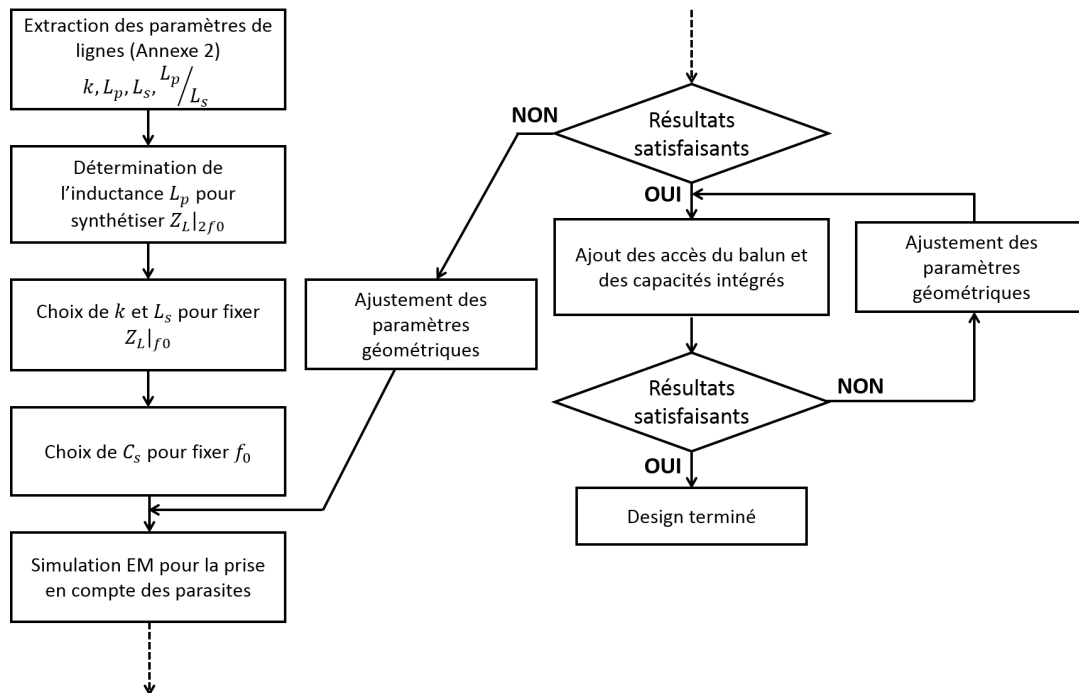


Figure 3.20 – Méthodologie de conception du balun intégré

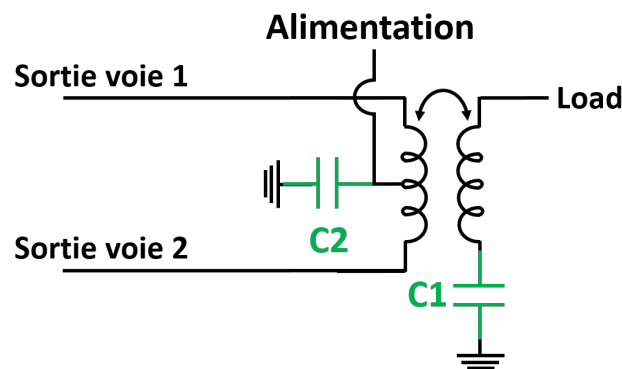


Figure 3.21 – Schéma électrique équivalent final du balun

Les performances simulées lors de la dernière étape de simulation électromagnétique sont représentées sur la figure 3.22. L'impédance différentielle présentée à la fréquence fondamentale vaut $(10 + j5)\Omega$ et l'impédance de mode commun présentée au second harmonique vaut $(0 + j9)\Omega$. Ces valeurs sont très proches des deux impédances $((10 + j6)\Omega$ et $(0 + j7)\Omega$) prévues dans la section 3.3. Les pertes du réseau sont de $0.4dB$ ce qui permettra d'obtenir des performances très proches de celles prévues dans le plan du transistor.

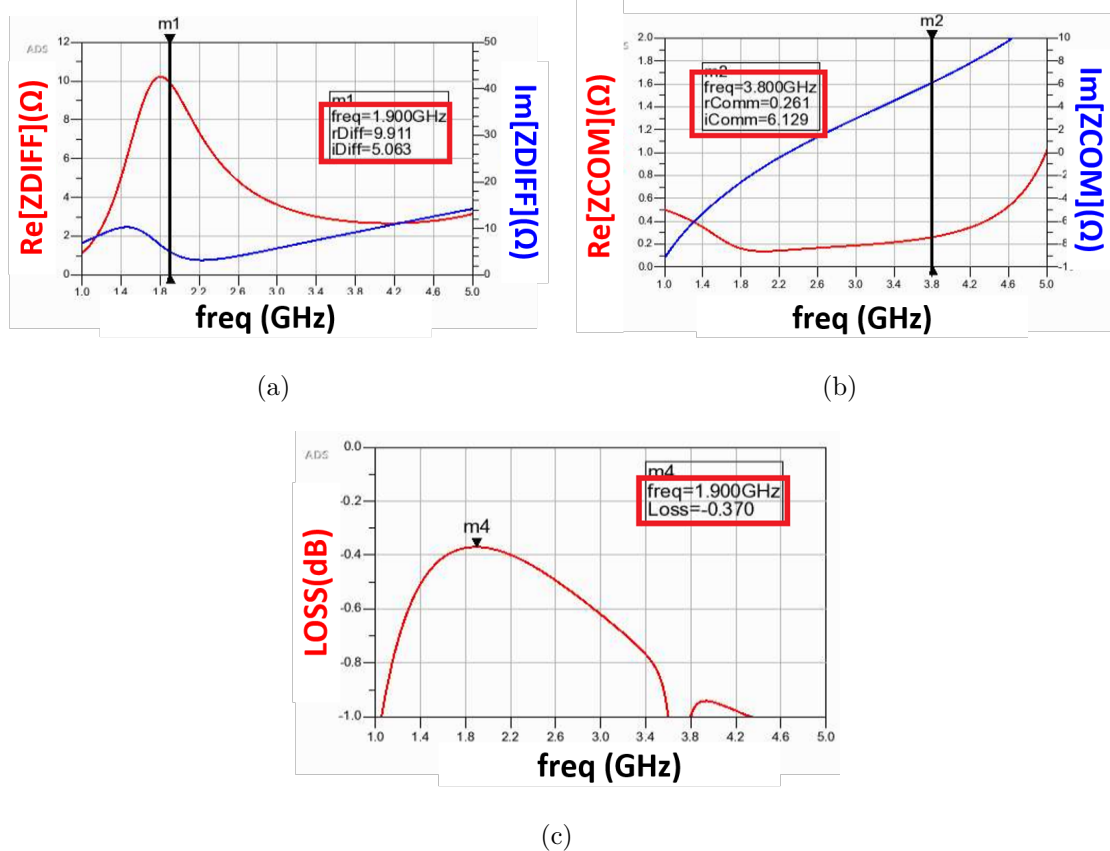


Figure 3.22 – Paramètres simulés du balun (a) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode différentiel, (b) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode commun et (c) pertes en dB

3.5 Caractérisation de l'étage de puissance

La validation de l'étage de puissance se découpe selon deux axes :

- La vérification de l'annulation de l'inductance parasite de source
- L'optimisation de l'étage de puissance avec son balun de sortie associé

3.5.1 Vérification de l'annulation de l'effet de l'inductance parasite de source

3.5.1.1 Plan de mesures

Pour vérifier l'annulation de l'inductance parasite de source la puce est implémentée en configuration single-ended (voir Fig.3.23(a)) et en configuration différentielle (voir Fig.3.23(b)). Afin de réaliser la connexion en single-ended les entrées/sorties sont reliées entre elles ce qui revient à mettre les deux demi-étages en parallèle.

Les réseaux d'adaptation sont réalisées des manières suivantes :

3.5 Caractérisation de l'étage de puissance

- En configuration différentielle, les réseaux d'adaptation sont composés de deux lignes RF pour chaque voie. Pour réaliser une attaque purement différentielle ainsi que pour recombinaison des signaux en sortie, deux rat-races (centrés sur $1,9GHz$) ont été utilisés car disponibles et étant les seuls circuits permettant de réaliser ces fonctions lors de cette campagne de mesure.
- En configuration single-ended, les réseaux d'adaptation d'entrée et de sortie sont réalisés sur un seul chemin RF.

Afin de réaliser une comparaison équitable, il est nécessaire de présenter aux deux amplificateurs les mêmes conditions de charge. Les charges présentées dans les deux configurations sont choisies pour donner la meilleure P_{out} saturée et sont obtenues à la suite de mesures loadpull. Ces mesures ne sont pas présentées ici car les performances obtenues ne représentent pas les potentialités de l'étage. En effet, en utilisant des rat-races, l'impédance de mode commun n'est pas maîtrisée.

Tous les paramètres de mesure étant les mêmes, seul l'impact de l'interconnexion liant la source du MOS à la masse diffère.

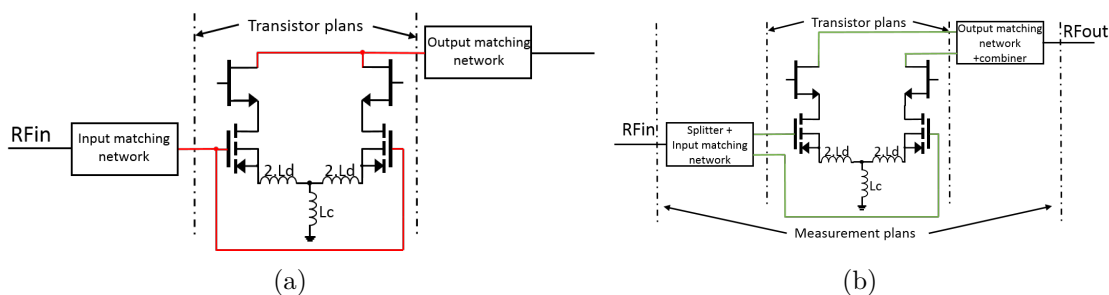


Figure 3.23 – Configuration de mesure (a) single-ended et (b) différentielle

3.5.1.2 Caractérisation des réseaux d'adaptation d'impédance

Afin d'avoir une comparaison équitable, les résultats de mesure doivent être pris dans le plan des transistors. La caractérisation des réseaux d'adaptation d'impédance a été réalisée en utilisant un substrat stratifié dédié venant remplacer l'ensemble stratifié+puce. Les pertes des réseaux d'adaptation pour les deux configurations sont répertoriées dans le tableau 3.6. Les pertes des réseaux différentiels sont plus élevées de part l'utilisation de deux rat-races et également par le nombre de composants localisés qui est doublé. Ces résultats sont utilisés dans la section suivante pour le de-embedding des performances mesurées.

3.5.1.3 Résultats de mesure

La Fig.3.24 représente les mesures dans le plan du transistor pour les deux configurations. Au niveau d'ACLR de $-40dBc$ les niveaux de puissance de sortie sont les

Conception d'un étage de puissance hautes performances à base de MASMOS

configuration	Pertes d'entrée (dB)	Pertes de sortie (dB)	
Single-Ended	1.5	0.8	
Différentielle	2.9	1.3	

Table 3.6 – Pertes des réseaux d'adaptation pour les deux configurations de mesure

mêmes et la PAE est légèrement supérieure dans le cas du différentiel. Le G_p est 2.8dB plus élevé pour la structure différentielle. Cela prouve que la suppression de l'inductance liée aux interconnexions flip-chip (de l'ordre de 15pH) augmente significativement le G_p sans détériorer les performances globales de l'étage de puissance.

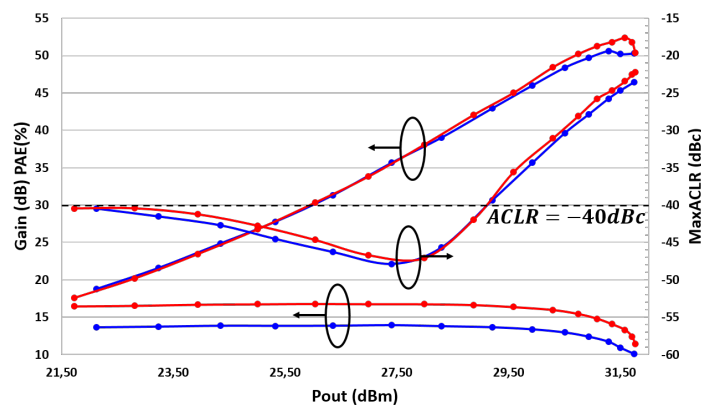


Figure 3.24 – Performances mesurées de l'amplificateur en configuration single-ended (○) et en configuration différentielle (□)

3.5.2 Mesures des performances intrinsèques de l'étage de puissance

L'étage de puissance est ici caractérisé avec le balun de sortie présenté et conçu dans la section 3.4. Le réseau d'adaptation d'impédance à l'entrée est constitué d'un rat-race et d'un réseau LC passe-haut pour chaque voie RF. La polarisation est faite à travers des résistances pour chaque voie et les lignes d'accès DC sont découplées par deux capacités chacune. Le circuit est donc mesuré en configuration single-ended comme le montre la photographie du circuit complet sur la figure 3.25. Toutes les mesures présentées ici sont le résultat d'une optimisation du fonctionnement de l'amplificateur pendant la phase de caractérisation.

Les réseaux d'adaptation sont tout d'abord mesurés en utilisant un substrat stratifié dédié. Le fonctionnement en petit signal est ensuite vérifié à travers une vérification du point de polarisation ainsi qu'une mesure paramètres-S. Puis, les performances de l'étage de puissance sont mesurées à travers un loadpull pour des signaux CW et W-CDMA. Les réseaux d'adaptation et particulièrement le balun de

3.5 Caractérisation de l'étage de puissance

sortie sont ré-optimisés pour centrer la charge sur 50Ω . Pour ce faire, les valeurs des capacités intégrées sont modifiées.

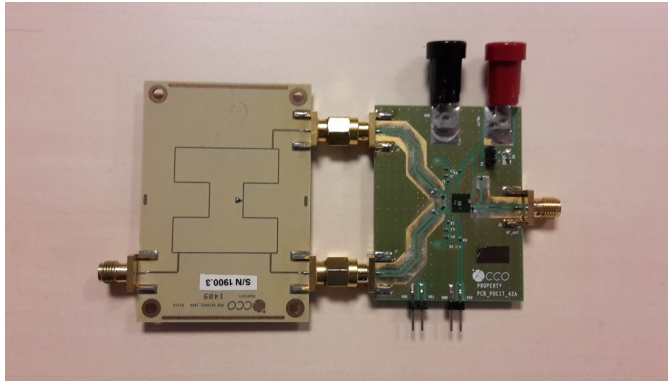


Figure 3.25 – Photographie du PCB de test incluant le rat-race en entrée

3.5.2.1 Mesures des réseaux d'adaptation

A la suite de mesures loadpull successives (dont nous détaillerons les résultats finaux dans les parties suivantes), la valeur de la charge fondamentale optimale en terme de puissance maximale à un niveau de $-40dBc$ d'ACLR sur 50Ω a été déterminée et est légèrement différente de celle obtenue en simulation. La valeur de l'impédance présentée à la fréquence fondamentale a ainsi été ré-optimisée par ajustement de la valeur de la capacité C_s par découpe laser et vaut $9.5 + j8.5\Omega$ contre $10 + j6\Omega$ simulée.

Les mesures des différents paramètres du réseau d'adaptation de sortie sont représentés en fonction de la fréquence sur la figure 3.26. Les différentes performances mesurées du balun de sortie ainsi que les valeurs prévues en simulation sont répertoriées dans le tableau 3.7. Sur la figure 3.26(b), plusieurs résonances placées à $360MHz$, $1,2GHz$ et $2.7GHz$ sont visibles sur l'impédance présentée en mode commun. Elles sont dues aux capacités de découplage placées sur la voie de polarisation au niveau du drain. Enfin, les pertes présentent des valeurs positives entre $0.1GHz$ et $0.2GHz$. Ces pics positifs sont attribués au fait que le calcul des pertes est réalisé en phase de post-processing sur des données présentant de faibles valeurs et pouvant donc facilement générer des aberrations vis-à-vis des résultats. Il existe une différence de $0.1dB$ entre les pertes simulées et mesurées dans la plage de fréquence de travail qui est expliquée par le fait que la ligne 50Ω ainsi que le connecteur SMA n'ont pas été pris en compte dans la simulation électromagnétique. Cette différence reste cependant marginale et affecte peu les résultats de mesure. Le réseau d'adaptation d'entrée a également été caractérisé en paramètres-S mais les résultats ne sont pas montrés ici. Ce réseau possède des pertes de $2dB$.

Conception d'un étage de puissance hautes performances à base de MASMOS

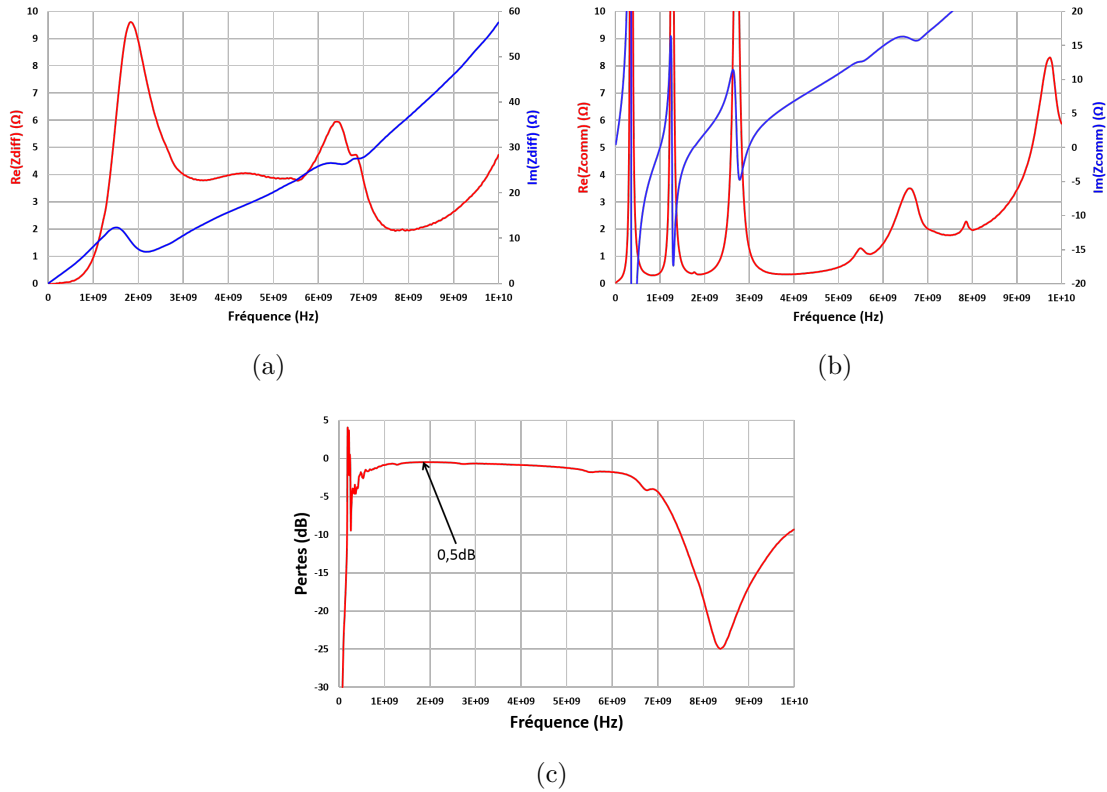


Figure 3.26 – Paramètres mesurés du balun (a) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode différentiel, (b) parties réelle (rouge) et imaginaire (bleue) de l'impédance de mode commun et (c) pertes en dB

	mesures	simulations
$Z_L _{f_0\Omega}$	$9.5 + j8.5$	$10 + j6$
$Z_L _{2f_0\Omega}$	$0.4 + j6$	$0 + j7$
$Pertes(dB)$	0.5	0.4

Table 3.7 – Performances du balun de sortie obtenues en mesures et en simulations

3.5.2.2 Mesures paramètres-S

L'amplitude des paramètres-S mesurés et simulés est représentée sur la figure 3.27. Les fichiers de paramètres-S des réseaux caractérisés dans la partie précédente sont utilisés lors des simulations afin de permettre une meilleure correspondance entre simulation et mesure. Les variations et les résonances des paramètres-S sont parfaitement reproduites en simulation ce qui permet de bien prévoir le comportement du circuit. Le seul paramètre possédant une réelle différence de comportement est le paramètre S_{12} , ce qui traduit une différence entre la mesure et la simulation au niveau de la partie active. Il est à noter qu'il y a une différence entre les niveaux des différents paramètres à 1.9GHz, notamment le paramètre S_{22} (0.7dB) traduisant le décalage de charge observé.

3.5 Caractérisation de l'étage de puissance

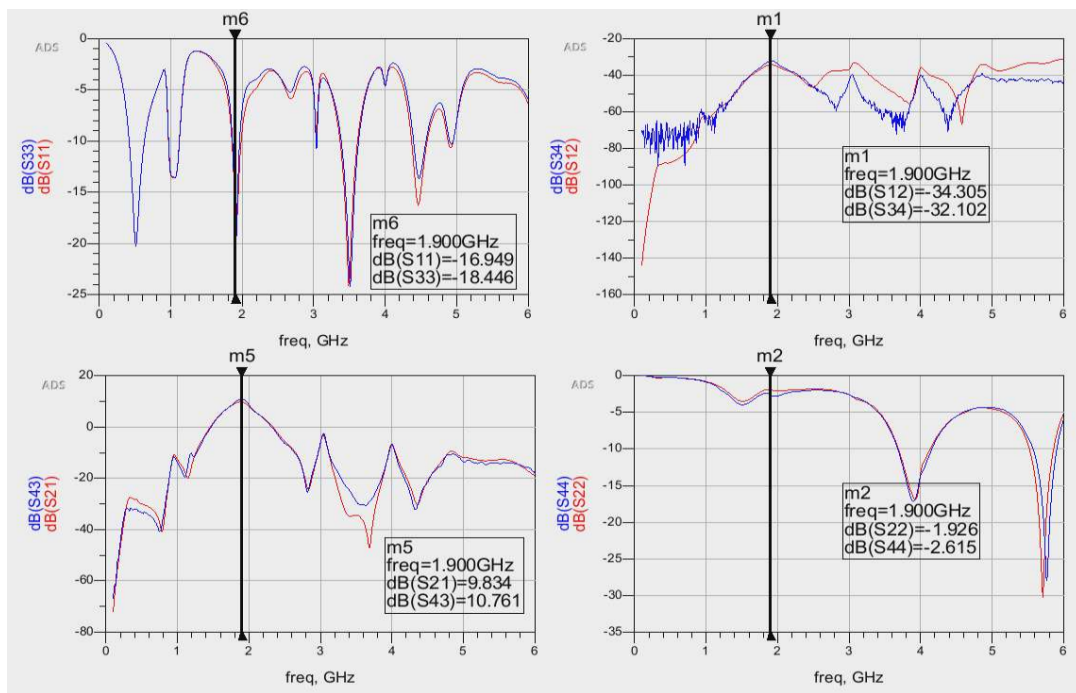


Figure 3.27 – Amplitude en dB des paramètres-S 2 ports mesurés (bleus) et simulés (rouge)

Le facteur K calculé à partir des mesures de $0.1GHz$ à $6GHz$ est représenté sur la figure 3.28. Sa valeur sur la bande de fréquence considérée assure la stabilité inconditionnelle de l'étage de puissance dans le plan de mesure.

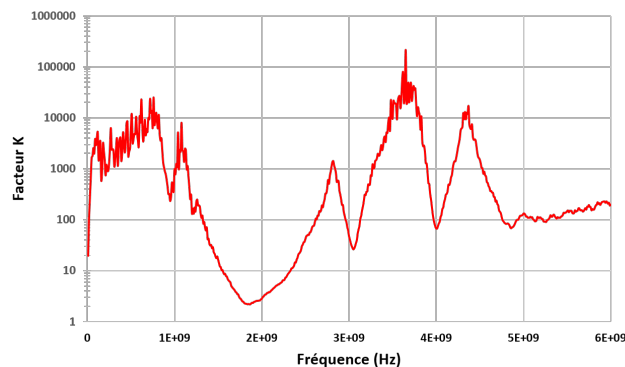


Figure 3.28 – Facteur K mesuré de la structure

3.5.2.3 Mesures Loadpull CW

Des mesures CW sont réalisées sur un banc de loadpull afin de déterminer la P_{out} maximale possible au maximum de PAE possible avec cette structure. Les résultats de mesures ainsi que ceux de simulations sont représentés sur les figures 3.29 pour la PAE et sur les figures 3.30 pour la puissance de sortie. La charge (centrée sur 50Ω)

Conception d'un étage de puissance hautes performances à base de MASMOS

est balayée sur l'abaque de Smith de $|\Gamma| = 0$ à 0.3 pour toutes les phases. La charge de sortie donnant les meilleures performances en terme de puissance de sortie est $|\Gamma| = 0.1$ et $\Phi(\Gamma) = -60^\circ$. Les variations des performances sont bien reproduites pour l'ensemble des charges mesurées et simulées. Les cercles de G_p ne sont pas représentés ici mais sont différents entre les mesures et simulations ($\sim 2\text{dB}$) sur toute la plage de puissance et la compression est plus rapide dans le cas de la mesure. Ceci est dû à la mauvaise estimation de l'inductance parasite de source qui entraine une différence dans les niveaux d'ACLR comme nous le verrons dans la partie suivante.

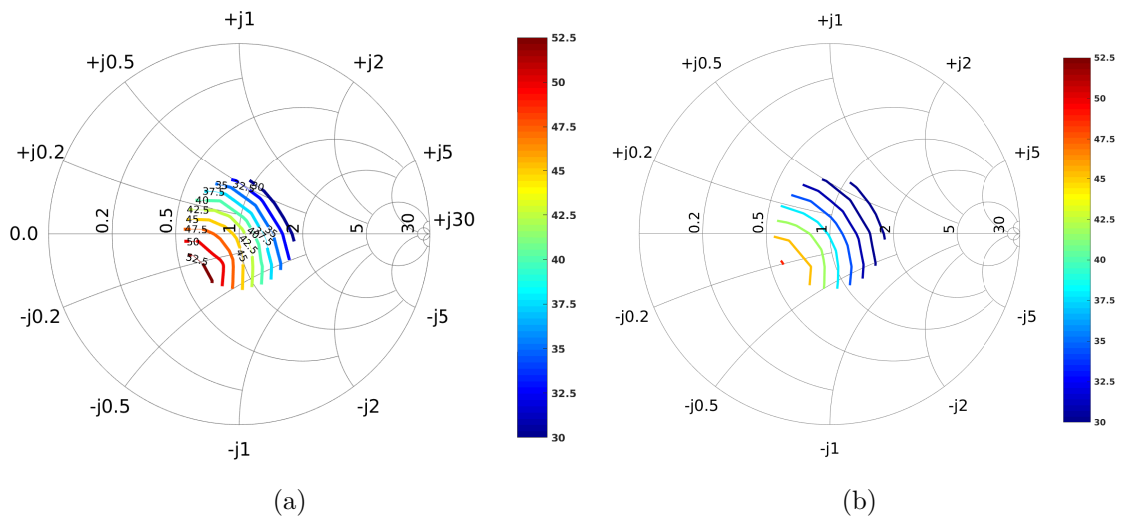


Figure 3.29 – Contours de PAE constante résultant du loadpull CW de l'étage de puissance obtenus (a) en mesure et (b) en simulation

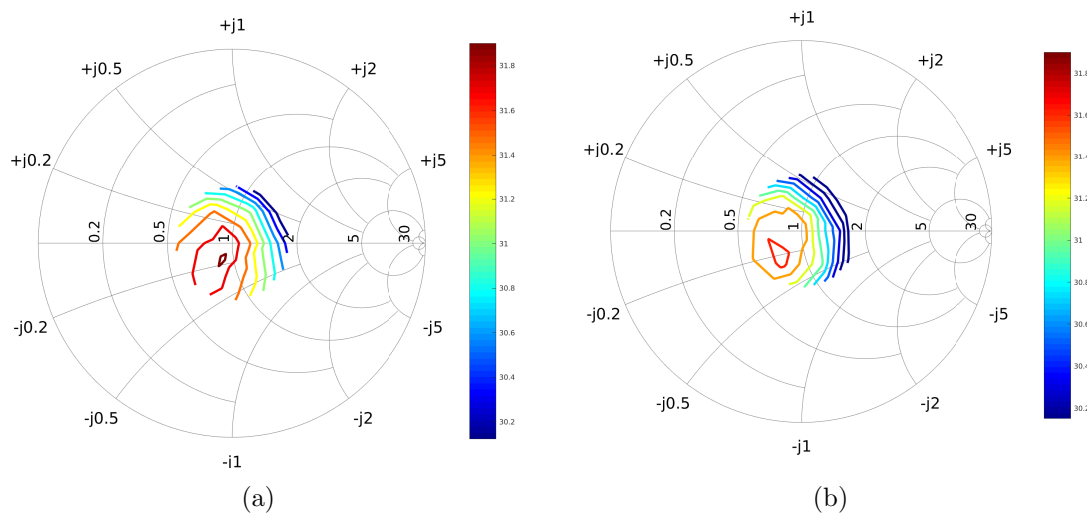


Figure 3.30 – Contours de P_{OUT} constante résultant du loadpull CW de l'étage de puissance obtenus (a) en mesure et (b) en simulation

3.5 Caractérisation de l'étage de puissance

3.5.2.4 Mesures Loadpull W-CDMA

Un loadpull est réalisé pour une attaque W-CDMA rel99. La charge est balayée de la même manière que précédemment. La charge donnant la puissance maximale à un niveau d'ACLR de -40dBc est $|\Gamma| = 0.2$ et $\Phi(\Gamma) = -120^\circ$. Les performances avec cette charge sont représentées sur la figure 3.31 et les résultats au niveau d'ACLR -40dBc sont répertoriés dans le tableau 3.8. L'allure des courbes d'ACLR bas niveau ne correspond pas entre la mesure et la simulation. Cette divergence entre simulation et mesure est également expliquée par le fait que la forme des G_p diffère. Les performances obtenues en terme de P_{out} sont en phase avec les spécifications mais la PAE reste trop faible.

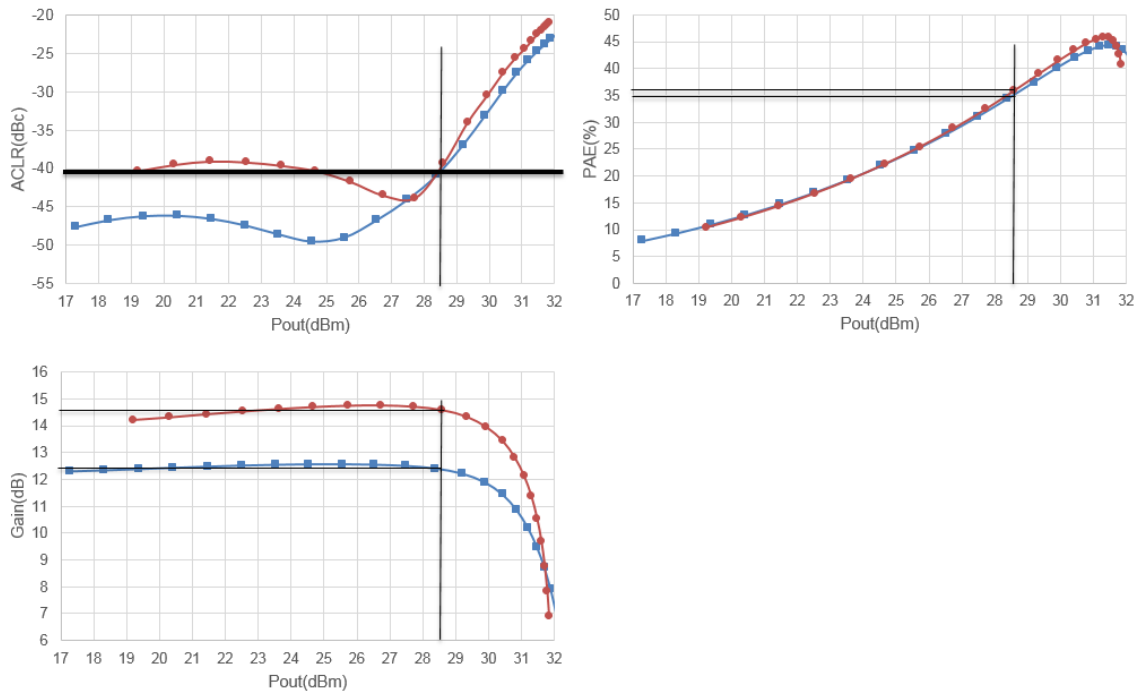


Figure 3.31 – Evolution des performances en fonction de P_{out} en simulation (\square) et en mesure (\circ)

	$P_{out}(dBm)$	$PAE(\%)$	$G_p(dB)$
Mesures	28.6	36	14.6
Simulations	28.6	35	12.2

Table 3.8 – Performances sur la charge $\Gamma = 0.2 / -120^\circ$ mesurée et simulée pour un signal W-CDMA

3.5.3 Comparaison avec la littérature sur les PAs CMOS pour application 3G

Une comparaison avec les meilleures réalisations publiées d'amplificateurs de puissance en CMOS pour la 3G est rassemblée dans le tableau 3.9. Nos résultats sont pris à un niveau d'ACLR de -33dBc afin de permettre une comparaison simple avec les autres circuits. Etant donné que nous proposons un étage de puissance sans étage driver, les gains ne sont pas comparables. Notre étage de puissance possède la plus forte puissance de sortie et est troisième en terme de *PAE*. Ce qu'il est important de noter est que notre réalisation ne possède encore aucun moyen de linéarisation et que ses performances sont d'ores et déjà au même niveau que les autres.

	Technologie	Freq (GHz)	V_{alim} (V)	<i>PAE</i> (%)	P_{out} (dBm)	G_p (dB)	ACLR (dBc)	Technique d'amélioration
[43]2010	0.18μm CMOS	1.95	3.4	40	23.5	26*	-33	Bias Control
[31]2012	0.18μm CMOS	1.95	3.5	39.4	29.1	23.2~32.2*	-36	PD
[44]2014	0.11μm CMOS	0.9	2.5	34	27.5	34*	-33	Bias network improvement
[39]2004	0.5μm CMOS	1.75	3.3	29	24	23.9	-35	Cap. Comp.
[35]2012	0.18μm CMOS	1.85	3.5	45.8	27.8	15.8	-33	Bias control
[45]2017	0.18μm CMOS	1.85	3.4	24	25.8	24.8	-39	MGTR & Anti-phase
[46]2011	65nm CMOS	1.8	3.4	48	27.8	—	-33	DPD
[47]2015	0.13μm CMOS	1.85	2.8	29.3	27.5	—	-39.8	DPD
[48]2014	90nm CMOS	1.95	3.7	39.2	28	30.5	-41.1	EE&R
Ce travail	0.18μm CMOS	1.9	3.4	43	29.3	14.3	-33	pas de technique

Table 3.9 – Tableau comparatif des meilleures PA de la littérature pour application mobiles 3G

Conclusion

Dans une première partie nous avons montré l'impact des interconnexions flip-chip sur la cellule MASMOS. Pour cela, une étude paramétrique a montré que cette inductance faisait perdre énormément de gain mais améliorait la linéarité du circuit. Dans le cas du MASMOS, il existe même une inductance optimale en terme de *PAE*. Afin de vérifier ces résultats, des mesures ont été menées sur plusieurs puces montées sur des PCB présentant différentes inductances de dégénérescence. Les résultats ont en effet montré l'existence d'un optimum en terme de *PAE* et une amélioration du niveau de linéarité au détriment du gain en puissance. Suite à ces résultats, nous avons décidé d'annuler l'effet de cette inductance afin de favoriser le gain en puissance étant très important pour notre application.

Pour cela, dans une seconde partie, nous avons étudié les structures différentielles qui offrent un moyen de supprimer l'impact des parasites liés aux interconnexions flip-chip. Nous présentons dans notre étude les différents avantages et inconvénients de ces structures et les différents outils (représentation modale des demi-étages,

3.5 Caractérisation de l'étage de puissance

paramètres-S mode mixte et étude de la stabilité) utiles à leur conception.

Dans une troisième partie, nous présentons le choix des paramètres de notre étage de puissance. Le layout est optimisé à partir de résultats obtenus par des simulations d'extraction de parasite. Afin de permettre l'adaptation d'impédance de sortie ainsi que la recombinaison des signaux différentiels, nous présentons la structure de balun intégré la plus adéquate à notre cas de figure. En effet, le niveau d'intégration requis nécessite que le balun soit réalisé sur la puce ou sur le substrat stratifié. Dans une première partie nous présentons les différentes propriétés des transformateurs permettant la synthèse d'impédance et la recombinaison de mode différentiel en single-ended. Puis, nous présentons une méthodologie de conception de balun permettant d'arriver rapidement à une structure fonctionnelle. La méthodologie est basée sur des calculs simples pour le dimensionnement rapide des inductances du transformateur ainsi que des capacités permettant de fixer la fréquence de fonctionnement. La méthodologie nécessite toutefois une optimisation des dimensions du circuit pour avoir des résultats précis. Notre balun est intégré sur un substrat stratifié afin de bénéficier de pertes moindres comparé à celles possibles sur le Silicium. Le balun est basé sur une structure de transformateur avec résonance série de l'inductance secondaire. Cette architecture a été imposé par l'empreinte de l'IPD que nous avons utilisé pour la capacité série.

Puis, nous présentons les différentes mesures réalisées sur le circuit. La première étape de mesure consistait à mettre l'étage de puissance différentiel dans deux configurations de mesures : single-ended et différentiel. Les réseaux d'adaptation étant optimisés sur la même condition de charge et les circuits étant identiques, la comparaison des résultats intrinsèques a montré que l'utilisation de la topologie différentielle permettait de gagner 2.8dB de gain en puissance sans perdre sur les autres performances. La seconde étape de mesure visait à caractériser l'étage de puissance différentiel seul. Afin d'obtenir des résultats de loadpull centrés sur 50Ω , le balun de sortie a été optimisé par l'ajustement de capacités intégrées par découpe laser. Les résultats de mesures obtenus sont en phase avec les simulations pour les paramètres-S ainsi que les loadpull CW. Il existe cependant un léger décalage de charge en sortie pour les résultats obtenus en loadpull W-CDMA.

Enfin, après une comparaison avec plusieurs circuits de la littérature, il apparaît que nos circuits possèdent des performances équivalentes sans utiliser de méthode de linéarisation. En effet, l'utilisation de la structure différentielle a permis de conserver un maximum de gain en supprimant l'impact de l'interconnexion de source du MASMOS. Cette architecture a rendu possible l'utilisation d'un balun intégré basé sur une structure de transformateur. Ce balun a permis de transformer l'impédance de charge, de fournir de faible pertes, de permettre la recombinaison du différentiel en mode commun et de synthétiser précisément l'impédance de charge au second harmonique voulu. C'est pour toutes ces raisons que les performances de l'étage de puissance sont déjà proches de notre cahier des charges. Nous obtenons en mesure

Conception d'un étage de puissance hautes performances à base de MASMOS

pour un signal W-CDMA à un niveau de $-40dBc$ d'ACLR une P_{OUT} de 28.6dBm, une PAE de 36% et un gain de 14.6dB contre respectivement 28.5dBm, 38% et 29dB dans la spécification. Nous pouvons cependant noter que pour atteindre notre spécification en gain nous allons utiliser un driver ce qui entrainera une réduction de la PAE de l'amplificateur complet.

Linéarisation d’amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

Ce chapitre est dédié à la conception d’un amplificateur de puissance répondant aux spécifications du cahier des charges (rappelées dans la table 4.1). Pour atteindre nos objectifs deux points sont abordés :

- L’étude et la proposition de nouvelles modalités d’implémentation de techniques de linéarisation sur notre étage de puissance différentiel de référence
- La conception d’un amplificateur de puissance 2 étages (étage driver et étage de puissance) permettant d’atteindre le niveau de gain attendu tout en profitant de l’étage driver pour réaliser une pré-distorsion de l’étage de puissance

$P_{out}(dBm)$	$PAE(\%)$	$G_P(dB)$
28.5	38	29

Table 4.1 – Spécifications électriques du PA données à $-40dBc$ d’ACLR

Les niveaux de puissance de sortie P_{OUT} de l’étage de puissance de référence étant déjà proches des spécifications, la condition de charge choisie est changée pour obtenir un compromis satisfaisant entre PAE et puissance de sortie. En réutilisant les résultats de mesure et de simulation obtenus lors de la campagne de mesure présentée dans la section 3.5.2, la nouvelle charge est $Z_L|f_0 = (9 + j5)\Omega$ et nous conservons la même charge au second harmonique $(0 + j7\Omega)$.

4.1 Présentation de deux méthodes de linéarisation adaptées aux amplificateurs différentiels

Les deux techniques envisagées pour la linéarisation de l’étage de puissance s’appuient sur le découplage modale au sein de la structure différentielle entre les diffé-

4.1 Présentation de deux méthodes de linéarisation adaptées aux amplificateurs différentiels

rents harmoniques. Ces deux techniques sont :

- L'application du feedback harmonique [36] adaptée aux amplificateurs différentiels présentée dans la section 4.1.1
- Le filtrage du second harmonique de la tension de commande du transistor grille commune présenté dans la section 4.1.2

4.1.1 Feedback harmonique

La technique de feedback harmonique consiste à effectuer une contre-réaction sur le second harmonique afin de linéariser la transconductance du transistor. L'équation 4.1 rappelle les coefficients de la transconductance équivalente d'un FET en présence d'une contre-réaction série (vus dans la section 3.1.3) présentant une impédance F différente à chaque harmonique (voir figure 4.1).

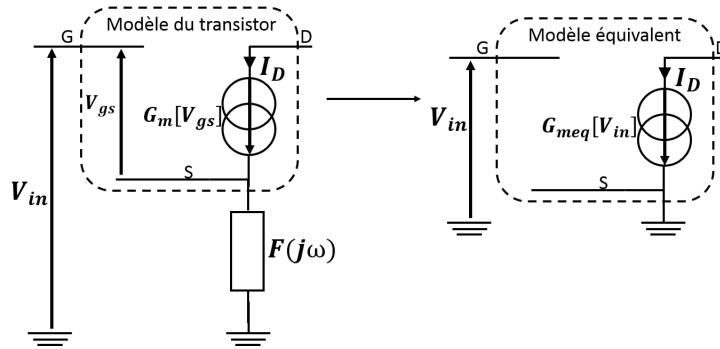


Figure 4.1 – Schéma électrique équivalent d'un transistor avec un feedback harmonique série quelconque à chaque fréquence et son équivalent

$$\begin{aligned}
 \underline{g_{m1eq}} &= \frac{g_{m1}}{1 + \underline{F(j.\omega_0)}.g_{m1}} \\
 \underline{g_{m2eq}} &= \frac{1}{1 + \underline{F(j.2.\omega_0)}.g_{m1}} \cdot \frac{g_{m2}}{(1 + \underline{F(j.\omega_0)}.g_{m1})^2} \\
 \underline{g_{m3eq}} &= \frac{1}{(1 + \underline{F(j.3.\omega_0)}.g_{m1}) \cdot (1 + \underline{F(j.\omega_0)}.g_{m1})^2} \cdot \left(\frac{g_{m3} - 2.g_{m2}^2.F(j.2\omega_0)}{1 + \underline{F(j.2.\omega_0)}.g_{m1}} \right)
 \end{aligned} \tag{4.1}$$

Avec F l'impédance de contre-réaction aux différents harmoniques et les paramètres g_m représentant les coefficients reliant la tension V_{gs} au courant de sortie I_d .

Il apparait dans ces équations que le coefficient g_{m3eq} possède un zéro dans le second terme de l'équation. En effet, pour des paramètres g_{m2} et g_{m3} fixés, il existe une valeur d'impédance de contre-réaction au second harmonique permettant d'annuler le paramètre g_{m3eq} .

Nous proposons ici de ne présenter qu'une impédance au second harmonique afin d'améliorer la linéarité sans détériorer le gain. Avec une topologie d'amplificateur

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

différentiel, en présentant une impédance dans le plan de symétrie de la structure, il est possible de masquer son effet en mode différentiel et ainsi aux harmoniques impairs. L'impédance n'aura d'effet qu'en mode commun et par conséquent qu'aux harmoniques pairs.

Parmi les impédances possibles la plus adéquate est de présenter une inductance. En effet, une partie réelle n'est pas envisageable puisqu'elle présente une contre-réaction en continu et dégrade le rendement de la structure. Une capacité n'est pas non plus possible étant donné que la polarisation doit être assurée.

Les résultats de calculs présentés dans les équations 4.1 ne tiennent cependant que sous l'hypothèse d'un régime petit signal. Afin de vérifier les performances en linéarisation de la contre-réaction harmonique en régime grand signal nous menons une étude paramétrique en simulation. Une inductance L_c est placée à la source des transistors MOS dans le plan de symétrie (AA') de la structure différentielle comme le montre la figure 4.2.

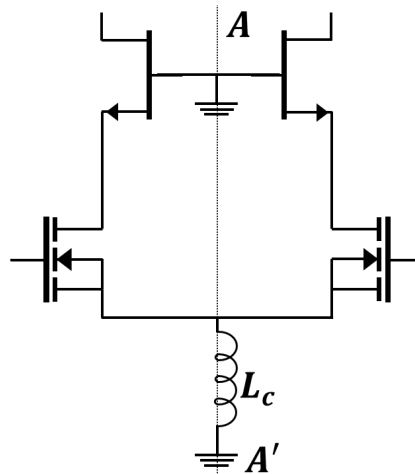


Figure 4.2 – Schéma électrique équivalent de l'amplificateur différentielle avec une contre-réaction harmonique aux harmoniques pairs

La valeur de l'inductance est balayée de 20pH (inductance minimale modélisant l'inductance parasite d'un bump) jusqu'à 200pH. Les résultats de simulation pour un signal W-CDMA donnés à $-40dBc$ d' $ACLR$ sont représentés sur la figure 4.3. La simulation est réalisée au niveau du circuit ce qui explique la différence de G_P observée. La charge choisie ($9 + j5\Omega$) donne un compromis entre la puissance de sortie P_{OUT} et la PAE . L'inductance n'ayant pourtant qu'un effet sur le mode commun, on peut voir sur la figure 4.3(a) que le gain en puissance varie bien que l'amplificateur fonctionne purement en mode différentiel à la fréquence fondamentale. Cette variation provient du mélange des composantes fréquentielles lors de l'amplification de la transconductance. Ces graphes montrent également qu'il existe une valeur optimale

4.1 Présentation de deux méthodes de linéarisation adaptées aux amplificateurs différentiels

L_c en terme de puissance de sortie. Pour $L_c = 130pH$, la puissance de sortie est améliorée de $0.5dB$, la PAE de 1.4 points et le gain reste inchangé par rapport au minimum de $20pH$. Ces résultats sont valables pour d'autres conditions de charge telles que celles permettant d'obtenir la PAE ou la P_{OUT} maximale à un niveau d'ACLR de $-40dBc$.

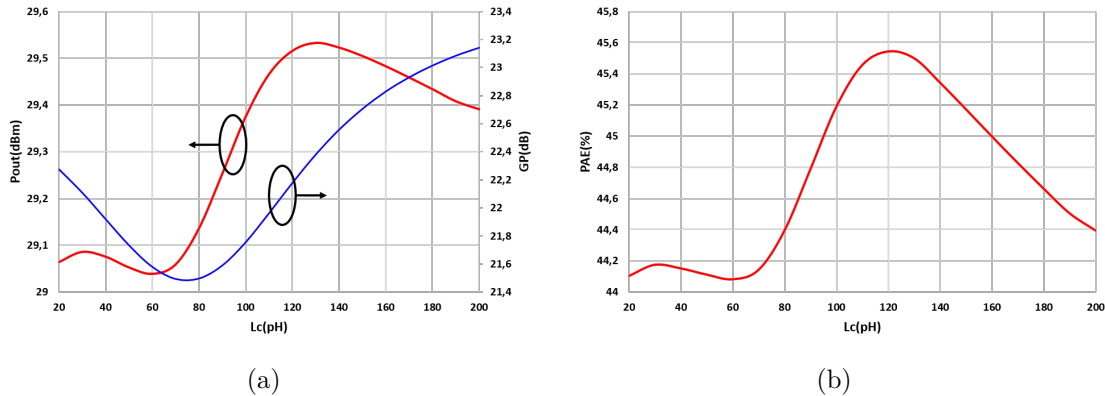


Figure 4.3 – Performances simulées de la structure avec contre-réaction harmonique obtenues à $-40dBc$ d'ACLR pour la charge permettant d'atteindre le meilleur compromis P_{OUT}/PAE

L'utilisation de cette technique, nécessite de placer une inductance à la source des transistors en source commune dans les structures cascode. En utilisant des interconnexions flip-chip où la dissipation thermique est entièrement réalisée à travers le plan de masse, la résistance thermique en serait directement détériorée. Les performances notamment dans la zone de saturation sont fortement impactées par la température des composants. De ce fait, la linéarisation apportée par la contre-réaction serait directement perdue à travers l'augmentation de la résistance thermique.

La vérification de la perte de performance aurait nécessité de faire la conception du substrat de report de la puce pour l'inductance de feedback harmonique ainsi que la conception de la puce. Par manque de temps, nous n'avons pas implémenté cette solution de linéarisation et avons choisi la seconde méthode que nous présentons dans la section suivante.

4.1.2 Filtrage du second harmonique au noeud central

Comme il a été montré dans le chapitre précédent lors de la recherche de l'impédance de charge optimale au second harmonique et dans ce chapitre pour la contre-réaction harmonique, la gestion du second harmonique sur tous les noeuds du circuit impacte directement la linéarité et le rendement de l'amplificateur de puissance. Nous proposons ici de réaliser un court-circuit au second harmonique au centre du cascode entre la source du JFET et le drain du MOS.

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

Dans un fonctionnement normal de structure cascode tous les noeuds possèdent des harmoniques. Afin d'étudier l'effet du second harmonique de la tension d'entrée du transistor en grille commune sur le courant de sortie en terme de linéarité, nous considérons le schéma électrique équivalent d'un FET en grille commune représenté sur la figure 4.4.

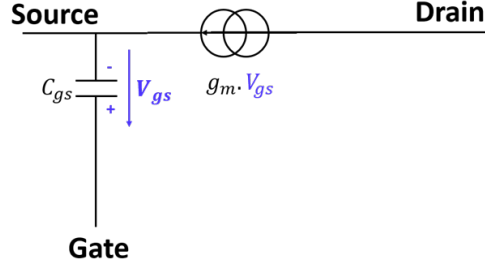


Figure 4.4 – Schéma électrique équivalent d'un transistor en grille commune

Le signal d'entrée considéré pour la démonstration comporte 4 tons : $V_{IN} = A(\cos(\omega_1.t + \phi_1) + \cos(\omega_2.t + \phi_1)) + B(\cos(2.\omega_1.t + \phi_2) + \cos(2.\omega_2.t + \phi_2))$. Nous considérerons pour la validité des calculs les deux hypothèses suivantes :

- $\omega_2 - \omega_1 \ll (\omega_1 + \omega_2)/2$
- $A \gg B$

Ces hypothèses permettent de simplifier les calculs et sont adaptées à notre cas où l'amplitude des composantes situées au second harmonique sont très faibles vis-à-vis de celles à la fréquence fondamentale. La transconductance du JFET est représentée par son développement en série de Taylor autour de son point de polarisation. Son expression est donnée dans l'équation 4.2.

$$I_d = -g_{m1} \cdot V_{IN} + g_{m2} \cdot V_{IN}^2 - g_{m3} \cdot V_{IN}^3 \quad (4.2)$$

avec $V_{GS} = -V_{IN}$

En injectant l'expression de la tension V_{IN} dans l'équation 4.2 et en linéarisant les cosinus, on obtient les deux termes composant le produit d'intermodulation d'ordre 3 du courant I_d donné dans l'équation 4.3.

$$Id_{2.f_1-f_2} = g_{m2} \cdot A \cdot B \cdot e^{j \cdot (\phi_2 - \phi_1)} - g_{m3} \cdot \frac{3 \cdot A^3}{4} \cdot e^{j \cdot \phi_1} \quad (4.3)$$

Le premier terme est obtenu par mélange d'ordre 2 et le second par mélange d'ordre 3. Tout comme pour le feedback harmonique il existe des conditions sur l'amplitude et la phase du second harmonique qui mènent à une réduction de l'amplitude des produits d'intermodulation. Le produit d'intermodulation d'ordre 3 est donc composé de deux termes et il existe de ce fait 3 résultats possibles selon la valeur du terme généré par la non-linéarité d'ordre 2 :

- Annulation du terme généré par la non-linéarité d'ordre 3

4.1 Présentation de deux méthodes de linéarisation adaptées aux amplificateurs différentiels

- Augmentation du produit d'intermodulation par addition
- Diminution du produit d'intermodulation par soustraction

Dans le second cas, l'annulation du second harmonique en entrée permet de diminuer le niveau des produits d'intermodulation. Ces résultats ne sont valables qu'en petit signal et il est donc impossible de prévoir le comportement pour des valeurs de puissances plus élevées. Afin d'annuler les tons situés au second harmonique en entrée du transistor en grille commune, nous proposons d'utiliser un filtre correspondant à un court-circuit au second harmonique sur les deux noeuds CN et un circuit ouvert à toutes les autres fréquences (voir figure 4.5). Pour vérifier l'apport de ce filtre, nous menons une étude comparative entre les résultats de l'étage de puissance de référence sans et avec le filtre au second harmonique au noeud commun. La figure 4.5 représente également le circuit utilisé pour la simulation.

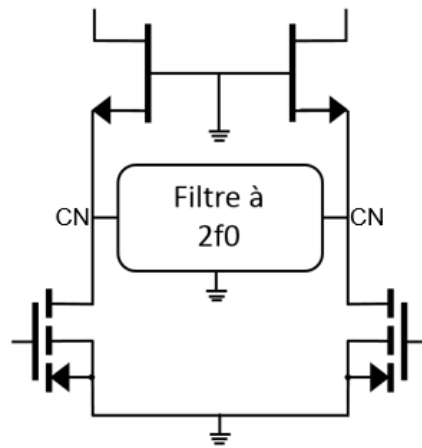


Figure 4.5 – Architecture de l'amplificateur de puissance avec le filtre au second harmonique

Les résultats de simulation pour un signal W-CDMA des deux configurations avec et sans filtre sont représentés sur la figure 4.6. Les performances à $-40dBc$ d'*ACLR* sont répertoriées dans le tableau 4.2. La puissance de sortie P_{OUT} est améliorée de $0.5dB$, la PAE de 4 points et le gain en puissance G_P est réduit de $0.7dB$ pour la structure avec le filtre par rapport à l'étage de puissance seul. La réduction du gain est dû au fait que la linéarisation entraîne une réduction de l'expansion de gain comme le montre la figure 4.6(b).

	$P_{OUT}(dBm)$	$PAE(\%)$	$G_P(dB)$
Sans filtre	29	41.8	18.9
Avec filtre	29.5	46	18.2

Table 4.2 – Résultats de simulation pour les deux configurations à $-40dBc$ d'*ACLR*

L'utilisation du filtre permet d'améliorer les niveaux d'*ACLR* de l'étage de puissance à tous les niveaux de puissance. Il a également pour effet de faire saturer l'étage

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

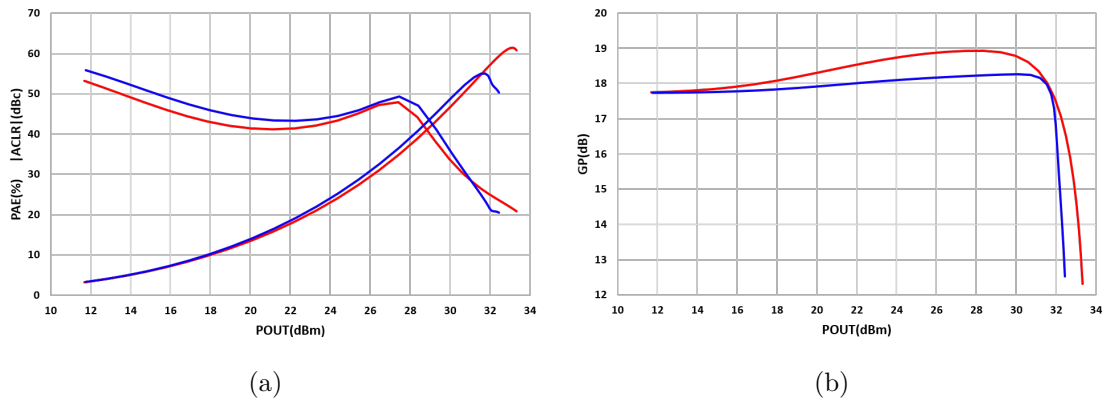


Figure 4.6 – (a) PAE , $ACLR$ et (b) G_P de l'étage de puissance avec filtre (bleu) et sans filtre (rouge) pour un signal d'entrée W-CDMA

pour une puissance de sortie moins élevée donnant des niveaux de PAE améliorés dans la zone linéaire. Ces deux effets combinés entraînent les fortes améliorations de performance observées. La réduction de gain est due à la linéarisation qui entraîne une réduction de l'expansion de gain.

L'utilisation du filtre est retenue pour la linéarisation de l'étage de puissance. L'amélioration des performances apportées est très satisfaisante étant donné sa simplicité d'implémentation qui nécessite seulement l'ajout de composants passifs. La suppression du second harmonique est tout de même dangereuse car la tension appliquée au MOS est susceptible de le détruire si elle n'est pas maintenue en dessous de sa valeur de breakdown. La tension devra donc être vérifiée lors de la conception pour assurer l'intégrité de l'étage de puissance. La conception et l'implémentation au sein de l'étage de puissance du filtre sont présentées dans les sections suivantes.

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

Afin d'obtenir le niveau de gain nécessaire ($29dB$), il est obligatoire d'utiliser un étage de pré-amplification (étage driver). Les étages drivers sont utilisés dans leur zone linéaire afin de ne pas générer davantage de non-linéarités dans la chaîne. Leur consommation est généralement très inférieure à celle de l'étage de puissance mais il faut néanmoins la prendre en compte dans le calcul du rendement total de l'amplificateur. Le synoptique de l'amplificateur de puissance complet que nous proposons est représenté sur la figure 4.7.

L'étage driver est un étage MASMOS single-ended dimensionné pour fournir la puissance de sortie nécessaire pour l'étage de puissance et pour fournir le gain nécessaire. Afin de passer de l'étage driver à l'étage de puissance il est nécessaire, en plus d'adapter les impédances, de transformer le mode commun en mode différentiel.

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

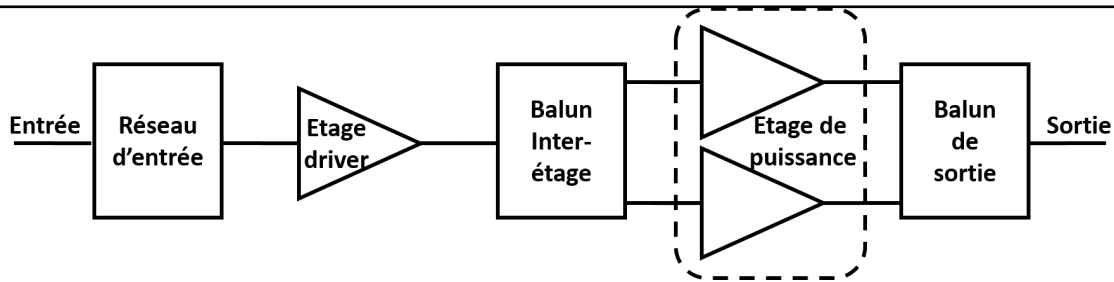


Figure 4.7 – Synoptique de l'architecture de l'amplificateur de puissance proposé

Pour cela un balun inter-étage est proposé et conçu. L'étage de puissance comprend le filtre au second harmonique. Enfin, le balun de sortie permet de retransformer le mode différentiel en mode commun tout en procurant de faibles pertes. Ce dernier point est crucial pour l'obtention de résultats satisfaisants.

4.2.1 Bilan en gain de l'amplificateur de puissance

Pour dimensionner l'étage driver il est nécessaire de faire une étude au niveau système de l'amplificateur de puissance. Le point de départ est l'étage de puissance. Nous prenons pour cela les performances mesurées dans la section 3.5.2.4 auxquelles nous retranchons les pertes des réseaux d'adaptation déterminée dans la section 3.5.2.1 afin de les obtenir dans le plan du transistor. Ces performances sont données dans la table 4.3. Dans les appareils mobiles, la puissance disponible à l'entrée de l'amplificateur de puissance est de $0dBm$. Les pertes du réseau d'adaptation d'entrée ($LOSS_{IMN}$) sont estimées à $2dB$ correspondant aux pertes obtenues sur les réseaux lors de la caractérisation de l'étage de puissance de référence. Les pertes du réseau inter-étage ($LOSS_{ISMN}$) sont estimées à $3dB$. Ce réseau est réalisé directement sur le silicium qui possède un faible coefficient de qualité ($Q = 10$) ce qui justifie les fortes pertes choisies. Enfin, les pertes du balun de sortie ($LOSS_{OMN}$) sont de $0.5dB$ et correspondent aux pertes mesurées.

$P_{out}(dBm)$	$PAE(\%)$	$G_P(dB)$
29.1	40.7	17

Table 4.3 – Performances intrinsèques mesurées de l'étage de puissance de référence données à $-40dBc$ d'ACLR

Le gain ainsi que la puissance de sortie de l'étage driver sont obtenus grâce à l'équation 4.4. Le gain du driver nécessaire est de $17.5dB$ pour une puissance de sortie de $15.5dBm$. Les tailles de driver disponibles sont $2mm$ et $2.5mm$ de taille totale de grille de MOS (avec un rapport de taille de 1.7). Par règle de mise à l'échelle, la puissance d'un étage de $16mm$ étant de $29dBm$ pour notre contrainte de niveau d'ACLR, la puissance de sortie de l'étage de $2mm$ (étant 8 fois plus petit) à ce même niveau d'ACLR est de $20dBm$. En sélectionnant cette taille, la puissance de sortie de $15.5dBm$ nécessaire à la sortie de l'étage driver est largement assurée

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

et permet de prendre une marge par rapport aux pertes du réseau d'adaptation inter-étage. Le bilan en gain de la chaîne complète est résumé dans le tableau 4.4.

$$G_{DS} = \overbrace{P_{OUT} + LOSS_{OMN} - G_{PS} + LOSS_{ISMN}}^{P_{OUT_{DS}}} - \overbrace{(P_{IN} - LOSS_{IMN})}^{P_{IN_{DS}}} \quad (4.4)$$

réseau d'entrée	étage driver	réseau inter-étage	étage de puissance	étage de sortie
-2dB	>17.5dB	-3dB	17dB	-0.5dB

Table 4.4 – Bilan en gain de l'amplificateur de puissance décrit étage par étage

Nous souhaitons utiliser l'étage driver pour effectuer une pré-distorsion sur la courbe d'AM/AM de l'étage de puissance. Pour cela, il est nécessaire de choisir une impédance de charge permettant au driver de présenter une expansion de gain lors de la compression de l'étage de puissance. De cette manière, l'amplificateur de puissance possède une gain plat pour des puissances plus élevées. Cela nécessite ainsi que la compression de l'étage driver se produise pour une puissance plus élevée que l'étage de puissance. Le choix des paramètres de l'étage de driver est fait à la suite de la conception de l'étage de puissance afin de connaître exactement les niveaux de puissance et l'allure de la courbe de conversion AM/AM.

4.2.2 Conception des étages de puissance

Deux étages de puissance sont conçus. L'un est basé sur l'étage différentiel de référence du troisième chapitre avec des améliorations apportées aux interconnexions d'accès des sources des MOS à la masse. L'autre est identique à la différence qu'il inclut le filtre au second harmonique. Cette dernière structure sera également utilisée dans l'amplificateur de puissance.

Tous les résultats de simulation présentés dans cette partie ont été obtenus avec une ancienne version des modèles électriques des transistors (les versions à jour n'étant plus disponible lors de la rédaction). Les impédances et les résultats qui sont mis en avant peuvent ne pas correspondre avec ceux espérés, en revanche, les tendances observées restent cohérentes et permettent de justifier les choix de conception. Les impédances optimales de fermeture des étages d'amplification ont été déterminées avec la dernière version, et il est donc normal que les impédances présentées par les réseaux d'adaptation (fixées par les layouts) ne correspondent pas.

4.2.2.1 Conception de l'étage de puissance de référence

L'étage de puissance est entièrement basé sur l'étage de puissance de référence réalisé dans le chapitre précédent. Une amélioration concernant l'accès des sources des transistors MOS à la masse est apportée afin de maximiser le gain en puissance de la structure (voir figure 4.8). Dans le layout précédent, les sources des MOS étaient

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

collectées par des rails séparés puis était reliées entre elles au niveau du bump d'accès à la masse. La nouvelle proposition consiste à placer un plan métallique avec le bump d'accès à la masse directement sur les transistors. De cette manière, l'accès des sources à la masse est direct, les parasites liés à l'accès sont minimisés et la résistance thermique est réduite.

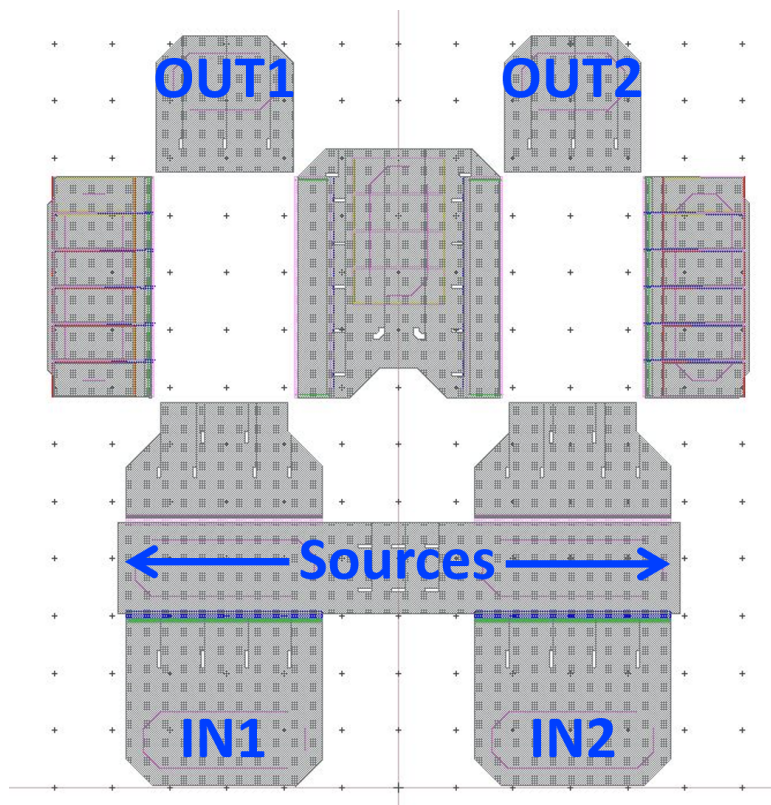


Figure 4.8 – Layout optimisé de l'étage de puissance

Après avoir modifié le layout, une simulation électromagnétique des interconnexions est faite. Deux loadpull pour un signal W-CDMA, à la fréquence fondamentale et au second harmonique, sont menés en simulation sur la structure avec les nouvelles interconnexions. Les zones d'impédance de charge ont une variation négligeable par rapport à l'ancien layout. Les performances optimales à différentes conditions de charge sont répertoriées dans le tableau 4.5 pour l'ancien et le nouveau layout. Le nouveau layout améliore le gain en puissance d'1dB, la PAE d'1.5 points et détériore la P_{OUT} de 0.4dB.

4.2.2.2 Détermination de la structure du filtre

Les trois architectures de filtre possibles en utilisant le découplage modale entre harmoniques sont représentées sur la figure 4.9.

L'architecture (a) consiste à placer un filtre LC pour chaque demi-étage. Son schéma électrique équivalent est un filtre LC quel que soit le mode. Les architectures

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

Condition de charge		PAE(%)	P _{out} (dBm)
optimale en PAE	nouveau layout	40.5	29
	ancien layout	39	29.3
optimale en P _{OUT}	nouveau layout	44.5	28.4
	ancien layout	43	28.8
Compromis P _{OUT} /PAE	nouveau layout	44	28.8
	ancien layout	42	29.2

Table 4.5 – Tableau comparatif des performances entre l'ancien et le nouveau layout de l'étage de puissance données à $-40dBc$ d'ACLR

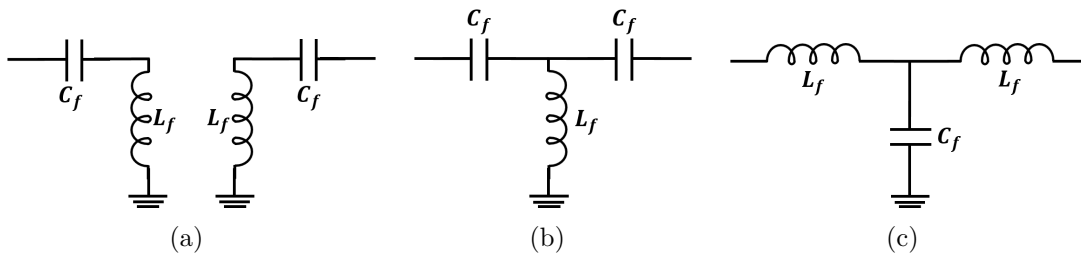


Figure 4.9 – Architectures de filtre au second harmonique possibles

(b) et (c) utilisent les propriétés des amplificateurs différentiels pour présenter à chaque demi-étage un filtre LC en mode commun et un élément parallèle en mode différentiel comme le montre le tableau 4.6.

	Equivalent mode différentiel	Equivalent mode commun
Architecture (b)		
Architecture (c)		

Table 4.6 – Schéma électrique équivalent des filtres pour les architectures (b) et (c) vue par chaque demi-étage selon le mode

Les deux seules architectures pouvant être implémentées sont les architectures (a) et (b) car les capacités ne sont réalisables que sur la puce en utilisant des capacités MIM. L'inductance est réalisée soit sur la puce soit sur le substrat stratifié. Le choix final de l'architecture est basé sur la taille de l'inductance nécessaire pour obtenir la résonance. Le tableau 4.7 répertorie les expressions littérales de la fréquence de

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

résonance des trois architectures observée en mode commun. Pour une valeur donnée de capacité, l'architecture (b) nécessite une valeur d'inductance deux fois moins élevée que l'architecture (a) et une valeur d'inductance quatre fois moins élevée que l'architecture (c).

	Architecture (a)	Architecture (b)	Architecture (c)
Fréquence de résonance	$\omega_A^2 = \frac{1}{L_f.C_f}$	$\omega_B^2 = \frac{1}{2.L_f.C_f}$	$\omega_C^2 = \frac{2}{L_f.C_f}$

Table 4.7 – Fréquence de résonance des filtres selon l'architecture

L'architecture retenue est donc la (b) car elle répond à nos contraintes d'intégration et requiert l'inductance la plus faible des trois architectures pour une fréquence de résonance donnée.

4.2.2.3 Dimensionnement des éléments du filtre

Les deux capacités du filtre sont réalisées sur le silicium avec des capacités MIM. L'inductance est quant à elle faite sur le substrat stratifié pour bénéficier de pertes moindres ($Q = 40$ à $3.8GHz$). Afin de déterminer la valeur du couple C_f/L_f , nous menons une étude paramétrique. La capacité C_f est balayée de $1pF$ à $10pF$ tout en assurant la résonance à $3.8GHz$. Nous utilisons l'étage de puissance conçu dans la section 3.2.2. L'évolution du gain G_p , de la PAE et de la puissance de sortie à $-40dBc$ d' $ACLR$ en fonction de la valeur de la capacité C_f sont représentés sur la figure 4.10.

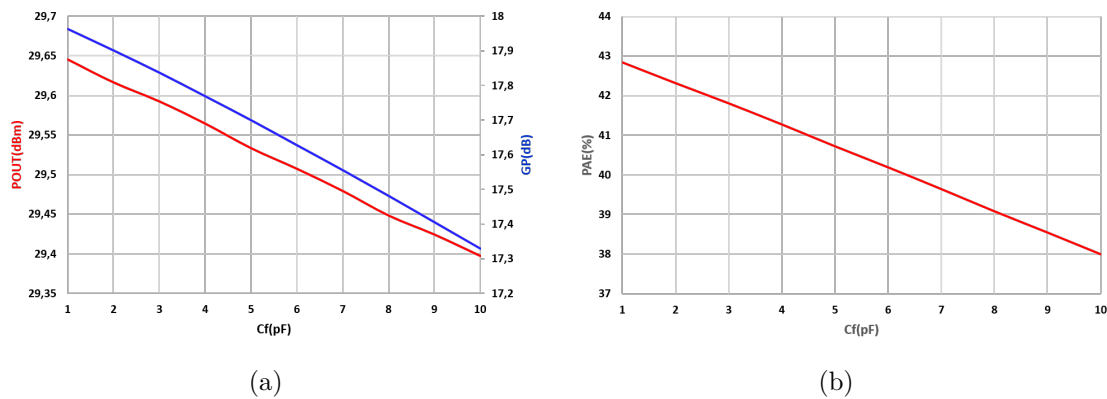


Figure 4.10 – Evolution des performances en fonction de la capacité C_f (a) P_{OUT} , G_P et (b) PAE

Les résultats diminuent linéairement avec des valeurs croissantes de C_f jusqu'à atteindre des résultats de PAE équivalents à l'étage de puissance sans le filtre pour $C_f = 8pF$. La puissance de sortie est toujours supérieure au cas sans filtre, et le gain en puissance G_p est plus faible dû à la capacité C_f shunt en mode différentiel. La

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

valeur retenue du couple est $4pF/210pH$. Ce choix est un compromis entre les performances électriques obtenues et la taille occupée par l'inductance sur le substrat. Les performances attendues à $-40dBc$ d' $ACLR$ sont alors une puissance de sortie de $29.6dBm$, une PAE de 41% et un gain de $17.8dB$. Le filtre est ajouté au layout de la seconde structure (voir figure 4.11) afin de permettre la comparaison de l'étage de puissance avec et sans filtre.

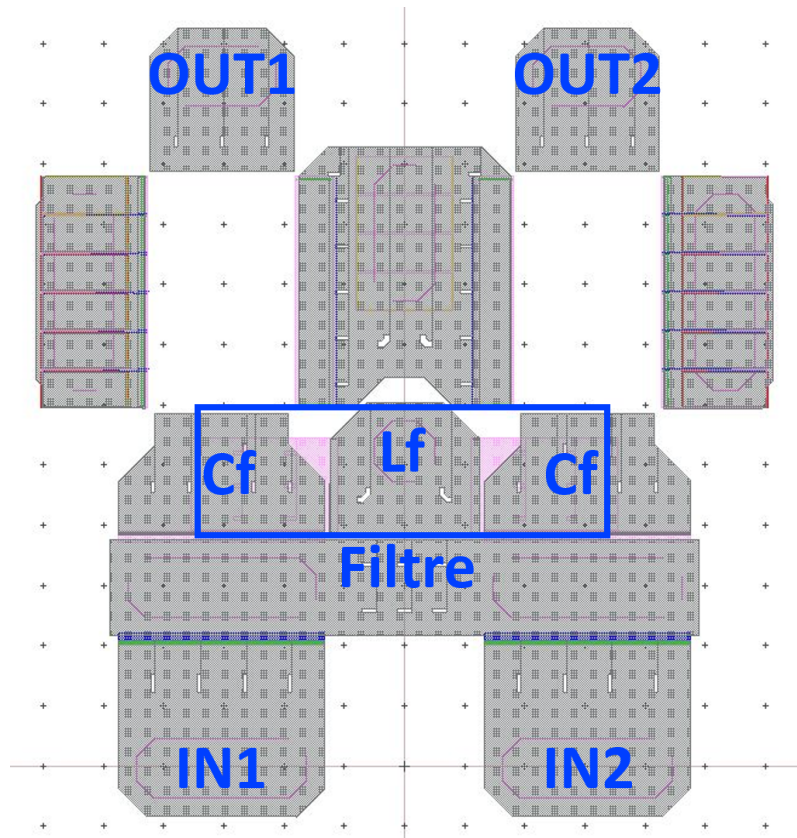


Figure 4.11 – Layout de l'étage de puissance linéarisé

4.2.2.4 Conception de l'étage de puissance linéarisé

Le filtre ainsi que les autres interconnexions de l'étage de puissance sont simulés électromagnétiquement. Une simulation avec un signal W-CDMA est ensuite faite afin de comparer les deux étages de puissance. Les impédances de charge sont identiques et correspondent au compromis linéarité/rendement de la structure sans filtre (impédance donnée dans le tableau 4.5). Les résultats obtenus sont représentés sur la figure 4.12. Les résultats au niveau d' $ACLR$ de $-40dBc$ sont répertoriés dans le tableau 4.8. La structure avec filtre permet d'améliorer la PAE de 2 points et la P_{OUT} de $0.5dB$ par rapport à la structure de référence. Elle réduit en revanche le gain d' $1dB$ dû à la présence de la capacité parallèle en mode différentiel. L'ajout du filtre entraîne la saturation de l'amplificateur pour une puissance de sortie plus

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

faible réduisant ainsi sa PAE maximale en zone de saturation. Un dernier loadpull de la structure linéarisée montre que la charge ne varie pas avec l'introduction du filtre. Les paramètres déterminés pour l'étage sont conservés pour la suite.

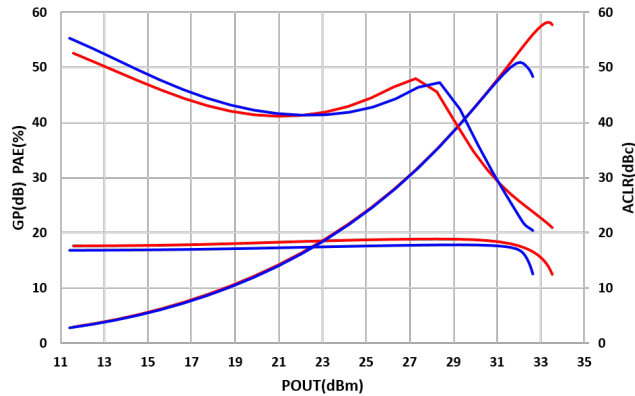


Figure 4.12 – Comparaison des performances obtenus pour la structure sans filtre (rouge) et avec filtre (bleu) pour un signal W-CDMA à un niveau d'ACLR de $-40dBc$

Configuration	$PAE(\%)$	$P_{OUT}(dBm)$	$G_P(dB)$
Sans filtre	38.8	29.1	18.8
Avec filtre	41	29.6	17.9

Table 4.8 – Tableau récapitulatif des performances des deux étages de puissance comparés données à $-40dBc$ d'ACLR

L'amplificateur de puissance comportant plusieurs étages d'amplification, l'étage de puissance sera fermé directement à son entrée par un réseau d'adaptation d'impédance inter-étage. Il est donc nécessaire de déterminer les zones d'impédance de source optimale pour son fonctionnement. Deux sourcepulls sont réalisés en simulation de la même manière que les loadpulls à la fréquence fondamentale et au second harmonique. Le couple d'impédance de charge permettant d'atteindre le meilleur compromis linéarité/rendement est employé. Toutes les autres impédances sont fixées à 50Ω .

Les résultats du sourcepull à la fréquence fondamentale au niveau de $-40dBc$ d'ACLR pour un signal d'entrée W-CDMA sont représentés sur la figure 4.13. Le point vert représente l'impédance optimale pour chacun des deux loadpulls. Le point rouge sur les deux abaques représente l'impédance conjuguée de l'impédance d'entrée de l'étage de puissance Z_{INPS} et vaut $(4 + j13)\Omega$. Cette impédance se trouve dans une zone où les performances se dégradent rapidement comme le montre la proximité des contours pour les parties réelles plus faibles. Ce résultat montre qu'il est nécessaire de faire un compromis entre les performances en linéarité de l'étage de puissance et le gain en puissance. Il est à noter que l'impédance de source choisie

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

assure la stabilité inconditionnelle du circuit.

L'ajout de l'étage de pré-amplification permet une plus grande flexibilité quant à ce choix. Nous choisissons de présenter une impédance de source supérieure à $(4 + j13)\Omega$. Ainsi, nous fixons une limite basse de valeur d'impédance à ne pas franchir afin d'avoir plus de liberté lors du choix des paramètres de conception du réseau d'adaptation d'impédance inter-étage.

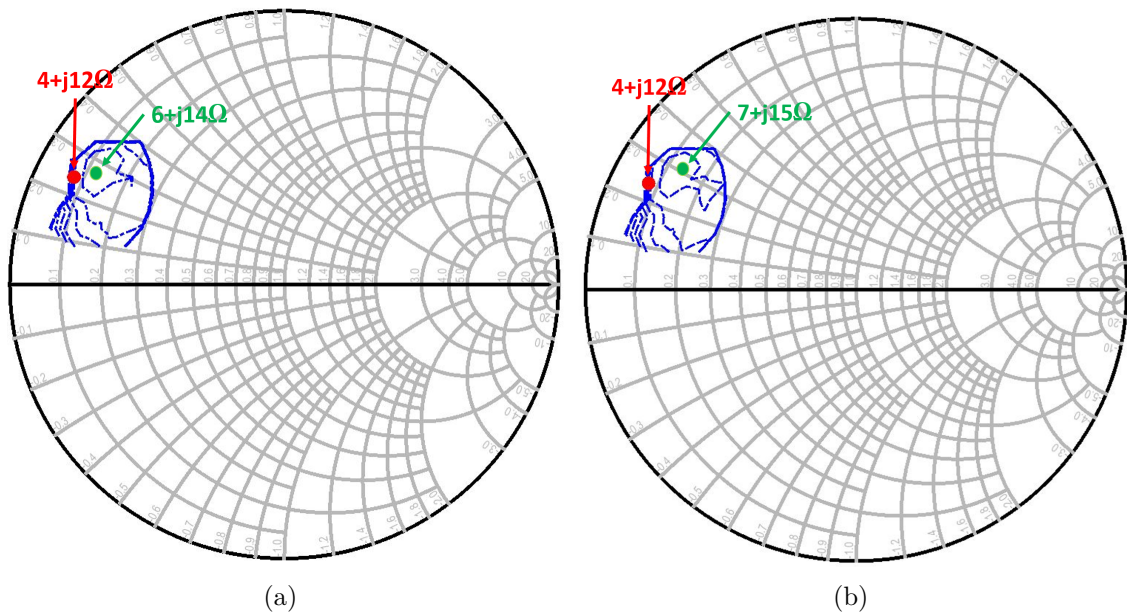


Figure 4.13 – (a) Contours de PAE constante et (b) contours de P_{OUT} constante du source pull à la fréquence fondamentale de l'étage de puissance linéarisé (donnés pour un signal d'entrée W-CDMA à un niveau de $-40dBc$ d' $ACLR$)

Enfin, nous nous assurons de l'intégrité du transistor MOS en effectuant une simulation CW afin d'observer l'amplitude de la tension V_{ds} appliquée dans le cas avec et sans filtre. La puissance du signal d'entrée est choisie pour permettre d'obtenir la puissance de sortie à laquelle la courbe d' $ACLR$ vaut $-40dBc$, à laquelle nous ajoutons $4dB$ (par mesure de sécurité vis-à-vis des $3.2dB$ de PAPR) afin de prendre en compte le PAPR du signal W-CDMA. Les formes d'ondes obtenues sont représentées sur la figure 4.14. La tension tend vers une forme carrée après la suppression du second harmonique. Pour cette puissance d'entrée, le transistor reste sous le seuil limite des $3V$ pouvant le mener dans des zones de fonctionnement altérant ses performances ou pouvant mener à sa destruction.

4.2.3 Choix des paramètres de l'étage driver

Le choix des paramètres de l'étage de pré-amplification est fait selon deux axes :
— fournir suffisamment de gain pour répondre à la spécification

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

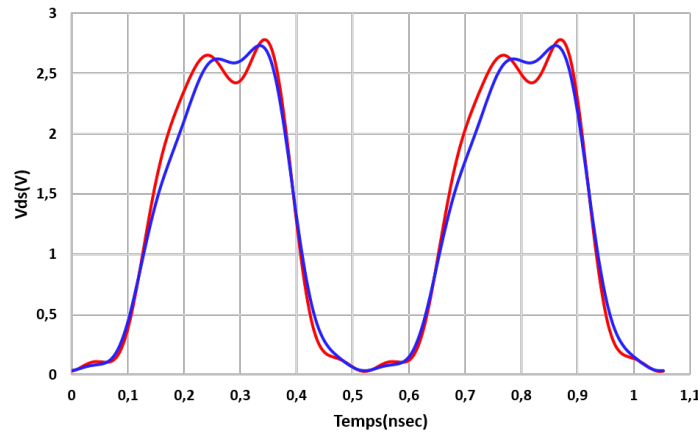


Figure 4.14 – Formes d’ondes de la tension V_{ds} du transistor MOS sans le filtre (rouge) et avec le filtre (bleu)

- utiliser l’étage de pré-amplification comme prédistordeur pour améliorer la linéarité de l’étage de puissance

Nous avons choisi un étage driver MASMOS possédant un ratio de largeur de grille de 1.67 et de largeur totale de grille de MOS de 2mm parmi plusieurs circuits déjà conçus par les ingénieurs d’ACCO. Pour linéariser l’étage de puissance, le moyen le plus simple est de provoquer une expansion de l’étage de pré-amplification lors de la compression afin de . La charge est déterminée selon ce critère. La classe de fonctionnement choisie est AB-profonde. De cette manière, le gain reste suffisant dans la zone de basse puissance contrairement à la classe C qui présente une expansion de gain tardive au détriment du gain dans la zone linéaire de l’amplificateur. La charge retenue est de $17 + j6\Omega$ et a été optimisée en simulation pour fournir la forme de gain voulue.

Les allures des gains des deux étages d’amplification ainsi que leur somme sont représentées sur la figure 4.15. Afin que les niveaux de puissance correspondent, la puissance d’entrée de l’étage de pré-amplification prend en compte les pertes estimées du réseau d’adaptation d’impédance d’entrée ($P_{IN} - 2dB$) et l’étage de puissance prend en compte le niveau de puissance estimé à la sortie du réseau d’adaptation d’impédance inter-étage ($P_{IN} - 2dB + 18dB - 3dB$). L’expansion de gain de l’étage de pré-amplification est provoquée lors de la compression de l’étage de puissance. Cela entraîne ainsi une compression de l’amplificateur pour une puissance de sortie plus élevée et ainsi une amélioration de la caractéristique de conversion AM/AM globale. La linéarisation par l’étage de pré-amplification est optimisée par la suite lorsque les deux étages sont mis en série. Les paramètres les plus influant dans ce cas sont les polarisations de grille des deux étages.

Les caractéristiques de l’étage de pré-amplification sont représentés sur la figure 4.16. Les pertes des réseaux d’adaptation d’impédance d’entrée ainsi que du réseau

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

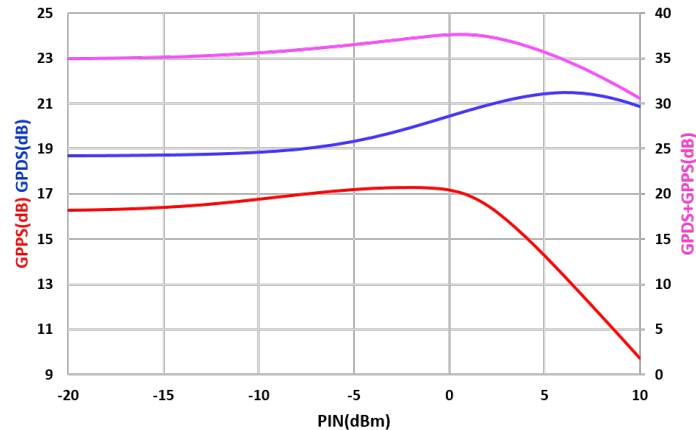


Figure 4.15 – Gain de l'étage de puissance (rouge), gain de l'étage driver (bleu) et gain total (violet) de l'amplificateur de puissance obtenu pour un signal CW

d'adaptation inter-étage sont pris en compte ce qui explique l'écart de gain observé. Le gain est de 13.2dB , pour une puissance de sortie de 13.2dBm dans la zone d'expansion. La consommation de cet étage pour une puissance d'entrée P_{IN} de 0dBm est de 130mW , ce qui représente 6% de la consommation de l'étage de puissance. Ainsi, son influence sur la PAE totale de l'amplificateur de puissance est très faible compte tenu de l'amélioration de linéarité qu'il apporte au schéma complet.

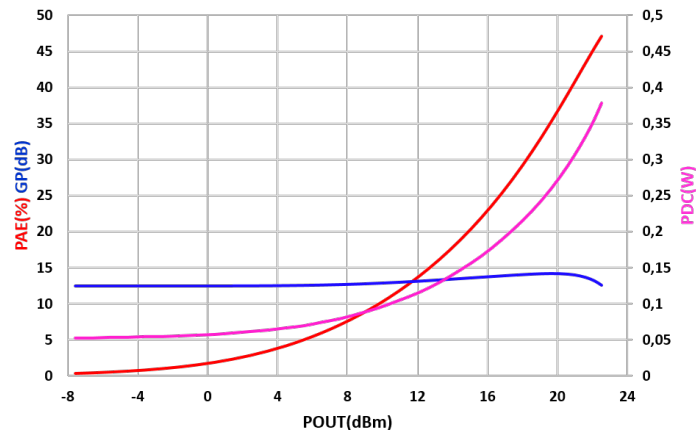


Figure 4.16 – Performances de l'étage driver pour un signal d'entrée CW

4.2.4 Conception du réseau d'adaptation d'impédance de sortie

Les paramètres de conception du balun de sortie sont les impédances de charge optimales déterminées lors de l'étude de l'étage de puissance ainsi que la plage de fréquence désirée. La fréquence est toujours 1.9GHz et les impédances sont rappelées

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

dans le tableau 4.9. La conception est également faite dans l'objectif d'obtenir les pertes les plus faibles possibles pour maximiser la puissance de sortie ainsi que la *PAE*.

$Z_L _{f_0}(\Omega)$	$Z_L _{2f_0}(\Omega)$
$10 + j6$	$> j6$

Table 4.9 – Impédances de charge de l'étage de puissance

Plusieurs détails liés à l'implémentation sont considérés avant le choix des paramètres électriques du balun. Le balun de sortie est réalisé sur le substrat stratifié afin de bénéficier de pertes moindres. Les capacités sont intégrées sur un IPD qui est reporté directement sur le substrat stratifié. L'IPD utilisé est composé de trois matrices de capacités ajustables par découpe laser. Les deux premières vont de 0.9pF à 2.1pF avec une granularité de 0.1pF et la dernière va de 5pF à 25pF avec une granularité de 5pF. Etant donnée la structure physique du balun et de l'IPD, l'impédance à la fréquence fondamentale sera synthétisée avec une résonance parallèle de l'inductance secondaire. Le schéma électrique du balun de sortie est représenté sur la figure 4.17.

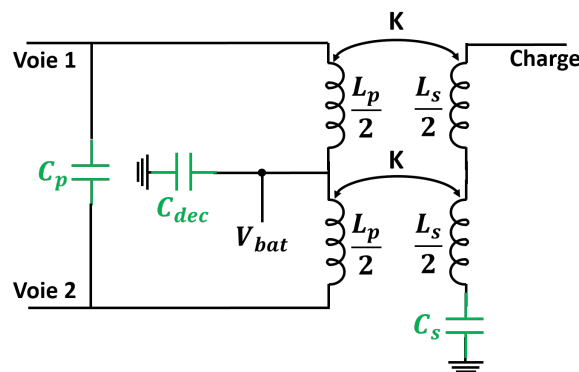


Figure 4.17 – Schéma électrique équivalent du balun de sortie

Les capacités C_s et C_p sont les plus faibles et la capacité C_{dec} possède la granularité la plus élevée. La capacité C_s est utilisée pour la résonance de l'inductance secondaire, la capacité C_p est une capacité permettant de réaliser l'adaptation d'impédance souhaitée et la capacité C_{dec} est utilisée pour réaliser le découplage de l'alimentation.

La méthodologie de conception du balun de sortie est représentée sur la figure 4.18.

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

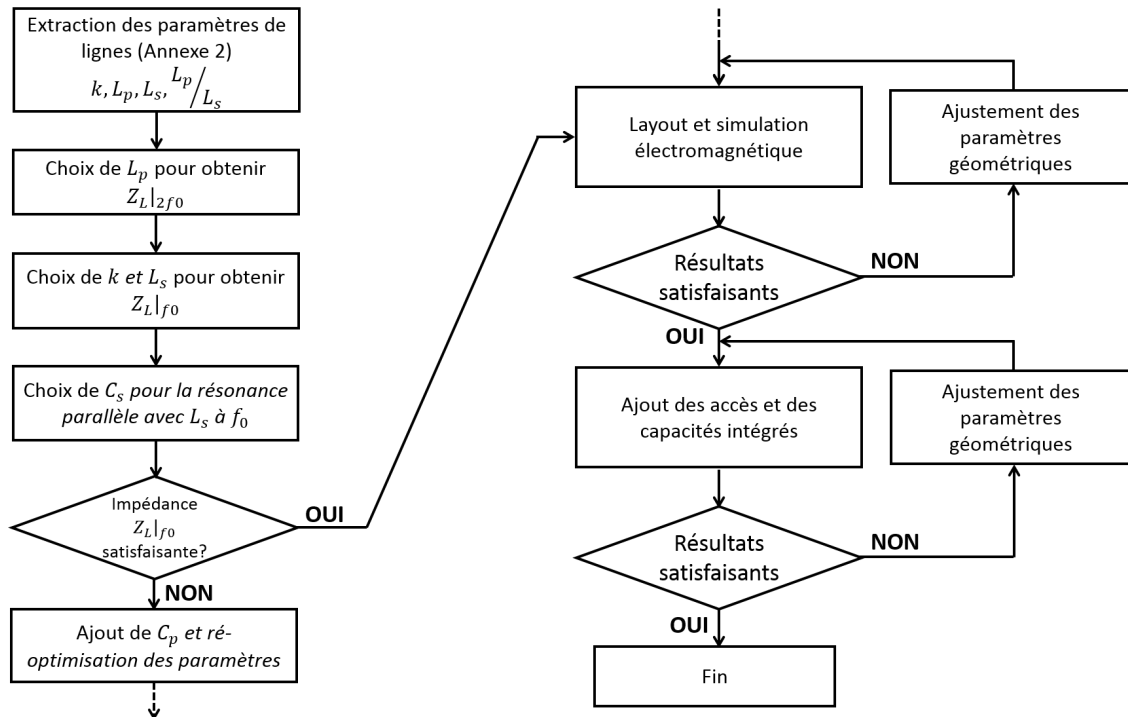


Figure 4.18 – Méthodologie de conception du balun de sortie

La première étape du dimensionnement est le choix de l'inductance primaire L_p pour fixer la valeur de l'impédance de charge au second harmonique $Z_{L|2f_0}$. L'impédance de charge à la fréquence fondamentale $Z_{L|f_0}$ spécifiée est ensuite fixée par le choix du coefficient de couplage k et de l'inductance secondaire L_s . La capacité C_s est alors utilisée pour obtenir un fonctionnement à la fréquence de travail f_0 de $1.9GHz$. L'ajout de la capacité C_p permet de synthétiser l'impédance voulue sur une bande de fréquence plus large. Cependant, la fréquence de fonctionnement est décalée par rapport à la fréquence de résonance de l'inductance secondaire. Une optimisation est donc nécessaire lors de l'ajout de C_p . Les paramètres obtenus avant l'ajout de la capacité C_p et après son ajout pendant le dimensionnement électrique sont répertoriés dans le tableau 4.10.

	L_p	L_s	k	C_s	C_p
Sans C_p	$1nH$	$7.5nH$	0.7	$1pF$	-
Avec C_p	$1.2nH$	$8.5nH$	0.73	$1.7pF$	$1.9pF$

Table 4.10 – Paramètres retenus pour le balun avec et sans C_p

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

A la suite du dimensionnement électrique, le balun est réalisé en layout (voir figure 4.19). L'inductance primaire correspond à la couche orange et l'inductance secondaire à la couche bleue. Pour obtenir un rapport de 7 entre les deux inductances, l'inductance secondaire est composée de trois enroulements. Le circuit comportant les capacités intégrées est placé au centre de la structure. L'espacement entre la puce passive et le balun permet de diminuer l'interaction entre les deux structures. La ligne de sortie (couche rouge) est dimensionnée pour présenter une impédance caractéristique de 50Ω afin de ne pas désadapter l'impédance à la sortie du balun.

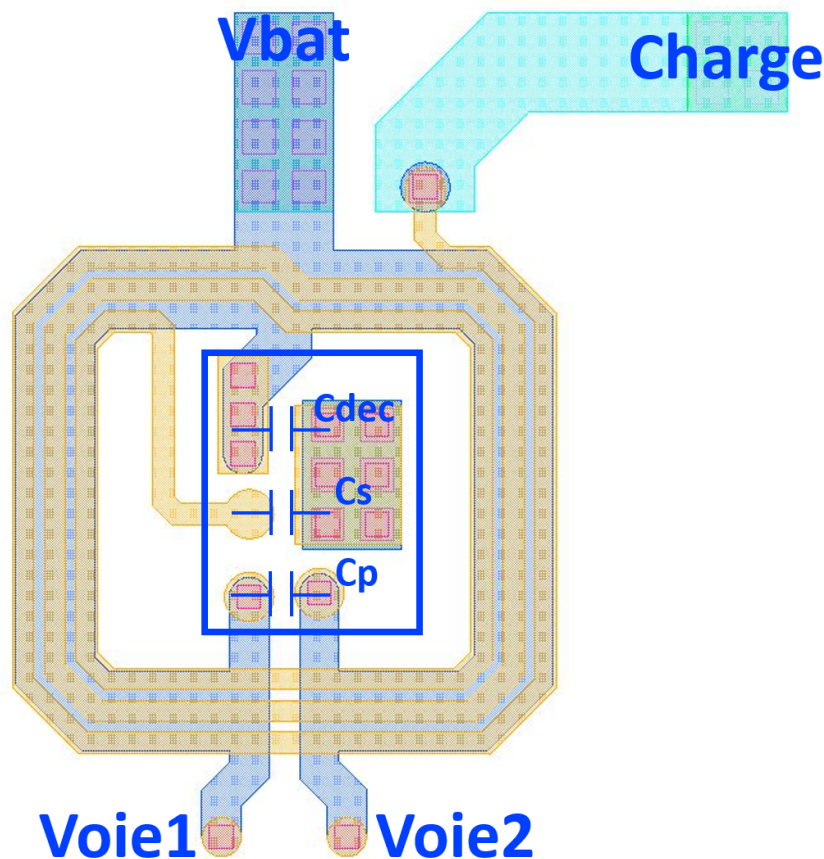


Figure 4.19 – Layout du balun de sortie de l'amplificateur de puissance

Les résultats des simulations électromagnétiques sont représentés sur la figure 4.20. L'impédance différentielle présentée à la fréquence fondamentale ($1.9GHz$) par le balun est de $(10 + j6)\Omega$ et l'impédance commune présentée au second harmonique ($3.8GHz$) est de $j7\Omega$. Les pertes simulées à la fréquence fondamentale sont de 0.3dB. Le couple de charges synthétisées est donc conforme aux spécifications que nous avons fixées et les pertes obtenues permettent d'atteindre des performances élevées en terme de puissance de sortie et de PAE.

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

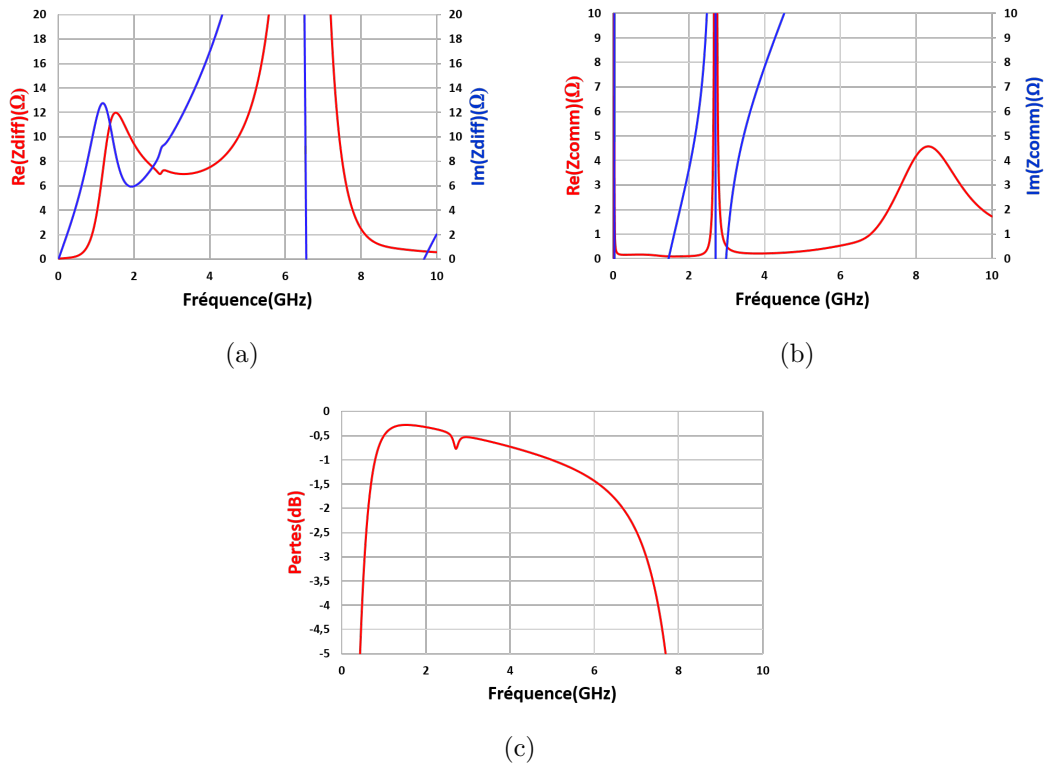


Figure 4.20 – Performances obtenues lors de la simulation EM du balun de sortie : (a) impédance différentielle de charge (b) impédance commune de charge et (c) pertes

4.2.5 Conception du réseau d'adaptation d'impédance inter-étage

Le schéma électrique équivalent du réseau d'adaptation d'impédance inter-étage est représenté sur la figure 4.21.

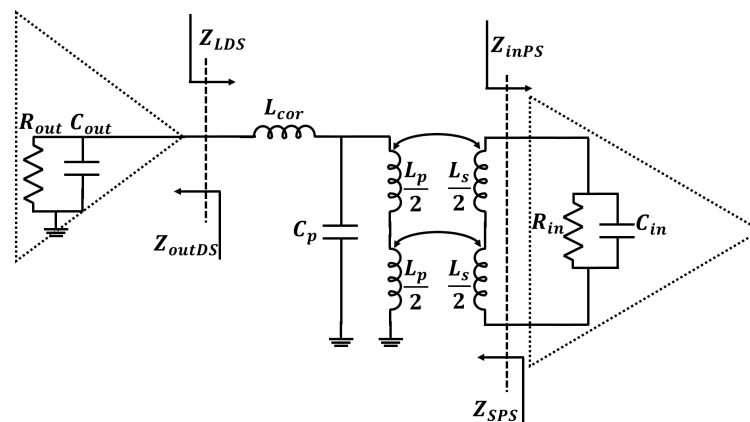


Figure 4.21 – Schéma électrique du réseau d'adaptation d'impédance

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

Le réseau est fermé à son entrée par l'impédance de sortie de l'étage driver Z_{outDS} qui vaut $(4 - j36)\Omega$ et à sa sortie par l'impédance différentielle présentée par l'entrée de l'étage de puissance Z_{inPS} et vaut $(3 - j9)\Omega$. Ces impédances sont obtenues lors de simulations CW. Les impédances Z_{inPS} et Z_{outDS} sont représentées par une résistance (R_{IN} et R_{OUT}) en parallèle avec une capacité (C_{IN} et C_{OUT}) afin de faire apparaître la résonance parallèle des inductances de la structure avec les réactances présentées. La polarisation des deux étages n'est pas prise en compte pour le moment. Le but du réseau est de présenter simultanément les impédances Z_{LDS} et Z_{SPS} déterminées précédemment lors de la conception. Ces impédances ainsi que les pertes voulues sont redonnées dans la tableau 4.11.

$Z_{LDS}(\Omega)$	$Z_{SPS}(\Omega)$	$LOSS(dB)$
$17 + j6$	$> 4 + j13$	$3dB$

Table 4.11 – Spécifications du réseau d'adaptation d'impédance inter-étage

Pour la conception, nous choisissons de réaliser ce réseau d'adaptation directement sur la puce où les coefficients de couplage sont plus élevés que sur le substrat stratifié. Le réseau implémenté directement sur le silicium permet également d'utiliser des capacités MIM directement sur le réseau et ainsi d'éviter la complexité des simulations électromagnétiques des transitions puce-substrat. Les pertes sont plus importantes comparées à celles obtenues sur le substrat stratifié, mais sont déjà prises en compte lors du budget en gain de l'amplificateur de puissance. Afin de minimiser les pertes et d'obtenir les meilleurs coefficients de couplage, la structure est réalisée sur la couche de métal épais (UTM) sous forme de lignes coplanaires. Le coefficient de couplage maximum obtenu avec cette structure est $k = 0.75$ pour un rapport de transformation unitaire. Nous fixons le rapport de transformation n à 1 afin de simplifier la conception et pour assurer la symétrie de la structure.

La méthodologie de conception du réseau d'adaptation d'impédance inter-étage est représentée sur la figure 4.22.

La colonne de gauche du diagramme correspond aux simulations avec le schéma électrique équivalent. La première étape de conception est la synthèse de l'impédance de charge présentée au driver Z_{LDS} . Une fois que tous les paramètres sont fixés pour obtenir Z_{LDS} , il faut que l'impédance de sortie du driver ait une valeur particulière pour obtenir l'impédance Z_{SPS} voulue. L'impédance Z_{SPS} étant très éloignée de la spécification, il est nécessaire d'ajouter des composants supplémentaires si l'on ne change pas d'architecture. Les paramètres du circuit sont alors légèrement réoptimisés après l'ajout de C_p et de L_{cor} pour obtenir la synthèse simultanée des deux impédances. Les paramètres obtenus avant et après l'ajout sont répertoriés dans le tableau 4.12.

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

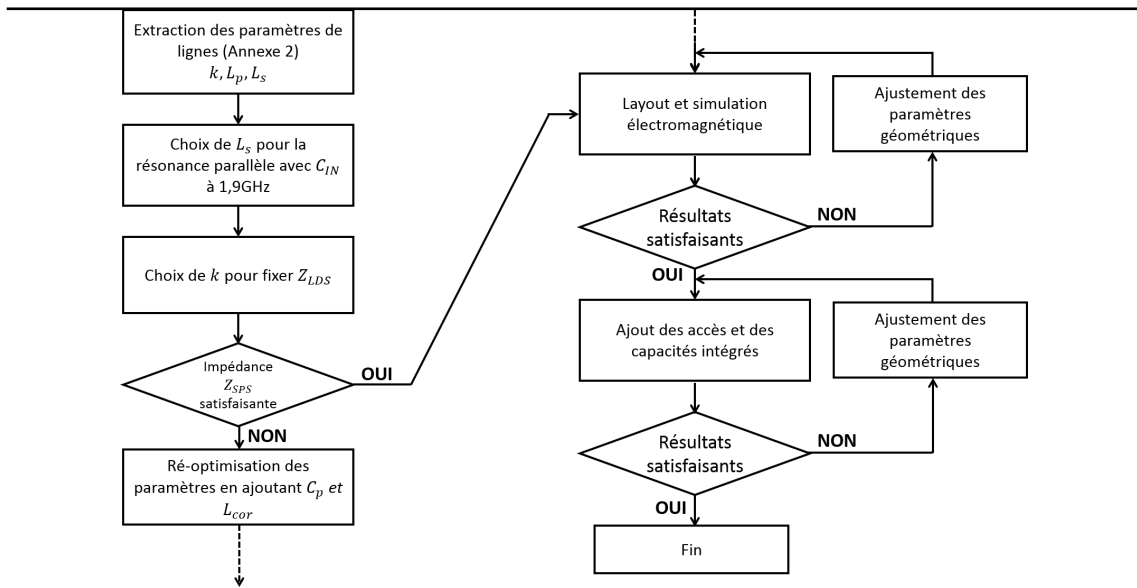


Figure 4.22 – Méthodologie de conception du réseau d'adaptation d'impédance inter-étage

	$L_s(pH)$	$L_p(pH)$	n	k	$C_p(pF)$	$L_{cor}(pH)$
paramètres avant ajout	810	810	1	0.7	-	-
paramètres après ajout	780	780	1	0.7	2	200

Table 4.12 – Paramètres du schéma électrique équivalent du réseau avant et après l'ajout de C_p et L_{cor}

Les résultats des simulations électriques pour les deux sets de paramètres précédents sont représentés sur la figure 4.23. L'impédance Z_{LDS} vaut $(17.4 + j6.3)\Omega$ et Z_{SPS} vaut $(2 + j13.2)\Omega$. Les impédances sont proches des spécifications à la différence que la partie réelle de Z_{SPS} est inférieure aux 4Ω voulus.

A la suite du dimensionnement avec le schéma équivalent électrique, le circuit est réalisé en layout. Le schéma électrique final incluant les capacités de découplage pour la polarisation est représenté sur la figure 4.24. La polarisation de l'étage driver est réalisé grâce à une capacité de découplage C_{decDS} dont la valeur ($60pF$) a été choisie comme un compromis entre la taille occupée sur la puce et son impact sur les impédances présentées par le réseau. La polarisation de l'étage de puissance est réalisée au point milieu de l'inductance secondaire L_s grâce à la capacité de découplage C_{decPS} . Le layout final du réseau d'adaptation d'impédance inter-étage est représenté sur la figure 4.25.

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

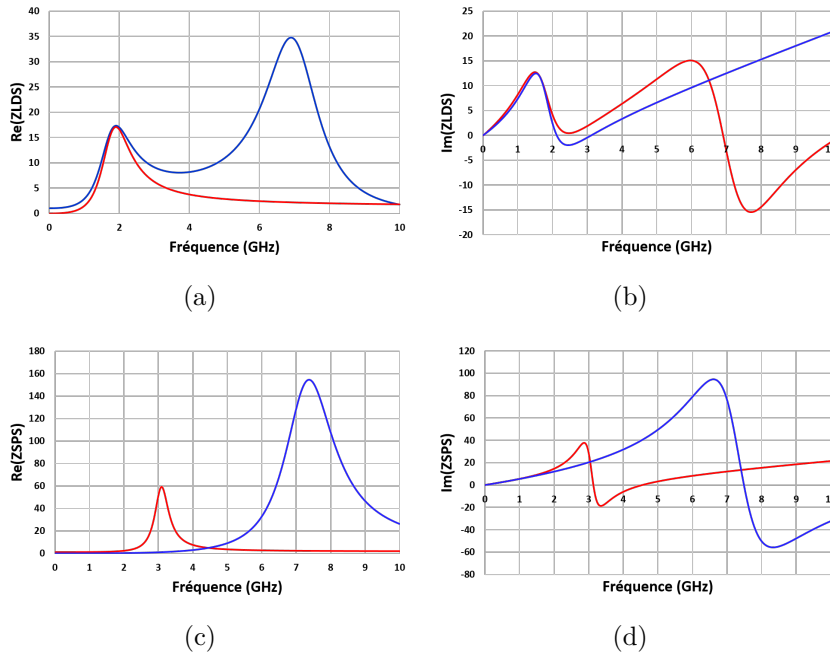


Figure 4.23 – (a) partie réelle de Z_{LDS} , (b) partie imaginaire de Z_{LDS} , (c) partie réelle de Z_{SPS} et (d) partie imaginaire de Z_{SPS} obtenues en simulation électrique avant (rouges) et après (bleues) l'ajout de C_p et L_{cor}

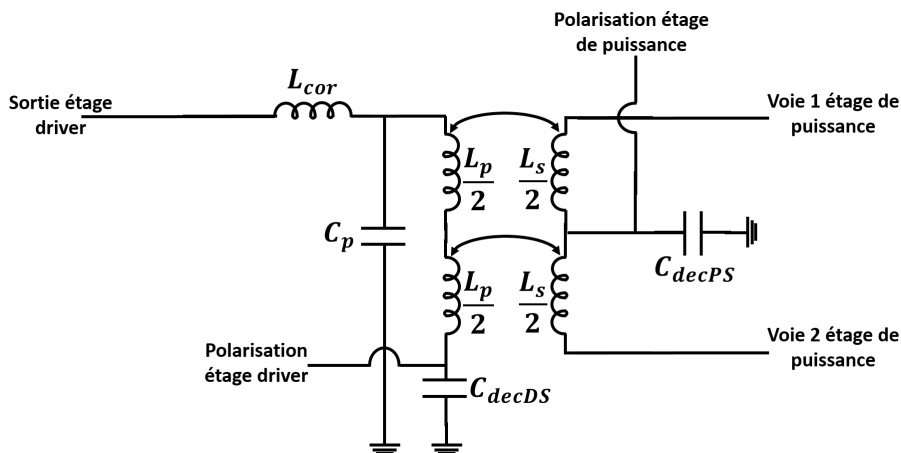


Figure 4.24 – Schéma électrique final du réseau d'adaptation d'impédance inter-étage

Les résultats de simulation électromagnétique du réseau d'adaptation d'impédance inter-étage sont représentés sur la figure 4.26. L'impédance différentielle Z_{SPS} vaut $17 + j5.5\Omega$ et l'impédance commune vaut $50 - j10\Omega$. L'impédance de charge présentée à l'étage de pré-amplification Z_{LDS} vaut $4 + j13.5\Omega$. Enfin, les pertes valent $-2.7dB$. Ces résultats sont conformes aux spécifications déterminées lors de la conception des deux étages d'amplification.

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

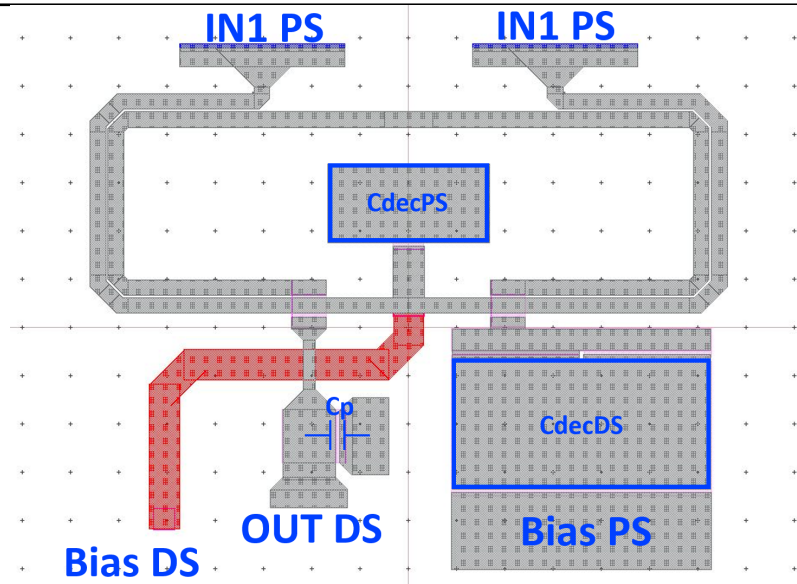


Figure 4.25 – Layout du balun d'adaptation d'impédance inter-étage

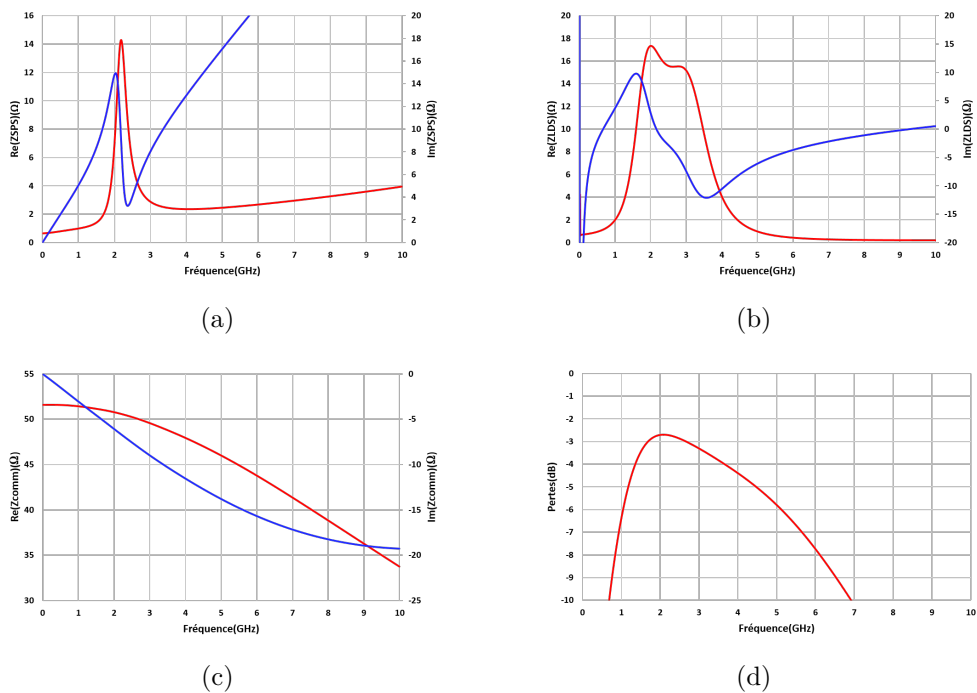


Figure 4.26 – Résultats de la simulation électromagnétique du réseau d'adaptation d'impédance inter-étage (a) impédance Z_{SPS} , (b) impédance Z_{LDS} , (c) impédance Z_{comm} et (d) pertes

4.2.6 Simulation de la chaîne complète

Bien que les impédances des étages ne soient pas en accord avec la version des modèles électriques utilisés, une simulation pour un signal W-CDMA de l'amplificateur

4.2 Conception de l'amplificateur de puissance avec filtrage au second harmonique

de puissance complet est réalisée. Les étages sont mis en série selon l'architecture prévue dans le début de la section. Tous les blocs sont utilisés tels qu'ils ont été conçus. Les seuls paramètres ayant été ré-optimisés lors de cette simulation sont les tensions de polarisation de grille des deux étages d'amplification. Seule une simulation W-CDMA de l'amplificateur de puissance est réalisée afin d'en déterminer les performances. Les résultats de la simulation sont représentés sur la figure 4.27 et les performances à $-40dBc$ d'ACLR sont répertoriés dans le tableau 4.13.

$P_{OUT}(dBm)$	$PAE(\%)$	$G_P(dB)$
29.4	40.8	31.8

Table 4.13 – Récapitulatifs des performances de l'amplificateur de puissance pour un signal d'entrée W-CDMA à $-40dBc$ d'ACLR

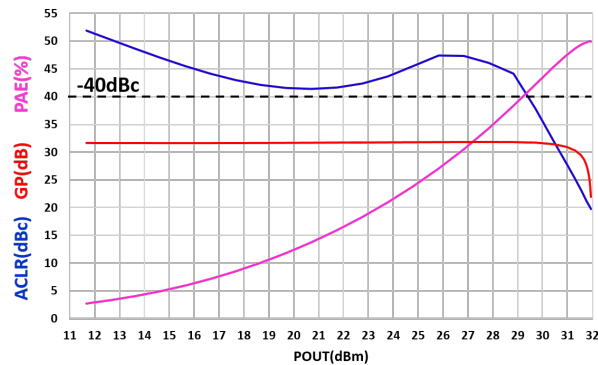


Figure 4.27 – PAE (violet), $ACLR$ (bleu) et G_P (rouge) en fonction de P_{OUT} de l'amplificateur de puissance complet obtenus pour un signal d'entrée W-CDMA

Ces résultats de simulations dépassent les spécifications voulues de l'amplificateurs de puissance. Notre cahier des charges demande une P_{OUT} de $28.5dBm$, une PAE de 40.8% et un G_P de $29dB$ à un niveau d'ACLR de $-40dBc$. Les performances obtenus sont respectivement supérieures de $0.9dB$, $0.8points$ et $2.8dB$. Le tableau 4.14 reprend les meilleures réalisations présentes dans la littérature ainsi que nos derniers résultats de simulation. Notre PA présente un gain très élevé comparable à ceux présentés dans [31] et [44], la P_{OUT} la plus élevée et une PAE du même ordre que celles présentées mais tout de même plus faible que [35] et [46]. Il est tout de même important de noter que nos résultats sont donnés à $-40dBc$ d'ACLR. De ce fait, nos performances reportées à $-33dBc$ sont plus élevées. Notre réalisation permet donc un meilleur compromis entre les différentes performances.

Linéarisation d'amplificateurs de puissance par une mise en oeuvre originale adaptée à la topologie différentielle

	Technologie	Freq (GHz)	V_{alim} (V)	PAE (%)	P_{out} (dBm)	G_p (dB)	ACLR (dBc)	Technique d'amélioration
[43]2010	0.18 μ m CMOS	1.95	3.4	40	23.5	26*	-33	Bias Control
[31]2012	0.18 μ m CMOS	1.95	3.5	39.4	29.1	23.2~32.2*	-36	PD
[44]2014	0.11 μ m CMOS	0.9	2.5	34	27.5	34*	-33	Bias network improvement
[39]2004	0.5 μ m CMOS	1.75	3.3	29	24	23.9	-35	Cap. Comp.
[35]2012	0.18 μ m CMOS	1.85	3.5	45.8	27.8	15.8	-33	Bias control
[45]2017	0.18 μ m CMOS	1.85	3.4	24	25.8	24.8	-39	MGTR &Anti-phase
[46]2011	65nm CMOS	1.8	3.4	48	27.8	–	-33	DPD
[47]2015	0.13 μ m CMOS	1.85	2.8	29.3	27.5	–	-39.8	DPD
[48]2014	90nm CMOS	1.95	3.7	39.2	28	30.5	-41.1	EE&R
Ce travail	0.18 μ m CMOS	1.9	3.4	40.8	29.4	31.8	-40	Filtre au second harmonique

Table 4.14 – Tableau comparatif des meilleures PA de la littérature pour application mobiles 3G

4.3 Conclusion

Dans ce chapitre, l'étude de deux méthodes de linéarisation basées sur des études en régime petit signal a montré lors des simulations un fort potentiel. En effet, la première repose sur l'utilisation d'une contre-réaction appliquée seulement aux harmoniques pairs et plus particulièrement au second harmonique en utilisant le découplage modale offert par les structures différentielles. De cette manière, le gain reste inchangé, et la contre-réaction au second harmonique améliore à la fois la linéarité et le rendement de l'étage de puissance. Cette méthode n'a pas été implémentée car elle nécessitait l'utilisation d'inductance placée à la source, ce qui détériore significativement la résistance thermique dans le cas de connexions flip-chip.

La seconde méthode repose également sur le contrôle du second harmonique. Elle consiste à réaliser un court-circuit au noeud central du cascode afin de linéariser la tension de commande du transistor en grille commune. Ce court-circuit est réalisé par un filtre L-C utilisant les propriétés des amplificateurs différentiels. L'architecture retenue permet de réduire de moitié la valeur de l'inductance nécessaire et par extension sa surface occupée. Cette méthode a été retenue de part sa simplicité de mise en oeuvre et également les résultats obtenus.

A la suite du choix de la modalité de linéarisation, la conception d'un amplificateur de puissance à deux étages a été proposée. Le bilan de gain de chaque étage a permis de valider l'utilisation d'un driver déjà conçu dont la taille était suffisante pour permettre d'avoir à la fois le gain et la puissance de sortie nécessaire. L'étage de puissance a été conçu conjointement avec le filtre afin de vérifier les variations des paramètres de fermeture de l'étage. Les paramètres du driver ont été choisis afin de permettre la linéarisation de la courbe AM/AM de l'amplificateur complet. Enfin les réseaux d'adaptation inter-étage et de sortie ont été conçus et réalisés en layout selon leur cahier des charges. La simulation finale de l'amplificateur de puissance complet démontre les performances en linéarisation du filtre ainsi que la linéarisa-

4.3 Conclusion

tion du gain de l'étage de puissance par l'étage driver. Nous obtenons une P_{OUT} de $29.4dBm$, une PAE de 40.8% et un G_P de $31.8dB$ à $-40dBc$ d'ACLR. Ces résultats permettent de dépasser notre cahier des charges.

Conclusion générale et perspectives

Conclusion générale

La problématique de la thèse repose sur la conception d'amplificateurs de puissance conforme aux spécifications de la norme des systèmes 3G permettant simultanément une consommation énergétique moindre et un faible coût de production de par la technologie choisie. Ce travail a été plus spécifiquement développé autour des méthodes de linéarisation au niveau du circuit pour viser une amélioration intrinsèque de la cellule MASMOS.

Le chapitre 1 est dédié à la présentation du contexte dans lequel s'inscrit la thèse ainsi que les différentes alternatives existantes aujourd'hui dans la littérature pour la linéarisation d'amplificateur de puissance. Une première partie est consacrée à la présentation de l'architecture des réseaux de troisième génération ainsi que le type de chaîne d'émission utilisée dans les équipements utilisateurs. Cette partie est alors conclue par la présentation du signal W-CDMA utilisé pour les communications de troisième génération. La seconde partie est dédiée à la présentation des fondamentaux des amplificateurs de puissance nécessaires à la compréhension et la conception de ces circuits. Sachant maintenant comment caractériser un amplificateur de puissance, la troisième partie est dédiée à l'étude des différentes méthodes de la littérature permettant l'amélioration des performances (rendement et linéarité). Après avoir présenté les différentes alternatives au niveau système nous nous sommes intéressés aux méthodes niveau circuit. Nous nous sommes orientés pour cette thèse vers des méthodes au niveau circuit permettant une amélioration intrinsèque des performances des PAs. De cette manière, nous pouvons tirer le maximum en terme de performance de notre cellule avec des techniques présentant une mise en oeuvre compacte avant d'utiliser des méthodes systèmes. Enfin, nous présentons notre cahier des charges ainsi que les meilleures réalisations observées dans la littérature.

Le chapitre 2 présente la technologie utilisée, la cellule centrale du travail de thèse ainsi que les différents paramètres liés à la conception des amplificateurs de puissance. Dans un premier temps, la technologie CMOS Si 180nm oxyde fin RF est présentée en commençant par un bref rappel sur le fonctionnement des transistors

MOS. Les différents éléments du design kits sont présentés. Enfin les principaux mécanismes de défaillance sont passés en revue. Dans une deuxième partie, la cellule MASMOS est ensuite présentée et particulièrement le transistor JFET développé par ACCO permettant de compenser la faible tenue en tension des transistors nMOS proposés par la technologie. Nous décidons alors de fixer le ratio des largeurs de grille entre le JFET et le MOS à 1.7 qui correspond à l'optimum déterminé par les ingénieurs d'ACCO. Nous faisons ensuite un point succinct sur les modèles des deux transistors utilisés pour les simulations électriques. La troisième partie est dédiée à la présentation des paramètres de conception ainsi que leur influence sur les performances attendues. Suite à cette étude nous avons décidé d'utiliser la classe AB profonde qui présente la meilleure linéarité en terme d'ACLR. Enfin, dans une dernière partie, les différents bancs de mesures disponibles pour la caractérisations des structures sont présentés.

Le chapitre 3 est dédié à l'optimisation de la cellule MASMOS avant l'application d'une méthode de linéarisation. L'étude de l'impact des interconnexions flip-chip sur les performances de la cellule montre qu'il est préférable d'utiliser une architecture différentielle pour conserver le maximum de gain en puissance. Lors de cette étude, nous nous sommes également intéressés à l'impact d'une inductance de dégénérescence sur le MASMOS. Nous avons montré que son utilisation sur la cellule permettait une amélioration de la PAE ainsi que du niveau de linéarité au détriment du gain qui s'en trouvait fortement dégradé. A la suite de cette étude, nous présentons les différents avantages et inconvénients des architectures différentielles ainsi que les différents outils nécessaires à leur étude.

Puis, nous présentons la conception d'un étage de puissance différentiel à base de cellule MASMOS pour servir de référence aux structures après linéarisation. Une optimisation du layout est effectuée pour réduire au maximum l'impact des parasites liés aux interconnexions. Un point important pour la structure différentielle est l'utilisation de la structure de recombinaison en sortie. Nous avons opté pour un balun intégré sur notre substrat stratifié afin de profiter de pertes moindres. Nous présentons les différentes alternatives au niveau du circuit pour synthétiser les impédances à la fréquence de travail en nous basant sur un schéma simple de transformateur. Nous proposons une méthodologie de conception basée sur le schéma équivalent électrique de la structure permettant d'obtenir un pré-dimensionnement rapide des inductances et des capacités. Puis, nous présentons les résultats obtenus en simulation électromagnétique du balun utilisé pour la structure. L'impédance de charge présentée au PA à la fréquence fondamentale est de $10 + j5\Omega$ contre $10 + j6\Omega$ prévu. L'impédance au second harmonique vaut $0 + j9\Omega$ contre $0 + j7\Omega$. Les pertes sont de $0.4dB$. Ces résultats de simulation sont très proches de nos spécifications, ce qui montre l'efficacité de notre méthodologie de conception.

Enfin, nous présentons la campagne de mesure réalisée sur l'étage de puissance. Le premier axe vise à prouver l'apport de la structure différentielle. Pour cela, l'étage

de puissance est caractérisé en configuration single-ended et en configuration différentielle. Les résultats de mesure intrinsèques prouvent l'apport de l'architecture par une amélioration du gain de $2dB$ sans dégradation des autres performances. Le second axe est la caractérisation complète de l'étage de puissance. Notre PA possède une P_{OUT} de $28.6dBm$, une PAE de 36% et un G_P de $14.6dB$ pour $-40dBc$ d'ACLR. La comparaison des résultats de mesure avec ceux de simulations montrent une très bonne correspondance. En comparant nos mesures avec les meilleures réalisations de la littérature, nous constatons que nos résultats sont équivalents sans utilisation d'une quelconque méthode d'amélioration de performance.

Le chapitre 4 est dédié à la conception d'un amplificateur de puissance complet comprenant deux étages pour atteindre le gain requis par nos spécifications. La première partie présente deux méthodes de linéarisation niveau circuit. La première consiste à utiliser un feedback harmonique en mode commun qui permet en théorie la linéarisation sans perte de gain. Le principal désavantage de cette méthode est la détérioration de la résistance thermique du transistor MOS qui contre-balance l'amélioration observée. La seconde méthode consiste à linéariser la tension de commande du JFET en supprimant son second harmonique par l'utilisation d'un filtre. Nous avons choisi d'utiliser cette méthode originale de part l'amélioration de performance observée ainsi que sa facilité de mise en oeuvre. Le seul défaut notable est que cette méthode est bande étroite de part la nature du filtre.

La seconde partie de ce chapitre présente la conception complète de l'amplificateur de puissance. Le budget en gain de la chaîne complète montre que le driver choisi possède suffisamment de gain pour donner un degré de liberté sur les pertes des réseaux d'adaptation d'impédance d'entrée et inter-étage. L'étage de puissance est entièrement basé sur l'étage réalisé dans le cadre du troisième chapitre. Quelques corrections ont cependant été apportées au layout pour réduire davantage l'inductance parasite de source du MASMOS. L'étude des impédances d'entrée de l'étage de puissance a permis de déterminer les conditions de fermeture optimales en linéarité de cet étage. La conception des réseaux d'adaptation de sortie et inter-étage est détaillée et utilise la méthodologie développée dans le troisième chapitre. Enfin, la simulation de la chaîne complète donne en sortie une P_{OUT} de $29.4dB$, une PAE de 40.8% et un G_P de $31.8dB$ à $-40dBc$ d'ACLR. Les performances obtenues vont au-delà de nos spécifications sans l'utilisation d'une méthode de linéarisation système. Pour terminer, nous comparons nos derniers résultats de simulation avec les meilleures réalisations de la littérature. Notre PA propose la meilleure P_{OUT} , une PAE comparable et un G_P parmi les meilleures réalisations. Cependant, la comparaison est à relativiser quant au fait que ces résultats de simulation n'ont pas été vérifiés expérimentalement. Il est également à noter que la plupart des articles proposant des méthodes au niveau système ne prennent pas en compte l'alimentation des linéariseurs.

Cette thèse a permis de montrer les potentialités offertes par la technologie

CMOS 180nm thin oxide pour la conception d'amplificateur de puissance pour les appareils mobiles. Les résultats de mesure obtenus sont au même niveau que les réalisations de la littérature sans utilisation de méthode de linéarisation.

Perspectives

L'étage driver utilisé a été sélectionné selon ceux d'ores et déjà disponibles lors de la conception. Il n'est donc certainement pas optimal et nécessiterait une étude approfondie pour obtenir notamment une consommation plus faible. L'autre point concernant l'étage driver est la conception du réseau d'adaptation d'impédance d'entrée qui est à réaliser.

Ces travaux de recherche ont eu pour but d'optimiser la cellule au niveau du circuit. Aux vues des derniers résultats, le PA présente une P_{OUT} 1.9dB supérieures à la spécification. Pour optimiser d'autant plus le circuit, un redimensionnement de la largeur des transistors permettrait de réduire la P_{OUT} tout en améliorant la PAE. Cette amélioration serait due à la diminution des parasites de la structure, une meilleure répartition du courant au sein des différents blocs de transistors et une meilleure répartition de la dissipation thermique. Ce changement entrainerait également une structure plus compacte. Cela nécessiterait néanmoins de ré-adapter les réseaux d'adaptation d'impédance de sortie et inter-étage. Une autre solution serait de retravailler le balun de sortie pour une PAE plus importante et une P_{OUT} plus faible.

Un point d'amélioration majeur de la cellule MASMOS serait de passer sur un noeud technologique plus fin pour améliorer la f_t et la f_{max} du circuit qui est très basse compte tenu de la fréquence de travail. Ce changement entrainerait une diminution de la tension de claquage de l'oxyde de grille, mais la nature de la cellule MASMOS permet de compenser cette faiblesse.

Pour les générations futures, nous pourrions adjoindre à cette cellule optimisée une ou plusieurs méthodes d'amélioration des performances au niveau système. Nous n'allons considérer que les méthodes nécessitant le signal RF et l'alimentation en entrée. Parmi les plus performantes, la pré-distorsion offre une correction en terme d'amplitude et de phase et peut être large bande selon les modalités de mise en oeuvre. La seconde méthode est l'ET (Envelope Tracking) qui démontre des résultats en terme de linéarité et de rendement très intéressants. Cette méthode permettrait également d'améliorer le rendement dans la zone d'amplification linéaire qui est un des points non traités lors de la conception de notre PA. L'architecture Doherty pourrait être également très intéressante car elle réduirait la taille de l'amplificateur d'un facteur 2 (répartition de la puissance sur 2 étages parallèles) et augmenterait d'autant les impédances de fermeture optimales. Néanmoins, le réseau d'adaptation en sortie serait très compliqué étant donné qu'il aurait trois rôles : la recombinaison

du mode différentiel en mode commun, l'adaptation d'impédance et la gestion de l'effet loadpull de l'étage auxiliaire.

Bibliographie

- [1] D.A. Masliah, A.G. Bracale, F.C. Huin, and P.J. Barroul. High breakdown voltage double-gate semiconductor device, January 4 2011. US Patent 7,863,645. [2](#)
- [2] 3GPP. Ts23.101 version 3.1.0 release 99. [5](#)
- [3] Javier Sanchez and Mamadou Thioune. *UMTS*. John Wiley & Sons, 2013. [6](#)
- [4] 3GPP. Ts25.213 version 14.0.0 release 14. [6](#)
- [5] 3GPP. Ts25.101 version 12.8.0 release 12. [7](#)
- [6] Tero Ojanpera and Ramjee Prasad. *Wideband CDMA For Third Generation Mobile Communications : Universal Personal Communications*. Artech House, Inc., 1998. [7](#)
- [7] Harri Holma and Antti Toskala. *WCDMA for UMTS : Radio access for third generation mobile communications*. john wiley & sons, 2005. [8](#)
- [8] Earl McCune. Modern cellular wireless signals. In *Microwave Measurements Conference (ARFTG), 2010 75th ARFTG*, pages 1–7. IEEE, 2010. [vii](#), [8](#), [9](#)
- [9] Phaede Germain Yves. *Méthode de conception des systèmes différentiels RF utilisant le formalisme des modes mixtes*. PhD thesis, Université de Limoges, 2015. [11](#), [74](#)
- [10] J Jugo, J Portilla, A Anakabe, A Suárez, and JM Collantes. Closed-loop stability analysis of microwave amplifiers. *Electronics Letters*, 37(4) :1, 2001. [11](#)
- [11] Wayne Struble and Aryeh Platzker. A rigorous yet simple method for determining stability of linear n-port networks [and mmic application]. In *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1993. Technical Digest 1993., 15th Annual*, pages 251–254. IEEE, 1993. [11](#)
- [12] 3GPP. Ts34.121-1 release 7. [16](#)
- [13] Marcos L Carneiro, Nathalie Deltimple, Paulo HP Carvalho, Didier Belot, and Eric Kerhervé. Fully integrated cmos doherty power amplifier with network matching optimization for die size reduction. In *European Microwave Integrated Circuit Conference (EuMIC), 2014 9th*, pages 325–328. IEEE, 2014. [17](#)

BIBLIOGRAPHIE

- [14] Daehyun Kang, Dongsu Kim, Yunsung Cho, Byungjoon Park, Jooseung Kim, and Bumman Kim. Design of bandwidth-enhanced doherty power amplifiers for handset applications. *IEEE Transactions on Microwave Theory and Techniques*, 59(12) :3474–3483, 2011. [vii](#), [18](#), [31](#)
- [15] Li-Yuan Yang, Hsin-Shu Chen, and Yi-Jan Emery Chen. A 2.4 ghz fully integrated cascode-cascade cmos doherty power amplifier. *IEEE Microwave and Wireless Components Letters*, 18(3) :197–199, 2008. [17](#), [18](#)
- [16] Fatna Benahmed Daho, Guillaume Neveux, Cyril Decroze, and Patrick Vaudon. Etude de performances de la technique linc. In *17es Journées Nationales Microondes, BREST 2011-*, pages Oral-session, 2011. [vii](#), [19](#)
- [17] Haedong Jang, Richard Wilson, Tim Canning, David Seebacher, Christian Schubert, and Bayaner Arigong. Self-outphasing chireix power amplifier using device input impedance variation. In *Microwave Symposium (IMS), 2016 IEEE MTT-S International*, pages 1–4. IEEE, 2016. [vii](#), [19](#)
- [18] Henry Chireix. High power outphasing modulation. *Proceedings of the Institute of Radio Engineers*, 23(11) :1370–1392, 1935. [18](#)
- [19] Steve C Cripps. *RF power amplifiers for wireless communications*. Artech House, 1999. [18](#), [22](#)
- [20] Peter Asbeck and Zoya Popovic. Et comes of age : Envelope tracking for higher-efficiency power amplifiers. *IEEE Microwave Magazine*, 17(3) :16–25, 2016. [19](#)
- [21] Sangsu Jin, Kyunghoon Moon, Byungjoon Park, Jooseung Kim, Yunsung Cho, Hadong Jin, Dongsu Kim, Myeongju Kwon, and Bumman Kim. Cmos saturated power amplifier with dynamic auxiliary circuits for optimized envelope tracking. *IEEE Transactions on Microwave Theory and Techniques*, 62(12) :3425–3435, 2014. [21](#)
- [22] Donald YC Lie, Jerry Lopez, Yan Li, and Jerry Tsay. Design of highly-efficient monolithic silicon power amplifiers using envelope-tracking for broadband wireless applications. In *Microwave Conference (APMC), 2014 Asia-Pacific*, pages 1085–1088. IEEE, 2014. [21](#)
- [23] Earl McCune. Operating modes of dynamic power supply transmitter amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, 62(11) :2511–2517, 2014. [21](#)
- [24] Peter B Kenington. *High linearity RF amplifier design*. Artech House, Inc., 2000. [22](#), [23](#)
- [25] Joel L Dawson and Thomas H Lee. Cartesian feedback for rf power amplifier linearization. In *American Control Conference, 2004. Proceedings of the 2004*, volume 1, pages 361–366. IEEE, 2004. [vii](#), [23](#)
- [26] Hsien-Yuan Liao, Jhih-Hong Chen, Hwann-Kaeo Chiou, and Cheng-Chung Chen. High-linearity cmos feedforward power amplifier for wimax application. In *Microwave Conference, 2008. APMC 2008. Asia-Pacific*, pages 1–4. IEEE, 2008. [vii](#), [23](#), [24](#)

-
- [27] Jaehyok Yi, Youngoo Yang, Myungkyu Park, Wonwoo Kang, and Bumman Kim. Analog predistortion linearizer for high-power rf amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, 48(12) :2709–2713, 2000. [24](#)
- [28] Gabriel Montoro, Pere Lluís Gilabert, Eduard Bertran, A Cesari, and Daniel Discini Silveira. A new digital predictive predistorter for behavioral power amplifier linearization. *IEEE Microwave and wireless components letters*, 17(6) :448–450, 2007. [24](#)
- [29] Qi Cai, Wenquan Che, Kaixue Ma, and Mi Zhang. A simplified transistor based analog predistorter for a gan power amplifier. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 2017. [24](#)
- [30] Anding Zhu, Paul J Draxler, Jonmei J Yan, Thomas J Brazil, Donald F Kimball, and Peter M Asbeck. Open-loop digital predistorter for rf power amplifiers using dynamic deviation reduction-based volterra series. *IEEE Transactions on Microwave Theory and Techniques*, 56(7) :1524–1534, 2008. [24](#)
- [31] K. Y. Son, B. Koo, and S. Hong. A cmos power amplifier with a built-in rf predistorter for handset applications. *IEEE Transactions on Microwave Theory and Techniques*, 60(8) :2571–2580, Aug 2012. [25](#), [31](#), [91](#), [120](#), [121](#)
- [32] Chengzhou Wang, L. E. Larson, and P. M. Asbeck. A nonlinear capacitance cancellation technique and its application to a cmos class ab power amplifier. In *2001 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium (IEEE Cat. No.01CH37173)*, pages 39–42, May 2001. [27](#)
- [33] Steve C Cripps. *Advanced techniques in RF power amplifier design*. Artech House, 2002. [27](#)
- [34] Tianzuo Xi, S. Huang, Shita Guo, Ping Gui, Jing Zhang, Wooyeol Choi, Daquan Huang, K. O. Kenneth, and Yanli Fan. A new compact high-efficiency mmwave power amplifier in 65 nm cmos process. In *2015 IEEE MTT-S International Microwave Symposium*, pages 1–4, May 2015. [27](#)
- [35] Bonhoon Koo, Yoosam Na, and Songcheol Hong. Integrated bias circuits of rf cmos cascode power amplifier for linearity enhancement. *IEEE Transactions on Microwave Theory and Techniques*, 60(2) :340–351, 2012. [28](#), [31](#), [91](#), [120](#), [121](#)
- [36] Kazukiyo Joshin, Yasuhiro Nakasha, Taisuke Iwai, Takumi MIYASHITA, and Shiro OHARA. Harmonic feedback circuit effects on intermodulation products and adjacent channel leakage power in hbt power amplifier for 1.95 ghz wide-band cdma cellular phones. *IEICE Transactions on Electronics*, 82(5) :725–729, 1999. [28](#), [29](#), [96](#)
- [37] Hyunchol Shin, Jongsik Kim, and Namsoo Kim. Source degenerated derivative superposition method for linearizing rf fet differential amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, 63(3) :1026–1035, 2015. [29](#)
- [38] Vincent W Leung, Junxiong Deng, Prasad S Gudem, and Lawrence E Larson. Analysis of envelope signal injection for improvement of rf amplifier intermodu-

BIBLIOGRAPHIE

- lation distortion. *IEEE journal of solid-state circuits*, 40(9) :1888–1894, 2005. [29](#)
- [39] Chengzhou Wang, Mani Vaidyanathan, and Lawrence E Larson. A capacitance-compensation technique for improved linearity in cmos class-ab power amplifiers. *IEEE journal of solid-state circuits*, 39(11) :1927–1937, 2004. [29](#), [31](#), [91](#), [121](#)
- [40] Bonkee Kim, Jin-Su Ko, and Kwiro Lee. A new linearization technique for mosfet rf amplifier using multiple gated transistors. *IEEE Microwave and Guided Wave Letters*, 10(9) :371–373, 2000. [29](#)
- [41] Chao Lu, Anh-Vu H Pham, Michael Shaw, and Christopher Saint. Linearization of cmos broadband power amplifiers through combined multigated transistors and capacitance compensation. *IEEE Transactions on Microwave Theory and Techniques*, 55(11) :2320–2328, 2007. [29](#)
- [42] Yunsung Cho, Daehyun Kang, Jooseung Kim, Kyunghoon Moon, Byungjoon Park, and Bumman Kim. Linear doherty power amplifier with an enhanced back-off efficiency mode for handset applications. *IEEE Transactions on Microwave Theory and Techniques*, 62(3) :567–578, 2014. [31](#)
- [43] Hamhee Jeon, Kun-Seok Lee, Ockgoo Lee, Kyu Hwan An, Youngchang Yoon, Hyungwook Kim, Dong Ho Lee, Jongsoo Lee, Chang-Ho Lee, and Joy Laskar. A 40% pae linear cmos power amplifier with feedback bias technique for wcdma applications. In *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE*, pages 561–564. IEEE, 2010. [31](#), [91](#), [121](#)
- [44] Sungho Lee, Kihyun Kim, and Daeyeon Kim. A fully integrated cmos linear power amplifier using an imd-reduced bias network. In *European Microwave Integrated Circuit Conference (EuMIC), 2014 9th*, pages 317–320. IEEE, 2014. [31](#), [91](#), [120](#), [121](#)
- [45] Jonghoon Park, Changhyun Lee, Jinho Yoo, and Changkun Park. A cmos antiphase power amplifier with an mgrtr technique for mobile applications. *IEEE Transactions on Microwave Theory and Techniques*, 65(11) :4645–4656, 2017. [31](#), [91](#), [121](#)
- [46] Stephan Leuschner, Jan-Erik Mueller, and Heinrich Klar. A 1.8 ghz wide-band stacked-cascode cmos power amplifier for wcdma applications in 65nm standard cmos. In *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pages 1–4. IEEE, 2011. [31](#), [91](#), [120](#), [121](#)
- [47] Sunbo Shim and Sudhakar Pamarti. A 1.85 ghz cmos power amplifier with zero-voltage-switching contour-based outphasing control to improve back-off efficiency. In *Microwave Symposium (IMS), 2015 IEEE MTT-S International*, pages 1–4. IEEE, 2015. [31](#), [91](#), [121](#)
- [48] Kazuaki Oishi, Eiji Yoshida, Yasufumi Sakai, Hideki Takauchi, Yoichi Kawano, Noriaki Shirai, Hideki Kano, Masahiro Kudo, Tomotoshi Murakami, Tetsuro Tamura, et al. A 1.95 ghz fully integrated envelope elimination and restoration cmos power amplifier using timing alignment technique for wcdma and lte. *IEEE Journal of Solid-State Circuits*, 49(12) :2915–2924, 2014. [31](#), [91](#), [121](#)

-
- [49] Yannis P Tsvividis. *Operation and Modeling of The MOS Transistor, Second edition*. McGraw-Hill, 1998. [36](#), [39](#), [43](#)
- [50] *BSIM3v3.3 MOSFET model, Users 'manual*. Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 2005. [42](#)
- [51] Iltcho Angelov, Herbert Zirath, and N Rosman. A new empirical nonlinear model for hemt and mesfet devices. *IEEE Transactions on Microwave Theory and Techniques*, 40(12) :2258–2266, 1992. [43](#)
- [52] Jose Carlos Pedro and Nuno Borges Carvalho. *Intermodulation distortion in microwave and wireless circuits*. Artech House, 2003. [47](#), [49](#)
- [53] Steve C Cripps. *Advanced techniques in RF power amplifier design*. Artech House, 2002. [47](#)
- [54] Yattoun Ismail. *Etude et mise en oeuvre d'un banc de caractérisation fort-signal de transistors en ondes millimétriques - application a la conception d'amplificateur de puissance hybrides en bande Ka*. PhD thesis, Ecole Nationale Supérieur des Télécommunication de Bretagne, Université de Bretagne Occidentale, 2006. [49](#)
- [55] Jose Carlos Pedro and Nuno Borges Carvalho. *Intermodulation distortion in microwave and wireless circuits*. Artech House, 2003. [51](#)
- [56] GI Abib, E Bergeault, S Bensmida, and B Huyart. Experimental characterization of power transistors for linearity optimization. In *Microwave Conference, 2008. EuMC 2008. 38th European*, pages 242–245. IEEE, 2008. [51](#)
- [57] Gaetano Palumbo and Salvatore Pennisi. High-frequency harmonic distortion in feedback amplifiers : analysis and applications. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 50(3) :328–340, 2003. [65](#)
- [58] Jongchan Kang, Kyungho Lee, Jehyung Yoon, Yisun Chung, Sungbo Hwang, and Bumman Kim. Differential cmos linear power amplifier with 2nd harmonic termination at common source node. In *2005 IEEE Radio Frequency integrated Circuits (RFIC) Symposium-Digest of Papers*, pages 443–446. IEEE, 2005. [67](#)
- [59] William R Eisenstadt. *Microwave differential circuit design using mixed mode s-parameters*. Artech house, 2006. [68](#), [71](#), [72](#)
- [60] Gautier Jean-Luc. *Etude des amplificateurs différentiels dans la gamme micro-onde*. PhD thesis, Université d'Orsay, 1977. [74](#)

Annexe 1 - Modélisation 3 ports petit signal du transistor MOS

Le modèle petit signal 3 ports du transistor MOS que nous utilisons est représenté sur la figure 4.28.

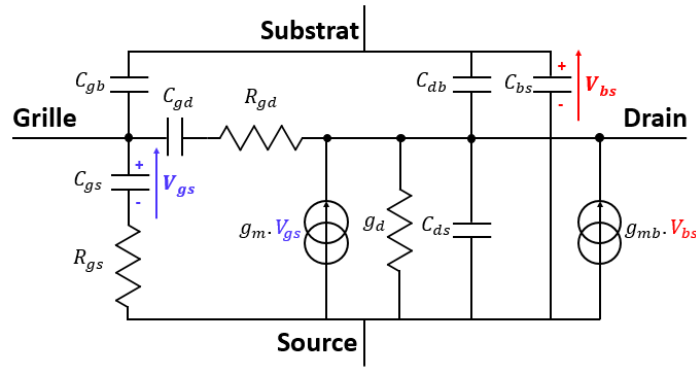


Figure 4.28 – Schéma électrique équivalent intrinsèque 3 ports petit signal du MOS

Nous proposons une méthodologie d'extraction des éléments de ce modèle. Le port 1 est placé sur la grille, le port 2 sur le drain et le port 3 sur la source. L'obtention des différents éléments du modèle est donnée dans les équations suivantes.

$$g_{m0} = \left| \frac{Y_{21} - Y_{21}}{Y_{13}} \cdot \frac{1}{\text{imag}\left(\frac{1}{Y_{13}}\right)} \right| \quad \tau = -\frac{1}{\omega} \cdot \left(\arg\left(\frac{Y_{21} - Y_{12}}{Y_{13}}\right) - \frac{\pi}{2} \right)$$

$$g_{mb0} = |Y_{32} + Y_{12} - Y_{23} - Y_{21}| \quad \tau_b = -\frac{1}{\omega} \cdot \arg(Y_{32} + Y_{12} - Y_{23} - Y_{21})$$

$$g_d = -\text{real}(Y_{32}) \quad R_{gd} = -\text{real}\left(\frac{1}{Y_{12}}\right) \quad R_{gs} = -\text{real}\left(\frac{1}{Y_{13}}\right)$$

$$C_{gs} = \frac{1}{\omega \cdot \text{imag}\left(\frac{1}{Y_{13}}\right)} \quad C_{gd} = \frac{1}{\omega \cdot \text{imag}\left(\frac{1}{Y_{12}}\right)} \quad C_{ds} = -\frac{Y_{32}}{\omega}$$

$$C_{db} = \frac{\text{imag}(Y_{12} + Y_{22} + Y_{32})}{\omega} \quad C_{gb} = \frac{\text{imag}(Y_{13} + Y_{23} + Y_{33})}{\omega}$$

$$C_{gb} = \frac{\text{imag}(Y_{11} + Y_{12} + Y_{13})}{\omega}$$

Annexe 2 - Méthodologie d'extraction des paramètres électriques des lignes

Méthodologie d'extraction des paramètres électrique des lignes Le substrat stratifié permet de concevoir des lignes couplées coplanaires ou superposées. La méthodologie d'extraction des lignes de transmission est assez simple et nécessite uniquement deux étapes.

La première étape consiste à simuler les lignes séparément afin d'obtenir leur inductance, leur résistance parasite ainsi que leur coefficient de qualité respective. A partir de la matrice de paramètres Y on obtient aisément ces paramètres à partir des équations 4.5.

$$L = \frac{\text{imag}(1/Y_{11})}{2.\pi.f} \quad R = \text{real}(1/Y_{11}) \quad Q = \frac{\text{imag}(1/Y_{11})}{\text{real}(1/Y_{11})} \quad (4.5)$$

La seconde étape consiste à déterminer le coefficient de couplage entre les deux lignes à partir de la matrice de paramètres-S 4 ports issue du quadripôle représenté sur le schéma de la figure 4.29.

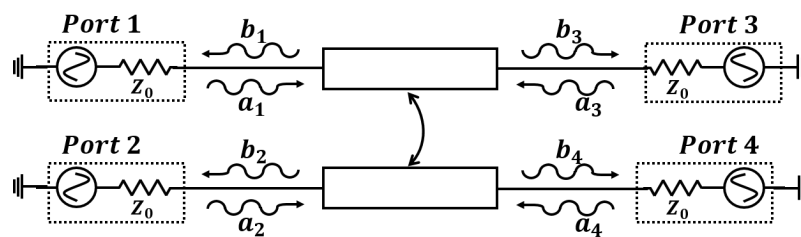


Figure 4.29 – Schéma électrique utilisé pour la détermination du coefficient de couplage K

La matrice de paramètres-S mixed mode des lignes couplées est donnée dans l'équation 4.6. Etant donné qu'en simulation la structure est parfaitement symétrique, les matrices de conversion de mode S_{dc} et S_{cd} sont nulles. Les termes γ correspondent aux constantes de propagation des deux modes (matrice différentielle S_{dd} premier cadran, et matrice commune S_{cc} dernier cadran).

$$S_{MM} = \begin{pmatrix} 0 & e^{-\gamma_d \cdot l} & 0 & 0 \\ e^{-\gamma_d \cdot l} & 0 & 0 & 0 \\ 0 & 0 & 0 & e^{-\gamma_c \cdot l} \\ 0 & 0 & e^{-\gamma_c \cdot l} & 0 \end{pmatrix} \quad (4.6)$$

Le coefficient de couplage K entre les deux lignes de transmission est défini dans l'équation 4.7. Les termes Z_0 correspondent à l'impédance caractéristique de la ligne vis-à-vis du mode de propagation.

$$K = \frac{Z_0^2 - Z_{0d}^2}{Z_0^2 + Z_{0c}^2} \quad (4.7)$$

avec $Z_0 = \sqrt{Z_{0c} \cdot Z_{0d}}$

Afin de déterminer K , il est nécessaire de connaître les impédances caractéristiques des lignes vis-à-vis des modes commun et différentiel. Pour cela, il suffit de convertir les matrices S_{dd} et S_{cc} en matrice chaîne. L'expression des deux matrices chaînes de mode différentiel (C_d) et de mode commun (C_c) est donnée dans l'équation 4.8.

$$C_d = \begin{pmatrix} \cosh(\gamma_d \cdot l) & Z_{0d} \cdot \sinh(\gamma_d \cdot l) \\ \sinh(\gamma_d \cdot l) / Z_{0d} & \cosh(\gamma_d \cdot l) \end{pmatrix} \quad C_c = \begin{pmatrix} \cosh(\gamma_c \cdot l) & Z_{0c} \cdot \sinh(\gamma_c \cdot l) \\ \sinh(\gamma_c \cdot l) / Z_{0c} & \cosh(\gamma_c \cdot l) \end{pmatrix} \quad (4.8)$$

On peut alors extraire Z_{0d} et Z_{0c} à partir des équations 4.9 et déterminer le coefficient de couplage K .

$$Z_{0d} = \sqrt{\frac{C_{d12}}{C_{d21}}} \quad Z_{0c} = \sqrt{\frac{C_{c12}}{C_{c21}}} \quad (4.9)$$

Cette méthode d'extraction permet d'obtenir les principaux paramètres (inductances primaire et secondaire, coefficient de couplage et pertes) nécessaires à la conception du balun.

Résumé

La demande toujours croissante de connectivité sans fil entraîne le développement de nouvelles générations de normes de communication utilisant les dernières technologies en matière de télécommunication. Pour atteindre les débits annoncés, l'utilisation de signaux de plus en plus complexes est nécessaire afin d'occuper le plus efficacement le spectre radio restreint. Cela implique notamment des contraintes de plus en plus strictes sur les émetteurs radio afin d'assurer l'intégrité des informations transmises et une bonne qualité de service. Dans ce contexte, cette thèse a pour objectif l'amélioration des performances énergétiques et spectrales d'un amplificateur de puissance (PA) en technologie CMOS pour appareil mobile en utilisant une méthode de linéarisation. Le PA conçu dans cette thèse est basé sur la cellule MASMOS (cellule brevetée) et doit répondre à notre cahier des charges basé sur le standard 3G.

L'étude des interconnexions flip-chip sur les performances de la cellule révèle que son impact doit être atténué. Pour cela, la topologie différentielle est retenue pour la conception du PA. Une structure différentielle de référence (n'incluant pas de méthode de linéarisation) est conçue et mesurée. Elle consiste en un étage de puissance terminé par un balun sur substrat stratifié synthétisant les impédances optimales de l'étage à la fréquence fondamentale et au second harmonique. Les résultats obtenus sont proches de l'état de l'art existant en PA CMOS pour la 3G sans utiliser de technique de linéarisation.

Nous proposons ensuite deux méthodes de linéarisation circuit spécifiques aux structures différentielles. Nous retenons l'utilisation d'un filtre différentiel au second harmonique au sein de la cellule d'amplification. Un PA complet (étage driver + étage de puissance) est conçu. Nous proposons une méthode de conception pour le balun de sortie et du réseau d'adaptation inter-étage. Les résultats finals de simulation permettent de conclure que le PA proposé dépasse les objectifs du cahier des charges.

Mots clés

Amplificateur de puissance, Linéarité, Linéarisation, 3G, Amplificateur différentiel, Balun

Summary

The increasing demande of wireless connectivity drives the development of the new generation standards using the leading edge technologies in terms of telecommunication. To meet announced data rates, the use of more and more complex signal is necessary to have the most efficient use of the finite radio spectrum. This involve more stringent constraints on the radio emitter to ensure information integrity and a good quality of service. In this context, this thesis aims to the energetic and spectral performance improvement of a CMOS Power Amplifier (PA) for handheld application through a linearization scheme. The PA designed in this thesis is based on the MASMOS (patented cell) and must meet our specifications.

The flip-chip interconnection study shows that its impact must be mitigated. For that, we select the differential topology pour the PA design. A differential reference structure (withtout linearization scheme) are designed and measured. It consists in a power stage terminated by a balun integrated on a laminate substrate synthesizing optimal impedance at the fundamental and second harmonic frequencies. The obtained results are close to the state of the art for the CMOS PA for 3G without any linearization scheme.

Then, we propose two circuit linearization scheme specific to differential structures. We have selected the use of a differential second harmonic filter within the amplifying cell. The full PA (driver stage + power stage) is then designed. We propose a design method for the output balun as well as the inter-stage matching network. The final simulation results allow us to conclude that the proposed PA exceed the specifications.

Key Words

Power amplifier, Linearity, Linearization, 3G, Differential amplifier, Balun