



Conception et intégration d'un convertisseur buck en technologie 28 nm CMOS orientée plateformes mobiles

Kotchikpa Arnaud Toni

► To cite this version:

Kotchikpa Arnaud Toni. Conception et intégration d'un convertisseur buck en technologie 28 nm CMOS orientée plateformes mobiles. Electronique. Université de Lyon, 2019. Français. NNT : 2019LYSEI049 . tel-02918212

HAL Id: tel-02918212

<https://theses.hal.science/tel-02918212>

Submitted on 20 Aug 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



N° d'ordre NNT: 2019LYSEI049

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de
INSA LYON

Ecole Doctorale 160
Electronique Electrotechnique Et Automatique

Spécialité/ discipline de doctorat: Microélectronique

Soutenue publiquement le 10/07/2019, par:
Kotchikpa Arnaud TONI

**Conception et intégration d'un
convertisseur buck en technologie 28
nm CMOS orientée plateformes mobiles**

Devant le jury composé de:

HEBRARD, Luc	Professeur des universités	Icube/Université de Strasbourg	Rapporteur
GRISEL, Richard	Professeur des universités	Université de Rouen	Rapporteur
BRU-CHEVALLIER, Catherine	Directrice de recherche	INSA Lyon	Examinatrice
PREMONT, Christophe	Docteur	ISORG	Examineur
CELLIER, Rémy	Docteur	CPE Lyon	Examineur
ABOUCHE, Nacer	Professeur des universités	CPE Lyon	Directeur de thèse
IHS, Hassan	Docteur	Endura Technologies	Invité

Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON http://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage secretariat@edchimie-lyon.fr INSA : R. GOURDON	M. Stéphane DANIELE Institut de recherches sur la catalyse et l'environnement de Lyon IRCEL YON-UMR 5256 Équipe CDFA 2 Avenue Albert EINSTEIN 69 626 Villeurbanne CEDEX directeur@edchimie-lyon.fr
E.E.A.	ÉLECTRONIQUE, ÉLECTROTECHNIQUE, AUTOMATIQUE http://edeea.ec-lyon.fr Sec. : M.C. HAVGOUDOUKIAN ecole-doctorale.eea@ec-lyon.fr	M. Gérard SCORLETTI École Centrale de Lyon 36 Avenue Guy DE COLLONGUE 69 134 Écully Tél : 04.72.18.60.97 Fax 04.78.43.37.17 gerard.scorletti@ec-lyon.fr
E2M2	ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODÉLISATION http://e2m2.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : H. CHARLES secretariat.e2m2@univ-lyon1.fr	M. Philippe NORMAND UMR 5557 Lab. d'Ecologie Microbienne Université Claude Bernard Lyon 1 Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69 622 Villeurbanne CEDEX philippe.normand@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTÉ http://www.ediss-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : M. LAGARDE secretariat.ediss@univ-lyon1.fr	Mme Emmanuelle CANET-SOULAS INSERM U1060, CarMeN lab, Univ. Lyon 1 Bâtiment DMBL 11 Avenue Jean CAPELLE INSA de Lyon 69 621 Villeurbanne Tél : 04.72.68.49.09 Fax : 04.72.68.49.16 emmanuelle.canet@univ-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHÉMATIQUES http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 infomaths@univ-lyon1.fr	M. Luca ZAMBONI Bât. Braconnier 43 Boulevard du 11 novembre 1918 69 622 Villeurbanne CEDEX Tél : 04.26.23.45.52 zamboni@maths.univ-lyon1.fr
Matériaux	MATÉRIAUX DE LYON http://ed34.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bât. Direction ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIÈRE INSA de Lyon MATEIS - Bât. Saint-Exupéry 7 Avenue Jean CAPELLE 69 621 Villeurbanne CEDEX Tél : 04.72.43.71.70 Fax : 04.72.43.85.28 jean-yves.buffiere@insa-lyon.fr
MEGA	MÉCANIQUE, ÉNERGÉTIQUE, GENIE CIVIL, ACOUSTIQUE http://edmega.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bât. Direction mega@insa-lyon.fr	M. Jocelyn BONJOUR INSA de Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69 621 Villeurbanne CEDEX jocelyn.bonjour@insa-lyon.fr
SeSo	ScSo* http://ed483.univ-lyon2.fr Sec. : Véronique GUICHARD INSA : J.Y. TOUSSAINT Tél : 04.78.69.72.76 veronique.cervantes@univ-lyon2.fr	M. Christian MONTES Université Lyon 2 86 Rue Pasteur 69 365 Lyon CEDEX 07 christian.montes@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

REMERCIEMENTS

Cette thèse de doctorat a été financée par Endura Technologies, entreprise avec laquelle j'ai commencé à travailler depuis sa création en 2015. La plupart du travail de conception a été accomplie à San Diego sous la supervision de mes superviseurs en entreprise, Dr Hassan IHS et Dr Taner DOSLUOGLU. Je les remercie pour leurs encadrements et leur support. Ils ont grandement contribué à mon évolution dans le domaine technique et ont ainsi permis les différentes réalisations dans ce travail. Je remercie également mes collègues en entreprise, Philip AMBERG et Gol NADIGUEBE qui m'ont toujours apporté leur aide dans mon travail, et ont également contribué à ma maturation en électronique analogique.

Le laboratoire INL est mon laboratoire d'accueil pour la réalisation de cette thèse. Avec le temps passé à San Diego, ce travail de thèse a pris plus de temps que prévu. De plus, les brevets de l'entreprise sur les aspects de la conception n'ont pas facilité les publications. Et pour cela, je suis vraiment reconnaissant envers mon superviseur, Dr Rémy CELLIER et mon directeur de thèse, Prof. Nacer ABOUCHI. Leur patience, leurs supports et leur aide dans l'organisation et la synthèse de mon travail ont rendu possible la réalisation de ce rapport. Ils m'ont apporté une encore plus grande aide dans les étapes de la soutenance et c'est grâce à eux que je vois cette thèse se concrétiser aujourd'hui.

Finalement je remercie également mes parents, qui ont aidé à me motiver pour accomplir ce travail jusqu'à la fin.

Avril 2019, Kotchikpa Arnaud TONI

TABLE DES MATIÈRES

Remerciements.....	2
Abstract/Résumé	0
Liste des figures	0
Liste des tableaux	0
Table des mots-clés.....	1
Chapitre 1 Introduction générale	3
1.1. Présentation du document	3
1.2. Contexte de la thèse.....	4
1.2.1. Evolution des processeurs mobiles dans le monde des semi-conducteurs.....	4
1.2.2. Performances des convertisseurs Buck	5
1.2.3. Pourquoi les régulateurs intégrés ?.....	8
1.2.4. État de l'art dans la conception d'IVR.....	10
1.3. Objectifs du travail de thèse et démarche adoptée	11
Chapitre 2 Topologies de l'état de l'art pour la régulation dynamique.....	13
2.1. Topologie générale du Buck et fonctionnement.....	13
2.1.1. Modes de fonctionnement	13
a- Mode de conduction continue (exemple d'un convertisseur Buck asynchrone)....	14
b- Mode de conduction discontinue (exemple d'un convertisseur de Buck asynchrone)	17
2.1.2. Mécanismes de contrôle des convertisseurs Buck.....	19
2.1.2.1. Contrôle linéaire basé sur compensation PID	20
2.1.2.2. Contrôle non linéaire hystérétique.....	31
2.2. Mécanismes d'amélioration de réponse aux transitoires	32
2.3. Bilan sur les topologies proposant une bonne réponse aux transients	34
Chapitre 3 Topologie proposée de régulateur Buck.....	37
3.1. Fonctionnement général	38
3.1.1. Description fonctionnelle.....	38
3.1.2. Considérations importantes pour la conception de l'étage de puissance	40
3.1.3. Etude de la boucle de rétroaction	42
3.1.3.1. Description du contrôle employé	42
3.1.3.2. Analyse de la rétroaction	44
3.1.4. Générateur de PWM.....	51
3.2. Validation de la topologie avec mise en œuvre en CMOS 180 nm	54
Chapitre 4 Approche à la conception et intégration de l'IVR 3 états proposé.....	59
4.1. Vitesse de commutation de tension pour DVFS	61
4.2. Intégration du filtre de sortie.....	65

4.2.1. Intégration d'inductance.....	66
4.2.1.1. Connaissances générales d'inductance et mécanismes de perte	67
4.2.1.2. Bobines à air intégrées.....	71
4.2.1.3. Inductances intégrées à noyau magnétique	75
4.2.1.4. Bilan des inductances intégrées	81
4.2.2. Capacité de découplage en sortie et PDN associé.....	84
4.2.2.1. Analyse du bruit de tension dans les processeurs.....	84
4.2.2.2. Choix de capacité de sortie	95
4.3. Réseau de distribution d'énergie en entrée du FIVR.....	97
4.4. Implémentation de l'étage de puissance du FIVR proposé	106
4.4.1. Analyse du pont d'interrupteurs de puissance	107
4.4.2. Mécanisme de recyclage de charges.....	110
4.4.3. Analyse de l'étage de puissance cascode proposé.....	115
4.4.4. Discussion de fiabilité	117
4.4.5. Résultats de simulation.....	119
4.5. Générateur PWM multi-phase proposé	123
4.6. Comparateurs et référence	131
4.6.1. Les comparateurs	131
4.6.2. Référence de tension.....	134
Chapitre 5 Résultats expérimentaux de prototype de l'IVR 3 états proposé.....	136
5.1. Coupe transversale et Layout	138
5.2. Méthode d'évaluation de la puce	143
5.3. Résultats expérimentaux et discussion	146
Chapitre 6 Conclusion	154
Chapitre 7 Références.....	156

ABSTRACT/RÉSUMÉ

Avec l'évolution des processeurs d'appareils portables vers du multicœurs - CPU à 4 cœurs pour le téléphone mobile et des GPU à plus de 15 cœurs - sans oublier des fréquences d'horloge de plus de 2GHz aujourd'hui, les appels de courant effectués par les micro-processeurs ne cessent de croître. L'utilisation de régulateurs externes s'avérant très limitant pour le nombre de niveaux de tension requis par les processeurs multicœurs, la réduction en surface et les économies d'énergie DVFS, un gros intérêt a été porté sur les régulateurs Buck intégrés au cours de cette décennie. Cependant, les réalisations de convertisseurs intégrés se heurtent souvent à des problèmes de faible rendement et de bruit de tension de sortie affectant les performances du processeur. Cette thèse est proposée pour résoudre ces problèmes en définissant une approche à la réalisation d'un convertisseur Buck intégré avec le processeur, en technologie fine.

Une discussion topologique est d'abord menée pour aboutir à la configuration de convertisseur qui nous intéresse. Deux aspects nouveaux ont été introduits dans le convertisseur Buck. La première solution concerne l'aspect de l'étage de puissance, qui ajoute au Buck typique un état de « dérive » utilisé pour rendre le convertisseur inconditionnellement stable, et élimine ainsi les problèmes de stabilité lors de la réponse aux transitoires de charge. Le deuxième élément nouveau est le contrôle non linéaire à train d'impulsions employé, qui en plus de sa simplicité permet d'avoir un bon comportement large signaux de la sortie et une bande passante de convertisseur aussi élevée que sa fréquence de commutation. Une validation de la topologie est effectuée par réalisation d'un premier prototype en 180 nm IBM. Le prototype en 180 nm convertit une tension d'entrée de type batterie (3.6V nominale) à une plage de tension de sortie de 0.8V à 2V et commute à 10 MHz, avec une charge en sortie allant de 0 à 2A. Les mesures réalisées sur ce premier prototype furent comparées à la littérature et ont montré que le régulateur 3 états présente la meilleure réponse aux transitoires de charges (1% à 2% relativement à la tension de sortie). Un rendement de 88% obtenu valide également le fait que malgré l'addition du troisième état, le convertisseur est efficace.

La méthodologie d'intégration est ensuite discutée. Elle consiste en l'intégration du filtre de sortie composé de l'inductance et de la capacité de découplage. Dans le cadre de convertisseurs intégrés, les inductances doivent présenter une bande utile de l'ordre de centaines de MHz. De ce fait, les bobines à air sont les plus utilisées du fait de leur fréquence de transition atteignant le GHz. Cependant, depuis peu, certaines solutions de noyau magnétique intégrés ont été proposées avec des fréquences de transition allant entre 100 MHz et 400 MHz. En faisant un bilan des différentes possibilités, nous concluons qu'une approche monolithique 2D avec les passifs embarqués dans le package, au lieu d'intégration 3D, convient le mieux pour les plateformes portables, et maximise le courant de saturation. La valeur de capacité de découplage en sortie est choisie à partir des contraintes de, vitesse de commutation de sortie pour obtenir le maximum d'économie d'énergie par DVFS, et bruit maximum de tension permettant de réduire la bande de garde du processeur pour un fonctionnement optimal.

La conception de la topologie proposée en technologie fine est présentée avec introduction d'un étage cascode universel proposé pour toute tension d'entrée, avec un mécanisme de recyclage de charge. Le mécanisme de recyclage réduit grandement les pertes de pilotages de grilles dans le Buck et facilite l'utilisation de hautes fréquences de commutation. Une étude du bilan de pertes dans l'étage cascode permet ensuite de définir une façon de choisir le niveau de tension d'entrée du convertisseur intégré pour un rendement global maximal. Nous introduisons également une nouvelle topologie de générateur PWM multi phase, basée sur une configuration PLL, pour réduire les consommations en courant et en surface lorsqu'on passe à des fréquences de commutation hautes et des nombres de phases élevés.

Un prototype du convertisseur Buck 3 états intégré est réalisé en 28 nm CMOS HPM. Le prototype possède 3 phases et utilise une tension d'entrée de 1.8V pour des valeurs de 0.5V à 1.2V en sortie et une charge allant de 0 à 6A. L'inductance nominale utilisée est de 5 nH avec une capacité de découplage en sortie de 200 nF et une fréquence de commutation nominale de 100 MHz. Le prototype présente une meilleure régulation dynamique (moins de 5% de droop) comparé aux Bucks intégrés existants. Son rendement est le meilleur démontré (90%) pour les convertisseurs commutant à haute fréquence et il présente une densité d'intégration extrêmement compétitive (4 mm² de surface pour 0.5 mm d'épaisseur).

LISTE DES FIGURES

Figure 1-1: Tracé de la tendance du marché du téléphone mobile versus le desktop versus la tablette sur cette décennie (source [4])	5
Figure 1-2: Augmentation de la puissance du CPU comparée aux autres composants des SoCs (Cas du Samsung Galaxy) [5]	5
Figure 1-3: Exemple de système de gestion d'énergie en système mobile	6
Figure 1-4: Exemples de cartes mères mettant en évidence l'espace utilisée par les VRs sur la plateforme mobile {Noah Sturcken et al PwrSoC 2012}	8
Figure 1-5: Convertisseur hors-puce dans le carré rouge ; exemple d'iPhone 4S et iPhone 5 {Wonyoung Kim et al PwrSoC 2012}	8
Figure 1-6: Changement de tension d'alimentation à l'échelle de la nanoseconde avec les IVRs comparé à la microseconde avec les VRs hors puce	9
Figure 1-7: Section longitudinale de puce montrant comparant VR conventionnel à IVR.	10
Figure 1-8: Tendance future de l'augmentation des cœurs et fréquences d'horloge (basée sur les données IRDS)	10
Figure 2-1: Convertisseur Buck asynchrone	14
Figure 2-2: Convertisseur Buck synchrone	14
Figure 2-3: Formes d'onde de convertisseur Buck en CCM montrant (a) le contrôle de l'interrupteur SW, (b) le courant d'inductance, (c) la tension aux bornes de la bobine.	15
Figure 2-4: Schéma équivalent de convertisseur Buck ; a-Buck asynchrone pendant « l'état passant » ; b-Buck asynchrone durant « l'état bloqué » ; c- Buck synchrone pendant « l'état passant » ; d-Buck synchrone durant « l'état bloqué » ;	15
Figure 2-5: Fonctionnement détaillé du mode CCM d'un convertisseur Buck	17
Figure 2-6: Formes d'onde du convertisseur Buck en DCM, montrant (a) le contrôle de l'interrupteur, (b) le courant d'inductance, (c) la tension aux bornes de l'inductance.	17
Figure 2-7: Fonctionnement détaillé du DCM du convertisseur Buck.	19
Figure 2-8: Éléments parasites associés au convertisseur Buck	20
Figure 2-9: Diagramme du contrôle en tension	21
Figure 2-10: Schéma général de PWM compensée et forme d'onde PWM	22
Figure 2-11: Signaux non recouverts allant aux grilles de HS et LS de la Figure 2-9	22
Figure 2-12: Conduction de la diode substrat avec signal V_{LX}	23
Figure 2-13: Schéma de filtre LC idéal [36] (a), Exemple de fonction de transfert (b), et de diagramme de Bode (c) avec des valeurs prédéfinies (R, L, C)	23
Figure 2-14: Schéma de filtre LC avec pertes [36] (a), Fonction de transfert (b), et diagramme de Bode (c) avec des valeurs prédéfinies (R, L, C)	24
Figure 2-15: Circuit de compensation de type II	25
Figure 2-16: Diagramme de Bode d'un type II	26
Figure 2-17: Circuit de compensation de type III	27
Figure 2-18: Diagramme de Bode d'un type III	28
Figure 2-19: Diagramme de contrôle en courant	29
Figure 2-20: Signaux du modulateur (ou contrôle) pendant la charge de la self	29
Figure 2-21: Signaux du modulateur pendant la décharge en courant de la self	30
Figure 2-22: Diagramme de convertisseur Buck à base de PWM asynchrone en hystérétique	31
Figure 2-23: Diagramme de convertisseur Buck basé sur la rétroaction à train d'impulsions	32
Figure 2-24: Diagramme de Buck basé sur le contrôle AVDE	33
Figure 2-25: Diagramme du générateur de rampe adaptative dans un Buck	34
Figure 2-26: Contrôle en courant avec compensation de délai (VSC)	36
Figure 3-1: Diagramme de convertisseur Buck proposé	38

Figure 3-2: Chemin de courant d'inductance créé par le bypass	39
Figure 3-3: Représentation des 3 états de l'architecture de Buck proposée ; a- état « haut » ; b- état « bas » ; c- état « dérive » ;	40
Figure 3-4: Configurations de LX et de nœud de sortie en court-circuit.....	41
Figure 3-5: MOSFET BP passant lors de la conduction de diode parasite de jonction	41
Figure 3-6: Convertisseur Buck proposé, avec éléments parasites associés et pertes induites	42
Figure 3-7: Algorithme de contrôle.....	43
Figure 3-8: Mise en évidence des modes de conduction du convertisseur proposé montrant le saut de mode automatique.	44
Figure 3-9: Schéma simplifié de la boucle de rétroaction.....	45
Figure 3-10: Fonctionnement en CCM du régulateur proposé	46
Figure 3-11: a) Illustration de la modulation de densité de pulses avec le contrôle proposé ; b) modèle AC du convertisseur ; c) modèle équivalent du modulateur.....	49
Figure 3-12: Modèle globale de boucle	50
Figure 3-13: a) Diagramme du générateur PWM ; b) Approche de conception du générateur de PWM	51
Figure 3-14: Graphiques de gain et de phase de la boucle PWM proposée	52
Figure 3-15: Erreur de valeurs de rapport cyclique obtenues dans le cas d'une analyse « corners ».	53
Figure 3-16: Configuration de la carte démo avec I2C; 1-position de la puce; 2- Positionnement des tests de tensions analogiques (référence sur puce, références DAC, sorties de comparateurs); 3-tensions de polarisation et LDOs; 4- carte Master I2C	55
Figure 3-17: Microphotographie du silicium VR à 10 MHz (2.25 mm ²)	55
Figure 3-18: a) Réponse à un échelon positif de courant 100 mA à 1A de charge (~ 1% de surtension négative) avec 10 uF de capacité de sortie et 60 nH inductance (tension de sortie en violet au-dessus et le courant de charge en jaune en dessous); b) Réponse à un échelon négatif de courant 1A à 100 mA de charge (~ 2.3% de surtension positive) avec 10 uF de capacité de sortie et 60 nH inductance (tension de sortie en violet au-dessus et le courant de charge en jaune en dessous);	56
Figure 3-19: Comparaison des performances transitoires du Buck proposé et de propositions de l'état de l'art.	57
Figure 3-20: Courbe d'efficacité du régulateur 3 états pour un balayage de charge entre 10 mA et 2A à différentes tensions de sortie notées dans la légende.....	57
Figure 4-1: Exemple de Layout de GPU.....	59
Figure 4-2: Configurations d'alimentation	63
Figure 4-3: Exemple de commutation de tension de sortie du régulateur pour DVFS.....	64
Figure 4-4: Consommation d'énergie normalisée du système en fonction de l'échelle de temps DVFS et de la vitesse de commutation de tension pour un processeur nominal de 2.4 GHz (données extraites du travail [15]): a) charges de calcul intensif; b) charges gourmandes en accès mémoire.	65
Figure 4-5: Niveaux d'intégration des régulateurs de tension: a) Régulateur de tension PMIC mis en œuvre hors puce; b) IVR en package (PIVR) ou intégration 3D; c) Régulateur de tension autonome intégré (ISVR) sur interposeur ou approche 2.5-D/3-D; d) Régulateur de tension intégré monolithique (MIVR).	66
Figure 4-6: Exemple d'inductance avec une structure de bobine toroïdale	68
Figure 4-7: a) Courbe BH montrant la boucle d'hystérésis ; b) Mise en évidence de la saturation et l'effet de perte de fer sur la boucle BH idéale ; c) Graphe de perméabilité et de densité de flux magnétique soulignant la réduction de l'inductance en saturation ; d) Courant de Foucault dans le noyau.	70
Figure 4-8: Topologies d'inductances solénoïde à noyau d'air dans le package	72
Figure 4-9: Topologies d'inductances 3-D	73

Figure 4-10: a) Réalisation typique d'une inductance carrée plane ; b) Approche verticale de l'empilement décrite dans [56] montrant l'inductance L_{out} , le condensateur C_{out} et les interrupteurs de puissance de l'IVR (M_1 - M_4).....	74
Figure 4-11: a) Modèle mettant en évidence les capacités parasites C_s entre la bobine et la couche conductrice ; b) Capacités parasites de bobinage C_w	75
Figure 4-12: a) Inductance en spirale au-dessus du matériel magnétique [63], [64]; b) Boucle de conducteur enfermée par le matériau magnétique [25]; c) Multi-boucles de conducteur fermées par du matériel magnétique sur substrat de verre [61];.....	76
Figure 4-13: a) Vue de dessus et section transversale de quatre inductances couplées, à base de bobinage en cuivre et de matériau magnétique NiFe; b) Diagramme de l'intégration 2D utilisée pour la spirale par Sturcken et al [25]; circuit intégré composé du convertisseur Buck et de la charge, retourné pour être apposé sur interposeur avec des inductances, et tous reliés par fil d'interconnexion au substrat BGA.	77
Figure 4-14: a) Comparaison de la valeur d'inductance de bobine spiralée sur silicium vs verre ; b) Même comparaison avec le facteur de qualité Q.	78
Figure 4-15: Section transversale de l'inductance solénoïde basé sur TSV de [24].	79
Figure 4-16: a) Comparaison des valeurs d'inductances mesurées [24]; b) Comparaison des résistances séries équivalentes mesurées [24].	79
Figure 4-17: a) Vue de dessus du solénoïde 3-D à base de TGV avec noyau en NiFe [61]; Section transversale de l'inductance solénoïde.	80
Figure 4-18: a) Inductance solénoïde à noyau fermé ; b) solénoïde à noyaux en série ; c) solénoïde standard.....	80
Figure 4-19: a) Choix d'inductance versus fréquence pour les FIVRs ; b) Qualité en fonction de fréquence de quelques matériaux magnétiques 84	84
Figure 4-20: a) Vue d'ensemble du système de distribution d'énergie avec Bucks hors puce uniquement (un étage) ; b) Vue d'ensemble du système de distribution d'énergie avec régulateurs hors-puce et sur-puce (2 étages).	85
Figure 4-21: a) Modèle de réseau de distribution de puissance (PDN) avec un VR hors-puce seulement ; b) Modèle de PDN avec une combinaison de VR hors puce et sur puce ; c) modèle détaillé du PDN au niveau du die.	87
Figure 4-22: a) Approximation du réseau LC sans perte du PDN ; b) Approximation du réseau LC avec perte du PDN 90	90
Figure 4-23: a) Illustration du tracé d'impédance par rapport à la fréquence ; b) exemple avec GPU mobile [75] montrant les Droop. 90	90
Figure 4-24: Cumul de valeurs d'oscillation/variation de tension pour un cas typique de processeur [78]. 91	91
Figure 4-25: Microarchitecture de Coeur de GPU et ses planificateurs 94	94
Figure 4-26: a) Effet de V_{noise0} sur les cœurs voisins, montrant la propagation du bruit et l'effet de délai du PDN ; b) Exemple de premier Droop ; c) Exemple de deuxième Droop. 95	95
Figure 4-27: Signaux de tension et de courant pendant le transitoire de charge. 96	96
Figure 4-28: Modèle de PDN d'entrée 97	97
Figure 4-29: a) Impédance de PDN pour $C_{pcb} = 40\mu F$; $C_{pkg} = 0$; $L_{pcb} = 500pH$; $L_{pkg1} = 600pH$; $L_{pkg2} = 300pH$; $L_{bump} = 50pH$; $R_{pcb} = 4m\Omega$; $R_{pkg1} = 7m\Omega$; $R_{pkg2} = 10m\Omega$; $R_{bump} = 10m\Omega$; b) Courant d'entrée dans le domaine de Fourier versus fréquence pour un convertisseur 3 phases de commutation 2MHz; c) Tension d'entrée dans le domaine de Fourier pour un convertisseur 3 phases de commutation 2MHz. 100	100
Figure 4-30: a) Version temporelle du courant d'entrée pour un convertisseur 3 phases à 2MHz avec $I_{load} = 3A$ et $V_{in} = 3.7V$; b) Version temporelle de la tension d'entrée au niveau du die pour un convertisseur 3 phases à 2MHz avec $I_{load} = 3A$ et $V_{in} = 3.7V$ 101	101
Figure 4-31: a) Version temporelle du courant d'entrée pour un convertisseur 3 phases à 100MHz avec $I_{load} = 3A$ et $V_{in} = 1.8V$; b) Version temporelle de la tension d'entrée au niveau du die pour un convertisseur 3 phases à 100MHz avec $I_{load} = 3A$ et $V_{in} = 1.8V$ 102	102

Figure 4-32: a) Courant d'entrée dans le domaine de Fourier versus fréquence pour un IVR 3 phases commutant à 100 MHz ; b) Tension d'entrée dans le domaine de Fourier versus fréquence pour un IVR 3 phases commutant à 100MHz.	103
Figure 4-33: Impédance du PDN versus fréquence vs nombre de condensateurs de package en parallèle.	104
Figure 4-34: Modèle de PDN avec condensateur de découplage ajouté sur le die.	105
Figure 4-35: Impédance de PDN versus fréquence pour de multiples valeurs de capacité de die.	105
Figure 4-36 : Impédance de PDN versus fréquence avec $C_{die} = 2nF$, et balayage de R_{c_die} (ESR de C_{die}).	106
Figure 4-37: Tendance de V_{core} versus nœud technologique.	107
Figure 4-38: Schéma de l'étage de puissance cascode à n+1 dispositifs en série (ordre n)..	109
Figure 4-39: Diagramme d'étage de puissance cascode pour 2 dispositifs en série	110
Figure 4-40: a) Modèle parasite de la portion haute du pont de puissance (HS et HSC) ; b) Modèle parasite de la portion basse du pont de puissance (LS and LSC).	110
Figure 4-41: a) Charge injectée par activation de HS, sur V_{hsc} ; b) Charge retirée par activation de LS, sur V_{lsc}	113
Figure 4-42: a) Ondulation de tension induite sur V_{hsc} par des noeuds commutant du côté haut ; b) Ondulation de tension induite sur V_{lsc} par noeuds commutant du côté bas.	114
Figure 4-43: Topologie proposée de HVTVR associée à un pont cascode à 2 interrupteurs série.	115
Figure 4-44: Vue globale du pont de puissance cascode 1 ^{er} ordre proposé.	116
Figure 4-45: Vue globale du pont de puissance cascode n ^{ième} ordre.	117
Figure 4-46: a) Section transversale soulignant le stress en tension lorsque le HS est en régime linéaire (passant) ; b) Section transversale soulignant le stress en tension lorsque le HS est bloqué ; c) section transversale soulignant le stress en tension lorsque HS est en saturation (instant de mise en marche de HS).	119
Figure 4-47: Section transversale de l'IVR 3 états implémenté, et mesuré dans le chapitre 5	120
Figure 4-48: Modèle détaillé du PDN d'entrée pour l'IVR 3 états.	122
Figure 4-49: Formes d'onde des nœuds de commutation internes et comportement de courant d'inductance; V_{in} tout en haut en rouge; V_{SG} de HS (rose) et V_{GS} de LS (orange) de la phase 1 dans les deuxième et troisième rangées; Nœud de commutation de la phase 1 dans la quatrième rangée (jaune foncé); courants de self dans la dernière rangée (phase 1 rose, phase 2 vert et phase 3 bleu).	122
Figure 4-50: a) Bilan des pertes (en Watts) pour des charges légères (DCM); b) Répartition des pertes (en Watts) pour des charges moyennes (CCM); c) Bilan des pertes (en Watts) à charge maximale (CCM) ; Ppswi représente les pertes de conduction pour la phase i ; Ppdvri correspond aux pertes de commutation de la phase ; Pesr, Ppdn, Pdcrr correspondent respectivement aux pertes AC du découplage d'entrée, pertes dans le PDN et pertes dues aux DCR de la self.	123
Figure 4-51: Générateur PWM proposé pour IVR multi-phase à commutation rapide.....	124
Figure 4-52: Architecture basique du générateur PWM proposé.	125
Figure 4-53: Performances de VCO : a) Graphe de fréquence de VCO vs tension de réglage ; b) Gain de VCO versus fréquence nominale.	126
Figure 4-54: a) Modèle de détecteur de phase ; b) Machine d'état de détecteur de phase.	127
Figure 4-55: Générateur PWM compensé.	129
Figure 4-56: Performances AC de la boucle PWM.	130
Figure 4-57: Comportement transitoire de la boucle PWM locale.....	131
Figure 4-58: a) Modèle de vue haut niveau de comparateur ; b) identique à a) avec 2 comparateurs s'alternant.	132
Figure 4-59: a) Schéma de préamplificateur ; b) Schéma d'amplificateur verrou.....	133

Figure 4-60: Diagramme du bandgap.	134
Figure 4-61: Courbe en cloche de tension de référence avec et sans compensation de résistance N _{WELL}	135
Figure 5-1: Schéma complet du die montrant également les parasites associés aux lignes de routage dans le package.	137
Figure 5-2: Section transversale de : a) HS et HSC et b) LS et LSC.	138
Figure 5-3: Mise en évidence du couplage parasite au substrat avec les coupes transversales.	139
Figure 5-4: Layout pour étage de puissance de chaque phase.	140
Figure 5-5: Configuration du générateur PWM multi-phase pour chaque impulsion (<i>PH or PL</i>).	141
Figure 5-6: Layout de chaque comparateur (deux comparateurs nécessaires).	142
Figure 5-7: Layout global de la portion active du convertisseur intégré proposé.	143
Figure 5-8: Photo de carte de test montrant le placement du prototype.	144
Figure 5-9: Schéma représentant le circuit du package.	144
Figure 5-10: Diagramme de configuration pour les mesures de l'IVR.	145
Figure 5-11: Graphe d'inductance versus fréquence pour la 5nH utilisée.	146
Figure 5-12: Condensateur de découplage d'entrée monté sur package.	147
Figure 5-13: Vue du package avec die connecté en flip chip et interconnexions.	147
Figure 5-14: a) Echelon positif de 2.5A de courant de charge : Courbe en rose – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge; b) Echelon négatif de 2.5A de courant de charge : Courbe en rose – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge; c) Echelon de 1A de courant de charge : Courbe en vert – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge; d) Zoom sur réponse à 1A de transient : Courbe en vert– Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge.	148
Figure 5-15: a) Régulation dynamique avec 200 mV d'échelon positif de tension d'entrée : Courbe en violet – Tension du processeur mesurée par sonde active – Courbe en vert – Courant de charge – Courbe en jaune – Tension d'entrée filtrée; b) Régulation dynamique avec 200 mV d'échelon négatif de tension d'entrée – Courbe en violet – Tension du processeur mesurée par sonde active – Courbe en vert – Courant de charge – Courbe en jaune – Tension d'entrée filtrée..	149
Figure 5-16: a) Commutation de sortie positive (0.5V à 1.1V) ; b) Commutation de sortie négative (1.1V à 0.5V).	149
Figure 5-17: Rendement de l'IVR par mesure du prototype ; a) L=5 nH @100 MHz ; b) L=3nH @ 130 MHz ; c) L=10 nH @ 60 MHz.	151

LISTE DES TABLEAUX

Tableau 1-1: Mis en évidence de certaines performances d'IVR publiés tout au long de cette décennie	11
Tableau 2-1: Tableau récapitulatif des performances de Bucks en littérature	35
Tableau 3-1: Tableau soulignant les performances de chaque générateur PWM	53
Tableau 3-2: Comparaison des performances avec des réalisations antérieures	58
Tableau 4-1: Récapitulatif des inductances à air proposées pour les FIVRs	82
Tableau 4-2: Récapitulatif des inductances à noyau magnétique proposées pour les FIVRs .	83
Tableau 4-3: Valeurs de capacité de sortie critique pour une commutation à 100 MHz	97
Tableau 4-4: Evolution des pertes en partant d'un cascode d'ordre 0 (pas de série) à un cascode d'ordre 3.....	116
Table 4-5: Valeurs typiques des paramètres utilisés dans la conception du générateur PWM pour le FIVR du chapitre 5.	130
Tableau 4-6: Tableau regroupant quelques performances du générateur PWM.	131
Tableau 4-7: Tableau montrant les délais de propagation du comparateur considérant les corners.....	134
Tableau 5-1: Tableau comparatif montrant les performances du FIVR proposé par rapport aux travaux antérieurs.	153

TABLE DES MOTS-CLÉS

AC	IVR
Alternating Current, 35	Integrated Voltage Regulator, 8
ALU	LDO
Arithmetic and Logic Unit, 97	Low Dropout Regulator, 58, 145
AVDE	MIVR
Analog Voltage Dynamic Estimation, 34	Monolithic Integrated Voltage Regulator,
C4s	70
Controlled Collapse Chip Connections, 89	NoC
CCM	Network on Chip, 9
Continuous Conduction Mode, 14	NT-N
CPU	Native Layer, 147
Central Processing Unit, 4	OCP
DC	Over-Current Protection, 145
Direct Current, 5	OTA
DCM	Operational Transconductance Amplifier,
Discontinuous Conduction Mode, 14	29
DCR	OTP
DC Résistance, 32	Over-Temperature Protection, 145
DDP	PCB
Différence De Potentiel, 15	Printed Circuit Board, 7
DRAM	PDM
Dynamic Random Access Memory, 66	Pulse Density Modulation, 46
DVFS	PDN, 90
Dynamic Voltage and Frequency Scaling, 6	Power Delivery Network, 88
DVR	PFM
Dynamic Voltage Regulation, 6	Pulse Frequency Modulation, 46
EA	PIVR
Error Amplifier, 29	Package Integrated Voltage Regulator, 70
EMI, 85	PLL
ElectroMigration Interference, 80	Phase Locked Loop, 130
ESL	PMIC
Equivalent series Inductance (L), 90	Power Management Integrated Circuit, 70
FIVR	PoP
Fully Integrated Voltage Regulator, 8	Package on Package, 68
GPGPU	POR
General Purpose GPU, 4	Power On Reset, 145
GPU	PS, 122
Graphics Processing Unit, 4	Power Stage, 122
HVTVR	PT
High Voltage Tolerant Voltage Regulator,	Pulse Train, 34
117	PTH
IA	Plated Through Hole, 76
Intelligence Artificielle, 4	PVT
IOT	Process Voltage Temperature, 132
Internet of Things, 4	PWM
ISVR	Pulse Width Modulation, 22
Integrated Standalone Voltage Regulator,	RISC
70	Reduced Instructions Set Computer, 9

Table des mots-clés

SiP	TSV
System in Package, 68	Through Silicon Via, 82
SM	VCO
Sliding Mode, 33	Voltage Controlled Oscillator, 132
SoC, 65	VMC
System on Chip, 4	Voltage Mode Control, 21
SoCs	VR
Systems on Chip, 4	Voltage Regulator, 5
TGV	VSC
Through Glass Via, 82	Voltage Setting Control, 37
TPU	WLCSP
Tensor Processing Unit, 4	Wafer Level Chip Scale Package, 75

CHAPITRE 1 INTRODUCTION GÉNÉRALE

1.1. Présentation du document

Ce rapport de thèse est structuré en 6 chapitres essentiels :

Le chapitre 1 introduit l'organisation et le contexte de réalisation du travail de thèse. Il commence par une description de l'essor des processeurs dans les plateformes mobiles, ainsi que l'augmentation de leur demande en courant au cours de cette décennie. Puis il définit le besoin de convertisseurs Buck intégrés avec le processeur pour respecter les contraintes grandissantes en surface, en économie d'énergie et en réponse aux transitoires. Après présentation des limites de régulateurs intégrés dans la littérature, l'objectif et la démarche de résolution de la problématique principale sont présentés.

Le chapitre 2 établit l'état de l'art sur les structures de convertisseurs présentant les meilleures performances dynamiques. La topologie de base du convertisseur Buck est présentée, et les mécanismes de contrôle implémentés dans sa rétroaction sont décrits comme étant de type linéaire (PI ou PID) ou de type non linéaire (contrôle à hystérésis essentiellement). Bien que plusieurs méthodes d'amélioration de la régulation dynamique avec contrôle linéaire soient présentées dans la littérature, le contrôle non linéaire à base d'impulsions contrôlées présente les résultats les plus intéressants.

Le chapitre 3 introduit la topologie de convertisseur 3 états pour laquelle nous optons. Deux aspects essentiels sont introduits. En premier, la structure 3 états de l'étage de puissance est utilisée pour avoir un convertisseur premier ordre en transient. Les problèmes liés à l'ajout de ce troisième état dans l'étage de puissance sont développés. Et ensuite le deuxième aspect est la réadaptation du contrôle à base d'impulsions pour accommoder le troisième état et éviter des pertes additionnelles d'énergie comparé au convertisseur Buck typique. Un prototype réalisé en 180 nm est présenté en fin de chapitre pour valider les performances dynamiques du régulateur 3 états, qui réalise deux fois moins de surtension (2%) que la meilleure proposition de littérature.

Le chapitre 4 développe la méthodologie d'intégration du convertisseur 3 états en technologie de processeur. La première partie de ce chapitre (sections 4.1 et 4.2) se focalise sur l'intégration du filtre de sortie composé d'inductances et de condensateurs de découplage. Pour cela une étude du mécanisme de DVFS est effectuée pour comprendre les économies d'énergie réalisable avec le convertisseur intégré et surtout pour définir une contrainte sur la capacité de découplage. Ensuite un état de l'art sur les inductances intégrées et leurs performances est effectué, puis se conclut sur une présentation du meilleur choix d'intégration et de type d'inductance pour les plateformes mobiles. La capacité de sortie est étudiée à partir de la contrainte de DVFS précédente, et de celles des performances de processeurs qui sont souvent réduites à cause du bruit de leur alimentation. Enfin la deuxième partie présente la conception de la partie active du régulateur en technologie fine. Une étude du réseau de distribution de puissance en entrée est effectuée pour décider du découplage sur puce. Un étage de puissance de type cascode est présenté avec un mécanisme de recyclage de charge en environnement bruité. Et une topologie nouvelle de générateur PWM est introduite pour réaliser des économies en courant et en surface.

Le chapitre 5 présente les résultats expérimentaux effectués sur le prototype de régulateur intégré 3 états. Le Layout de la puce est décrit et l'environnement de mesure est présenté. Enfin les résultats silicium sont discutés et montrent un rendement de 90% maximal pour une entrée de 1.8V et une sortie de 1V. De plus, pour une surface consommée très réduite, le bruit de tension en sortie est réduit de 8-10% typiquement à moins de 5%.

Le chapitre 6 est une conclusion au rapport, rappelant les objectifs et présentant les résultats obtenus, ainsi que les limites de la topologie 3 états. Nous ajoutons quelques propositions que nous présentons pour des améliorations possibles de la topologie proposée.

1.2. Contexte de la thèse

1.2.1. Evolution des processeurs mobiles dans le monde des semi-conducteurs

Depuis l'introduction des smartphones et tablettes, il y a eu une grande expansion des plateformes mobiles et de leurs unités de calcul. Des compagnies telles que ITU* ont reporté près de 5.3 milliards de souscriptions aux lignes téléphoniques se faisant remplacées par l'utilisation de téléphones portables [1]. Dès le début de cette décennie, l'utilisation et le besoin d'appareils mobiles n'a cessé de croître, à tel point qu'elle surpasse aujourd'hui le marché d'ordinateurs de bureau (Figure 1-1). Aux devants de cette innovation matérielle se trouve le *CPU* (Central Processing Unit). Les CPUs mobiles ont été introduits à un rythme sans précédent dans le marché pour suivre la demande des utilisateurs. Considérant juste les processeurs mobiles des séries *ARM*[†], *Intel*[‡] (cœur i5 à cœur i9) et *AMD*[§] (A4 à A10 et Ryzen), au moins trois nouveaux designs de CPU étaient publiés chaque année, et ce pendant les dix dernières années – chacun plus sophistiqué que le précédent. C'est l'exemple des processeurs Intel pour plateformes mobiles qui sont aujourd'hui aussi avancés que les micro-processeurs pour ordinateur de bureau – avec pour exemple l'apparition du cœur i9 pour les deux marchés en 2018 [2]. D'autres types de processeurs tels que le *GPU* (Graphics Processing Unit) ainsi que le *TPU* (Tensor Processing Unit) apparaissent prometteurs pour multiples applications dans le futur. Le GPU fut popularisé en 1999 by *NVIDIA*^{**}, permettant d'augmenter le parallélisme des calculs. Avec l'introduction de la série GeForce 8 produite par *NVIDIA* en début de la précédente décennie, les unités de traitement de type GPU ont fait de plus en plus d'apparitions dans les ordinateurs et appareils mobiles. Aujourd'hui ces GPU s'avèrent être tout aussi efficaces, voire plus efficace que les CPU dans certains domaines de calcul, donnant naissance à un nouveau domaine de recherche surnommé GPGPU (General Purpose Computing on GPU). Le GPGPU a trouvé son chemin dans des domaines aussi variés que l'apprentissage automatique « Machine learning », l'exploration pétrolière, le traitement d'images scientifiques, l'algèbre linéaire, les statistiques, la reconstruction 3D et même la détermination des prix des actions [3]. En se basant sur les recherches effectuées par *Indigo*, il fut prouvé, durant des tests d'apprentissage de réseaux neuronaux informatiques « Deep learning neural network », que les GPUs peuvent être 250 fois plus rapides que les CPUs. De ce fait, la croissance explosive du « Deep learning » au cours de ces dernières années, est attribuée à l'émergence de GPU à usage général. Un autre ASIC y fait en ce moment concurrence, le TPU développé en 2016 par *Google*^{††} en partenariat avec *UC Berkeley*^{‡‡} et présenté à *ISSCC* en février 2018 par *David Patterson*^{§§}.

Dans le but d'obtenir de meilleures performances, les micro-processeurs sont conçus en technologies avancées, permettant l'augmentation de la fréquence d'horloge*** ainsi que des densités d'intégration plus élevées, entraînant de plus grandes consommations d'énergie des appareils mobiles. La Figure 1-2 confirme cette expansion de puissance demandée par les mobiles avec un exemple de l'évolution du CPU du *Samsung Galaxy* de 2009 à 2015. Notons également qu'avec l'avènement de l'IA (intelligence Artificielle), les IOT (Internet des Objets) et la technologie 5G, de plus grandes capacités de calcul seront nécessaires pour les processeurs mobiles ou SoC. Ce qui implique un continuuel accroissement de la demande en énergie avec les nouvelles générations.

Le travail de génération des puissances consommées par les composants mobiles revient aux **Régulateurs de tension DC-DC** (ou **Convertisseurs DC-DC**), utilisés pour fournir le courant demandé par le processeur tout en régulant sa tension d'alimentation à des niveaux bien définis.

* ITU (International Telecommunication Union) s'occupe d'allouer les bandes de fréquences en radio-télécommunications

† ARM est la compagnie principale qui fournit des architectures de processeurs d'applications utilisés par la plupart des producteurs de micro-processeurs

‡ Intel est une société multinationale, inventrice de la série x86 de micro-processeur trouvé dans la plupart des ordinateurs de bureau

§ AMD est une entreprise de semi-conducteurs qui développe des processeurs informatiques

** NVIDIA est une société bien connue pour la conception des GPU pour jeux vidéo et dans le marché professionnel

†† Google est la multinationale américaine créatrice du moteur de recherche google

‡‡ UC Berkeley est une université réputée de San Francisco, USA

§§ The TPU fut créé et utilisé en interne par Google. Il fut rendu accessible en 2018 pour les autres compagnies

*** De 1.6 GHz pour le cœur i7 en 2009 à 2.9 GHz pour le cœur i9 en 2018 par Intel

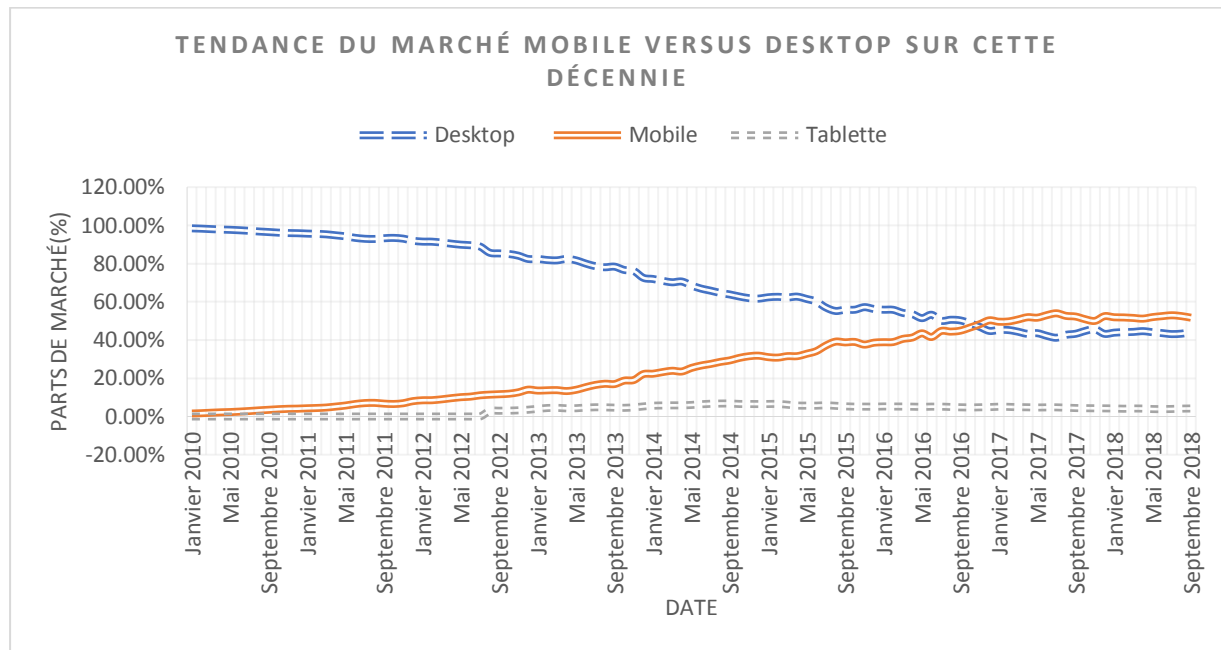


Figure 1-1: Tracé de la tendance du marché du téléphone mobile versus le desktop* versus la tablette sur cette décennie (source [4])

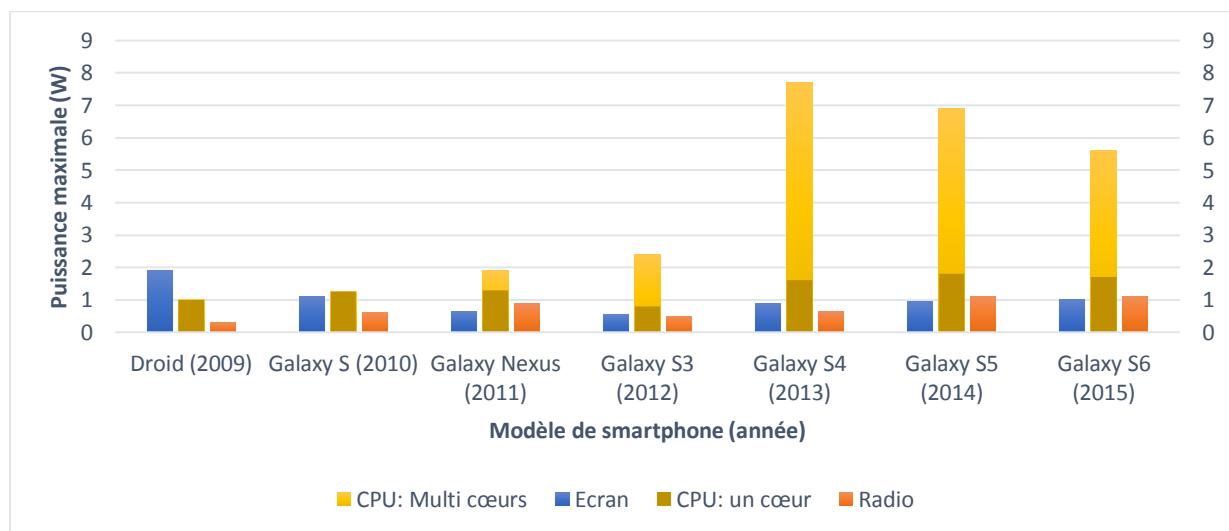


Figure 1-2: Augmentation de la puissance du CPU comparée aux autres composants des SoCs (Cas du Samsung Galaxy) [5]

1.2.2. Performances des convertisseurs Buck

Nombreux sont les types de Régulateur de Tension (ou VR) existant dans le domaine de la conversion de puissance. On distingue typiquement le *convertisseur Buck* (ou convertisseur abaisseur de tension) qui part d'une tension d'entrée élevée pour générer une tension plus basse, le *convertisseur boost* (ou convertisseur élévateur de tension) qui passe d'une tension d'entrée basse à une tension de sortie plus élevée, ainsi que d'autres tels que le Buck-boost, le convertisseur cuk etc.

* Ordinateur de bureau

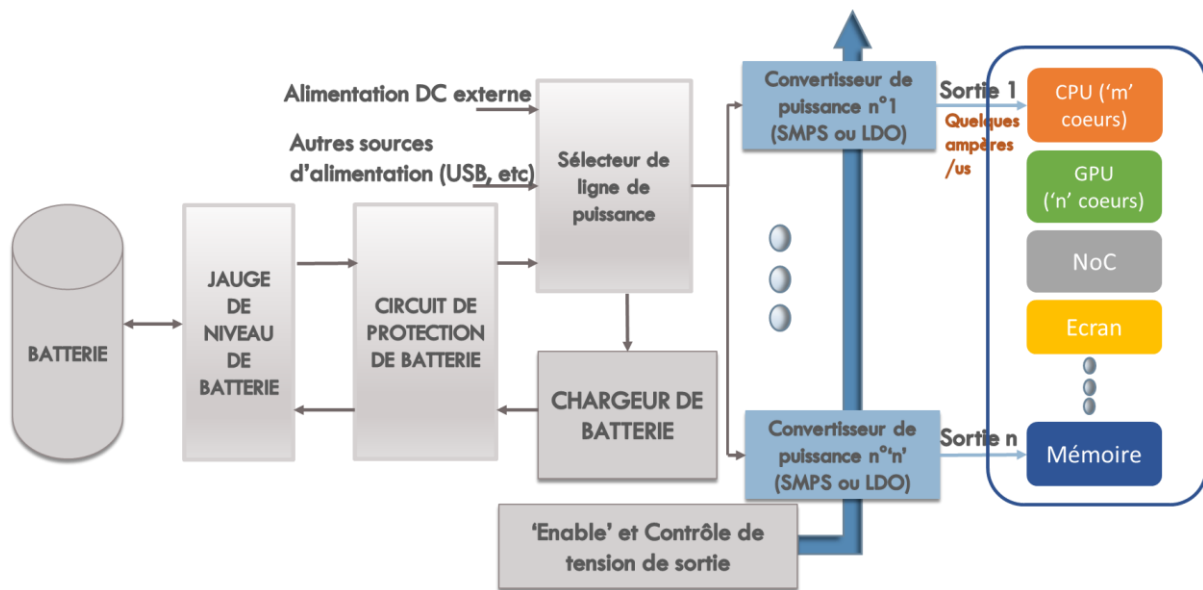


Figure 1-3: Exemple de système de gestion d'énergie en système mobile

La Figure 1-3 montre un exemple de circuit de gestion d'énergie dans les plateformes mobiles/portables où, des convertisseurs de puissance (abaisseur de tension dans ce cas) prennent en entrée une tension de batterie ou une source de tension DC externe pour générer des niveaux de tension DC utilisés comme alimentation par différents blocs internes au processeur. On distingue à ce jour, trois types principaux de convertisseurs abaisseurs – *les convertisseurs à capacités commutées, les régulateurs linéaires et les régulateurs à inductance commutée*, souvent appelé « convertisseur Buck » par abus de langage. Puisque dans le domaine mobile, les processeurs peuvent faire de larges appels de courant (appelé « transients » ou « variation transitoire »), le convertisseur doit être en mesure de maintenir sa tension de sortie régulée à une valeur DC selon une marge de tolérance prédéfinie. De ce fait, nous définissons cinq caractéristiques ou critères de performance principaux sur lesquels sont évalués les régulateurs :

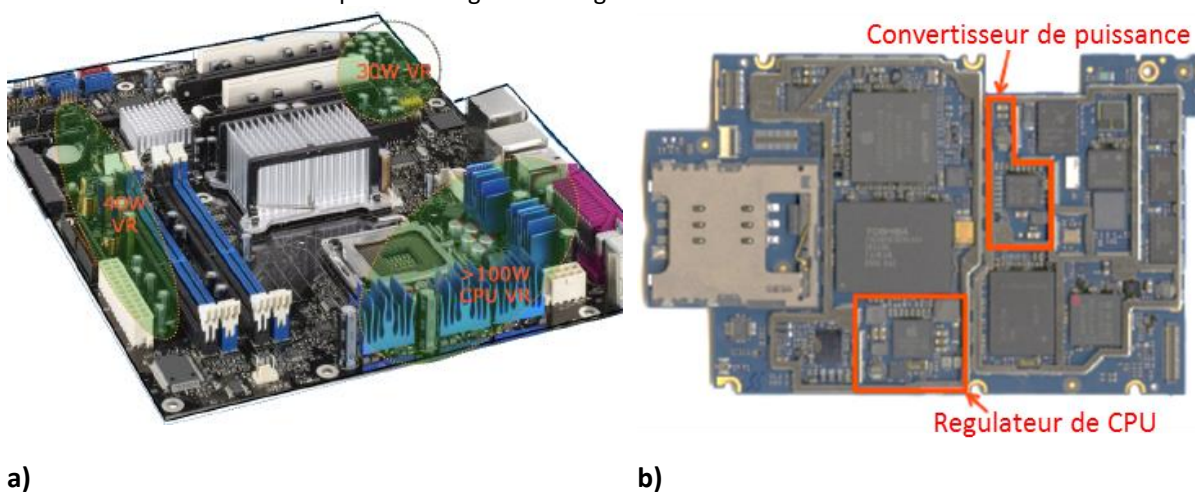
- **La régulation de charge (ou ondulation de tension en statique)** : Elle est représentée par la variation (ou swing) maximale de la sortie lorsque la charge est constante.
- **La régulation dynamique (DVR)** : Ce critère de performance consiste en deux aspects :
 - **La réponse aux variations transitoires de charge** : La variation observée sur la tension de sortie (surtension positive ou négative) et induite par la variation soudaine de courant demandé par la charge. Ce paramètre combiné à l'ondulation de tension statique constitue l'essentiel du bruit de tension d'alimentation des processeurs
 - **La vitesse de commutation de tension de sortie** : Il s'agit de la vitesse à laquelle le convertisseur peut passer d'une valeur de tension de sortie à une nouvelle. Elle est évaluée pour permettre la variation *dynamique de tension et de fréquence (DVFS)* utilisée dans les processeurs soit pour réduire la tension d'alimentation et la fréquence nominale lorsqu'il effectue moins de calculs ou les augmenter lorsque nécessaire. Cela rend possible la réalisation d'économies d'énergie.
- **La consommation d'énergie du système (régulateur + charge), souvent établie par l'efficacité (ou rendement)** : L'efficacité du convertisseur est définie par le rapport entre la puissance de sortie qu'il fournit effectivement à la charge et la puissance d'entrée qu'il reçoit d'une source de courant continu (que ce soit une batterie ou un autre convertisseur en aval).
- **Surface ou volume consommé** : Ce critère concerne la surface (ou le volume) occupée par le régulateur de tension. Parce que la tendance en microélectronique est l'intégration, la taille des convertisseurs apparaît comme un facteur important dans la réalisation des appareils mobiles. C'est sans compter le fait que la surface consommée est intimement liée au coût qui est un facteur limitant dans le monde des semi-conducteurs.

Les micro-processeurs sont bien connus pour leur grandissante demande en courant ainsi que les transitoires de charge de plus en plus fréquents en raison de l'augmentation de leur fréquence d'horloge. Les convertisseurs à capacités commutées sont très efficaces mais fournissent une mauvaise granularité de la tension de sortie[6]. De ce fait, leur régulation dynamique est médiocre en général, les rendant inaptes à

approvisionner en courant les processeurs. Les régulateurs linéaires et convertisseurs Buck sont les types de VR* utilisés pour la génération de tension d'alimentation de processeurs. Il faut cependant noter que les régulateurs linéaires sont peu efficaces dès que le gap entre tension de sortie et tension d'entrée est substantiel. **Dans le reste de ce document, nous nous concentrons uniquement sur les convertisseurs Buck ; ainsi, toute référence aux « régulateurs » ou « convertisseurs » concerne le Buck, sauf indication contraire.**

Afin de maintenir de bon rendement de convertisseurs Buck, leur fréquence de commutation est choisie actuellement dans la gamme de $\sim 1\text{MHz}$ [7], [8], [9] ou moins [10] en raison des générations de technologie utilisées en conception analogique (0.35 μm , 0.18 μm et 0.152 μm). En raison de ces fréquences de commutation, et pour limiter les courants de bobine ainsi que les ondulations de tension de sortie, des valeurs élevées d'inductance et de condensateur de découplage doivent être utilisées. En tant que tels, ces composants passifs sont placés sur la carte mère ou PCB rendant la mise en œuvre du régulateur hors-puce. L'utilisation de régulateurs hors puce pour fournir directement les processeurs en puissance, apparaît comme un mauvais choix pour les raisons suivantes :

- En raison des demandes de courant de plus en plus élevées, le système (convertisseur+ processeur) présente plus de pertes résistives dues au long routage (ou interconnexions) allant du PCB à la matrice (die). Ces pertes résistives supplémentaires réduisent l'efficacité globale du système.
- La faible bande passante des régulateurs hors puce entraîne de mauvaises performances transitoires, et pousse à l'utilisation de gros condensateurs de découplage. En outre, la présence de longues interconnexions de la carte mère au processeur ajoute des éléments parasites entre le convertisseur et la charge, affectant encore plus la capacité de régulation dynamique de tension (DVR).
- En raison de la taille dominante des composants hors-puce qui consomment généralement une grande surface de la plate-forme mobile (Figure 1-4 and Figure 1-5), le convertisseur Buck devient une limitation à la réduction de taille des systèmes mobiles. Avec des niveaux croissants d'intégration des cœurs de traitement numérique et des blocs fonctionnels en SoCs, des niveaux de tension plus indépendants sont nécessaires, ce qui augmente le nombre de convertisseurs Buck avec chaque génération.
- Enfin, en raison de leur faible vitesse de commutation et de leurs gros composants passifs, les VRs hors puce ne conviennent pas pour réaliser des fines granularités de DVFS. Le mécanisme de DVFS fut introduit dans les années 90 [11], offrant de grandes possibilités de réduction de la consommation d'énergie dans les systèmes numériques larges en adaptant à la fois la tension et la fréquence du processeur dépendamment de l'évolution de la charge de travail. Les travaux réalisés dans les années 2000 par *Ishihara et Yasuura* [12] ou *Xie et al* [13], ont montré qu'une granularité grossière[†] de DVFS effectuée sur des échelles de temps d'ordre de la microseconde (typique des régulateurs hors-puce), est suffisante pour optimiser la consommation d'énergie des processeurs. Cependant, de récents travaux menés par *{Kim et al, 2008 [14]}* et *{Eyerman and Eeckhout, 2011 [15]}* prouvent que la DVFS à granularité fine et sur des échelles de l'ordre de la nanoseconde[‡] fournit des économies d'énergie nettement meilleures qu'avec une granularité grossière.



* Référence à régulateur de tension

[†] A l'opposé d'une granularité fine

[‡] Les DVFS à l'échelle de nanoseconde permettent de fines granularités

Figure 1-4: Exemples de cartes mères mettant en évidence l'espace utilisée par les VRs sur la plateforme mobile {Noah Sturcken et al PwrSoC 2012}

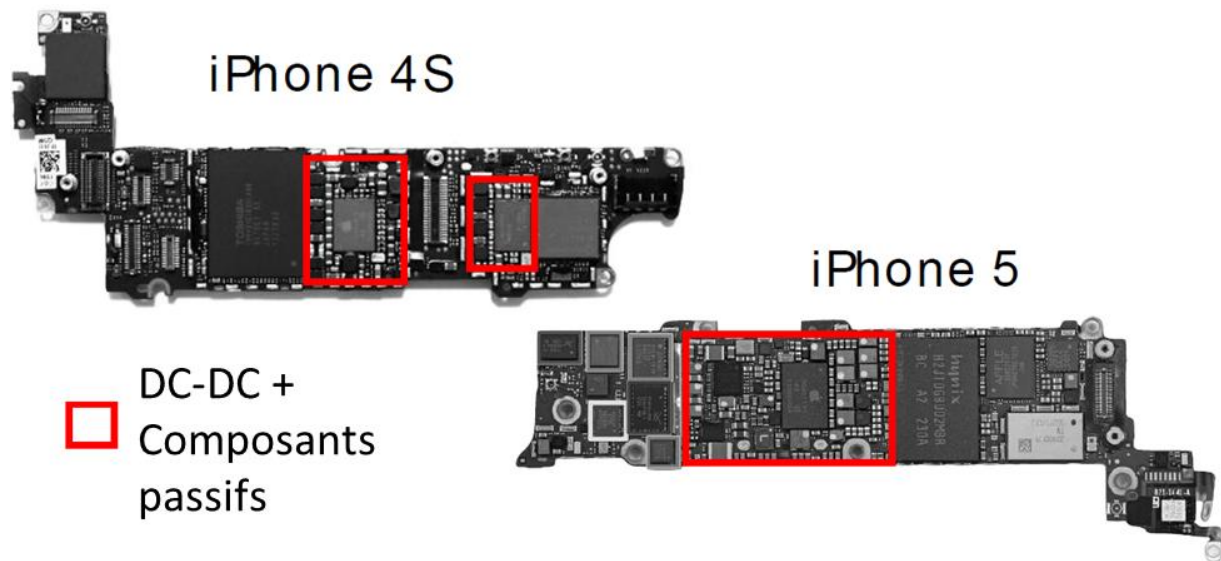


Figure 1-5: Convertisseur hors-puce dans le carré rouge ; exemple d'iPhone 4S et iPhone 5 {Wonyoung Kim et al PwrSoC 2012}

1.2.3. Pourquoi les régulateurs intégrés ?

La grosse empreinte des régulateurs hors-puce sur la carte, le coût, les pertes élevées dues aux éléments parasites et la faible capacité de régulation dynamique créent le besoin d'intégrer les composants externes (bobine et condensateur) pour réaliser des régulateurs de tension intégrés (aussi appelés FIVR ou encore IVR). L'utilisation de petits composants (L^* , C^+) implique l'augmentation de la fréquence de commutation à des valeurs élevées ($\sim$ centaines de MHz). L'introduction aux convertisseurs sur puce (ou IVR) est basée sur la possibilité d'avoir une cascade de convertisseurs hors-puce et sur puce, avec les convertisseurs sur puce alimentant directement les micro-processeurs. L'IVR réglera alors l'alimentation du processeur tout en gérant à la fois les DVFS et les transitoires de charge. Bien que les premières publications sur les convertisseurs intégrés sont apparues en 2005 - {Qing Hua Li et al [16]}, {S. Abedinpour et al [17]}, {P. Hazucha et al [18]} - la hausse de l'intérêt pour la conception des FIVRs a débuté en 2008 avec l'impact de DVFS à grains fins précédemment mentionné, sur les économies d'énergie des SoCs. La transition des VRs hors puce vers les convertisseurs sur puce s'accompagne donc des avantages suivants :

- La fine granularité de DVFS basée sur une commutation rapide de la tension de sortie : Représenté en Figure 1-6, un exemple de tension d'alimentation de CPU est comparé entre un VR hors puce et un IVR. Selon la tâche assignée, les besoins en fréquence d'horloge varient et donc, il est possible d'appliquer une tension appropriée à la tâche. Toutefois, avec l'augmentation des fréquences nominales de processeurs et la mise en œuvre d'instructions de type RISC[‡] dans les applications mobiles, une commutation de tension plus rapide est nécessaire pour l'optimisation de l'énergie. Comparés aux VRs hors puce, les régulateurs sur puce offrent la vitesse de commutation de tension nécessaire en raison de leur fréquence de commutation élevée et de petits éléments passifs.

* L représentant l'inductance

† C pour le condensateur

‡ Architecture de processeur permettant d'avoir peu de cycles par instruction par opposition

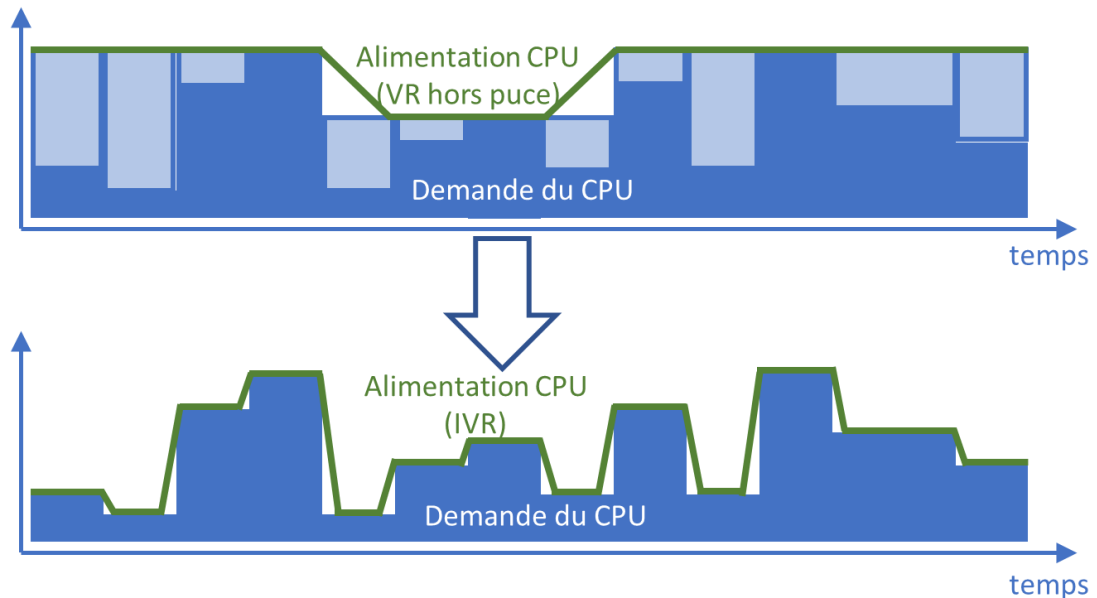


Figure 1-6: Changement de tension d'alimentation à l'échelle de la nanoseconde avec les IVRs comparé à la microseconde avec les VRs hors puce.

- *La réduction en surface et coût* : Les VRs conventionnels (ou VRs hors puce) présentent généralement une faible bande passante de régulation, qui n'a aucun effet sur la tension d'alimentation du processeur au-delà de ~ 500 KHz. Afin de faire face aux perturbations qui apparaissent à des fréquences élevées, de multiples condensateurs de découplage sont utilisés à la fois hors puce et sur-puce. Les IVR sont nécessaires pour réduire la taille des régulateurs, principalement des composants passifs, car ils offrent une bande passante plus élevée. Un exemple est décrit en Figure 1-7 où l'intégration complète permet de récupérer l'espace initialement gaspillé par des passifs et composants discrets (s'il y en a).
- *La réduction de complexité lors de la conception de la carte mère* : Le nombre de cœurs de processeurs continue de s'accroître (Figure 1-8) et depuis peu, plus de blocs ont fait leur apparition dans les SoCs - les NoCs (Network on Chip) nécessaire pour la communication entre les cœurs ou les circuits mémoires telles que la DRAM intégrée avec le processeur*. Par conséquent, plus de niveaux de tension et de courant sont exigés, ce qui oblige l'utilisation de plusieurs convertisseurs pour alimenter les micro-processeurs. Les implémentations hors-puce rendent la conception de carte complexe, en raison du besoin de longues interconnexions. La taille des composants rend impossible de router de nombreux domaines de tension via le PCB et le package.

* IBM a commencé à intégrer leur DRAM avec le processeur et a présenté un exemple avec leur Z14 à ISSCC 2018

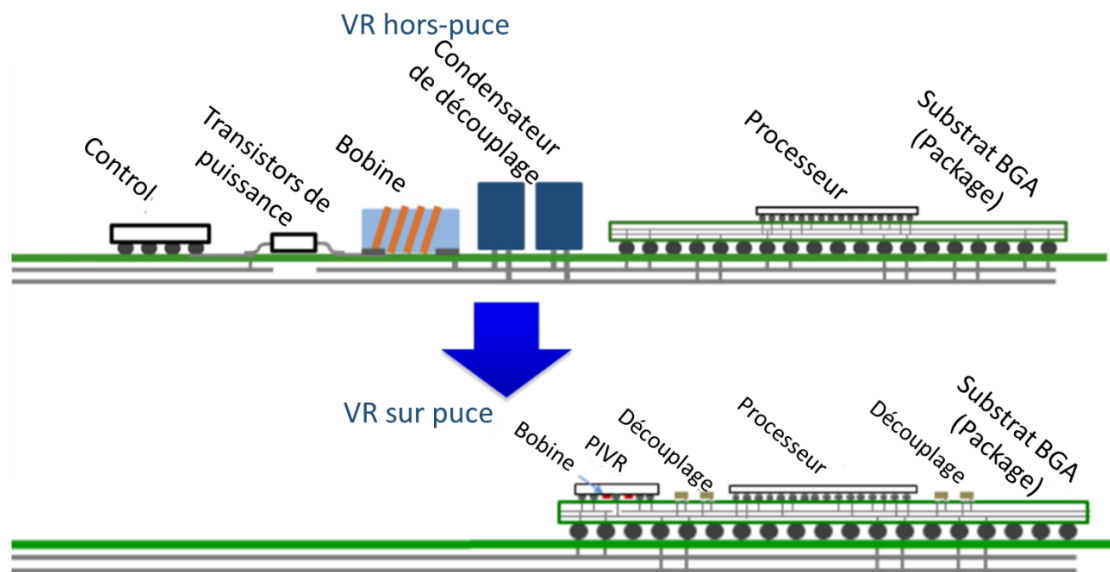


Figure 1-7: Section longitudinale de puce montrant comparant VR conventionnel à IVR.

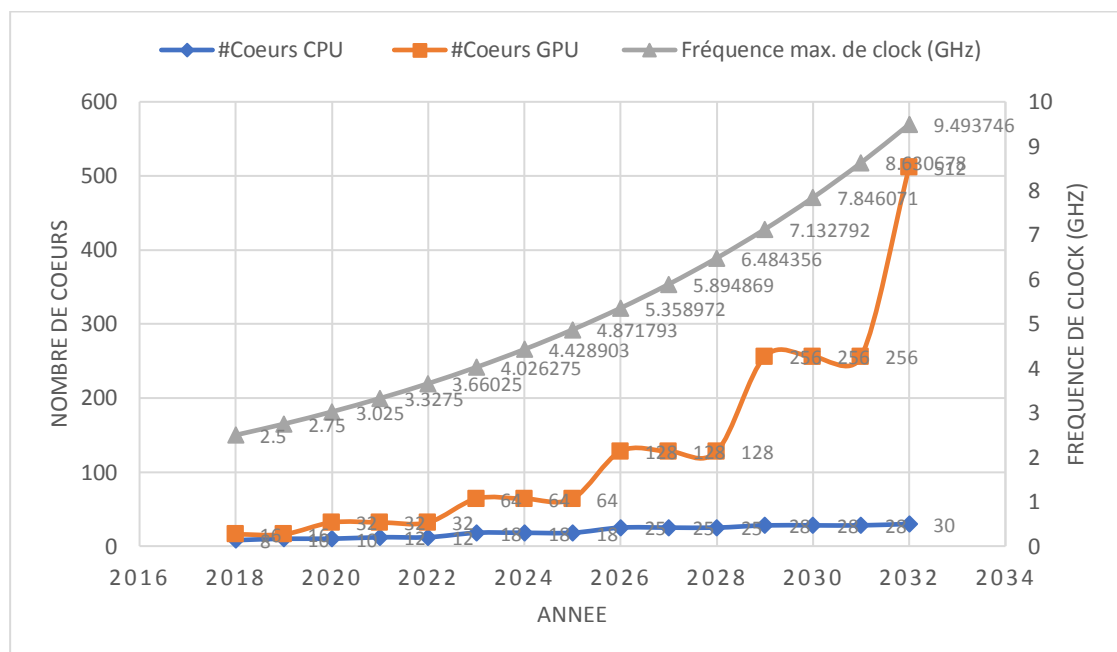


Figure 1-8: Tendence future de l'augmentation des cœurs et fréquences d'horloge (basée sur les données IRDS*)

1.2.4. État de l'art dans la conception d'IVR

Nombre de travaux ont montré des prototypes de régulateurs de Buck à commutation rapide (IVR) au cours des 8 dernières années. Par exemple, {Kim et al 2012} [19] ont introduit un régulateur hybride commutant à 200 MHz pour une commutation rapide de tension de sortie et une efficacité maximale. {Sturcken et al 2012} [20] ont montré un convertisseur 4 phases à 80 MHz de fréquence de commutation et une bonne réponse aux transitoires de charge. {Huang et Mok 2013} [21] a présenté un convertisseur à 100 MHz de commutation visant des opérations de type DCM. {Burton et al 2014} [22] ont intégré des régulateurs de tension pour la quatrième génération de processeurs Intel, ciblant un rendement élevé et une bonne régulation dynamique. D'autres travaux tels que {Mueller et al 2016} [23] ou {Krishnamurthy et al 2018} [24] ont exploré des stratégies d'intégration de bobines pour de meilleures performances de VRs.

* L'IRDS™ est une association soutenue par [IEEE Rebooting Computing \(IEEE RC\) Initiative](https://www.ieee-rebooting.com/) et en consultation avec plusieurs autres partenaires

Nous présentons en Tableau 1-1, les performances de ces publications clés sur l'IVR au cours de cette décennie, pour se faire une idée de l'état actuel de la recherche dans le domaine. Ainsi, il nous est possible de mettre en évidence les problèmes liés à la conception de VRs sur puce :

- **Caractéristique DVR** : Bien que les IVR bénéficient de la proximité avec les processeurs, il apparaît que les convertisseurs proposés ont tendance à présenter soit une réponse décente aux transients ou une bonne vitesse de commutation de tension, mais pas les deux avantages. Ceci est dû aux valeurs de bande passante actuellement obtenues avec les IVRs, qui ne sont pas assez élevées pour compenser la faible quantité de condensateurs de découplage. Bien que certains travaux dans la littérature aient présenté des études sur l'impact des ondulations de tension sur les performances de processeur, aucun travail n'a exploré les contraintes de bande passante sur les IVRs et proposé les performances de transient pour le fonctionnement optimal des unités de traitements.
- **Surface consommée contre efficacité** : En raison de leur fréquence de commutation élevée, les régulateurs sur puce présentent généralement un mauvais rendement. Bien que *Burton et al* [22] aient démontré la meilleure valeur de rendement à ce jour, cela a été au prix de l'augmentation de l'épaisseur du package, rendant le régulateur peu adapté pour les plateformes mobiles et autres ordinateurs minces. Ainsi, aucune approche appropriée n'a été proposée pour la conception d'IVR dans les technologies destinées aux processeurs mobiles pour atteindre un rendement élevé contre une taille minimale.

Travaux	[25]	[19]	[20]	[22]	[26]	[24]
Conférence & année	ISSCC 2012	ISSCC 2011	CICC 2012	APEC 2014	MWSCAS 2018	ISSCC 2017
Fréquence de commutation (MHz)	100	50-200	80	140	100	90
Efficacité maximale	76%	77%	83%	90%	88%	80%
Surtension par ampère	N/A	450 mV/A (37%)	210 mV/A (23%)	80 mV/A (7.6%)*	83 mV/A (8.33 %)	N/A
Vitesse de commutation de tension	N/A	50 mV/ns	3 mV/ns [†]	2 mV/ns [†]	1 mV/ns	N/A
Densité d'intégration (mm ² /A)	2.8 mm ² /A	6.25 mm ² /A	N/A	1 mm ² /A (épaisseur élevée [§])	N/A	N/A

Tableau 1-1: Mis en évidence de certaines performances d'IVR publiés tout au long de cette décennie

1.3. Objectifs du travail de thèse et démarche adoptée

Le travail de doctorat proposé ici consiste à trouver une approche appropriée à la conception d'un IVR qui aiderait à résoudre les problèmes énumérés précédemment. Il est réalisé dans le cadre d'une thèse encadrée par le laboratoire INL de Lyon qui est relié aux instituts CNRS, ECL, INSA, Université Lyon 1 et CPE Lyon. Le laboratoire INL concerné est localisé sur le campus LyonTech-La Doua. La thèse a été financée par l'entreprise américaine Endura Technologies basée à San Diego, où la majeure partie du travail de conception et les mesures de prototypes ont été réalisées. Et enfin l'école doctorale de rattachement est l'INSA Lyon, principalement l'EDEEA.

* Estimation du tracé transitoire de la publication

† Estimation de la réponse à l'échelon de tension d'entrée mesurée sur la publication

‡ Estimée à partir de la figure sur le démarrage (start-up) dans la publication

§ Ce travail a utilisé des bobines de type solénoïde créées dans un package de type LGA possédant une épaisseur élevée (à l'opposé du BGA utilisé en mobile et dans les tablettes à faible épaisseur)

Le reste de ce document présentera la méthodologie utilisée dans ce travail pour concevoir un convertisseur Buck entièrement intégré en technologie TSMC 28 nm HPM utilisé jusqu'en 2016 pour la conception de processeurs mobiles. Notons que le Buck proposé est présenté de sorte qu'il puisse être intégré dans toute nouvelle génération de technologie utilisée pour processeurs et que nous confirmons notre approche en démontrant les performances du prototype en 28 nm.

Afin de traiter le sujet de cette thèse, nous abordons la question en tant que 3 problématiques principales :

- i. **Aspect topologique** : Parce que les IVR semblent généralement présenter une mauvaise réponse transitoire de charge et puisqu'ils utilisent souvent des topologies similaires aux régulateurs conventionnels*, nous revenons à une question plus générale. Quelle topologie de convertisseur Buck peut offrir la meilleure réponse aux transients et être facilement portée aux hautes fréquences ?
- ii. **Conception et intégration** : Quelle est la meilleure façon d'intégrer le filtre de sortie du convertisseur sur puce tout en ciblant l'obtention d'un régulateur efficace consommant une surface minimale ?
- iii. **Aspect technologique** : Quelle est l'approche optimale pour la conception des convertisseurs Buck sur puce, en technologie fine ? Cette approche donnerait les étapes menant à un rendement élevé pour peu d'espace utilisé sur puce.

Le reste de ce manuscrit est organisé de la manière suivante :

- ✓ **Le chapitre 2** introduit la topologie typique d'un convertisseur Buck et discute les techniques utilisées dans les travaux précédents pour obtenir une bonne régulation dynamique et statique.
- ✓ **Le chapitre 3** introduit la topologie proposée du convertisseur et le choix de l'algorithme de contrôle pour une bonne régulation dynamique et un portage facile en technologie fine si la fréquence de commutation est augmentée. Un régulateur à commutation lente, basé sur cette topologie est mesuré pour valider ses avantages par rapport aux travaux antérieurs et conclure sur le choix de topologie.
- ✓ **Le chapitre 4** montre l'approche à l'implémentation de l'IVR basé sur la topologie choisie et présente une approche de conception du filtre de sortie et de la réalisation technologique :
 - La section 4.1 analyse les économies d'énergie réalisées lors de l'utilisation de DVFS à granularité fine et définit une contrainte sur les performances de commutation de tension. La section 4.2 analyse les différentes approches des travaux de l'état de l'art pour intégrer le filtre de sortie, discute des problèmes liés à chaque niveau d'intégration et type d'inductances, ainsi que leur impact spécifique sur les régulateurs à commutation rapide. Nous concluons ensuite sur le choix des valeurs de filtrage et l'intégration en fonction de la fréquence de commutation.
 - Les sections 4.3 et 4.4 présentent une méthodologie de conception dans les technologies fines pour processeurs. Les sections 4.5 et 4.6 présentent les blocs restants et la méthode de conception employée.
- ✓ **Le chapitre 5** montre enfin les résultats expérimentaux de la puce proposée en CMOS 28 nm et compare le régulateur intégré proposé avec des travaux antérieurs.
- ✓ Enfin le document se termine sur une conclusion et des perspectives.

* Nous nous référons aux régulateurs hors puce

CHAPITRE 2 TOPOLOGIES DE L'ÉTAT DE L'ART POUR LA RÉGULATION DYNAMIQUE

Notre première étape dans la recherche d'une topologie présentant les meilleures caractéristiques DVR, consiste à discuter des différentes stratégies utilisées dans la littérature pour obtenir des réponses rapides aux variations transitoires de charges. Nous commençons avec une description du convertisseur Buck typique et les principaux blocs dont il est constitué. Il devient ensuite évident que le contrôle implémenté dans la rétroaction présente le plus d'impact sur la DVR dès lors que les passifs et la fréquence de commutation sont fixés. Ainsi, nous explorons les mécanismes de contrôle les plus utilisés dans la section 2.1 qui consiste essentiellement en deux types. Le premier est implémenté comme rétroaction linéaire de type PI ou PID, le second type étant une rétroaction non linéaire. Certaines techniques d'amélioration employées dans la littérature sont présentées en section 2.2, pour augmenter la bande passante du convertisseur. Enfin, la section 2.3 compare les propositions les plus intéressantes et conclue sur les méthodes de contrôle qui s'avèrent les plus utiles. La meilleure option tend vers un contrôle non linéaire dont les impulsions sont limitées en rapport cyclique pour une régulation contrôlée, en statique.

Contenu du chapitre

2.1. Topologie générale du buck et fonctionnement.....	13
2.1.1. Modes de fonctionnement	13
a- Mode de conduction continue (exemple d'un convertisseur Buck asynchrone).....	14
b- Mode de conduction discontinue (exemple d'un convertisseur de Buck asynchrone)	
.....	17
2.1.2. Mécanismes de contrôle des convertisseurs Buck.....	19
2.1.2.1. Contrôle linéaire basé sur compensation PID.....	20
2.1.2.1.1. Le contrôle en tension.....	20
2.1.2.1.1.1. Réseau de compensation de type II ou PI.....	24
2.1.2.1.1.2. Réseau de compensation de type III ou PID	26
2.1.2.1.2. Le contrôle en courant.....	28
2.1.2.2. Contrôle non linéaire hystérétique.....	31
2.2. Mécanismes d'amélioration de réponse aux transients	32
2.3. Bilan sur les topologies proposant une bonne réponse aux transients	34

2.1. Topologie générale du Buck et fonctionnement

2.1.1. Modes de fonctionnement

Le convertisseur Buck convertit une tension d'entrée DC plus élevée en une tension de sortie DC inférieure. Il peut être *asynchrone* en raison de l'utilisation d'une diode, ou *synchrone* lorsque la diode est remplacée par un commutateur. Dans les deux cas, le principe de fonctionnement de base est le même. Le convertisseur Buck traditionnel est également connu comme le convertisseur Buck asynchrone et est décrit dans la Figure 2-1. Il se compose d'un commutateur contrôlé SW, d'une diode D, d'un inducteur L, d'un condensateur C et d'une charge à réguler « LOAD » (parfois modélisée par une résistance).

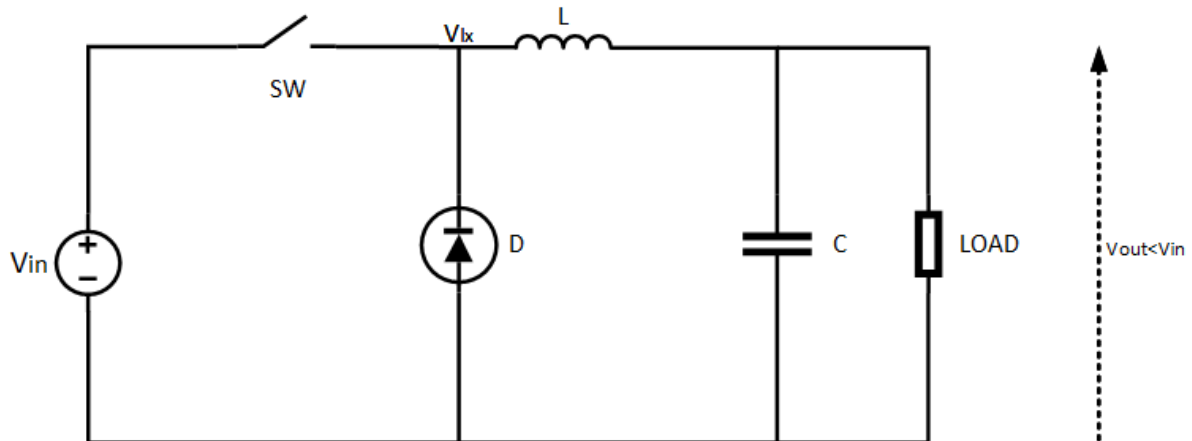


Figure 2-1: Convertisseur Buck asynchrone

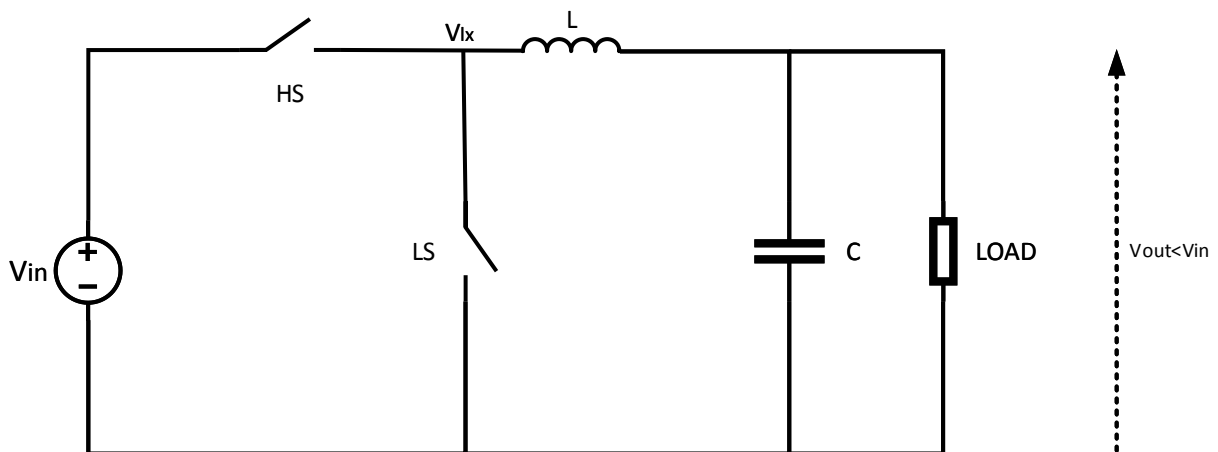


Figure 2-2: Convertisseur Buck synchrone

Cependant, en raison des développements récents dans le domaine électronique, en particulier dans l'industrie des télécommunications et de l'informatique, les tensions de fonctionnement des processeurs* ont chuté en dessous de 1V. À de telles basses tensions, la chute de tension à travers la diode de roue libre est élevée entraînant un mauvais rendement du régulateur [27]. Par conséquent, la diode est remplacée par un interrupteur synchrone, qui peut être fabriqué de sorte à avoir un faible $R_{on}^{\dagger}$ pour générer une chute de tension négligeable. L'interrupteur $SW1$ est désigné *interrupteur de commande* ou interrupteur « *high-side* » et $SW2$ appelé *commutateur synchrone* ou *interrupteur « low-side »*, d'où le nom "convertisseur Buck synchrone" comme indiqué dans Figure 2-2.

Le convertisseur Buck possède deux modes de fonctionnement qui sont, le *mode de conduction continue* (CCM) et le *mode de conduction discontinu* (DCM), en fonction de la forme du courant dans la bobine.

a- Mode de conduction continue (exemple d'un convertisseur Buck asynchrone)

Un convertisseur de Buck fonctionne en régime continu si le courant à travers l'inductance (i_L) ne tombe jamais à zéro pendant le cycle de commutation. Dans ce mode, le principe de fonctionnement est décrit par le chronogramme de la Figure 2-3 en supposant que la charge est constante.

* Charge du convertisseur

† Résistance d'interrupteur en état passant

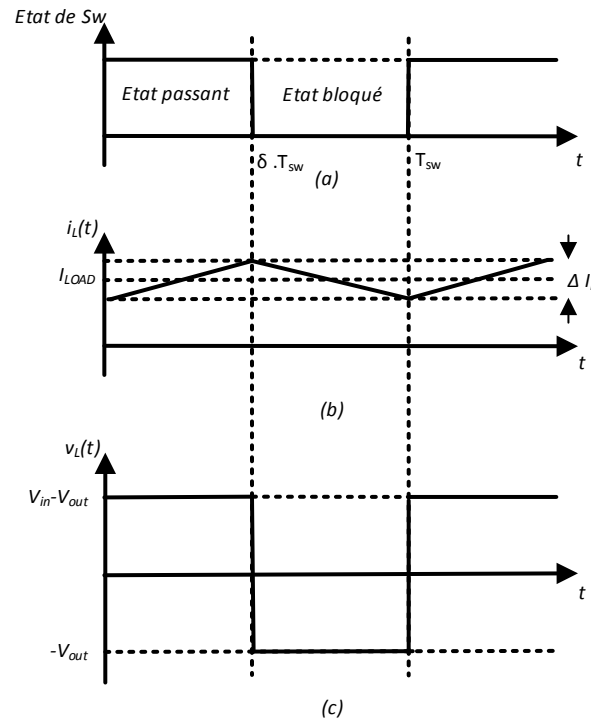


Figure 2-3: Formes d'onde de convertisseur Buck en CCM montrant (a) le contrôle de l'interrupteur SW, (b) le courant d'inductance, (c) la tension aux bornes de la bobine.

- L'état passant est défini lorsque, l'interrupteur "SW" est fermé et le circuit est équivalent à la Figure 2-4-a. La tension aux bornes de la self est $V_L = V_{in} - V_{out}$. Le courant à travers l'inductance augmente linéairement. Comme la diode est polarisée en inverse, aucun courant ne circule.
- Lorsque l'interrupteur "SW" est ouvert (état bloqué) la diode est polarisée en direct, et le circuit est équivalent à la Figure 2-4-b. La Différence De Potentiel (DDP) aux bornes de la self est $V_L = -V_{out}$ (négligeant la chute de tension de diode). Le courant d'inductance diminue.

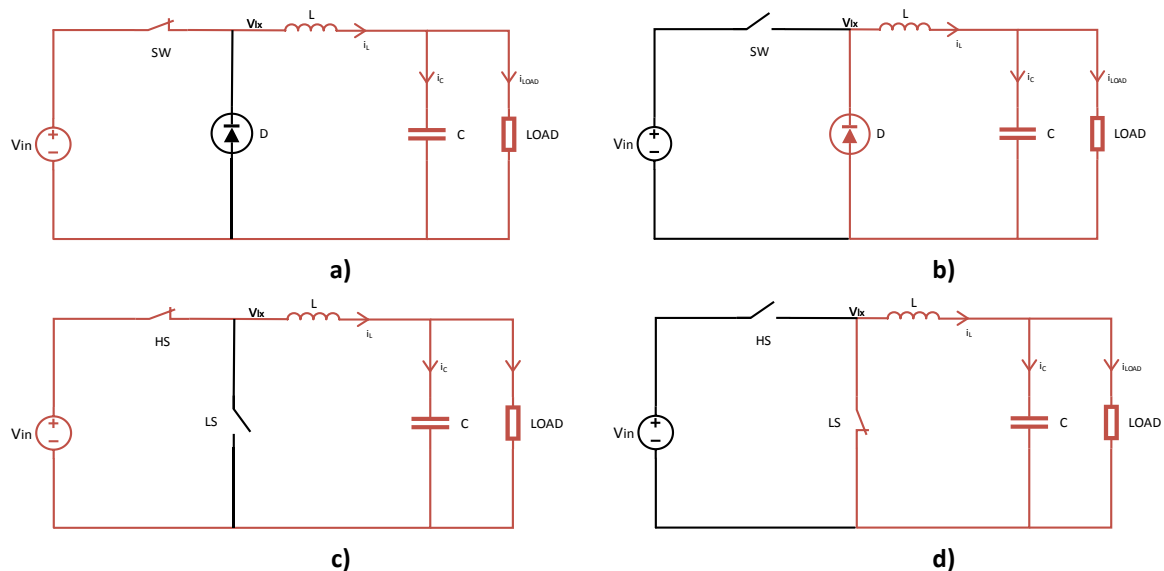


Figure 2-4: Schéma équivalent de convertisseur Buck ; a-Buck asynchrone pendant « l'état passant » ; b-Buck asynchrone durant « l'état bloqué » ; c- Buck synchrone pendant « l'état passant » ; d-Buck synchrone durant « l'état bloqué » ;

L'inductance est utilisée pour transférer de l'énergie de l'entrée à la sortie du condensateur. La pente du courant i_L peut être calculée sachant que $V_L = L \frac{di_L}{dt}$.

Avec $V_L = V_{in} - V_{out}$ au cours de l'état passant et $V_L = -V_{out}$ durant l'état bloqué, l'augmentation du courant Δi_L (voir Figure 2-5) durant l'état passant s'écrit :

Equation 1

$$\Delta i_L = \int_0^{\delta T_{SW}} \frac{V_L}{L} dt = \frac{V_{in} - V_{out}}{L} \delta T_{SW}$$

Avec T_{SW} représentant la période de commutation et δ , le rapport cyclique correspondant au ratio de la durée de l'état passant t_{ON} et T_{SW} .

De façon similaire, la diminution du courant pendant l'état bloqué est donnée par :

Equation 2

$$\Delta i_L = \int_{\delta T_{SW}}^{T_{SW}} -\frac{V_L}{L} dt = \frac{-V_{out}}{L} (1 - \delta) T_{SW}$$

Supposant que le convertisseur fonctionne en régime statique*, l'énergie stockée dans la self à la fin du cycle de commutation T_{SW} est égale à sa valeur au début du cycle. Cela signifie que le courant i_L est le même à $t=0$ et à $t=T_{SW}$ (voir Figure 2-5). Ainsi, nous pouvons écrire :

$$\begin{aligned} \frac{V_{in} - V_{out}}{L} \delta T_{SW} + \left(\frac{-V_{out}}{L} (1 - \delta) T_{SW} \right) &= 0 \\ \Leftrightarrow \delta T_{SW} \left(\frac{V_{in} - V_{out}}{L} + \frac{V_{out}}{L} \right) &= \frac{V_{out}}{L} T_{SW} \end{aligned}$$

Equation 3

$$\delta V_{in} = V_{out} \Leftrightarrow \delta = \frac{V_{out}}{V_{in}}$$

L'Equation 3 montre que, dans le cas d'un convertisseur idéal, la tension de sortie est proportionnelle au rapport cyclique δ , pour une tension d'entrée donnée.

Le point de fonctionnement qui se trouve exactement au seuil des opérations DCM et CCM est appelé point de conduction critique. A cette conduction critique, le courant de sortie $I_{LOAD_critical}$ est égal à la moitié du courant d'ondulation crête-à-crête de l'inductance :

Equation 4

$$I_{LOADcritical} = \frac{I_{Lmax}}{2} = \frac{(V_{in} - V_{out}) \frac{V_{out}}{V_{in}}}{2Lf_{SW}} = \frac{V_{out}(V_{in} - V_{out})}{2Lf_{SW}V_{in}}, f_{SW} = \frac{1}{T_{SW}}$$

Si $I_{LOAD} < I_{LOADcritical}$, le convertisseur fonctionne en DCM (sauf s'il est en PWM forcé[†]), et si $I_{LOAD} > I_{LOADcritical}$, il opère en CCM.

* La charge est constante

[†] Mode où le CCM est forcé même quand la charge est très faible, faisant que le courant d'inductance ondule entre des valeurs positives et négatives.

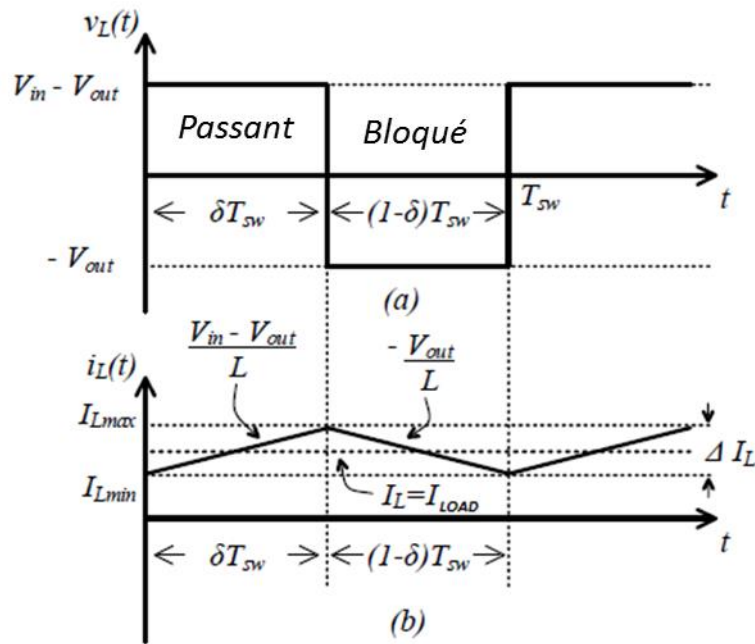


Figure 2-5: Fonctionnement détaillé du mode CCM d'un convertisseur Buck

b- Mode de conduction discontinue (exemple d'un convertisseur de Buck asynchrone)

Dans certains cas, la quantité d'énergie requise par la charge est inférieure à la quantité minimale d'énergie transférée en un cycle de commutation. Dans ce cas, le courant à travers l'inductance tombe à zéro avant la fin de la période. La seule différence dans le principe décrit ci-dessus est que l'inductance est complètement déchargée à la fin du cycle de commutation (Figure 2-6).

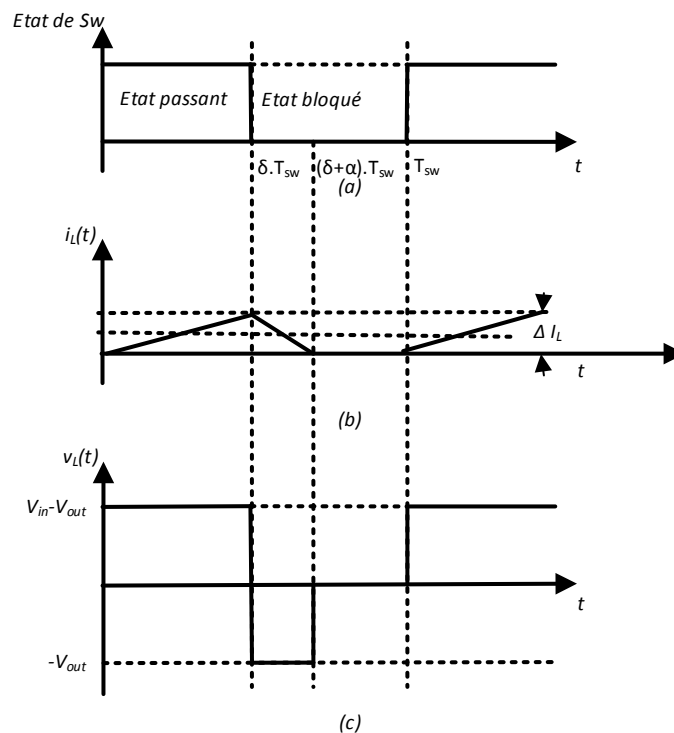


Figure 2-6: Formes d'onde du convertisseur Buck en DCM, montrant (a) le contrôle de l'interrupteur, (b) le courant d'inductance, (c) la tension aux bornes de l'inductance.

Nous partons toujours du principe que le convertisseur fonctionne en régime statique. Du coup, l'énergie dans l'inductance est nulle au début et à la fin du cycle, et donc :

$$\frac{V_{in} - V_{out}}{L} \delta T_{SW} + \left(\frac{-V_{out}}{L} (1 - \delta) T_{SW} \right) = 0$$

D'après la Figure 2-6, $\frac{-V_{out}}{L} (1 - \delta) T_{SW} = \frac{-V_{out}}{L} \alpha T_{SW}$

Ainsi, $\frac{V_{in} - V_{out}}{L} \delta T_{SW} + \frac{-V_{out}}{L} \alpha T_{SW} = 0$

Equation 5

$$\Leftrightarrow \alpha = \frac{V_{in} - V_{out}}{V_{out}} \delta$$

Le courant d'inductance est filtré par le condensateur de sortie C et délivré à la charge. Puisque la charge est supposée être constante $\bar{i}_L = I_{LOAD}$, nous pouvons écrire :

$$\bar{i}_L = \frac{1}{T_{SW}} \int_0^{T_{SW}} i_L \cdot dt = \frac{1}{T_{SW}} \left(\int_0^{\delta T_{SW}} \frac{V_{in} - V_{out}}{L} t \cdot dt - \int_{\delta T_{SW}}^{(\alpha + \delta) T_{SW}} \frac{V_{out}}{L} t \cdot dt \right)$$

Considérant le même Δi_L pour la montée et descente, $\bar{i}_L = \frac{V_{in} - V_{out}}{2L} ((\delta T_{SW})^2 + (\alpha \delta T_{SW}^2))$

$= I_{LOAD}$

Equation 6

En remplaçant α par Equation 5, $I_{LOAD} = \frac{(V_{in} - V_{out}) \delta T_{SW} \left(\delta + \frac{V_{in} - V_{out}}{V_{out}} \delta \right)}{2L} \Leftrightarrow$

$$V_{out} = V_{in} \frac{1}{1 + \frac{2L I_{LOAD}}{\delta^2 V_{in} T_{SW}}}$$

On remarque que la tension de sortie est maintenant une fonction, non seulement de la tension d'entrée (V_{in}) et du rapport cyclique δ , mais aussi de la valeur d'inductance (L), la période de commutation (T_{SW}) et le courant de sortie (I_{LOAD}).

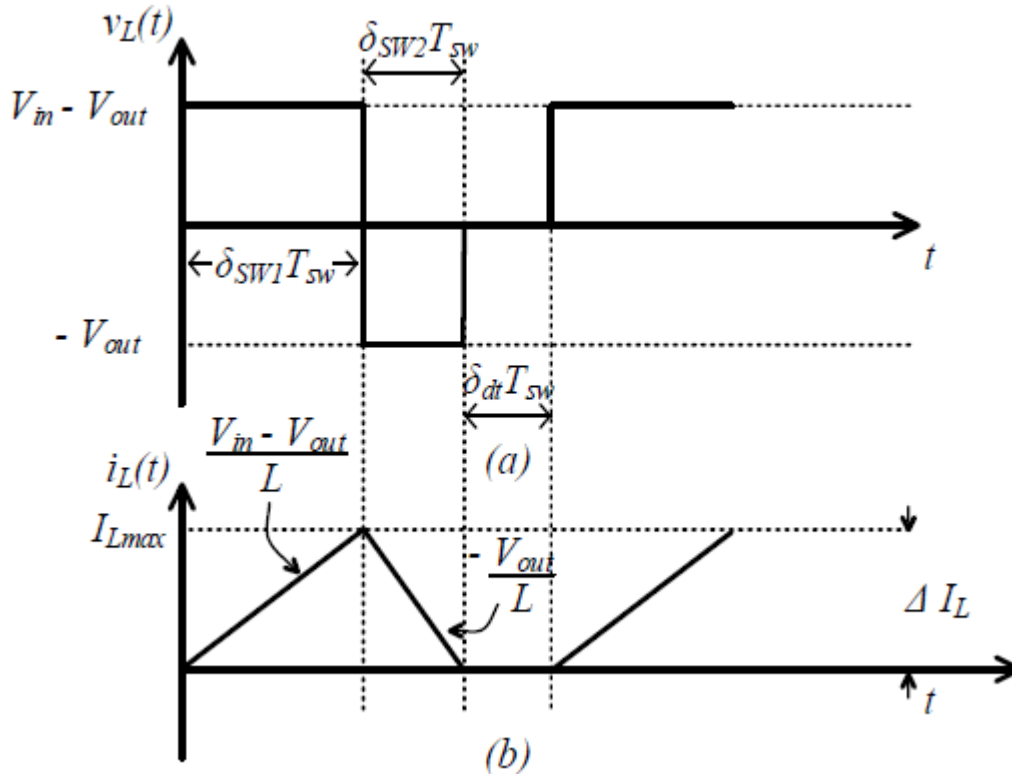


Figure 2-7: Fonctionnement détaillé du DCM du convertisseur Buck.

Connaissant les régimes de fonctionnement du Buck, nous pouvons maintenant nous intéresser aux types de contrôle employés avec les régulateurs Buck et comparer leurs performances de régulation dynamique (réponse aux transitoires principalement) et statique (charge constante).

2.1.2. Mécanismes de contrôle des convertisseurs Buck

A chaque valeur de (V_{out}, V_{in}) correspond un rapport cyclique δ (Equation 3). Cependant, l'Equation 3 se base sur l'hypothèse que les DDP $V_{in} - V_{out}$ (HS passant) ou $-V_{out}$ (LS passant) est appliquée aux bornes de l'inductance. En réalité, les dispositifs utilisés dans les étages de puissance du convertisseur Buck (MOSFET, inductance et condensateur) intègrent des éléments résistifs parasites (Figure 2-8). L'Equation 1 devient alors :

$$\Delta i_L = \int_0^{\delta T_{SW}} \frac{V_L}{L} dt = \frac{V_{in} - (R_{on}(HS) + R_L)\bar{i}_L - V_{out}}{L} \delta T_{SW} \text{ pendant le "mode passant" et}$$

$$\Delta i_L = \int_{\delta T_{SW}}^{T_{SW}} \frac{V_L}{L} dt = \frac{-(R_{on}(LS) + R_L)\bar{i}_L - V_{out}}{L} (1 - \delta) T_{SW} \text{ pendant le "mode bloqué".}$$

Additionner les deux expressions précédentes pour une opération en régime statique conduit à :

$$\frac{V_{in} - (R_{on}(HS) + R_L)\bar{i}_L - V_{out}}{L} \delta T_{SW} + \left(\frac{-(R_{on}(LS) + R_L)\bar{i}_L - V_{out}}{L} (1 - \delta) T_{SW} \right) = 0$$

En supposant que $R_{on}(HS) = R_{on}(LS) = R_{on}$, on obtient

$$\frac{\delta V_{in} - (R_{on} + R_L)\bar{i}_L - V_{out}}{L} = 0, \text{ et puisque } \bar{i}_L = I_{LOAD}, \text{ alors}$$

$$\delta V_{in} - (R_{on} + R_L)I_{LOAD} = V_{out}$$

Equation 7

$$\rightarrow \delta = \frac{V_{out} + (R_{on} + R_L)I_{LOAD}}{V_{in}}$$

L'Equation 7 montre une dépendance entre le rapport cyclique, le courant de charge et les pertes* ; ce qui signifie que si la charge varie, le rapport cyclique de (V_{hs}, V_{ls}) doit changer en conséquence. Si le rapport cyclique n'est pas ajusté par rapport à la charge, la tension de sortie déviara de sa valeur ciblée.

* Les pertes ne sont en réalité pas que résistives. Des pertes additionnelles de conduction (perte de transition, pertes dans la diode de substrat) contribuent.

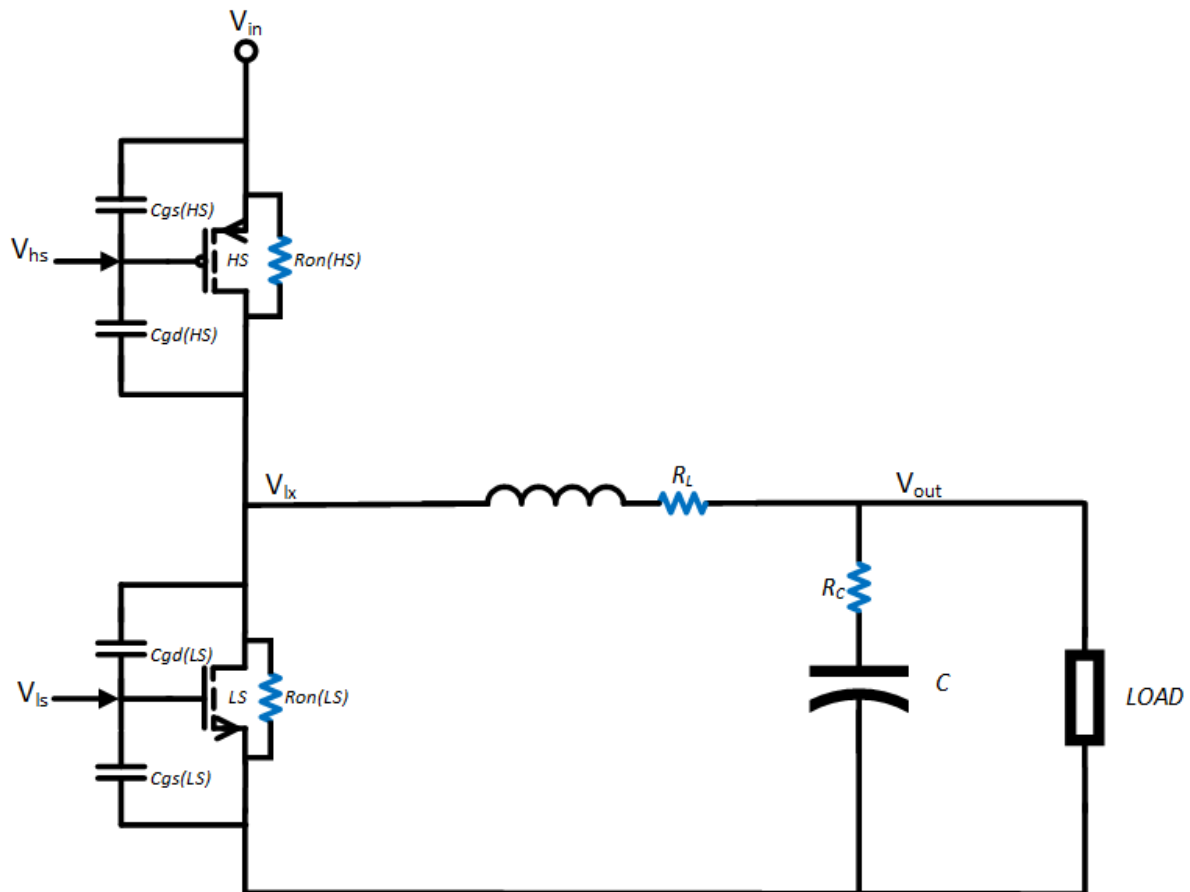


Figure 2-8: Éléments parasites associés au convertisseur Buck

L'utilisation d'une boucle de contre-réaction maintient automatiquement une tension de sortie précise indépendamment des variations de la tension d'entrée et des conditions de charge. Par conséquent, l'impact de la variation de charge sur la tension de sortie dépend principalement de la rétroaction (ou contrôle) adoptée.

On distingue deux approches principales présentées par la littérature :

- ✓ **Contrôle linéaire du rapport cyclique basé sur une compensation Proportionnelle Intégrale Dérivée (PID)** [7], [8], [28], [29], [30], [31]. Plusieurs travaux ont basé leur stratégie de contrôle sur un contrôle en tension utilisant une compensation de type PI (ou type II). D'autres travaux (recherchant une bande passante plus élevée) ajoutent la fonction dérivée par l'addition d'un zéro au contrôle PI, formant le PID (ou type III) ou par l'utilisation de la deuxième boucle basée sur un contrôle en courant [10], [32].
- ✓ **Contrôles non linéaires** tels que le contrôle V^2 [33], le contrôle hystérétique [20], [34], le contrôle de mode glissant « Sliding mode control » ou encore le contrôle aux limites « Boundary control ». Le plus utilisé est le contrôle hystérétique qui peut être réalisé soit par détection de tension ou détection de courant.

2.1.2.1. Contrôle linéaire basé sur compensation PID

Comme nous l'avons mentionné précédemment, le contrôle linéaire peut être soit un contrôle en tension utilisant une seule boucle d'asservissement pour corriger le rapport cyclique, ou un contrôle en courant qui rajoute une boucle de détection de courant au contrôle en tension, pour les combiner ensuite. Nous décrivons les deux mécanismes ci-dessous.

2.1.2.1.1. Le contrôle en tension

La boucle d'asservissement en tension est appelée contrôle en tension lorsqu'elle est appliquée aux régulateurs Buck. Le contrôle en tension (VMC) est largement utilisé parce qu'il est facile à concevoir et à mettre en œuvre et a une bonne immunité aux perturbations en entrée [35]. Il ne contient qu'une seule boucle de rétroaction basée sur la tension de sortie.

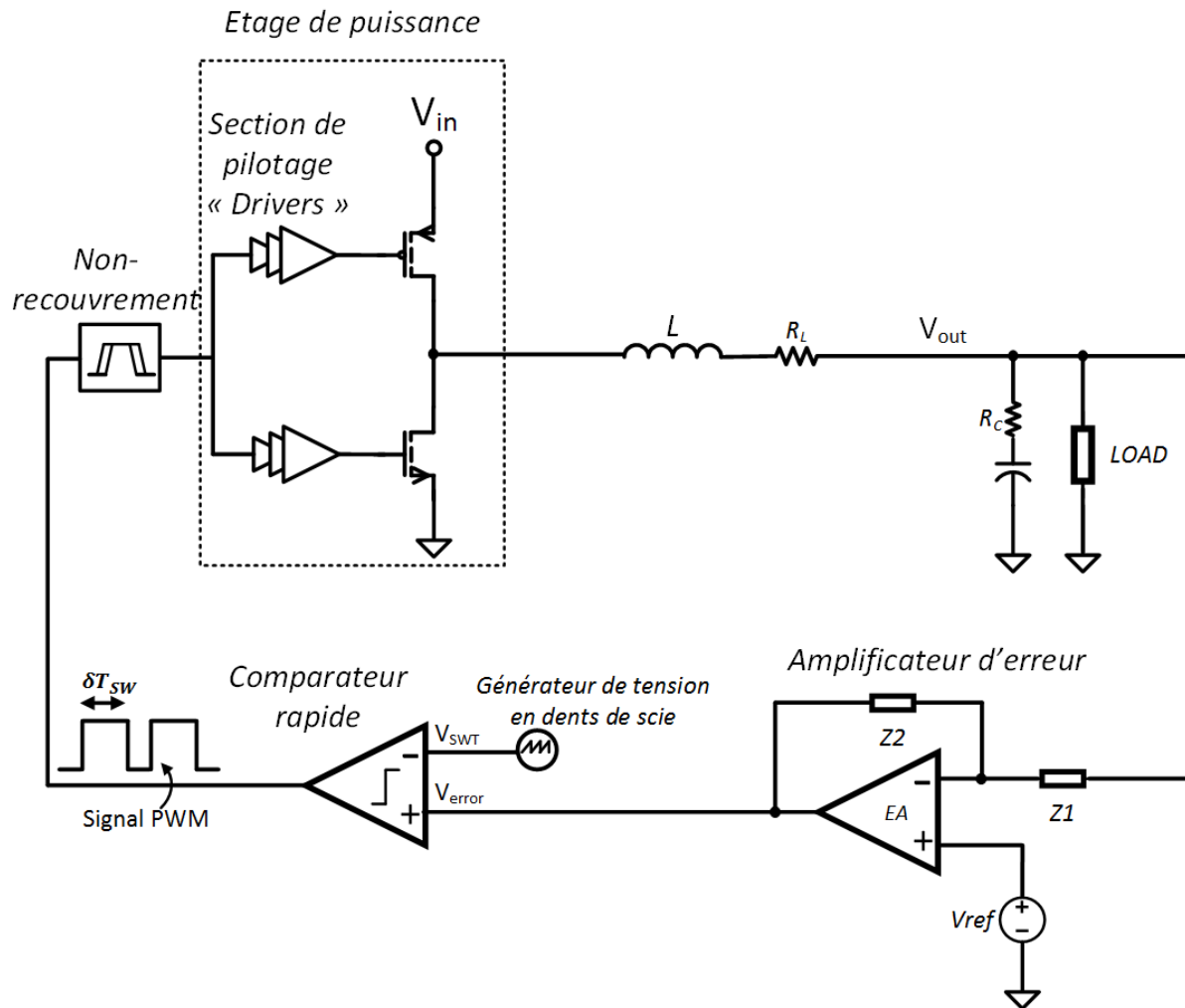


Figure 2-9: Diagramme du contrôle en tension

La Figure 2-9 montre le diagramme d'un convertisseur Buck synchrone utilisant le contrôle en tension. La tension de sortie du convertisseur est envoyée à la rétroaction* et est appliquée directement à l'amplificateur d'erreur. L'amplificateur d'erreur compare cette tension à une référence V_{ref} , et l'erreur résultante est amplifiée et appliquée au comparateur. L'amplificateur d'erreur est également le bloc à concevoir de manière que la boucle soit stable (c.-à-d. augmenter la marge de phase (PM) et la marge de gain (GM)). Ensuite, l'erreur de tension est comparée à un signal en dents de scie (qui définit la fréquence de commutation) pour produire une modulation de largeur d'impulsion (signal PWM).

Dès que le signal PWM est disponible, il est appliqué au circuit de non-recouvrement. Le circuit de non-recouvrement produira alors les deux signaux déphasés à appliquer à la section de « drivers », puis aux transistors de puissance. Le temps mort entre ces deux signaux permet d'éviter une conduite simultanée de courant entre les deux transistors de puissance HS et LS et par conséquent, un chemin de court-circuit de l'alimentation à la masse. Notons que le générateur de signaux non recouverts n'est pas spécifique au contrôle présenté mais est général à tout convertisseur Buck.

* Un diviseur résistif peut être utilisé pour réduire le niveau de tension de sortie avant l'amplificateur d'erreur

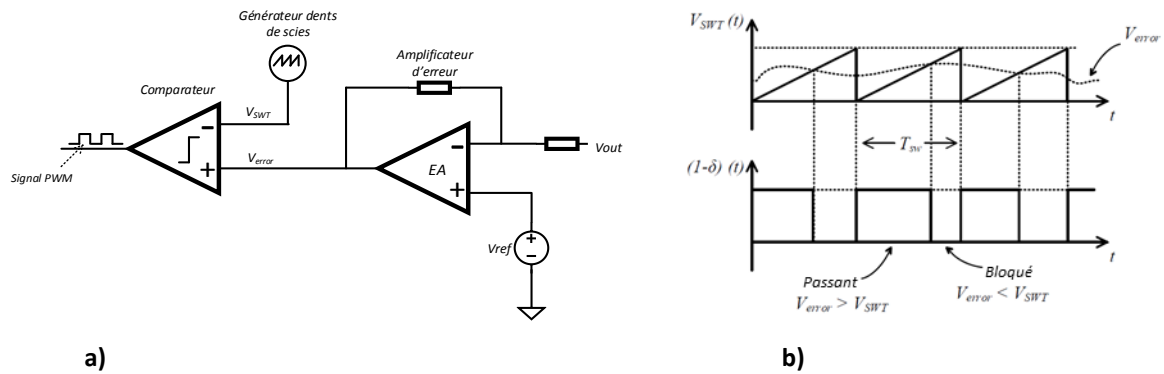


Figure 2-10: Schéma général de PWM compensée et forme d'onde PWM

Une vue détaillée de la génération de PWM est montrée dans la Figure 2-10. Comme on peut le voir en Figure 2-10-a, le signal PWM est créé par comparaison de la tension d'erreur sortie de l'amplificateur d'erreur, à une tension en dents de scie, résultant en une onde carrée (signal PWM) avec un rapport cyclique dépendant de l'erreur. Le signal carré partage la même fréquence que la tension en dents de scie (Figure 2-10-b). L'amplificateur d'erreur est basé sur un amplificateur opérationnel avec un réseau de compensation qui soustrait la tension de référence V_{ref} à la tension de sortie V_{out} .

Décrit dans la Figure 2-10-b, lorsque la tension de sortie monte au-dessus de la tension de référence, le PWM réduira le rapport cyclique en maintenant le transistor LS fermé pendant une portion de temps de la période de commutation ; par conséquent la durée du mode bloqué augmente. Inversement, lorsque la tension de sortie se retrouve en-dessous de la tension de référence, le PWM augmentera le rapport cyclique en maintenant l'interrupteur HS fermé, sur une portion de temps de la période de commutation ; augmentant ainsi la durée du mode passant. Les formes d'ondes non recouvrées, sont présentées en Figure 2-11. Les deux signaux doivent être générés de manière complémentaire afin qu'un temps mort bien contrôlé puisse être obtenu.

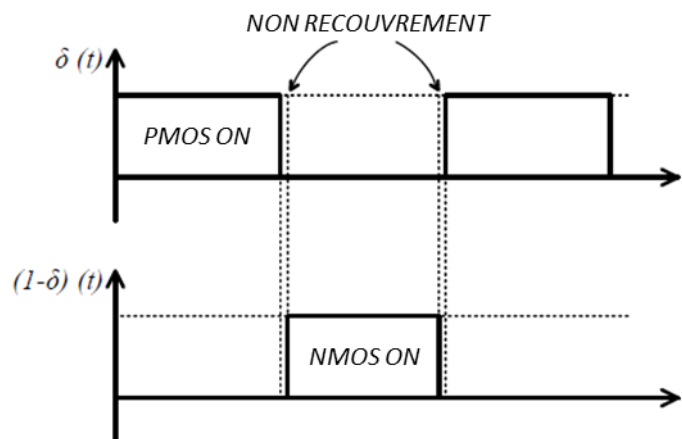


Figure 2-11: Signaux non recouverts allant aux grilles de HS et LS de la Figure 2-9

Pendant ce temps mort, les deux transistors sont censés être ouverts ; et parce que l'inductance doit maintenir la circulation de son courant, la diode substrat associée au transistor LS devient passante (Figure 2-12). Alors que la diode substrat conduit le courant d'inductance elle induit des pertes supplémentaires dans le régulateur.

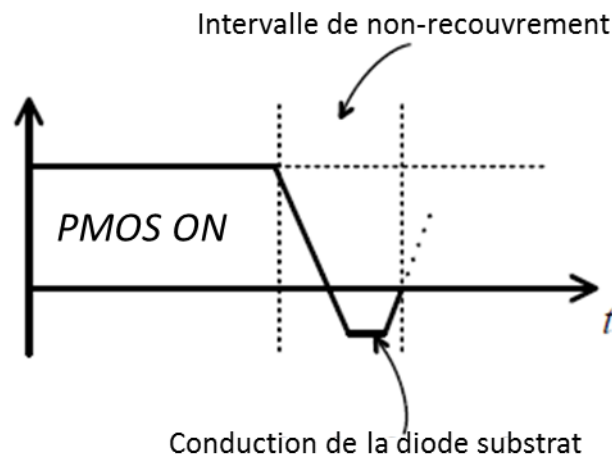


Figure 2-12: Mise en évidence de la conduction de la diode substrat sur le signal V_{LX} (axe des ordonnées)

Comme décrit précédemment, le filtre de sortie est une structure passive de deuxième ordre. Sa fonction de transfert peut être écrite et utilisée dans les calculs de stabilité. La Figure 2-13 montre la fonction de transfert et le diagramme de Bode du filtre de sortie, en supposant que la charge est une résistance R .

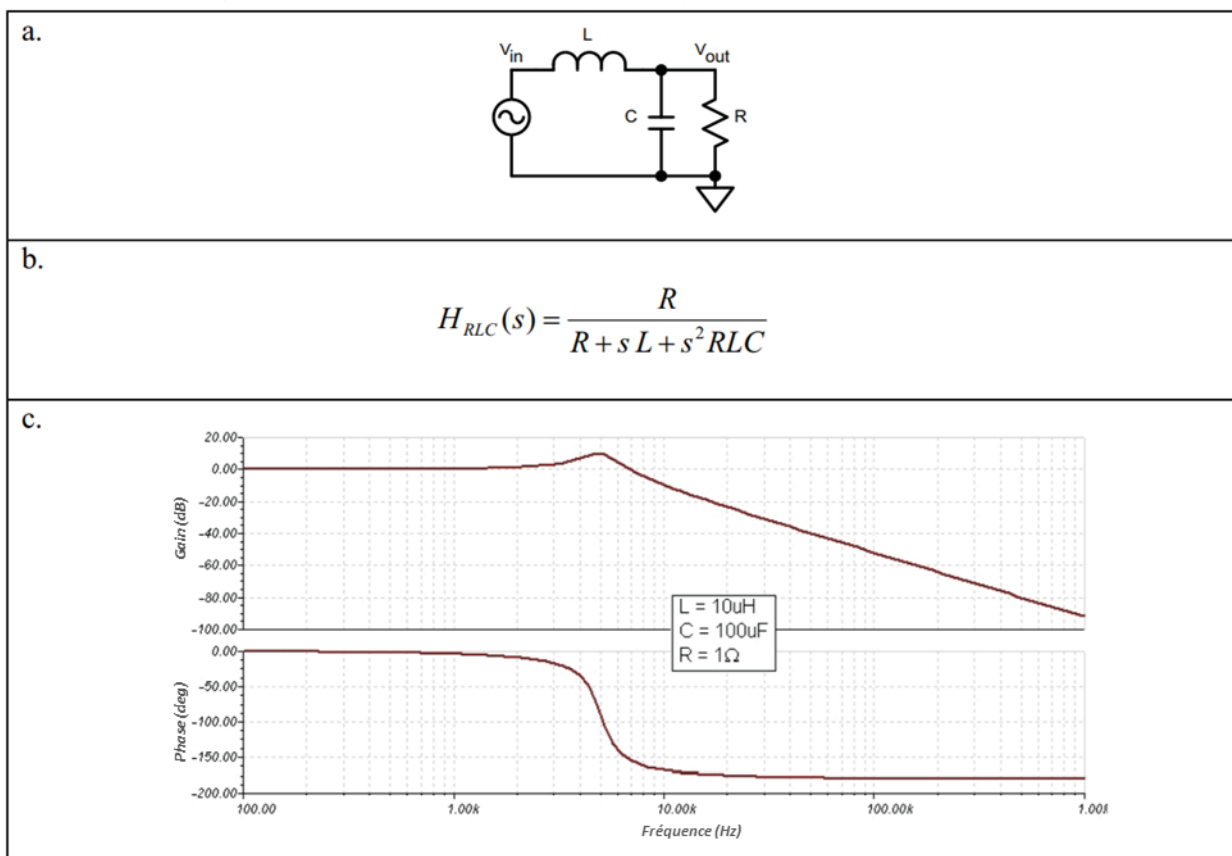


Figure 2-13: Schéma de filtre LC idéal [36] (a), Exemple de fonction de transfert (b), et de diagramme de Bode (c) avec des valeurs prédéfinies (R , L , C)

En réalité, les condensateurs et les inductances incorporent des résistances parasites, qui doivent être incluses pour une analyse plus précise. En ajoutant une résistance série (généralement appelée ESR) à l'inductance et au condensateur de sortie, une fonction de transfert plus précise et un diagramme de Bode est obtenu. Ainsi, la Figure 2-13 donne naissance à la Figure 2-14. L'addition principale de ces composants parasites

est l'apparition d'un zéro généré par l'ESR du condensateur de découplage. Puisque cet ESR est généralement choisi pour être petit, le zéro se produit à haute fréquence (par rapport aux pôles).

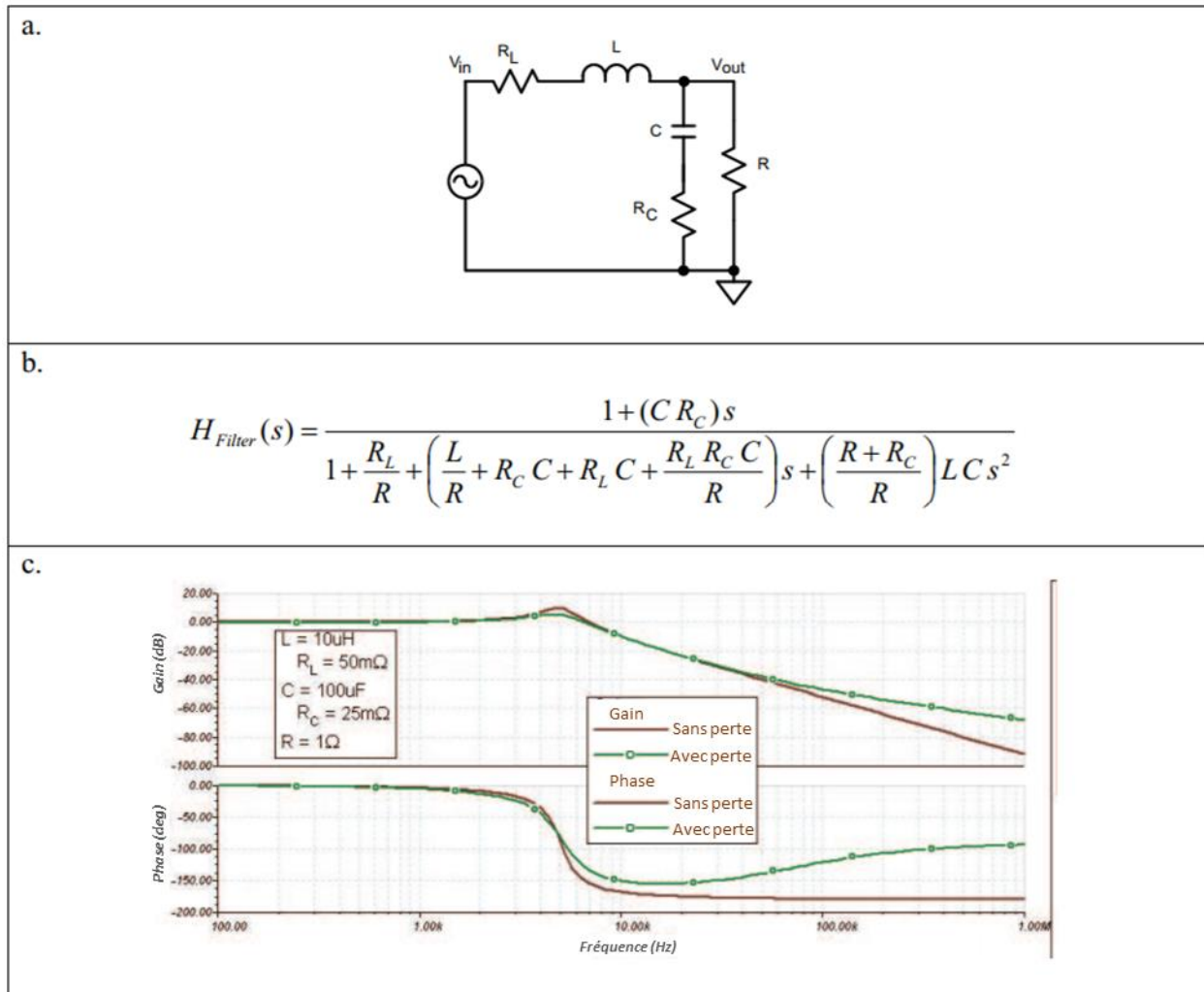


Figure 2-14: Schéma de filtre LC avec pertes [36] (a), Fonction de transfert (b), et diagramme de Bode (c) avec des valeurs prédéfinies (R , L , C)

A partir de la Figure 2-13, nous voyons le filtre LC qui introduit une paire de pôles dans la boucle du convertisseur. Avec l'addition de délais et d'éléments parasites dans la boucle (Figure 2-14), le convertisseur peut facilement être instable. La boucle nécessite donc une certaine compensation pour augmenter la marge de phase et la marge de gain autour de la fréquence où le double pôle est localisé. Ceci est réalisé en insérant un réseau de compensation, dans l'amplificateur d'erreur pour façonner le gain et la phase de la boucle fermée de sorte que la marge de phase et la fréquence de coupure souhaitées (f_c) soient obtenues. En règle générale, il est souhaité que le système compensé possède une marge de phase égale ou supérieure à 45 degrés et une pente de 20dB/décade à la fréquence de gain unité. Il existe donc un compromis entre la fréquence de coupure, la stabilité du système et la réponse de boucle. Avec une marge de phase élevée, le convertisseur, bien que stable, serait lent alors qu'une faible marge de phase pourrait rendre la réponse du système plus rapide en raison de l'augmentation de la fréquence de coupure, bien que potentiellement instable et avec des oscillations sur la tension de sortie. En pratique, la fréquence de coupure est limitée à des valeurs cinq à dix fois inférieures à la fréquence de commutation et, dans la plupart des cas, un réseau de compensation de type II ou de type III compensera correctement le système.

2.1.2.1.1.1. Réseau de compensation de type II ou PI

Le réseau de type II aide à façonner le profil du gain par rapport à la fréquence et donne un boost de 90 ° à la phase. Ce boost est nécessaire pour contrecarrer les effets du filtre de sortie résonant avec le double pôle. La Figure 2-15 montre un circuit de compensation générique de type II.

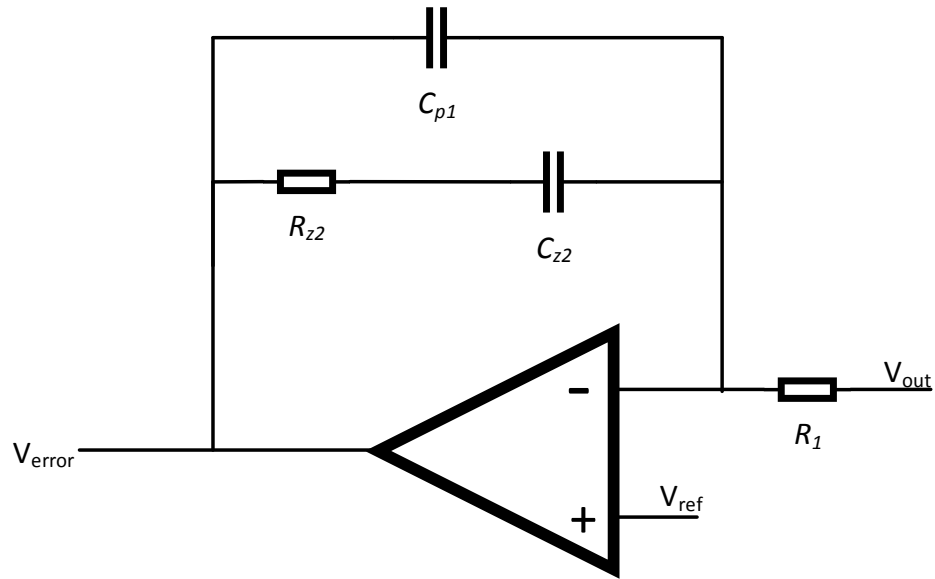


Figure 2-15: Circuit de compensation de type II

La fonction de transfert d'un tel circuit s'écrit :

Equation 8

$$G_{type II} = \frac{1}{R_1 C_{p1}} \cdot \frac{s + \frac{1}{R_{z2} C_{z2}}}{s + \frac{C_{p1} + C_{z2}}{R_{z2} C_{z2} C_{p1}}}$$

Et le diagramme de Bode est représenté dans Figure 2-16:

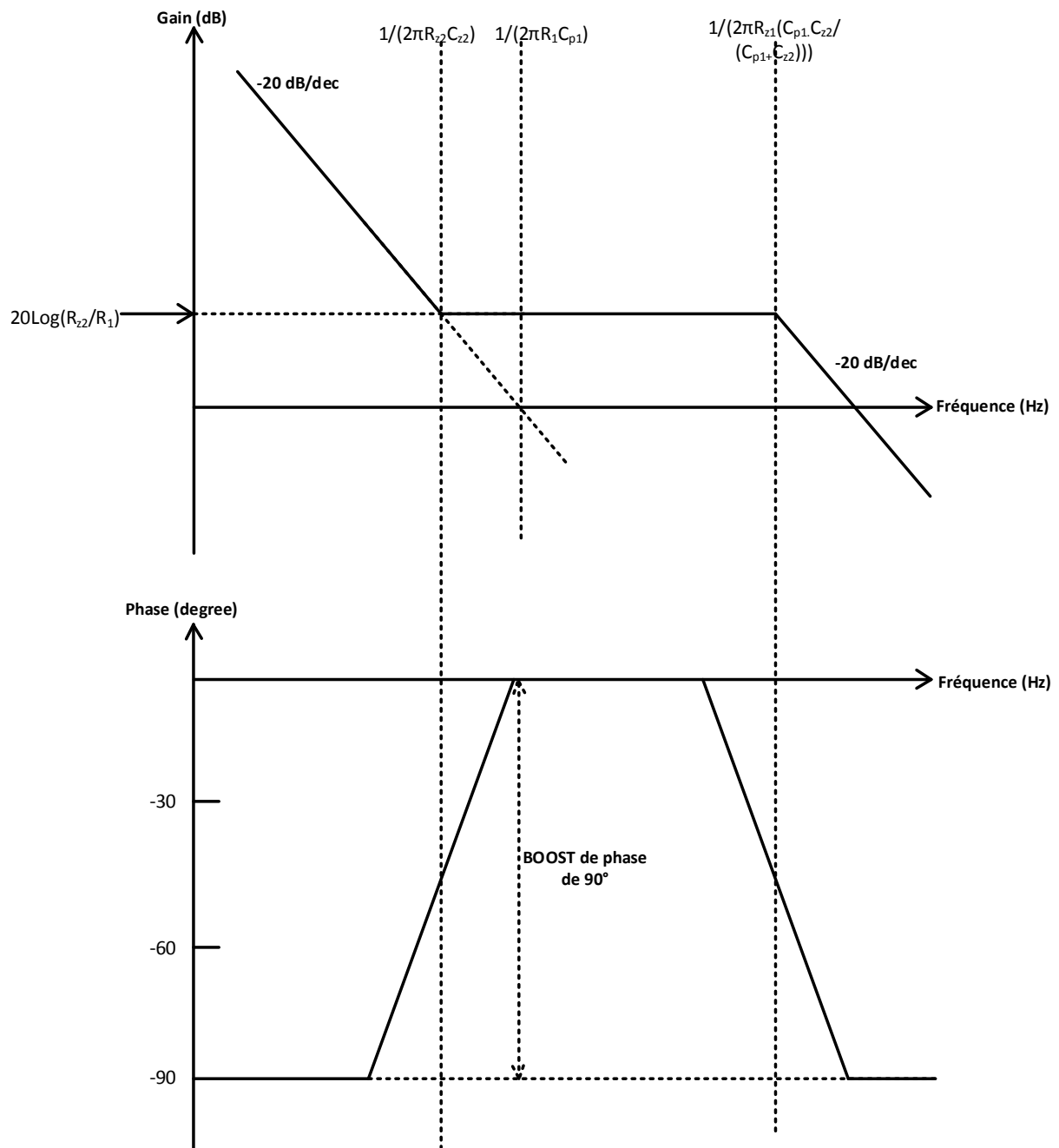


Figure 2-16: Diagramme de Bode d'un type II

Notons que la limite supérieure pour le gain compensé est déterminée par le gain de boucle ouverte de l'amplificateur d'erreur.

2.1.2.1.1.2. Réseau de compensation de type III ou PID

Le profil du gain du réseau de type III est similaire au type II excepté le fait qu'il utilise deux zéros pour donner un boost de phase de 180°. Ce boost est nécessaire pour contrecarrer les effets d'une résonance sous-amortie du filtre de sortie au double pôle. Le circuit de compensation de type III a deux pôles, deux zéros et un pôle à son origine fournissant une fonction d'intégration pour une meilleure précision DC. La sélection optimale du circuit de compensation dépend de la réponse en fréquence de l'étage de puissance. La Figure 2-17 décrit le circuit générique de compensation de type III et sa réponse en fréquence est partagée en Figure 2-18.

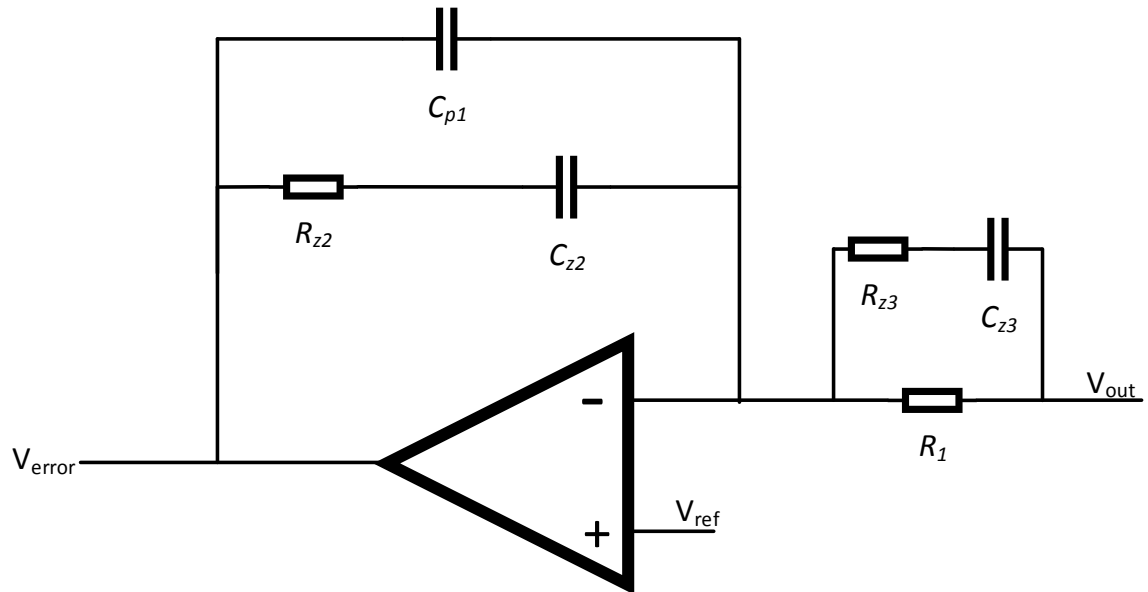


Figure 2-17: Circuit de compensation de type III

La fonction de transfert résultante peut être exprimée comme suit :

Equation 9

$$G_{type\ III} = \frac{R_1 + R_{z3}}{R_1 R_{z3} C_{p1}} \cdot \frac{(s + \frac{1}{R_{z2} C_{z2}})(s + \frac{1}{(R_1 + R_{z3}) C_{z3}})}{(s + \frac{C_{p1} + C_{z2}}{R_{z2} C_{z2} C_{p1}})(s + \frac{1}{R_{z3} C_{z3}})}$$

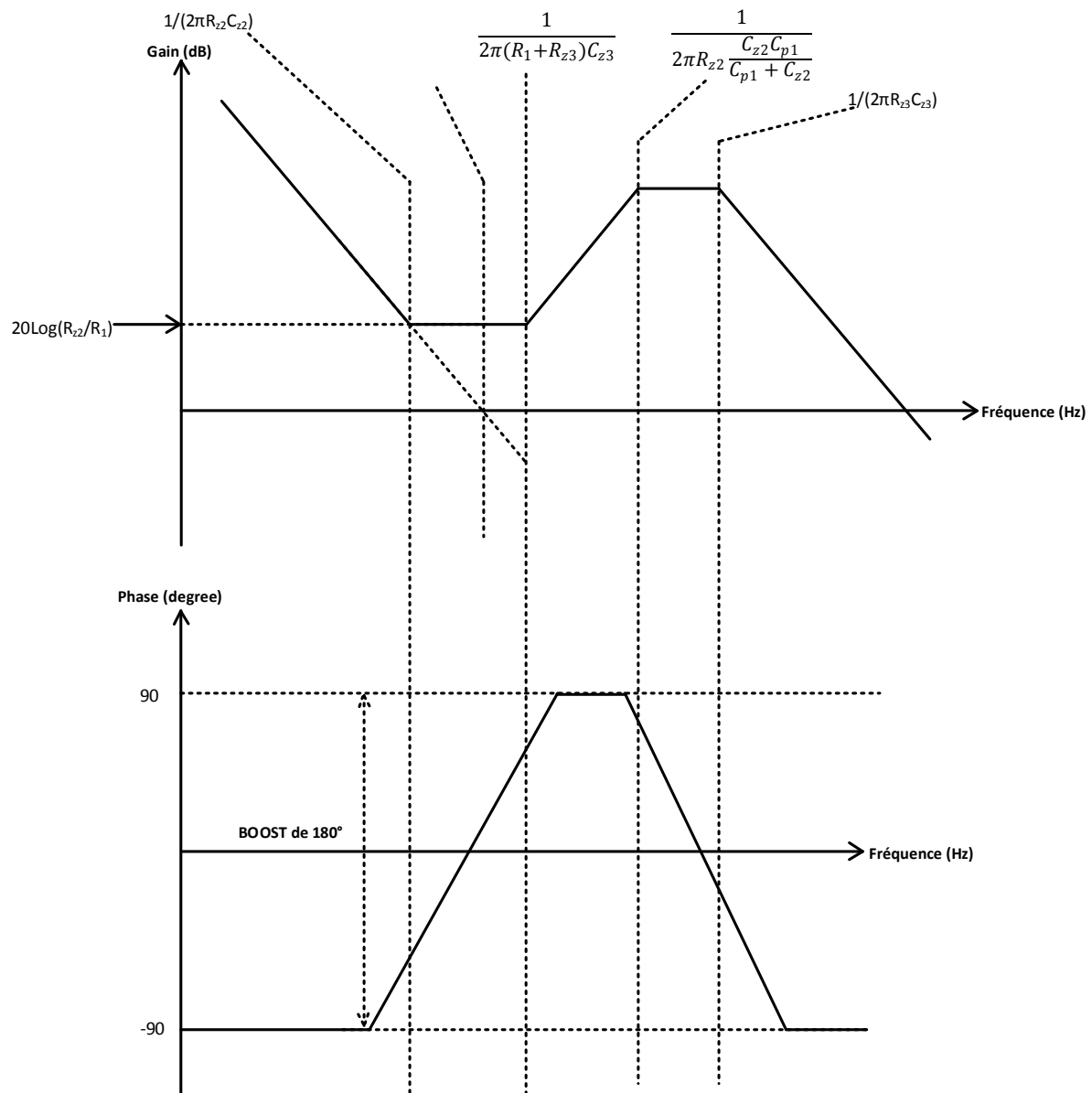


Figure 2-18: Diagramme de Bode d'un type III

En fin de compte, le contrôle en tension dépend de la bande passante réalisable par l'amplificateur d'erreur. Cela rend le portage de ce contrôle linéaire difficile car une bande passante plus élevée implique une consommation de courant élevée et ne peut d'ailleurs pas être garantie selon la technologie utilisée.

2.1.2.1.2. Le contrôle en courant

Un autre mécanisme de contrôle qui est largement utilisé pour les convertisseurs Buck est le contrôle en courant ou plus précisément le contrôle de courant crête/vallée*. Le courant d'inductance est utilisé comme état de rétroaction. On montre en Figure 2-19, un schéma du bloc de la rétroaction du mode courant. La rétroaction du courant remplace le générateur de tension en dents de scie. Dans une telle architecture, l'état du courant d'inductance est naturellement échantillonné par le comparateur PWM. La boucle de tension externe contient un amplificateur d'erreur (EA) basé sur un amplificateur de transconductance (OTA), avec le bloc de compensation composé des impédances Z_1 et Z_2 (typiquement de type II [10]). Un signal d'erreur compensé apparaît à la sortie de l'EA et fournit ainsi le signal de référence pour la boucle de courant interne. La boucle de courant convertit l'inductance en une source de courant quasi-idéale contrôlée par la tension : un moyen par lequel l'inductance est retirée de la dynamique de la boucle extérieure, du moins à DC et basses fréquences.

* Originellement en anglais « peak/valley current mode control »

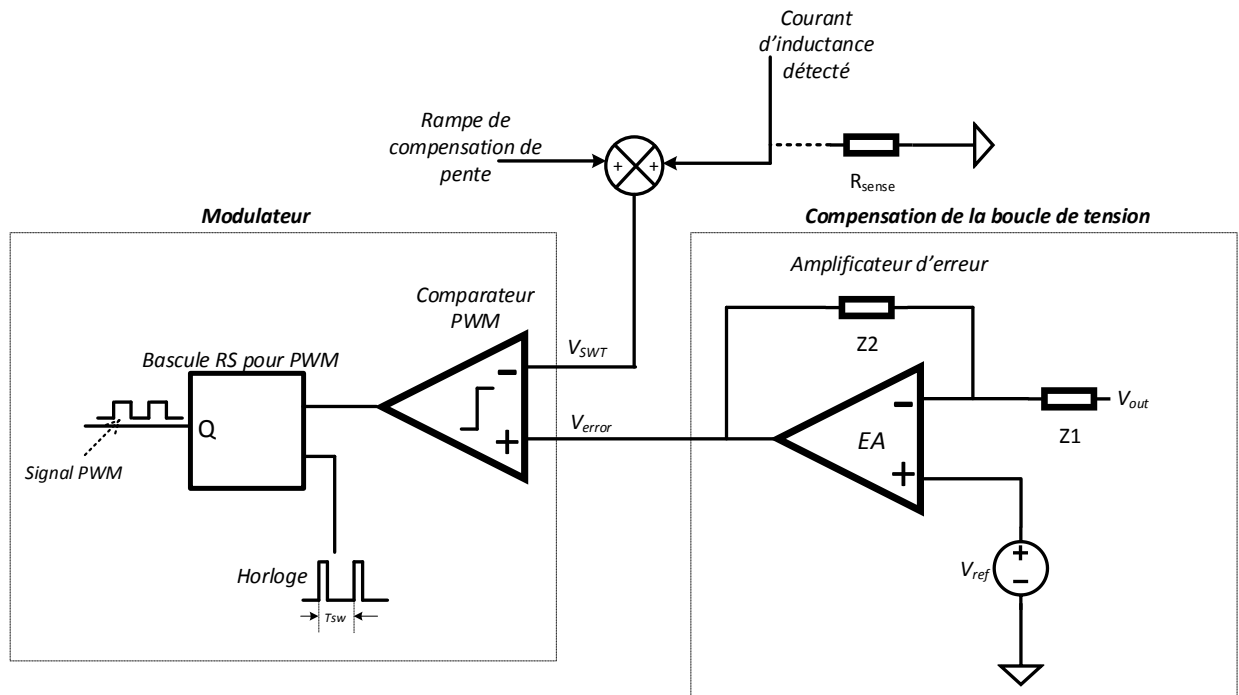
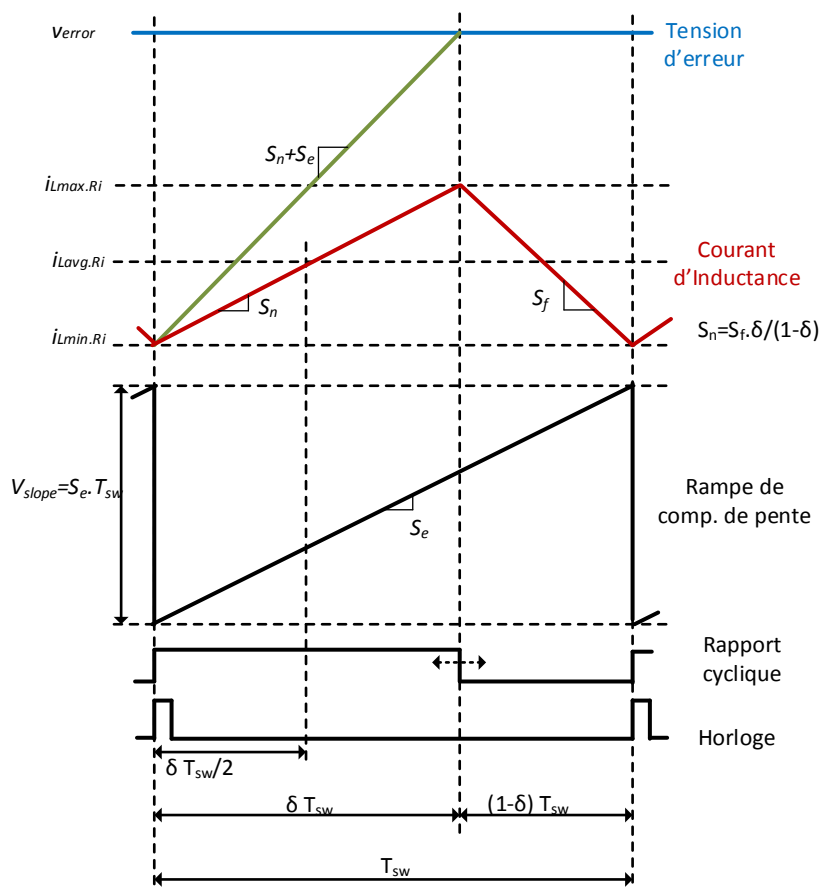
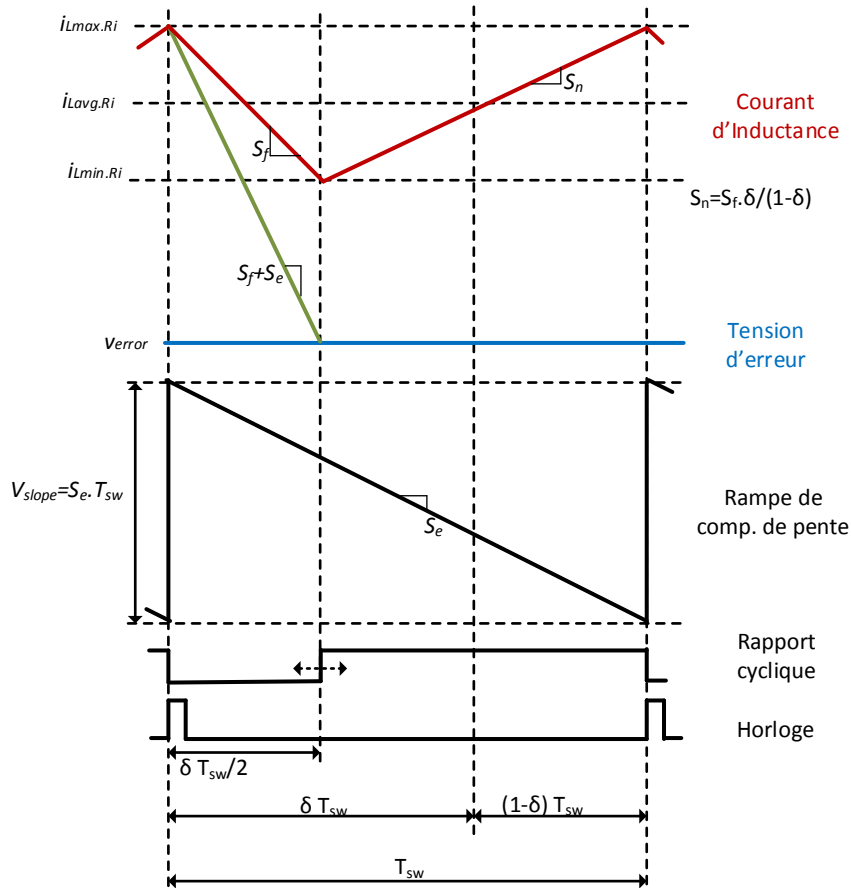


Figure 2-19: Diagramme de contrôle en courant



$$V_{error} = i_{Lavg}R_i + 0.5S_n\delta T_{sw} + \delta V_{slope}$$

Figure 2-20: Signaux du modulateur (ou contrôle) pendant la charge de la self



$$V_{error} = i_{Lavg}R_i - 0.5S_f(1 - \delta)T_{SW} - (1 - \delta)V_{slope}$$

Figure 2-21: Signaux du modulateur pendant la décharge en courant de la self

Le schéma en Figure 2-19 positionne le capteur de courant après l'inductance. Sa mise en œuvre est réalisée soit par utilisation d'une résistance de shunt discrète, ou en utilisant la résistance d'un MOSFET passant ou encore le DCR de l'inductance [32]. Dans tous les cas on désignera la résistance utilisée pour la détection par R_{sense} . Dans le cas où un amplificateur est utilisé après détection, on notera G_i , le gain de cet amplificateur. Ainsi, l'amplification totale effectuée par le détecteur de courant est $R_i = G_i \times R_{sense}$.

Un convertisseur de mode courant ne se réfère idéalement qu'à la valeur DC, ou la valeur moyenne du courant d'inductance. En pratique, une erreur de courant d'inductance (courant échantillonné par le détecteur versus valeur moyenne du courant) existe. Une telle erreur se manifeste en tant qu'oscillation subharmonique de la boucle de courant, à des valeurs de rapport cyclique supérieures à 50% pour une détection de valeur crête maximale et inférieures à 50% pour une détection de valeur crête minimale. La compensation de pente est une technique bien connue et largement utilisée, consistant à ajouter une rampe au courant échantillonné, pour éviter le risque d'oscillation subharmonique. Les Figure 2-20 et Figure 2-21 montrent comment est généré le courant d'inductance sur une période, respectivement en utilisant la détection courant crête maximal et en utilisant la détection courant crête minimal. Une horloge est utilisée pour synchroniser la PWM en activant le transistor HS dans le cas de détection crête maximale et le transistor LS pour la détection crête minimale. Dans le cas de la Figure 2-20 par exemple, alors que le courant d'inductance augmente, une rampe de tension à pente positive est ajoutée au courant détecté $R_i \times i_L$. Une commande d'arrêt est ensuite envoyée dès que la combinaison du courant d'inductance détecté et de la rampe de compensation de pente atteint le niveau de la tension d'erreur. A ce moment on a donc $V_{error} = R_i i_{Lmin} + (S_e + S_n) \times \delta \times T_{SW} = R_i i_{Lavg} + 0.5S_n \times \delta \times T_{SW} + \delta V_{slope}$, en se basant sur les notations de la Figure 2-20. S_e est la pente externe de la rampe de compensation alors que S_n et S_f sont les pentes respectivement, en mode passant et bloqué du courant détecté.

* En réalité, il s'agit d'une tension image du courant d'inductance $R_i \times i_L$, R_i représentant le détecteur de courant.

De façon similaire, la Figure 2-21 montre les formes d'onde et timing équivalents du mode courant basé sur une détection de valeur crête minimale. Une analyse similaire à celle de la détection de valeur crête maximale permet d'obtenir la relation sur la Figure 2-21.

2.1.2.2. Contrôle non linéaire hystérétique

Qu'il s'agisse du mode glissant (SM), ou du mode hystérésis de tension/courant, les contrôles de rétroaction non linéaires sont généralement basés sur une modulation par hystérésis. Les contrôleurs à hystérésis sont souvent présentés comme le meilleur type de contrôle pour les exigences en réponse aux transitoires, car ils présentent un délai minimum de boucle. Malheureusement, le comportement en boucle fermée est particulièrement difficile à prédire pour ces contrôleurs non linéaires et la synchronisation hasardeuse des phases produit une réponse de large-signal sous-amortie. Par conséquent, quelques travaux ont proposé des alternatives aux contrôles d'hystérésis purs, permettant d'éviter les problèmes qui y sont liés, tout en profitant de leurs performances transitoires.

✓ Contrôle hystérétique basé sur modulateur PWM asynchrone :

Afin de mieux contrôler la réponse larges signaux tout en profitant des avantages du contrôle hystérétique, certains travaux antérieurs [14], [20], [25] combinent un modulateur PWM sans bascule verrou, à la rétroaction non linéaire, comme décrit en Figure 2-22. La tension de rétroaction V_{fb} est une superposition de la tension V_{Lx} à basses fréquences et la tension de sortie V_{out} à hautes fréquences. V_{fb} est comparée à un signal en dents de scie pour générer un rapport cyclique. Même si une réaction rapide peut être obtenue pendant les événements transitoires de charge, le besoin de filtre $R_{FB}C_{FB}$ ajoute un délai à la boucle. En plus de cela, les inexactitudes dues aux valeurs de R_{FB} et C_{FB} forcent à rajouter suffisamment de marge pour éviter tout comportement problématique. Cela crée un large décalage de tension de sortie en fonction de la charge et par conséquent une mauvaise régulation de charge en statique.

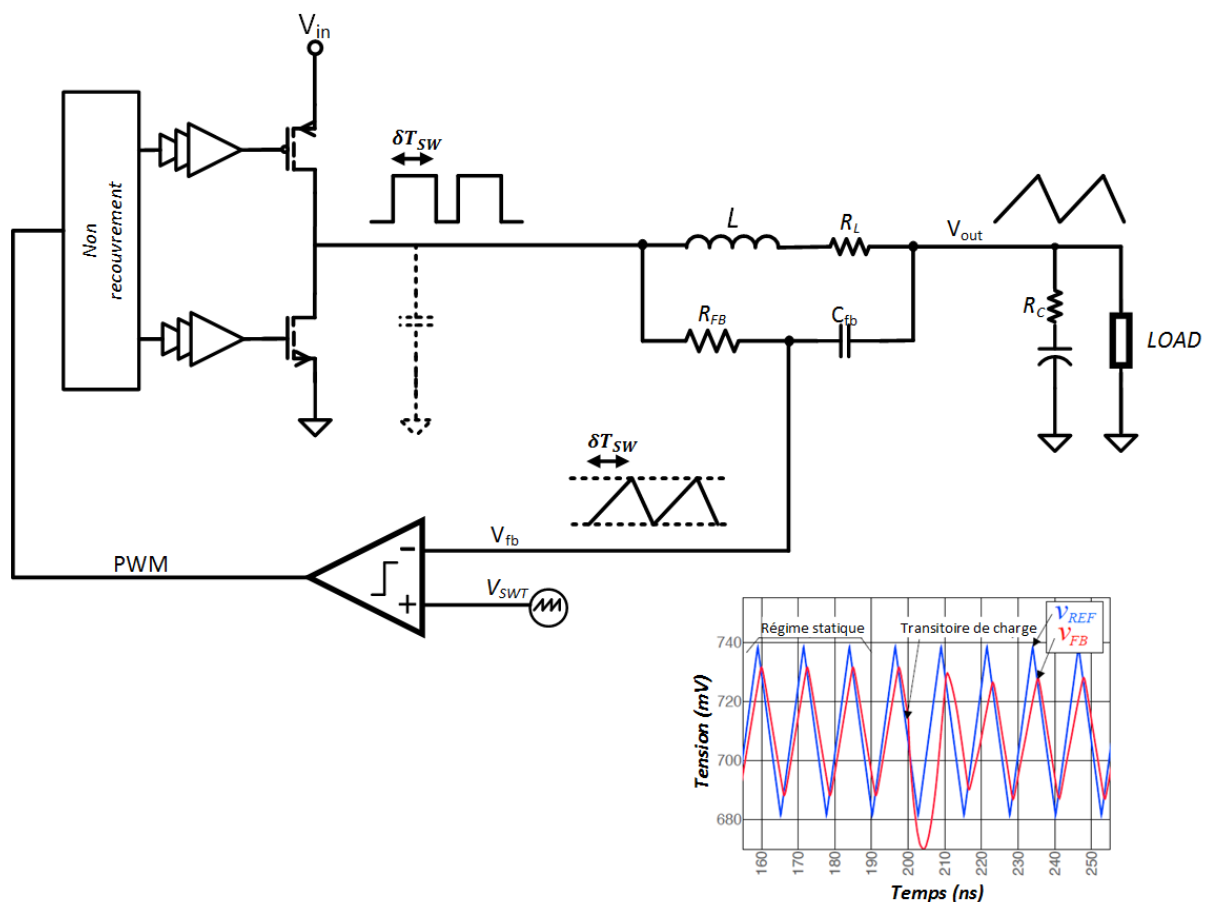


Figure 2-22: Diagramme de convertisseur Buck à base de PWM asynchrone en hystérétique

✓ Contrôle hystérétique basé sur train d'impulsions

Jin Sha et al [37] ont introduit une approche différente à l'utilisation d'une rétroaction hystérétique à fréquence contrôlée. L'idée est d'utiliser un train d'impulsions (PT) qui consiste à envoyer des impulsions préprogrammées avec un rapport cyclique prédéterminé, en fonction d'un état de comparaison basé sur la tension de rétroaction.

L'opération est décrite en Figure 2-23 où la tension de sortie est comparée à une tension de référence. Au front montant d'horloge, le comparateur génère un état différent en fonction du résultat de la comparaison. L'État du comparateur est utilisé pour décider quelle impulsion (entre P_H et P_L) est envoyée à l'étage de puissance ; ainsi, un flux d'impulsions $\{P_H, P_L\}$ est filtré par les composants de sortie (L, C) pour générer V_{out} . La réalisation [37] propose également la possibilité de générer les deux impulsions basées sur la détection du courant de capacité en sortie, pour une réponse transitoire améliorée. Cependant, en raison de la grande différence en rapport cyclique possible entre les impulsions générées, l'ondulation de la tension de sortie est élevée en régime statique (centaines de mV selon le délai de boucle).

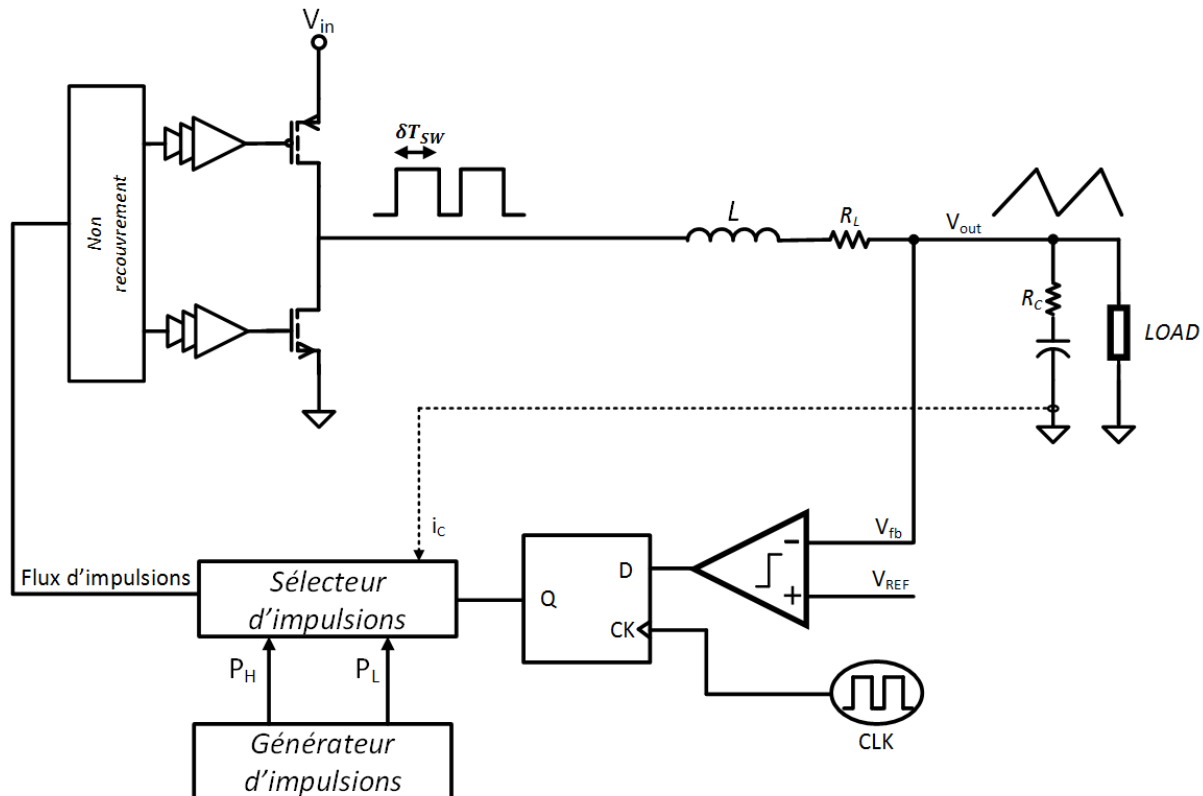


Figure 2-23: Diagramme de convertisseur Buck basé sur la rétroaction à train d'impulsions

2.2. Mécanismes d'amélioration de réponse aux transitoires

De nombreuses techniques ont été explorées dans la littérature, pour améliorer la réponse des convertisseurs aux transitoires de charge. La plupart d'entre elles se sont basées sur une rétroaction linéaire. Nous présenterons celles qui ont prouvé avoir un meilleur comportement dynamique comparés aux contrôles linéaires typiques :

- Estimation dynamique de tension (AVDE) [8]

Nous avons parlé en section 2.1.2.1, des systèmes de compensation PID qui permettent de fournir un gain élevé et une régulation stable au convertisseur de Buck. Il est également mentionné qu'une boucle de courant est parfois ajoutée en parallèle pour obtenir une réponse rapide aux transients*. Cependant, puisque l'addition de la boucle de courant complexifie le problème de conception, les convertisseurs Buck sont généralement basés sur une unique rétroaction de tension. Le contrôle AVDE utilise la tension de retour V_{fb} pour générer deux chemins tension et courant (Figure 2-24). V_{fb} passe par un amplificateur d'erreur et son réseau de compensation (type III dans ce cas) pour générer la tension d'erreur V_{error} . Le second chemin est celui d'une source de courant contrôlée en tension. V_{fb} est dérivée pour générer une image des variations de V_{out} , imitant ainsi le comportement du courant alternatif (AC) de l'inductance. En combinant l'erreur de tension et le

* Transitoires de charge

comportement de cette image de courant, le bloc PWM peut avoir une réponse transitoire semblable à un vrai contrôle en courant.

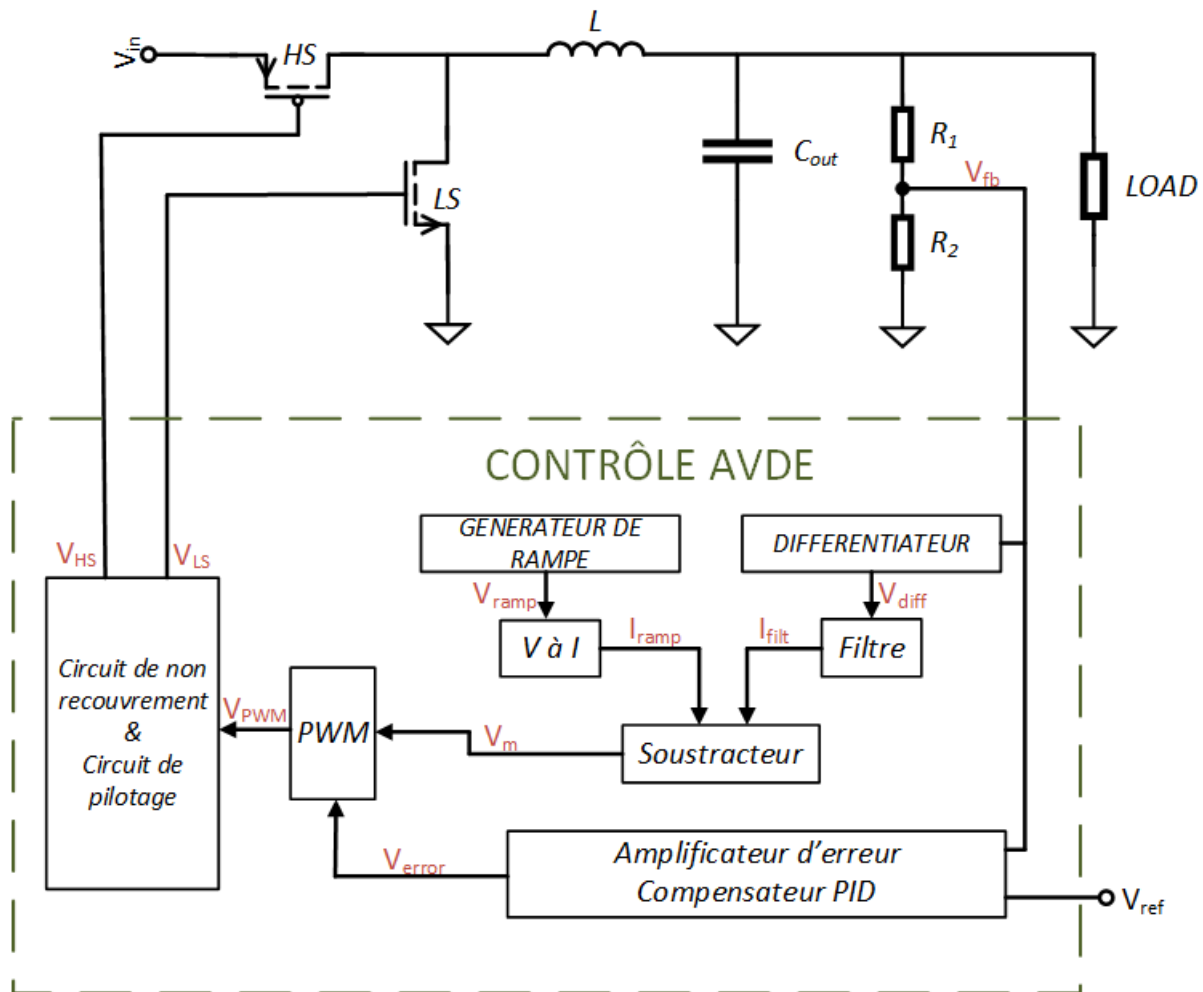


Figure 2-24: Diagramme de Buck basé sur le contrôle AVDE

- Générateur adaptatif de rampe [29] (Figure 2-25)

Afin de réagir plus rapidement aux transients sans altérer le système de compensation de l'amplificateur d'erreur, un générateur de rampe adaptative peut être utilisé. La rampe adaptative est générée à partir d'une comparaison de la tension de rétroaction à un signal en dents de scie. Cette rampe adaptative remplace le générateur de rampe typique utilisé dans une rétroaction de mode de tension. Chaque fois qu'il y a une charge transitoire, la tension de sortie traverse un niveau de référence, puis déclenche soit une augmentation ou une diminution de la tension de rampe en fonction de la surtension de V_{out} . Ce comportement est très similaire au contrôle V^2 étudié par Zhou et al [33]. En contrôlant le carré de la tension d'erreur, le convertisseur réagit plus vite aux petites variations dans la tension de sortie.

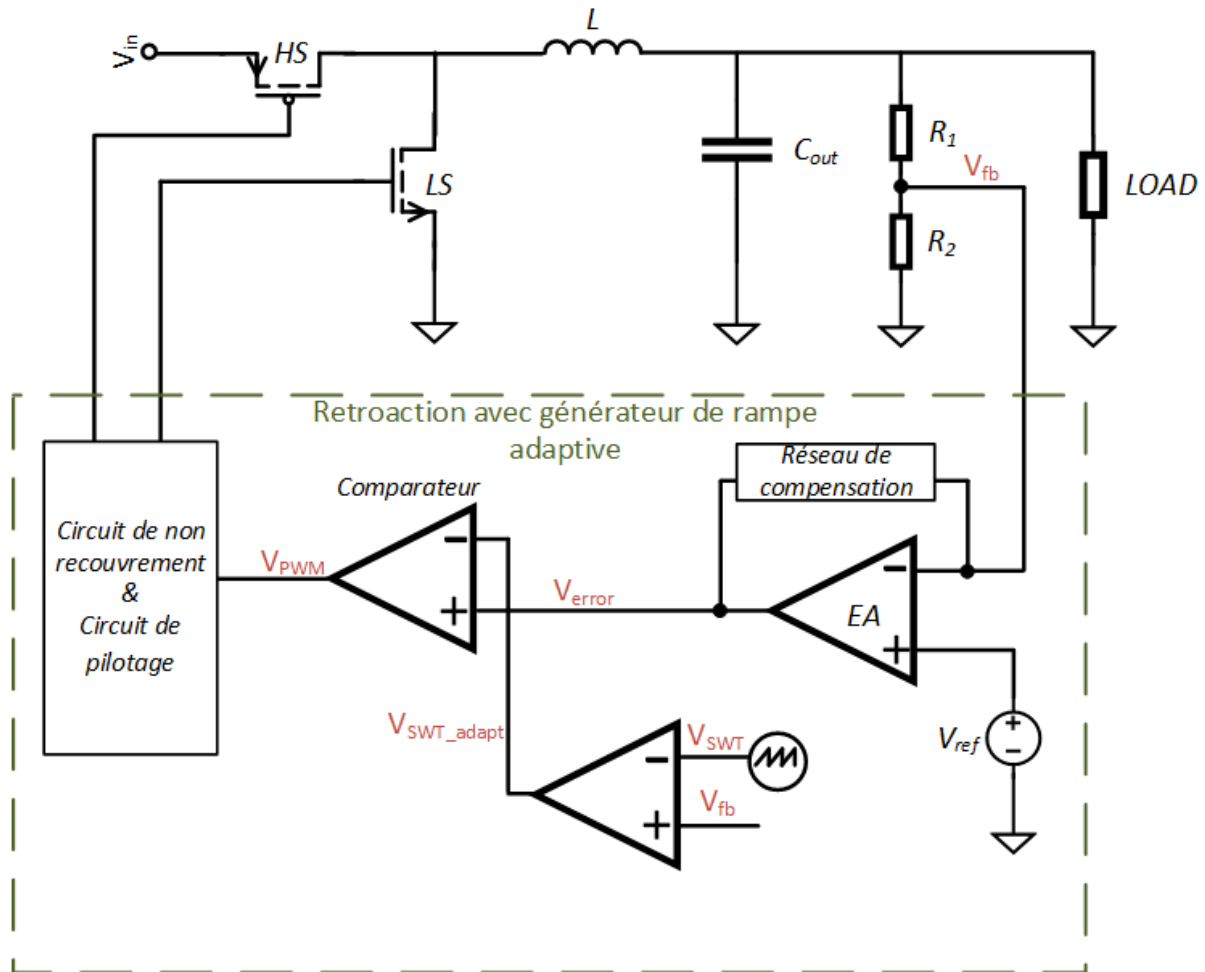


Figure 2-25: Diagramme du générateur de rampe adaptative dans un Buck

2.3. Bilan sur les topologies proposant une bonne réponse aux transients

Le Tableau 2-1 fait un récapitulatif sur les performances de différents convertisseurs Buck employant les techniques de contrôle pré-discutées. Les régulateurs utilisés dans le tableau sont ceux qui proposent des techniques améliorées de réponses aux transitoires. Afin de comparer efficacement les performances transitoires des régulateurs, nous examinons deux critères :

- la variation temporelle de tension (surtension positive et négative) induite pendant les transients ;
- le temps de récupération/réponse (ou durée de surtension) la durée de la variation de tension avant retour à la valeur de référence. Comme les régulateurs ne fonctionnent pas dans les mêmes conditions, nous décidons d'une figure de mérite pour effectuer cette comparaison. La figure de mérite (Equation 10) consiste à combiner le temps de récupération, la fréquence de commutation et l'échelon appliqué à la charge. La réponse est d'autant plus rapide que le facteur de mérite est petit.

Equation 10

$$Performance\ transient = \frac{Temps\ de\ réponse \times Fréquence\ de\ commutation}{Echelon\ de\ courant} \text{ en } \frac{1}{A}$$

Work	[10]	[38]	[37]	[39]	[8]	[40]	[29]	[31]	[7]	[9]
Source (Conf./ Journal)	ASSCC 2015	IFEEC 2017	Industrial Electronics 2015	*Power Elect. 2011	Power Elect. 2015	CICC 2011	ICISSEE 2014	ESSCIRC 2012	Power Elect. 2014	COMPEL 2012
Technologie (μm)	0.35	N/A	N/A	0.35	0.35	0.040	0.18	0.13	0.35	N/A
Vin (V)	2.4 – 3.6	19	20	2.7 – 4.2	3.3	1.5	3.3	2.7 – 4.3	3.3	3
Vout (V)	0.9 – 2.1	1.05	5	0.9	1 – 2.5	0.6 – 1.3	2	1.2	1 – 2.5	N/A
Fsw (MHz)	0.875	0.3	0.02	N/A	1	80	1	10	1	1
Capacité de sortie (μF)	10	330	440	4.7	10	0.023	10	1	N/A	4.7
Echelon de courant (A)	1	†8	4	0.4	0.16	0.6 (4phases)	0.5	0.3	0.2	0.6
Surtension	62mV	50mV (4.7%)	200mV (4%)	87mV (9.6%)	N/A	30mV (3.5%)	131mV (6.5%)	55mV (4.5%)	N/A	N/A
Temps de réponse	4 μs	N/A	250 μs	12 μs	2 μs	700ps	36 μs	1.5 μs	2 μs	15 μs
Performance transient (1/A)	3.5	N/A	1.25	N/A	12.5	37.33	72	50	10	25

Tableau 2-1: Tableau récapitulatif des performances de Bucks en littérature

Parmi les Bucks comparés dans le Tableau 2-1, les meilleures performances transitoires sont obtenues dans les cas suivants :

- Un contrôle de courant amélioré par un boucle de tension compensée en délai (Figure 2-26) et introduit par *Pai-Yi Wang et al* [10]. Le rôle de la boucle de tension compensée en délai (VSC) est de contrer le retard introduit par le système de compensation de l'amplificateur d'erreur. Comme expliqué précédemment, le mécanisme de contrôle en courant implique l'utilisation de 2 boucles de rétroaction, et leurs compensations respectives - compensation de type II ou III pour la boucle de tension et une compensation de pente pour la boucle de courant. L'ajout d'un VSC, peut réduire le lag de la boucle de tension, mais en même temps affecte l'amplificateur d'erreur puisque les niveaux de tension DC dans le bloc de compensation seront corrompus à chaque transitoire. Nous notons que la réalisation du VSC montre une surtension élevée pour un temps de réponse rapide ; de ce fait cette topologie ne satisfait qu'un des critères de performance que nous avons définis.
- L'utilisation d'AVDE [7], [8] présenté précédemment, qui génère un signal de rampe dépendant de la tension de sortie et le compare à la tension d'erreur pour créer le PWM. Cela signifie que la tension de rétroaction V_{fb} montrée en Figure 2-24, est utilisée pour générer deux chemins qui contrôlent les entrées du générateur PWM. Ce mécanisme de contrôle se rapproche du contrôle en courant en termes de complexité d'implémentation, bien que présentant des temps de réponse intéressants.
- Le contrôle à base d'hystérésis présenté dans la section 2.1.2.2 basé sur le train d'impulsions, qui présente la performance transitoire la plus basse du tableau et donc le temps de réponse le plus court pour sa fréquence de commutation. De plus, avec le contrôle hystérétique à base de modulateur PWM asynchrone, il présente la plus petite valeur de surtension (~4%). Ce qui en fait le meilleur contrôle pour les transients, basé sur le Tableau 2-1.

Bien qu'ils présentent des réponses rapides aux transients, la plupart des topologies de convertisseur Buck proposées manquent de simplicité, ce qui en fait un pari non viable pour le portage à des fréquences plus élevées. Le contrôle hystérétique basé sur PT semble montrer les meilleures performances transitoires tout en présentant l'implémentation la plus simple. Cependant, sa réalisation impliquait une détection de courant de condensateur supplémentaire qui introduit encore plus de problématiques de conception.

* Power Electronics

† Estimé à partir des figures de la publication

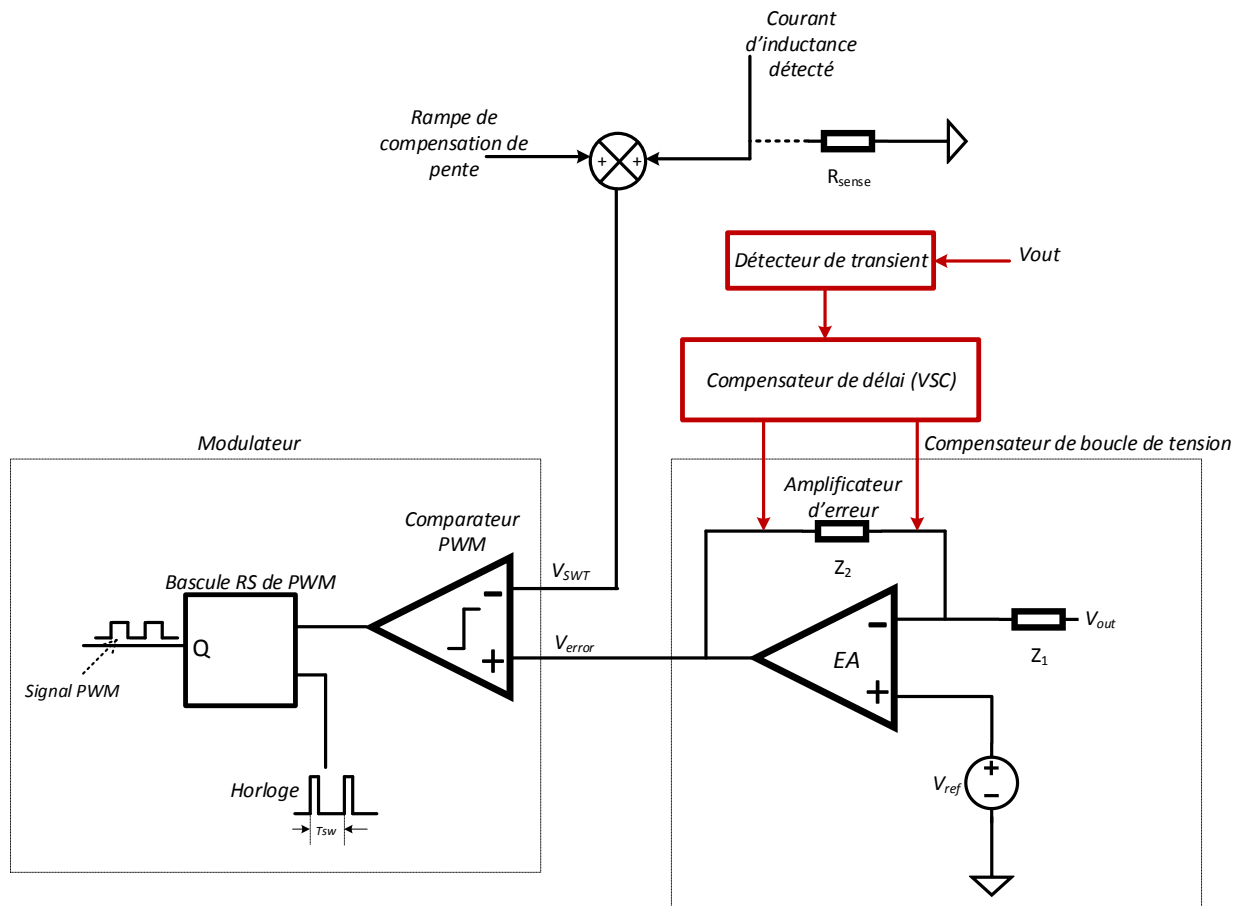


Figure 2-26: Contrôle en courant avec compensation de délai (VSC)

CHAPITRE 3 TOPOLOGIE PROPOSÉE DE RÉGULATEUR BUCK

D'après la discussion menée dans chapitre 2, il apparaît que, puisque le convertisseur Buck est un système de boucle fermée, il doit être stabilisé pour un bon comportement dynamique. Pour assurer cette stabilité, les contrôles de type linéaires ont été largement utilisés. Sauf que ces systèmes de rétroaction intègrent un réseau de compensation qui est à l'origine de délais dans la boucle ; d'où la tendance dans les travaux récents à utiliser des mécanismes pour améliorer la vitesse de réaction du contrôle linéaire, tel que décrit dans la section 2.2 du chapitre 2. Cependant, parce que ces techniques d'amélioration augmentent la complexité du circuit et rendent difficile le portage à hautes fréquences, certains travaux se sont orientés vers les contrôles non linéaires qui présentent souvent des comportements larges signaux non désirés. Pour réduire le problème de régulation en statique, un contrôle à base de train d'impulsions contrôlées fut proposé en technologie 0.35 μm et présente une bonne régulation dynamique pour peu de complexité.

Pour le choix topologique de cette thèse, nous visons deux aspects essentiels. Le premier consiste à utiliser un étage de puissance qui facilite la stabilisation du régulateur en dynamique. Pour cela, nous optons pour une topologie à trois états que nous présentons dans ce chapitre. Le troisième état du VR est ajouté pour supprimer l'un des pôles du filtre de sortie pendant la régulation dynamique, permettant ainsi d'obtenir un convertisseur inconditionnellement stable. Le deuxième aspect consiste à employer le système de rétroaction combinant simplicité du portage à hautes fréquences et meilleure régulation aux transitoires, qui est le contrôle à base d'impulsions noté dans la section 2.3 du chapitre précédent.

Dans ce chapitre, la section 3.1.1 développe la topologie VR choisie et détaille les états associés tandis que la section 3.1.2 discute les problèmes de conception associés au régulateur. La section 3.1.3 présente ensuite la rétroaction employée et étudie les performances dynamiques de la boucle. Un générateur PWM associé au système de rétroaction est décrit dans la section 3.1.4, et enfin les résultats expérimentaux sur une puce d'essai sont présentés dans la section 3.2. Le prototype mesuré montre des valeurs de surtension de 1 à 2% relativement à la tension nominale de sortie pour un bon rendement à 10 MHz, valeurs bien meilleures que les travaux décrits dans le chapitre 2. Cela confirme que la topologie employée représente la meilleure option pour une intégration avec le processeur.

Dans le reste du document, toute référence au « convertisseur trois états » se réfère la topologie proposée.

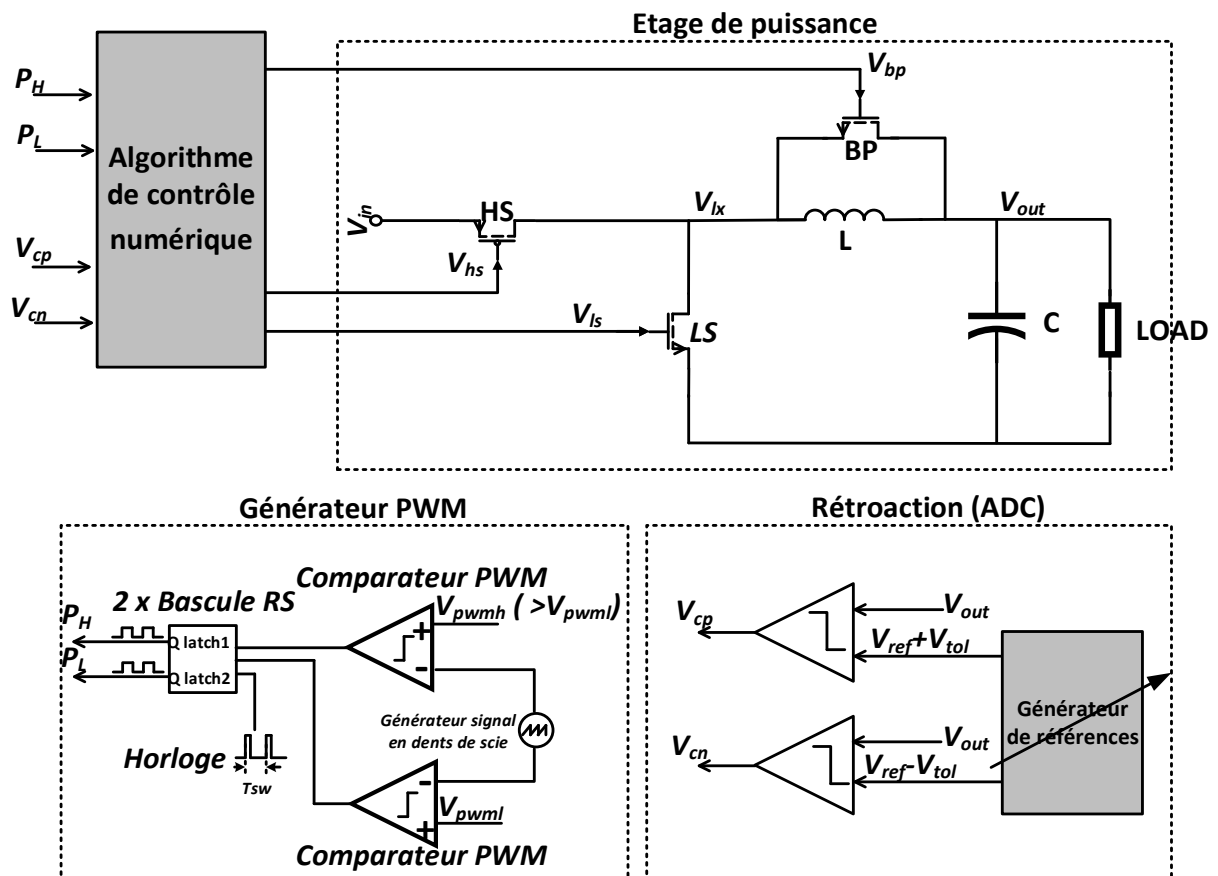
Contenu du chapitre

<i>3.1. Fonctionnement général.....</i>	<i>38</i>
<i>3.1.1. Description fonctionnelle</i>	<i>38</i>
<i>3.1.2. Considérations importantes pour la conception de l'étage de puissance.....</i>	<i>40</i>
<i>3.1.3. Etude de la boucle de rétroaction.....</i>	<i>42</i>
<i>3.1.3.1. Description du contrôle employé</i>	<i>42</i>
<i>3.1.3.2. Analyse de la rétroaction.....</i>	<i>44</i>
<i>3.1.4. Générateur de PWM</i>	<i>51</i>
<i>3.2. Validation de la topologie avec mise en œuvre en CMOS 180 nm</i>	<i>54</i>

3.1. Fonctionnement général

3.1.1. Description fonctionnelle

L'architecture de convertisseur Buck proposé est représentée en Figure 3-1. Son pont de puissance est composé des interrupteurs de puissance typiques (HS PMOS et LS NMOS), et d'un troisième interrupteur (le « bypass ») qui fait de ce convertisseur un régulateur Buck à 3 États. On retrouve également le filtre de sortie (L, C). La boucle de rétroaction est faite de deux comparateurs dont les sorties sont utilisées pour sélectionner un rapport cyclique adéquat à partir des générateurs PWM*. Comme expliqué dans chapitre 2, la présence du filtre (L, C) dans un convertisseur Buck crée un double pôle et rend le système au moins 2nd ordre. Cela conduit à la nécessité d'ajouter un système de compensation dans la rétroaction. Toutefois, dans le régulateur 3 états de la Figure 3-1, l'interrupteur bypass permet de virtuellement isoler l'inductance de la boucle, rendant cette dernière conditionnellement stable. Comme le montre la Figure 3-2, quand HS et LS sont bloqués, mais que BP est passant, il offre un nouveau chemin au courant d'inductance tant que son impédance Z_{BP} est inférieure à $Z_{out} + Z_{BD}^{\dagger}$. Pendant ce temps, le condensateur de sortie est déchargé par la charge. Cela conduit à une plus grande réduction de surtension et aide à obtenir un bon contrôle sur la DVFS de la charge. Notre utilisation du mode de « *dérive* » introduit par le bypass, est liée au DVR du régulateur, principalement des transitoires de charge pendant lesquelles le bypass interviendrait en cas de besoin, alors qu'il serait moins (ou pas) enclenché durant le régime statique.



* La rétroaction sera discutée en détail dans la section 3.1.3

[†] Z_{out} est l'impédance de la sortie et Z_{BD} l'impédance de la diode de substrat

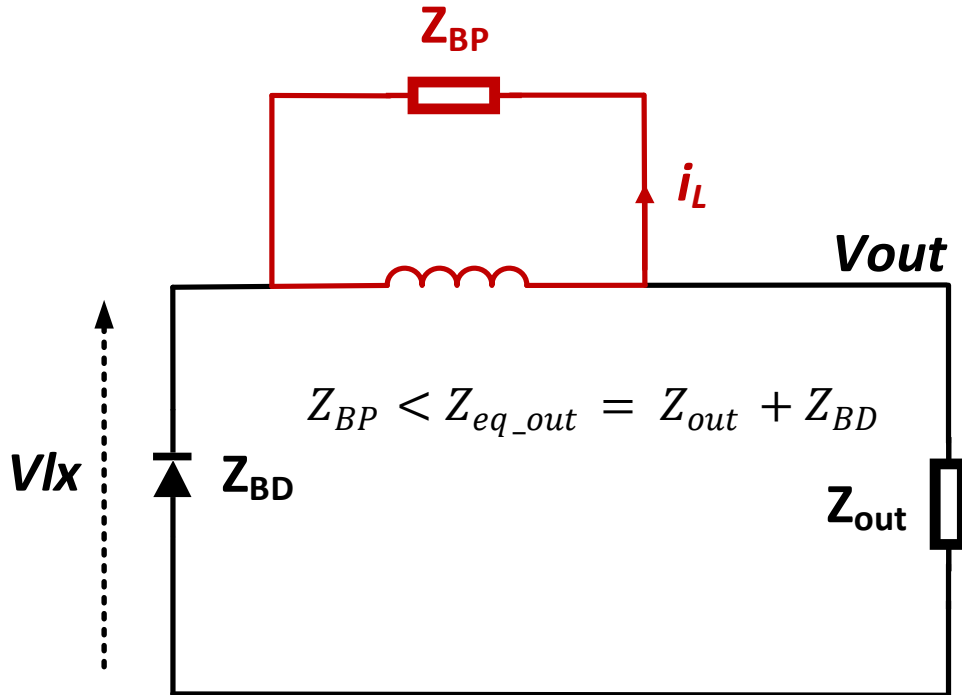


Figure 3-2: Chemin de courant d'inductance créé par le bypass

Nous définissons les 3 états suivants du convertisseur proposé (Figure 3-3) :

- L'état « haut » défini quand l'interrupteur HS est passant et fournit du courant venant de l'entrée " V_{in} " à la charge.

Dans ce mode, l'équation d'état de l'étage de sortie (L, C) du Buck peut être écrite comme :

Equation 11

$$\frac{dx}{dt} = \begin{bmatrix} -\frac{1}{R_{LOAD} \cdot C} & \frac{1}{C} \\ -\frac{1}{L} & 0 \end{bmatrix} x + \begin{bmatrix} 0 \\ 1 \\ L \end{bmatrix} V_{in};$$

avec $x = \begin{bmatrix} V_{out} \\ i_L \end{bmatrix}$; V_{out} étant la tension de sortie and i_L le courant d'inductance.

- L'état « bas » où l'interrupteur LS est passant et que l'inductance fournit la charge (représentée par la résistance R_{LOAD}) en courant.

L'équation d'état de l'étage de sortie est donc :

Equation 12

$$\frac{dx}{dt} = \begin{bmatrix} -\frac{1}{R_{LOAD} \cdot C} & \frac{1}{C} \\ -\frac{1}{L} & 0 \end{bmatrix} x + \begin{bmatrix} 0 \\ 0 \end{bmatrix} V_{in};$$

avec $x = \begin{bmatrix} V_{out} \\ i_L \end{bmatrix}$.

- L'état « dérive » durant lequel l'interrupteur bypass est passant et donc court-circuite la self ; ce qui entraîne que la charge reçoit son courant de la capacité de sortie.

Dans ce cas, l'équation d'État s'écrit :

Equation 13

$$\frac{dx}{dt} = \begin{bmatrix} -\frac{1}{R_{LOAD} \cdot C} & 0 \\ 0 & 0 \end{bmatrix} x + \begin{bmatrix} 0 \\ 1 \\ 0 \end{bmatrix} V_{in};$$

$$\text{avec } x = \begin{bmatrix} V_{out} \\ i_L \end{bmatrix}.$$

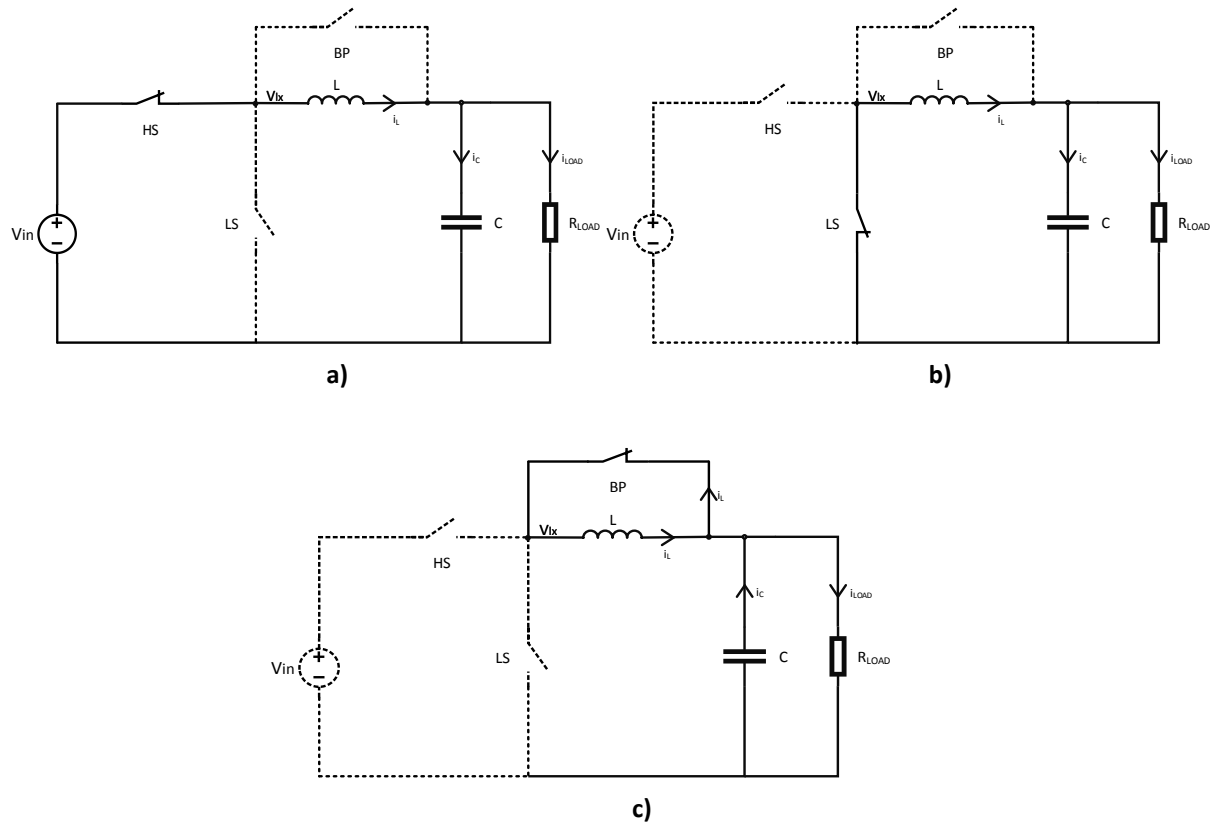


Figure 3-3: Représentation des 3 états de l'architecture de Buck proposée ; a- état « haut »; b- état « bas »; c- état « dérive »;

3.1.2. Considérations importantes pour la conception de l'étage de puissance

La conception d'étage de puissance d'un convertisseur Buck est faite en considérant les principales sources de pertes, qui sont les pertes de commutation et les pertes de conduction [41]. L'ajout d'un troisième interrupteur ne change pas ce processus d'optimisation, à part quelques considérations de conception supplémentaires :

- Comme mentionné précédemment, le rôle du bypass consiste à court-circuiter l'inductance et donc à l'empêcher de donner son courant la charge. Cela signifie que sa résistance $R_{on_{BP}}$ doit être assez petite pour passer le courant. Cette contrainte a été précédemment soulignée par la Figure 3-2, montrant que Z_{BP} doit être suffisamment faible pour que le courant d'inductance n'utilise pas la maille formée par la charge et la diode substrat du MOSFET LS. Par conséquent, nous pouvons écrire :

Equation 14

$$R_{on_{BP}} < \frac{V_{out_{min}} - V_t}{I_{loadmax}}$$

$V_{out_{min}}$ étant la tension de sortie minimale, V_t la tension seuil de la diode parasite et $I_{loadmax}$, le courant maximum de la charge.

Le bypass peut soit être représenté par un NMOS, un PMOS ou les deux. Cependant, les FETs typiquement destinés à la puissance ne peuvent être utilisés comme bypass, puisque leur bulk est fusionné avec leur source. Dans ce cas, le nœud de commutation LX (où se trouve le potentiel V_{LX}) et le nœud de sortie sont court-circuités lorsque le V_{LX} est connecté à l'alimentation ou la masse, en fonction de la configuration (voir Figure 3-4). Cela signifie que le FET de dérive doit avoir son bulk lié au niveau de tension le plus bas (généralement la masse) dans le cas d'un NMOS.

Avoir le bulk connecté à la masse, augmente la surface totale de la diode parasite entre la masse et LX ; ce qui peut être bénéfique pour abaisser la tension du nœud de commutation LX lorsque tous les MOSFETs de puissance sont bloqués. Le courant de diode peut être exprimé par :

Equation 15

$$I_{bd} = I_s \left(\exp \left(\frac{V_{bd}}{nV_t} \right) - 1 \right) \text{ avec } I_s \propto A(\text{Aire de jonction}),$$

n étant un facteur d'idéalité et V_t la tension seuil

L'Equation 15 [42] montre une dépendance entre le courant, la tension aux bornes de la diode substrat et sa surface totale. À courant constant, à mesure que la surface augmente, V_{bd} diminue, et V_{lx} devient moins négatif.

- Un problème introduit par l'ajout du mode de dérive est mis en évidence lorsque la diode parasite conduit le courant d'inductance. Parce que la tension au nœud de commutation V_{lx} est négative et que la grille du bypass est tirée à la masse, une tension égale à V_{bd} (tension de la diode de jonction) apparaît entre la grille et la source. Cela met le transistor bypass à son seuil de conduction, créant un chemin de courant entre le nœud de commutation et la sortie (Figure 3-5).

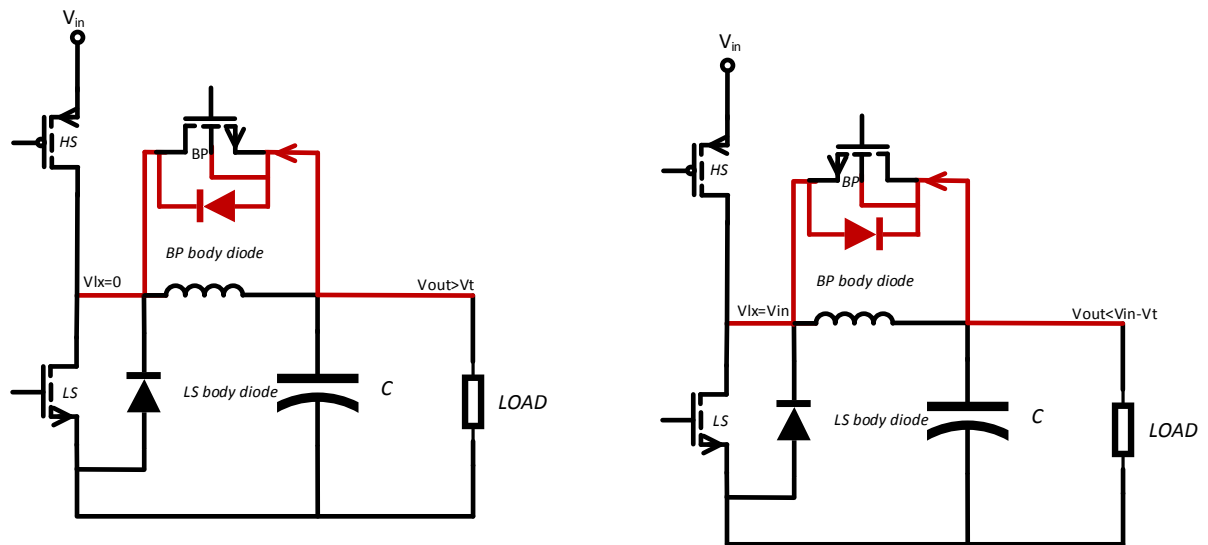


Figure 3-4: Configurations de LX et de nœud de sortie en court-circuit

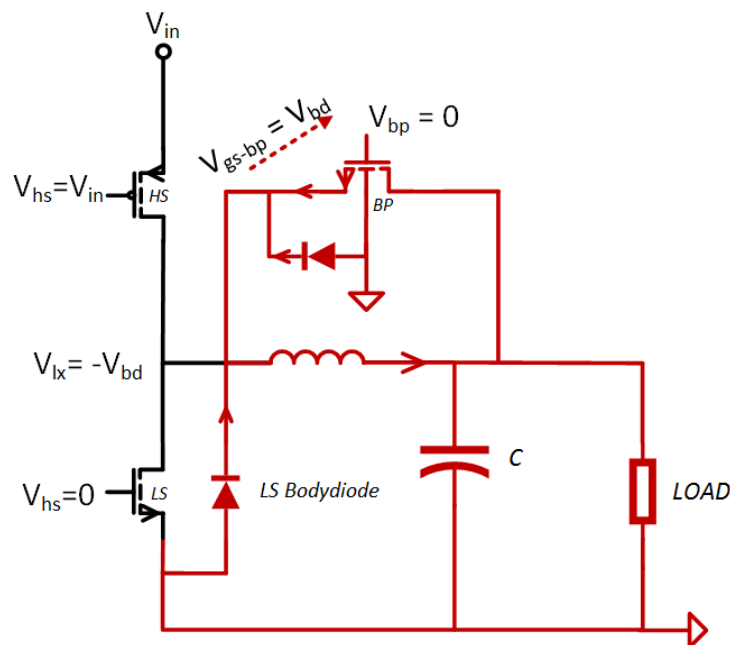


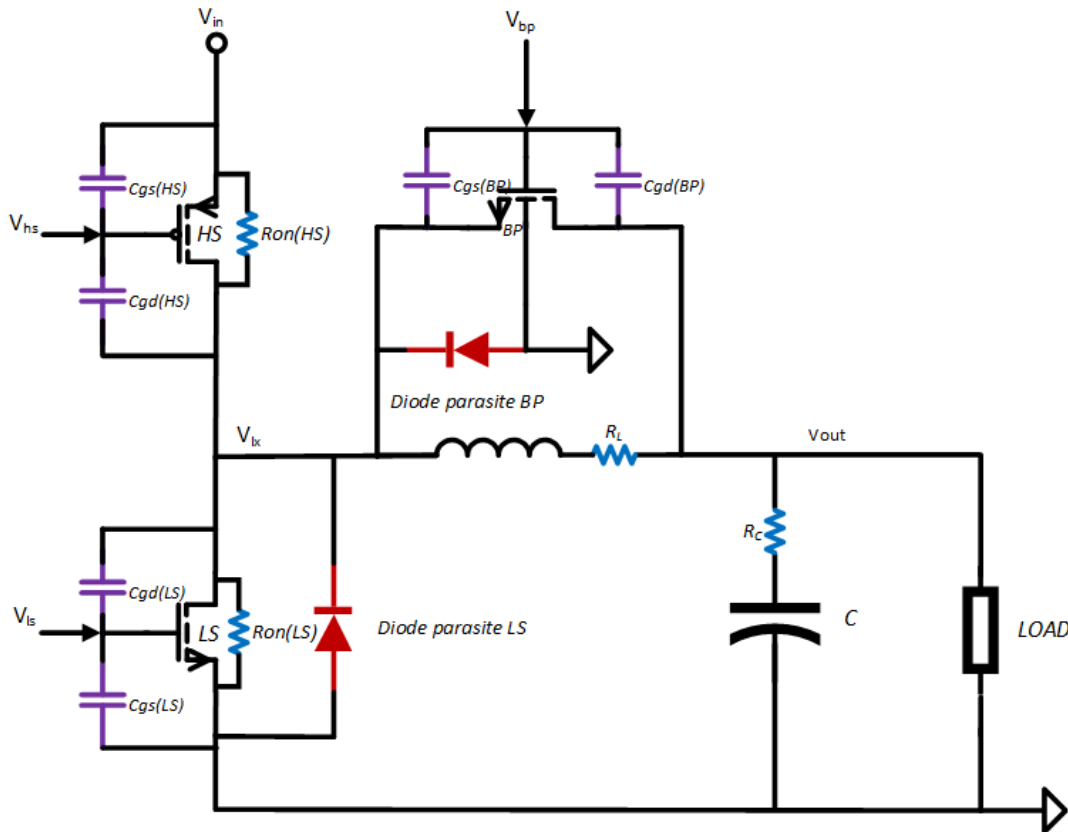
Figure 3-5: MOSFET BP passant lors de la conduction de diode parasite de jonction

Topologie proposée de régulateur Buck

- Le troisième point est l'augmentation des capacités parasites sur LX et sur les grilles, lorsque l'on compare la structure proposée à un convertisseur Buck synchrone conventionnel (Figure 3-6). Les pertes totales de pilotage dans le circuit sont alors supérieures de $C_{BP}V_{in}^2F_{SW}$ comparées à celles d'un convertisseur Buck typique, lorsque le bypass est activé en DCM. De plus, la capacité parasite total C_{Lx} en LX, est plus élevée de $C_{gs(BP)}$, entraînant une augmentation des pertes de transition $P_{TRANS} = \frac{1}{2}C_{Lx}V_{in}^2F_{SW}$, correspondant aux pertes induites durant la charge de V_{Lx} à V_{in} .

Equation 16

$$P_{SW}(\text{pertes de pilotage}) \cong (C_{HS} + C_{LS})V_{in}^2F_{SW} + \frac{1}{2}C_{Lx}V_{in}^2F_{SW} + C_{BP}V_{in}^2F_{SW} \text{ en DCM.}$$



$$P_{BD}(\text{Pertes de conduction de diode parasite}) = 2 \frac{t_{bd}}{T_{SW}} \cdot V_{bd} \cdot I_{load}$$

avec t_{bd} la durée de conduction de diode à chaque cycle, et T_{SW} la période de commutation

$$P_{cond}(\text{Pertes de conduction}) \cong (\delta Ron(HS) + (1 - \delta) Ron(LS) + L_{ESR}) \cdot I_{LRMS}^2$$

avec I_{LRMS} la valeur RMS du courant d'inductance

$$P_{SW}(\text{Pertes de pilotage}) = P_{DRV} + P_{TRANS} \cong (C_{HS} + C_{LS})V_{in}^2F_{SW} + \frac{1}{2}C_{Lx}V_{in}^2F_{SW} + BPON \cdot C_{BP}V_{in}^2F_{SWBP},$$

avec $C_{HS/LS/BP} = C_{gs(HS/LS/BP)} + C_{gd(HS/LS/BP)}$,
 F_{SWBP} est la fréquence des impulsions bypass

Figure 3-6: Convertisseur Buck proposé, avec éléments parasites associés et pertes induites

3.1.3. Etude de la boucle de rétroaction

Comme décrit en Figure 3-1, le feedback du régulateur proposé est composé de deux éléments principaux :

- Les comparateurs de tension
- Le contrôle numérique

Dans cette section, nous expliquons le choix du type de contrôleur et évaluons la boucle de contre-réaction de ce convertisseur 3 états.

3.1.3.1. Description du contrôle employé

Nous rappelons du chapitre 2 que deux types de contrôles sont utilisés dans un convertisseur Buck :

- Les contrôles linéaires basés sur compensation PID et générant une tension PWM basée sur l'erreur du signal de sortie. Autant l'utilisation de tels contrôles fournit une bonne stabilité, une fréquence de commutation contrôlée et une tension de sortie précise, autant ils peuvent être complexes à concevoir, et consommateurs en surface occupée et de puissance lorsque la bande passante du système doit être élevée. Cela les rend non viables pour une augmentation potentielle de la fréquence de commutation et donc pas adaptés à notre approche.
- Les contrôles non linéaires (hystérésis, mode glissant, contrôles aux limites) qui tendent à fournir une bonne réponse transitoire mais présentent un mauvais contrôle de la réponse large bande. Ils tendent à présenter une implémentation plus simple et peuvent être facilement portés aux hautes fréquences.

Afin de bénéficier d'une bonne réponse transitoire, un portage facile en fréquence, la bonne option apparaît comme le contrôle hystérétique. On rappelle la proposition en section 2.3 du chapitre précédent, à savoir le contrôle hystérétique basé sur le train d'impulsions, qui présentait les meilleures performances d'état de l'art. Nous optons donc pour une telle rétroaction, avec une impulsion de haute puissance (P_H) et une impulsion de faible puissance (P_L) et réadapté pour accommoder le troisième état. Le contrôle fonctionne à base de l'algorithme suivant :

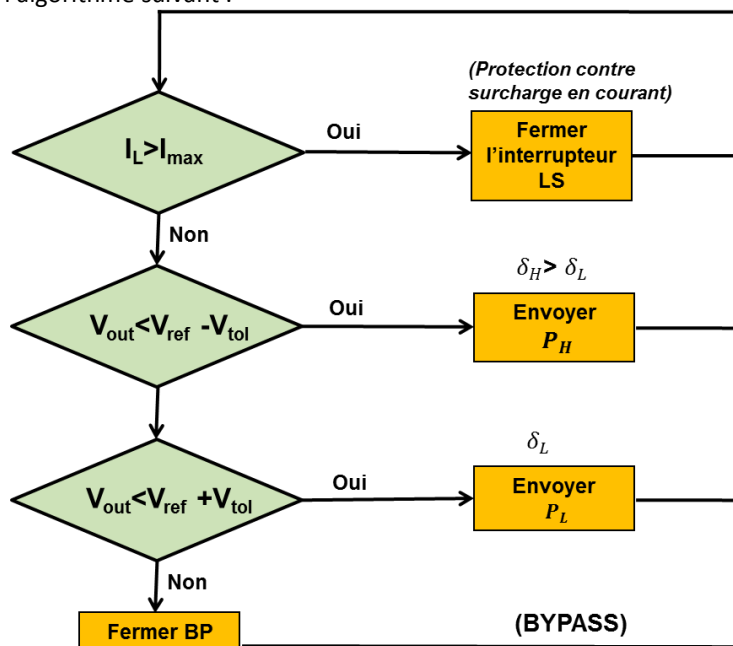


Figure 3-7: Algorithme de contrôle

L'impulsion de faible puissance (P_L) correspond à un signal PWM avec rapport cyclique δ_L tandis que P_H est un PWM dont le rapport cyclique est réglé sur $\delta_H > \delta_L$. Pour s'assurer qu'il n'y a pas de perte de régulation, δ_H doit être assez élevé pour garder V_{out} égale à la valeur ciblée plus ou moins une tolérance " V_{tol} ", dans le cas de charge maximale. Les deux impulsions sont utilisées autour d'une valeur de référence basse $V_{ref} - V_{tol}$, où V_{ref} est la tension de sortie ciblée et V_{tol} l'erreur tolérée sur V_{out} . Une valeur de référence plus élevée $V_{ref} + V_{tol}$ est utilisée pour détecter le moment où l'énergie de l'inductance dépasse le besoin de la charge. L'interrupteur bypass est ensuite fermé, pour brûler l'énergie d'inductance supplémentaire avant qu'une autre impulsion PWM ne soit envoyée. L'algorithme de contrôle ainsi décrit, a l'avantage de permettre au convertisseur de basculer entre CCM et PFM* de manière transparente, comme le montre la Figure 3-8. Ceci est réalisé par le saut d'impulsion créé par le bypass et introduit dans l'algorithme proposé. Le courant moyen auquel se déroule la transition de la PFM/CCM est déterminé par l'Equation 17.

Equation 17

$$I_{LIM} = \frac{\delta T_{SW}(V_{in} - V_{out})}{2L}, \text{ avec } \delta \text{ le rapport cyclique et } T_{SW} \text{ la période de commutation.}$$

* Mode d'adaptation de la fréquence d'impulsions en fonction de la charge pour une modulation DCM efficace

Nous établissons qu'en CCM, la boucle de convertisseur fonctionne comme un Sigma-Delta à un bit avec un flot de rapport cyclique basculant entre δ_H Et δ_L tel une modulation de densité d'impulsions (PDM). Cette opération est représentée par la Figure 3-11-a, où nous voyons deux charges avoir une modulation différente des impulsions P_L et P_H . En supposant que δ_H est choisi pour gérer une charge maximale I_{MAX} et δ_L pour I_{LIM} , nous pouvons écrire :

Equation 18

$$\delta_{avg} = \frac{V_{ref} + R_{PS}I_{LOAD}}{V_{in}}$$

avec V_{ref} la valeur de sortie ciblée, δ_{avg} le rapport cyclique nécessaire à l'obtention de $V_{out} = V_{ref}$; et $R_{PS} = \delta \times R_{on}(HS) + (1 - \delta)R_{on}(LS) + DCR$, la résistance totale de la maille active.

Nous dérivons ensuite de l'Equation 18:

$$\delta_H = \frac{V_{ref} + R_{PS}I_{MAX}}{V_{in}} = \delta_L + \frac{R_{PS}(I_{MAX} - I_{LIM})}{V_{in}} \rightarrow$$

Equation 19

$$\delta_{avg} = \frac{I_{LOAD}}{I_{MAX} - I_{LIM}}\delta_H + \left(1 - \frac{I_{LOAD}}{I_{MAX} - I_{LIM}}\right)\delta_L - \frac{R_{PS}I_{LIM}}{V_{in}}$$

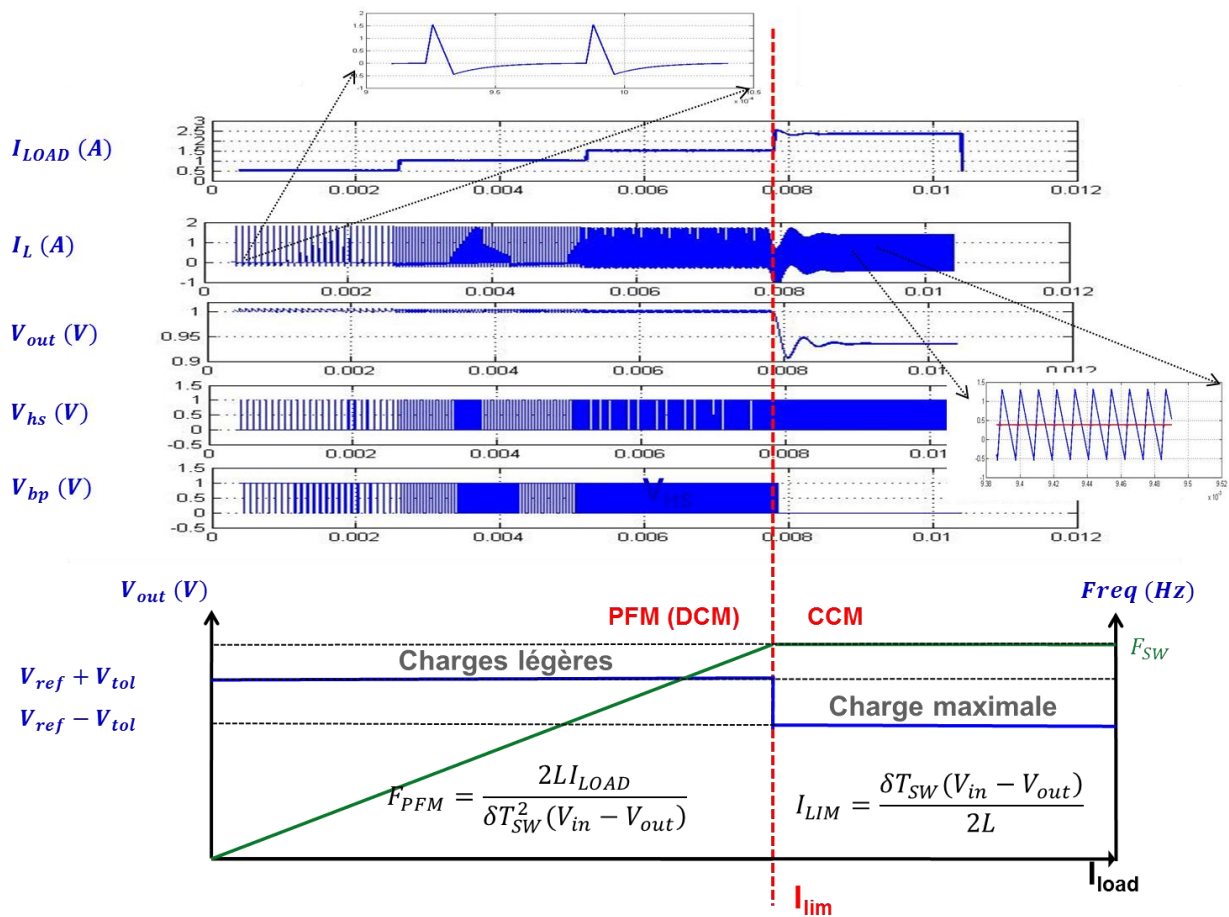


Figure 3-8: Mise en évidence des modes de conduction du convertisseur proposé montrant le saut de mode automatique*.

3.1.3.2. Analyse de la rétroaction

Comme mentionné précédemment, la boucle de rétroaction comprend les comparateurs et le circuit de décision utilisé pour choisir l'impulsion appropriée à chaque cycle de commutation. La Figure 3-9 montre une version simplifiée de cette contre-réaction, mettant en évidence l'opération de décision. Elle fonctionne selon

* Figure obtenue de MATLAB

Topologie proposée de régulateur Buck

l'algorithme décrit en Figure 3-7 et nous permet d'avoir une meilleure représentation de sa mise en œuvre. Nous ajoutons en Figure 3-10 une vue plus détaillée de l'opération CCM. Fondamentalement, comme le courant d'inductance oscille entre les deux impulsions préprogrammées, il fournit en moyenne le courant de charge demandé. Idéalement, le contrôle continue de basculer entre ces deux impulsions en fonction de la valeur de V_{cn} (Figure 3-9). Toutefois, en fonction de la valeur de seuil $V_{ref} + V_{tol}$, le bypass peut être déclenché pour limiter ce courant. Dans ce cas, l'efficacité du convertisseur peut être affectée. De ce fait, sont rajoutées les contraintes suivantes à la conception :

- Le décalage maximum des comparateurs doit être inférieur à la valeur de tolérance sur la tension de sortie ;
- La fréquence de commutation doit être choisie suffisamment haute pour atteindre l'ondulation maximale attendue ; dans le cas où la fréquence est basse, elle introduit un gros délai à la réaction de la boucle.

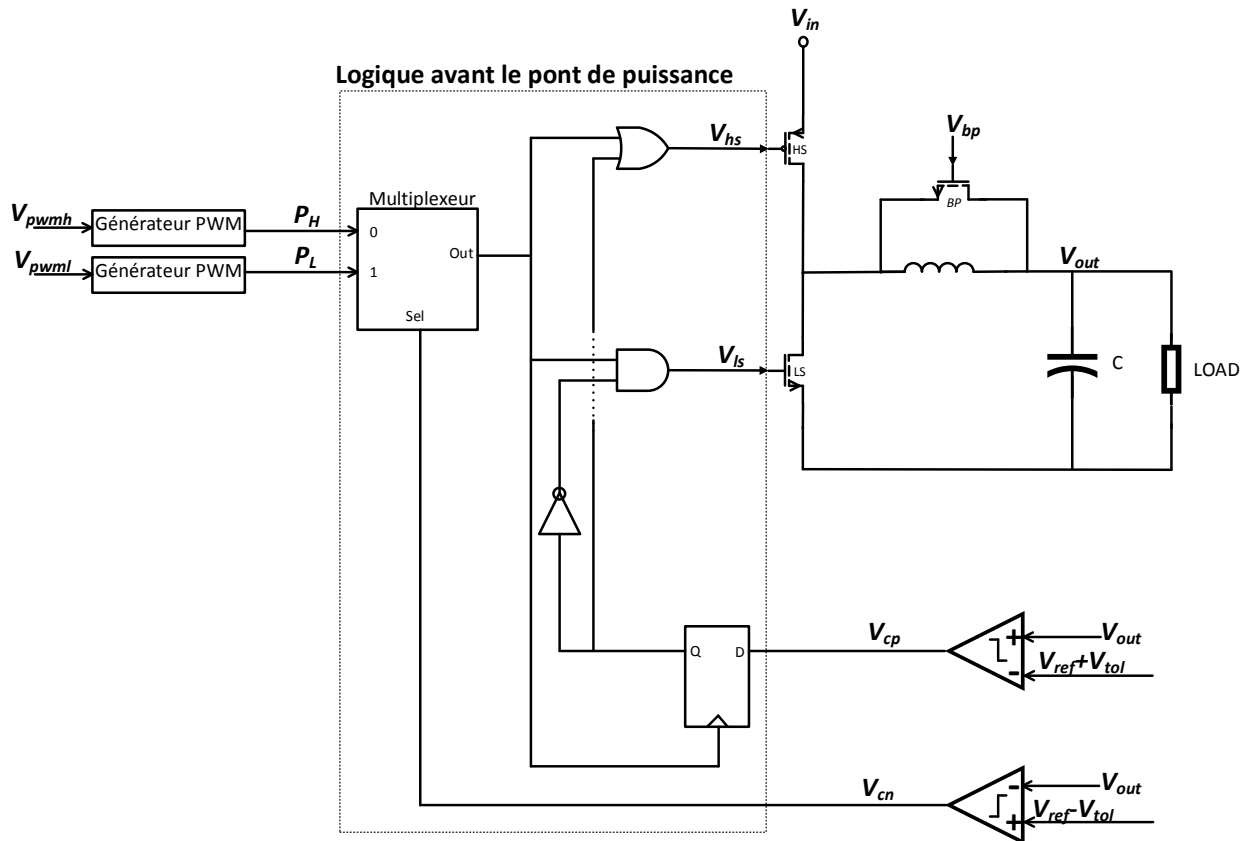
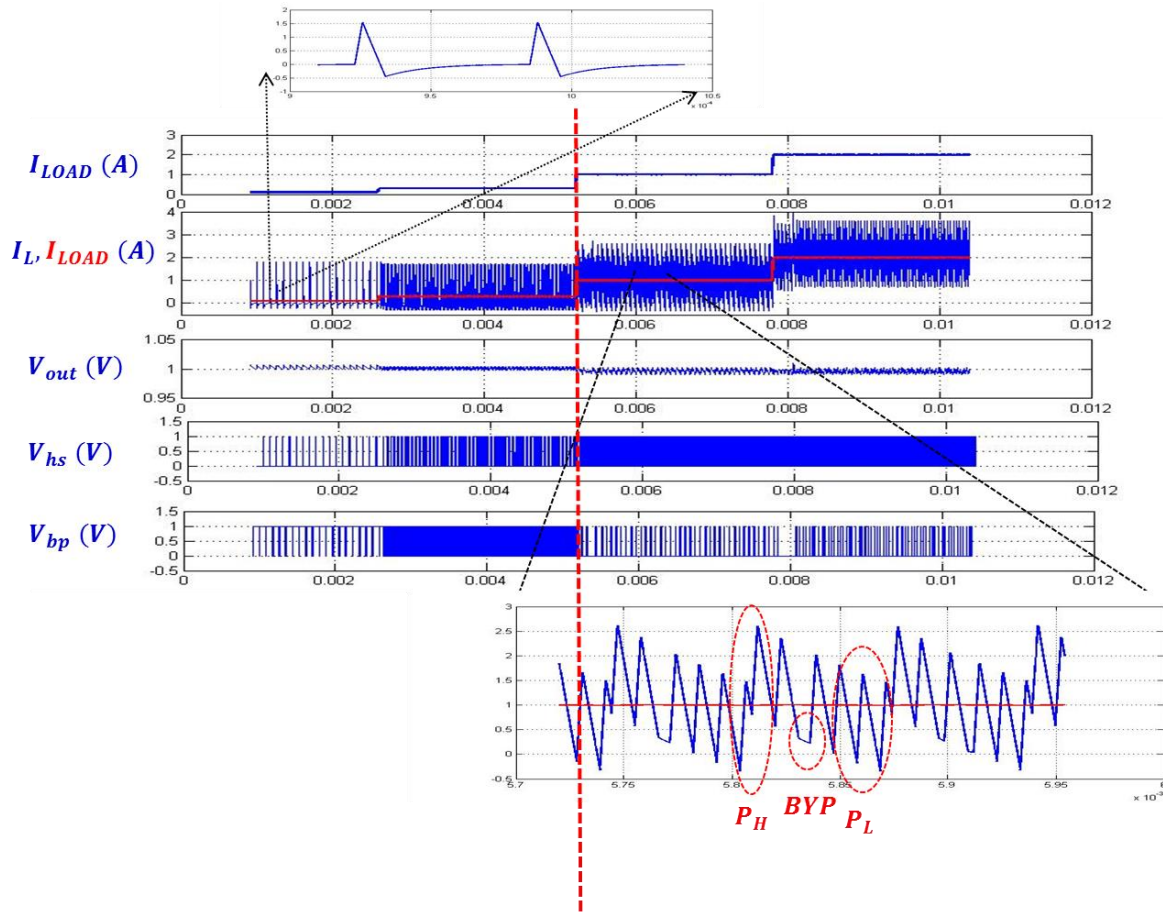


Figure 3-9: Schéma simplifié de la boucle de rétroaction



$$I_{LIM} = \frac{\delta T_{SW} (V_{in} - V_{out})}{2L}$$

Figure 3-10: Fonctionnement en CCM du régulateur proposé*

La Figure 3-12 modélise le système de Figure 3-1 pour mettre en évidence le filtrage passe-bas de (L , C_{out}). En supposant que nous utilisons la fréquence de commutation du pont d'alimentation pour définir la vitesse de décision du comparateur, le flux d'impulsions décrit en Figure 3-11-a a une fréquence maximale de $N_{PH} \times f_{SW}$, avec N_{PH} le nombre de phases du convertisseur. Le multi-phase se traduit par des circuits parallèles de transistors de puissance et d'inductances qui sont entrelacés et reliés à la même charge de sorte que les courants à travers les inductances soient entrelacés à des intervalles de temps réguliers. Par conséquent, les ondulations de ces courants d'inductance s'annulent au niveau du nœud de sortie et entraînent un courant moyen à ondulation réduite. Bien qu'un nombre élevé de phases semble indiquer une plus grande consommation en surface, puisque la taille des transistors de puissance est liée au courant fourni par phase, la surface totale de ces transistors dépend essentiellement des spécifications de courant de charge et est indépendante du nombre de phases.

Comme la tension de sortie du régulateur est obtenue en filtrant le flux d'impulsions pour obtenir le rapport cyclique moyen δ_{avg} ainsi qu'une faible ondulation en régime statique, la fréquence de commutation doit être choisie de telle sorte que $f_0 \ll N_{PH} \times f_{SW}$, avec f_0 la fréquence de coupure du filtre de sortie. La fonction de transfert de ce dernier en CCM s'écrit :

Equation 20

$$H_{LPF}(s) = \frac{1}{1 + 2m \frac{s}{\omega_0} + \frac{s^2}{\omega_0^2}}, \text{ avec}$$

* Figure obtenue de MATLAB

$$m = \frac{1}{2 \sqrt{\frac{1}{1 + R_{PS} \frac{I_{LOAD}}{V_{ref}}} \times L \times C_{out}}} \times \frac{R_{PS} C_{out} + L \frac{I_{LOAD}}{V_{ref}}}{1 + R_{PS} \frac{I_{LOAD}}{V_{ref}}} \approx \frac{R_{PS}}{2} \sqrt{\frac{C_{out}}{L}}; \text{ et}$$

$$\omega_0 = 2\pi f_0 = \frac{1}{\sqrt{\frac{1}{1 + R_{PS} \frac{I_{LOAD}}{V_{ref}}} LC_{out}}} \approx \frac{1}{\sqrt{LC_{out}}} \text{ avec } R_{LOAD} \gg R_{PS}$$

La Figure 3-11-b représente le modèle AC du Buck 3 états en CCM. Le gain du modulateur/contrôle peut être exprimé comme suit :

Equation 21

$$G_{mP} = R_{PS} \frac{I_{MAX} - I_{LOAD}}{V_{tol}} \text{ et } G_{mN} = R_{PS} \frac{I_{LOAD} - I_{LIM}}{V_{tol}}$$

Où G_{mP} est considéré pour les échelons positifs de courant et G_{mN} pour les échelons négatifs, et R_{PS} modélise la résistance des interrupteurs de l'étage de puissance en état passant.

Comme le contrôleur est non-linéaire, une analyse AC typique de la boucle n'est pas possible. Mais en supposant le convertisseur en régime statique et en étudiant de petites variations dues à des transitoires de charge, nous approchons la bande passante BW du convertisseur proposé comme une somme de retards :

Equation 22

$$BW \sim \frac{1}{t_d + \frac{\arcsin(\frac{\sqrt{1-m^2}}{\omega_0})}{\omega_0 \sqrt{1-m^2}} + T_{SW}}$$

où t_d représente le délai entre les comparateurs et le pont de puissance;

Le second terme du dénominateur fait référence au délai nécessaire à la propagation du rapport cyclique à travers le filtre de sortie. La transformation de Laplace inverse de la fonction de transfert du filtre de sortie est proportionnelle à $\frac{\omega_0}{\sqrt{1-m^2}} e^{-m\omega_0 t} \sin(\omega_0 \sqrt{1-m^2} t) \sim \frac{\omega_0}{\sqrt{1-m^2}} \sin(\omega_0 \sqrt{1-m^2} t)$ pour des valeurs modérées de facteur d'amortissement. De l'inverse de Laplace, nous déduisons que la propagation du rapport cyclique appliqué au pont de puissance prend $\arcsin(\frac{\sqrt{1-m^2}}{\omega_0})$ de temps. Avec ω_0 autour de centaines de Krad/s ou plus, le second terme du dénominateur de l'Equation 22 est négligeable. La bande passante est donc proportionnelle à la fréquence de commutation puisque t_d est généralement très faible comparé à T_{SW} :

$$BW \propto F_{SW}$$

Pour confirmer l'estimation de la bande passante, nous utilisons une approche différente basée sur une analyse dans le domaine z , en étudiant la boucle de la même façon qu'un modulateur Sigma-Delta. En ignorant l'état de dérive et le comparateur associé (parce que l'ajout du bypass rend la réponse complètement non linéaire), nous pouvons faire référence au modèle équivalent de la Figure 3-11-c. La fonction de transfert du système est écrite dans le domaine z comme suit :

Equation 23

$$H(z) = \frac{H_{LPF}(z)}{1 + H_{LPF}(z)}$$

Puisqu'il est alors nécessaire d'obtenir la transformée en z de la fonction de transfert du filtre de sortie, nous utilisons la transformation bilinéaire et déduisons la transformation z de la forme précédente de Laplace de l'Equation 20. Nous utilisons la transformation de mappage du domaine s au domaine z : $s \rightarrow K \frac{1-z^{-1}}{1+z^{-1}}$ avec $K = \frac{\omega_a}{\tan(\frac{\omega_a T_{SW}}{2})}$ autour de la fréquence d'intérêt ω_a ou $K = \frac{2}{T_{SW}}$ aux faibles fréquences. Nous écrivons donc :

$$H_{LPF}(z) = \frac{1}{1 + \frac{2mK}{\omega_0} \frac{1-z^{-1}}{1+z^{-1}} + \frac{K^2}{\omega_0^2} \left(\frac{1-z^{-1}}{1+z^{-1}} \right)^2} \leftrightarrow$$

Equation 24

$$H_{LPF}(z) = \frac{(1 + z^{-1})^2}{\left(1 + \frac{2mK}{\omega_0} + \frac{K^2}{\omega_0^2}\right)(1 + z^{-2}) + \left(2 - \frac{2K^2}{\omega_0^2}\right)z^{-1}}$$

En combinant les Equation 24 et Equation 23, on obtient :

Equation 25

$$H(z) = \frac{(1 + z^{-1})^2}{\left(2 + \frac{2mK}{\omega_0} + \frac{K^2}{\omega_0^2}\right)(1 + z^{-2}) + \left(4 - \frac{2K^2}{\omega_0^2}\right)z^{-1}}$$

Pour exprimer la fonction de transfert par rapport à la fréquence, nous écrivons $z = e^{j2\pi(\frac{f}{F_{SW}})}$ avec la fréquence de commutation F_{SW} représentant notre fréquence d'échantillonnage, d'où :

$$1 + z^{-1} = 2e^{-j\pi(\frac{f}{F_{SW}})} \left(\frac{e^{-j\pi(\frac{f}{F_{SW}})} + e^{j\pi(\frac{f}{F_{SW}})}}{2} \right) = 2 \cos\left(\pi \frac{f}{F_{SW}}\right) e^{-j\pi(\frac{f}{F_{SW}})};$$

$$\text{et } 1 + z^{-2} = 2 \cos\left(2\pi \frac{f}{F_{SW}}\right) e^{-j2\pi(\frac{f}{F_{SW}})}$$

Cela nous permet d'exprimer :

$$H(f) = \frac{4\cos^2\left(\pi \frac{f}{F_{SW}}\right)}{2\left(2 + \frac{2mK}{\omega_0} + \frac{K^2}{\omega_0^2}\right)\cos\left(2\pi \frac{f}{F_{SW}}\right) + \left(4 - \frac{2K^2}{\omega_0^2}\right)}$$

$$\rightarrow H(f) = \frac{2\cos\left(2\pi \frac{f}{F_{SW}}\right) + 2}{2\left(2 + \frac{2mK}{\omega_0} + \frac{K^2}{\omega_0^2}\right)\cos\left(2\pi \frac{f}{F_{SW}}\right) + \left(4 - \frac{2K^2}{\omega_0^2}\right)}$$

Étant donné que le numérateur et le dénominateur sont réels et que le numérateur est positif, nous obtenons pour la fréquence de gain unité de la boucle en égalisant $H(f)$ à ± 1 :

$$f_T = \frac{F_{SW}}{2\pi} \arccos\left(\pm \frac{1 - \frac{K^2}{\omega_0^2}}{-1 - \frac{2mK}{\omega_0} - \frac{K^2}{\omega_0^2}}\right)$$

En écrivant $K = 2F_{SW}$ et $\omega_0 = 2\pi f_0$, l'expression précédente devient :

Equation 26

$$f_T = \frac{F_{SW}}{2\pi} \arccos\left(\pm \frac{1 - \frac{F_{SW}^2}{\pi^2 f_0^2}}{-1 - \frac{2mF_{SW}}{\pi f_0} - \frac{F_{SW}^2}{\pi^2 f_0^2}}\right)$$

Nous créons la variable $x = \frac{F_{SW}}{\pi f_0}$ et réécrivons l'équation précédente :

$$f_T = \frac{F_{SW}}{2\pi} \arccos\left(\pm \frac{1 - x^2}{-1 - 2mx - x^2}\right) = \frac{F_{SW}}{2\pi} \arccos\left(\pm \frac{1}{-\frac{1+x}{1-x} - 2(m-1)\frac{1}{\frac{1}{x} - x}}\right)$$

Si la fréquence de commutation est choisie telle que $F_{SW} \gg \pi f_0$, le terme dans l'arc-cosinus tend vers $\pm \frac{1}{1+2\frac{m-1}{x}} \rightarrow \pm 1$. Et ainsi, les solutions sont toutes multiples de $\frac{F_{SW}}{2}$ ou F_{SW} . Nous concluons qu'à F_{SW} la boucle de convertisseur montre encore un certain gain et donc sa bande passante est égale à notre fréquence d'échantillonnage considérée qui est la fréquence de commutation du Buck.

Étant donné que le VR proposé a une bande passante proche de sa fréquence de commutation, il apparaît comme un bon choix pour le portage vers de hautes fréquences de commutation puisque la bande passante s'adapte en conséquence.

Topologie proposée de régulateur Buck

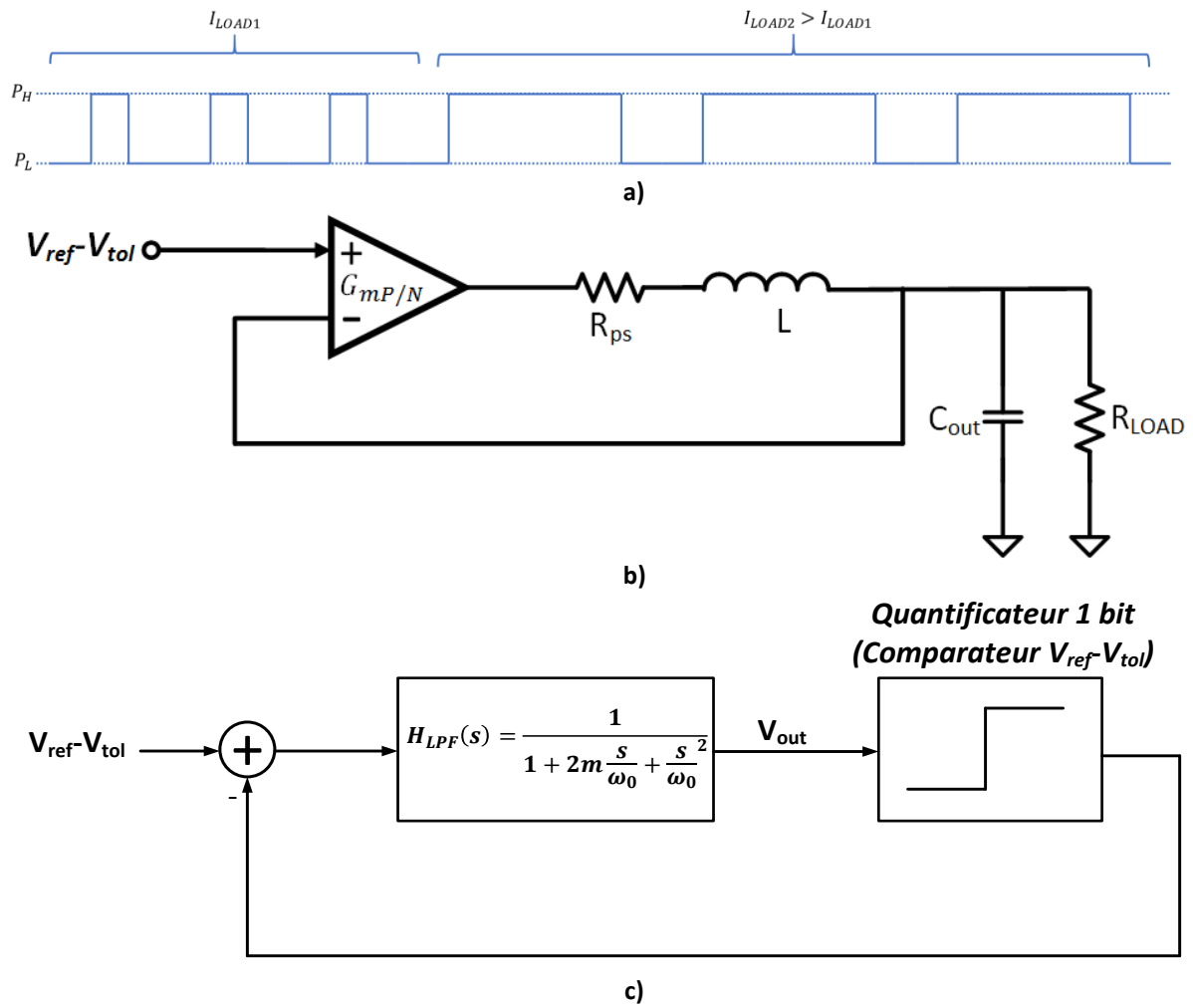


Figure 3-11: a) Illustration de la modulation de densité de pulses avec le contrôle proposé ; b) modèle AC du convertisseur ; c) modèle équivalent du modulateur

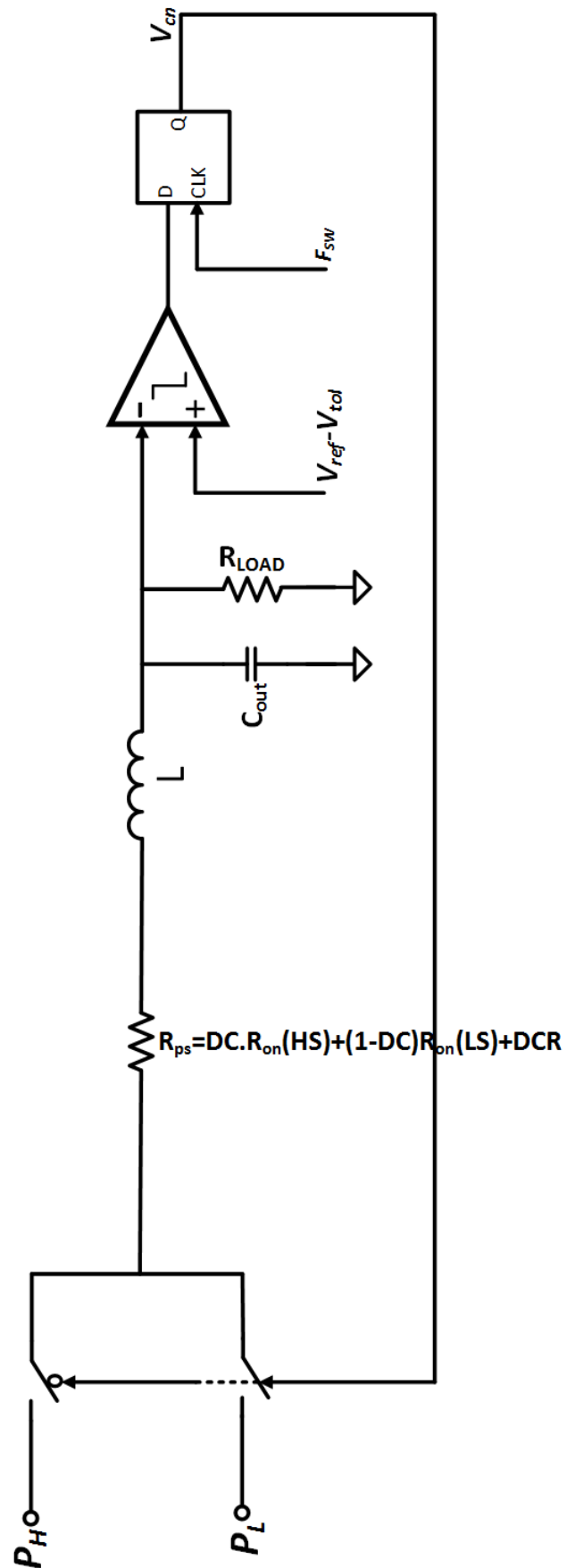


Figure 3-12: Modèle globale de boucle

3.1.4. Générateur de PWM

Comme le montre la Figure 3-1, la rétroaction du convertisseur Buck proposé est composée de deux comparateurs qui déterminent le rapport cyclique à appliquer à l'étage de puissance. Ainsi, le générateur PWM ne fait pas partie de la boucle (ce qui n'est pas le cas pour un dans un Buck conventionnel). Dans notre cas, les deux impulsions qui contrôlent les MOSFET de puissance, sont générées par des boucles locales correspondant à nos générateurs d'impulsions faible puissance et de puissance élevée. Notons que si N_{PH} phases sont implémentées, les 2 générateurs doivent être implémentés par phase, menant à $2 \times N_{PH}$ générateurs. Nous identifions en Figure 3-13-a, les différentes opérations que nous prévoyons réaliser. La conception est similaire à n'importe quel générateur PWM utilisé dans la littérature. Elle consiste en l'utilisation d'un générateur de signal en dents de scie qui est comparé à un seuil de tension, pour émettre une impulsion dont le rapport cyclique est proportionnel à la référence PWM. La différence ici est que la référence PWM est préprogrammée - V_{PWM_L} ou V_{PWM_H} en fonction de la puissance d'impulsion à générer (P_L or P_H).

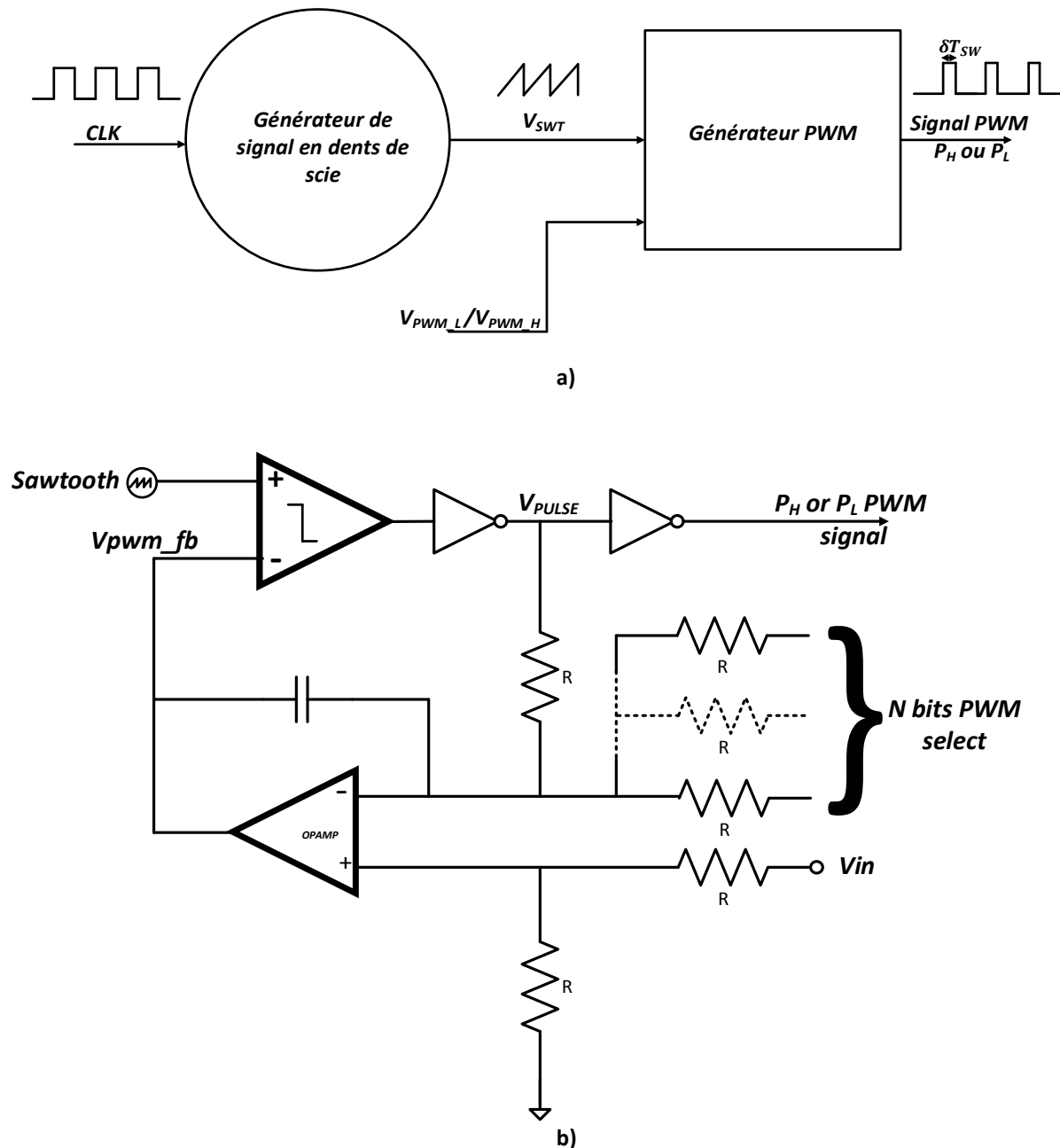


Figure 3-13: a) Diagramme du générateur PWM ; b) Approche de conception du générateur de PWM

En supposant une pleine échelle V_{SWING} des deux V_{PWM_L} et V_{PWM_H} , le rapport cyclique peut être exprimé par la relation suivante :

Equation 27

$$\delta_{L/H} = \frac{V_{PWM_L/H}}{V_{SWING}}$$

La Figure 3-13-b présente un aperçu de la réalisation du générateur PWM. Un comparateur est utilisé pour générer les impulsions PWM et une boucle de rétroaction locale compare la valeur moyenne de P_H/P_L à la tension de référence V_{PWM_L}/V_{PWM_H} , ce qui se traduit par :

Equation 28

$$\frac{V_{in}}{2} = \overline{V_{PULSE}} + V_{PWM_L}; \frac{V_{in}}{2} = \overline{V_{PULSE}} + V_{PWM_H}$$

Puisque les générateurs PWM ne font pas partie de la boucle du convertisseur, la contrainte principale sur leur conception est d'avoir leur boucle locale stable. Il est également préférable d'avoir un gain de boucle élevée pour obtenir un faible offset du rapport cyclique. On montre en Figure 3-14 des graphes résultant de l'analyse de stabilité de la boucle locale PWM proposée, avec un gain typique de 75 dB et 70 degrés de marge de phase*. Avec de tels résultats, le rapport cyclique escompté peut être obtenu avec une précision de 3%, prenant en compte variation de la technologie (Figure 3-15). La variation totale (erreur) $\varepsilon\delta$ dans la valeur du rapport cyclique doit être prise en compte dans le choix de δ_L et δ_H :

Equation 29

$$\delta_H = \frac{V_{ref} + R_{PS}I_{MAX}}{V_{in}} + |\varepsilon\delta| \text{ et } \delta_L = \frac{V_{ref} + R_{PS}I_{LIM}}{V_{in}} - |\varepsilon\delta|$$

Le Tableau 3-1 regroupe les performances du générateur PWM pour une conception à une fréquence de commutation de 10 MHz. Les valeurs sont obtenues à partir d'une analyse « corners ». La consommation totale de courant pour les deux générateurs PWM est d'environ 160 uA, montrant une limitation potentielle au nombre de phases que nous pouvons utiliser. L'augmentation du courant consommé avec non seulement la fréquence mais aussi le nombre de phases impacte l'efficacité du convertisseur à des valeurs réduites de courant de charge.

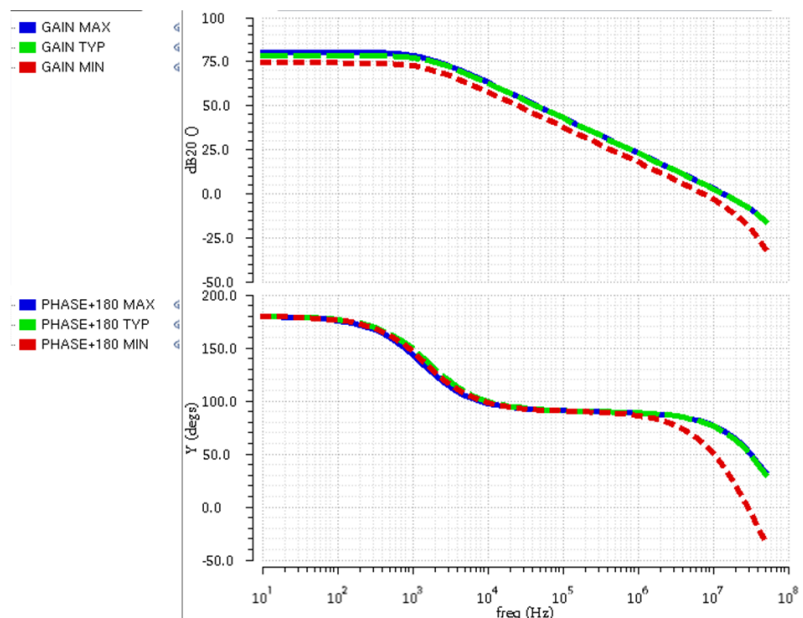


Figure 3-14: Graphiques de gain et de phase de la boucle PWM proposée

* Les résultats indiqués sont pour une conception PWM du prototype réalisé à 10 MHz et présenté en section 3.2.

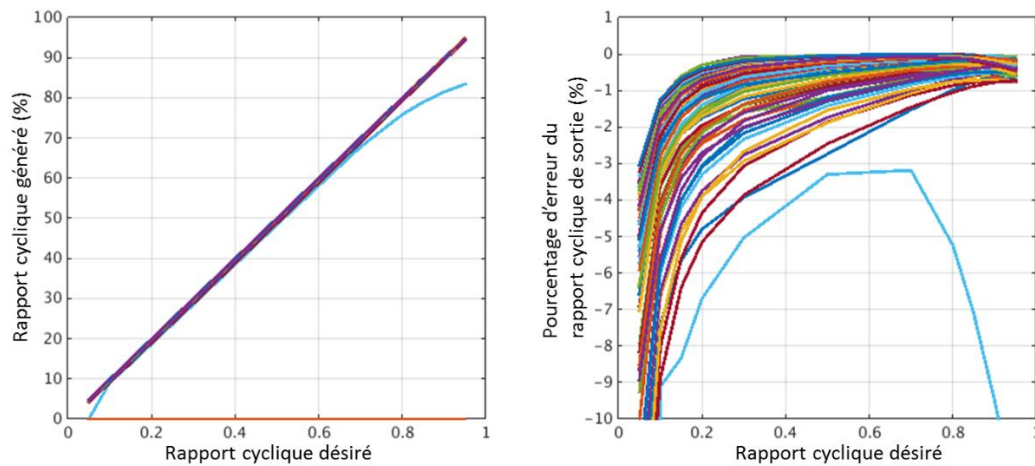


Figure 3-15: Erreur de valeurs de rapport cyclique obtenues dans le cas d'une analyse « corners »*.

Paramètre	MIN	TYP	MAX	Unités
Gain	73	75	78	dB
Coupeure à -3dB	1.5	2	2.5	KHz
Gain de fréquence unité	8	13	23	MHz
Marge de phase	57	75	78	Degrés
Courant consommé	64	75	82	uA
Offset	85	104	382	uV

Tableau 3-1: Tableau soulignant les performances de chaque générateur PWM

* Résultats obtenus de simulation CADENCE

3.2. Validation de la topologie avec mise en œuvre en CMOS 180 nm

Afin de valider la discussion topologique, le convertisseur Buck proposé en Figure 3-1 a été conçu en technologie IBM 0.18 μm et évalué comme un régulateur de tension à une phase commutant à 10 MHz. La plage de tension de sortie est définie comme 0.8 V à 2V (avec 1V et 1.8 V valeurs typiques) et le courant de charge varie de 0 à 2A. La valeur d'inductance considérée est comprise dans la plage de 60 nH à 100 nH alors que le condensateur de sortie a été choisi pour être typiquement 10 μF . La fréquence de commutation en CCM est donc réglée sur 10 MHz et la plage de tension d'entrée est considérée comme venant d'une batterie, donc 3.7 V nominale. Puisque ce régulateur est conçu uniquement pour validation de la structure proposée, nous avons opté pour un substrat de type « advanced single sided (aS³ package) » avec des interconnexions en fils (« bond-wire »), pour réduire le coût.

L'évaluation de la puce a été effectuée à l'aide de la carte-mère illustrée en Figure 3-16 ainsi que les équipements de test suivant :

- Un oscilloscope Tektronix MDO4104-3 pour prober les tensions, incluant des tensions internes à travers les broches de test ;
- Un probe de courant Tektronix TCP0030A ;
- Un Fluke 87-4 DMM pour mesurer les tension DC ;
- Un ampèremètre Fluke 8648A pour la mesure de courant d'alimentation et de charge ;
- Une alimentation de type Hameg HM7042A 5A pour régler la tension d'entrée du régulateur ;
- Une charge active BK8500 pour les mesures de l'efficacité ;
- Un circuit de générateur de transitoires 1A/50ns pour l'évaluation de la réponse du convertisseur.

La Figure 3-17 montre une microphotographie de la puce, mettant en évidence les interconnexions aux pads et les positions des blocs critiques du convertisseur. Un nombre élevé de registres a été utilisé pour augmenter la programmabilité sur le régulateur. Par conséquent, le contrôle numérique implémenté (qui inclut les registres de contrôle I2C) et les DACs de type flash utilisés dans l'ADC occupent une grande portion de la puce. L'ADC se compose principalement des comparateurs dans la boucle de rétroaction. Les références à ces comparateurs sont envoyées par des DACs programmables qui permettent de choisir la tolérance appliquée à la tension de sortie.

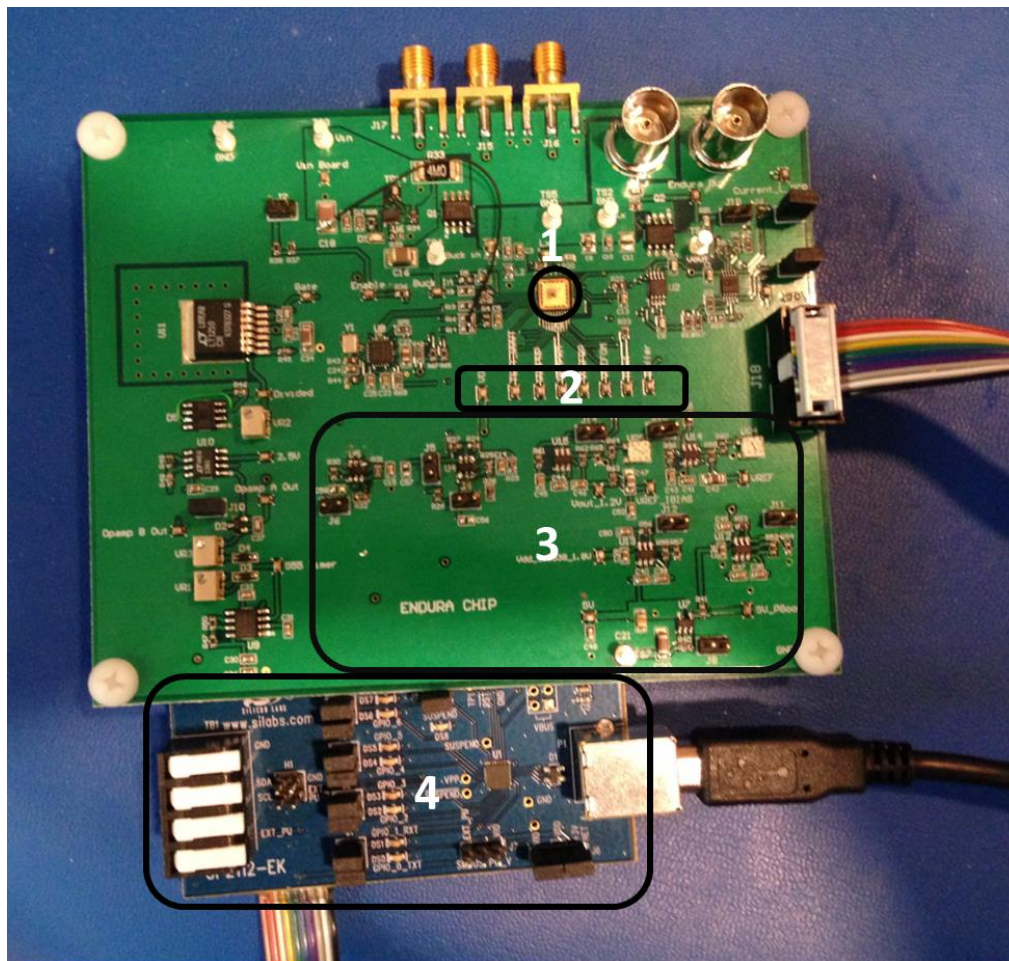


Figure 3-16: Configuration de la carte démo avec I2C; 1-position de la puce; 2-Positionnement des tests de tensions analogiques (référence sur puce, références DAC, sorties de comparateurs); 3- tensions de polarisation et LDOs; 4- carte Master I2C

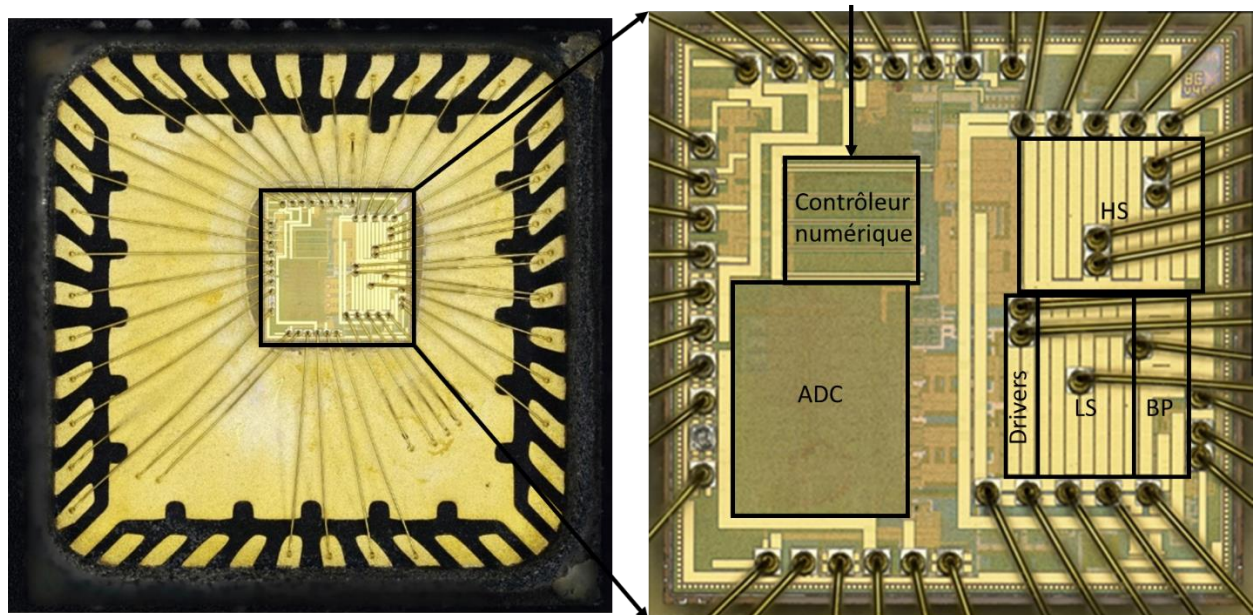


Figure 3-17: Microphotographie du silicium VR à 10 MHz (2.25 mm^2)

Les Figure 3-18-a et Figure 3-18-b décrivent la réponse transitoire du convertisseur Buck proposé. Dans le cas de la réponse à l'échelon négatif de courant de charge (Figure 3-18-b), la tension de sortie monte jusqu'au

seuil supérieur de tension $V_{ref} + V_{tol}$, ce qui met le bypass en marche. Nous observons une surtension d'environ 23 mV pour une tension de sortie de valeur 1V. L'échelon positif de courant de charge en Figure 3-18-a met en évidence l'efficacité de l'approche de contrôle pseudo-hystérétique utilisée. Puisque la surtension négative est essentiellement liée à la vitesse des comparateurs et les retards dans le circuit de rétroaction (drivers inclus), nous observons une faible déviation de ~ 10 mV pour un transitoire de 1A. Ces valeurs s'avèrent être meilleures que les résultats obtenus par les travaux antérieurs mentionnés dans le Tableau 3-2. En addition aux valeurs de surtensions obtenues, il est important de comparer le temps de réponse aux transitoires du régulateur proposé, à des travaux antérieurs commutant à des fréquences similaires, et en se basant sur les mêmes critères que ceux utilisés dans la section 2.3 du chapitre 2. Nous réutilisons donc la figure du mérite exprimée en Equation 10 qui consiste à combiner le temps de réponse, la fréquence de commutation et l'échelon de courant de charge des convertisseurs. La Figure 3-19 représente un graphe de la figure du mérite par rapport à la génération technologique employée. Le convertisseur de Buck proposé répond en 2.5 μ s à un échelon de courant de 1A et présente le plus petit facteur de mérite.

Equation 30

$$Performance\ transient = \frac{Temps\ de\ réponse \times Fréquence\ de\ commutation}{Echelon\ de\ courant} \text{ en } \frac{1}{A}$$

Dans la Figure 3-20, nous partageons l'efficacité du convertisseur en fonction de la charge (10 mA à 2.5 A), pour des valeurs de sortie de 0.8 V, 1V, 1.2 V et 1.8 V et avec une tension d'entrée de 3.7 V. L'inductance utilisée est 60nH avec 20 m Ω de DCR. Pour ce silicium, nous étions beaucoup plus intéressés par le potentiel de régulation de tension dynamique. Nous partageons les résultats d'efficacité pour prouver que l'addition du troisième état et le contrôle utilisé ne rendent pas le convertisseur proposé moins efficace qu'un régulateur conventionnel. Et enfin, le Tableau 3-2 complète la Figure 3-19 avec une comparaison entre le régulateur 3 états à 10 MHz aux travaux présentés dans le chapitre 2. Notons que nous réutilisons le Tableau 2-1 du dernier chapitre. La topologie proposée de convertisseur Buck présente des performances dynamiques similaires, et même meilleures que des convertisseurs basés sur le contrôle AVDE [7], [8], et une surtension bien plus réduite que le contrôle en courant proposé en [10].

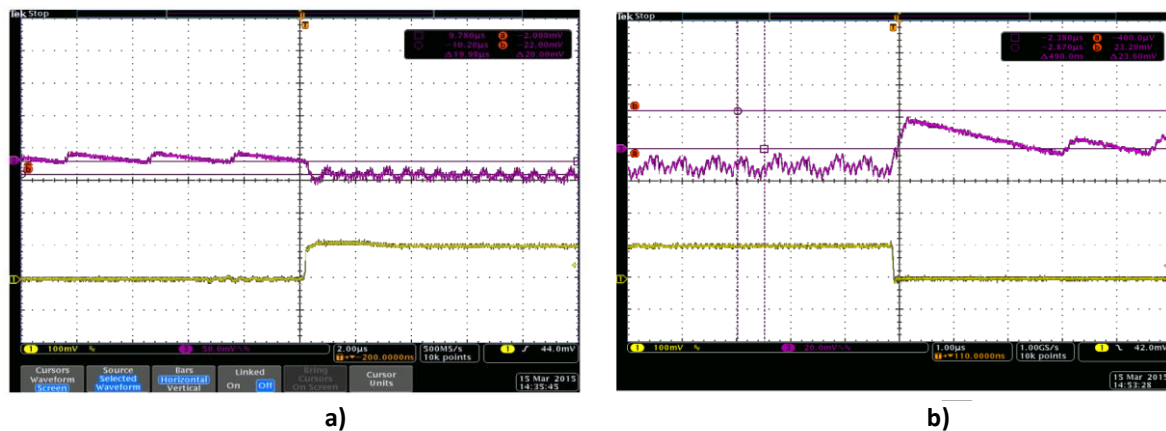


Figure 3-18: a) Réponse à un échelon positif de courant 100 mA à 1A de charge ($\sim 1\%$ de surtension négative) avec 10 μ F de capacité de sortie et 60 nH inductance (tension de sortie en violet au-dessus et le courant de charge en jaune en dessous); b) Réponse à un échelon négatif de courant 1A à 100 mA de charge ($\sim 2.3\%$ de surtension positive) avec 10 μ F de capacité de sortie et 60 nH inductance (tension de sortie en violet au-dessus et le courant de charge en jaune en dessous);

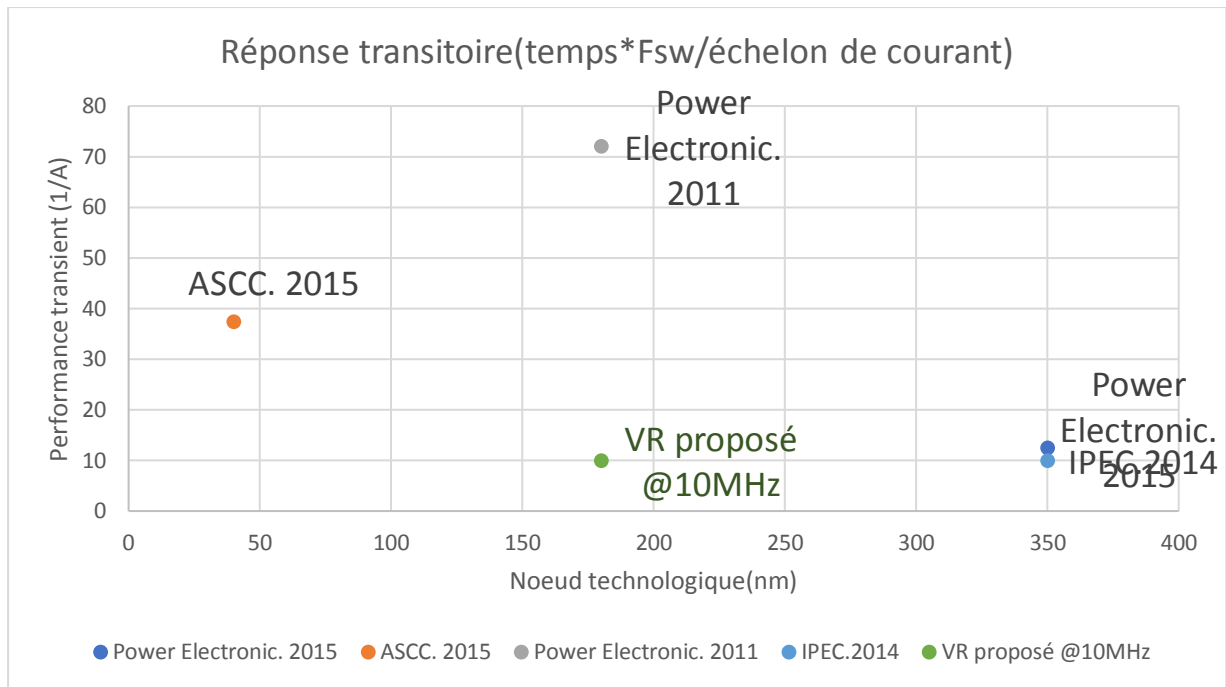


Figure 3-19: Comparaison des performances transitoires du Buck proposé et de propositions de l'état de l'art.

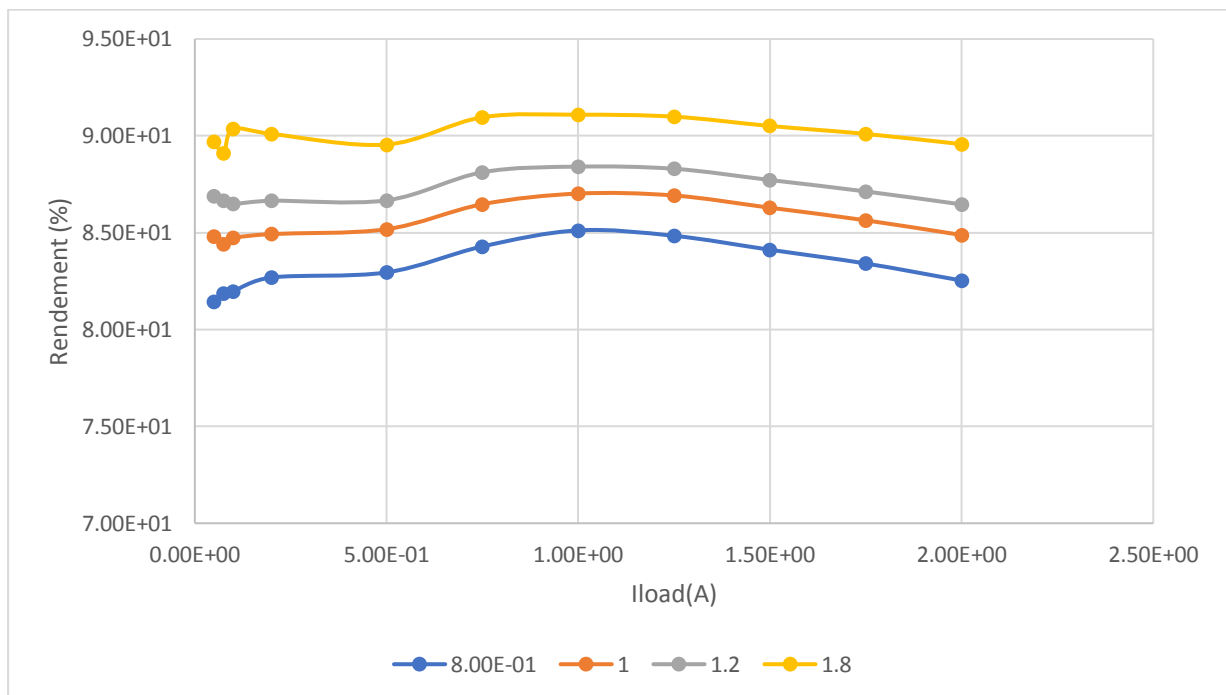


Figure 3-20: Courbe d'efficacité du régulateur 3 états pour un balayage de charge entre 10 mA et 2A à différentes tensions de sortie notées dans la légende.

	Travaux	[10]	[37]	[39]	[8]	[40]	[29]	[31]	[7]	[9]	Ce travail
<i>Source (Conf. / Journal)</i>	ASSCC 2015	Industrial Electronics 2015	Power Elect. 2011	Power Elect. 2015	CICC 2011	ICISSEE 2014	ESSCIRC 2012	Power Elect. 2014	COMPEL 2012		Thèse de doctorat
<i>Technologie (um)</i>	0.35	N/A	0.35	0.35	0.040	0.18	0.13	0.35	N/A		0.18
<i>V_{in} (V)</i>	2.4 – 3.6	20	2.7 – 4.2	3.3	1.5	3.3	2.7 – 4.3	3.3	3		2.7 - 5
<i>V_{out} (V)</i>	0.9 – 2.1	5	0.9	1 – 2.5	0.6 – 1.3	2	1.2	1 – 2.5	N/A		0.8 - 2
<i>F_{sw} (MHz)</i>	0.875	0.02	N/A	1	80	1	10	1	1		10
<i>Capacité de sortie (uF)</i>	10	440	4.7	10	0.023	10	1	N/A	4.7		10
<i>Echelon de courant (A)</i>	1	4	0.4	0.16	0.6 (4 phases)	0.5	0.3	0.2	0.6		1
<i>Surtension</i>	62mV	200mV (4%)	87mV (9.6%)	N/A	30mV (3.5%)	131mV (6.5%)	55mV (4.5%)	N/A	N/A		10mV (2%)
<i>Temps de réponse</i>	4us	250us	12us	2us	700ps	36us	1.5us	2us	15us		1us
<i>Performance transient (1/A)</i>	3.5	1.25	N/A	12.5	37.33	72	50	10	25		10

Tableau 3-2: Comparaison des performances avec des réalisations antérieures

CHAPITRE 4 APPROCHE À LA CONCEPTION ET INTÉGRATION DE L'IVR 3

ÉTATS PROPOSÉ

Nous rappelons du chapitre 3 que la topologie proposée de convertisseur Buck 3 états, présente de meilleures performances dynamiques comparée aux travaux antérieurs. En raison de sa bande passante facilement évolutive, nous pouvons attendre les mêmes améliorations par rapport aux FIVR existants lors du passage à des fréquences de commutation plus élevées. En plus des résultats de réponse aux transients, le rendement de l'étage de puissance n'est pas affecté par l'addition du 3^{ème} état, grâce au type de contrôle utilisé.

Nous présentons ici notre approche pour intégrer le convertisseur à trois États dans les technologies utilisées pour les processeurs. Nous nous basons sur les critères de performance décrits dans le chapitre 1 qui sont essentiellement la consommation d'énergie du système processeur+ IVR, la consommation en surface et la régulation dynamique. Deux éléments entrent en compte dans l'optimisation de la consommation d'énergie. Il s'agit d'une part des économies d'énergie liées à la DVFS du processeur (section 4.1) et d'autre part l'efficacité du régulateur intégré, donc la conception de l'étage de puissance (section 4.4). A l'aspect consommation en surface, on peut lier l'optimisation en surface du die (section 4.3) et l'approche d'intégration du filtre de sortie qui domine souvent le convertisseur (section 4.2). Notons cependant que cette optimisation en surface est à effectuer sans affecter le rendement du Buck. Enfin la régulation dynamique qui est déjà optimisée du fait du choix de la topologie du chapitre 3, mais qui peut aussi être affectée par le filtre de sortie (section 4.2).

Ainsi, ce chapitre est développé comme suit. Nous présentons d'abord les économies d'énergie possibles à base de DVFS, en utilisant des IVR pour alimenter des micro-processeurs en lieu de convertisseurs hors-puce. Discutées dans la section 4.1, ces économies d'énergies deviennent encore plus importantes avec le nombre grandissant de cœurs dans les unités de traitement (Figure 4-1), et nous permet de définir une valeur optimale de commutation de sortie qui mettra une première contrainte sur les valeurs de nos éléments passifs. La section 4.2 étudie le filtre de sortie en considérant la surface et le rendement pour le choix d'inductance, puis la réponse aux transitoires et la contrainte de commutation de sortie pour le choix de capacité de découplage. Plus en détail, la section 4.2.1 présente l'état actuel de la recherche dans l'approche à l'intégration d'inductance et propose la meilleure approche pour réduire la consommation en surface tout en maintenant un bon rendement. Le type d'inductance est également discuté puisque sa bande utile et les pertes induites deviennent importantes à hautes fréquences de commutation. La section 4.2.2 aborde ensuite le problème de bruit dans les processeurs pour mieux définir le besoin de performances aux transitoires de charge et ajoute une deuxième contrainte au choix de la capacité en sortie. Nous proposons ensuite une valeur optimale de découplage en sortie de l'IVR proposé, sur la base des deux contraintes (DVFS et bruits) énumérées. La méthode de conception du pont de puissance dans les technologies orientées SoC est décrite dans les sections 4.3 et 4.4, et cible un fonctionnement fiable et efficace du FIVR 3 états pour une faible consommation en surface. Et enfin, une nouvelle topologie de générateur PWM multi-phase est décrite dans la section 4.5 suivi d'autres blocs importants dans la réalisation du régulateur intégré.

SM CORE 0	SM CORE 1	SM CORE 2	SM CORE 3
SM CORE 4	SM CORE 5	SM CORE 6	SM CORE 7
L2 Cache Network on Chip (NoC) Memory Controller			
SM CORE 8	SM CORE 9	SM CORE 10	SM CORE 11
SM CORE 12	SM CORE 13	SM CORE 14	SM CORE 15

Figure 4-1: Exemple de Layout de GPU.

Notons que l'approche de conception décrite dans ce chapitre, est présentée de sorte à rendre possible une intégration du convertisseur 3 états proposé dans n'importe quel nœud technologique.

En outre, des termes tels que « FIVR », « IVR », « régulateur sur-puce » ou même « convertisseur à commutation rapide » se réfèrent aux régulateurs Buck intégrés et seront fréquemment utilisés dans ce chapitre. Nous mentionnons également à plusieurs reprises, la régulation dynamique de tension « DVR » présentée dans la section 1.2.2 du chapitre 1, et "DVFS" pour le changement dynamique de tension et de fréquence du processeur.

Contenu du chapitre

4.1. Vitesse de commutation de tension pour DVFS	61
4.2. Intégration du filtre de sortie.....	65
4.2.1. Intégration d'inductance.....	66
4.2.1.1. Connaissances générales d'inductance et mécanismes de perte	67
4.2.1.2. Bobines à air intégrées.....	71
4.2.1.3. Inductances intégrées à noyau magnétique	75
4.2.1.3.1. Inductances latérales à noyau magnétique (2-D)	76
4.2.1.3.2. Inductances verticales à noyau magnétique (3-D).....	78
4.2.1.4. Bilan des inductances intégrées	81
4.2.2. Capacité de découplage en sortie et PDN associé.....	84
4.2.2.1. Analyse du bruit de tension dans les processeurs.....	84
4.2.2.1.1. Connaissances fondamentales de l'impédance du PDN.....	87
4.2.2.1.2. Forme générale de l'impédance vue du processeur	88
4.2.2.1.3. Surtension dans les processeurs multicœurs	91
4.2.2.2. Choix de capacité de sortie	95
4.3. Réseau de distribution d'énergie en entrée du FIVR.....	97
4.4. Implémentation d'étage de puissance du FIVR proposé.....	106
4.4.1. Analyse du pont d'interrupteurs de puissance	107
4.4.2. Mécanisme de recyclage de charges	110
4.4.3. Analyse de l'étage de puissance cascode proposé.....	115
4.4.4. Discussion de fiabilité	117
4.4.5. Résultats de simulation.....	119
4.5. Générateur PWM multi-phase proposé	123
4.6. Comparateurs et référence	131
4.6.1. Les comparateurs	131
4.6.2. Référence de tension.....	134

4.1. Vitesse de commutation de tension pour DVFS

Nous rappelons du chapitre 1 que le concept DVFS a connu un essor important avec l'utilisation potentielle de régulateurs sur puce depuis 2008. La possibilité d'effectuer plus d'économies d'énergie crée un besoin important de comprendre l'impact de DVFS sur le système (processeur+ convertisseur) et de définir le temps de commutation minimal nécessaire pour des économies d'énergie optimales.

Kim et al, [14] proposent trois architectures possibles de systèmes multiprocesseurs dans le contexte de système embarqué mobile (Figure 4-2). Nous comparons les économies d'énergie liées au DVFS entre les 3 configurations :

- Une tension de batterie V_{bat} avec une valeur typique de 3.7 V est convertie par un régulateur hors puce qui alimente un microprocesseur M-cœurs avec une tension V_{core} (config a) ;
- Le régulateur hors-puce alimente un convertisseur sur puce avec une tension V_{onchip_supply} (1.8 V en général). Le convertisseur sur puce alimente ensuite les 'M'cœurs du processeur avec une tension nominale V_{core} (config b) ;
- Le régulateur Buck hors-puce alimente 'M'régulateurs sur puce qui généreront des tensions destinées à chaque cœur individuellement (config c).

Dans un microprocesseur, certains algorithmes de contrôle DVFS peuvent être implémentés soit dans le planificateur du système d'exploitation [14] ou via des algorithmes de compilateur [14], ou encore dans l'architecture du microprocesseur, comme unité microcontrôleur [15], [22], qui surveillent en temps réel, les conditions de fonctionnement de plusieurs endroits de la puce. L'objectif principal de ce type de contrôleur, qu'on appellera « microcontrôleur » dans la suite, est de gérer la consommation d'énergie et les performances. Cela se fera en surveillant la tension requise par chaque domaine, la fréquence de fonctionnement et en réduisant les pertes de fuites (*leakage*) dans les domaines inactifs, avec l'utilisation d'interrupteurs d'alimentation (power gates) [22]. Dans le cas où la DVFS est implémentée dans le microcontrôleur, les puissances statique (liées aux fuites) et dynamique consommées peuvent être surveillées puisque les deux cas de consommation d'énergie dépendent fortement de la tension d'entrée et de la fréquence d'horloge (comme illustré dans l'Equation 31).

Equation 31*

$$P_d \propto V_{proc}^3 \propto f_{clk}^3 \text{ et } I_{D,leak} \propto \exp\left(\eta \frac{V_{proc}}{V_t}\right)$$

Où P_d est la puissance dynamique consommée, et $I_{D,leak}$ le courant de fuite des drains de MOSFETs;

V_{proc} est l'alimentation du processeur; $V_t = \frac{kT}{q}$ avec k comme la constante de Boltzmann, T la température absolue et q la charge; et finalement f_{clk} est la fréquence d'horloge du processeur et η un coefficient de régime sous – seuil.

Les deux types d'opérations les plus souvent considérés dans un processeur sont les *opérations liées au CPU* (ou *charge de travail intensive en calcul*) qui impliquent à peine l'accès à la mémoire et les *opérations liées à la mémoire* (*charge de travail intensive en mémoire*) qui impliquent un accès plus fréquent à la mémoire. Comme le changement de fréquence du processeur n'affecte que les opérations liées au CPU, la fréquence et la tension peuvent être réduites en présence d'opérations de mémoire. L'algorithme du microcontrôleur détermine les paramètres de tension/fréquence optimaux pour chaque intervalle de fonctionnement (CPU ou mémoire). Cela minimise la consommation d'énergie tout en conservant une contrainte de performance spécifiée : c'est l'opération DVFS. Le contrôle DVFS modifie d'abord la fréquence, avant de diminuer la tension du processeur ; et fait le contraire pour l'augmentation de tension [44], comme indiqué dans la Figure 4-3. Toutefois, la tension d'alimentation qui provient d'un régulateur ne change pas forcément aussi vite que la fréquence d'horloge, mais dépend plutôt de la *vitesse de commutation de tension* du régulateur. Étant donné que chaque intervalle de fonctionnement peut être très court, la latence dans la commutation de tension apparaît comme une perte d'énergie appelée *Frais de DVFS* (ou *surcharge de DVFS*). La surcharge DVFS inclut plusieurs paramètres. Il s'agit en premier du temps de commutation de tension, qui affecte la granularité de l'échelle temporelle de l'échelonnement dynamique de la tension. Le deuxième élément est la perte d'énergie du convertisseur et le troisième, l'excès/déficit de commutation pendant la transition (Figure 4-3). Sur la base

* L'équation de puissance dynamique et la relation entre V_{dd} et f_{clk} sont démontrées dans le travail [15]

de l'exemple utilisé dans [14], un multiprocesseur à 4 cœurs peut basculer entre inactivité et activité, près de 125K fois en 1 million de cycles pour chaque cœur. Au fur et à mesure que les transitions deviennent plus fréquentes, les frais de DVFS (exprimés P_{OH_avg}) augmentent. Nous approximations ces frais comme l'Equation 32:

Equation 32

$$P_{OH_avg} = \frac{N_S}{N_{ST}} \cdot f_{cycle} \int_0^{t_{vs}} (P_{proc}(t) - P_{proc}(t_{vs})) dt$$

Avec P_{proc} représentant la puissance instantanée du processeur, t_{vs} le temps de commutation requis par le régulateur, N_S le nombre de transitions de fréquence d'horloge effectuées, N_{ST} la fenêtre d'évaluation ou nombre total de cycles et f_{cycle} la fréquence des cycles.

Nous écrivons l'Equation 32 pour modéliser les pertes survenant dans le régulateur alors qu'il brûle une quantité supplémentaire de puissance pendant la commutation de tension.

Compte tenu des rendements de régulateurs, des économies d'énergie du DVFS ainsi que les frais généraux de DVFS, et sur la base des travaux exécutés par Kim et al [14], Eyerman et Eeckhout [15], Arora et al [45], nous concluons sur les trois architectures comparées:

- **Echelle de temps de DVFS** : L'échelle de temps DVFS se compose du nombre minimal de périodes d'horloge que le microcontrôleur du processeur considère avant de choisir les valeurs de tension/fréquence adéquates. Lorsque cette échelle de temps est de l'ordre de quelques microsecondes (10-100us typiquement), nous parlons d'échelles de temps de l'ordre de la microseconde (ou de granularité grossière), et quand elle est de centaines de nanosecondes ou moins, nous parlons d'échelle de temps de l'ordre de la nanoseconde (ou de granularité fine). La config a) souffre de granularité grossière de DVFS due à la lente commutation de tension des VRs hors puce. Cela réduit les économies d'énergie introduites par l'échelonnement de tension/fréquence – 35 à 40% de réduction d'énergie pour 5% de dégradation de performances. Cependant, les frais de DVFS sont faibles en raison de contraintes plus détendues sur les transitions de tension/fréquence. En revanche, les config b) et c) présentent des intervalles de DVFS de l'ordre de la nanoseconde, dû à la présence d'IVRs. En supposant que ces derniers commutent assez vite la tension de processeur, des valeurs de 60% de réduction d'énergie peuvent être escomptées pour des dégradation de performance d'environ 5%. En allant plus en détail pour comparer config b) à config c), 18% d'économie d'énergie additionnelle peut être réalisée avec config c). Bien que dans les deux cas, les frais de DVS sont plus importants qu'avec la config a), il faut noter que comme le montre l'Equation 32, des temps de transition de DVFS très faibles impliquent des pertes négligeables ; d'où le besoin d'une vitesse de commutation appropriée. Le choix entre la config b) et c) dépendra de la consommation et du nombre de cœurs de processeur.
- **Efficacité totale du système à microprocesseurs** : Les config b et c) intègrent toutes deux une cascade de régulateurs de tension hors puce et sur puce avec le VR intégré, alimentant le processeur. En fait, une telle cascade de convertisseur Buck est plus efficace que la config a), principalement dû à la possibilité d'utiliser des dispositifs plus efficaces à des tensions d'alimentation faibles. Wang et al [46] présentent les résultats de surface consommée et d'efficacité des systèmes. Config b) et config c) sont indiquées comme présentant un meilleur rendement global de V_{bat} à V_{core} , ainsi qu'une économie de surface totale de 66%* comparées à config a). Notons également que d'autres travaux se sont focalisés sur l'utilisation de régulateurs linéaires aux lieux de Buck intégrés [47], [23] utilisant config b) ou config c), mais avec les Bucks sur puce remplacés par des LDOs. Mais comme précisé dans le chapitre 1, les régulateurs linéaires sont très peu efficaces comparés aux régulateurs Buck.

A partir des aspects énumérés, nous résumons que l'utilisation de régulateurs sur puce pour chaque cœur (ou un nombre réduit de cœurs) de processeur présente des avantages effectifs de rendement et d'économie d'énergie du système. L'avantage d'une rapide commutation de tension de sortie étant évidente, il est important de définir quelle échelle de temps est optimale pour le processeur et plus important encore pour ce travail, quelle est la vitesse de commutation de tension à atteindre.

Nous montrons dans la Figure 4-4, des graphes mettant en évidence la consommation d'énergie dans un système (IVR + Processeur) pour les deux types d'opérations (mémoire ou calcul). Les valeurs sont obtenues à partir d'expérimentations réalisées par Eyerman et al [15], utilisant un régulateur sur puce typique (75% de rendement) et un processeur à 2.4 GHz. Enfin, sur l'axe x de la figure, la vitesse de commutation de sortie du VR est balayée de 2 à 200 mV/ns. Comme les charges de travail intensives en calcul affichent la même

* Basé sur des conceptions dans une technologie de 130 nm

consommation d'énergie quelle que soit la vitesse de changement de tension, nous nous concentrons sur les opérations liées à la mémoire.

Dans un processeur typique, l'accès à la mémoire hors puce (DRAM par exemple) est une opération qui prend des cycles multiples (~ 170)* correspondant à 70 ns pour un processeur 2.4 GHz. Pour de telles échelles de temps, une vitesse de commutation de tension entre 10 mV/ns et 20 mV/ns semble être l'optimale pour des économies d'énergie maximales dans les systèmes de traitement actuels, et ce, compte tenu des pertes de régulateur typiques, des frais généraux de DVFS et des économies d'énergie DVFS. La valeur minimale de 10 mV/ns pour la vitesse de commutation de tension, doit être considérée comme une contrainte non seulement sur le choix du filtre de sortie mais aussi sur la conception du générateur PWM que nous décrivons dans la section 4.5.

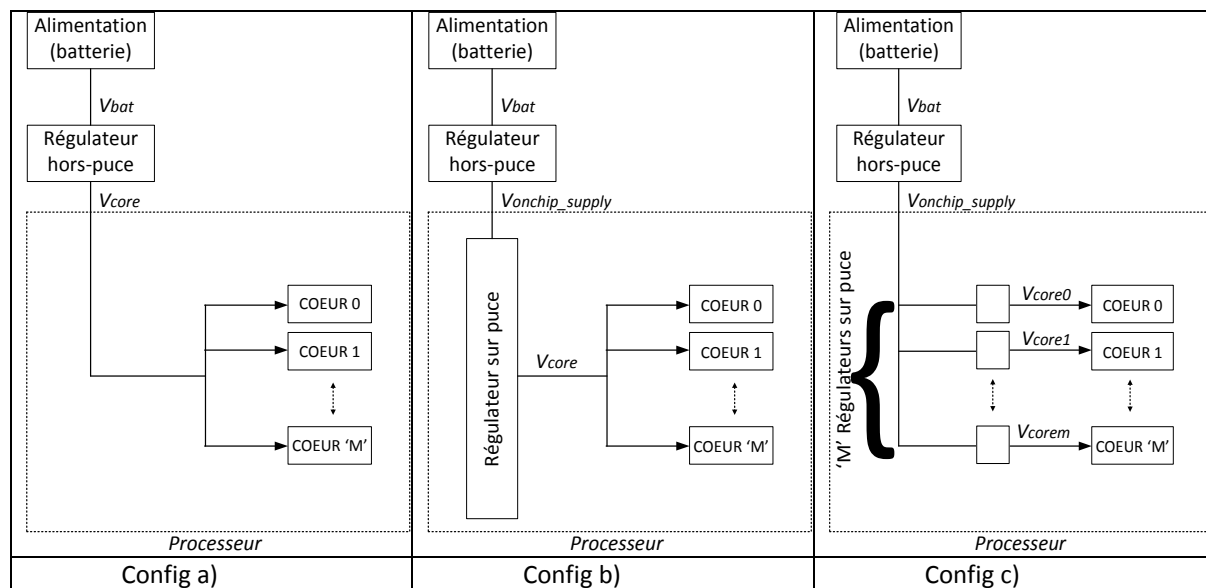


Figure 4-2: Configurations d'alimentation

* Le nombre de cycles d'accès à la mémoire constitue notre échelle de temps minimum

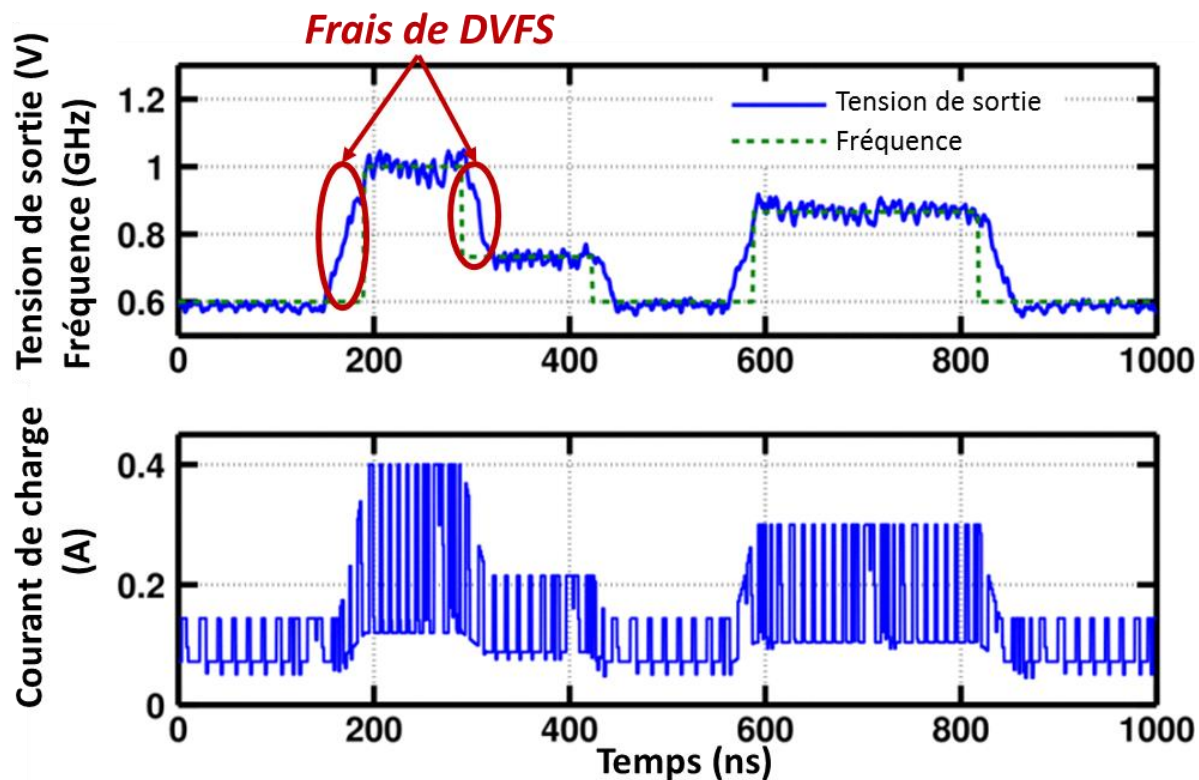
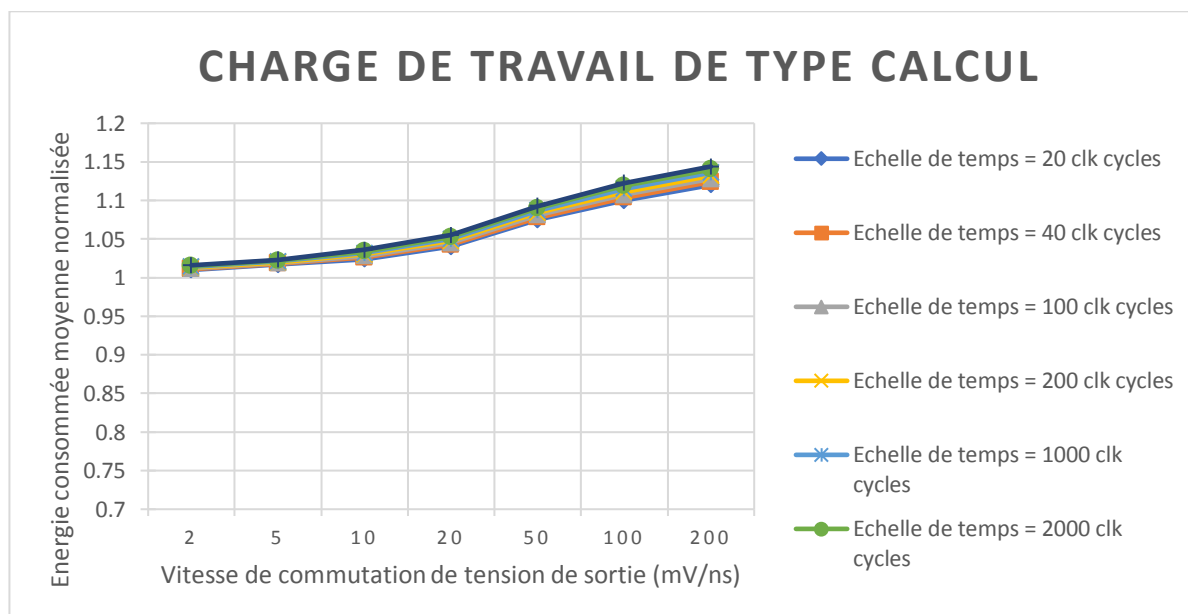
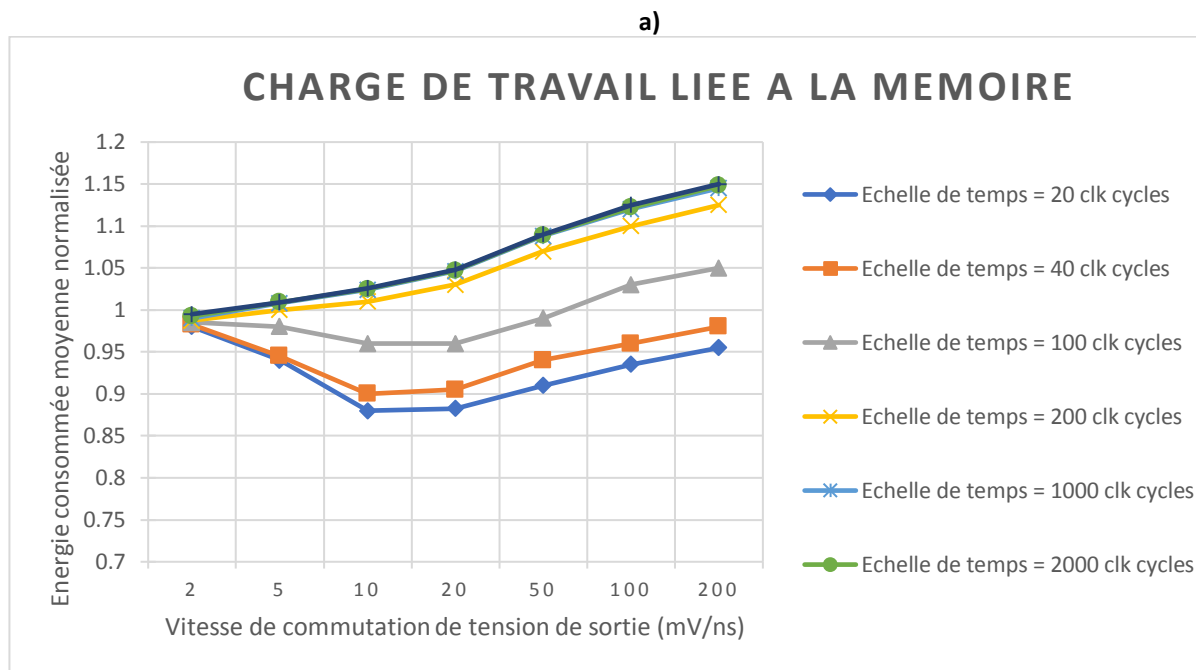


Figure 4-3: Exemple de commutation de tension de sortie du régulateur pour DVFS





b)

Figure 4-4: Consommation d'énergie normalisée du système en fonction de l'échelle de temps DVFS et de la vitesse de commutation de tension pour un processeur nominal de 2.4 GHz (données extraites du travail [15]): a) charges de calcul intensif; b) charges gourmandes en accès mémoire.

4.2. Intégration du filtre de sortie

Afin de répondre à la contrainte de régulation de tension dynamique discutée plus tôt, le régulateur sur puce doit commuter à haute fréquence (> 100 MHz typiquement) pour des valeurs d'échelle de temps DVFS de ~ 100ns [14]. Cependant, nous apprendrons dans cette section qu'une telle augmentation de la fréquence de commutation a un grand impact sur l'efficacité du FIVR car il y a des limites aux performances des inductances intégrées. Ainsi, parce que pour notre prototype d'IVR 3 états décrit en chapitre 5, nous choisissons une fréquence de commutation de 100 MHz, les contraintes DVR sont repoussées vers le choix du condensateur de découplage.

Nous présentons en Figure 4-5, les niveaux d'intégration possibles de FIVRs. Le cas du régulateur hors puce est d'abord montré en Figure 4-5-a. Ensuite, les architectures système possibles dans le package sont décrites de la Figure 4-5-b à la Figure 4-5-d. Nous distinguons 2 principaux niveaux d'intégration :

- L'*intégration 3-D* qui peut être faite par une mise en œuvre de Package-on-package (PoP), comme indiqué dans la Figure 4-5-b, et se référant à un système dans le package (SiP). L'approche 3D peut également être réalisée par réalisation *multi-puce** mise en œuvre dans le package (boîtier) et représentée en Figure 4-5-c. Cela est effectué en ajoutant un interposeur pour empiler les différents éléments, et implique généralement la possibilité d'utiliser des "Vias spéciaux" (TSV, TGVs etc. qui seront mentionnées plus loin dans cette section) pour créer des connexions entre les puces.
- L'*intégration 2-D* dont l'*intégration monolithique* qui consiste à avoir le régulateur et le processeur sur la même puce (Figure 4-5-d). On y rajoutera également une possibilité d'approche multi-éléments (ou *éléments embarqués dans le package*) où un substrat de package est partagé par tous les éléments.

Il est important de comprendre que chaque méthode d'intégration peut incorporer des éléments orientés 2D ou 3D, tels que des passifs. Cette section se référera souvent à des composants 2D ou 3D dans le package utilisant soit une approche d'intégration 2D ou 3D.

Nous ajoutons que notre discussion suivante sur les passifs tournera autour de l'optimisation de la surface consommée versus l'efficacité versus la DVR de l'IVR. Ajoutons que nous optons pour une approche

* Originellement appelé en anglais « multi-die »

multi-phase, qui est d'ailleurs généralement utilisée dans les FIVRs car elle réduit la quantité de capacité de sortie nécessaire comparée à une seule phase [14], [19].

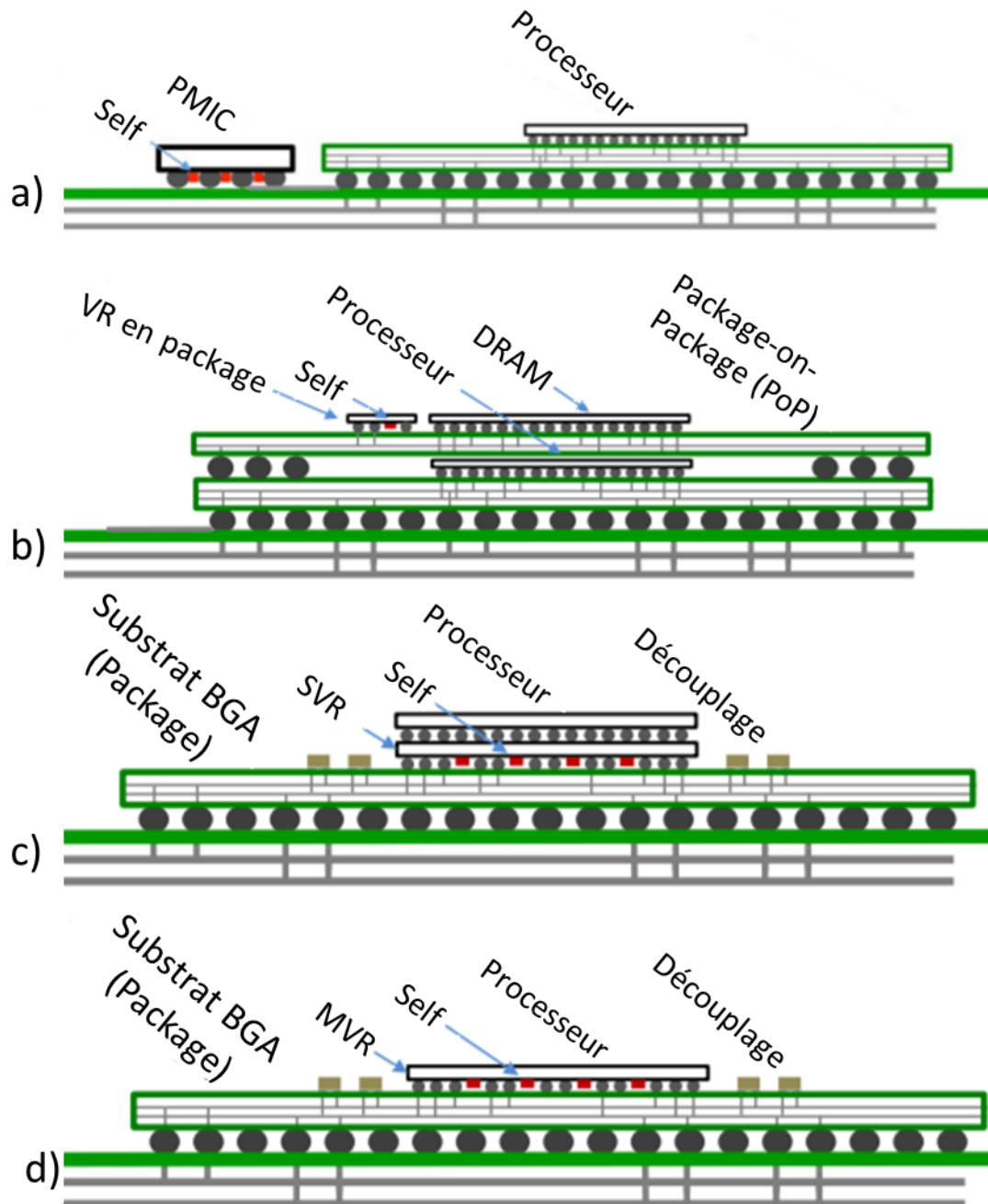


Figure 4-5: Niveaux d'intégration des régulateurs de tension: a) Régulateur de tension PMIC mis en œuvre hors puce; b) IVR en package (PIVR) ou intégration 3D; c) Régulateur de tension autonome intégré (ISVR) sur interposeur ou approche 2.5-D/3-D; d) Régulateur de tension intégré monolithique (MIVR).

4.2.1. Intégration d'inductance

L'objectif de cette section est de traiter la réalisation d'inductances pour IVR, en fonction des contraintes d'optimisation décrites précédemment (surface vs efficacité vs DVR). Cela revient à obtenir le plus de densité d'inductance, et le minimum de perte à une fréquence de commutation élevée. Nous concluons sur les meilleures approches de la réalisation et de l'intégration de ces inductances.

4.2.1.1. Connaissances générales d'inductance et mécanismes de perte

Une inductance se compose typiquement d'un fil isolé et enroulé telle une bobine autour d'un noyau. Alors que le courant circule à travers la bobine, un champ magnétique est induit dans le noyau, ce qui permet de stocker de l'énergie. La Figure 4-6 montre un exemple d'inductance utilisant une toroïde, la structure la plus idéale d'un noyau. Le noyau peut être un matériau magnétique qui facilitera la génération du champ magnétique ; ou il peut être vide, auquel cas on parle de bobine à air. Pendant que le courant circule à travers la bobine, une excitation magnétique H est générée suivant l'Equation 33 dérivée de la loi d'Ampère :

Equation 33

$$H = \frac{NI}{mL}$$

Où N est le nombre de tours de la bobine, I est le courant à travers la bobine, et mL la longueur moyenne de déplacement le long du champ magnétique.

L'excitation magnétique induit un flux magnétique dans l'inductance, dont la densité dépendra du noyau. La densité de ce flux magnétique est dérivée des lois d'Ampères et de Faraday comme suit :

Equation 34

$$\mu = \frac{B}{H}$$

Avec B la densité du flux (ou champ) magnétique, H l'excitation magnétique et μ la perméabilité du noyau.

Comme le décrit l'Equation 34, la perméabilité du noyau μ est la figure de mérite qui représente sa facilité à générer un flux magnétique. Ce facteur de mérite peut également être lié aux caractéristiques du matériau utilisé dans le noyau, tel qu'exprimé en Equation 35:

Equation 35

$$\mu = \mu_0 \cdot \mu_{eff} = \mu_0 \times \frac{\mu_r}{1 + N_d(1 + \mu_r)}$$

Où μ_0 est la perméabilité du vide, μ_r est la perméabilité relative du matériau, μ_{eff} représente la perméabilité effective du noyau magnétique, et N_d est le facteur de magnétisme dont la valeur dépend de la géométrie du noyau.

Alors que la densité du flux magnétique est générée, le flux total Φ est dérivé de l'équation de Gauss et de la loi d'Ampère comme :

$$\Phi = B \times A = \frac{\mu \times N \times I \times A}{mL}$$

Et l'inductance est proportionnelle au flux [24], [48]:

Equation 36

$$L \propto \frac{\mu \times N^2 \times A}{mL}$$

Où L est l'inductance et A , la section transversale du noyau.

L'Equation 36 montre que l'inductance augmentera en proportion directe avec la perméabilité du noyau, sa section transversale, et dans une proportion carrée du nombre de tours de bobine. Fondamentalement, la perméabilité et la surface du matériau sont les deux paramètres qui auront un impact sur la valeur d'inductance obtenue.

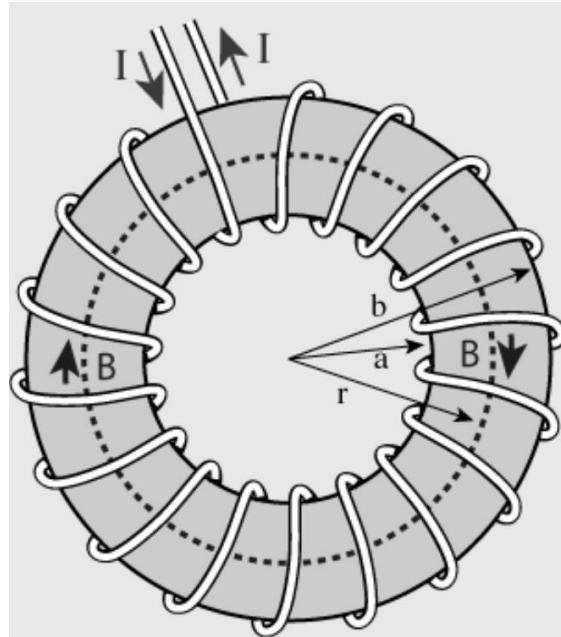


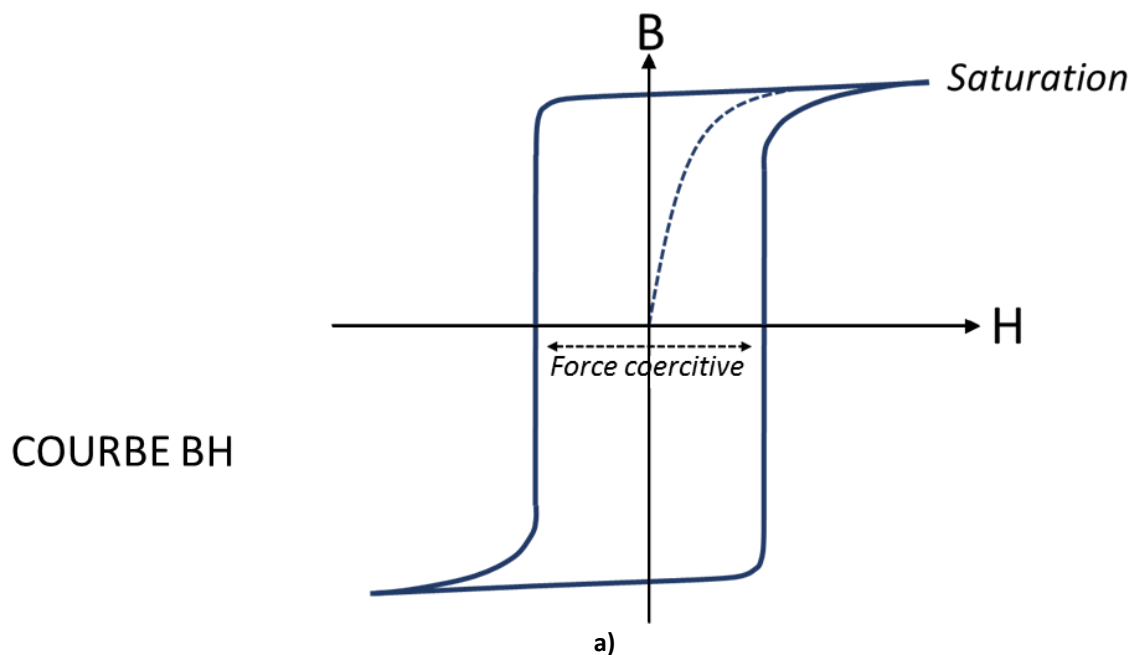
Figure 4-6: Exemple d'inductance avec une structure de bobine toroïdale

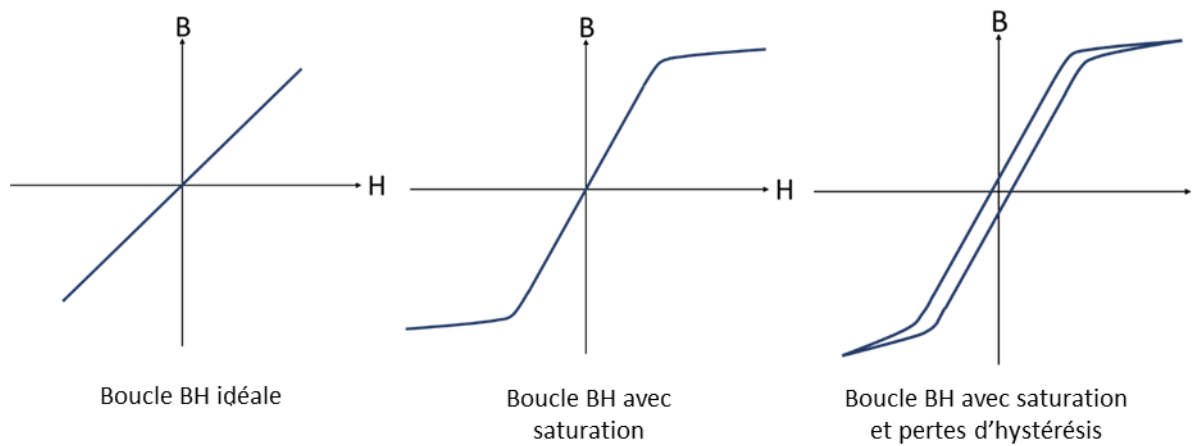
Le matériau du noyau et la bobine induisent tous deux des pertes ; par conséquent, il existe beaucoup plus de paramètres qui affectent l'inductance, tels que les fuites de flux magnétique et d'autres que nous discuterons plus tard. La tension induite aux bornes de la self peut être dérivée de la loi de *Faraday* :

Equation 37

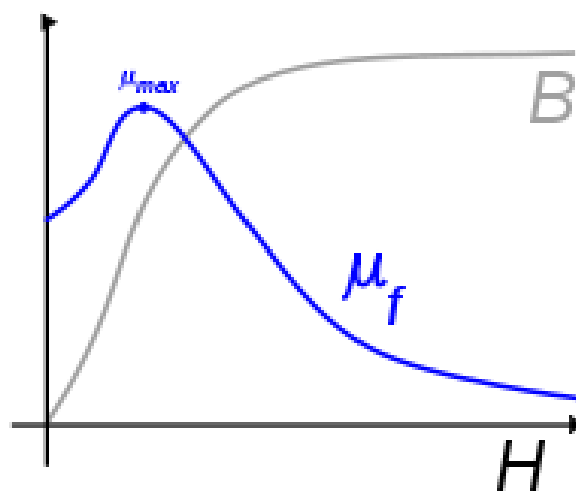
$E_{rms} \propto 4.44BNfA$, avec f la fréquence de fonctionnement.

En utilisant cette équation et en résolvant pour B , il est possible de déterminer le point de saturation d'un matériau magnétique donné [48]. La relation entre B et H est ensuite étendue à une boucle d'hystérésis (Figure 4-7-a), mettant en évidence la saturation et les pertes dans le fer du matériau, survenant lors de l'augmentation ou de la diminution de l'excitation magnétique. Elle montre également qu'il y a une quantité de flux résiduel au moment d'alternier le flux magnétique. Une excitation magnétique supplémentaire « *force coercitive* » doit être appliquée pour réduire le magnétisme résiduel à zéro [49]. La Figure 4-7-b montre l'impact de la saturation, puis des pertes d'hystérésis à partir d'une courbe B/H idéale résultante de l'Equation 37.

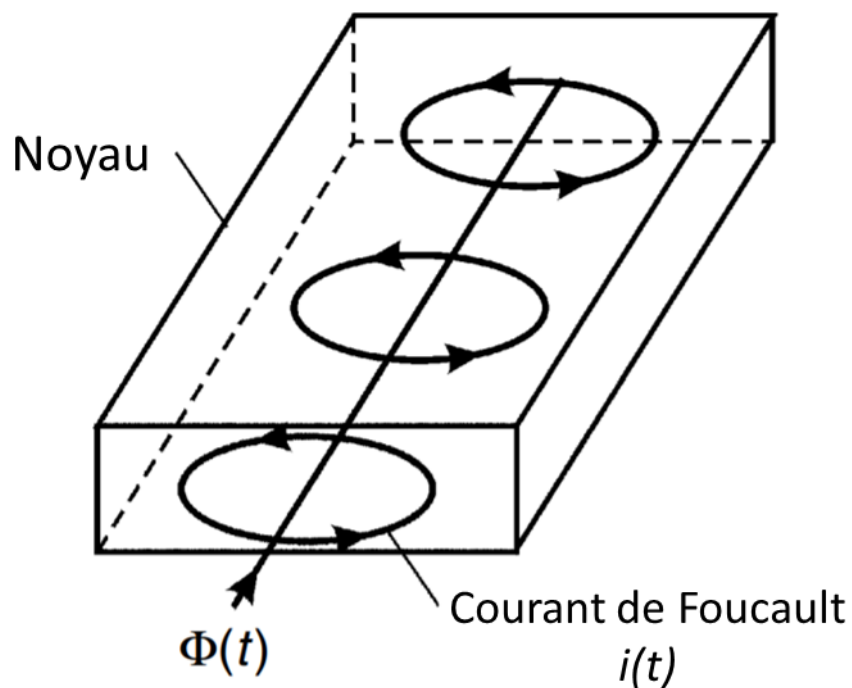




b)



c)



d)

Figure 4-7: a) Courbe BH montrant la boucle d'hystérésis ; b) Mise en évidence de la saturation et l'effet de perte de fer sur la boucle BH idéale ; c) Graphe de perméabilité et de densité de flux magnétique soulignant la réduction de l'inductance en saturation ; d) Courant de Foucault dans le noyau.

Puisque la courbe tend à s'aplatir à des valeurs plus élevées de H, la perméabilité (qui est la pente de B versus H) diminue (Figure 4-7-c) ; l'inductance devient donc plus faible (phénomène de saturation). C'est l'une des caractéristiques qui aura un impact sur le choix/la conception de l'inductance.

D'autres caractéristiques influenceront également ce choix d'inductance ; parmi elles, nous pouvons mentionner :

- *La fréquence de résonance* : La perméabilité du matériau de base diminue rapidement au-delà de la fréquence de résonance, tandis que les pertes (indiquées dans la partie imaginaire de la perméabilité) sont maximales à la résonance. Au-delà de cette fréquence de résonance (ou fréquence de coupure), l'impédance change en raison de capacités parasites. Cela peut réduire l'impédance de l'inductance, forçant l'utilisation de plus grandes valeurs de condensateur de sortie ou de plus grandes valeurs de self, ce qui augmente la taille globale du convertisseur [50]. Par conséquent, une fréquence de résonance suffisamment élevée est nécessaire pour les convertisseurs à haute fréquence de commutation.
- *Les pertes d'inductance* : Le facteur de qualité Q , figure de mérite de l'inductance, est un paramètre très important à considérer et est défini par :

Equation 38

$$Q = \frac{L\omega}{R_{dc} + R_{ac} + R_d} = \frac{L\omega}{R_{dc} + R_{core} + R_{skin} + R_d}$$

Où $\omega = 2\pi f$

R_{dc} est la résistance DC des enroulements de bobine; R_{ac} est la résistance AC totale, comprenant R_{core} et R_{skin} ; R_{skin} est la résistance liée à l'effet de peau; R_{core} est la résistance liée aux pertes dans le noyau; et R_d représente les pertes dans le diélectrique.

Les résistances utilisées dans l'Equation 38 décrivent les différents mécanismes de perte de l'inductance :

- Les pertes de courant continu dues à la résistance DC des enroulements (souvent en cuivre). La résistance est déterminée par la longueur totale du fil et sa résistivité ;
- Les pertes dans le diélectrique sont liées aux capacités parasites dans l'inductance, dont les effets apparaissent surtout au-delà de la fréquence de résonance. Ces capacités sont distribuées le long des tours de bobine et créées par le diélectrique formé par l'isolation des enroulements [48]. Elles peuvent d'une part, apparaître comme éléments parasites dans les enroulements ; et d'autre part être formées par couplage entre les fils et le matériau magnétique (si existant) [49]. Lorsque la fréquence de commutation devient plus élevée, ces capacités parasites court-circuitent l'inductance. De ce fait, l'inductance devient capacitive au-delà de la fréquence de coupure.
- Les pertes AC qui comprennent essentiellement :
 - L'effet de peau qui augmente la résistance du fil à des fréquences au-dessus de ~50KHz [48], parce que le courant tend à se déplacer à la surface du conducteur plutôt qu'à travers son noyau ; ce qui réduit la section transversale à travers laquelle se propage le courant. La profondeur de peau est inversement proportionnelle à la racine carrée de la fréquence (indiqué par sa formule [49], [51]).
 - Les pertes dans le noyau sont liées au matériau du noyau magnétique et sont composées principalement des pertes dans le fer qui, à leur tour, se composent des courants de Foucault et des pertes d'hystérésis. L'hystérésis est représentée par la zone fermée dans une courbe BH, et résulte de l'énergie nécessaire pour inverser les domaines magnétiques dans le matériau magnétique. Les courants de Foucault sont induits dans le matériau de base*, en changeant le champ magnétique. Tous les

* Le courant de Foucault peut également être induit dans n'importe quel conducteur voisin aussi longtemps qu'il apparaît dans le domaine de champ magnétique

matériaux magnétiques ont une certaine conductivité électrique, avec celle des matériaux à base de fer étant relativement élevée. En conséquence, le flux dans le noyau induit une tension interne $d\psi/dt$ qui conduit à la génération de courants circulants (courants de Foucault), comme indiqué dans la Figure 4-7-d. Si un champ est soudainement appliqué, ces courants s'écoulent dans des directions telles que le champ magnétique qu'ils génèrent est opposé au champ appliqué (primaire). Comme illustré en Figure 4-7-d, ce champ est généré dans la direction opposée et se superpose au champ appliqué ; ainsi, le champ magnétique total diminue exponentiellement à l'intérieur du noyau. L'effet d'opposition résultant augmente avec le taux de changement du champ magnétique appliqué [49]. Les courants de Foucault sont généralement dominants à des fréquences élevées lorsque le noyau magnétique a une faible résistivité ($<100 \mu\Omega\cdot\text{cm}$) [52]. L'équation de *Steinmetz* est généralement utilisée pour modéliser les pertes dans le noyau d'inductance, en incluant les pertes discutées ci-dessus par rapport à la fréquence. Une approximation de l'équation *Steinmetz* peut être exprimée par :

Equation 39

$$P_{core} = K_h I_{ac}^2 f + K_c (I_{ac} f)^2 + K_c (I_{ac} f)^{1.5}$$

Avec K_h, K_c, K_c resp. les coefficients de d'hysteresis, de courant de Foucault et de pertes résiduelles Et I_{ac} la composante AC du courant d'inductance à la fréquence de commutation associée.

Les IVR doivent commuter à des fréquences élevées afin d'obtenir des inductances intégrées sur puce. Les fréquences de commutation typiques utilisées sont de l'ordre de ~ 100 MHz, ce qui oblige à avoir une fréquence de transition à des centaines de MHz. En raison des pertes dans le noyau qui sont très élevées à de telles fréquences, ainsi que la saturation des matériaux magnétiques, les bobines à air apparaissent comme les meilleurs candidats pour la conception de IVRs.

4.2.1.2. Bobines à air intégrées

Les selfs à noyau d'air se réfèrent aux bobines sans noyau magnétique. Comme la perméabilité de l'air est l'unité, ils ne saturent pas et ont moins (idéalement pas) de pertes dans le noyau ; ainsi, leur facteur de qualité est strictement dépendant des enroulements. Les formes typiques de bobines à air sont :

- Les solénoïdes
- Les inductances en spirale
- Les bobines à forme toroïdales

Bien que les bobines toroïdales aient la structure la plus idéale pour le moins de fuite de flux magnétique [48], elles ne sont pas présentées ici du fait de la difficulté de leur réalisation en intégré.

- **Bobine solénoïde:** La Figure 4-8-a montre la structure et la section transversale d'un solénoïde non couplé, généré en package et présenté par *Burton et al* [22] dans leur implémentation de FIVR, ou *Lambert et al* [53]. L'inductance est réalisée à partir de tours parallèles réalisés par routage de couches inférieures de métal. Le routage d'alimentation est ramené aux couches supérieures du package, permettant d'avoir de faibles résistances de contact à la charge, ou au régulateur. Aujourd'hui, les stratégies de packaging incluent l'utilisation de *bump copper pillar* ou les packages *fanout wafer level chip scale (fanout WLCSP)* comparés à l'utilisation d'*interconnexions bond wire*. Les interconnexions utilisant les deux premiers types de package offrent la possibilité d'avoir de très faibles résistances, autour de $10\text{m}\Omega/\text{carré}$ et $5\text{m}\Omega/\text{carré}$ respectivement pour le copper pillar et le fanout WLCSP [54]. Une version alternative de la bobine solénoïde plane est la structure de solénoïdes entrelacés (Figure 4-8-b) où deux enroulements distincts opposément orientés sont entrelacés. Aussi appelée inductance couplée, elle donne plus de possibilités pour parvenir à une bonne connexion au die. Cependant, elle a un DCR plus élevé pour la même valeur d'inductance comparée aux solénoïdes découplés, parce qu'elle réduit la quantité de métal utilisée pour créer la self. Des valeurs allant jusqu'à 10 nH peuvent être obtenues avec ces deux structures [53]; ce qui limite la fréquence de commutation à un minimum de 50 MHz basé sur l'Equation 1. Nous rappelons que les paramètres sur lesquels nous évaluons les inductances sont principalement leur DCR (résistance DC), la densité d'inductance et le facteur de qualité. Les solénoïdes découplés ont un facteur Q plus élevé et moins de DCR que les solénoïdes couplés. Pour comparaison, considérant une surface de 1.4 mm par 1.2 mm , les bobines à air réalisées, montrent une qualité de ~ 19 et DCR de $\sim 8.8 \text{ mOhms}$ pour le solénoïde non couplé par rapport à 16.6 mOhms de DCR et $Q = 16$ pour une structure entrelacée dans le même volume.

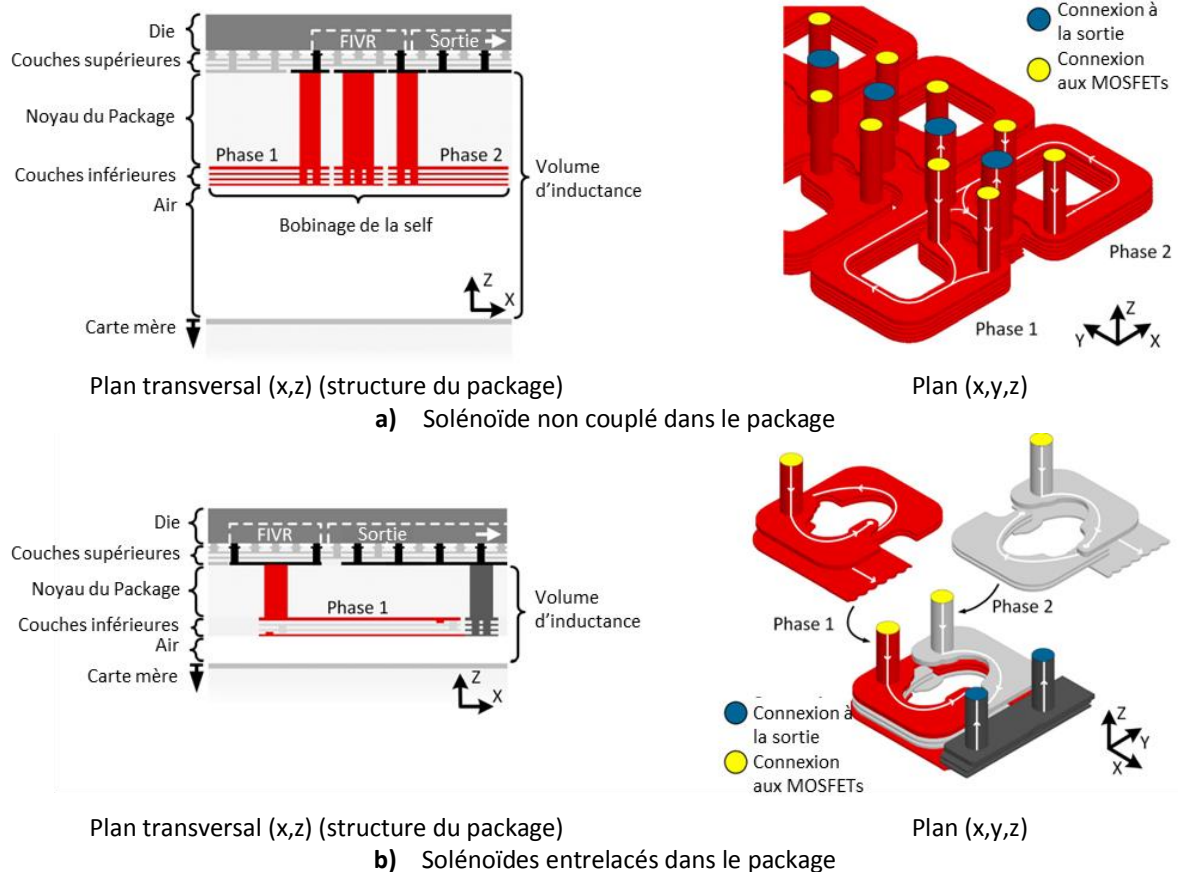


Figure 4-8: Topologies d'inductances solénoïde à noyau d'air dans le package

Une autre approche à la réalisation d'inductances solénoïdes dans le package est d'utiliser le plan (x, z) pour les enroulements de la bobine (3-D) par opposition aux deux inductances solénoïdes planaires précédentes (2-D). Ces inductances 3-D sont utilisées dans le cas d'une contrainte élevée sur l'épaisseur du package. C'est le cas pour les produits mobiles ainsi que les ordinateurs portables et tablettes minces où la valeur d'épaisseur est maintenue autour de 1.05 mm [53]. Avec de telles contraintes, les inductances solénoïdes planaires présentées plus tôt ont leur noyau exposé près d'autres couches métalliques ; en conséquence, les valeurs d'inductance sont affectées par les *effets de proximité**. W. Lambert et al présentent deux types d'inductances verticales (3-D) à noyau d'air. Le premier type nommé « inductance PTH » est illustré en Figure 4-9-a. Dans la configuration PTH, les enroulements sont réalisés dans le plan (x, z) en utilisant des couches métalliques inférieures et supérieures en série avec des interconnexions métalliques. L'avantage d'une telle approche est l'isolement ou blindage du noyau par rapport aux métaux de la puce ainsi que les autres couches métalliques du package. Cependant, opter pour l'inductance verticale implique l'augmentation de l'épaisseur totale die + package. Dans ce cas, la limitation d'épaisseur mobile à 1.05 mm est difficile à respecter. Cette contrainte pousse la réalisation du bobinage au PCB sous le package (Figure 4-9-b). Malheureusement, la stratégie de Figure 4-9-b, autrement appelée le module 3D, augmente le coût de réalisation du package, dû aux coûts de réalisation et les étapes d'assemblage du module PCB.

* L'effet de proximité est expliqué dans la discussion des inductances en spirale – page suivante

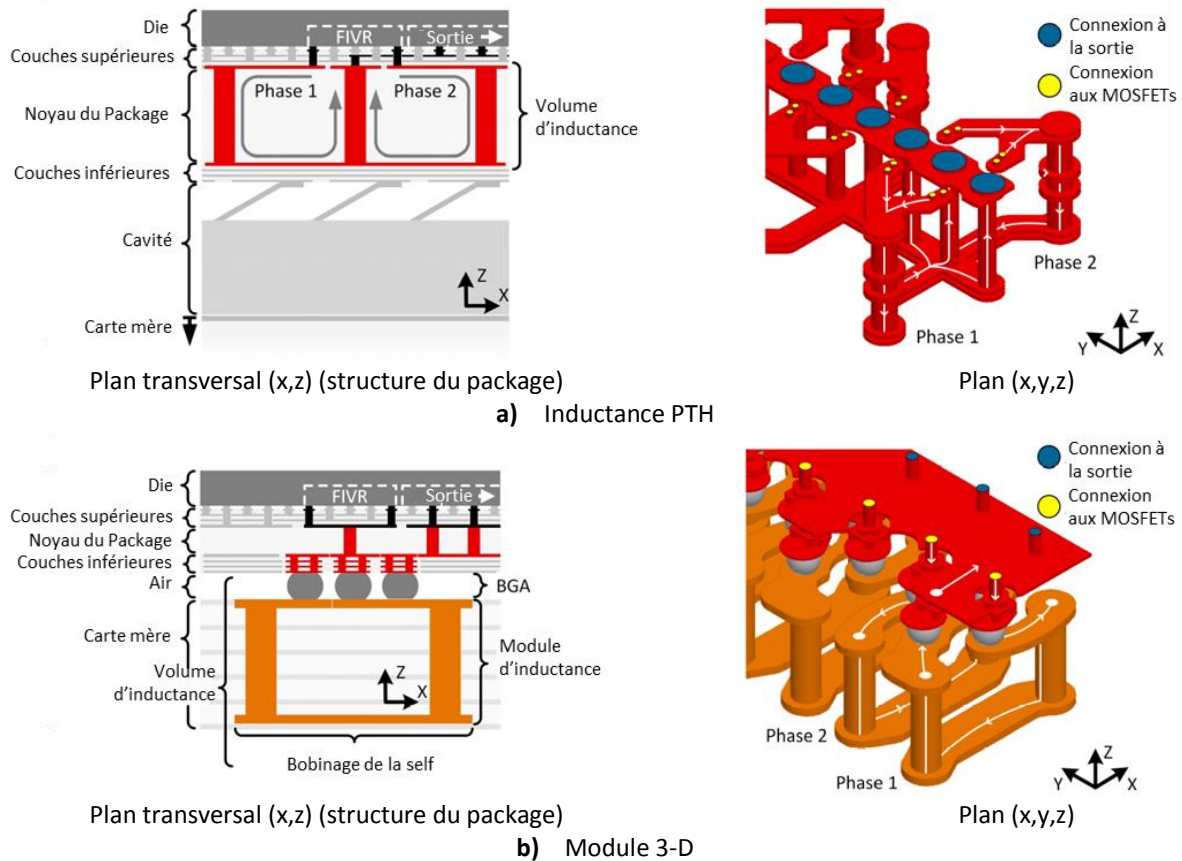


Figure 4-9: Topologies d'inductances 3-D

- **Inductances en spirale** : Les bobines* planaires en spirales sont très populaires dans les applications RF et peuvent être façonnées comme des polygones. Un exemple de spirale carrée est illustré en Figure 4-10. En raison des caractéristiques géométriques de la spirale, les flux générés sans noyaux magnétiques sont répartis sur toute la surface du substrat. Ces flux sont composés de deux composantes qui sont soit parallèles ou perpendiculaires à la surface [55]. En conséquence, il est difficile de guider le flux magnétique vers un point requis avec cette structure, sans utiliser de noyau magnétique. Quand bien même, les inductances spirales à air sont jusqu'à présent l'approche principale utilisée pour la réalisation d'inductances intégrées au-dessus des circuits actifs pour IVR [19], [56]. Comme le montre la Figure 4-10-a, deux couches métalliques supérieures peuvent être utilisées, et de multiples formes obtenues.

Ostman et al [56] ont présenté une réalisation sur die, de bobine plane en spirale pour IVR, et mis en évidence les difficultés qui en émergent. Afin de minimiser la résistance DC de l'inductance, les couches métalliques les plus épaisses disponibles sont utilisées, créant un empilement vertical de la partie active d'IVR et des composants passifs (voir Figure 4-10-b). Une perturbation bidirectionnelle émerge de l'empilage de self et de circuit actif. D'une part, les champs magnétiques induits par les courants de Foucault et le courant d'inductance auront un impact sur la performance du circuit actif. D'autre part, cet *effet de proximité* réduit considérablement la valeur de l'inductance et le facteur Q. Nous avons présenté les courants de Foucault plus tôt dans ce chapitre, et mentionné qu'ils sont induits dans le noyau magnétique par la variation du champ magnétique interne. De la même façon, des courants de Foucault peuvent être induits dans les couches métalliques en dessous, ou à proximité de l'inductance. Les effets de proximité réduisent l'inductance de la bobine parce que les courants dans différents conducteurs se redistribuent pour former une boucle de courant plus courte, à des fréquences élevées. L'inductance en spirale est affectée en raison de ces conducteurs transportant des courants dans la même direction ainsi que de ceux transportant des courants dans les directions

* Le terme "bobine" peut être utilisé pour désigner la self

opposées. C'est aussi le cas pour les bobines solénoïdes planes (discutées plus haut) car leur noyau est exposé à des couches métalliques conductrices de la puce. *Rindfleisch et Wicht* [50] montrent un modèle d'interaction de self à noyau d'air avec la couche conductrice voisine (Figure 4-11). Les capacités parasites modélisées permettent de comprendre l'impact de la couche voisine sur la qualité de l'inductance à des fréquences élevées. La capacité parasite C_s se forme entre chaque enroulement et la couche voisine, ce qui raccourcit l'inductance des enroulements. En conséquence, non seulement la fréquence de coupure diminue mais, alors que la fréquence du courant augmente, l'inductance devient en partie court-circuitée par la couche conductrice. Sur la base de ce couplage et des courants de Foucault dus à l'effet de proximité, la solution évidente est d'avoir un écart énorme entre la bobine et les couches inférieures. Plusieurs précautions ont été prises dans la proposition [56] pour obtenir le plus d'efficacité de la topologie. Une inductance de 28 nH a été obtenue dans ce travail et montré une fréquence de résonance de 700 MHz. Cependant, ils démontrèrent une valeur DCR élevée (690mOhms) en raison du long câblage de la bobine, pour générer des valeurs élevées d'inductance. *Kim et al* [19] ont opté pour une fréquence de commutation plus élevée où la valeur de l'inductance a été réduite à 1nH avec 200mOhms d'ESR* mesurée à la fréquence d'intérêt.

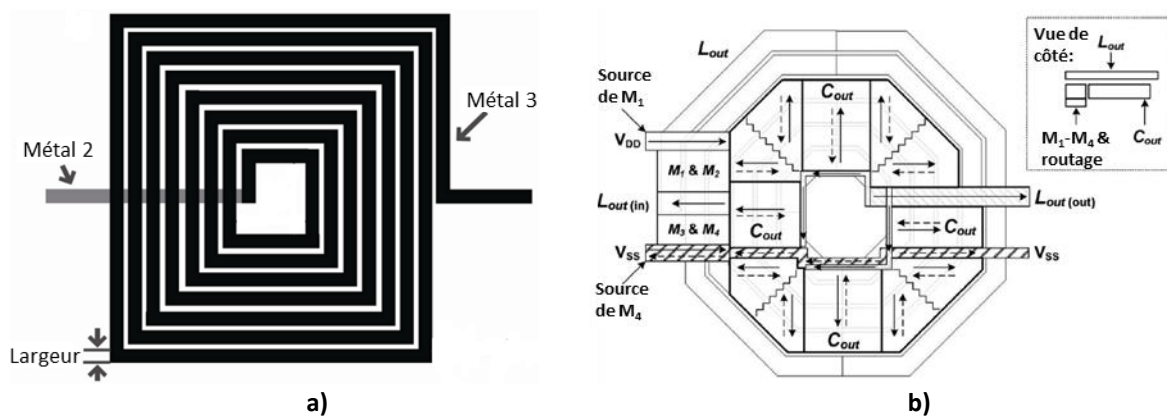


Figure 4-10: a) Réalisation typique d'une inductance carrée plane ; b) Approche verticale de l'empilement décrite dans [56] montrant l'inductance L_{out} , le condensateur C_{out} et les interrupteurs de puissance de l'IVR (M_1 - M_4).

* L'ESR est la résistance équivalente de l'inductance à la fréquence d'intérêt. Elle comprend à la fois les résistances DC et AC

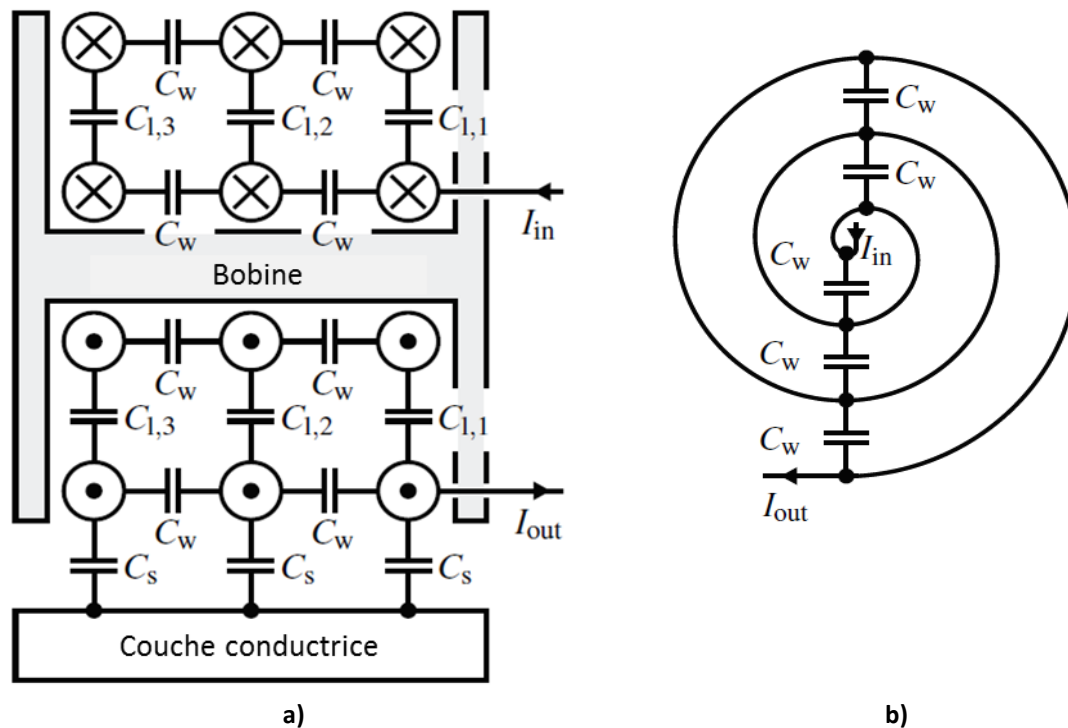


Figure 4-11: a) Modèle mettant en évidence les capacités parasites C_s entre la bobine et la couche conductrice ; b) Capacités parasites de bobinage C_w .

4.2.1.3. Inductances intégrées à noyau magnétique

Nous entamons cette section en notant que les mêmes topologies utilisées dans la section de bobine intégrées à air, peuvent s'appliquer aux inductances à noyau magnétique. La différence est le matériau magnétique ajouté et ses effets sur les performances globales de l'inductance. Notre discussion en section 4.2.1.1 sur les selfs en général, nous donne les propriétés sur lesquelles nous devrions nous baser, pour le choix de l'inductance :

- *La densité d'inductance* : Le but est d'obtenir le maximum d'inductance sur une surface restreinte (pareil que la bobine d'air). Dans ce cas, le noyau magnétique ajoute un gain à la valeur de l'inductance, avec ce gain proportionnel à la perméabilité effective du matériau de base [57]. Beaucoup de recherches ont été menées à ce jour, pour intégrer des matériaux magnétiques en raison des contraintes en surface pour des valeurs d'inductance adéquates.
- *La résistance DC (DCR) de l'inductance* : Avec l'augmentation du courant de charge, la DCR induira une quantité grandissante de pertes résistives, suivant la Loi d'Ohm ; d'où son importance lorsque la quantité de charge ciblée est élevée.
- *La qualité de l'inductance aux fréquences d'intérêt* : Sur la base de l'Equation 38 qui exprime le facteur de qualité, un type supplémentaire de pertes, pertes dans le noyau, est introduit par l'addition du matériau magnétique, et dégrade le facteur Q. Les pertes dans le noyau sont définies par la partie imaginaire de la perméabilité du matériau [58]. Une analyse plus approfondie du facteur de qualité a été élaborée dans la présentation [57], indiquant une nouvelle expression des pertes magnétiques dans le noyau :

Equation 40

$$R_{core} = \omega \frac{\mu''}{\mu'} \Delta L$$

Avec ΔL le gain d'inductance introduit par le matériau magnétique, μ' et μ'' , respectivement les parties réelle et imaginaire de la perméabilité du noyau

L'Equation 40 montre que R_{core} augmentera en proportion carrée avec la fréquence puisque ω et $\frac{\mu''}{\mu'}$ sont liés à la fréquence. Ainsi, l'amélioration d'inductance obtenue avec un noyau magnétique introduit une aggravation de la perte et donc un facteur de qualité faible à fréquences élevées.

- *La fréquence de transition (ou bande utile) de l'inductance* : un facteur qui peut limiter l'augmentation de la fréquence de commutation du FIVR.

- *Le courant de saturation de l'inductance* : Le courant maximal que peut supporter l'inductance utilisée, doit être supérieur au courant de charge maximale du convertisseur [25]. Ce critère n'est généralement pas un problème pour les bobines à air en raison de leur perméabilité idéale $\mu = 1$, mais est une préoccupation pour les noyaux magnétiques, car la perméabilité se dégrade à haute excitation magnétique (Figure 4-7-c).

Parmi les matériaux de noyau magnétique intégrés dans les SoC ou les solutions de SiP, les plus utilisés dans la littérature sont le CoTaZr [59], [60], le CoFeHfO [58], le NiFe [25], [52], et le CoP [52], [61]. Les qualités recherchées chez ces matériaux sont typiquement :

- Une perméabilité relativement élevée, mais assez faible pour pousser la fréquence de transition/coupure plus haut que la fréquence de commutation ciblée ;
- La souplesse (douceur) du matériau pour une faible coercivité et moins de perte d'hystérésis ;
- Une résistivité élevée pour le minimum de courants de Foucault.

Comme ce travail n'est pas axé sur la conception de l'inductance intégrée, mais orienté vers le choix de la topologie d'inductance pour les FIVRs ; nous ne détaillerons pas plus les caractéristiques du matériau magnétique.

Jusqu'à présent, les deux principales approches utilisées lorsqu'il s'agit d'intégrer des inductances à noyau magnétique sont : les inductances latérales (ou 2-D) et les inductances verticales (ou 3-D).

4.2.1.3.1. Inductances latérales à noyau magnétique (2-D)

Les inductances latérales se réfèrent généralement aux bobines pour lesquelles les enroulements sont effectués dans le plan (x, y), permettant l'utilisation d'un minimum d'une couche métallique en plus du matériau magnétique. Elles sont généralement à base de bobines spirales, ce qui permet une implémentation facile. Le bobinage réalisé avec une couche métallique épaisse est généralement placé sur le matériau magnétique qui améliorera la valeur d'inductance (Figure 4-12-a). Cependant, comme mentionné dans la section du noyau d'air, si des dispositifs actifs sont placés en dessous, ils modifient le substrat vu par les inductances du fait de la proximité [56]. Évidemment, le matériau magnétique peut être placé sur un substrat - substrat de die dans un WLCSP ou substrat PCB. Cependant, l'inductance en spirale présente à la fois un flux magnétique vertical et un latéral ; de ce fait l'ajout de substrat réduira la valeur d'inductance selon le type de substrat utilisé. Tout comme les spirales à noyau d'air, les spirales à noyau magnétique peuvent être colocalisées avec la charge et, non seulement réduire le réseau parasite du FIVR à la charge, mais aussi permettre des packages ultra-minces [62]. En général, les inconvénients d'une telle conception sont la limitation de l'inductance en raison de la nature bi-dimensionnelle du champ ainsi que les effets discutés dans la section de la spirale à air (effet de proximité impliquant des pertes AC plus élevées et les problèmes EMI).

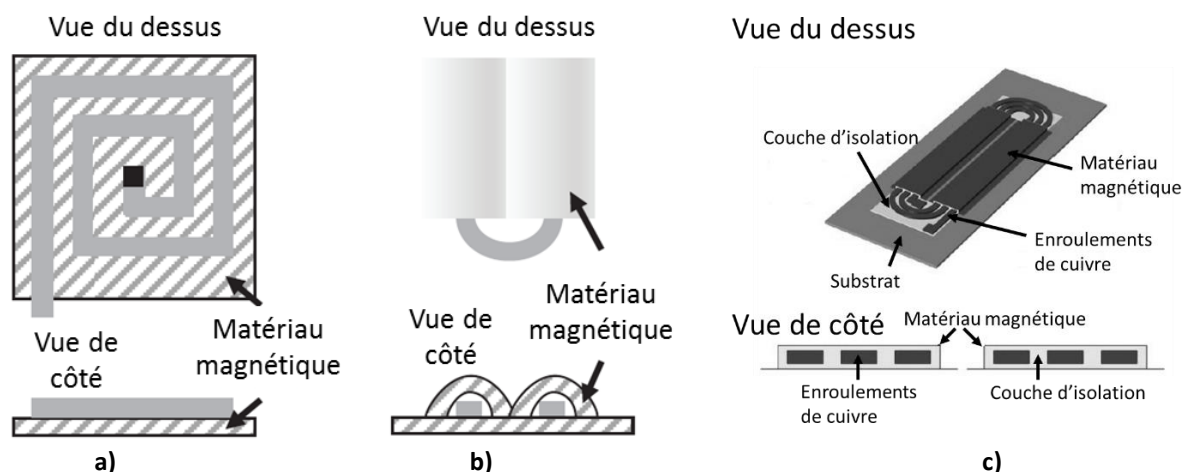


Figure 4-12: a) Inductance en spirale au-dessus du matériel magnétique [63], [64]; b) Boucle de conducteur enfermée par le matériau magnétique [25]; c) Multi-boucles de conducteur fermées par du matériel magnétique sur substrat de verre [61];

N. Sturcken et al [25] présentent une approche différente où un matériau magnétique entoure la bobine spiralée allongée (Figure 4-12-b), composée de cuivre*. Avoir le matériel magnétique qui enveloppe le

* Le cuivre est le matériau généralement utilisé dans les bobines

cuivre permet de bénéficier de son *anisotropie magnétique*. La propriété d'anisotropie magnétique aide à contrôler l'orientation du champ magnétique induit en forçant une direction préférée de la magnétisation [65]; Cela permet d'avoir un meilleur contrôle du champ magnétique de la spirale et d'améliorer la valeur effective d'inductance. Afin de minimiser les pertes AC dues au noyau magnétique et augmenter la densité d'inductance, un film mince de couche magnétique est utilisé. Avec l'épaisseur minimale considérée, la fréquence de transition est obtenue à 100 MHz. L'implémentation a été réalisée à l'aide de convertisseurs Buck multi-phases permettant de coupler les inductances 2 par 2 à l'aide d'un revêtement magnétique partagé (Figure 4-13-a). Comme les courants à travers les inductances de deux phases opposées, se propagent dans des directions opposées, un couplage inverse est réalisé. Fondamentalement, deux champs magnétiques de directions opposées sont générés dans chaque blindage magnétique, s'annulant ainsi l'un l'autre. Le but de ce couplage inverse est de réduire l'ondulation du courant de self; et en même temps les pertes AC. L'Equation 41 décrit une approximation de la perte totale dans un convertisseur de Buck, montrant la relation entre R_{ac} et l'ondulation du courant d'inductance [45], [53]:

Equation 41

$$P_{LOSS} = I_{load}^2(R_{on} + DCR) + i_{lrmsac}^2(R_{on} + R_{ac}) + P_{sw}$$

Où I_{load} est le courant de charge, R_{on} la résistance à l'état passant des MOSFETs de puissance, DCR est la résistance DC de l'inductance, R_{ac} est la résistance AC à la fréquence de commutation, et i_{lrmsac} est la valeur RMS du courant d'inductance moins la charge, estimée comme suit:

Equation 42

$$i_{lrmsac} = \frac{\Delta i_L}{2\sqrt{3}}, \text{ avec } \Delta i_L \text{ l'ondulation de courant d'inductance;}$$

Le principal problème des inductances latérales est la nécessité d'utiliser un substrat sur lequel l'inductance est fabriquée. Le travail réalisé en [25] utilise un interposeur en silicium sur le PCB comme substrat d'inductance. En utilisant l'approche d'intégration 2-D, les dispositifs actifs d'IVR sont également placés sur le substrat de silicium. L'option de package applicable est donc celui à base d'interconnexion filaire (Figure 4-13-b) qui présente le plus de résistance de routage [54]. Par conséquent, les pertes résistives de PDN* deviennent la principale source d'inefficacité dans le système. En plus de cela, l'impédance haute fréquence du PDN modifie la capacité du VR à avoir un bon DVR. Nous discuterons des pertes du PDN plus loin dans ce document.

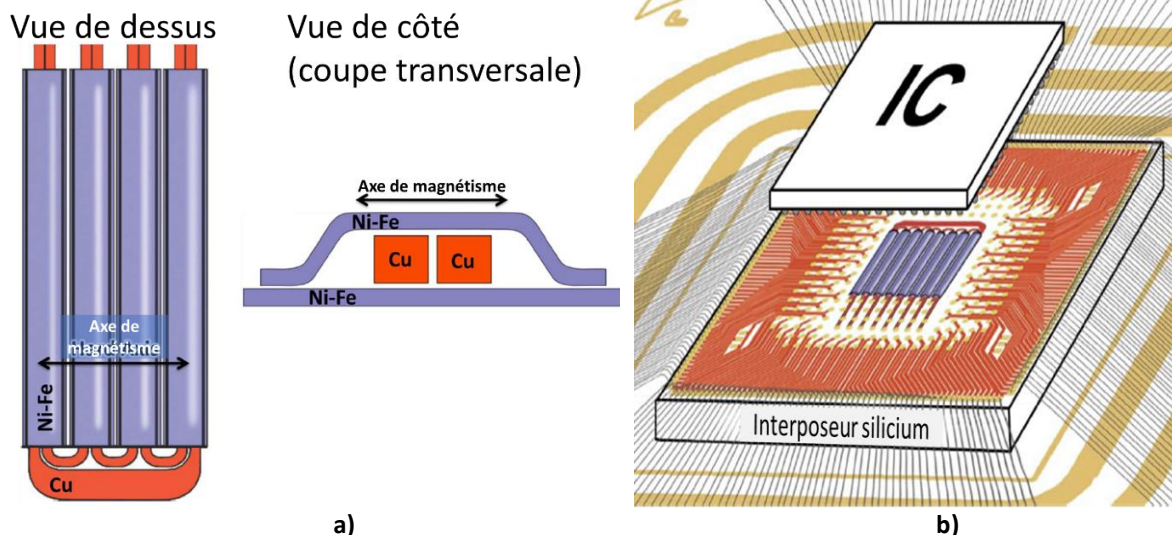


Figure 4-13: a) Vue de dessus et section transversale de quatre inductances couplées, à base de bobinage en cuivre et de matériau magnétique NiFe; b) Diagramme de l'intégration 2D utilisée pour la spirale par Sturcken et al [25]; circuit intégré composé du convertisseur Buck et de la charge, retourné pour être apposé sur interposeur avec des inductances, et tous reliés par fil d'interconnexion au substrat BGA.

* Le PDN est expliqué et exploré en détail à la section 4.2.2

V. Lafage *et al* [61] montrent une variante à l'inductance en spirale magnétique allongée, où plusieurs boucles sont entourées par le matériau magnétique (Figure 4-12-c). L'apport principal est l'utilisation d'un substrat/interposeur de verre au lieu de substrat silicium. Une comparaison est réalisée entre une self en spirale utilisant un substrat de silicium versus le substrat en verre, montrant que le substrat de type verre altère moins l'inductance et la qualité de la bobine plane (Figure 4-14).

En guise de conclusion préliminaire sur les bobines latérales (ou 2-D), nous pouvons dire que les performances d'inductance sont augmentées avec l'utilisation du substrat, qui en revanche augmente le coût de package. Le choix du type de substrat peut avoir un grand impact sur l'efficacité du système, mais un niveau d'intégration 2-D avec des inductances latérales est une limitation potentielle en termes de packaging, rendant l'effet de PDN dominant en raison du besoin d'interposeur. D'autres types d'interposeur, tels que les substrats organiques, sont actuellement explorés pour obtenir de meilleures propriétés magnétiques [66].

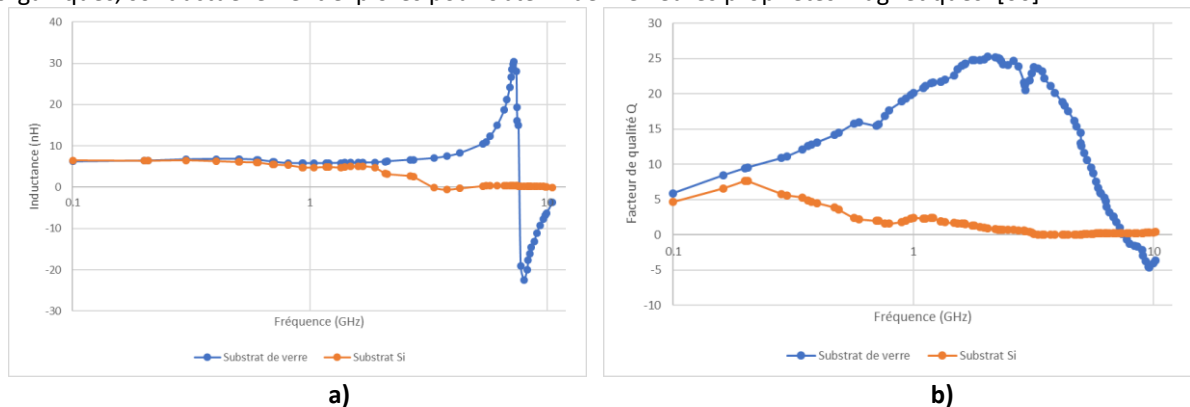


Figure 4-14: a) Comparaison de la valeur d'inductance de bobine spiralée sur silicium vs verre ; b) Même comparaison avec le facteur de qualité Q.

4.2.1.3.2. Inductances verticales à noyau magnétique (3-D)

Considérant une certaine section transversale de bobinage, les enroulements cylindriques présentent le minimum de longueur de chemin magnétique [67]. Les structures de solénoïdes verticaux sont donc généralement attrayantes car l'inductance est formée de multiples enroulements verticaux autour d'un noyau magnétique planaire [24], [68], [69], [70]. Cette option qui est plus d'une nature 3-D, exploite l'épaisseur du noyau magnétique et permet de placer un grand nombre d'enroulements de bobine sur une zone restreinte. Avec un nombre plus élevé de tours par zone, l'inductance effective réalisable est augmentée et permet l'utilisation de matériel magnétique avec une perméabilité plus modérée. Comme nous l'avons mentionné précédemment, l'amélioration de l'inductance due à l'utilisation du noyau magnétique vient avec le prix de pertes de noyau plus élevées et de fréquence de coupure plus faible. On rappelle qu'une faible bande passante utile de l'inductance est un problème important pour la commutation rapide dans les IVRs. Le principal défi des inductances 3-D intégrées est le besoin de structures Vias spéciaux tels que le « Through Silicon Via (TSV) » [24], [69] et le « Through Glass Via (TGV) » [61] selon le type de substrat.

H. K. Krishnamurthy *et al* présentent dans leur travail [24], une inductance 3-D basée sur TSV et empilée avec un FIVR. L'inductance a une bobine de type solénoïde utilisant deux couches métalliques notées Ma et Mb (Figure 4-15). Chaque enroulement vertical est une connexion de Ma à Mb utilisant deux TSV. En augmentant le nombre de Vias connectés en parallèle par enroulement, on peut obtenir une faible résistance DC. La surface totale utilisée par l'inductance est relative à l'aire de la puce (ou die) puisque ce dernier est enveloppé par les enroulements*. Cependant, le noyau utilisé dans le travail [24] semble saturer assez rapidement avec le courant. La Figure 4-16 montre les valeurs d'inductance (L) et de résistance (R_{Ac}) mesurées par rapport à la même topologie sans noyau magnétique. Bien qu'un gain d'inductance élevé soit obtenu à courant moyen nul, l'inductance devient égale à la version du noyau d'air avec un courant de charge de 300 mA. Fondamentalement, le noyau magnétique semble avoir de bonnes propriétés hautes fréquences en raison de la résistivité élevée, mais finit par saturer rapidement. Cela montre une tendance de saturation du noyau magnétique hautement résistif, et soulève finalement la question d'utilité d'ajouter un noyau magnétique à l'inductance 3-D discutée. Même si l'on considère qu'une fois l'inductance saturée, elle devient similaire à la version à noyau d'air, on peut noter que les pertes dans le noyau magnétique sont toujours présentes. La Figure 4-16-b montre la résistance

* Le TSV+ Métaux enveloppant l'inductance empilée avec le die, indique un niveau d'intégration 3-D

AC de l'inductance à noyau magnétique supérieure à celle de la bobine à air équivalente, à hautes fréquences. Des discussions précédentes, la réduction de l'épaisseur du noyau magnétique (à l'aide de film mince) permet l'obtention d'une meilleure perméabilité versus la fréquence. D'une part, les noyaux magnétiques fins présentent un courant de saturation inférieur quoique permettant la réduction de taille du package et des pertes de noyau. D'autre part, l'augmentation de la taille du noyau magnétique dans la configuration 3-D (Figure 4-15), implique d'augmenter le nombre de tours et donc le volume du package.

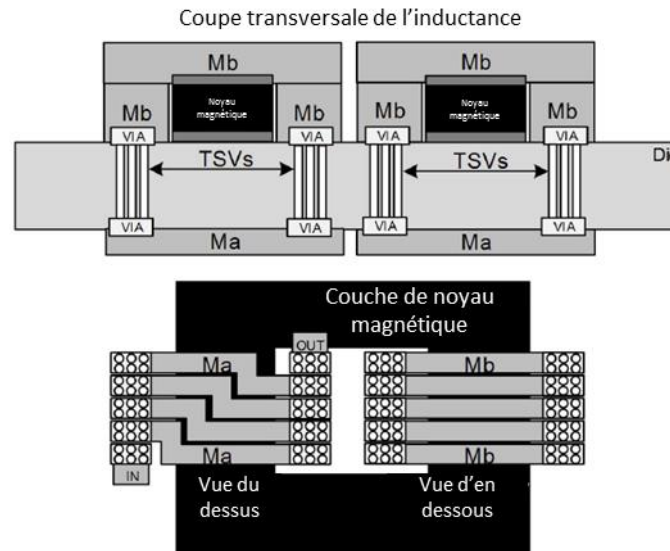


Figure 4-15: Section transversale de l'inductance solénoïde basé sur TSV de [24].

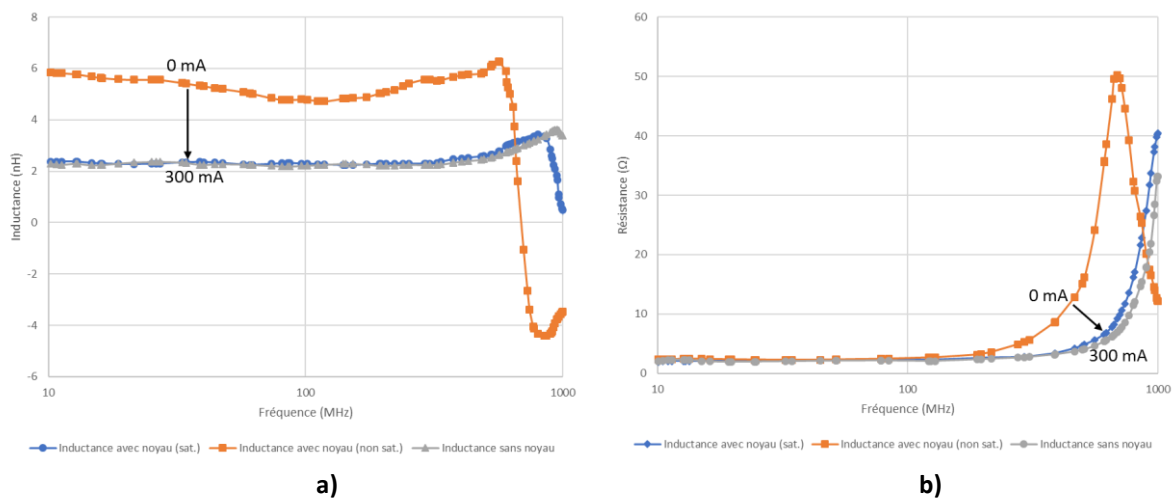


Figure 4-16: a) Comparaison des valeurs d'inductances mesurées [24]; b) Comparaison des résistances séries équivalentes mesurées [24].

Une version similaire au solénoïde 3-D à base de TSV est présentée par V. Lafage *et al* [61], comme inductance solénoïde à base de TGV. Comme le montre la Figure 4-17, la section transversale est similaire à celle basée sur le TSV, sauf que l'inductance est enveloppée autour d'un substrat de verre. Une approche d'intégration 3D ou un SiP sont les seuls niveaux d'intégration qui vont avec cette structure puisque l'IVR n'utiliserait pas le même substrat de verre. Comme discuté en section 4.2.1.3.1, l'inductance sur substrat de verre présente une plus grande valeur et un facteur Q bien plus élevé.

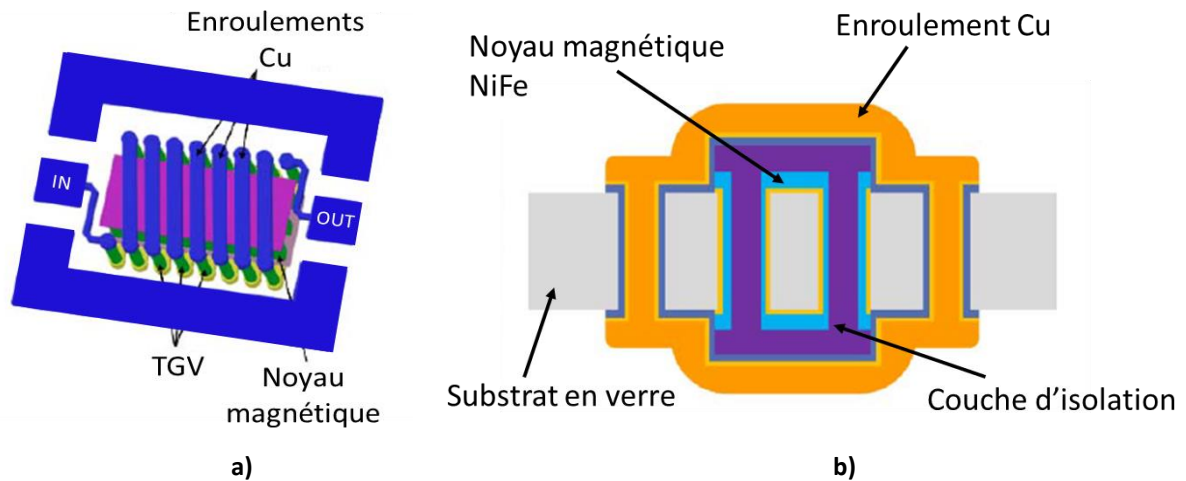


Figure 4-17: a) Vue de dessus du solénoïde 3-D à base de TGV avec noyau en NiFe [61]; b) Section transversale de l'inductance solénoïde.

Les travaux [23] et [58] présentent une alternative, utilisant un niveau d'intégration 2D pour les inductances solénoïde 3-D où l'inductance est incorporée dans le package. La bobine est fabriquée sur un substrat PCB qui est partagé par le FIVR et la charge. Au lieu d'un empilement vertical où l'inductance interconnecte avec l'IVR par Vias, l'inductance on-package (ou embarquée) aura ses routages effectués avec les couches métalliques du package. Différents types d'arrangements (ou formes) de noyau magnétique pour les solénoïdes utilisés sont montrés dans la Figure 4-18.

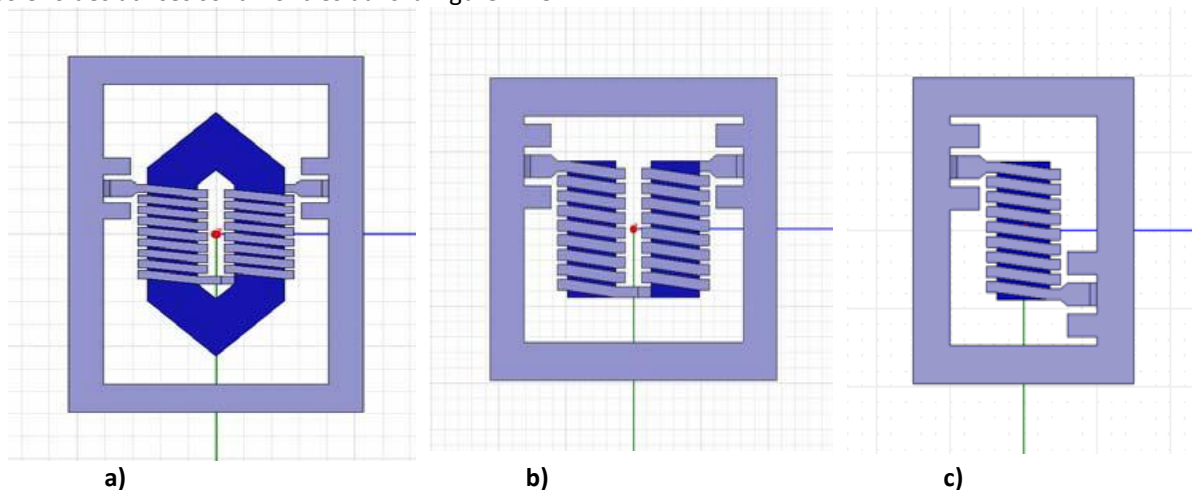


Figure 4-18: a) Inductance solénoïde à noyau fermé ; b) solénoïde à noyaux en série ; c) solénoïde standard

L'avantage manifesté par les inductances on-package comparées aux inductances utilisées avec TSV (ou TGV) est le fait que l'épaisseur du matériau magnétique peut être aussi grande que l'épaisseur totale du package. Cette approche peut être utile avec les applications mobiles car l'épaisseur de package est limitée à des valeurs faibles, comme discuté précédemment.

Avant d'aborder la section suivante, notons qu'il y a des recherches en cours sur l'intégration de self 3-D de façon monolithique. {T. L. Yang et al, 2018} ont proposé une version d'inductance 3-D embarquée sur puce à l'aide d'une option de package WLCSP. Le WLCSP offre une réduction du coût ainsi que le routage avec la couche de métal Cu RDL (très épaisse) [54]. L'inductance partage le même substrat de silicium que le die. Deux couches de traces de cuivre épaisses sont utilisées pour former la bobine d'inductance alors qu'une couche intermédiaire est utilisée pour créer le matériau magnétique. Cette approche a été présentée en 2018 en tant qu'approche potentielle future à utiliser par TSMC*.

* TSMC est une société de référence, fabricant de semi-conducteurs et est basée à Taiwan

4.2.1.4. Bilan des inductances intégrées

Avant de conclure sur l'approche la plus appropriée pour l'intégration de bobine, nous discuterons d'un dernier type d'inductance parfois utilisé dans la littérature récente. Elle est basée sur l'utilisation de package à fils d'interconnexions (ou des traces de PCB [45]). Puisque les interconnexions filaires présentent une inductance parasite élevée, elles pourraient aussi bien être utilisées comme self pour les VR intégrés. Cette mise en œuvre a été proposée dans la réalisation [21]. En optant pour l'inductance à noyau d'air sur puce, cette approche peut être employée, puisque le fil a un DCR semblable à une inductance typique de spirale en métal sur-puce. Le principal problème est la grande variation de l'inductance. En outre, l'utilisation de cette topologie implique l'adoption de solutions de package à base d'interconnexions filaires, qui sont connus pour présenter une résistance élevée de PDN. Par conséquent, seules les applications où le convertisseur fonctionne en DCM, semblent correspondre à ce type d'inductance.

Le Tableau 4-1 regroupe un certain nombre d'implémentations d'inductances à noyau d'air proposées dans la littérature. Des comparaisons entre les inductances de base d'air et celles à noyau magnétique [57], [24], [52], montrent que l'inductance à air est préférable à des fréquences de commutation très élevées. Sur la base de l'Equation 38, le facteur de qualité d'une inductance à noyau magnétique, comparé à un noyau d'air, décroît exponentiellement après la fréquence de coupure du matériel magnétique. Les inductances planes en spirale représentent l'approche la plus simple et la moins coûteuse, mais présentent généralement des problèmes d'EMI. En raison de leur faible qualité à des fréquences inférieures à 200 MHz, l'IVR devrait passer à une fréquence supérieure à 200 MHz, ce qui pousse le problème d'efficacité vers le pont de puissance. Pour un rendement élevé et moins de perturbations, le bon niveau d'intégration peut être le package. Les inductances solénoïdes à noyau d'air réalisées dans le package sont une bonne option pour les inductances latérales 2-D, mais impliquent généralement l'obtention d'épaisseurs élevées. Le solénoïde à air 3-D représente une meilleure approche pour forcer une meilleure orientation du champ magnétique, mais peut également impliquer une grande épaisseur de package. En conclusion, les bobines solénoïdes à air sont une bonne option lors de la recherche de performances décentes à hautes fréquences. Les bobines verticales sont les choix les plus préférables lorsqu'il y a une contrainte d'épaisseur, mais les inductances latérales semblent montrer les meilleures performances sans coût supplémentaire, malgré leur besoin d'un grand package pour moins d'effet de proximité.

Bien que les inductances à noyau d'air apparaissent comme la meilleure option pour l'intégration, leur densité d'inductance est faible, rendant leur consommation de surface dominante. En outre, la faible densité d'inductance crée le besoin d'un nombre élevé de tours pour créer l'inductance appropriée, augmentant ainsi le DCR. Heureusement, les selfs à noyau magnétique récemment étudiées et présentées dans ce document, peuvent être poussées jusqu'à des commutations de 100 MHz. Mis en évidence par le Tableau 4-2, certaines des meilleures structures sont basées sur les solénoïdes 3-D. Avoir ces inductances sur puce et fonctionnant optimalement, nécessite généralement plus de coût de packaging. Puisque nous essayons de converger vers une intégration efficace pour un coût minimum, les inductances embarquées s'avèrent être la meilleure approche. En outre, comme le montre le travail [58], avec le bon choix de matériel magnétique, de meilleures performances que les structures intégrées en 3D peuvent être obtenues. Les performances des matériaux magnétiques peuvent même être améliorées grâce à l'utilisation de laminations [25], [52], car ils réduisent les courants de Foucault dans le noyau ; quoiqu'il faille préciser qu'il y a une limite au nombre de laminations avant que d'autres pertes de noyau commencent à dominer le matériau.

Travaux	[53]	[53]	[53]	[24]
Niveau d'intégration	Intégration monolithique (2-D)	Intégration monolithique (2-D)	Intégration 3-D	Intégration 3-D
Type d'inductance	Solénoïde non couplée 2-D	Solénoïde couplée 2-D	Solénoïde 3-D sur substrat PCB	Solénoïde 3-D à base de TSV
Fréquence nominale (MHz)	140	140	140	90
Inductance (nH) @ fréquence nominale	1.66	1.7	1.53	2.2
DCR (mΩ)	8.8	16.6	10.9	N/A
Facteur Q @ fréquence nominale	19.7	16.1	23.6	0.5* (ESR=2.7Ω)
Fréquence de transition (MHz)	N/A	N/A	550	900
Courant de saturation (A)	N/A	N/A	N/A	N/A
Densité d'inductance (nH/mm ²)	0.99	0.94	1.21	42
Coût additionnel			Coût de module PCB + étapes d'assemblage	Package nécessitant le TSV

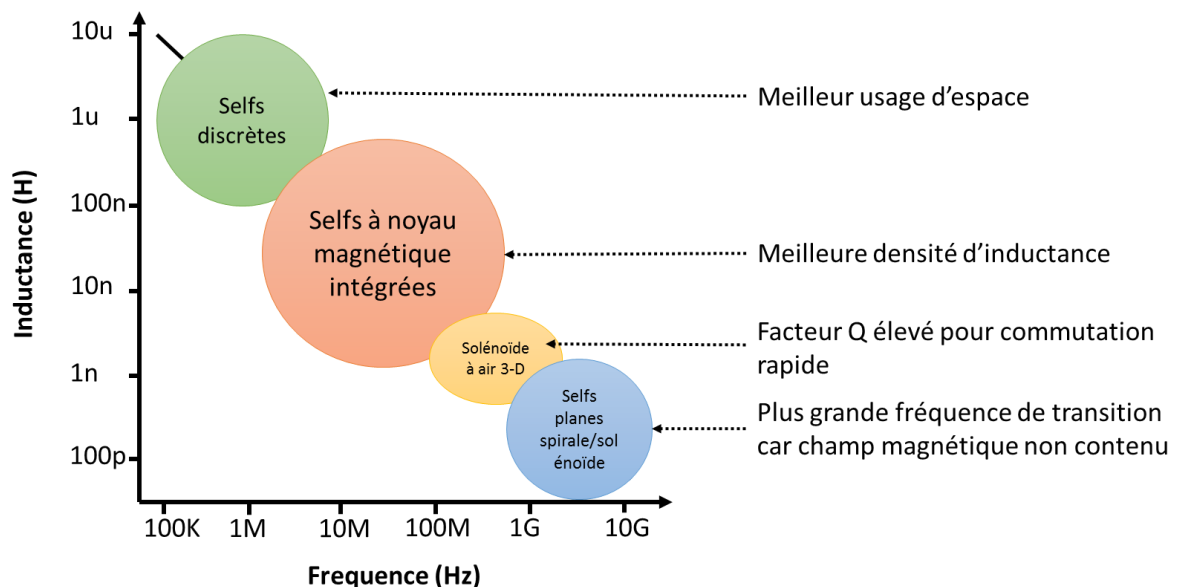
Travaux	[61]	[56]	[19]	[21]
Niveau d'intégration	Embarqué dans le package	Intégration monolithique (2-D)	Intégration monolithique (2-D)	Intégration monolithique (2-D)
Type d'inductance	Solénoïde 2-D à base de TGV sur verre	Spirale plane	Spirale plane	Fils de package
Fréquence nominale (MHz)	100	120	200	100
Inductance (nH) @ fréquence nominale	6.3	28	1	>3
DCR (mΩ)	330	690	N/A	N/A
Facteur Q @ fréquence nominale	~3.49 (25 max)	N/A	3.14	N/A
Fréquence de transition (MHz)	7000	650	N/A	N/A
Courant de saturation (A)	N/A	N/A	N/A	N/A
Densité d'inductance (nH/mm ²)	9.91	8.64	6.25	N/A
Coût additionnel	Package nécessitant TGV et substrat verre + étapes d'assemblage			

Tableau 4-1: Récapitulatif des inductances à air proposées pour les FIVRs

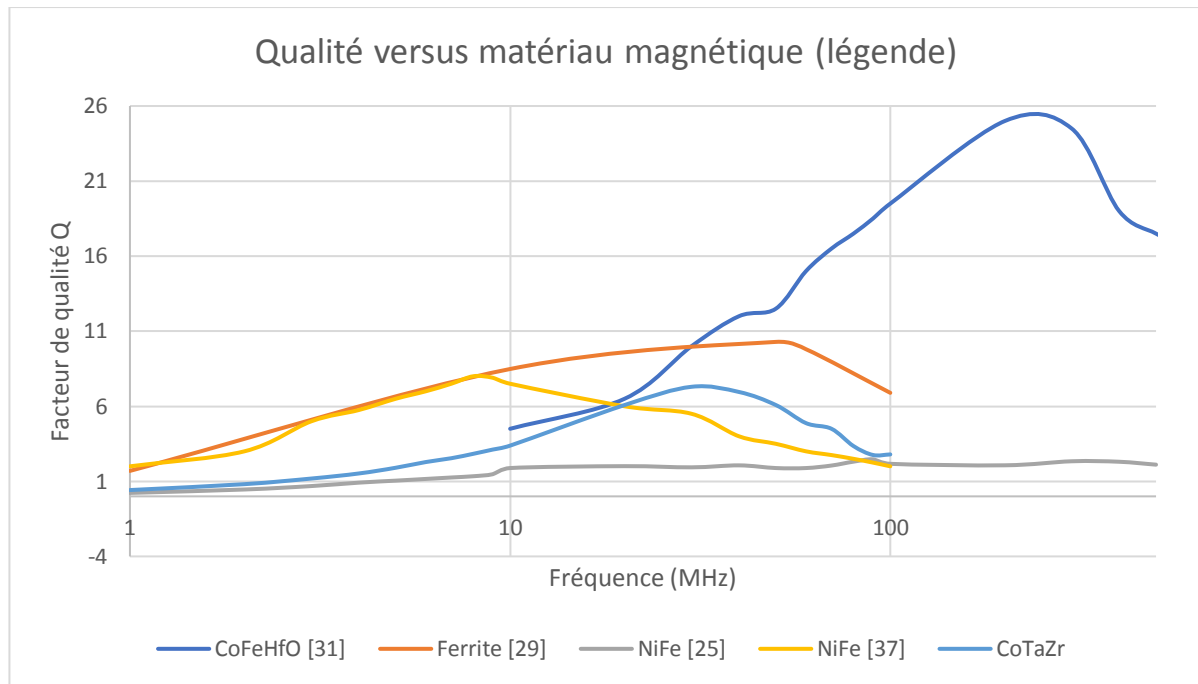
* Estimé à partir de courbe de Q

Travaux	[25]	[61]	[24]	[23]	[58], [57]
Niveau d'intégration	Intégration monolithique 2-D	Empilement 3-D	Intégration 3-D	Embarqué en package 2-D	Embarqué en package 2-D
Type d'inductance	Spirale plane	Solénoïde 3-D sur verre	Solénoïde 3-D à base de TSV	Solénoïde 3-D	Solénoïde 3-D à 5 tours
Fréquence nominale (MHz)	100	100	90	100	100
Inductance (nH) @ fréquence nominale	12.5	9.6	4.8	24.8	3.25
DCR (mΩ)	270	330	N/A	14.7	10
Facteur Q @ fréquence nominale	2.618	5.13	~1.1 (ESR=2.7Ω)	6.9	20
Fréquence de transition (MHz)	100	4000	~600	N/A	200
Courant de saturation (A)	N/A	N/A	0.15	N/A	N/A
Densité d'inductance (nH/mm²)	51	13.5	111	2.14	80
Coût additionnel	Assemblage spécial avec interposeur silicium	Package à TGV avec substrat en verre + étapes d'assemblages	Package à TSV		

Tableau 4-2: Récapitulatif des inductances à noyau magnétique proposées pour les FIVRs



a)



b)

Figure 4-19: a) Choix d'inductance versus fréquence pour les FIVRs ; b) Qualité en fonction de fréquence de quelques matériaux magnétiques

Sur la base de l'analyse menée jusqu'à présent, la Figure 4-19-a montre un diagramme de choix de la structure d'inductance en fonction de la fréquence de commutation. En supposant une fréquence de commutation ciblée de $\sim 100\text{MHz}$, la structure qui convient est celle à noyau magnétique. Comme l'illustre la Figure 4-19-b, les matériaux de base les plus appropriés pour cette fréquence cible sont de type ferrite. Les ferrites sont des structures céramiques créées en combinant l'oxyde de fer avec d'autres oxydes ou carbonates d'autres métaux tels que le manganèse, le nickel, etc. Des exemples sont fournis par les œuvres [58] et [23]. Pour des fréquences de commutation entre 200 MHz et 500 MHz et les inductances approchant $\sim 1\text{nH}$, les meilleures options sont les inductances de solénoïde de noyau d'air. Enfin, au-dessus de 500 MHz et pour moins de 1 nH, les spirales planes sur silicium sont mieux adaptées.

Sur la base de cette analyse, l'inductance utilisée dans la puce IVR à 3 états de cette thèse et présentée dans le chapitre 5, est à base de noyau en ferrite de $\sim 5\text{nH}$, et incorporé dans un package 2D. Comme nous l'avons mentionné précédemment, embarquer l'inductance permet d'utiliser le maximum d'épaisseur de package disponible pour le matériau magnétique. Notons que l'utilisation de matériau plus épais est une bonne façon d'augmenter le courant de saturation des matériaux de ferrite tout en gardant leurs performances hautes fréquences [48].

4.2.2. Capacité de découplage en sortie et PDN associé

La capacité de sortie minimale souhaitée pour un VR est liée à la régulation de tension dynamique et statique. Nous avons mentionné précédemment la vitesse de commutation de tension qui est l'une des contraintes au choix du condensateur de découplage. Cependant, une performance plus critique dans la DVR des convertisseurs à commutation rapide est la réponse aux transitoires de charge. Jusqu'à présent, la plupart des IVR ont montré une régulation statique plus ou moins acceptable selon la charge mais avec une mauvaise réponse aux transients [45], [56], [19], [46]. Il s'agit d'un problème pour les microprocesseurs car il affecte leurs performances. Par conséquent, l'analyse du condensateur de sortie tournera autour des transitoires de charge et l'aspect d'ondulation en statique. Nous commençons l'estimation du condensateur et l'effet du réseau de distribution d'énergie/puissance (PDN) du point de vue des processeurs.

4.2.2.1. Analyse du bruit de tension dans les processeurs

La conception conventionnelle utilisant un régulateur hors puce pour passer de l'alimentation ($\sim 3.7\text{V}$ provenant d'une batterie) à la tension du processeur est montrée dans la Figure 4-20-a. Tout d'abord, un module de régulateur de tension (VRM) rattaché à la carte mère (ou le PCB), réduit la tension d'entrée à une tension

appropriée. Ensuite, la puissance de sortie est distribuée par la carte mère au package, où des connexions C4s — également connu sous le nom de flip chips— connectent le package avec les pads de connexion du microprocesseur pour répartir la puissance à l'intérieur de la puce. Et enfin, le système de distribution sur puce distribue la puissance à tous les blocs du micro-processeur [71]. L'alternative qui inclut les régulateurs sur puce est indiquée en Figure 4-20-b. Compte tenu d'une dégradation inhérente de l'efficacité à des grands ratios de conversion, le premier étage de régulateur de tension hors puce effectue l'abaissement initial vers une tension intermédiaire. L'alimentation intermédiaire va en entrée du deuxième étage, le régulateur de tension sur puce, qui abaisse à nouveau la tension jusqu'à la valeur de tension de cœurs de processeur. Le nombre de régulateurs de tension sur puce varie selon la granularité recherchée pour fournir au plus un domaine d'alimentation par cœur. Comme nous l'avons mentionné précédemment, les régulateurs de tension sur puce sont généralement intégrés avec le processeur dans le même package. On rappelle de la Figure 4-5, qu'ils peuvent être mis en œuvre sur le même die que le processeur, ou par intégration de multiples dies dans le même package, l'intégration 3D par exemple [22], [24], [69], [72].

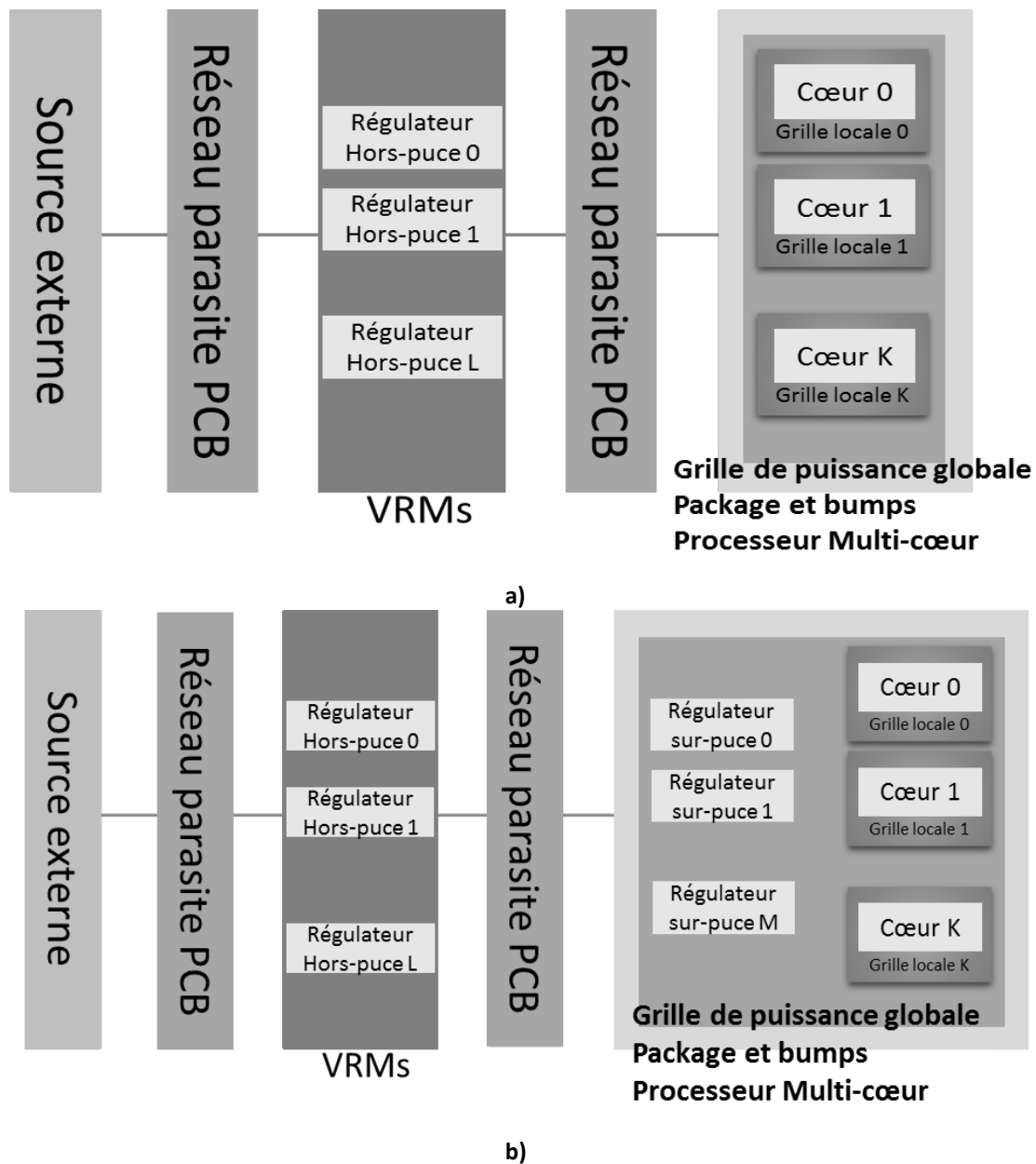
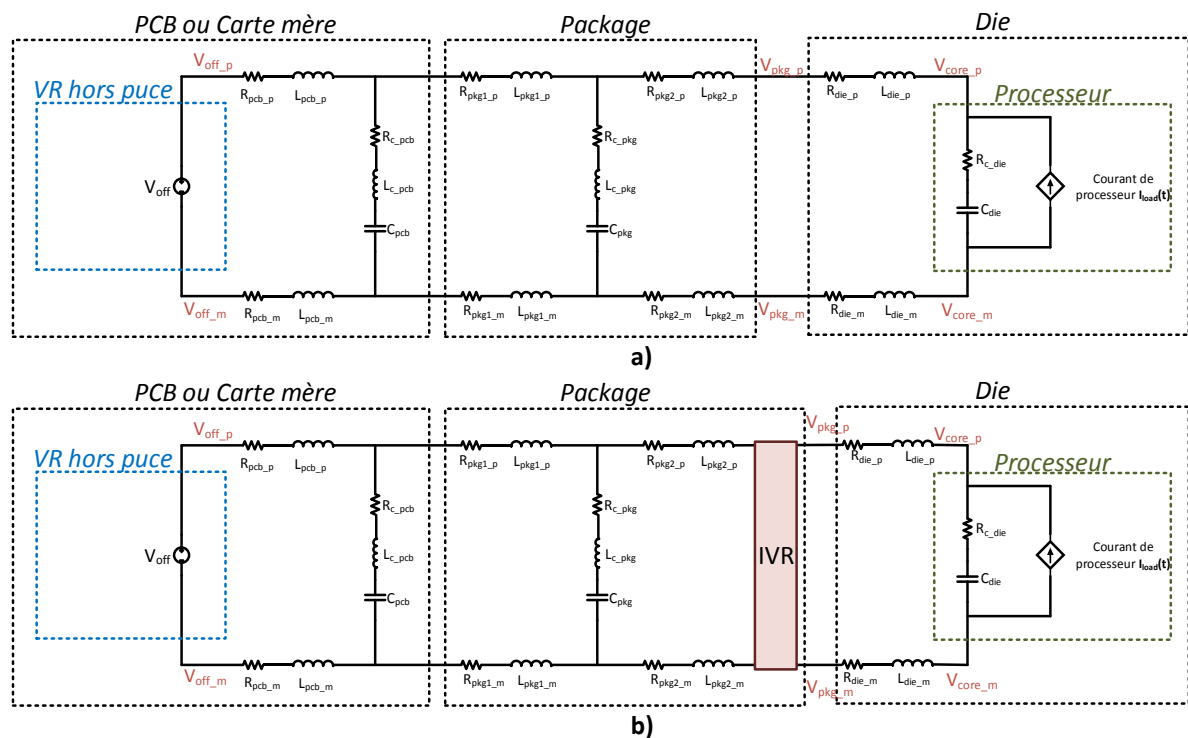


Figure 4-20: a) Vue d'ensemble du système de distribution d'énergie avec Bucks hors puce uniquement (un étage) ; b) Vue d'ensemble du système de distribution d'énergie avec régulateurs hors-puce et sur-puce (2 étages).

Afin de capturer la propriété globale du système de distribution d'énergie, nous devons nous intéresser aux composants parasites passifs du réseau de distribution d'énergie, p. ex., les résistance, capacitance et inductance parasites de la trace de carte imprimée et du package. Les Figure 4-21-a et Figure 4-21-b montrent les modèles détaillés de PDN resp. avec des régulateurs hors puce uniquement et avec une cascade de régulateur hors puce et sur puce, correspondant aux systèmes indiqués resp. en Figure 4-20-a et Figure 4-20-b. Dans les deux cas, un réseau de résistance, d'inductance et de capacité est utilisé pour capturer les composants parasites du PDN. L'alimentation sur carte est la tension d'origine fournie par le régulateur hors puce. Comme nous ne sommes pas intéressés par la conception du VR hors puce dans cette thèse, il peut être modélisé comme une source de tension pour le reste du système de distribution d'énergie. La carte PCB comprend les éléments parasites de trace de PCB (L_{pcb} , R_{pcb}) et la capacité totale de découplage hors puce (C_{pcb}) avec la résistance de série équivalente (ESR) et une inductance série équivalente (ESL) associées. Les ESR et ESL pour le condensateur sur PCB sont nommées R_{c_pcb} et L_{c_pcb} respectivement. Le réseau de distribution d'énergie de la puce inclut les parasites de package et le condensateur de découplage correspondant (L_{pkg1} , R_{pkg1} , C_{pkg}), la connexion package à die (L_{pkg2} , R_{pkg2}), les interconnexions die à die (L_{die} , R_{die}), et les grilles d'alimentation et de masse du processeur. Les connexions de package au die, par exemple, les bumps C4, sont modélisées comme paires RL regroupées qui relient les régulateurs de tension sur puce (s'il y en a) aux pads du package. Ceci est illustré dans la version détaillée du réseau parasitique du die en Figure 4-21-c où (L_{die} , R_{die}) sont re-modélisées comme paires RL parallèles des bumps* du processeur. Les régulateurs de tension sur puce délivrent la puissance au processeur par la connexion die-à-die et les grilles d'alimentation du processeur. Cette modélisation détaillée du réseau sur die devient importante car les processeurs contiennent de nombreux cœurs de nos jours. Nous discuterons de son importance lorsque nous aborderons la propagation du bruit dans les architectures multicœurs.



* Interconnexion entre die et package représentant les pins du die

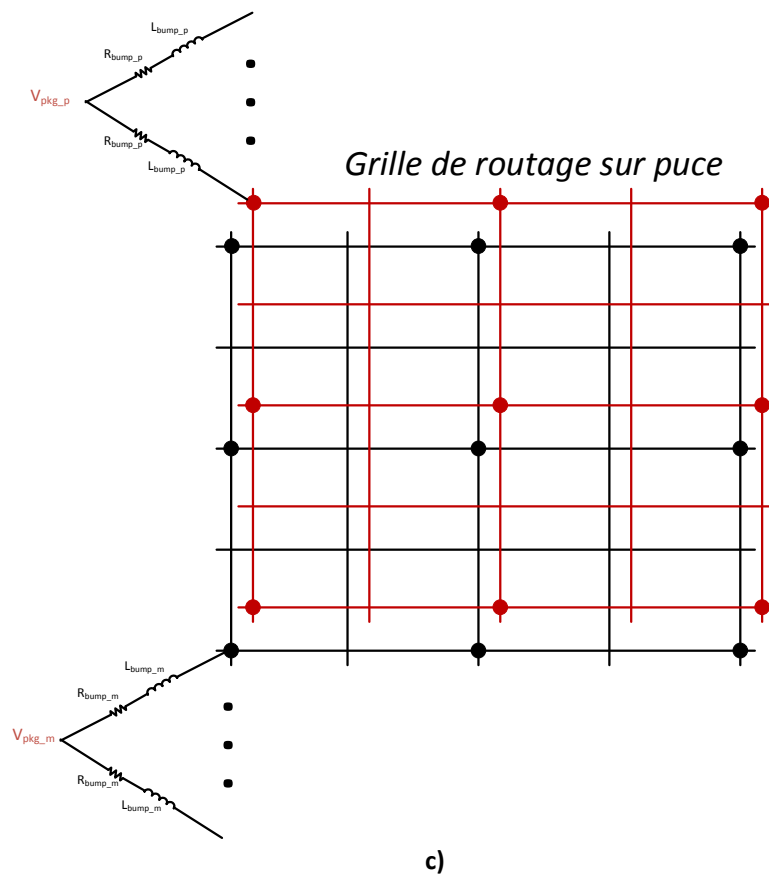


Figure 4-21: a) Modèle de réseau de distribution de puissance (PDN) avec un VR hors-puce seulement ; b) Modèle de PDN avec une combinaison de VR hors puce et sur puce ; c) modèle détaillé du PDN au niveau du die.

Afin de comprendre comment le bruit de tension peut être généré au niveau du processeur, nous considérons le modèle de Figure 4-21-a. En outre, comme l'alimentation et la masse présentent des composants R et L parasites, le suffixe ' _ p ' est ajouté pour différencier les éléments d'alimentation des éléments de masse qui utilisent ' _ m '. Lorsqu'on fait référence à un certain composant parasite sans utiliser de suffixe, on assume la somme des éléments d'alimentation et de masse, comme par exemple $R_{pcb} = R_{pcb_p} + R_{pcb_m}$.

Lors de variations de courant, les composants résistifs (R_{pcb} , R_{pkg1} , R_{pkg2} , R_{die}) génèrent une chute de tension dans le réseau, désigné *IR-Droop* (V_{droop}), tandis que les composants inductifs (L_{pcb} , L_{pkg1} , L_{pkg2} , L_{die}) produisent des fluctuations de tension sur le réseau. Ces fluctuations seront appelées *diDt-Droop* (V_{diDt}), et liées aux événements $\Delta I / \Delta t$. Ces dernières, combinées à l'IR-Droop, constituent le bruit de tension (V_{noise}), ou Droop de tension, ou encore tout simplement la surtension du point de vue du convertisseur. Ainsi, nous pouvons écrire :

Equation 43

$$V_{core} \text{ (ou } V_{die}) = V_{off} - V_{droop} - V_{diDt} = V_{off} - V_{noise}$$

Fondamentalement, l'amplitude maximale de V_{noise} définit généralement la marge de tension (ou la bande de garde) dans laquelle le processeur doit être en mesure de fonctionner.

4.2.2.1.1. Connaissances fondamentales de l'impédance du PDN

Afin de comprendre les raisons derrière le bruit de tension du processeur, nous devons examiner quelques notions de base sur la théorie des circuits. Dans les circuits RLC réactifs avec des signaux variables dans le temps — comme le PDN — la Loi d'Ohm est généralisée à :

Equation 44

$$V_{core}(f) = |Z| \times I_{LOAD}(f)$$

où le Z indique l'impédance de la ligne.

Ignorant les éléments parasites (ESR et ESL) du condensateur, $|Z|$ peut être décomposée en :

Equation 45

$$|Z| = \sqrt{R^2 + (X_L - X_C)^2}$$

Où R est la résistance en ohms représentant les éléments résistifs, X_L est la réactance des éléments inductifs et X_C est la réactance des éléments capacitifs.

Les réactances de l'inductance et du condensateur sont exprimées comme suivent :

$$X_L = 2\pi \times f \times L;$$

$$X_C = 2\pi \times f \times C^{-1};$$

Où f est la fréquence du signal, L est l'inductance en Henries, C la capacité en Farads.

Puisque les deux composantes X_L et X_C dépendent de la fréquence du signal, l'impédance Z et la tension V_{core} se comportent similairement. Ainsi V_{noise} peut être définie comme la somme des harmoniques de V_{core} qui génèrent tout signal AC visible sur la tension du processeur. Les circuits RLC parallèles ont la propriété de résonance à des fréquences spécifiques. La résonance est la disposition du circuit pour produire des oscillations de magnitude plus élevée à certaines fréquences par rapport au reste. Elle se produit parce que l'énergie est conservée dans le champ magnétique des inductances et dans la charge des condensateurs. Cela signifie essentiellement que, dans un réseau (L , C), il existe une fréquence de résonance exprimée par :

Equation 46

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

Une stimulation du circuit RLC à une fréquence résonante, où l'impédance (Z) est maximisée, augmente la valeur V_{noise} générée pour un échelon de charge donné.

4.2.2.1.2. Forme générale de l'impédance vue du processeur

L'objectif de cette section est de modéliser la forme générale de l'impédance du PDN considéré afin que nous puissions avoir une compréhension plus approfondie de l'effet des variations de charge sur V_{noise} .

Commençons par supposer que les composants L , C sont sans perte. Ceci réduit le problème à l'analyse d'un réseau LC multiple avec la structure d'un filtre multi-LC passe-bas polynôme d'ordre impair avec une inductance de shunt à l'extrémité (Figure 4-22-a). Pour estimer l'impédance vue par le processeur, la considération fondamentale est d'ajouter une source de courant impulsive en parallèle à C_{die} et avoir la tension d'alimentation V_{off} court-circuité à la masse. Avec un condensateur parallèle à la première extrémité et une inductance à l'autre extrémité, le problème est réduit à la synthèse de l'impédance de sortie du circuit par une succession de suppressions de pôles à l'infini, autrement référé comme la *première forme de Cauer*. C'est ce qui est illustré en Figure 4-22-a où C_{die} correspondrait à C_p , L_{die} à L_p et ainsi de suite. Selon l'équation de *Cauer*, l'impédance Z_{out} est une fraction dont le numérateur est d'ordre $p-1$ et le dénominateur d'ordre p , avec un zéro à DC. A. C. M. De Queiroz [73], [74] indique que la réponse en tension d'une telle impédance à une impulsion de courant est mieux comprise de la transformation inverse de Laplace de Z_{out} , et apparaît comme une somme de p oscillations cosinusoidales. La transformation de Laplace de ces oscillations en cosinus peut être ensuite écrite comme proportionnelle à l'impédance dans la *première forme de Foster*.

En restant dans le domaine de Laplace, il est facile d'estimer le premier ordre de *Cauer*, qui est un simple réseau LC parallèle :

Equation 47

$$Z_{out,1st\ order}(s) = \frac{s/C_1}{s^2 + \omega_0^2} \text{ avec } \omega_0 = \frac{1}{\sqrt{L_1 C_1}}$$

En généralisant à l'ordre p , et écrivant l'impédance comme proportionnelle à la première forme de *Foster*, nous obtenons :

Equation 48

$$Z_{out}(s) \propto \sum_{i=1}^p \frac{A_i s}{s^2 + k_i^2 \omega_0^2}$$

Où ω_0 est une pulsation commune à partir de laquelle chaque pulsation de résonance $k_i \omega_0$ est dérivée; A_i est un facteur proportionnel représentant l'amplitude de chaque cosinus associé à la transformée de Laplace inverse.

Sur la base de cette analyse, nous sommes en mesure d'obtenir une forme générique de l'impédance lorsque les résistances sont incluses (Figure 4-22-b). Une version de premier ordre du réseau correspond à un circuit RLC pseudo-parallèle dont l'impédance est calculée comme :

Equation 49

$$Z_{out,1st\ order}(s) = R_1 \times \frac{\omega_0^2 + sQ\omega_0}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2} \text{ avec } \omega_0 = \frac{1}{\sqrt{L_1 C_1}} \text{ et } Q = \frac{1}{R_1} \sqrt{\frac{L_1}{C_1}}$$

Nous déduisons de l'Equation 49 deux effets introduits par la résistance :

- Un amortissement de l'oscillation du cosinus dû à la multiplication par $e^{-\omega_0 t/2Q}$ dans le domaine de Laplace inverse ;
- L'addition d'oscillations sinusoïdales dans le domaine de Laplace inverse, en raison des décalages de phase introduits par l'ajout de la résistance. Cela implique la propagation des oscillations au fil du temps.

Généralisant au p-ième ordre, nous obtenons :

Equation 50

$$Z_{out}(s) \propto \sum_{i=1}^p \frac{A_{i,0}s + A_{i,1}}{s^2 + \frac{s k_i \omega_0}{Q_i} + k_i^2 \omega_0^2}$$

Où, ω_0 est une pulsation commune à partir de laquelle chaque pulsation de résonance $k_i \omega_0$ est dérivée; $A_{i,0}$ est un facteur proportionnel représentant l'amplitude de chaque cosinus associé à la Laplace inverse. $A_{i,1}$ est un facteur proportionnel représentant l'amplitude de chaque sinus associé à la Laplace inverse, et Q_i correspond à l'inverse du facteur d'amortissement associé à chaque oscillation.

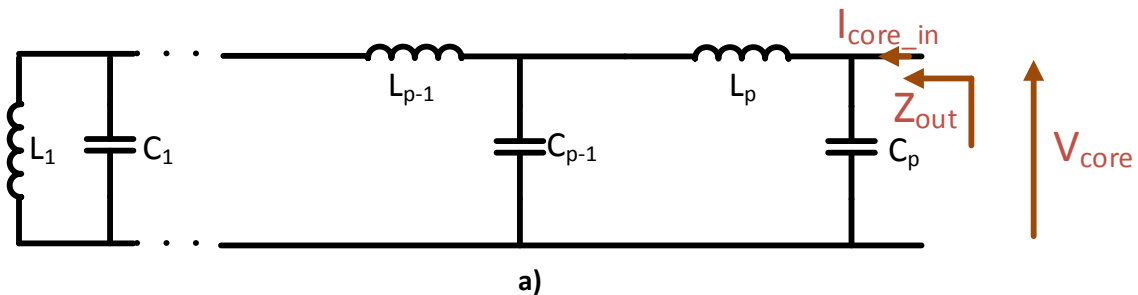
L'Equation 50 peut être appliqué au PDN de la Figure 4-21-a, en supposant un condensateur idéal (sans ESR et ESL) et $k_{pcb} \omega_0 \ll k_{pkg} \omega_0 \ll k_{die} \omega_0$, pour exprimer:

Equation 51

$$Z_{out}(s) \propto \sum_{i=pcb,pkg,die} \frac{A_{i,0}s + A_{i,1}}{s^2 + \frac{s k_i \omega_0}{Q_i} + k_i^2 \omega_0^2} \text{ avec } k_i \omega_0 \sim \frac{1}{\sqrt{L_i C_i}} \text{ et } Q_i = \frac{1}{R_i} \sqrt{\frac{L_i}{C_i}}$$

Nous associons chaque résonance à chaque condensateur présent dans le PDN (C_{pcb} , C_{pkg} , C_{die}). Ajoutons que les expressions de $k_i \omega_0$ et Q_i sont conditionnelles à $k_{i-1} \omega_0 \ll k_i \omega_0 \ll k_{i+1} \omega_0$. Lorsque cette condition est réalisée, L_{i-1} et C_{i-1} peuvent être approximées respectivement par un chemin ouvert et un court-circuit autour de la fréquence de résonance $k_i \omega_0$. De même, L_{i+1} et C_{i+1} peuvent être vues respectivement comme un court-circuit et un circuit ouvert. La Figure 4-23-a montre la forme d'onde associée de l'impédance du PDN versus la fréquence soulignant les différentes résonances. La Figure 4-23-b est un exemple extrait du modèle de GPU du travail [75]. En raison de la quantité réduite de capacité de die, la résonance associée à C_{die} a une valeur d'impédance plus élevée que celles du package et du PCB.

Notons que, puisque les condensateurs auront en réalité leur propre ESR et ESL associés, chacun d'eux induira une auto-résonance supplémentaire qui complexifiera encore plus l'Equation 51. Cependant, cette dernière est une bonne approximation, en supposant des valeurs d'ESL et ESR faibles.



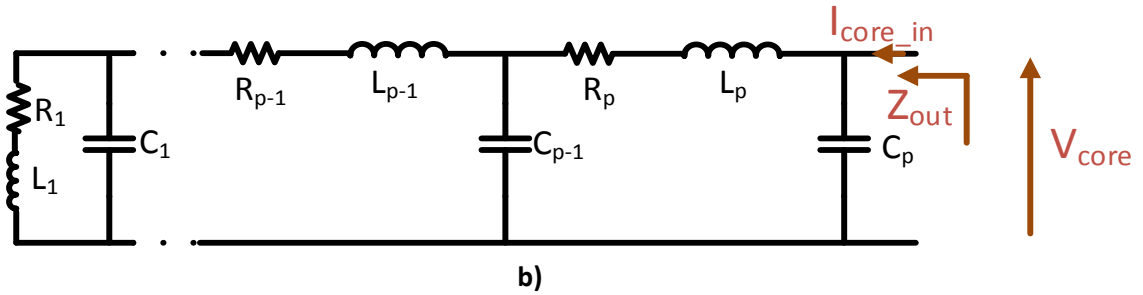


Figure 4-22: a) Approximation du réseau LC sans perte du PDN ; b) Approximation du réseau LC avec perte du PDN

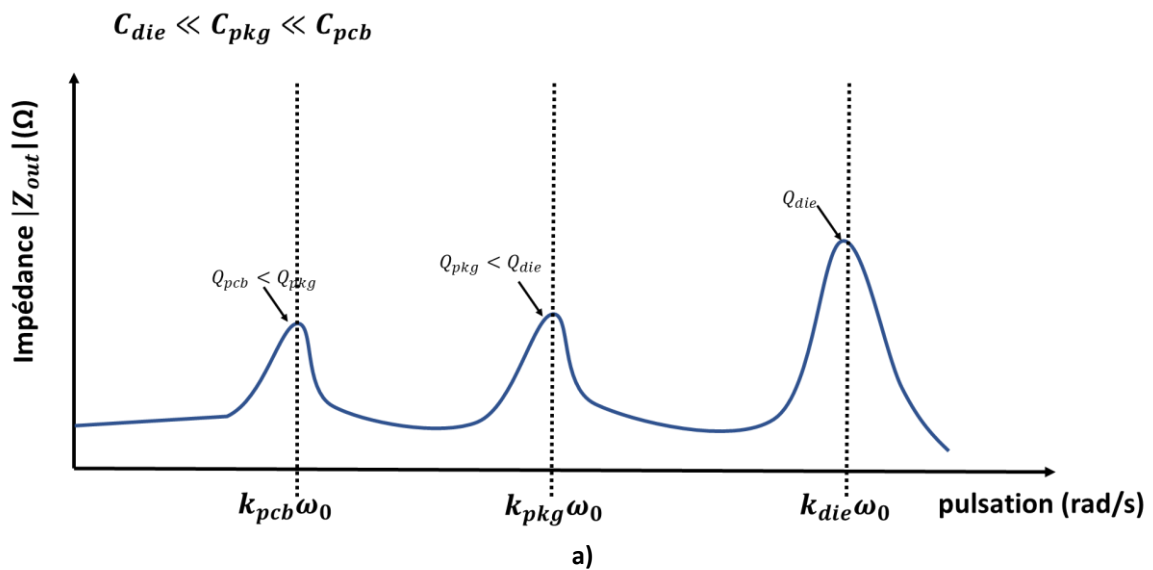


Figure 4-23: a) Illustration du tracé d'impédance par rapport à la fréquence ; b) exemple avec GPU mobile [75] montrant les Droop.

Étant donné que les activités du processeur peuvent éventuellement générer des variations ΔI à de telles fréquences de résonance, l'impédance Z du système doit être définie non seulement en fonction de la

fréquence d'horloge de processeur, mais aussi sur le spectre de fréquences où les fluctuations de courant peuvent exister. Cette définition est effectuée pendant le processus de conception du package, lorsque les profils d'impédance (Z) et les cartes de positionnement de condensateurs de découplage sont générés. Pendant ce processus, les concepteurs de packages s'assurent généralement qu'une valeur maximale prédéfinie de Z n'est jamais dépassée quelle que soit la fréquence, en plaçant suffisamment de condensateurs de découplage en parallèle. Cela garantit que V_{noise} reste dans une magnitude limitée, ce qui permet une marge de tension réalisable (V_{margin}). Connaissant le pire des cas de $\Delta I/\Delta t$ qui peut potentiellement se produire, la norme de l'industrie est d'allouer assez de bande de garde pour garantir la robustesse [76]. Un exemple est illustré en Figure 4-24, pour un cœur 2 Duo où un histogramme cumulé des échantillons de tension du processeur est affiché. Certains échantillons rares montrent la situation transitoire la plus défavorable avec 10% de surtension, faisant que la marge allouée est d'environ 14%. D'autres approches typiques sont de considérer la consommation totale en courant de la charge comme le pire cas de transitoire possible, et d'en déterminer l'impédance maximale pour une marge de tension acceptable [77]. Ces mesures sont importantes car le bruit de tension peut introduire des giges d'horloge, et par conséquent des violations de « timing » dans les microprocesseurs [78]. Comme notre analyse de Droop de tension dans le processeur nous mènera aux exigences en réponse transitoire du FIVR, il est important de comprendre l'origine des $\Delta I/\Delta t$ dans les processeurs et l'effet de la bande de garde sur les performances du processeur.

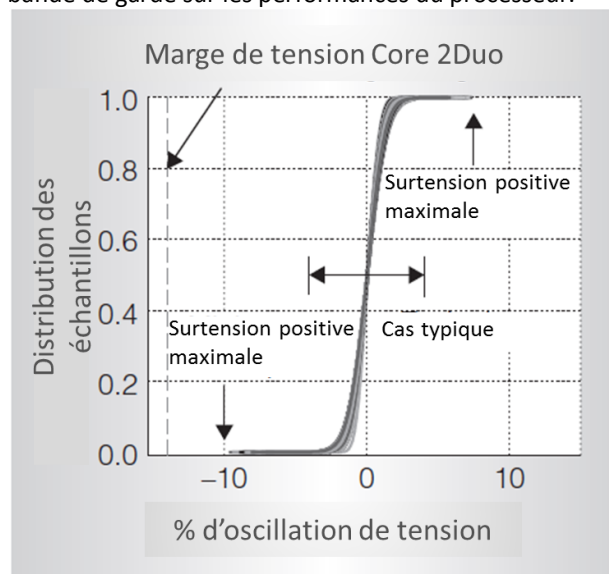


Figure 4-24: Cumul de valeurs d'oscillation/variation de tension pour un cas typique de processeur [78].

4.2.2.1.3. Surtension dans les processeurs multicœurs

Comme le montre la Figure 4-23-a, les valeurs typiques de C_{pcb} , C_{pkg} , C_{die} sont telles que $C_{die} \ll C_{pkg} \ll C_{pcb}$. La valeur de capacité du die est la capacité totale estimée dans le Layout du processeur, avec des valeurs de quelques dizaines de nanofarads. Cela rend la résonance associée à C_{die} de fréquence la plus élevée. En supposant qu'un échelon de courant de charge se produise à une certaine fréquence f_{load} , et approximant ce courant avec un signal d'onde carrée, la transformée de Fourier du courant du processeur peut être écrite comme une représentation mono-latérale :

Equation 52

$$\overline{I_{load}} + \frac{4\Delta I_{load}}{\pi} \sum_{n=1}^{+\infty} \frac{\sin(n\pi/2) \sin(2\pi n f_{load} t)}{2n-1}$$

Cette expression montre que certaines composantes fréquentielles du courant de charge pourraient s'aligner avec les pics d'impédance du PDN. Ces composantes sont ce qui créerait :

- Le Droop de premier ordre (ou premier Droop) qui coïncide avec la résonance induite par C_{die} ;
- Le Droop de deuxième ordre (ou deuxième Droop) qui apparaît habituellement à la résonance de C_{pkg} .

Comme les processeurs ont de nombreux cœurs de nos jours, le bruit de tension peut être approximé dans un scénario idéal, comme :

Equation 53

$$V_{noise} = \max_{0 \leq i \leq \#cœur} (V_{noise_i})$$

Où V_{noise_i} est le bruit local généré dans chaque cœur.

L'Equation 53 décrit comment le bruit de tension global correspond au bruit le plus défavorable dans les cœurs. V_{noise_i} se réfère non seulement au bruit local dans un cœur, mais aussi au bruit induit par les autres cœurs qui alignent leur $\Delta I / \Delta t$ pour générer le Droop.

Equation 54

$$V_{noise_i} = \sum_{f=k}^n (Z_{out}(f) \times I_{load_i}(f)) + \eta_i(V_{noise_j}, \forall j \neq i)$$

Où Z_{out} est l'impédance de PDN vu par le processeur; $I_{load_i}(f)$ est le courant du cœur concerné, exprimé dans le domaine de Fourier.

Notons que l'Equation 54 a un deuxième membre η_i , une fonction qui modélise l'interaction des bruits générés par différents noyaux voisins sur le noyau local. La fonction η est définie par cœur afin d'exprimer que les différents cœurs peuvent montrer différentes interactions de bruit en raison de leur disposition physique ou des variations de process.

- Le Droop de premier ordre (ou premier Droop)

On se base sur les expérimentations menées par J. Leng et al [79]. L'exemple utilisé est celui d'un GPU avec 15 cœurs. Comme le montre la Figure 4-25, chaque cœur GPU dispose de trois planificateurs pour maximiser le débit :

- Le planificateur *front-end** prend des instructions du cache d'instruction (I-cache) pour les organiser en groupe d'instructions de différentes longueurs.
- Le *Planificateur de problème†* sélectionne et envoie ces instructions au backend selon la disponibilité des données d'opérande et autres éléments dont elles dépendent.
- Le dernier planificateur situé dans le backend, également appelé *unité d'expédition‡*, accède au fichier de registre, vérifie s'il y a des conflits dans les banques de données et envoie des instructions aux unités de calcul (essentiellement l'Unité Arithmétique et Logique ALU) qui renverront le résultat d'opération.

Même si le planificateur de problèmes a toujours été d'intérêt en raison de son grand impact sur les performances, le dernier planificateur (c.-à-d., l'unité d'expédition) est la cause directe de grandes valeurs de Droop de premier ordre lorsqu'il subit un quelconque blocage. Cela est dû au fait que l'unité d'expédition est étroitement couplée avec les composants principaux avides de puissance qui peuvent provoquer des afflux de courant, tels que le fichier de registre. Par rapport à tous les autres composants avides de courant dans le backend, le fichier de registre connaît les changements de courant les plus importants et les plus rapides, d'une manière qui s'aligne avec la fréquence du Droop de premier ordre, rendant ainsi le fichier de registre un point chaud de bruit de tension à l'intérieur du cœur. Par exemple, il suffit de seulement 7 cycles d'un cœur (commutant à 700 MHz) pour s'aligner avec le premier Droop qui apparaît à 100 MHz (Figure 4-26-b). Par comparaison, lorsque les deux autres planificateurs décrochent, les cycles qu'il faut pour augmenter la puissance à fournir aux chemins de données backend, dépassent le nombre de cycles de Droop de premier ordre, car il faut du temps pour que l'activité se propage à travers les planificateurs.

Parce qu'il se produit habituellement à des fréquences élevées (> 100 MHz), le Droop de premier ordre est extrêmement sensible au désalignement des différents événements ΔI . En temps normal, l'alignement de plusieurs événements ΔI (en raison d'un décrochage différent par exemple) peut augmenter l'échelon de charge total. Cependant, dans le cas d'un Droop qui se produit à une fréquence aussi élevée, même un désalignement d'un cycle peut grandement réduire la valeur de Droop (28% à 9% [79]) parce qu'il donne aux cœurs peu de temps pour aligner leurs activités. En outre, les effets de Droop de premier ordre ne peuvent être ressentis que par des cœurs au voisinage, en raison de l'effet d'atténuation de la propagation (Figure 4-26-a). Cet effet est dû au PDN effectif vu au niveau die et décrit par la Figure 4-21-c. En raison du réseau RLC local généré au niveau de la grille d'alimentation du die, un délai de propagation est généré. Ce délai de propagation devient encore plus important lorsque la distance entre les noyaux augmente. L'exemple de processeur illustré par la Figure 4-1 correspond à un processeur GPU avec 15 cœurs. Dans un tel scénario, les événements synchronisés ΔI qui se

* Originellement « Fetch Front-end scheduler »

† Originellement « Issue scheduler »

‡ Originellement « Dispatch unit »

passent entre le noyau 1 et le noyau 15 ne s'aligneraient pas pour générer une Droop de premier ordre, en raison de ce retard introduit par le réseau RLC. Ainsi, le premier Droop se produisant à des fréquences de plus de 100 MHz est susceptible d'être local à peu de cœurs voisins.

- Le Droop de deuxième ordre (ou deuxième Droop)

Apparaissant à des fréquences inférieures (> 1 MHz typiquement), le second Droop est le résultat d'activités multicœurs alignées temporairement. On recense trois causes typiques de Droop de deuxième ordre :

- **Obstruction de cache* de données (D-cache)** : Un échec de l'accès au D-cache dans le cœur peut toujours bloquer le pipeline. Le pipeline se bloque lorsque tous les threads en cours d'exécution échouent dans leur accès au D-cache et donc aucun thread ne peut être émis. Par conséquent, après un retour de mémoire cache de données, il peut y avoir une poussée d'activité qui provoque un Droop de tension. En outre, lorsque le taux de demande en mémoire des threads surcharge le cœur qui essaie de masquer la latence d'accès, tous les threads peuvent se bloquer pour que les demandes de mémoire en suspens/en attente soient terminées. Fondamentalement, le cumul d'écriture D-cache dans les threads peut remplir le buffer de demande de mémoire car le temps d'exécution du thread est prolongé. Par conséquent, tous les cœurs tendent à s'arrêter, et lorsqu'un programme demande une exécution d'activités dans les cœurs, des appels de courants venant de tous les cœurs s'alignent pour former un pic de courant global (à l'échelle du processeur).
- **Obstruction du cache d'instruction (I-cache)** : Il s'agit d'une autre cause potentielle de Droop de second ordre qui se produit lorsque la longueur de l'instruction est supérieure à la taille du I-cache par exemple.
- **Alignement de threads** : Un phénomène plus intuitif consistant en plusieurs threads s'alignant les uns avec les autres au début d'une exécution, provoquant ainsi une explosion globale du courant dans le processeur.

Comme le Droop de second ordre peut tolérer plus de non-alignement d'événements, le pire cas est généré par des activités à l'échelle de la puce (Figure 4-26-c). En outre, le Droop de deuxième ordre se manifeste comme un Droop à l'échelle globale plutôt que locale en raison des caractéristiques d'impédance du PDN. Son impédance est généralement inférieure à l'impédance du Droop de premier ordre (Figure 4-23), et il exige donc des fluctuations de courant beaucoup plus importantes pour causer une grande surtension, comparé au Droop de premier ordre. Les variations de courant importantes et soudaines ne se produisent pas au premier ordre en raison de sa sensibilité au désalignement d'événements, comme discuté précédemment, mais de telles variations de courant importantes peuvent se produire avec l'accumulation plus lente à la fréquence du second Droop. V. J. Reddi et al [78] soulignent le fait que la récupération après décrochage (ou blocage) créé dans un cœur, aura tendance à créer une surtension locale qui affectera les cœurs voisins et ainsi générer plus d'actions de décrochage-récupération menant à un ΔI de grande taille. A cela se rajoute la propagation des oscillations sinusoïdales introduites dans l'Equation 49, qui contribueront à augmenter la durée du Droop. En revanche, R. Bertran et al montrent la possibilité d'avoir le premier Droop déplacé à des fréquences inférieures (~ 2 MHz) en raison de la présence de grande eDRAM intégrée sur puce dans leur processeur IBM zEC12. Cette présence rare de grande capacité dans le processeur conduit à une valeur de C_{die} (20x que la normale) et décale le premier Droop à des fréquences typiques de 2nd Droop. Bien que cette intégration facilite la gestion du premier Droop par les régulateurs, elle est rarement effectuée dans les CPUs du fait de son coût.

L'analyse de ce second Droop peut apparaître plus importante puisque des valeurs de surtension plus élevées (~ 9 -10%) sont généralement obtenues par rapport à celles du premier ordre (~ 6 -7%) [79]. En outre, comme l'évolution de la technologie tend à permettre des longueurs plus petites et donc des surfaces plus réduites ainsi que des commutations plus rapides, les processeurs peuvent maintenant passer à > 5 GHz [71]. Cela permettra des alignements potentiels d'événements ΔI proche de 100 MHz, même avec l'effet d'atténuation induit par le réseau d'alimentation RLC du processeur.

* Les caches sont les mémoires locales utilisées dans le processeur pour conserver des données de calcul à réutiliser ou d'instructions reçues, parce que leur accès est plus rapide que les mémoires externes

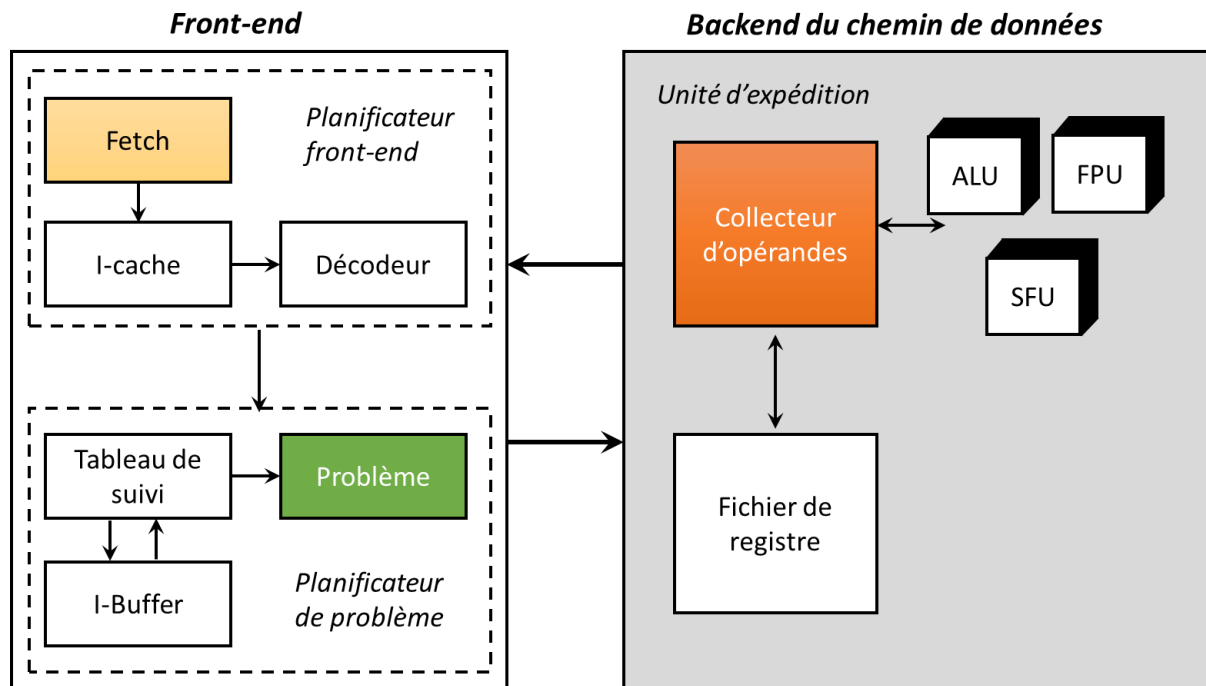


Figure 4-25: Microarchitecture de Coeur de GPU et ses planificateurs

En plus de l'augmentation de la fréquence de Droop de deuxième ordre, il est important d'inclure maintenant l'utilisation de régulateurs sur puce. Mise en évidence par la Figure 4-21-b, l'utilisation du régulateur sur puce élimine la présence de condensateur de PCB. Bien que des condensateurs de découplage de sortie peuvent toujours être implémentés sur package et sur die, en utilisant des technologies de tranchées profondes « deep trench technology » ou même en utilisant des condensateurs à travers silicium « Through Silicon Capacitors » (TSC) sur interposeur silicium [80], Il est important de noter l'impact de la réduction de capacité totale sur l'impédance du PDN. V. J. Reddi *et al* prouvent, par exemple, l'effet de la diminution de capacité de package sur le Droop. L'oscillation de tension s'aggrave avec moins de capacité, ce qui crée une diminution significative de la performance en raison des récupérations* de plus en plus fréquentes. Avec moins de capacitance de découplage, la réduction du deuxième Droop dépend complètement de la bande passante de l'IVR. Dans le même temps, le premier Droop, bien que compensé par les condensateurs en sortie, peut devenir dominant du fait qu'il se retrouve hors de la bande passante du régulateur.

D'autre part, bien que plusieurs solutions aient été proposées du côté du processeur, pour réduire l'impact du bruit de tension :

- Ajout de condensateurs de découplage au niveau du PCB, du package et du die (limitation par contraintes en surface) ;
- Considération du pire cas de bruit comme la bande de garde dans laquelle le processeur doit fonctionner (réduction des performances du processeur) [71], [78];
- Utilisation de la bande de garde dynamique (aucune garantie de surveillance parfaite du comportement de la charge) [71];
- Architectures résilientes avec un lent planificateur matériel de bruit de tension (frais additionnels en conception de matériel et logiciel) [78];
- Algorithmes de surveillance d'expédition et des registres pour les microcontrôleurs (potentiellement invasives) [79];

ces approches impliquent des architectures invasives, réduisent les performances du processeur dans une certaine mesure et n'aident à réduire les surtensions que de ~ 33% au mieux. Les valeurs de Droop obtenues à partir des travaux précédents sur les processeurs montrent au mieux 8% de Droop, alors que l'analyse de performances versus surtension menée par V. J. Reddi, indique la nécessité d'une surtension inférieure à 5% pour une performance optimale du processeur. La contrainte de réduire le second Droop à de telles valeurs

* Lorsque la tension du processeur dévie de sa valeur nominale et sort de la bande de garde, le processeur entre en état d'urgence, où les activités peuvent être ralenties pour que les performances nominales soient récupérées.

négligeables peut être repoussée vers les IVR qui, pour ce faire, doivent avoir leur bande passante au moins aussi élevée que la fréquence de Droop de deuxième ordre. En outre, un besoin de bande passante aussi grande que le premier Droop devient nécessaire car ce premier Droop domine lorsque les 2^e Droop est réduit.

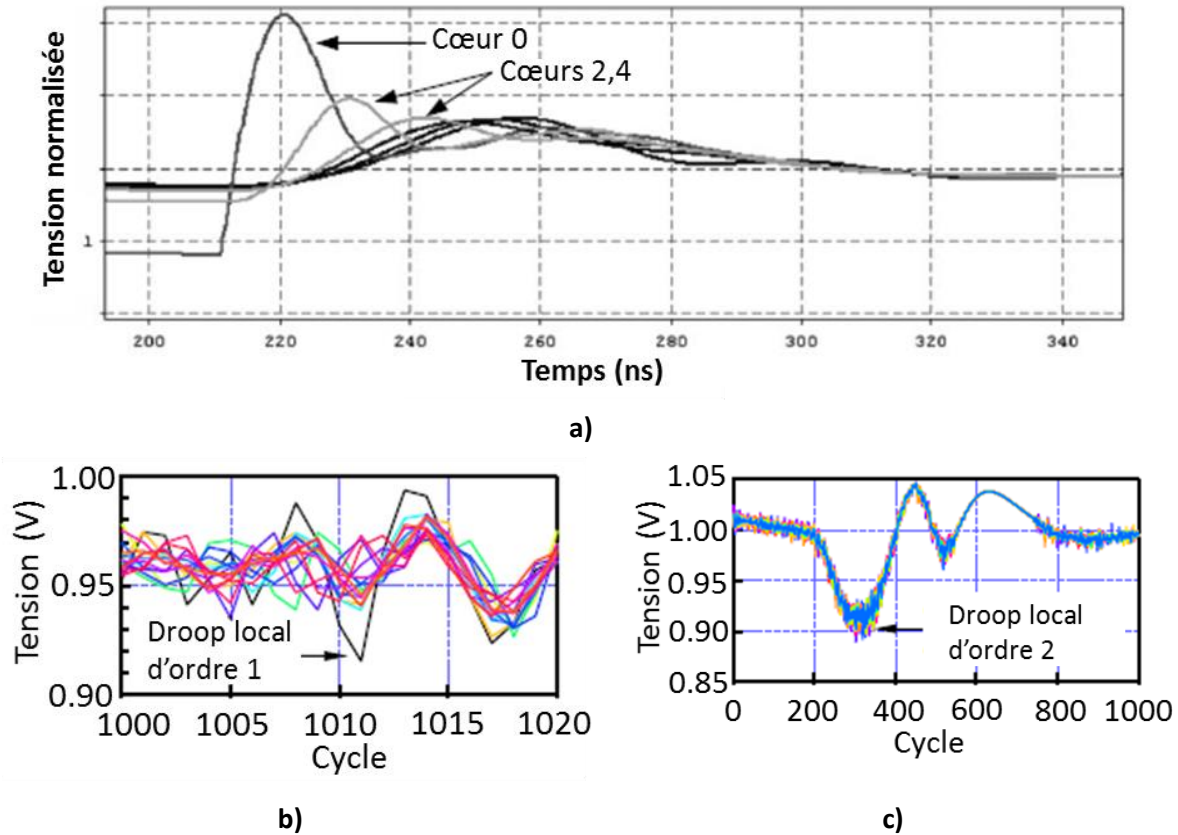


Figure 4-26: a) Effet de V_{noise_0} sur les cœurs voisins, montrant la propagation du bruit et l'effet de délai du PDN ; b) Exemple de premier Droop ; c) Exemple de deuxième Droop.

4.2.2.2. Choix de capacité de sortie

L'une des contraintes au choix de la capacité de sortie minimale est basée sur la valeur d'ondulation ciblée en statique. L'Equation 55 définit l'ondulation de la tension de sortie en fonction de la valeur du condensateur, et de l'ondulation du courant d'inductance [27]:

Equation 55

$$\Delta V_{out} = \frac{\Delta i_L}{8f_{sw}C_{out}} = \frac{(1-\delta)V_{out}}{8 \times L \times C_{out} \times f_{sw}^2}$$

Avec ΔV_{out} l'ondulation de sortie en statique, δ le rapport cyclique à V_{out} , L l'inductance du filtre de sortie, C_{out} la valeur de la capacité de sortie et f_{sw} la fréquence de commutation du convertisseur.

La valeur d'ondulation de courant assumée dans l'Equation 1 peut être réécrite en fonction du nombre de phases à partir de l'estimation effectuée dans [81]. En tant que tel, l'ondulation la plus défavorable est exprimée :

Equation 56

$$\Delta V_{out} = \frac{\Delta i_L}{8f_{sw}C_{out}} \times \frac{0.25}{\delta(1-\delta)} \times \frac{1}{N_{PH}^2} = \frac{0.25 \times V_{in}}{8 \times N_{PH}^2 \times L \times C_{out} \times f_{sw}^2}$$

Où N_{PH} représente le nombre de phases dans le convertisseur, et V_{in} la tension d'entrée de ce convertisseur.

Pour la régulation dynamique de la charge, nous estimons la valeur de la capacité critique/minimale C_{crit} pour une certaine surtension V_{os} cible, une charge transitoire Δi_{LOAD} et un temps de réponse t_{os} . Cette valeur est déterminée pour gérer le premier Droop comme il se produit à des fréquences qui peuvent être plus élevées que la bande passante du FIVR. Le courant critique i_c du condensateur est exprimé comme :

$$i_c = C_{crit} \frac{dV_{out}}{dt} \leftrightarrow i_c \cdot dt = C_{crit} \cdot dV_{out};$$

$$\text{et donc } \int_0^{t_{os}} i_c \cdot dt = \int_0^{V_{os}} C_{crit} \cdot dV_{out};$$

En supposant un échelon rapide de charge (~ns de transition) et que les variations de V_{out} peuvent être approximées à une forme d'onde triangulaire, on obtient:

Equation 57

$$\Delta i_{LOAD} \times t_{os} = \frac{1}{2} C_{crit} \times V_{os}$$

Notons que la durée de surtension considérée dans les équations précédentes est la durée nécessaire pour que le VR commence à réagir au Droop de la tension de sortie (Figure 4-27), et donc t_{os} représente la bande passante du convertisseur Buck.

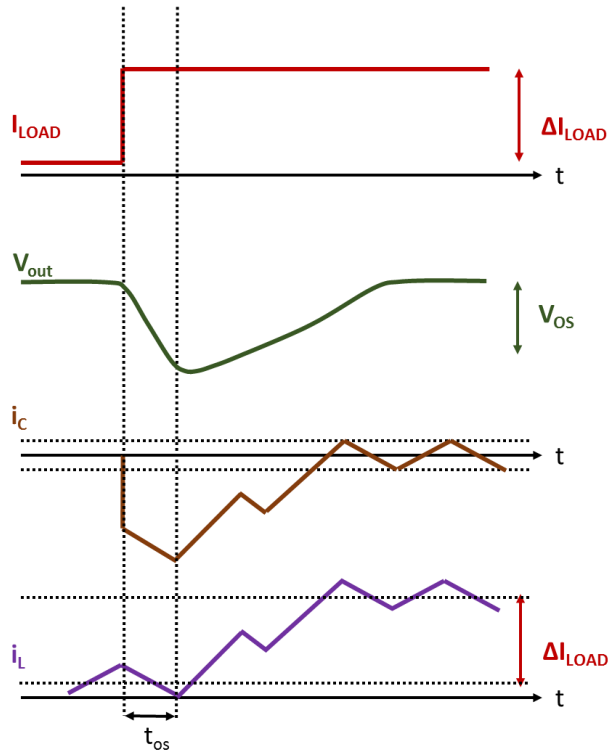


Figure 4-27: Signaux de tension et de courant pendant le transitoire de charge.

Le Tableau 4-3 montre certaines valeurs de capacité critique et de capacité minimale pour des performances transitoires et une ondulation en statique prédéfinies. Les valeurs sont basées sur une tension d'entrée de 1.8 V et une fréquence de commutation de 100 MHz. Avec plus de deux phases, les valeurs nécessaires pour une ondulation statique de ~ 10 mV (typiquement utilisée) sont très basses. Ainsi, le condensateur de sortie est choisi en fonction de la valeur C_{crit} avec des chiffres autour de 200 nF en supposant une bande passante aussi élevée que 200 MHz. Des condensateurs de telles valeurs peuvent effectivement être intégrés dans le package, mais pas sur le die car cela pourrait conduire à une consommation de surface élevée. Bien entendu, comme nous l'avons mentionné auparavant, il existe des moyens explorés dans la recherche pour obtenir plus de capacité sur-die, mais ils impliquent un coût plus élevé.

Mentionnons également que la valeur de capacité critique doit permettre d'atteindre la vitesse de commutation de tension ciblée, qui a été déterminée dans la section 4.1. Ceci peut être vérifié en simulation ou en expérimentation et, dans le cas où la contrainte de vitesse de commutation de tension n'est pas respectée, un compromis doit être fait entre les performances du processeur et les économies d'énergie DVFS.

ΔV_{out} (mV)	N_{PH}	t_{os} (ns)	ΔI_{LOAD} (A)	V_{os} (%)	C_{out_min} (nF)	C_{crit} (nF)
Ondulation en statique	Nombre de phases	Bande passante	Echelon de charge par phase	Droop de tension	Statique	Transitoire de charge
10	2	10	1	5	28.125	400

10	3	10	1	5	12.5	400
10	4	10	1	5	7.03125	400
10	3	5	1	5	12.5	200
10	3	3.33	1	5	12.5	133.2

Tableau 4-3: Valeurs de capacité de sortie critique pour une commutation à 100 MHz

4.3. Réseau de distribution d'énergie en entrée du FIVR

Nous rappelons de la Figure 4-21-a, le modèle de réseau de distribution d'énergie entre un régulateur hors puce et le processeur. Passant de la Figure 4-21-a à la Figure 4-21-b, l'ajout de régulateurs sur puce est montré. Une partie des éléments parasites apparaît maintenant de la sortie du VR hors puce et à l'entrée de l'IVR. Nous référons à cette portion entre le régulateur externe et le régulateur intégré comme le *PDN d'entrée*. La Figure 4-28 en montre un modèle qui fut dérivé de la Figure 4-21-b montrant les inductances parasites de la carte mère et du package. Comme le die de la FIVR aura son propre réseau de puissance similaire au processeur, l'inductance de bump est également modélisée. Afin de générer le courant allant à la charge, l'IVR prend un courant d'entrée $I_{in}(t)$ dont la forme est liée à l'activité de commutation de l'étage de puissance. Considérons donc un étage de puissance typique comme décrit dans la Figure 2-2. De la Figure 2-8, les FETs de puissance HS et LS sont conçus très grands pour obtenir une petite résistance de conduction, faisant que leurs capacités parasites C_{gs} et C_{gd} sont dans la gamme de centaines de pF typiquement. Nous modélisons la capacité parasite totale observée sur le die en entrée du FIVR comme C_{ps} . Nous rappelons à partir de la section 2.1.1 pour un convertisseur monophasé, que lorsque le HS est allumé, le courant d'entrée circule à travers elle pour charger l'inductance et alimenter la charge. Nous pouvons ensuite assimiler le courant d'entrée à un signal périodique rectangulaire :

$$I_{in}(t) = I_{load}; \text{ quand } t \% T_{SW} \leq \delta \cdot T_{SW}$$

$$I_{in}(t) = 0; \text{ quand } t \% T_{SW} > \delta \cdot T_{SW}$$

avec T_{SW} la période de commutation, δ le rapport cyclique et, % qui représente l'opération modulo.

Nous rappelons également notre analyse de l'interaction de l'impédance du PDN avec un courant d'onde carrée dans la section 4.2.2.1.3. Des oscillations de la tension d'entrée apparaîtront à des fréquences où l'impédance est assez élevée, donc proche des pics de résonances.

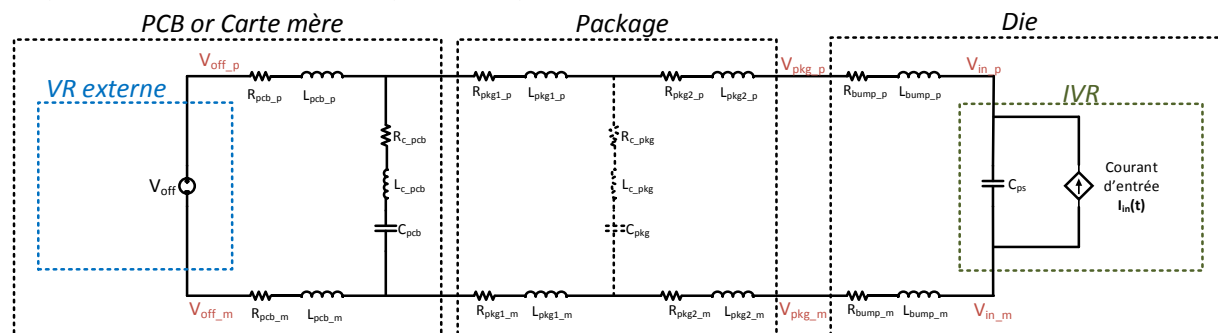


Figure 4-28: Modèle de PDN d'entrée

La Figure 4-29-a montre un tracé simulé d'impédance par rapport à la fréquence. Pour ce tracé, nous considérons les condensateurs de package inexistant. Les valeurs des inductances et résistances parasites sont estimées à partir d'une analyse réseau du package. La capacité totale externe (hors-puce) de la carte est typiquement de plusieurs dizaines de microfarads comme nous l'avons vu dans l'étude de la littérature du chapitre 2. La capacité parasite C_{ps} est modélisée par l'ajout de FETs de puissance sur la ligne V_{in} . Nous supposons dans ce cas un VR 3 phases avec trois FETs de puissance, dimensionnés pour $\sim 20\text{mOhms}$ de résistance et utilisés en parallèle. Les simulations se font en technologie CMOS 28 nm. Deux résonances sont attendues :

- La première est à basse fréquence et peut être estimée, en utilisant l'Equation 51, à $f_{pcb} \cong 1.125\text{MHz}$. Nous constatons également que $Q_{pcb} \cong 0.88$, une valeur très faible qui explique pourquoi le pic d'impédance n'est pas vu dans la Figure 4-29-a. Nous pouvons alors considérer l'impédance plate aux basses fréquences.
- La seconde résonance est due à l'interaction entre C_{ps} et $(L_{pkg1} + L_{pkg2} + L_{bump})$. En faisant les mêmes calculs on obtient $f_{die} \cong 287\text{MHz}$ et $Q_{die} \cong 89$, en supposant que la capacité parasite totale

sur die est d'environ 300 pF. On peut clairement voir le pic d'impédance autour de cette fréquence en Figure 4-29-a.

Contrairement au cas du processeur, le courant d'entrée de l'IVR est toujours en commutation à la fréquence f_{SW} avec un rapport cyclique δ qui correspond à la portion de temps pendant laquelle HS est allumé. Dans une opération multi-phase, chaque fois qu'un interrupteur HS devient passant, il commence à fournir le courant d'inductance que nous approximations à la charge par phase pour simplification. L'opération inverse se produit lorsqu'un interrupteur HS devient bloqué ; le courant d'inductance n'est plus fourni par l'entrée. Les deux opérations se traduisent par des variations de $\pm \frac{I_{load}}{N_{PH}}$ sur l'entrée du VR. La Figure 4-30-a montre le comportement de courant d'entrée avec 3 phases. Comme l'approximation avec un signal rectangulaire est possible, la transformée de Fourier du courant d'entrée peut être écrite comme :

Equation 58

$$I_{in} = \delta \times I_{load} + \frac{2I_{load}}{\pi N_{PH}} \sum_{n=1}^{\infty} \frac{\sin(n\pi \times \delta) \sin(2\pi n(N_{PH} \times f_{SW})t)}{n}$$

L'approximation d'onde rectangulaire due au rapport cyclique implique l'existence d'harmoniques paires en plus des harmoniques impaires observées dans un signal carré. L'effet du courant d'entrée sur la tension d'entrée varie donc selon :

- *Le rapport cyclique :*

Intuitivement, les rapports cycliques qui peuvent être écrits comme $\frac{1}{2^n}$ avec n représentant un entier, présenteront les harmoniques les plus élevées. Cependant, le pire cas de rapport cyclique dépendra essentiellement des harmoniques alignées avec les fréquences résonantes.

- *La fréquence de commutation de l'IVR :*

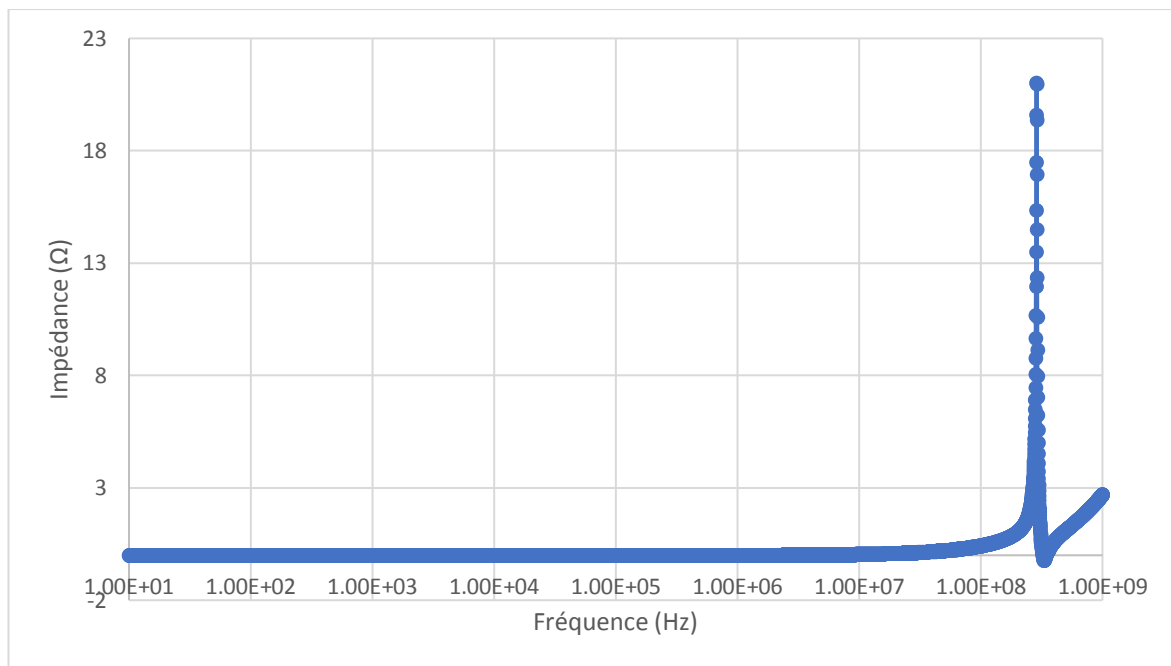
Afin de comprendre son impact, nous simulons le cas d'une commutation lente d'un VR 3 phases avec $V_{in} = 3.7V$ et $f_{SW} = 2MHz$ comparé à notre scénario IVR 3 phases avec $V_{in} = 1.8V$ Et $f_{SW} = 100MHz$:

- La Figure 4-29-b indique la valeur absolue du courant d'entrée simulé pour le VR à commutation lente, dans le domaine de Fourier et la Figure 4-29-c fait pareil pour la tension d'entrée. Nous rappelons que :

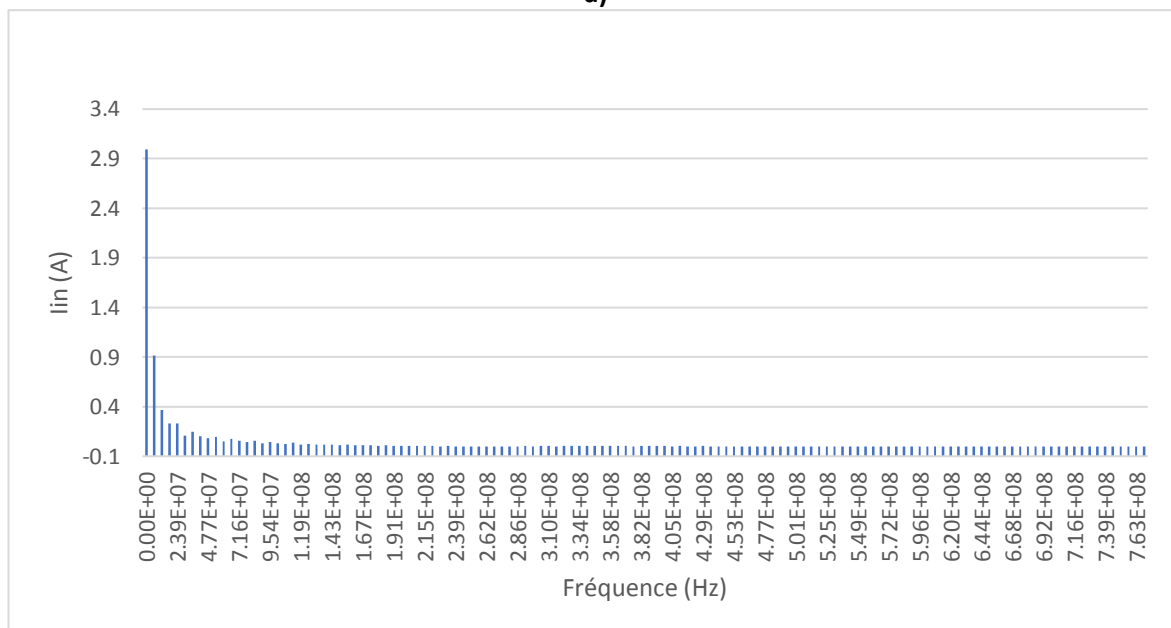
$$|V_{in}| = |Z| \times |I_{in}|$$

Les harmoniques de I_{in} sont très petites autour de la fréquence de résonance du die, ce qui rend les harmoniques des hautes fréquences de V_{in} faibles par rapport au fondamental. La Figure 4-30-b montre la tension d'entrée du domaine temporel résultante, soulignant le bruit généré par les événements de commutation. Nous pouvons conclure de ce résultat que l'impact du bruit généré par le PDN sur l'entrée d'un VR à commutation lente est minime.

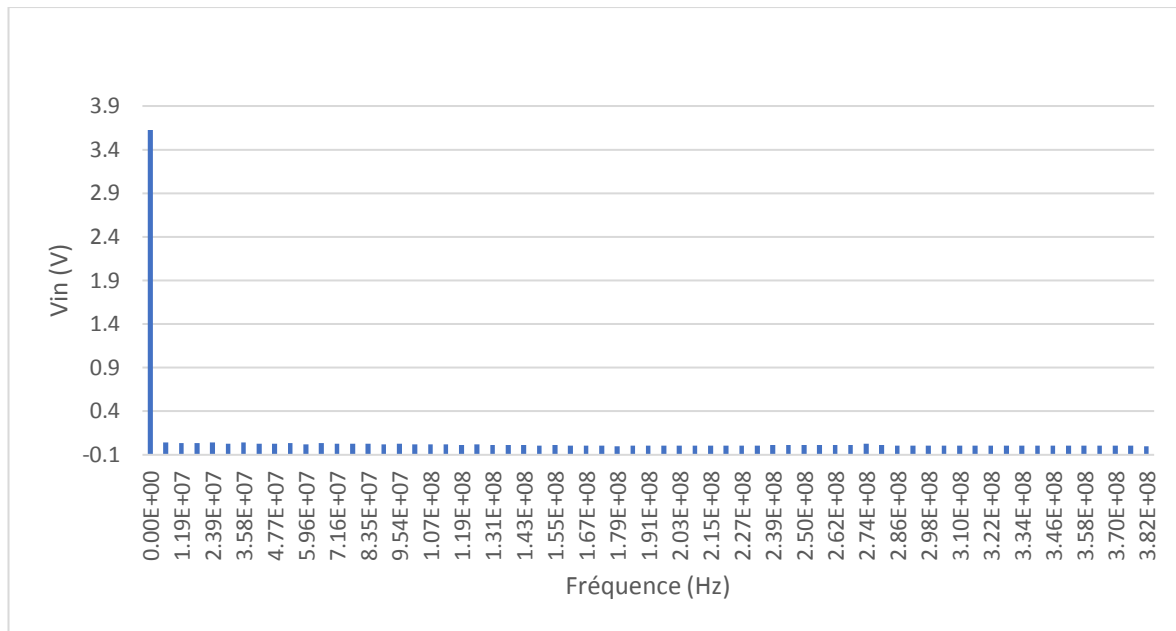
- La Figure 4-32-a indique la valeur absolue du courant d'entrée simulé pour un IVR de 3 phases dans le domaine de Fourier, et la Figure 4-32-b fait pareil pour la tension d'entrée. Les composants DC indiquent les valeurs attendues $V_{in} = 1.8V$ et $I_{in} = 3A$. Le fondamental de l'ondulation du courant apparaît à 300 MHz comme prévu de l'Equation 58. C'est la plus haute harmonique et sa valeur est d'environ 0.9A pour l'opération en 3 phases adoptée. Nous pouvons voir que cette première harmonique apparaît près de la résonance C_{die} et par conséquent génère une très dominante harmonique ($\sim 12V$) dans la transformée de Fourier de V_{in} . Avec une telle haute harmonique par rapport à la valeur DC (1.8V) de la tension d'entrée, il est impossible pour le convertisseur Buck de fonctionner, comme le montrent les oscillations de tension de la Figure 4-31. En réalité, l'ondulation générée par le $\frac{di}{dt}$ va descendre la tension d'entrée si bas que le Buck va à peine commuter et donc ne pourra alimenter la charge.



a)



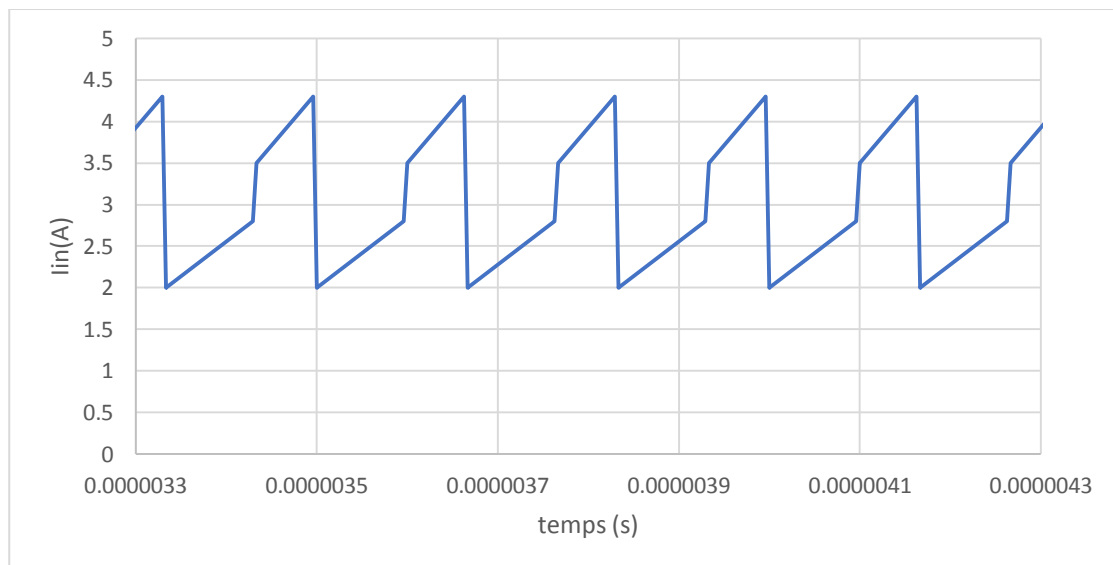
b)



c)

Figure 4-29: a) Impédance de PDN pour $C_{pcb} = 40\mu F$; $C_{pkg} = 0$; $L_{pcb} = 500pH$; $L_{pkg1} = 600pH$; $L_{pkg2} = 300pH$; $L_{bump} = 50pH$; $R_{pcb} = 4m\Omega$; $R_{pkg1} = 7m\Omega$; $R_{pkg2} = 10m\Omega$; $R_{bump} = 10m\Omega$; b) Courant d'entrée dans le domaine de Fourier versus fréquence pour un convertisseur 3 phases de commutation 2MHz; c) Tension d'entrée dans le domaine de Fourier pour un convertisseur 3 phases de commutation 2MHz.

a)



b)

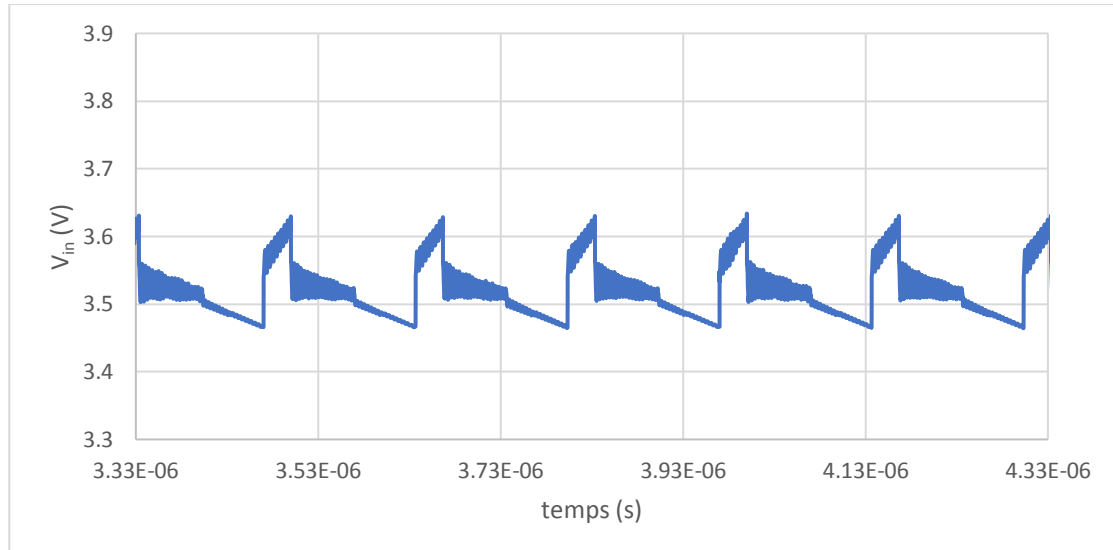
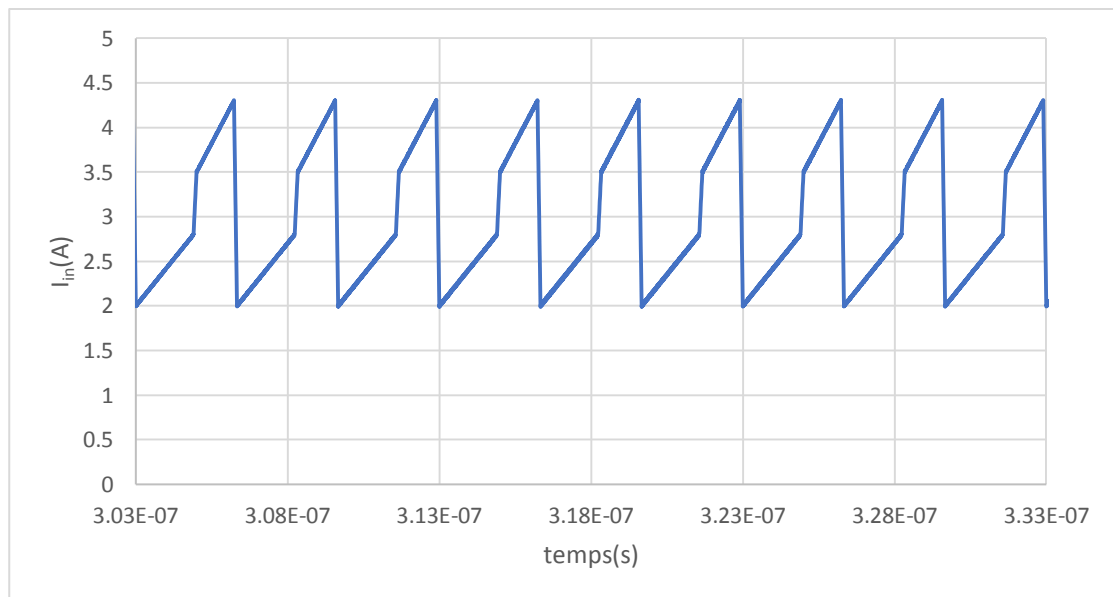


Figure 4-30: a) Version temporelle du courant d'entrée pour un convertisseur 3 phases à 2MHz avec $I_{load} = 3A$ et $V_{in} = 3.7V$; b) Version temporelle de la tension d'entrée au niveau du die pour un convertisseur 3 phases à 2MHz avec $I_{load} = 3A$ et $V_{in} = 3.7V$.

a)



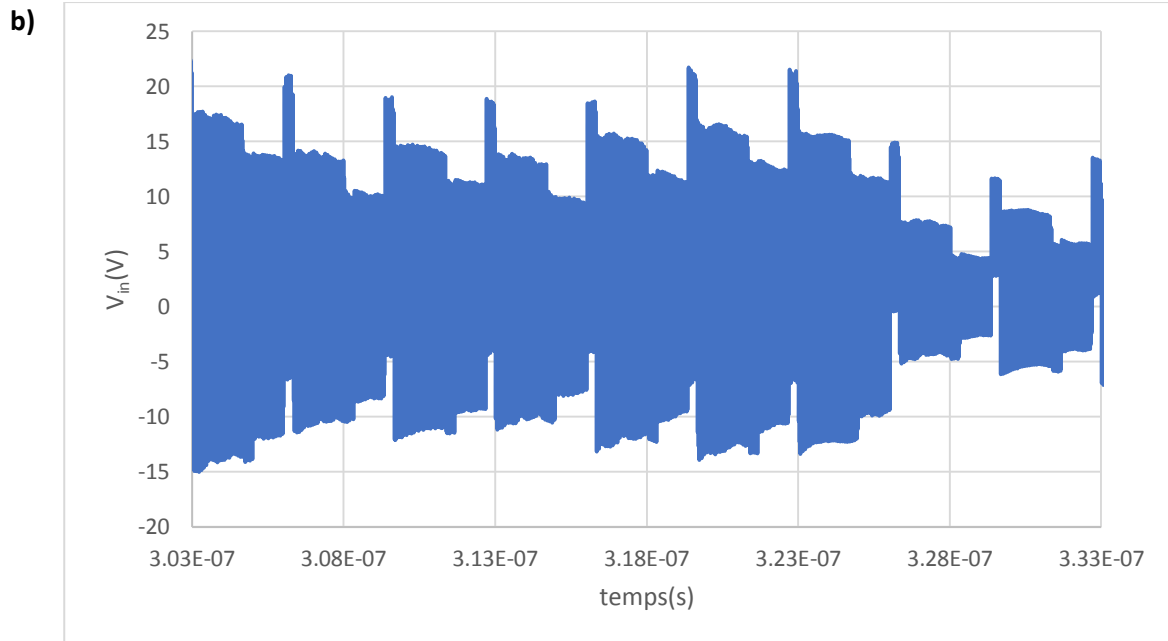
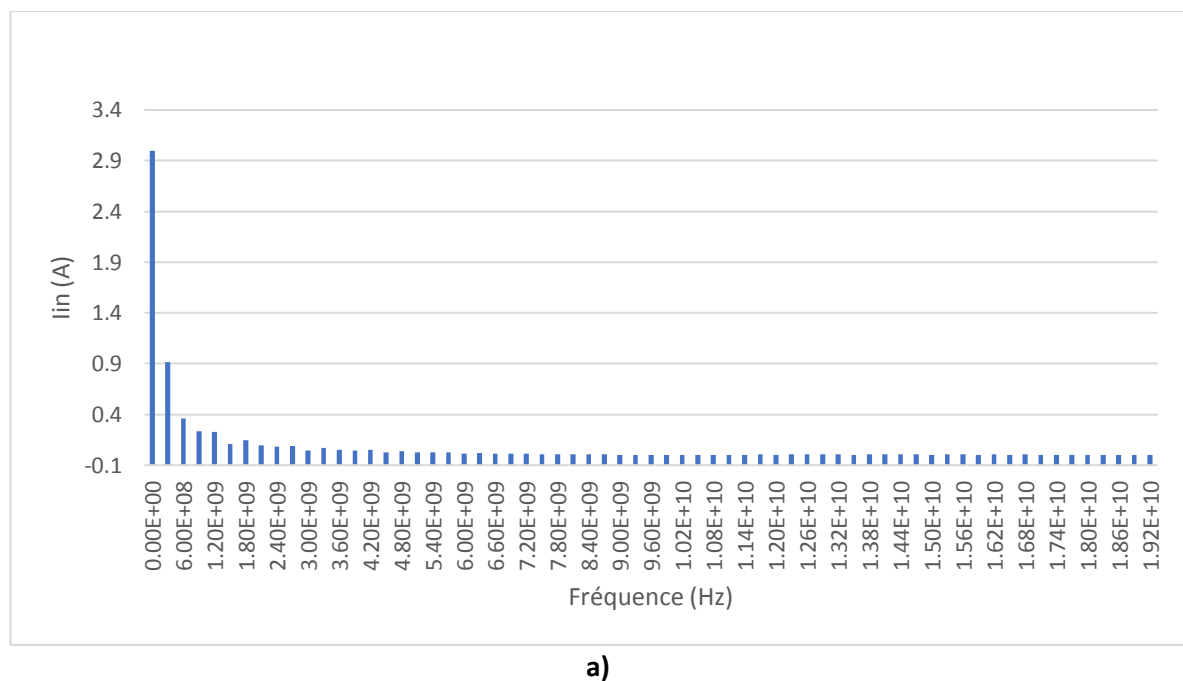
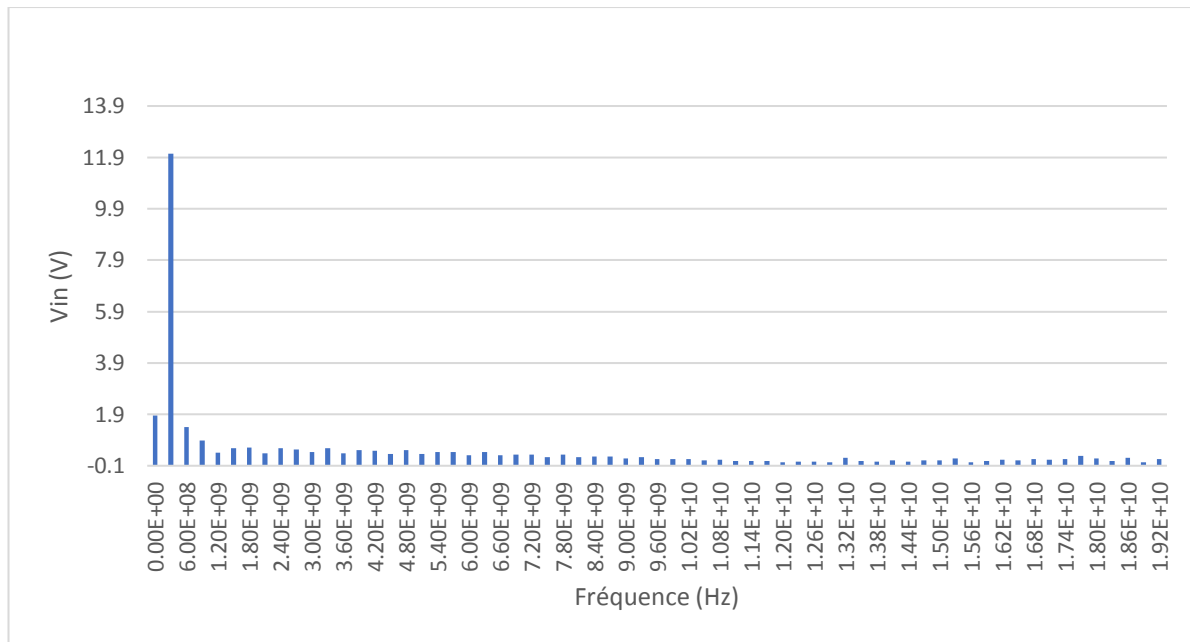


Figure 4-31: a) Version temporelle du courant d'entrée pour un convertisseur 3 phases à 100MHz avec $I_{load} = 3A$ et $V_{in} = 1.8V$; b) Version temporelle de la tension d'entrée au niveau du die pour un convertisseur 3 phases à 100MHz avec $I_{load} = 3A$ et $V_{in} = 1.8V$.





b)

Figure 4-32: a) Courant d'entrée dans le domaine de Fourier versus fréquence pour un IVR 3 phases commutant à 100 MHz ; b) Tension d'entrée dans le domaine de Fourier versus fréquence pour un IVR 3 phases commutant à 100MHz.

La solution la plus simple pour réduire l'ondulation (ou le bruit) sur l'alimentation de l'IVR est l'utilisation de condensateurs plus près du die. Pour cela, il est possible de procéder à l'ajout de condensateur dans le package ou sur le die :

➤ **Utilisation de capacité en package :**

Intuitivement, l'addition de condensateurs dans le package peut réduire le pic d'impédance puisque les condensateurs sont plus proches du die et peuvent être modérément élevés (~ 100 nF). Cela réduit l'inductance parasite totale qui interagit avec la capacité parasite C_{ps} ; d'où la fréquence de résonance se déplace plus haut et le paramètre Q_{die} de l'Equation 51 est réduit. Cependant, les condensateurs de package introduiront une résonance supplémentaire. La Figure 4-33 montre l'impédance de PDN basé sur la Figure 4-28 mais avec un à quatre condensateurs de package ajoutés. Nous utilisons également une échelle logarithmique sur l'axe des y, afin de mettre en évidence toutes les résonances. Les condensateurs sont modélisés avec leur ESR et ESL décrits par la fiche technique fournie par le fabricant [82]. Les inductances et résistances parasites du réseau sont les mêmes que celles utilisées dans la Figure 4-29. La résonance introduite par les condensateurs de package apparaît aux basses fréquences (~ 10 MHz). Les basses fréquences sont à considérer pour l'opération DCM du FIVR. Mais il apparaît que le pic d'impédance est faible ($\sim 0,1 \Omega$) à ces fréquences résonantes. Bien que nous voyions une différence notable en ajoutant au moins un condensateur de package, l'amélioration observée en augmentant le nombre de condensateurs n'est pas si pertinente. Par conséquent, comme l'ont conclu *T. Song et al* [83], Il y a une limite d'amélioration à l'augmentation seule de la quantité de capacité de package. En supposant que la fréquence de résonance autour de 300 MHz dans notre scénario, le FIVR avec $N_{PH} \times f_{SW} > 200$ MHz est toujours susceptible d'avoir une tension d'entrée assez bruyante pour dégrader considérablement ses performances.

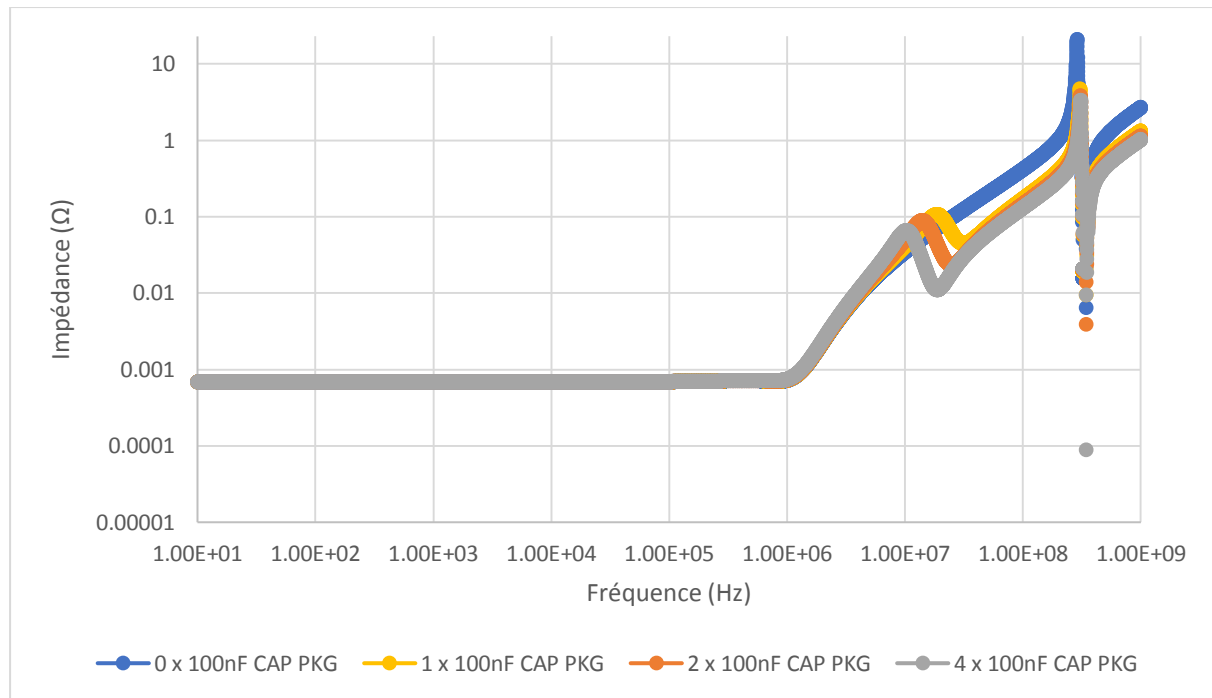


Figure 4-33: Impédance du PDN versus fréquence vs nombre de condensateurs de package en parallèle.

➤ **Utilisation de capacité sur die :**

En traitant le bruit sur l'entrée et les pertes liées, les travaux antérieurs tendent à ajouter une quantité massive de condensateur de découplage sur le die [83], [21], [84]. Nous modifions le PDN de la Figure 4-28, gardant un condensateur de package de ~ 100 nF et en ajoutant le découplage C_{die} sur le die (Figure 4-34). Suivant l'Equation 51, la fréquence résonante f_{die} se déplace vers l'origine, pendant que Q_{die} se réduit. La Figure 4-35 confirme ce comportement en montrant un tracé de l'impédance du PDN avec un balayage de valeurs de C_{die} . Pour avoir une idée de combien de capacité est nécessaire sur le die, il faut décider de l'impédance maximale en dessous de laquelle les oscillations sur l'entrée n'empêchent pas un fonctionnement fiable et efficace. L'opération fiable concerne principalement les marges de tension acceptables pour les dispositifs MOSFETs utilisés dans l'étage de puissance. Ces marges d'opération seront liées aux dispositifs utilisés et à la technologie. Du point de vue de l'efficacité, un V_{in} bruité augmentera les pertes totales de commutation (voir Equation 16) et affectera également la résistance passante des interrupteurs de puissance. Un autre problème potentiel est la tension de sortie ciblée. Si l'interrupteur HS est passant et que la tension d'entrée descend jusqu'au niveau de la tension V_{out} , le Buck ne sera pas en mesure de réguler la sortie au niveau de tension attendu. Nous ajoutons à la Figure 4-35, une ligne de Z_{max} qui définit l'impédance maximale attendue. A partir d'une ondulation maximale ciblée $V_{noise_max} = \pm 20\%$ de V_{in} , nous pouvons estimer Z_{max} en considérant les harmoniques de I_{in} qui apparaissent près de la fréquence résonante. De la Figure 4-32, nous considérons les première et deuxième harmoniques et calculons :

Equation 59

$$Z_{max} = \frac{V_{noise_max}}{I_{in}(f_1) + I_{in}(f_2)}$$

avec $I_{in}(f_1)$ et $I_{in}(f_2)$ respectivement les première et deuxième harmoniques

Nous pouvons voir que la valeur minimale de capacité nécessaire est de 10 nF pour la Z_{max} définie. Un autre paramètre qui peut influencer le choix de capacité totale de découplage est la charge. Nous rappelons de l'Equation 58 que l'amplitude des harmoniques augmente avec la charge. Cela implique que le choix de capacité doit être fait en fonction de l'activité à charge maximale. Finalement, la quantité de découplage du die nécessaire est énorme et peut être une limite à la densité de courant par surface de l'IVR.

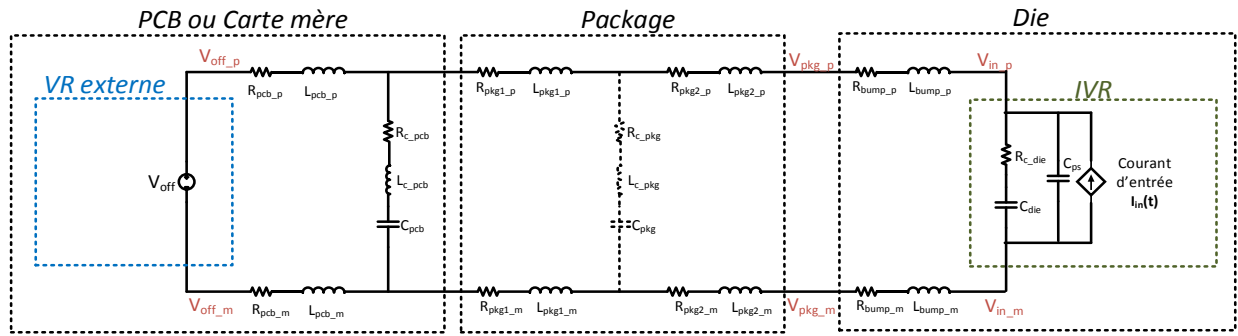


Figure 4-34: Modèle de PDN avec condensateur de découplage ajouté sur le die.

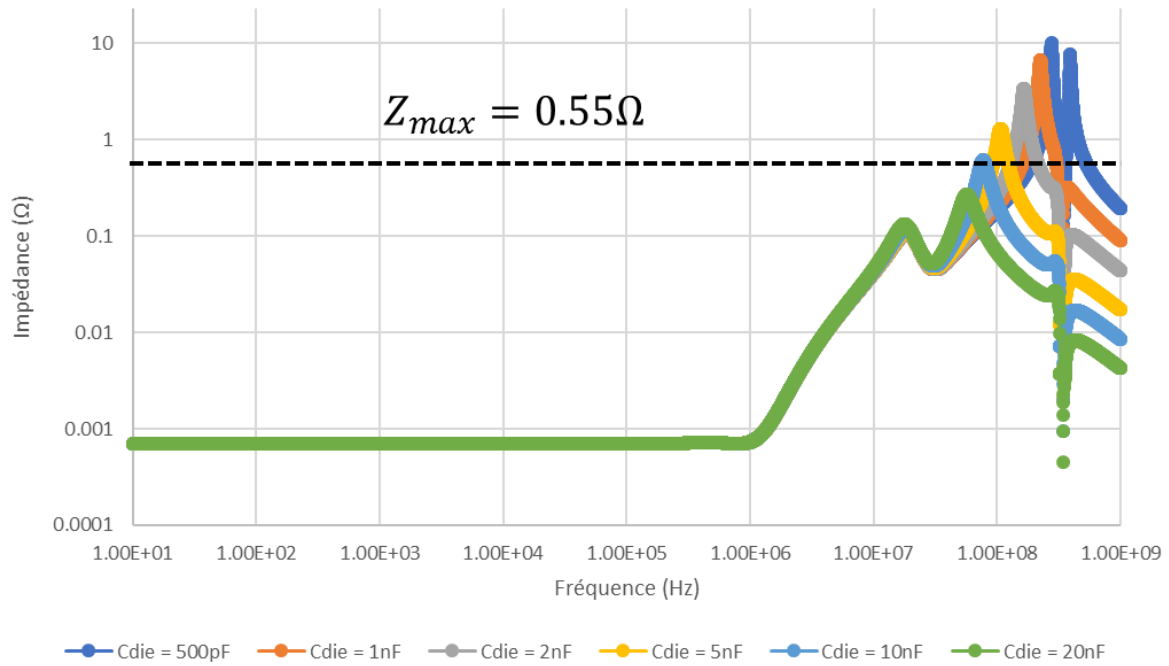


Figure 4-35: Impédance de PDN versus la fréquence pour de multiples valeurs de capacité de die.

Nous revenons sur l'Equation 49 modélisant l'impédance par rapport à la fréquence pour un réseau RLC d'ordre 1 et l'analyse de l'impact de la résistance. Le paramètre Q peut être réduit avec moins d'inductance, plus de capacité mais également plus de résistance. Cependant, l'ajout de résistance en série avec le PDN augmente les pertes résistives du convertisseur, ce qui peut avoir un grand impact sur l'efficacité en CCM. Introduisons plutôt l'ESR du condensateur de die dans l'Equation 49, et en supposant la résonance induite par le die, nous obtenons :

Equation 60

$$Z_{out,1st\ order}(s) = \frac{\omega_0^2 + \left(\frac{R_1 R_{c_{die}}}{L_1} + \frac{1}{C_1}\right) \omega_0 + R_1 s^2}{s^2 + \frac{s \omega_0}{Q} + \omega_0^2} \text{ avec } \omega_0 = \frac{1}{\sqrt{L_1 C_1}} \text{ et } Q = \frac{1}{R_1 + R_{c_{die}}} \sqrt{\frac{L_1}{C_1}}$$

$$R_1 = R_{pkg2} + R_{bump}; L_1 = L_{pkg2} + L_{bump}; \text{ et } C_1 = C_{die} + C_{ps}$$

Afin d'avoir une bonne compréhension de l'Equation 60, nous pouvons considérer $Z_{out,1st\ order}$ dans le domaine temporel. Sur la base des transformations inverses de Laplace des ondes sinusoïdales et cosinus amorties, nous trouvons ces deux composantes, et pouvons écrire $Z_{out,1st\ order}$ comme proportionnel à :

$$\omega_0 e^{-\omega_0 t / 2Q} \left[\sqrt{1 - \left(\frac{1}{2Q}\right)^2} \cos\left(\omega_0 \sqrt{1 - \left(\frac{1}{2Q}\right)^2} t\right) - \frac{1}{2Q} \sin\left(\omega_0 \sqrt{1 - \left(\frac{1}{2Q}\right)^2} t\right) \right]$$

En ramenant V_{in} dans le domaine temporel, le terme $e^{-\omega_0 t/2Q}$ est convolué avec le courant d'entrée et amortit ainsi toutes les composantes sinusoïdales de V_{in} avec le facteur d'amortissement, que nous écrivons $m = \frac{1}{2Q}$. Q dépend de R_{c_die} , ce qui signifie que ce dernier augmente également le facteur d'amortissement, indiquant que les oscillations générées sont réduites. La Figure 4-36 montre un balayage de l'ESR de condensateur de die et l'impact sur l'impédance du PDN. Nous considérons toujours les valeurs des éléments parasites de Figure 4-29-a et le modèle de PDN de la Figure 4-34. En utilisant une capacité de die de 2nF, nous obtenons une impédance inférieure à Z_{max} pour des valeurs de R_{c_die} inférieures à 200 mΩ. Bien sûr, il y a une limite à l'augmentation de l'ESR puisque la valeur d'impédance aux hautes fréquences augmentera aussi bien, générant une valeur pic qui se déplacera vers l'origine. Comparé à l'utilisation de capacité de plus de 10nF, une valeur de 2nF avec ~ 300 mΩ d'ESR fournit des résultats d'impédance maximale similaires et moins de consommation de surface. En outre, la perte introduite par l'ESR est purement liée au courant AC et peut être exprimée en réécrivant la perte de condensateur exprimée dans le travail [84], comme suit :

Equation 61

$$P_{die_loss} = R_{c_die} \times \left(\frac{I_{load}}{\pi N_{PH}}\right)^2 \sum_{n=1}^{\infty} \left(\frac{\sin(n\pi \times DC)}{n}\right)^2$$

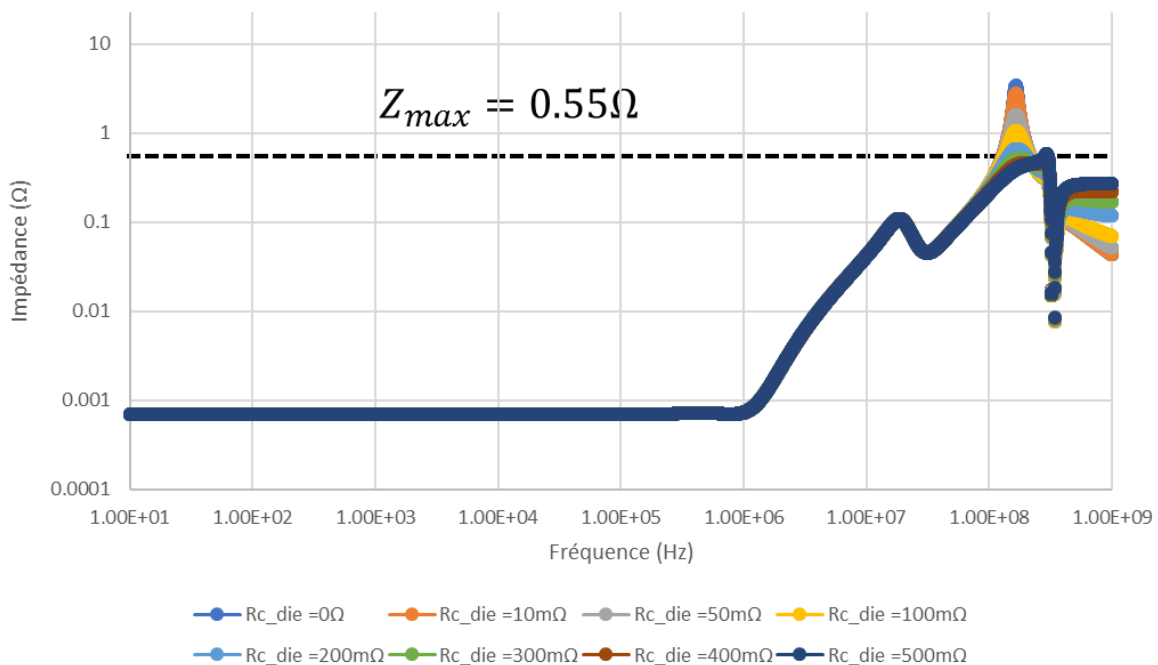


Figure 4-36 : Impédance de PDN versus fréquence avec $C_{die} = 2nF$, et balayage de R_{c_die} (ESR de C_{die}).

4.4. Implémentation de l'étage de puissance du FIVR proposé

La tension d'entrée de l'IVR peut être un choix stratégique important lorsqu'une consommation d'énergie minimale est ciblée. C'est parce qu'il est généralement placé en cascade avec un convertisseur hors-puce qui lui fournit sa tension V_{in} . L'utilisation de SiP permet la possibilité de concevoir l'IVR dans un die différent pour une optimisation de la technologie, en utilisant l'empilage 3D. Mais afin de réduire le volume de package, une implémentation monolithique (utilisant la même technologie de processus que le processeur) est une meilleure approche.

Notons que :

- Une valeur élevée de V_{in} réduit les pertes de conduction du PDN (« IR drop » plus précisément), en réduisant le courant d'alimentation à l'entrée.
- Cependant, une valeur élevée de V_{in} implique une réduction de l'efficacité de l'IVR.

Dans ce travail, nous choisissons de mettre en œuvre l'IVR dans une technologie de process utilisée pour processeur mobile et généralisons notre analyse à n'importe quelle tension d'entrée. A partir de la topologie universelle de pont de puissance que nous proposons, nous discuterons le meilleur choix de tension d'entrée. Nous notons, dans chaque nœud technologique, la tension V_{core} comme la tension nominale des transistors à oxyde mince. Ces transistors, autrement appelés dispositifs de base*, définissent la tension la plus basse V_{core} qui peut être utilisée.

Comme les valeurs V_{core} sont très faibles dans les nœuds de technologie de nos jours (Figure 4-37), supporter une tension d'entrée élevée lorsque seuls les transistors minces sont disponibles, implique l'utilisation d'architectures moins courantes. La littérature a opté pour une approche de dispositifs empilés (ou l'approche cascode comme nommé dans certains travaux antérieurs) [45], [56], [23], [85], [86]. Même si d'autres méthodes ont été proposées dans certaines publications, comme l'utilisation de dispositifs MOSFETs à drain étendu† disponibles en tant que demande spéciale dans les technologies triple-well [87], l'utilisation de dispositifs de base (ou d'oxyde mince) présente certains avantages tels que de faibles pertes de commutation pour les convertisseurs à commutation rapide [88]. Dans cette conception, nous commençons par étudier une approche 2 empilements et généralisons avec un étage de puissance à n-empilements.

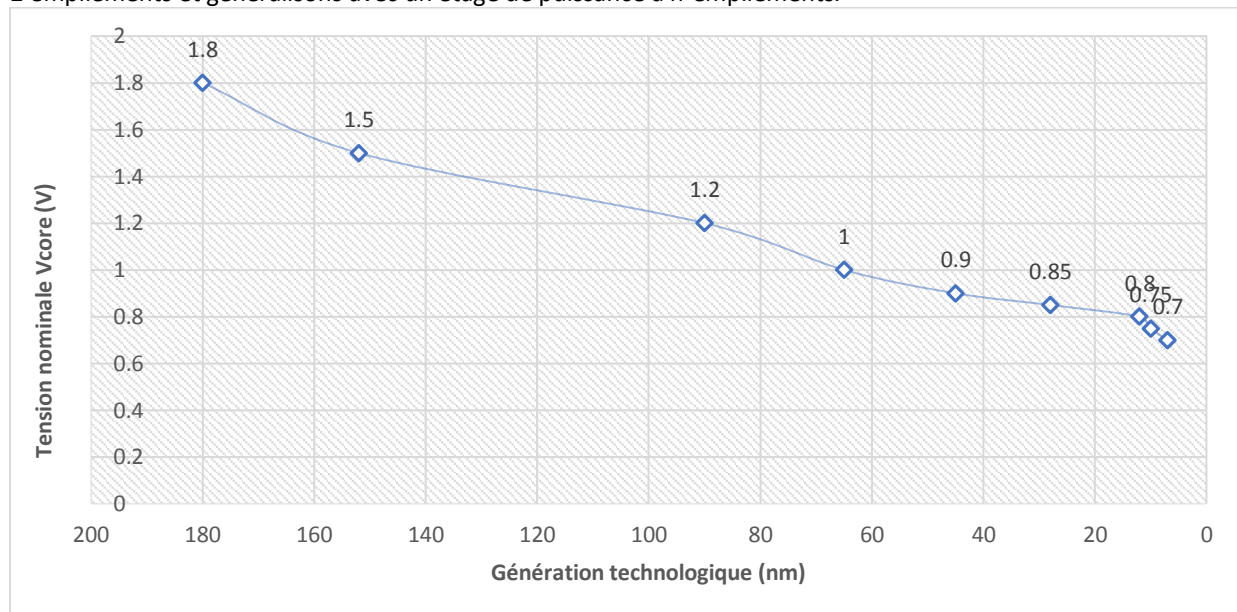


Figure 4-37: Tendance de V_{core} versus nœud technologique.

4.4.1. Analyse du pont d'interrupteurs de puissance

Nous utilisons la même configuration de Buck que la Figure 3-1 et changeons la portion d'étage de puissance en la version de la Figure 4-38 pour une valeur générale de tension d'entrée. La partie haute est composée de $n+1$ dispositifs empilés - HS (en haut) à $HSCn$ (en bas) tandis que le côté bas est formé par LS (tout en bas) à $LSCn$ (en haut). Chaque $HSCi$ ($LSCi$) est passant lorsque sa grille est V_{hsrail_i} (V_{lsrail_i}) et bloqué lorsque la grille est à V_{hsrail_i} (V_{lsrail_i}); sauf pour HSC_1 (LSC_1) dont la grille est constamment à V_{hsrail_1} (V_{lsrail_1}). Pour la Figure 4-38, les valeurs de tension d'entrée et des rails sont écrites comme suivent :

$$\begin{aligned} V_{in} &= (n+1) \times V_{core}; \\ V_{hsrail_i} &= V_{in} - (i \times V_{core}) = (n-i) \times V_{core}; \\ V_{lsrail_i} &= i \times V_{core}; \end{aligned}$$

avec l'indice i allant de 1 à n

Ce faisant, les tensions grille à source, grille à drain et drain à source sont limitées à un maximum de V_{core} ; quoique pendant la commutation, la conduction de diode substrat et l'ondulation sur l'alimentation peuvent temporairement augmenter ces valeurs.

Bien que toujours existant dans l'étage de puissance, le transistor bypass n'est pas discuté dans cette section, car son utilisation a les mêmes implications discutées dans la section 3.1.2. Une version cascode du bypass peut être utilisée de la même manière que HS et LS ; mais la présence de dispositifs à oxyde épais

* Originellement "core devices" en anglais

† Originellement « drain extended devices » en anglais

habituellement disponibles peut aider à limiter le nombre d'empilements en fonction de la tension d'entrée. Notre approche est de commencer notre conception avec ce que nous nommons un étage cascode d'ordre 1 dont nous proposons le diagramme dans la Figure 4-39, et généraliser au $n^{\text{ième}}$ ordre (Figure 4-38). Similairement à notre approche d'étude de l'étage de puissance en section 3.1.2, les modèles de pertes dans le système proposé sont notre base pour l'optimisation. L'approche générale consiste à équilibrer les pertes résistives par rapport aux pertes de commutation à des valeurs de charge nominales. Pour ce faire, il faut savoir comment les expressions des pertes diffèrent de l'étage de puissance présenté dans la section 3.1.1 à celles partagées dans la Figure 4-38 ou la Figure 4-39. Certaines réalisations précédentes [56] et [89] introduisent un certain niveau de modélisation d'étage de puissance à deux empilements (deux interrupteurs série) afin d'estimer le nombre de capacités parasites à prendre en compte. Similairement, la Figure 4-40 montre un modèle de notre pont de puissance qui peut être utilisé pour estimer les pertes. Nous incluons C_{gs} , C_{gd} , C_{db} et C_{sb} comme les capacités parasites de la plus grande importance. Elles se réfèrent respectivement aux capacités grille – source, grille – drain, drain – bulk et source – bulk dont les valeurs sont proportionnelles aux dimensions des FETs. La capacité C_{sb} pour chaque HSC_i et LSC_i est l'addition la plus importante comparé au modèle de la version non cascode de la section 3.1.1. En dénotant la tension de seuil de chaque HSC_i comme $V_{th_HS} (< 0)$ et celle de LSC_i comme $V_{th_LS} (> 0)$, nous exprimons d'abord les pertes de commutation :

Equation 62

$$\begin{aligned} P_{drv}(HS) &= (C_{gs}(HS) + C_{gb}(HS)) \times (V_{in} - V_{hsrail_1})^2 \times f_{SW} \\ P_{drv}(LS) &= (C_{gs}(LS) + C_{gb}(LS)) \times V_{lsrail_1}^2 \times f_{SW} \\ P_{drv}(HSC_i) &= (C_{gs}(HSC_i) + C_{gb}(HSC_i)) \times (V_{hsrail_1} - V_{hsrail_i})^2 \times f_{SW} \\ P_{drv}(LSC_i) &= (C_{gs}(LSC_i) + C_{gb}(LSC_i)) \times (V_{lsrail_i} - V_{lsrail_1})^2 \times f_{SW} \end{aligned}$$

où l'indice va de 2 à n

Les commutations générées sur les drains des FET après la commutation de grille, induisent les pertes de transition qui peuvent être dérivées de la Figure 4-40 et généralisées pour les dispositifs de la Figure 4-38 comme suit:

Equation 63

$$\begin{aligned} P_{tran}(HS) &= \left[(C_{gb}(HS) + C_{db}(HS)) \times (V_{hsrail_1} - V_{in} - V_{th_HS})^2 \times f_{SW} \right] \\ P_{tran}(HSC_i) &= \left[(C_{gs}(HSC_i) + C_{sb}(HSC_i)) \times (V_{in} - V_{hsrail_i} + V_{th_HS})^2 + (C_{gd}(HSC_i) \right. \\ &\quad \left. + C_{db}(HSC_i)) \times (V_{in} - V_{hsrail_i+1} + V_{th_HS})^2 \right] \times f_{SW} \\ P_{tran}(LSC_i) &= \left[(C_{gs}(LSC_i) + C_{sb}(LSC_i)) \times (V_{lsrail_i} - V_{th_LS})^2 + (C_{gd}(LSC_i) \right. \\ &\quad \left. + C_{db}(LSC_i)) \times (V_{lsrail_i+1} - V_{th_LS})^2 \right] \times f_{SW} \\ P_{tran}(LS) &= \left[(C_{gb}(LS) + C_{db}(LS)) \times (V_{lsrail_1} - V_{th_LS})^2 \times f_{SW} \right] \end{aligned}$$

LSC_i et HSC_i représentent les dispositifs cascode d'indice i ; et les lignes V_{lsrail_n+1} et V_{hsrail_n+1} correspondent à V_{in} et à la masse.

Les pertes de commutation de grilles P_{drv} , les pertes de transition P_{tran} et les pertes résistives P_{res} à considérer peuvent être exprimées comme :

Equation 64

$$\begin{aligned} P_{res} &= \left\{ \delta \left[R_{on}(HS) + \sum_{i=1}^n R_{on}(HSC_i) \right] + (1 - \delta) \left[R_{on}(LS) + \sum_{i=1}^n R_{on}(LSC_i) \right] + R_L \right\} \times I_{L_rms}^2 \\ &= \{ (n + 1) [\delta R_{on}(HS) + (1 - \delta) R_{on}(LS)] + R_L \} \times I_{L_rms}^2 \end{aligned}$$

avec $I_{L_rms}^2 = I_{load}^2 + \frac{\Delta I_L^2}{12}$, R_L est le DCR de la self et ΔI_L l'ondulation de courant d'inductance;

Equation 65

$$P_{drv} = P_{drv}(HS) + P_{drv}(LS) + \sum_{i=2}^n P_{drv}(HSC_i) + \sum_{i=2}^n P_{drv}(LSC_i)$$

Equation 66

$$P_{tran} = P_{tran}(HS) + P_{tran}(LS) + \sum_{i=1}^n P_{tran}(HSC_i) + \sum_{i=1}^n P_{tran}(LSC_i)$$

Pour un pont à 2 interrupteurs série, les pertes de commutation sont composées de $P_{drv}(HS)$ et $P_{drv}(LS)$ uniquement, puisqu'il n'y a pas de commutation de grilles des premiers dispositifs de cascode HSC_1 et LSC_1 .

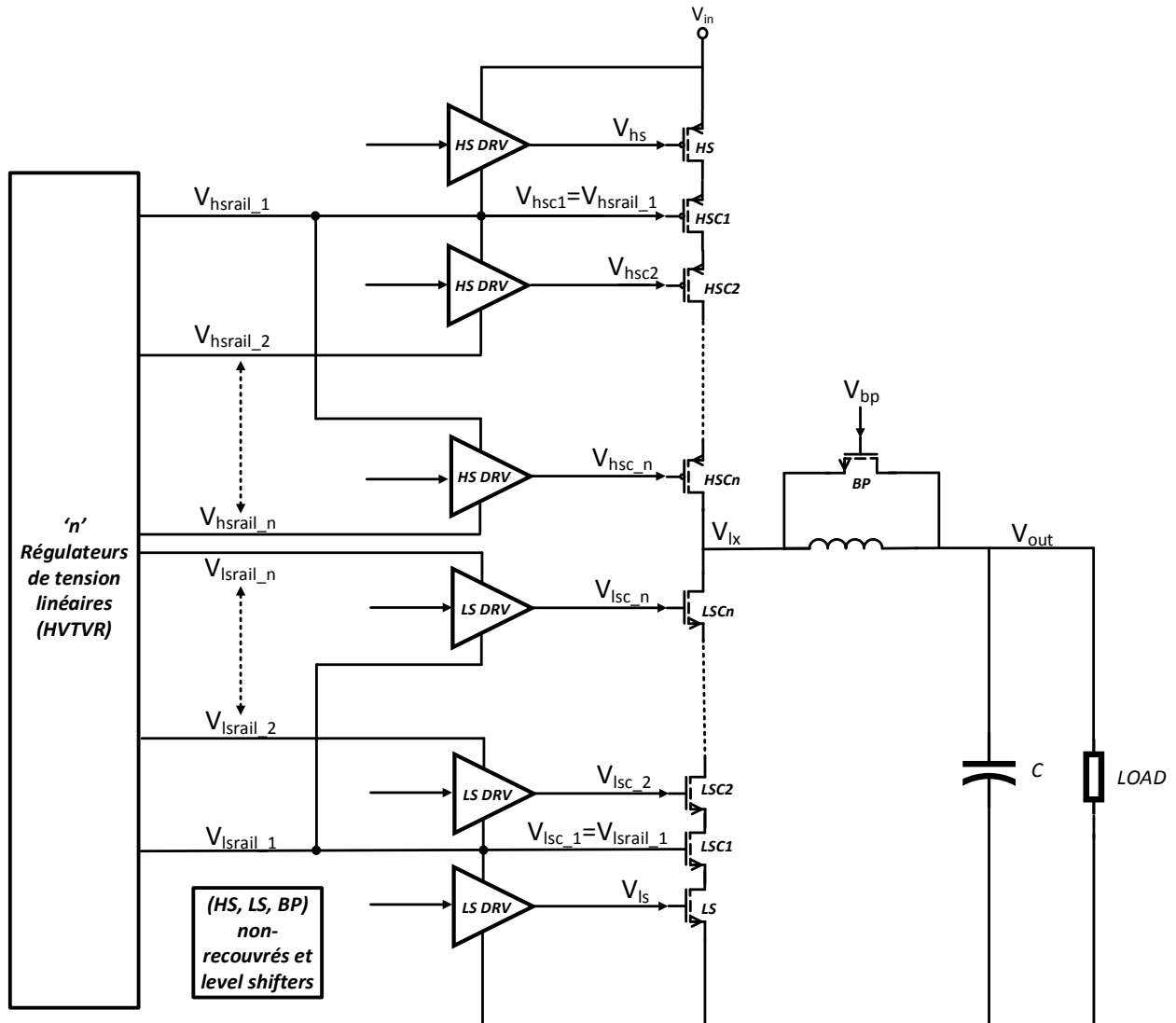


Figure 4-38: Schéma de l'étage de puissance cascode à $n+1$ dispositifs en série (ordre n)

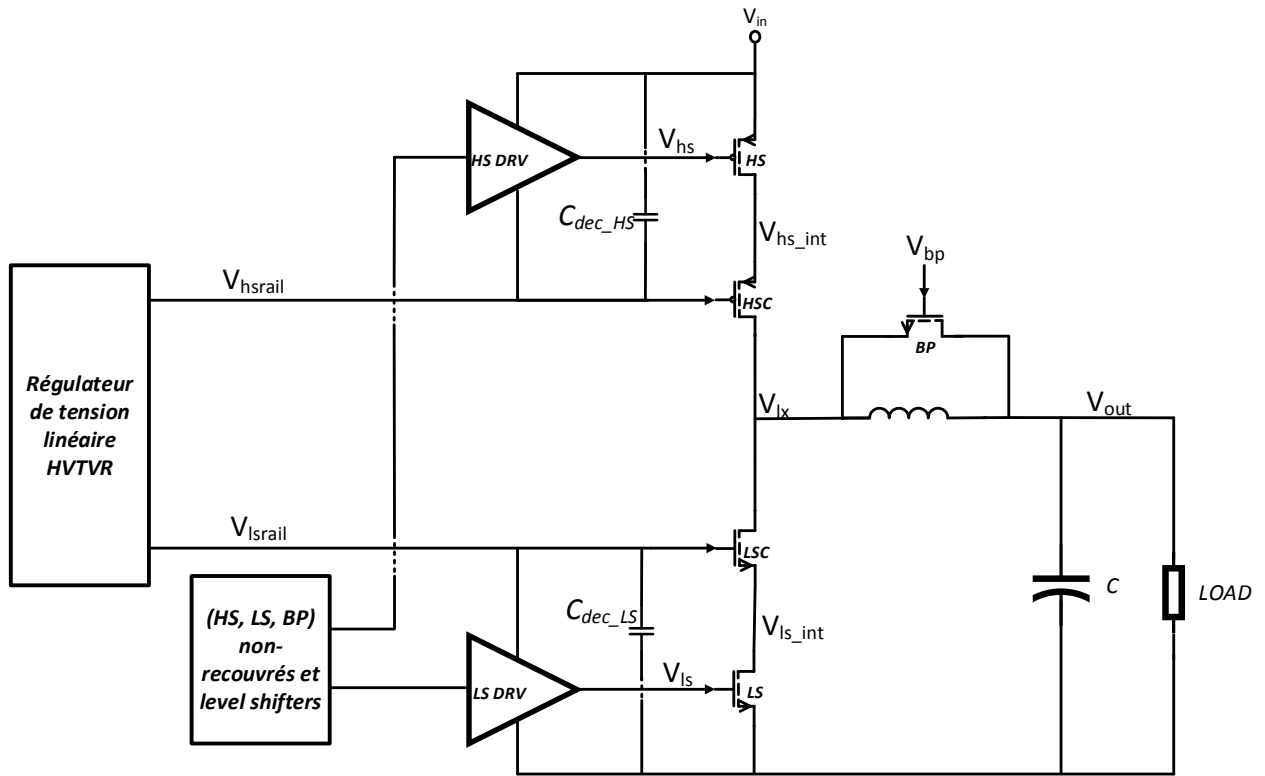


Figure 4-39: Diagramme d'étage de puissance cascode pour 2 dispositifs en série

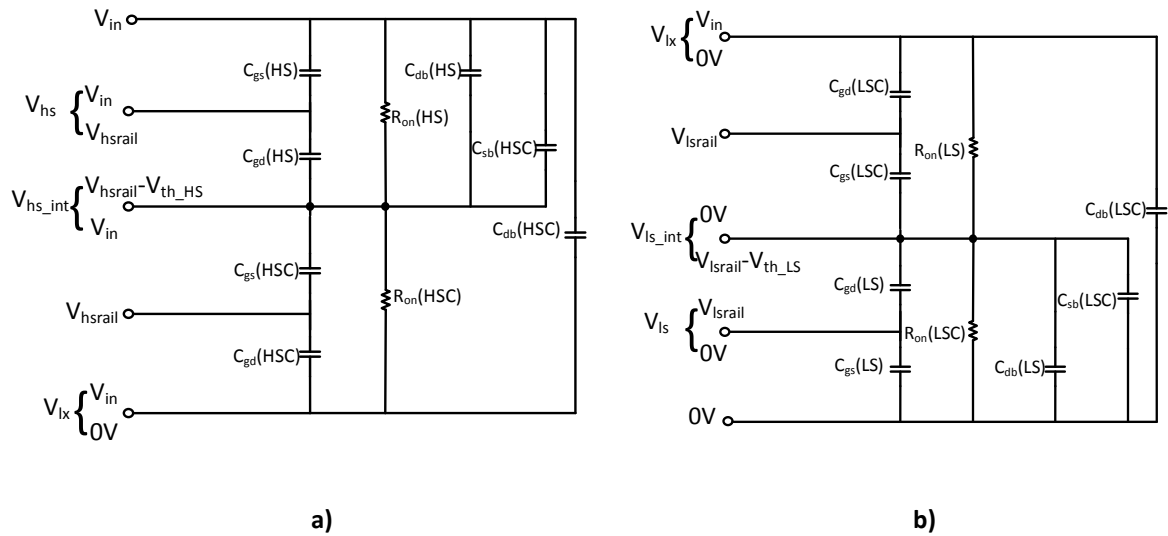


Figure 4-40: a) Modèle parasite de la portion haute du pont de puissance (HS et HSC) ; b) Modèle parasite de la portion basse du pont de puissance (LS and LSC).

4.4.2. Mécanisme de recyclage de charges

Comme nous le voyons dans la Figure 4-39, deux tensions régulées V_{hsrail} et V_{lsrail} sont nécessaires pour la polarisation des dispositifs cascode et pour définir respectivement le niveau bas V_{hs} et le niveau élevé de V_{ls} . La Figure 4-41 montre l'injection de charge $Q_{drv}(HS)$ et le retranchement de $Q_{drv}(LS)$ de ces lignes de tension, respectivement en fermant HS et en fermant LS. Les charges peuvent être exprimées comme :

Equation 67

$$Q_{drv}(HS) = (C_{gs}(HS) + C_{gb}(HS)) \times (V_{in} - V_{hsrail})$$

$$Q_{drv}(LS) = (C_{gs}(LS) + C_{gb}(LS)) \times V_{lsrail}$$

Un régulateur de tension local* (que nous nommons HVTVR) est nécessaire pour maintenir V_{hsrail} et V_{lsrail} régulées, soit en retournant les deux charges $Q_{drv}(HS)$ et $Q_{drv}(LS)$ à l'alimentation de l'IVR [85] ou en recyclant $Q_{drv}(HS)$ en $Q_{drv}(LS)$, que nous appelons *recyclage de charge (ou réutilisation de charge)* [86]. Le mécanisme de recyclage de charge est commun aux topologies cascode qui partagent la même tension de polarisation entre les dispositifs hauts et ceux du côté bas.

Afin d'estimer l'avantage que nous pouvons obtenir du recyclage de $Q_{drv}(HS)$ en $Q_{drv}(LS)$, il est important de comprendre quelles pertes proviennent de la distribution de ces deux charges à l'alimentation sans recyclage. Pour un étage cascode d'ordre 1, nous supposons $V_{in} = 2V_{core}$ et la tension grille-source nécessaire pour fermer chaque interrupteur, est égale à V_{core} ; donc $V_{hsrail} = V_{lsrail} = V_{core}$. Nous pouvons ensuite dériver les expressions de pertes $P_{lossHVTVR}$ du régulateur local (HVTVR) en :

Equation 68

$$\begin{aligned} P_{lossHVTVR} &= (I_{drv}(HS) \times V_{hsrail}) + (I_{drv}(LS) \times (V_{in} - V_{lsrail})) \rightarrow \\ P_{lossHVTVR} &= \left[(C_{gs}(HS) + C_{gb}(HS)) \times (V_{in} - V_{hsrail}) \times V_{hsrail} \times f_{SW} \right] \\ &\quad + \left[(C_{gs}(LS) + C_{gb}(LS)) \times V_{lsrail} \times (V_{in} - V_{lsrail}) \times f_{SW} \right] \\ &\approx (C_{gs}(HS) + C_{gb}(HS) + C_{gs}(LS) + C_{gb}(LS)) \times V_{core}^2 \times f_{SW} \end{aligned}$$

Où $I_{drv}(HS)$ et $I_{drv}(LS)$ représentent les courants de commutation nécessaires à la décharge et à la charge des grilles de respectivement HS et LS

En revanche, si on réutilise la charge de commutation de grille de HS pour alimenter la capacité de grille de LS (recyclage de charge), et supposant que HS et LS ont les mêmes capacitances parasites, nous obtenons :

Equation 69

$$P_{lossHVTVR} = (C_{gs}(HS) + C_{gb}(HS)) \times (V_{in} - V_{hsrail}) \times (V_{hsrail} - V_{lsrail}) \times f_{SW} \approx 0$$

L'approche de réutilisation de la charge permet de réduire de moitié les pertes de commutation. Afin de la mettre en œuvre, V_{hsrail} et V_{lsrail} doivent partager la même ligne. Sauf que dans notre cas d'IVR, le problème de bruit généré par l'IVR en présence du PDN d'entrée, se pose. Nous rappelons également le fait que l'alimentation et la masse du FIVR montrent des oscillations (en opposition de phase) durant la commutation. Par conséquent, le partage d'une sortie HVTVR générerait des tensions grille à source bruitées pour les transistors de côté haut (HS et HSC) et ceux du côté bas (LS et LSC) ; ce qui entraînerait des pertes résistives plus élevées et un fonctionnement moins fiable.

Comme V_{noise} sur la tension d'entrée est composé d'oscillations à la fréquence de commutation ou plus, et d'oscillations autour de la fréquence de résonance du PDN, nous proposons un HVTVR qui permet de maintenir le mécanisme de recyclage de charge tout en isolant V_{hsrail} de V_{lsrail} . Il leur permet également d'être couplés respectivement à V_{inp} et V_{inm} . La Figure 4-43 représente le schéma d'un étage de puissance premier ordre avec le régulateur HVTVR proposé. L'isolation des tensions est réalisée en utilisant la résistance R_{filt} . Nous choisissons également les pôles générés à V_{hsrail} et V_{lsrail} tels que :

$$\begin{aligned} \frac{1}{2\pi R_{filt} C_{decHS}} &\ll \min(f_{SW}, f_{die}); \\ \frac{1}{2\pi R_{filt} C_{decLS}} &\ll \min(f_{SW}, f_{die}); \end{aligned}$$

Ce faisant, nous veillons à ce que le bruit sur V_{inp} que nous dénotons V_{noiseP} et le bruit sur V_{inm} que nous nommons V_{noiseM} ne se propagent pas à travers R_{filt} . Pendant ce temps, la charge injectée par la grille de HS qui se tient sur V_{hsrail} est redistribuée à V_{lsrail} et réutilisée pour commuter LS. En additions à ces contraintes, une autre condition est à satisfaire. Comme le retranchement de charge par la grille de LS arrive $DC \times T_{SW}$ après l'injection de charge par la grille de HS, le HVTVR doit être assez lent pour laisser cette transaction se produire. Dans le cas d'un HVTVR trop rapide, la charge V_{lsrail} sera envoyée à l'alimentation avant le prochain événement d'activation de LS. Nous écrivons donc la condition :

* Ce régulateur est un régulateur linéaire dans notre cas, avec le nom anglais « High Voltage Tolerant Voltage Regulator »

Equation 70

$$f_{T_HVTVR} < \frac{1}{2\pi R_{filt} C_{decLS} + DC \times T_{SW}}$$

où f_{T_HVTVR} représente la fréquence de gain unité du HVTVR.

L'Equation 70 apparaît comme une condition suffisante, mais pas nécessaire puisque dans le cas d'un convertisseur multi-phase, si le HVTVR est partagé, l'événement d'activation de LS après un blocage de HS, peut se produire sur une phase différente. D'autre part, notons que le scénario idéal d'appariement parasite entre HS et LS ne peut être garanti. Par conséquent, une petite quantité de courant résultant du mismatch sera soit fournie ou absorbée par le HVTVR ; pour cela, nous choisissons de concevoir un *régulateur linéaire de classe AB* qui peut fournir ou absorber le courant en cas de besoin (Figure 4-43). Ce genre de courant devrait être assez faible pour rapprocher la perte totale dans le HVTVR de zéro.

Le modèle de pont de puissance décrit dans la Figure 4-40 et l'analyse qui en résulte, montre que bon nombre de nœuds sont impliqués dans la commutation de l'étage de puissance, ainsi leur impact doit être accédé. Représenté par la Figure 4-42, nous voyons qu'à l'activation et à la désactivation de HS (ou LS), la même quantité de charge est respectivement ajoutée et retirée de V_{hsrail} (inversement pour V_{lsrail}). Ces événements sont la cause d'ondulation sur V_{hsrail} (ou V_{lsrail}) en plus des bruits V_{noiseP} (V_{noiseM}) propagés à partir V_{inp} (ou V_{inm}) par C_{decHS} (ou C_{decLS}). Ainsi, nous écrivons :

Equation 71

$$\Delta V_{hsrail} = \frac{(C_{gs}(HS) + C_{gd}(HS)) \times (V_{in} - V_{hsrail}) + (C_{gs}(HSC) + C_{gd}(HS)) \times (V_{in} - V_{hsrail} - V_{thHS})}{C_{decHS} + N_{PH_ON} \times (C_{gs}(HSC) + C_{gd}(HSC))} + \frac{C_{gd}(HSC) \times V_{in}}{C_{decHS} + N_{PH_ON} \times (C_{gs}(HSC) + C_{gd}(HSC))} + \frac{C_{decHS} \times V_{noiseP}}{C_{decHS} + N_{PH_ON} \times (C_{gs}(HSC) + C_{gd}(HSC))}$$

et,

Equation 72

$$\Delta V_{lsrail} = \frac{(C_{gs}(LS) + C_{gd}(LS)) \times V_{lsrail} + (C_{gs}(LSC) + C_{gd}(LS)) \times (V_{lsrail} - V_{thLS})}{C_{decLS} + N_{PH_ON} \times (C_{gs}(LSC) + C_{gd}(LSC))} + \frac{C_{gd}(LSC) \times V_{in}}{C_{decLS} + N_{PH_ON} \times (C_{gs}(LSC) + C_{gd}(LSC))} + \frac{C_{decLS} \times V_{noiseM}}{C_{decLS} + N_{PH_ON} \times (C_{gs}(LSC) + C_{gd}(LSC))}$$

L'entier N_{PH_ON} représente le nombre de phases en marche entre deux commutations opposées;

Nous pouvons l'approximer comme le nombre total de phases: $N_{PH_ON} \cong N_{PH}$

La troisième partie des expressions (en vert) représente le couplage à V_{noise} et doit être maximisée pour permettre de coupler V_{hsrail_i} (V_{lsrail_i}) à V_{inp} (V_{inm}). Les deux premières parties des équations (rouge) doivent être minimisées puisque l'ondulation qu'elles génèrent, se superpose à la tension grille-source des FETs.

Généralisant à l'étage d'ordre n , la topologie de HVTVR proposé est multipliée par n de telle sorte que chaque couple cascode (HSC_{n+1-i} , LSC_i) partage le même HVTVR décrit en Figure 4-43. En analysant la distribution de charge, nous déterminons pour chaque couple cascode (sauf le premier et le dernier) :

Equation 73

$$P_{lossHVTVRi} = \left[(C_{gs}(HSC_i) + C_{gd}(HSC_i)) \times (V_{hsrail_1} - V_{hsrail_{n-i+1}}) - (C_{gs}(LSC_i) + C_{gd}(LSC_i)) \times (V_{lsrail_i} - V_{lsrail_1}) \right] \times (V_{hsrail_{n-i+1}} - V_{inm}) \times f_{SW}$$

Avec $1 < i < \text{round}^*\left(\frac{n}{2}\right)$;

* Pour désigner la fonction d'arrondi

$$P_{loss_{HVTVRi}} = \left[\left(C_{gs}(HSC_i) + C_{gd}(HSC_i) \right) \times (V_{hsrail_1} - V_{hsrail_{n-i+1}}) - \left(C_{gs}(LSC_i) + C_{gd}(LSC_i) \right) \times (V_{lsrail_i} - V_{lsrail_1}) \right] \times (V_{inp} - V_{lsrail_1}) \times f_{sw}$$

Avec $round\left(\frac{n}{2}\right) < i < n$;

Les premiers et derniers couples de dispositifs cascode ont leurs pertes HVTVR exprimées par :
Equation 74

$$P_{loss_{HVTVR1}} = \left[\left(C_{gs}(HSC_1) + C_{gd}(HSC_1) \right) \times (V_{hsrail_1} - V_{hsrail_n}) + \sum_{k=3}^n \left(C_{gs}(LSC_k) + C_{gd}(LSC_k) \right) \times (V_{lsrail_k} - V_{lsrail_1}) \right] \times (V_{inp} - V_{lsrail_1}) \times f_{sw}$$

$$P_{loss_{HVTVRn}} = \left[\left(C_{gs}(LSC_n) + C_{gd}(LSC_n) \right) \times (V_{lsrail_n} - V_{lsrail_1}) + \sum_{k=3}^n \left(C_{gs}(HSC_k) + C_{gd}(HSC_k) \right) \times (V_{hsrail_1} - V_{hsrail_k}) \right] \times (V_{hsrail_1} - V_{inm}) \times f_{sw}$$

Puis finalement :

Equation 75

$$P_{loss_{HVTVRs}} = \sum_{i=1}^n P_{loss_{HVTVRi}}$$

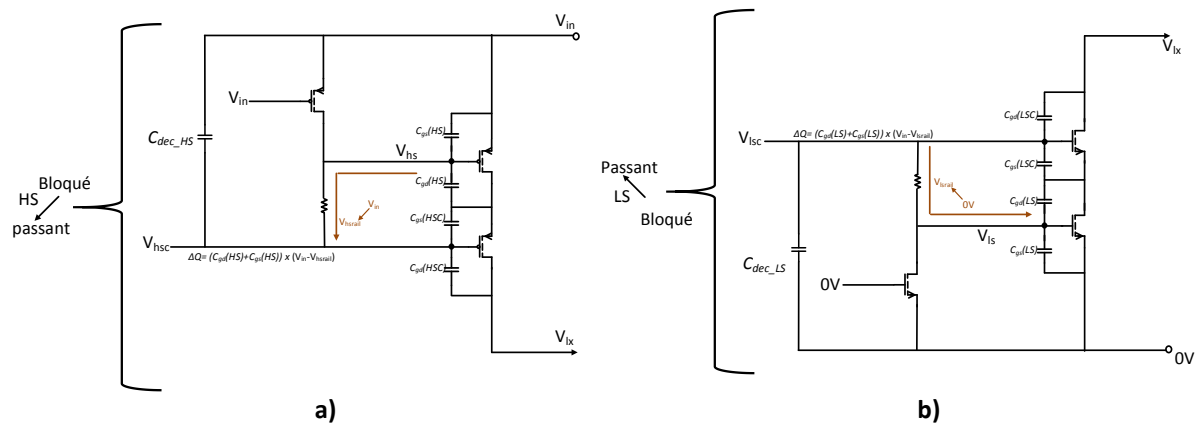


Figure 4-41: a) Charge injectée par activation de HS, sur V_{hsc} ; b) Charge retirée par activation de LS, sur V_{lsc} .

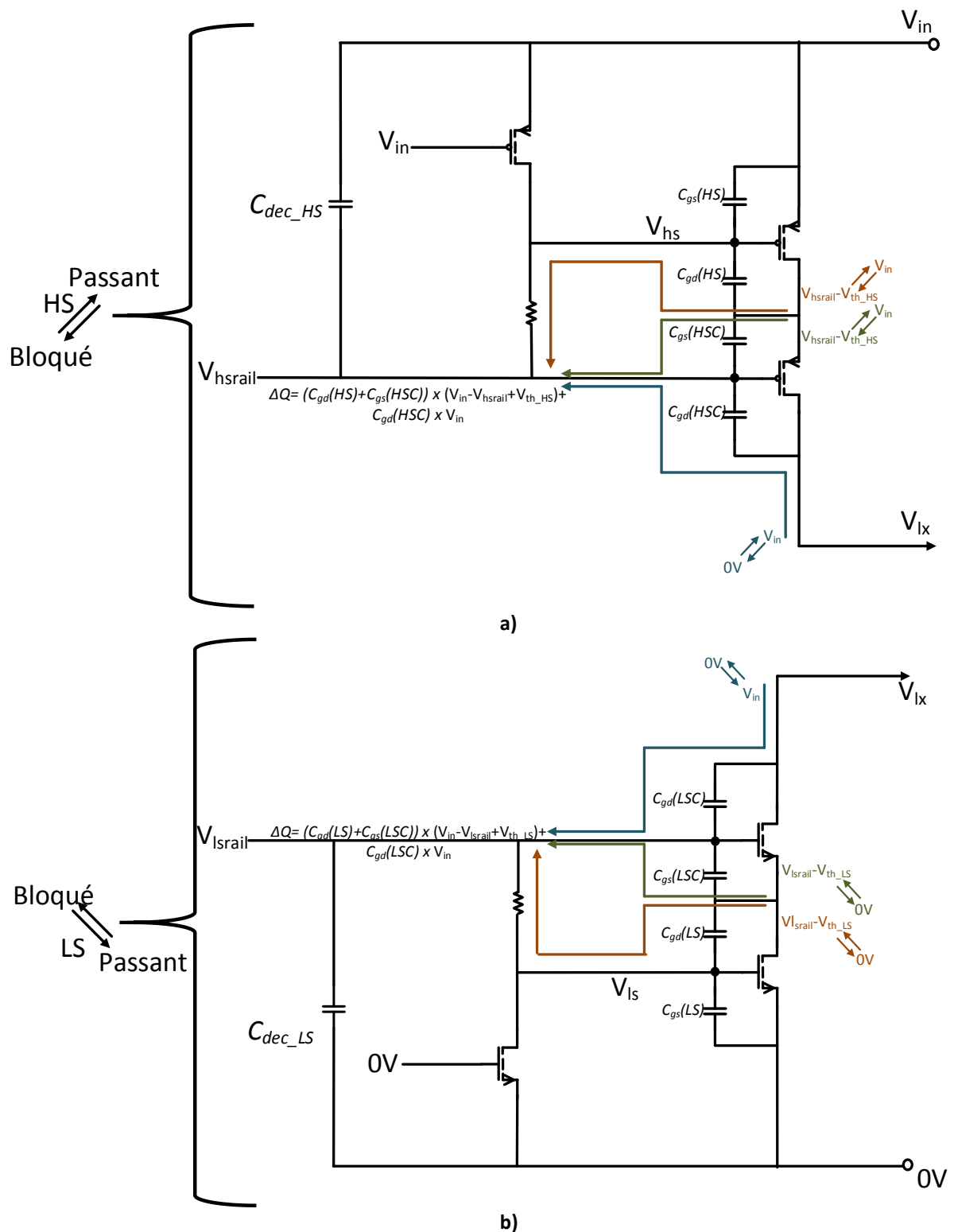


Figure 4-42: a) Ondulation de tension induite sur V_{hsc} par des noeuds commutant du côté haut ; b) Ondulation de tension induite sur V_{lsc} par noeuds commutant du côté bas.

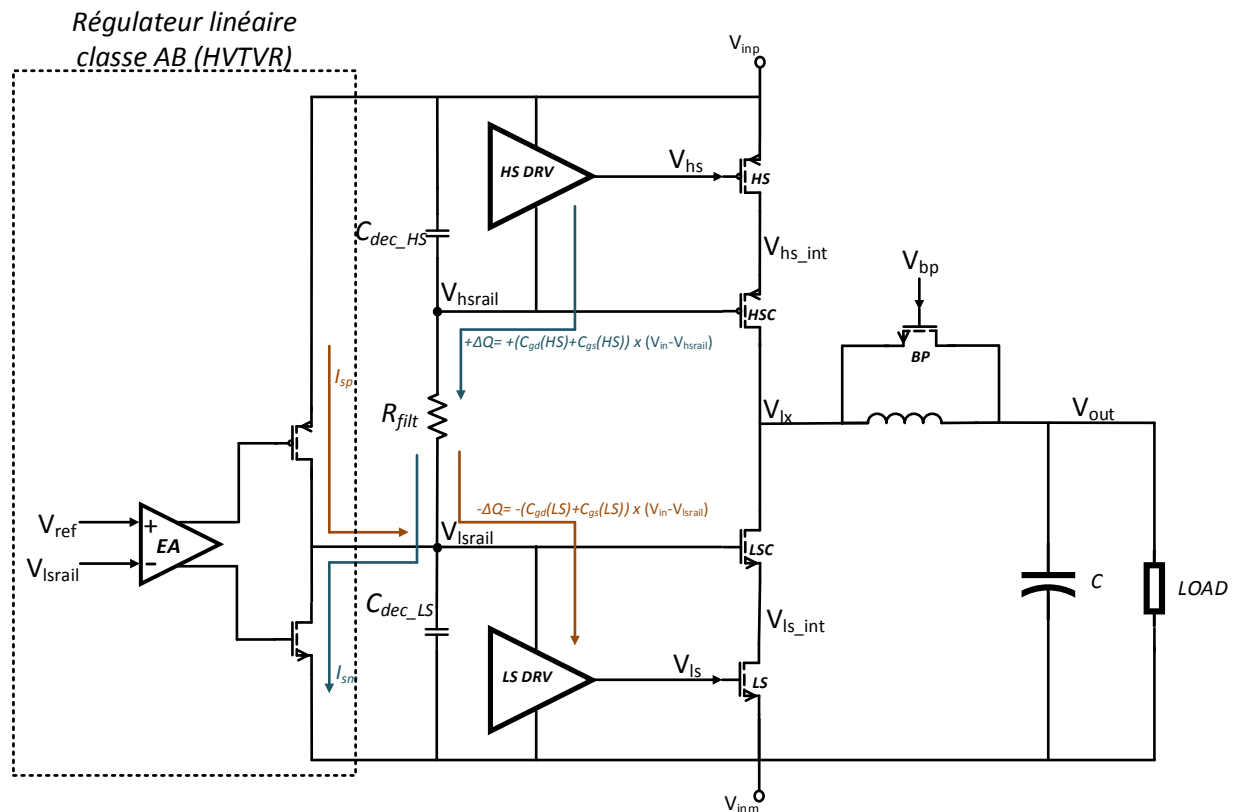


Figure 4-43: Topologie proposée de HVTVR associée à un pont cascode à 2 interrupteurs série.

4.4.3. Analyse de l'étage de puissance cascode proposé

La Figure 4-44 représente le schéma global de la proposition d'étage de puissance cascode 1^{er} ordre, y compris le HVTVR. Pour que les interrupteurs HS et LS commutent dans leurs domaines d'alimentation respectifs (V_{inp} , V_{hsrail}) et (V_{lsrail} , V_{inm}), des level shifters (translateurs de niveau de tension) sont nécessaires avant les drivers* (« HS DRV » et « LS DRV » sur les figures). Nombre de level shifters proposés par la littérature tels que, le contrôleur dans [85], un level shifter à base de résistance [90] et un level shifter en courant [91] peuvent être utilisés pour cette opération. Pour obtenir une bonne réponse du système, il est important d'avoir un délai très court dans la chaîne du Buck, donc nous optons pour un level shifter très rapide à isolation capacitive (Figure 4-44).

La Figure 4-45 montre un diagramme de l'étage de puissance d'ordre n. Les translateurs de niveau sont comme indiqués en Figure 4-44. Notons qu'une limitation à l'utilisation de ces level shifters apparaît dans les étages d'ordre n avec $n > 2$. Lorsque plus de 3 interrupteurs de puissance sont utilisés en série, la topologie de la Figure 4-45 nécessite l'utilisation de dispositifs à oxyde plus épais dans les drivers pour soutenir les commutations entre V_{hsrail_i} et V_{hsrail_1} . Dans ce cas, les translateurs de niveau proposés dans [85] ou [91] conviennent mieux.

Vu que nous avons atteint la meilleure topologie à notre connaissance d'étage de puissance cascode efficace, il est important de décider quel ordre du cascode rend le système plus efficace. Nous générons le Tableau 4-4 qui contient les trois principales sources de pertes que nous considérons, pour différents niveaux du pont cascode proposé. Pour évaluer les effets de changement d'ordre, nous considérons l'augmentation des pertes totales par rapport au niveau de puissance entré $\frac{\partial P_{loss}}{\partial P_{in}}$, avec V_{in}^2 notre représentation de la puissance d'entrée. Notre référence est le pont non cascode qui ne peut être utilisé ici, car la tension d'entrée qui lui est associée est V_{core} , qui est également la tension de sortie nominale allant au processeur[†]. Nous considérons également la même résistance totale pour les quatre cas considérés dans cette analyse.

* Les drivers sont généralement composés de buffers en série

[†] Étant donné que le processeur et l'IVR partagent la même technologie, la tension nominale des dispositifs à oxyde fin est la même et représente la tension d'alimentation nominale du processeur. Par conséquent, l'alimentation IVR doit y être supérieure.

Toutes les versions de dispositifs empilés affichent des transitions élevées en raison de l'addition de capacités parasites liées au bulk sur tous les HSC_i et LSC_i . Une façon de réduire ces pertes de transition, est d'avoir le bulk localement connecté à la source ; même si cela peut impliquer une plus grande surface de Layout et l'utilisation de technologie triple-well. L'étage de puissance (PS) 2-série (2 dispositifs en série) montre une petite variation des pertes de commutation relativement à l'augmentation de la puissance d'entrée, ainsi qu'aucune perte de HVTVR ajoutée. En allant à un PS 3-série (ou cascode ordre 2), il y a une perte supplémentaire de HVTVR qui est ajoutée aux pertes ; et enfin, le PS 4-série montre la pire augmentation de pertes comparée à la variation du niveau de puissance d'entrée (24x les commutations de grille et 48x pour le HVTVR comparé à 16x pour la puissance d'entrée). Cela signifie qu'en montant à un niveau plus élevé de cascode, l'augmentation des pertes prend de l'ampleur comparée à la puissance en entrée et donc l'efficacité se dégrade. Les versions PS 2-série et 3-série (ou cascode ordre 1 et 2) montrent une plus faible variation de pertes par rapport à celle de la puissance d'entrée. Cela donne une bonne indication pour le choix de la tension d'entrée dans le cas d'utilisation d'un IVR sur puce cascadié avec un régulateur externe. Si le régulateur hors-puce a un bon rendement de puissance, l'approche de pont 2-série est la plus commode et permettra une bonne efficacité globale du système. En revanche, si le VR hors-puce est peu efficace, le choix le plus pratique serait de choisir une entrée plus élevée du VR sur-puce, et donc utiliser une version 3-série du pont électrique.

	Surface (interrupteurs)	V_{in}^2	P_{drv}	P_{trans}	P_{HVTVR}	P_{res}
PS non – cascodé	S_1	V_{core}^2	αV_{core}^2	βV_{core}^2	0	γI_{load}^2
PS 2 – série (ordre1)	$4 \times S_1$	$4 \times V_{core}^2$	$2 \times \alpha V_{core}^2$	$12 \times \beta V_{core}^2$	0	
PS 3 – série (ordre2)	$9 \times S_1$	$9 \times V_{core}^2$	$6 \times \alpha V_{core}^2$	$57 \times \beta V_{core}^2$	$6 \times \alpha V_{core}^2$	
PS 4 – série (ordre3)	$16 \times S_1$	$16 \times V_{core}^2$	$24 \times \alpha V_{core}^2$	$176 \times \beta V_{core}^2$	$48 \times \alpha V_{core}^2$	

Tableau 4-4: Evolution des pertes en partant d'un cascode d'ordre 0 (pas de série) à un cascode d'ordre 3

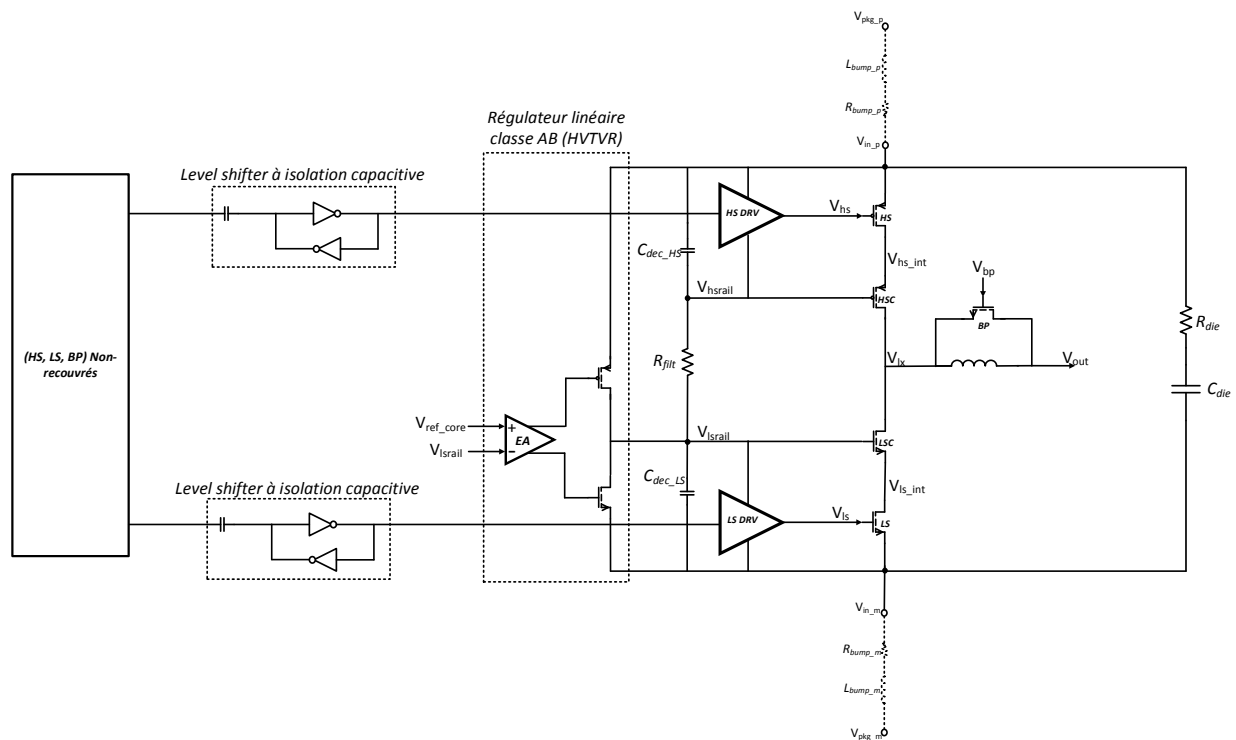


Figure 4-44: Vue globale du pont de puissance cascode 1^{er} ordre proposé.

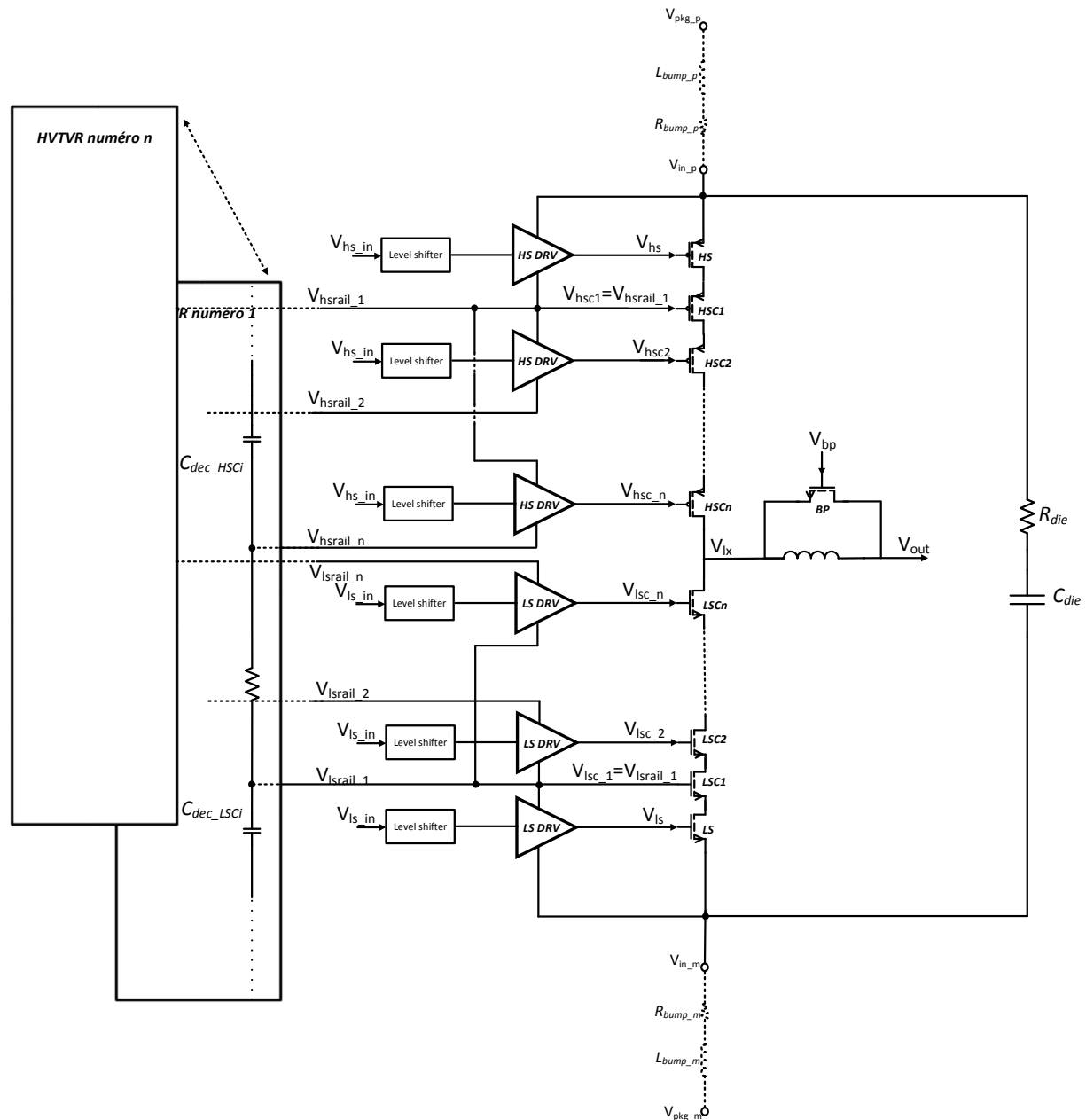


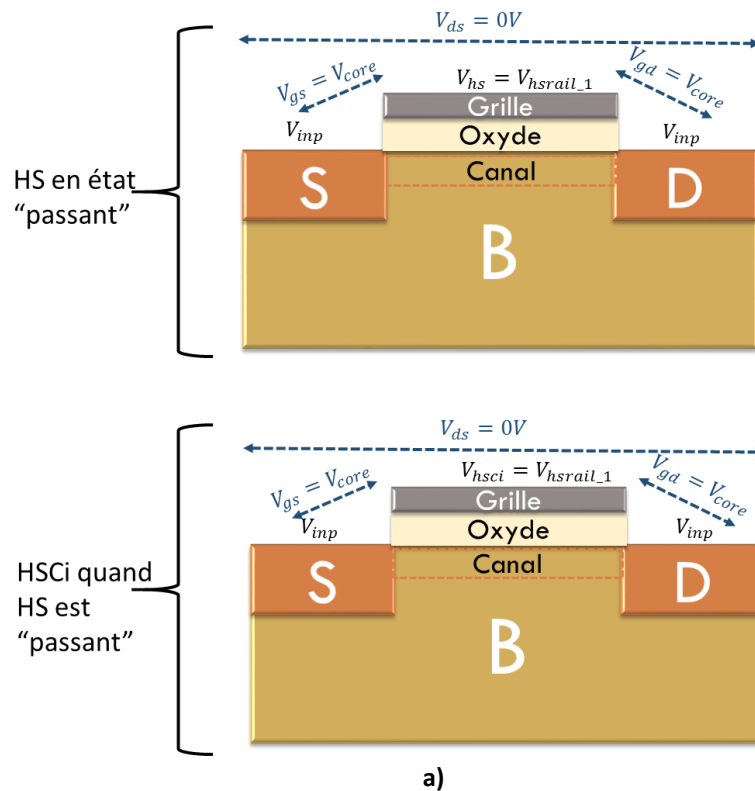
Figure 4-45: Vue globale du pont de puissance cascade $n^{\text{ième}}$ ordre.

4.4.4. Discussion de fiabilité

On rappelle que l'option d'empilement des dispositifs provient de la faible tension nominale lorsque la longueur de grille de la technologie est réduite. Si les transistors fonctionnent à tension d'alimentation élevée, trois problèmes majeurs peuvent survenir [85]:

- **Décomposition (breakdown) de l'oxyde (tensions grille-source et source-drain élevées)** : Avec les champs électriques appliqués au-dessus et en-dessous de l'oxyde, les porteurs chauds peuvent voyager à travers, soit par *direct tunneling* ou *Fowler-Nordheim*. Le courant circule directement à travers l'oxyde causant un court-circuit grille-canal.
- **Dégradation d'oxyde (tension drain à source élevée)** : Les porteurs chauds, qui obtiennent l'énergie du champ électrique élevé appliqué entre la source et le drain, entrent en collision avec la maille de silicium. Certains porteurs chauds pénètrent l'oxyde autour du drain, provoquant sa dégradation.
- **Courant de fuite (tension drain/source à bulk élevée)** : Un phénomène d'avalanche se produit en raison de la tension de polarisation inversée élevée de la jonction p-n, qui génère un courant dans la diode polarisée en inverse.

Nous rappelons que pour avoir des pertes de conduction minimales, nous utilisons le générateur de lignes (HVTVR) de la Figure 4-43, qui s'assure que les grilles suivent en AC la tension d'alimentation, de sorte que les tensions grille-source soient sans ondulation. Toutefois, les deux V_{ds} et V_{gs} des interrupteurs doivent être surveillés pour une opération globale fiable. Les fabricants s'assurent généralement d'avoir des tests de qualification de dispositifs MOS pour proposer une marge de tension de fonctionnement selon des critères de qualité acceptables. Nous ne nous intéressons pas aux détails de ces opérations. Les résultats de ces tests donnent les marges de tension acceptables pour les opérations DC, mais pas pour le fonctionnement AC comme dans l'IVR où les oscillations peuvent avoir un impact différent sur la durée de vie des composants. Il est alors important de connaître le stress maximal qui se produira à partir de la commutation du FIVR. La Figure 4-46 montre les sections transversales des interrupteurs HS et HSC_i en fonction de l'état du pont de puissance (pareil fonctionnement pour LS et les LSC_i). Au cours de l'état « passant » de HS (Figure 4-46-a), aucun excès de stress n'est noté. Cependant, pendant l'état « bloqué » (Figure 4-46-b), le composant HSC_n voit un V_{DS} fluctuant qui varie avec le bruit d'alimentation. Ce stress en tension est lié au PDN d'entrée dont nous avons discuté précédemment, et joue donc un rôle dans le choix de la capacité totale de découplage à utiliser. L'amplitude maximale de V_{noise} qui peut être supportée par les composants MOSFETs à la fréquence de commutation utilisée, ne peut être évaluée que sur silicium. Nos constatations dans ce travail indiquent que cette tension V_{DS} n'apparaît pas comme une contrainte plus importante que l'efficacité de l'IVR, puisque le rendement souffre davantage de l'ondulation que la durée de vie des dispositifs. Le dernier cas présenté en Figure 4-46-c concerne le composant HSC_n mais pas LSC_n . Au moment où le MOSFET HS est activé, il entre en mode de saturation pour les quelques picosecondes nécessaires pour charger la capacité parasite totale sur le nœud de commutation, de la masse (ou d'une valeur négative si la diode substrat de LS est passante) à V_{inp} . Ce cas est favorable à la dégradation de l'oxyde car le canal est formé et les porteurs chauds peuvent facilement se retrouver piégés dans l'oxyde. Cependant, comme la durée de cet événement est très faible par rapport à la fréquence de commutation, il ne semble pas avoir d'impact notable sur les dispositifs*, ce qui indique le besoin de bons drivers pour HS .



* Basé sur le silicium mesuré

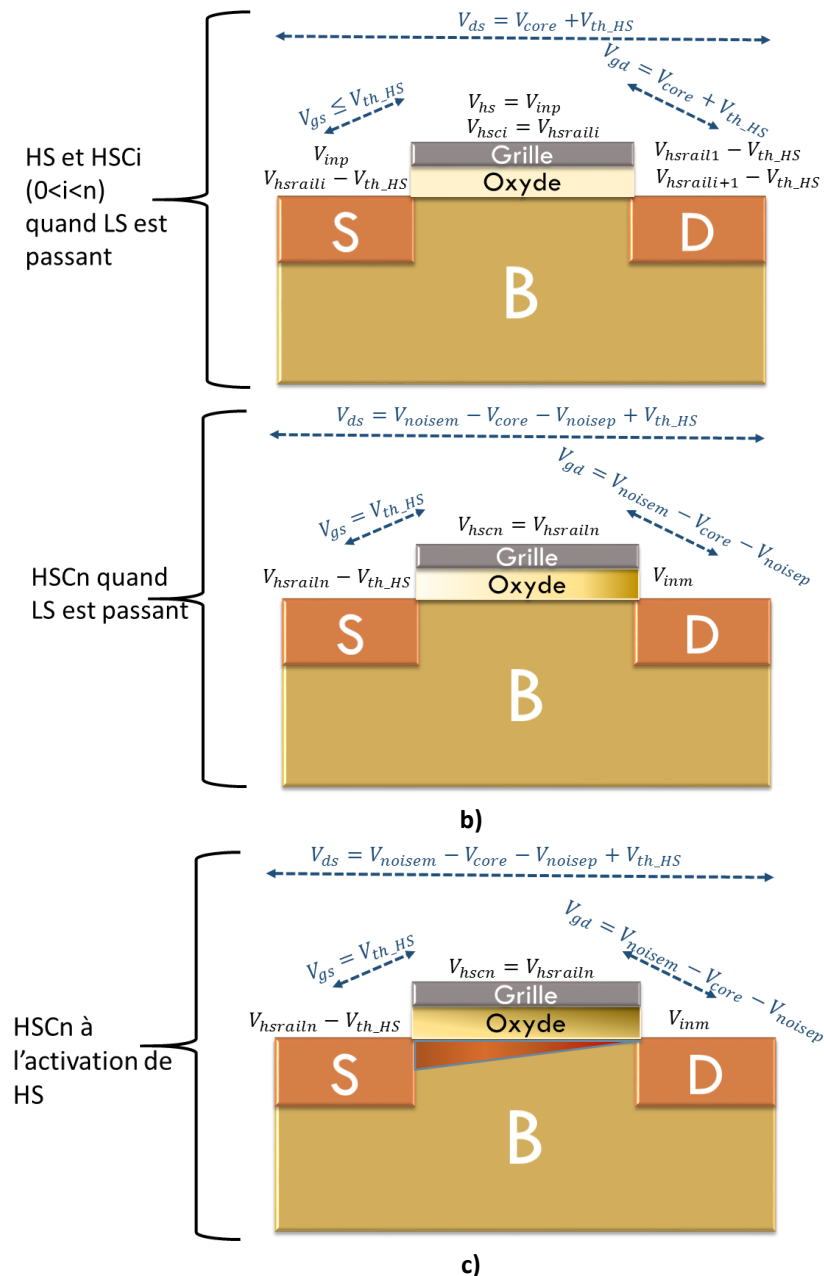


Figure 4-46: a) Section transversale soulignant le stress en tension lorsque le HS est en régime linéaire (passant) ; b) Section transversale soulignant le stress en tension lorsque le HS est bloqué ; c) section transversale soulignant le stress en tension lorsque HS est en saturation (instant de mise en marche de HS).

4.4.5. Résultats de simulation

Nous considérons le cas d'implémentation de l'IVR 3 états à 3 phases, dont nous discutons les mesures en chapitre 5. La coupe transversale du package est représentée sur la Figure 4-47. Comme nous pouvons le voir, l'intégration se fait en 2D avec des passifs incorporés dans le package. À l'aide d'un analyseur de réseau, nous sommes en mesure d'extraire les éléments parasites entre différents points d'accès lors de l'estimation dudit package. Cette étape est très importante pour la conception d'un FIVR, car elle nous permet d'avoir une estimation du PDN. La Figure 4-48 décrit un modèle détaillé du réseau d'entrée de l'IVR 3 états.

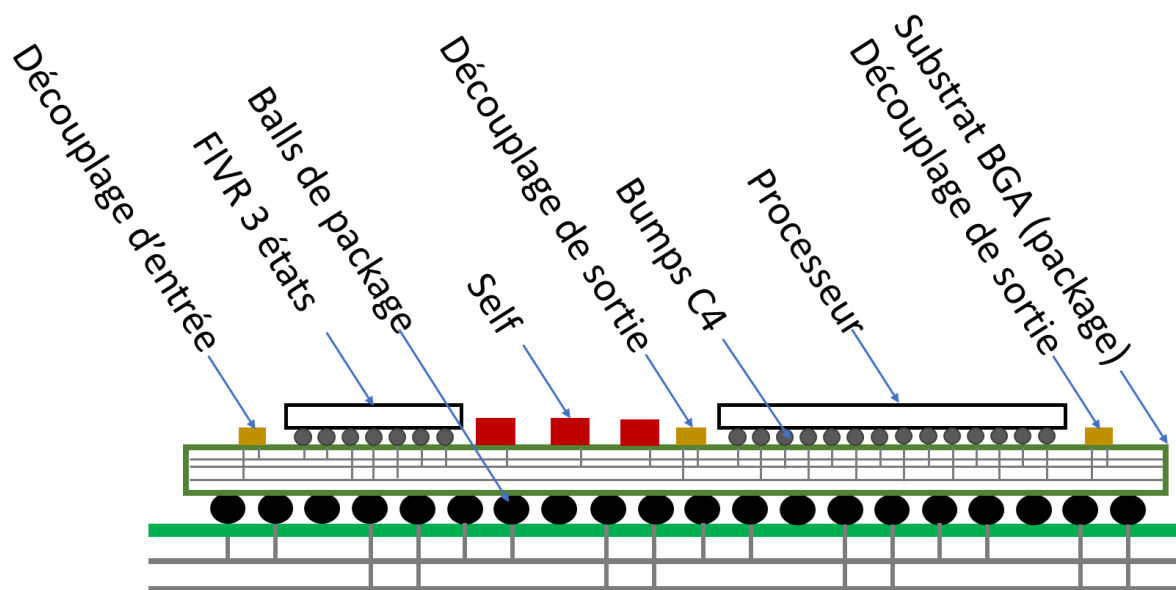


Figure 4-47: Section transversale de l'IVR 3 états implémenté, et mesuré dans le chapitre 5

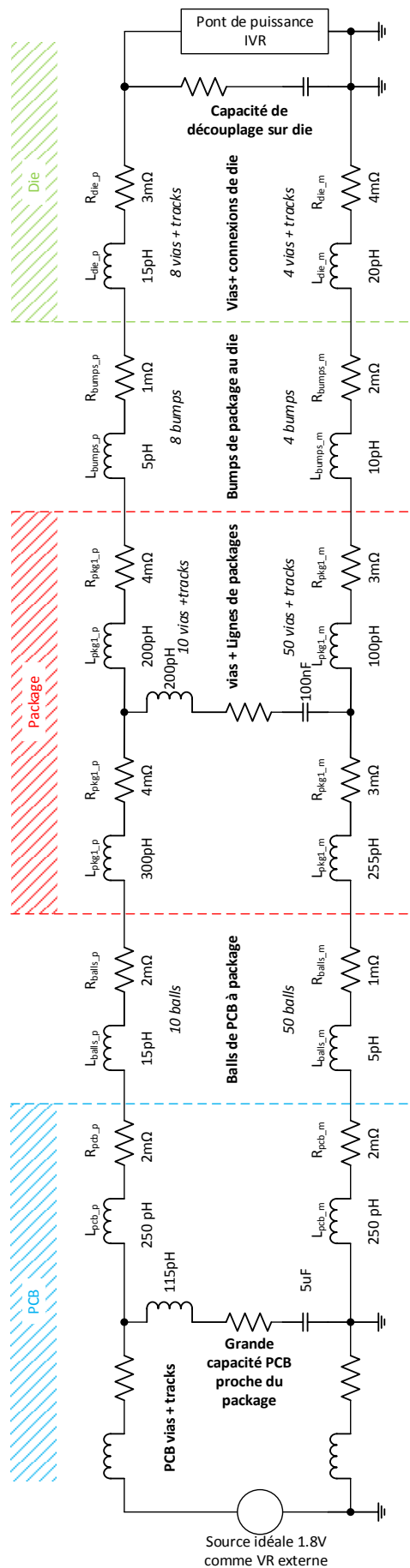


Figure 4-48: Modèle détaillé du PDN d'entrée pour l'IVR 3 états.

Les valeurs totales des éléments parasite de la Figure 4-48 sont similaires au réseau (R, L, C) utilisé dans les graphes de la section 4.3.

La Figure 4-49 montre les formes d'ondes de nœuds internes dans le pont, par rapport aux courants d'inductance au bas de la courbe. La simulation a été exécutée pour une charge de 2A et une sortie 1V, à partir d'une entrée 1.8 V. La tension d'entrée présente des oscillations faibles à 300 MHz (première harmonique) (~ 200 mV). Cela est prévu par notre discussion précédente sur le choix de capacité sur die. Toutefois, en raison de la présence de R_{c_die} , des oscillations hautes fréquences peuvent apparaître. Elles sont générées à partir des courants de commutation créés par les drivers des transistors de puissance. Comme leur durée est très faible par rapport à la période de commutation du convertisseur, leur impact sur le comportement global est minimum. Nous montrons les graphes de tension source-grille pour le HS et grille-source pour le LS. Le transfert du bruit d'alimentation aux tensions V_{gs} est fortement atténué par le couplage individuel des grilles à la ligne d'alimentation (positive ou négative), comme décrit précédemment avec le HVTVR.

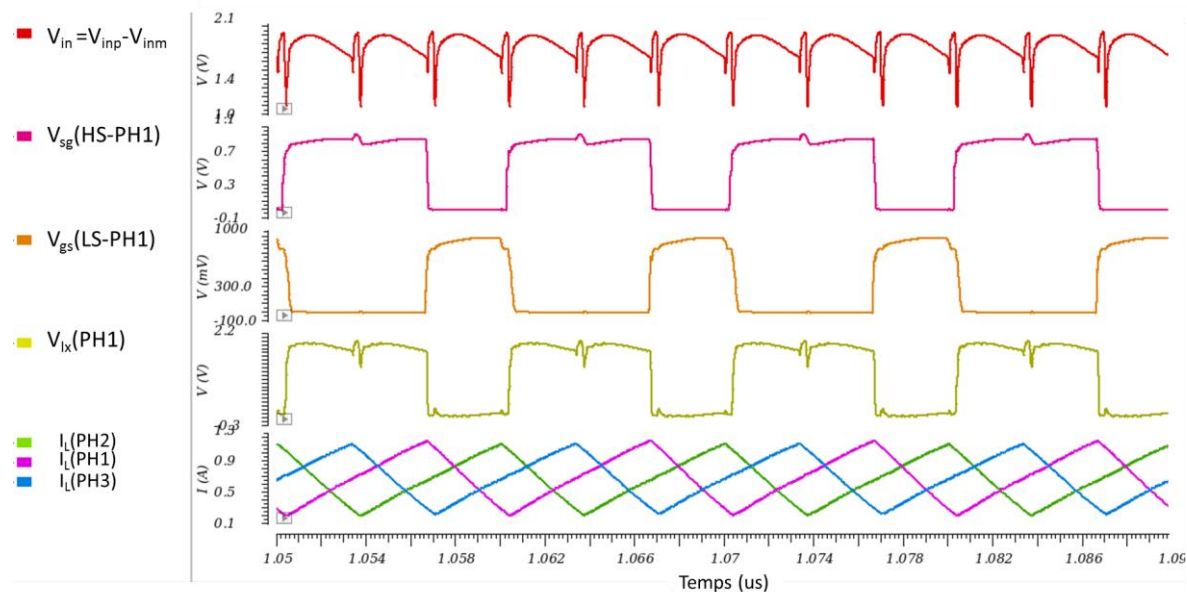


Figure 4-49: Formes d'onde des nœuds de commutation internes et comportement de courant d'inductance; V_{in} tout en haut en rouge; V_{SG} de HS (rose) et V_{GS} de LS (orange) de la phase 1 dans les deuxième et troisième rangées; Nœud de commutation de la phase 1 dans la quatrième rangée (jaune foncé); courants de self dans la dernière rangée (phase 1 rose, phase 2 vert et phase 3 bleu)*.

Nous présentons également le détail des pertes pour une régulation 1.8V à 0.9V pour des charges légère, moyenne et maximale (Figure 4-50), puis confirmons les attentes de la section 4.4.2. On ajoute une modulation du nombre de phases en fonction de la charge dénommée « phase shedding ». Ainsi, à des charges légères, une seule phase est active alors que pour des charges élevées, toutes les phases sont activées. Les conclusions importantes sont :

- Très faibles pertes de commutation de grille de l'IVR 3 états proposé, comme prévu depuis la discussion en section 4.4.3.
- Pertes dans le HVTVR proches de zéro en raison du mécanisme de recyclage de charge inhérent.
- Les pertes résistives dues à l'ESR du condensateur de die doivent être prises en compte, mais sont faibles comparées aux pertes dominantes.
- Les pertes résistives de PDN peuvent avoir un impact important sur l'efficacité globale, principalement à des valeurs de charges élevées.

Notons que nous n'incluons pas les pertes AC d'inductance sur ces plots. Leur impact apparaîtra dans les résultats de mesure dans le chapitre 5.

* Simulation effectuée sous l'environnement CADENCE

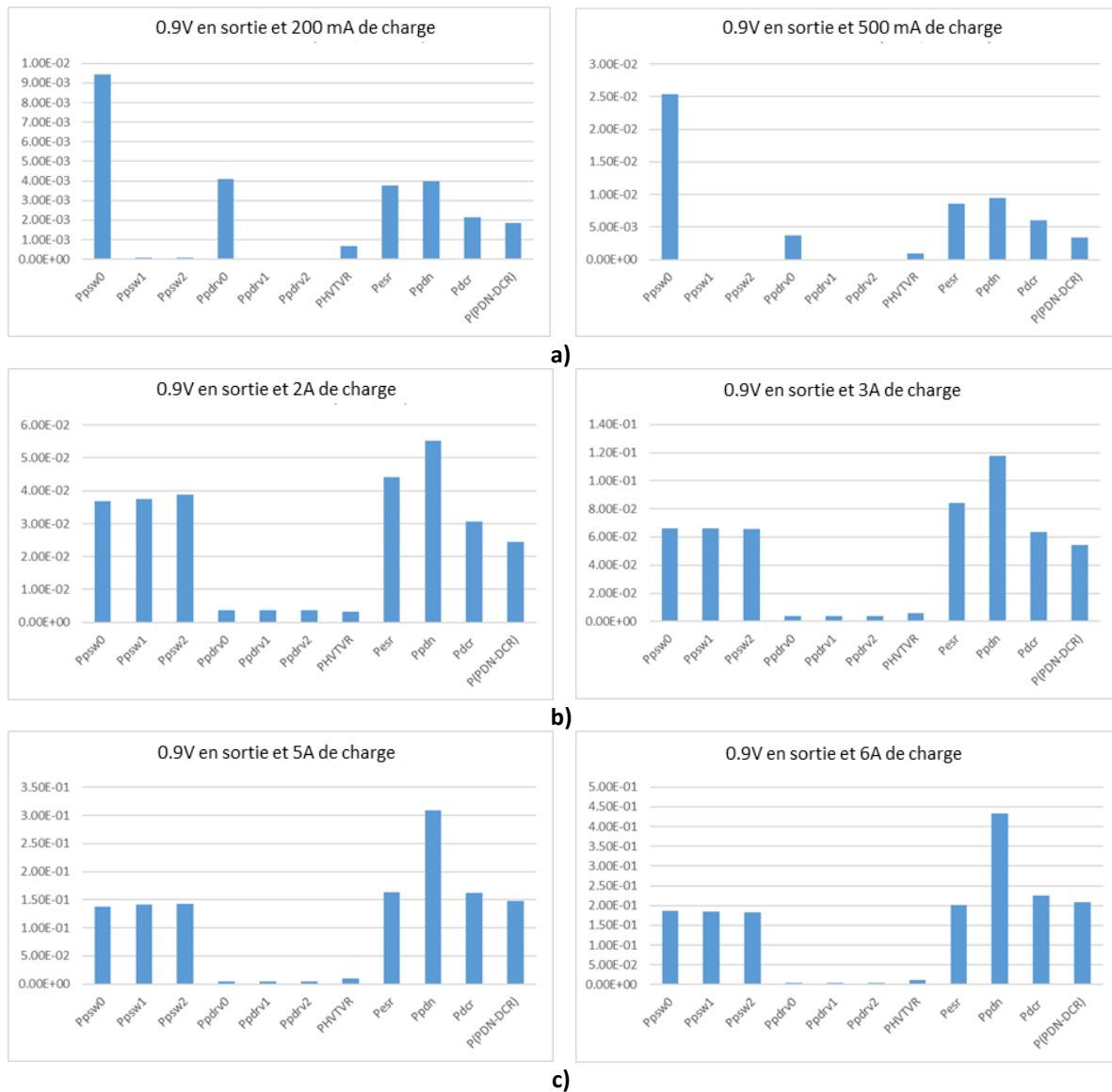


Figure 4-50: a) Bilan des pertes (en Watts) pour des charges légères (DCM); b) Répartition des pertes (en Watts) pour des charges moyennes (CCM); c) Bilan des pertes (en Watts) à charge maximale (CCM) ; Ppswi représente les pertes de conduction correspondant à la phase $i+1$; Ppdrvi correspond aux pertes de commutation de la phase $i+1$; Pesr, Ppdn, Pdcr correspondent respectivement aux pertes AC du découplage d'entrée, pertes dans le PDN et pertes dues aux DCR de la self.

4.5. Générateur PWM multi-phase proposé

Au fur et à mesure que le nombre de phases augmente, le nombre de générateurs PWM augmente aussi, conduisant à $2 \times N_{PH}$ boucles PWM dans notre topologie. En utilisant la même structure que celle décrite dans la section 3.1.4 et sur la base des résultats que nous avons obtenus dans le Tableau 3-1, nous nous retrouverions avec une grande surface et une consommation élevée de courant, ce qui représente une limitation importante à faibles charges. Par conséquent, nous proposons une approche différente qui permet de générer des impulsions multi-phases avec moins de surface et de consommation d'énergie. Le générateur PWM multi phase proposé utilise une configuration similaire à une PLL et est représentée dans la Figure 4-51.

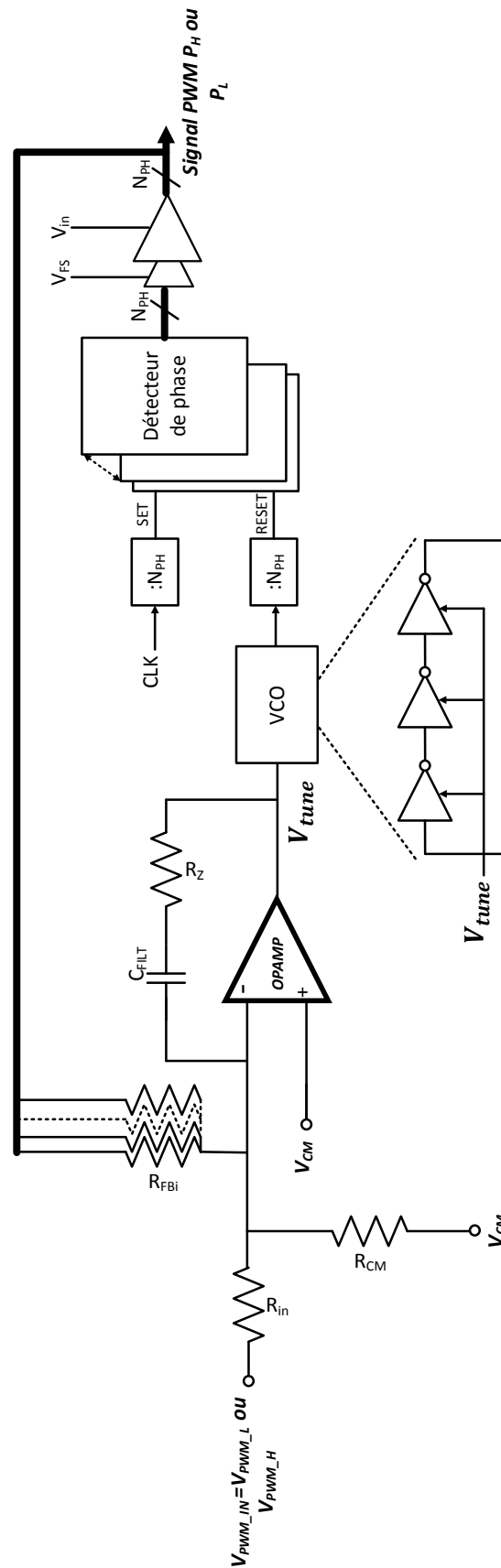


Figure 4-51: Générateur PWM proposé pour IVR multi-phase à commutation rapide

La Figure 4-52 propose un modèle plus basique de la boucle. Un intégrateur est utilisé pour intégrer l'erreur entre le rapport cyclique de l'impulsion de sortie (P_H/P_L) et une tension d'entrée V_{PWM_IN} représentant le rapport cyclique préprogrammé, et référencé à une tension « pleine échelle » prédéfinie (V_{FS}) :

$$V_{PWM_IN} = \delta \times V_{FS}$$

avec δ le rapport cyclique programmé.

Sa réalisation se fait par l'utilisation d'une configuration d'intégrateur actif comme indiqué dans la Figure 4-51, avec un amplificateur opérationnel et le condensateur C_{FILT} . La tension sortie par ce premier étage, V_{TUNE} , contrôle un VCO qui adapte sa fréquence de sortie pour définir le front descendant de l'impulsion PWM ; tandis que l'horloge (commutant à $N_{PH} \times F_{SW}$) fixe son front montant. Comme le VCO et l'horloge sont partagés par toutes les phases, un diviseur par N_{PH} les adapte pour chaque phase. Enfin, un détecteur de phase est utilisé pour générer l'impulsion PWM basée sur les fronts d'horloge et de VCO.

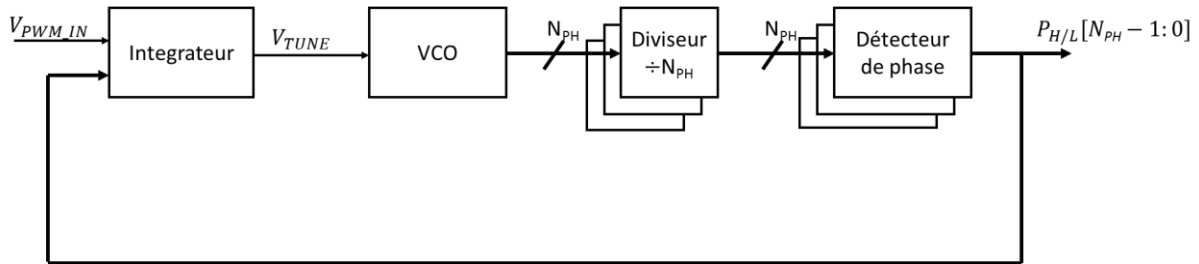
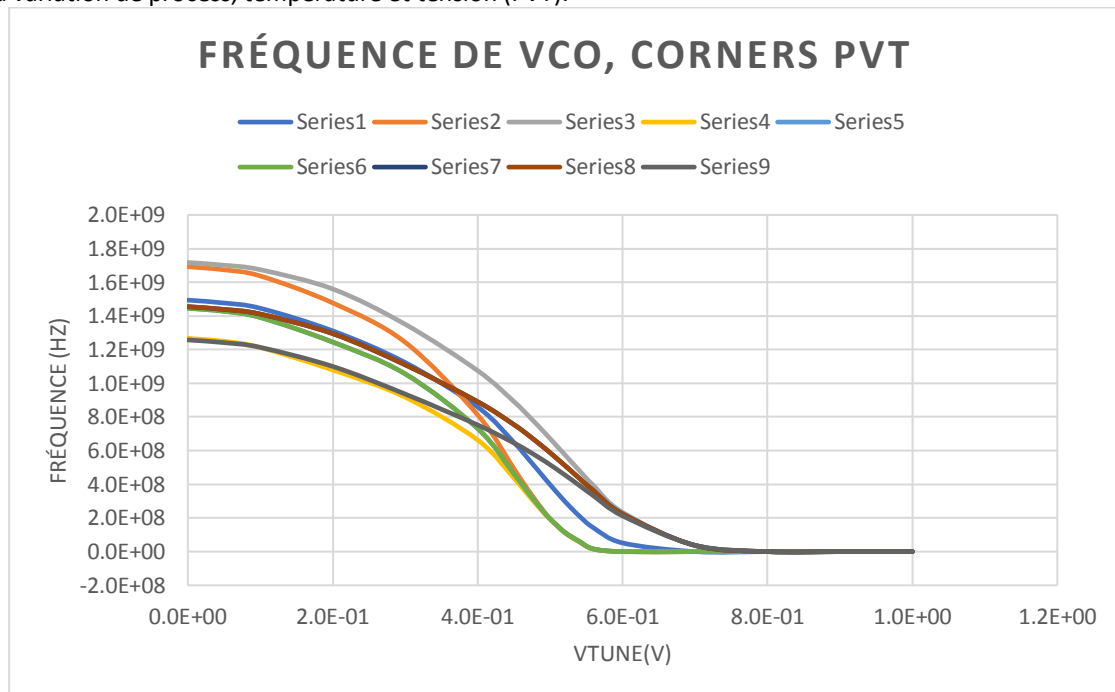


Figure 4-52: Architecture basique du générateur PWM proposé.

- **Oscillateur contrôlé en tension (VCO)**

Le VCO conçu est un oscillateur typique en anneau contrôlé en courant et est illustré sur la Figure 4-51. La tension V_{TUNE} contrôle la quantité de courant consommée en moyenne par les inverseurs lors des transitions. La Figure 4-53 montre deux graphes décrivant les performances de l'oscillateur dans le cadre de notre prototype d'IVR 3 phases décrit dans le chapitre 5. Le gain maximal est obtenu entre 200 MHz et 500 MHz et atteint des valeurs basses à des fréquences supérieures à 1 GHz. Les courbes sont obtenues à partir de simulation à corners, c-à-d variation de process, température et tension (PVT).

a)



b)

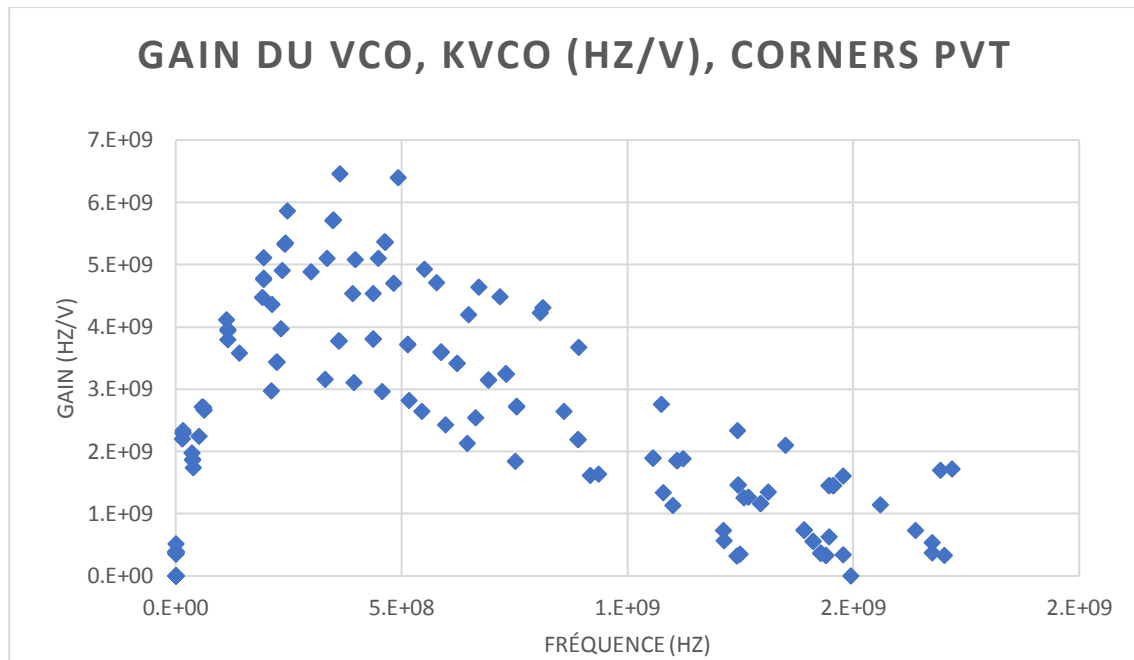
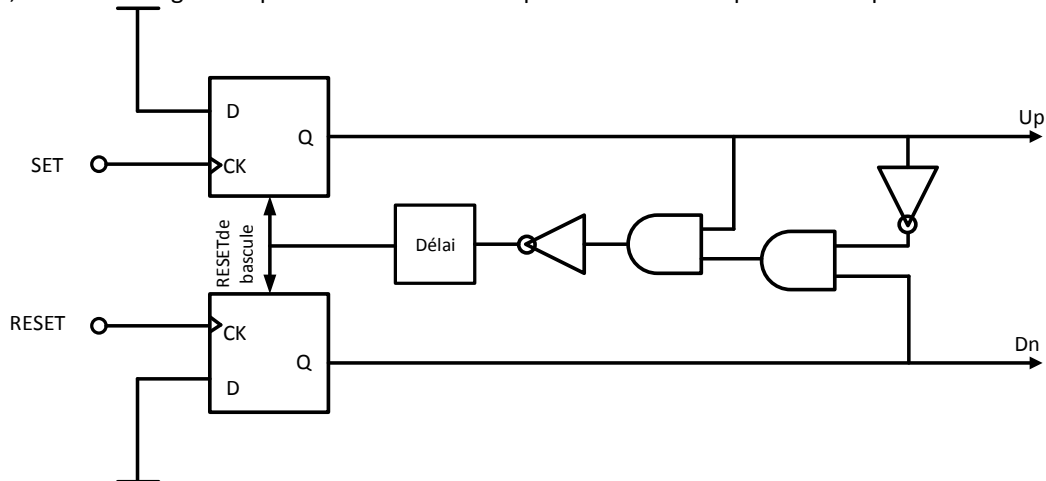


Figure 4-53: Performances de VCO : a) Graphe de fréquence de VCO vs tension de réglage ; b) Gain de VCO versus fréquence nominale.*

- Détecteur de phase

Le modèle de détecteur de phase utilisé est indiqué sur la Figure 4-54-a et son fonctionnement est décrit en Figure 4-54-b. Les signaux « SET » et « RESET » sont les sorties de respectivement, le diviseur de fréquence d'horloge et celui de fréquence VCO. Ils sont représentés dans cet ordre, comme variables d'état dans la machine d'état de la Figure 4-54-b. Sur la base de ces deux signaux, les impulsions « Up » et « Dn » sont générées, mais seul le signal « Up » est utilisé comme impulsion PWM de la phase correspondante.

a)



* Résultats de simulation sous CADENCE

b)

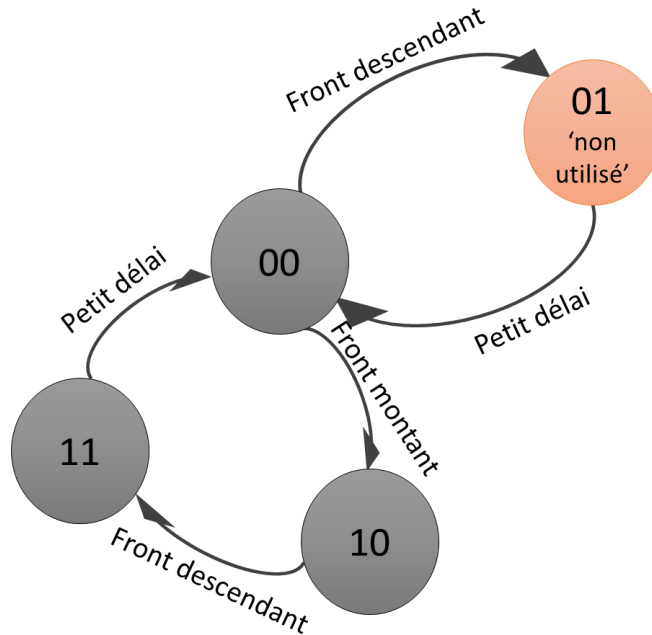


Figure 4-54: a) Modèle de détecteur de phase ; b) Machine d'état de détecteur de phase.

- Dynamique de boucle

Le système de génération de PWM présenté est non-linéaire, mais pareillement qu'une PLL, une fois qu'il est en lock, sa réponse dynamique aux changements de rapport cyclique peut être approximée par un modèle linéaire, aussi longtemps que ces changements sont petits autour du point de fonctionnement. Cela nous permet d'étudier le comportement petit signaux de la boucle. L'analyse de la dynamique de boucle est importante, non seulement pour une conception stable et robuste, mais aussi parce que le générateur PWM sera au contrôle de la commutation de tension de sortie de l'IVR.

Avant notre analyse de réponse dynamique, nous allons d'abord définir le comportement DC du générateur PWM. À l'entrée « moins » de l'amplificateur opérationnel de la Figure 4-51, nous établissons la *Loi de Kirchhoff* et obtenons :

$$\frac{V_{PWMOUT} - V_{CM}}{R_{FB}} + \frac{V_{PWMIN} - V_{CM}}{R_{in}} = 0 \rightarrow$$

$$V_{PWMOUT} = \left(1 + \frac{R_{FB}}{R_{in}}\right) V_{CM} - \frac{R_{FB}}{R_{in}} V_{PWMIN}$$

Supposant que la boucle fonctionne sous la tension pleine échelle V_{FS} et la sortie sous V_{in} , nous définissons $R_{in} = R_{FB} \frac{V_{FS}}{V_{in}}$ et donc,

Equation 76

$$V_{PWMOUT} = \left(1 + \frac{V_{in}}{V_{FS}}\right) V_{CM} - \frac{V_{in}}{V_{FS}} V_{PWMIN} \rightarrow V_{PWMOUT} = 2V_{CM} - V_{PWMIN} \text{ si } V_{in} = V_{FS}$$

L'Equation 76 montre que le rapport cyclique à la sortie va dans la direction opposée à l'entrée préprogrammée.

Ensuite, en regardant le comportement AC de la boucle, nous exprimons d'abord l'opération réalisée par le premier étage constitué de l'amplificateur, le condensateur C_{FILT} et la résistance R_Z . L'opération d'intégration réalisée est exprimée dans le domaine de Laplace par :

$$K_{lp} H_{lp}(s) = -K_{lp} \left(\frac{1}{\omega_Z} + \frac{1}{s} \right) \text{ avec } K_{lp} = \frac{1}{R_{in} C_{FILT}} \text{ et } \omega_Z = \frac{1}{R_Z C_{FILT}}$$

L'expression du VCO est l'expression d'intégration générale connue, que nous écrivons $-\frac{K_{VCO}}{s}$. Nous notons le signe négatif indiquant que le VCO est conçu de telle sorte qu'il introduit un décalage de phase de 180 degrés dans la boucle. Et enfin, le détecteur de phase ajoute un autre changement de phase de 180 degrés

puisque le signal de réinitialisation (reset) provenant du VCO définit le temps d'arrêt de l'impulsion PWM. Nous pouvons maintenant écrire la fonction de transfert du système comme :

$$H(s) = \frac{V_{PWMOUT}(s)}{V_{PWMIN}(s)} = -\frac{L(s)}{1 + L(s)} \text{ avec,}$$

$$L(s) = \frac{\omega_{sys}^2}{s^2} \left(1 + \frac{s}{\omega_z}\right) \text{ définissant le gain de boucle; et enfin,}$$

Equation 77

$$H(s) = -\frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_z} + \frac{s^2}{\omega_{sys}^2}} \text{ avec,}$$

$$\omega_z = \frac{1}{R_z C_{FILT}} \text{ et } \omega_{sys} = \sqrt{\frac{K_{VCO} \cdot K_{lp}}{N_{PH}}}$$

En assimilant le dénominateur à la forme générale $1 + 2m \frac{s}{\omega_{sys}} + \frac{s^2}{\omega_{sys}^2}$, on montre que la boucle a une fréquence résonante de ω_{sys} et un facteur d'amortissement :

$$m = \frac{R_z}{2} \sqrt{\frac{K_{VCO} C_{FILT}}{N_{PH} R_{in}}}$$

En utilisant l'Equation 77, le système peut être conçu avec un gain assez élevé et une marge de phase décente, en raison de la présence du zéro introduit par R_z . En réalité, le besoin de la résistance de rétroaction R_{FB} avec des valeurs de l'ordre de quelques kiloohms, introduit un pôle en raison de la présence de capacités parasites liées à ces résistances. Pour compenser cette addition parasite, un zéro est ajouté en plaçant C_z en parallèle au réseau résistif de rétroaction conduisant à la configuration montrée dans la Figure 4-55. Le condensateur C_z n'est ajouté qu'autour d'une partie de la rétroaction résistive parce qu'il introduit une certaine ondulation à l'entrée de l'amplificateur, mettant plus de contrainte sur la bande passante.

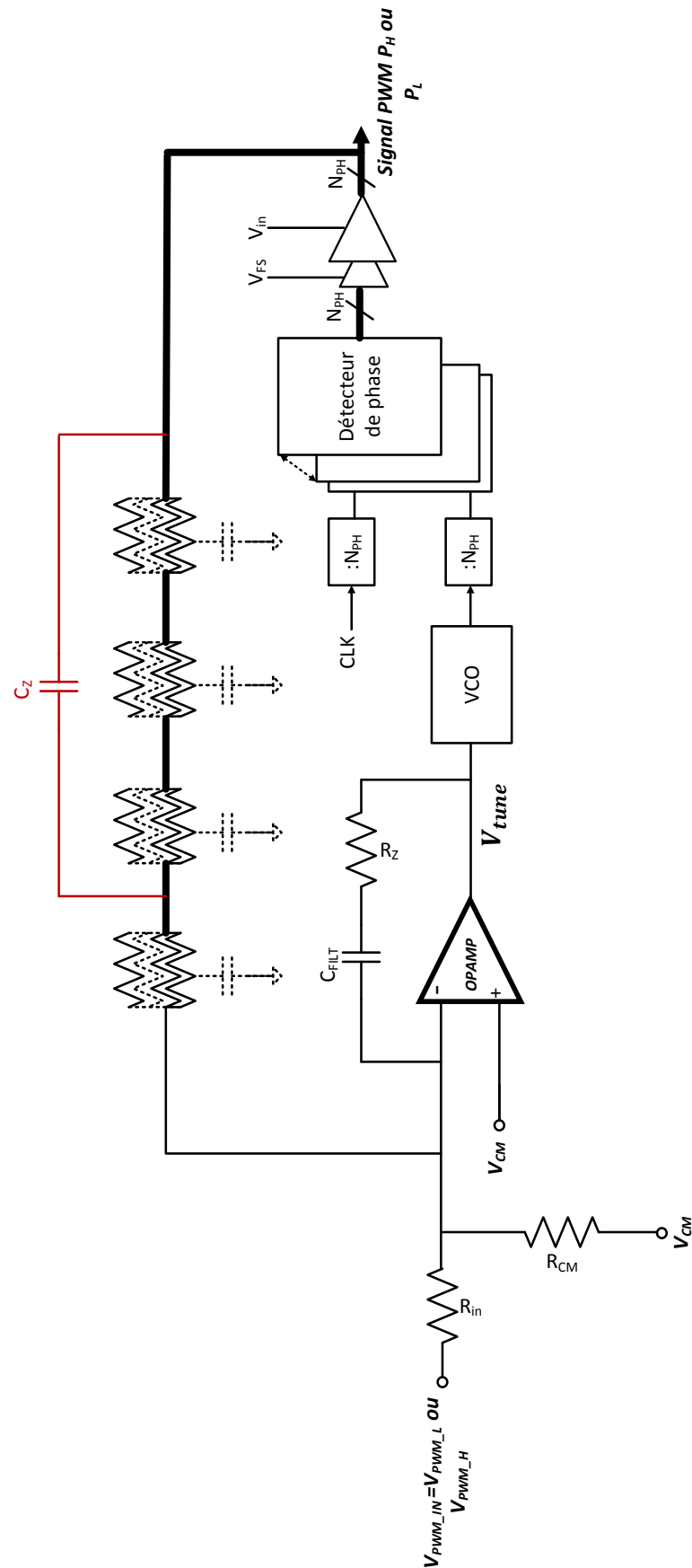


Figure 4-55: Générateur PWM compensé.

- Résultats de simulation

Nous présentons des résultats de simulation pour le générateur PWM multi-phase implémenté dans le convertisseur 3-états mesuré dans le chapitre 5. Le Table 4-5 indique les différentes valeurs de paramètres choisies au cours de la conception. Les valeurs des résistances et des capacités sont choisies pour minimiser la consommation totale en surface. La Figure 4-56 montre les performances simulées de la boucle lors de l'analyse des petits signaux, dans plusieurs cas de corners. Le gain de boucle tourne autour de 150 dB en moyenne, ce qui limite le décalage de sortie à de faibles valeurs (250 μ V maximum) et une marge de phase autour de 80 degrés. Enfin, nous partageons avec la Figure 4-57, le comportement transitoire du générateur proposé. Pour réaliser une commutation de tension de sortie du convertisseur, l'entrée du générateur de PWM doit être changée à la valeur correspondant au rapport cyclique escompté. Lorsque l'entrée du générateur transite d'une valeur à une autre, la sortie va dans la direction opposée avec une vitesse de commutation de rapport cyclique de 1.1%/ns, ce qui correspond à une commutation de tension à 20 mV/ns. D'autre part, comme le montre le Tableau 4-6, le générateur PWM considéré dans le cadre de cette simulation, consomme environ 300 μ A. Cette consommation de courant est principalement liée aux événements de commutation dans la boucle, et dépend aussi de la tension nominale du système PWM.

<i>Paramètres de conception</i>		<i>Paramètres calculés</i>	
Gain de VCO, Kvco (Hz/V)	4.00E+09	Produit gain bande premier étage, f0 (Hz)	2.09E+05
Nph, # de phases	3	Capacité, C _{FILT} (F)	2.27E-11
Bande passante (Hz)	6.66E+06	Résistance de compensation premier étage, Rz (Ohms)	2.95E+03
Résistance d'entrée, Rin (Ohms)	3.36E+04	Résistance de contre-réaction, Rfb (Ohms)	6.05E+04
Facteur d'amortissement m	1.40E+00	Résistance de mode commun, Rcm (Ohms)	2.32E+04
Valeur de mode commun d'entrée, Vcm (V)	3.33E-01	Produit gain bande max amplificateur opérationnel (Hz)	4.00E+08
V _{in} (V)	1.80E+00	Vitesse de slew rate d'amplificateur opérationnel (V/s)	6.28E+08
V _{FS} (V)	1.00E+00		
Vpwm_out, mode commun (V)	9.00E-01		
Vpwm_in, mode commun (V)	5.00E-01		
F _{sw} , fréquence de commutation (Hz)	1.00E+08		
Rcm (Ohms)	1.98E+04		

Table 4-5: Valeurs typiques des paramètres utilisés dans la conception du générateur PWM pour le FIVR du chapitre 5.

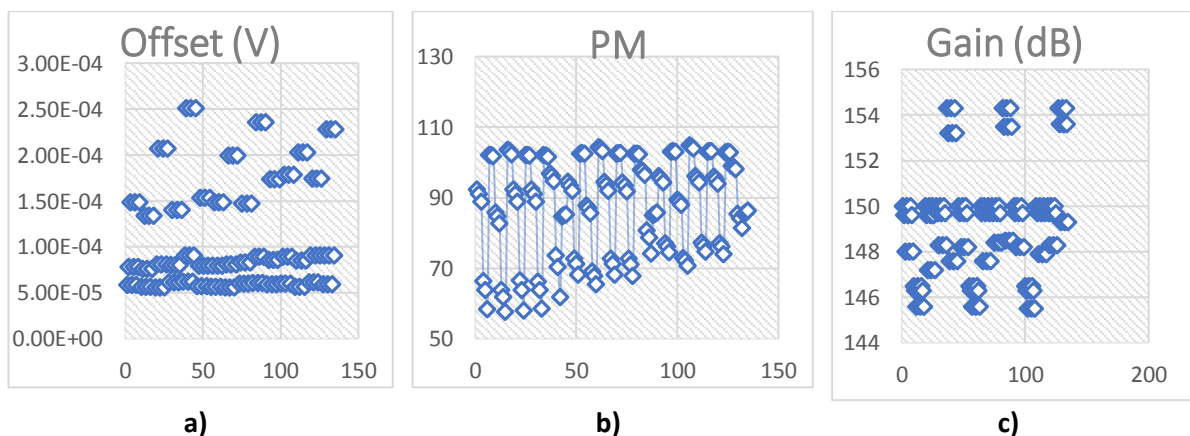


Figure 4-56: Performances AC de la boucle PWM.

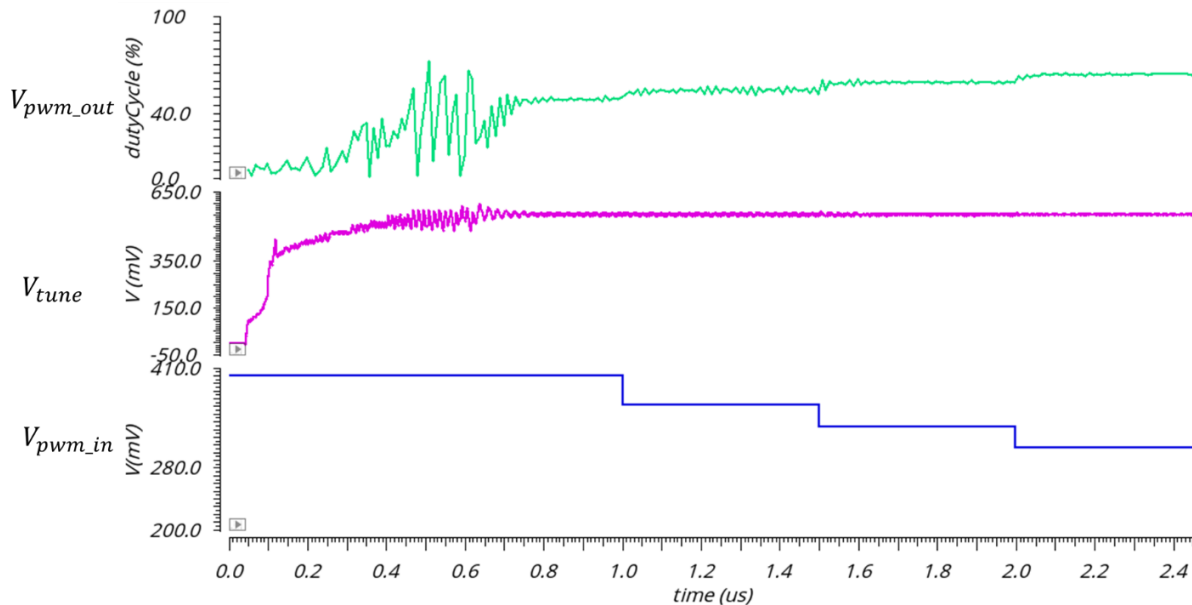


Figure 4-57: Comportement transitoire de la boucle PWM locale.*

Paramètres	Minimum	Typique	Maximum
Fréquence de commutation	50 MHz	100 MHz	150 MHz
Temps de démarrage			500 ns
Commutation de tension pour DVFS		20 mV/ns	
Offset systématique			250 μ V
Erreur de gain			± 2 %
Résolution			± 1 %
Consommation en courant		300 μ A	

Tableau 4-6: Tableau regroupant quelques performances du générateur PWM.

4.6. Comparateurs et référence

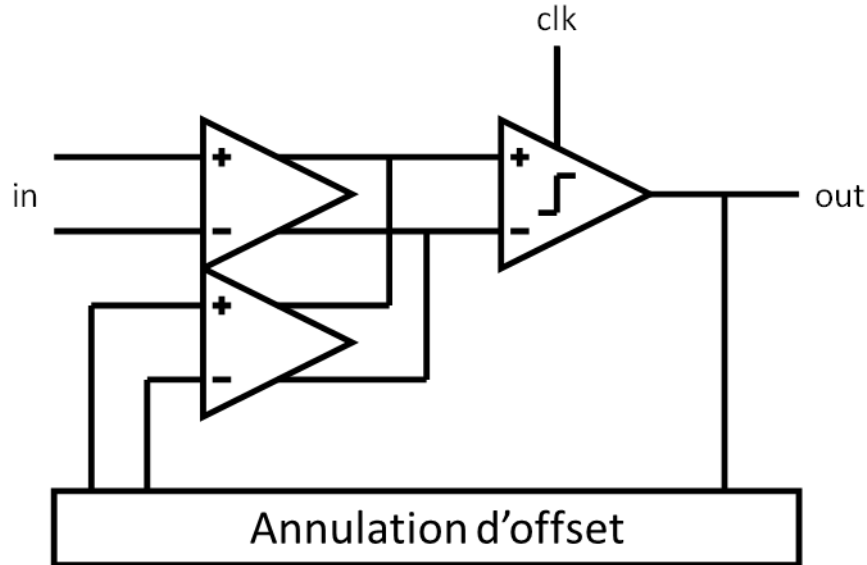
Puisque nous avons déjà présenté les éléments d'intérêt dans le régulateur intégré à 3 états proposé, nous allons décrire dans cette section deux autres blocs critiques au fonctionnement du convertisseur.

4.6.1. Les comparateurs

Les comparateurs constituent une partie très importante de la boucle de rétroaction (Figure 3-1) et doivent être assez rapides pour n'introduire qu'un minimum de délai dans la détection de tension. En raison de ce besoin de vitesse et d'un minimum de courant à consommer, les comparateurs dynamiques, par opposition aux comparateurs continus, sont le bon choix pour la conception. Nous utilisons un comparateur verrou à base de préamplificateur (pseudo-dynamique) qui est composé d'un étage d'amplification et d'un étage verrou avec la possibilité d'ajouter un mécanisme global d'annulation d'offset comme indiqué dans la Figure 4-58-a. Les deux premiers amplificateurs opérationnels sont inclus dans le préamplificateur et le verrou est représenté par le deuxième étage qui commute sous horloge. La Figure 4-58-b présente la même vue de comparateur que la Figure 4-58-a, mais avec deux tranches alternant à un rythme lent, permettant à l'une d'opérer pendant que l'autre est en mode d'étalonnage/calibration de décalage de sortie (*offset*). Cette option est meilleure quand des condensateurs sont utilisés dans la compensation d'offset et ont besoin d'actualisation de leurs valeurs. Pendant l'étalonnage, la compensation globale d'offset peut utiliser par exemple une pompe de charge qui intégrerait l'offset total accumulé. Sur la base de la tension intégrée, un mismatch de charge ou de paires différentielles peuvent être ajouté au préamplificateur pour annuler ledit offset.

* Résultats obtenus sous CADENCE

a)



b)

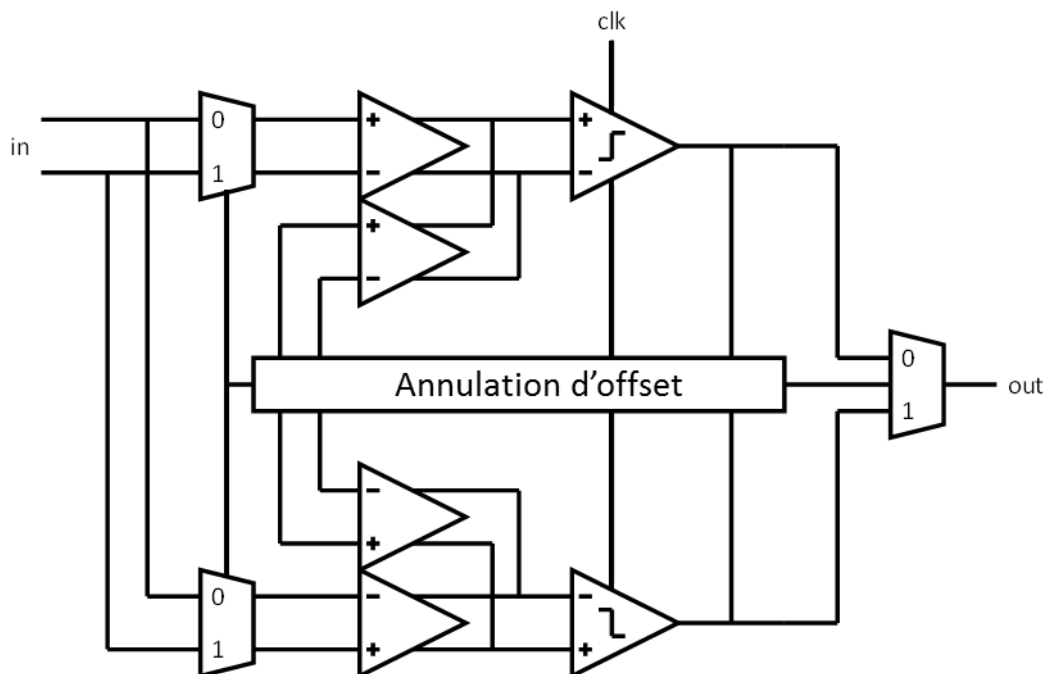


Figure 4-58: a) Modèle de vue haut niveau de comparateur ; b) identique à a) avec 2 comparateurs s'alternant.

Le préamplificateur peut être conçu comme n'importe quel amplificateur (souvent un étage avec un gain avoisinant 10V/V). Nous montrons sur la Figure 4-59 les exemples de préamplificateur et d'étage verrou utilisés dans le cas du convertisseur triphasé présenté dans le chapitre suivant. Les tensions de sortie "outm" et "outp" du préamplificateur sont envoyées comme entrées "INP" et "INM" de l'amplificateur verrou.

Enfin, le Tableau 4-7 affiche les résultats de simulation du comparateur utilisé, en soulignant le délai de propagation introduit par rapport à l'offset minimum d'entrée détecté. Ce retard dans la réaction du comparateur doit être pris en compte car il affecte la bande passante du convertisseur, comme le décrit l'Equation 22.

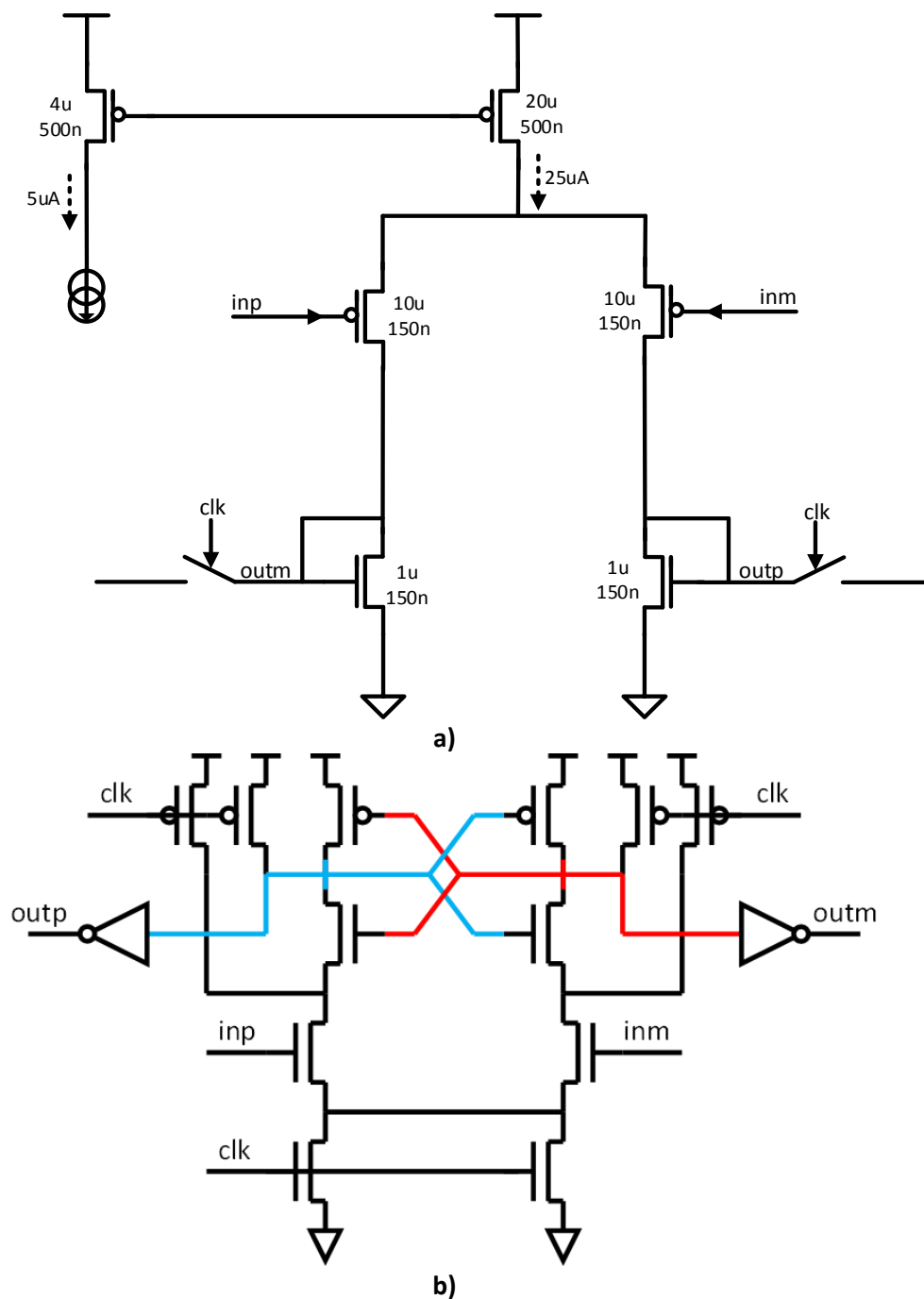


Figure 4-59: a) Schéma de préamplificateur ; b) Schéma d'amplificateur verrou.

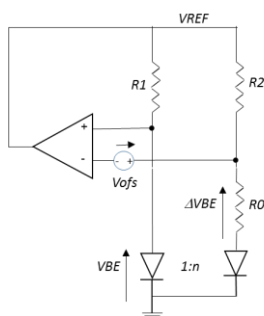
Paramètre	Condition	Minimum	Typique	Maximum	Unités
Courant consommé	$0.5V < V_{out} < 1.2V$	72	100	104	uA (microampères)
Délai de propagation @ 5mV offset	$0.5V < V_{out} < 1.2V$	93	120	174	ps (picosecondes)
Délai de propagation @ 2mV offset	$0.5V < V_{out} < 1.2V$	100	129	193	ps (picosecondes)

Délai de propagation @ 1mV offset	0.5V<V _{out} <1.2V	104	135	218	ps (picosecondes)
-----------------------------------	-----------------------------	-----	-----	-----	-------------------

Tableau 4-7: Tableau montrant les délais de propagation du comparateur considérant les corners.

4.6.2. Référence de tension

Afin de générer la référence de tension V_{ref} de la Figure 3-1, Il est nécessaire d'avoir une tension de référence de bandgap sur la puce. De plus, les circuits analogiques ont besoin d'un courant de référence pour définir la polarisation des paires différentielles. La génération de ces tension et courant de référence est faite sur la base de la Figure 4-60. Un circuit de démarrage est utilisé pour les conditions initiales, et montré dans la partie gauche de la Figure 4-60. Pendant le démarrage, le courant « *Istart* » en bleu est établi pour activer le bandgap ; et après que les tensions et courants de référence soient établis, un courant de polarisation "*Ibias*" en vert prend le relais et continue de polariser l'ensemble du bloc (*self-biasing*). L'utilisation du self-biasing permet de réduire la consommation totale en courant du bloc.



Nous pouvons écrire l'expression bien connue de la tension de référence provenant du générateur bandgap, incluant l'offset de l'amplificateur opérationnel, la résistance utilisée et la tension de diode en direct :

Equation 78

$$V_{REF} = V_{BE} + \left(1 + \frac{R_2}{R_0}\right)(\Delta V_{BE} - V_{ofs})$$

L'amplification d'offset à V_{REF} (tension de sortie du bandgap et non la référence aux comparateurs V_{ref} de la Figure 3-1) implique une altération du comportement en fonction de la température (courbe en cloche moins plate). Afin

de réduire cet offset, deux manières sont explorées :

- L'augmentation du facteur n entre les diodes pour réduire R_2 et augmenter R_0
- L'ajout d'un système de compensation automatique d'offset.

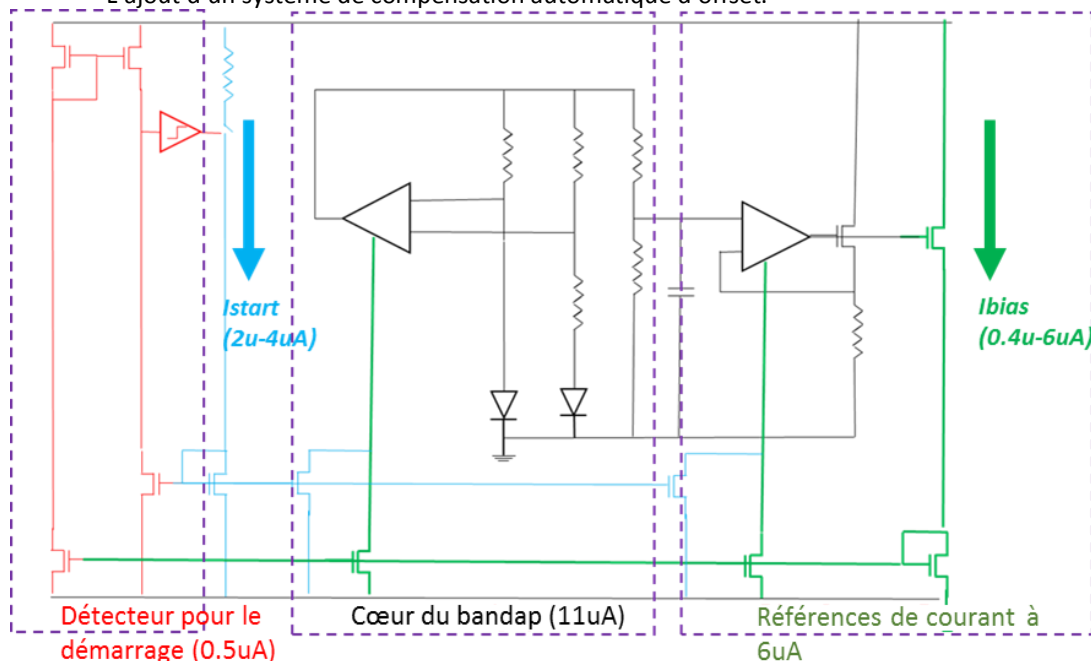


Figure 4-60: Diagramme du bandgap.

Nous proposons en Figure 4-61, la courbure de la tension bandgap en fonction de la température, avec la possibilité d'utiliser le même type de résistances pour R_0 , R_1 et R_2 qui correspond à la courbe bleue, sans compensation supplémentaire. L'autre courbe offre la possibilité de mêler des résistances avec coefficients de température opposés, pour moins de variation. Globalement, la tension de référence varie de 1 mV en

température et environ 14 mV pendant les simulations Monte Carlo, la rendant viable pour une utilisation comme référence de la puce.

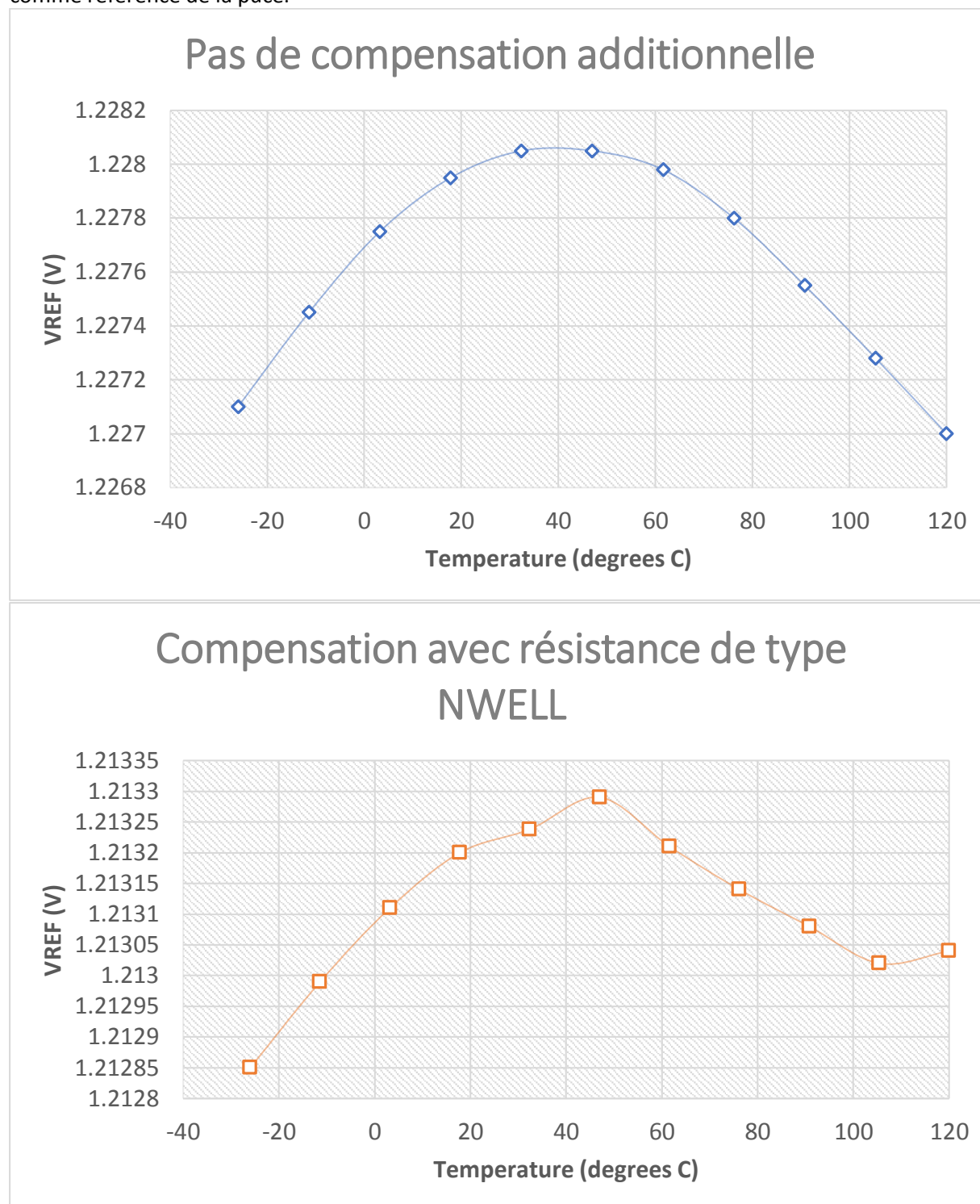


Figure 4-61: Courbe en cloche de tension de référence avec et sans compensation de résistance NWEEL.*

* Résultats obtenus sous CADENCE

CHAPITRE 5 RÉSULTATS EXPÉRIMENTAUX DE PROTOTYPE DE L'IVR 3

ÉTATS PROPOSÉ

Ce chapitre illustre notre approche décrite dans le chapitre 4 avec les résultats d'un prototype de l'IVR 3 états. Le prototype est conçu avec 3 phases en technologie 28 nm orienté processeur pour mobile. Nous commençons d'abord avec une description de l'architecture globale, puis nous discutons du Layout de la puce (section 5.1). Cette section de Layout est suivie d'une présentation de la configuration utilisée en laboratoire pour les mesures (section 5.2) et enfin nous partageons les données extraites de l'expérimentation et comparons avec les travaux antérieurs (section 5.3).

La Figure 5-1 représente une vue globale de la puce mettant en évidence les différents blocs analogiques discutés dans le chapitre 4 et montrant les connexions au package. L'entrée 1.8 V est acheminée par deux lignes différentes dans le package :

- Le premier chemin est la ligne « AVDD » qui correspond à la tension d'entrée de 1.8 V alimentant la portion analogique peu bruitée de la puce. Cela inclut le bandgap et les régulateurs linéaires locaux LDOs qui sont utilisés pour générer des tensions plus faibles pour alimenter certains blocs (générateur PWM et comparateurs par exemple). Un chemin « AVSS » est généré comme masse de AVDD. Cette isolation des blocs sensibles est importante puisque, si les interrupteurs de puissance partagent la même masse, les perturbations générées peuvent être problématiques pour les circuits analogiques (principalement le bandgap qui utilise des dispositifs bipolaires). Les dispositifs bipolaires dans cette génération de technologie sont parasites (transistors latéraux), et de ce fait ont un contact direct avec le substrat. Comme on peut le voir sur la Figure 5-1, des LDOs sont utilisés pour générer des approvisionnements locaux en courant et tension pour le générateur PWM et les comparateurs, qui utilisent des dispositifs à oxyde fin pour de meilleures performances.
- Le deuxième chemin est la ligne « PVDD » à laquelle nous avons déjà fait allusion, par « V_{inp} ». Il s'agit de la tension à partir de laquelle la conversion de puissance est effectuée par le Buck intégré. La ligne « PVDD » (ou « V_{inp} ») est dirigée vers l'étage de puissance et alimente les drivers et le HVTVR. Précédant les drivers, les signaux proviennent du côté analogique sous le domaine (AVDD, AVSS). Ces signaux sont ensuite convertis à partir des level shifters décrits dans la section 4.4.3 du chapitre 4. La ligne de masse du domaine d'alimentation PVDD est nommée « PVSS » et correspond à « V_{inm} ». Ce domaine de puissance (PVDD, PVSS) est celui qui supportera donc les courants de commutation d'étages de puissance, et dont le bruit de PDN fut analysé en chapitre 4. Notons que le domaine (AVDD, AVSS) a des contraintes détendues de PDN puisqu'il n'y a aucune activité de commutation, rendant la tension non bruitée.

D'autres blocs non inclus dans la discussion du chapitre précédent sont :

- L'oscillateur qui génère l'horloge 300 MHz qui est nécessaire pour le générateur PWM, qui doit fournir trois signaux PWM à 100 MHz déphasés de 120°.
- Il y a également un POR (Power on Reset) qui détecte la présence de l'alimentation d'entrée pour démarrer les différents blocs.
- Deux autres éléments importants qui n'ont pas été discutés sont, l'OCP (Protection contre les excès de courant) qui protège la puce contre des appels de courant non contrôlés et l'OTP (Protection contre la surchauffe) pour éteindre la puce si la température va au-delà de 120 degré Celsius.
- Et le dernier est le bloc numérique qui est également d'importance puisque, nous pouvons programmer à travers les registres, des valeurs de tolérance pour le comparateur ainsi que différents rapports cycliques pendant le test.

Au niveau du package, nous reconnaissons les trois inductances de sortie pour les 3 phases, et les deux condensateurs de package, l'un pour le découplage d'entrée et l'autre pour découpler la sortie qui va au processeur ou à un certain nombre de cœurs.

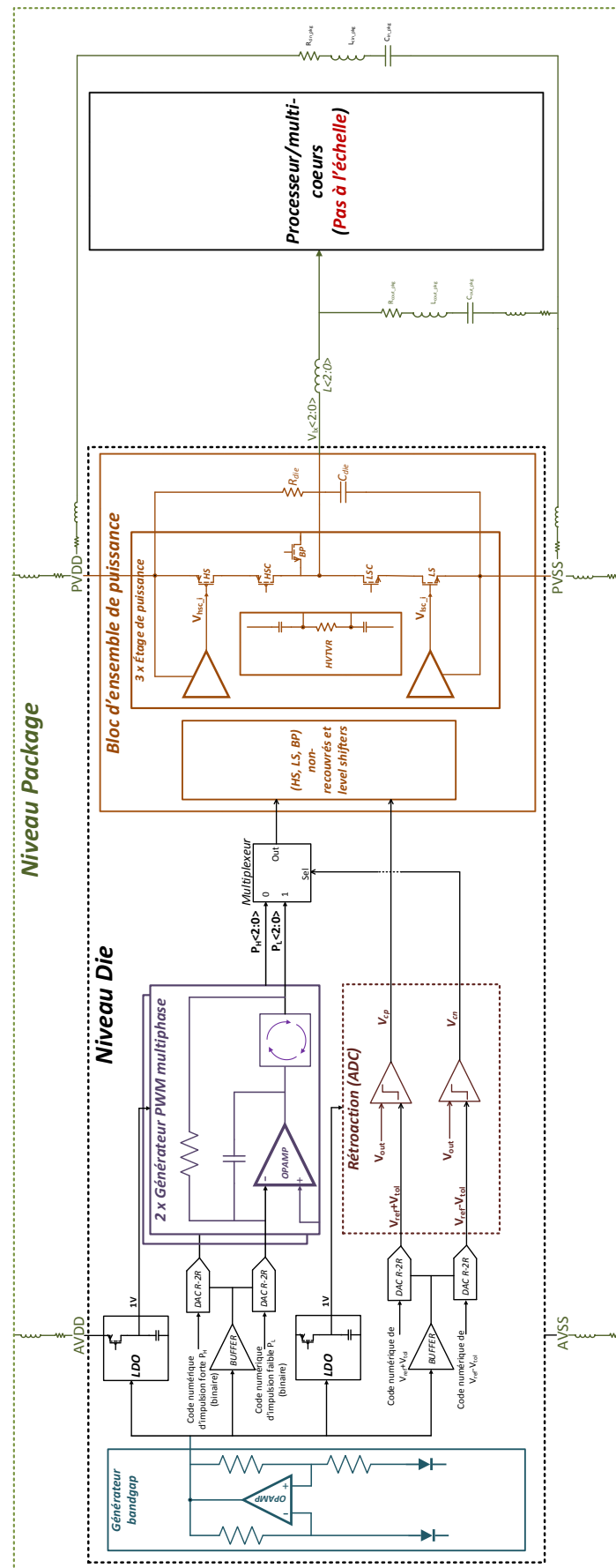


Figure 5-1: Schéma complet du die montrant également les parasites associés aux lignes de routage dans le package.

5.1. Coupe transversale et Layout

La principale problématique qui découle du Layout de la puce est la présence de plusieurs domaines de puissance, (PVDD, PVSS), (AVDD, AVSS) et même d'autres domaines 1V venant des LDO sur puce. L'utilisation de technologie triple-Well, ainsi que la couche « NT_N » (Native Layer) permet de créer une isolation efficace entre les différents domaines.

- Coupe transversale des transistors de puissance

Nous montrons à titre d'exemple, la section transversale des interrupteurs haut et bas (HS et HSC), (LS et LSC) sur la Figure 5-2. Les FET de puissance HS et HSC partagent le même « NWELL » puisque leurs bulk sont connectés à $V_{in,p}$ dans notre cas. Notons qu'un « Deep NWELL » est placé sous le NWELL simplement parce qu'il est partagé par les FETs LS et LSC. Ces transistors LS et LSC ont leur « PWELL » isolés du substrat par utilisation du Deep NWELL. Les coupes transversales sont remodelées en Figure 5-3 pour montrer certaines capacités parasites existantes, les *capacités de jonction*, qui sont en parallèle des diodes substrat dans la section transversale. Bien que la présence de Deep NWELL soit un bon moyen d'isoler le domaine analogique (AVDD, AVSS) du domaine de puissance (PVDD, PVSS), les capacités parasites peuvent créer des perturbations* dans les blocs sous domaine analogique. L'utilisation de « NT_N » aide dans une telle situation, puisque cette couche native est simplement non dopée et représente une grande résistance lorsqu'elle est utilisée. La résistivité de la « NT_N » est estimée à $\rho = 2.15 \times 10^9 \Omega \cdot \mu m$ à température ambiante. Avec une telle réalisation et en supposant de bonnes connexions à chaque domaine de tension, aucune perturbation générée dans le pont d'alimentation ne pourrait se propager vers un circuit analogique voisin.

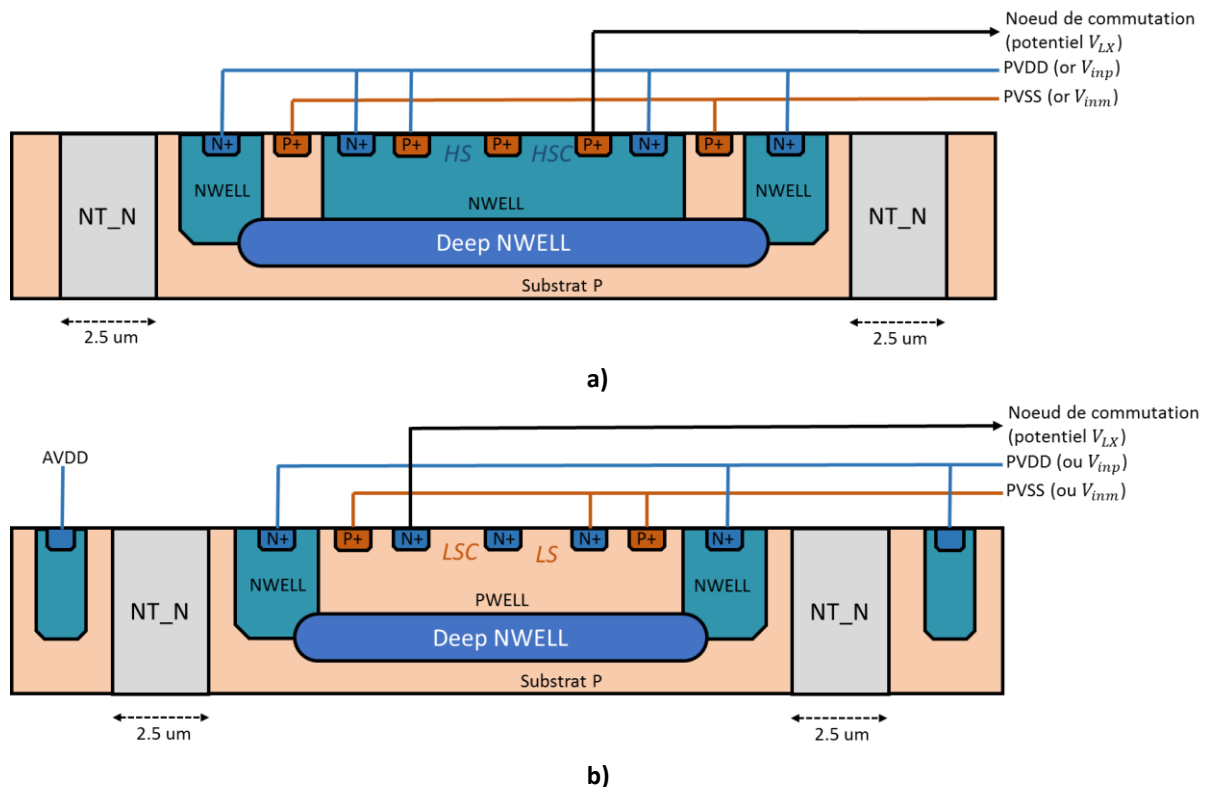


Figure 5-2: Section transversale de : a) HS et HSC et b) LS et LSC.

* Les perturbations proviennent du potentiel au nœud de commutation de l'étage de puissance, V_{LX}

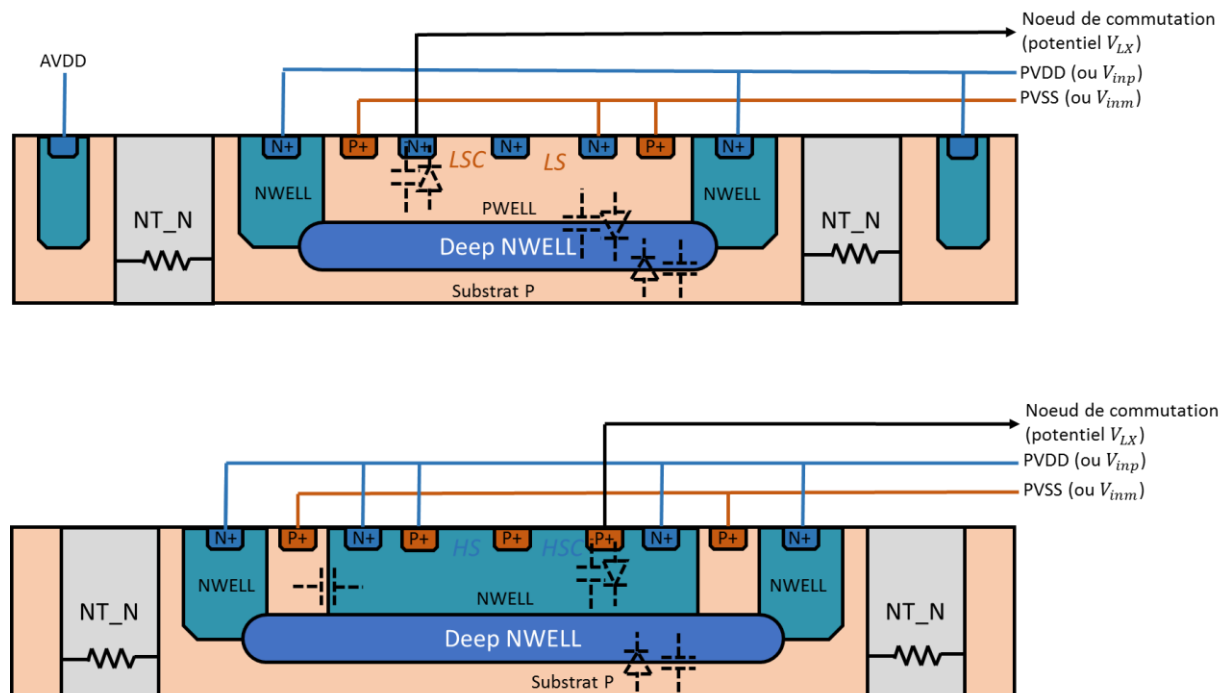


Figure 5-3: Mise en évidence du couplage parasite au substrat avec les coupes transversales.

- Layout des blocs internes

Nous montrons sur la Figure 5-4, le Layout du pont de puissance de chaque phase. HS et HSC, ainsi que LS et LSC peuvent partager le même WELL (NWELL et PWell) puisque HS et HSC ont leurs bulks connectés à $V_{in,p}$ et LS et LSC ont leurs bulks à $V_{in,m}$. Entre les FETs de puissance, se trouvent les drivers - y compris le contrôle de non-recouvrement en dessous, et les buffers de pilotage des transistors de puissance au milieu. Notons que c'est l'endroit idéal pour placer certains condensateurs de découplage utilisés par le HVTVR. Dans notre cas, avec les contraintes en surface, nous avons dû relocaliser ces condensateurs hors des blocs d'étage de puissance ; ce qui implique l'utilisation de couches métalliques assez épaisses pour contacter les grilles, avec de faibles résistances de contact. Le transistor bypass est situé au-dessus des drivers en raison de l'emplacement des bumps (qui connectent au package). Notons que pour cette réalisation, nous avons accès à deux couches métalliques épaisses "Mz" et "Mu" et la couche "AP" pour les connexions entre bumps. La couche métallique "Mz" ($\sim 10 \text{ m}\Omega$ par carré) peut être dédiée à l'acheminement des signaux de sortie HVTVR et la connexion des grilles tandis que la couche "Mu" (avec $\sim 5 \text{ m}\Omega$ de résistivité par carré) peut être utilisée pour l'interconnexion entre les dispositifs empilés (HS et HSC, LS et LSC) pour une addition négligeable de résistance parasite dans le pont de puissance, et donc moins de pertes additionnelles de conduction. Les connexions à $V_{in,p}$ et $V_{in,m}$ peuvent être réalisées par l'utilisation de la couche « AP », qui entre en contact avec les bumps à partir desquelles les signaux peuvent être acheminés hors du die.

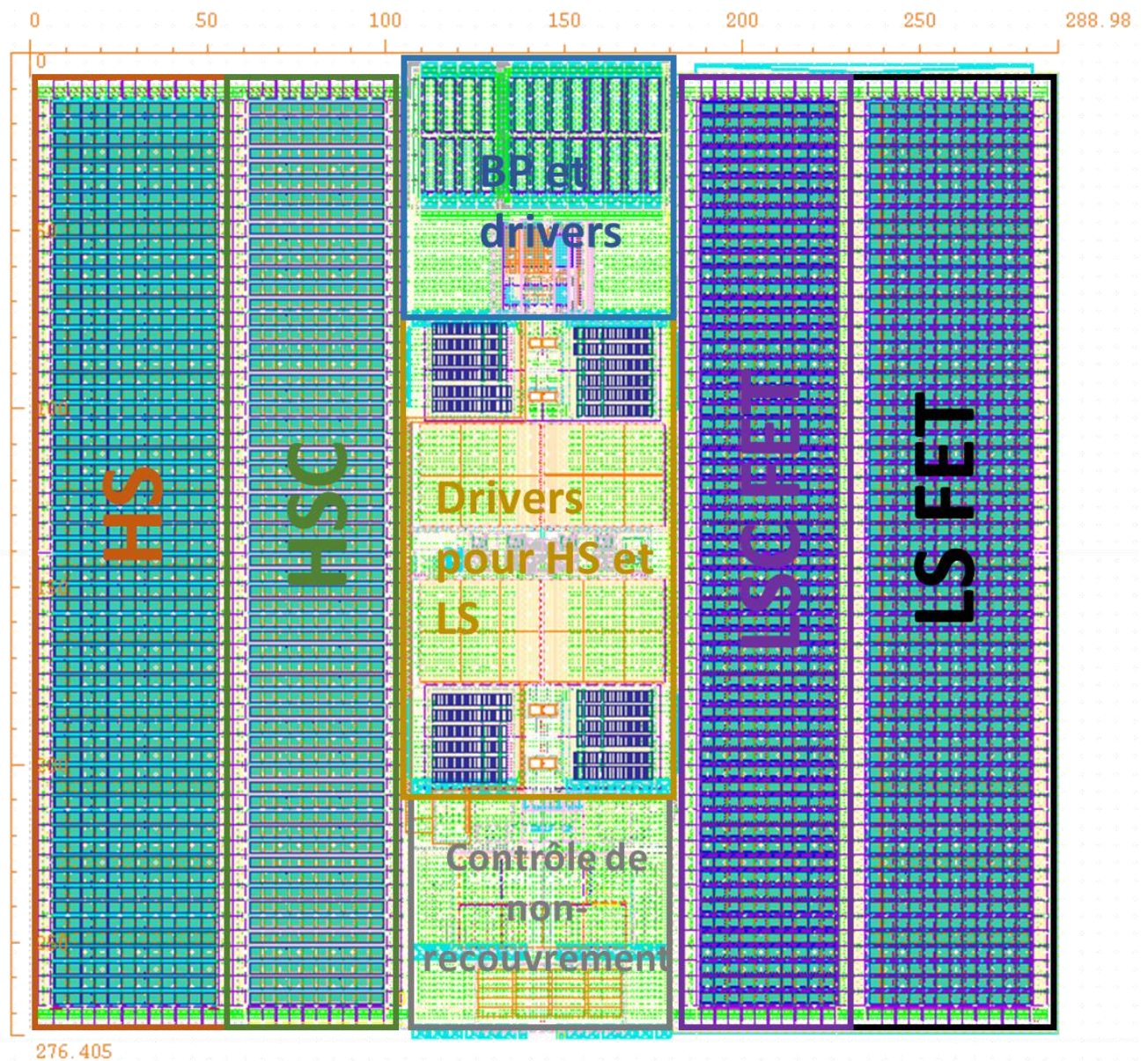


Figure 5-4: Layout pour étage de puissance de chaque phase.

Les deux générateurs PWM (comme décrit dans la section 4.5) qui génèrent les signaux (P_H et P_L) pour les 3 phases occupent à peine la moitié d'un étage de puissance. La Figure 5-5 représente le Layout de chaque bloc générateur de PWM. La majeure partie de surface utilisée est consommée par le DAC d'entrée R-2R et le condensateur (C_{FLT}) utilisé pour intégrer le signal.

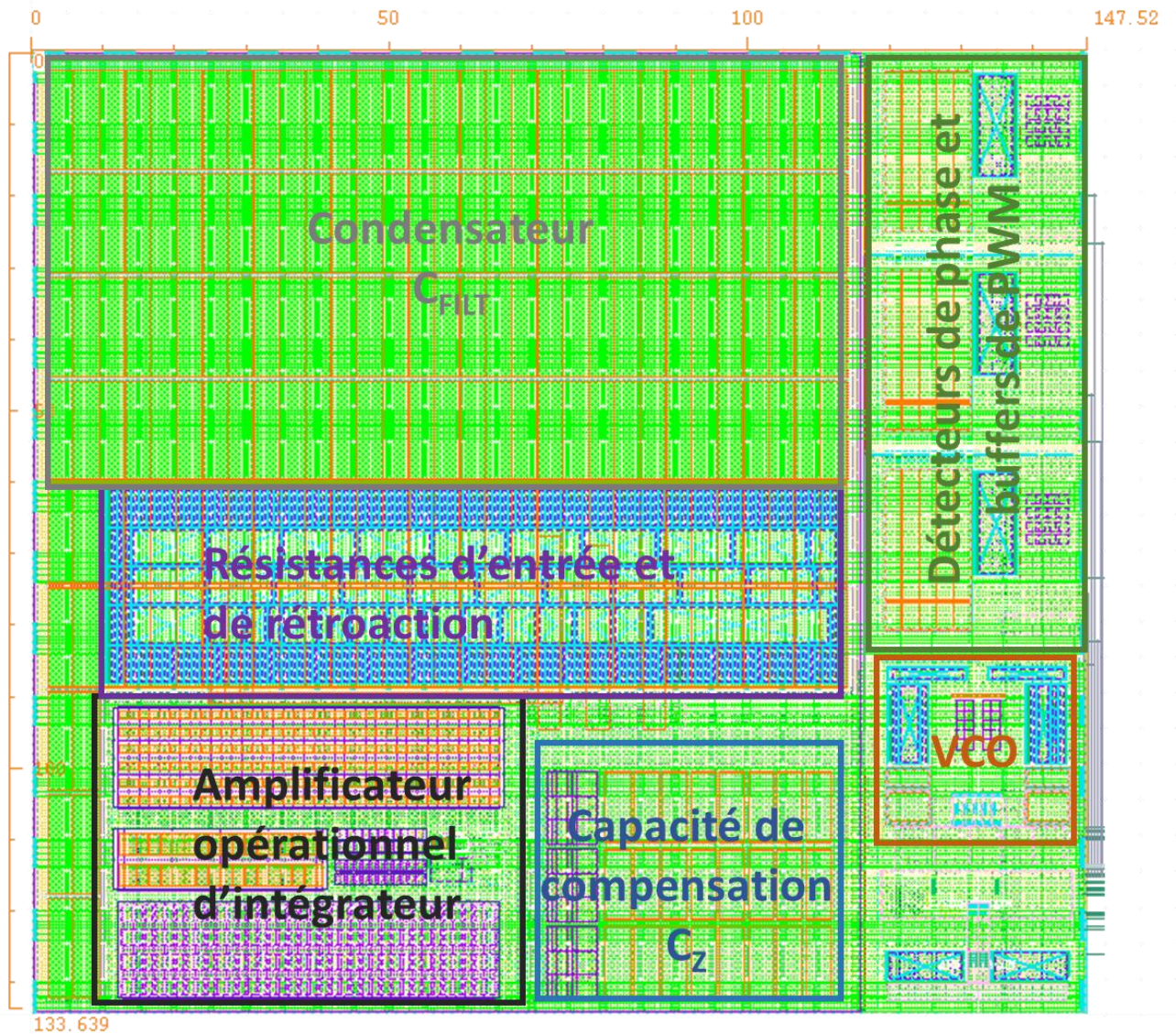


Figure 5-5: Configuration du générateur PWM multi-phase pour chaque impulsion (P_H or P_L).

La Figure 5-6 montre le Layout de chaque comparateur utilisé. Les comparateurs sont conçus tel que décrit dans la section 4.6.1 du chapitre 4. Les éléments qu'on remarque le plus, sont les résistances de DAC et les condensateurs de découplage tout autour du comparateur. Ces condensateurs de découplage sont utilisés pour stabiliser la tension d'alimentation locale des comparateurs (1V) générée par le LDO correspondant, et aussi pour réduire l'impact du bruit de commutation des comparateurs sur leur alimentation.

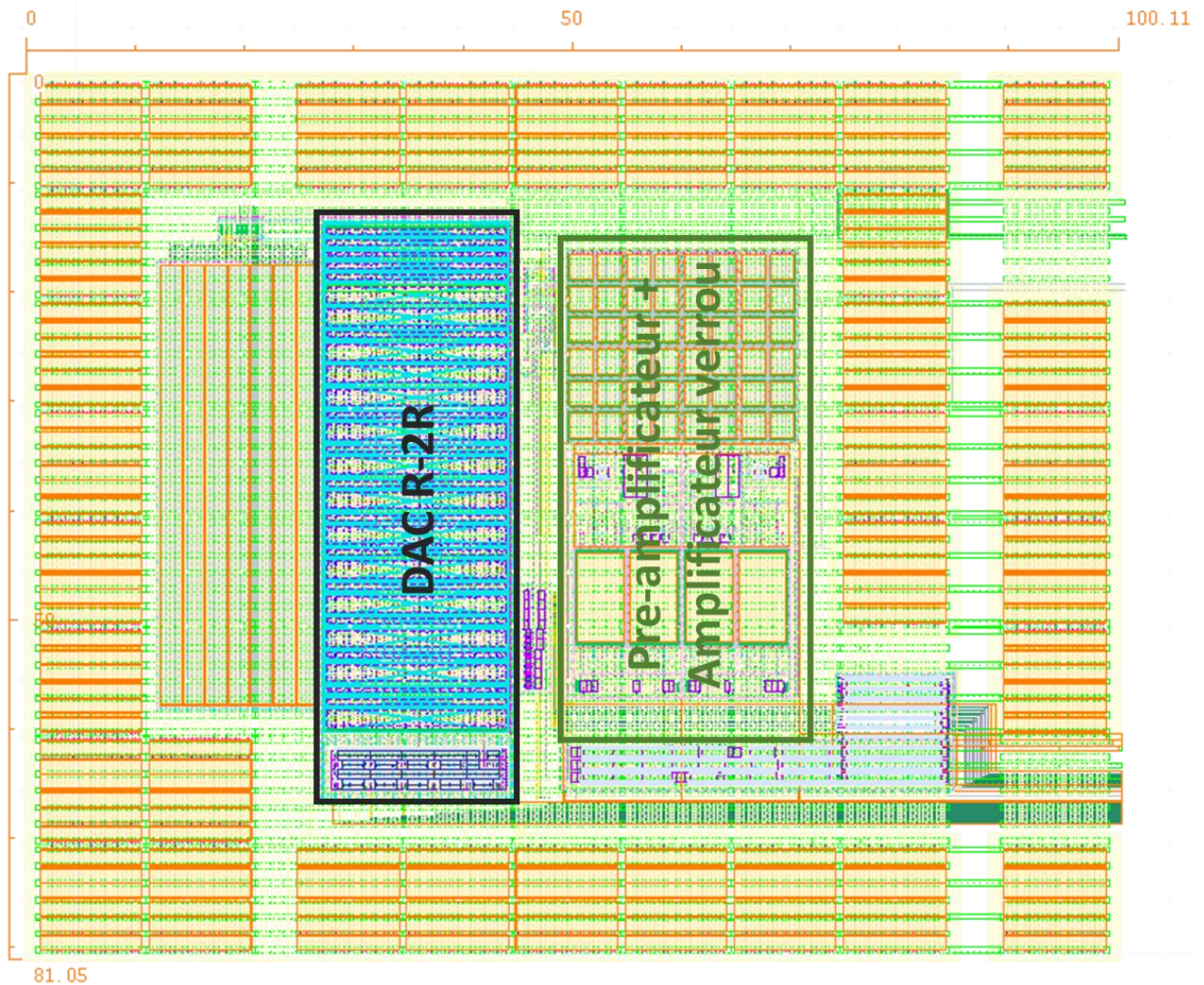


Figure 5-6: Layout de chaque comparateur (deux comparateurs nécessaires).

Nous présentons finalement en Figure 5-7, la vue globale de Layout de l'IVR 3 états, avec le positionnement des trois phases d'étage de puissance. Deux zones sont réservées pour former le condensateur de découplage C_{die} allant de 1.5 nF à 2nF que nous avons évalué dans la section 4.3 du chapitre 4. L'ESR de C_{die} (R_{c_die}) est créé par utilisation des couches de routage entre les deux blocs de condensateur ainsi que le routage entre étages de puissance. Le réseau (capacité+ résistance) ainsi généré a été évalué après Layout pour confirmer que l'impédance totale C_{die} correspond à la valeur escomptée. La figure montre qu'un tiers du die est utilisé pour tous les blocs analogiques requis tels que les générateurs PWM, les comparateurs, les protections OTP et OCP, la protection ESD et enfin le contrôleur numérique.

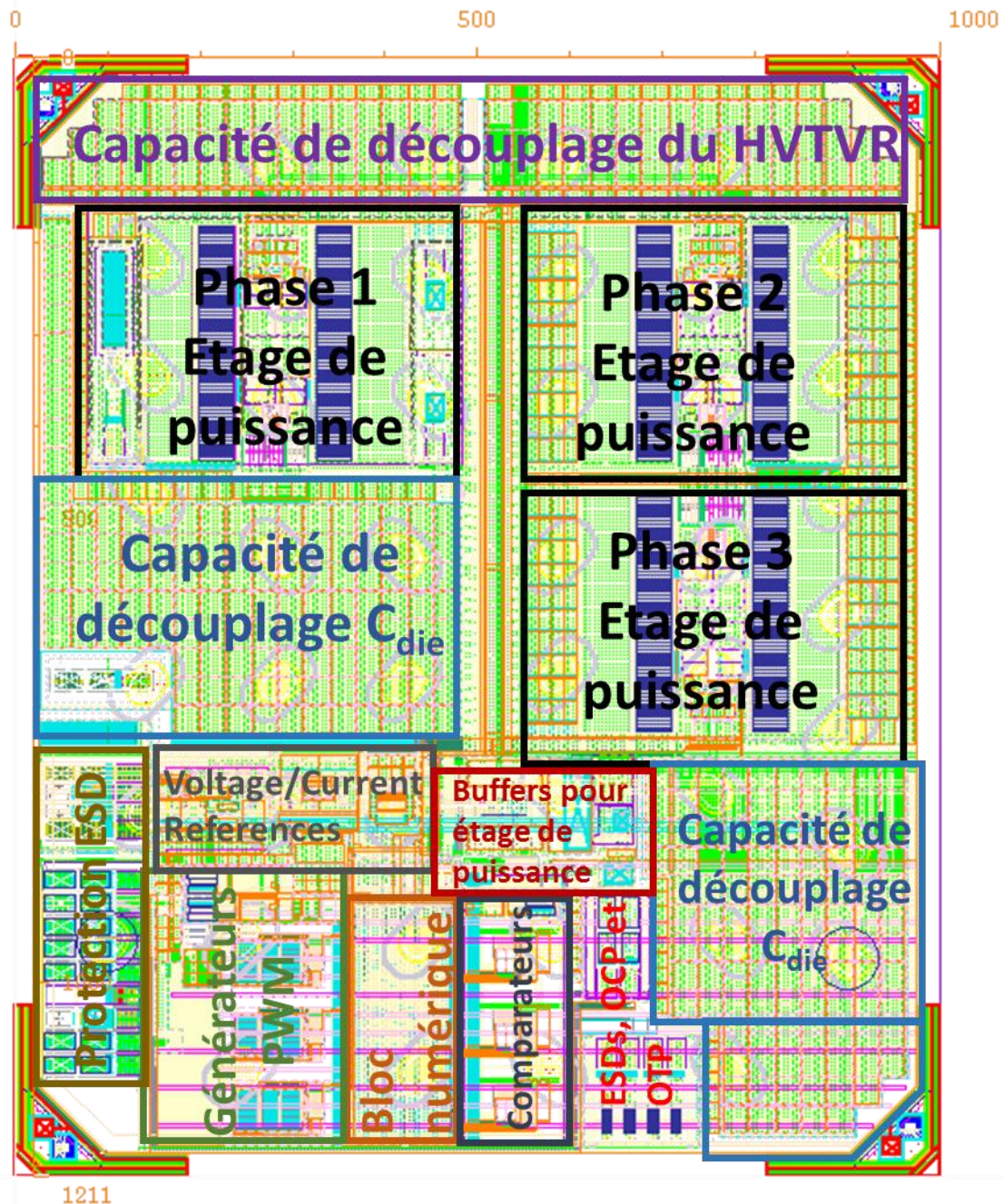


Figure 5-7: Layout global de la portion active du convertisseur intégré proposé.

5.2. Méthode d'évaluation de la puce

Afin de procéder au test de l'IVR 3 états, une carte d'évaluation a été générée, et est montrée en Figure 5-8. En outre, le package du régulateur a été élargi pour permettre l'utilisation de différentes valeurs de capacité et d'inductance pour une expérimentation plus complète. Nous montrons également sur la Figure 5-9, le schéma du package de l'IVR avec les différents éléments le composant. A part la puce, les inductances et la plupart des condensateurs, nous pouvons voir quelques résistances intégrées, ajoutées pour modéliser la charge du processeur avec un circuit d'activation de transitoires de charge. Le circuit d'activation de transient est placé de la même façon qu'un processeur le serait, et présente donc un PDN avec le die du convertisseur. Notons également que les condensateurs sont fixés de telle manière qu'ils peuvent facilement être enlevés ou remplacés, pareil pour les inductances. En outre, nous pouvons voir quelques capacités parasites modélisées aux points de mesure de l'IVR. Ces capacités sont des éléments parasites créés les lignes de routage du package. Enfin la Figure 5-10 montre un diagramme de la configuration utilisée pour les mesures.

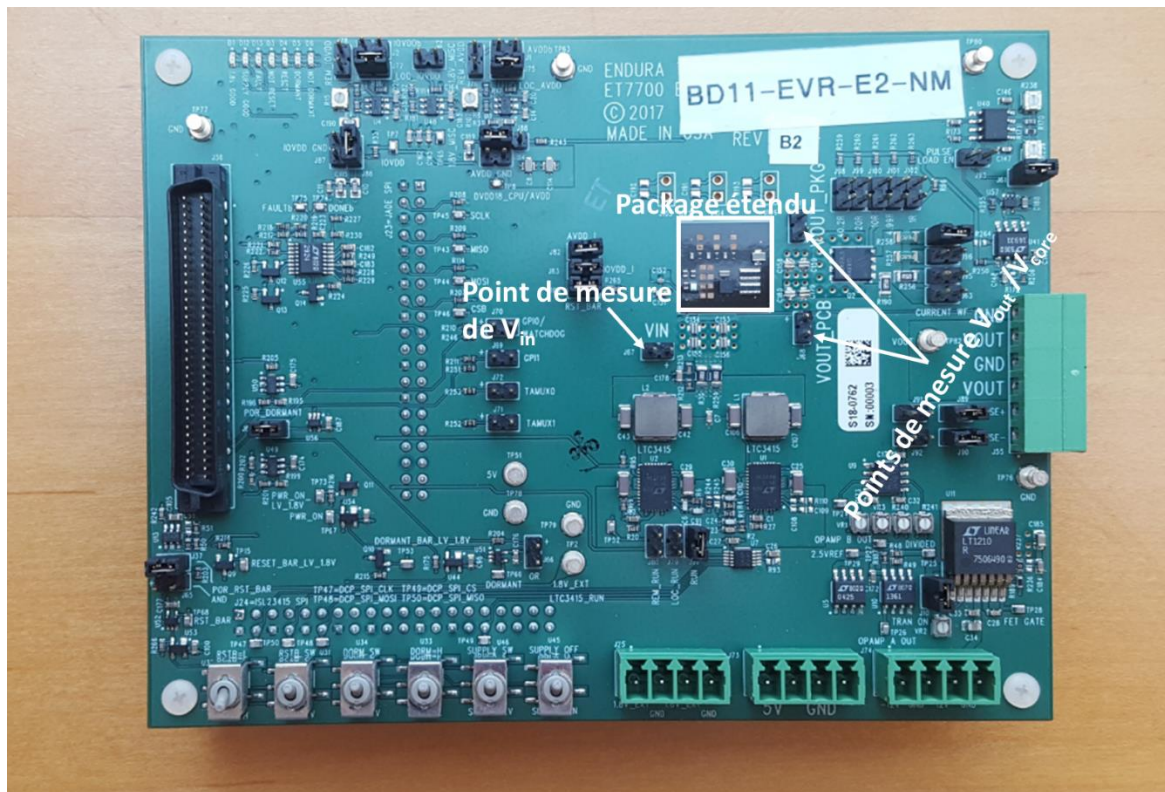


Figure 5-8: Photo de carte de test montrant le placement du prototype.

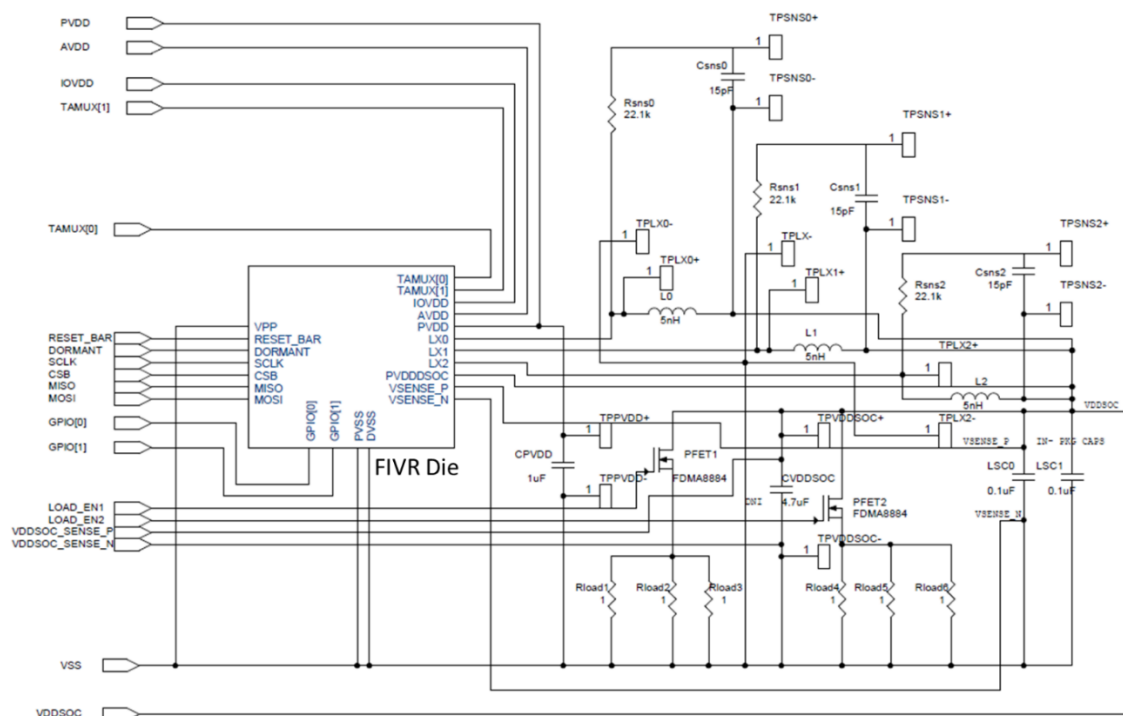


Figure 5-9: Schéma représentant le circuit du package.

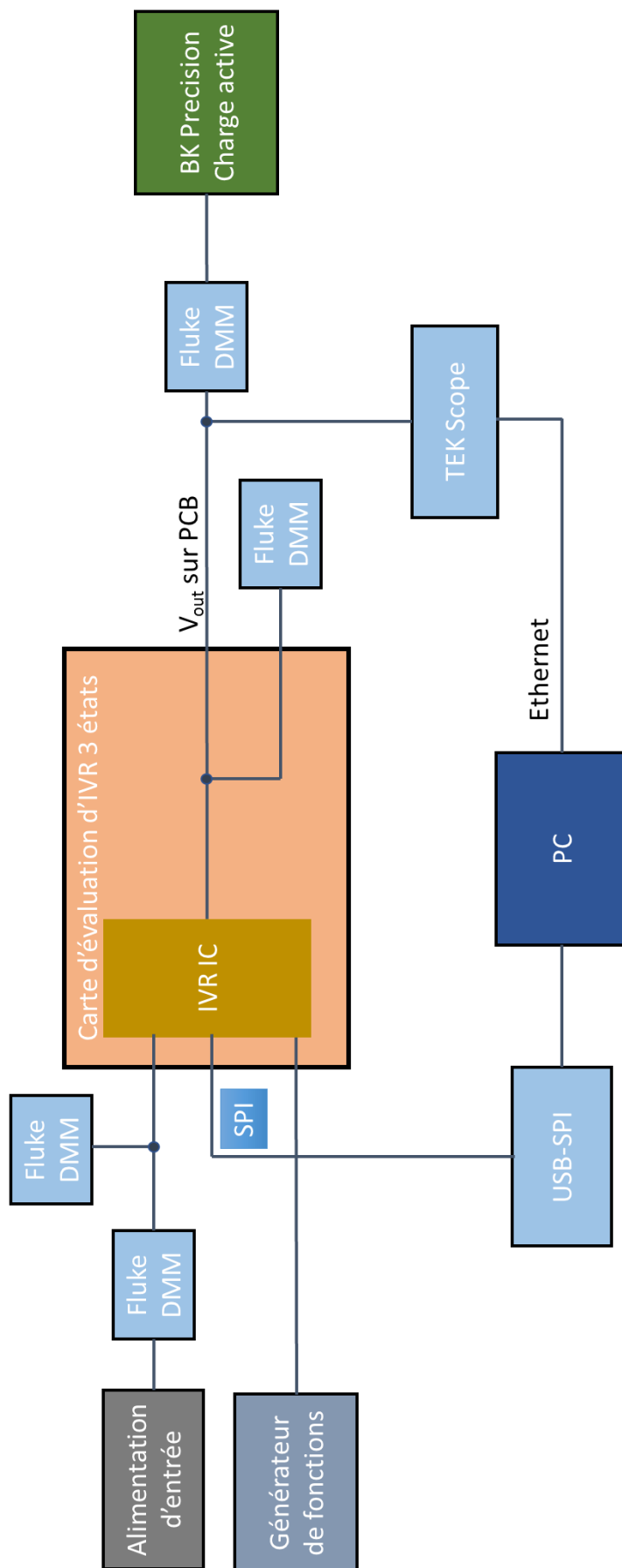


Figure 5-10: Diagramme de configuration pour les mesures de l'IVR.

Une interface graphique est utilisée sur un PC pour envoyer des commandes via l'interface USB-SPI. Dans le bloc numérique de la puce, est mis en œuvre une communication SPI pour le contrôle des registres (au lieu de l'I2C). Un appareil « BK Precision » est utilisé comme charge et, avec un oscilloscope « TEK », les informations de dynamiques de charge et de tension de sortie sont envoyées à l'ordinateur. Notons que l'utilisation du BK Precision comme charge est juste pour établir les mesures d'efficacité tandis que la régulation transitoire est évaluée en utilisant les circuits transitoires à l'intérieur du package comme décrit précédemment. Des sondes DMMs sont utilisées soit comme sonde de tension ou sonde de courant et un dernier dispositif est utilisé comme générateur de fonction afin de permettre l'automatisation des mesures par l'utilisation de scripts sur ordinateur.

5.3. Résultats expérimentaux et discussion

L'IVR 3 états proposé, occupe une surface de die de 1mm x 1mm, prenant en compte tout le circuit actif comprenant le pont de puissance et les drivers, les générateurs PWM et tous les autres blocs nécessaires (bandgap, oscillateur, etc.). Comme nous l'avons mentionné dans la section 4.2.1.4, nous avons opté pour une valeur nominale d'inductance de $\sim 5\text{nH}$ sur le package ; chaque inductance occupant 1mm x 0.5 mm en surface. Notons que l'épaisseur de ces inductances est de 0.5 mm, qui est assez faible pour permettre l'intégration en plateformes portables. La valeur effective d'inductance à 100 MHz est évaluée à 4.8 nH et le DCR est d'environ 6 m Ω . La Figure 5-11 représente un tracé de la valeur d'inductance par rapport à la fréquence montrant la bande utile de l'inductance comme étant 400 MHz. En outre, les condensateurs de découplage pour la charge sont placés sur le package comme discuté plus tôt, avec la possibilité de tester des valeurs de 200 nF à 1 μF à la sortie du FIVR et 100 nF à 400 nF à l'entrée (Figure 5-12). Chaque condensateur de package occupe 0.3 mm x 0.6 mm avec une épaisseur de 0.3 mm. La surface totale de package (Figure 5-13) occupée est d'environ 5 mm² pour une utilisation des valeurs de capacité de découplage nominales et le die est connecté en flip-chip. La fréquence de commutation utilisée pendant la mesure est de 100 MHz, sauf indication contraire.

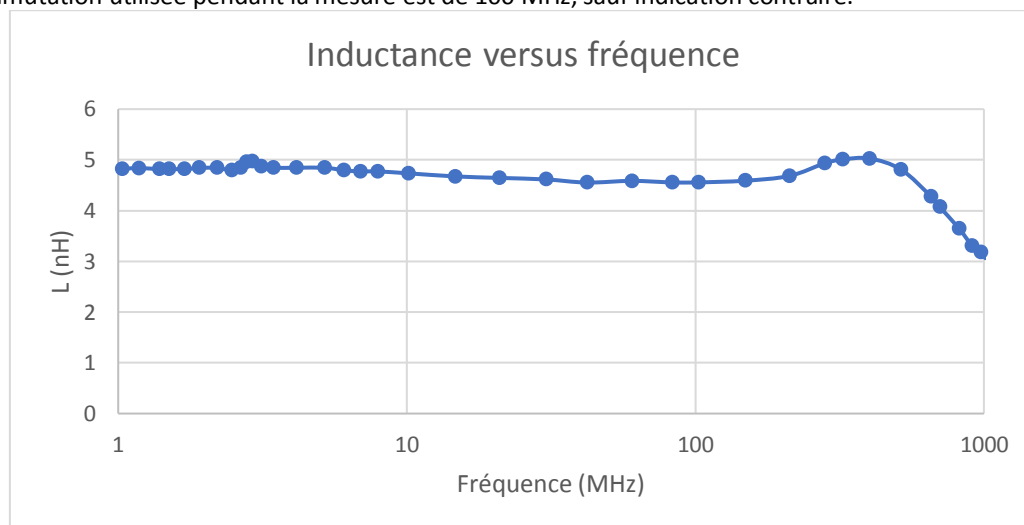


Figure 5-11: Graphe d'inductance versus fréquence pour la 5nH utilisée.

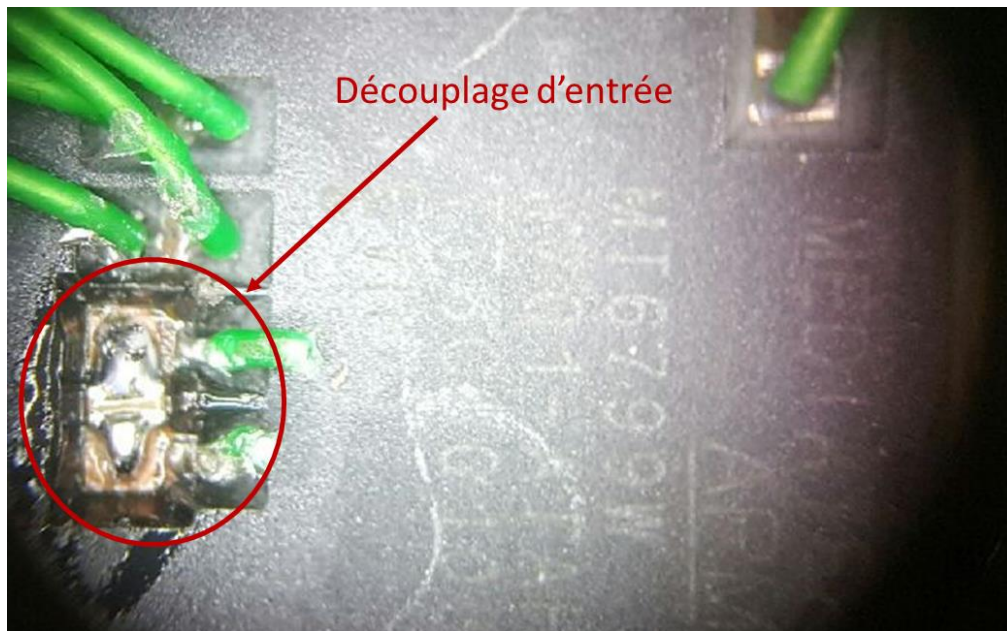


Figure 5-12: Condensateur de découplage d'entrée monté sur package.

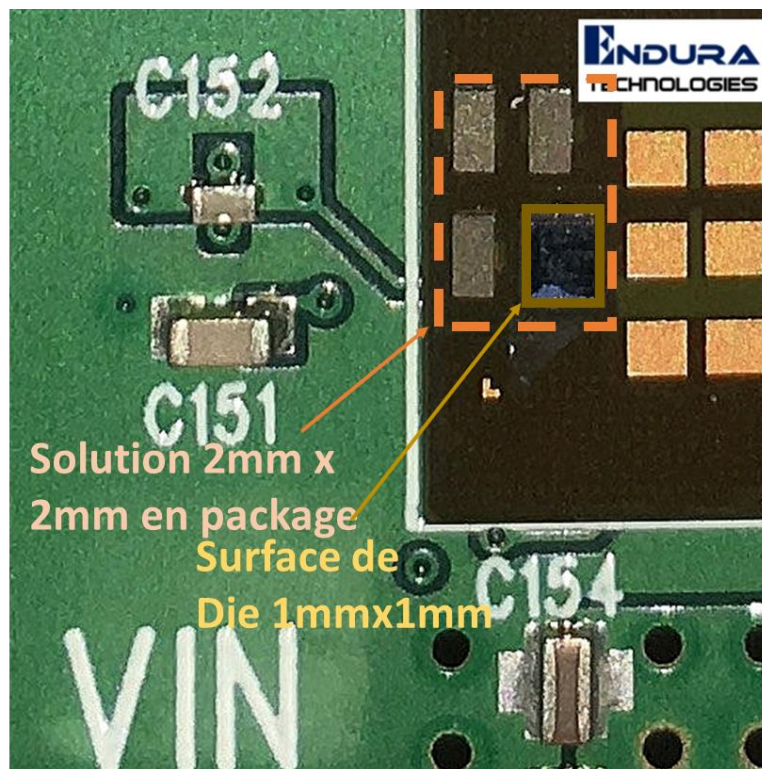


Figure 5-13: Vue du package avec die connecté en flip chip (5 mm^2) ; Dans le carré à gauche, les contours du package sont identifiés ($2.5 \text{ mm} \times 2 \text{ mm}$).

La Figure 5-14 représente la réponse transitoire de charge du régulateur intégré. Deux transitoires de charge de $1\text{A}/100\text{ns}$ et $3\text{A}/100\text{ns}$ sont appliqués avec l'utilisation du circuit actif de génération de transitoires précédemment décrit ; et nous observons environ 18 mV et moins de 50 mV de surtension (ou Droop) pour respectivement des échelons de 1A et 3A . En raison de la discussion de la section 3.1.3 du chapitre 3, le convertisseur a une bande passante d'environ 300 MHz . Ainsi, sur la base du Tableau 4-3, nous prévoyons une surtension maximale de 5% pour un transitoire de charge de 3A , ce qui est confirmé par la valeur de Droop observée ($< 50 \text{ mV}$ pour 1V nominal). En supposant un transitoire de charge 3A (moyenne charge à maximum), le Droop de moins de 5% permet de se débarrasser du besoin d'implémentations matérielle ou logicielle dans le

microcontrôleur du processeur (discussion de la section 4.2.2.1.3) et de le faire fonctionner dans une marge de tension typique pour le maximum de performance.

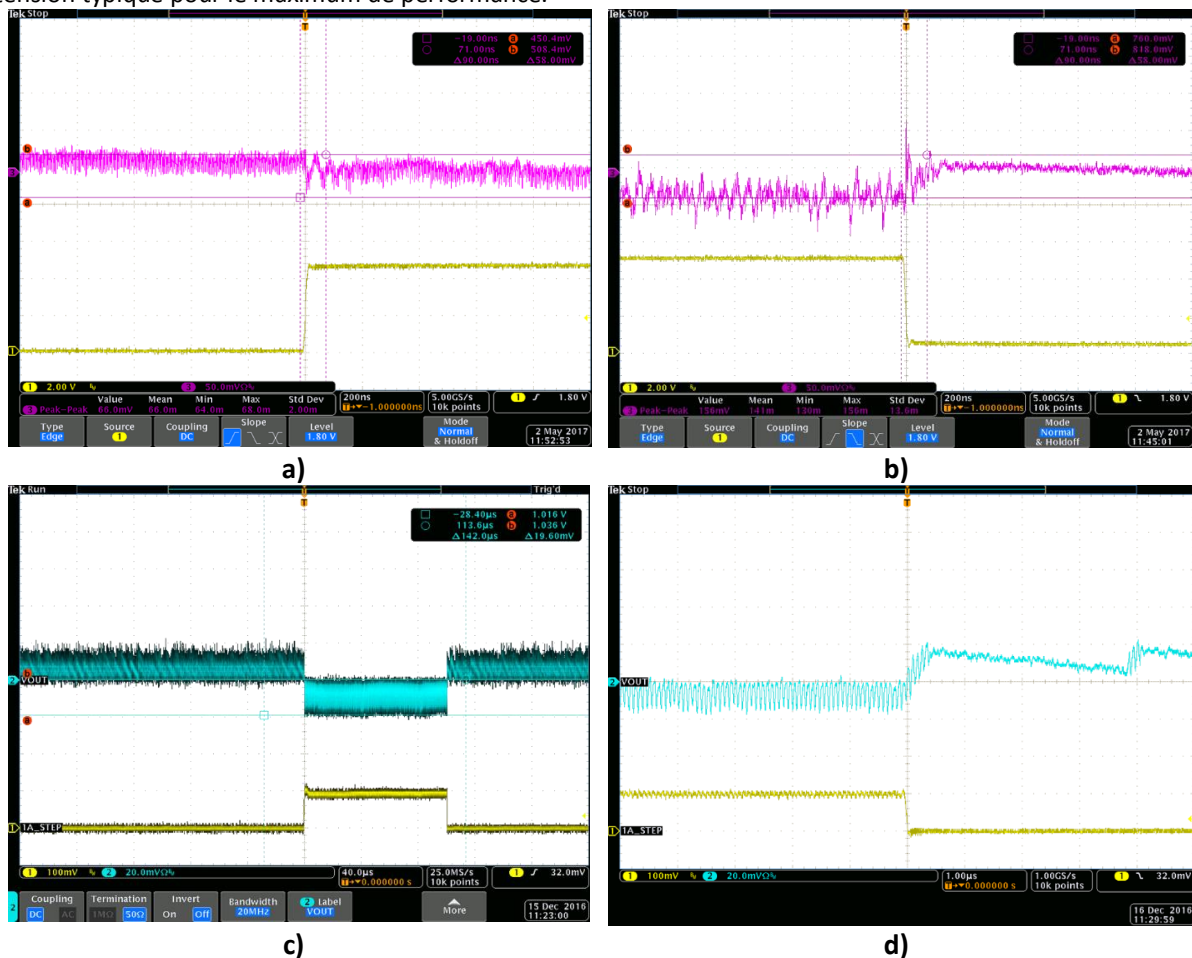


Figure 5-14: a) Echelon positif de 2.5A de courant de charge : Courbe en rose – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge; b) Echelon négatif de 2.5A de courant de charge : Courbe en rose – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge; c) Echelon de 1A de courant de charge : Courbe en vert – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge; d) Zoom sur réponse à 1A de transient : Courbe en vert – Tension du processeur mesurée par sonde active – Courbe en jaune – Courant de charge.

La Figure 5-15 montre un autre aspect de régulation dynamique (souvent peu mentionné), la régulation de sortie lorsque la tension d'alimentation varie. La mesure est effectuée en appliquant un échelon de tension de 200 mV sur l'alimentation de l'IVR. Nous observons une surtension d'environ 40 mV essentiellement liée à la bande passante des boucles locales PWM, qui doivent être capables d'adapter le rapport cyclique en fonction de l'entrée.

Nous ajoutons un dernier aspect de régulation dynamique (Figure 5-16), la commutation de tension de sortie pour l'utilisation de DVFS à granularité fine dans le processeur. Comme le changement de cette tension dépend du découplage en sortie (le générateur PWM étant déjà fixé), nous mesurons le temps de commutation de l'IVR par rapport à la valeur de capacité totale en sortie comme 300 ns/uF, pour une sortie allant de 0.5 V (tension minimum) à 1.1 V (tension maximum). Sur la base de la section 4.2.2.2, la valeur de capacité minimum requise pour l'IVR 3 états est d'environ 200 nF, ce qui nous donne bien une vitesse de commutation de tension maximale de 10 mV/ns. Cela correspond à la valeur optimale de commutation de tension pour des valeurs optimales d'économie d'énergie, comme estimé dans la section 4.1 du chapitre 4.

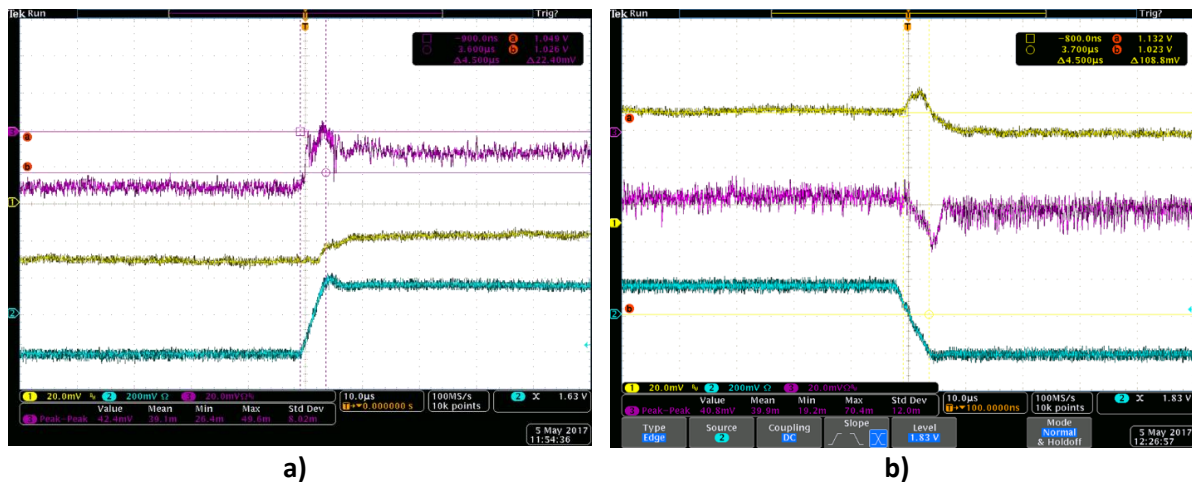


Figure 5-15: a) Régulation dynamique avec 200 mV d'échelon positif de tension d'entrée : Courbe en violet – Tension du processeur mesurée par sonde active – Courbe en vert – Courant de charge – Courbe en jaune – Tension d'entrée filtrée; b) Régulation dynamique avec 200 mV d'échelon négatif de tension d'entrée – Courbe en violet – Tension du processeur mesurée par sonde active – Courbe en vert – Courant de charge – Courbe en jaune – Tension d'entrée filtrée.

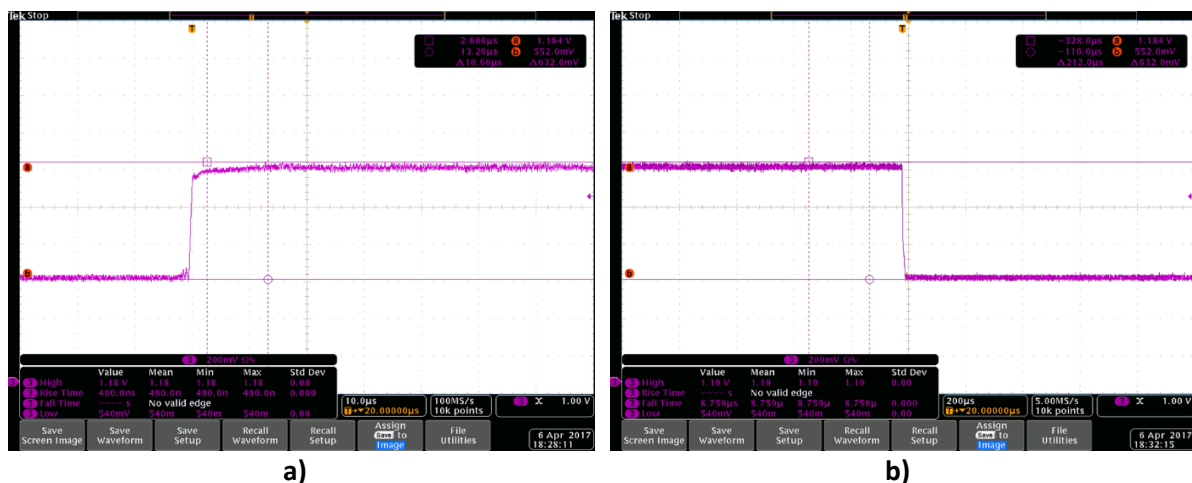
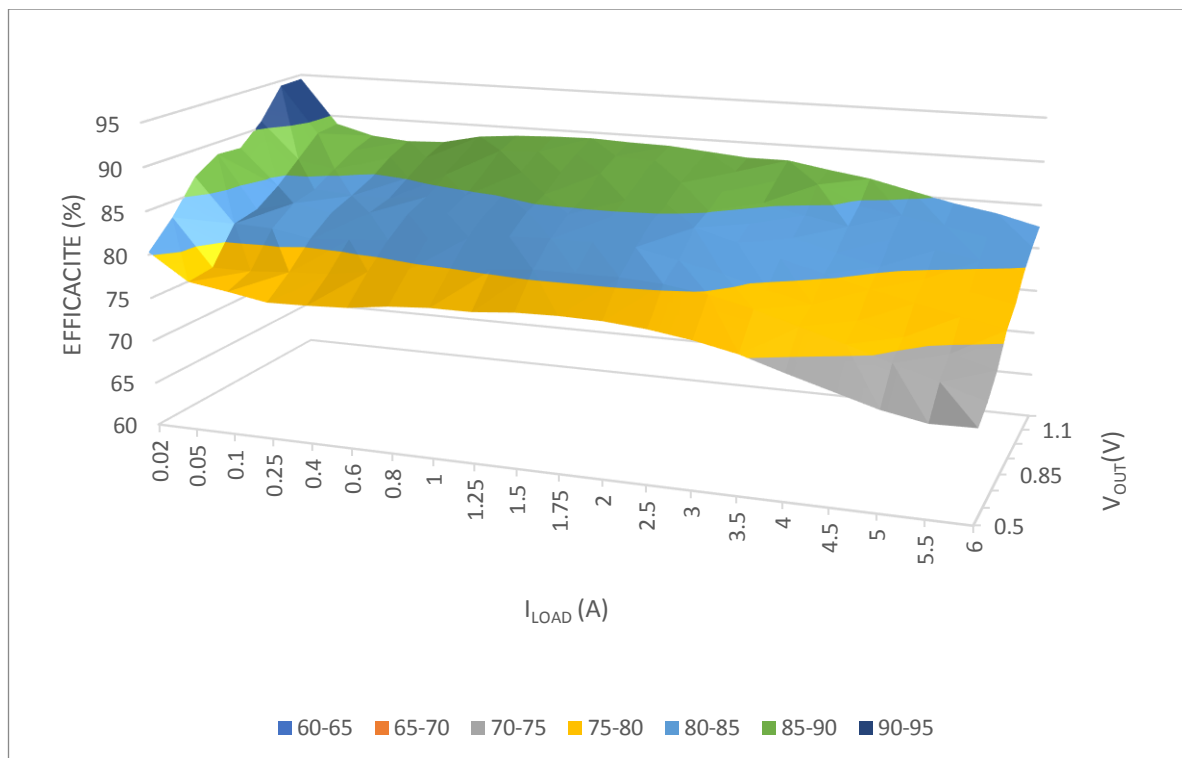
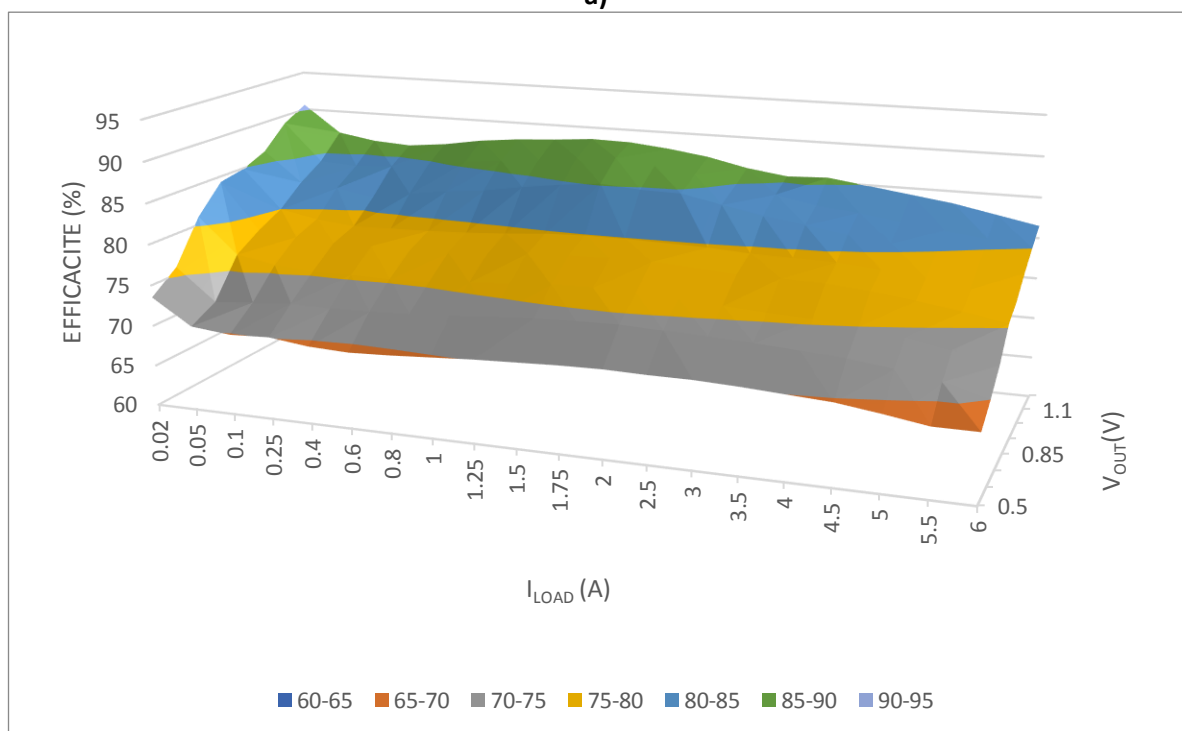


Figure 5-16: a) Commutation de sortie positive (0.5V à 1.1V) ; b) Commutation de sortie négative (1.1V à 0.5V).

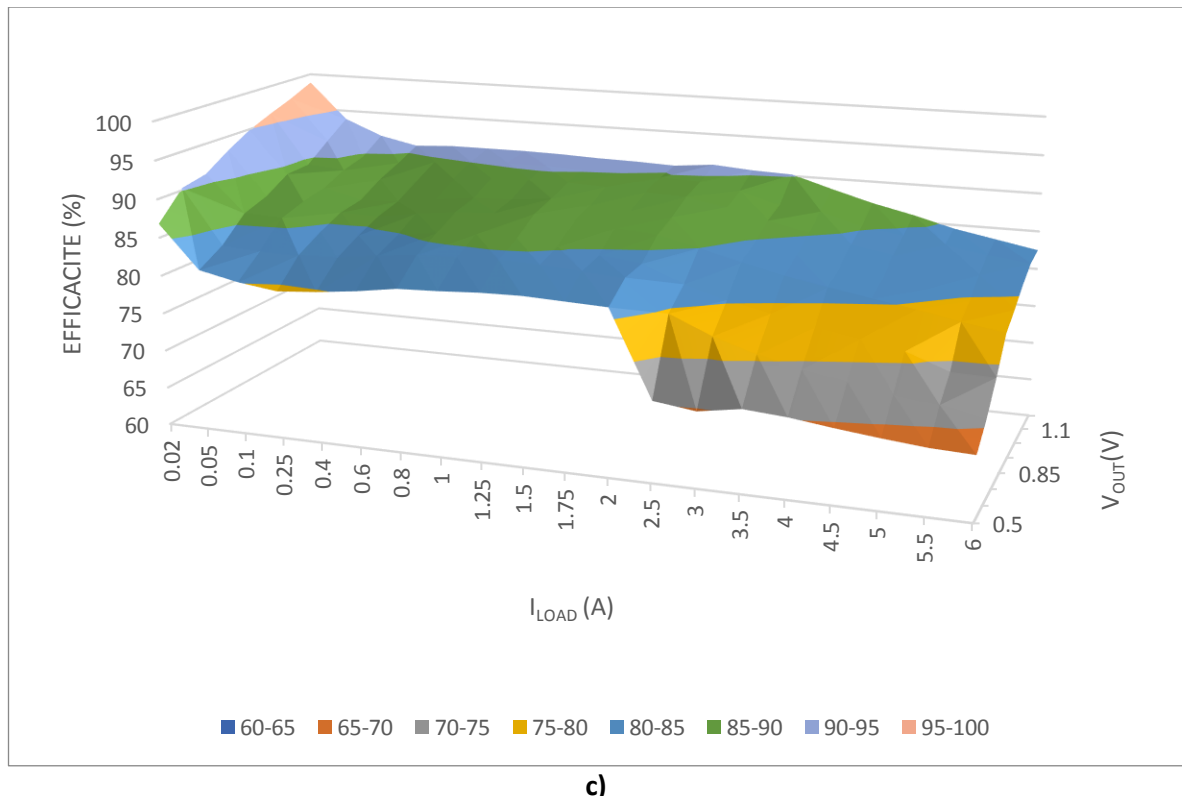
La Figure 5-17 montre des courbes de rendement de puissance pour une plage de charge de 0 à 6A avec des tensions de sortie de 0.5 V à 1.2 V. Trois graphes sont présentés pour différentes inductances, et pour chaque inductance, une fréquence de commutation appropriée est utilisée (3nH @ 130 MHz, 5nH @ 100 MHz et 10 nH @ 60 MHz). Une efficacité maximum de 88% est obtenue à la tension nominale (1V) pour une commutation à 100 MHz et 90% pour la charge de travail la plus intensive du processeur à 1.2 V. Le pic de rendement à la tension de sortie nominale est d'environ 90% à 60 MHz et 86% à 130 MHz. Outre les pertes décrites dans la Figure 4-50, la résistance AC totale de l'inductance est estimée à 150 mΩ à 100 MHz et le total de perte qu'elle induit est d'environ 40 mW (~ 7% des pertes totales) à la charge moyenne de 3A. On peut également voir que les courbes d'efficacité sont planes même allant à des charges très légères ; ce qui prouve l'impact minimum du courant total consommé par les blocs analogiques du Buck. Il serait possible d'obtenir des valeurs de rendement bien plus élevées avec une meilleure optimisation du Layout. Avec une meilleure stratégie de placement des capacités de découplage de HVTVR (plus près des grilles de transistors de puissance) les pertes de conductions et de commutation seraient encore meilleures.



a)



b)



c)

Figure 5-17: Rendement de l'IVR par mesure du prototype ; a) $L=5\text{ nH}$ @ 100 MHz ; b) $L=3\text{ nH}$ @ 130 MHz ; c) $L=10\text{ nH}$ @ 60 MHz.

Nous présentons finalement le Tableau 5-1 qui compare les performances du convertisseur intégré 3 états aux réalisations de la littérature. Nous rappelons les critères de comparaison des convertisseurs définis dans le chapitre 1 qui sont essentiellement :

- **Le rendement** (qui peut s'avérer insuffisant pour déterminer la consommation d'énergie) ;
- **La surface consommée** ;
- **La régulation dynamique de charge** qui est de plus grand intérêt dans ce travail (puisque'elle impacte non seulement les performances du processeur mais également la consommation d'énergie du système).

Le tableau confirme que le travail de cette thèse montre de meilleures performances transitoires (4% de marge de tension de processeur) comparé aux travaux précédents. La valeur de marge de tension de processeur mentionnée consiste en l'échelle de bruit maximal attendu en sortie du convertisseur et normalisée à 1A d'échelon de courant. Nous rappelons que ce bruit maximal est basé sur la surtension maximale observée sur la charge. De même, nous définissons une densité d'intégration représentée par la quantité de surface occupée par ampère. Plus ce paramètre est faible, plus le convertisseur est compact. Sur cette base, le régulateur 3 états intégré s'avère être très compétitif comparé aux autres travaux. Il faut également ajouter que non seulement la surface occupée par le convertisseur présenté est compétitive, mais son épaisseur maximale peut être aussi petite que les inductances le permettent, ce qui est un avantage par rapport aux topologies telles que [22] ou encore les approches 3D [24], [25], [69]. Pour résumer les éléments clés, basés sur les mesures et la comparaison du tableau récapitulatif :

- Le convertisseur Buck 3 états mesuré en utilisant sa valeur nominale de capacité de découplage, fournit une vitesse de commutation de tension élevée permettant un maximum d'économie d'énergie de système* par DVFS pour un micro-processeur cadencé à 2.4 GHz. En utilisant l'approche de conception que nous avons défini, ce convertisseur peut être intégré avec le processeur dans toute technologie, et verra sa régulation dynamique augmenter avec la fréquence d'horloge du processeur. Cela signifie que le Buck 3 états fournira pour chaque technologie, la régulation dynamique optimale pour le micro-processeur.

* Régulateur de processeur + Buck

Résultats expérimentaux de prototype de l'IVR 3 états proposé

- Le régulateur proposé garantit l'utilisation du processeur dans des conditions de performances optimales et évite les complications rajoutées pour réduire la marge de tension. Comparé à la littérature, il permet à la bande de garde d'être réduite à moins de 5% (un facteur de 2 basé sur les valeurs typiques présentées par les autres réalisations).
- Le rendement maximal du prototype mesuré est la valeur maximum démontrée dans le domaine des IVRs (~ 90%), et ce pour une faible surface consommée, prouvant que notre approche de réalisation de l'étage de puissance est très efficace.
- Ce régulateur 3 états utilise une stratégie d'intégration qui permet la réalisation de PCB très minces et a une densité d'intégration compétitive.

Travaux	[14]	[19]	[20]	[45]	[21]
<i>Source & année</i>	ISHPCA 2008	IJSSC* 2012	CICC 2012	IJSSC 2013	IJSSC 2013
<i>Technologie</i>	65 nm CMOS	130 nm CMOS	45 nm SOI	90 nm CMOS	130 nm CMOS
<i>Niveau d'intégration</i>	Embarqué en package	Monolithique 2D	Monolithique 2D	N/A	N/A
<i>Nombre de phases</i>	8	4	4	1	1
<i>Fréquence nominale de commutation (MHz)</i>	100	50-200	80	40 – 120	100
<i>Inductance de sortie nominale (nH)</i>	13	1	26	4	7
<i>Type d'inductance</i>	Bobine à air	Bobine à air	Bobine à air	Trace de PCB	Trace d'interconnexion package
<i>Capacité de sortie nominale (nF)</i>	40	10	23	150	9.8
<i>Tension d'entrée nominale (V)</i>	1.8	2.4	1.5	2.5	1.2
<i>Tension de sortie nominale (V)</i>	1	1.2	0.9	1.2	0.9
<i>Courant maximum de charge (A)/phase</i>	0.1875	0.2	0.3	0.36	0.37
<i>Transitoire maximum de charge (A)/phase</i>	0.125	0.0375	0.15	0.18	N/A
<i>Marge de tension de processeur %V_{margin} par Ampère</i>	80 %/A	37.5 %/A	11.67 %/A	16.67 %/A [†]	N/A
<i>Rendement maximal (%)</i>	~87	77	83	71	84.7
<i>Commutation maximale de tension de sortie (mV/ns)</i>	30	50	3	N/A	N/A
<i>Densité d'intégration (mm²/A)</i>	N/A	3.33	N/A	1.56	6.08

* IEEE Journal of Solid-State Circuits

[†] Valeurs estimées des graphes de transient du journal

Travaux	[25]	[22]	[56]	[24]	[26]	Ce travail
<i>Source & année</i>	IJSSC 2013	APEC 2014	IJSSC 2014	IJSSC 2018	MWSCAS 2018	Thèse de doctorat
<i>Technologie</i>	45 nm SOI d'IBM	22 nm	65 nm CMOS	14 nm Tri-gate CMOS	130 nm CMOS	28 nm CMOS
<i>Niveau d'intégration</i>	Empilement 3D	Monolithique 2D	Monolithique 2D	Empilement 3D	Embarqué dans le package	Embarqué dans le package
<i>Nombre de phases</i>	8	16	1	1	4	3
<i>Fréquence nominale de commutation (MHz)</i>	100	140	100	90	100	100
<i>Inductance de sortie nominale (nH)</i>	12.5	2.5	28	4.8	5	5
<i>Type d'inductance</i>	Spirale à noyau magnétique	Solénoïde plane à air	Spirale à air	Solénoïde à noyau magnétique à TSV	N/A	Solénoïde à noyau en ferrite
<i>Capacité de sortie nominale (nF)</i>	N/A	112	1.25	6	220	200
<i>Tension d'entrée nominale (V)</i>	1.8	1.7	3.6	1.2	1.5	1.8
<i>Tension de sortie nominale (V)</i>	1	1.05	1.8	0.93	1	1
<i>Courant maximum de charge (A)/phase</i>	0.787	1	0.14	>0.02	2	2
<i>Transitoire maximum de charge (A)/phase</i>	N/A	0.5	N/A	0.025	0.75	1
<i>Marge de tension de processeur %V_{margin} par Ampère</i>	N/A	7.6 %/A	N/A	N/A	8.33 %/A	4 %/A
<i>Rendement maximal (%)</i>	76	90	70.5	80	88	90
<i>Commutation maximale de tension de sortie (mV/ns)</i>	N/A	2	N/A	N/A	1	10
<i>Densité d'intégration (mm²/A)</i>	0.375	1 (avec épaisseur élevée)	28	N/A	N/A	1.33 (avec épaisseur de 0.5 mm)*

Tableau 5-1: Tableau comparatif montrant les performances du FIVR proposé par rapport aux travaux antérieurs.

* Valeur d'épaisseur inférieure à celle exigée par les téléphones mobiles et les ordinateurs portables et tablettes minces. On obtient un total de 1mm³ de volume

CHAPITRE 6 CONCLUSION

Ce document présente donc une thèse de doctorat portant sur la réalisation d'une approche à l'intégration de convertisseur Buck en technologie orientée processeur. Pour ce faire, nous avons établi trois problématiques à résoudre en fonction des éléments de performance à optimiser qui sont : la régulation dynamique, la surface consommée et la consommation d'énergie du système (régulateur+ charge). Ces problématiques sont la topologie à employer pour optimiser la régulation dynamique, l'intégration des éléments passifs externes tout en maintenant tous les critères de performance visés, et enfin la conception de la partie active en technologie fine pour un rendement maximal et une surface réduite.

L'aspect topologique a été discuté en deux parties. La première a consisté à faire un état de l'art sur les régulateurs Buck de la littérature qui présentent une bonne régulation dynamique. D'une part, les Buck à rétroaction linéaire de type PI ou PID permettent d'obtenir une bonne régulation statique mais leur régulation dynamique peut être affectée par le besoin de compensation. D'autre part, les Buck à rétroaction non linéaire permettent d'avoir une bonne régulation dynamique mais ont une régulation en statique tellement problématique qu'elle rend inutile leurs prouesses dynamiques. De ce fait, des améliorations ont été proposés pour chacun des types de rétroaction dans la littérature, et le contrôle de type non linéaire à impulsions limités (contrôle PT) s'est avéré le plus prometteur en termes de simplicité et de dynamique. La deuxième partie a consisté à choisir la topologie que nous implémentons en l'approchant sous deux angles. Le premier est l'utilisation d'un étage de puissance 3 états pour rendre le convertisseur inconditionnellement stable et le deuxième est d'utiliser le contrôle de rétroaction de type PT non linéaire. Avec un prototype réalisé en 180 nm pour conclure sur l'aspect topologique, nous avons démontré les meilleures caractéristiques de réponse aux transitoires de charge (1% à 2% de surtension pour une réponse en 2 μ s) avec un bon rendement. Cependant comparé aux régulateurs à rétroaction linéaire, l'asservissement de notre boucle implique de préprogrammer des valeurs minimale et maximale de rapport cyclique suffisantes. En plus de cela la limitation en rapport cyclique empêche la possibilité d'utiliser tout le potentiel de ce contrôle pendant les transients. Les contributions majeures apportées par l'étude de l'aspect topologique sont :

- L'utilisation innovante d'un Buck 3 états pour améliorer les transitoires de charges en établissant une structure inconditionnellement stable ;
- L'utilisation du contrôle de type PT pour accommoder le troisième état de bypass sans affecter le rendement et réaliser des transitions DCM/CCM transparentes.

Les deux autres aspects sont ensuite étudiés lors de l'intégration de la topologie choisie en technologie fine avec le processeur. Le niveau d'intégration à utiliser est décidé par la réalisation d'inductance de sortie. Les approches 2D et 3D ont été explorées dans la littérature, avec une tendance vers le monolithique. Nous concluons que le meilleur niveau d'intégration pour des épaisseurs fines, une faible surface et une bonne qualité d'inductance est l'intégration 2D avec les passifs embarqués dans le package. Le choix de valeur de capacité de découplage en sortie est basé sur trois aspects, la régulation statique qui a peu d'impact finalement, la réponse aux transitoires de charges et la commutation de sortie. La topologie utilisée garantissant déjà la meilleure réponse aux transitoires, il nous a fallu étudier la contrainte à appliquer pour réduire le bruit de tension du processeur à des valeurs qui permettent son fonctionnement optimal (5% de surtension). La vitesse de commutation de sortie fut choisie (10 mV/ns) après étude des avantages de la DVFS et présentation des économies d'énergies selon les valeurs de commutation. La conception en technologie fine fut établie avec une approche permettant de maximiser le rendement tout en consommant peu de surface de die. Cela fut réalisé par étude du PDN d'entrée et choix des niveaux et des valeurs de découplages en entrée. Ensuite, une version cascode de l'étage de puissance 3 états est proposée avec un mécanisme de recyclage de charges pour optimiser l'efficacité. Finalement une nouvelle topologie de générateur PWM multi phase est proposée pour réduire la consommation en courant et en surface, tout en permettant la réalisation de la vitesse de commutation précédemment définie. Les contributions majeures apportées par l'étude de ces deux aspects sont :

- La topologie d'étage de puissance cascode universelle à recyclage de charge sous environnement de tension bruité ;
- La topologie innovante de générateur PWM multi phase pour une faible consommation en courant et surface ;

Le dernier chapitre propose enfin les résultats d'expérimentation sur le prototype de régulateur 3 états intégré proposé. Notre régulateur intégré présente le moins de bruit de tension de sortie allant au processeur (moins de 5% comparé à des valeurs de 8% au mieux pour la littérature, et ce avec des mécanismes additionnels de prévision de Droop dans les processeurs). L'efficacité maximale du convertisseur 3 états intégré est de 90 %

(valeur maximale démontrée en littérature) avec un rendement constant même à faibles charges. De plus, le convertisseur atteint une valeur de commutation de sortie optimale pour le maximum d'économie d'énergie par DVFS de processeur à plus de 2 GHz. Plus important encore, sa configuration le rend très facile à porter à de nouvelles technologies, utilisant la même approche décrite dans ce manuscrit. De ce fait, pour chaque nouvelle génération de processeur dans une technologie donnée, le régulateur proposé présentera toujours la valeur de commutation de sortie optimale et la bande passante requise pour les meilleures performances en transitoires, puisque sa bande passante augmente avec sa fréquence de commutation.

Il faut cependant préciser que le contrôle PT non linéaire utilisé nécessite des comparateurs extrêmement rapide et un très faible délai de boucle. Cela est souvent difficilement réalisable. Et si la boucle introduit beaucoup de délai, on a tendance à augmenter les valeurs seuils de la tension de sortie et donc à dégrader non seulement la régulation dynamique, mais surtout l'ondulation en statique. Un moyen d'améliorer cet aspect est d'effectuer une hybridation du contrôle non linéaire avec une partie linéaire, typiquement un intégrateur qui permettra d'établir une faible ondulation en statique. De plus, pour profiter de tout le potentiel de ce contrôle, une boucle en courant peut être rajoutée similairement à la réalisation dans [37]. Le contrôle du courant de capacité de sortie pour moduler les impulsions, tel que proposé par *Jin Sha et al* peut être vraiment bénéfique en transitoire. Cependant, ce type de contrôle rencontre souvent des problèmes de complexité d'étalonnage dans la littérature. Une autre option consiste à combiner cette rétroaction à un type de contrôle V^2 pour adapter les rapports cycliques automatiquement. Une autre option encore est d'utiliser plus de comparateurs pour une meilleure granularité de rapport cyclique, similairement au travail de H. K. Krishnamurthy et al [69].

L'intégration monolithique du filtre de sortie, spécialement l'inductance, sera probablement une option ajoutée par le fabricant TSMC dans les années à venir, cependant les effets de proximité et courants de Foucault associés seront toujours problématiques, et nécessitent donc l'utilisation de noyau magnétique pour diriger le champ. Mais si aujourd'hui la bande utile des noyaux magnétiques est de quelques centaines de MHz au mieux, on peut se demander si les matériaux magnétiques intégrés seront une limite à l'augmentation de la fréquence de commutation des IVRs. Même avec les bobines à air, les effets de proximité introduisent des courants de Foucault, nécessitant souvent des noyaux magnétiques. Quoique, avec la loi de Moore atteignant sa limite, l'augmentation prévue des fréquences de processeur n'est pas garantie. Et si les fréquences d'horloge de processeur n'augmentent pas, les cœurs ne consommeront pas plus, et donc les fréquences de commutation de régulateurs intégrés n'auront pas à changer.

CHAPITRE 7 RÉFÉRENCES

- [1] Y. Huh, "Future direction of power management in mobile devices," in *IEEE Asian Solid-State Circuits Conference 2011*, Jeju, South Korea, 2011.
- [2] N. Emberton, "Computer Hope," 01 November 1998. [Online]. Available: <https://www.computerhope.com/history/processor.htm>. [Accessed 03 March 2019].
- [3] "Wikipedia," [Online]. Available: https://en.wikipedia.org/wiki/Graphics_processing_unit. [Accessed 03 March 2019].
- [4] "Statcounter Globalstats," 1999. [Online]. Available: <http://gs.statcounter.com/platform-market-share/desktop-mobile-tablet/worldwide/2018>. [Accessed 02 March 2019].
- [5] M. Halpern, Y. Zhu and V. J. Reddi, "Mobile CPU's rise to power: Quantifying the impact of generational mobile CPU design trends on performance, energy, and user satisfaction," in *IEEE International Symposium on High Performance Computer Architecture (HPCA)*, Barcelona, Spain, 2016.
- [6] M. D. Seeman, V. W. Ng, H.-P. Le, M. John, E. Alon and S. R. Sanders, "A comparative analysis of Switched-Capacitor and inductor-based DC-DC conversion technologies," in *2010 IEEE 12th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Boulder, CO, USA, 2010.
- [7] J.-J. Chen, W.-T. Hsu, J.-H. Yu, Y.-S. Hwang and C.-C. Yu, "A Fast-Transient-Response Buck Converter with Split-Type III Compensation and Charge-Pump Circuit Technique," in *The 2014 International Power Electronics Conference*, Pages: 2910-2913, 2014.
- [8] Y.-S. Hwang, A. Liu, Y.-B. Chang and J.-J. Chen, "A High-Efficiency Fast-Transient-Response Buck Converter with Analog-Voltage-Dynamic-Estimation Techniques," in *IEEE TRANSACTIONS ON POWER ELECTRONICS*, vol. 30, July 2015.
- [9] A. T. L. Lee and P. C. H. Chan, "Adaptive Prediction in Digitally Controlled Buck Converter with Fast Load Transient Response," in *2012 IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2012.
- [10] P.-Y. Wang, S.-Y. Huang, K.-Y. Fang and T.-H. Kuo, "An Undershoot/Overshoot-Suppressed Current-Mode Buck Converter with Voltage-Setting Control for Type-II Compensator," in *IEEE Asian Solid-State Circuits Conference*, Xiamen, Fujian, China, November 9-11, 2015.
- [11] P. Macken, M. Degrauwe, M. V. Paemel and H. Oguey, "A voltage reduction technique for digital systems," in *1990 37th IEEE International Conference on Solid-State Circuits*, February 1990.
- [12] T. Ishihara and H. Yasuura, "Voltage scheduling problem for dynamically variable voltage processors," in *Proceedings. 1998 International Symposium on Low Power Electronics and Design*, 1998.
- [13] M. Martonosi, S. Malik and F. Xie, "Efficient behavior-driven runtime dynamic voltage scaling policies," in *2005 Third IEEE/ACM/IFIP International Conference on Hardware/Software Codesign and System Synthesis (CODES+ISSS'05)*, 2005.
- [14] W. Kim, M. S. Gupta, G.-Y. Wei and D. Brooks, "System Level Analysis of Fast, Per-Core DVFS using On-Chip Switching Regulators," in *IEEE 14th International Symposium on High Performance Computer Architecture*, 2008.
- [15] S. Eyerman and L. Eeckhout, "Fine-Grained DVFS Using On-Chip Regulators," *ACM Journal*, 2011.
- [16] Q.-h. Li, L. Geng and Z.-b. Shao, "A monolithic low-power buck converter integrated in CMOS process," in *2005 Asia-Pacific Microwave Conference Proceedings*, Suzhou, China, 2005.

- [17] S. Abedinpour, B. Bakkaloglu and S. Kiaei, "A Multi-Stage Interleaved Synchronous Buck Converter with Integrated Output Filter in a 0.18 μ m SiGe process," in *IEEE International Solid State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, USA, 2006.
- [18] P. Hazucha, G. Schrom, J. Hahn, B. Bloechel, P. Hack, G. Dermer, S. Narendra, D. Gardner, T. Karnik, V. De and S. Borkar, "A 233-MHz 80%-87% efficient four-phase DC-DC converter utilizing air-core inductors on package," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 4, pp. 838 - 845, 2005.
- [19] W. Kim, D. Brooks and G.-Y. Wei, "A Fully-Integrated 3-Level DC-DC Converter for Nanosecond-Scale DVFS," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 47, pp. 206-219, January 2012.
- [20] N. Sturcken, M. M. Petracca, S. Warren, L. P. Carloni, A. Peterchev and K. L. Shepard, "An Integrated Four-Phase Buck Converter Delivering 1A/mm² with 700ps Controller Delay and Network-on-Chip Load in 45-nm SOI," in *2011 IEEE Custom Integrated Circuits Conference (CICC)*, 19-21 Sept. 2011.
- [21] C. Huang and P. K. Mok, "An 84.7% Efficiency 100-MHz Package Bondwire-Based Fully Integrated Buck Converter With Precise DCM Operation and Enhanced Light-Load Efficiency," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 11, pp. 2595-2607, 2013.
- [22] E. A. Burton, G. Schrom, F. Paillet, J. Douglas, W. J. Lambert, K. Radhakrishnan and M. J. Hill, "FIVR — Fully integrated voltage regulators on 4th generation Intel® Core™ SoCs," in *IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014.
- [23] S. Mueller, K. Ahmed, A. Singh, A. Davis, S. Mukhopadhyay, M. Swaminathan, Y. Yang, J. Wong, S. Bharathi, Y. Mano, H. F. Moghadam and D. Draper, "Design of High Efficiency Integrated Voltage Regulators with Embedded Magnetic Core Inductors," in *IEEE 66th Electronic Components and Technology Conference (ECTC)*, 2016.
- [24] H. K. Krishnamurthy, S. Weng, G. E. Mathew, N. Desai, R. Saraswat, K. Ravichandran, J. W. Tschanz and V. De, "A Digitally Controlled Fully Integrated Voltage Regulator With 3-D-TSV-Based On-Die Solenoid Inductor With a Planar Magnetic Core for 3-D-Stacked Die Applications in 14-nm Tri-Gate CMOS," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 4, pp. 1038-1048, 2018.
- [25] N. Sturcken, E. J. O'Sullivan, N. Wang, P. Herget, B. C. Webb, L. T. Romankiw, M. Petracca, R. Davies, R. E. Fontana, G. M. Decad, I. J. Kymissis, A. V. Peterchev, L. P. Carloni, W. J. Gallagher and K. L. Shepard, "A 2.5D Integrated Voltage Regulator Using Coupled-Magnetic-Core Inductors on Silicon Interposer," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 1, pp. 244-254, 2013.
- [26] M. Singh and A. Fayed, "An 8 A 100-MHz 4-Phase Buck Converter with Fast Dynamic Response and Enhanced Light-Load Efficiency," in *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)*, Windsor, ON, Canada, 2018.
- [27] N. Mohan, *Power Electronics: A first Course*, Wiley, First edition ed., 2011.
- [28] C. E. S. Azevedo, "Fully Integrated DC-DC Buck Converter," Lisbonne, 2015.
- [29] C.-C. Chen, C.-H. Huang and S.-C. Tseng, "A Fast Transient Response Voltage Mode Buck Converter with an Adaptive Ramp Generator," in *2014 International Conference on Information Science, Electronics and Electrical Engineering*, 2014.
- [30] J.-J. Chen, C.-Y. Huang, C.-I. Chou and C.-C. Yu, "A simple fast-transient-response buck converter using adaptive-hysteresis-controlled techniques," in *Electron Devices and Solid-State Circuits (EDSSC), 2015 IEEE International Conference on Pages: 45 – 48*, 2015.
- [31] Y. Liu, C. Zhan and W.-H. Ki, "A Fast-Transient-Response Hybrid Buck Converter with Automatic and Nearly-Seamless Loop Transition for Portable Applications," in *ESSCIRC (ESSCIRC), Pages: 165 – 168*, 2012.
- [32] T. Hegarty, "Current-Mode Control Stability Analysis For DC-DC Converters," *HOW2POWER TODAY*, pp. 1-7, June 2014.
- [33] G. Zhou, J. Xu, Y. Jin and J. Sha, "Stability analysis of V2 controlled buck converter operating in CCM and DCM," in *2010 International Conference on Communications, Circuits and Systems (ICCCAS)*, 2010.

- [34] M. Biswal, "CONTROL TECHNIQUES FOR DC-DC BUCK CONVERTER WITH IMPROVED PERFORMANCE," Rourkela, March 2011.
- [35] M. Biswal, "Control Techniques For DC-DC Buck Converter With Improved Performance," Rourkela Institute, 2011.
- [36] D. Meeks, "Loop Stability Analysis of Voltage Mode Buck Regulator With Different Output Capacitor Types - Continuous and Discontinuous Modes," Texas Instruments, April 2008.
- [37] J. Sha, D. Xu, Y. Chen, J. Xu and B. Williams, "A Peak Capacitor Current Pulse-Train Controlled Buck Converter with Fast Transient Response and a Wide Load Range," in *Industrial Electronics, IEEE Transactions on*, Issue 99, page 1-1, 2015.
- [38] W.-W. Chen, J.-F. Chen and T.-J. Liang, "Dynamic Ramp Control in Current-Mode Adaptive On-Time Control for Buck Converter on Chip," in *Future Energy Electronics Conference and ECCE Asia (IFEEEC 2017 - ECCE Asia), 2017 IEEE 3rd International*, Kaohsiung, Taiwan, 2017.
- [39] W. Yan, W. Li and R. Liu, "A Noise-Shaped Buck DC–DC Converter With Improved Light-Load Efficiency and Fast Transient Response," in *Power Electronics, IEEE Transactions on*, Volume: 26, Issue: 12, Pages: 3908 – 3924., December 2011.
- [40] M. P. S. W. L. P. C. A. V. P. a. K. L. S. N. Sturcken, "An Integrated Four-Phase Buck Converter Delivering 1A/mm² with 700ps Controller Delay and Network-on-Chip Load in 45-nm SOI," in *CICC*, 2011.
- [41] M. Gildersleeve, H. P. Forghani-zadeh and G. A. Rincon-Mora, "A comprehensive power analysis and a highly efficient, mode-hopping DC-DC converter," in *IEEE Asia-Pacific Conference on*, pages 153-156, 2002.
- [42] "Analog Device Wiki," [Online]. Available: <https://wiki.analog.com/university/courses/eps/diode-curves>.
- [43] J. Sha, D. Xu, Y. Chen, J. Xu and B. Williams, "A Peak Capacitor Current Pulse-Train Controlled Buck Converter with Fast Transient Response and a Wide Load Range," *Industrial Electronics, IEEE Transaction on*, vol. 63, no. 3, pp. 1528-1538, 2015.
- [44] S. Park, J. Park, D. Shin, Y. Wang, Q. Xie, M. Pedram and N. Chang, "Accurate Modeling of the Delay and Energy Overhead of Dynamic Voltage and Frequency Scaling in Modern Microprocessors," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 32, no. 5, pp. 695 - 708, 2013.
- [45] S. Arora, D. K. Su and B. A. Wooley, "A Compact 120-MHz 1.8V/1.2V Dual-Output DC-DC Converter with Digital Control".
- [46] X. Wang, J. Xu, Z. Wang, K. J. Chen, X. Wu, Z. Wang, P. Yang and L. H. K. Duong, "An Analytical Study of Power Delivery Systems for Many-Core Processors Using On-Chip and Off-Chip Voltage Regulators," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 34, no. 9, pp. 1401 - 1414 , 2015.
- [47] I. Vaisband and E. G. Friedman, "Heterogeneous Methodology for Energy Efficient Distribution of On-Chip Power Supplies," *IEEE Transactions on Power Electronics*, vol. 28, no. 9, pp. 4267 - 4280, 2013.
- [48] A. Williams, "Fundamentals of Magnetics design: Inductors and Transformers," Thursday September 15 2011. [Online]. Available: https://www.ieee.li/pdf/viewgraphs/fundamentals_magnetics_design.pdf.
- [49] A. Van Den Bossche and V. C. Valchev, *Inductors and Transformers for Power Electronics*, CRC Press Taylor & Francis Group, 2005.
- [50] C. Rindfleisch and B. Wicht, "Efficiency Impact of Air-Cored Inductors in Multi-MHz Power Converters," in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, 2016.
- [51] "SKin Effect," 22 October 2018. [Online]. Available: https://en.wikipedia.org/wiki/Skin_effect. [Accessed 2018].
- [52] . R. Meere, N. Wang, T. O'Donnell, S. Kulkarni, S. Roy and S. C. O'Mathuna, "Magnetic-Core and Air-Core Inductors on Silicon: A Performance Comparison up to 100 MHz," *IEEE Transactions on Magnetics*, vol. 47, no. 10, pp. 4429 - 4432, 2011.

- [53] W. J. Lambert, M. J. Hill, K. Radhakrishnan, L. Wojewoda and A. E. Augustine, "Package Inductors for Intel Fully Integrated Voltage Regulators," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 6, no. 1, pp. 3 - 11, 2016.
- [54] C.-Y. Ho, H.-H. Cheng, M.-F. Chung, C.-C. Wang, C.-W. Yang and H.-Y. Wang, "Advance semiconductor package applied on high efficiency dual-mode DC-DC buck converter," in *16th International Conference on Electronic Packaging Technology (ICEPT)*, 2015.
- [55] C. H. Ahn and M. G. Allen, "Micromachined Planar Inductors on Silicon Wafers for MEMS Applications," *IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS*, vol. 45, no. 6, 1998.
- [56] K. B. Östman, J. K. Järvenhaara, S. S. Broussev and I. Viitaniemi, "A 3.6-to-1.8-V Cascode Buck Converter With a Stacked LC Filter in 65-nm CMOS," *IEEE Journals & Magazines*, vol. 61, pp. 234-238, 2014.
- [57] D. W. Lee, L. Li and S. X. Wang, "Embedded Integrated Inductors With A Single Layer Magnetic Core: A Realistic Option," in *Power SoC 2008*, 2008.
- [58] L. Li, D. W. Lee, K.-P. Hwang, Y. Min and S. X. Wang, "On-package magnetic materials for embedded inductor applications," 2009.
- [59] L. Li, D. W. Lee, M. Mao, T. Schneider, K. P. Huang, K. P. Hwang, Y. Min and S. X. Wang, "High Frequency Responses of Granular Magnetic Material CoFeHfO and Amorphous CoZrTa magnetic materials," *J. Appl. Phys.*, vol. 101, no. 12, pp. 123912-1-4, 2007.
- [60] D. W. Lee, L. Li and S. X. Wang, "Embedded inductors," in *Materials for Advanced Packaging*, Berlin, 2008.
- [61] V. Lafage, Y. Beilliard, A. Sridhar, T. Brunschweiler and D. Drouin, "Fabrication of 2D and 3D inductors for DC-DC converters integrated on glass interposer," in *2018 Pan Pacific Microelectronics Symposium (Pan Pacific)*, 2018.
- [62] H. K. Krishnamurthy, V. A. Vaidya, P. Kumar, G. E. Matthew, S. Weng, . B. Thiruvengadam , W. Proefrock, K. Ravichandran and V. De, "A 500 MHz, 68% efficient, fully on-die digitally controlled buck Voltage Regulator on 22nm Tri-Gate CMOS," in *2014 Symposium on VLSI Circuits Digest of Technical Papers*, 2014.
- [63] D. S. Gardner, G. Schrom, . F. Paillet, B. Jamieson, T. Karnik and S. Borkar, "Review of On-Chip Inductor Structures With Magnetic Films," *IEEE Transactions on Magnetics*, vol. 45, no. 10, pp. 4760 - 4766, 2009.
- [64] Y. Kondo, Y. Yazaki, M. Sonehara, T. Sato, T. Watanabe, Y. Seino, N. Matsushita, T. Fujii, K. Kobayashi, H. Shimizu, Y. Yanagisawa, T. Someya, H. Fuketa, M. Takamiya and T. Sa, "Embedded planar power inductor technology for package-level DC power grid," in *2015 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, 2015.
- [65] T. Thomson, *Metallic Films for Electronic, Optical and Magnetic Applications*, Woodhead Publishing, 2014.
- [66] Y. Yazaki, K. Ishidate, K. Hagita, Y. Kondo, S. Hattori, M. Sonehara, T. Sato, T. Watanabe, Y. Seino and N. Matsushita, "Embedded Planar Power Inductor in an Organic Interposer for Package-Level DC Power Grid," *IEEE Transactions on Magnetics*, vol. 50, no. 11, 2014.
- [67] Q. Li and F. C. Lee, "High Inductance Density Low-Profile Inductor Structure for Integrated Point-of-Load Converter," in *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*, 2009.
- [68] N. Wang, B. B. Doris, A. B. Shehata, E. J. O. Sullivan, S. L. Brown, S. Rossnagel, J. Ott, L. Gignac, M. Massouras, L. T. Romankiw and H. L. Deligianni, "High-Q Magnetic Inductors for High Efficiency On-Chip Power Conversion," in *2016 IEEE International Electron Devices Meeting (IEDM)*, 2016.
- [69] H. K. Krishnamurthy, V. Vaidya, S. Weng, K. Ravichandran, P. Kumar, S. Kim, R. Jain, G. Matthew, J. Tschanz and V. De, "20.1 A digitally controlled fully integrated voltage regulator with on-die solenoid inductor with planar magnetic core in 14nm tri-gate CMOS," in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, 2017.

- [70] D. W. Lee, K.-P. Hwang and S. X. Wang, "Fabrication and Analysis of High-Performance Integrated Solenoid Inductor With Magnetic Core," *IEEE Transactions on Magnetics*, vol. 44, no. 11, pp. 4089 - 4095, 2008.
- [71] R. Bertran, A. Buyuktosunoglu, P. Bose, T. J. Slegel, G. Salem, S. Carey, R. F. Rizzolo and T. Strach, "Voltage Noise in Multi-Core Processors: Empirical Characterization and Optimization Opportunities," in *2014 47th Annual IEEE/ACM International Symposium on Microarchitecture*, 2014.
- [72] J. Sun, D. Giuliano, S. Devarajan, J.-Q. Lu, T. P. Chow and R. J. Gutmann, "Fully Monolithic Cellular Buck Converter Design for 3-D Power Delivery," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 17, no. 3, pp. 447 - 451, 2009.
- [73] A. C. M. d. Quieroz, "Synthesis of multiple resonance networks," in *2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings (IEEE Cat No.00CH36353)*, 2000.
- [74] A. C. M. d. Quieroz, "Generalized LC multiple resonance networks," in *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*, 2002.
- [75] Y. Kim, H. Kim, J. Cho, J. Kim, K. Kang, T. Yang, Y. Ra and W. Paik, "Mobile AP GPU power distribution network simulation and analysis based on chip power model," in *2016 IEEE International Symposium on Electromagnetic Compatibility (EMC)*, 2016.
- [76] M. S. Gupta, "Variation-Aware Processor Architectures With Aggressive Operating Margins," 2009.
- [77] L. Smith, R. Anderson, D. Forehand, T. Pelc and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284 - 291, 1999.
- [78] V. J. Reddi, S. Kanev, W. Kim, S. Campanoni, M. D. Smith, G.-Y. Wei and D. Brooks, "Voltage Noise in Production Processors," *IEEE Micro*, vol. 31, no. 1, pp. 20-28, 2011.
- [79] J. Leng, Y. Zu and V. J. Reddi, "GPU voltage noise: Characterization and hierarchical smoothing of spatial and temporal voltage noise interference in GPU architectures," in *2015 IEEE 21st International Symposium on High Performance Computer Architecture (HPCA)*, 2015.
- [80] K. Dieng, P. Artillan, C. Bermond, O. Guiller, T. Lacrevez, S. Joblot, G. Houzet, A. Farcy, Y. Lamy and B. Fléchet, "Through Silicon Capacitors (TSC) for noise reduction in Power Distribution Network," in *2015 IEEE 65th Electronic Components and Technology Conference (ECTC)*, 2015.
- [81] P. Zumel, C. Fernández, A. d. Castro and O. García, "Efficiency improvement in multiphase converter by changing dynamically the number of phases," in *Proc. 37th IEEE Power Electronics Specialists Conference*, Korea, 2006.
- [82] M. M. Co, "murata.com," Murata, [Online]. Available: <https://psearch.en.murata.com/capacitor/product/GRM033R61C104KE14%23.html>. [Accessed 30 12 2018].
- [83] T. Song, J. Kim, J. Pak and J. Kim, "Chip-Package Co-Modelling & Verification of Noise Coupling & Generation in CMOS DC/DC Buck Converter," in *20th International Zurich Symposium on Electromagnetic Compatibility*, 2009.
- [84] S. Mueller, A. K. Davis, M. Bellaredj, A. Singh, K. Ahmed, M. Kar, S. Mukhopadhyay, P. Kohl, M. Swaminathan, Y. Yang, J. Wong, S. Bharathi, Y. Mano, A. Beece, B. Fasano and H. F. Moghadam, "Modeling and design of system-in-package integrated voltage regulator with thermal effects," in *IEEE 25th Conference on Electrical Performance Of Electronic Packaging And Systems (EPEPS)*, 2016.
- [85] H. Nam, Y. Ahn and J. Roh, "5-V Buck Converter Using 3.3-V Standard CMOS Process With Adaptive Power Transistor Driver Increasing Efficiency and Maximum Load Capacity," *IEEE Transactions on Power Electronics*, vol. 27, no. 1, pp. 463 - 471, 2012.
- [86] V. Kursun, S. G. Narendra, V. K. De and E. G. Friedman, "High input voltage step-down DC-DC converters for integration in a low voltage CMOS process," in *International Symposium on Signals, Circuits and Systems. Proceedings, SCS 2003. (Cat. No.03EX720)*, 2004.

- [87] F. Kuttner, H. Habibovic, T. Hartig, M. Fulde, G. Babin, A. Santner, P. Bogner, C. Kropf, H. Riesslegger and U. Hodel, "A digitally controlled DC-DC converter for SoC in 28nm CMOS," in *ISSCC Session 22*, 2011.
- [88] G. Maderbacher, T. Jackum, W. Pribyl and C. Sandner, "Output Stage Topologies of DC-DC Buck Converters Operating up to 5 V Supply Voltage in 65 nm CMOS," in *IEEE*, 2011.
- [89] G. Schrom, P. Hazucha, F. Paillet, D. Gardner, S. Moon and T. Karnik, "Optimal Design of Monolithic Integrated DC-DC Converters," in *IEEE International Conference on IC Design and Technology*, 2006.
- [90] A. Emira, F. Carr, H. Elwan and R. H. Mekky, "High voltage tolerant integrated Buck converter in 65nm 2.5V CMOS," in *IEEE International Symposium on Circuits and Systems*, 2009.
- [91] D. Liu, S. J. Hollis and B. H. Stark, "A new circuit topology for floating High Voltage level shifters," in *2014 10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, 2014.
- [92] P. E. A. f. C. W. F. e. e. 2. Ned Mohan.
- [93] W. H. K. C. Y. T. F. Su, "Ultra-fast fixed-frequency hysteretic buck converter with maximum charging current control and adaptive delay compensation," in *IEEE J. Solid-State Circ.*, vol. 43, no. 4, pp. 815-822, Apr. 2008.
- [94] A. T. L. Lee and P. C. H. Chan, "Adaptive Prediction in Digitally Controlled Buck Converter with Fast Load Transient Response," 2012.
- [95] K. B. Ostman, J. K. Jarvenhaara, S. S. Broussev and I. Viitaniemi, "A 3.6-to-1.8-V Cascode Buck Converter With a StackedLCFilter in 65-nm CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 4, pp. 234-238, 2014.
- [96] G. Maderbacher, T. Jackum, W. Pribyl, M. Wassermann, A. Petschar and C. Sandner, "Automatic Dead Time Optimization in a High Frequency DC-DC Buck Converter in 65 nm CMOS," in *2011 Proceedings of the ESSCIRC (ESSCIRC)*, Sept. 2011.

FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : TONI.
10/07/2019

DATE de SOUTENANCE :

Prénoms : Kotchikpa Arnaud.

TITRE : Conception et intégration de convertisseur Buck en technologie 28 nm CMOS orientée plateformes mobiles.

NATURE : Doctorat.

Numéro d'ordre : 2019LYSEI049

Ecole doctorale : Electronique Electrotechnique Automatique (EEA).

Spécialité : Microélectronique.

RESUME :

Ce travail de thèse présente la conception d'un convertisseur Buck 3 états pour améliorer le comportement dynamique des tensions d'alimentations des microprocesseurs. La topologie du convertisseur est dans un premier temps, implémentée en technologie IBM CMOS 180 nm pour la validation de la structure 3 états. Le prototype réalisé utilise une tension d'entrée de 3.6V et génère une tension de sortie de 0.8V à 2V. Sa réponse aux transitoires de charge ne montre que 1 à 2% de surtension prouvant ainsi l'avantage du régulateur en dynamique.

Le convertisseur 3 états est dans un deuxième temps intégré en technologie 28 nm CMOS HPM (cette technologie est essentiellement utilisée pour les microprocesseurs). Les résultats des tests effectués sur le prototype réalisé confirment les performances en économie d'énergie, de surface et de réponse dynamique. Ce prototype délivre en effet 0.5 à 1.2V en sortie pour 1.8V en entrée et présente un rendement maximal de 90%. Les mesures de régulation dynamique montrent qu'il permet d'obtenir moins de 5% de bruit sur le processeur et 10 mV/ns de commutation de tension.

MOTS-CLÉS : Buck 3 états, convertisseur, régulateur, intégration, processeur, bruits, Réseau de distribution, technologie 28 nm.

Laboratoire (s) de recherche : INL.

Directeur de thèse : Nacer ABOUCHI.

Co-encadrant : Rémy CELLIER.

Président de jury :

Composition du jury : Luc HEBRARD, Richard GRISEL, Catherine BRU-CHEVALLIER, Christophe PREMONT, Rémy CELLIER, Nacer ABOUCHI.