



HAL
open science

Nanostructures d'oxyde d'indium pour les mémoires résistives RRAM intégrées en CMOS Back-End-Of-Line

Pierre-Vincent Guenery

► **To cite this version:**

Pierre-Vincent Guenery. Nanostructures d'oxyde d'indium pour les mémoires résistives RRAM intégrées en CMOS Back-End-Of-Line. Electronique. Université de Lyon, 2019. Français. NNT : 2019LYSEI114 . tel-02936361

HAL Id: tel-02936361

<https://theses.hal.science/tel-02936361>

Submitted on 11 Sep 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



N°d'ordre NNT : 2019LYSEI114

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de
l'INSA de Lyon

Ecole Doctorale N° 160
Ecole Doctorale Electronique, Electrotechnique et
Automatique de Lyon

Spécialité/ discipline de doctorat :
Micro et nanoélectronique

Soutenue publiquement le 02/12/2019, par :
Pierre-Vincent GUENERY

Nanostructures d'oxyde d'indium pour
les mémoires résistives RRAM intégrées
en CMOS Back-End-Of-Line

Devant le jury composé de :

La présidence sera déterminée le jour de la soutenance.

BOCQUET, Marc	MCF, HDR	Université d'Aix Marseille	Rapporteur
GRISOLIA, Jérémie	Professeur des universités	INSA Toulouse	Rapporteur
BONAFOS, Caroline	Directrice de recherche	CEMES CNRS	Examinatrice
BARON, Thierry	Directeur de recherche	LTM CNRS	Co-encadrant
MILITARU, Liviu	MCF HDR	INSA de Lyon	co-Directeur de thèse
SOUIFI, Abdelkader	Professeur des universités	INSA de Lyon	Directeur de thèse
BLONKOWSKI, Serge	Ingénieur	ST-Microelectronics	Invité

Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON http://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage secretariat@edchimie-lyon.fr INSA : R. GOURDON	M. Stéphane DANIELE Institut de recherches sur la catalyse et l'environnement de Lyon IRCELYON-UMR 5256 Equipe CDFA 2 Avenue Albert EINSTEIN 69 626 Villeurbanne CEDEX directeur@edchimie-lyon.fr
E.E.A.	ÉLECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE http://edeea.ec-lyon.fr Sec. : M.C. HAVGOUDOUKIAN ecole-doctorale.eea@ec-lyon.fr	M. Gérard SCORLETTI École Centrale de Lyon 36 Avenue Guy DE COLLONGUE 69 134 Ecully Tél : 04.72.18.60.97 Fax 04.78.43.37.17 gerard.scorletti@ec-lyon.fr
E2M2	ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODELISATION http://e2m2.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : H. CHARLES secretariat.e2m2@univ-lyon1.fr	M. Philippe NORMAND UMR 5557 Lab. d'Ecologie Microbienne Université Claude Bernard Lyon 1 Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69 622 Villeurbanne CEDEX philippe.normand@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTE http://www.ediss-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 INSA : M. LAGARDE secretariat.ediss@univ-lyon1.fr	Mme Sylvie RICARD-BLUM Institut de Chimie et Biochimie Moléculaires et Supramoléculaires (ICBMS) - UMR 5246 CNRS - Université Lyon 1 Bâtiment Curien - 3ème étage Nord 43 Boulevard du 11 novembre 1918 69622 Villeurbanne Cedex Tel : +33(0)4 72 44 82 32 sylvie.ricard-blum@univ-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHEMATIQUES http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 infomaths@univ-lyon1.fr	M. Hamamache KHEDDOUCI Bât. Nautibus 43, Boulevard du 11 novembre 1918 69 622 Villeurbanne Cedex France Tel : 04.72.44.83.69 hamamache.kheddouci@univ-lyon1.fr
Matériaux	MATÉRIAUX DE LYON http://ed34.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bât. Direction ed.materiaux@insa-lyon.fr	M. Jean-Yves BUFFIÈRE INSA de Lyon MATEIS - Bât. Saint-Exupéry 7 Avenue Jean CAPELLE 69 621 Villeurbanne CEDEX Tél : 04.72.43.71.70 Fax : 04.72.43.85.28 jean-yves.buffiere@insa-lyon.fr
MEGA	MÉCANIQUE, ÉNERGÉTIQUE, GÉNIE CIVIL, ACOUSTIQUE http://edmega.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bât. Direction mega@insa-lyon.fr	M. Jocelyn BONJOUR INSA de Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69 621 Villeurbanne CEDEX jocelyn.bonjour@insa-lyon.fr
ScSo	ScSo* http://ed483.univ-lyon2.fr Sec. : Véronique GÜICHARD INSA : J.Y. TOUSSAINT Tél : 04.78.69.72.76 veronique.cervantes@univ-lyon2.fr	M. Christian MONTES Université Lyon 2 86 Rue Pasteur 69 365 Lyon CEDEX 07 christian.montes@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

Résumé

Les mémoires informatiques actuelles, qui ne sont que l'extrême miniaturisation de la technologie développée dans les années 1960, atteignent des limites technologiques difficilement surmontables et très coûteuses. Les mémoires doivent donc se réinventer par une modification profonde de leur forme, comme le développement de structures en 3 dimensions, ou par l'utilisation de technologies innovantes. C'est un phénomène récent dans le domaine des mémoires qui nous a intéressés au cours de cette thèse. Il consiste à maîtriser électriquement et de manière réversible la résistivité d'une structure pour coder de l'information de manière pérenne, d'où son nom de mémoires résistives non volatile. Un grand nombre de recherches sont menées pour comprendre et maîtriser cette technologie dont le principal défaut est son manque de reproductibilité. Nous proposons une approche originale consistant à l'intégration de nanoparticules d'oxyde d'indium dans la structure d'une mémoire résistive qui est directement compatible avec les technologies déjà existantes. L'intégration de particules a pour but d'aider à rendre ces mémoires plus homogènes par un contrôle du comportement électrique de la structure. L'étude menée porte dans un premier temps sur les défis liés à la fabrication de la mémoire et en particulier sur le dépôt de nanoparticules. Pour avoir un effet bénéfique, la fabrication de celles-ci doit être parfaitement maîtrisée. Nous détaillons ensuite la caractérisation électrique des mémoires et la compréhension des phénomènes qui sont à l'origine du changement de résistivité des matériaux afin de tenter de mieux les contrôler.

Remerciements

Parce que ce manuscrit présente le résultat d'une collaboration étroite entre de nombreuses personnes, je tiens à remercier sincèrement tous ceux qui m'ont aidé de près ou de loin lors de ces travaux.

Dans un premier temps je souhaite remercier les personnes qui m'ont donné l'opportunité de réaliser cette thèse. Il me semble important de citer mes directeurs Kader, Liviu et Thierry qui m'ont proposé d'intégrer ce projet puis qui m'ont aidé à le mener à bien. Ces trois années ont été très agréables en grande partie grâce à vous, votre confiance et à votre aide aussi bien sur le plan scientifique que personnel. Merci aux membres du jury de thèse M. Bocquet, M. Grisolia, Mme Bonafos et M. Blonkowski pour vos rapports et pour nos échanges extrêmement intéressants lors et après la soutenance.

J'ai eu la chance de travailler avec un grand nombre de personnes qui m'ont aidé à mener à bien ces travaux. Sur le plan scientifique et technique, je pense et suis redevable à vous Jerem, Micka, Seb, Martin et Franck du LTM ainsi que Khaled, David, Solène, Nicolas, Damien de l'INL. Mais ce fut également un plaisir d'avoir un soutien efficace du personnel administratif des deux laboratoires. Merci à Malou, Gaëlle et Sylvaine ainsi que Annie, Bénédicte et Virginie. Je garde un très bon souvenir de mon passage dans ces deux laboratoires grâce à vous tous qui permettez d'effectuer un travail efficace dans une ambiance optimale.

Ces trois dernières années ont été parfois joyeuses, parfois difficiles, mais à chacun de ces moments je pouvais compter sur le soutien indéfectible d'un grand nombre de personnes, familles, collègues et amis. Merci à mes parents qui ont suivi trois années durant mes travaux comme ils le pouvaient malgré la distance et la difficulté du sujet. Ré et Doud, je ne perds pas une occasion de venir vous voir, c'est toujours aussi cool. Sofian, incontournable compagnon de sel, merci pour ces moments de détente épiques. Merci à Tulio, Thaïs, Michele, Jaime, Prabir et Edgar, j'espère que nous continuerons nos jeux de sociétés et escape game. J'envoie tous mes meilleurs vœux à la fine équipe MOCVD Ouma, Marie, Tiph' et Pauline. Et je n'oublie pas Sarah, Samia, Aymen, Vincent et Ludo qui n'ont pas eu la chance de travailler sur l'outil, mais qu'on apprécie beaucoup quand même.

Remerciement tout spécial aux BROs compagnons de voyage et de grimpe Thibault, Nico et Flo. Hâte de connaître notre prochaine destination. Également à Marina pour avoir été consécutivement une excellente conseillère, cheffe et collègue tout en étant en permanence une très bonne amie.

J'aimerais mentionner Aurélien et Maya d'ArcelorMittal qui m'ont poussé il y a plusieurs années à me lancer dans cette aventure de recherche.

Enfin, merci à ma compagne Prisca de m'avoir soutenu et surtout supporté dans les moments les plus durs.

Sommaire général

Introduction générale.....	1
I. Etat de l'art de la technologie mémoire.....	2
I. 1. Introduction.....	4
I. 2. Les technologies mémoires.....	4
I. 2. 1) Caractéristiques des mémoires.....	5
I. 2. 2) Terminologie.....	6
I. 2. 3) Mémoires à transistor.....	7
I. 2. 4) Organisation des mémoires à transistor.....	9
I. 2. 5) Limites des mémoires à transistor.....	10
I. 3. Mémoires émergentes.....	12
I. 4. Tableau comparatif des mémoires actuelles et émergentes.....	14
I. 5. Le dispositif RRAM.....	16
I. 5. 1) Généralités.....	16
I. 5. 2) Principe de fonctionnement.....	17
I. 5. 3) Conduction filamentaire.....	18
I. 5. 4) Conduction non filamentaire.....	23
I. 5. 5) Enjeux des mémoires RRAM.....	24
I. 6. Architectures des RRAM.....	27
Architecture 1S1R, 1D1R ou 1T1R.....	28
I. 6. 1) Complementary Resistive Switch.....	28
I. 7. Conclusion et positionnement du projet.....	30
II. Propriété des nanoparticules d'oxyde d'indium et conception de la cellule mémoire.....	32
II. 1. Introduction.....	33
II. 2. Description de l'oxyde d'indium.....	33
II. 2. 1) Structure cristalline.....	34
II. 2. 2) Structure amorphe.....	35
II. 3. Propriétés électriques des nanoparticules d'oxyde d'indium.....	35
II. 3. 1) Bandes d'énergies.....	36
II. 3. 2) Accumulation d'électrons en surface.....	37
II. 4. Techniques de fabrication des nanoparticules d'oxyde d'indium.....	38
II. 4. 1) Dépôt de nanoparticules synthétisées par voie chimique.....	39
II. 5. Implantation ionique d'indium dans un oxyde.....	40
II. 6. Dépôt CVD de nanoparticules d'oxyde d'indium.....	42
II. 7. Conception de la cellule mémoire.....	43
II. 7. 1) Choix des matériaux.....	43

II. 8. Diagramme de bande	44
II. 9. Conclusion du chapitre	45
III. Procédé de fabrication des cellules mémoires à nanoparticules d'oxyde d'indium	47
III. 1. Introduction	48
III. 2. Allure de la mémoire	48
III. 3. Procédé de fabrication détaillé	49
III. 3. 1) Substrat employé et oxydation thermique	50
III. 3. 2) Dépôt des nanoparticules d'oxyde d'indium par MOCVD	51
III. 3. 3) Dépôt de l'oxyde d'aluminium par ALD	54
III. 3. 4) Dépôt de l'électrode supérieure par évaporation et recuit.....	56
III. 4. Procédé de dépôt des nanoparticules d'oxyde d'indium.....	58
III. 4. 1) Mécanismes de dépôt	58
III. 4. 2) Type de croissance	59
III. 4. 3) Composition et stœchiométrie des nanoparticules.....	61
III. 4. 4) Influence des paramètres de dépôts sur la croissance de nanoparticules	63
III. 5. Contrôle du dépôt des nanoparticules par MOCVD avec un procédé en deux étapes :	70
III. 5. 1) Problématique de nucléation des nanoparticules en continu	70
III. 5. 2) Nucléation des nanoparticules.....	72
III. 5. 3) Croissance des nanoparticules à densité constante	73
III. 6. Conclusion	76
IV. Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium	78
IV. 1. Introduction	79
IV. 2. Hypothèse sur la commutation résistive des mémoires étudiées	79
IV. 3. Description des lots d'échantillons étudiés.....	80
IV. 4. Commutation résistive et étude des états HRS et LRS.....	82
IV. 4. 1) Correction de la tension appliquée en polarisation inverse	82
IV. 4. 2) Etude de charge des nanoparticules.....	83
IV. 4. 3) Influence des nanoparticules sur la commutation résistive	87
IV. 4. 4) Influence de la compliance de mesure et électroformage	89
IV. 4. 5) Influence de l'épaisseur de l'oxyde.....	92
IV. 4. 6) Influence de la surface active des dispositifs.....	95
IV. 4. 7) Influence de la nature de l'électrode.....	99
IV. 4. 8) Réponse électrique en mesures pulsées	101
IV. 5. Etude des conductions électriques.....	103
IV. 5. 1) Modélisation de la mémoire.....	103

IV. 5. 2) Extraction des paramètres électriques par simulation des courants de conduction.	105
IV. 5. 3) Conclusion partielle.....	113
IV. 6. Détermination expérimentale du type de conduction dans les échantillons	113
IV. 6. 1) Etude de la conduction en HRS.....	113
IV. 6. 2) Etude de la conduction en LRS.....	117
IV. 7. Conclusion	120
Synthèse générale	122
Références bibliographiques	124
Annexe : Types de conceptions dans les mémoires résistives	135
IV. 8. Conductions électriques possibles	135
IV. 8. 1) Courant par émission Schottky :	135
IV. 8. 2) Courant tunnel direct :	136
IV. 8. 3) Conduction par hopping (saut) ou TAT :	139
IV. 8. 4) Emission Poole Frenkel (PF) :	140
IV. 8. 5) Conduction ionique :	141
IV. 8. 6) Conduction ohmique :	141
IV. 8. 7) Courant limité par charge d'espace (SCLC) :	143
IV. 9. Tableau récapitulatif des types de conduction	145

Table des figures et tableaux

Figure I-1 : Comparaison des opérations effectuées pour lire ou écrire un bit donné selon le mode d'accès de la mémoire	6
Figure I-2 : Schéma des différents niveaux de hiérarchie des mémoires	10
Figure I-3 : Organigramme récapitulatif des mémoires actuelles et émergentes en fonction de leur caractère volatile et de leur type d'accès.....	13
Figure I-4 : Structure sandwich MIM utilisé pour la fabrication de mémoires résistives [29]	16
Figure I-5 : Schéma des commutations de cellules mémoires a) unipolaire et b) bipolaire [31].	18
Figure I-6 : Schémas d'une cellule mémoire ECM à différents moments d'un cycle de commutation résistif. A) à D) Passage de l'état initial LRS vers un état HRS, E) retour à l'état HRS [39].	20
Figure I-7: Schéma des trois types de filaments observés dans les CBRAM. a) De la cathode vers l'anode ; b) De l'anode vers la cathode ; c) Du centre du diélectrique vers les électrodes.	21
Figure I-8 : Schéma d'une commutation résistive au sein d'une OxRAM par migration de lacunes [40]	22
Figure I-9 : Schéma d'une structure crossbar 2D montrant la cellule sélectionnée à l'état HRS en rouge. Le passage du courant espéré en jaune n'est pas préférentiel, car les cellules autour en vert sont à l'état LRS. Un chemin possible de courant de fuite est montré en gris [70].	28
Figure I-10 : Schéma d'une structure CRS dans ses trois états et la caractéristique I(V) correspondante. Les cercles montrent les trois états logiques possibles de la CRS et les carrés les transitions possibles entre ces états. L'état 1 correspond à un état de ON de la CRS lorsque la RRAM supérieure est en LRS et la RRAM inférieure en HRS. L'état inverse 3 correspond à l'état OFF de la CRS. L'état 2 est un état de transition accessible uniquement sous tension comprise entre V1 et V2 ou entre V3 et V4.[70]	30
Figure II-1 : Motif élémentaire de l'oxyde d'indium correspondant à 1/16 d'une maille cubique centré[80].	34
Figure II-2 : Schéma de la structure de bande de l' In_2O_3 sous stœchiométrie et les orbitales des atomes à l'origine des états disponibles. Sont représentés la bande de valence maximale (VBM) la bande de conduction minimale (CBM), la bande de forte absorption optique (VB1) ainsi que les niveaux donneurs introduits par les lacunes d'oxygène V_O [96][93].	36
Figure II-3: Image TEM d'une monocouche de nanoparticules d'oxyde d'indium synthétisées par voie sol-gel et dispersées par centrifugation. Les nanoparticules ont une dispersion en taille très faible autour de la moyenne 11,5 nm et sont réparties de manière homogène.[107]	40
Figure II-4 : a) Observation TEM de la couche d'oxyde de silicium ayant subi l'implantation ionique d'indium à faible énergie et haute dose. Ce dernier s'auto aligne en une	

monocouche de nanoparticules de 3 à 4 nm de diamètre visible en b) sur une vue TEM centrée sur une seule particule.[112]	41
Figure II-5 : Diagramme de bande idéale à l'équilibre de la structure mémoire imaginée. Les dimensions latérales sont à l'échelle.	45
Figure III-1: Schéma de la structure verticale de toutes les mémoires fabriquées.	49
Figure III-2 : Schéma d'une des structures MIM intégrant des nanoparticules utilisées lors de cette étude (image par Edgar Léon-Perez).	50
Figure III-3: Schéma des éléments constituant la MOCVD Applied Materials, acquise conjointement par le LTM et le CEA Leti.....	51
Figure III-4 : Schéma du réacteur de MOCVD à flux laminaire tel que celui utilisé pour cette étude	52
Figure III-5 : Schéma de fonctionnement des lignes de gaz entrant dans un réacteur d'une MOCVD. L'arrivée de gaz s'effectue en deux lignes, la première uniquement parcourue par le gaz vecteur et la seconde passant par les bulleurs (un seul représenté ici) contenant les précurseurs organométalliques à l'état liquide ou solide et gazeux.	52
Figure III-6 : a) Schéma de l'étape technologique de dépôt des nanoparticules d'In ₂ O ₃ sur substrat Si/SiO ₂ thermique; b) Image au microscope à force atomique et c) Image au microscope électronique à balayage de la surface d'un substrat recouvert de nanoparticules non jointives.....	53
Figure III-7 : Image TEM de la structure immédiatement après dépôt de la couche d'Al ₂ O ₃ d'encapsulation par ALD.	55
Figure III-8 : Schéma d'un dépôt par évaporation métallique à travers un masque dur en violet.....	56
Figure III-9 : Schéma des différentes étapes technologiques nécessaires à la fabrication des électrodes et des chemins d'amenées par photolithographie.	57
Figure III-10 : Schéma explicatif des étapes de dépôt d'une espèce par CVD. 1) Adsorption en surface du précurseur ; 2) Diffusion ou désorption du précurseur ; 3) Décomposition du précurseur en un atome ou une molécule solide ou liquide et en résidus de réactions gazeux [127].	58
Figure III-11 : Image TEM des nanoparticules d'oxyde d'indium déposées par MOCVD sur un substrat Si/SiO ₂ . Les nanoparticules sont encapsulées dans du carbone pour protéger l'échantillon lors de sa préparation.	60
Figure III-12 : Extrait du spectre d'analyse XPS basé sur l'énergie de liaison de l'indium avec l'oxygène. Analyse du substrat SiO ₂ directement après dépôt des nanoparticules par recette optimisée avec un réacteur MOCVD. Le substrat est conditionné en atmosphère contrôlée non oxydante pour la mesure en bleu (trait continu avec symbole) à t ₀ et après sa remise à l'air à t ₁ en noir (trait continu sans symboles).	61
Figure III-13 : Extrait d'une analyse XPS d'un substrat SiO ₂ après un dépôt d'indium par une recette non optimisée.....	63

Figure III-14 : Schéma de la vitesse de croissance d'un dépôt CVD en fonction de la température. On observe 3 régimes de croissance à partir de la température de décomposition du précurseur [118].	64
Figure III-15 : Vue AFM d'échantillons provenant des bords de substrats ayant subis des recettes à 380°C, 400°C et 420°C et graphique de l'impact de la température de dépôt des nanoparticules d'oxyde d'indium sur le volume surfacique déposé (symboles triangles) et sur la taille des nanoparticules (symboles carrés).	65
Figure III-16 : Représentation de la loi d'Arrhenius de la vitesse de dépôt en fonction de l'inverse de la température	66
Figure III-17: Impact de la pression partielle du précurseur sur la vitesse de croissance des nanoparticules déposées par CVD [118].	67
Figure III-18 : a) Comparaison de la vitesse de dépôt d'indium pour deux recettes à différents flux de précurseur mais à pression partielle équivalente. b) Variation de la densité de Nps en fonction de la position sur le substrat n°30. c) Tableau des recettes de dépôt.	69
Figure III-19 : Vue AFM d'un substrat SiO ₂ après dépôt d'indium par MOCVD montrant une double population de nanoparticules et histogramme de la quantité surfacique de nanoparticules en fonction de leur hauteur.	71
Figure III-20 : Histogramme de la répartition en hauteurs des nanoparticules après leur phase de nucléation.	72
Figure III-21 : Vue AFM d'une nucléation réussie sur substrat SiO ₂ . a) Bord de plaque avec une population minoritaire de nanoparticules de grande taille. b) Milieu de plaque parfaitement homogène.	73
Figure III-22 : Évolution de la hauteur des nanoparticules et de la densité de nanoparticules en fonction du temps de dépôt lors de l'étape de croissance.	74
Figure III-23 : Histogramme de la répartition en hauteurs des nanoparticules après leur phase de croissance et vues AFM d'un substrat après croissance des nucléi. a) Bord de plaque. b) Milieu de plaque.	75
Figure III-24 : Histogramme de dispersion des hauteurs des nanoparticules comparant deux recettes équivalentes avec étape de nucléation et croissance ou en continu. Une vue AFM de substrat ayant subis ces recettes sont visible en a) recette avec étapes, en b) recette sans étape.	76
Figure IV-1 : Tension de surface en fonction de la tension de grille d'une capacité CMOS avec un substrat Si dopé n [141].	83
Figure IV-2 : a) Schéma de la mémoire étudiée pour observer un éventuel stockage de charge. b) Mesure de la capacité de la mémoire à l'état de haute résistivité (et de sa référence) en fonction d'une rampe de tension de -3V à 2,2V (3V en aller-retour).	85
Figure IV-3 : a) Schéma de la structure MOS réalisée pour observer un éventuel stockage de charge. b) Mesure de la capacité de la structure en fonction d'une rampe de tension de 5V à -5V en aller-retour ne montrant pas d'hystérésis.	86
Figure IV-4 : Réponse en courant typique à une rampe de tension d'un dispositif (courbe bleue et carré pleins) et de sa référence (cercle vide noir) numéro 32. La rampe de tension	

appliquée est de 0 à 5V puis 0 à -5V avec une compliance en positif de 10^{-5} A. Le dispositif montre une commutation résistive avec $V_{SET} = 3,3V$ et $V_{RESET} = -3,5V$ absente de la réponse de la référence.	88
Figure IV-5: Cycles typiques d'un dispositif (en couleur avec des symboles losange ou carré) à l'état pristine et de sa référence (en cercle noir vide) numéro 32. Réponse en courant à une rampe de tension de 0 à 5V puis 0 à -5V avec une compliance en positif de 10^{-2} A.	90
Figure IV-6 : Cycle typique de 4 dispositifs (courbe avec symboles en couleur) et de sa référence (cercles noirs vides) numéro 32. Réponse en courant à une rampe de tension avec une compliance en positif I_C variable avec $I_C = 10^{-5}$ A pour les dispositifs C1L2, C1L5 et C2L2 et une compliance $I_C = 10^{-2}$ A pour le dispositif C2L4.....	92
Figure IV-7 : Cycle de densité de courant en fonction du champ électrique représentatif de 3 échantillons aux épaisseurs d'oxyde différents. Ech 32 : 2.5 nm SiO ₂ , 2.5 nm Al ₂ O ₃ ; Ech 35 : 2.5 nm SiO ₂ , 5 nm Al ₂ O ₃ ; Ech 38 : 5nm SiO ₂ , 2.5 nm Al ₂ O ₃	93
Figure IV-8 : Densité de courant en fonction du champ électrique de trois dispositifs par échantillons pour déterminer l'influence de la dimension des échantillons. Les échantillons d'où proviennent les dispositifs sont l'échantillon 30 de 30µm de diamètre, 31 de 50µm de diamètre et 32 de 100 µm de diamètre.....	96
Figure IV-9 : a) Probabilité cumulée de claquage de trois échantillons de taille d'électrode différente avec 30µm pour l'échantillon 30, 50µm pour l'échantillon 31 et 100 µm pour l'échantillon 32. b) Caractéristique de Weibull des trois échantillons mentionnés avec une normalisation de leur surface à 707 µm ² (référence de l'échantillon 30).....	98
Figure IV-10 : Caractéristique de Weibull de dispositifs d'échantillons provenant des trois lots pour comparer a nature de leurs électrodes. Pour la comparaison des échantillons, l'échantillon pris comme référence est l'échantillon 31 de 50µm de diamètre.	100
Figure IV-11 : Schéma de montage des mesures en mode pulsées.....	101
Figure IV-12 : a) Allure schématique du cycle de tension écriture/lecture/effacement/lecture appliquée sur le dispositif mémoire lors de mesure en mode pulsé. Les tensions d'écriture, d'effacement et de lecture sont contrôlées tout comme les temps d'écriture et d'effacement. L'axe des temps n'est pas continu, car la durée de la lecture n'est pas contrôlable. b) Distribution cumulative des états résistifs d'un dispositif mémoire de l'échantillon 42 du lot B pour les états de hautes (HRS) et basses (LRS) résistivités au cours de 34 cycles de commutations résistives. Paramètres de mesure $V_{pos} = 5V$, $t_{pos} = 500ms$ et $R_{protection} = 500 k\Omega$; $V_{neg} = -3V$ et $t_{neg} = 500 ms$. c) Tableau récapitulatif de la campagne de mesure de la réponse au protocole de 62 échantillons différents.....	102
Figure IV-13 : a) Schéma de la structure mémoire réelle. b) Schéma de la structure mémoire selon le modèle utilisé avec les diagrammes de bande de chaque partie.	104
Figure IV-14 : Schéma équivalent du comportement électrique des mémoires selon le modèle utilisé.....	104
Figure IV-15 : Comparaison d'une mesure (points) et de la simulation (lignes) de la densité de courant de type tunnel direct ou Fowler-Nordheim en fonction du champ électrique dans une structure MOS Si n+/SiO ₂ /Al.	107

Figure IV-16 : Diagramme de bande schématique d'une référence soumise à une tension positive sur l'électrode métallique. Les quatre types de conduction possibles sont représentés.	108
Figure IV-17 : Comparaison de la densité de courant en réponse à une rampe de tension pour une mesure (points de mesures) et une simulation (courbe continue) de la structure de référence.	109
Figure IV-18 : Diagramme de bande de la structure mémoire soumise à une tension positive sur l'électrode métallique.	111
Figure IV-19 : Comparaison de la densité de courant en réponse à une rampe de tension mesurée et simulée à l'aide du modèle.	112
Figure IV-20 : Caractéristique courant en fonction de la tension de dispositifs du lot 71 à différentes températures allant de 100K à 300K par palier de 50K. Pour chaque température, au moins 4 dispositifs sont représentés.....	114
Figure IV-21 : Caractéristiques de différents modes de conduction à l'état HRS pour 5 dispositifs différents de l'échantillon 71 du lot C chacun à une température propre. Les courbes représentées en nuage de point sont les modes de conceptions indépendants de la température et quand cela est possible une droite de régression linéaire est tracée en noir sur la partie la plus probable de la caractéristique : a) Fowler-Nordheim ; b) Trap Assisted Tunnel ; c) et d) SCLC. Le tableau e) compile les valeurs extraites de ces droites de régression linéaire des caractéristiques.	116
Figure IV-22 : Caractéristiques des modes de conduction à l'état LRS de 4 dispositifs typiques pour 4 températures différentes. Les courbes représentées en nuage de point sont les caractéristiques des modes de conceptions calculées à partir de la mesure de la réponse I(V) des dispositifs. Quand cela est possible, une droite de régression linéaire est tracée en noir sur la partie la plus probable de la caractéristique : a) SCLC ; b) Schottky ; c) Ionique ; d) Fowler-Nordheim ; e) Poole Frenkel et f) Trap Assisted Tunnel. Le tableau g) synthétise les valeurs extraites de ces droites de régression linéaire des caractéristiques pour une épaisseur d'oxyde de 2,5 nm.	118
Figure 0-1 : Schéma d'un diagramme de bande d'une structure MIM montant des conceptions Schottky, Fowler Nordheim et tunnel direct à travers un isolant.....	139
Figure 0-2 : Schéma d'un diagramme de bande d'une structure MIM montant des conceptions ohmique, par hopping ou par conduction Poole Frenkel à travers un isolant.	142

Introduction générale

Depuis les années 1960, le marché des semi-conducteurs est en essor permanent pour répondre à une demande toujours croissante des consommateurs. En outre les technologies de l'information basées sur les semi-conducteurs sont aujourd'hui, 60 ans plus tard, plus que jamais présentes tout autour de nous. La réussite de cette industrie est directement attribuable à sa capacité à développer des produits toujours plus performants aussi bien en terme de traitement qu'en terme de stockage des données. L'un des enjeux majeurs de cette technologie est effectivement cette problématique de la rétention de l'information sur le long terme. La simplicité de l'utilisation de nos outils informatiques cache en effet une formidable complexité à bien des niveaux et en particulier au niveau du stockage de l'information. Les mémoires informatiques, qui seront l'objet de ce rapport, sont des composants issus de technologies qui ont dû relever un grand nombre de défis technologiques pour atteindre les performances tout à fait impressionnantes observées de nos jours.

Une mémoire idéale permettrait le stockage pérenne d'une grande quantité d'information, serait directement intégrable sur la puce logique des systèmes informatiques, avec une consommation faible, une grande vitesse d'exécution et une forte endurance. Une telle mémoire qui serait une mémoire dite universelle n'existe malheureusement pas. On use donc de stratagèmes pour parvenir à un résultat similaire en spécialisant des mémoires qui vont communiquer entre elles. Par exemple les mémoires les plus rapides, les seules à même à communiquer avec le processeur seront incapable de stocker l'information de manière pérenne. Les mémoires de stockage quant à elles auront les dimensions les plus agressives pour intégrer le maximum de cellules sur une surface donnée mais des temps d'accès très longs en contrepartie.

De manière générale, la voie privilégiée pour améliorer les performances comme les capacités de stockage des mémoires est la diminution de la taille de ces composants. Cette stratégie a permis l'atteinte des dimensions impressionnantes, aujourd'hui de l'ordre de la dizaine de nanomètres. C'est le cas de la mémoire Flash qui, depuis les années 1990 est la technologie la plus représentée parmi les mémoires de stockage à semi-conducteur. Cette réduction de dimension pose de plus en plus de problèmes à différents niveaux. Les techniques de fabrication deviennent coûteuses et complexes à mettre en place et les propriétés de la matière sont très différentes à ces échelles où des effets quantiques commencent à être prépondérants. Pour faire face à ces défis inédits, plusieurs stratégies sont actuellement adoptées :

- L'évolution de la forme des mémoires plutôt qu'uniquement leur dimension. Les principales entreprises investissent massivement dans une nouvelle génération de mémoire flash. L'objectif de la plupart d'entre elles est la mise au point de

Introduction générale

mémoires pouvant être empilées en 3 dimensions pour augmenter drastiquement en capacité d'intégration. Des nouvelles problématiques sont alors à prendre en compte comme par exemple la gestion de la chaleur à l'intérieur de ces puces très denses.

- Le développement de nouvelles technologies de substitution qui viendraient remplacer les mémoires existantes. On appelle ces dernières des mémoires émergentes. De nombreuses technologies sont étudiées dans cet objectif par tous les acteurs du secteur afin de trouver la technologie la plus prometteuse. À l'heure actuelle, chacune de ces technologies semble tirer son épingle du jeu dans des applications spécialisées sans que l'une de ces technologies ne soit suffisamment mature pour concurrencer les mémoires actuelles.

C'est dans ce contexte que s'inscrivent ces travaux. Le projet mené au cours de ces trois années est directement axé sur l'une des technologies émergentes appelées mémoires résistives à accès aléatoire. Contrairement aux mémoires actuelles basées majoritairement sur le transistor MOS et le stockage de charge, cette technologie se base sur la variation contrôlée de l'état résistif d'une structure mémoire que l'on nomme commutation résistive. Ces composants bien qu'encore immatures présentent déjà des performances particulièrement intéressantes ce qui en fait une technologie prometteuse. Ces composants qui peuvent atteindre des dimensions similaires à celles des mémoires flash sont également non-volatiles, autrement dit stockent l'information de manière pérenne, ce qui fait d'eux des mémoires de stockage potentielles. De plus, l'effet de commutation résistif est observé avec un vaste choix de matériaux et dans des structures très simples à mettre en place avec les techniques de fabrication actuelles. Pour la même raison, il est aisé d'empiler ces structures en trois dimensions pour atteindre d'excellentes densités d'intégrations. Enfin, on note une très faible énergie nécessaire à l'écriture ou à la lecture de l'information dans ces mémoires, avantage non négligeable pour des mémoires intégrables dans des puces pour des applications embarquées par exemple.

Cependant, ces mémoires ont encore un certain nombre de défis à relever afin d'être compétitives. Leur nature résistive est un inconvénient en termes d'organisation des matrices mémoires. En effet, il est bien moins aisé de sélectionner électriquement une résistance à deux terminaux qu'un transistor à trois terminaux dans une matrice de mémoire. De plus, ces mémoires souffrent encore d'une variabilité importante de leurs performances aussi bien d'une mémoire à l'autre, qu'au cours de la vie d'une même mémoire.

Les travaux de thèse traitent d'une des solutions proposées dans la littérature internationale afin d'améliorer les performances et notamment la reproductibilité des mémoires résistive. Des études préliminaires ont démontré le fonctionnement de mémoires résistives de type OxRRAM, pour Oxide based Random Access Memory, en introduisant des nanoparticules d'oxyde d'indium au sein de l'isolant d'une structure Métal/Isolant/Métal.

Introduction générale

L'objectif principal du projet dans lequel s'inscrit cette thèse est d'étudier l'impact de l'introduction de ces nanoparticules d'oxyde d'indium au sein de l'isolant d'une mémoire résistive. Plus spécifiquement les objectifs de la thèse sont :

- Imaginer et concevoir une structure mémoire intégrant des nanoparticules d'oxyde d'indium suffisamment performante pour permettre une étude électrique complète. Comme objectif subsidiaire nous souhaitons que cette structure soit compatible avec la technologie CMOS Back End Off-Line.
- Étudier et décrire le fonctionnement électrique de ces mémoires et déterminer l'impact des nanoparticules sur les performances et la commutation résistive.

Le document est décomposé en 4 chapitres suivant cette introduction. Dans le premier, il est présenté une étude de la littérature internationale axée sur les mémoires à base de semi-conducteur en général puis sur les mémoires émergentes en particulier. On s'attarde sur les mémoires résistives, leurs avantages ainsi que les inconvénients et leurs solutions envisagées.

La conception de la mémoire d'étude est ensuite présentée au chapitre 2. Les choix des matériaux sont explicités et en particulier l'étude sur l'oxyde d'indium. Il est question d'une description de ce matériau peu utilisé en microélectronique et de ses propriétés notamment électriques.

Le troisième chapitre décrit précisément toutes les étapes de fabrication de la mémoire avec une description de chaque outil et protocole utilisé. Il y est notamment détaillé le procédé innovant de dépôt des nanoparticules qui est le verrou matériau principal de ces travaux.

Enfin le dernier chapitre traite des caractérisations électriques des mémoires. Il détaille les travaux visant à déterminer le type de commutation résistive avant de s'intéresser aux influences des paramètres matériaux sur le comportement global des mémoires ainsi que sur leurs performances. Une modélisation puis une simulation de la structure sont effectuées afin de tenter de reproduire son fonctionnement et d'en extraire les paramètres électriques. Enfin une étude des courants de conduction à chaque état résistif est proposée.

I. État de l'art de la technologie mémoire

I.	Etat de l'art de la technologie mémoire	2
I. 1.	Introduction	4
I. 2.	Les technologies mémoires	4
I. 2. 1)	Caractéristiques des mémoires	5
I. 2. 2)	Terminologie.....	6
I. 2. 3)	Mémoires à transistor	7
•	La SRAM Static Random Access Memory	7
•	La DRAM Dynamic Random Access Memory.....	8
•	La mémoire Flash	8
I. 2. 4)	Organisation des mémoires à transistor	9
I. 2. 5)	Limites des mémoires à transistor	10
I. 3.	Mémoires émergentes	12
•	La PCRAM Phase-Change Random Access Memory	12
•	La MRAM Magnetic Random Access Memory.....	12
•	La FeRAM Ferroelectric Random Access Memory.....	12
•	La RRAM Resistive Random Access Memory.....	13
I. 4.	Tableau comparatif des mémoires actuelles et émergentes.....	14
I. 5.	Le dispositif RRAM	16
I. 5. 1)	Généralités	16
I. 5. 2)	Principe de fonctionnement.....	17
I. 5. 3)	Conduction filamentaire.....	18
•	Fonctionnement des CBRAM	19
•	Fonctionnement des OxRAM	21
•	Conduction à plusieurs filaments	22
I. 5. 4)	Conduction non filamentaire	23
•	Commutation résistive par charge des interfaces d'une VCM	23
•	Commutation résistive par piégeage dé-piégeage d'électron et effet de charge	23
•	Commutation résistive par phénomène de transition métal/isolant de Mott	24
I. 5. 5)	Enjeux des mémoires RRAM	24
•	Amélioration des performances	25
•	Favoriser la formation/destruction des filaments.....	25
•	Gestion de l'oxygène dans le diélectrique.....	25
•	Nanostructures comme sites de nucléation des chemins de conduction..	26

Chapitre 1 : Etat de l'art de la technologie mémoire

- Nanostructures ou dopage du diélectrique pour favoriser le piégeage des charges 27
- I. 6. Architectures des RRAM..... 27
 - Architecture 1S1R, 1D1R ou 1T1R..... 28
 - I. 6. 1) Complementary Resistive Switch 28
- I. 7. Conclusion et positionnement du projet..... 30

I. 1. Introduction

Dans une logique de perfectionnement de nos systèmes numériques, la question de la mémoire non volatile est un sujet de premier ordre. Devant la nécessité actuelle de gérer et de stocker de plus en plus d'informations et la difficulté de la poursuite à la miniaturisation de la technologie CMOS[1], la recherche se porte sur de nouvelles technologies pour le futur. Parmi ces nouvelles technologies qui sont appelées mémoires émergentes, on compte les mémoires résistives qui font l'objet d'un grand nombre de recherches dans la littérature. Différentes voies sont étudiées afin de trouver le composant de demain et en particulier celui qui nous intéressera, la Resistive Random Access Memory que l'on trouve sous plusieurs appellations dans la littérature tel que ReRAM ou encore RRAM. Cette dernière abréviation sera utilisée dans ce document pour qualifier les mémoires résistives en général mais nous verrons que sous cette appellation se cache une multitude de dispositifs différents.

Ce premier chapitre explore l'état de l'art des technologies mémoires non volatile. Après un rappel de leurs caractéristiques principales, nous verrons un bref historique de la technologie mémoire actuelle et émergente. Nous nous focaliserons ensuite sur les RRAM et en particulier sur les connaissances actuelles en termes de fonctionnement et de performance de ces mémoires. Nous observerons leur architecture, leur composition et le type de fonctionnement qu'elles peuvent adopter. Nous verrons que bien qu'elles présentent des caractéristiques tout à fait intéressantes, elles ne sont pas exemptes de défauts et de défi qu'il faudra relever afin de pouvoir envisager une industrialisation et une utilisation commerciale. Les limites des composants actuels étant bien cernées, des travaux sont déjà en cours pour y remédier.

I. 2. Les technologies mémoires

Impossible de nier l'explosion démographique des dispositifs « intelligents » à l'ère du big data que nous vivons à tel point l'électronique embarquée est présente dans notre mode de vie occidental. Rappelons que ces dispositifs semi-conducteurs ne peuvent pourtant effectuer que des opérations de base, même si cette caractéristique est masquée par leur formidable vitesse d'exécution. Ce traitement de grandes quantités de données nécessite, en plus des unités de calculs, un grand nombre d'unités de stockage : les mémoires électroniques. Beaucoup de technologies se sont succédé à cette difficile tâche du stockage de l'information : le papier avec les rubans perforés, les tores et bandes magnétiques, les dispositifs à surfaces réfléchissantes (système optique) et enfin les

dispositifs semi-conducteurs. Ce sont sur ces derniers que nous nous concentrerons, car ils sont largement prépondérants aujourd'hui.

I. 2. 1) Caractéristiques des mémoires

Les principales propriétés déterminant les performances et utilisations des mémoires sont listées ci-dessous :

- Le temps de rétention de l'information avant sa perte. Cette information est primordiale, elle détermine le type de mémoire autrement dit si celle-ci est volatile ou non-volatile.
- L'architecture qui est l'organisation et le nombre de composants requis pour former un point mémoire. C'est cette organisation qui va définir le type d'accès à l'information aléatoire ou séquentiel.
- La dimension d'un point mémoire qui indique la surface minimale de ce point en F^2 avec F la dimension du nœud technologique. Une faible dimension est visée pour obtenir une plus grande densité de mémoire.
- Le temps et la tension nécessaires pour réaliser une opération d'écriture/effacement d'un point mémoire.
- Le temps et la tension nécessaires pour réaliser une opération de lecture d'un point mémoire.
- La consommation qui est l'énergie nécessaire au maintien, au changement d'état ou à la lecture d'un bit de mémoire.
- L'endurance qui caractérise le nombre de cycles d'écriture et effacement que le composant peut subir avant de défaillir.

Pour définir une mémoire, la première caractéristique nécessaire est le temps de rétention de l'information. On distingue deux types de stockage de l'information : les dispositifs volatiles et non volatiles. Le terme mémoire volatile vient du fait qu'un arrêt de leur alimentation résulte en une perte de l'information qu'elles contiennent. De plus certaines doivent être régulièrement réécrites, car l'information se perd au bout de temps court de l'ordre de la milliseconde. À l'inverse, les mémoires non volatiles gardent l'information pendant de longues durées même en l'absence d'alimentation. Pour qu'une mémoire soit considérée comme non volatile, elle doit montrer une rétention de l'information d'au moins 10 ans [2]. Vous conviendrez qu'il est impossible de réaliser des tests sur cette durée pour vérifier ce paramètre. La caractérisation des temps de rétention consiste donc à vérifier la tenue de l'information dans des temps raisonnables, mais à des températures plus hautes que celles de fonctionnement [3]. Au vu de cette caractéristique, il

est alors évident que certaines mémoires seront destinées au calcul alors que d'autres seront dédiées au stockage.

Il est important de noter une autre caractéristique qui importe dans l'utilisation qu'on fera d'une mémoire, il s'agit de l'accès à celle-ci. Cet accès est entièrement dépendant de l'organisation générale des points mémoires. Si chaque bit est directement accessible via une adresse, on dit que la mémoire a un accès direct ou aléatoire (RAM pour Random Access Memory). On entend aussi le terme de mémoire vive qui peut prêter à confusion et sur lequel on reviendra au prochain paragraphe traitant de la terminologie. Un exemple de cet accès aléatoire est visible Figure I-1 où la modification du 5^{ème} bit est réalisée directement en une unique opération. Si au contraire l'information est codée par bloc de mémoires et que l'écriture et la lecture d'un bit obligent à réaliser l'action sur l'ensemble du bloc mémoire dans un ordre prédéfini, alors la mémoire est dite séquentielle. Il y a dans ce cas, pour un bloc de 8 bits, 8 étapes pour opérer l'état du 5^{ème} bit de la Figure I-1. L'accès aléatoire est préférable lors de la modification localisée de données mais est bien moins efficace que l'accès séquentiel pour la modification d'ensemble de données.

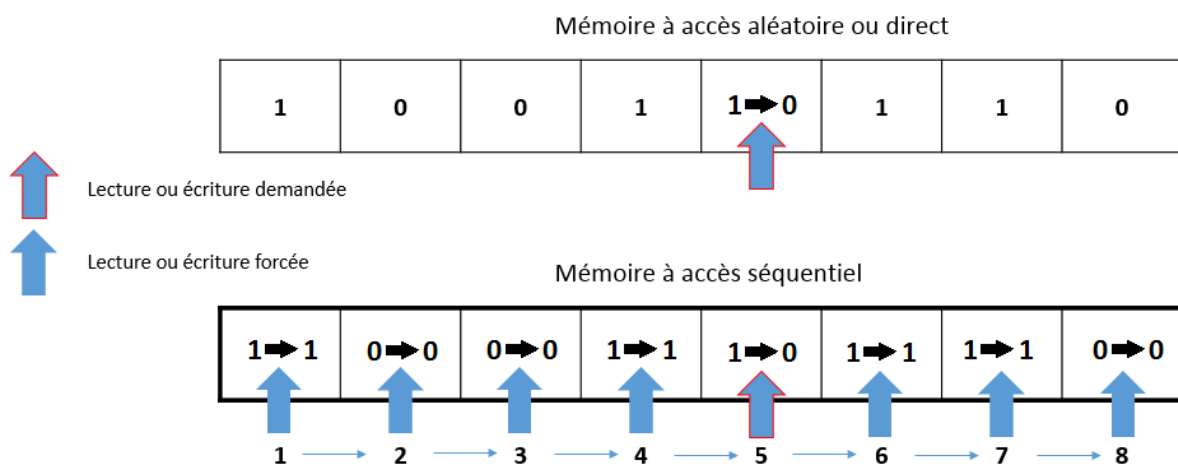


Figure I-1 : Comparaison des opérations effectuées pour lire ou écrire un bit donné selon le mode d'accès de la mémoire

On voit donc que ces deux caractéristiques vont définir l'utilisation et l'organisation des points mémoires. Les autres caractéristiques citées plus haut détermineront les performances des mémoires à l'utilisation qui leur ont été choisies.

I. 2. 2) Terminologie

Il est important d'avoir le précédent point en tête pour comprendre que la terminologie des mémoires peut prêter à confusion. En effet l'appellation des mémoires est très liée à l'histoire de la technologie et les termes utilisés aujourd'hui sont bien souvent devenus incohérents.

Les premières mémoires de stockage non volatiles étaient codées à la fabrication et ne pouvaient plus être modifiées par la suite, elles étaient dites mortes ou ROM pour Read Only Memory. Ce sont des mémoires forcément non volatiles puisqu'elles ont pour but de servir de table de référence ou encore de programmes de démarrage par exemple. Au même moment les mémoires à semi-conducteurs RAM - qui sont utilisées pour leur rapidité d'exécution et lorsque le stockage de l'information est réalisé par une autre entité - étaient toutes volatiles. Est alors apparue une fausse opposition des RAM et des ROM alors que ces termes ne désignent pas la même caractéristique. Pour rappel le terme RAM indique uniquement le type d'accès aléatoire à une mémoire et le terme ROM le caractère non-volatile de celle-ci.

En réalité une ROM est forcément non volatile, mais une mémoire non volatile n'est pas forcément une ROM. Pour comprendre, intéressons-nous à cette appellation « ROM ». Les ROM ont très rapidement été améliorées pour être programmables (PROM Programmable ROM) puis programmables et suppressibles (EPROM Erasable Programmable ROM) et enfin programmables et suppressibles électriquement (EEPROM Electrically Erasable Programmable ROM). Ainsi lorsque ces mémoires mortes ont évolué, leur nom initial ROM a perdu de son sens premier. Sachant cela et que l'accès à une cellule mémoire ne dépend que de l'architecture, on se rend compte qu'il peut très bien exister des mémoires ROM à accès aléatoires et qui pourraient donc être qualifiés de RAM. Le meilleur exemple est la technologie flash, dont ces composants sont des EEPROM se basant sur la rétention de charge dans la grille flottante d'un transistor MOS. En fonction de l'organisation de ces transistors, on peut former différentes portes logiques. Les mémoires flash NOR (porte logique non-ou) sont des mémoires EEPROM, non volatiles et à accès aléatoire. Les mémoires flash NAND (porte logique non-et) quant à elles sont des EEPROM non volatiles, mais à accès séquentiel en écriture [4].

Cette précision a toute son importance dans ce rapport. Nous parlerons dans un prochain paragraphe de technologies émergentes intégrant toutes le terme « RAM » dans leurs noms (MRAM, FeRAM, PCRAM et RRAM) et qui sont toutes non volatiles.

I. 2. 3) Mémoires à transistor

La quasi-totalité des mémoires actuelles est basée sur la technologie CMOS. On détaille ci-dessous les mémoires issues de cette technologie à transistor qui sont la mémoire flash, la SRAM et la DRAM

- La SRAM Static Random Access Memory

Mémoire volatile très rapide et de faible consommation. C'est une mémoire volatile dont la rétention de l'information est permanente tant que l'alimentation n'est pas coupée et qui ne nécessite pas de rafraîchissement. Elle est cependant composée de 6 transistors - 2 faisant office d'interrupteur et 4 de stockage - et est par conséquent de très grande dimension ce qui empêche de fortes capacités et la rend très coûteuse[5]. Très rapide et avec une endurance considérée comme infinie, elle est utilisée pour ces qualités comme mémoire cache ou registre directement connecté aux processeurs.

- La DRAM Dynamic Random Access Memory

Mémoire volatile rapide et peu chère. Elle est plus lente que la SRAM à cause de son architecture et son mode de fonctionnement. Elle est constituée d'un condensateur stockant l'information relié à un transistor servant d'interrupteur. L'état de charge du condensateur détermine l'état logique de la mémoire mais à cause des fuites celui-ci doit être rafraîchi régulièrement (typiquement toutes les 64 ms)[6][7]. De plus la lecture de l'information est destructive. Elle est utilisée comme mémoire principale. Selon l'ITRS 2015 la miniaturisation des DRAM en deçà du nœud 20 nm pose de nombreux challenge notamment à cause de la difficulté à produire des lignes capacitives de plus faibles dimensions [8]. En 2019 Samsung annonce commercialiser le nœud 16 nm DRAM pour la troisième génération de DRAM sub 20 nm[9].

- La mémoire Flash

Ces mémoires sont aujourd'hui la référence des mémoires non volatile en termes de stockage. Elles sont constituées d'un transistor possédant deux grilles, la grille de contrôle et la grille flottante. En stockant des charges dans la grille flottante, on crée un écran entre le canal et la grille de contrôle s'opposant à l'ouverture du canal. En fonction du passage ou non du courant à l'application d'une tension dument choisie sur la grille de contrôle, on peut donc savoir si des charges sont stockées ou non ce qui détermine l'état logique de la mémoire. Les flashes les plus récentes peuvent même stocker plusieurs informations dans un seul et même point mémoire, on dit qu'elles sont multiniveau (multi-level)[10]. Elles sont plus lentes que les mémoires SRAM et DRAM et soumises à de fortes difficultés de miniaturisation. En effet la diminution de la taille des composants provoque un problème de fuite de charge important ainsi qu'une discrimination des états logiques impossible. En fonction de leurs organisations en matrice NOR ou NAND, elles ont des caractéristiques et des rôles différents.

Les flash NOR sont plus lentes en écriture/effacement et ont une densité moindre mais ont un accès aléatoire en lecture et écriture. Elles sont utilisées dans les processeurs

embarqués pour le stockage d'information ne nécessitant pas de modification fréquente de la mémoire tel que des programmes d'exécutions.

Les flash NAND sont beaucoup plus compactes, moins onéreuses et se sont donc imposées comme les mémoires de stockage par excellence. Elles sont dotées d'un accès séquentiel en écriture. Elles sont actuellement proches des limites technologiques en technologie 2D (actuellement à 7nm et théoriquement limité à 3nm[1]) et sont donc vouées à changer radicalement de morphologie afin de pouvoir être intégrées dans des empilements 3D. L'inconvénient est que les approches 3D actuelles ont une surface par composant jusqu'à 36 fois supérieure ce qui rend les structures 3D à faible nombre de couches moins efficace que l'approche 2D [8].

I. 2. 4) Organisation des mémoires à transistor

Dans les structures actuelles, on tire directement parti des avantages et inconvénients de chaque type de mémoire précédemment détaillé. Comme le schématise la Figure I-2, elles sont organisées de manière pyramidale en fonction de leurs caractéristiques de sorte que la limite des performances de chaque mémoire ne nuise pas à la vitesse d'exécution du processeur.

Le registre est la mémoire interne du processeur et est très limité en taille (de l'ordre de la dizaine d'octets). Étant en contact direct avec le processeur, c'est une mémoire qui nécessite le plus grand débit de données. La mémoire cache est une mémoire de plus grande dimension avec plusieurs kilooctets mais permettant des débits de données moins importants que le registre. Elle sert de tampon entre la mémoire principale et le registre et permet une accélération de l'exécution des tâches du processeur. Ces deux mémoires sont actuellement composées de SRAM pour ces raisons de performances mais aussi pour leur endurance.

La mémoire principale historiquement appelée « RAM » est en général de plusieurs gigaoctets. C'est une mémoire tampon entre la mémoire de stockage très lente et la mémoire cache très rapide dont le rôle est assuré par des cellules DRAM. L'association de ces deux mémoires volatiles (SRAM et DRAM) ne permet que de stocker l'information sur des temps courts. Il peut s'agir par exemple des données utilisées très prochainement par un processeur ou de la première étape du stockage de données allant ensuite être enregistrées de manière pérenne dans la mémoire de stockage non volatile. Ces mémoires sont caractérisées par des temps de lecture ou d'écriture courts, mais des capacités de stockage faible et couteux en énergie à cause du caractère volatile de l'information [5].

Enfin la mémoire de stockage, forcément non volatile, va chercher à atteindre des capacités pouvant aller jusqu'au téraoctet sur chaque puce[11]. C'est généralement au prix d'une forte lenteur d'exécution. Ces mémoires, par exemple celles des SSD (Solid State Disk), sont actuellement de type flash. Un second choix de mémoire de stockage mérite d'être évoqué tant il est encore populaire actuellement. Le HDD (Hard Disk Drive) n'est pas constitué d'une mémoire à transistor mais sur une technologie de stockage de l'information par magnétorésistance géante sur un disque ferromagnétique en rotation constante. Bien moins cher à la fabrication, il est plus lent que la flash NAND, plus fragile et plus coûteux en énergie à cause de son fonctionnement mécanique et la rotation constante de son disque. Il est par contre excellent en termes de capacité de stockage de l'information et est très loin d'atteindre les limites théoriques de la technologie [6]. Cette technologie ne sera pas étudiée dans ce papier.

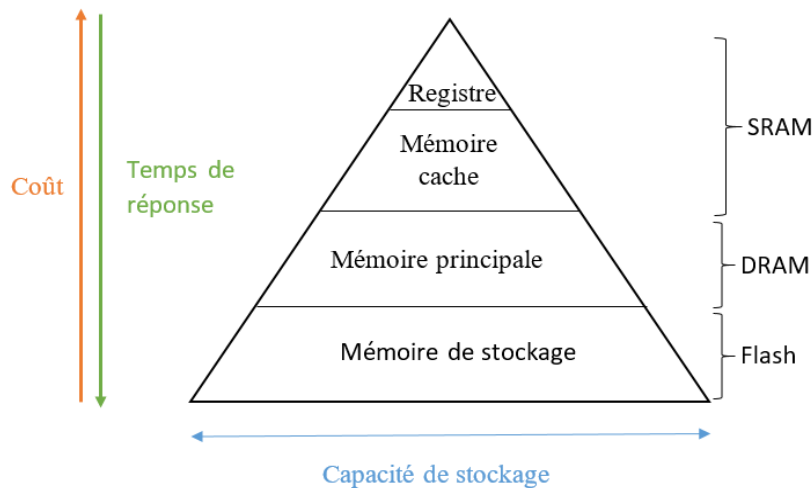


Figure I-2 : Schéma des différents niveaux de hiérarchie des mémoires

I. 2. 5) Limites des mémoires à transistor

Un défi majeur se pose à l'atteinte des limites technologiques de la technologie CMOS de laquelle sont issues toutes les mémoires présentées précédemment. Il y a également un écart de performance importante entre les mémoires DRAM et les mémoires flash. Deux solutions sont envisagées, la première étant un changement de paradigme et des recherches vers des architectures en trois dimensions des mémoires flash par exemple. La seconde propose de rechercher une technologie différente et de se tourner vers des mémoires émergentes alternatives parmi lesquelles on retrouve les mémoires RRAM (Resistive RAM), MRAM (Magnetic RAM), PCRAM (Phase-Change RAM) ou FeRAM (Ferroelectric RAM) [5][6].

Chapitre 1 : Etat de l'art de la technologie mémoire

Ces mémoires ont toutes la particularité d'être des mémoires non volatiles et à accès direct ce qui les place théoriquement en possible remplaçante aussi bien des mémoires RAM actuelles (SRAM et DRAM) que des mémoires de stockage (HDD ou flash). Une fois ces technologies à maturité, seules leurs performances détermineront quel sera leur emploi.

I. 3. Mémoires émergentes

- La PCRAM Phase-Change Random Access Memory

Composée de matériaux diélectriques à changement de phase, la PCRAM permet de stocker de l'information en fonction de l'état cristallin de son diélectrique. Le passage d'un fort et bref courant à l'intérieur du diélectrique va provoquer l'échauffement de la structure par effet joule qui va fondre et se solidifier sans organisation sous forme amorphe. Cette phase est fortement résistive. L'application d'un long courant de faible amplitude va permettre à la phase de cristalliser. Cette phase est plus organisée et donc moins résistive. Il suffit de mesurer l'état résistif du diélectrique à faible tension pour connaître l'état logique de la mémoire. La température a un rôle central dans le fonctionnement des PCRAM et le principal challenge est de réduire leur sensibilité à la chaleur ambiante notamment dans des applications comme l'automobile[2].

- La MRAM Magnetic Random Access Memory

Ces mémoires sont basées sur la résistance magnétique de certains matériaux. Les MRAM utilisent deux couches ferromagnétiques séparées par une barrière tunnel. La polarisation d'une de ces couches magnétiques est fixe et la polarisation de la seconde modifiable électriquement à l'écriture. Si les polarisations des deux couches sont parallèles le courant sera peu stoppé et la résistance magnétique faible, si les polarisations sont antiparallèles alors le courant passera plus difficilement et la résistance magnétique sera haute. La détermination de l'état logique est uniquement une mesure résistive. La technologie est encore en maturation notamment à cause de problèmes de réduction de taille, le champ magnétique étant très difficile à confiner avec de faibles dimensions. Des architectures différentes sont étudiées pour contourner le problème, la technologie STT-MRAM prenant en compte le spin du courant par exemple. Le second challenge est financier, ces mémoires étant difficiles à produire, leur coût n'est pas compétitif[12].

- La FeRAM Ferroelectric Random Access Memory

Mémoires ayant une architecture similaire à la DRAM d'architecture 1T1C (pour un transistor et une capacité). La différence s'effectue au niveau de la capacité qui est ferroélectrique et qui ne nécessite plus de rafraichissement ou de tension constante. Certaines technologies ferroélectriques ont une lecture destructive. Pour des raisons de la capacité est parfois directement connectée à un transistor, on parle alors de FeFET. La technologie est intéressante pour sa commutation rapide et son coût énergétique faible. Elle

est cependant coûteuse à produire à cause du nombre important d'étapes de fabrication [13] [14] et d'un budget thermique élevé lors de la fabrication [15].

- La RRAM Resistive Random Access Memory

La RRAM est une mémoire dont l'état logique est basé sur l'état résistif contrôlable d'un composant. L'écriture consiste à modifier l'état de résistivité d'une cellule par phénomènes filamentaires ou non filamentaires. La lecture est une mesure de résistance. Il est communément admis que plusieurs technologies répondent à cette appellation telle que les CBRAM pour Conductive Bridge RAM et les OxRAM pour Oxygen based RAM. Cette thèse portant sur une technologie RRAM, celle-ci sera détaillée dans la suite de ce rapport.

Si la RRAM a été à la base imaginée pour devenir une mémoire non volatile de remplacement pour la mémoire flash, des études tentent de l'utiliser à d'autres fins. On peut citer comme exemple l'utilisation de ce composant en tant que bloc logique [15][16], ou encore comme composant analogique pour des applications neuromorphiques[17]. Il reste néanmoins de nombreux défis à résoudre pour rendre cette mémoire compétitive. Les plus importants verrous sont le manque de contrôle des états résistifs surtout après un grand nombre de cycles, les courants de fuites par les cellules non sélectionnées (problème de Sneak path) ainsi que la combinaison des cellules RRAM avec un sélectionneur.

La Figure I-3 récapitule les types d'accès et le caractère volatile des mémoires précédemment citées actuelles comme émergentes [18].

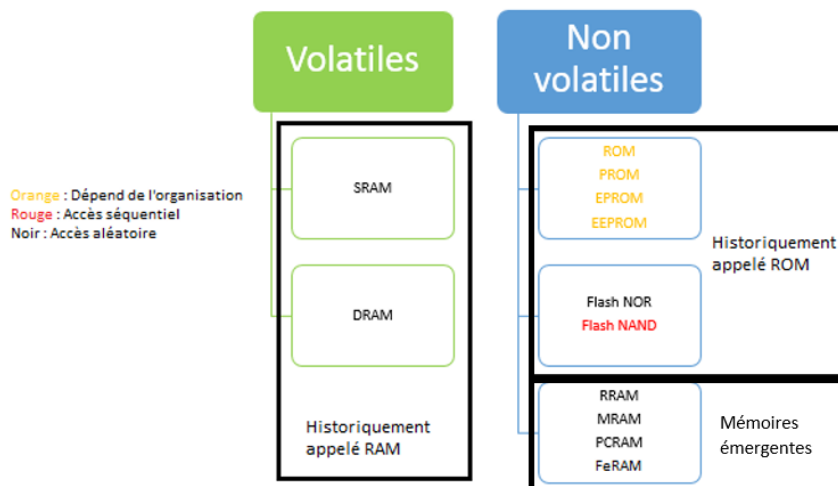


Figure I-3 : Organigramme récapitulatif des mémoires actuelles et émergentes en fonction de leur caractère volatile et de leur type d'accès

I. 4. Tableau comparatif des mémoires actuelles et émergentes

Le Tableau I-1 ci-dessous récapitule certaines performances des mémoires actuelles et émergentes précédemment présentées.

Chapitre 1 : Etat de l'art de la technologie mémoire

Mémoire	Maturité	Architecture	Dimensions	Stockage de l'information	Energie/ bit en écriture	Temps d'écriture/effacement	Temps de lecture	Endurance	Rétention
Flash NAND	Production	1T	4F ²	Stockage de charge	NC	1/0,1 ms	50 μs	1,00E+05	>10 ans
Flash NOR	Production	1T	10F ²	Stockage de charge	10 nj	1/10 ms	40 ns	1,00E+05	>10 ans
SRAM	Production	6T	140F ²	Tension à un nœud	0,023 fJ	<1 ns	<1 ns	1,00E+16	Jusqu'à coupure de l'alimentation
DRAM	Production	1T1C	6F ²	Charge d'un condensateur	2,9 fJ	10 ns	10 ns	1,00E+16	64 ms
MRAM	Production	1T1R ; 1D1R	20F ²	Magnéto résistance tunnel	55 pJ	12 ns	12 ns	1,00E+16	>10 ans
FeRAM	Production	1T1C	6F ²	Stockage de charge induisant une variation de résistance	34 fJ	50 ns	75 ns	1,00E+15	>10 ans
PCRAM	Production	1T1R	5F ²	Résistance d'une phase	51 fJ	100 ns	20 ns	1,00E+11	>10 ans
RRAM	Recherche	1T1R ; 1D1R	4F ²	Résistance d'une MIM	6fJ	10 ns	20ns	1,00E+12	>10 ans

Tableau I-1 : Tableau récapitulatif des caractéristiques des différentes mémoires à semi-conducteur actuelles et émergentes [8] [14] [5] [19] [20] [21] [22]

I. 5. Le dispositif RRAM

I. 5. 1) Généralités

Les RRAM sont des composants mémoires qui stockent l'information sous forme résistive. Parfois appelées memristors [23], leur résistance varie en fonction du courant qui les a traversés. Ces mémoires ont une structure de base simple « MIM » visible Figure I-4 qui n'est pas sans rappeler celle des capacités (avec « M » pour métal ou matériau à comportement métallique et « I » pour isolant, par exemple un oxyde) [24].

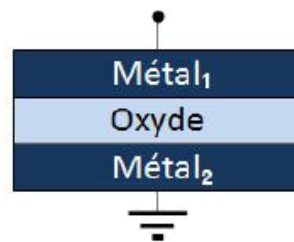


Figure I-4 : Structure sandwich MIM utilisé pour la fabrication de mémoires résistives [29]

Ce type de structure sandwich est connu depuis 1962 où Hickmott et al [25] font état d'une architecture permettant d'obtenir un composant à deux états résistifs stables. Il ne faut que quelques années pour imaginer utiliser cet effet comme potentielle mémoire informatique [26]. Cependant, l'engouement pour la technologie CMOS sur silicium va occulter pendant plusieurs décennies ce phénomène en tant que mémoire potentielle. C'est l'atteinte des limites de la miniaturisation des composants CMOS sur silicium qui pousse les recherches vers des technologies alternatives et qui remet à partir des années 1990 l'utilisation de ce phénomène résistif au goût du jour [27]. Cet effet est particulièrement marqué depuis 2004 suite à des démonstrations de fonctionnement de composants qui pourraient à terme remplacer la mémoire flash par le coréen Samsung [28]. Les avantages des RRAM sont nombreux avec notamment des temps de rétention longs (mémoire non volatile), un grand nombre de cycles avant défaillance, des temps d'accès courts, une compatibilité possible avec le CMOS end of Line (BEOL) et des tensions de fonctionnement faibles. Toutes ces caractéristiques ainsi que le bas coût de ces dispositifs en font une mémoire compétitive face à la mémoire flash mais aussi face aux autres technologies actuellement en développement. Un dernier avantage non négligeable de cette technologie est qu'elle peut être empilée dans une structure 3D [29].

Il est à noter que ce document n'évoque pas les mémoires RRAM de nature organique, un type de mémoire dont le fonctionnement est lié à la chimie du carbone et qui diffère des mécanismes se produisant dans les RRAM à semi-conducteur.

I. 5. 2) Principe de fonctionnement

Le principe de fonctionnement des RRAM repose sur un phénomène de variation contrôlée de la résistance d'un isolant en sandwich entre deux électrodes. Cette variation de résistance peut être due à plusieurs phénomènes en fonction de la composition de la structure MIM. Le premier de ces phénomènes ayant lieu dans la majorité des mémoires résistive de la littérature est la formation réversible d'un filament de conduction au cœur du diélectrique qui va connecter les deux électrodes. Ce filament peut être de plusieurs natures, par exemple métallique ou formé de lacune d'oxygène. D'autres phénomènes observés sont des passages de courant par effet de charge ou encore par transition de Mott. Pour modifier l'état logique de ces mémoires il est nécessaire de connaître la tension nécessaire pour commuter de l'état de haute résistivité HRS (High Resistive State) vers l'état de basse résistivité LRS (Low Resistive State), c'est ce qu'on appelle l'étape de SET. La tension permettant de réaliser la commutation inverse est naturellement appelée étape de RESET. En fonction du phénomène ayant lieu dans le composant on pourra observer deux types de fonctionnements des mémoires ayant des caractéristiques $I(V)$ très différentes comme on peut le voir sur les graphes Figure I-5 [30].

- Le premier type de fonctionnement est dit unipolaire ou encore non polaire. Ces mémoires nécessitent des tensions de différentes amplitudes pour commuter d'état résistif. Si la commutation ne dépend pas de la polarité ces mémoires sont dites non-polaire ; si les polarités des tensions nécessaires aux étapes de SET et de RESET doivent être identiques, elles sont dites unipolaires. On voit sur la Figure I-5 a) qu'une tension V_{set} doit être appliquée afin de passer de l'état HRS vers l'état LRS. La cellule se comporte alors comme une résistance jusqu'à l'atteinte de la tension $V_{reset} > V_{set}$ qui la remet dans un état de haute résistivité HRS.
- Le second type de fonctionnement dit bipolaire concerne les cellules mémoires nécessitant une tension pour passer d'un état HRS vers LRS et une tension de polarité inverse pour revenir de l'état LRS vers HRS. Par exemple sur la Figure I-5 b) on observe que la mémoire dans un état HRS doit être polarisée en inverse jusqu'à une tension V_{set} afin de commuter vers un état de faible résistivité. La réponse électrique de la cellule est alors résistive jusqu'à l'atteinte de la tension V_{reset} de polarité positive afin de retrouver un état de forte résistivité [31].

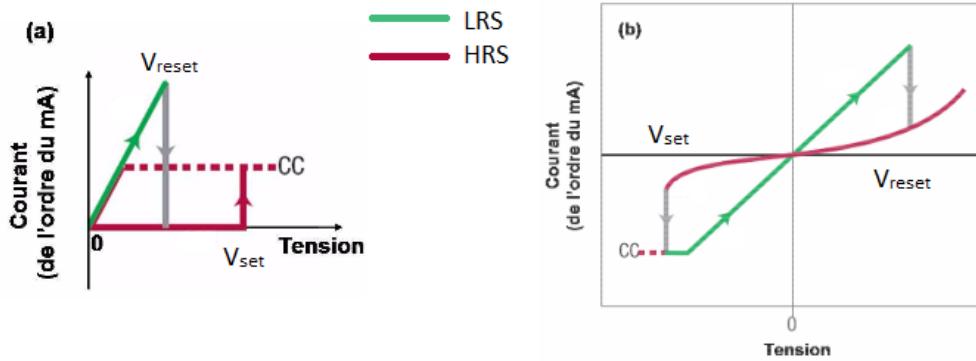


Figure 1-5 : Schéma des commutations de cellules mémoires a) unipolaire et b) bipolaire [31].

L'obtention de l'un ou l'autre de ces fonctionnements dépend des matériaux utilisés pour le diélectrique et pour les électrodes. Un même diélectrique pourra présenter des types de fonctionnement unipolaire ou bipolaire en fonction de la nature des électrodes. En effet la composition de la structure MIM va entraîner différents phénomènes menant à une commutation résistive [32]. On divise ces phénomènes en deux catégories qui sont les mémoires à conduction filamenteuses et les mémoires à conduction non filamenteuses.

1. 5. 3) Conduction filamenteuse

Certaines structures MIM peuvent adopter plusieurs états résistifs en fonction du courant qu'on applique à leurs bornes grâce à la croissance réversible d'un filament conducteur au sein de leurs isolants. Il y a alors existence d'un filament physique conducteur pouvant être de différentes natures. Nous détaillerons au prochain paragraphe deux types de mémoires à filament qui sont les CBRAM (Conductive Bridge RAM) et les OxRAM (Oxygen-based RAM). L'état résistif global du composant peut prendre deux niveaux distincts en fonction de la présence (LRS) ou non (HRS) du filament.

Ce filament n'étant pas présent lors de la fabrication du composant, la plupart des composants de la bibliographie ont besoin de ce qu'on appelle un électroformage. Cette étape consiste à une initialisation de la mémoire sous la forme d'une première commutation résistive et consiste en un claquage non destructif du diélectrique. Cette première création de filament permet de faciliter les prochaines commutations résistives. Une forte tension est appliquée aux bornes du dispositif jusqu'à l'observation d'une variation brusque de la résistivité. Les tensions de fonctionnement du composant sont généralement bien plus faibles que cette tension de formage [30]. Des moyens existent cependant pour permettre la fabrication de composants fonctionnant sans électroformage. En effet, en plus d'être une étape de fabrication supplémentaire, c'est également un processus risqué pour l'intégrité du composant. Parmi les solutions permettant de s'affranchir de l'électroformage, on peut citer

la diminution de l'épaisseur d'oxyde ou le dépôt d'un oxyde sous stœchiométrique favorisant la formation d'un filament grâce à des lacunes anioniques[33].

- Fonctionnement des CBRAM

Ces mémoires sont basées sur la migration de cations issus d'une électrode au sein du diélectrique. Ce phénomène peut intervenir uniquement dans les cellules mémoires asymétriques contenant une électrode active (Ag, Cu ...) et une seconde électrode inerte (Pt, W ...). À l'application d'une tension positive sur l'électrode active il y a dissolution anodique du métal qui migre sous l'effet du courant à travers le diélectrique vers la seconde électrode[34]. Cette migration s'effectue par l'intermédiaire des chemins les moins coûteux en énergie tels que les zones les moins épaisses du diélectrique ou encore les joints de grains pour former un filament métallique. Il a été constaté par Saadi et al. [35] que la présence de lacune d'oxygène dans les diélectriques composés d'oxydes favorisait également cette migration de cation.

En fonctionnement, l'état de résistivité de la cellule change brusquement de HRS vers LRS lorsque le filament ainsi formé atteint la seconde électrode. Un courant polarisé en inverse va provoquer l'ionisation des atomes du filament et une électro-migration de ces cations vers l'électrode active, migration thermiquement activée par effet Joule en particulier aux endroits où le filament est le plus fin et donc le plus résistif. Le retour à l'état HRS se produit à la destruction locale de ce filament. Ces cellules sont donc forcément bipolaires, car elles nécessitent un courant polarisé de l'anode vers la cathode pour former un filament et un courant inverse pour le détruire [36] [37].

L'efficacité de ces cellules est très liée à la vitesse de migration des ions à l'intérieur du diélectrique et donc à la qualité et à l'épaisseur de celui-ci ainsi qu'aux densités de courant qui activent le déplacement des ions. Le fait que le filament soit métallique et formé par migration électrochimique fait que ces mémoires sont parfois appelées « Mémoires à métallisation électrochimique » ou ECM (Electrochemical Metalization Memories) [38] .

L'exemple schématisé sur la Figure I-6 montre la commutation complète d'une telle cellule mémoire. La Figure I-6 A) montre une cellule à l'état initial HRS. En B) et C) a lieu la migration progressive des cations de l'anode vers la cathode sous l'effet du courant et en D) l'aboutissement de la formation d'un filament de conduction entre les électrodes et atteinte de l'état LRS. En E) on observe la destruction progressive du filament en polarisation inverse jusqu'à retour à l'état initial HRS. Ici, l'électrode active est en argent, l'électrode passive en platine et le diélectrique est quelconque [39].

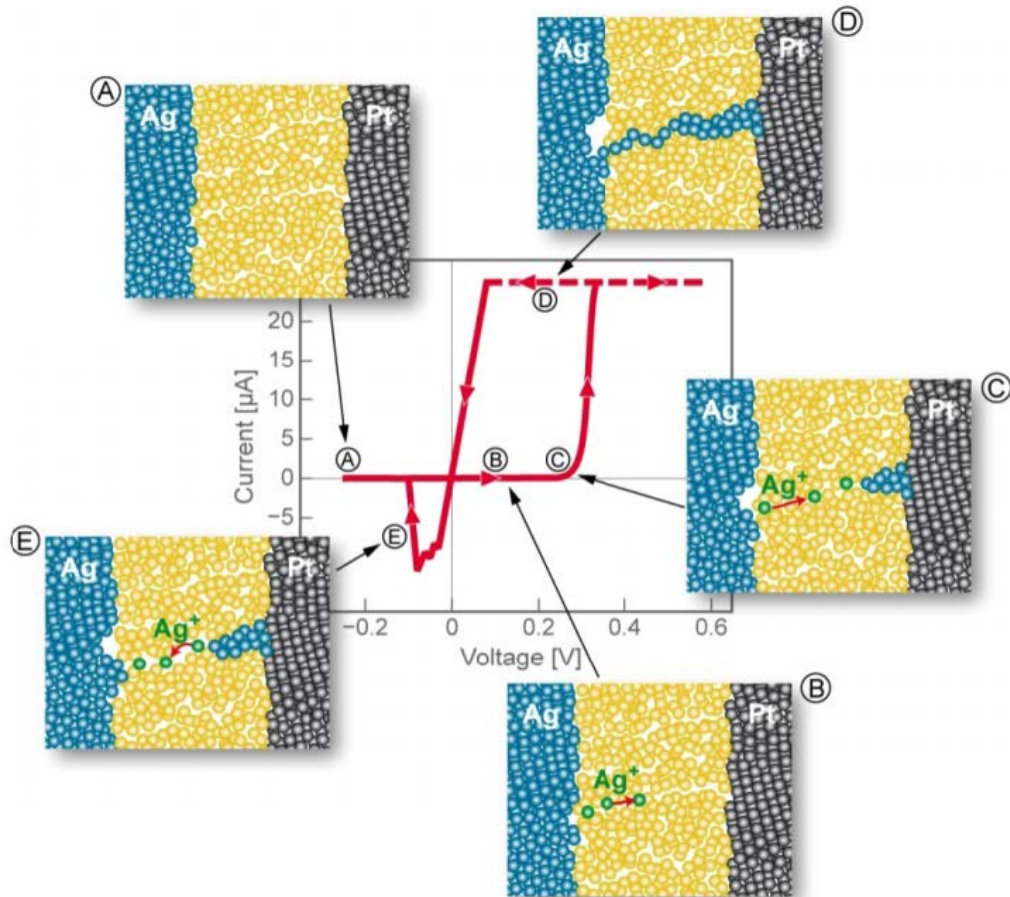


Figure I-6 : Schémas d'une cellule mémoire ECM à différents moments d'un cycle de commutation résistif. A) à D) Passage de l'état initial LRS vers un état HRS, E) retour à l'état HRS [39].

Cet exemple illustre uniquement l'une des possibilités de croissance des filaments métalliques qui peuvent être de trois types. En considérant que l'anode, où est appliquée une tension positive, est l'électrode active :

- De la cathode vers l'anode : Les cations provenant de l'ionisation de l'anode migrent jusqu'à atteindre soit la cathode soit l'embryon de filament relié à celle-ci. Le filament se forme donc depuis la cathode vers l'anode et le filament est de forme conique avec la partie la plus fine à l'anode et la plus épaisse à la cathode. Cet effet a lieu si le diélectrique ne s'oppose pas à la migration des cations par réduction de ceux-ci en chemin.
- De l'anode vers la cathode : Dans le cas où le diélectrique contient des charges négatives, les cations provenant de l'ionisation de l'anode n'ont qu'un très faible libre parcours moyen et sont réduits proche de l'anode. Ainsi le filament commence à croître du côté de l'anode et il atteint la cathode par croissance de proche en proche par oxydation et réduction successives des atomes constituant le filament. Il est également conique et est plus large du côté de l'anode dans ce cas.
- Du centre de la cellule vers les électrodes : Le dernier cas est possible s'il y a des inclusions du métal de l'électrode à l'intérieur du diélectrique. La migration des cations en provenance de l'anode est alors arrêtée au niveau de ces inclusions qui

migrent elles aussi vers la cathode. On assiste alors à une formation de filament croissant du centre du diélectrique vers les deux électrodes simultanément [40].

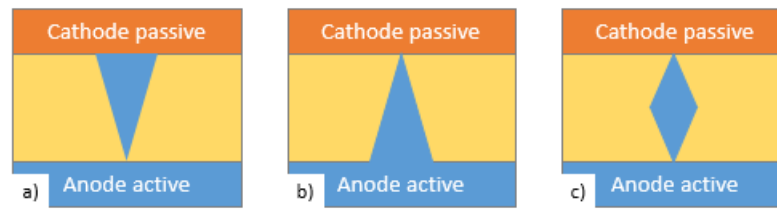


Figure I-7: Schéma des trois types de filaments observés dans les CBRAM. a) De la cathode vers l'anode ; b) De l'anode vers la cathode ; c) Du centre du diélectrique vers les électrodes.

- Fonctionnement des OxRAM

Seconde famille des mémoires résistive à filament, elles sont forcément constituées d'un diélectrique composé de l'oxyde ou du nitrure d'un métal de transition (Hf, Ni, Ta, Ti ...)[30]. Comme les CBRAM, elles ont un fonctionnement basé sur la création et destruction d'un filament métallique. La différence majeure entre ces deux types de mémoire est que, contrairement aux CBRAM dont la nature du filament provient d'une diffusion du métal de l'électrode active, le filament des OxRAM est constitué du métal qui compose le diélectrique. Ce filament se crée par la modification de la composition du diélectrique dont l'oxygène (ou l'azote pour les nitrures, cependant ceux-ci étant largement minoritaire dans la littérature et pour simplifier les explications on ne parlera que d'oxyde) migre ou s'oxyde sous l'effet du courant. Il en résulte la formation d'un filament de conduction composé d'une phase sous stœchiométrique de l'oxyde [41] voir complètement métallique [42]. Ce mode de fonctionnement explique le nom donné à ces mémoires, OxRAM pour Oxygen-based RAM ou encore mémoires à changement de valence ou VCM pour Valence Change Memories [43].

Deux types de fonctionnement sont distingués dans des OxRAM en fonction de la nature des matériaux de ces mémoires. Ce type de mémoire peut être unipolaire ou bipolaire en fonction des matériaux utilisés.

- Dans les cellules unipolaires, les étapes de SET et de RESET s'effectuent à même polarité. La construction et la rupture du filament sont réalisées en modulant l'intensité du courant. La formation du filament a lieu à faible intensité de courant par migration anionique. Sa dissolution est réalisée par la forte chaleur produite par effet joule qui est induit par la forte densité de courant dans le filament conducteur. Ces cellules sont majoritairement symétriques et à électrodes inertes [44].
- Les cellules bipolaires nécessitent des tensions de polarité inverse pour commuter vers des hautes ou basses résistances. Pour obtenir ce type de fonctionnement, la structure de la mémoire doit être dissymétrique. On peut citer plusieurs moyens pour introduire cette dissymétrie telle que l'utilisation de deux métaux d'électrode différents, l'un étant inerte et l'autre ayant des affinités avec l'oxygène [45];

l'introduction d'une couche réservoir de lacune entre une des électrodes et l'oxyde [46]; ou encore l'utilisation d'un oxyde intentionnellement sous-stœchiométrique ou poreux [47]. L'objectif de ces dissymétries est de réaliser un filament de lacunes lors de la commutation de HRS vers LRS et un retour à l'état initial lors de la commutation inverse. La formation et la destruction du filament peuvent être dues à un phénomène d'oxydoréduction locale menant à une création/annihilation et migration de lacune [36][48][49][50] ou encore à un phénomène d'électromigration d'atomes poussés par le nuage électronique créé par le courant [51].

On peut voir un exemple de mémoire OxRAM sur la Figure I-8 où les étapes de formation et de destruction des filaments dans le cas d'un composant bipolaire est schématisé. Sur la Figure a) le composant initial contient un grand nombre de lacunes d'oxygène réparties aléatoirement dans tout le diélectrique. En b) est schématisée l'étape de formage. L'application d'une tension positive sur l'électrode supérieure (TE) provoque la migration des lacunes vers l'électrode basse (BE) jusqu'à la croissance progressive d'un filament. Lorsque ce filament de lacune atteint l'électrode supérieure en c), il y a passage de l'état HRS à LRS. Dans le cas d'un composant bipolaire, l'application d'une tension de polarité inverse en d) change le sens de migration des lacunes jusqu'à la rupture du filament. Une mémoire fonctionnelle commutera de l'étape c) à l'étape d) lors du RESET et inversement lors du SET.

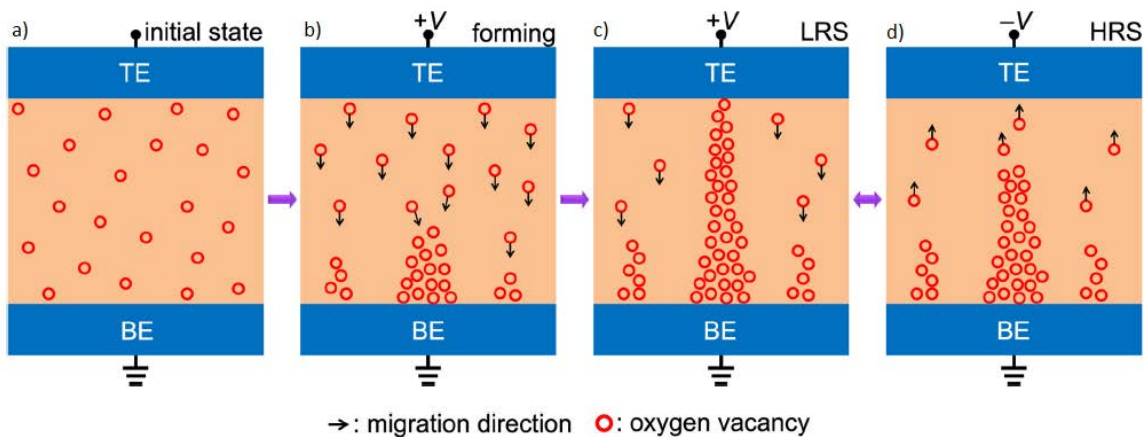


Figure I-8 : Schéma d'une commutation résistive au sein d'une OxRAM par migration de lacunes [40]

- Conduction à plusieurs filaments

La conduction filamentaire, quelle que soit sa nature, est donc basée sur la mise en contact des deux électrodes. Il est souvent considéré que la formation d'un filament concentre toutes les lignes de courant et stoppe donc la compétition des embryons de filaments en formation pour n'en former qu'un. Cependant plusieurs papiers tels que celui de Lee et al. [52] pensent que dans leur dispositif l'état LRS, sujet à une conduction

filamentaire métallique à base de cuivre, est régit non pas par un mais bien par plusieurs filaments. Cette théorie des multifilaments est avancée suite à l'observation du passage du courant en plusieurs points localisés de l'électrode. Liu et al [53] ont même montré qu'ils peuvent contrôler électriquement le nombre de filaments connectant en parallèle les deux électrodes, faisant varier la résistance LRS sur plusieurs niveaux. Ils espèrent avec ce type de composant pouvoir coder plusieurs bits sur une seule et même mémoire.

I. 5. 4) Conduction non filamentaire

D'autres phénomènes ne faisant pas intervenir de filament peuvent être à l'origine d'une commutation résistive. Ces phénomènes peuvent avoir lieu dans les structures MIM classiques et venir en compétition avec les modes de fonctionnements filamentaires ou encore intervenir uniquement dans des structures particulières favorisant par exemple le piégeage de charges.

- Commutation résistive par charge des interfaces d'une VCM

Un phénomène non filamentaire de commutation résistive tout de même lié à une migration d'anion peut être observé. Dans ce type de composants, la résistance des états LRS et HRS dépend de l'aire de la surface des électrodes [54]. La structure est asymétrique avec une électrode en contact ohmique avec le diélectrique (caractéristique I(V) linéaire) et la seconde électrode en contact Schottky avec le diélectrique. Cette dernière jonction Schottky joue un rôle primordial dans cette commutation, car c'est elle qui s'oppose plus ou moins au passage du courant. L'application d'une tension positive sur l'électrode en contact ohmique va provoquer la migration des lacunes d'oxygène au sein du diélectrique et diminuer la barrière Schottky. La résistance globale va donc diminuer progressivement jusqu'à l'atteinte d'une zone de déplétion de lacunes d'oxygènes synonyme d'une barrière Schottky minimale et donc d'une résistance globale faible, un état LRS. Une tension inverse forcera la migration inverse des lacunes d'oxygène et donc un retour à l'état initial HRS. Ce type de composant est forcément bipolaire [40].

- Commutation résistive par piégeage dé-piégeage d'électron et effet de charge

Ces mémoires fonctionnent d'une manière similaire à une VCM commutant par la modulation d'une jonction Schottky. Cette fois cette modulation de barrière n'est plus liée à

la migration d'anions mais à la présence de défauts qui peuvent être chargés électriquement. Ces composants peuvent voir leurs résistances changer par la charge ou la décharge des pièges au sein de l'isolant. En effet la présence de pièges chargés au sein du diélectrique provoque une hausse de la barrière de potentiel qui s'oppose au passage du courant ce qui place le composant en état HRS. Une évacuation des charges des pièges par l'application de la tension adéquate provoquera la diminution de la barrière de potentiel et donc une baisse de la résistance générale du composant le mettant en état LRS [31]. Pour augmenter l'effet de charge et décharge, on peut également augmenter volontairement le nombre de pièges en introduisant des nanostructures métalliques ou semi-conductrices au sein du diélectrique. Celles-ci peuvent être sous forme de couche de nanoparticules organisées ou dispersées aléatoirement dans l'isolant [40].

- Commutation résistive par phénomène de transition métal/isolant de Mott

Dans des cas très particuliers on peut observer un matériau passer d'un état isolant à conducteur par phénomène de transition de Mott. Cet état dépendant de la température et de la pression dans le milieu est lié aux phénomènes complexes d'interactions entre les électrons et le noyau des atomes. Dans un métal classique, les électrons les plus éloignés du noyau d'un atome peuvent participer à la conduction électrique par recouvrement des orbitales atomiques de ses plus proches atomes voisins. Pour rendre isolant un métal par transition de Mott on cherche à contracter ces orbitales pour diminuer les recouvrements et donc le partage des électrons ce qui donne au matériau un caractère isolant. En augmentant la température ou en appliquant une pression, on réduit les distances interatomiques donc on augmente le recouvrement des orbitales atomiques, amenant à un retour du comportement métallique du matériau. Ce phénomène est utilisé dans certaines RRAM avec l'utilisation de l'effet Joule comme moyen de provoquer cette transition réversible [40] [55].

I. 5. 5) Enjeux des mémoires RRAM

Les RRAMs jouissent de nombreuses caractéristiques détaillées précédemment leur permettant de potentiellement remplacer les mémoires à transistor. Elles sont plus rapides et plus durantes que les flashes et ont des performances en lecture/écriture similaires au DRAM tout en étant non volatiles et avec de plus grandes densités surfaciques. Cependant force est de constater que ces performances sont insuffisantes et qu'aucune cellule n'est mature aujourd'hui. De plus il existe encore de nombreuses zones d'ombres concernant les mécanismes exacts mis à l'œuvre dans ces différents types de mémoire et sur la manière de les contrôler. L'inconvénient majeur des RRAM est leur inhomogénéité d'un cycle à l'autre mais également d'un composant à l'autre [56]. Enfin le dernier enjeu est la sélection de la mémoire. N'ayant que deux bornes, ce composant nécessite un sélectionneur type diode,

transistor ou une architecture particulière pour éviter d'écrire par erreur des cellules non sélectionnées à cause de fuites de courant.

- Amélioration des performances

Afin d'améliorer les performances, on va chercher à mieux comprendre et contrôler les phénomènes responsables des commutations résistives. Chacune de ces améliorations est donc directement liée au phénomène responsable de cette commutation.

- Favoriser la formation/destruction des filaments

L'un des problèmes majeurs des mémoires à filament est le caractère stochastique de la formation de ce dernier. Deux mémoires de même technologie peuvent avoir des réponses électriques différentes en fonction de la manière dont le filament s'est formé : différents états LRS et HRS, ou encore des tensions V_{set} et V_{reset} variables. Le manque d'homogénéité des réponses peut être diminué en facilitant la formation et la destruction du chemin de conduction ainsi qu'en contrôlant la position de celui-ci. Ces améliorations pourront avoir des conséquences sur les tensions V_{set} et V_{reset} , sur le rapport I_{ON}/I_{OFF} , sur l'électroformage mais aussi sur l'endurance et la reproductibilité des mémoires [52][57][58].

- Gestion de l'oxygène dans le diélectrique

On peut dans un premier temps favoriser le phénomène de formation du filament par la modification des matériaux de la structure MIM de la mémoire. Comme indiqué précédemment aussi bien les CBRAM que les OxRAM profitent de la présence de lacunes au sein de leur diélectrique. Afin de forcer la présence de nombreuses lacunes d'oxygènes dans ces mémoires est introduite délibérément une couche riche en lacunes d'oxygènes par exemple un oxyde sous stœchiométrique de titane [46][47] ou encore une électrode possédant une forte affinité avec l'oxygène [45]. Ces ajouts ont pour but de favoriser l'apparition d'un filament conducteur au sein du diélectrique et donc de diminuer les tensions de formage et de commutation de HRS vers LRS et augmenter l'endurance du composant. Chang et al. [59] proposent de modifier leur électrode de la même manière. Ils montrent le cas d'une électrode en ITO qu'ils dopent en oxygène pour diminuer le courant de commutation.

Un soin tout particulier doit être apporté à l'épaisseur des électrodes et aux natures des matériaux du dispositif pour gérer au mieux ces déplacements d'oxygène [60]. Si celui-ci

migre sans pouvoir être stocké, il pourra se former un gaz au sein du diélectrique ou au contact de l'électrode active allant jusqu'à la détruire [61].

- Nanostructures comme sites de nucléation des chemins de conduction

Nous avons déjà vu que la formation d'un filament conducteur est un phénomène stochastique. Sa variabilité peut conduire à des inhomogénéités entre les différentes mémoires et au cours de la vie de celle-ci. Dans l'objectif d'améliorer les performances des OxRAM ou CBRAM, il est utile de pouvoir contrôler le lieu et la croissance du filament au sein du diélectrique. Par exemple Liu et al. [62] ont cherché à contrôler précisément le lieu de formation des filaments de conduction en ajoutant des nanocristaux métalliques non jointifs sur l'électrode inerte de leur CBRAM (Ag/ZrO₂/NC Cu/Pt). Par coupe FIB puis observation au TEM, ils ont démontré une localisation des filaments de conduction allant de l'électrode d'argent vers les nanostructures de cuivre. Une cartographie des éléments composant le diélectrique par une observation EDS au MEB a permis de déterminer la composition du filament composé majoritairement d'argent et d'un peu de cuivre, preuve d'une diffusion de ces éléments dans le diélectrique ZrO₂ d'une épaisseur de 40 nm. L'auteur note qu'après commutation de LRS vers HRS, le filament disparaît complètement, signe d'une dissolution de celui-ci dans l'électrode et dans le diélectrique. L'ajout de nanoparticules rend le dispositif exempt de formage.

Selon Tsai et al. [63] il est même possible de faire commuter des dispositifs avec une grande épaisseur de diélectrique, 35nm de SiO₂ dans leur cas, en y ajoutant des inclusions de nickel servant de défauts. Ceci est expliqué par une facilité à former le filament en passant par ces inclusions qui agissent comme des chemins de formation préférentiels.

En associant les deux dernières idées, Liu et al. [58] proposent de complexifier leurs structures en ajoutant des dopants du cuivre dans le diélectrique en plus des nanostructures métalliques non jointives sur l'électrode inerte. Ils constatent alors une homogénéité encore meilleure au niveau de la formation du filament ainsi qu'une nette baisse de la tension V_{set} nécessaire à commuter de HRS vers LRS.

Il est également possible d'utiliser une couche de nanostructures jointives déposée à partir d'une solution colloïdale comme isolant de la structure MIM. La formation et la destruction des filaments sont ainsi contrôlées par la fabrication de chemins de conduction préférentiels au niveau des joints de grains, appelés « espaces entre nanoparticules » par Ju et al [64].

Plusieurs auteurs attribuent cette facilité à fabriquer un filament à une modification du champ électrique au sein de la mémoire liée à la présence des nanoparticules. Très localement le champ électrique bien plus important amorce les réactions à l'origine de la

formation des filaments conducteurs qui va s'emballer jusqu'à la formation complète du chemin de conduction[62][65][66].

- Nanostructures ou dopage du diélectrique pour favoriser le piégeage des charges

Dans les cellules fonctionnant sans filament, l'ajout de nanoparticules ou le dopage de diélectrique peut également améliorer les performances des cellules mémoires en apportant un meilleur contrôle au piégeage des charges [67].

Choi et al. [68] proposent une cellule fonctionnant sur le même principe qu'une mémoire à piégeage de charge, dont le fonctionnement a été présenté plus tôt. Pour favoriser les modulations de barrières électriques, ces auteurs dopent le diélectrique de leur mémoire afin de créer volontairement des pièges pouvant par la suite être chargés et déchargés électriquement. En faisant diffuser du platine dans du SiO₂ ils observent des caractéristiques électriques différentes en fonction du taux de platine. Ils considèrent que la commutation résistive est principalement due aux piégeages de charges à l'intérieur du SiO₂ dopé, n'observant aucune structure de platine. Comme preuve ils avancent que l'état de haute résistivité peut être diminué petit à petit soit par un courant inverse, soit par une exposition à la lumière UV, signe d'une évacuation progressive des charges. De la même manière, on observe le phénomène dans des mémoires où ont été intégrées au sein du diélectrique des nanoparticules qui peuvent agir comme des pièges [69]. L'avantage de cette approche non filamentaire est un très grand contrôle des paramètres de commutation et une grande homogénéité des composants grâce au phénomène de piégeage non aléatoire. De plus ces composants ne nécessitent pas de formage.

1. 6. Architectures des RRAM

Comme nous l'avons démontré précédemment, la mémoire RRAM intéresse pour ses performances électriques mais également pour sa compacité qui permettrait théoriquement de grandes capacités d'intégration. Cependant, cette mémoire pose de lourds défis d'organisation, car les mémoires ne sont ni plus ni moins que des résistances variables. Les architectures imaginées qui seraient les plus efficaces tel que les organisations crossbar se heurtent à un problème de sélection des cellules. Cette architecture permet la sélection d'un point mémoire par la mise sous tension d'une ligne de « mot » (word line) et d'une ligne de lecture (bit line) qui sont perpendiculaires et dont l'intersection correspond à la location d'un point mémoire [24]. Si la cellule mémoire sélectionnée est à l'état résistif haut alors que toutes les cellules autour sont à l'état résistif bas, le courant passera par des cellules non sélectionnées provoquant un risque d'écriture non désiré ou de lecture erronée. Ce problème est un problème de courant de fuite appelée sneak path et est d'autant plus

important que le ratio HRS/LRS est élevé et la matrice crossbar de grande dimension. Par exemple on peut voir dans la Figure I-9 que le courant de fuite en gris passe par toutes les cellules à l'état LRS en vert plutôt que par l'élément sélectionné à l'état HRS en rouge. Pour résoudre ce problème, on cherche à sélectionner une cellule sans équivoque possible en ajoutant un sélectionneur tel qu'une diode, un transistor ou en réalisant de l'ingénierie de cellule [3].

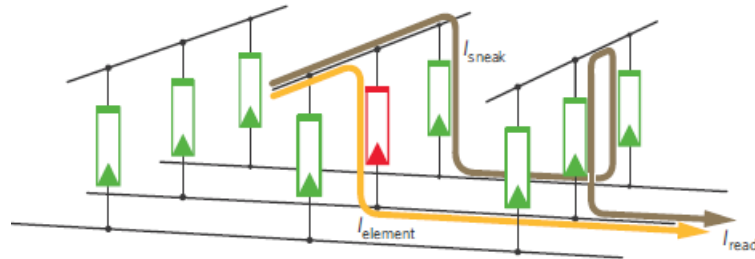


Figure I-9 : Schéma d'une structure crossbar 2D montrant la cellule sélectionnée à l'état HRS en rouge. Le passage du courant espéré en jaune n'est pas préférentiel, car les cellules autour en vert sont à l'état LRS. Un chemin possible de courant de fuite est montré en gris [70].

Architecture 1S1R, 1D1R ou 1T1R

La méthode la plus simple qui a été adoptée est d'empêcher le courant de passer dans les cellules non sélectionnées en les couplant à un composant servant de sélectionneur tel qu'une diode ou un transistor. La diode est réalisable avec les mêmes matériaux que la mémoire et peut donc y être intégrée verticalement sans perte de place, cependant elle ne fonctionne que pour des mémoires unipolaires. Le transistor est plus performant mais demande beaucoup plus de place, ce qui diminue grandement l'intérêt de ces mémoires. La 3D pourrait minimiser ce problème en proposant une architecture 1TnR avec n le nombre de couche de mémoire. Enfin des recherches se sont portées sur des sélecteurs pouvant faire office de diode aussi bien pour les cellules unipolaires que bipolaire. Un exemple de ce type de sélectionneur est un isolant de Mott [27] [71].

I. 6. 1) Complementary Resistive Switch

La Complementary Resistive Switch ou CRS est une mémoire de type 2R consistant à mettre deux OxRAM ou deux CBRAM tête-bêche autour de l'électrode active [72]. L'état résistif de la CRS à faible tension appliquée est forcément HRS car cet état résistif est issu de l'association série d'une RRAM en HRS et d'une RRAM en LRS. Cette association permet d'éviter les fuites de courant, car dans une matrice de mémoire, le passage du courant par une CRS non sélectionnée sera toujours moins profitable puisqu'elle sera à un état de haute

résistivité. Cet effet est schématisé sur la Figure I-10 qui montre l'état des filaments des deux RRAM composant la CRS à chaque point de sa caractéristique $I(V)$. À une tension inférieure en valeur absolue à V_1 ou V_3 , le point mémoire apparaît toujours en HRS car l'une des deux RRAM est forcément à l'état HRS.

L'état logique de la CRS est déterminé en fonction de quelle cellule RRAM est en HRS par une lecture à une tension V_{Read} comprise entre V_1 et V_2 . On considère la CRS dans un état ON si la RRAM supérieure est à l'état LRS et que la RRAM inférieure est en état HRS, cas n°1 schématisé sur la Figure I-10. Si au contraire la RRAM supérieure est en HRS et la RRAM inférieure est à l'état LRS alors on considère la mémoire à l'état OFF, c'est le cas schématisé n°3. Pour réaliser une commutation de HRS vers LRS on appliquera une tension positive supérieure à V_2 pour passer d'un état ON (état n°1) à un état OFF (état n°3). Pour effectuer la commutation inverse, on applique une tension négative inférieure à V_4 . Comme la CRS, composée de deux résistances, agit comme un pont diviseur de tension, si on applique une tension sur la CRS c'est la RRAM à l'état HRS qui aura la majeure partie de la tension à ces bornes. Si la polarité de la tension le permet, cette RRAM à l'état HRS commutera à l'état LRS schématisé comme la transition a) pour un SET et c) pour un RESET sur le schéma. À ce moment les deux RRAM sont à l'état LRS, l'état n°2 sur la figure. Enfin une des cellules RRAM commutera à l'état LRS en fonction de la polarité de la tension pour que la CRS atteigne l'état ON ou OFF désiré selon la transition b) pour un SET et d) pour le RESET. Pour lire l'état de la CRS est appliquée une tension V_{Read} comprise entre V_1 et V_2 . Si la CRS était dans un état ON, la tension V_{Read} étant supérieur à la tension V_1 , les CRS sera dans son état n°2 de transition et un courant important sera lu. Notez que cette lecture est destructive et qu'une réécriture est alors nécessaire. Si la CRS était dans un état OFF, il n'y aura aucune commutation résistive et un faible courant sera lu.

Une architecture avec des CRS n'a donc pas de problème de fuite de courant mais cette mémoire présente plusieurs inconvénients. L'électrode active au centre est dégradée plus rapidement, d'autant plus que la fabrication de ces cellules est complexifiée par la succession des couches empilées (minimum 5 couches au lieu de 3) [40]. De plus l'initialisation d'une CRS nécessite de réaliser le formage des deux cellules RRAM ce qui est compliqué à contrôler surtout s'il n'y a pas accès à l'électrode active. Enfin la lecture est destructive dans l'un des deux cas de lecture ce qui engendre le besoin de réécrire et donc une perte de vitesse d'exécution et un surcoût énergétique [70].

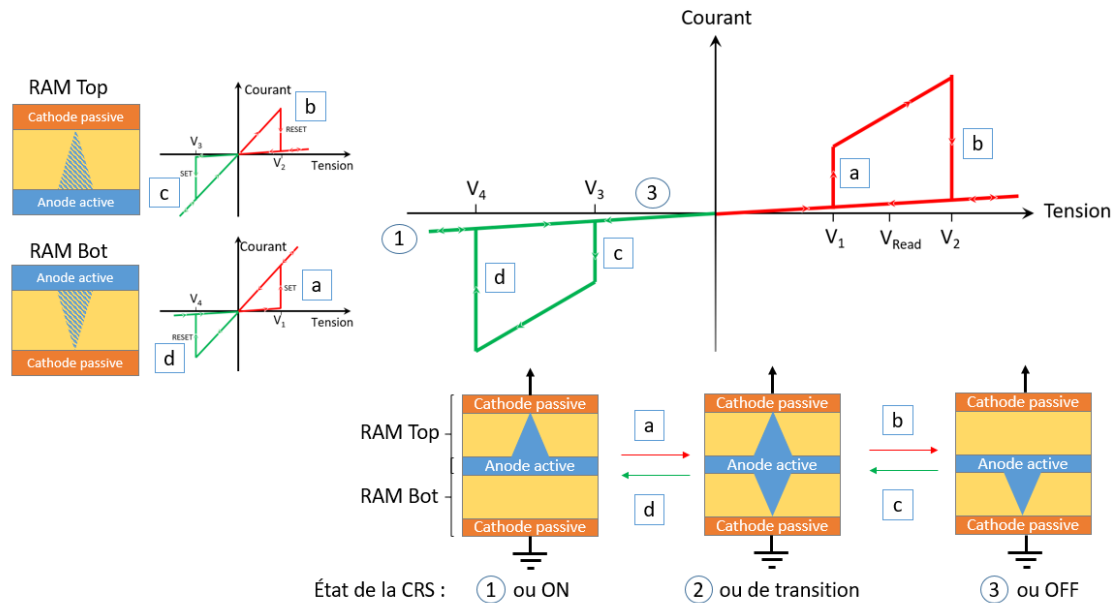


Figure I-10 : Schéma d'une structure CRS dans ses trois états et la caractéristique I(V) correspondante. Les cercles montrent les trois états logiques possibles de la CRS et les carrés les transitions possibles entre ces états. L'état 1 correspond à un état de ON de la CRS lorsque la RRAM top est en LRS et la RRAM inférieure en HRS. L'état inverse 3 correspond à l'état OFF de la CRS. L'état 2 est un état de transition accessible uniquement sous tension comprise entre V_1 et V_2 ou entre V_3 et V_4 . [70]

I. 7. Conclusion et positionnement du projet

L'électronique dédiée au stockage de l'information est un point stratégique dans le contexte informatique actuel. De nombreuses technologies mémoires utilisées depuis des dizaines d'années arrivent actuellement à leurs limites technologiques, notamment la mémoire Flash privilégiée pour le stockage à long terme. L'essor des mémoires émergentes est directement lié au couplage entre le besoin grandissant de stockage d'information et à la difficulté rencontrée dans l'amélioration des mémoires à semi-conducteurs actuelles. La littérature montre plusieurs technologies innovantes à différente maturité faisant course en parallèle à des tentatives de prolonger la technologie actuelle. On peut citer les MRAM, PCRAM, FERAM et enfin l'objet de ce rapport, les RRAM.

Les mémoires RRAM sont une potentielle réponse à ces besoins grandissants, car elles égalent voire surpassent les mémoires actuelles en termes de performance. Elles sont constituées d'une structure à deux électrodes de type MIM et stockent l'information sous forme résistive en utilisant différents phénomènes de commutations résistives contrôlées. En plus des performances intéressantes détaillées au long de ce chapitre, elles possèdent des avantages jusque-là difficilement atteignables qui sont par exemple la compatibilité avec la technologie CMOS BEOL ou encore la possibilité d'être aisément empilées en 3 dimensions.

Si elles semblent être une solution attrayante, le développement de ces mémoires se heurte encore à plusieurs défis à relever. Le contrôle insuffisant des mécanismes de commutation ainsi que les problèmes de fuite de courant dans les matrices de RRAM restent aujourd'hui les deux principaux freins au développement massif d'une telle technologie. Plusieurs solutions sont à l'étude pour répondre à ces problématiques. L'utilisation de nanostructures pourrait améliorer les performances des RRAM et des architectures comprenant des sélecteurs permettraient d'empêcher les courants de fuite dans les matrices de mémoire.

Cette thèse se positionne dans ce contexte avec une étude d'une structure RRAM innovante :

- Nous avons imaginé et développé une cellule mémoire entièrement compatible avec la technologie CMOS BEOL afin de faciliter un transfert de ces connaissances vers l'industrie. Cette approche prend en compte les matériaux, les techniques de fabrication ainsi que le budget thermique lié aux procédés utilisés.
- Cette mémoire contient des nanoparticules d'oxyde d'indium qui est un matériau peu utilisé et par conséquent peu étudié malgré ses caractéristiques électriques intéressantes qui seront décrites au chapitre 2.
- Une étude électrique a été réalisée sur des mémoires fonctionnelles pour en comprendre le fonctionnement et déterminer leurs performances électriques.

II. Propriété des nanoparticules d'oxyde d'indium et conception de la cellule mémoire

II. Propriété des nanoparticules d'oxyde d'indium et conception de la cellule mémoire	32
II. 1. Introduction	33
II. 2. Description de l'oxyde d'indium.....	33
II. 2. 1) Structure cristalline	34
II. 2. 2) Structure amorphe	35
II. 3. Propriétés électriques des nanoparticules d'oxyde d'indium.....	35
II. 3. 1) Bandes d'énergies	36
II. 3. 2) Accumulation d'électrons en surface.....	37
II. 4. Techniques de fabrication des nanoparticules d'oxyde d'indium.....	38
II. 4. 1) Dépôt de nanoparticules synthétisées par voie chimique.....	39
II. 5. Implantation ionique d'indium dans un oxyde	40
II. 6. Dépôt CVD de nanoparticules d'oxyde d'indium	42
II. 7. Conception de la cellule mémoire.....	43
II. 7. 1) Choix des matériaux	43
II. 8. Diagramme de bande	44
II. 9. Conclusion du chapitre	45

II. 1. Introduction

Comme nous l'avons expliqué dans le chapitre 1, l'ajout de nanoparticules est une des solutions envisagées dans la littérature pour améliorer les performances et l'homogénéité des mémoires résistives. Dans le cadre de ce projet, nous avons choisi d'introduire à une structure MIM des nanostructures d'oxyde d'indium. Nous verrons que ce matériau est déjà connu et utilisé dans de nombreux domaines mais qu'il n'est que très peu utilisé dans la microélectronique sous la forme de nanostructures.

Ce chapitre est dédié à la description de ce matériau et de son intégration dans une structure MIM. Dans un premier temps nous réalisons une présentation générale de l'oxyde d'indium puis une étude de ses propriétés électriques. Nous décrivons ensuite différentes techniques de synthèse possibles pour des nanoparticules. Nous détaillons enfin les propriétés électroniques de l'oxyde d'indium et en particulier avec des dimensions faibles sous forme de nanoparticules. Dans la seconde partie du chapitre sont détaillés les choix qui nous ont poussés à choisir les autres matériaux de la structure MIM pour concevoir cette mémoire. Nous utilisons enfin toutes les informations du chapitre pour construire le diagramme de bande idéal de la structure imaginée.

II. 2. Description de l'oxyde d'indium

L'oxyde d'indium est un matériau pouvant être fabriqué à l'état cristallin ou amorphe en fonction de la technique utilisée. Il suscite un fort intérêt dans plusieurs domaines de recherches pour ses qualités électriques, optiques mais aussi chimiques. On le retrouve par exemple sous forme de résistance pour sa forte mobilité et sa faible sensibilité à la température dans l'industrie des couches épaisses [73]. En effet c'est un matériau stable sur une large gamme de température et dont la température de fusion est de 1912°C[74]. Il est également fortement étudié en couche mince dans les industries du photovoltaïque, des LED et des écrans à cristaux liquides pour sa transparence couplée à une bonne conductivité lorsqu'il est dopé notamment avec de l'étain[75][76][77]. Enfin ses propriétés chimiques sont mises à profit en tant que capteur chimique par exemple de dioxyde d'azote (NO₂)[78]. Dans cette dernière application, la surface de contact est un paramètre de premier ordre d'où la synthèse d'oxyde d'indium sous forme de nanostructures à une dimension. Ces différentes études montrent un intérêt pour ce matériau sous des formes très diverses allant de couches épaisses en trois dimensions aux nanostructures de tailles nanométriques. Pour la fabrication de mémoires résistives, nous sommes intéressés par l'oxyde d'indium sous forme de structure de très faibles dimensions.

II. 2. 1) Structure cristalline

L'oxyde d'indium peut cristalliser en deux structures différentes : la majorité des observations fait état d'une structure cubique centrée même si dans certaines conditions de fabrication à haute température et forte pression on l'observe en structure hexagonale[73].

La structure cubique centrée de l'oxyde d'indium est la forme la plus commune, car c'est sa forme cristalline la plus stable. Elle est connue et caractérisée au moins depuis les années 1965[79]. Sa structure est parfois dite bixbyite en raison de sa ressemblance avec la structure de l'oxyde de magnésium $(\text{Fe, Mn})_2\text{O}_3$. Cette structure cristalline de paramètre de maille $a=1,012$ nm appartient au groupe d'espace $\text{Ia}\bar{3}$ (groupe d'espace n°206) [79]. Cela signifie que le cristal est organisé selon le réseau de Bravais cubique centré (I). Son plan de symétrie est le plan xOy avec translation de $a/2$ le long de l'axe x (a). Sa symétrie est selon un axe de rotation est d'ordre 3 (120°) suivi d'une inversion ($\bar{3}$) [80][75].

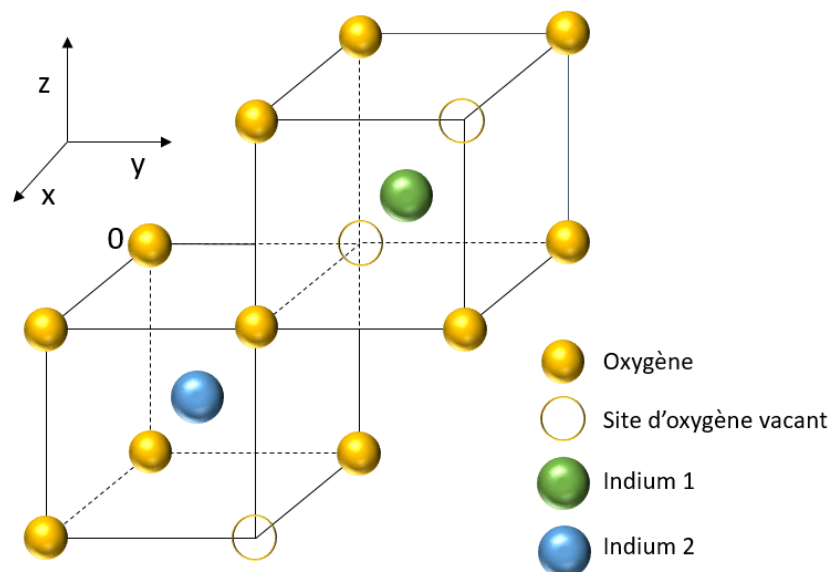


Figure II-1 : Motif élémentaire de l'oxyde d'indium correspondant à $1/16$ d'une maille cubique centrée[80].

Le motif élémentaire d'une maille est représenté en Figure II-1. On observe que l'indium peut avoir deux environnements distincts, modélisé par l'indium 1 et l'indium 2 sur le schéma. Dans une maille élémentaire d'oxyde d'indium, on dénombre 80 atomes, dont 48 atomes d'oxygène, 24 atomes d'indium en environnement 2 et 8 atomes d'indium en environnement 1[79]. La présence de site vacant d'oxygène provoque de faibles distorsions de réseau qui ne sont pas représentées sur la Figure II-1.

Les études sur sa forme hexagonale (aussi nommée corindon) sont moins nombreuses du à l'instabilité de cette structure cristalline à température ambiante et aux

conditions de fabrication. La synthèse de couche d' In_2O_3 de structure hexagonale est réalisée par la transformation d'une structure cubique centrée par la température, l'ajout de dopant[81][82] ou par synthèse à haute pression et/ou haute température[83]. Des études récentes tentent de trouver des solutions à ces défis. Une technique de fabrication à température moins élevée, 490°C , est démontrée par Yu et al.[84] et à pression ambiante. Mitoma et al. ont prouvé la possibilité de rendre la structure hexagonale stable à température ambiante par l'ajout d'inclusion de SiO_2 dans la couche mince d'oxyde d'indium. Nous ne nous attarderons pas sur cette forme qui nécessite encore des températures de synthèse trop élevée pour nos impératifs de compatibilité CMOS BEOL.

II. 2. 2) Structure amorphe

L'oxyde d'indium peut être synthétisé sans organisation périodique, il est alors dit amorphe. Cette structure est recherchée dans certaines applications, car elle possède plusieurs avantages. Le dépôt d'une couche amorphe est réalisé en général à faible température pour éviter qu'elle ne cristallise. Ceci permet un plus large choix de matériaux de substrat comme des substrats polymères[85] éventuellement flexible[86]. Une couche amorphe va être isotrope par son organisation aléatoire et il est pour la même raison plus facile de la déposer de manière homogène. On note dans le même temps l'absence d'inhomogénéité structurelle inhérents à une structure cristalline telle que les joints de grains [87][88].

Le désordre structurel de l'oxyde d'indium amorphe ne dégrade que légèrement les propriétés optiques et la conductivité électriques de celui-ci comme le montrent Bellingham et al.[89].

Pour l'introduction de nanoparticules dans des mémoires résistives, l'état cristallin du matériau n'aura donc que peu d'influence sur les caractéristiques électriques du matériau. Cela nous permettra une marge de manœuvre bien plus importante dans le choix de la technique de fabrication utilisée.

II. 3. Propriétés électriques des nanoparticules d'oxyde d'indium

Un oxyde d'indium stœchiométrique est composé de deux atomes d'indium pour 3 atomes d'oxygène In_2O_3 . Ces atomes possèdent une structure électronique $4d^{10}5s^25p^1$ pour l'indium et $2s^22p^4$ pour l'oxygène.

II. 3. 1) Bandes d'énergies

L'oxyde d'indium possède un gap direct avec une bande interdite comprise entre 2,6 à 2,9 eV[75][90][91]. Cette dernière valeur a été très longtemps surestimée allant selon les auteurs de 3,5 eV à 4,3 eV[92]. Ces mesures étaient basées sur différentes méthodes optiques perturbées par une raie de transition interdite[75] et un effet Moss-Burstein dû à la présence de charges dans la bande de conduction[77]. Le phénomène qui semble faire consensus aujourd'hui a été décrit à plusieurs reprises par différentes équipes[90], [91], [93], [94] à partir de 2008 affaiblissant l'hypothèse d'un gap indirect supérieur à 3,5 eV.

On observe une accumulation d'électrons en surface de l'oxyde d'indium amenant à une courbure de bande en surface[95]. Cet effet est peu visible pour un oxyde stœchiométrique avec une courbure de 0,1 eV pour un oxyde dont la surface a été oxydée, mais plus visible sur une surface sous stœchiométrie (possédant des lacunes d'oxygène) avec une courbure de 0,4 eV.

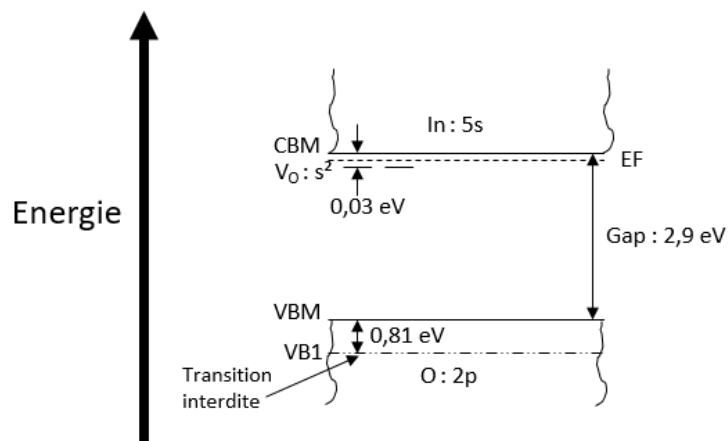


Figure II-2 : Schéma de la structure de bande de l' In_2O_3 sous stœchiométrie et les orbitales des atomes à l'origine des états disponibles. Sont représentés la bande de valence maximale (VBM) la bande de conduction minimale (CBM), la bande de forte absorption optique (VB1) ainsi que les niveaux donneurs introduits par les lacunes d'oxygène V_o [96][93].

Les états disponibles de la bande de valence (VB) sont principalement issus des orbitaux 2p de l'oxygène et dans une moindre mesure des orbitaux 4p de l'indium. Les états disponibles de la bande de conduction (CB) sont eux dominés par les orbitaux 5s de l'indium[97]. Ceci explique qu'une structure sous stœchiométrie comportant des lacunes d'oxygène verra son niveau de Fermi se rapprocher de la bande de conduction. Chaque atome d'oxygène manquant à la structure créera deux états donneurs 0.03 eV[96] en dessous de la bande de conduction CBM[93]. Le même effet est observé par l'ajout de dopants donneurs tel que l'étain. La Figure II-2 récapitule ces dernières informations dans le schéma de la structure de bande de l'oxyde d'indium. Klein et al.[98] montrent que le travail de sortie de l'oxyde d'indium compris entre 4 et 5 eV est directement dépendant du niveau

de Fermi. On lui préférera son niveau d'ionisation qui est indépendant du niveau de Fermi, d'environ 7,1 eV pour une structure d' In_2O_3 non dopée pour la construction des diagrammes de bande.

II. 3. 2) Accumulation d'électrons en surface

Les caractéristiques électriques de l'oxyde d'indium varient beaucoup d'un auteur à l'autre. La technique de fabrication, la pureté de la structure observée, la stœchiométrie ainsi que l'épaisseur du film observé sont des informations souvent lacunaires dans les études alors qu'elles jouent un rôle important dans la mesure de ses propriétés électriques. Cependant malgré la dispersion des valeurs mesurées des propriétés électriques de l'oxyde d'indium, il y a un certain nombre de consensus sur le phénomène responsable de ces propriétés intéressantes : bonne conductivité, hautes concentrations de porteurs de charges et relativement haute mobilité électronique. De nombreuses études pointent une forte accumulation d'électron en surface de l' In_2O_3 quelle que soit la technique de fabrication[19], [23], [27]–[29] liée à un grand nombre de lacunes d'oxygène et d'états d'interfaces[97].

Cette dernière observation explique que la conductivité de l'oxyde d'indium est majoritairement surfacique[95]. Plus l'oxyde sera épais et plus sa conductivité globale sera faible comme le montre Lany et al.[99] par des mesures d'effet Hall sur des oxydes de différentes épaisseurs. Pour augmenter la conductivité, il est possible de diminuer la taille des particules afin d'augmenter le nombre de joints de grains dans des films polycristallins. Les valeurs de conductivités supérieures à 1000 S/cm [99] sont mesurées dans des films fins polycristallins d'oxyde d'indium non dopé correspondant à des densités d'états comprises entre 10^{20} et 10^{21} cm^{-3} .

Feneberg et al.[100] réalisent une étude comparée des caractéristiques électriques en volume et en surface. Ils déterminent des concentrations de porteurs de charges de $4 \cdot 10^{18}$ cm^{-3} avec des masses effectives de l'électron $m^* = 0,18m_0$ pour un oxyde d'indium stœchiométrique dans le volume et $m^* = 0,40m_0$ à la surface du matériau avec une concentration de porteurs de charges supérieure à 10^{21} cm^{-3} .

Le Tableau II-1 récapitule des mesures relevées dans plusieurs études.

	Nakazawa 2006 [29]	Lany 2012 [27]	Hagleitner 2012 [23]	Feneberg 2016 [28]	
Epaisseur (nm)	200	150	Volume	Volume	298
σ (S.cm ⁻¹)	2500	1.6	5.10 ⁻⁶	20	5600
N (cm ⁻³)	4.10 ²⁰	10 ¹⁸	10 ¹²	4,8.10 ¹⁸	1,2.10 ²¹
μ (cm ² .V ⁻¹ .s ⁻¹)	150	10	32	118	39
m* (kg)	-	-	0,35m ₀	0,18m ₀	0,40m ₀
Type de dépôt	Pulvérisation cathodique	Pulvérisation cathodique	Voie chimique	Epitaxie par jet moléculaire	

Tableau II-1 : Récapitulatif des conductivités σ , mobilité μ , concentrations en porteurs de charge N et masse effective d'électrons m de différentes études.*

Nous souhaitons fabriquer des nanostructures de très faibles dimensions afin d'assurer une bonne miniaturisation des mémoires. Les effets de surface seront donc majoritaires dans notre cas. Au vu des concentrations de porteurs mesurés, il est possible que les effets de confinement quantique observés sur d'autres semi-conducteurs comme les nanoparticules de silicium ne soient pas observés dans ce matériau.

II. 4. Techniques de fabrication des nanoparticules d'oxyde d'indium

L'ajout de nanoparticules dans les mémoires résistives est une piste pour améliorer leur homogénéité. Pour ce faire nous devons maîtriser la morphologie des nanoparticules d'oxyde d'indium déposées. Le dépôt lui-même devra également être le plus homogène possible pour ne pas être lui aussi une source d'inhomogénéité. De plus notre objectif de compatibilité avec la technologie CMOS BEOL nous impose un contrôle du budget thermique. Ces impératifs vont directement conditionner nos choix de techniques de fabrication. Parmi les techniques de synthèse de nanoparticules d'oxyde d'indium discutées dans la littérature, nous allons présenter dans ce chapitre les trois envisagées, la synthèse chimique, l'implantation ionique et le dépôt CVD, pour notre application en prenant soin de décrire leurs avantages et inconvénients. D'autres méthodes de fabrication de nanostructures d'oxyde d'indium sont régulièrement citées telles que l'évaporation d'espèces contenant de l'indium[102], l'ablation laser[103] ou l'électrodéposition[104] mais ne sont pas envisagées pour ce projet.

II. 4. 1) Dépôt de nanoparticules synthétisées par voie chimique

La synthèse de nanoparticules par voie chimique, aussi appelée sol-gel, est un procédé très utilisé dans la fabrication de capteurs chimiques pour sa facilité de mise en œuvre couplée à un très bon contrôle de la croissance. La technique ne requiert de plus que peu de matériel. Elle est réalisée en trois étapes :

- La dissolution d'un précurseur solide dans un solvant. On retrouve dans la littérature un large choix de solvants comme de précurseurs. Dans le cas des nanoparticules d'oxyde d'indium, on peut citer comme exemple le trinitrate d'indium hydraté ($\text{In}(\text{NO}_3)_3 \cdot 5\text{H}_2\text{O}$) dans le méthanol[78] ou l'ammoniac[105], du myristate d'indium ($\text{C}_{42}\text{H}_{81}\text{InO}_6$) dans l'octadécane[106] ou encore l'acétate d'indium ($\text{C}_6\text{H}_9\text{InO}_6$) dans l'hexadécane[107]. La synthèse est réalisée dans un solvant organique qui sert de ligand entre les nanoparticules qui croissent donc sans s'agglomérer entre elles ni coalescer.
- La mise en température puis l'ajout d'un initiateur de réaction, souvent un alcool ou une amine, sous agitation. C'est cette étape qui va déclencher la nucléation. Si les quantités de précurseurs et d'initiateurs sont adéquates et si l'agitation permet une bonne homogénéité de la mixture, la croissance sera homogène.
- Un arrêt de la réaction par dilution dans un solvant et un abaissement de la température. Le temps de croissance détermine la taille finale des nanoparticules.

Plusieurs variations de procédés sont décrites dans la littérature. Gurlo et al. proposent un procédé où tous les réactifs sont mis en solution avec un contrôle de la synthèse uniquement par la température. Ce protocole rend très difficile le contrôle de la taille des nanoparticules, en témoigne leur dispersion de nanoparticules allant de 1 à 600 nm de diamètre[108]. En effet les deux premières étapes permettent de déclencher la nucléation et de contrôler la croissance des particules afin d'éviter un gradient de taille de nanoparticules.

Après la synthèse, les nanoparticules sont éventuellement recuites à haute température ou mise en étuve pour former une poudre. Celle-ci est alors remise en solution pour être déposée en film mince sur le substrat par enduction centrifuge (ou dépôt à la tournette) en température.

Cette technique présente comme avantage d'être d'une grande facilité d'exécution ne nécessitant qu'un banc de chimie, une étuve et une tournette. Comme l'illustre la Figure II-3 montrant les résultats d'une synthèse puis dépôt de nanoparticules d' In_2O_3 par Liu et al., avec un procédé bien maîtrisé il est possible d'obtenir une poudre d'une grande

Chapitre 2 : Propriété des nanoparticules d'oxyde d'indium et conception de la cellule mémoire

homogénéité et avec un contrôle de la taille des nanoparticules. La gamme de taille atteignable montrée dans la littérature est très large avec des diamètres de nanoparticules de 5 nm [106] jusqu'à plus de 600 nm[108]. La technique est donc envisageable pour un dépôt sur un substrat de microélectronique dans l'optique de fabriquer des mémoires résistives.

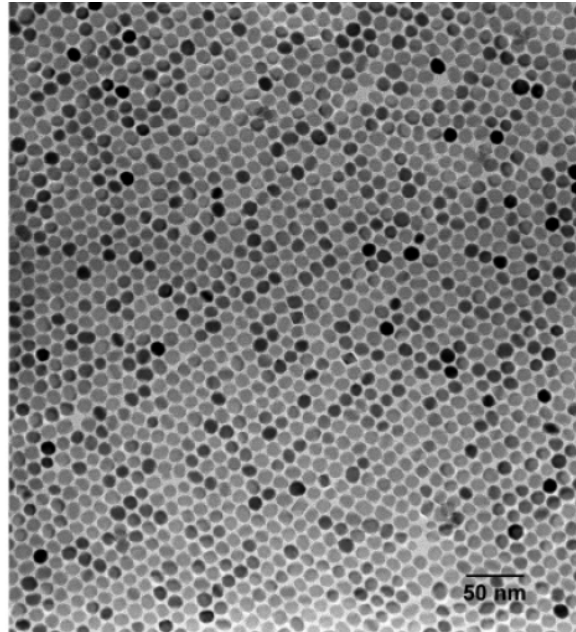


Figure II-3: Image TEM d'une monocouche de nanoparticules d'oxyde d'indium synthétisées par voie sol-gel et dispersées par centrifugation. Les nanoparticules ont une dispersion en taille très faible autour de la moyenne 11,5 nm et sont réparties de manière homogène.[107]

Deux inconvénients sont cependant à signaler. La plupart des solvants compatibles avec les procédés de fabrication décrits sont particulièrement toxiques sans parler de la manipulation de nano poudre posant également des problèmes de sécurité. Le second inconvénient concerne l'étape de dépôt des nanoparticules en solution. L'étape est difficile à réaliser sur des échantillons de grandes tailles, typiquement les wafer 300mm utilisés dans l'industrie. De plus le dépôt en phase aqueuse sur un substrat microélectronique pose des problèmes de contamination du substrat par le solvant.

II. 5. Implantation ionique d'indium dans un oxyde

L'implantation ionique consiste à bombarder un substrat avec un faisceau d'ions de sorte à en modifier la surface ou à y faire pénétrer des espèces ionisées. La technique est connue et largement utilisée dans l'industrie du semi-conducteur pour insérer localement des dopants [109]. Dans certaines conditions on peut utiliser cette technique pour faire croître des nanoparticules in situ. La profondeur des ions implantés va dépendre de

Chapitre 2 : Propriété des nanoparticules d'oxyde d'indium et conception de la cellule mémoire

l'énergie d'implantation, de la composition et densité du substrat ainsi que de la nature des ions implantés et peut varier de quelques nanomètres à un micromètre. Pour contrôler la taille des nanoparticules, on joue sur la dose transmise et sur la température de recuit post-implantation[110]. Le recuit post-implantation permet aussi une réparation du substrat qui est endommagé pendant l'implantation. L'endommagement dépendra principalement de la dose introduite et de l'énergie des ions implantés.

L'implantation d'ion indium In^{2+} à travers un oxyde peut permettre la formation de nanoparticules d'oxyde d'indium. En effet comme le montre Santhana Raman et al.[111], dans le cas où l'oxyde substrat a une énergie de formation supérieure à celle de l'oxyde d'indium, l'indium pourra s'oxyder par pompage d'oxygène dans les matériaux d'implantation. C'est le cas de l'oxyde de silicium dont l'enthalpie libre de formation est de -901,4 kJ/mol contre -925,8 kJ/mol pour l'oxyde d'indium. La formation de nanoparticules nécessite une quantité de matière bien plus importante que pour un dopage, c'est pourquoi ces implantations se font donc forcément à haute dose. Bonafos et al.[112] montrent le résultat d'un procédé d'implantation contrôlé de nanoparticules d' In_2O_3 , visible Figure II-4, dans un oxyde de silicium de 11nm d'épaisseur par implantation ionique à forte dose et très faible énergie. Une couche auto alignée de nanoparticules a pu être implantée à 5 nm de profondeur dans le substrat SiO_2 . Ces nanoparticules d'oxyde d'indium cristallin ont une faible dispersion en taille avec des tailles de particules variant de 3 à 4 nm de diamètre et sont cristallines. L'implantation a été localisée grâce à la structuration de la surface du substrat composée de Si_3N_4 dans lequel l'indium ne diffuse pas et de SiO_2 dans lequel l'indium diffuse.

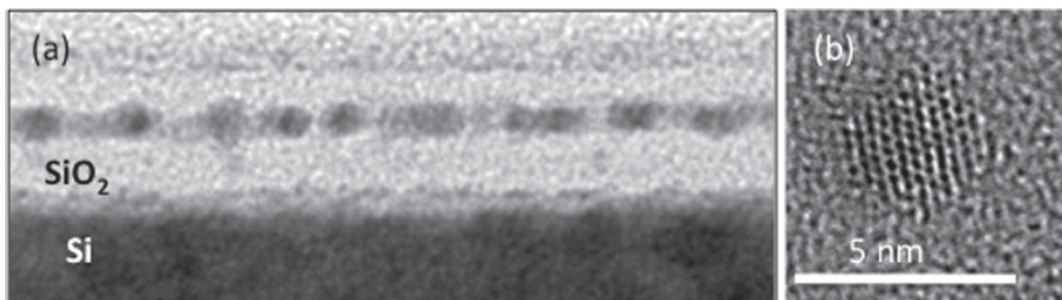


Figure II-4 : a) Observation TEM de la couche d'oxyde de silicium ayant subi l'implantation ionique d'indium à faible énergie et haute dose. Ce dernier s'auto aligne en une monocouche de nanoparticules de 3 à 4 nm de diamètre visible en b) sur une vue TEM centrée sur une seule particule.[112]

L'implantation ionique est tout à fait indiquée pour une application telle que la fabrication de dispositifs mémoires résistifs. Le procédé est bien maîtrisé et déjà utilisé dans l'industrie de la microélectronique. On note également une compatibilité CMOS BEOL avec des budgets thermiques inférieurs à 450°C. Le dépôt est sélectif et permet une bonne homogénéité en taille et en dispersion des nanoparticules.

L'implantation ionique dépend directement de l'espèce à implanter et du substrat. Il serait compliqué de contrôler le niveau d'oxydation et donc les caractéristiques électriques de l'oxyde d'indium implanté. La forte sélectivité de la technique empêche l'utilisation des substrats non compatibles.

II. 6. Dépôt CVD de nanoparticules d'oxyde d'indium

Il a été démontré par plusieurs auteurs que l'indium déposé par technique de dépôt par voie chimique en phase vapeur (CVD) peut former des nanostructures[113][114][115][116]. Cette technique a pour but de déposer un film solide sur un substrat à partir de réactions chimiques ayant lieu en phase gazeuse. Dans le cas de dépôt d'oxyde d'indium, nous nous sommes concentrés sur les précurseurs d'indium les plus utilisés qui sont des composés organométalliques tels que le triméthylindium (TMIn)[115][116] ou le triéthylindium (TEIn)[113] et utilisant de l'eau ou de l'ozone comme oxydant. Le nom de la technique « dépôt chimique en phase vapeur aux organométalliques » (MOCVD) est directement reliée à la nature de ces précurseurs organométalliques[117]. Nous ne présentons ici qu'un résumé du fonctionnement d'un dépôt de ce type, car celui-ci est détaillé dans le chapitre 4 de ce document.

La technique de dépôt est réalisée dans un réacteur dont la pression et la température sont contrôlées et dans lequel on insère préalablement le substrat. S'en suivent les étapes de dépôt suivantes [118][117]:

- L'insertion des gaz transportant les précurseurs dans la chambre de réaction en direction du substrat.
- Des réactions chimiques ont lieu en phase gazeuse transformant les précurseurs en espèce métallique peu volatiles et en résidus volatiles. La réaction peut être une décomposition sous l'effet de la chaleur, être une réduction sous l'effet de l'hydrogène ou encore une dismutation du précurseur.
- Les espèces métalliques sont adsorbées par le substrat et diffusent vers les sites de croissance où ils sont incorporés alors que les résidus de réaction volatiles sont évacués.

La technique est prometteuse pour plusieurs raisons. Le dépôt MOCVD est une technique déjà largement utilisée dans l'industrie de la microélectronique et le procédé pourrait être transféré dans les réacteurs déjà existants. La température de dépôt est également compatible avec la technologie CMOS BEOL. Avec un bon contrôle du procédé de dépôt, il est possible d'obtenir un dépôt homogène avec un contrôle de la taille et de la densité des nanoparticules[115].

Cependant plusieurs défis sont encore à relever pour une application en microélectronique. À notre connaissance, aucun procédé mis en œuvre ne permet à la fois d'atteindre une dimension faible de l'ordre du nanomètre, un assez bon contrôle de la dispersion en taille et une bonne répétabilité de la forme des nanoparticules.

C'est la technique que nous avons privilégiée dans le cadre de ces travaux.

II. 7. Conception de la cellule mémoire

La structure étudiée dans ce projet consiste en une structure métal/isolant/métal MIM avec l'intégration de nanoparticules (Nps) d'oxyde d'indium dans l'isolant donnant une structure MI:Nps:IM.

II. 7. 1) Choix des matériaux

Plusieurs contraintes ont dirigé le choix des matériaux utilisés durant ces travaux. Dans un premier temps, des choix ont été effectués en fonction de nos objectifs initiaux. Comme nous l'avons précédemment indiqué, nous souhaitons que nos mémoires soient intégrables directement en structures 3D dans la partie BEOL d'une puce CMOS. Cet objectif nous pousse à choisir des matériaux compatibles BEOL et des techniques de fabrication transférable à l'industrie de la microélectronique. La reproductibilité étant l'un des points à améliorer des mémoires résistives, le choix des procédés de fabrication a été principalement dirigé pour assurer une bonne homogénéité des oxydes sur toute la surface des échantillons même à température inférieure à 450°C.

Ensuite ce projet porte sur la fabrication d'une mémoire résistive à nanoparticules d'oxyde d'indium mais aussi sur l'étude de son comportement. Des travaux préliminaires ainsi qu'une publication de la littérature internationale par l'équipe de Lee et al. [119] pointent deux origines possibles à la commutation résistive des mémoires à nanostructure : une conduction filamentaire aidée par les particules insérées dans le diélectrique ou un effet de charge dans ces dernières. La structure est imaginée pour déterminer aisément quel type de conduction est observée dans notre cas. Des oxydes déjà utilisés dans les deux modes de conduction sont donc choisis : les oxydes de silicium et d'aluminium [63][120][121][68]. Ces deux oxydes possèdent une bande interdite importante et un faible travail de sortie permettant un éventuel piégeage de charge dans les nanoparticules. De même associé à l'électrode adéquate, des phénomènes filamentaires pourraient être forcés pour adopter ce mode de commutation.

Enfin le choix d'une technique MOCVD pour le dépôt des nanoparticules ajoute une contrainte en termes de choix de substrat. Comme nous le verrons dans le prochain chapitre dédié aux techniques de fabrication, la MOCVD dont nous disposons est très sensible à la contamination et n'accepte que des substrats dument contrôlés. La solution la plus simple pour répondre à cet impératif est l'utilisation de substrat n'ayant jamais subi d'étapes technologiques ayant pu apporter des contaminants. Nous utiliserons donc des wafers de silicium monocristallin.

Pour satisfaire toutes les contraintes énoncées, une structure d'étude a été imaginée sur substrat silicium dopé n+ à $4.10^{19} \text{ cm}^{-3}$. Le fort dopage du substrat assurant un comportement proche d'un métal nous permet de l'utiliser comme électrode inférieure dans une structure mémoire verticale. La possibilité d'oxyder le substrat est un autre avantage qui sera utilisé pour former un oxyde de silicium thermique de bonne qualité. Comme second oxyde qui sera déposé pour recouvrir les nanoparticules, l'oxyde d'aluminium est préféré. Ces deux oxydes sont connus et déjà utilisés dans le domaine des mémoires non volatiles aussi bien dans les phénomènes de commutations résistives filamenteuses que par rétentions de charge. Plusieurs électrodes supérieures pourront être testées en fonction de nos besoins.

II. 8. Diagramme de bande

Pour construire le diagramme de bande de la mémoire imaginée qui est montrée en Figure II-5, nous avons utilisé les paramètres des matériaux choisis fournis par la littérature internationale.

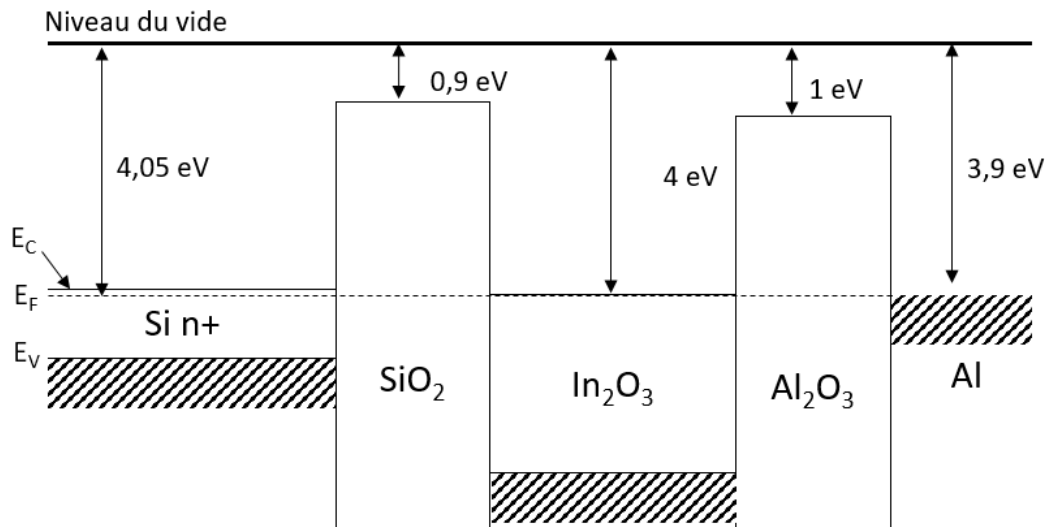


Figure II-5 : Diagramme de bande idéal à l'équilibre de la structure mémoire imaginée. Les dimensions latérales sont à l'échelle.

Le substrat Si n+ est un semi-conducteur de bande interdite 1,12 eV [122] dopé n+ à $4 \cdot 10^{19} \text{ cm}^{-3}$. Son niveau de Fermi est donc situé à 0,04 eV en dessous de la bande de conduction. L'affinité électronique du silicium étant de 4,01 eV [123] on en déduit un travail de sortie de 4,05 eV.

Le travail de sortie de l'oxyde de silicium étant de 0,9 eV [124] on en déduit une barrière de potentiel de 3,15 eV avec le substrat de silicium. Cette barrière est en accord avec la littérature [125].

On considère les nanoparticules comme dégénérées avec le niveau de Fermi confondu avec la bande de conduction et un travail de sortie de 4 eV [98]. La bande interdite des nanoparticules est de 2,9 eV [75].

L'oxyde d'aluminium a un travail de sortie de 1 eV [125]. Au contact de l'aluminium, il y aura donc une barrière de potentiel de 2,9 eV puisque l'aluminium a un travail de sortie de 3,9 eV [126].

II. 9. Conclusion du chapitre

Nous avons imaginé une structure mémoire intégrant des nanoparticules d'oxyde d'indium au sein de l'isolant d'un empilement MIM. Celle-ci pourrait théoriquement commuter par effet de charge ou par conduction filamentaire grâce à la présence des nanoparticules. En effet ces dernières présentent des propriétés intéressantes qui pourraient tout à fait amener à l'un de ces deux modes de fonctionnement.

Chapitre 2 : Propriété des nanoparticules d'oxyde d'indium et conception de la cellule mémoire

L'oxyde d'indium est un matériau semi-conducteur dont la bande interdite est comprise entre 2,6 eV et 2,9 eV. On peut le trouver à l'état cristallin ou amorphe en fonction des conditions de fabrication. Sa forme la plus stable est sa forme cristalline cubique centrée. Il est naturellement dopé n par la présence de lacunes d'oxygène. Même les oxydes les plus proches de la stœchiométrie In_2O_3 ont un niveau de Fermi proche de la bande de conduction avec un minimum relevé de 0,4 eV en dessous de la CBM. Les oxydes sous-stœchiométriques sont très dopés. L'ajout d'étain comme dopage est une technique courante pour dégénérer le matériau et lui donner un comportement métallique.

On observe une accumulation d'électrons en surface des cristaux d'oxyde d'indium modifiant significativement le comportement électrique du matériau en fonction de sa dimension. Dans notre cas, comme des nanoparticules de dimensions nanométriques sont recherchées, les effets surfaciques seront prépondérants. Ceci nous assure une forte concentration en porteurs de charges ainsi qu'une forte conductivité de ces nanoparticules.

Il sera tout de même nécessaire de contrôler le dépôt de ces nanoparticules afin d'assurer une homogénéité de la réponse électrique des mémoires. Pour ce faire, nous pensons qu'un dépôt par MOCVD est une technique prometteuse qui pourrait nous permettre d'atteindre à la fois un contrôle de la taille, de la densité, de l'homogénéité et même de la stœchiométrie des nanoparticules.

III. Procédé de fabrication des cellules mémoires à nanoparticules d'oxyde d'indium

III. Procédé de fabrication des cellules mémoires à nanoparticules d'oxyde d'indium	47
III. 1. Introduction	48
III. 2. Allure de la mémoire	48
III. 3. Procédé de fabrication détaillé	49
III. 3. 1) Substrat employé et oxydation thermique	50
III. 3. 2) Dépôt des nanoparticules d'oxyde d'indium par MOCVD	51
III. 3. 3) Dépôt de l'oxyde d'aluminium par ALD	54
III. 3. 4) Dépôt de l'électrode supérieure par évaporation et recuit.....	56
III. 4. Procédé de dépôt des nanoparticules d'oxyde d'indium.....	58
III. 4. 1) Mécanismes de dépôt	58
III. 4. 2) Type de croissance	59
III. 4. 3) Composition et stœchiométrie des nanoparticules.....	61
III. 4. 4) Influence des paramètres de dépôts sur la croissance de nanoparticules	63
• Influence de la température	64
• Influence de la pression partielle du précurseur	67
• Influence des flux de gaz précurseur	68
III. 5. Contrôle du dépôt des nanoparticules par MOCVD avec un procédé en deux étapes :	70
III. 5. 1) Problématique de nucléation des nanoparticules en continu.....	70
III. 5. 2) Nucléation des nanoparticules.....	72
III. 5. 3) Croissance des nanoparticules à densité constante	73
III. 6. Conclusion	76

III. 1. Introduction

La fabrication des dispositifs mémoires étudiés lors de cette thèse a été développée au LTM à Grenoble sur le site du CEA et avec les outils et salles blanches de la PTA, ainsi que dans la salle blanche du LETI. Une partie de la fabrication a également été effectuée sur le site de l'INSA de Lyon à la Doua Villeurbanne dans les salles blanches de l'INL.

Ce chapitre traite des procédés mis en place ainsi que des outils utilisés pour la fabrication du dispositif mémoire. Pour rappel celui-ci est constitué d'une structure MIM conçue pour y introduire des nanoparticules d'oxyde d'indium. Il s'agit de comprendre l'impact de telles structures dans le fonctionnement des mémoires et de tenter d'optimiser leurs effets tout en étant compatible avec la technologie CMOS Back End Off-Line.

Tout d'abord nous rappelons l'allure générale de la structure MIM choisie avant de nous pencher sur le détail des techniques et procédés utilisés pour la fabriquer. Chaque étape sera détaillée ainsi que les techniques de fabrication explicitées. Le protocole de fabrication complet y est notamment expliqué et schématisé. Nous étudierons ensuite plus en détail le dépôt des nanoparticules qui est l'étape du procédé de fabrication innovante du projet. Les solutions apportées en réponse aux défis technologiques pour réaliser de tels dépôts de nanoparticules avec une bonne homogénéité et un fin contrôle de la dimension seront détaillées en fin de chapitre.

III. 2. Allure de la mémoire

Comme nous l'avons précisé précédemment dans le paragraphe II. 7, la structure mémoire que nous souhaitons fabriquer est de type MI:Nps:IM soit une structure sandwich MIM intégrant des nanoparticules au sein de l'isolant. Nous avons pour objectif de concevoir des mémoires dont la technique de fabrication, les matériaux et le budget thermique soient compatibles avec la technologie CMOS Back End Off-Line. Ces principales obligations ont directement dirigé nos choix pour la réalisation de notre mémoire. Les échantillons réalisés lors de cette thèse ont pour objectif de servir une étude des paramètres matériaux sur la réponse électrique de mémoires résistives contenant des nanoparticules d'oxyde d'indium. Ces échantillons sont entièrement fabriqués sur substrat silicium dopé n+. Nous pouvons noter que le type de substrat de ces échantillons d'étude ainsi que l'oxydation thermique du silicium ne sont pas des procédés compatibles BEOL. Cette première approche a pour but de maîtriser le procédé de fabrication complet et d'étudier les caractéristiques électriques de telles mémoires à nanoparticules. Il sera expliqué lors de la description de l'outil utilisé pour le dépôt des nanoparticules, la MOCVD, pourquoi il n'a pas été possible de réaliser le

procédé de fabrication sur un autre substrat que le silicium lors de cette thèse. Nous avons cependant conçu le procédé de fabrication afin de permettre son adaptation aisée sur n'importe quel type de substrat, notamment pour assurer la compatibilité CMOS BEOL.

Un grand nombre de mémoires différentes ont été fabriquées selon le même schéma. Elles sont toutes basées sur le même modèle d'empilement vertical visible sur la Figure III-1 et sont composées d'une structure Métal 2/Oxyde 2/ Nanoparticules/Oxyde 1/Métal 1. La couche de nanoparticule n'est pas jointive. La nature et l'épaisseur de chacun des matériaux sont amenées à être modifiées d'un échantillon à l'autre tel que décrit dans la suite de ce chapitre.

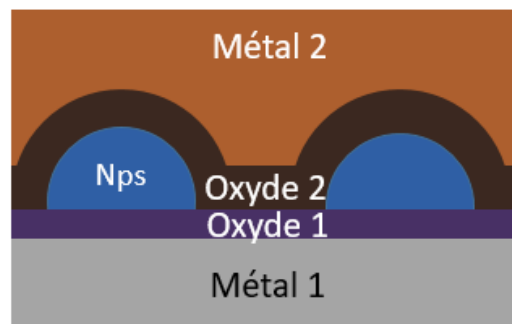


Figure III-1: Schéma de la structure verticale de toutes les mémoires fabriquées.

Cette structure verticale est avantageuse pour plusieurs raisons. La première raison, purement technique, concerne le dépôt des nanoparticules. Il est plus aisé de contrôler un dépôt de nanoparticules sur une surface que dans une tranche verticale par implantation par exemple. Ensuite la fabrication de cette structure ne nécessite qu'un nombre réduit d'étapes de fabrication, toutes possibles sur plaque 300 mm, et indépendantes les unes des autres. Cette dernière assertion est importante, car la modification de la nature ou de l'épaisseur d'une couche n'aura aucune incidence sur le reste du procédé de fabrication. Ceci facilitera le passage d'une structure d'étude sur substrat silicium à une structure optimisée visant la performance des mémoires.

III. 3. Procédé de fabrication détaillé

La fabrication des mémoires que nous proposons est réalisable entièrement sur substrats 300 mm. Pour des raisons pratiques, après le dépôt de nanoparticules, les substrats sont clivés en échantillons carrés de dimensions 2cm*2cm même si les étapes suivantes pourraient être réalisées en pleine plaque. La diminution de la taille des échantillons permet dans le cadre de notre étude de réaliser de substantielles économies de matières, de faire varier plus de paramètres sur les outils de fabrication mais également

d'avoir accès à un grand nombre de techniques de caractérisation. Les prochains paragraphes vont détailler chaque technique de fabrication utilisée pour la réalisation d'une structure Al/Ti/Al₂O₃/Nps : In₂O₃/SiO₂/Si n+ caractérisé électriquement dans le chapitre IV de ce manuscrit et schématisée en Figure III-2.

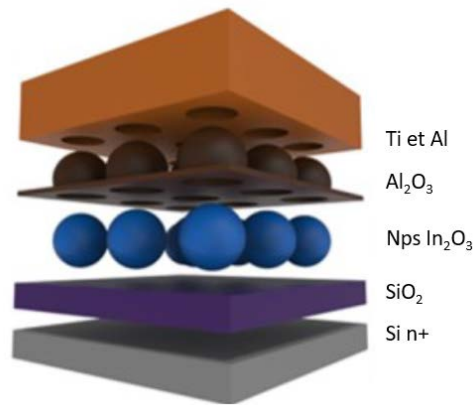


Figure III-2 : Schéma d'une des structures MIM intégrant des nanoparticules utilisées lors de cette étude (image par Edgar Léon-Perez).

III. 3. 1) Substrat employé et oxydation thermique

Les substrats employés pour la réalisation des mémoires sont des wafers de 300 mm de diamètre fournis par la société SunEdison Semiconductor. Ils sont en silicium dopé n+ avec une concentration de dopant d'environ $4 \cdot 10^{19} \text{ cm}^{-3}$. La première étape de fabrication va consister à nettoyer et oxyder ces substrats par oxydation thermique à haute température. Le nettoyage employé est un bain chimique d'acide fluorhydrique (Hf) à l'état de vapeur qui a pour but de supprimer toutes les impuretés déposées en surface du wafer ainsi qu'à supprimer l'oxyde de silicium natif apparaissant même à température ambiante. Le wafer est ensuite introduit dans un four d'oxydation où il subira un recuit dont le temps et la température dépendent de l'épaisseur d'oxyde désiré. Nous avons réalisé des échantillons de quatre épaisseurs différentes : l'oxydation est réalisée à 900°C pour des épaisseurs 2,5 nm et 3,5nm et à 1100°C pour des épaisseurs 5 nm et 7,5 nm. Comme il a été rappelé en introduction, cette étape n'est pas compatible avec la technologie CMOS BEOL, car elle utilise un substrat vierge et une oxydation à température bien supérieure à 450°C. Cette première étape sera remplacée par un dépôt de métal d'électrode inférieure. Nous avons imaginé du polysilicium dopé par exemple, suivi d'un dépôt d'oxyde, comme du SiO₂, dans le cas où l'objectif serait de fabriquer une mémoire sur substrat CMOS.

III. 3. 2) Dépôt des nanoparticules d'oxyde d'indium par MOCVD

Le dépôt contrôlé des nanoparticules est la plus grande innovation de ce procédé de fabrication des mémoires à nanoparticules d'oxyde d'indium, c'est pourquoi il lui sera consacré un paragraphe entier à la suite du procédé de fabrication. Pour réaliser ce dépôt, nous avons utilisé un équipement de dépôt chimique en phase vapeur à précurseurs organométalliques (MOCVD pour Metal Organic Chemical Vapor Deposition) conçu par la société Applied Materials, et accueillant des substrats jusqu'à 300mm de diamètre. Situé dans la salle blanche « Nanotech 300 » du CEA Leti à Grenoble, cet équipement a été conçu pour réaliser des croissances de matériaux III/V sur des substrats silicium de grandes dimensions avec une grande facilité et une bonne reproductibilité. Il est composé de plusieurs éléments sous vide reliés par une chambre de transfert, visible sur le schéma en Figure III-3 : un sas de chargement/déchargement robotisé permettant de traiter jusqu'à 50 plaques de manière automatisée (bleu), 2 chambres de préparation de surface (vert), un réacteur de croissance (orange) auquel est reliée une armoire contenant 9 précurseurs organométalliques, et une valise de transfert sous atmosphère contrôlée (jaune) permettant de réaliser des caractérisations sur d'autres équipements sans remise à l'air.

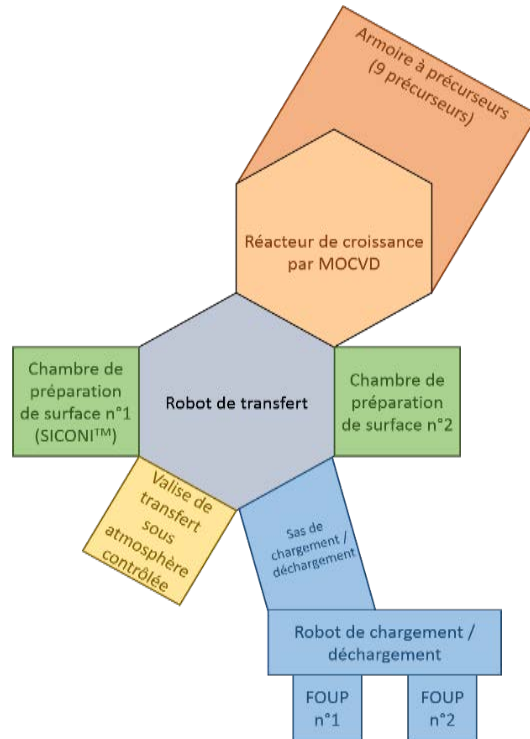


Figure III-3: Schéma des éléments constituant la MOCVD Applied Materials, acquise conjointement par le LTM et le CEA Leti.

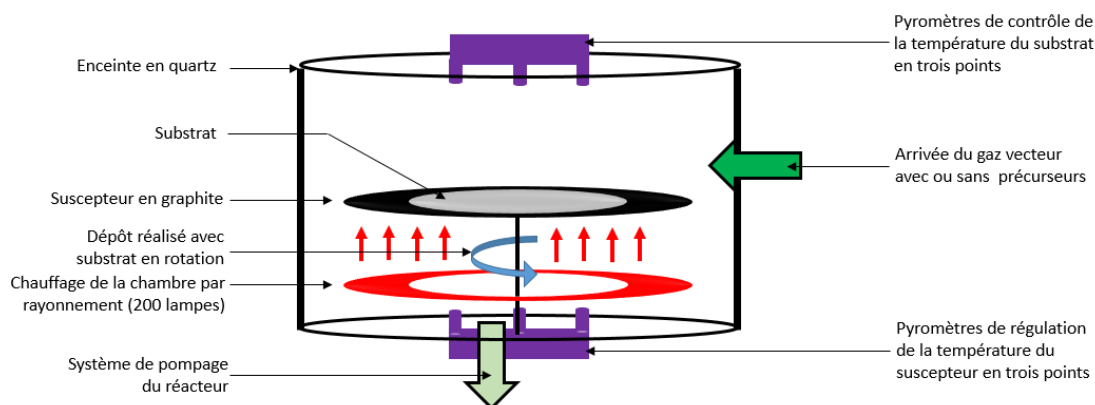


Figure III-4 : Schéma du réacteur de MOCVD à flux laminaire tel que celui utilisé pour cette étude

Pour réaliser le dépôt de nanoparticules, nous n'avons pas besoin de préparation de surface in situ. Nous n'avons donc utilisé sur cet équipement que le réacteur de croissance. La Figure III-4 montre le schéma de ce réacteur. Le substrat inséré dans la chambre de dépôt repose sur un suscepteur en graphite recouvert de siliciure de carbone, maintenu en constante rotation durant le dépôt. Cette rotation à 30 tours par minutes aide à obtenir un dépôt homogène malgré l'injection latérale des précurseurs gazeux. La température dans l'enceinte est contrôlée à tout moment grâce à 200 lampes, asservies par deux pyromètres optiques mesurant la température au centre et au bord du suscepteur. Deux autres pyromètres optiques de contrôle mesurent la température au centre et au bord du substrat. La pression dans le réacteur est contrôlée par un système de pompage et par un flux contrôlable de dihydrogène.

Ce flux de dihydrogène est également utilisé comme gaz vecteur des précurseurs pendant le dépôt. L'arrivée du gaz vecteur visible Figure III-5 est divisée en deux lignes distinctes. La première ne contient que le gaz vecteur et permet de maintenir la pression voulue dans le réacteur et à évacuer les produits après une réaction. La seconde ligne de gaz est dédiée à l'injection des précurseurs, dont un seul bulleur a été représenté ici. Dans cette seconde ligne, grâce à un agencement de valves on peut diriger le gaz vecteur à travers les bulleurs contenant un mélange à l'équilibre de précurseur à l'état liquide (ou solide) et de ce même précurseur à l'état de vapeur. Dans chaque bulleur, cet équilibre de précurseurs

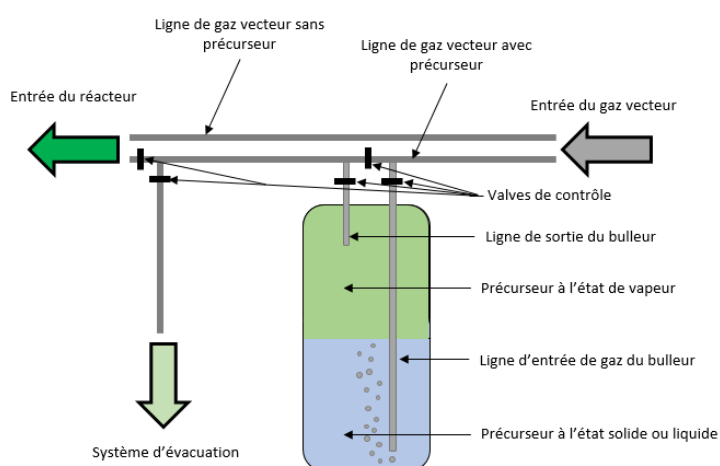


Figure III-5 : Schéma de fonctionnement des lignes de gaz entrant dans un réacteur d'une MOCVD. L'arrivée de gaz s'effectue en deux lignes, la première uniquement parcourue par le gaz vecteur et la seconde passant par les bulleurs (un seul représenté ici) contenant les précurseurs organométalliques à l'état liquide ou solide

à l'état à la fois de vapeur et de liquide/solide est maintenu par un couple de température et de pression dépendant de la nature du précurseur. À l'ouverture des valves de contrôle du bulleur, la vapeur du précurseur contenue dans le bulleur est poussée par le gaz vecteur. Dans un premier temps, on évacue le gaz vecteur et le précurseur vers un système d'abatement, en attendant la stabilisation du flux. Une fois le flux stabilisé, le précurseur est dirigé vers le réacteur de dépôt par entrainement [127].

L'objectif de cette étape est de déposer de manière contrôlée la taille et la densité des nanoparticules afin d'obtenir une homogénéité sur toute la surface du substrat. Comme on peut le voir sur la Figure III-6, nous parvenons à atteindre l'objectif schématisé en a) de réaliser un dépôt homogène de particules non jointives visibles sur les images AFM (b) et MEB (c). Ce dépôt de nanoparticules hémisphériques d'oxyde d'indium est réalisé à des températures inférieures à 450°C, ce qui rend l'étape compatible CMOS BEOL. Grâce au procédé de dépôt détaillé dans ce chapitre, il est possible de déposer des Nps de taille de l'ordre de 4 nm à 100 nm de hauteur avec des densités allant de 10^8 cm^{-2} à quelques 10^{10} cm^{-2} . Nous sommes à notre connaissance les premiers auteurs à démontrer un tel contrôle du dépôt de nanoparticules d'oxyde d'indium sur substrat 300mm grâce à une technique innovante dont le procédé de fabrication sera détaillé plus loin dans le chapitre.

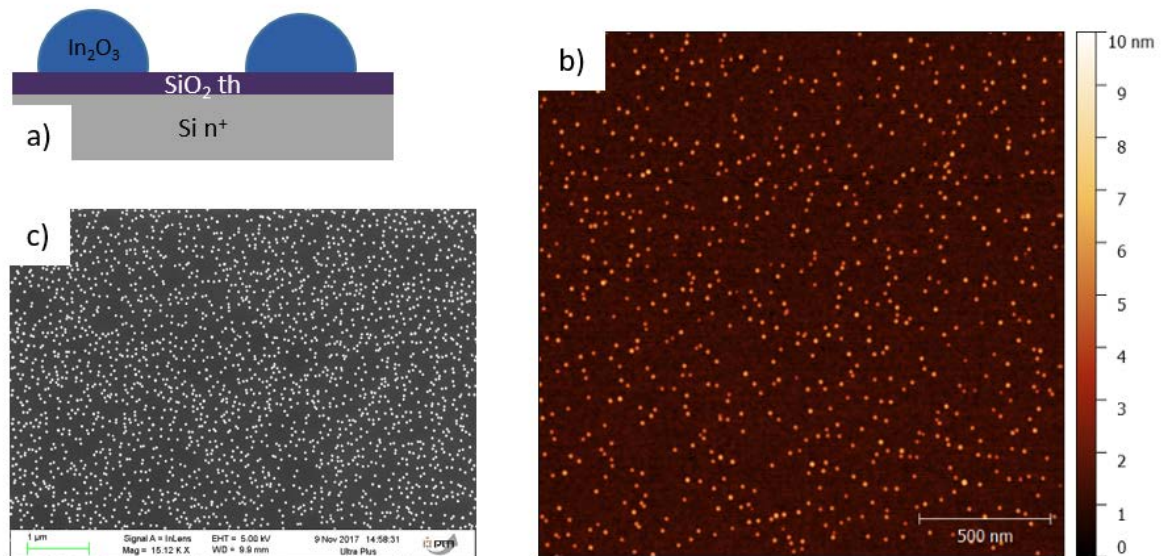


Figure III-6 : a) Schéma de l'étape technologique de dépôt des nanoparticules d' In_2O_3 sur substrat Si/SiO_2 thermique; b) Image au microscope à force atomique et c) Image au microscope électronique à balayage de la surface d'un substrat recouvert de nanoparticules non jointives.

L'équipement de dépôt étant à l'origine dédiée à la croissance de matériaux III-V sur silicium, il est soumis à un contrôle très strict des risques de contamination. Pour cette raison il n'est pas possible d'y insérer tout type de substrat. La fabrication des dispositifs mémoires n'a donc pas pu être réalisée que sur des substrats en silicium dopé. De plus les étapes de fabrications suivantes sont incompatibles avec le niveau de contamination de

l'outil. Il sera donc impossible également lors de l'étude de réaliser plusieurs couches de dispositifs empilés.

III. 3. 3) Dépôt de l'oxyde d'aluminium par ALD

Le dépôt du second oxyde est réalisé par dépôt de couches minces atomiques (Atomic Layer Deposition ALD). La technique est un dépôt chimique en phase gazeuse particulier permettant le dépôt conforme d'un grand nombre de matériaux avec un contrôle de l'épaisseur théoriquement possible à la monocouche atomique près. Cet effet est permis par le procédé utilisé pour le dépôt qui nécessite deux précurseurs livrant des réactifs compatibles entre eux mais incompatibles avec eux-mêmes. Contrairement à un dépôt CVD classique, ceux-ci ne sont pas insérés simultanément dans la chambre de réaction mais l'un après l'autre.

À basse pression, on réalise une succession de cycle suivant le modèle suivant : précurseur A, purge, précurseur B, purge. Ce cycle est répété autant de fois que nécessaire pour atteindre l'épaisseur désirée. On peut simplifier l'effet de chaque pulse de gaz du cycle comme suit : Le pulse du gaz précurseur A est introduit dans le réacteur. Sous l'effet de la chaleur le précurseur A se décompose et libère le réactif A qui va réagir avec la surface du substrat. Cette réaction est autolimitée, car une fois la surface complètement recouverte, il n'existe plus de site où le réactif A peut réagir. La première purge effectuée à l'aide d'un gaz inerte sert à éliminer du réacteur les précurseurs et produits de réactions de la première étape avant le pulse de précurseur B. Tout comme la première étape, cette espèce B sera libérée par décomposition d'un second précurseur B et ne peut réagir qu'avec le réactif A fixé à la surface du substrat. Une fois la surface complètement recouverte la réaction s'arrête et la seconde purge vient évacuer les résidus de réactions et précurseurs encore présents [128]. Pour accélérer le dépôt, ceux-ci peuvent être réalisés sous plasma. Ces dépôts présentent deux avantages majeurs, ils sont conformes, ce qui permet d'encapsuler les nanoparticules, et réalisables à basse température, 200°C dans notre cas.

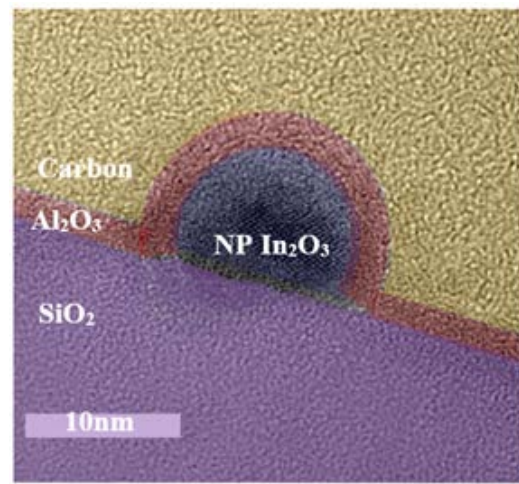


Figure III-7 : Image TEM de la structure immédiatement après dépôt de la couche d' Al_2O_3 d'encapsulation par ALD.

Pour le dépôt d'oxyde d'aluminium nous utilisons une Fiji 200 de la marque Ultratech. Les précurseurs dont nous nous sommes servis sont le Triméthylaluminium TMA pour l'aluminium et de l'eau H_2O pour l'oxygène. Les dépôts ont été réalisés à 200°C en mode de fonctionnement thermique (sans plasma). Plusieurs épaisseurs ont été testées : 2,5 nm en 18 cycles et 5 nm en 36 cycles. Pour déterminer le nombre de cycles nécessaires, nous avons utilisé les droites d'évolution de l'épaisseur du dépôt en fonction du nombre de cycles mis en place par les spécialistes de l'outil. La Figure III-7 montre une vue TEM d'une coupe transversale d'un échantillon à cette étape de fabrication. L'échantillon est extrait du substrat par coupe FIB et aminci jusqu'à des dimensions acceptables de l'ordre de la dizaine de nanomètres permettant une transparence nécessaire à l'observation TEM. L'échantillon n'est destiné qu'à l'étude du procédé de fabrication et non à une caractérisation électrique aussi le substrat utilisé est un substrat Si non dopé et l'épaisseur de SiO_2 est de 100 nm. Les nanoparticules sont déposées par MOCVD avec une densité de $2 \cdot 10^{10} \text{ cm}^{-2}$ pour une taille moyenne d'environ 10 nm mesurée par AFM et confirmée par l'observation TEM. L'encapsulation par ALD en 18 cycles visait une épaisseur de 2,5 nm ce qui est également en accord avec les observations TEM. On notera comme attendu une parfaite conformité du dépôt sur la surface de l'oxyde de silicium comme sur la surface des nanoparticules preuve de la bonne qualité du dépôt ALD effectué. Il est à noter que le carbone visible sur la Figure III-7 est déposé comme couche de protection lors de la préparation et l'amincissement de l'échantillon et ne constitue pas une étape technologique de fabrication des mémoires.

III. 3. 4) Dépôt de l'électrode supérieure par évaporation et recuit

Le dépôt des électrodes supérieures (top) est réalisé par évaporation de métal. Ce dépôt de métal par évaporation repose sur la pulvérisation d'une charge métallique pure sous l'effet d'un faisceau d'électrons accélérés dans une enceinte sous vide. Le métal pulvérisé va venir se déposer sur toutes les surfaces de l'enceinte notamment sur l'échantillon qui y a été placé préalablement. Cette technique de dépôt utilisable à basse température permet le dépôt d'un grand nombre de métaux avec des vitesses de dépôt de quelques nanomètres à quelques centaines de nanomètres par seconde.

Deux techniques de masquage ont été utilisées pour définir la forme et la dimension des électrodes en fonction des lots des échantillons. Pour les mémoires de plus grosses dimensions, entre 500 μm et 30 μm de diamètre, l'évaporation à travers un masque dur schématisé Figure III-8 permet de drastiquement diminuer le nombre d'étapes de fabrication. Un masque dur est fixé en contact avec le substrat grâce à une visserie de serrage qui sert également à fixer l'échantillon sur le porte échantillon durant le dépôt. La chambre est mise sous vide avant l'allumage du faisceau d'électrons. Ce dernier va chauffer le métal jusqu'à ce qu'il s'évapore pour se déposer sur toutes les surfaces de l'enceinte. Cette technique permet un dépôt d'électrode en une seule étape technologique. Enfin un recuit est effectué dans un four RTA à 400°C pendant au moins 10 minutes pour stabiliser toutes les étapes de fabrication précédentes. Cette étape permet également d'obtenir de meilleures performances électriques par la suite tel qu'une tension de formage plus faible [129]. Notez que dans notre procédé de fabrication verticale c'est la seule étape qui n'est pas effectuée sur tout l'échantillon et c'est donc elle qui va déterminer la dimension de la mémoire. Ainsi grâce à cette méthode, nous avons réalisé des échantillons circulaires de 30 μm , 50 μm et 100 μm de diamètre.

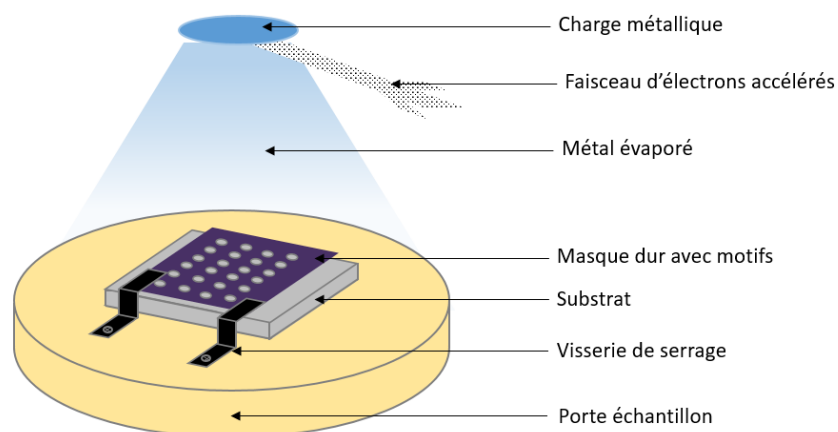
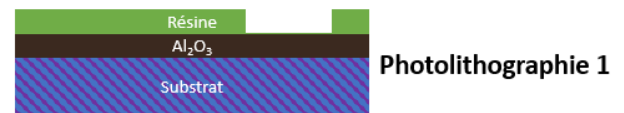


Figure III-8 : Schéma d'un dépôt par évaporation métallique à travers un masque dur en violet.

Pour des mémoires de dimensions inférieures la technique de masquage dure devient irréalisable d'où le développement d'un dépôt d'électrodes et de chemins d'amenés en trois étapes de lithographie. Seule la photolithographie a été réalisée lors de cette étude mais pour obtenir des dimensions encore inférieures, l'électrolithographie est envisageable. Ces étapes sont schématisées Figure III-9 et détaillées ci-après.

Photolithographie 1 : Après le dépôt de l'oxyde d'aluminium par ALD on va déterminer la dimension des électrodes en gravant par photolithographie une résine photosensible qui va servir de masque pour le dépôt de l'électrode top.

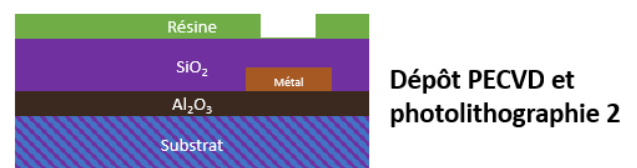


Photolithographie 1

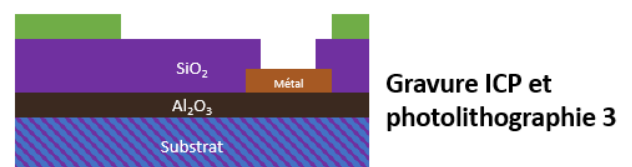


Dépôt par évaporation 1 et soulèvement

Évaporation 1 et soulèvement : un dépôt par évaporation est effectué sur la surface de l'échantillon où les motifs désirés sont gravés dans la résine. Le dépôt se passe exactement de la même manière qu'avec un masque dur excepté que le masque est fait de résine. Après le dépôt métallique, un soulèvement permet de retirer la résine et les surplus de métal pour laisser apparaître l'électrode. Celle-ci est trop petite pour y déposer des pointes de caractérisation. On va donc les encapsuler dans un oxyde et les contacter depuis l'extérieur avec des chemins d'amenés.



Dépôt PECVD et photolithographie 2



Gravure ICP et photolithographie 3



Dépôt par évaporation 2 et recuit RTA

Dépôt PECVD et photolithographie 2 : l'encapsulation est réalisée par un dépôt PECVD d'oxyde, 100 nm de SiO₂ dans notre cas. Une épaisseur suffisante est nécessaire pour éviter de créer des capacités parasites indésirables. Une deuxième photolithographie est réalisée pour graver une résine photosensible en vue de graver les via de contact avec les électrodes métalliques précédemment déposées.

Figure III-9 : Schéma des différentes étapes technologiques nécessaires à la fabrication des électrodes et des chemins d'amenés par photolithographie.

Gravure ICP et photolithographie 3 : On grave les via par une gravure sèche par plasma à couplage inductif. Cette technique allie vitesse et anisotropie par l'utilisation de gaz de gravure excité à l'état de plasma. La gravure est très directive et permet l'obtention de via verticaux avec peu de gravure des flancs. La troisième photolithographie va définir les motifs de résine révélant la forme du contact extérieur. Celui-ci est de diamètre 70µm, bien plus important que l'électrode, pour permettre le dépôt de pointe de caractérisation électrique.

Évaporation 2 et recuit RTA : la seconde évaporation métallique va permettre de remplir les via et les motifs de contact extérieur. Un soulèvement retirera la résine et les surplus de métal. On procède ensuite, comme pour le procédé avec masque dur, à un recuit dans un four RTA à 400°C pendant au moins 10 minutes.

III. 4. Procédé de dépôt des nanoparticules d'oxyde d'indium

La problématique principale de la fabrication des mémoires à nanoparticules est le dépôt de ces dernières. Ce paragraphe résume l'étude qui a été menée afin de réaliser, comprendre et maîtriser ce dépôt par MOCVD selon un procédé répétable, homogène et compatible CMOS BEOL. Cette partie est dédiée à l'explication des mécanismes de dépôt de nanoparticules par MOCVD et à la description du procédé développé pour mettre ces mécanismes au service de nos besoins.

III. 4. 1) Mécanismes de dépôt

Le dépôt des éléments issus des précurseurs lors d'un dépôt chimique en phase gazeuse, ou CVD, suit un mécanisme en deux étapes schématisées Figure III-10 :

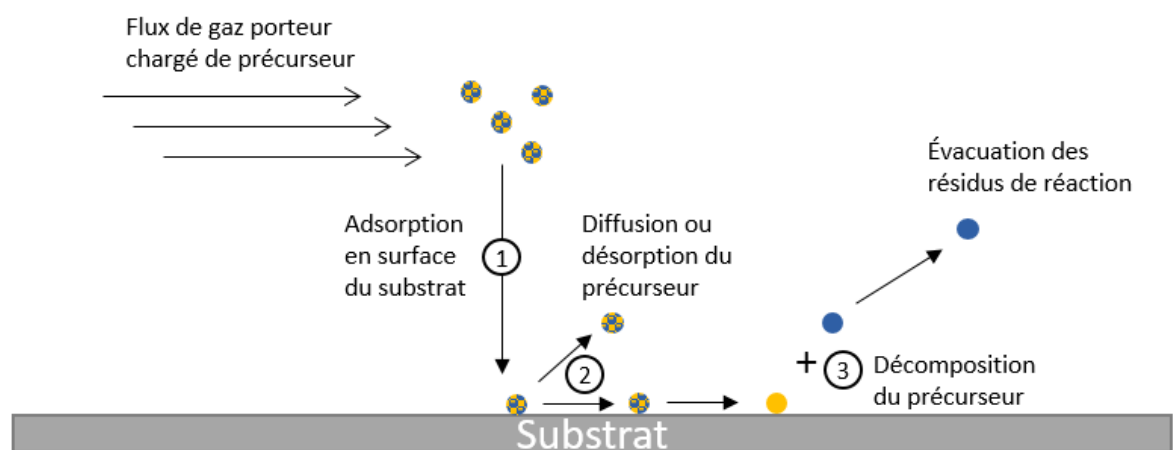


Figure III-10 : Schéma explicatif des étapes de dépôt d'une espèce par CVD. 1) Adsorption en surface du précurseur ; 2) Diffusion ou désorption du précurseur ; 3) Décomposition du précurseur en un atome ou une molécule solide ou liquide et en résidus de réactions gazeux [127].

Dans un premier temps le précurseur est adsorbé par physisorption de type Van der Waals à la surface du substrat depuis l'environnement gazeux 1). Il peut alors y diffuser jusqu'à être désorbé ou bien se fixer à un site de nucléation 2) qui peut être par exemple, en

fonction du substrat, un joint de grain, un germe déjà présent, une liaison chimique pendante ou encore une marche atomique. Dans un second temps, le précurseur fixé sur un site de nucléation va réagir sous l'effet de la chaleur avec le substrat. Il se décompose en deux éléments 3), l'atome ou molécule d'intérêt restant sur le substrat et en résidus gazeux qui vont être évacués. Cette décomposition ne peut avoir lieu qu'en contact avec le substrat, car c'est la température de celui-ci, contrôlée par les lampes de chauffages, qui permettent à la réaction d'avoir lieu [117].

III. 4. 2) Type de croissance

En fonction de l'énergie d'adhésion entre le substrat et l'espèce déposée, le dépôt en phase vapeur peut prendre plusieurs formes différentes. On peut citer 3 principaux modes de croissances [117] :

- Le mode de croissance de type Volmer-Weber (VW) apparaissant lorsque l'espèce déposée a plus d'affinité avec elle-même qu'avec le substrat. Il en résulte un dépôt de germe localisé sur des sites de nucléations préférentiels du substrat. Une croissance puis coalescence de ces germes amène à l'apparition de structures en trois dimensions puis d'une couche continue.
- Le mode de croissance de type Frank Van der Merwe (FM) apparaissant à l'inverse lorsque l'espèce déposée est plus fortement liée avec le substrat qu'avec elle-même. Les atomes déposés vont préférentiellement former une monocouche continue sur le substrat puis croître couche par couche.
- Le troisième mode de croissance dit de type Stranski Kastanof (SK) est intermédiaire entre les deux précédents. Il est observé lorsque l'énergie de liaison avec le substrat est élevée, ce qui amorce la formation d'une monocouche atomique, mais que la tension de surface de la monocouche est également très élevée ce qui rend son démouillage en structure à trois dimensions favorable.

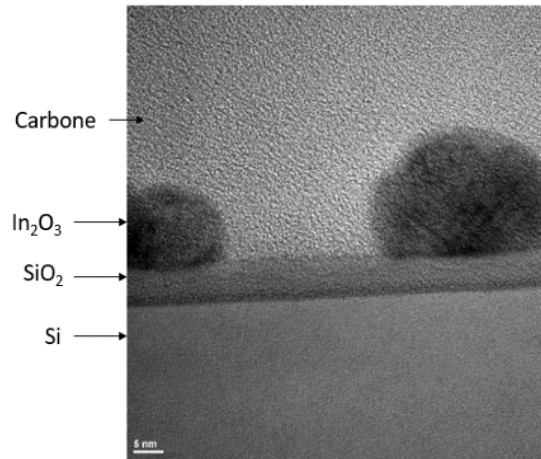


Figure III-11 : Image TEM des nanoparticules d'oxyde d'indium déposées par MOCVD sur un substrat Si/SiO₂. Les nanoparticules sont encapsulées dans du carbone pour protéger l'échantillon lors de sa préparation.

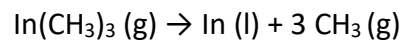
Il est visible sur la Figure III-11 que l'indium métallique déposé va s'organiser directement en nanostructures oxydées de forme hémisphérique (l'explication de cette oxydation est donnée au prochain paragraphe 0). Cette observation est valable que le substrat soit du silicium, du nitrure de silicium ou de l'oxyde de silicium. Nous sommes donc en présence d'une croissance de type Volmer Weber qui est le type de croissance observé par d'autres équipes à ces températures de croissance [130]. La plupart des particules d'oxyde d'indium observées par TEM sont cristallines. L'analyse de ces images TEM montre une périodicité des franges du réseau dont la direction la plus intense correspond au plan (222) de la structure cubique de l'oxyde d'indium. Cette observation n'est pas étonnante, cette forme étant décrite comme la plus stable de l'oxyde d'indium [131] [80]. Nous notons tout de même la présence d'une faible quantité de nanoparticules amorphes lors de l'observation TEM. Ces particules semblent être dans un état métastable, car elles tendent à cristalliser en phase cubique sous l'effet du flux d'électron du TEM. Ces observations sont cohérentes avec les études publiées dans la littérature internationale décrivant la forme cristalline cubique comme étant l'organisation la plus stable de l'oxyde d'indium.

Nos observations indiquent que nous sommes en présence d'une formation de structure en 3 dimensions par croissance de type Volmer-Weber. Les nanoparticules sont constituées d'oxyde d'indium majoritairement cristallin avec une maille cubique. Une petite quantité de nanoparticules non cristallines est observée mais cette présence de particules amorphes n'est pas considérée comme handicapante pour notre projet, car, comme indiqué au chapitre 2 paragraphe II. 2, les caractéristiques électriques des particules amorphes sont semblables à celles des particules cristallines [89].

III. 4. 3) Composition et stœchiométrie des nanoparticules

Le seul précurseur utilisé lors du dépôt des nanoparticules est du triméthylindium permettant le dépôt d'indium métallique pur. Aucun précurseur oxydant n'est utilisé et le dépôt est réalisé en atmosphère inerte. Cependant les observations TEM montrent une structure cristallisée d'oxyde d'indium. Une étude de la composition et de la stœchiométrie des espèces déposées est menée dans ce paragraphe en utilisant la spectrométrie photoélectronique X (XPS).

Nous utilisons comme précurseur du triméthylindium (TMIn) de formule $\text{In}(\text{CH}_3)_3$. Il se décompose selon la formule suivante [132] :



Nous déposons donc de l'indium métallique sur le substrat. Comme nous le montre les analyses XPS sur la Figure III-12, même si nous n'utilisons pas de source d'oxygène l'indium métallique va s'oxyder in situ pendant et après le dépôt en pompant de l'oxygène dans l'enceinte du réacteur pour former de l'oxyde d'indium de formule In_2O_3 . Ces graphiques sont des extraits de spectre réalisés sur l'XPS Theta 300 de Thermo Fisher Scientific faisant partie de l'équipex IMPACT du LTM. Nous avons pris pour référence la liaison carbone C1s C-C à 284.8 eV afin de fixer notre spectre.

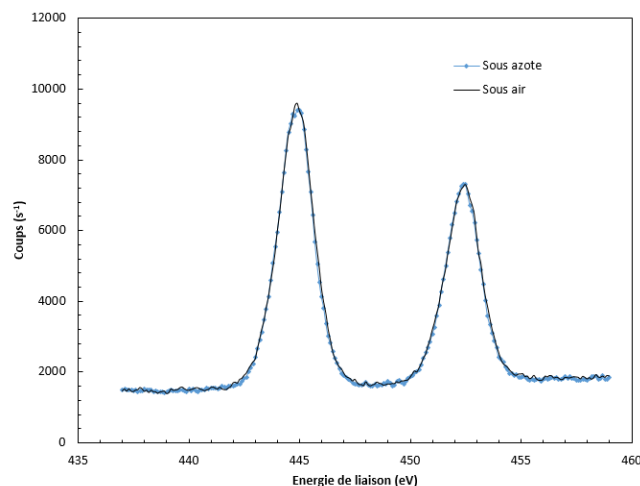


Figure III-12 : Extrait du spectre d'analyse XPS basé sur l'énergie de liaison de l'indium avec l'oxygène. Analyse du substrat SiO_2 directement après dépôt des nanoparticules par recette optimisée avec un réacteur MOCVD. Le substrat est conditionné en atmosphère contrôlée non oxydante pour la mesure en bleu (trait continu avec symbole) à t_0 et après sa remise à l'air à t_1 en noir (trait continu sans symbole).

Deux extraits de spectre de 437 à 459 eV issus d'une caractérisation XPS à haute résolution sont visibles en Figure III-12. La mesure XPS est réalisée après le dépôt d'indium métallique par MOCVD avec une recette optimisée pour effectuer un dépôt homogène sur toute la surface du substrat. Le substrat est introduit dans la chambre à une pression de 10.7 kPa et à une température de 420 °C. Le dépôt consiste à introduire 6.7 μmol de précurseur

TMIn en 5 secondes dans le réacteur et d'effectuer un recuit pendant une minute à même température. Cette recette permet le dépôt d'une couche non jointive de nanoparticules de 4 nm de hauteur en moyenne avec une densité de 2.10^{10} cm⁻². Ces résultats de caractérisation XPS montrent le même substrat d'oxyde de silicium sur lequel a été réalisé ce dépôt d'indium à deux moments différents t_0 et t_1 . La première caractéristique visible en bleu a été réalisée à t_0 juste après dépôt d'indium sur le substrat et alors que celui-ci a été conditionné sous atmosphère inerte depuis l'environnement de dépôt jusqu'à l'analyse. Le substrat a ensuite été remis à l'air avant de subir une seconde analyse XPS à t_1 , ici en noir. Nous observons deux pics distincts correspondants aux énergies de liaison indium-oxygène In3d3/2 à 453.2 eV et In3d5/2 à 444,8 eV [133]. Ces deux analyses étant superposables, cela montre que l'indium métallique s'oxyde dans le réacteur avant la remise à l'air et que cette remise à l'air n'a aucun impact sur la mesure. La forme de gaussienne sans épaulement pointe également un indium totalement oxydé puisque les pics de liaison indium-indium qui sont censés être à 0.2 eV des pics d'énergie de liaison indium-oxygène ne sont pas visibles dans cette mesure. Nous avons identifié deux sources possibles d'oxygène dans le réacteur : l'oxygène provenant du pompage de l'oxygène de l'oxyde du substrat par l'indium déposé et l'oxygène résiduel présent dans le réacteur.

En l'absence de précurseurs oxydants, la cinétique d'oxydation des particules d'oxyde d'indium n'a pu être étudiée que qualitativement. Nous avons constaté que l'oxydation de l'indium lors du dépôt était un phénomène lent. Une seconde analyse XPS de dépôts MOCVD avec une recette longue sans recuit d'oxydation montre en effet une oxydation partielle de l'indium. Le substrat étudié a subi un dépôt selon une recette similaire au substrat précédent mais avec une quantité de précurseur TMIn introduite plus importante de 30 μ mol en 90 secondes. Les nanoparticules déposées ont ici une moyenne de 100 nm de hauteur et avec une densité plus faible de 2.10^8 cm⁻² due à la coalescence des particules. De plus, contrairement à la recette utilisée pour la Figure III-12, il n'y a pas eu de recuit post-dépôt ni de conditionnement particulier pour favoriser ou empêcher l'oxydation de l'indium. La Figure III-13 est un extrait de l'analyse XPS d'un substrat SiO₂ sur lequel a été déposé de l'indium métallique par MOCVD montrant l'énergie de liaison des espèces entre 441 eV et 447 eV, correspondant aux liaisons In3d5/2 uniquement.

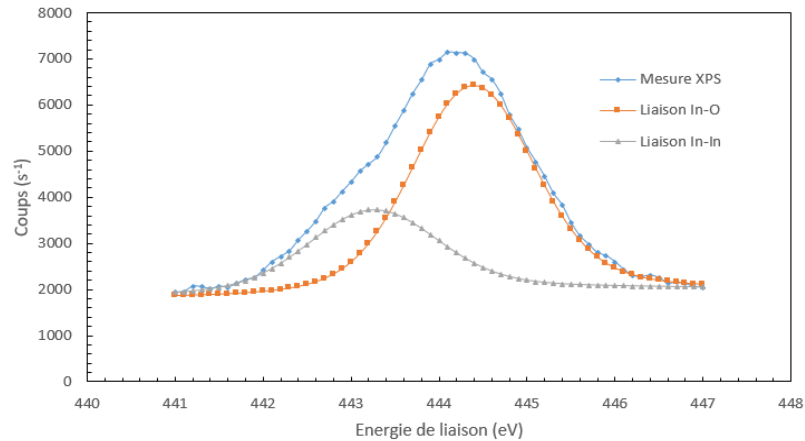


Figure III-13 : Extrait d'une analyse XPS d'un substrat SiO_2 après un dépôt d'indium par une recette non optimisée.

Un épaulement du pic est visible indiquant la mesure de plusieurs liaisons chimiques. Sur la Figure III-13, un zoom sur le pic à 444,8 eV permet de voir l'épaulement du pic vers les plus basses énergies. La mesure est décomposable en deux gaussiennes correspondant aux énergies de liaison indium-indium $\text{In}_{3d_{5/2}} \text{In-In}$ et indium-oxygène $\text{In}_{3d_{5/2}} \text{In-O}$. Cette mesure montre que l'oxydation de l'indium est incomplète et qu'il y a encore de l'indium métallique sur le substrat. L'oxyde d'indium étant bien plus stable que l'indium métallique, nous pensons être en présence de nanoparticules partiellement oxydées avec un cœur métallique et une coquille d'oxyde. Cette structure à cœur métallique et coquille oxydée de l'indium a déjà été relevée dans la littérature [134]. Les dépôts longs sans recuit d'oxydation peuvent donc mener à une inhomogénéité non désirée des nanoparticules.

Nous avons observé la présence de particules d'oxyde d'indium partiellement ou totalement oxydées en fonction de la recette utilisée. Les recettes à temps de dépôts long provoquent la croissance de nanoparticules à cœur métalliques et coquille d'oxyde. Suite à cette observation et comme l'indium métallique n'est pas désiré dans notre dispositif final, nous avons fait en sorte d'optimiser nos recettes pour éviter ce phénomène. Pour ce faire, nous privilégions les dépôts courts suivis de recuit d'oxydation. Un protocole en cycle utilisant cette technique est détaillé plus loin dans le paragraphe III. 5 de ce chapitre.

III. 4. 4) Influence des paramètres de dépôts sur la croissance de nanoparticules

La précédente étude nous a renseignés sur le type de croissance des nanoparticules d'oxyde d'indium selon un mode Volmer-Weber. Les nanoparticules s'organisent donc directement en structures majoritairement cristallines à trois dimensions par décomposition du précurseur TMIIn . Cet indium métallique peut s'oxyder en présence de l'oxygène environnant pour former des germes d'oxyde d'indium à condition de laisser l'oxydation

avoir lieu. Si le dépôt est trop long, on observe alors la formation de particules constituées d'un cœur métallique et d'une coquille oxydée.

À partir de ces informations, une étude est menée pour tenter d'optimiser les recettes de dépôt. En étudiant l'impact des différents paramètres de dépôt, nous cherchons à atteindre les objectifs de cette étape de fabrication qui sont le contrôle de la taille et de la densité des nanoparticules, ainsi qu'une homogénéité du dépôt sur toute la surface du substrat. Pour atteindre ces objectifs, il est nécessaire de comprendre et de maîtriser les cinétiques de croissance des nanoparticules. Nous recherchons dans ce paragraphe à mesurer l'influence de chaque paramètre de dépôt sur l'homogénéité de la croissance et sur la quantité de précurseurs déposée sur le substrat. De nombreux paramètres sont contrôlables et nous avons décrit ici les impacts de la température, la pression, le temps et le débit des gaz de dépôt. La hauteur des nanoparticules mesurée par microscope à force atomique AFM modèle Icon de marque Bruker est utilisée comme indicateur pour comparer les différentes recettes entre elles. La hauteur des nanoparticules est mesurée comme la différence entre le point le plus haut d'une particule et la surface du substrat. On extrait de cette mesure le volume total déposé, l'épaisseur équivalente en couche mince et la vitesse de dépôt. Pour déterminer le volume déposé, nous considérons la particule comme hémisphérique. Cette approximation proche de la réalité comme on peut le voir sur les vues TEM Figure III-7 et Figure III-11. Nous considérons le rayon comme la hauteur mesurée par AFM.

- Influence de la température

Ce paragraphe est dédié à l'étude de l'influence de la température sur le dépôt. L'une des contraintes liées à la compatibilité CMOS BEOL est l'obligation de travailler avec des budgets thermiques inférieurs à 450°C. La gamme de température utilisable est donc comprise entre la température de décomposition du précurseur et cette limite haute de 450°C. Selon Hitchman [135], la température influence directement la vitesse de croissance.

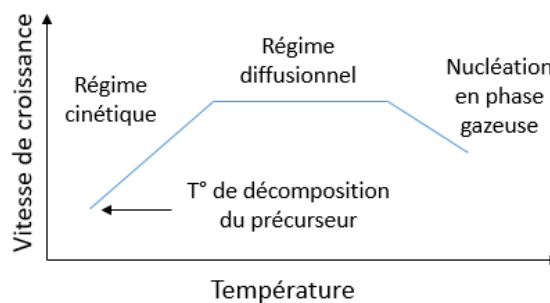


Figure III-14 : Schéma de la vitesse de croissance d'un dépôt CVD en fonction de la température. On observe 3 régimes de croissance à partir de la température de décomposition du précurseur [118].

Celui-ci décrit trois domaines de dépôt, visibles sur la Figure III-14, à partir du moment où la température dépasse celle de décomposition du précurseur :

- Le domaine cinétique à basse température : la vitesse de dépôt est limitée par la cinétique des réactions chimiques qui ont lieu sur le substrat. La vitesse de dépôt augmente exponentiellement en même temps que la température.
- Le domaine diffusionnel : la vitesse de dépôt ne varie presque pas en fonction de la température, car elle est suffisante pour que la cinétique de dépôt ne soit plus limitante. C'est la diffusion des espèces réactives vers les sites de croissances qui limite le dépôt.
- Le domaine de nucléation en phase vapeur : à haute température il devient possible de décomposer le précurseur en phase gazeuse et de nucléer dans l'environnement gazeux du réacteur et non sur le substrat. Ceci amène à un appauvrissement de l'apport en espèce sur le substrat et donc à une baisse de la vitesse de croissance.

Pour déterminer l'impact de la température sur le dépôt, plusieurs recettes à différentes températures ont été utilisées. Tous les autres paramètres de dépôt ont été fixés lors de cette étude : une pression de 10,7 kPa, un flux d'indium de 40 $\mu\text{mol}/\text{min}$ et 10 s de temps de dépôt. Comme il est visible sur la Figure III-15 montrant l'évolution du volume déposé et de la hauteur des nanoparticules en fonction de la température de dépôt, la gamme de température étudiée est comprise entre 350°C et 420°C.

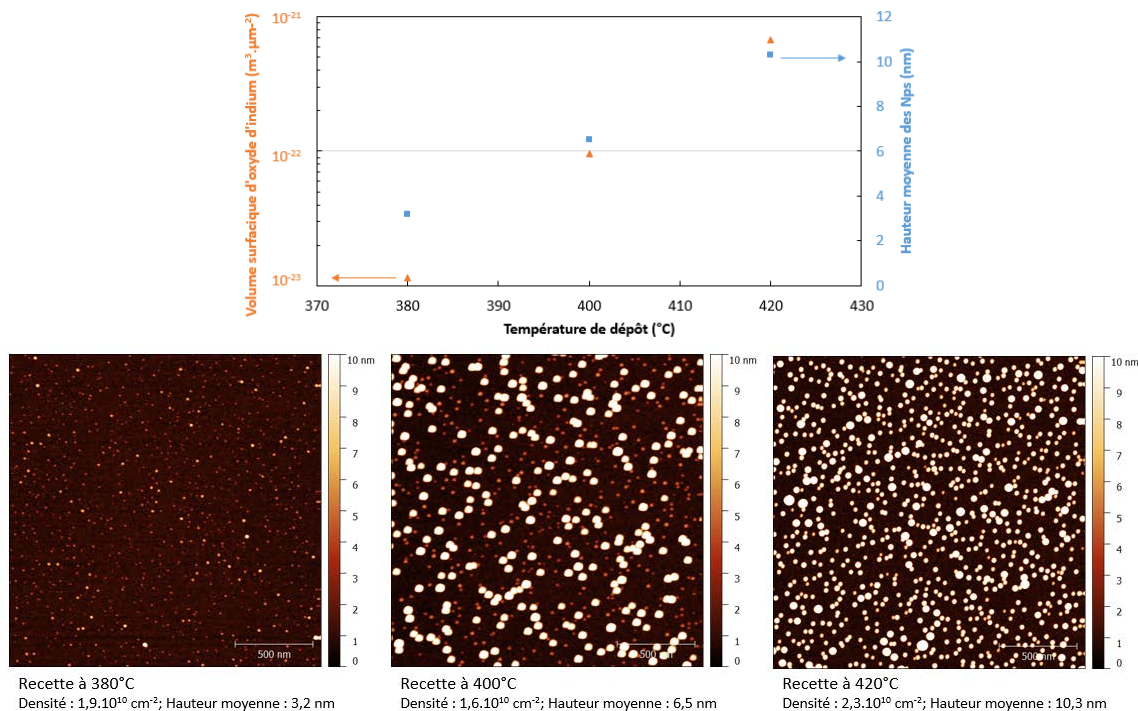


Figure III-15 : Vue AFM d'échantillons provenant des bords de substrats ayant subis des recettes à 380°C, 400°C et 420°C et graphique de l'impact de la température de dépôt des nanoparticules d'oxyde d'indium sur le volume surfacique déposé (symboles triangles) et sur la taille des nanoparticules (symboles carrés).

On constate une absence de dépôt d'indium en dessous de 380°C. On en déduit que la température est insuffisante pour que le précurseur se décompose à la pression considérée de 10,7 kPa. À partir de 380°C, comme l'illustre la Figure III-15, un dépôt est visible et le volume déposé augmente à mesure que la température augmente. Nous nous trouvons donc probablement dans le domaine de dépôt cinétique décrit précédemment au moins jusqu'à 420°C [135]. Ce régime est défini par une vitesse de croissance suivant une loi d'Arrhenius d'équation :

$$V = V_0 \exp\left(\frac{-E_a}{kT}\right)$$

Pour tracer cette caractéristique, nous avons considéré la vitesse de dépôt V_{eq} qui est le rapport de l'épaisseur déposée équivalente d_{eq} sur le temps de dépôt t [118]. Pour calculer cette épaisseur équivalente, nous considérons les nanoparticules hémisphériques et le rayon r de ces particules comme la hauteur mesurée par AFM. Nous divisons la somme des volumes ainsi déterminés par la surface d'étude S . La vitesse de dépôt est donc : $V =$

$$\frac{\sum_0^i \left(\frac{4\pi \times r_i^3}{3} \right)}{S} \times \frac{1}{t}$$

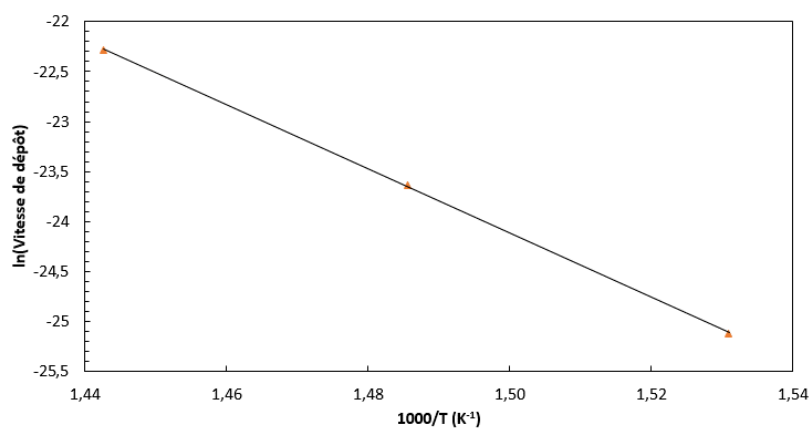


Figure III-16 : Représentation de la loi d'Arrhenius de la vitesse de dépôt en fonction de l'inverse de la température

La Figure III-16 représente la loi d'Arrhenius de la vitesse de dépôt en fonction de l'inverse de la température. On constate que la courbe obtenue est linéaire, ce qui confirme que le processus de dépôt est activé par la température et que nous sommes bien dans un régime de dépôt cinétique. À partir du coefficient directeur, nous mesurons une énergie d'activation cohérente $E_a = 2,76$ eV, valeur proche de 2,5 eV trouvée récemment dans la littérature par Raj et al. [130], ce qui conforte notre hypothèse.

Il est à noter que les dépôts à 380°C sont fortement non homogènes avec des nanoparticules localisées uniquement sur les bords des substrats 300mm. La décomposition du précurseur est donc insuffisante à cette température pour assurer un dépôt homogène. À partir de 400°C les dépôts sont plus homogènes avec un dépôt sur toute la surface du substrat. La température n'a pas d'impact sur la densité de nanoparticules déposées

comprise entre $1,6 \cdot 10^{10}$ et $2,3 \cdot 10^{10}$ cm^{-2} quel que soit la recette. Cependant il apparait qu'avec ces recettes il y a une très forte dispersion en diamètre de nanoparticules qu'il n'est pas possible de résoudre en faisant varier uniquement la température.

À partir de ces observations, nous avons choisi de fixer la température des dépôts de nos études suivantes à 420°C , car elle permet une décomposition suffisante du précurseur sur toute la surface du substrat. Pour contrôler le volume d'indium et donc la dimension et la densité de Nps déposés, nous varions les autres paramètres, comme la pression partielle de précurseur.

- Influence de la pression partielle du précurseur

Ce paragraphe montre l'influence de la pression partielle du précurseur sur la vitesse de croissance des nanoparticules d'oxyde d'indium pendant le dépôt. La courbe de la vitesse de croissance telle que décrite par Hitchman [135] va translater en fonction de la pression partielle du précurseur. Comme schématisé en Figure III-17, à plus forte pression partielle nous nous attendons à ce que le volume déposé soit plus important.

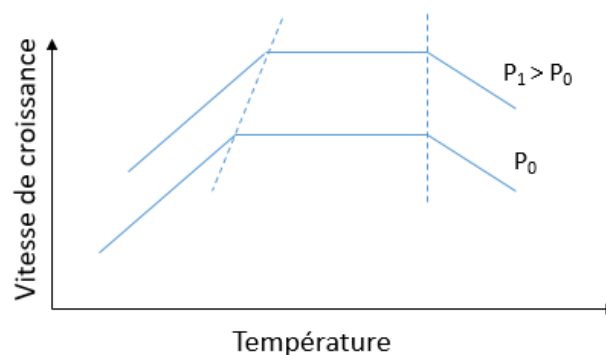


Figure III-17: Impact de la pression partielle du précurseur sur la vitesse de croissance des nanoparticules déposées par CVD [118].

Le réacteur de MOCVD que nous utilisons permet de maintenir dans la chambre de réaction une gamme de pression très étendue. Cette pression dans la chambre P_{tot} est maintenue stable grâce à un contrôle simultané du flux du gaz inerte V_{push} et du pompage de la chambre. En effet, pour rappel, la chambre est sous flux de gaz constant. La pression partielle du précurseur dépend directement de cette pression P_{tot} dans la chambre, du flux de gaz inerte V_{push} et du flux de précurseur $V_{\text{préc}}$. Un rapport des flux de gaz inerte V_{push} et de précurseur $V_{\text{préc}}$ connaissant la pression totale P_{tot} de la chambre permet de remonter à la pression partielle du précurseur dans la chambre selon la formule :

$$P_{partielle} = \frac{V_{préc}}{V_{push}} \times P_{tot}$$

Ces trois paramètres sont directement contrôlables pour atteindre la pression partielle désirée. Il est tout de même à noter que le réacteur de MOCVD utilisée possède la particularité liée à sa conception de ne pas pouvoir réaliser de dépôt pour des pressions comprises entre 2,7 kPa et 10,7 kPa ce qui va limiter l'utilisation du paramètre P_{tot} dans cette équation. Pour évaluer l'effet de la pression partielle sur le dépôt, nous avons comparé deux recettes à même température de 420°C sur les substrats n°6 et n°7 dont les paramètres permettent d'insérer la même quantité de précurseurs dans la chambre tout en ayant un rapport de 2 entre les pressions partielles des deux recettes au cours du dépôt.

Substrat n°	Recette						Mesure
	Flux d'indium (μmol/min)	Flux de gaz inerte (μmol/min)	Pression dans la chambre (kPa)	Pression partielle (Pa)	Temps de dépôt (s)	Quantité introduite (μmol)	Épaisseur équivalente déposée (Å)
6	20	1000	2,7	52,3	90	30	0,61
7	20	2000	10,7	105,6	90	30	145,63

Tableau III-1 : Comparaison des épaisseurs équivalentes déposées en fonction de la pression partielle du précurseur pendant le dépôt pour deux recettes dont les paramètres de dépôt sont détaillés.

On constate une épaisseur d'indium équivalent mesurée 240 fois plus importante à plus forte pression partielle pour ce couple de recettes introduisant la même quantité de précurseur au cours du dépôt (aussi valable pour les vitesses de dépôt, car le temps de dépôt est le même). Cette observation est en accord la littérature telle que les études de Hitchman et al. [135] constatant que le volume (d'indium dans notre cas) déposé à une température donnée dépend de la pression partielle du précurseur pendant toute la durée du dépôt pour une même quantité de précurseur introduite. Nous pouvons donc utiliser cette propriété du dépôt CVD pour contrôler la vitesse de dépôt de l'indium sur le substrat.

- Influence des flux de gaz précurseur

Nous avons vu précédemment que la vitesse de dépôt d'indium était fonction de la température et de la pression partielle du précurseur pendant le dépôt. Nous avons choisi de fixer la température à 420°C, car nous n'avions qu'une faible gamme disponible et de faire varier la pression partielle pour contrôler cette vitesse de croissance. Pour ce faire, nous pouvons faire varier le flux de précurseur, le flux de gaz porteur inerte et la pression totale dans la chambre de réaction. La variation du flux de précurseur et du temps de dépôt déterminera la quantité de précurseur introduite dans la chambre. Nous avons étudié l'influence de ce flux de précurseur sur le dépôt. La Figure III-18 montre la vitesse de dépôt

de deux recettes n°13 et n°30 dont la pression partielle de précurseur et la quantité de précurseur introduite dans la chambre sont semblables.

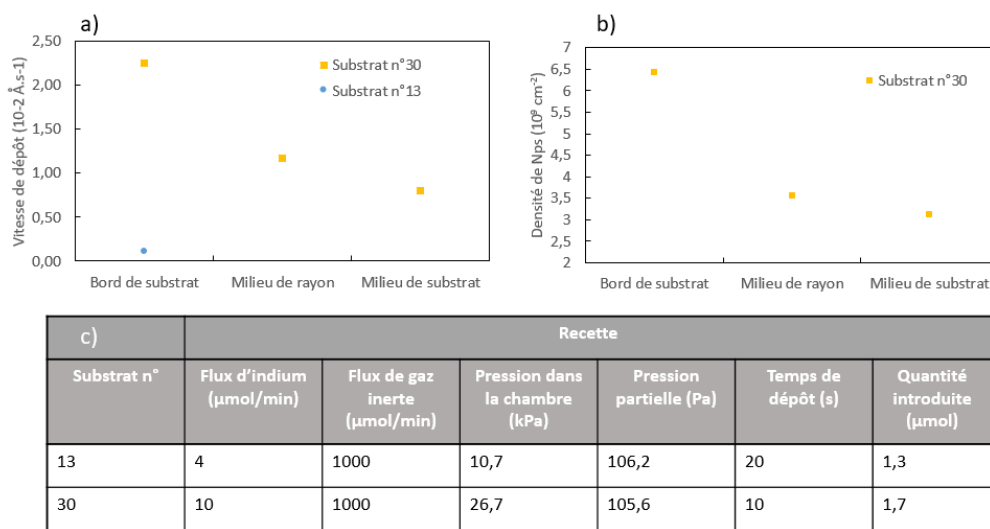


Figure III-18 : a) Comparaison de la vitesse de dépôt d'indium pour deux recettes à différents flux de précurseur mais à pression partielle équivalente. b) Variation de la densité de Nps en fonction de la position sur le substrat n°30. c) Tableau des recettes de dépôt.

On constate sur la Figure III-18 a) qu'avec une recette de dépôt à flux faible de précurseur de $4 \mu\text{mol}\cdot\text{min}^{-1}$ effectué sur le substrat n°13 il n'y a de dépôt que sur le bord de plaque. Pour la recette sur le substrat n°30 avec un flux de précurseur de $10 \mu\text{mol}\cdot\text{min}^{-1}$, la vitesse de croissance en bord de plaque est 10 fois plus élevée que sur le substrat n°13. De plus la vitesse de croissance est sensiblement plus faible sur le bord de plaque que sur le centre. On mesure en effet une vitesse environ 3 fois moins importante au centre de substrat avec $0,8\cdot 10^{-2} \text{Å}\cdot\text{s}^{-1}$, qu'au bord avec $2,4\cdot 10^{-2} \text{Å}\cdot\text{s}^{-1}$. Ceci se traduit par une diminution de la densité de nanoparticules comme on peut le constater sur le graphique en b). En augmentant le flux de précurseur d'indium jusqu'à $40 \mu\text{mol}\cdot\text{min}^{-1}$ (recette non montrée ici) nous constatons toujours un dépôt plus important sur le bord que sur le centre avec un ratio de vitesse réduit à 2.

Nous tirons deux informations de ces observations. Nous avons montré que le flux de précurseur est un élément à prendre en compte pour contrôler la vitesse de croissance. Plus le précurseur sera dilué dans le gaz porteur et plus la vitesse de croissance sera faible. Ensuite, plus le flux de précurseur est important, plus la vitesse de croissance sur toute la surface du substrat est homogène. Nous pensons que ces phénomènes sont liés à la conception de la chambre de réaction. Comme indiqué plus tôt, l'arrivée des précurseurs dans la chambre est latérale (une autre technologie MOCVD adopte une arrivée du précurseur via une douchette au-dessus du substrat). Les flux de gaz porteurs V_{push} et de précurseur $V_{\text{préc}}$ auront naturellement un impact sur la manière avec laquelle le précurseur se répartit dans la chambre et par conséquent sur l'homogénéité des dépôts. Comme nous souhaitons que le dépôt de l'indium soit réparti de façon homogène sur toute la surface du

substrat 300mm, nous privilégions un fort flux de précurseur. Ces forts flux de précurseurs ont montré la plus faible dispersion en termes de vitesse de croissance entre le bord et le centre du substrat.

Pour synthétiser ce dernier paragraphe, nous sommes parvenus à contrôler la quantité et la répartition des espèces déposées sur les substrats grâce à un contrôle de la température, la pression partielle, le temps de dépôt et le flux de précurseur. Cependant avec une variation simple de ces paramètres il est impossible de contrôler la manière dont les nanoparticules vont s'organiser autrement dit leur dimension et densité. Le prochain paragraphe traite de cette problématique. Nous avons cherché un procédé permettant de contrôler précisément l'organisation locale de l'indium déposé pour obtenir la taille et la densité désirée.

III. 5. Contrôle du dépôt des nanoparticules par MOCVD avec un procédé en deux étapes :

Grâce à la compréhension des mécanismes de dépôts et de l'influence des paramètres sur sa vitesse de croissance, nous parvenons à maîtriser la quantité d'indium déposé avec une bonne homogénéité sur toute la surface du substrat. En revanche, une variation simple de ces paramètres ne permet pas de contrôler la micro-organisation des espèces déposées. Un procédé de dépôt contrôlé d'une couche non jointive de nanoparticules d'oxyde d'indium réparties de manière homogène sur toute la surface d'un substrat a été développé. Ce procédé permet un contrôle à la fois de la taille et de la densité des nanoparticules.

III. 5. 1) Problématique de nucléation des nanoparticules en continu

Nous avons déterminé au paragraphe précédent les paramètres optimaux pour obtenir une vitesse de croissance homogène sur toute la surface. On réalise les dépôts à une température de 420°C pour assurer une décomposition suffisante du précurseur. Pour une répartition optimale du précurseur dans la chambre, un flux élevé de 40 $\mu\text{mol}\cdot\text{min}^{-1}$ de TMIIn est choisi. Le temps de dépôt et la pression partielle du précurseur sont utilisés comme variables pour contrôler le volume d'indium déposé sur la surface du substrat.

Un dépôt en continu en utilisant les paramètres fixés décrit précédemment et une variation du temps de dépôt et de la pression partielle fait apparaître une croissance non

contrôlée des nanoparticules. On constate une large dispersion en taille des nanoparticules et la formation de plusieurs populations de nanoparticules de dimensions différentes observables sur la vue AFM de la Figure III-19. Le graphe de la quantité surfacique de nanoparticules en fonction de leur hauteur en différents points du substrat a été construit à partir de l'extraction des hauteurs mesurées par AFM sur une surface minimum de $50 \mu\text{m}^2$. Ce dépôt correspond à l'introduction d'une quantité de $6,7 \mu\text{mol}$ de précurseurs en 10 s avec une pression partielle de 410,2 Pa. On observe sur l'histogramme au moins deux populations de particules de hauteur différentes avec une hauteur moyenne de 11 nm pour la première population et une hauteur supérieure à 20 nm pour la seconde.

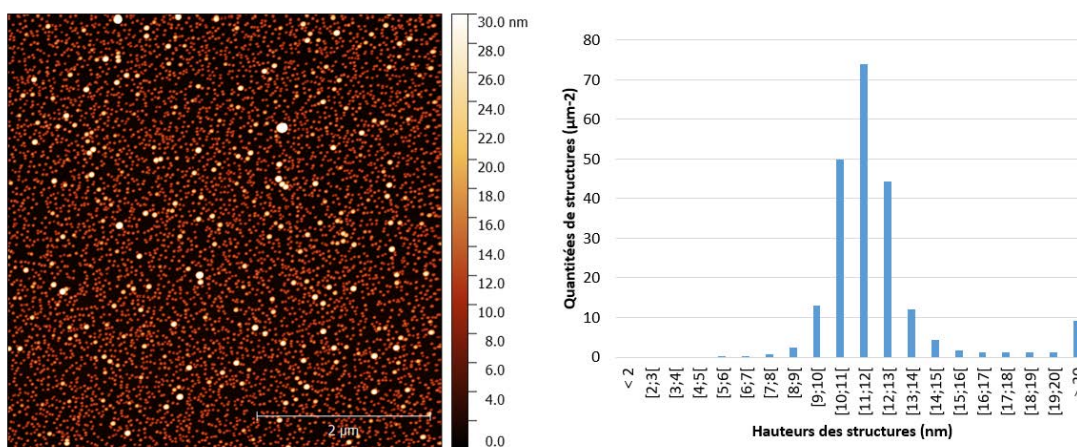


Figure III-19 : Vue AFM d'un substrat SiO_2 après dépôt d'indium par MOCVD montrant une double population de nanoparticules et histogramme de la quantité surfacique de nanoparticules en fonction de leur hauteur.

Nous pensons que ces multiples populations viennent du fait que la germination des nanoparticules a lieu tout au long du dépôt. Ce phénomène est déjà observé lors du dépôt de nanoparticules de silicium sur oxyde de silicium par Nicotra et al. [136]. Les premières nanoparticules à avoir germé vont croître voire coalescer pendant qu'une seconde population commence seulement à nucléer. Cette nucléation en continu complique fortement le contrôle de la densité et de la taille des nanoparticules et empêche l'obtention d'une couche homogène de nanoparticules.

Nous avons travaillé sur un procédé en deux étapes développé et étudié lors de cette thèse pour contrôler indépendamment la taille et la densité des nanoparticules :

- La première étape dite de nucléation a pour objectif de faire germer des nanoparticules sur les sites de nucléation du substrat. Les paramètres de dépôt lors de cette étape contrôlent la densité finale de nanoparticules sur le substrat.
- La seconde étape est une phase de croissance des germes déposés. Elle consiste à réaliser plusieurs cycles courts de croissance entrecoupés de recuit d'oxydation. En fonction des paramètres de dépôt choisis durant ces cycles de dépôt on contrôle la taille finale des nanoparticules.

À notre connaissance, aucune étude de la littérature internationale ne fait état d'un tel procédé permettant de faire croître des nanoparticules d'oxyde d'indium par MOCVD sans précurseur oxydant et de manière à contrôler leurs dimensions et densités.

III. 5. 2) Nucléation des nanoparticules

La première étape de dépôt a pour objectif de maîtriser le nombre de germes d'oxyde d'indium à nucléer tout en empêchant leur croissance. Pour ce faire, nous insérons la quantité adéquate d'indium dans le réacteur pour atteindre la densité désirée avec des temps de dépôt courts avant de réaliser un recuit d'oxydation. Nous avons déterminé expérimentalement qu'un temps de croissance minimum de 5 secondes était un bon compromis. Ce temps de dépôt est suffisamment long pour que le flux de précurseur ait eu le temps d'atteindre son régime permanent dans le réacteur, rendant le dépôt répétable, et suffisamment court pour obtenir une population avec une faible dispersion en taille. Une variation de la quantité d'indium introduite dans le réacteur durant cette étape détermine la densité finale de nanoparticules.

En considérant les paramètres de dépôts optimaux déterminés précédemment pour répondre aux objectifs fixés par le projet, nous utilisons une phase de croissance avec un flux de $40 \mu\text{mol}\cdot\text{min}^{-1}$ de précurseur TMIIn pendant 5 s correspondant à une quantité introduite de $3,3 \mu\text{mol}$ et une pression partielle de 410,2 Pa. Suite à ce pulse de précurseur, on procède à un recuit d'oxydation de l'indium à 420°C pendant 60 secondes. Pour rappel, comme précisé précédemment au paragraphe 0, l'oxygène est pompé par l'indium dans le milieu du réacteur. Cette stabilisation nous assure de l'oxydation de tous les nucléis en oxyde d'indium.

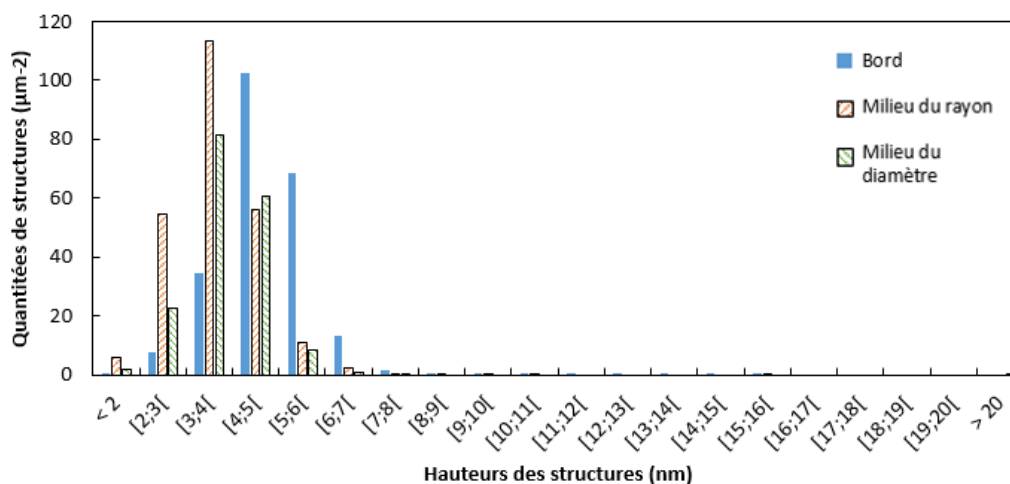


Figure III-20 : Histogramme de la répartition en hauteurs des nanoparticules après leur phase de nucléation.

Un exemple de nucléation réussie utilisant cette recette est visible en Figure III-20. On y observe un histogramme de la répartition des nanoparticules en fonction de leur taille en trois points du substrat. Celui-ci compile les données extraites de l'exploitation d'un grand nombre de vues AFM tels que celles visibles Figure III-21 avec une surface d'étude minimum de $50 \mu\text{m}^2$. On constate une très bonne homogénéité en taille en tout point du substrat et la quasi-absence de populations de tailles différentes avec 0.13% de nanoparticules de tailles supérieures à 8 nm. Celles-ci sont visibles sur la Figure III-21 a) montrant une vue du bord de substrat.

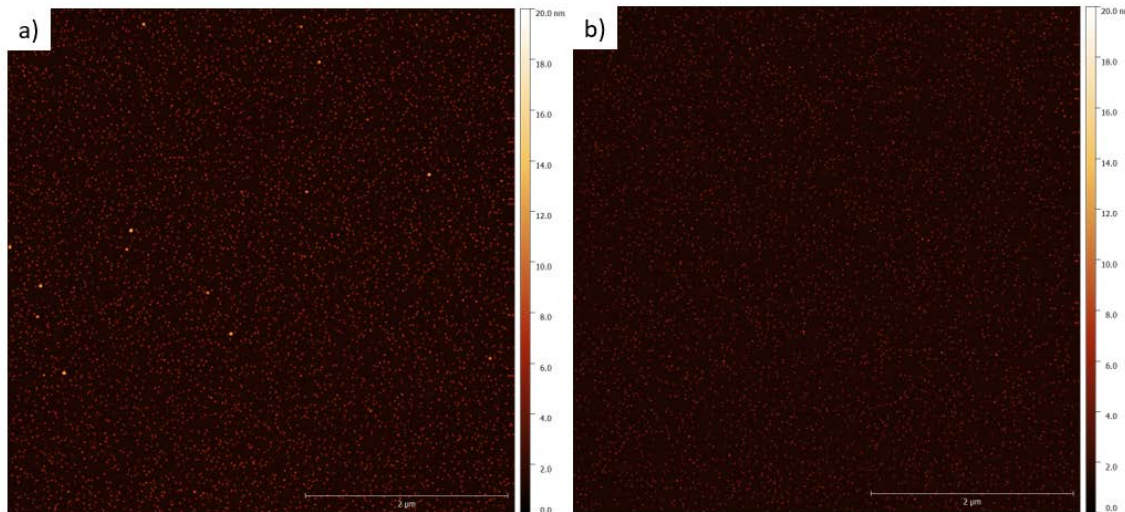


Figure III-21 : Vue AFM d'une nucléation réussie sur substrat SiO_2 . a) Bord de plaque avec une population minoritaire de nanoparticules de grande taille. b) Milieu de plaque parfaitement homogène.

Cette phase de nucléation est très reproductible avec, sur une étude portant sur 6 substrats différents, une densité moyenne mesurée de $2,43 \cdot 10^{10} \pm 0,26 \cdot 10^{10}$ Nps. cm^{-2} et une hauteur moyenne des nanoparticules de $4,6 \pm 1,1$ nm.

III. 5. 3) Croissance des nanoparticules à densité constante

La deuxième étape de dépôt vise à contrôler la taille des nanoparticules sans modifier la densité et sans perte de l'homogénéité. Le procédé consiste en des répétitions de cycles consistant en un pulse de précurseur suivi d'un recuit d'oxydation. La réussite de cette étape est due à la sélectivité du dépôt de l'indium sur les nanoparticules d'oxyde d'indium précédemment germées. La Figure III-22 montre la variation de hauteur et de densité des nanoparticules de trois substrats ayant subis des temps de dépôt différents. On y observe que la densité de Nps reste constante au cours du dépôt alors que la hauteur moyenne des nanoparticules augmente. Cette sélectivité des dépôts d'indium sur oxyde d'indium n'est à notre connaissance pas encore abordée dans la littérature internationale.

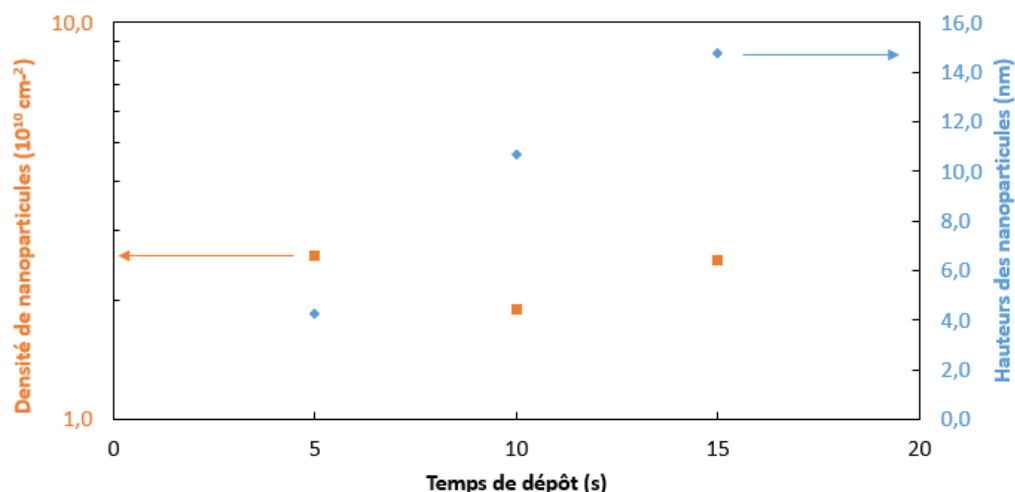


Figure III-22 : Évolution de la hauteur des nanoparticules et de la densité de nanoparticules en fonction du temps de dépôt lors de l'étape de croissance.

L'indium inséré pendant le dépôt dans le réacteur va donc migrer préférentiellement vers les germes oxydés pour les faire croître. On contrôle cette croissance par le nombre de cycles et la quantité de précurseurs d'indium introduit dans la chambre de réaction lors de chaque cycle. On observe sur la Figure III-23 un exemple de l'histogramme de répartition surfacique des hauteurs de nanoparticules après croissance contrôlée. Cet histogramme a été créé à partir de la synthèse de données issues de vues AFM tels que celle montrée en Figure III-23 avec une surface d'étude minimale de $50 \mu\text{m}^2$. Pour cet exemple l'étape de croissance post nucléation a consisté en un pulse de 5 secondes de précurseur avec un flux de $40 \mu\text{mol} \cdot \text{min}^{-1}$ à 420°C dans une chambre maintenue à $10,7 \text{ kPa}$. Le résultat observé est une couche non jointive de nanoparticules d'une taille moyenne de $11,6 \text{ nm}$ pour la même densité que précédemment soit $2,4 \cdot 10^{10} \text{ cm}^{-2}$. Il est à noter que la hauteur moyenne des nanoparticules se décale en fonction de la position sur le substrat : 13 nm au bord de substrat, $11,7 \text{ nm}$ au milieu du rayon et $9,9 \text{ nm}$ en milieu de substrat. Cette différence de hauteur est directement liée à la correction imparfaite de la répartition du précurseur se décomposant sur le substrat, même à flux de précurseur de $40 \mu\text{mol} \cdot \text{mol}^{-1}$. Une quantité plus importante d'indium est déposée en bord de plaque et le décalage est d'autant plus important que la croissance des nanoparticules est longue. Cette homogénéité est suffisante pour notre projet mais nous avons tout de même proposé une piste pour l'améliorer. Il existe un paramètre dont l'étude n'est pas montrée ici contrôlant la direction de propagation des gaz insérés dans la chambre. Un contrôle de ce paramètre ne changera à priori que l'homogénéité du dépôt sans faire varier les autres paramètres.

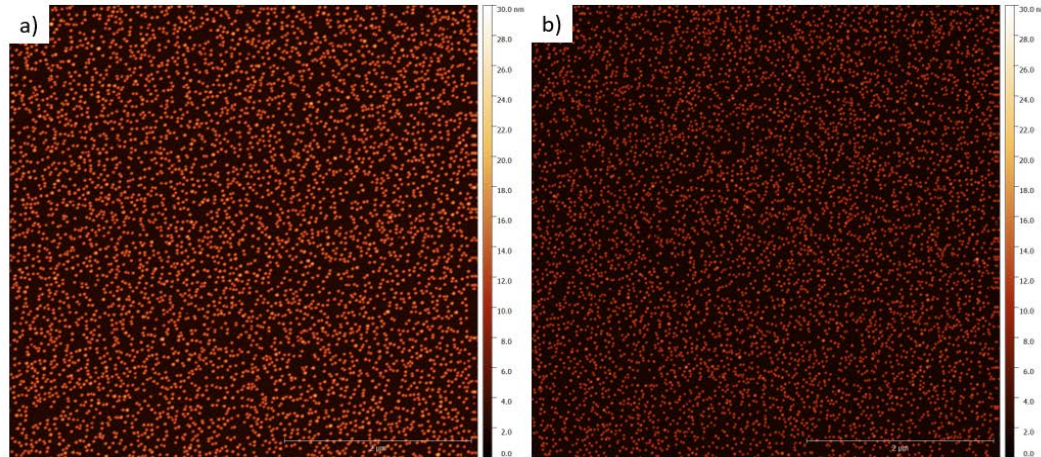
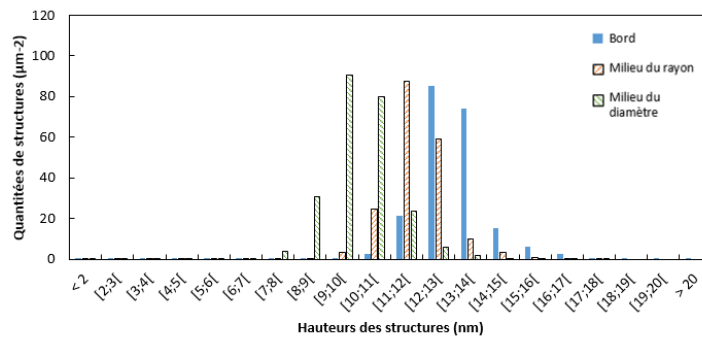


Figure III-23 : Histogramme de la répartition en hauteurs des nanoparticules après leur phase de croissance et vues AFM d'un substrat après croissance des nucléis. a) Bord de plaque. b) Milieu de plaque.

Comme visible aussi bien sur l'historgramme que sur les vues AFM de la Figure III-23 a) et b), l'homogénéité locale reste excellente aussi bien en répartition qu'en taille des nanoparticules. Cette observation est confirmée par une étude comparative de cette dernière recette par étape avec la recette équivalente sans étapes. On observe une nette diminution de la dispersion et une disparition de la multiple population et dont les résultats sont visibles en Figure III-24.

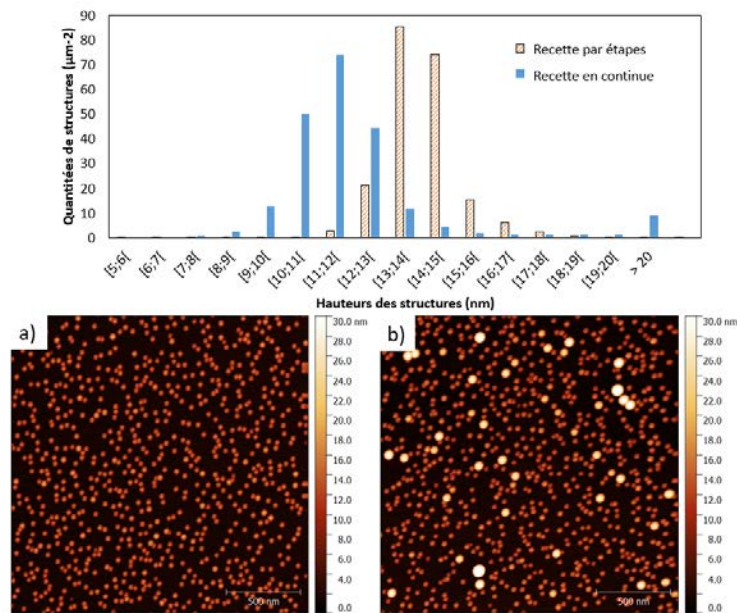


Figure III-24 : Histogramme de dispersion des hauteurs des nanoparticules comparant deux recettes équivalentes avec étape de nucléation et croissance ou en continue. Une vue AFM de substrat ayant subis ces recettes est visible en a) recette avec étapes, en b) recette sans étape.

Nous constatons que localement la dispersion de la dimension des particules est bien plus faible avec une moyenne de 12,9 nm et un écart type de 1,3 nm pour la recette par étape contre une moyenne de 12,2 nm et un écart type de 3,2 pour la recette en continue. De plus la population de nanoparticules de hauteurs supérieures à 20 nm n'est pas présente en utilisant le procédé développé au cours de ce paragraphe.

Nous avons démontré au cours de ce paragraphe que l'indium se dépose préférentiellement sur les germes d'oxyde d'indium ce qui permet de réaliser un dépôt sélectif. En utilisant cette propriété, nous avons mis en place un procédé de fabrication en deux étapes pour découpler la nucléation et la croissance des nanoparticules d'oxyde d'indium. Ce procédé permet à la fois un contrôle de la densité et de la dimension des nanoparticules avec une dispersion en taille bien plus faible qu'avec une recette équivalente sans étape.

III. 6. Conclusion

À travers ce chapitre nous avons décrit tout le procédé de fabrication des dispositifs mémoires mis en place au cours de cette thèse. La structure choisie est une structure MI:Nps:IM verticale.

Nous avons travaillé avec une structure non compatible CMOS BEOL afin de pouvoir développer notre procédé de fabrication malgré les impératifs de contaminations strictes de l'environnement de travail. En effet les dispositifs d'étude sont réalisés sur substrat silicium même si le procédé développé est transférable sur n'importe quel type de substrat. Le procédé de fabrication est bien maîtrisé et répétable. Il comprend une oxydation thermique du substrat silicium, un dépôt MOCVD des nanoparticules d'oxyde d'indium, une encapsulation par ALD et enfin un dépôt d'électrode supérieur par évaporation à travers un masque dur ou par trois étapes de photolithographie. À l'exception de l'oxydation thermique, chacune de ces étapes correspondent à nos objectifs de compatibilité CMOS BEOL et la forme verticale du substrat permet de modifier chacune des étapes de fabrication sans impacter les autres.

Une étude poussée sur la compréhension et sur le contrôle des dépôts de nanoparticules par MOCVD a été menée. Nous avons pu déterminer l'influence des différents paramètres de dépôt afin de déterminer les conditions optimales pour atteindre nos objectifs de dimensions, densité et homogénéité de dépôt. La compréhension des phénomènes à l'origine du dépôt de l'indium nous a permis de développer un procédé en deux étapes pour dissocier la nucléation et la croissance des nanoparticules. Ce procédé est permis par la mise en évidence de la sélectivité du dépôt de l'indium sur l'oxyde d'indium plutôt que sur le substrat SiO_2 . En dissociant les étapes de nucléation et de croissance des nanoparticules, nous contrôlons aussi bien la taille que la densité des nanoparticules déposées avec une excellente homogénéité sur toute la surface du substrat 300mm.

IV. Étude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

IV. Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium 78

IV. 1. Introduction	79
IV. 2. Hypothèse sur la commutation résistive des mémoires étudiées	79
IV. 3. Description des lots d'échantillons étudiés.....	80
IV. 4. Commutation résistive et étude des états HRS et LRS.....	82
IV. 4. 1) Correction de la tension appliquée en polarisation inverse	82
IV. 4. 2) Etude de charge des nanoparticules.....	83
IV. 4. 3) Influence des nanoparticules sur la commutation résistive	87
IV. 4. 4) Influence de la compliance de mesure et électroformage	89
IV. 4. 5) Influence de l'épaisseur de l'oxyde.....	92
IV. 4. 6) Influence de la surface active des dispositifs.....	95
IV. 4. 7) Influence de la nature de l'électrode.....	99
IV. 4. 8) Réponse électrique en mesures pulsées	101
IV. 5. Etude des conductions électriques.....	103
IV. 5. 1) Modélisation de la mémoire.....	103
IV. 5. 2) Extraction des paramètres électriques par simulation des courants de conduction. 105	
• Caractérisation SiO ₂ thermique.....	106
• Caractérisation de l'empilement SiO ₂ /Al ₂ O ₃	107
• Test du modèle sur la structure mémoire réelle	110
IV. 5. 3) Conclusion partielle.....	113
IV. 6. Détermination expérimentale du type de conduction dans les échantillons 113	
IV. 6. 1) Etude de la conduction en HRS	113
IV. 6. 2) Etude de la conduction en LRS.....	117
IV. 7. Conclusion	120

IV. 1. Introduction

Le chapitre qui suit aborde les études électriques menées sur les dispositifs mémoires dont la fabrication est décrite au chapitre III. L'objectif de ce chapitre est double. Nous savons que cette structure est amenée à montrer une commutation résistive réversible. Nous allons dans un premier temps à la fois chercher à comprendre les phénomènes à l'origine de ces commutations et comment ils sont influencés par différents paramètres matériaux. Dans un second temps il est intéressant de caractériser les performances des dispositifs pour montrer leurs avantages et inconvénients comparés aux mémoires existantes et émergentes. Une description des différents lots de puces de mémoires est tout d'abord présentée avant l'étude de leurs commutations résistives. Plusieurs paramètres matériaux sont ainsi étudiés comme l'épaisseur des différents oxydes, la présence des nanoparticules, la géométrie des dispositifs ou la nature des électrodes. Également, une étude de la programmation des mémoires est effectuée par le type de tension de programmation, quasi statique ou pulsé, ainsi que la limitation de courant en écriture vont directement impacter les performances des dispositifs. Enfin, les types de conduction au sein de ces structures sont ensuite discutés en fonction de l'état résistif de la mémoire.

IV. 2. Hypothèse sur la commutation résistive des mémoires étudiées

Nous avons vu dans le premier chapitre sur l'état de l'art que la commutation résistive pouvait avoir plusieurs origines différentes dans des structures MIM contenant des nanoparticules. Nous avons relevé trois d'entre elles qui pourraient avoir lieu dans les dispositifs étudiés dans ce projet :

- La commutation par piégeage et dépiégeage de charge dans les nanoparticules modulant la barrière de potentiel vu par les porteurs de charges [31][40]. Cette commutation nécessite de pouvoir piéger efficacement une quantité suffisante de charges dans les nanoparticules [137] pour que le phénomène puisse être notable. De plus la rétention des charges doit être suffisamment longue pour éviter un retour prématuré dans l'état résistif initial. Cette commutation est caractérisée par une conduction dépendant de la surface active de la mémoire dans les deux états LRS et HRS.
- Une commutation filamentaire par dissolution d'un matériau issu de l'électrode [38][39] ou des nanoparticules dans l'oxyde [40]. Cette commutation est liée au contact des deux électrodes par un chemin de conduction métallique. Elle nécessite a priori la présence d'un matériau métallique actif pouvant diffuser dans l'oxyde tel

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

que l'argent ou le cuivre. La conduction à l'état HRS est volumique et l'état LRS est caractérisé par une conduction ohmique dans le filament. Les nanoparticules peuvent participer à la commutation en tant que source de matériaux diffusants ou point d'ancrage du filament [62].

- Une commutation filamentaire par changement de valence de l'oxyde formant des chemins de conduction lacunaires. Cette commutation a pour origine l'organisation d'un chemin de conduction par création ou migrations de lacunes permettant le passage de porteurs de charges. Dans le cas de cette commutation, notre structure étant dissymétrique nous nous attendons à un phénomène de commutation bipolaire. Les nanoparticules peuvent servir de points d'ancrage ou catalyser la formation du filament en favorisant le passage de courants importants [138][139]. À l'état HRS on observe une conduction volumique. L'état LRS est caractérisé par une diminution de l'épaisseur de l'oxyde liée à la présence d'un chemin de conduction lacunaire[140].

Ces hypothèses vont être éprouvées au cours des différentes études de réponses électriques des mémoires discutées dans ce chapitre.

IV. 3. Description des lots d'échantillons étudiés

Tous les dispositifs mémoires présentés dans ce chapitre sont issus du procédé de fabrication détaillé en chapitre III. Lors de la fabrication un soin tout particulier a été apporté à fabriquer simultanément et donc avec des paramètres matériaux identiques un échantillon et son témoin que nous nommons référence. L'unique différence entre un échantillon et sa référence est que la référence n'a pas subi l'étape de dépôt de nanoparticules d'oxyde d'indium par MOCVD. Ces références, qui sont donc des structures MIM sans couche de nanoparticules, seront caractérisées avec les mêmes protocoles que les échantillons contenant des nanoparticules afin de mettre en évidence l'impact de ces dernières sur le comportement électrique des dispositifs. Sur chacun de ces échantillons et références se trouve un grand nombre de dispositifs.

Pour fabriquer la totalité des dispositifs, nous avons utilisé les mêmes substrats et techniques de fabrication. La qualité des matériaux est donc comparable aussi bien pour les oxydes, isolant comme nanoparticules, ainsi que pour l'électrode inférieure qui est un substrat Si n+. Plusieurs natures d'électrodes supérieures ont pu être testées pour étudier leurs impacts sur les caractéristiques électriques et sur les performances des mémoires. C'est pourquoi on utilisera le terme de lot pour regrouper toutes les puces d'échantillons ayant les mêmes électrodes supérieures.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

Différentes études, par exemple plusieurs paramètres matériaux, ont été menées sur chaque lot. Voici le récapitulatif des empilements et des objectifs pour chaque lot :

- Lot A : Lots avec une électrode supérieure en chrome recouverte d'or. Il a été utilisé pour mettre au point la technique de fabrication des mémoires. Différentes épaisseurs des isolants de ce lot, composés d'oxyde de silicium et d'oxyde d'aluminium ont été testé pour étudier l'impact de l'épaisseur des oxydes sur la commutation. Une étude de l'impact de la dimension des électrodes des dispositifs a été menée sur des échantillons de ce lot.
- Lot B : Lots avec une électrode supérieure en aluminium recouverte d'or avec une couche d'accroche en titane entre aluminium et or. Ce lot a été conçu pour observer l'influence de la nature de l'électrode sur la commutation résistive. Il est également l'échantillon sur lequel ont été déterminées les performances en commutation sous pulse de tension.
- Lot C : Lots avec une électrode supérieure composée d'une couche de titane recouverte d'aluminium. Cette électrode est proposée pour favoriser un type de commutation filamentaire. Des mesures en fonction de la température pour déterminer les types de conductions des différents états résistifs ont été menées sur ce lot.

Pour chaque paramètre matériaux il existe également trois géométries d'électrodes différentes. Celles-ci sont circulaires et de diamètre 30 μm , 50 μm ou 100 μm . Tous les dispositifs de cette étude ont des électrodes déposées par évaporation à travers un masque dur, une technique utilisant la lithographie ayant été mise au point ultérieurement.

Le tableau suivant récapitule les paramètres des différents lots étudiés dans ce chapitre :

Lot	A					B			C	
Electrode supérieure (nm)	Au (200)					Au (100)			Au (100)	
	Cr (10)					Ti (10)			Al (100)	
						Al (100)			Ti (5)	
Numéro d'échantillon	30	31	32	35	38	42	43	44	70	71
Oxyde Al ₂ O ₃ (nm)	2,5	2,5	2,5	2,5	5	2,5	2,5	2,5	2,5	2,5
Oxyde SiO ₂ (nm)	2,5	2,5	2,5	5	2,5	2,5	2,5	2,5	2,5	2,5
Diamètre (μm) /Surface de l'électrode (cm^2)	30 / 7,07.10 ⁻⁶	50 / 1,96.10 ⁻⁵	100 / 7,85.10 ⁻⁵	100 / 7,85.10 ⁻⁵	100 / 7,85.10 ⁻⁵	30 / 7,07.10 ⁻⁶	50 / 1,96.10 ⁻⁵	100 / 7,85.10 ⁻⁵	50 / 1,96.10 ⁻⁵	100 / 7,85.10 ⁻⁵

Tableau IV-1 : Liste des échantillons et de leurs paramètres matériaux utilisés dans ce chapitre

IV. 4. Commutation résistive et étude des états HRS et LRS

Cette partie traite de l'étude de la réponse électrique des différents dispositifs. Dans chacun des protocoles de mesures électriques qui sont décrits dans ces paragraphes nous considérons le substrat de silicium dopé n+ comme l'électrode inférieure qui sera toujours reliée au potentiel de référence (la masse). Toutes les tensions sont appliquées sur l'électrode supérieure qui est métallique.

IV. 4. 1) Correction de la tension appliquée en polarisation inverse

Nous utilisons une électrode métallique comme électrode supérieure et une électrode en silicium dopé n+ comme électrode inférieure. Nous sommes donc en présence d'une structure de type MOS. Le comportement de semi-conducteur de l'électrode a été pris en compte dans les exploitations des mesures de ce chapitre. Une correction de la tension appliquée est effectuée selon le protocole suivant.

En appliquant une tension en polarisation directe, l'électrode de silicium dopé n+ est en accumulation. Nous l'avons donc considérée comme métallique et la différence de potentiel est entièrement appliquée à l'oxyde. En revanche en polarisation inverse, cette approximation n'est plus valable, car l'électrode va être dans un régime de déplétion puis d'inversion. Il y aura donc une chute de potentiel dans l'électrode que nous avons soustraite à la tension appliquée pour remonter à la différence de potentiel réel aux bords de l'oxyde. Pour calculer la perte de potentiel dans le silicium, nous avons considéré que nous étions en condition de bande plate à l'équilibre. Cette approximation est proche de la réalité puisque le niveau de Fermi est 0,04 eV en dessous de la bande de conduction. Nous avons également considéré qu'en régime de déplétion et de faible inversion, la chute de potentiel dans le silicium était linéaire en nous basant sur les travaux de Fruchier [141]. En effet cet auteur observe une variation linéaire de la tension de surface V_s en fonction de la tension de grille V_g dans les régimes de déplétion et d'inversion faible. Ces observations se portent tout comme nous sur une structure MOS avec une électrode en silicium dopé n comme on peut le voir sur la Figure IV-1 issu de ses travaux.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

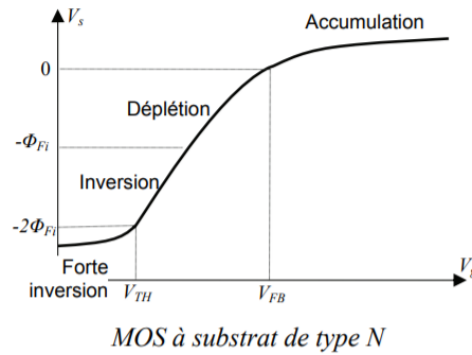


Figure IV-1 : Tension de surface en fonction de la tension de grille d'une capacité CMOS avec un substrat Si dopé n [141].

Nous avons calculé la tension de seuil de l'inversion forte V_{TH} (pour threshold) d'équation :

$$V_{TH} = 2|\phi_{Fi}| + \frac{\sqrt{4\epsilon_{Si}qN_a|\phi_{Fi}|}}{C_{ox\ surf}}$$

Avec ϕ_{Fi} la différence de potentiel entre le niveau de Fermi réel et le niveau de Fermi intrinsèque, q la charge élémentaire, N_a le dopage, ϵ_{Si} la permittivité du silicium et $C_{ox\ surf}$ la capacité diélectrique surfacique de l'oxyde. Pour calculer V_s pour une tension appliquée comprise entre 0 et V_{TH} , nous avons linéarisé V_s selon l'équation $V_s = V_g \times \alpha$ avec α le coefficient directeur déterminé selon $\alpha = \frac{\Delta V_s}{\Delta V_g}$. Par exemple pour un échantillon ayant des épaisseurs de SiO_2 et d' Al_2O_3 de 2,5 nm chacun, nous calculons qu'à partir de la tension de seuil de $V_{TH} = -2,89$ V. Nous avons donc une chute de potentiel maximale de $V_{s\ max} = -1,14$ V dans le silicium et un coefficient directeur $\alpha = 0,39$. Ainsi la tension aux bornes de l'oxyde devient :

$$V_{ox} = V_g(1 - \alpha) = 0,61 \times V_g \text{ pour } V_g \in]V_{TH}; 0] \text{ et}$$

$$V_{ox} = V_g - V_{s\ max} = V_g + 1,14 \text{ pour } V_g \in [-\infty ; V_{TH}].$$

Tous les tensions et champs électriques en inverse de ce chapitre prennent en compte cette correction pour que seule la différence de potentiel dans l'oxyde soit prise en compte.

IV. 4. 2) Étude de charge des nanoparticules

La caractérisation électrique de plusieurs dispositifs contenant ou non des nanoparticules a été effectuée afin de tenter d'observer une éventuelle rétention de charge dans les structures MI:Nps:IM décrites précédemment. Dans un premier temps nous avons observé des mémoires montrant des commutations résistives dont le procédé de fabrication

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

a été détaillé au chapitre 3. Ces mémoires sont constituées d'une électrode inférieure en silicium dopé n+ qui sera mise à la masse sur lequel un oxyde tunnel de silicium de 2,5 nm a crû par oxydation thermique. Les nanoparticules sont déposées directement sur l'oxyde thermique avec un diamètre moyen de 4nm pour une densité de 2.10^{10} cm⁻² ce qui correspond à un nombre d'environ 1,6 million de nanoparticules pour un dispositif d'une surface de $7.85.10^{-9}$ m². Ces dernières sont recouvertes par l'oxyde de contrôle en oxyde d'aluminium de 2,5 nm d'épaisseur. Une électrode en aluminium servira à appliquer la tension de mesure. Il est à noter que la commutation résistive s'effectue lorsqu'une tension positive suffisante $V_{SET} = 2,8V$ est appliquée, le substrat de silicium dopé n+ est alors en régime d'accumulation.

Un protocole de mesure de capacité en fonction de la tension C(V) est testé sur une mémoire et sa référence pour tenter d'observer un stockage de charge qui serait responsable de la commutation résistive :

- Mesure de la capacité lors de l'application d'une rampe de tension aller-retour de -3V à 4V sur une référence, qui est une structure telle que décrite précédemment mais ne contenant aucune nanoparticule. Pour effectuer la mesure de capacité, un signal alternatif de 50 mV à fréquence de 100kHz est appliqué lors de la rampe de tension. Une hystérésis de la capacité mesurée sur l'aller-retour de la rampe de tension est une marque de piégeage de charge dans la référence. Cette mesure nous assure l'absence de piégeage de charge dans une structure sans nanoparticules.
- Mesure de la capacité lors de l'application d'une rampe de tension de -3V à 2,2V lorsque la mémoire est à l'état de haute résistivité HRS (la tension est choisie pour éviter qu'il y ait commutation durant la mesure).
- Application d'une rampe de tension de 0 à 3V pour réaliser la commutation de résistance de haute vers basse résistivité.
- Mesure de la capacité lors de l'application d'une rampe de tension de 2V à -2V lorsque la mémoire est à l'état de basse résistivité LRS (la tension est choisie pour éviter à la fois une destruction de la structure en tension positive et commutation résistive en tension négative).

Une mesure représentative utilisant ce protocole est montrée en *Figure IV-2*.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

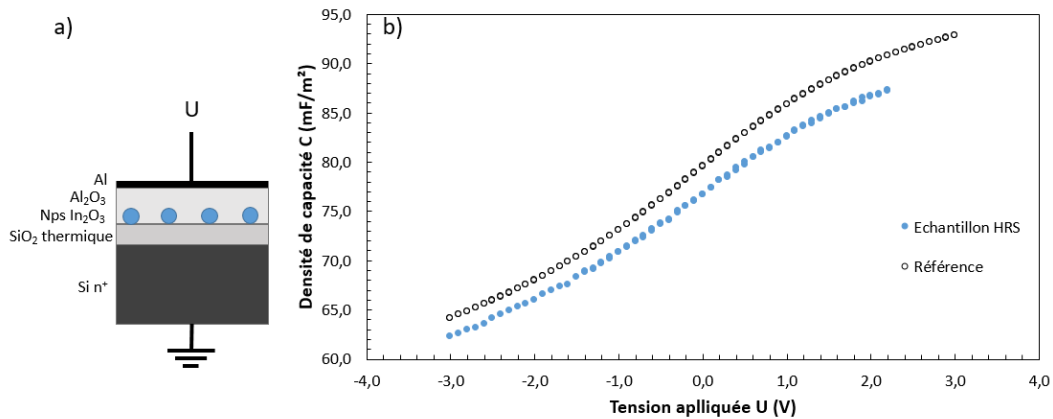


Figure IV-2 : a) Schéma de la mémoire étudiée pour observer un éventuel stockage de charge. b) Mesure de la capacité de la mémoire à l'état de haute résistivité (et de sa référence) en fonction d'une rampe de tension de -3V à 2,2V (3V en aller-retour).

Nous observons tout d'abord la réponse de la référence où on constate une parfaite superposition des courbes aller et retour. L'absence d'hystérésis mesurable indique une quantité non mesurable de pièges immobiles dans les deux oxydes. Cette information pointe une bonne qualité d'oxyde.

En comparant les réponses de la référence et de la mémoire en état HRS, on constate un décalage vers des capacités plus faibles dues à la présence des nanoparticules d'oxyde d'indium. Ce phénomène était déjà observé dans ces structures similaires intégrant des nanostructures de germanium dans de l'oxyde de silicium [142]. Il n'est pas possible de mesurer la capacité de la structure mémoire à l'état LRS d'où son absence sur la *Figure IV-2*. L'impossibilité de réaliser cette mesure est liée à la présence d'un courant passant à travers la structure quelle que soit la tension appliquée. C'est un signe de détérioration de la structure durant la commutation de HRS à LRS rendant son comportement non capacitif. Le stockage de charge semble peu probable à ce niveau de l'étude mais les faibles épaisseurs des oxydes tunnel SiO₂ et oxyde de contrôle en Al₂O₃ nous empêchent l'application de tensions trop élevées sous peine de claquage. Un autre test sur des structures similaires mais avec un oxyde de contrôle plus épais a donc été mené pour confirmer nos premières observations.

Pour ce faire des capacités MOS ont été spécialement conçues pour favoriser le stockage de charge dans les nanoparticules. Comme précédemment on utilise comme électrode semi-conductrice un substrat Si dopé n+ qui sera mis à la masse avec un oxyde SiO₂ thermique fin comme oxyde tunnel sur lequel sont déposées les nanoparticules. Celles-ci ont un diamètre moyen de 4nm pour une densité de $2.10^{10} \text{ cm}^{-2}$ ce qui correspond à un nombre d'environ 1,6 million de nanoparticules sur la surface de la capacité $7.85.10^{-9} \text{ m}^2$. Un oxyde SiO₂ de contrôle de 10 nm a ensuite été déposé par PECVD puis une électrode en aluminium par évaporation qui servira d'électrode supérieure sur laquelle la tension est appliquée.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

Deux protocoles de mesure de capacité en fonction de la tension $C(U)$ sont testés sur ces structures pour tenter d'observer un stockage de charge :

- Mesure de la capacité lors de l'application d'une rampe de tension aller-retour de 5V à -5V (ou de -5V à 5V). Pour effectuer la mesure de capacité, un signal alternatif de 50 mV à fréquence de 100kHz est appliqué lors de la rampe de tension. Une hystérésis de la capacité mesurée sur l'aller-retour de la rampe de tension est une marque de piégeage de charge dans la capacité. Une mesure représentative utilisant ce protocole est montrée en *Figure IV-3*.
- Mesure de la capacité lors de l'application d'une rampe de tension de +5V à -5V avant puis après l'application d'un créneau de tension à $\pm 6V$ pendant 30 s.

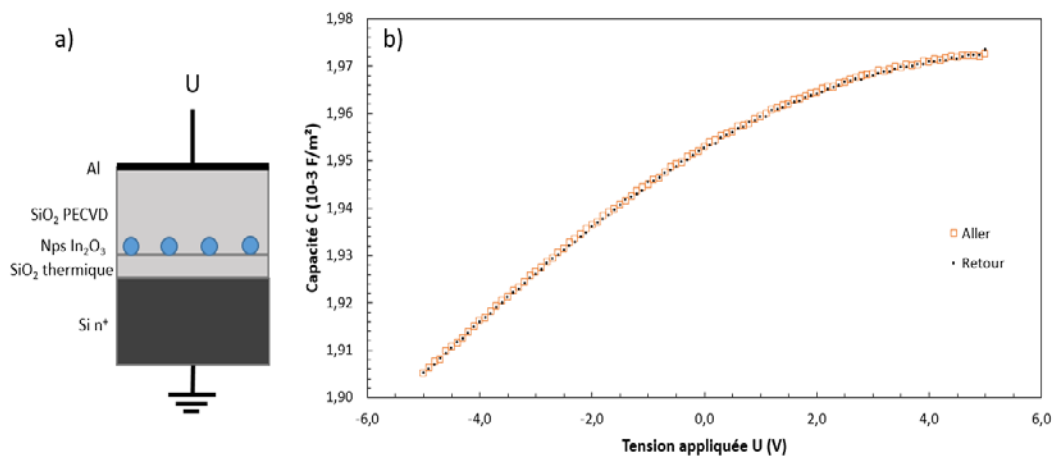


Figure IV-3 : a) Schéma de la structure MOS réalisée pour observer un éventuel stockage de charge. b) Mesure de la capacité de la structure en fonction d'une rampe de tension de 5V à -5V en aller-retour ne montrant pas d'hystérésis.

Quels que soient le protocole utilisé et la polarité de la rampe de tension, comme l'illustre la *Figure IV-3* utilisant le protocole de rampe de tension en aller-retour, les courbes sont toutes parfaitement superposables. Aucune hystérésis ni autre signe de stockage de charge n'a été observé dans ces capacités MOS.

Plusieurs hypothèses sont avancées pour expliquer l'impossibilité de mesurer un stockage de charge dans les nanoparticules d'oxyde d'indium que ce soit dans les structures MOS ou les structures mémoires. La première hypothèse est que les charges peuvent s'échapper des nanoparticules à cause d'une mauvaise qualité de l'oxyde de silicium. L'oxyde de silicium thermique pourrait en effet être dégradé pendant le dépôt des nanoparticules. La seconde hypothèse est que la charge possible des nanoparticules est trop faible pour être mesurée dans la structure MOS. Dans les deux cas, ces résultats montrent que la commutation résistive des mémoires à nanoparticules n'est pas due à un effet de charge : dans le cas de la première hypothèse, le fait que le diélectrique laisse les charges s'échapper ne permettrait pas de garder des états LRS stables dans le temps ce qui va à l'encontre de nos observations ; pour la deuxième hypothèse, une charge

stockée si faible ne pourrait pas provoquer une telle variation de résistance entre les états de hautes et basses résistivités.

Ces résultats rendent la commutation résistive par piégeage de charge improbable. Selon nos hypothèses formulées au paragraphe IV. 2, la commutation dans ces structures mémoires serait donc plutôt filamentaire.

IV. 4. 3) Influence des nanoparticules sur la commutation résistive

La *Figure IV-4* montre la réponse en courant typique à une rampe de tension d'un dispositif de l'échantillon 32 du lot A. Nous mesurons tensions et courants grâce à une station sous pointe reliée à un Keithley 4200-SCS. Cet équipement de mesure permet l'application d'une tension ou d'un courant avec la possibilité de limiter le courant traversant le dispositif. Cette limitation en courant est appelée compliance en courant I_C . Simultanément à la génération d'un courant, il est possible de mesurer différents courants et tensions. Le protocole de mesure utilisé est le suivant :

Toutes les tensions sont appliquées sur l'électrode supérieure (métal recouvert d'or). Un créneau de tension de $V_{READ} = 1$ V est appliqué sur l'électrode supérieure de l'échantillon pour déterminer son état initial. Dans le cas d'une première mesure, les dispositifs étant très résistifs à l'état pristine¹, une rampe de tension positive est appliquée en premier lieu. Les premiers échantillons sont utilisés pour déterminer l'ordre de grandeur de la tension V_{SET} ainsi que la limitation du courant nécessaire pour éviter le claquage irréversible du diélectrique. À partir de ces échantillons nous avons fixé une tension de départ $V_{appliqué} = 2,5$ V avec une compliance $I_C = 10^{-6}$ A. Si aucune commutation résistive vers les basses résistances n'est observée, on augmente la tension $V_{appliqué}$ jusqu'à observer la commutation. Lorsque la compliance I_C est atteinte sans avoir observé de commutation, on augmente la compliance avant d'appliquer à nouveau une rampe de tension $V_{appliqué}$. Lorsque l'échantillon est à l'état de basse résistivité, le protocole inverse est utilisé pour étudier l'état faiblement résistif LRS et la commutation de basse vers haute résistivité. On démarre avec une tension $V_{appliqué} = -2,5$ V dont on augmentera l'amplitude pas à pas jusqu'à l'observation d'une commutation. Pour l'étape de RESET aucune compliance n'est appliquée, car nous nous attendons à une augmentation de la résistance et donc une baisse du courant traversant l'échantillon.

¹ L'état pristine correspond à l'état initial ou « vierge » d'un dispositif n'ayant encore jamais subi de stimuli électriques.

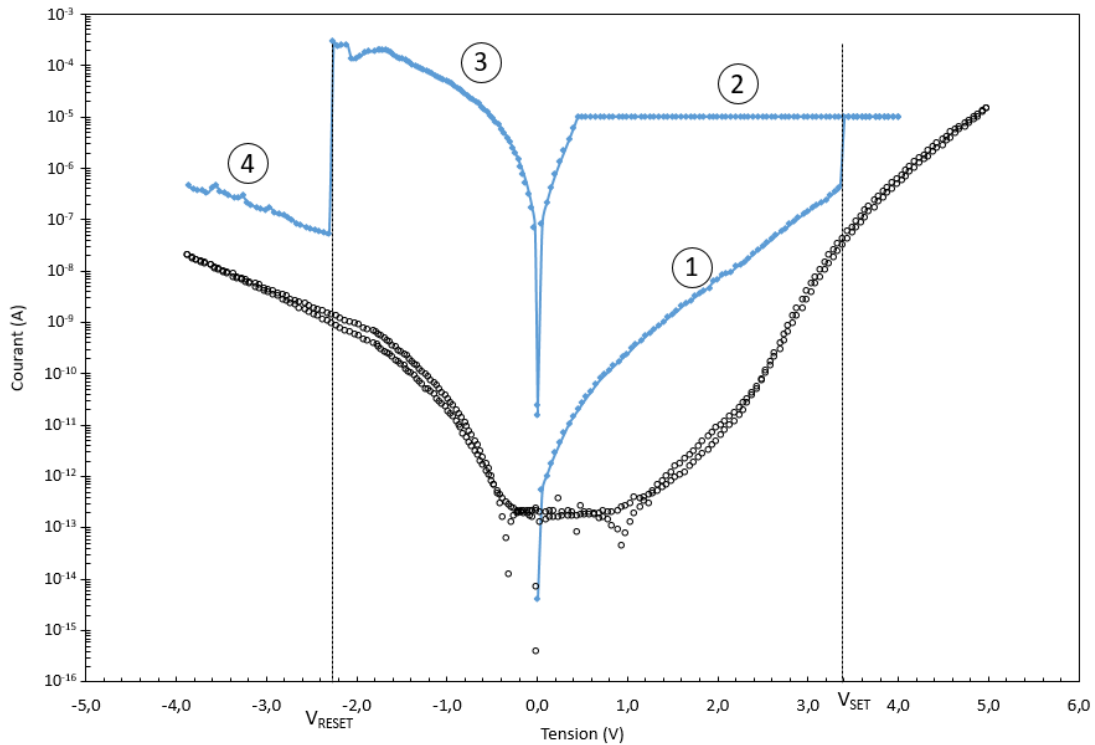


Figure IV-4 : Réponse en courant typique à une rampe de tension d'un dispositif (courbe bleue et carré pleins) et de sa référence (cercle vide noir) numéro 32. La rampe de tension appliquée est de 0 à 5V puis 0 à -5V avec une compliance en positif de 10^{-5} A. Le dispositif montre une commutation résistive avec $V_{SET} = 3,3V$ et $V_{RESET} = -3,5V$ absente de la réponse de la référence.

Pour cette mesure, une rampe de tension de 0 à 5V puis de 0 à -5V avec une compliance en polarisation positive $I_C = 10^{-5}$ A a été appliquée. On observe une commutation résistive bipolaire du dispositif avec des tensions $V_{SET} = 3,3$ V et $V_{RESET} = -2,1$ V. Avant la commutation de HRS vers LRS, en 1 sur la *Figure IV-4*, un très faible courant est mesuré signe d'un état fortement résistif HRS. Après la commutation de HRS vers LRS, la compliance est atteinte et la station de caractérisation utilisée empêche le dépassement de courant de compliance en limitant la tension aux bornes du dispositif. Cet effet est visible en 2 sur la *Figure IV-4* après la commutation de HRS vers LRS entre les tensions 0,5V et 4V sous la forme du plateau de courant à une valeur $I_C = 10^{-5}$ A. L'état de basse résistivité LRS est ensuite visible en 3 avant la commutation de LRS vers HRS et le retour à un état HRS visible en 4. Ces valeurs de tensions de fonctionnement sont relativement élevées par rapport à l'état de l'art. Dans la littérature, des mémoires utilisant des oxydes Al_2O_3 ou SiO_2 commutent à des tensions V_{SET} et V_{RESET} bien plus faible, par exemple $V_{SET} = 1,2V$ et $V_{RESET} = -1,5V$ pour Tsai et al. avec une épaisseur d' Al_2O_3 de 35 nm [143]. Ces tensions dépendent de plusieurs paramètres tels que la nature, la qualité et la configuration des oxydes mais aussi des électrodes.

On note une nette différence des réponses du dispositif contenant des Nps et de sa référence avec l'absence de commutation résistive de cette dernière. Si on applique une tension plus importante sur la référence, nous observons le claquage irréversible du

diélectrique. La réponse en courant de la référence entre -1 V et 1V est considérée comme du bruit de mesure, les courants mesurés étant inférieurs à un picoampère. L'asymétrie des caractéristiques est expliquée par la différence de barrière d'injection Si/SiO₂ en polarisation positive et Cr/Al₂O₃ en polarisation négative.

Ces mesures montrent que les nanoparticules jouent un rôle déterminant dans la commutation résistive de notre empilement mémoire, car il n'a jamais été observé de commutation résistive dans toutes les références. Les courants traversant les dispositifs et les références sont probablement issus de mécanismes de conduction différents, car l'amplitude du courant mesuré dans les références est plus faible que dans les dispositifs contenant des Nps pour une tension donnée. Cette dernière assertion sera discutée plus loin dans ce chapitre.

IV. 4. 4) Influence de la compliance de mesure et électroformage

L'observation des réponses des dispositifs a montré que les mémoires que nous étudions ont deux états résistifs distincts, les états HRS et LRS. De plus elles n'ont pas besoin d'une étape d'initialisation appelée aussi électroformage. Il est visible sur la *Figure IV-5* ci-dessous la réponse en courant d'un dispositif typique de l'échantillon 32 durant les 3 premiers cycles. Le troisième cycle est différent des deux premiers malgré une compliance identique lors de la commutation de HRS vers LRS et il y a destruction de la mémoire lors de la tentative de commutation inverse. Cette figure typique illustre un phénomène observé sur tous les dispositifs, on observe qu'à l'état pristine elles sont dans un état de haute résistivité HRS semblables à l'état résistif après un ou plusieurs cycles complets. Autrement dit l'état HRS des dispositifs mémoires fabriqués est le même que l'état initial. Ceci est un avantage indéniable, car ces mémoires n'ont pas besoin d'électroformage qui est généralement une étape de fabrication indispensable et qui peut dégrader l'intégrité de la mémoire. En effet, mal maîtriser l'électroformage peut endommager la mémoire, car l'opération est effectuée à des tensions plus élevées que les tensions de fonctionnement.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

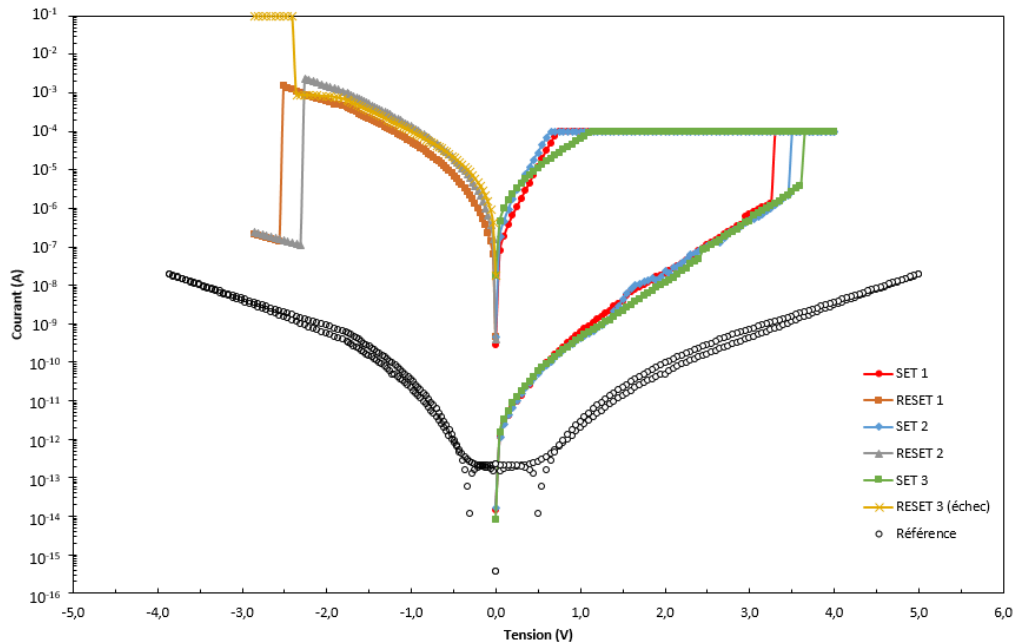


Figure IV-5: Cycles typiques d'un dispositif (en couleur avec des symboles losange ou carré) à l'état pristine et de sa référence (en cercle noir vide) numéro 32. Réponse en courant à une rampe de tension de 0 à 5V puis 0 à -5V avec une compliance en positif de 10^{-2} A.

Dans notre cas l'absence d'électroformage peut cependant poser un problème de contrôle de la commutation. Il est décrit dans la littérature que l'application d'une compliance adéquate lors de l'électroformage permet une initialisation contrôlée de l'état LRS de la mémoire qui sera par la suite plus facile à commuter sans risque aux tensions de fonctionnements plus basses [144]. Chaque commutation de HRS vers LRS est réalisée à une tension relativement élevée et peu éloignée de la tension de claquage des diélectriques. Cette étape, qui s'apparente à l'électroformage de la littérature, est donc risquée et amène à deux types de défaillances possibles :

- Si la compliance I_C est trop élevée, la commutation provoque un claquage définitif des diélectriques et le dispositif se comportera comme un conducteur ohmique de manière irréversible.
- Si la compliance I_C est insuffisante, la commutation ne se produit pas ou se produit partiellement amenant à un état résistif intermédiaire entre HRS et LRS. Cet état résistif intermédiaire n'est pas souhaitable, car une tension importante potentiellement destructrice, car proche ou supérieure à la tension de claquage sera nécessaire pour que la commutation inverse soit possible.

Une troisième cause de défaillance a été observée dans nos travaux, dépendant de la technique de mesure. Le système d'acquisition utilisé permet l'application d'une compliance qui limite le courant passant à travers le dispositif afin de le protéger. Nous avons observé qu'un bref pic de courant supérieur à la compliance pouvait survenir lors de l'application d'une rampe de tension au moment de la commutation de HRS vers LRS. En effet l'appareil effectue d'abord une mesure du courant avant de limiter ce dernier s'il dépasse la

compliance. Cette limitation peut survenir trop tard lorsque la variation de courant est très rapide. Pendant le temps de mesure, la compliance n'est pas encore appliquée et le dispositif subit donc un courant important non limité. Si on reprend l'exemple de la Figure IV-5, le troisième SET est effectué dans les mêmes conditions que les deux précédents, pourtant il affiche une réponse différente que les deux états LRS précédents. Il est probable que le pic de courant non contrôlé lors de la commutation provoque des défaillances prématurées des dispositifs testés. Une première solution proposée pour éviter les dépassements de compliance est d'introduire une résistance série de protection lors de l'étape de SET. En utilisant une boîte de résistance variable, il est possible de limiter un courant à une valeur maximum en choisissant la résistance de protection adéquate en fonction de la tension maximale appliquée. Cette technique a été beaucoup utilisée lors de mesures pulsées qui seront discutées plus loin au paragraphe IV. 4. 8). Une seconde technique consiste à brancher le dispositif au drain d'un transistor. En polarisant convenablement le transistor, on peut donc efficacement limiter le courant maximal du circuit. Cette technique est celle privilégiée par de nombreuses équipes notamment celles réalisant des mémoires résistives directement sur des puces CMOS [145][140].

À partir de l'hypothèse d'une commutation d'origine filamentaire énoncée au paragraphe IV. 4. 2), ces observations peuvent s'expliquer en considérant que chacune des commutations HRS vers LRS des dispositifs de cette étude correspond au formage d'un filament et donc à un état résistif distinct. Comme il est visible sur la *Figure IV-6* montrant 4 dispositifs du même lot, il est possible de contrôler le niveau du courant à l'état LRS en fonction de la compliance I_c comme décrit dans la littérature lors d'un électroformage. Les réponses à une rampe de tension négative des dispositifs C1L2, C1L5 et C2L2 ayant la même compliance en polarité positive $I_c = 10^{-5}$ A sont superposables alors que le niveau de courant en tension négative du dispositif C2L4 ayant subi une commutation à $I_c=10^{-2}$ A est plus élevé. Le courant de compliance contrôlerait donc directement la dimension du filament conducteur responsable de l'état LRS des dispositifs.

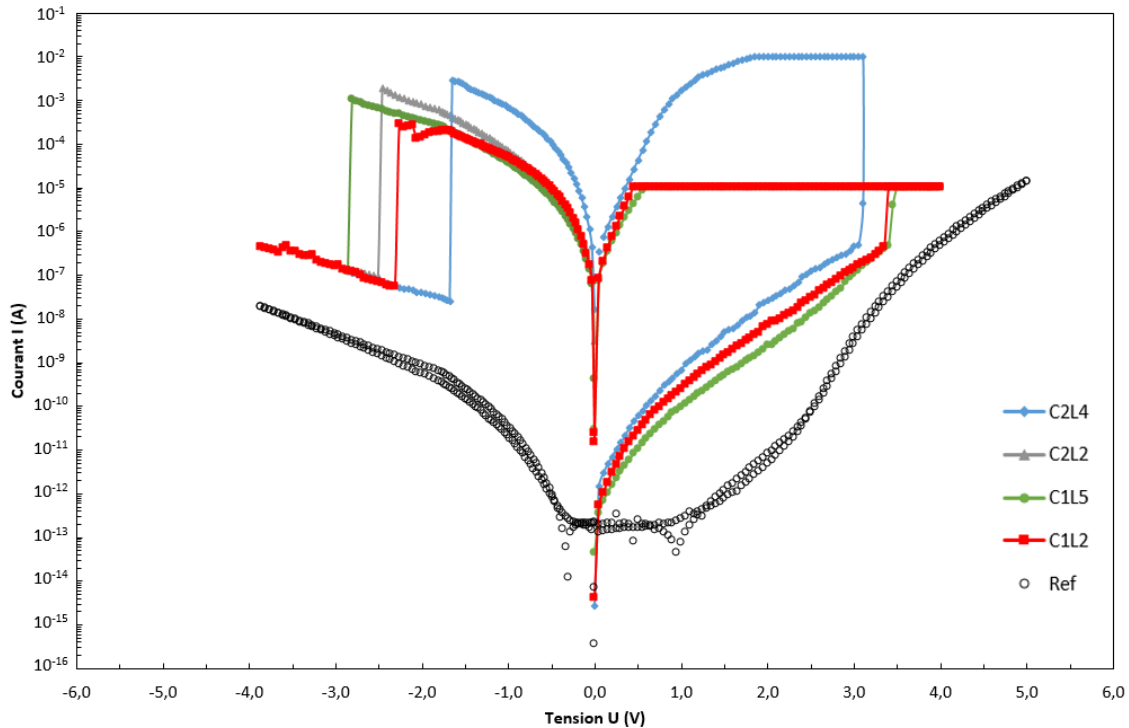


Figure IV-6 : Cycle typique de 4 dispositifs (courbe avec symboles en couleur) et de sa référence (cercles noirs vides) numéro 32. Réponse en courant à une rampe de tension avec une compliance en positif I_c variable avec $I_c = 10^{-5}$ A pour les dispositifs C1L2, C1L5 et C2L2 et une compliance $I_c = 10^{-2}$ A pour le dispositif C2L4.

Nous pensons par ailleurs que c'est le mauvais contrôle de l'étape du SET qui provoque le plus de défaillance des mémoires étudiées amenant les dispositifs dans un état de basse résistivité irréversible. En effet les mémoires montrant le plus grand nombre de cycles avant défaillance sont celles mesurées avec les compliances les plus faibles.

IV. 4. 5) Influence de l'épaisseur de l'oxyde

L'épaisseur de l'oxyde a un impact direct sur les caractéristiques électriques des mémoires résistives, quel que soit le type de conduction. Deux épaisseurs, 2.5nm et 5 nm, pour chaque oxyde ont été testées pour déterminer leur impact dans la structure verticale étudiée.

Dans la *Figure IV-7* ci-dessous, la densité de courant mesurée est tracée en fonction du champ électrique appliqué pour 3 échantillons avec des oxydes d'épaisseurs différentes. Nous calculons la densité de courant et le champ électrique à partir de la caractéristique $I = f(U)$ et des paramètres matériaux respectivement la surface d'électrode, 79.10^{-6} cm², et l'épaisseur d'oxyde cumulée, 5nm pour l'échantillon 32 et 7,5 nm pour les échantillons 35 et 38, valeurs référencées dans le *Tableau IV-1*.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

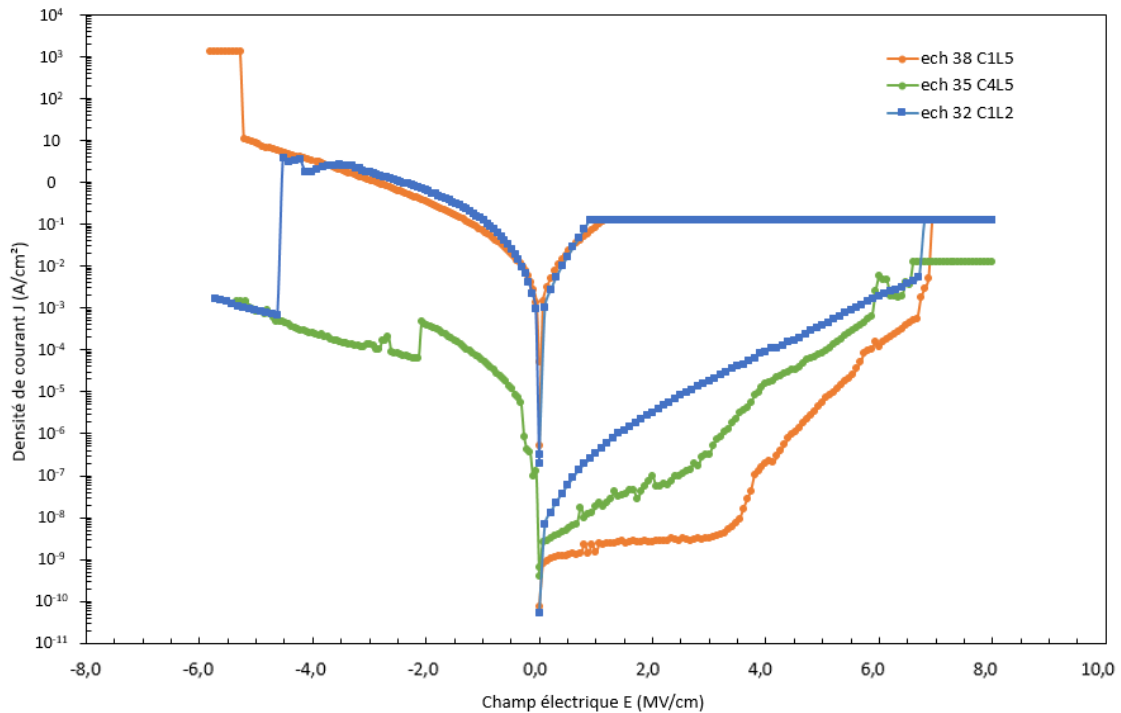


Figure IV-7 : Cycle de densité de courant en fonction du champ électrique représentatif de 3 échantillons aux épaisseurs d'oxyde différents. Ech 32 : 2.5 nm SiO_2 , 2.5 nm Al_2O_3 ; Ech 35 : 2.5 nm SiO_2 , 5 nm Al_2O_3 ; Ech 38 : 5nm SiO_2 , 2.5 nm Al_2O_3 .

Le tracé de la densité de courant en fonction du champ électrique permet la comparaison de la réponse électrique de plusieurs échantillons ayant des paramètres matériaux différents. On observe un champ électrique nécessaire à la commutation de HRS vers LRS similaire pour toutes les épaisseurs d'oxyde, ce qui est confirmé par le récapitulatif des mesures dans le *Tableau IV-2*. Le champ électrique nécessaire pour commuter en polarisation positive est compris entre 5,58 MV/cm et 6,66 MV/cm selon nos mesures. Ceci nous pousse à privilégier l'utilisation des oxydes fins afin d'obtenir les tensions de commutation plus faibles et donc moins énergivores.

Seuls les échantillons 32 et 35 possèdent des dispositifs montrant une commutation de LRS vers HRS. Le champ électrique nécessaire pour commuter en polarisation inverse des dispositifs de l'échantillon 32 est supérieur à ceux de l'échantillon 35. Les dispositifs de l'échantillon 38 montrent une commutation vers des résistances très faibles irréversibles en inverse, probablement liée à un claquage du diélectrique. Cette absence de commutation inverse dans les échantillons dont l' Al_2O_3 est épais associée à l'incapacité de dissoudre le filament conducteur créé lors de la commutation de HRS vers LRS.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

Nombre d'échantillon	Epaisseur d'oxyde (nm)		% de dispos défaillant / SET / RESET			V_{SET} (V) / E_{SET} (MV/cm) moyen	V_{RESET} (V) / E_{RESET} (MV/cm) moyen	Ecart type V_{SET} (V) / V_{RESET} (V)
	SiO ₂	Al ₂ O ₃						
Ech 32	2,5	2,5	8	92	27	3,12 / 6,24	-2,20 / -4,18	0,34 (11%) / 0,28 (13%)
Ech 35	5	2,5	50	50	50	4,19 / 5,58	-1,66 / -2,14	1,12 (27%) / 0,40 (24%)
Ech 38	2,5	5	8	92	0	5,00 / 6,66	NA	0,26 (5%) / NA

Tableau IV-2 : Récapitulatif des mesures des échantillons 32, 35, 38, 41 d'épaisseurs d'oxyde différentes.

Les deux échantillons 32 et 35 sont donc les seuls à montrer des commutations réversibles. Leur unique différence est l'épaisseur de leur oxyde de silicium respectivement de 2.5nm et 5nm. La moitié des dispositifs de l'échantillon 35 ne montrent jamais de commutation de résistance. Les réponses des échantillons défaillants peuvent être de deux types. La première défaillance est l'observation d'une conduction ohmique irréversible dès le premier test électrique sur dispositifs à l'état pristine. La seconde défaillance a lieu en cours de test où des claquages irréversibles du diélectrique sont observés à des tensions plus élevées que les tensions de commutation observées sur les dispositifs fonctionnels. Les dispositifs commutant de l'échantillon 35 ont le meilleur taux de réussite des trois échantillons étudiés avec 50% des dispositifs (100% des non défaillants) montrant une commutation réversible sur plusieurs cycles. Pour comparaison on observe une commutation en polarisation inverse sur seulement 20% des dispositifs de l'échantillon 32 et aucun sur ceux de l'échantillon 38. De plus L'échantillon 32 nécessite des champs électriques E_{RESET} 1,9 fois supérieur à ceux de l'échantillon 35. Il est étonnant de constater que l'échantillon 35 dont le SiO₂ est plus épais nécessite des champs électriques E_{RESET} plus faibles que l'échantillon 32. La dispersion d'environ 25% des valeurs de V_{SET} et V_{RESET} est plus importante pour les dispositifs de l'échantillon 35 que pour ceux de l'échantillon 32 proche de 15%.

Nous avons choisi de privilégier les épaisseurs d'oxyde de l'échantillon 32 c'est-à-dire les plus faibles avec 2.5 nm de SiO₂ et 2.5 nm d'Al₂O₃ afin d'avoir des tensions de V_{SET} et V_{RESET} d'amplitudes similaires et inférieures à 4V avec la dispersion la plus faible possible.

IV. 4. 6) Influence de la surface active des dispositifs

Pour chaque lot, au moins trois échantillons avec des géométries des électrodes supérieures ont été fabriqués afin d'évaluer l'impact de leur dimension sur la réponse électrique des dispositifs. Pour rappel, c'est uniquement la taille de l'électrode qui définit la zone active des dispositifs mémoires, car toutes les étapes de fabrication précédentes sont réalisées sur pleine plaque.

Une caractérisation $I = f(V)$ du courant en réponse à une rampe de tension telle que décrite dans les précédents paragraphes de ce chapitre a été utilisée. Ce test nous permet d'extraire les tensions V_{SET} et V_{RESET} , qui sont compilées dans le *Tableau IV-3*.

Lot	A		
	Ech 30	Ech 31	Ech 32
Nom de l'échantillon			
Epaisseur des diélectriques	SiO ₂ : 2,5 nm Al ₂ O ₃ : 2,5 nm		
Diamètre (μm) / Surface (cm ²)	30 7,1.10 ⁻⁶	50 2,0.10 ⁻⁵	100 7,9.10 ⁻⁵
% dispos défectueux / SET / RESET	38 / 62 / 10	32 / 68 / 38	8 / 92 / 27
V_{SET} (V) / E_{SET} (MV/cm) Ecart type (V)	3,77 / 7,54 0,24 (6%)	3,47 / 6,94 0,40 (12%)	3,12 / 6,24 0,34 (11%)
V_{RESET} (V) / E_{RESET} (MV/cm) Ecart type (V)	-1,31 0,17 (11%)	-1,73 0,45 (26%)	-2,18 0,28 (13%)

Tableau IV-3 : Récapitulatif des données extraites des mesures de courant en fonction de la tension des échantillons 30, 31 et 32 ayant des diamètres respectifs de 30μm, 50μm et 100μm.

Ces valeurs sont issues des caractéristiques telles que celles montrées sur la *Figure IV-8* où sont représentées les densités de courant mesurées en polarisation positive à l'état HRS typique de trois dispositifs de trois échantillons de tailles différentes en fonction du champ électrique appliqué. Comme précédemment ces valeurs ont été calculées à partir des mesures de courant et de tension, ainsi que respectivement la surface des électrodes et l'épaisseur totale des diélectriques. Les échantillons utilisés sont les échantillons 30 de 30μm de diamètre, 31 de 50μm de diamètre et 32 de 100 μm de diamètre.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

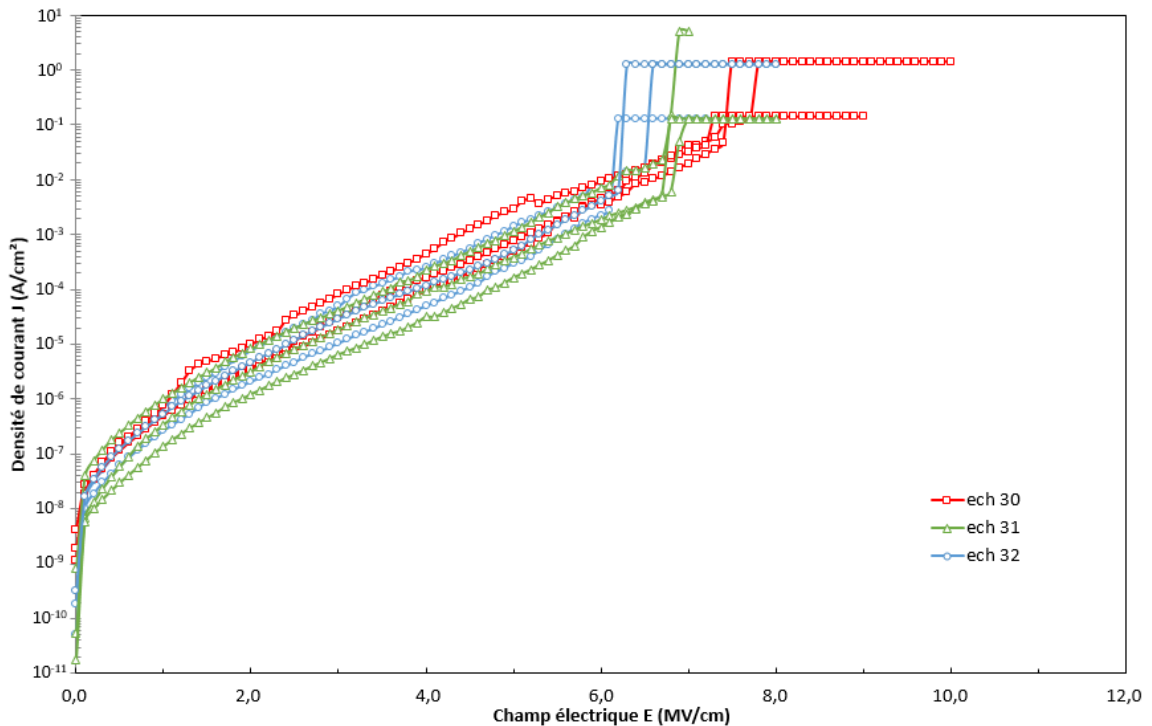


Figure IV-8 : Densité de courant en fonction du champ électrique de trois dispositifs par échantillons pour déterminer l'influence de la dimension des échantillons. Les échantillons d'où proviennent les dispositifs sont l'échantillon 30 de 30µm de diamètre, 31 de 50µm de diamètre et 32 de 100 µm de diamètre.

Seules les densités de courant en polarisation positive sont représentées sur ce graphique. Les densités de courant en polarisation inverse ne sont pas montrées ici, nous avons indiqué précédemment qu'elles varient en fonction de la limitation de courant pendant l'étape de SET. On observe que les densités de courant ne dépendent pas de la dimension des mémoires, elles sont superposables quelle que soit la dimension de l'échantillon. C'est un signe confortant l'hypothèse que le courant en polarisation positive est un courant de conduction volumique, indépendant de la surface d'injection du courant.

Les tensions de commutations semblent dépendre de la surface d'injection. Plus la surface est petite, plus la tension de V_{SET} est importante. On remarque une différence mesurable de 650 mV, comme indiqué dans le récapitulatif de l'extraction des données apparaissant dans le *Tableau IV-3*, entre les échantillons 30 et 32 avec un $V_{SET\ ech30} = 3,77$ V et $V_{SET\ ech32} = 3,12$ V. Cet effet a déjà été observé dans la littérature notamment par Sire et al. [146] dans une étude du claquage diélectrique du SiO_2 . Dans de cette étude, les auteurs observent que le champ électrique nécessaire pour réaliser le claquage du diélectrique dépend de la surface d'injection. En effet le claquage pourrait être initié localement par des lacunes ou défauts structuraux qui, pour une densité donnée, sont plus nombreux dans des volumes importants que dans des volumes faibles. Pour une épaisseur fixée, plus la surface de l'électrode est grande, plus il y a de chance d'un claquage diélectrique prématuré. Pour rappel, nous avons montré dans le paragraphe sur l'influence de la compliance que chaque

commutation de HRS vers LRS de nos dispositifs était semblable à un nouveau claquage réversible du diélectrique.

Pour l'étude du claquage diélectrique, il est intéressant de tracer la caractéristique de Weibull, car elle permet de comparer plusieurs mesures de claquage entre elles. Nous avons décidé d'étudier le champ électrique nécessaire à la commutation de HRS vers LRS pour différentes surfaces d'électrode. La loi de probabilité de Weibull utilisée prend en compte la surface des dispositifs selon l'équation suivante [147] :

$$P = 1 - \exp \left[- \left(\frac{E}{E_{ref}} \right)^\beta \times \frac{S}{S_{ref}} \right]$$
IV-1

- P est la probabilité cumulée de claquage
- β est une constante correspondant à la pente de Weibull
- E et E_{ref} sont respectivement les valeurs de champ de claquage de chaque dispositif et le champ de claquage de référence correspondant à un taux de 63.2 % des dispositifs de l'échantillon.
- S et S_{ref} sont respectivement les surfaces d'électrodes de l'échantillon et de l'échantillon de référence

Afin d'extraire directement la pente de Weibull, on tracera le résultat de la précédente équation dans un repère de Weibull : $\ln(-\ln(1 - P)) - \ln\left(\frac{E}{E_{ref}}\right) = f\left(\ln\left(\frac{E}{E_{ref}}\right)\right)$

Dans la pratique on commence par tracer la probabilité cumulée de claquage P(x) de chaque échantillon en fonction du champ électrique de claquage visible sur la *Figure IV-9 a*). On constate que les évolutions des probabilités cumulées suivent toutes des pentes identiques. À partir de ces courbes on peut extraire le champ de claquage de référence, soit la valeur de champ de claquage lorsque 63,2% des dispositifs ont commuté. Ceci nous permet de tracer la représentation de Weibull en *Figure IV-9 b*) en utilisant l'échantillon 30 de 30 μ m de diamètre comme surface de référence. On constate que la pente de Weibull globale sur les trois échantillons est $\beta = 13.3$. Cela indique que les phénomènes à l'origine de la commutation de HRS vers LRS sont probablement les mêmes pour les dispositifs de différentes surfaces [147].

En considérant que ce phénomène reste valide pour toute taille d'électrode, on peut extrapoler cette droite pour des tailles bien inférieures. On peut estimer par cette méthode que pour un dispositif de diamètre 3 μ m, la médiane des champs de claquage serait de 10,7 MV/cm soit une tension $V_{SET} = 5,3$ V. Pour un dispositif de 50 nm de diamètre on atteint par cette méthode de calcul un champ électrique de 19,8 MV/cm soit une tension $V_{SET} = 9,9$ V. Ces tensions sont très importantes et semblent invraisemblables particulièrement pour des dispositifs de 50 nm. De plus amples tests sur des dispositifs de cette taille seraient

intéressants pour évaluer la probabilité d'obtenir un SET sur de plus grandes gammes de dimensions.

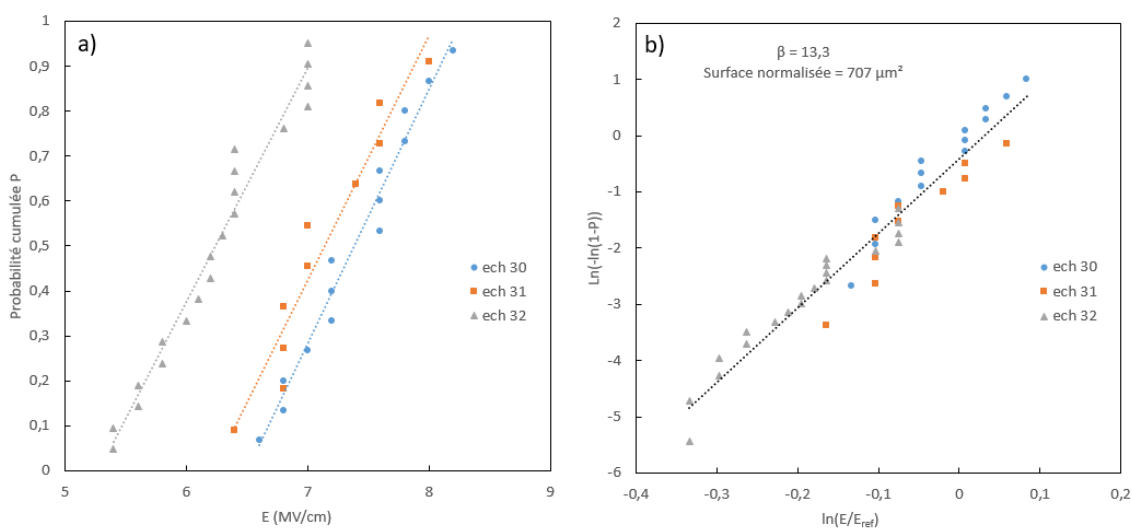


Figure IV-9 : a) Probabilité cumulée de claquage de trois échantillons de taille d'électrode différente avec 30µm pour l'échantillon 30, 50µm pour l'échantillon 31 et 100 µm pour l'échantillon 32. b) Caractéristique de Weibull des trois échantillons mentionnés avec une normalisation de leur surface à 707 µm² (référence de l'échantillon 30).

La tendance inverse est observée pour la commutation de LRS vers HRS avec des tensions V_{RESET} plus faibles sur les dispositifs les plus petits. La différence est notable avec une tension moyenne $V_{RESET \text{ ech}30} = -2,15 \text{ V}$ et $V_{RESET \text{ ech}32} = -3,58 \text{ V}$. Nous pensons que cet écart de tension de RESET est lié à l'épaisseur du filament présent à l'état LRS. Comme le montrent nos précédents résultats, corroborés par d'autres travaux dans la littérature [38], nous pensons que le filament crée lors du SET et donc l'état résistif LRS dépend directement du courant lors du SET. Les courants des mémoires de grandes dimensions sont donc plus importants et forment donc des filaments plus épais qui demandent des tensions plus importantes pour être dissouts.

Il est à noter que plus l'échantillon est de faible dimension, plus le nombre de dispositifs défectueux après fabrication est important. On observe 38% de défaillance des dispositifs sur les échantillons de 30µm de diamètre contre 8% sur ceux de 100µm de diamètre. Cet effet est lié à la technique de fabrication utilisée pour le dépôt des électrodes de ces tailles. En utilisant un dépôt à travers un masque dur, plus le motif est fin et plus il y a de chance qu'il soit de moins bonne qualité.

La diminution en taille des échantillons est donc une piste intéressante à explorer. Plus la taille sera faible et plus à priori la commutation de LRS vers HRS sera aisée par un meilleur contrôle des dimensions du filament. Cependant ceci sera au détriment de la tension nécessaire à l'étape de SET qui augmente à mesure que la dimension de la mémoire diminue. Des échantillons de dimensions inférieures sont nécessaires pour vérifier que les phénomènes à l'origine des commutations dans les mémoires testés sont les mêmes à des

tailles inférieures. La solution envisagée a été de développer une technique de dépôt d'électrodes par 3 niveaux de photolithographies telles que décrites dans le chapitre 4. En plus d'assurer un meilleur contrôle et une meilleure uniformité à la forme des électrodes, nous avons prévu une plus grande gamme de surface d'électrodes circulaires de 3 μm à 50 μm de diamètre.

IV. 4. 7) Influence de la nature de l'électrode

Trois natures d'électrodes ont été étudiées dans ce projet. Une première électrode en chrome (lot A) a été proposée pour assurer une bonne adhésion sur n'importe quel type d'oxyde. Afin d'obtenir un diagramme de bande assez symétrique, une électrode en aluminium (lot B) a ensuite été adoptée. Le travail de sortie de l'aluminium est compris entre 3,9 eV et 4.26 eV [148] et celui du Si dopé n⁺ supérieur à 4.05 eV [123]. Enfin une électrode en bicouche de titane et d'aluminium (lot C) a été testée, le titane faisant office de couche intermédiaire entre aluminium et oxyde d'aluminium pour appauvrir ce dernier en oxygène. L'oxyde d'aluminium devenu sous-stœchiométrique permettrait alors de commuter plus facilement grâce aux nombreuses lacunes introduites et la structure de bande du dispositif reste relativement symétrique avec l'aluminium comme électrode. Les travaux de sorties ainsi que l'enthalpie libre standard de formation des oxydes métalliques les plus probables pour chaque métal d'électrode sont présentés dans le *Tableau IV-4*.

Matériaux	Travail de sortie (eV)	Enthalpie libre standard de formation
Cr	4,50 - 4,60	-1059,6 (Cr/Cr ₂ O ₃)
Al	3,9 - 4,26	-1579,2 (Al/Al ₂ O ₃)
Ti	4,33	-888,6 (Ti/TiO ₂)

Tableau IV-4 : Travaux de sorties [148] et enthalpies libres standards de formations [149] des différentes électrodes étudiées.

Nous avons comparé les échantillons des trois lots par des mesures de la tension en polarisation positive en quasi statique selon le protocole décrit dans la partie « Influence de la dimension des mémoires ». Les résultats sont présentés sur la *Figure IV-10* montrant une représentation de Weibull normalisée de la probabilité d'obtenir une commutation de HRS vers LRS en fonction du champ électrique. L'échantillon 69 qui est celui à plus faible dimension, 30 μm de diamètre, du lot C avec une électrode en Ti/Al n'apparaît pas, car la fabrication de l'échantillon n'a pas abouti et les dispositifs sont inutilisables.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

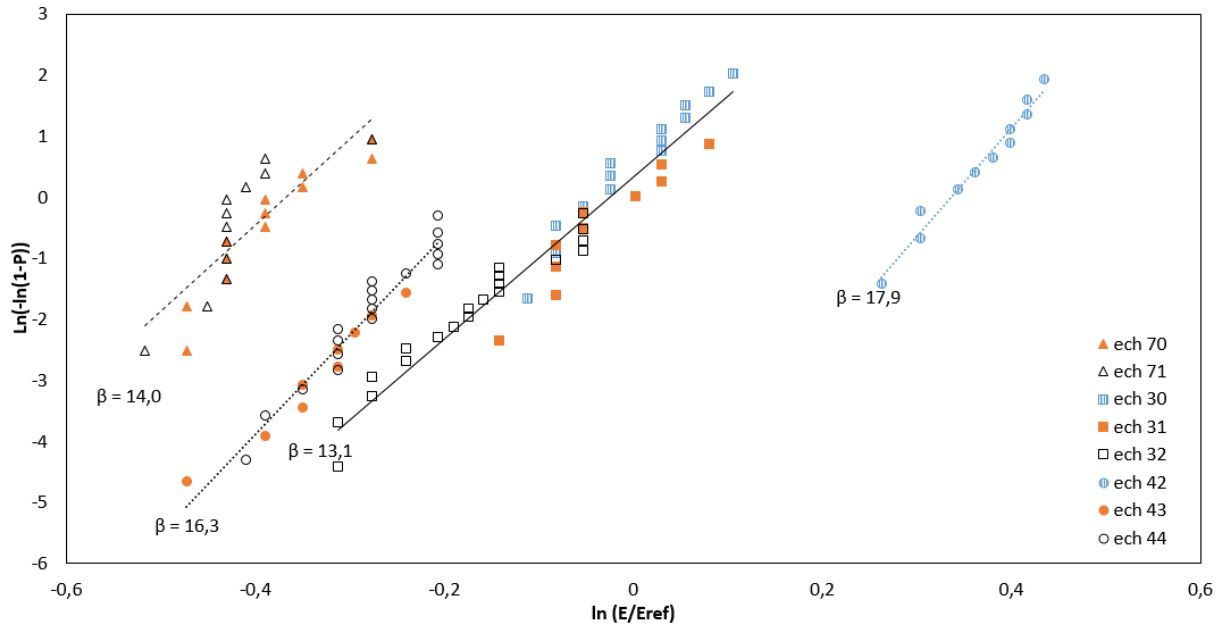


Figure IV-10 : Caractéristique de Weibull de dispositifs d'échantillons provenant des trois lots pour comparer à nature de leurs électrodes. Pour la comparaison des échantillons, l'échantillon pris comme référence est l'échantillon 31 de 50µm de diamètre.

La représentation de Weibull étant normalisée, on peut aisément comparer les échantillons entre eux. On constate que les dispositifs ont des pentes de Weibull similaires allant de $\beta = 13,3$ à $\beta = 17,9$. Il est donc probable que les phénomènes de commutation de chaque dispositif aient la même origine quelle que soit l'électrode excepté pour l'échantillon 42. En effet le fait que la pente de l'échantillon 42 ne soit pas dans la continuité des échantillons 43 et 44 de même électrode peut avoir plusieurs explications. La première serait que la surface réelle de l'échantillon soit bien plus faible que celle estimée par la surface de l'électrode. Cette hypothèse semble improbable, car il faudrait que la surface réelle soit d'environ $1 \mu\text{m}^2$ soit plus de 700 fois inférieure à la surface réelle. Une seconde explication serait que le phénomène à l'origine du claquage pour cet échantillon soit différent en raison de sa surface plus réduite. Afin de pouvoir conclure, il faudrait fabriquer un second échantillon de même ou de plus petites dimensions.

Par ailleurs on constate que malgré des pentes similaires, les courbes des différents échantillons ne sont pas superposées. La courbe des échantillons à l'électrode en Ti/Al étant la plus à gauche, on en déduit que c'est cette électrode qui permet une commutation le plus facilement à des tensions V_{SET} plus basses. En effet le titane est utilisé comme électrode ou couche d'insertion dans de nombreux travaux [150][46]. Sa diffusion dans l'oxyde permet de faciliter la formation de filaments de conduction par dopage métallique de l'oxyde. De plus la faible enthalpie libre de formation du couple Ti/TiO₂ permet de pomper de l'oxygène dans les oxydes environnant pour former une fine couche de TiO_x, source de défauts facilitant la commutation de HRS vers LRS. Cependant le chrome et l'aluminium ne sont pas connus pour diffuser à travers l'oxyde d'aluminium aux températures de fabrication et de tests. Pour les

échantillons du lot A et B, nous pensons que la facilité à commuter est uniquement liée à la quantité de défauts de type lacune d'oxygène créée par les électrodes. L'enthalpie libre standard de formation du couple Al/Al₂O₃ étant plus faible que celle du couple Cr/Cr₂O₃, l'introduction de lacune sera plus importante avec une électrode d'aluminium qu'avec une électrode de chrome.

IV. 4. 8) Réponse électrique en mesures pulsées

Les précédentes études sont basées sur des réponses en courant à des rampes de tensions continues. La réponse à des impulsions de tension est plus appropriée pour connaître le fonctionnement des dispositifs mémoires soumis aux stimuli auxquels ils seront soumis dans des systèmes électroniques réels. Un protocole de mesure en mode pulsé a donc été mis en place en connectant un échantillon à un générateur de pulse interne au banc de caractérisation quasi statique Keithley 4200 SCS. Le schéma de montage est montré en Figure IV-11.

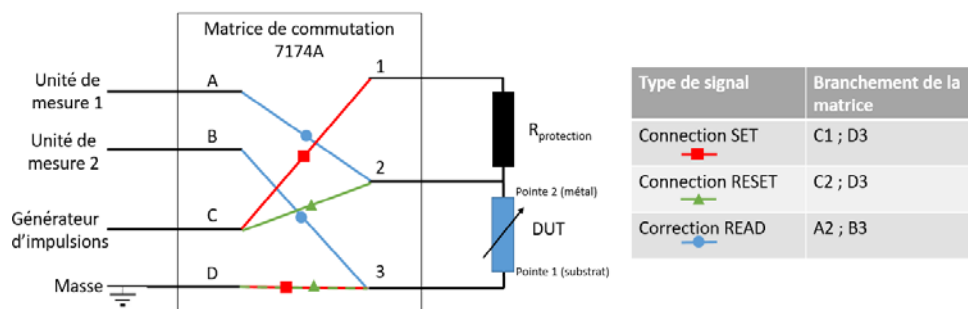


Figure IV-11 : Schéma de montage des mesures en mode pulsées.

Comme il n'est pas possible d'obtenir la réponse en courant lors de l'application du pulse de tension, il a donc été nécessaire de mesurer l'état résistif de la mémoire par une lecture (READ) en tension continue avant et après chaque pulse de tension afin de déterminer si la commutation résistive a été obtenue. L'allure schématique du cycle de tension READ/SET/READ/RESET est donnée sur la Figure IV-12 a). Il convient de déterminer les tensions V_{pos} et V_{neg} adéquates pour que les commutations, respectivement le SET et le RESET, soient réalisables et avec des temps les plus courts possible sans endommagement du dispositif. Le générateur de pulse permet de contrôler ces deux paramètres, soit l'amplitude de la tension appliquée et le temps d'application. La lecture est effectuée par un créneau de tension à $V_{READ} = 1V$ dans notre cas. Le temps de mesure n'est pas contrôlé. Il n'est pas possible d'appliquer une limitation en courant lors des pulses de tensions. Nous avons donc choisi d'utiliser une résistance série pour limiter le courant maximum dans le circuit lors des étapes de SET et RESET. Cette résistance est court-circuitée lors des lectures afin de mesurer directement la résistance des dispositifs mémoires. Lors de cette étude nous

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

avons observé la réponse de 62 dispositifs provenant de l'échantillon 42 d'électrode Al/Au de 30 μ m de diamètre avec comme paramètres des tensions $V_{pos} = 5V$ et $V_{neg} = -3V$ et des temps d'application des pulses relativement longs $t_{pos} = t_{neg} = 500ms$. Pour limiter le courant à une compliance de $I_c = 10 \mu A$ maximum, une résistance de protection de 500 k Ω était branchée en série lors de l'application des tensions en polarités positives.

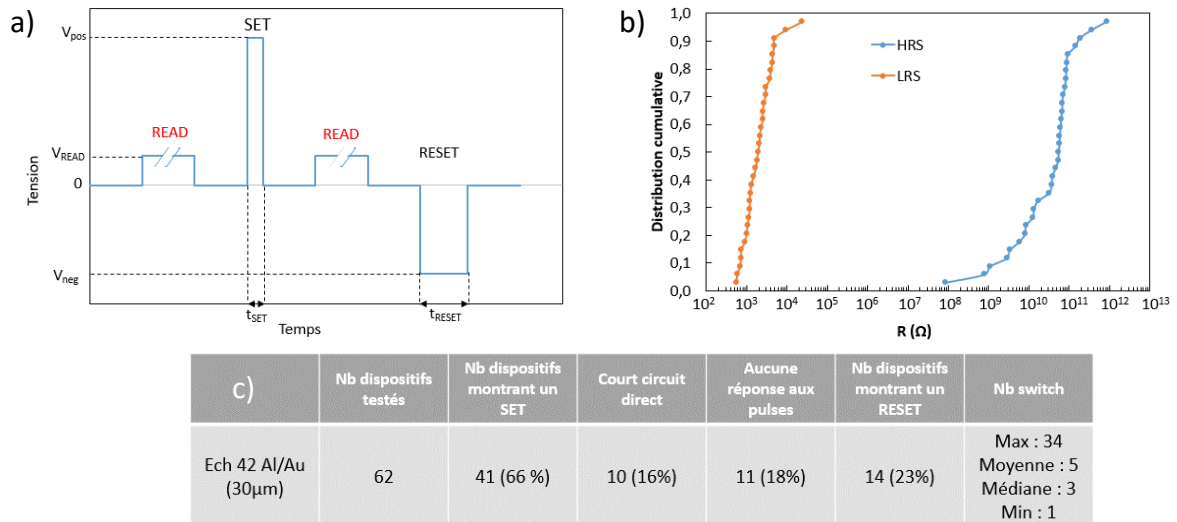


Figure IV-12 : a) Allure schématique du cycle de tension écriture/lecture/effacement/lecture appliquée sur le dispositif mémoire lors de mesure en mode pulsé. Les tensions d'écriture, d'effacement et de lecture sont contrôlées tout comme les temps d'écriture et d'effacement. L'axe des temps n'est pas continu, car la durée de la lecture n'est pas contrôlable. b) Distribution cumulative des états résistifs d'un dispositif mémoire de l'échantillon 42 du lot B pour les états de hautes (HRS) et basses (LRS) résistivités au cours de 34 cycles de commutations résistives. Paramètres de mesure $V_{pos} = 5V$, $t_{pos} = 500ms$ et $R_{protection} = 500 k\Omega$; $V_{neg} = -3V$ et $t_{neg} = 500 ms$. c) Tableau récapitulatif de la campagne de mesure de la réponse au protocole de 62 échantillons différents.

Environ un quart des dispositifs testés commutent bien en suivant le protocole. La majorité des échantillons parviennent à commuter entre 3 et 5 cycles avant un claquage définitif. Le meilleur résultat obtenu avec ce protocole de mesure est présenté sur la distribution cumulative des états résistifs HRS et LRS *Figure IV-12 b*). Le dispositif choisi pour cette illustration a commuté pendant 34 cycles avant claquage définitif. Une très faible variation de son état LRS est observée au cours de la mesure avec 32 sur 34 de ces états LRS compris entre 550 Ω et 4.9 k Ω . L'état HRS est moins stable avec une variation de 85 M Ω à 845 G Ω . Malgré cette forte variation de l'état HRS due à des étapes de RESET non complètes, la différenciation des états est très aisée avec un rapport minimum I_{ON}/I_{OFF} de $4 \cdot 10^3$ et rapport I_{ON}/I_{OFF} moyen de 10^6 .

Pour déterminer le temps minimum nécessaire pour obtenir les états LRS et HRS, nous avons modifié le banc de mesure pour pouvoir appliquer des pulses de plus courtes durées. Un générateur de fonction externe a été nécessaire pour atteindre des impulsions de tension de 100ns au minimum. Nous avons ainsi pu observer qu'il est possible de commuter d'un état HRS vers LRS avec un pulse de 500ns à condition d'augmenter la tension en polarisation directe à $V_{pos} = 6V$ et de réaliser la commutation inverse en minimum 500 μ s

avec une tension $V_{neg} = -4V$. Il n'est pas surprenant qu'il faille augmenter la tension pour qu'il soit possible de commuter avec des temps très courts. En effet il est connu, et notamment selon S. Blonkowski [151], que les phénomènes d'électroformages, de SET et de RESET ont une constante de temps dépendant du champ électrique appliqué. Autrement dit le temps nécessaire à leur survenu est directement lié à la tension appliquée au dispositif. Plus la tension appliquée est importante plus le phénomène sera rapide et inversement à faible tension le phénomène sera plus lent.

Il est donc possible de réaliser jusqu'à 34 cycles sans défaillance et avec une discrimination des états résistifs très aisée grâce aux forts rapports I_{ON}/I_{OFF} de 10^3 à 10^6 . Cette endurance est prometteuse pour un dispositif non optimisé aux dimensions micrométriques destiné à l'étude de l'influence des matériaux qui le compose. Les dispositifs nécessitent au moins 500 ns pour commuter d'un état HRS vers LRS, autrement dit une fréquence maximale d'écriture de 2 MHz. Pour l'effacement 500 μ s sont nécessaires soit une fréquence de 10 kHz au maximum. Les tensions nécessaires à la commutation sont assez importantes, d'autant plus avec des pulses très courts.

IV. 5. Étude des conductions électriques

IV. 5. 1) Modélisation de la mémoire

Les nanoparticules des structures mémoires MI:Nps:IM sont non jointives. Il y a donc deux chemins possibles qui peuvent être pris par le courant selon De Salvo et al. [152]. L'adaptation de leur modèle avec notre structure est schématisée sur la *Figure IV-13* en ne considérant que la mémoire en état HRS et donc avec chacun des oxydes non détérioré (ou réparé). Nous n'étudierons donc que le cas de tension appliquée U positive dans lequel le substrat de silicium dopé $n+$ est en régime d'accumulation et donc considéré comme un métal.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

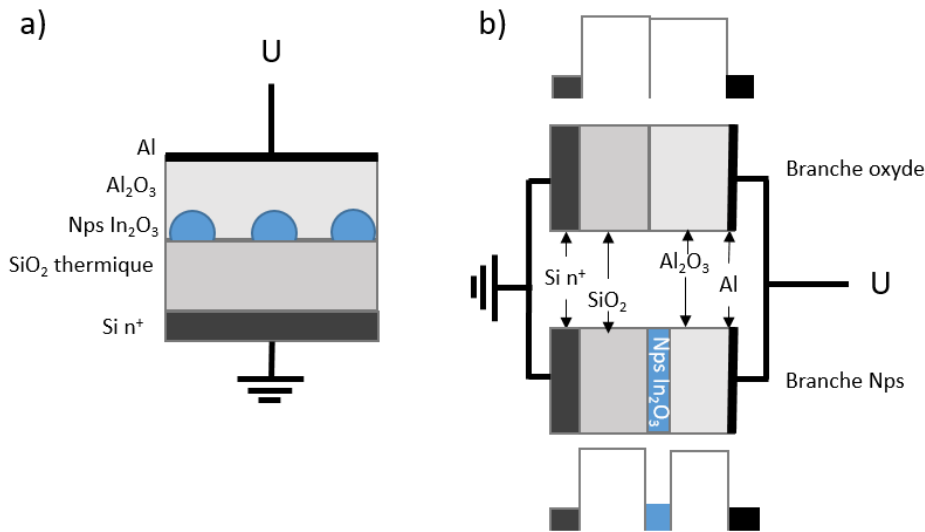


Figure IV-13 : a) Schéma de la structure mémoire réelle. b) Schéma de la structure mémoire selon le modèle utilisé avec les diagrammes de bande de chaque partie.

En fonction du chemin, ou branche du modèle, pris par le courant, la barrière vue par les électrons sera différente. Dans le cas de la branche passant par l'empilement d'oxyde inter nanoparticules, la structure MIM forme une capacité C_{ox} d'épaisseur $e_{SiO_2} + e_{Al_2O_3}$ dont le comportement est celui des références ne contenant pas de nanoparticules. La seconde branche contenant des nanoparticules est modélisée comme trois capacités MIM. Pour connaître la surface de chaque

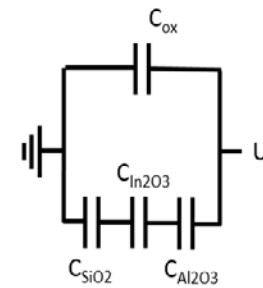


Figure IV-14 : Schéma équivalent du comportement électrique des mémoires selon le modèle utilisé.

branche, il suffit de considérer le pourcentage de recouvrement de la surface en nanoparticules α . La branche oxyde aura donc une surface égale à $S_{ox} = S_{tot} \times (1 - \alpha)$ alors que la branche contenant des nanoparticules $S_{Np} = S_{tot} \times \alpha$.

La structure totale consiste à la mise en parallèle des deux branches selon le schéma Figure IV-2. La capacité totale C_{tot} de la structure sera donc :

$$C_{tot} = C_{ox}(1 - \alpha) + C_{Np} \tag{IV-2}$$

$$\text{Avec } C_{ox} = \frac{\frac{\epsilon_{SiO_2} \times e_{SiO_2} + \epsilon_{Al_2O_3} \times e_{Al_2O_3} \times S_{tot}}{e_{tot}}}{e_{tot}} ; \quad \frac{1}{C_{Np}} = \frac{1}{C_{SiO_2}} + \frac{1}{C_{In_2O_3}} + \frac{1}{C_{Al_2O_3}} ;$$

$$C_{SiO_2} = \frac{\epsilon_{SiO_2} \times S_{Np}}{e_{SiO_2}} ; \quad C_{In_2O_3} = \frac{\epsilon_{In_2O_3} \times S_{Np}}{e_{In_2O_3}} ; \quad C_{Al_2O_3} = \frac{\epsilon_{Al_2O_3} \times S_{Np}}{e_{Al_2O_3}}$$

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

Avec $\varepsilon_{In_2O_3} = 4[100]$, $\varepsilon_{Al_2O_3} = 9$ et $\varepsilon_{SiO_2} = 3,9[122]$ les constantes diélectriques des trois oxydes. Pour la simulation et la simplification de ces équations nous allons utiliser la notion d'épaisseur de SiO_2 équivalente. Cette valeur correspond à l'épaisseur de SiO_2 qui aurait permis d'obtenir une capacité de même valeur. Dans notre cas, une capacité MIM avec pour isolant une couche d' Al_2O_3 de 2,5 nm d'épaisseur et de constante diélectrique 9 aura une épaisseur de SiO_2 équivalente $e_{SiO_2eq} = 1,08$ nm par l'équation $e_{eqAl_2O_3} = \frac{\varepsilon_{SiO_2} \varepsilon_{Al_2O_3}}{\varepsilon_{Al_2O_3}}$. L'épaisseur théorique totale de l'oxyde en équivalent SiO_2 est donc de 3,58 nm. Cette valeur visée est très proche de celle mesurée par $C(V)$ sur les dispositifs de référence sur lesquelles on relève une épaisseur de 3,68 nm. L'équation IV-2 est donc modifiée avec :

$$C_{ox} = \frac{\varepsilon_{SiO_2} \times S_{tot}}{e_{SiO_2} + e_{eqAl_2O_3}} \quad IV-3$$

et

$$C_{Np} = \frac{\varepsilon_{SiO_2} \times S_{Np}}{e_{eqAl_2O_3} + e_{eqIn_2O_3} + e_{SiO_2}} \quad IV-4$$

L'équation IV-2 permet donc de modéliser une structure contenant différentes surfaces de nanoparticules. Pour vérifier le modèle, une comparaison entre la capacité d'une référence, correspondant à un recouvrement α nul, et un dispositif mémoire avec un taux de recouvrement des nanoparticules α est effectué pour vérifier si le modèle. On peut montrer que la variation de capacité entre ces deux configurations est :

$$\Delta C = C_{ox} \times \alpha - C_{Np} \quad IV-5$$

En prenant notre cas où nous avons mesuré un recouvrement $\alpha = 3,4\%$, on calcule une différence de capacité en accumulation de 3,26 mF/m². Cette valeur est proche de la valeur observée en *Figure IV-2* où on mesurait un décalage maximal 3 mF/m². Le modèle semble donc être capable de prévoir la différence de capacité liée à la présence des nanoparticules. Il est à noter qu'en toute rigueur il faudrait mesurer la différence de capacité au niveau du plateau en accumulation et non pas le décalage des courbes de capacité. Cependant cette observation n'est pas réalisable, car à la tension nécessaire à l'observation de la capacité d'accumulation le mémoire déjà commuté à l'état LRS.

IV. 5. 2) Extraction des paramètres électriques par simulation des courants de conduction.

Afin de pouvoir caractériser la structure imaginée, nous avons pris soin de stopper le procédé de fabrication à chaque étape afin de pouvoir caractériser chaque partie de la structure et de comparer les réponses à des simulations de courant de conduction.

- **Caractérisation SiO2 thermique**

La conduction dans l'oxyde de silicium thermique est connue et bien référencée. Selon Sze et al. [122] la conduction principale dans les oxydes fins de SiO₂ est une conduction par effet tunnel. À fort champ ce courant tunnel est éventuellement aidé par l'abaissement de la barrière de potentielle qui devient triangulaire. On différencie la conduction tunnel dite directe (TD) à travers toute l'épaisseur de la barrière et la conduction tunnel à travers une barrière réduite due à sa forme triangulaire dite Fowler-Nordheim (FN). Selon Kanoun [142] dont l'étude se base sur les travaux de De Salvo [152], ces courants tunnels en injection par une électrode en matériau semi-conducteur ont pour équation (les paramètres sont détaillés en annexe):

$$J = \frac{4\pi q m_{Si}^* kT}{h^3} \int_0^{\phi_0} \ln \left(1 + \exp \left[\frac{-X}{kT} \right] \right) T(X) dX \quad \text{IV-6}$$

Avec T(X) la transparence de la barrière qui dépend du type de courant (FN pour une barrière triangulaire ou TD pour une barrière trapézoïdale). Dans le cas du SiO₂ ces transparences s'expriment ainsi :

$$T_{TD}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{SiO_2}^*}}{3qhE_{SiO_2}} \left((\phi_B - X)^{\frac{3}{2}} - (\phi_B - qE_{SiO_2}d_{SiO_2} - X)^{\frac{3}{2}} \right) \right] \quad \text{IV-7}$$

$$T_{FN}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{SiO_2}^*}}{3qhE_{SiO_2}} (\phi_B - X)^{\frac{3}{2}} \right] \quad \text{IV-8}$$

Ces équations

Une électrode en aluminium a été déposée sur un substrat ayant uniquement subi une oxydation thermique. L'épaisseur d'oxyde est de 2,5 nm, on considère la hauteur de barrière $\phi_B = 3,15 \text{ eV}$ et une masse effective des électrons dans l'oxyde de 0,5m₀. La Figure IV-15 montre les courants simulés et mesurés sur cette structure MOS.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

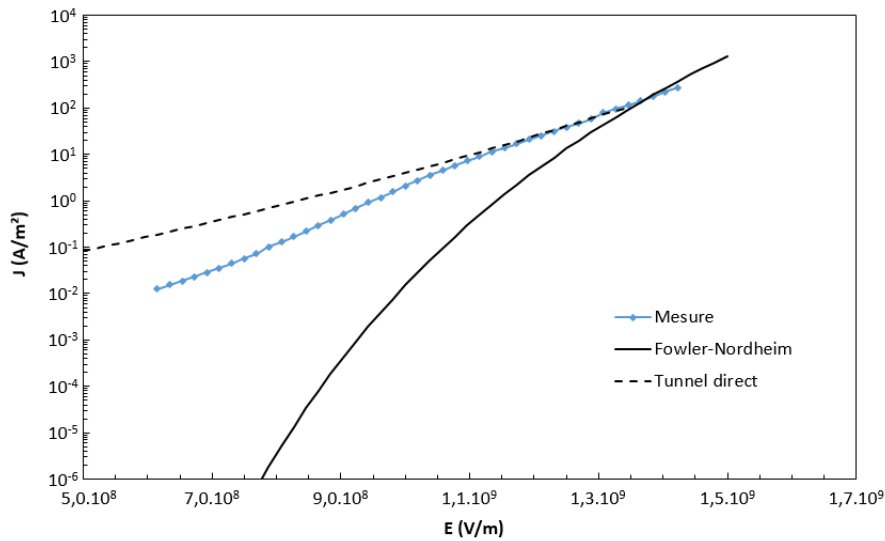


Figure IV-15 : Comparaison d'une mesure (points) et de la simulation (lignes) de la densité de courant de type tunnel direct ou Fowler-Nordheim en fonction du champ électrique dans une structure MOS Si n+/SiO₂/Al.

On remarque que pour de faibles champs électriques la densité de courant mesurée dans la structure est inférieure à celle attendue par une conduction tunnel. Ces densités de courant correspondent à des courants inférieurs à 10 pA, une gamme de courant où l'incertitude de mesure est importante. On constate cependant qu'une fois un courant de l'ordre de 500 pA est atteint, le courant mesuré est superposable au courant tunnel simulé dans la structure. À un champ supérieur à 1,5 GV/m (15 MV/cm) il y a claquage du diélectrique nous empêchant d'observer la conduction Fowler-Nordheim qui devient plus probable à ces forts champs électriques. Il est à noter que champ de claquage de 15MV/cm est une valeur typique relevée dans la littérature internationale [153]. La barrière d'injection Si/SiO₂ semble bien être celle attendue $\phi_B = 3,15$ eV.

- Caractérisation de l'empilement SiO₂/Al₂O₃

Connaissant les paramètres électriques de SiO₂ thermique déposé précédemment et en considérant l'épaisseur du dépôt d'Al₂O₃ mesurée par la méthode C(V), il est possible de simuler de la même manière que précédemment des courants de conduction tunnel direct en Fowler-Nordheim dans l'empilement d'oxyde SiO₂/Al₂O₃. Cette configuration correspond aux dispositifs de références ne contenant pas de nanoparticules, soit la branche oxyde du modèle décrit précédemment en *Figure IV-13*.

En présence d'un empilement d'oxyde, la tension appliquée est la somme des tensions vue par chaque oxyde.

$$V = V_{SiO_2} + V_{Al_2O_3} = E_{SiO_2}d_{SiO_2} + E_{Al_2O_3}d_{Al_2O_3}$$

IV-9

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

On utilise la loi de la continuité de l'induction nous donnant l'égalité $E_{SiO_2}\epsilon_{SiO_2} = E_{Al_2O_3}\epsilon_{Al_2O_3}$ pour remonter aux champs électriques dans chaque oxyde. Ainsi on aura :

$$E_{SiO_2} = \frac{V}{\left(d_{Al_2O_3} + \frac{\epsilon_{Al_2O_3}}{\epsilon_{SiO_2}}d_{SiO_2}\right)} \frac{\epsilon_{Al_2O_3}}{\epsilon_{SiO_2}} \quad IV-10$$

et

$$E_{Al_2O_3} = \frac{V}{\left(d_{Al_2O_3} + \frac{\epsilon_{Al_2O_3}}{\epsilon_{SiO_2}}d_{SiO_2}\right)} \quad IV-11$$

On peut donc considérer la chute de potentiel de chaque barrière dans les simulations tunnel et Fowler-Nordheim. Seulement quatre voies de conduction, illustrées sur le diagramme de bande schématisé en Figure IV-16, sont possibles avec une telle structure selon Benabderrahmane [154] :

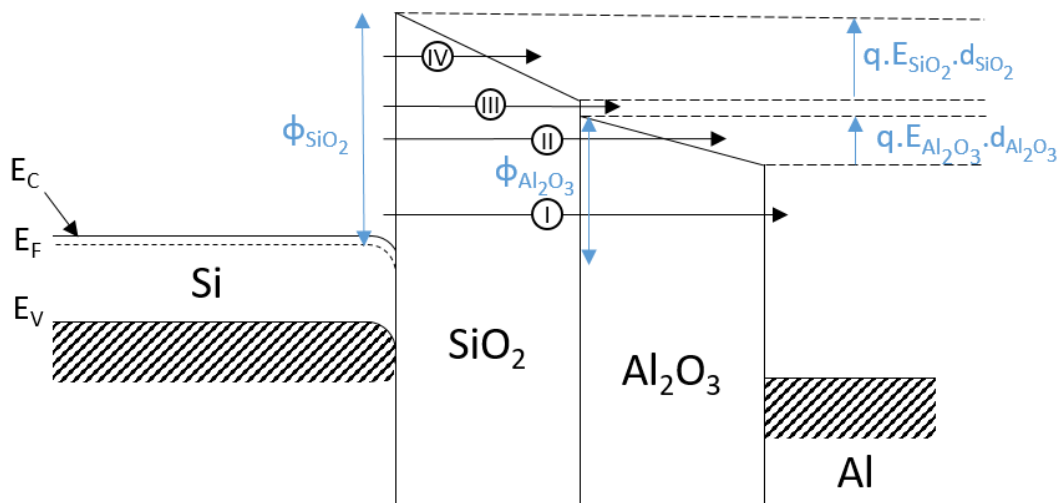


Figure IV-16 : Diagramme de bande schématisé d'une référence soumise à une tension positive sur l'électrode métallique. Les quatre types de conduction possibles sont représentés.

Ces quatre modes de conduction sont :

I – Une conduction tunnel dans l'empilement complet.

II – Une conduction tunnel dans l'oxyde de silicium suivi d'une conduction Fowler-Nordheim dans l'oxyde d'aluminium.

III – Une conduction tunnel à travers le SiO₂ à champ électrique relativement grand pour permettre d'abaisser la barrière de l'oxyde d'aluminium sans rendre celle de l'oxyde de silicium triangulaire.

IV - Une conduction FN à travers l'oxyde de SiO₂, uniquement possible à fort champ lorsque l'énergie de l'électron est supérieure à la barrière de l'oxyde d'aluminium.

Pour simuler chacun de ces modes de conduction, il suffit de reprendre l'équation générale du courant tunnel en modifiant la transparence en fonction du cas. Pour les cas I et II la transparence totale est le produit de la transparence de chaque oxyde $T_{tot} = T_1 \times T_2$. Pour la transparence du SiO₂ on reprend les équations IV-7 pour du tunnel direct et IV-8 pour du Fowler-Nordheim. Pour la transparence de l'Al₂O₃ les transparences deviennent :

$$T_{TD2}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{Al2O3}^*}}{3qhE_{Al2O3}} \left((\phi_B - X)^{\frac{3}{2}} - (\phi_B - qE_{Al2O3}d_{Al2O3} - X)^{\frac{3}{2}} \right) \right] \quad IV-12$$

$$T_{FN2}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{Al2O3}^*}}{3qhE_{Al2O3}} (\phi_B - X)^{\frac{3}{2}} \right] \quad IV-13$$

Pour les cas III et IV on retrouve les transparences dont les équations ont été présentées lors de l'étude à travers le SiO₂.

Grâce à ces équations, nous parvenons à simuler une grande partie de la réponse des échantillons de références.

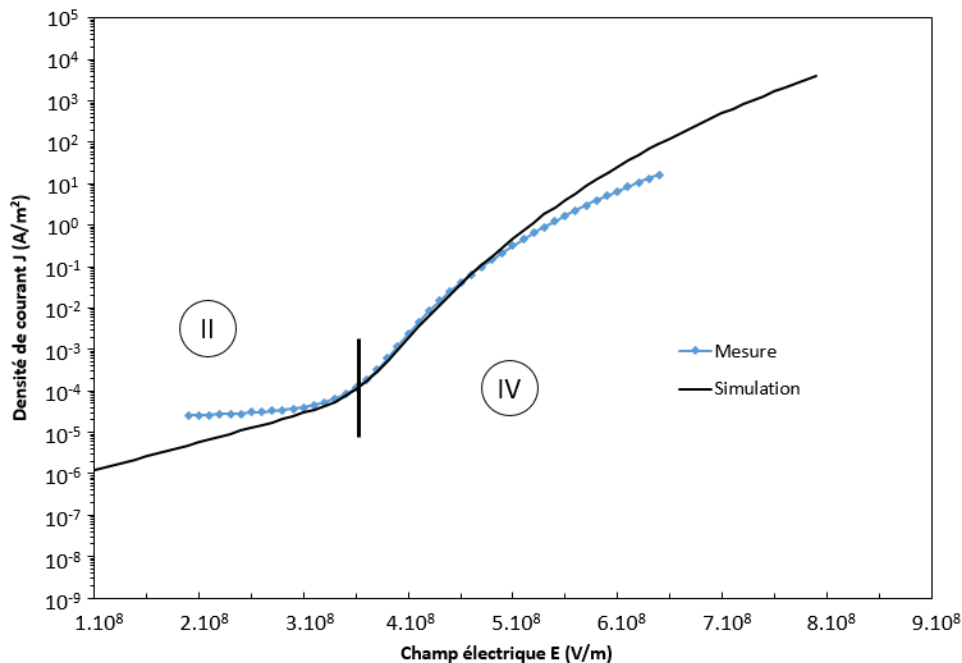


Figure IV-17 : Comparaison de la densité de courant en réponse à une rampe de tension pour une mesure (points de mesures) et une simulation (courbe continue) de la structure de référence.

Pour le tracé de cette simulation, nous avons utilisé comme paramètres des hauteurs de barrière $\phi_{0-SiO2} = 2,75$ eV et $\phi_{0-Al2O3} = 1,5$ eV ainsi que des masses effectives $m_{SiO2}^* = 0,5m_0$ et $m_{Al2O3}^* = 0,23m_0$. La faible valeur de barrière d'Al₂O₃ pourrait indiquer une interface non

idéale. Excepté cette valeur de barrière de l'oxyde d'aluminium, ces valeurs sont proches de celles attendues et observées dans la littérature [154].

La Figure IV-17 montre la comparaison de la mesure et de la simulation de la structure avec ces quatre conductions. Les courbes mesurées et simulées sont superposables sur une grande portion de la mesure. Pour obtenir la courbe simulée, nous avons additionné les quatre conductions possibles qui interviennent à des champs électriques différents. On n'observe pas de conduction tunnel dans toute l'épaisseur de l'oxyde (conduction I), car son amplitude est trop faible pour être mesurée. De même nous observons une conduction tunnel uniquement dans le SiO₂ négligeable (cas III). À bas champ électrique, il semble que la conduction soit assurée par un courant tunnel à travers l'oxyde de silicium et un courant FN à travers l'oxyde d'aluminium. À partir de 3,6 GV/m c'est une conduction Fowler-Nordheim uniquement à travers l'oxyde de silicium qui intervient. Comme pour la précédente mesure, la différence à faible champ est probablement due aux incertitudes de mesure pour des courants de faible intensité.

- Test du modèle sur la structure mémoire réelle

Cette partie considère la mémoire réelle contenant des nanoparticules sur 3,4% de sa surface. On considèrera les résultats de la précédente étude sur les références comme étant le comportement des 96,6% de la surface restante en considérant qu'elle n'est pas affectée par la présence des nanoparticules.

Comme dans la référence, il y a une prise en compte de la chute de tension dans les nanoparticules considérées comme dégénérées dans ce cas. On a donc les champs électriques suivants :

$$E_{Al2O3} = \frac{V}{\left(d_{Al2O3} + \frac{\epsilon_{Al2O3}}{\epsilon_{SiO2}} d_{SiO2} + \frac{\epsilon_{Al2O3}}{\epsilon_{In2O3}} d_{In2O3}\right)} \quad IV-14$$

$$E_{SiO2} = \frac{V}{\left(d_{Al2O3} + \frac{\epsilon_{Al2O3}}{\epsilon_{SiO2}} d_{SiO2} + \frac{\epsilon_{Al2O3}}{\epsilon_{In2O3}} d_{In2O3}\right)} \frac{\epsilon_{Al2O3}}{\epsilon_{SiO2}} \quad IV-15$$

$$E_{In2O3} = \frac{V}{\left(d_{Al2O3} + \frac{\epsilon_{Al2O3}}{\epsilon_{SiO2}} d_{SiO2} + \frac{\epsilon_{Al2O3}}{\epsilon_{In2O3}} d_{In2O3}\right)} \frac{\epsilon_{Al2O3}}{\epsilon_{SiO2}} \quad IV-16$$

On considère désormais le diagramme de bande avec l'oxyde d'indium séparant les deux oxydes comme l'illustre la Figure IV-18.

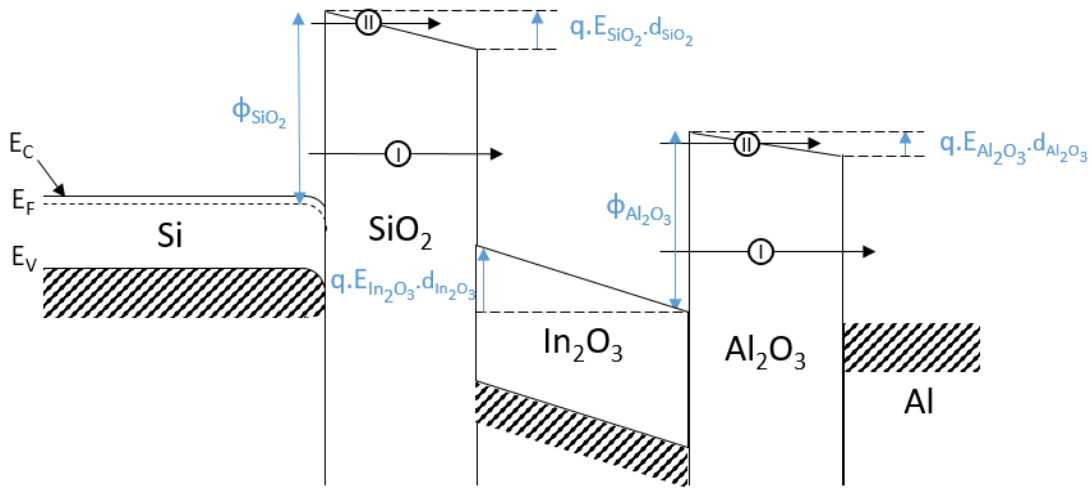


Figure IV-18 : Diagramme de bande de la structure mémoire soumise à une tension positive sur l'électrode métallique.

Six cas de conduction sont possibles. Chacun des oxydes peut être traversé soit par un courant tunnel direct (TD) soit assisté de type Fowler-Nordheim (FN). En considérant que l'électron voit d'abord le SiO₂ puis l'Al₂O₃, on relève les cas : TD1*TD2 ; TD1*FN2 ; FN1*TD2 ; FN1*FN2. Les deux derniers cas sont ceux déjà étudiés dans la référence à très fort champ électrique lorsque les électrons traversent le SiO₂ par TD ou FN et passe au-dessus de la barrière de l'Al₂O₃.

La transparence totale prendra cette fois en compte la nanoparticule. Pour les équations de transparences tunnel direct ou Fowler-Nordheim, celles-ci sont les mêmes que dans l'étude du SiO₂ soit respectivement les équations IV-7 et IV-8. Les nouvelles transparences tunnel direct et FN prenant en compte la particule sont :

$$T_{TD2}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{Al2O3}^*}}{3qhE_{Al2O3}} \left((\phi_B - X)^{\frac{3}{2}} - (\phi_B - qE_{Al2O3}d_{Al2O3} - qE_{In2O3}d_{In2O3} - X)^{\frac{3}{2}} \right) \right] \quad IV-17$$

$$T_{FN2}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{Al2O3}^*}}{3qhE_{Al2O3}} (\phi_B - qE_{In2O3}d_{In2O3} - X)^{\frac{3}{2}} \right] \quad IV-18$$

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

Ces six modes de conductions possibles passent tous par des nanoparticules soit $\alpha = 3,4 \%$ de la surface d'injection. Le reste de la mémoire se comporte comme une référence. On simule donc une densité de courant totale $J_{\text{tot}} = \alpha J_{\text{Np}} + (1-\alpha)J_{\text{ref}}$.

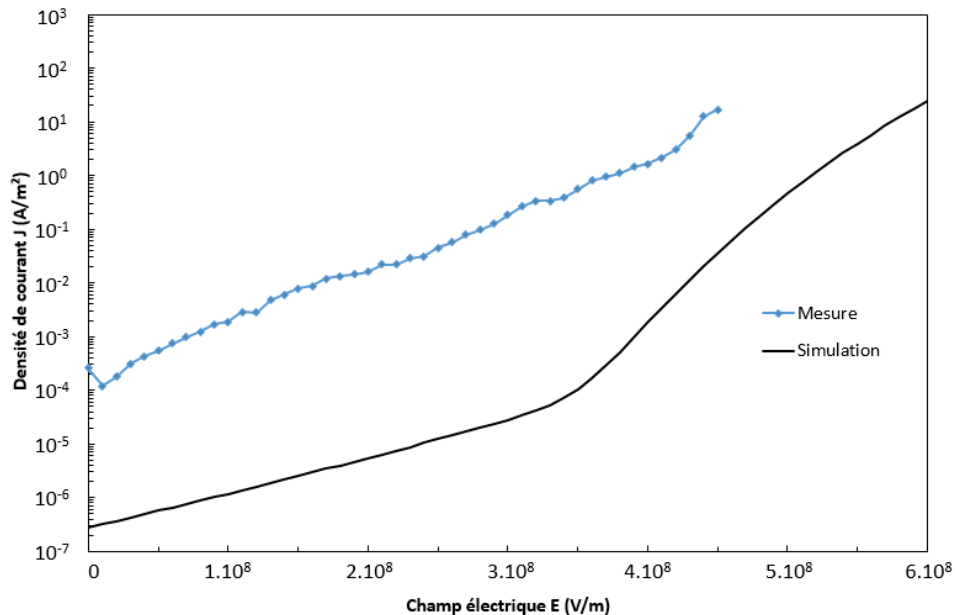


Figure IV-19 : Comparaison de la densité de courant en réponse à une rampe de tension mesurée et simulée à l'aide du modèle.

La simulation illustrée a pour paramètres : $\phi_{0-\text{SiO}_2} = 2,75 \text{ eV}$ et $\phi_{0-\text{Al}_2\text{O}_3} = 1,5 \text{ eV}$ ainsi que des masses effectives $m_{\text{SiO}_2}^* = 0,5m_0$ et $m_{\text{Al}_2\text{O}_3}^* = 0,23m_0$.

Une nette différence entre le courant simulé et le courant mesuré est observable Figure IV-19. Une variation des paramètres de la simulation a été effectuée sans succès pour prendre en compte une éventuelle modification des interfaces liées au dépôt de nanoparticules. Le modèle se révèle incapable de prédire les densités de courant mesurées dans les mémoires contenant des nanoparticules. Il semblerait que le mode de conduction permettant une si forte densité de courant ne soit pas une combinaison de courant tunnel direct et Fowler-Nordheim.

IV. 5. 3) Conclusion partielle

Une tentative de modélisation prometteuse a été mise en place pour prédire le comportement de la mémoire en considérant des conductions de type tunnel ou Fowler-Nordheim. Si le modèle semble bien simuler le comportement capacitif de la mémoire à l'état HRS ainsi que la composante de courant dans les références, il ne parvient pas à simuler correctement la conduction à travers les structures contenant les nanoparticules. Cette observation pourrait indiquer que le modèle n'est pas adapté à la structure MI:Nps In_2O_3 :IM réelle ou que la conduction n'est pas un phénomène de conduction tunnel ou Fowler-Nordheim comme observé dans la littérature[13][14][154]. Une approche expérimentale est donc mise en place au prochain paragraphe pour déterminer le mode de conduction le plus probable.

IV. 6. Détermination expérimentale du type de conduction dans les échantillons

Nous avons décrit 9 types de conduction habituellement observés dans la littérature dans des structures MIM ou MIS. Certaines de ces conductions sont fortement dépendantes de la température. La première étape de discrimination des types de conductions consiste donc à réaliser une étude de la réponse en courant d'un dispositif à une rampe de tension à différentes températures afin d'observer d'éventuels impacts de celle-ci sur la réponse électrique du dispositif.

Le tracé des caractéristiques adéquates tels qu'indiqués dans le Tableau 0-1 en annexe nous permet ensuite d'éliminer certains types de conduction aberrants.

Enfin une extraction des paramètres à partir des types de conductions restants sera la dernière étape pour éliminer les courants dont les paramètres extraits ne sont pas réalistes.

IV. 6. 1) Étude de la conduction en HRS

Une étude en température a été réalisée sur le lot 71 dans une station cryogénique. La station sous pointe permet de contacter jusqu'à 4 pointes sur un échantillon maintenu sous vide et refroidit à l'azote liquide. Nous avons choisi de réaliser l'étude avec des

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

températures allant de 100 K à 300 K par palier de 50 K. Le protocole de mesure utilisé est le même que pour les études de réponse de courant en fonction de la tension déjà présentée. Pour rappel, le protocole consiste à une mise à la masse de l'électrode inférieure et à l'application d'une rampe de tension sur l'électrode supérieure. Les dispositifs étant en état HRS à l'état pristine, ils subissent tout d'abord une rampe de tension minimum jusqu'à V_{\min} avec une compliance $I_{C\min}$. Si aucune commutation n'est observée, on augmente la tension maximum appliquée jusqu'à en obtenir une. Si de nouveau aucune commutation n'est observée et que la compliance est atteinte, on augmentera la compliance avant de reprendre l'augmentation de la valeur maximale de la rampe de tension appliquée. Le même protocole est utilisé pour la commutation inverse à l'exception qu'aucune compliance n'est appliquée en polarisation inverse.

Il est représenté sur la Figure IV-20 la réponse en courant à une rampe de tension de 20 dispositifs provenant du lot 71 à raison de 4 par température. Chaque courbe représente la réponse d'un dispositif différent à une rampe de tension. La couleur de la courbe correspond à la température de mesure.

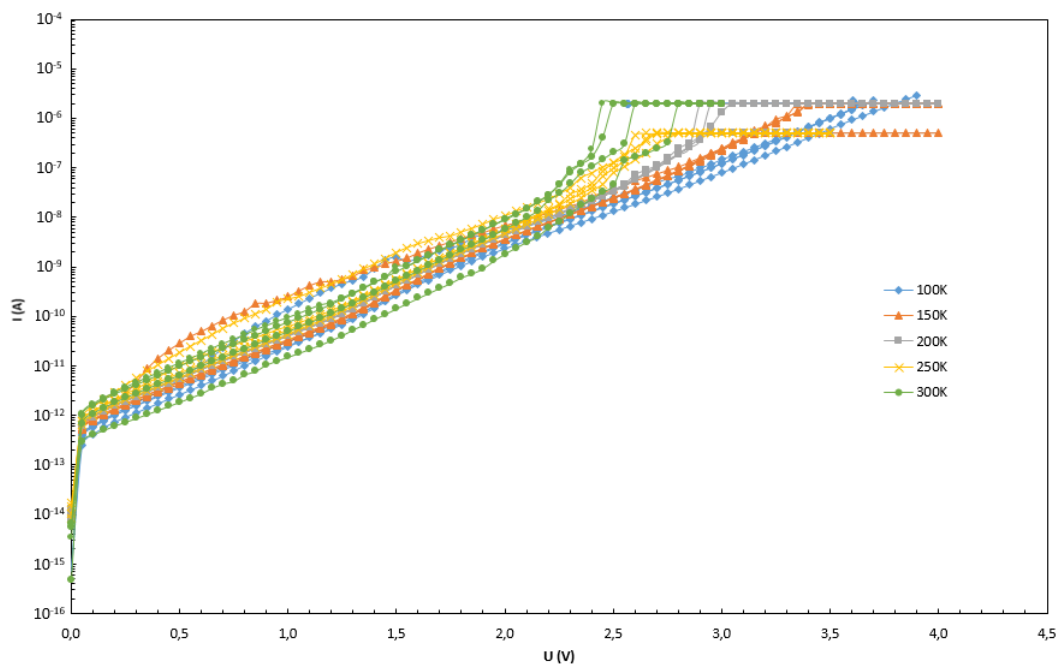


Figure IV-20 : Caractéristique courant en fonction de la tension de dispositifs du lot 71 à différentes températures allant de 100K à 300K par palier de 50K. Pour chaque température, au moins 4 dispositifs sont représentés.

On observe que les courbes sont presque toutes superposables, quel que soit la température de mesure, de 0V jusqu'à 2.3 V. Ceci indique une absence de l'influence de la température sur le type de conduction à l'état HRS avant l'atteinte de la tension de commutation V_{SET} . Cette observation rend peu probables les conductions fortement dépendantes de la température telles que l'émission Schottky, le hopping, la conduction Poole Frenkel, ionique ou ohmique. Le tracé des caractéristiques de chacune de ces conductions confirme cette hypothèse puisqu'elles sont également superposables ce qui

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

amène à une variation non réaliste des paramètres dépendants de la température extraits des régressions linéaires. Par exemple l'extraction de la constante du diélectrique dans le cas d'une conduction Schottky varierait de $\epsilon_{100K} = 23,8$ à $\epsilon_{300K} = 2,6$ soit environ d'un facteur 10.

Ces mesures ont été réalisées intentionnellement à des compliances très faibles pour protéger les échantillons d'un claquage du diélectrique lors de la commutation, c'est pourquoi l'étape de SET n'est pas visible sur chaque courbe. Cependant, une mesure de la résistance du dispositif avant et après cette rampe de tension nous confirme qu'il y a bien eu une commutation résistive vers les basses résistances. Il est très clair que la température de mesure influe sur la tension V_{SET} . Plus la température est basse, plus la tension V_{SET} est élevée. On relève des valeurs de $V_{SET100K} = 3.7V$, $V_{SET150K} = 3.4V$, $V_{SET200K} = 2.9V$, $V_{SET250K} = 2.7V$ et $V_{SET300K} = 2.5V$. Ceci indique que même si le type de conduction en état HRS est indépendant de la température, le mécanisme de commutation résistive de HRS vers LRS est, lui, influencé par la température.

La Figure IV-21 montre les courbes caractéristiques tirées de la réponse en courant à une rampe de tension d'un dispositif représentatif à chaque température. Les trois modes de conceptions les plus probables sont ceux indépendants de la température à savoir le courant Fowler Nordheim, le TAT et le SCLC. Les paramètres extraits de chacune de ces courbes sont rassemblés dans le tableau e) de la Figure IV-21.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

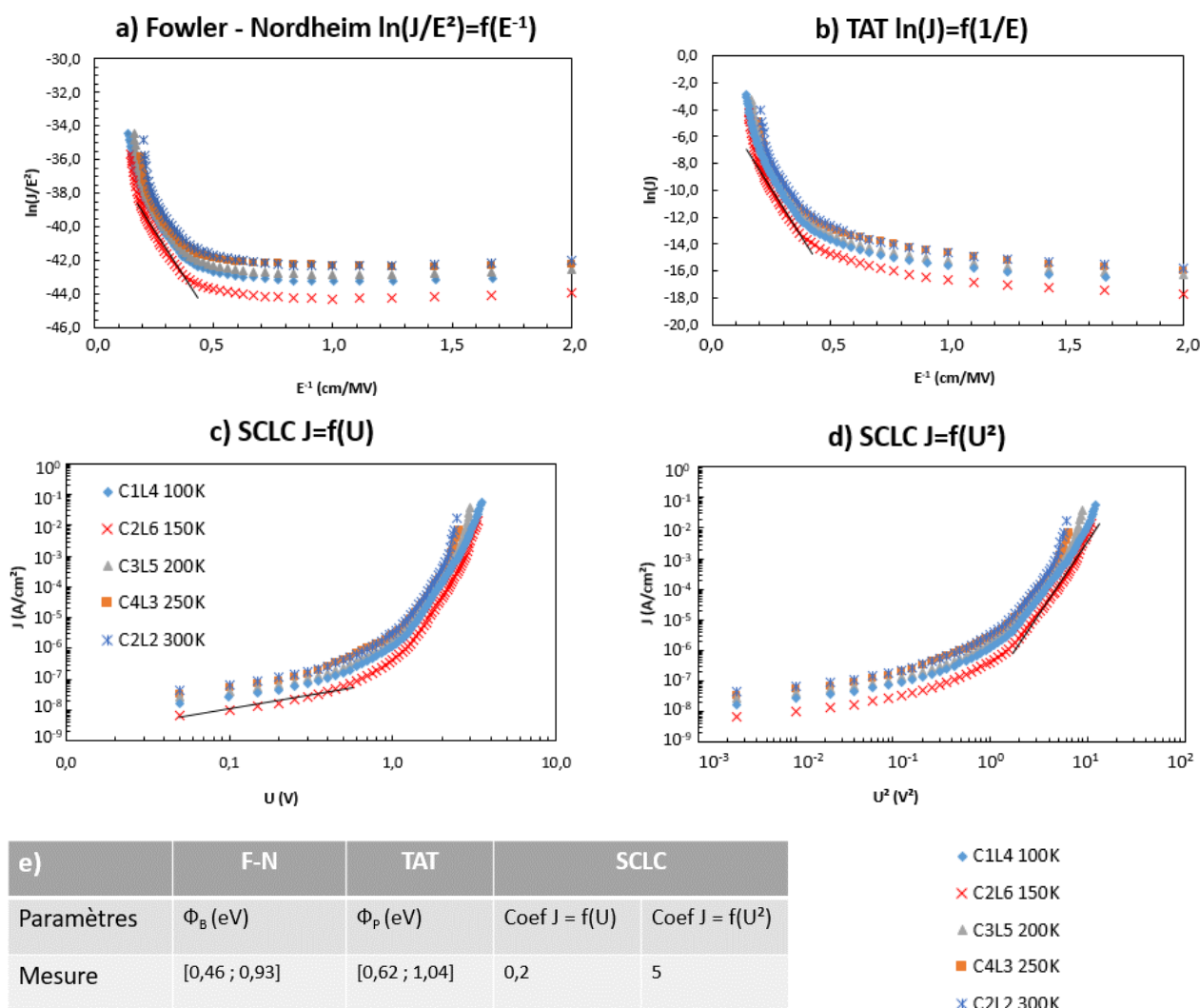


Figure IV-21 : Caractéristiques de différents modes de conduction à l'état HRS pour 5 dispositifs différents de l'échantillon 71 du lot C chacun à une température propre. Les courbes représentées en nuage de point sont les modes de conduction indépendants de la température et quand cela est possible une droite de régression linéaire est tracée en noir sur la partie la plus probable de la caractéristique : a) Fowler-Nordheim ; b) Trap Assisted Tunnel ; c) et d) SCLC. Le tableau e) compile les valeurs extraites de ces droites de régression linéaire des caractéristiques.

Les caractéristiques des conduction de type Fowler Nordheim et TAT ont été étudiées à fort champ électrique, là où les deux phénomènes sont les plus probables. L'extraction des paramètres du courant Fowler Nordheim des différentes courbes indique une hauteur de barrière Φ_B comprise entre 0,46 eV et 0,93 eV. Cette valeur semble fortement sous-estimer la hauteur de barrière théorique Si/SiO₂ qui est de l'ordre de 3,15 eV. Les valeurs de hauteur de barrière de piège d'une conduction TAT sont en revanche plus probables. À partir des différentes caractéristiques, celles-ci sont estimées entre 0,62 eV et 1,04 eV qui sont des valeurs inférieures à la hauteur de barrière et donc théoriquement possible.

Les caractéristiques $J = f(U)$ et $J = f(U^2)$ permettent d'observer une influence exponentielle de la tension appliquée sur la réponse en courant. Cette influence élimine une

éventuelle conduction SCLC ainsi qu'ohmique puisque celles-ci montreraient une densité de courant linéaire par rapport à la tension appliquée.

À partir de ces observations, nous pouvons proposer que le type de conduction à l'état HRS est probablement un courant tunnel assisté par pièges.

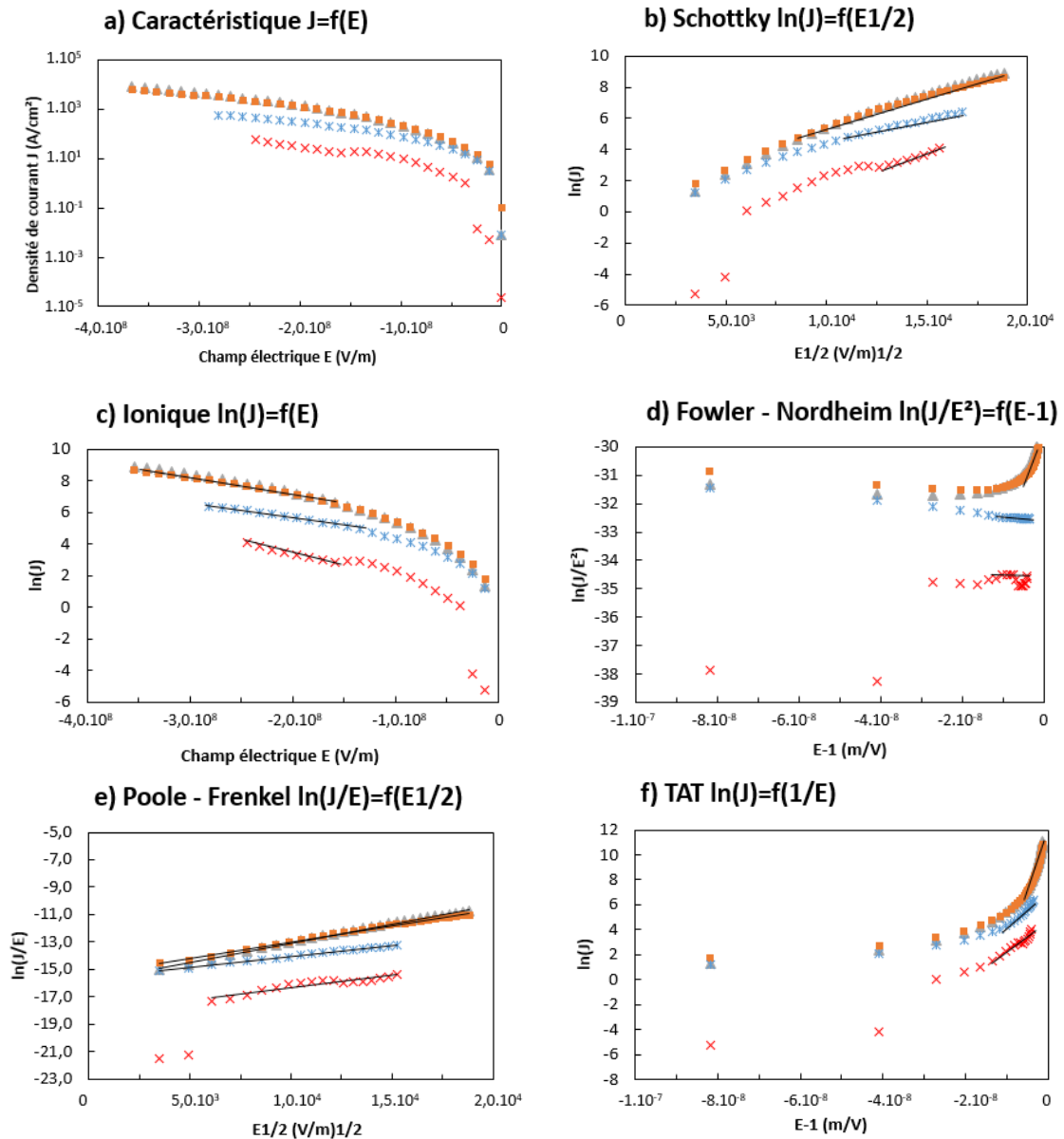
IV. 6. 2) Étude de la conduction en LRS

En considérant une approche filamentaire, l'état LRS est donc caractérisé par une diminution localisée de l'épaisseur du diélectrique lié à la présence d'un chemin conducteur. Il convient donc de prendre en considération une diminution de l'épaisseur du diélectrique et de la surface d'échange. Comme la diminution de l'épaisseur de diélectrique n'est pas connue, l'étude des caractéristiques des différents modes de conduction a été réalisée avec différentes épaisseurs possibles comprises entre 1nm et 5 nm. Il n'est également pas possible de connaître la surface du filament à son extrémité. Les densités de courant utilisées dans le tracé des caractéristiques des modes de conduction ont été calculées avec la surface totale de l'électrode des dispositifs de l'échantillon 71. Ces valeurs sont donc très probablement fortement sous-estimées ce qui pose problème pour l'extraction des paramètres à partir de l'ordonnée à l'origine des caractéristiques. Ces paramètres en question, la hauteur de barrière ϕ_B dans une conduction Schottky et le ratio des masses effectives des électrons R_m de la conduction Fowler-Nordheim, ne seront donc pas considérés pour cette étude. Les autres paramètres étant extraits du coefficient directeur des caractéristiques, l'étude semble rester pertinente.

Pour cette étude, comme le niveau de courant à l'état LRS dépend de la compliance lors de la commutation de HRS vers LRS et que celui-ci n'est pas totalement maîtrisé, il n'est pas possible de comparer les réponses des dispositifs à partir de leur caractéristique de densité de courant en fonction du champ électrique appliqué. Toutes les conductions probables ont été tracées et les paramètres utiles extraits puis synthétisés dans la Figure IV-22.

Les caractéristiques et les paramètres extraits associés de la Figure IV-22 sont issus des calculs considérant une épaisseur des diélectriques de 2,5 nm. C'est à ces épaisseurs que les paramètres extraits sont les plus réalistes. Pour information, l'étude s'est portée sur l'extraction des paramètres en considérant des épaisseurs d'oxyde de 1nm, 2nm, 2,5nm, 3nm, 4nm et 5nm.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium



g)		Poole-Frenkel	Schottky		Ionique	Fowler-Nordheim	TAT	
T° (K)	Dispositif	ϵ_r	ϕ_B (eV)	ϵ_r	d (m)	ϕ_B (eV)	ϕ_T (eV)	
150	C2L9	3,5	-0,28	56,8	$1,9 \cdot 10^{-10}$	0,15	0,22	× C2L9 150K
200	C3L5	4,1	-0,36	67,8	$7,6 \cdot 10^{-11}$	0,17	0,43	▲ C3L5 200K
250	C4L3	3,7	-0,46	43,1	$7,6 \cdot 10^{-11}$	0,17	0,43	■ C4L3 250K
300	C2L3	3,8	-0,59	30,4	$1,2 \cdot 10^{-10}$	0,01	0,19	× C2L3 300K

Figure IV-22 : Caractéristiques des modes de conduction à l'état LRS de 4 dispositifs typiques pour 4 températures différentes. Les courbes représentées en nuage de point sont les caractéristiques des modes de conduction calculées à partir de la mesure de la réponse I(V) des dispositifs. Quand cela est possible une droite de régression linéaire est tracée en noir sur la partie la plus probable de la caractéristique : a) SCLC ; b) Schottky ; c) Ionique ; d) Fowler-Nordheim ; e) Poole Frenkel et f) Trap Assisted Tunnel. Le tableau g) synthétise les valeurs extraites de ces droites de régression linéaire des caractéristiques pour une épaisseur d'oxyde de 2,5 nm.

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

Les conductions ohmiques et de type SCLC sont très peu probables, car on observe encore une évolution exponentielle de la densité de courant avec le champ électrique comme on peut le voir sur la Figure IV-22 a). De plus, la conduction à l'état LRS n'étant pas de type ohmique, une commutation d'origine filamentaire métallique nous paraît moins plausible.

La conduction de type Poole-Frenkel est possible, car les valeurs de permittivités diélectriques extraites comprises entre 3,5 et 4,1 sont plausibles et proches de la mesure de la permittivité diélectrique de l'oxyde de silicium qui est en théorie de 3,9. En considérant que les seuls paramètres non aberrants sont extraits en considérant des épaisseurs de 2,5 nm, cela indiquerait que l'oxyde d'aluminium est en court-circuit. C'est un signe de plus pointant vers une formation de filament au sein de l'oxyde d'aluminium au cours de la commutation de HRS vers LRS. Ainsi le seul oxyde vu par les électrons serait un oxyde de silicium contenant suffisamment de pièges pour permettre le passage du courant par piégeage de charges.

La conduction Schottky est fortement improbable avec des valeurs de permittivités diélectriques non réalistes et variant fortement avec la température.

De même la conduction ionique et le hopping sont peu probables, car les valeurs extraites des distances entre les pièges seraient inférieures à l'angström.

La conduction Fowler-Nordheim avait été envisagée du fait de la réduction de l'épaisseur de l'oxyde. Nous avons échoué à simuler ces courants en utilisant notre modèle et ces mesures viennent confirmer notre hypothèse. Ni l'allure des caractéristiques ni les valeurs extraites de la hauteur de barrière ϕ_B ne sont convaincantes.

Une conduction de type TAT est plausible mais uniquement à fort champ électrique. Les valeurs extraites des hauteurs de barrières des pièges sont physiquement possibles étant comprises entre 0,19 eV et 0,43 eV.

En conclusion la conduction en état LRS pourrait être une conduction du type Poole Frenkel avec une composante TAT à plus fort champ électrique. La conduction de type Poole Frenkel a déjà été étudiée dans la littérature à travers des dispositifs mémoires à base d'oxyde de silicium tel que dans les travaux de Sire [147]. C'est également le courant dominant dans les structures mémoires de Tsai et al. contenant des inclusions de nickel [63]. Cependant pour confirmer ces observations, il faudrait mener une étude supplémentaire en température avec des dispositifs dont la commutation de HRS vers LRS a été effectuée avec un bon contrôle du courant de compliance. De cette manière les états LRS de tous les échantillons seraient identiques rendant possible la comparaison des allures des caractéristiques $J = f(E)$ à différentes températures.

IV. 7. Conclusion

Nous avons étudié différents échantillons au cours de ce chapitre. Il est intéressant de montrer le fonctionnement de mémoires résistives avec des matériaux très classiques de la microélectronique tels que le SiO_2 ou l' Al_2O_3 en y intégrant des nanoparticules d'oxyde d'indium. Nous avons cherché à déterminer l'impact des différents paramètres matériaux sur les mémoires. Les références ne contenant pas de nanoparticules d'oxyde d'indium ne montrent pas de commutation résistive ce qui indique un rôle primordial de ces dernières dans le phénomène de commutation observé.

La commutation résistive observée est bipolaire et les mémoires ne nécessitent pas d'étape d'initialisation appelée électroformage et la mémoire retrouve son état initial après chaque cycle de commutation complet. Plusieurs observations nous poussent à croire que l'origine de la commutation résistive pourrait être filamentaire dont chaque commutation de HRS vers LRS serait un nouveau claquage réversible de l'oxyde. En effet, une étude de rétention de charge montre un stockage de porteurs trop faible pour expliquer un phénomène de commutation. De plus l'état résistif LRS est directement lié à la limitation en courant lors de la commutation de HRS vers LRS. C'est lors de cette étape que le filament serait formé et qui définirait l'épaisseur de celui-ci. Le contrôle de la commutation de HRS vers LRS est par ailleurs à améliorer dans le cas des mémoires étudiées, car il est à l'origine de défaillances. L'ajout d'une résistance série lors de l'application de tension permet de limiter la dégradation du dispositif lors de l'étape de SET. L'idée de mesures avec une structure 1T1R est envisagée pour améliorer encore le contrôle du courant dans le dispositif.

L'épaisseur d'oxyde va avoir une influence aussi bien sur le type de conduction que sur les tensions V_{SET} et V_{RESET} dans les mémoires. Les champs électriques nécessaires aux commutations résistives directes et inverses étant similaires aux épaisseurs testées, le choix des épaisseurs les plus faibles s'impose afin de permettre l'utilisation de tensions de fonctionnement les plus faibles possible. Un choix judicieux d'électrode permet également de réduire les tensions de fonctionnement. L'introduction d'une électrode avec une plus grande affinité avec l'oxygène comme l'aluminium, ou d'une électrode diffusant dans l'oxyde comme le titane permet de diminuer les tensions de fonctionnement des mémoires étudiées.

La dimension des mémoires testées est relativement importante à ce stade d'évaluation de l'influence des paramètres matériaux. La réduction de la dimension des dispositifs devrait permettre de réduire la dispersion des réponses électriques en limitant les phénomènes stochastiques. Cependant, nous avons observé que chaque commutation de HRS vers LRS était comparable à un claquage diélectrique réversible. La réduction des dimensions des mémoires résulterait donc en une augmentation des tensions nécessaire

Chapitre 4 : Etude électrique des cellules mémoires à nanoparticules d'oxyde d'indium

pour aboutir à une commutation de HRS vers LRS liée à la diminution du nombre de sites initiateur de la commutation.

Une modélisation de la structure est proposée pour extraire les paramètres électriques de la structure et pour tenter de simuler les courants de conduction d'origine tunnel direct ou Fowler-Nordheim qui sont observés dans des structures similaires de la littérature. Le modèle décrit les références de manière convaincante mais échoue à prédire le courant dans les mémoires avec nanoparticules indiquant un mode de conduction autre que tunnel direct ou Fowler-Nordheim. Nous avons montré par une seconde approche expérimentale que les modes de conceptions majoritaires étaient probablement des conceptions tunnel assistées par pièges à l'état de haute résistance HRS et Poole-Frenkel à travers le SiO_2 à l'état de basse résistance LRS.

Au niveau des performances, les mémoires étudiées dans ce chapitre disposent d'ores et déjà d'avantages intéressants pour des dispositifs conçus pour une étude axée sur l'étude de matériaux tel que l'oxyde d'indium. Les dispositifs étudiés peuvent cycliser jusqu'à plusieurs dizaines de fois avant un claquage définitif. C'est une endurance très encourageante à ce niveau de l'étude. Une diminution de la dimension, un meilleur contrôle de la programmation et la passivation de la structure sont autant d'éléments qui permettront d'améliorer drastiquement l'endurance de ces mémoires. On note également une différenciation des états résistifs très aisée avec des rapports $I_{\text{ON}}/I_{\text{OFF}}$ moyens de 10^6 .

Synthèse générale

L'objectif de ce projet de thèse était d'imaginer, de concevoir et de caractériser électriquement une mémoire résistive intégrant des nanoparticules d'oxyde d'indium au sein de son oxyde. L'introduction de nanoparticules a pour but d'améliorer les performances des mémoires résistives comme les mémoires OxRRAM, notamment leur reproductibilité. Nous souhaitons de plus montrer que cette approche pouvait aisément être transférée vers l'industrie en proposant une technique de fabrication entièrement compatible CMOS BEOL.

Pour mener à bien ce projet nous avons imaginé puis développé un procédé de fabrication en utilisant uniquement des techniques reconnues et utilisées dans l'industrie de la microélectronique. Nos dispositifs sont constitués d'un empilement Métal/ Al_2O_3 /Nps: $\text{In}_2\text{O}_3/\text{SiO}_2/\text{Si n+}$. Dans notre étude, l'utilisation de substrat de silicium a été imposée par les impératifs de contaminations des outils utilisés même si le protocole peut aisément être adapté à tout type de substrat. L'oxyde de silicium est cru thermiquement et les nanoparticules sont déposées directement dessus par MOCVD. Une encapsulation des Nps est réalisée par dépôt ALD d'oxyde d'aluminium. Cette technique de dépôt a permis un dépôt conforme de l'oxyde même à faible épaisseur d'oxyde déposé. Enfin l'électrode top est déposée par évaporation sous vide. Plusieurs métaux, déposés par évaporation, ont été utilisés au cours de ce projet pour évaluer leur impact sur les performances électriques : chrome, aluminium, titane.

Nous avons montré la possibilité de déposer des nanoparticules d'oxyde d'indium par MOCVD avec une excellente homogénéité sur substrat 300mm. Il est possible de contrôler à la fois la taille et la densité des nanoparticules grâce au développement d'une technique de dépôt par étape dissociant la nucléation et la croissance des particules. Ces nanoparticules présentent des propriétés électriques très particulières. Dans notre cas, avec des dimensions de 4 nm en moyenne, ce sont les effets de surfaces des nanoparticules qui sont prépondérants. Cet oxyde est un semi-conducteur naturellement dégénéré en surface où est observée une accumulation d'électron liée à des lacunes d'oxygènes. On le considère donc comme métallique avec un travail de sortie de minimum 4 eV.

Les mémoires ainsi créées ont un comportement de commutation résistive bipolaire. Elles présentent l'avantage de ne pas nécessiter d'étape d'électroformage. L'impact de plusieurs paramètres matériaux sur leur comportement électrique a été étudié. Nous avons prouvé que la commutation résistive était liée à la présence des nanoparticules, car aucune commutation n'a été observée dans les références. L'augmentation de l'épaisseur des oxydes résulte dans une consommation d'énergie accrue sans amélioration de la reproductibilité des mémoires. Au contraire, une réduction de la dimension des mémoires

Synthèse générale

permet d'obtenir une meilleure reproductibilité de celles-ci. Cependant ce gain de reproductibilité se fait au détriment des tensions de commutations qui, elles, augmentent lorsque les dimensions de la cellule diminuent. La nature de l'électrode aura également une influence sur les tensions de commutation. Nous avons également observé que la réponse des mémoires caractérisées dépend fortement du protocole de mesure utilisé. Le contrôle du courant passant au sein de la mémoire est primordial pour éviter toutes défaillances prématurées. Nous avons observé une réponse prometteuse en mode pulsé avec jusqu'à 34 commutations avant défaillance pour des pulses de 500ns en polarisation positive et 500µs en polarisation inverse avec un fort ratio I_{ON}/I_{OFF} moyen de 10^6 .

Le choix des matériaux a été effectué pour assurer la compatibilité CMOS BEOL mais également pour pouvoir autoriser en théorie tous les types de commutations décrits dans la littérature dans des mémoires résistives intégrant des nanoparticules : le piégeage de charges, le contrôle des courants au sein de l'isolant ou l'ancrage de filaments. L'absence de piégeage de charge et l'observation de conductions de courants assistées par pièges quel que soit l'état résistif de la mémoire pointent un mode de conduction plutôt filamentaire. En effet il semblerait que le courant à l'état HRS soit de type tunnel assisté par pièges à travers toute l'épaisseur d'oxyde alors que le courant à l'état LRS semble être un courant de type Poole Frenkel à travers un oxyde réduit, la moitié de l'épaisseur totale dans notre cas. La commutation filamentaire semble être favorisée par un courant bien plus important au sein de la structure mémoire liée à la présence de nanoparticules d'oxyde d'indium.

Cette étude montre que l'introduction de nanoparticules au sein d'une structure MIM pourrait être une solution potentielle pour améliorer la reproductibilité des mémoires OxRRAM. Pour aller plus loin, il serait intéressant d'appliquer le protocole de fabrication développé pour atteindre des tailles de mémoires beaucoup plus agressives. Grâce au procédé détaillé, il nous semble possible d'atteindre des dimensions de l'ordre du micromètre avec une lithographie UV et 50 nm en utilisant la lithographie électronique. L'introduction de cette structure directement sur puce CMOS pourrait être extrêmement intéressante pour deux raisons : apporter la preuve définitive de la compatibilité du procédé sur puce réelle et la connexion des mémoires à des transistors pour assurer un contrôle optimal des courants pendant l'étape de SET.

Références bibliographiques

- [1] H. Iwai, "Future of nano CMOS technology," *Solid. State. Electron.*, vol. 112, pp. 56–67, 2015.
- [2] S. Souiki-figuigui, "Étude de la fiabilité de mémoires PCRAM : analyse et optimisation de la stabilité des états programmés," Université Grenoble Alpes, 2015.
- [3] M. Yu *et al.*, "Novel Vertical 3D Structure of TaO_x - based RRAM with Self-localized Switching Region by Sidewall Electrode Oxidation," *Nat. Publ. Gr.*, no. November 2015, pp. 1–10, 2016.
- [4] P. C. Lacaze, *Mémoires électroniques : concepts, matériaux, dispositifs et technologies*. ISTE Editions, 2014.
- [5] S. Natarajan and S. Chung, "Searching for the dream embedded memory," *IEEE SOLID-STATE CIRCUITS Mag.*, vol. 09, no. 1943–0582, pp. 34–44, 2009.
- [6] M. H. Kryder and C. S. Kim, "After Hard Drives — What Comes Next?," *IEEE Trans. Magn.*, vol. 45, no. 10, pp. 3406–3413, 2009.
- [7] K. Ishimaru, "Non-Volatile Memory Technology for Data Age," *2018 14th IEEE Int. Conf. Solid-State Integr. Circuit Technol. ICSICT 2018 - Proc.*, pp. 1–4, 2018.
- [8] ITRS, "International Technology Roadmap for Semiconductors, Edition 2015, More Moore," *Int. Technol. ROADMAP Semicond.*, 2015.
- [9] SAMSUNG, "Samsung Launches Highest-capacity Mobile DRAM to Accommodate Next-generation Smartphones – Samsung Global Newsroom," 02/2019. [Online]. Available: <https://news.samsung.com/global/samsung-launches-highest-capacity-mobile-dram-to-accommodate-next-generation-smartphones>. [Accessed: 06-Jun-2019].
- [10] Intel, "Unité de stockage SSD Intel® série 660p (512 Go, PCIe* 3.0 x4 M.2 80 mm, 3D2, QLC) 149405," 2018. [Online]. Available: <https://www.intel.fr/content/www/fr/fr/products/memory-storage/solid-state-drives/consumer-ssds/6-series/ssd-660p-series/660p-series-512-gb-m-2-80mm-3d2.html?wapkw=qlc+flash>. [Accessed: 03-Jun-2019].
- [11] SAMSUNG, "KLUGGAR1FA-B2C1 - Samsung Semiconductor Global website," 2019. [Online]. Available: <https://www.samsung.com/semiconductor/estorage/eufs/KLUGGAR1FA-B2C1/>. [Accessed: 03-Jun-2019].
- [12] J. S. Meena, S. M. Sze, U. Chand, and T. Y. Tseng, "Overview of emerging nonvolatile memory technologies," *Nanoscale Res. Lett.*, vol. 9, no. 1, pp. 1–33, 2014.
- [13] H. Ishiwara, "Ferroelectric Random Access Memories," *J. Nanosci. Nanotechnol.*, vol. 12, no. 10, pp. 7619–7627, 2012.

Bibliographie

- [14] ITRS, “International Technology Roadmap for Semiconductors, Edition 2015, Beyond C-MOS,” *Int. Technol. ROADMAP Semicond.*, 2015.
- [15] G. Palma, “Nouvelles Architectures Hybrides: Logique / Mémoires Non-Volatiles et technologies associées,” Université de Grenoble, 2014.
- [16] S. Balatti, S. Ambrogio, and D. Ielmini, “Normally-off Logic Based on Resistive Switches — Part I : Logic Gates,” *IEEE Trans. Electron Devices*, vol. 62, no. 6, pp. 1831–1838, 2015.
- [17] W. Zhang, H. Wu, P. Yao, B. Gao, and H. Qian, “A compact model of analog RRAM for neuromorphic computing system design,” in *2018 China Semiconductor Technology International Conference (CSTIC)*, 2018, pp. 1–3.
- [18] R. Bez and P. Cappelletti, “Emerging Memory Technology Perspective,” *IEEE*, vol. 12, no. 978-1-4577-2084-0, 2012.
- [19] Toshiba, “NAND vs . NOR Flash Memory Technology Overview,” 2006.
- [20] D. L. Lewis and H. S. Lee, “Architectural Evaluation of 3D Stacked RRAM Caches,” in *IEEE International Conference on 3D System Integration*, 2009.
- [21] M. Moreau, “Estimating the Energy Consumption of Emerging Random Access Memory Technologies,” Norwegian University of Science and Technology, 2013.
- [22] M. Hesse, A. Regnier, and P. Masson, “Développement de mémoires non-volatiles embarquées pour les plateformes technologiques avancées 40nm et 28nm STMicroelectronics Rousset,” Rousset, 2016.
- [23] L. Chua, “Memristor - The missing circuit element,” *Trans. Circuit Theory*, vol. CT-18, no. 5, pp. 507–519, 1971.
- [24] S. H. Jo, “Recent Progress in RRAM : Materials and Devices,” in *SEMICON Korea 2015*, 2015.
- [25] T. W. Hickmott, “Low - Frequency Negative Resistance in Thin Anodic Oxide Films,” *J. Appl. Phys.*, vol. 33, no. 9, pp. 2669–2682, 1962.
- [26] W. R. Hiatt and T. W. Hickmott, “Bistable switching in niobium oxide diodes,” *Appl. Phys. Lett.*, vol. 6, no. 6, pp. 106–108, 1965.
- [27] S. E. Tirano, “Intégration et caractérisation électrique d’éléments de mémorisation à commutation de résistance de type back-end à base d’oxydes métalliques,” Université Aix-Marseille, 2013.
- [28] G. Baek *et al.*, “Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses,” *IEEE*, vol. 04, no. 0-7803-8684-1, pp. 587–590, 2004.
- [29] R. Foissac, “Étude à l’échelle nanométrique par sonde locale de la fiabilité et de la dégradation de films minces d’oxyde pour applications MOS et MIM,” Université de Grenoble, 2015.

Bibliographie

- [30] B. H. P. Wong *et al.*, "Metal – Oxide RRAM," *IEEE*, vol. 100, no. 6, pp. 1951–1970, 2012.
- [31] L. Courtade, "Développement , mécanismes de programmation et fiabilité de mémoires non volatiles à commutation de résistance MRAM et OxRRAM," Université du Sud Toulon Var, 2009.
- [32] M. Lanza, "A review on resistive switching in high-k dielectrics: A nanoscale point of view using conductive atomic force microscope," *Materials*, vol. 7, no. 3. pp. 2155–2182, 2014.
- [33] F. Pan, C. Chen, Z. Wang, Y. Yang, J. Yang, and F. Zeng, "Nonvolatile resistive switching memories-characteristics, mechanisms and challenges," *Prog. Nat. Sci. Mater. Int.*, vol. 20, pp. 1–15, 2010.
- [34] Y. Fan, M. Al-Mamun, B. Conlon, S. King, and M. Orlowski, "Resistive Switching Comparison Between Cu/TaOx/Ru and Cu/TaOx/Pt Memory Cells," vol. 75, no. 32, pp. 13–23, 2017.
- [35] M. Saadi *et al.*, "On the mechanisms of cation injection in conducting bridge memories : The case of HfO₂ in contact with noble metal anodes (Au , Cu , Ag)," *J. Appl. Phys.*, vol. 119, no. 114501, 2016.
- [36] R. Waser and M. Aono, "Nanoionics-based resistive switching memories," *Nat. Mater.*, vol. 6, pp. 833–840, 2007.
- [37] J. Guy, "Evaluation des performances des mémoires CBRAM (Conductive Bridge Memory) afin d ' optimiser les empilements technologiques et les solutions d ' intégration .," Université Grenoble Alpes, 2015.
- [38] M. Kozicki, M. Mitkova, and I. Valov, "Electrochemical Metalization Memories," in *Resistive Switching: From Fundamentals of Nanoionic Redox Processes to Memristive Device Applications*, Wiley-VCH., D. Ielmini and R. Waser, Eds. 2016, pp. 483–513.
- [39] I. Valov, R. Waser, J. Jameson, and M. Kozicki, "Electrochemical metallization memories---fundamentals, applications, prospects," *Nanotechnology*, vol. 22, no. 254003, pp. 1–22, 2011.
- [40] F. Pan, S. Gao, C. Chen, C. Song, and F. Zeng, "Recent progress in resistive random access memories : Materials , switching mechanisms , and performance," *Mater. Sci. Eng. R*, vol. 83, pp. 1–59, 2014.
- [41] W. Banerjee, X. Xu, H. Lv, Q. Liu, S. Long, and M. Liu, "Complementary Switching in 3D Resistive Memory Array," *Adv. Electron. Mater.*, vol. 3, no. 12, pp. 1–7, 2017.
- [42] F. De Stefano, M. Houssa, V. V. Afanas'Ev, J. A. Kittl, M. Jurczak, and A. Stesmans, "Nature of the filament formed in HfO₂-based resistive random access memory," *Thin Solid Films*, vol. 533, pp. 15–18, 2013.
- [43] R. Waser, R. Dittmann, M. Salanga, and M. Wuttig, "Fonction by defects at the atomic scale," *Solid State Electron.*, vol. 54, pp. 830–840, 2010.

Bibliographie

- [44] F. Kurnia, Hadiyawarman, C. U. Jung, R. Jung, and C. Liu, "Composition dependence of unipolar resistance switching in TaOx thin films," *Phys. Status Solidi - Rapid Res. Lett.*, vol. 5, no. 7, pp. 253–255, 2011.
- [45] C. Cagli *et al.*, "Experimental and theoretical study of electrode effects in HfO₂ based RRAM," *2011 Int. Electron Devices Meet.*, vol. 3, pp. 28.7.1-28.7.4, 2011.
- [46] X. Y. Li, X. L. Shao, Y. C. Wang, H. Jiang, C. S. Hwang, and J. S. Zhao, "Thin TiO_x layer as a voltage divider layer located at the quasi-Ohmic junction in the Pt/Ta₂O₅/Ta resistance switching memory," *Nanoscale*, 2017.
- [47] K. Chang *et al.*, "Space electric field concentrated effect for Zr : SiO₂ RRAM devices using porous SiO₂ buffer layer," *Nanoscale Res. Lett.*, vol. 8, no. 523, pp. 2–6, 2013.
- [48] M. Bocquet *et al.*, "Robust compact model for bipolar oxide-based resistive switching memories," *IEEE Trans. Electron Devices*, vol. 61, no. 3, pp. 674–681, 2014.
- [49] C. Chen, C. Song, J. Yang, F. Zeng, and F. Pan, "Oxygen migration induced resistive switching effect and its thermal stability in W/TaO_x/Pt structure," *Appl. Phys. Lett.*, vol. 100, no. 25, pp. 2010–2014, 2012.
- [50] R. Waser, R. Dittmann, G. Staikov, and K. Szot, "Redox - Based Resistive Switching Memories – Nanoionic Mechanisms , Prospects , and Challenges Redox-Based Resistive Switching Memories – Nanoionic Mechanisms , Prospects , and Challenges," *Adv. Mater.*, vol. 21, pp. 2632–2663, 2009.
- [51] S. Blonkowski and T. Cabout, "Bipolar resistive switching from liquid helium to room temperature," *J. Phys. D. Appl. Phys.*, p. 345101.
- [52] D. Lee *et al.*, "Resistance switching of copper doped MoO_x films for nonvolatile memory applications Resistance switching of copper doped MoO_x films for nonvolatile memory," *Appl. Phys. Lett.*, vol. 90, no. 122104, 2007.
- [53] Q. Liu *et al.*, "Formation of multiple conductive filaments in the Cu / ZrO₂ : Cu / Pt device," *Appl. Phys. Lett.*, vol. 95, no. 023501, 2009.
- [54] S. Akihito, "Resistive switching in transition metal oxides," *Materialstoday*, vol. 11, no. 6, pp. 28–36, 2008.
- [55] V. Dubost, "Étude par microscopie/spectroscopie tunnel de la transition isolant/métal induite par pulse électriques dans GaTa₄Se₈," Université Pierre et Marie Curie - Paris VI, 2010.
- [56] Y. S. Chen *et al.*, "Challenges and Opportunities for HfO_x Based Resistive Random Access Memory," *IEEe*, vol. 11, no. 978-1-4577-0505-2, pp. 717–720, 2011.
- [57] W. Guan, S. Long, and Q. Liu, "Nonpolar Nonvolatile Resistive Switching in Cu Doped ZrO₂," *IEEE Electron Device Lett.*, vol. 29, no. 5, pp. 434–437, 2008.
- [58] Q. Liu *et al.*, "Low-Power and Highly Uniform Switching in ZrO₂ -Based ReRAM With a Cu Nanocrystal Insertion Layer," *IEEE Electron Device Lett.*, vol. 31, no. 11, pp. 1299–1301, 2010.

Bibliographie

- [59] K. Chang *et al.*, "Improvement of Resistive Switching Characteristic in Silicon Oxide-Based RRAM Through Hydride- Oxidation on Indium Tin Oxide Electrode by Supercritical CO₂ Fluid," *IEEE Electron Device Lett.*, vol. 36, no. 6, pp. 558–560, 2015.
- [60] G. Ghosh, Y. Kang, S. W. King, and M. Orlowski, "Role of CMOS Back-End Metals as Active Electrodes for Resistive Switching in ReRAM Cells," *ECS J. Solid State Sci. Technol.*, vol. 6, no. 1, pp. N1–N9, 2016.
- [61] J. Joshua Yang *et al.*, "The mechanism of electroforming of metal oxide memristive switches," *Nanotechnology*, vol. 20, no. 21, 2009.
- [62] Q. Liu *et al.*, "Controllable Growth of Nanoscale Conductive Filaments in Solid-Electrolyte-Based ReRAM by Using a Metal Nanocrystal Covered Bottom Electrode," *ACSNANO*, vol. 4, no. 10, pp. 6162–6168, 2010.
- [63] T. Tsai *et al.*, "Bipolar Resistive RAM Characteristics Induced by Nickel Incorporated Into Silicon Oxide Dielectrics for IC Applications," *IEEE Electron Device Lett.*, vol. 33, no. 12, pp. 1696–1698, 2012.
- [64] Y. C. Ju *et al.*, "Resistance random access memory based on a thin film of CdS nanocrystals prepared via colloidal synthesis," *Small*, vol. 8, no. 18, pp. 2849–2855, 2012.
- [65] J. H. Yoon *et al.*, "Highly improved uniformity in the resistive switching parameters of TiO₂ thin films by inserting Ru nanodots," *Adv. Mater.*, vol. 25, no. 14, pp. 1987–1992, 2013.
- [66] S. C. Qin, R. X. Dong, and X. L. Yan, "Memristive behavior of Al₂O₃film with bottom electrode surface modified by Ag nanoparticles," *Appl. Phys. A Mater. Sci. Process.*, vol. 118, no. 2, pp. 605–612, 2014.
- [67] W. Banerjee, Q. Liu, S. Long, H. Lv, and M. Liu, "Crystal that remembers: several ways to utilize nanocrystals in resistive switching memory," *J. Phys. D. Appl. Phys.*, vol. 50, no. 30, p. 303002, Aug. 2017.
- [68] B. Choi, A. Chen, X. Yang, and I. Chen, "Purely Electronic Switching with High Uniformity , Resistance Tunability , and Good Retention in Pt-Dispersed SiO₂ Thin Films for ReRAM," *Adv. Mater.*, vol. 23, pp. 3847–3852, 2011.
- [69] Q. D. Ling, D. J. Liaw, C. Zhu, D. S. H. Chan, E. T. Kang, and K. G. Neoh, "Polymer electronic memories: Materials, devices and mechanisms," *Prog. Polym. Sci.*, vol. 33, no. 10, pp. 917–978, 2008.
- [70] E. Linn, R. Rosezin, C. Kügeler, and R. Waser, "Complementary resistive switches for passive nanocrossbar memories," *Nat. Mater.*, vol. 9, no. 5, pp. 403–406, 2010.
- [71] B. H. Akinaga and H. Shima, "Resistive Random Access Memory (ReRAM) Based on Metal Oxides," *IEEE*, vol. 98, no. 12, pp. 2237–2251, 2010.
- [72] Y. Yang, P. Sheridan, W. Lu, Y. Yang, P. Sheridan, and W. Lu, "Complementary resistive switching in tantalum oxide-based resistive memory devices Complementary resistive

Bibliographie

- switching in tantalum oxide-based resistive memory devices,” vol. 203112, no. 2012, 2016.
- [73] D. CHATTERJI and R. W. VEST, “Thermodynamic Properties of the System Indium-Oxygen,” *J. Am. Ceram. Soc.*, vol. 55, no. 11, pp. 575–578, 1972.
- [74] D. R. Lire, *CRC Handbook of Chemistry and Physics*, 88th ed. 2007.
- [75] A. Walsh *et al.*, “Nature of the Band Gap of In_2O_3 Revealed by First-Principles Calculations and X-Ray Spectroscopy,” *Phys. Rev. Lett.*, vol. 100, no. 167402, 2008.
- [76] J. Liu, T. Liu, F. Liu, and H. Li, “Thermodynamics of native defects in In_2O_3 crystals using a first-principles method,” *RSC Adv.*, vol. 4, no. 70, pp. 36983–36989, 2014.
- [77] A. Klein, “Electronic properties of Electronic properties of In_2O_3 surfaces,” *Appl. Phys. Lett.*, vol. 77, no. 13, 2000.
- [78] L. Francioso, A. Forleo, S. Capone, M. Epifani, A. M. Taurino, and P. Siciliano, “Nanostructured $\text{In}_2\text{O}_3 - \text{SnO}_2$ sol – gel thin film as material for NO_2 detection,” vol. 114, no. 2, pp. 646–655, 2006.
- [79] M. Marezio, “Refinement of the crystal structure of In_2O_3 at two wavelengths,” *Acta Crystallogr.*, vol. 20, no. 6, pp. 723–728, 1966.
- [80] G. Legeay, “Couches minces amorphes d’ITO : caractérisation , structure , évolution et fonctionnalisation sous rayonnements UV.,” Université de Rennes, 2011.
- [81] K. Daoudi, “ELABORATION ET CARACTERISATION DE FILMS MINCES D’OXYDE D’INDIUM DOPE A L’ETAÏN OBTENUS PAR VOIE SOL-GEL,” Université Claude Bernard - Lyon 1, 2006.
- [82] N. Mitoma *et al.*, “Stable amorphous In_2O_3 -based thin-film transistors by incorporating SiO_2 to suppress oxygen vacancies,” *Appl. Phys. Lett.*, vol. 104, no. 10, pp. 1–6, 2014.
- [83] C. T. Prewitt, R. D. Shannon, D. B. Rogers, and A. W. Sleight, “The c rare earth oxide-corundum transition and crystal chemistry of oxides having the corundum structure,” *Inorg. Chem.*, vol. 8, no. 9, pp. 1985–1993, 1969.
- [84] D. Yu, D. Wang, and Y. Qian, “Synthesis of metastable hexagonal In_2O_3 nanocrystals by a precursor-dehydration route under ambient pressure,” *J. Solid State Chem.*, vol. 177, no. 4–5, pp. 1230–1234, 2004.
- [85] D. B. Buchholz, D. E. Proffit, M. D. Wisser, T. O. Mason, and R. P. H. Chang, “Electrical and band-gap properties of amorphous zinc-indium-tin oxide thin films,” *Prog. Nat. Sci. Mater. Int.*, vol. 22, no. 1, pp. 1–6, 2012.
- [86] G. J. Exarhos and X. D. Zhou, “Discovery-based design of transparent conducting oxide films,” *Thin Solid Films*, vol. 515, no. 18, pp. 7025–7052, 2007.
- [87] D. B. Buchholz *et al.*, “The structure and properties of amorphous indium oxide,” *Chem. Mater.*, vol. 26, no. 18, pp. 5401–5411, 2014.

Bibliographie

- [88] T. Koida, "Amorphous and crystalline In_2O_3 -based transparent conducting films for photovoltaics," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 214, no. 2, pp. 1–15, 2017.
- [89] J. R. Bellingham, W. A. Phillips, and C. J. Adkins, "Electrical and optical properties of amorphous indium oxide," *J. Phys. Condens. Matter*, vol. 2, no. 28, pp. 6207–6221, Jul. 1990.
- [90] J. J. Meléndez and M. Wierzbowska, " In_2O_3 Doped with Hydrogen: Electronic Structure and Optical Properties from the Pseudopotential Self-Interaction Corrected Density Functional Theory and the Random Phase Approximation," *J. Phys. Chem. C*, vol. 120, no. 7, pp. 4007–4015, 2016.
- [91] P. D. C. King, T. D. Veal, D. J. Payne, A. Bourlange, R. G. Egdell, and C. F. McConville, "Surface electron accumulation and the charge neutrality level in In_2O_3 ," *Phys. Rev. Lett.*, vol. 101, no. 11, pp. 2–5, 2008.
- [92] L. Gupta, A. Mansingh, and P. K. Srivastava, "Band gap narrowing and the band structure of tin-doped indium oxide films," *Thin Solid Films*, vol. 176, no. 1, pp. 33–44, 1989.
- [93] N. Novkovski and A. Tanuevski, "Origin of the optical absorption of In_2O_3 thin films in the visible range," *Semicond. Sci. Technol.*, vol. 23, no. 9, 2008.
- [94] A. Bourlange *et al.*, "Growth of In_2O_3 (100) on Y-stabilized ZrO_2 (100) by O-plasma assisted molecular beam epitaxy," *Appl. Phys. Lett.*, vol. 92, no. 9, pp. 2012–2015, 2008.
- [95] D. R. Hagleitner *et al.*, "Bulk and surface characterization of In_2O_3 (001) single crystals," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 85, no. 11, pp. 0–11, 2012.
- [96] J. C. C. Fan and J. B. Goodenough, "X-ray photoemission spectroscopy studies of Sn-doped indium-oxide films," *J. Appl. Phys.*, vol. 48, no. 8, pp. 3524–3531, 1977.
- [97] A. Walsh and C. R. A. Catlow, "Structure, stability and work functions of the low index surfaces of pure indium oxide and Sn-doped indium oxide (ITO) from density functional theory," *J. Mater. Chem.*, vol. 20, no. 46, pp. 10438–10444, 2010.
- [98] A. Klein *et al.*, "Surface potentials of magnetron sputtered transparent conducting oxides," *Thin Solid Films*, vol. 518, pp. 1197–1203, 2009.
- [99] S. Lany *et al.*, "Surface origin of high conductivities in undoped In_2O_3 thin films," *Phys. Rev. Lett.*, vol. 108, no. 1, pp. 2–6, 2012.
- [100] M. Feneberg *et al.*, "Many-electron effects on the dielectric function of cubic In_2O_3 : Effective electron mass, band nonparabolicity, band gap renormalization, and Burstein-Moss shift," *Phys. Rev. B*, vol. 93, no. 4, 2016.
- [101] H. Nakazawa, Y. Ito, E. Matsumoto, K. Adachi, N. Aoki, and Y. Ochiai, "The electronic properties of amorphous and crystallized In_2O_3 films," *J. Appl. Phys.*, vol. 100, no. 9, 2006.
- [102] G. Cheng *et al.*, "Indium oxide nanostructures," *Appl. Phys. A Mater. Sci. Process.*, vol.

Bibliographie

- 85, no. 3, pp. 233–240, 2006.
- [103] D. Zhang *et al.*, “Detection of NO₂ down to ppb levels using individual and multiple In₂O₃ nanowire devices,” *Nano Lett.*, vol. 4, no. 10, pp. 1919–1924, 2004.
- [104] M. J. Zheng, L. D. Zhang, G. H. Li, X. Y. Zhang, and X. F. Wang, “Ordered indium-oxide nanowire arrays and their photoluminescence properties,” *Appl. Phys. Lett.*, vol. 79, no. 6, pp. 839–841, 2001.
- [105] A. Gurlo *et al.*, “Grain size control in nanocrystalline In₂O₃ semiconductor gas sensors,” *Sensors Actuators, B Chem.*, vol. 44, no. 1–3, pp. 327–333, 1997.
- [106] A. Gilstrap, “A COLLOIDAL NANOPARTICLE FORM OF INDIUM TIN OXIDE: SYSTEM DEVELOPMENT AND CHARACTERIZATION,” 2009.
- [107] Q. Liu, W. Lu, A. Ma, J. Tang, J. Lin, and J. Fang, “Study of Quasi-Monodisperse In₂O₃ Nanocrystals : Synthesis and Optical Determination,” pp. 5276–5277, 2005.
- [108] A. Gurlo, M. Ivanovskaya, A. Pfau, U. Weimar, and W. G. Spel, “Sol-gel prepared In₂O₃ thin films,” vol. 307, pp. 288–293, 1997.
- [109] J. F. Ziegler, *Ion Implantation Science and Technology*, IBM Resear. New York: Elsevier, 1984.
- [110] J. S. Williams and J. M. Poate, *Ion Implantation and Beam Processing*. Elsevier, 1984.
- [111] P. Santhana Raman, K. G. M. Nair, R. Kesavamoorthy, B. K. Panigrahi, S. Dhara, and V. Ravichandran, “Formation and growth of embedded indium nanoclusters by In²⁺ implantation in silica,” *Appl. Phys. A Mater. Sci. Process.*, vol. 87, no. 4, pp. 709–713, 2007.
- [112] C. Bonafos *et al.*, “Ion beam synthesis of indium-oxide nanocrystals for improvement of oxide resistive random-access memories,” *Mater. Res. Express*, vol. 5, no. 1, p. 015027, Jan. 2018.
- [113] H. W. Kim, N. H. Kim, and C. Lee, “An MOCVD route to In₂O₃ one-dimensional materials with novel morphologies,” *Appl. Phys. A Mater. Sci. Process.*, vol. 81, no. 6, pp. 1135–1138, 2005.
- [114] J. Ni *et al.*, “MOCVD-derived highly transparent, conductive zinc- and tin- doped indium oxide thin films: Precursor synthesis, metastable phase film growth and characterization, and application as anodes in polymer light-emitting diodes,” *J. Am. Chem. Soc.*, vol. 127, no. 15, pp. 5613–5624, 2005.
- [115] C. Y. Wang *et al.*, “Photoreduction and oxidation behavior of In₂O₃ nanoparticles by metal organic chemical vapor deposition,” *J. Appl. Phys.*, vol. 102, no. 4, 2007.
- [116] D. V. Shenai-Khatkhate, R. L. DiCarlo, and R. A. Ware, “Accurate vapor pressure equation for trimethylindium in OMVPE,” *J. Cryst. Growth*, vol. 310, no. 7–9, pp. 2395–2398, 2008.
- [117] M. A. Herman, W. Richter, and H. Sitter, *Epitaxy - Physical Principles and Technical*

Bibliographie

- Implementation*, vol. 62. Berlin, Heidelberg: Springer Berlin Heidelberg, 2004.
- [118] F. Mazen, "Nanocristaux De Silicium Élaborés Par Dépôt Chimique En Phase Vapeur Pour Dispositifs Nanoélectroniques," INSA de Lyon, 2003.
- [119] S. P. Kim *et al.*, "Charging effect of In₂O₃ nano-particles embedded in polyimide layer for application as non-volatile nano-floating gate memory," *Curr. Appl. Phys.*, vol. 9, no. 1 SUPPL., pp. S43–S46, 2009.
- [120] D.-T. Wang *et al.*, "Resistive Switching and Synaptic Behaviors of TaN/Al₂O₃/ZnO/ITO Flexible Devices With Embedded Ag Nanoparticles," *IEEE Electron Device Lett.*, vol. 37, no. 7, pp. 878–881, 2016.
- [121] J. Yi *et al.*, "Highly reliable and fast nonvolatile hybrid switching ReRAM memory using thin Al₂O₃ demonstrated at 54nm memory array," *2011 Symp. VLSI Technol. - Dig. Tech. Pap.*, pp. 48–49, 2011.
- [122] S. M. Sze and M. K. Lee, *Semiconductor devices : Physics and technology*, 3rd ed. John Wiley and Sons Inc., 2010.
- [123] S. Sze, *Physics of semiconductor devices*, 2nd ed. New York, 1981.
- [124] J. Robertson, "Band offsets of high dielectric constant gate oxides on silicon," *J. Non. Cryst. Solids*, vol. 303, no. 4, pp. 94–100, 2002.
- [125] J. Robertson and B. Falabretti, "Band offsets of high K gate oxides on high mobility semiconductors," *Mater. Sci. Eng. B Solid-State Mater. Adv. Technol.*, vol. 135, no. 3, pp. 267–271, 2006.
- [126] L. Kornblum, J. A. Rothschild, Y. Kauffmann, R. Brenner, and M. Eizenberg, "Band offsets and Fermi level pinning at metal-Al₂O₃ interfaces," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 84, no. 15, pp. 23–26, 2011.
- [127] J. L. Zilko, "Metal Organic Chemical Vapor Deposition : Technology and Equipment," *Handb. Thin Film Depos.*, pp. 151–203, 2001.
- [128] P. Violet, "Etude thermodynamique et expérimentale du dépôt ALD (Atomic Layer Deposition) de TaN et de son précurseur organométallique PDMAT, Ta [N (CH₃)₂]₅, utilisé en microélectronique," Institut National Polytechnique de Grenoble, 2009.
- [129] C.-Y. Lin, D.-Y. Lee, S.-Y. Wang, C.-C. Lin, and T.-Y. Tseng, "Effect of thermal treatment on resistive switching characteristics in Pt/Ti/Al₂O₃/Pt devices," *Surf. Coatings Technol.*, vol. 203, no. 5–7, pp. 628–631, Dec. 2008.
- [130] V. Raj, A. K. S. Chauhan, and G. Gupta, "Growth kinetics of indium metal atoms on Si(112) surface," *Mater. Res. Bull.*, vol. 72, pp. 286–290, 2015.
- [131] E. Cottancin, C. Langlois, J. Lermé, M. Broyer, M. A. Lebeault, and M. Pellarin, "Plasmon spectroscopy of small indium-silver clusters: Monitoring the indium shell oxidation," *Phys. Chem. Chem. Phys.*, vol. 16, no. 12, pp. 5763–5773, 2014.
- [132] M. G. Jacko and S. J. W. Price, "THE PYROLYSIS OF TRIMETHYLINDIUM," *Can. J. Chem.*,

Bibliographie

- vol. 42, no. 5, pp. 1198–1205, May 1964.
- [133] M. Faur, M. Faur, D. T. Jayne, M. Goradia, and C. Goradia, “XPS Investigation of Anodic Oxides Grown on p-Type InP,” *Surf. Interface Anal.*, vol. 15, 1990.
- [134] J. M. Nedeljković, O. I. Mičić, S. P. Ahrenkiel, and A. J. Nozik, “Synthesis and characterization of III-V rod shape semiconductor nanocrystals,” *Mater. Sci. Forum*, vol. 494, pp. 121–128, 2005.
- [135] L. Hitchman and K. F. Jensen, *Chemical vapor deposition: Principles and applications*. London: Academic Press, 1993.
- [136] G. Nicotra, S. Lombardo, R. Puglisi, C. Spinella, G. Ammendola, and C. Gerardi, “Observation of the nucleation kinetics of Si quantum dots on SiO₂ by EFTEM,” *Microsc. Semicond. Mater. 2003*, vol. 205, pp. 119–122, 2018.
- [137] D. Prime, S. Paul, and P. W. Josephs-Franks, “Gold nanoparticle charge trapping and relation to organic polymer memory devices,” *Philos. Trans. R. Soc. A Math. Phys. Eng. Sci.*, vol. 367, no. 1905, pp. 4215–4225, 2009.
- [138] C. Chakraborty and C. Bose, “Effect of size and position of gold nanocrystals embedded in gate oxide of SiO₂/Si MOS structures,” *J. Adv. Dielectr.*, vol. 6, no. 1, pp. 1–5, 2016.
- [139] W. Y. Chang *et al.*, “Improvement of resistive switching characteristics in TiO₂ thin films with embedded Pt nanocrystals,” *Appl. Phys. Lett.*, vol. 95, no. 4, p. 42104, 2009.
- [140] M. Labalette *et al.*, “Fabrication of Planar Back End of Line Compatible HfO₂ Complementary Resistive Switches,” *IEEE Trans. Nanotechnol.*, vol. 16, no. 5, pp. 745–751, Sep. 2017.
- [141] O. Fruchier, “Étude du comportement de la charge d’espace dans les structures MOS pour la microélectronique: Vers une analyse du champ électrique interne par la méthode de l’onde thermique,” Université Montpellier II, 2007.
- [142] M. Kanoun, “CARACTERISATIONS ELECTRIQUES DES STRUCTURES MOS A NANOCRISTALUX DE GE POUR DES APPLICATIONS MEMOIRES NON VOLATILES,” INSA de Lyon, 2004.
- [143] Y. Tsai *et al.*, “Influence of Nanocrystals on Resistive Switching Characteristic in Binary Metal Oxides Memory Devices,” *Electrochem. Solid-State Lett.*, vol. 14, no. 3, p. H135, 2011.
- [144] D. Ielmini, “Resistive switching memories based on metal oxides: Mechanisms, reliability and scaling,” *Semicond. Sci. Technol.*, vol. 31, no. 6, pp. 1–25, 2016.
- [145] W. Kim, S. Il Park, Z. Zhang, and S. Wong, “Current Conduction Mechanism of Nitrogen-Doped AlO_x RRAM,” *IEEE Trans. Electron Devices*, vol. 61, no. 6, pp. 2158–2163, Jun. 2014.
- [146] C. Sire, S. Blonkowski, M. J. Gordon, and T. Baron, “Statistics of electrical breakdown field in Hf O₂ and Si O₂ films from millimeter to nanometer length scales,” *Appl. Phys.*

Bibliographie

- Lett.*, vol. 91, no. 24, 2007.
- [147] C. Sire, "Propriétés électriques à l' échelle nanométrique des diélectriques dans les structures MIM et MOS," Université Joseph-Fourier - Grenoble I, 2009.
- [148] W. M. Haynes, D.-R. Lide, and T. J. Bruno, *CRC Handbook of Chemistry and Physics*, 93rd ed. .
- [149] J. P. Coughlin, "Contributions to the data on theoretical metallurgy XII , Heats and free energies of formation of inorganic oxides," *U. S. Bur. Mines Bull.* 1954.
- [150] T. Cabout, "Optimisation technologique et caractérisation électrique de mémoires résistives OxRRAM pour applications basse consommation," Université d'Aix Marseille, France, 2014.
- [151] S. Blonkowski, "Filamentary model of dielectric breakdown," *J. Appl. Phys.*, vol. 107, no. 8, 2010.
- [152] B. De Salvo *et al.*, "Transport process in thin SiO₂ films with an embedded 2-D array of Si nanocrystals," *Microelectron. Reliab.*, vol. 40, no. 4–5, pp. 863–866, 2000.
- [153] T. H. DiStefano and M. Shatzkes, "DIELECTRIC INSTABILITY AND BREAKDOWN IN SiO₂ THIN FILMS.," *J Vac Sci Technol*, vol. 13, no. 1, pp. 50–54, 1975.
- [154] R. BENABDERRAHMANE, "Étude des mécanismes de transport dans les diodes tunnels de type MIS associant ferromagnétiques et silicium," Université Joseph-Fourier Grenoble, 2010.
- [155] E. Lim and R. Ismail, "Conduction Mechanism of Valence Change Resistive Switching Memory: A Survey," *Electronics*, vol. 4, no. 3, pp. 586–613, 2015.
- [156] G. Pananakakis, G. Ghibaudo, R. Kies, and C. Papadas, "Temperature dependence of the Fowler-Nordheim current in metal-oxide-degenerate semiconductor structures," *J. Appl. Phys.*, vol. 78, no. 4, pp. 2635–2641, 1995.
- [157] F. Chiu, "A Review on Conduction Mechanisms in Dielectric Films," *Adv. Mater. Sci. Eng.*, vol. 2014, pp. 1–18, 2014.
- [158] J. Wu, L. F. Register, and E. Rosenbaum, "Trap-assisted tunneling current through ultra-thin oxide," *Annu. Proc. - Reliab. Phys.*, pp. 389–395, 1999.
- [159] O. Gallot-Lavallée, "Étude de la charge d'espace et des phénomènes luminescents comme précurseurs du vieillissement électrique d'une résine époxy utilisée dans l'isolation haute tension," Université Paul Sabatier - Toulouse III, 2004.

Annexe : Types de conductions dans les mémoires résistives

IV. 8. Conductions électriques possibles

La conduction électrique peut avoir lieu selon un grand nombre de phénomènes différents. Ici sont regroupés les types de conduction les plus observés dans la littérature des mémoires résistives non volatile.

IV. 8. 1) Courant par émission Schottky :

Le courant par émission Schottky est aussi appelé courant thermoïonique, car il est fortement activé par la température. Il est observé lorsqu'un électron sous l'action du champ électrique et activé thermiquement gagne assez d'énergie pour passer dans la bande de conduction d'un l'isolant [155]. La Figure 0-1 schématise cette conduction dans une structure MIM.

La densité de courant par émission Schottky peut être décrite par l'équation suivante :

$$J_{Schottky} = \frac{4\pi q m^* (kT)^2}{h^3} \exp \left[\frac{-q \left(\phi_B - \sqrt{\frac{qE}{4\pi\epsilon_0\epsilon_r}} \right)}{kT} \right] \quad (0-1)$$

- m^* en kg la masse effective de l'électron dans le diélectrique
- m_0 en kg la masse de l'électron libre
- $Rm = \frac{m_0}{m^*}$ est le ratio des masses effectives des porteurs de charge
- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- $k = 1,38.10^{-23}$ m².kg.s⁻².K⁻¹ la constante de Boltzmann
- T en K la température
- $h = 6,63.10^{-34}$ m².kg.s⁻¹ la constante de Planck
- E en V.cm⁻¹ le champ électrique entre les électrodes
- Φ_B en eV la hauteur de la barrière d'injection

Annexe 1 : Types de conductions dans les mémoires résistives

- $\epsilon_0 = 8,85.10^{-12} \text{ m}^{-3}.\text{kg}^{-1}.\text{s}^4.\text{A}^2$ la permittivité du vide et ϵ_r la permittivité diélectrique de l'oxyde.

Cette conduction dépend donc du carré de la température. On aura une allure de $\ln(J_{\text{Schottky}}) = f(\sqrt{E})$ linéaire avec la possibilité d'extraire Φ_B de l'ordonnée à l'origine $b = \ln(AT^2) - \frac{-q\phi_B}{kT}$ avec A la constante de Richardson qui est la simplification $A = \frac{4\pi q m^* k^2}{R m h^3} = \frac{1,2.10^6}{R m}$ en $\text{A.m}^{-2}.\text{K}^2$. On pourra aussi extraire ϵ_r du coefficient directeur de cette même droite $a = \frac{-q \sqrt{\frac{q}{4\pi\epsilon_0\epsilon_r}}}{kT}$.

IV. 8. 2) Courant tunnel direct :

Passage de courant par transfert d'électrons, schématisé en Figure 0-1, à travers une barrière isolante suffisamment fine, typiquement inférieure à 3nm, pour que la fonction d'onde du porteur de charge soit non nulle de l'autre côté de la barrière. Ce passage de courant peut donc par définition avoir lieu même sans champ électrique appliqué [147].

L'équation suivante permet de décrire la densité de courant tunnel en fonction de l'énergie des porteurs de charge [142][156]:

$$J_{\text{tunnel}} = \frac{4\pi q m_{\text{Si}}^* kT}{h^3} \int_{-\infty}^{\Phi_0} \ln\left(1 + \exp\left[\frac{-X}{kT}\right]\right) T(X) dX \quad 0-2$$

- $q = 1,60.10^{-19} \text{ C}$ la charge électrique élémentaire
- m_{Si}^* en kg la masse effective de l'électron dans le silicium
- $h = 6,63.10^{-34} \text{ m}^2.\text{kg}.\text{s}^{-1}$ la constante de Planck
- Φ_0 en V la hauteur de la barrière d'injection
- X en V l'énergie d'un porteur de charge
- $k = 1,38.10^{-23} \text{ m}^2.\text{kg}.\text{s}^{-2}.\text{K}^{-1}$ la constante de Boltzmann
- T en K la température
- T(X) la transparence tunnel de la barrière vue par un porteur de charge

Dans le cas d'une électrode d'injection en matériau semi-conducteur dégénéré, il n'y a pas d'état permis en dessous la bande de conduction donc on intègre entre 0 et Φ_0 la hauteur de barrière.

Cette équation est obtenue en utilisant l'approximation WKB dont on suppose que la condition de validité, une variation lente du potentiel au sein de la structure, est respectée. La transparence tunnel dépend de l'épaisseur de la barrière. Pour une conduction à travers toute l'épaisseur de la barrière aura une transparence tunnel d'équation [154]:

$$T_{TD}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{SiO_2}^*}}{3qhE_{SiO_2}} \left((\Phi_0 - X)^{\frac{3}{2}} - (\Phi_0 - qE_{SiO_2}d_{SiO_2} - X)^{\frac{3}{2}} \right) \right] \quad (0-3)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- $m_{SiO_2}^*$ en kg la masse effective de l'électron dans le silicium
- $h = 6,63.10^{-34}$ m².kg.s⁻¹ la constante de Planck
- Φ_0 en V la hauteur de la barrière d'injection
- X en V l'énergie d'un porteur de charge
- E_{SiO_2} en V.cm⁻¹ le champ électrique subi par l'oxyde
- d_{SiO_2} en m l'épaisseur de l'oxyde

Pour l'extraction de paramètres, on utilise une équation simplifiée sans prise en compte de la température du courant tunnel. La densité de courant tunnel direct sous champ électrique est décrite par l'équation :

$$J_{TD} = \frac{q^2 E^2 R m}{8\pi h \Phi_B} \exp \left[\frac{-8\pi\sqrt{2qm^*}}{3h} \left(\frac{\Phi_B^{3/2}}{E} - \frac{(\Phi_B - V)^{3/2}}{E} \right) \right] \quad (0-4)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- m^* en kg la masse effective de l'électron dans le diélectrique
- m_0 en kg la masse de l'électron libre
- $Rm = \frac{m_0}{m^*}$ est le ratio des masses effectives des porteurs de charge
- $h = 6,63.10^{-34}$ m².kg.s⁻¹ la constante de Planck
- Φ_B en V la hauteur de la barrière d'injection
- E en V.cm⁻¹ le champ électrique entre les électrodes
- V en V est la tension appliquée aux électrodes

Courant Fowler Nordheim (FN) :

Émission de courant par effet tunnel pouvant se produire à travers des diélectriques plus épais lorsque ceux-ci sont soumis à un champ électrique déformant la barrière d'injection et rendant la forme de la barrière isolante trapézoïdale. Cette conduction est illustrée en Figure 0-1 Cette déformation rend la barrière moins épaisse localement permettant aux électrons de ne traverser qu'une partie de cette barrière [147].

Dans le cas d'une barrière triangulaire déformée sous l'effet du champ électrique, celle-ci voit donc son épaisseur vue par un porteur de charge varier à une énergie donnée. La transparence tunnel devient [154]:

$$T_{FN}(X) = \exp \left[\frac{-8\pi\sqrt{2qm_{SiO2}^*}}{3qhE_{SiO2}} (\Phi_0 - X)^{\frac{3}{2}} \right] \quad (0-5)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- m_{SiO2}^* en kg la masse effective de l'électron dans le silicium
- $h = 6,63.10^{-34}$ m².kg.s⁻¹ la constante de Planck
- Φ_0 en V la hauteur de la barrière d'injection
- X en V l'énergie d'un porteur de charge
- E_{SiO2} en V.cm⁻¹ le champ électrique subi par l'oxyde

On utilisera une approximation de ce courant pour extraire des paramètres à partir de mesures. On considère notamment l'impact de la température négligeable. La densité de courant Fowler Nordheim peut être décrite par l'équation suivante :

$$J_{FN} = \frac{q^2 E^2 Rm}{8\pi h \Phi_B} \exp \left(\frac{-8\pi\sqrt{2qm^*}}{3hE} \Phi_B^{3/2} \right) \quad (0-6)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- m^* en kg la masse effective de l'électron dans le diélectrique
- m_0 en kg la masse de l'électron libre
- $Rm = \frac{m_0}{m^*}$ est le ratio des masses effectives des porteurs de charge
- $h = 6,63.10^{-34}$ m².kg.s⁻¹ la constante de Planck
- Φ_B en V la hauteur de la barrière d'injection
- E en V.cm⁻¹ le champ électrique entre les électrodes

À partir de la courbe $\ln(J/E^2) = f(1/E)$, qui est linéaire pour ce type de conduction, on peut extraire la hauteur de barrière Φ_B à partir du coefficient directeur

$a = \frac{-8\pi\sqrt{2qm^*}}{3h} \Phi_B^{3/2}$. On peut ensuite extraire de l'ordonnée à l'origine le ratio Rm en utilisant la mesure de Φ_B avec $b = \ln \left(\frac{q^2 Rm}{8\pi h \Phi_B} \right)$.

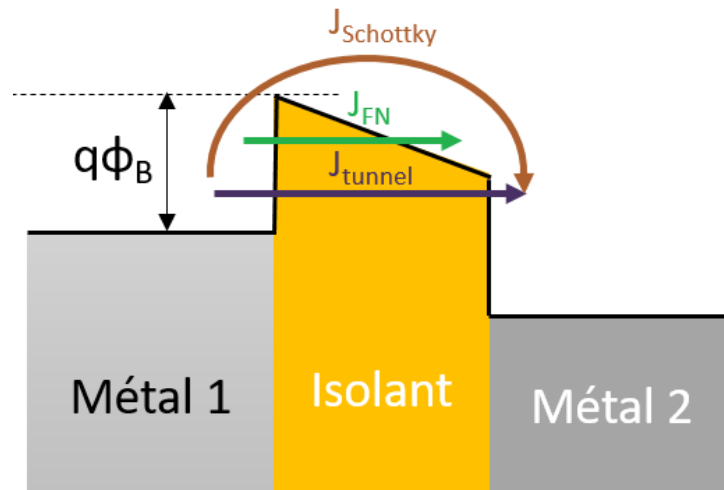


Figure 0-1 : Schéma d'un diagramme de bande d'une structure MIM montrant des conductions Schottky, Fowler Nordheim et tunnel direct à travers un isolant.

IV. 8. 3) Conduction par hopping (saut) ou TAT :

La conduction par hopping ou saut est une conduction assistée par piège. Contrairement au courant de type Poole Frenkel, l'excitation thermique des porteurs de charge est insuffisante et les charges passent les barrières de potentiel par effet tunnel. Les charges circulent de piège en piège pour traverser l'isolant [157]. Il existe plusieurs déclinaisons de ce type de conduction. Si le chemin de conduction dépend uniquement de la proximité des pièges, on parle de Nearest Neighbor Hopping (NNH). Dans le cas où le chemin de conduction dépend de l'énergie des pièges, indépendamment de leur position, on observe une conduction dite de Mott Variable Range Hopping (VRH). Enfin si un seul piège permet aux porteurs de charges de passer d'une électrode à une autre on parlera de Trap Assisted Tunnel (TAT) [155]. Dans le cas du TAT, il peut y avoir une relaxation de l'électron vers un état énergétique plus favorable avec émission de phonon entre les deux étapes de transfert [158].

La densité de courant par hopping est décrite par l'équation :

$$J_{hopping} = qa_p n v \exp\left(\frac{qa_p E}{kT} - \frac{E_a}{kT}\right) \quad (0-7)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- E en $V.cm^{-1}$ le champ électrique entre les électrodes
- a_p en cm la distance moyenne entre pièges
- n en cm^{-3} la concentration en électron dans la bande de conduction

Annexe 1 : Types de conductions dans les mémoires résistives

- $E_a = E_p - E_c$ en eV est l'énergie d'activation des pièges
- ν est la fréquence de vibration thermique des électrons piégés
- $k = 1,38.10^{-23} \text{ m}^2.\text{kg}.\text{s}^{-2}.\text{K}^{-1}$ la constante de Boltzmann
- T en K la température

La caractéristique $\ln(J) = f(E)$ est linéaire et on peut en extraire la distance interpièges a_p à partir du coefficient directeur de la droite $a = \frac{qa_p}{kT}$.

L'équation du courant assisté par piège est :

$$J_{TAT} = A \exp\left(\frac{-8\pi\sqrt{2qm^*}}{3hE} \phi_p^{3/2}\right) \quad (0-8)$$

- A en $\text{A}.\text{cm}^{-2}$ une constante
- $q = 1,60.10^{-19} \text{ C}$ la charge électrique élémentaire
- E en $\text{V}.\text{cm}^{-1}$ le champ électrique entre les électrodes
- m^* en kg la masse effective de l'électron dans le diélectrique
- $h = 6,63.10^{-34} \text{ m}^2.\text{kg}.\text{s}^{-1}$ la constante de Planck
- ϕ_p en V la hauteur de la barrière de potentiel des pièges

On aura une caractéristique $\ln(J) = f(1/E)$ linéaire dont on pourra extraire ϕ_p grâce au coefficient directeur de la droite $a = \frac{-8\pi\sqrt{2qm^*}}{3h} \phi_p^{3/2}$.

IV. 8. 4) Emission Poole Frenkel (PF) :

Le courant par émission Poole Frenkel est observable lorsque des électrons sont suffisamment excités pour être piégés dans des pièges de la bande de conduction de l'isolant. À l'application d'un champ électrique et par effet de la température, le déplacement par saut des porteurs de charge au-dessus de la barrière des pièges est rendu très probable. Cette barrière de potentiel est faible du point de vue du porteur de charge piégé [157].

La densité de courant Poole Frenkel peut être écrite ainsi :

$$J_{PF} = q\mu N_C E \exp\left[\frac{-q\left(\phi_p - \sqrt{\frac{qE}{\pi\epsilon_r\epsilon_0}}\right)}{kT}\right] \quad (0-9)$$

Annexe 1 : Types de conductions dans les mémoires résistives

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- μ en $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$ la mobilité électronique de l'électron
- N_c en cm^{-3} la densité d'état dans la bande de conduction de l'isolant
- $k = 1,38.10^{-23}$ $\text{m}^2.\text{kg}.\text{s}^{-2}.\text{K}^{-1}$ la constante de Boltzmann
- T en K la température
- $h = 6,63.10^{-34}$ $\text{m}^2.\text{kg}.\text{s}^{-1}$ la constante de Planck
- E en $\text{V}.\text{m}^{-1}$ le champ électrique entre les électrodes
- $q\Phi_p$ en eV l'énergie nécessaire au passage de la barrière des pièges
- $\epsilon_0 = 8,85.10^{-12}$ $\text{m}^{-3}.\text{kg}^{-1}.\text{s}^4.\text{A}^2$ la permittivité du vide et ϵ_r la permittivité diélectrique de l'oxyde.

Dans le cas d'une conduction Poole Frenkel, on extrait la valeur de la permittivité diélectrique de l'oxyde ϵ_r à partir du coefficient directeur $a = \sqrt{\frac{q^3}{\pi\epsilon_0\epsilon_r}} \frac{1}{kT}$ de la droite d'équation $\ln(J/E) = f(\sqrt{E})$. Il est également possible de remonter à la profondeur des pièges Φ_p en traçant la caractéristique d'Arrhenius $\ln(J) = f(1/T)$.

IV. 8. 5) Conduction ionique :

Courant créé par le déplacement d'ions sous l'influence d'un champ électrique. La présence de défauts dans l'isolant peut permettre à des ions de se déplacer par sauts successifs au-dessus de la barrière de potentiel d'un site vers un autre.

L'équation de la conduction ionique est :

$$J_{ionique} = J_0 \exp \left[- \left(\frac{q\phi_B}{kT} - \frac{Eqd}{2kT} \right) \right] \quad (0-10)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- J_0 en $\text{A}.\text{cm}^{-2}$ est une constante
- $q\phi_B$ en eV l'énergie de la barrière de potentiel
- d en m est la distance entre deux pièges
- $k = 1,38.10^{-23}$ $\text{m}^2.\text{kg}.\text{s}^{-2}.\text{K}^{-1}$ la constante de Boltzmann
- T en K la température
- E en $\text{V}.\text{cm}^{-1}$ le champ électrique entre les électrodes

Pour cette conduction on tracera $\ln(J) = f(E)$ qui est linéaire, dont on peut extraire d du coefficient directeur $a = \frac{qd}{kT}$.

IV. 8. 6) Conduction ohmique :

Courant créé par la libération de porteurs de charges dans l'isolant, même à large bande interdite, sous l'effet de l'excitation thermique. Ces charges peuvent provenir d'impuretés ou de zones sous stœchiométrique par exemple. En se déplaçant vers la bande de conduction pour les électrons et vers la bande de valence pour les trous il y aura création d'un courant [157].

La densité de courant ohmique peut être décrite par l'équation :

$$J_{ohm} = q\mu N_C E \exp\left[\frac{-(E_C - E_F)}{kT}\right] \quad (0-11)$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- μ en $cm^2.V^{-1}.s^{-1}$ la mobilité électronique de l'électron
- N_C en cm^{-3} la densité d'état dans la bande de conduction de l'isolant
- $k = 1,38.10^{-23}$ $m^2.kg.s^{-2}.K^{-1}$ la constante de Boltzmann
- T en K la température
- E en $V.cm^{-1}$ le champ électrique entre les électrodes
- $E_C - E_F$ en eV la différence d'énergie entre la bande de conduction et le niveau de fermi de l'isolant

La caractéristique $J_{ohm} = f(E)$ est linéaire avec un coefficient directeur égal à 1 pour une conduction ohmique.

Dans le cas d'une conduction ohmique, avec une étude températures il devient possible de tracer la caractéristique d'Arrhenius et d'en extraire la différence d'énergie entre la bande de conduction et le niveau de Fermi. Connaissant cette dernière valeur on peut extraire le produit μN_C de la caractéristique $J_{ohm} = f(E)$.

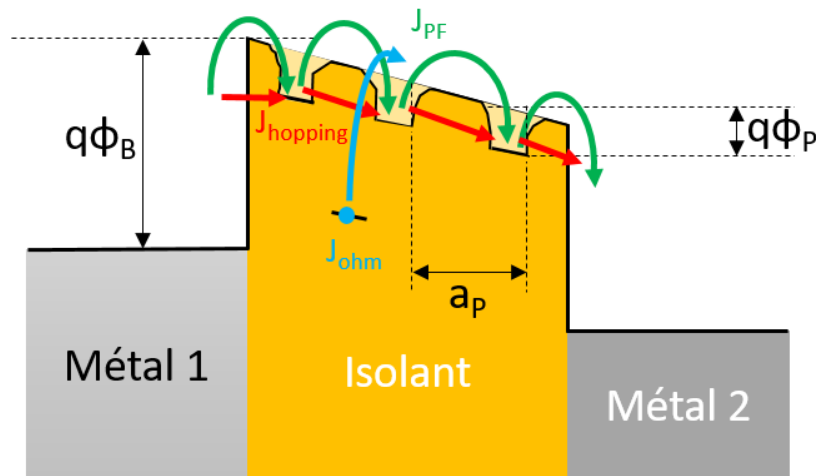


Figure 0-2 : Schéma d'un diagramme de bande d'une structure MIM montrant des conduction ohmique, par hopping ou par conduction Poole Frenkel à travers un isolant.

IV. 8. 7) Courant limité par charge d'espace (SCLC) :

Abréviation depuis l'anglais Space Charge Limited Current (SCLC). Le courant limité par charge d'espace est un mode de conduction dépendant du champ électrique. Il est contrôlé par trois phénomènes de conduction dépendant directement de l'intensité du champ électrique.

À champ électrique faible, la conduction est ohmique et dominée par la génération d'électrons libres dans l'isolant. Le courant est proportionnel à la tension appliquée ($J_{ohm} \propto V$).

En augmentant le champ électrique à une valeur intermédiaire on atteindra une tension $V_{transition}$ à partir de laquelle la densité d'électron injecté par l'électrode devient majoritaire. Les charges générées dans l'isolant deviennent minoritaires, car une partie des sites de générations de porteurs de charge dans l'isolant n'ont pas le temps de se régénérer. On dit alors que le courant est limité par le remplissage des pièges (Trap Filled Limited current ou TFL). On observe alors une proportionnalité de la densité de courant avec le carré de la tension appliquée ($J_{TFL} \propto V^2$).

Lorsque tous ces sites sont pleins on atteint une seconde transition à une tension V_{TFL} . À partir de cette tension, à champ électrique fort, il y a injection rapide d'un nombre important de charges dans l'isolant, tous ses pièges sont alors remplis et un grand nombre d'électrons libres circulent dans l'isolant. Il y a alors formation d'une zone de charge d'espace par le gaz d'électrons libres du côté de l'électrode d'injection. Le champ électrique n'est plus constant et le courant est alors contrôlé par la charge d'espace. Dans ce mode de conduction on observe également une linéarité entre le courant et le carré de la tension suivant la loi de Child ($I \propto V^2$). [159]

On a donc trois équations pour décrire la conduction :

$$J_{ohm} = qn_0\mu \frac{V}{d} \quad 0-12$$

$$J_{TFL} = \frac{9}{8} \varepsilon_0 \varepsilon_r \mu \theta \frac{V^2}{d^3} \quad 0-13$$

$$J_{Child} = \frac{9}{8} \varepsilon_0 \varepsilon_r \mu \frac{V^2}{d^3} \quad 0-14$$

- $q = 1,60.10^{-19}$ C la charge électrique élémentaire
- n_0 en cm^{-3} est la concentration en porteur de charge libre à l'équilibre

Annexe 1 : Types de conductions dans les mémoires résistives

- $\epsilon_0 = 8,85 \cdot 10^{-12} \text{ m}^{-3} \cdot \text{kg}^{-1} \cdot \text{s}^4 \cdot \text{A}^2$ la permittivité du vide et ϵ_r la permittivité diélectrique de l'oxyde
- μ en $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ la mobilité des électrons
- $\theta = \frac{N_C}{g_n N_P} \exp\left[\frac{E_P - E_C}{kT}\right]$ le ratio d'électrons libres sur le nombre d'électrons total (libres et piégés)
- $E_P - E_C$ en V est la différence entre le potentiel des pièges et de la bande de conduction
- g_n est le niveau de dégénérescence des niveaux d'énergies dans la bande de conduction
- N_P en cm^{-3} est la densité de pièges
- V en V la tension appliquée entre les électrodes
- d en cm est l'épaisseur de l'isolant

En traçant à la fois $J = f(V)$ et $J = f(V^2)$ il est possible d'observer les trois modes de conduction.

IV. 9. Tableau récapitulatif des types de conduction

Le tableau suivant récapitule les types de conductions qui ont été étudiés au cours de cette thèse et les caractéristiques à tracer afin d'en extraire les paramètres.

Type de conduction	Tracé caractéristique	Données extraites	Influence de la température
Schottky	$\ln(J) \propto \sqrt{E}$	Φ_B et ϵ_r	Oui
Fowler Nordheim	$\ln(J/E^2) \propto 1/E$	Φ_B	Non
TAT	$\ln(J) \propto 1/E$	Φ_p	Non
Hopping	$\ln(J) \propto E$	a_p	Oui
Poole Frenkel	$\ln(J/E) \propto \sqrt{E}$	ϵ_r	Oui
SCLC	$J \propto V$; $J \propto V^2$	Coef. Dir.	Non
Ionique	$\ln(J) \propto E$	d	Oui
Ohmique (isolant)	$J \propto E$; $J \propto 1/T$	Coef. Dir. ; N_C et E_p	Oui

Tableau 0-1 : Récapitulatif des différents modes de conductions, des caractéristiques à tracer, des données extraites de telles caractéristiques et influence de la température selon les équations retenues.