



HAL
open science

Miniaturisation et fiabilité des interconnexions copper pillar sur desassemblages de type “ System In Package ” (sip) pour le domaine aéronautique

Adrien Morard

► To cite this version:

Adrien Morard. Miniaturisation et fiabilité des interconnexions copper pillar sur desassemblages de type “ System In Package ” (sip) pour le domaine aéronautique. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2019. Français. NNT : 2019GREAT068 . tel-02952209

HAL Id: tel-02952209

<https://theses.hal.science/tel-02952209>

Submitted on 29 Sep 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

**DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE
ALPES**

Spécialité : d'Electronique, Electrotechnique, Automatique,
Télécommunications/ nano électronique nano technologies

Arrêté ministériel : 25 mai 2016

Présentée par

Adrien MORARD

Thèse dirigée par Fabien CLERMIDY, Commissariat à l'énergie atomique et aux
énergies alternatives

préparée au sein du Laboratoire CEA-LETI

dans l'École Doctorale d'Electronique, Electrotechnique, Automatique et
Traitement du Signal

Miniaturisation et fiabilité des interconnexions piliers de cuivre sur des assemblages de type « System In Package » (SIP) pour le domaine aéronautique

Monsieur, Olivier, DALVERNY

Professeur à l'école nationale d'ingénieurs de Tarbes, Président et rapporteur

Monsieur, Eric, WOIRGARD

Professeur au laboratoire de l'intégration du matériau au système, Rapporteur

Madame, Alexandrine, GUEDON-GRACIA

Maître de conférences au laboratoire de l'intégration du matériau au système, Membre

Madame, Hélène, FREMONT

Maître de conférences au laboratoire de l'intégration du matériau au système, Membre

Monsieur, Jean-Luc, DIOT

Président à ASSEMBLINNOV, Invité

Monsieur, Olivier, MAIRE

Expert packaging et assemblage à MBDA, Invité

Monsieur, Gabriel, PARES

Ingénieur/Chercheur au CEA-LETI, Encadrant

Monsieur, Jean-Christophe, RIOU

Expert en MEMS & environnements sévères pour l'électronique à SAFRAN, Encadrant

Monsieur, Fabien, CLERMIDY

Chef de service au CEA Grenoble, Directeur de thèse



Avant-propos

Les travaux présentés dans ce mémoire ont été réalisés au sein du Commissariat à l’Energie Atomique (CEA) de Grenoble en Partenariat avec Safran Tech à Châteaufort et le site de Safran Electronics and Defense de Valence. Je tiens ici à remercier les responsables de m’avoir accueilli et donné les moyens pour accomplir mon travail : Monsieur Vancauwenberghe Olivier, responsable de pôle Technologie des Capteurs et Application à Safran Tech, Monsieur Simon Gilles, responsable du laboratoire de Packaging et interposeur au CEA LETI, et à Monsieur Jouan Jacky, responsable du bureau d’études technologiques de Safran ED.

Je remercie Monsieur Dalverny Olivier, professeur à l’école nationale d’ingénieurs de Tarbes, d’avoir accepté de présider le jury de thèse et d’être l’un des rapporteurs de ces travaux, et Monsieur Woirgard Eric, professeur au Laboratoire de l’Intégration du Matériau au Système de Bordeaux, rapporteur de cette thèse. Je tiens à les remercier pour l’intérêt porté à mes travaux.

Je tiens également à remercier Madame Guédon-Gracia Alexandrine et Madame Frémont Héléne, maîtres de conférences au Laboratoire de l’Intégration du Matériau au Système pour leur participation en tant qu’examinatrices du jury de thèse. Enfin Messieurs Maire Olivier, Expert packaging et assemblage chez MBDA et Diot Jean-Luc, président d’Assemblinov de m’avoir fait l’honneur de leurs présences dans le jury de thèse.

Messieurs Pares Gabriel et Riou Jean-Christophe qui, pendant ces 3 années m’ont accompagné. Je les remercie pour leurs nombreux échanges et retours concernant mon travail. Leurs expertises sur le packaging et la fiabilité m’a été d’une aide précieuse. Je les remercie également pour leurs aides quotidiennes techniques et humaines lors de ces 3 ans de travaux.

Contenu

Résumé	7
Abstract	7
Abréviations.....	8
Lexique	10
1. Introduction	12
2. Contexte général de la thèse	14
3. Etat de l’art des assemblages électroniques.....	16
3.1. Contexte technologique	16
3.1.1. Historique des architectures en microélectronique	16
3.1.2. Evolution des structures.....	18
3.1.3. Les avantages du passage du 2D à la 2,5D et 3D	23
3.2. Les technologies d’interconnexions compatibles flip chip	24
3.2.1. Introduction	24
3.2.2. Entités composant un assemblage électronique	25
3.2.3. Définition d’un assemblage Flip chip	26
3.2.4. Les deux familles d’interconnexions	29
3.2.5. Assemblage par billes d’or « Gold Stud Bump».....	30
3.2.6. Assemblage par piliers de cuivre.....	31
3.2.7. Conclusion	33
3.3. Finition des substrats	34
3.3.1. Introduction	34
3.3.2. Finition ENIG (nickel / or chimique)	34
3.3.3. Finition ENEPIG (nickel palladium or).....	35
3.3.4. Finition OSP.....	35
3.3.5. Conclusion	36
3.4. Technologies d’assemblage flip chip	36
3.4.1. Introduction	36
3.4.2. Assemblage par soudure collective « mass reflow »	36
3.4.3. Assemblage par thermocompression.....	37
3.4.4. Assemblage par thermosonique	38
3.4.5. Conclusion	38

3.5.	Les process d'underfill	39
3.5.1.	Introduction	39
3.5.2.	L'underfill par capillarité ou « Capillary UnderFill (CUF) ».....	39
3.5.3.	No flow underfill	40
3.5.4.	Reworkable Underfill.....	41
3.5.5.	Corner Bonding	41
3.5.6.	Molding UnderFill (MUF).....	42
3.5.7.	Conclusion	42
3.6.	Métallurgie du joint de brasure	42
3.6.1.	Introduction	42
3.6.2.	Diagramme d'équilibre de phases binaires	43
3.6.3.	Diagramme d'équilibre de phases ternaires.....	44
3.6.4.	Interaction à l'interface cuivre et brasure	46
3.6.5.	Métallurgie du système nickel - étain	48
3.6.6.	Facteurs impactant sur la microstructure	49
3.6.7.	Conclusion	53
3.7.	Conclusion sur l'état de l'art.....	54
4.	Fiabilité : Principe et mise en œuvre	57
4.1.	Introduction à la fiabilité	57
4.2.	Les lois de fiabilité	58
4.3.	Vieillisements accélérés	59
4.4.	Procédure et protocole de test mis en place.....	61
4.4.1.	Cycles thermiques	61
4.4.2.	Procédure des essais thermiques	61
4.4.3.	Maintien en température.....	62
4.5.	Descriptif des moyens de caractérisations	62
4.5.1.	Moyens de contrôle électrique des assemblages flip chip.....	62
4.5.2.	Moyens de contrôle mécanique	64
4.6.	Conclusion	65
5.	Etudes technologiques : conception et fabrication des véhicules de test.....	65
5.1.	Introduction	65
5.2.	Définition des véhicules de test.....	65

5.3.	Conception des puces de test.....	68
5.3.1.	Conception des puces silicium	68
5.3.2.	Constitution des plaques de silicium.....	69
5.4.	Composition et fabrication détaillées des piliers de cuivre.....	70
5.4.1.	Règles de conception des piliers de cuivre.....	70
5.4.2.	Définition des différentes configurations de piliers de cuivre.....	72
5.4.3.	Caractérisations des piliers de cuivre.....	74
5.4.3.1.	Observation au microscope électronique à balayage des piliers de cuivre	75
5.4.3.2.	Mesures de hauteur des piliers de cuivre	77
5.5.	Conception et fabrication des substrats organiques	81
5.5.1.	Les faisabilités d'aujourd'hui sur substrat organique	81
5.5.2.	Bilan sur les possibilités offertes par les entreprises pour la production des assemblages de tests.....	81
5.5.3.	Définition des substrats organiques.....	83
5.5.4.	Caractérisation des substrats organiques	84
5.5.4.1.	Valeurs d'entrées du cahier des charges.....	84
5.5.4.2.	Caractérisation optique des substrats organiques	86
5.5.4.3.	Caractérisation par mesure de profils des plages d'accueil du substrat.....	88
5.6.	Conclusion	90
6.	Essais préliminaires sur les étapes de conditionnement jusqu'à assemblage.....	91
6.1.	Introduction	91
6.2.	Tests de fixation des puces faisant 50 μm d'épaisseur sur le film adhésif.....	91
6.3.	Tests de découpe des substrats et silicium	92
6.4.	Tests de support des substrats	93
6.5.	Tests par soudure collective	94
6.5.1.	Principe.....	94
6.5.2.	Test 1 : assemblage par refusion collective sans pression	94
6.5.3.	Test numéro 2 : assemblages par soudure collective avec pression	99
6.5.4.	Test numéro 3 : assemblage silicium sur substrat en cycles thermiques.....	100
6.5.5.	Conclusion	101
6.6.	Tests par thermocompression	102
6.6.1.	Configurations et paramètres.....	102

6.7.	Configurations retenues et paramètres d'assemblages des véhicules de test.....	109
6.7.1.	Rappel des configurations utilisées.....	109
6.7.2.	Paramètres utilisés pour le placement de la puce sur le substrat	110
6.7.3.	Profil de refusion.....	110
6.8.	Synoptique générale de l'étude	111
6.9.	Conclusion	112
7.	Résultats expérimentaux des assemblages de tests	113
7.1.	Introduction	113
7.2.	Assemblages sans underfill en cycles thermiques	113
7.3.	Assemblages ayant un underfill	115
7.4.	Analyses des microstructures et des faciès de ruptures	117
7.4.1.	Préparation des échantillons	117
7.4.2.	Analyse avant assemblage du pilier de cuivre et de la brasure	118
7.4.3.	Analyses des phases en présence dans la brasure après assemblage	119
7.4.4.	Analyses de l'échantillon référence après refusion	120
7.4.5.	Analyses des échantillons sans underfill	121
7.4.6.	Echantillons avec underfill après 2000 cycles sans palier de température.....	123
7.4.7.	Echantillons avec underfill après 3000 cycles avec des paliers de températures	124
7.4.8.	Analyses des échantillons avec maintien en température 125 °C.....	125
7.5.	Conclusion des analyses EBSD	127
7.6.	Comparaison avec un composant de type WLP « Wafer-Level Packaging »	128
8.	Conclusion et perspectives	132
	Bibliographie.....	134

Résumé

Ce travail présente une étude de l'intégration de composants microélectroniques pour une utilisation dans un environnement difficile. Ainsi, l'objectif porté par cette étude est double : le premier est de miniaturiser l'électronique pour atteindre un gain d'un facteur 10 en intégration par rapport à l'état de l'art 2D classique ; le second est d'améliorer la fiabilité des assemblages de type « System In Package » ainsi obtenus pour les domaines où les conditions extérieures sont très contraintes, tel que l'aéronautique, la défense et le spatial.

La première phase de l'étude a été réalisée grâce à la fabrication d'un assemblage composé d'une puce en silicium et d'un substrat organique. Cela a permis l'étude du report dit par « flip-chip » de puce silicium, c'est-à-dire en présentant la face active de la puce sur le substrat. La connexion entre la puce et le substrat est alors assurée par des connexions de type micro-piliers en cuivre et en alliage étain-argent, également appelées « copper pillar ». L'impact des différents paramètres de conception et d'assemblage sur la fiabilité en cycles thermiques sont alors étudiés.

Pour la deuxième phase de l'étude, l'analyse de défaillances au cours des cycles thermiques repose sur l'analyse des interconnexions en piliers de cuivre à l'aide de micro-sections et imagerie par microscopie électronique par balayage et par diffraction d'électrons rétrodiffusés (EBSD). Les évolutions d'épaisseur d'intermétalliques, des fissurations dans la brasure ainsi que la taille des grains et les phénomènes de recristallisation sont présentés et commentés. Les objectifs de ce travail sont de mettre en lumière les comportements mis en jeu dans la fiabilité de telles interconnexions dans un environnement thermo-mécanique contraignant, et, par ailleurs, les mécanismes de défaillance. .

Enfin, le résultat de ce travail permet de définir des règles de conception qui pourront ensuite être utilisées pour la réalisation des assemblages « System-In-Package » (SIP) intégrés dans des systèmes embarqués.

Abstract

The aim of this thesis is twofold, the first is to miniaturize the electronics to achieve a factor of 10 in integration compared to a conventional 2D technology, the second is to improve the system in package reliability for aeronautics, defense and space.

The first step concerns the manufacture of an assembly composed by a silicon chip and an organic substrate. These two entities will allow the study of the report by flip chip. To do so, micro-pillar type copper and tin-silver solder connections, otherwise known as copper pillar, will be used. The impact of different design and assembly parameters on thermal cycles reliability will be studied.

Failures analysis during thermal cycles will be based on the analysis of copper pillar interconnections by micro-sections, scanning electron microscope (SEM), and electron backscatter diffraction (EBSD) imaging. Thickness changing in intermetallic, cracking in the solder as well as grain size and recrystallization phenomena will be presented and commented.

The final objectives of this work are, from an academic point of view, to highlight first of all, the behaviors involved in the reliability of such interconnections in a binding thermo-mechanical environment, and moreover, the failure mechanisms. Finally, it will define design rules that can then be used at Safran for the realization of System in Package (SIP).

Abréviations

A

Ag **ArGent**

B

BEOL **Back End Of Line**

BGA **Ball Grid Array**

C

°C **Degré Celsius**

CEA **Commissariat à l'Énergie Atomique et aux énergies alternatives**

CMOS **Complementary Metal Oxide Semiconductor**

CMS **Composants Montés en Surface**

COTS **Commercial off-the-shelf**

CSP **Cross Section Preparation**

CTE **Coefficient of Thermal Expansion**

Cu **Cuivre**

CUF **Capillary UnderFill**

E

ENEPIG **Electroless Nickel Electroless Palladium Immersion Gold**

ENIG **Electroless Nickel Immersion Gold**

G

GSB **Gold Stud Bump**

H

HASL **Hot Air Solder Leveling**

HDI **High Density Integration**

HR **Relative Humidity**

HTCC **High Temperature Co-Fired Ceramic**

L

LCC **Leaded Chip Carrier**

LGA **Land Grid Array**

LTCC **Low Temperature Co-Fired Ceramic**

M

MUF **Molder UnderFill**

MEMS **MicroElectroMechanical Systems**

N

NCP **Non Conductive Paste**

NSMD **No Solder Mask Define**

O	
OSP	Organic Solderability Preservative
P	
PCB	Printed Circuit Board
POP	Package On Package
PPM	Partie Par Million soit 10⁻⁶.
Q	
QFP	Quad Flat Package
R	
RDL	Redistribution Layer
REACH	Registration, Evaluation and Authorization of Chemicals
RF	Radio Fréquences
RoHS	Reduction of Hazardous Substances
S	
SIP	System In Package
SMD	Solder Mask Define
Sn	Etain
SOC	System On Chip
T	
TSOP	Thin Small Outline Package
TGV	Through Glass Via
TSV	Through Silicon Via
U	
UBM	Under Bump Metallization
W	
WLCSP	Wafer Level Chip Scale Packaging
WLP	Wafer Level Packaging
WLUF	Wafer Level UnderFill

Lexique

BGA	Est un type de substrat intégré, destiné à être soudé sur un circuit imprimé.
Black Pad	Phénomène de corrosion du nickel lors du processus d'assemblage amenant un décollement de la finition.
Chuck	Support d'accueil dans la machine de placement des composants.
Copper pillar	Le terme utilisé dans la thèse sera pilier de cuivre. C'est la technologie d'interconnexions utilisée pour atteindre des pas plus fins. Il est composé d'un pilier de cuivre recouvert d'une couche de nickel. Enfin, une brasure SnAg est déposée en son sommet.
C4 bump	Représente les billes de brasure en sortie des BGA pour le report sur les cartes électroniques.
Décharge partielle	Les décharges partielles sont des courts circuits locaux dans un isolant. Ce phénomène à répétition amène une dégradation de l'isolant jusqu'à sa rupture.
Electromigration	Il s'agit d'un déplacement d'atome dans un élément conducteur induit par un flux d'électrons lors d'une application à forte densité de courant.
Flip chip	Le terme anglais désignant le nom de ce type de report de puce sera utilisé. De sa traduction « puce retournée », il indique un assemblage face à face de la puce sur son substrat d'accueil.
Gold Stud Bump	Le terme utilisé dans la thèse sera assemblage par billes d'or (GSB).
Interposer	Le terme utilisé dans la thèse sera le nom français « interposeur » qui désigne un substrat intercalé entre la puce et la carte électronique comportant des éléments de routage électrique.
Mass reflow	Le terme utilisé sera soudure collective désignant l'assemblage simultané de plusieurs composants par apport de chaleur dans un four à passage.
PoP	Assemblages verticaux de substrats organiques de type BGA les uns sur les autres afin d'augmenter l'intégration du système.
Reflow	Le terme utilisé dans la thèse sera refusion désignant le traitement thermique permettant de porter la brasure au-dessus du liquidus et, ainsi, de réaliser le brasage par diffusion solide-liquide.
Solder mask	Résine appliquée pour délimiter les plages d'interconnexions de cuivre sur le substrat. Le terme vernis sera utilisé dans le document.
Underfill	Le terme utilisé dans la thèse sera le nom anglais underfill plus couramment utilisé pour

le désigner. Il s'agit d'une résine de maintien mécanique entre la puce et le substrat.

Void

Le terme utilisé sera bulle d'air.

Wirebonding

Le terme utilisé dans la thèse sera câblage filaire. Il représente l'interconnexion entre la puce et la carte électronique.

1. Introduction

La présente thèse de doctorat s'inscrit dans le cadre d'une collaboration (contrat CIFRE) entre le CEA LETI et SAFRAN Tech réalisée dans le cadre d'un laboratoire commun du nom de Ceasar Lab. La naissance et les démarches à la base de cette thèse sont issues d'une réflexion et de pré-études portées par Safran. Cette thèse traite du problème de l'intégration des assemblages de composants en 3D afin de diminuer leur encombrement et leur coût pour de nouveaux usages, ainsi que de la fiabilité de certains de ces assemblages qui sont dits « flip-chip ».

Pour l'industrie aéronautique, l'utilisation de ces nouvelles techniques d'assemblage doit permettre de densifier la surface de routage et, donc, de contribuer à la miniaturisation de l'électronique utilisée dans les équipements embarqués. Les applications peuvent être diverses. Par exemple, une fonction électronique (ensemble de composants) faisant 10 cm^2 , qui peut être répétée 10 fois sur la carte d'un ordinateur, pourrait être remplacée par un assemblage 3D ne faisant que 1 ou 2 cm^2 . Un autre exemple, la taille des capteurs est de plus en plus petite et peut se mettre au plus proche du point de mesure. Toutefois, comme pour des capteurs moteurs, les cartes de traitement du signal étant grandes et planes, elles ne sont pas adaptées pour être placées au plus proche du capteur, c'est pourquoi elles sont déportées loin de ce dernier. La miniaturisation permet à Safran, soit de simplement fabriquer des électroniques plus compactes, soit de venir équiper de composants intelligents des zones d'un système non utilisées à ce jour.

Par ailleurs, ces différentes électroniques côtoient un environnement très contraignant. Par exemple, dans l'aéronautique, selon les cycles de vols, les variations de températures peuvent aller de valeurs négatives de l'ordre de -55°C à des valeurs supérieures à 125°C . Cela représente de grandes amplitudes de températures qui, avec des matériaux ayant des comportements thermo-mécaniques différents, amènent des problématiques de fiabilité.

A l'heure actuelle, l'électronique utilisée est de type conventionnel avec l'implantation de composants en surface connectés par câblage filaire et utilisant principalement un routage sur les deux faces de circuits imprimés. Cette technologie, maîtrisée maintenant depuis longtemps, a fait partie de nombreux développements et campagnes de caractérisation, dans un premier temps avec l'assemblage en brasure de type $\text{Sn}_{63}\text{Pb}_{37}$ puis, avec les différentes évolutions de réglementation, le passage à des assemblages de type SAC (S pour étain, A pour Argent et C pour cuivre, brasures sans plomb). Le constat est que pour les environnements de cette étude, la brasure sans plomb est très souvent à remettre en question par rapport à la brasure historique contenant du plomb, d'un point de vue de la durée de vie de l'assemblage.

Une des solutions pour améliorer la densité de l'électronique, tout en augmentant la fiabilité, serait de s'affranchir du package du composant, par exemple grâce au report direct des puces sur un substrat, et plus particulièrement grâce à la technique de « flip-chip » qui présente la face active de la puce vers le substrat. Pour aller plus loin, le placement de composants intégrés dans le substrat ou l'assemblage d'une puce sur l'autre seraient également des solutions permettant d'arriver à une densification de l'électronique.

L'assemblage de puces par flip chip est une technique démontrée dans d'autres milieux. Toutefois, dans le domaine aéronautique, ce type d'assemblage n'est pas qualifié, la maturité n'est pas suffisante, et les coûts restent élevés pour des volumes qui sont actuellement faibles. De plus, l'ensemble des informations concernant à la fois les propriétés du substrat, de la puce, des dessins de conception et des matériaux intermédiaire placés entre le substrat et la puce (underfill) est dépendant de chaque application. Chaque cas est différent par les matériaux et composants employés, c'est pourquoi il a été décidé de s'assurer de la faisabilité et de la tenue en environnement de cette technologie qui, pour le moment, n'est pas employée dans ce domaine.

Dans cette étude est rassemblé l'ensemble des travaux effectués, de la recherche bibliographique aux différents résultats expérimentaux.

La première partie traite des informations générales au regard du sujet d'étude. Le contexte de la thèse et les problématiques liées au domaine de l'aéronautique sont présentés au paragraphe 2. Cette mise en contexte permet de poursuivre avec une définition plus poussée du sujet de la thèse. Dans le paragraphe 3, l'état de l'art est abordé avec les différentes technologies choisies et mises en œuvre dans cette thèse. Une introduction sur la fiabilité est ensuite présentée en paragraphe 4.

La seconde partie, au paragraphe 5, concerne la définition et la fabrication des véhicules de test. Les spécificités des assemblages de test sont développées. Le détail concernant les paramètres de conception des puces silicium est présenté, ainsi que le choix du substrat. L'ensemble de la partie caractérisation est également détaillé à travers le plan d'essais. Dans le paragraphe 6, la mise au point du procédé d'assemblages avec l'ensemble des tests de pré-assemblages est développé.

Enfin, la troisième partie, au paragraphe 7, permet d'aborder les résultats des tests après assemblage et après les essais thermomécaniques et conclut les travaux.

2. Contexte général de la thèse

Dans le domaine aéronautique, les feuilles de route d'intégration électronique montrent que le poids et le volume dédiés à l'électronique embarquée doivent subir une diminution d'un facteur 4 à 10 par rapport à l'existant pour les fonctions les plus récurrentes sur les 5 à 10 prochaines années, dans le but principal de réduire la consommation de carburant.

Intégrer plus d'électronique de façon classique, même en utilisant essentiellement des composants montés en surface avec les packagings les plus agressifs (puce en silicium, Package On Package « PoP », Ball Grid Array « BGA », circuits imprimés Haute Densité, etc.), devient une limite si l'on reste dans le domaine des composants disponibles sur le marché du semiconducteur, autrement appelés « COTS » (Commercial Off-The-Shelf). Il est donc fondamental de développer de nouvelles approches de packaging de ces composants afin de pouvoir disposer d'assemblages encore plus optimisés en masse, en volume et pour les fonctions intégrées. Pour répondre à ces problématiques, l'utilisation de puces sans packaging est une solution. Cette nouvelle voie de conception ouvre la possibilité de mieux maîtriser la fiabilité des électroniques qui, jusqu'à présent, étaient en « boîte noire », les fabricants ne communiquant que très peu sur la conception de leurs composants packagés. L'utilisation de composants sans package permet de maîtriser la conception des assemblages et, donc, de mieux connaître et contrôler, en fonction des besoins, leur fiabilité mécanique, thermique, et/ou électrique.

La thèse s'inscrit donc dans ce contexte d'ouverture vers de nouvelles solutions techniques pour tenter d'augmenter d'un facteur 10 la capacité à intégrer de l'électronique de manière versatile, sans éliminer des solutions de report, de câblage, d'intégration de puces et de boîtiers de composants montés en surface, etc., tout en assurant la fiabilité des briques technologiques ainsi obtenues.

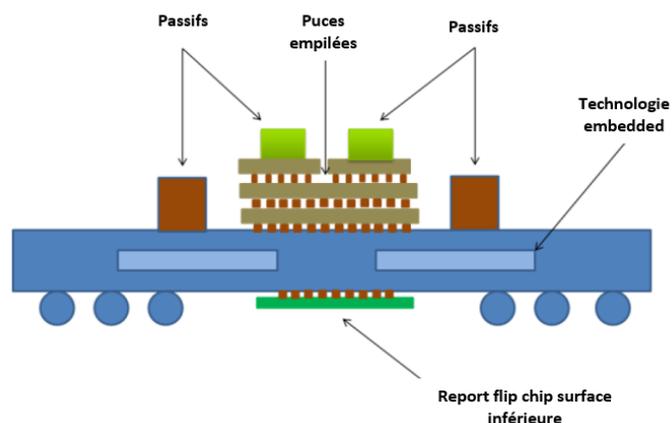


Figure 1 : Représentation de l'assemblage 3D visé par SAFRAN.

Les travaux nécessaires pour la réalisation d'un « System in Package » (SiP) envisagé par SAFRAN sont résumés sur la Figure 1. On peut citer différentes innovations par rapport aux technologies employées à l'heure actuelle comme la technologie des composants enterrés présentant la spécificité de pouvoir

introduire des composants actifs ou passifs dans le substrat, l'empilement de puces les unes sur les autres et, également, l'assemblage de composants actifs et passifs sur chacune des surfaces du substrat. L'accent est mis ici sur la technologie d'interconnexion de type piliers de cuivre et l'assemblage « flip chip » de puces nues.

Le premier axe de travail visité par la thèse, fort de l'expérience déjà acquise par SAFRAN sur les aspects SIP, est donc orienté par rapport au type de substrat d'accueil. Le substrat du SIP peut être de diverses natures, à savoir : organique (FR4 ou polyimide) avec intégration ou non de composants (puces et/ou passifs), céramique (Haute « HTCC (High Temperature Co-Fired Ceramic) » ou basse « LTCC (Low Temperature Co-Fired Ceramic) » température, ou couche épaisse), verre, ou encore silicium. Dans ces travaux, l'intérêt sera porté sur un circuit imprimé organique de type Land Grid Array (LGA) pour des raisons de coût et de choix du projet, d'autres solutions sont traités en parallèles de ces travaux de thèse.

Chaque type de substrat SIP est différent du fait de sa structure ou de ses matériaux. Par exemple, le nombre de couches de routage est plus faible sur un substrat céramique que sur un substrat organique. De plus, selon le type de substrats, la dissipation thermique change fortement entre des circuits imprimés organiques et céramiques.

Enfin, l'autre axe abordé de la thèse est au niveau de la réalisation d'assemblages de puces silicium sans package au-dessus du substrat du SIP, de leur report, de leurs connexions et de leur protection. Ce choix a été fait car ces travaux s'inscrivent sur un projet plus large traitant des autres problématiques comme l'enrobage, l'enfouissement de composants. La thèse est consacrée à cette brique technologique du report de puce sur substrat. L'objectif final de ce travail est de définir des règles de conception qui pourront ensuite être utilisées dans l'aéronautique pour la réalisation des assemblages SIP.

indéfiniment (on atteint déjà la taille de quelques atomes pour les derniers transistors), et que chaque diminution augmente drastiquement le coût comme présenté sur la Figure 3 . Arrivé à une certaine taille, de nouvelles problématiques sont présentes pour les transistors qui sont de plus en plus difficiles à résoudre, notamment pour les aspects analogiques.

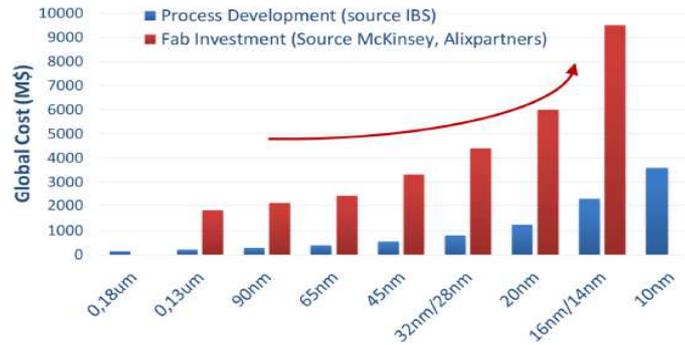


Figure 3 : Croissance exponentielle des coûts de développement et d'investissements des chaînes de production.

La Figure 4 met en évidence les limites atteintes du fait de l'augmentation de la densité d'intégration (loi de Moore) en fonction de la fréquence maximale d'horloge et la densité de puissance (liée à la capacité de dissipation thermique).

Pour s'affranchir de ces limitations, tout en augmentant les puissances de calcul par composant, les stratégies de contournement mises en place sont :

- Spécialisation (meilleure efficacité énergétique)
- Multiplication des processeurs (parallélisme des tâches avec une efficacité énergétique accrue et, potentiellement, non utilisation de certains processeurs).

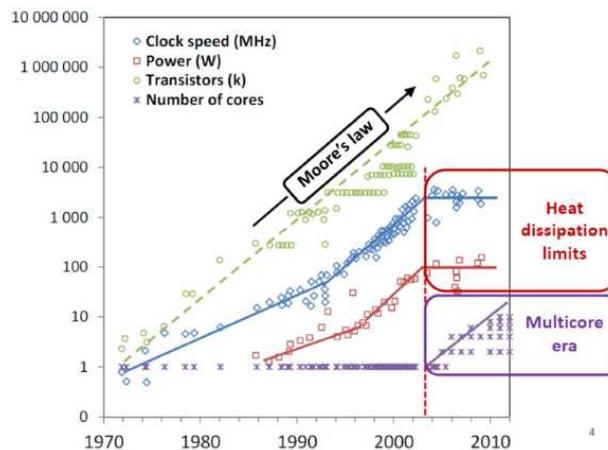


Figure 4 : Limites de la loi de Moore [4].

En effet, augmenter le nombre de processeurs qui travaillent en parallèle trouve une limitation d'un point de vue dissipation thermique, ce qui est à prendre en compte. Ce point constitue l'effet induit dénommé "dark silicon" : la dissipation maximale de puissance et/ou la densité de puissance admissible limite la quantité de transistors effectivement utilisables simultanément. Cette situation doit donc trouver son point de fonctionnement.

C'est pourquoi la direction des développements technologiques évolue. Il n'est plus question de seulement diminuer la taille des transistors pour obtenir une structure plus densifiée. Il y a une migration vers d'autres technologies comme l'assemblage 3D permettant de continuer l'augmentation du nombre de transistors par unité de volume sans pour autant diminuer la taille des transistors élémentaires. Un des axes principaux de travail pour augmenter l'intégration est le packaging et l'intégration hétérogène en 3D des composants.

3.1.2. Evolution des structures

3.1.2.1. *Limitation technologique d'une structure 2D*

Depuis toujours, les facteurs importants sont les performances et le coût des différentes cartes ou microprocesseurs. La miniaturisation des systèmes permet une amélioration des performances telles que le temps de commutation et l'augmentation de la bande passante.

Les performances des composants électroniques ont été améliorées avec le temps de manière importante mais ceci tend, désormais, à ralentir. Malgré cela, il est toujours demandé d'améliorer l'intégration et les performances. C'est pourquoi il faut considérer la structure dans son ensemble. L'enjeu est donc de raisonner au niveau de la conception globale du système en améliorant à la fois le composant et son packaging.

C'est donc logiquement que le problème se situe autour des interconnexions de composants actifs ou passifs et de l'intégration de l'ensemble des composants présents sur une carte. Cela peut se situer au niveau des interconnexions par câblage filaire, mais également sur des composants passifs montés en surface.

De plus, aujourd'hui, il est demandé aux industriels de fournir des cartes électroniques toujours plus performantes, possédant un taux d'intégration plus important et, surtout, embarquant des technologies hétérogènes. Pour répondre à ces problématiques, les composants et assemblages ont évolué. Ci-dessous sont passées en revue les principales catégories de packages. De plus en plus, le choix se fait sur l'utilisation de puces nues non packagées pour plusieurs raisons : le but premier est de gagner en intégration ; mais cela permet également d'avoir un contrôle total sur les interconnexions et sur leurs règles de conception, permettant ainsi un contrôle de la fiabilité. On peut résumer les différents assemblages dans la partie suivante en considérant deux grandes familles que sont le SOC (System On Chip) et le SIP (System In Package).

3.1.2.2. *Système On Chip (SOC)*

Le système-sur-puce, communément appelé par sa désignation anglaise « System On Chip » (SOC) est un système complet embarqué sur une seule puce. Les types de composants présents peuvent être variés tels que des mémoires, des microprocesseurs, des « MicroElectroMechanical Systems » (MEMS), ou tous composants actifs ou passifs nécessaires à la réalisation de la fonction. L'intérêt de ce genre de composants est d'intégrer, sur une seule puce, ce qui est généralement présent sur un circuit intégré pour réaliser une tâche. Les SOC sont très fréquents sur le marché de l'électronique portable en raison de leur faible consommation d'énergie. [5]

C'est donc pour des applications avec une architecture simple et un nombre de composants faible que le SOC est intéressant. Toutefois, pour des applications plus complexes, il est très difficile ou trop coûteux de tout placer sur une seule puce.

Quand il est impossible de construire un SOC pour une application particulière, une des alternatives est un système en boîtier, de sa dénomination anglaise, System In Package (SIP) comprenant un certain nombre de puces dans un seul package. Dans les grands volumes, le SOC est plus rentable que le SIP car il offre des coûts de fabrication plus bas. Néanmoins, les coûts de conception sont plus élevés et le délai de mise sur le marché est généralement plus long. Le plus souvent, son packaging est simplifié. [6]

De plus, la conception de ce type d'assemblage est très exigeante : le fait d'intégrer ces différentes fonctions sur un même substrat requiert des moyens de calculs ainsi qu'un savoir-faire très avancé entraînant un temps de développement relativement long. Etant dédié à une seule application, en cas de modifications ou évolutions de la structure, il est nécessaire de modifier toute la conception et de relancer une nouvelle fabrication, ce qui est très onéreux.

3.1.2.3. *System In Package (SIP)*

Comme annoncé précédemment, l'utilisation de la technologie SIP (System In Package) permet l'intégration de différentes technologies hétérogènes. L'intérêt de ce type d'assemblage est donc de permettre l'intégration sur un même substrat ou interposeur d'un ensemble de composants tels que des puces, des composants passifs et même des MEMS. Ces différents composants peuvent être brasés, câblés, ou bien assemblés en technique flip chip. A noter qu'un SOC lui-même peut devenir un interposeur.

C'est une démarche d'intégration généralement appelée « more than Moore ». En effet, quand on considère les cartes qui composent les équipements électroniques, la complexité des technologies d'assemblages suit une évolution beaucoup plus lente que celle observée dans la loi de Moore, en particulier du fait du taux d'intégration moindre des composants passifs et magnétiques.

L'augmentation du nombre de fonctions à iso surface est moindre, et le gap entre les deux courbes de miniaturisation (composant actif silicium ou cartes équipement) ne fait que s'accroître au fil du temps.

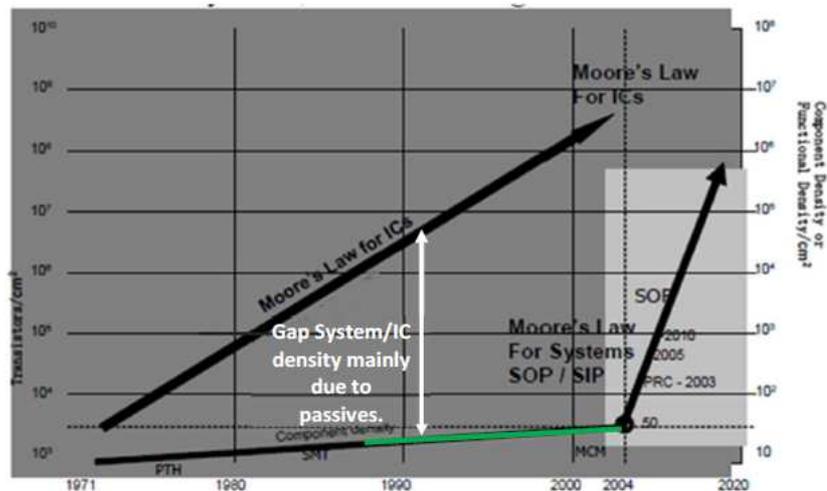


Figure 5 : [Source Safran] - Loi de Moore pour l'intégration des systèmes.

Sur la Figure 5, la courbe verte présente l'évolution de la densité fonctionnelle des calculateurs qui confirme la pente d'évolution présentée au niveau cartes.

L'avènement des technologies de System In Package (SIP) ou System On Package (SOP) permet un changement de pente radical du taux de croissance de la densité de fonctions par cm^2 au niveau des cartes, et permet d'envisager des taux de miniaturisation des équipements encore jamais atteint.

Il est ainsi possible d'assembler des substrats les uns sur les autres (Package On Package) ou bien encore une puce sur une autre. Cela est rendu possible car elles sont dénuées de packaging. Ces configurations permettent d'avoir un taux d'intégration intéressant et plus simple à mettre en œuvre que le SOC.

On peut donc résumer l'ensemble des avantages du SIP par ces différentes caractéristiques :

- Assemblage de puces nues en 2D ou 3D
- Assemblage hétérogène à la fois pour les technologies (ex CMOS et MEMS) et les substrats (silicium)
- Faibles perturbations et consommation électrique aux vues des faibles longueurs d'interconnexions dans le cas d'assemblage flip chip (inductances parasites minimisées)
- Possibilité d'assemblage 3D
- Flexibilité et réutilisation possible en modifiant une puce parmi celles présentes

Il existe différents types de SIP. Ces différentes configurations possèdent des architectures variées. Il est possible de classer ces grandes catégories en 2 groupes. Le premier niveau d'architecture repose sur l'empilement de puces ou de substrats, « stacked package », ce qui augmente l'intégration du composant en 3D. Le second appelé « side by side » repose sur le principe d'assemblage des puces les unes à côté des

autres. Ce second groupe est considéré comme un intermédiaire entre l'intégration 2D et 3D avec la dénomination 2.5D et permet un taux d'intégration plus intéressant mais inférieur à l'assemblage 3D de puces et substrats. Toutefois, il est possible de coupler ces deux grands groupes, et de se retrouver avec des substrats assemblés les uns sur les autres comportant des technologies « side by side ».

L'ensemble des différentes configurations de SIP est représenté sur la Figure 6.

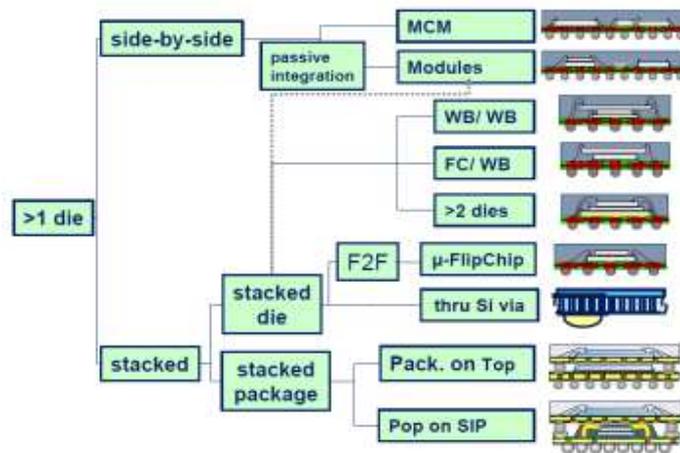


Figure 6 : Différents assemblages SIP [7].

Le passage de l'intégration 2D à 3D conduit à l'utilisation de nombreuses technologies nouvelles. Une des briques essentielles est l'interposeur permettant l'augmentation du niveau d'intégration. L'interposeur est utilisé dans des architectures SIP et leur utilisation explose aux vues des problématiques technologiques actuelles. Nombre des configurations citées précédemment sont possibles grâce au développement des architectures utilisant des interposeurs. Comme son nom l'indique, sa fonction première est d'être interposé, à savoir d'être placé entre les puces et la carte électronique comme un élément supplémentaire pour relaxer les contraintes d'assemblage et permettre d'augmenter les densités d'interconnexions, tout en améliorant la durée de vie. Par exemple, un substrat organique de type LGA « Land Grid Array » sur lequel est reporté une puce en flip chip est considéré comme un interposeur organique. Une représentation schématique explique l'interposeur.

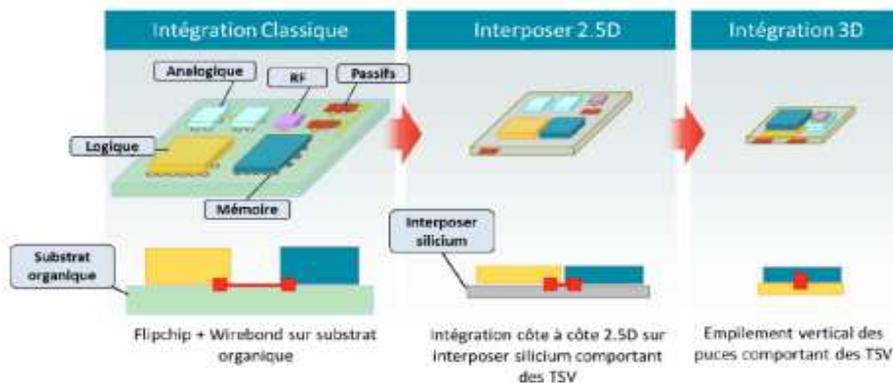


Figure 7 : Représentation de l'évolution des différents interposeurs passant du 2D à l'intégration 3D [8].

Initialement, les interposeurs étaient le plus souvent des Ball Grid Array (BGA) pour les processeurs ayant trop d'entrées/sorties, permettant ainsi de l'assembler directement sur une carte. Les premières technologies ont été embarquées sur ces matériaux-ci et ce sont actuellement les plus utilisées. Néanmoins, d'autres interposeurs ont été introduits dans le monde de l'électronique comme des interposeurs silicium, céramique ou verre. Chacun a des spécificités qui vont être mises en avant dans la section suivante.

L'interposeur silicium a l'avantage d'avoir un coefficient de dilatation thermique identique aux puces. Cette caractéristique diminue considérablement les contraintes thermomécaniques et, donc, augmente la fiabilité du premier niveau de la puce. Toutefois, il déplace le problème au niveau de son report sur le substrat. De plus, pour des pas agressifs d'interconnexions, il autorise l'utilisation de couches de redistribution (RDL) très denses. Cette densité de routage est inégalable dans les autres catégories d'interposeur, verre, organique... Un de ses grands avantages est également de pouvoir mettre des banques de passif (« Integrate Passif Device » IPD technologie) comme par exemple des capacités en 3D dans son épaisseur. Les capacités 3D sont des capacités dites verticales permettant un taux d'intégration dix fois plus élevé selon les études effectuées à SAFRAN. Grâce à l'interposeur, il est possible de rapprocher les capacités des composants actifs afin de réduire les pertes liées aux longueurs d'interconnexions. Par conséquent, les apports de ces capacités peuvent augmenter le taux d'intégration apporté par l'interposeur silicium. Cette solution, plus récente, reste chère mais peut être une réelle opportunité pour de futurs produits.

L'interposeur céramique possède plusieurs avantages en comparaison de l'interposeur organique. Un des avantages est son coefficient de dilatation thermique de 10 ppm/°C réduisant les contraintes thermomécaniques entre le composant et le substrat. Il est donc intéressant dans les applications de haute température. De plus, sa très bonne conductivité thermique permet une évacuation des calories plus efficace.

Le principal désavantage de l'interposeur céramique est la limitation en taille des largeurs de pistes et d'isollements. De plus, il est possible de router sur plusieurs couches conductrices mais l'utilisation de 10 couches conductrices sur de la céramique est plus chère que 10 couches sur de l'organique.

L'interposeur verre peut avoir une épaisseur de 50 µm à 500 µm. Il possède des vias nommés TGV (pour Through Glass Via) de diamètres jusqu'à 50 µm. Son coefficient de dilatation peut aller de 3 ppm/°C jusqu'à 9 ppm/°C. De plus, la technologie de couche de redistribution est compatible avec celle des interposeurs silicium. [9]. Toutefois le nombre de couche de routage reste limité.

L'un des avantages de ce type d'interposeur est l'utilisation pour des applications optoélectroniques, MEMS et radio fréquence. En effet, par ses caractéristiques intrinsèques, il peut permettre un transfert des données optiques à travers sa structure. La liste des matériaux comme le verre et le quartz n'est pas exhaustive. La deuxième caractéristique notable est l'isolation qui est inhérente au substrat lui-même et bien plus performante que les autres types d'interposeur, en particulier pour les applications radio fréquence. De plus, la fabrication d'éléments passifs comme des filtres, des capacités verticales ou des inductances peut être facilement réalisée sur ce type de substrats.

Pour conclure, chacun des interposeurs a ses avantages et ses inconvénients. Le choix de l'interposeur sera dicté par l'application et les problématiques liées à son utilisation et son environnement.

3.1.3. Les avantages du passage du 2D à la 2,5D et 3D

A l'heure actuelle, le passage de la 2D à la 3D est justifié par les demandes d'amélioration des spécifications pour les circuits intégrés qui sont constamment revues à la hausse. Ceci peut se traduire par une augmentation des puissances à intégrer ou bien des puissances de calcul toujours plus importantes. En plus des performances, il y a une demande pour une polyvalence au niveau des technologies à assembler sur une même carte en exigeant un prix toujours plus bas.

C'est pour ces différentes raisons que de nouvelles structures et technologies ont été développées par les industriels. Trois intérêts majeurs peuvent être listés tels que les performances électriques, la réduction des surfaces de routage, et l'intégration hétérogène.

Afin de faire évoluer les technologies pour répondre aux besoins toujours plus importants, l'intégration 3D apparaît comme la réponse la plus performante. Pour arriver à cette dernière, la miniaturisation des composants est le premier facteur. Le principe initial de l'intégration 3D est, comme son nom l'indique, d'empiler des puces les unes sur les autres. Pour cela, une autre technologie en découle directement permettant d'assurer les interconnexions entre les différentes puces, les TSV pour « Through Silicon Via ». Un TSV est une passerelle électrique permettant de connecter verticalement les deux faces d'un substrat ou d'un composant. De plus, l'intégration de TSV permet une plus grande vitesse de communication par rapport à une structure planaire, due aux longueurs des interconnexions plus faibles [10]. Le premier avantage qui découle de cette structure est la réduction de la surface du routage, étant donné que les puces occupent plusieurs étages.

Le dernier point concerne les performances électriques. Jusqu'à présent, les longueurs des lignes d'interconnexions ne pouvaient être diminuées que faiblement. Avec l'arrivée des TSVs, cela permet de changer totalement ce paramètre. Comme représenté sur la Figure 8, il est possible de voir que le chemin parcouru (en orange) est plus faible dans une structure 3D. Ces performances électriques seront plus précisément développées dans la partie suivante.

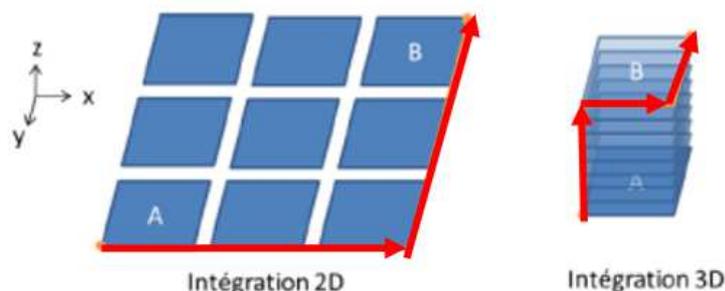


Figure 8 : Représentation schématique du chemin électrique d'une configuration standard 2D et avec un assemblage 3D. [11]

Les différents points améliorés sont les suivants :

- Temps de transfert des informations : jusqu'à présent cela était principalement dû à la longueur des fils. Désormais, le chemin critique est imposé, non pas par les connexions, mais par les éléments du système. Par exemple, pour les caches mémoire présents sur deux niveaux, le gain est de l'ordre de 25%. [3]
- Réduction de la puissance : Une étude a démontré que, selon l'architecture 3D employée, il était possible de gagner 7 à 46% de consommation de puissance lorsqu'on passe d'une architecture qui passe de la 2D à la 3D [12]. Une autre étude par le biais de simulations a démontré des différences de consommation au niveau de l'architecture des puces. D'un autre côté, un exemple concret peut-être pointé avec le processeur Pentium-4 3D qui, comparé à la version 2D, présente une diminution de 15% de sa puissance consommée pour une performance augmentée de 15% [13].

3.1.4. Conclusion

Dans cette partie, l'historique des architectures en microélectronique a été abordé. Comme il est possible de le constater, depuis de nombreuses années les industriels repoussent les limites technologiques des composants et des cartes électroniques. Initialement, l'utilisation de cartes électroniques classiques 2D avec des technologies de composants montés en surface ont évolué vers des assemblages SOC, puis, à présent, SIP. Les feuilles de route technologiques sont désormais dirigées pour une bonne part vers l'amélioration du packaging. Ceci repose essentiellement sur le constat qu'il y a un écart important dans le niveau d'intégration entre les composants sortant des fonderies et le packaging. C'est pourquoi ce dernier représente maintenant un enjeu crucial. Par ailleurs, les nouvelles architectures mettent en jeu de nouveaux composants appelés interposeurs. Ceux-ci permettent de faire l'interface entre la puce et la carte électronique en relâchant les contraintes et en permettant une augmentation des entrées et sorties. Ce type d'assemblage permet, en outre, une intégration hétérogène de différentes technologies en diminuant la surface de routage tout en augmentant les performances électriques. C'est donc dans cette optique que sera développé l'interposeur organique de type LGA dans cette étude.

3.2. Les technologies d'interconnexions compatibles flip chip

3.2.1. Introduction

Dans cette partie, il sera principalement question des techniques d'assemblages qui sont compatibles avec la technologie flip chip car il s'agit de la méthode choisie pour l'assemblage des puces de cette étude. En effet, pour assembler ces puces il existe plusieurs méthodes, chaque méthode mettant en jeu un procédé différent. Tout d'abord, un rappel général sur les assemblages électroniques est fait puis, dans un second temps, le report par flip chip est abordé plus précisément. Ceci amène à la description plus précise des différentes couches mises en jeu ainsi que les étapes de fabrication des piliers de cuivre.

3.2.2. Entités composant un assemblage électronique

Dans cette partie les différents éléments d'un assemblage électronique sont présentés. Celui-ci implique principalement trois entités : le composant, le circuit imprimé, et l'interconnexion assurant le lien entre les deux éléments.

La première entité est le composant, il en existe plusieurs genres. Ils peuvent, par exemple, se différencier par leurs fonctionnalités et le type de technologie de fabrication (CMOS, MEMS, bipolaire...). Ces différents composants peuvent être des capacités ou pavés résistifs avec des plages de brasure sérigraphiées, des BGA ou des puces silicium avec des billes de brasures, ou encore des composants en céramique de type LCC. De plus, il peut s'agir de composants montés en surface classique comme des résistances avec des broches traversantes, ou pattes câblées en surface de types TSOP, QFP.

La seconde entité est représentée par la carte du circuit imprimé. Le circuit imprimé est principalement présent afin d'assurer deux fonctions : le support mécanique ainsi que l'interconnexion électrique entre les composants et le système. Les cartes sont principalement composées d'un substrat multicouche alternant du cuivre et un isolant organique pouvant comporter une dizaine, ou plus, de couches pour une épaisseur totale de 1,5 à 2 mm. Pour des utilisations particulières comme dans le spatial ou dans le domaine de la haute température nécessitant des propriétés mécaniques et thermiques contraignantes, des circuits en céramique sont utilisés.

L'interconnexion des composants avec le circuit imprimé ou la carte électronique est réalisée entre des plages de report en cuivre sur la carte et les terminaisons métalliques côté composant. Le maintien du composant sur les plages du circuit est assuré soit par les joints de brasure, soit celle à l'extrémité des piliers de cuivre « copper pillar », ou bien des billes d'or « Gold Stud Bump ». Il est possible d'observer sur la Figure 9 différents composants présentant des techniques d'assemblages variées : à gauche, une puce est reliée par des billes de brasure à une carte, alors qu'à droite, il s'agit d'une coupe d'une résistance directement brasée sur la carte.

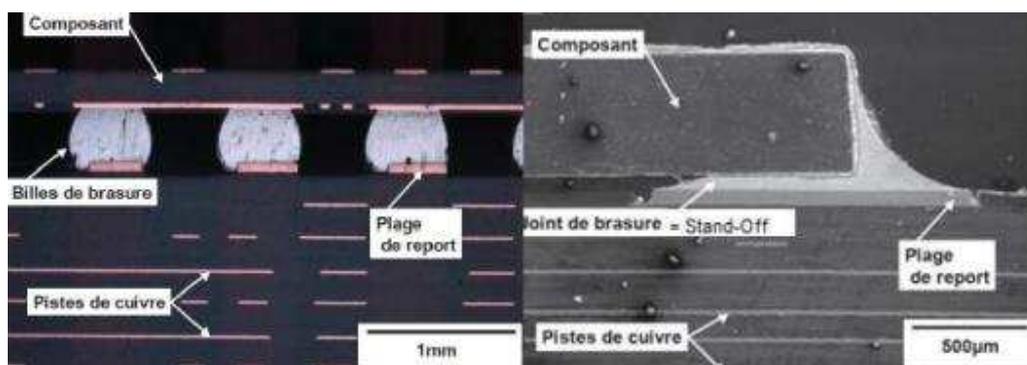


Figure 9 : Coupe d'un empilement assemblé par billes de brasage de type BGA et d'une résistance directement brasée sur le substrat [14].

3.2.3. Définition d'un assemblage Flip chip

Dans cette partie, le cas de l'assemblage flip chip va être abordé. C'est une technique connue depuis longtemps et de plus en plus utilisée pour faire face aux besoins de miniaturisation. Comme son nom l'indique, flip chip, la puce est retournée, la partie active (transistors) face au substrat contrairement à un assemblage par câblage filaire. Les connexions, cette fois-ci, se font en regard entre la puce et le substrat. La configuration d'un assemblage flip chip est représentée sur la Figure 10 :

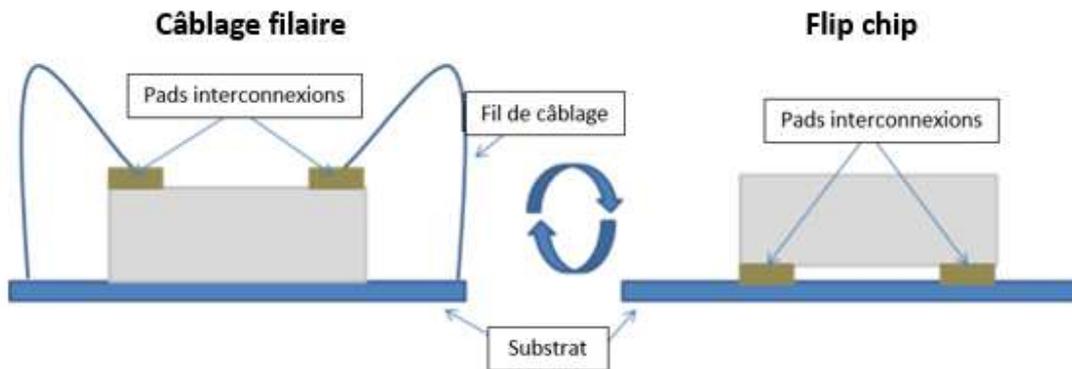


Figure 10 : Représentation d'une puce assemblée en câblage filaire et en flip chip.

L'assemblage repose sur le brasage de la puce sur le substrat par l'intermédiaire d'une interconnexion. Celle-ci est essentielle pour les assemblages flip chip car elle permet la connexion électrique de l'assemblage ainsi que le maintien mécanique. Cette interconnexion peut avoir différentes géométries comme une bille, un pilier, de la pâte à brasier, etc. Différents matériaux peuvent être employés tels que le cuivre, l'or ou les alliages à base d'étain. Il est courant de retrouver parmi les associations les plus employées : les billes de SnAg, SnAgCu de taille allant de 100 à 600 μ m de diamètre, les billes d'or, ou encore, les piliers de cuivre avec brasure SnAg. Ces variantes seront développées ultérieurement. En dessous de l'interconnexion, il y a une couche appelée UBM (Under Bump Metallurgy). L'une de ses fonctions est d'assurer la mouillabilité de la brasure sur la puce tout en contrôlant par sa géométrie la délimitation de la bille.

Les différentes entités composant l'interconnexion peuvent se résumer à 4 points comme listés ci-dessous. Pour bien comprendre les caractéristiques du procédé, il est nécessaire de bien identifier les différentes composantes de cette technique :

- L'Under Bump Metallurgy (UBM)
- Le plot de sortie de la puce et du substrat
- L'alliage de brasage
- L'underfill

La fiabilité des assemblages repose principalement sur la brasure et le procédé employé. La structure du plot de brasage et son procédé d'élaboration sont la clé de la fiabilité pour le long terme et pour l'assemblage lors de la fabrication. Avant d'entrer dans le détail des procédés, voici un bref résumé des caractéristiques recherchées.

Pour l'Under Bump Metallurgy (UBM)

Il s'agit d'une couche entre le plot de connexion et la puce comme décrit dans la Figure 11 :

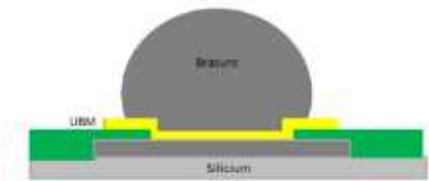


Figure 11 : Vue d'une bille de brasure sur un plot comportant un UBM.

Son rôle et les propriétés recherchées sont décrits ci-dessous [15].

- Adhérence sur la finition métallique des plots du circuit pour une bonne tenue mécanique
- Protection de la finition métallique du circuit par rapport à son environnement pour éviter toutes dégradations
- Faible résistance électrique afin de ne pas perturber le système
- Barrière de diffusion du matériau brasé
- Couche permettant le mouillage de l'alliage
- Redistribution des contraintes sur la surface de la puce

Plages d'interconnexions côté puce et substrat :

Les plages d'interconnexions côté puce et substrat sont destinées à être connectées ensemble par le biais d'un alliage de brasage. Pour maximiser la fiabilité de l'ensemble, il faut que la brasure mouille correctement les plages d'accueil afin de maximiser son accroche. De plus, les règles de conception concernant le diamètre de plages d'accueil sont très importantes pour l'assemblage du composant et sa fiabilité. Il est donc impératif de maîtriser la conception, d'autant plus lorsque les pas visés sont de plus en plus faibles, et donc que l'assemblage du composant sur le substrat est plus critique.

Underfill

Typiquement, entre la puce et le substrat il y a présence d'un espace lié à la hauteur de la connexion. Par exemple, une bille de brasure va venir surélever la puce. Cet espace est souvent rempli par une substance non conductrice appelée « underfill ». Plusieurs méthodes peuvent être utilisées pour insérer ce matériau dans l'assemblage. Les différentes méthodes seront développées plus tard mais, la plupart du temps, il est inséré par capillarité. Ce matériau d'interface permet, dans un premier temps, de protéger l'assemblage, en particulier de l'humidité, et de diminuer les contraintes mécaniques entre les deux éléments assemblés. En effet, les puces étant souvent en silicium, dans le cas d'un assemblage sur un substrat organique, la différence importante de coefficient de dilatation thermique implique de fortes contraintes thermomécaniques ; d'où l'utilisation d'un underfill permettant une meilleure répartition des contraintes.

Le joint d'interconnexion

Le joint sert de liaison entre la puce et le substrat. Dans le cas d'un alliage de brasage, le lien se fait par le biais d'une diffusion atomique activée thermiquement. Il est en contact avec les plages en cuivre ou UBM présents sur les deux entités. Il permet, dans un premier temps, un maintien mécanique de l'ensemble. Il peut être constitué d'un alliage de brasage, d'un métal comme l'or, par exemple, lors d'un assemblage par billes d'or, et, parfois, d'un matériau polymère comme certaines colles conductrices. Les paramètres importants le concernant sont sa forme et son épaisseur. En effet, il ne faut pas qu'il soit écrasé et de forme non homogène. Cela peut avoir un impact sur la fiabilité de l'assemblage. Avec l'augmentation des hauteurs des connectiques, il y a une augmentation de la fiabilité des assemblages. On peut citer les travaux de Engelmaier [16] qui a développé une équation ([Équation 1]) de durée de vie des composants en tenant compte de la géométrie de la brasure et, en l'occurrence, l'un des paramètres tient compte de l'épaisseur de brasure. Cette équation est principalement utilisée pour les composants de type BGA.

$$\Delta\gamma = C \frac{L_D}{h_s} \Delta\alpha \Delta T$$

[Équation 1]

Avec C constante dépendant de la géométrie, L_D la diagonale depuis le point central, $\Delta\alpha$ différence de coefficient de dilatation thermique entre le composant et le substrat et ΔT la différence de température du cycle thermique.

Le report par assemblage flip chip comporte donc de nombreux avantages. Le premier est une amélioration électrique du fait du très court trajet des interconnexions en comparaison aux fils de câblage traditionnels. Le second avantage est l'amélioration de la densité d'interconnexions ; la redistribution des signaux d'entrées et de sorties peut se faire non plus uniquement sur la périphérie de la puce, mais également en son centre. Le troisième point est la réduction de l'inductance des interconnexions qui permet donc une augmentation des fréquences des signaux d'entrée et de sortie. Où le câblage filaire permet d'arriver à des impédances de 4,5 nH, les interconnexions flip chip directes ont une valeur de 1,2 nH [17].

3.2.4. Les deux familles d'interconnexions

Depuis de très nombreuses années, les billes de brasure sont le plus souvent utilisées pour assurer les interconnexions. Mais de plus en plus, pour des besoins de miniaturisation, les technologies [18] se sont orientées vers des piliers de cuivre avec des micro billes en brasure au-dessus comme représenté sur la Figure 12. Ces derniers permettent un pas plus faible au niveau des interconnexions.



Figure 12 : Représentation d'une interconnexion par billage et par pilier de cuivre.

La mise en œuvre n'est pas tout à fait identique, mais le principe reste le même dans les deux cas. En effet, une étape appelée refusion est présente et permet de dépasser la température de fusion de l'alliage pendant un laps de temps conduisant à la diffusion de l'alliage dans les couches en contact de part et d'autre de l'assemblage, à savoir côté puce et côté substrat dans le cas présent, formant ainsi les joints de brasure. Cette étape est fondamentale et peut modifier significativement la hauteur de la brasure. En effet, un processus mal maîtrisé en temps et/ou température aurait pour conséquence, par exemple, un écoulement de la brasure. Cet écoulement peut être contenu par le vernis présent au niveau du substrat dans le cas où il est défini au niveau des plages d'accueil (on parle de définition par le vernis épargne).

Globalement, la technique d'assemblage utilisant les micro piliers comporte plusieurs avantages. Le premier est un meilleur contrôle de la hauteur entre le substrat et la puce silicium, étant donné qu'il est possible d'avoir une hauteur de cuivre plus ou moins importante qui, pendant la refusion, ne bouge pas. Or, il est démontré que ce paramètre influe sur la durée de vie des composants en cycle thermique comme montrés dans les travaux de Engelmaier [16]. De plus, par leurs procédés de fabrication, le contrôle du diamètre des deux technologies (pilier de cuivre ou bille de brasure) de micro interconnexions est maîtrisé et permet d'arriver à des pas de l'ordre de 10-20 μm [19] en technologie silicium et 30 μm sur des substrats organiques.

D'un point de vue fonctionnel, le micro pilier possède deux avantages supplémentaires. Le premier est électrique. Effectivement, le cuivre est capable de faire transiter un courant (10^6 à 10^7A/cm^2) plus important que le joint de brasure (10^4 à 10^5A/cm^2) [20]. De plus, la résistivité du cuivre est plus faible que celle de la brasure.

Le second point est thermique. En effet, le cuivre possède une conductivité thermique ($390\text{W.m}^{-1}\text{.K}^{-1}$) plus importante que celle de la brasure SnAg, il y aura donc une meilleure évacuation de la chaleur.

Pour tous ces points, la technologie micro pilier semble être plus intéressante pour les applications aéronautique. Toutefois, bien que maîtrisée pour de multiples environnements, cette solution reste peu présente et étudiée dans le domaine de l'aéronautique et, plus précisément, dans le cas de faibles pas d'interconnexions et d'assemblages sur substrats organiques.

3.2.5. Assemblage par billes d'or « Gold Stud Bump»

Cette technologie est ancienne car il s'agit d'un dérivé de l'assemblage filaire en fil d'or. Elle revient de plus en plus aujourd'hui pour des raisons de normes sans plomb et de besoins de fiabilité.

L'assemblage par billes d'or est une méthode d'interconnexion utilisée en flip chip. Le principe repose sur le fait de déposer des billes d'or sur les plages d'accueil de la puce pour l'assemblage. Les pas typiquement visés sont de l'ordre de 100 μm sur des plots de 75 μm environ. Une étude montre la faisabilité de cette technique sur des pas de 50 μm . [21] Ces billes doivent assurer la tenue mécanique de l'assemblage mais également la continuité électrique. Le plus souvent, ce genre d'assemblage se fait par vibration ultrasonique, mais certains chercheurs essaient également la voie par thermocompression. Ces méthodes seront expliquées ultérieurement. La bille, comme représentée sur la Figure 13, vient initialement d'un fil d'or qui est sectionné, d'où sa forme conique.

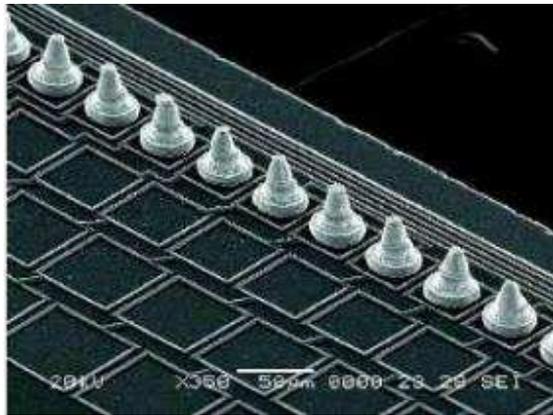


Figure 13 : Vue de billes d'or déposées à un pas de 50 μm pour un assemblage [22].

Le procédé de fabrication des billes est le suivant :

- 1) Formation de la bille d'or au bout du fil. Mise en température du système.
- 2) Dépôt de la bille d'or sur les plages d'accueil du substrat avec ultrason pour l'adhésion.
- 3) Décollement de la buse pour la bille suivante.



Figure 14 : Représentation des différentes étapes de dépôt des interconnexions pour un assemblage par billes d'or (GSB).

Les différents avantages de cette méthode sont les suivants :

- Plus grande ductilité de l'or par rapport au cuivre ($\times 2$) ou à l'étain ($\times 5$) qui accepte donc mieux les contraintes importantes.

- Possibilité d'assembler directement sur la finition aluminium de la puce. En effet, pour appliquer l'assemblage par billes d'or, on peut s'assurer que la puce peut s'assembler par câblage filaire. Du fait de sa mise en œuvre, la première étape est très ressemblante à un assemblage par câblage filaire.

- Le coût est également un des avantages offerts par cette technique. Effectivement, vu que l'assemblage par billes d'or est une variante du câblage filaire, il peut être mis plus rapidement en application pour différentes configurations. De plus, il ne nécessite pas la fabrication de masque de lithographie, contrairement au dépôt de brasure. Surtout, il peut être réalisé sur des puces individuelles et est très avantageux pour un faible nombre d'interconnexions.

- De plus, son point de fusion étant élevé, il permet d'accepter des brasages ultérieurs plus nombreux. Du fait de son point de fusion élevé, il y a peu de risque de fluage à 125 °C.

- Enfin, le dernier point est le fait que cette technique soit conforme RoHS, cette réglementation vise à réduire certains composants comme le plomb (brasure), mercure (peinture)...avec des concentrations maximales de 0,1% en masse à l'exception du cadmium qui est de 0,01%. Cela permet une compatibilité avec un nombre de normes et de marchés plus importants et diversifiés.

3.2.6. Assemblage par piliers de cuivre

Dans cette partie, les différentes grandes étapes de la fabrication d'un pilier de cuivre sont expliquées. Il faut savoir que chaque laboratoire a sa méthode et ses procédés particuliers, mais les grandes étapes restent les mêmes. Une vue de pilier de cuivre avec un pas de 50 μm est proposée sur la Figure 15 :

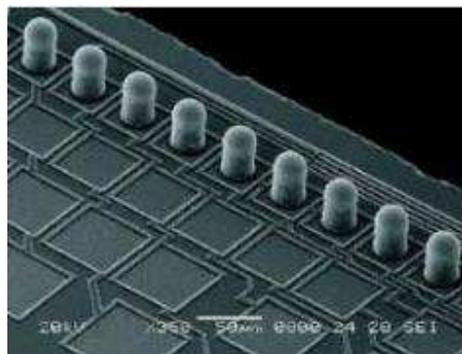


Figure 15 : Vue des piliers de cuivre à un pas de 50 μm [22].

Tout d'abord, rappelons que le principe de cette technique d'interconnexion est la fusion d'un métal pour former un intermétallique qui jouera le rôle de joint de brasure. Cette brasure est déposée sur un plot de cuivre, l'ensemble étant réalisé par dépôt électrolytique. L'intermétallique formé lors de la refusion est généralement du Cu_6Sn_5 , ce dernier participe à l'accroche du pilier sur le plot du substrat. La température

nécessaire pour obtenir ce composé est aux alentours de 220 °C comme représenté sur le diagramme de phases des alliages Cu-Sn de la Figure 16.

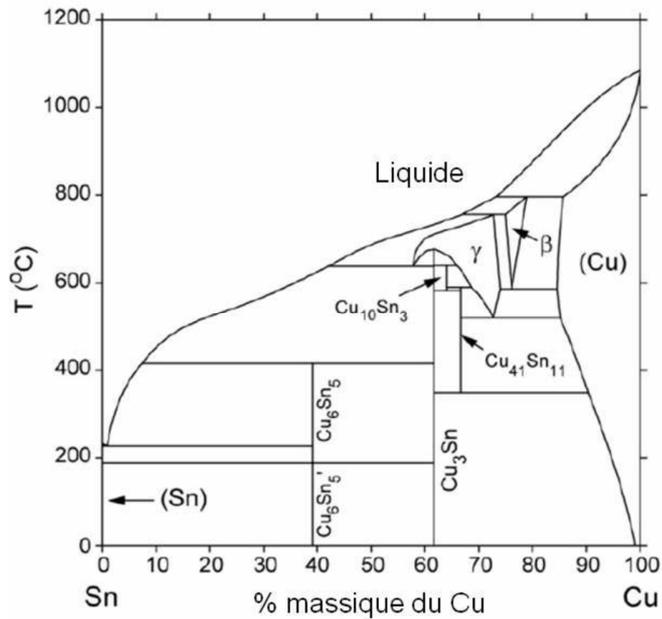


Figure 16 : Diagramme de phases Cu-Sn.

Les différentes étapes de fabrication d'un pilier de cuivre sont décrites ci-dessous.

- 1) Préparation du substrat, dépôt d'une couche d'accroche en titane sur l'oxyde de silicium présente sur le circuit, suivi d'une couche de cuivre. Cette couche de cuivre servira à amener le courant d'électrolyse au niveau des surfaces d'échanges pour permettre la croissance du pilier d'interconnexion.
- 2) Mise en place d'une résine photosensible pour effectuer une photolithographie. Une fois exposée aux ultra-violets, la résine devient soluble. Deux types de résine existent, positive ou négative. Une fois l'exposition réalisée, la résine restée soluble est retirée à l'aide d'une solution chimique appelée développeur. Dans le premier cas, la partie insolée est soluble dans le développeur, et dans l'autre cas, elle reste en place.
- 3) Le cuivre est alors électrodéposé à travers le moule formé par la résine sur la couche de cuivre déposée au préalable. Ensuite, une couche de nickel est également déposée par dépôt électrochimique pour constituer une barrière métallurgique entre le cuivre et la brasure.
- 4) Ensuite, vient le dépôt par électrolyse de l'alliage de brasure sur le plot de cuivre-nickel. Il peut être de différentes natures, telles que le SnAg ou le SAC (alliage d'étain, argent et cuivre avec des compositions pouvant varier).
- 5) Une fois le plot terminé, la résine est retirée, soit par attaque chimique liquide, soit par une gravure plasma.

- 6) Vient ensuite le retrait de la couche de cuivre qui avait permis la croissance électrolytique, et de la fine couche d'accroche en titane, ceci à l'aide d'une gravure en immersion chimique ou par gravure plasma.
- 7) Et, enfin, la dernière étape est celle de la refusion qui permet la fusion de la brasure. Cela donne son aspect final au pilier avec une forme hémisphérique de la brasure au-dessus du plot de cuivre. Il est alors prêt à être assemblé.

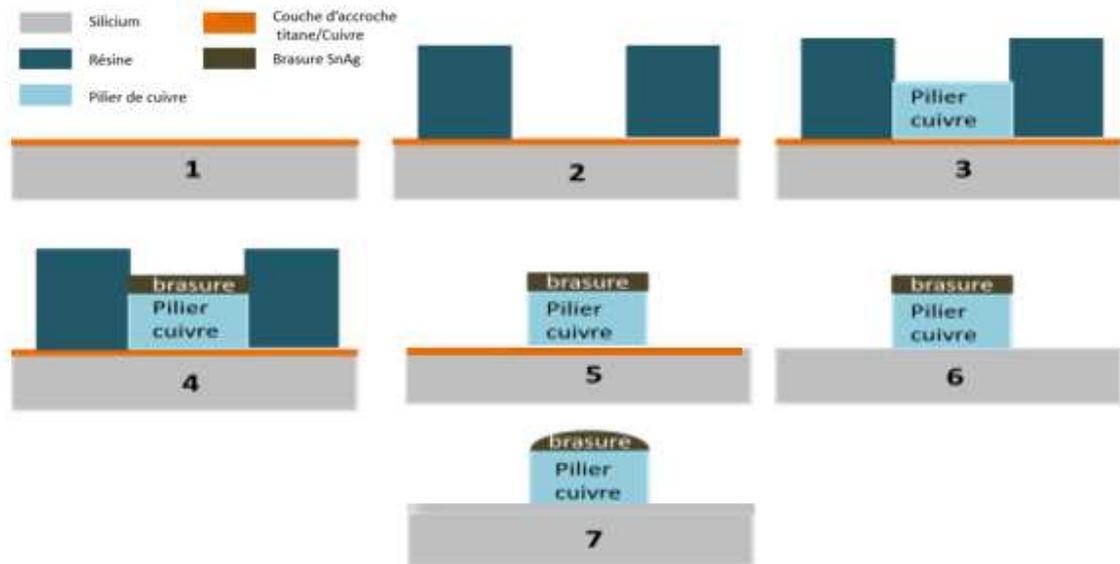


Figure 17 : Représentation des différentes étapes de fabrication d'un pilier de cuivre.

3.2.7. Conclusion

Cette partie a permis de rappeler la constitution d'un assemblage flip chip constitué de trois éléments : un substrat, une puce et des interconnexions pouvant être de différentes natures. Historiquement, les composants étaient assemblés avec de la pâte à braser. Toutefois, avec l'évolution des besoins en miniaturisation, de nouvelles méthodes ont été développées. Le report flip chip en fait partie. Cette méthode, reposant sur l'assemblage direct de la puce sur le substrat, contrairement au câblage par fil, utilise principalement deux familles d'interconnexions. La première est l'assemblage par billes d'or communément appelée « Gold Stud Bump », la deuxième est l'assemblage par piliers de cuivre communément appelé « copper pillar ». Ces deux technologies permettent une diminution des pas d'interconnexion en deçà de 50 μm .

3.3. Finition des substrats

3.3.1. Introduction

Une fois l'interconnexion créée, la question de la protection de la plage d'accueil du côté du substrat se pose. Les assemblages peuvent être effectués plusieurs semaines après la fabrication de ces derniers. C'est pourquoi il est nécessaire, dans un premier temps, de protéger et d'assurer une stabilité de l'interface. Deuxièmement, cette couche doit pouvoir permettre une brasure par la création d'intermétalliques. C'est pourquoi plusieurs revêtements protégeant de l'oxydation les pistes de cuivre existent dans le monde de l'électronique. Les principales sont listées ci-dessous en expliquant leur principe, ainsi que les avantages et inconvénients qui en découlent.

3.3.2. Finition ENIG (nickel / or chimique)

La finition ENIG (Electroless Nickel / Immersion Gold) est constituée d'une première couche de nickel déposée par voie chimique intégrant du phosphore permettant d'éviter la corrosion de la couche. Une fois ce dépôt effectué, l'étape suivante est une immersion dans une solution contenant de l'or. L'objectif de cette fine couche d'or est de protéger le nickel pour éviter qu'il ne s'oxyde à l'air. Cependant, la couche d'or étant poreuse, son efficacité dans le temps en stockage est limitée. Quant à la couche de nickel, elle agit comme une barrière de diffusion à la piste en cuivre. La vitesse de dissolution du nickel dans l'alliage de la brasure est inférieure à celle du cuivre [23].

Les avantages présentés par cette finition sont une bonne tenue dans le temps en cycle thermique, ainsi qu'une brasabilité compatible avec de nombreuses techniques. Il s'agit également d'une finition très répandue et, donc, accessible facilement pour différents types de substrats. Toutefois, elle présente des inconvénients comme décrits ci-dessous :

- La couche de nickel n'est pas toujours compatible avec les utilisations hautes fréquences.
- Une oxydation excessive du nickel peut provoquer un défaut de soudabilité.
- Elle a un coût élevé du fait de l'utilisation de l'or.
- Un phénomène récurrent de corrosion de la couche de nickel dit de « black pad » est problématique avec cette finition.

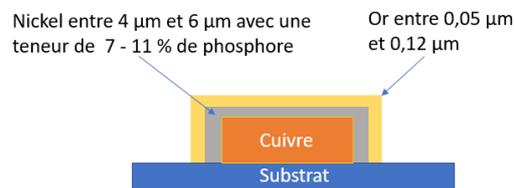


Figure 18 : Schéma de la finition ENIG comme défini dans [24].

3.3.3. Finition ENEPIG (nickel palladium or)

ENEPIG (Electroless Nickel / Electroless Palladium / Immersion Gold) est une finition qui existe maintenant depuis plus de dix ans. Elle est très utilisée actuellement grâce à sa bonne compatibilité avec le brasage (plomb ou sans plomb) et le câblage filaire (aluminium et or). Elle permet, entre autres, de réduire les ruptures fragiles grâce à la présence de palladium en interface du nickel et de l'or. Par ailleurs, le taux de plomb à l'interface est réduit pour les brasures SnPb et augmente l'accroche des billes sur les plots d'interconnexions des BGA (diminution du taux de phosphore dans le nickel).

Avec l'ENIG, on dépose souvent, en plus du revêtement de l'interconnexion, une couche de passivation protectrice comme l'OSP « Organic Solderability Preservative », par exemple. Grâce à cette finition (ENEPIG), il n'y aura plus besoin de ce double processus.

Le procédé est identique à l'ENIG, mais, cette fois-ci, est ajoutée une couche de palladium entre le nickel et l'or. Elle a pour objectif d'empêcher l'oxydation du nickel, d'où la non-utilité de mettre une couche de passivation sur la surface.

L'ENEPIG est une finition qui se brase facilement et représente une très bonne planéité. De même, sa stabilité dans le temps est bonne. Cela est dû, premièrement, à la protection de l'or limitant la corrosion du nickel. De plus, le palladium agit comme une barrière supplémentaire pour réduire davantage la diffusion du cuivre. Directement lié à son processus de fabrication, cette finition coûte plus cher que l'ENIG [25]. Elle peut être utilisée dans le cas d'assemblages par piliers de cuivre et d'assemblages par billes d'or.

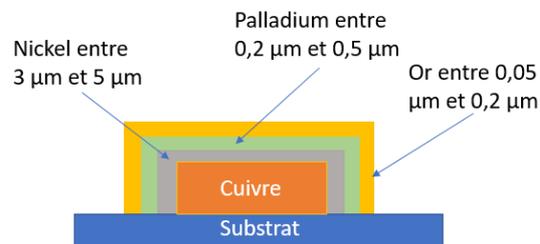


Figure 19 : Schéma de la finition ENEPIG comme défini dans [24].

3.3.4. Finition OSP

« Organic Solderability Preservative », c'est une des finitions employées dans le domaine de la carte électronique.

Cette finition est présente pour protéger de l'oxydation les plages de report des circuits imprimés. Son principe repose sur l'application d'une couche de cuivre passivée sur l'ensemble des plages de cuivre de la carte. Cela se fait par absorption chimique sur le cuivre. Le composé chimique appartient à la famille des azoles tels que les benzotriazoles, les imidazoles et les benzimidazoles, qui sont tous absorbés à la surface du cuivre, conduisant à la production d'un film protecteur. Elle empêche l'oxydation du cuivre et de l'humidité, et permet une meilleure mouillabilité de la brasure.

Il est intéressant de voir que, sous contraintes thermomécaniques, il n'y a pas de différences notoires entre les différentes finitions. Néanmoins, sous chocs mécaniques, il semblerait que la finition OSP soit la plus performante [26].

Les épaisseurs visées par cette finition sont de l'ordre de 0,2 à 0,3 μm . Cette fine couche n'est plus active au-dessus de 240 °C et est facilement éliminée par le flux lors du processus de brasage.

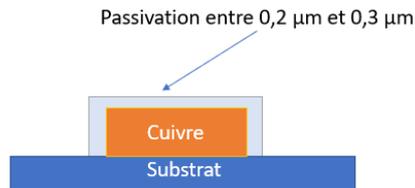


Figure 20 : Schéma de la finition OSP.

Comme l'affirment certaines études, l'utilisation de la finition OSP pour des pas d'interconnexions faibles est préférée par sa meilleure mouillabilité. De plus, elle favorise la fiabilité des assemblages [27]. C'est pour ces raisons que, dans le cadre de la thèse, le choix a été orienté vers cette solution.

3.3.5. Conclusion

Dans cette partie, les finitions les plus couramment utilisées sur les substrats organiques sont recensées. Il y a la finition ENIG, composée de nickel-or et la finition ENEPIG, qui comporte du palladium en plus. Enfin, une dernière solution est la finition OSP, de plus en plus utilisée pour les assemblages utilisant des piliers de cuivre. Elle représente une solution intéressante et est la plus adaptée en protégeant parfaitement la plage de cuivre de l'oxydation. Elle permet un brasage directement en contact avec le cuivre et permet un meilleur maintien de la brasure sur la zone de l'interconnexion. C'est donc cette finition qui sera utilisée dans le cadre de cette étude avec les piliers de cuivre.

3.4. Technologies d'assemblage flip chip

3.4.1. Introduction

Une fois le choix de l'interconnexion effectué, et la plage d'accueil du substrat préparée, il faut choisir la technique de mise en œuvre de l'assemblage. En effet, plusieurs méthodes existent pour arriver à former la liaison entre les puces et le substrat. Dans les paragraphes suivants, les différentes méthodes d'assemblages seront présentées. Il est question ici des trois principales utilisées : la soudure collective, la thermocompression et l'assemblage thermosonique.

3.4.2. Assemblage par soudure collective « mass reflow »

C'est une technique utilisée dans l'industrie de grand volume car très rapide. Ce principe repose sur le fait de mettre en contact deux surfaces métalliques chauffées ensemble à même température. La liaison entre les deux entités peut être facilitée avec l'ajout d'un métal intermédiaire ayant une meilleure diffusion dans chacune des deux parties. Pour former la liaison, l'assemblage est effectué en deux temps comme

schématisé sur la Figure 21. La première étape consiste à reporter les puces sur les sites du substrat, et la seconde consiste à réaliser la brasure en passant dans un four à passage. Lors du passage dans le four, différents paliers de températures ont lieu, appelé profil de refusion. Ce profil sera détaillé dans la partie 6.7.3. Il est possible de découper en deux grandes zones : le préchauffage, permettant de monter en température et de préparer l'interconnexion (activation du flux), et la zone de refusion / solidification permettant l'assemblage du composant sur le substrat. Cet assemblage peut être fait dans des environnements protecteurs ou sous vide. L'utilisation de four à passage est une solution largement utilisée, notamment pour l'assemblage de composants de type CMS sur carte.

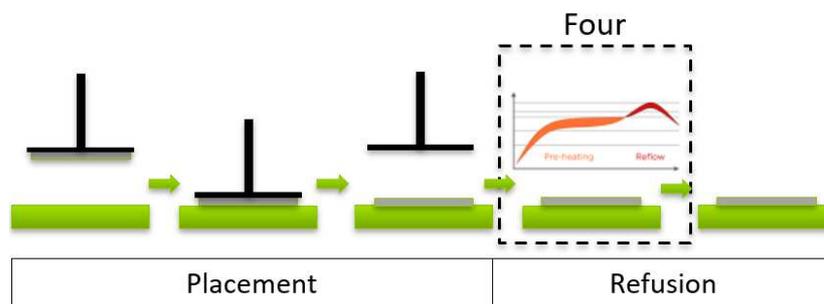


Figure 21 : Schéma de l'assemblage par refusion collective.

Cette méthode utilisée depuis longtemps a l'avantage d'avoir une mise en œuvre simple. Elle permet l'assemblage d'un nombre important d'éléments pouvant être multi-composants. Enfin, un effet d'auto alignement du composant, grâce à la fusion de la brasure, permet une légère correction de l'emplacement du composant, facilitant ainsi son assemblage. Concernant le principal point négatif, il s'agit du temps de passage dans le four qui peut être long, entre 10 et 20 minutes selon les profils, au vu de la longueur du procédé de placement qui, lui, se fait en quelques secondes.

3.4.3. Assemblage par thermocompression

La technique d'assemblage par thermocompression est une technique permettant le report de composants sur un substrat, ou bien entre deux substrats. La différence avec la méthode du soudage collectif est l'apport de pression pendant l'assemblage. Le principe est relativement simple : les deux entités sont mises en contact avec une force et une température données comme schématisé sur la Figure 22. Contrairement à la première solution où l'on vient chauffer l'ensemble à une température uniforme, il est possible de chauffer uniquement le composant à assembler par le biais de la tête de l'outil ou bien de chauffer avec un différentiel de température le substrat et le composant. Un temps de maintien est nécessaire afin que la connexion et que la réaction se fassent correctement. Cette méthode offre, donc, plus de degrés de liberté que la soudure collective et permet, surtout, de maintenir en place les deux parties au moment de la soudure, ce qui permet de contrôler la planéité des deux parties. Cependant, le procédé est

plus long car il faut effectuer le cycle thermique pour chaque composant. Ce procédé est généralement utilisé dans des cas d'assemblages difficiles comme avec des puces de grandes tailles ou très fines. Un inconvénient majeur de cette technique est l'absence de phénomène d'auto alignement que l'on observe dans le cas de la refusion collective et qui permet de relâcher la contrainte sur la précision d'alignement. Dans ce cas, il sera nécessaire d'utiliser une machine beaucoup plus sophistiquée et précise. Finalement, le mécanisme de soudure est le même que pour la première méthode, c'est-à-dire la diffusion atomique.

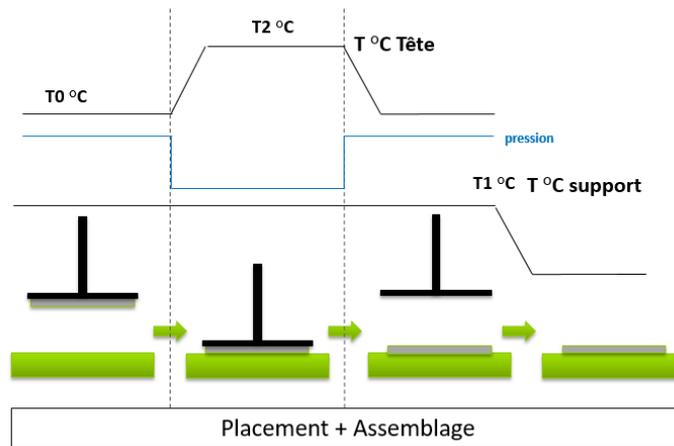


Figure 22 : Schéma du procédé d'assemblage par thermocompression.

3.4.4. Assemblage par thermosonique

Pour cette méthode d'assemblage thermosonique, il y a une combinaison de plusieurs facteurs. La force appliquée sur le composant est le premier paramètre (plus faible que dans le cas de la thermocompression). Le second paramètre est la température afin d'apporter une partie de l'énergie à la soudure (plus faible que la thermocompression). Et, enfin, des ultrasons, qui apportent l'énergie suffisante localement au niveau de l'interconnexion permettant la soudure sur la plage d'accueil du substrat. Le processus mis en jeu est toujours la diffusion atomique.

Cette technologie est, entre autres, utilisée pour l'assemblage en câblage filaire avec des fils en aluminium ou en or. Cette méthode est également utilisée pour la création de billes d'or.

Cette technique est compatible ROHS et REACH et permet une tenue en température sans difficulté lorsque l'assemblage est maîtrisé parfaitement. Bien que cette méthode ne permette de déposer qu'une bille à la fois, il est également possible de faire des empilements de billes d'or afin de maîtriser la hauteur de l'interconnexion.

3.4.5. Conclusion

Dans cette partie, les différents moyens d'assemblage des composants ont été recensés. La première méthode, la soudure collective, repose sur l'apport de chaleur sur un ensemble de puces permettant la refusion simultanée de toutes les brasures. Avec l'évolution des différentes technologies et de la précision accrue des procédés, la thermocompression a été développée. Cette dernière permet l'assemblage unitaire

de puces en apportant température et pression sur la puce. Enfin, la dernière solution consiste en l'utilisation de billes d'or et l'assemblage thermosonique. Ce dernier permet de limiter la température au niveau du substrat, le supplément d'énergie nécessaire pour effectuer l'assemblage étant apporté localement par les ultrasons.

3.5. Les process d'underfill

3.5.1. Introduction

Dans un assemblage flip chip, un espace entre la puce et le substrat est présent et est directement lié à la hauteur de l'interconnexion. C'est dans cet espace que l'on retrouve une matière polymère appelée underfill. Ce dernier peut être appliqué avant ou après le brasage. Son rôle est double. Il permet, d'une part, d'encapsuler les interconnexions et, donc, de les protéger des poussières et de l'humidité présente dans l'environnement. D'autre part, il vient rigidifier l'ensemble puce/substrat et permet de relâcher les contraintes thermomécaniques s'exerçant sur les interconnexions. Afin de faire varier ses propriétés mécaniques, il est possible de modifier le matériau d'underfill en particulier les « fillers ». Ce sont des particules de taille micrométrique ajoutées dans la matrice de résine. Par la suite, les différentes techniques d'underfill, en mettant en avant les avantages et inconvénients de chacune, sont exposées.

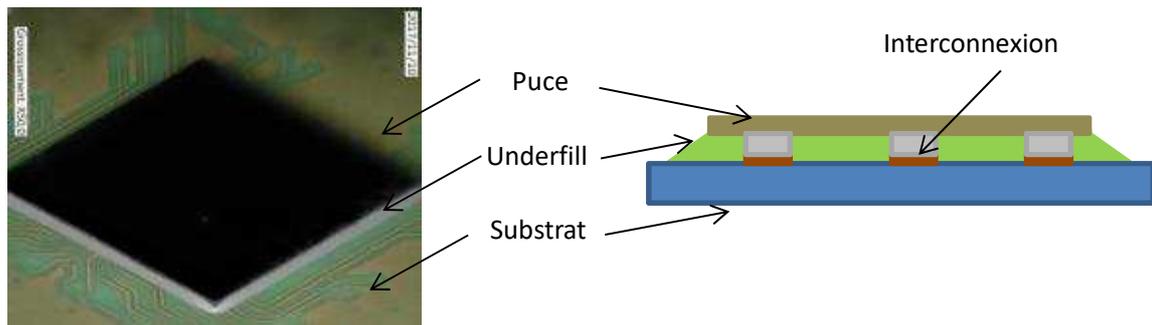


Figure 23 : Vues d'une puce assemblée sur un substrat avec underfill, vue globale et vue en coupe.

3.5.2. L'underfill par capillarité ou « Capillary UnderFill (CUF) »

L'underfill par capillarité est la méthode la plus ancienne et demeure la plus utilisée. En effet, en 1988 IBM utilisa les premiers underfills fournis par Hitachi [28]. Ceci peut s'expliquer, en partie, par sa simplicité de mise en œuvre. Un des grands intérêts de cette méthode est d'être réalisée après l'assemblage, ce qui évite d'interférer avec le procédé de brasage. Cette méthode utilise la force capillaire présente entre le fluide déposé, ici l'underfill, et la structure formée par le substrat et la puce. Ce phénomène est très dépendant de la viscosité de l'underfill qui est un des paramètres essentiels. Si celui-ci n'est pas adapté, il peut être la première cause de bulles d'air dans l'underfill.

Sur la Figure 24 la mise en place de l'underfill selon cette méthode est représentée. Le dépôt se fait sur un ou plusieurs côtés de la puce assemblée, puis le liquide vient se répandre sous l'ensemble de la puce.

Pour finir, la résine étant thermodurcissable, un recuit est nécessaire pour réticuler les chaînes de polymères.

Deux points limitants peuvent être notés. Tout d'abord, ce processus est unitaire. Effectivement, bien que l'opération ne dure pas longtemps, chaque puce est traitée l'une après l'autre. Ensuite, cette méthode trouve une limite pour les puces de grande taille. En effet, plus la puce est grande et plus les chances d'avoir des bulles d'air dues à une mauvaise propagation de l'underfill sont importantes. Dans des configurations de grandes puces, une dispense sur un ou deux côtés n'est pas suffisant et la méthode consiste à faire plusieurs dispenses séquentielles pour remplir progressivement la cavité.

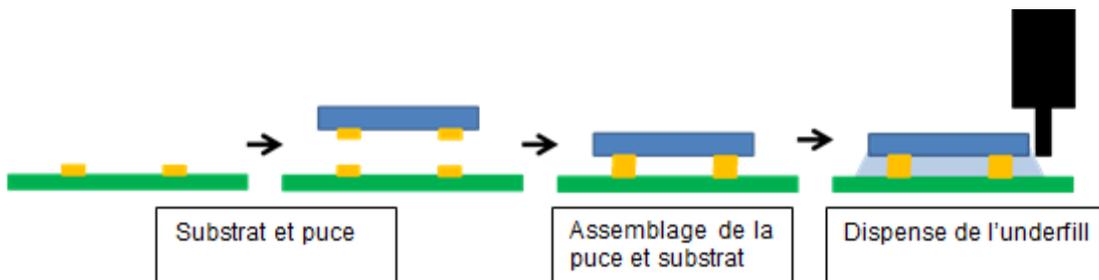


Figure 24 : Représentation du processus de dépôt de l'underfill par CUF.

3.5.3. No flow underfill

Cette méthode semble plus rapide et efficace que l'underfill par capillarité. En effet, dans cette configuration, l'ensemble des sites peuvent être traités par sérigraphie avant assemblage sur le substrat. Le composant vient ensuite être déposé sur l'underfill et, donc, il doit être compatible avec les assemblages ne nécessitant pas de flux. Après assemblage, il reste l'étape de réticulation de l'underfill avec un passage en étuve. Deux méthodes dites en « no flow underfill » ont été développées. Ces deux méthodes sont la NCP (Non Conductive Paste) et WLUF (Wafer Level UnderFill).

Toutefois, ces méthodes impliquent obligatoirement un maintien des puces pour éviter le phénomène de flottaison sur l'underfill. Ainsi, le processus de dispense de l'underfill n'est pas standardisé (en fonction des tailles de puces, tailles des plages d'interconnexion, espacements d'interconnexions). Le procédé est propre à chaque type de puce. Enfin, il faut un placement plus précis des composants et un pré-étuvage des substrats pour chasser l'humidité.

La méthode WLUF a été développée afin de pouvoir remplir les espaces lorsque la densité d'interconnexion est très grande, ainsi que pour des grandes puces. Cette fois-ci, l'underfill est déposé sur l'ensemble de la plaque de silicium contenant les puces. Les puces sont alors découpées avec l'underfill puis reportées sur le substrat d'accueil. C'est donc l'inverse du procédé NCP où l'underfill est déposé avant la pose du composant. La technique NCP permet de descendre à des pas plus faibles. Dans ce cas, il arrive que de l'underfill reste dans la brasure après refusion et provoque une amorce de fissuration comme il est décrit dans certaines publications [29].

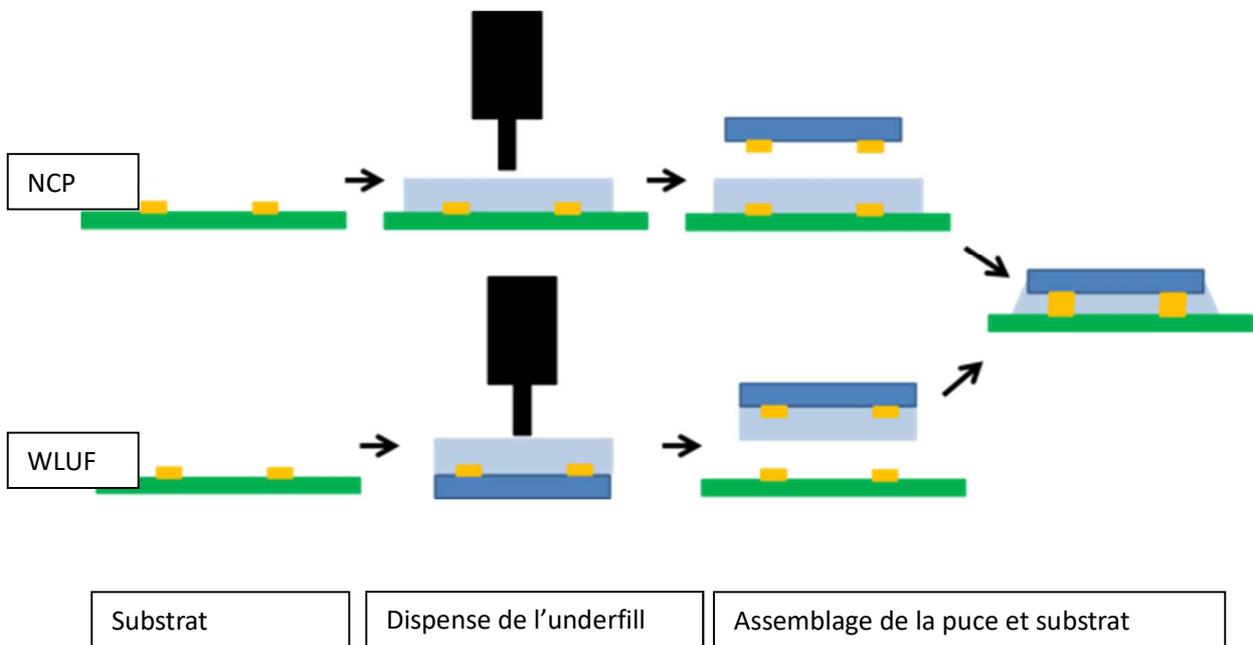


Figure 25 : Représentation du processus d'underfill pour les techniques NCP et WLUF.

3.5.4. Reworkable Underfill

Cette méthode utilise une résine thermoplastique. L'avantage de cette méthode est de pouvoir localement reprendre un composant qui aurait été mal mis ou mal identifié. De ce fait, cette application peut être utile pour des reprises sur des cartes coûteuses. Ce type d'underfill peut s'enlever à des températures entre 100 et 250 °C.

3.5.5. Corner Bonding

Ce dispositif dit de « corner bonding » est un collage uniquement aux coins des dispositifs. Cette technique est très souvent utilisée pour les composants CSP et est aussi adaptée au BGA. Elle peut être dispensée avant ou après la mise en place du composant comme présentée sur la photo et le schéma de la Figure 26. L'inconvénient majeur par rapport à une méthode totalement résinée est la tenue pour des cycles thermiques, moindre par rapport à un underfill total. Cependant, cette méthode présente l'avantage d'être moins chère que la version utilisant un underfill complet.

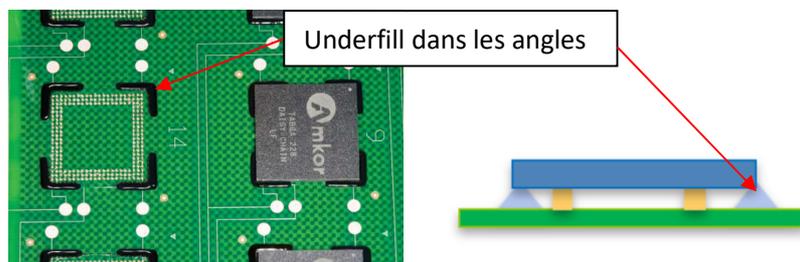


Figure 26 : Photo d'un véhicule de test de Henkel [30] et un schéma présentant le corner bonding.

3.5.6. Molding UnderFill (MUF)

Cet underfill a la particularité de jouer un double rôle. En effet, il a à la fois la fonction d'underfill, mais également celle d'encapsulant pour le composant comme schématisé sur la Figure 27.



Figure 27 : Schéma représentant le molding underfill.

Cette méthode a un coup d'investissement élevé car elle ne peut être standardisée. En effet, chaque géométrie nécessite un « moule » ce qui le rend coûteux. Toutefois, le coût de la matière première, c'est-à-dire les poudres époxy, est généralement plus faible que l'underfill. Il n'est pas forcément adapté à toutes les configurations en fonction de la taille de la puce, du gap et du pas d'interconnexions.

Cette méthode est utilisée pour une fabrication en « panneaux » uniquement, Un panneau étant un ensemble de BGA fabriqué sur un même substrat avant découpe unitaire. Cela convient donc, par exemple, à des BGA à grand volume et des CSP.

3.5.7. Conclusion

Cette partie a permis d'obtenir un aperçu sur les différentes technologies d'underfill. Chaque méthode est adaptée à une configuration particulière. Toutefois, deux méthodes se différencient pour des applications aéronautiques et, plus précisément, pour les assemblages en pilier de cuivre à pas fin : la méthode CUF et la méthode NCP. Souvent utilisée, la méthode NCP fait l'objet de nombreuses publications, en particulier pour des pas de 30 μm et moins. Néanmoins, plusieurs analyses montrent qu'il y a un risque non négligeable de laisser des billes d'underfill à l'intérieur même du joint de brasure. Cela a pour conséquence une très mauvaise tenue en cycle thermique. C'est pourquoi pour l'étude en cours la méthode par capillarité a été retenue.

3.6. **Métallurgie du joint de brasure**

3.6.1. Introduction

Dans cette partie, les brasures de types SAC et indirectement les brasures SnAg sont discutées. Il s'agit de brasure sans plomb à base d'étain (Sn), argent (Ag) et cuivre (Cu) pour répondre aux nouvelles réglementations. Leurs compositions peuvent changer en fonction de ces trois éléments. Il en existe de nombreuses telles que : Sn-3,5Ag-0,5Cu (SAC 305), Sn-3,8Ag-0,7Cu (SAC 387). Le cuivre est l'élément minoritaire de l'alliage avec un pourcentage massique inférieur au pourcent. Les intermétalliques formés sont de même nature dans les deux cas car le cuivre est l'élément majoritaire avec lequel se fait la brasure. Un des avantages considérables des brasures SAC est le point de fusion qui est plus bas que la SnAg (217°C pour SAC305 et 221°C pour Sn3.5Ag). C'est pourquoi différentes configurations de brasures SAC existent mais restent toujours proches du point eutectique (SAC396, 95.5% Sn, 3.9% Ag, et 0.6% Cu qui est l'eutectique). La présence d'une plage d'accueil du substrat en cuivre et d'une barrière de diffusion en nickel

sur les plots en cuivre de la puce amène des intermétalliques supplémentaires dépendants de ces éléments. Ils seront décrits dans la partie suivante.

Dans un premier temps, la microstructure du micro-pilier sera étudiée indépendamment. Par la suite, après l'assemblage entre la puce et le substrat, l'interaction avec la plage d'accueil en cuivre sera prise en compte dans l'analyse. Pour finir, les paramètres ayant un impact sur la microstructure de l'interconnexion seront étudiés.

3.6.2. Diagramme d'équilibre de phases binaires

La Figure 28 présente les diagrammes de phases des systèmes binaires Sn-Ag, Sn-Cu, Ag-Cu et Sn-Ni. Pour les températures concernées dans cette étude, c'est à dire des températures inférieures à 260°C, les différentes réactions pouvant être mises en jeu sont listées ci-dessous.

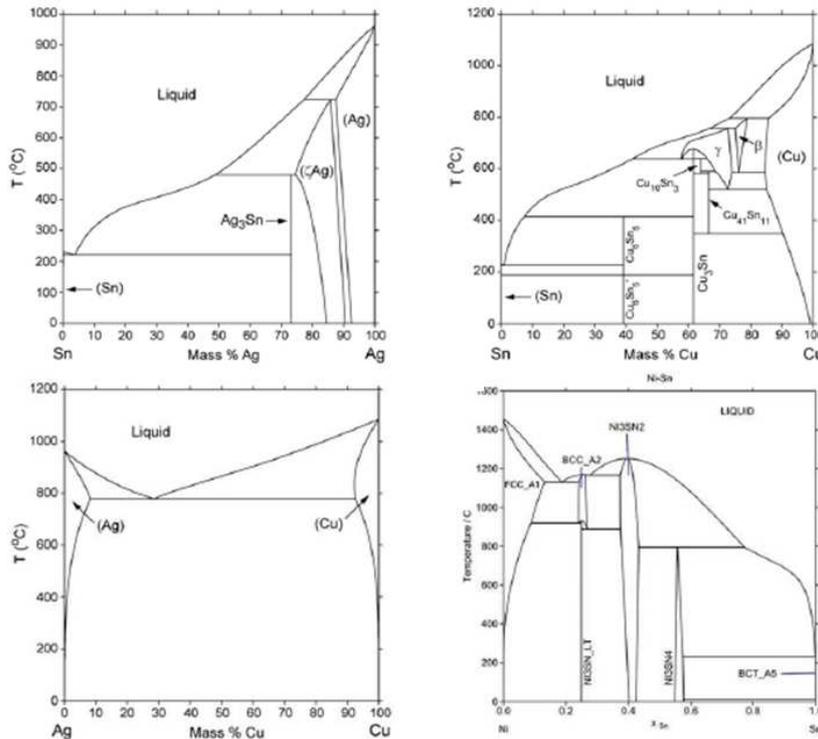


Figure 28 : Diagramme de phases des systèmes SnAg ; SnCu, AgCu, NiSn [31].

Système binaire Sn-Ag : transformation eutectique à 221°C pour Sn3,5Ag, Liq→Ag₃Sn+β-Sn.

Système binaire Sn-Cu : transformation eutectique à 227°C pour Sn0,7Cu, Liq→Cu₆Sn₅ + β-Sn. Les différentes structures cristallines en fonction des températures sont récapitulées ci-dessous :

<13°C	13°C à 162°C	<162°C	<187,5°C	>187,5°C
αSn de structure diamant	Phase riche en étain β-Sn tétragonal	γSn de structure orthorhombique	Cu ₆ Sn ₅ monoclinique	Cu ₆ Sn ₅ hexagonal

Système binaire Ag-Cu

Une phase solide riche en cuivre cubique faces centrées.

Une phase solide riche en argent cubique faces centrées.

Transformation eutectique à 779°C qui n'est pas présente dans cette étude, $\text{Liq.} \rightarrow \alpha\text{Cu} + \alpha'\text{Ag}$.

Système binaire Ni-Sn

Transformation eutectique à 231°C : $\text{Liq Ni}_3\text{Sn}_4 + \beta\text{-Sn}$, composées de trois phases intermédiaires, NiSn, NiSn₂ et Ni₃Sn₄.

3.6.3. Diagramme d'équilibre de phases ternaires

3.6.3.1. Sn-Ag-Cu

Il existe de nombreuses compositions d'alliage SAC mais toutes sont proches du point eutectique ; c'est pourquoi un zoom est fait proche de la zone eutectique. Il y a trois transformations eutectiques biphasées monovariantes : $\text{Liq} \rightarrow \text{Ag}_3\text{Sn} + \beta\text{-Sn}$; $\text{Liq} \rightarrow \beta\text{-Sn} + \text{Cu}_6\text{Sn}_5$ et $\text{Liq} \rightarrow \text{Ag}_3\text{Sn} + \text{Cu}_6\text{Sn}_5$.

Les deux premières sont des prolongements des transformations eutectiques dans les systèmes binaires AgSn et SnCu. Les trois lignes monovariantes se rencontrent en un point où a lieu la transformation eutectique ternaire : $(\text{Liq} \beta\text{-Sn} + \text{Ag}_3\text{Sn} + \text{Cu}_6\text{Sn}_5)$

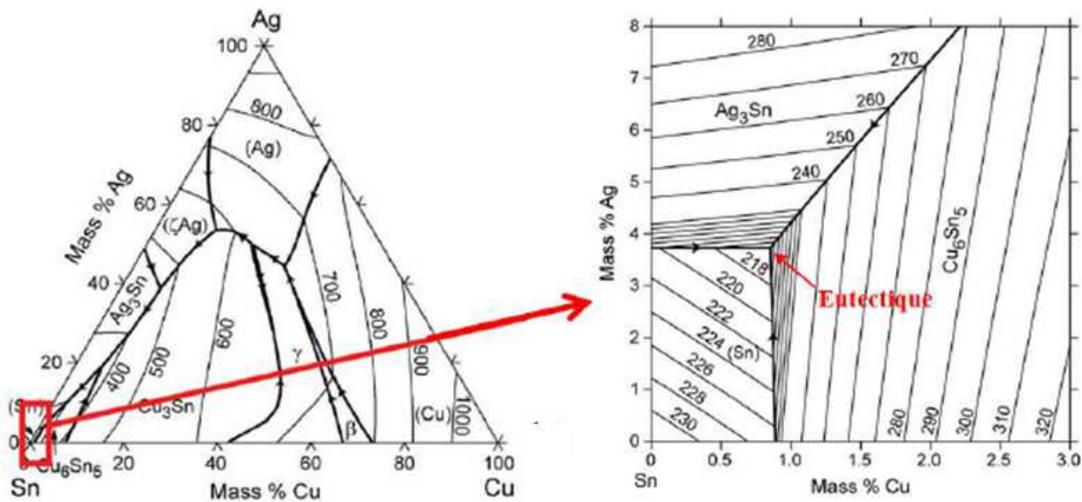


Figure 29 : Zoom sur la zone eutectique diagramme de phase ternaire SnAgCu [32].

Les intermétalliques listées ci-dessus sont dispersées dans la matrice d'étain de façon homogène. Leurs formes et tailles peuvent toutefois être modifiées selon la vitesse de refroidissement, de la composition de l'alliage, et des matériaux en présence aux interfaces. Concernant les composés Ag₃Sn, ils prennent généralement la forme d'aiguilles comme montré dans les travaux de Moon [33] et représenté sur la , alors que les intermétalliques Cu₆Sn₅ ont une forme ronde.

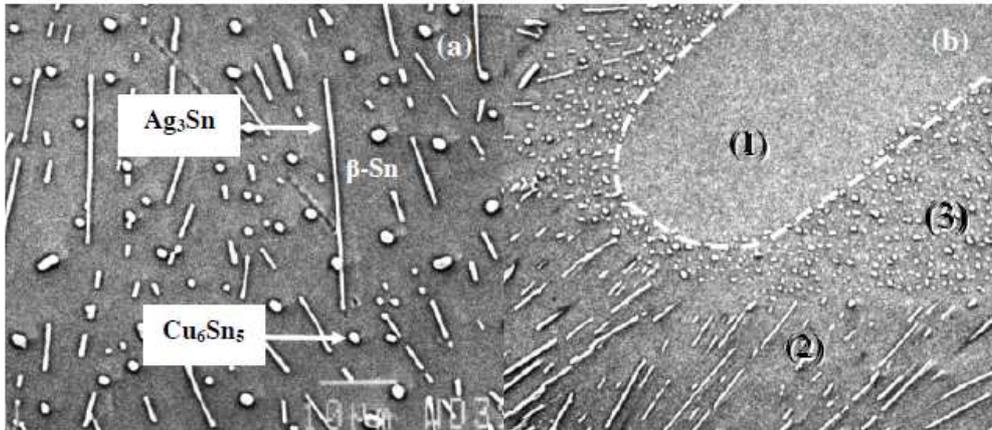


Figure 30 : Microstructure d'un alliage SnAgCu sur l'image de gauche présence de beta-Sn et de Ag_3Sn et Cu_6Sn_5 et à gauche (1) beta Sn, (2) beta-Sn + Ag_3Sn , (3) beta -Sn + Cu_6Sn_5 [33].

3.6.3.2. Sn-Cu-Ni

L'étude de Schmetterer [34] portant sur les systèmes ternaires SnCuNi est une des rares études sur le sujet pour les températures inférieures à 400°C. Dans ce domaine de basse température, la section isotherme partielle a été faite pour la température de 220°C. La zone riche en étain a été estimée à partir de résultats expérimentaux alors que la partie plus riche en nickel et cuivre, correspondant à la partie grisée sur le diagramme de la , est issue d'expérimentations à hautes températures (supérieures à 400°C). Cette étude met en avant le fait que la solubilité du nickel dans la phase Cu_6Sn_5 existe à hauteur de 20 at%Ni pour former le $(Cu,Ni)_6Sn_5$. De même, pour le cuivre dans la phase $(Ni,Cu)_3Sn_2$ à hauteur de 15at%Ni et 5at%Ni pour le $(Ni,Cu)_3Sn_4$. Ce phénomène n'est pas présent pour la phase Cu_3Sn .

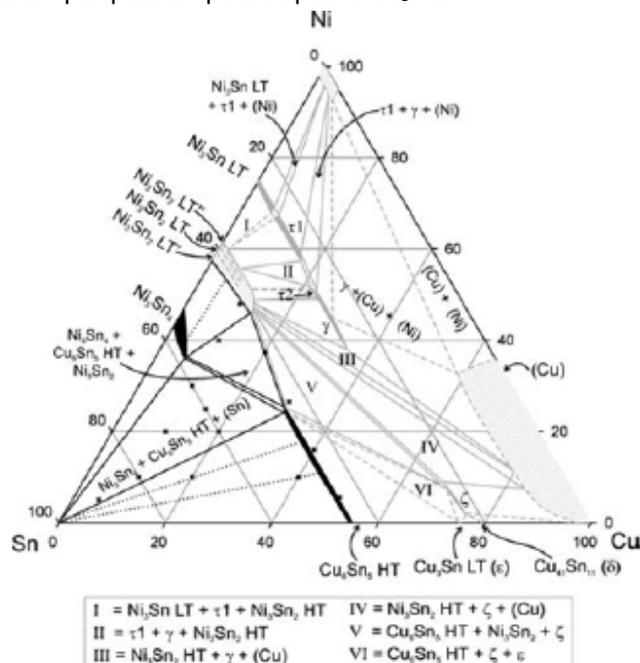


Figure 31 : Diagramme de phases du système CuNiSn à 220°C [34].

3.6.4. Interaction à l'interface cuivre et brasure

Jusqu'à présent, il n'a été question que de microstructures dans un volume d'alliage et les différentes interfaces en présence au moment de l'assemblage n'ont pas été prises en compte. Dans une configuration avec un substrat organique, il est possible d'assembler le composant sur une plage en cuivre directement. Cette plage en cuivre, comme décrite précédemment, peut être protégée par une finition OSP préservant toute oxydation de la plage d'accueil. Une fois la refusion atteinte, cette protection vient à disparaître pour laisser le phénomène de diffusion se produire et permettre l'accroche de la brasure sur la plage en cuivre. Un des composés formés lors de cette réaction est l'intermétallique Cu_6Sn_5 . Lorsque la présence de ce composé est avérée, c'est le signe que l'accroche s'est faite dans de bonnes conditions. Par ces propriétés géométriques (tailles et forme) et sa dureté plus élevée que la brasure elle-même, il est un facteur important vis-à-vis des modes de défaillances dans l'interconnexion. Cependant, comme il sera décrit plus tard, d'autres composés sont présents à cette interface tels que le Cu_3Sn qui vient se former au cours du vieillissement thermique et, par ce fait, vient modifier l'interface et contribue aux mécanismes de vieillissement. Dans les parties qui suivent, l'intérêt sera porté sur les différentes phases de croissances et de constitution de ces intermétalliques en fonction des températures appliquées au système.

3.6.4.1. Solution Cu-Sn solide

Il est possible de séparer le domaine d'étude en deux grandes zones de températures.

La première zone est située dans la gamme de températures de -2°C à 80°C . De nombreuses études ont été faites pour comprendre l'évolution des intermétalliques dans le temps, elles sont souvent effectuées à hautes températures. Des études sur films minces de cuivre brasés avec de l'étain ont été effectuées ([35] [36] [37]) après une stabilisation thermique réalisée pendant 1 an à -2°C , et ont montré l'existence de la phase Cu_6Sn_5 . Quant à lui, l'intermétallique Cu_3Sn n'était pas présent. L'objectif de ces études est de confirmer les températures pour lesquelles chaque intermétallique vient à se former. En effet, la présence de Cu_3Sn n'est détectée qu'à partir d'une température de 60°C et se forme à partir de la phase Cu_6Sn_5 .

D'autre part, l'étude de R. Chopra et M. Ohring [38] met en évidence que la couche de Cu_6Sn_5 se développe plus vite pour des températures de 80°C que pour de basses températures. Contrairement au premier exemple, le paramètre temps est ici bien inférieur à 1 an. Il met en évidence l'importance de la température, la croissance de Cu_6Sn_5 se faisant au bout de quelques heures. Quant à la phase Cu_3Sn , elle est détectée uniquement pour des maintiens en température supérieurs à 360 minutes à 80°C .

Certains chercheurs comme R. Halimi [39] s'intéressent particulièrement au développement des couches d'intermétallique Cu_6Sn_5 lors d'études sur des films minces d'étain et de cuivre déposés par évaporation thermique sous vide. Ils ont déterminé que la phase Cu_6Sn_5 est constituée pendant le dépôt.

Enfin, des études menées par W. M. Tang et al [40] sur des couches de cuivre et d'étain déposées par voie électrochimique ont montré que le Cu_6Sn_5 est formé au moment du dépôt ou bien juste après. De plus, après vieillissement de 76 jours à température ambiante, une couche de $1\ \mu\text{m}$ d'intermétallique Cu_6Sn_5 est détectée.

La seconde gamme de température à considérer est celle de 70°C à 220°C. Celle-ci est souvent étudiée car elle prend en compte l'ensemble des mécanismes de croissance mis en jeu dans un assemblage réel. Dans cette zone de température, il est possible d'observer les présences des deux entités Cu_6Sn_5 et le Cu_3Sn . Dans cette configuration, les études de M. Onishi [41], par exemple, ont permis d'analyser la présence et l'évolution des deux phases d'intermétalliques allant jusqu'à 900 h pour des températures de maintien de 190 °C à 220°C. Cette étude a permis d'explicitier que la cinétique de croissance de ces deux phases répond à une loi parabolique. De plus, d'autres études [42] similaires fournissent des informations sur l'épaisseur en fonction des températures de maintien entre 70°C et 250°C pour un temps maximum de 400 jours, montrant ainsi l'évolution des épaisseurs d'intermétalliques de manière linéaire à basse température, et hyperbolique à haute température. Pour les températures les plus importantes, l'épaisseur de la couche d'intermétalliques est de 30 μm

3.6.4.2. Solution Cu-Sn liquide

Il s'agit ici de la première réaction qui a lieu lors de la fusion de la brasure en contact de la plage de cuivre. Il s'agit plus précisément d'une dissolution du cuivre dans l'étain [43]. Dans un deuxième temps, un phénomène de diffusion entre le cuivre et l'étain se met en place. C'est pourquoi il se forme, dans un premier temps, rapidement (quelques millisecondes [44]), au niveau de l'interface, le composé Cu_6Sn_5 puis vient ensuite le Cu_3Sn . Ce dernier se forme à l'interface du Cu_6Sn_5 et du cuivre en quelques minutes. Le facteur temps pour ces deux intermétalliques reste un paramètre très important. Des études avec des maintiens en température lors de l'assemblage entre 3 et 180 minutes montrent la différence de croissance des composés Cu_6Sn_5 . Les temps et températures concernés ici sont plus importants que les paramètres procédés employés dans le cadre de notre étude. Toutefois, les différentes formes d'intermétalliques en fonction du temps sont présentées sur la .

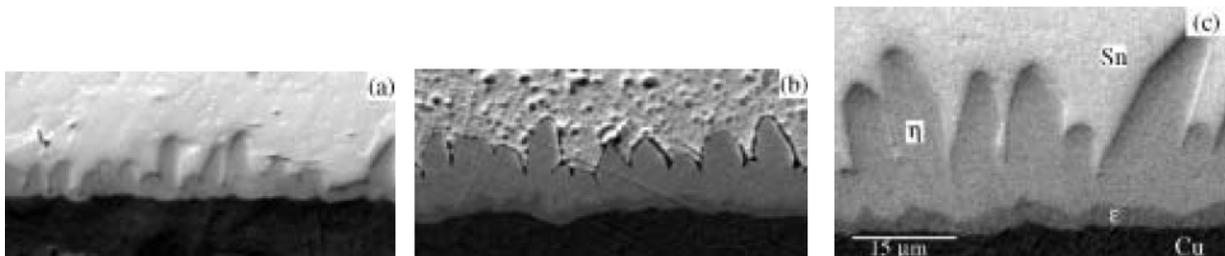


Figure 32 : a) temps de 3 minutes, b) temps de 45 minutes, c) temps de 180 minutes à 275°C [45].

Concernant le composé Cu_3Sn , il faut atteindre des températures proches des 300 °C pour obtenir une croissance significative de ce dernier. Sur la , il est possible de constater une différence de croissance entre une mise en contact à 250°C sur l'image « a », et un maintien à 300°C sur l'image « b ». Sur la première, il y a principalement la croissance de la phase Cu_6Sn_5 , alors que sur la seconde, les deux couches ont une croissance similaire.

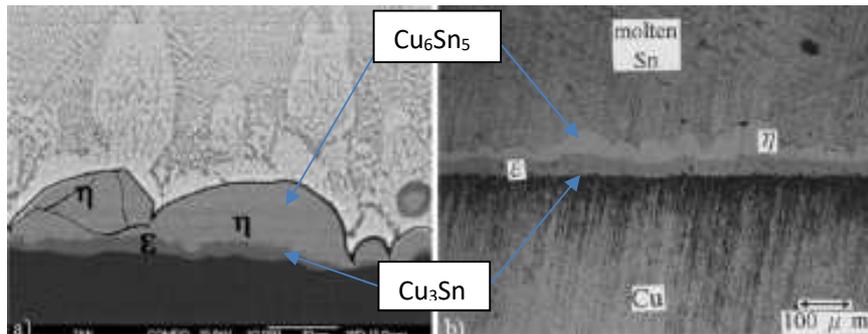


Figure 33 : A gauche température de 250°C [43], à droite température de 300°C [46].

3.6.5. Métallurgie du système nickel - étain

3.6.5.1. Solution Ni-Sn solide

La réaction entre l'étain et le nickel est très lente en comparaison de celle de l'étain et du cuivre. C'est pour cela que les couches d'intermétalliques cuivre sont plus importantes que celles avec le nickel à conditions identiques. Etant secondaires et lentes, il y a comparativement beaucoup moins d'études sur ce système. On trouve toutefois une étude de J. Haimovich [47] qui fait varier le temps et les températures de maintien. Cette étude fait varier la température de maintien de 24°C à 225°C entre 2 jours pour la température haute et 2 ans pour la température basse. Le constat est que, pour les températures inférieures à 125 °C, l'évolution de l'intermétallique Ni_3Sn_4 est très faible, ce qui, lors de notre étude, sera le cas. C'est une fois les 125°C passés, que la proportion de Ni_3Sn_4 augmente vis-à-vis du Ni_3Sn d'où il est initialement formé. Enfin, après 175°C il ne reste plus que la phase Ni_3Sn_4 .

3.6.5.2. Solution Ni-Sn liquide

Le principal élément à se former au niveau de l'interface est le Ni_3Sn_4 . Il y a donc pour cela une dissolution du nickel dans l'étain liquide jusqu'à saturation. En comparaison du système Cu-Sn à température équivalente, il est possible de voir que pour l'étain le taux de solubilité du nickel est plus faible. Ceci explique en partie pourquoi l'intermétallique à base de nickel est moins présent que celui du cuivre.

En ce qui concerne la croissance des intermétalliques de la phase Ni_3Sn_4 , dans tous les cas, les températures mises en jeu (supérieures à 240°C dans le cas de l'étude de S. Bader [48] ou bien de 235°C à 600°C dans l'étude de D. Gur [49]) mettent en évidence la croissance du composé Ni_3Sn_4 entre deux films minces, respectivement de l'étain et du nickel. La première étude permet de mettre en évidence l'évolution, en fonction du temps, de la forme de l'intermétallique qui est sous forme d'aiguilles initialement (7 sec à 240°C) et s'élargit ensuite en grains au bout de 30 secondes. La seconde étude met en évidence que pour des recuits inférieurs à 10 min, la croissance suit une loi parabolique.

Donc pour cette étude, le Ni_3Sn_4 est la seule phase qui se développe dans ce système. De plus, la formation de l'intermétallique est très vite arrêtée en raison de la solubilité dans l'étain et de la longueur de diffusion qui s'accroît.

3.6.6. Facteurs impactant sur la microstructure

3.6.6.1. Dimension du système

Un paramètre non négligeable, qui n'a pas encore été abordé, est la dimension du système. Il est vrai que, pour le moment, les discussions abordées dans ce document concernent principalement les lois théoriques de constitution de ces différents intermétalliques en fonction des compositions des alliages de départ. Par ailleurs, les interconnexions étudiées jusqu'ici sont de l'ordre de 400 μm au moins. Or, dans le cas des études avec des micros billes ou piliers de cuivre, les dimensions sont au maximum de l'ordre de 50 μm . Cela a un impact sur la composition de l'alliage au niveau de la microstructure pouvant s'expliquer en partie par les vitesses de refroidissement plus importantes subies par ces micros billes en comparaison des systèmes plus grands. Toutefois, sans prendre en compte les différences de refroidissement, l'étude de M. Mueller [50] montre l'influence de la taille de la bille de brasure avec un alliage SAC 305. Pour cette étude, un refroidissement identique pour l'ensemble des configurations (1,1°C/s) a été considéré. Le diamètre des billes va de 1100 μm (a), donc proche des dimensions utilisées pour les études de croissances des intermétalliques, à 130 μm (d) se rapprochant des dimensions présentes sur les micros billes. Des valeurs intermédiaires de (b) 590 μm et 270 μm (c) sont également prises en compte, celles-ci se rapprochant des configurations de BGA utilisées à l'heure actuelle.

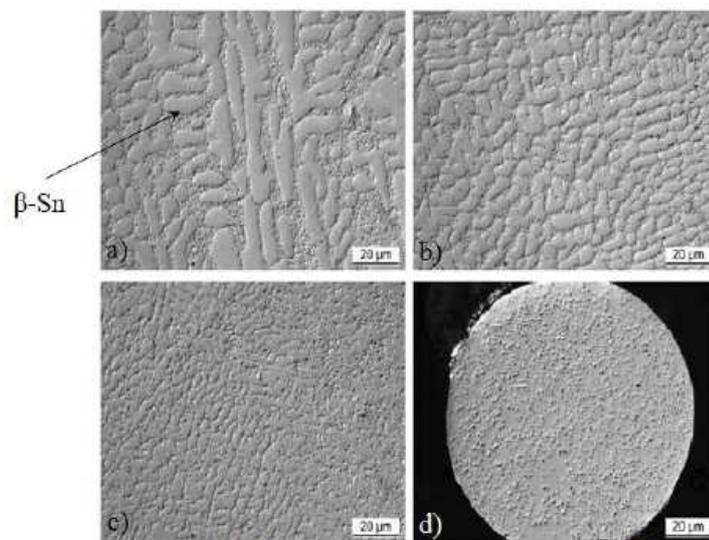


Figure 34 : Microstructure d'alliage SAC 305 pour différentes tailles de billes.

L'observation principale de ces différentes configurations est l'évolution de la taille des dendrites qui diminue en même temps que la taille de la bille, jusqu'à leur quasi disparition. En effet, pour la bille la plus petite, il est difficile de dire s'il s'agit de dendrites ou d'une matrice d'étain. De même que la taille des dendrites, la taille des grains est diminuée en fonction de la taille des billes. Comme le montre Mueller, les grains font une centaine de microns dans le cas des grandes billes, contre seulement 10 μm pour la bille de 130 μm .

Concernant l'évolution des épaisseurs d'intermétalliques en fonction des tailles de billes de brasure, une

étude menée par Y.S Park [51] montre l'évolution des intermétalliques pour trois tailles de billes en SAC105, ayant pour valeurs 200 μm , 300 μm et 400 μm . Par la suite, les différents systèmes subissent un maintien en température à 250°C pendant 1, 2 ou 3 minutes.

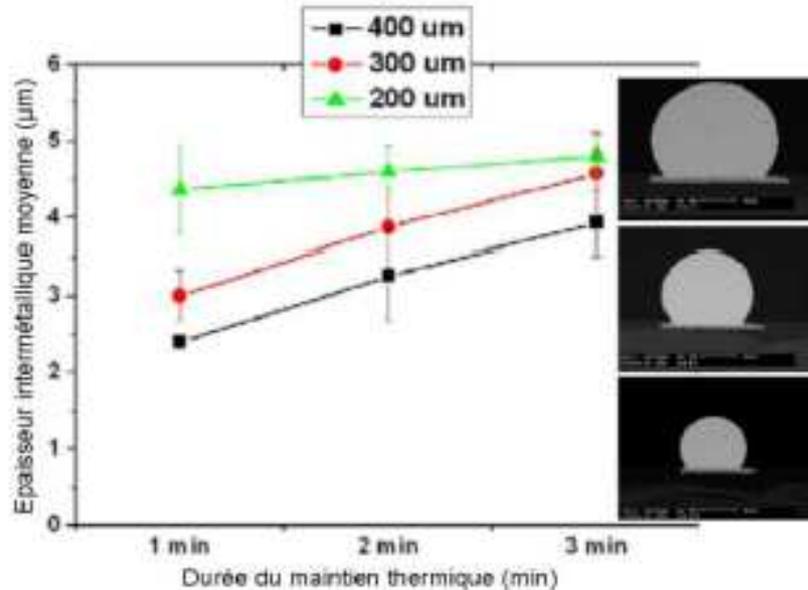


Figure 35 : Evolution de l'épaisseur de Cu_6Sn_5 d'un alliage SAC 105 [51].

On constate une différence importante de l'épaisseur d'intermétallique en fonction de la taille et selon les temps de maintien en température : plus le maintien est important et plus l'écart se réduit. Ceci s'explique par le fait que la bille plus petite est plus vite saturée en cuivre et, de ce fait, la croissance ne se fait plus. De plus, pour un système de 200 μm , l'impact de l'évolution des intermétalliques entre 1 min et 3 min est moins importante que le système avec une bille de 400 μm avec un facteur de plus de 2. Cela indique que pour des structures de tailles inférieures à 200 μm , le facteur temps n'intervient que faiblement.

3.6.6.2. Refroidissement et microstructure

Lors de l'assemblage d'un composant par le biais d'une brasure, vient toujours un moment où la température est plus élevée que la température de refusion de l'alliage. Cette température est le premier paramètre important et est essentielle pour la création de la connexion. Elle doit être maîtrisée correctement. Cependant, vient par la suite une étape inévitable qui est le refroidissement de la structure. Il s'agit d'un second paramètre important pour la constitution de la microstructure de la bille d'alliage. La vitesse de refroidissement ne doit pas être négligée au niveau du procédé, celle-ci a un impact direct sur la structure de la brasure. Les travaux menés par KIM Kim [52] mettent en évidence les différences de structures pour trois compositions d'alliages et avec trois vitesses de refroidissement.

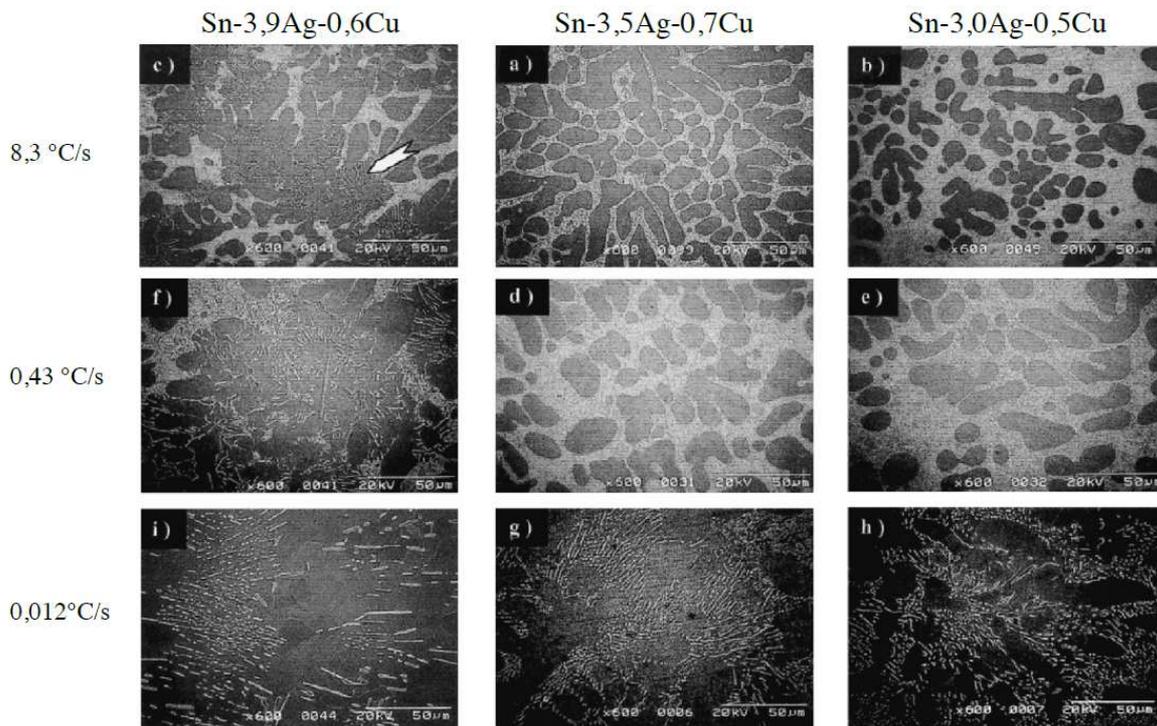


Figure 36 : Observation MEB des microstructures pour trois alliages différents à de multiples températures de refroidissement [52].

Le premier constat est qu'en augmentant la vitesse de refroidissement, la taille des dendrites d'étain est augmentée. Également, la taille de grains de la structure eutectique est réduite, et la taille des précipités Ag_3Sn est moins large. Il faut noter que la configuration à 8,3°C/s est la plus proche des paramètres des procédés industriels utilisés à l'heure actuelle.

3.6.6.3. Composition

Comme dit précédemment, il existe de multiples compositions d'alliages et, malgré leurs compositions proches de la brasure Sn3,5Ag, chaque alliage a sa microstructure propre ainsi qu'une évolution sensiblement différente. Par exemple, les travaux d'Anderson, I.E., [53] comme montrés sur la , permettent de mettre en évidence la différence de compositions entre la brasure SAC 305 et SAC 396.

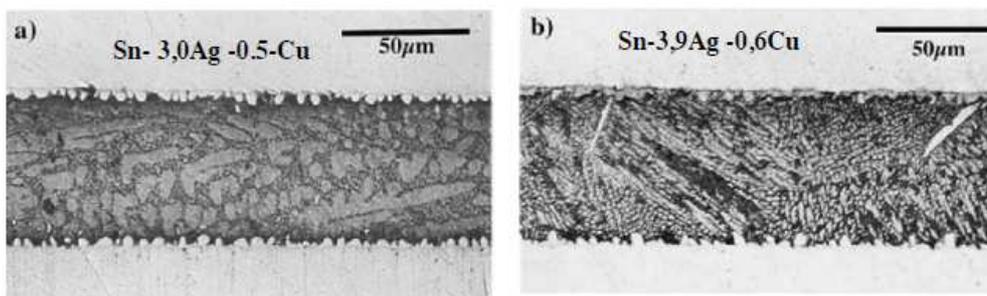


Figure 37 : Observation MEB de deux joints de brasure (a) SAC 305 (b) SAC 396 [53].

D'autres études similaires telles que celles de Y. Kariya [54] et D. A. Shnawah [55] montrent l'évolution des microstructures pour différentes compositions d'alliages. Toutes ces études convergent pour mettre en lumière que plus le taux d'argent augmente et plus les dendrites sont proches, denses et s'affinent.

Également, avec une composition en argent plus importante, la quantité du composé Ag_3Sn est augmentée. Le cas ici se résume uniquement à deux configurations, une avec 3% d'argent et la seconde avec 3,9%. Toutefois, il est possible d'imaginer une infinité de configurations en reprenant le diagramme de phase et, donc, d'imaginer tout autant de configurations de microstructure. Cela aura bien entendu un impact direct sur la fiabilité de l'interconnexion et sur sa tenue en fatigue.

Cette dernière est principalement induite par les contraintes apportées par le système et est due à la différence de coefficient de dilatation thermique entre les différentes entités qui la composent. Ce phénomène global est le plus impactant. Des études se sont également intéressées aux différences de coefficients de dilatation thermique uniquement dans la brasure au niveau des différentes phases en présence. Comme le montre l'étude de Matin [56], après 1000 cycles entre 0°C et 60°C, l'interaction entre les phases mène à certains défauts comme des fissures aux niveaux des joints de grains et à l'interface des dendrites.

3.6.6.4. *Traitements thermiques subis par l'assemblage*

Il a été vu dans les parties précédentes que la microstructure de la brasure dépendait de la taille du système considéré. Il a été démontré que la vitesse de refroidissement et la taille de la bille de brasure avait un impact sur l'état final de l'assemblage. Toutefois, les configurations présentes dans ces études sont des cas idéaux, ne prenant pas en compte de l'historique thermique que peut voir un assemblage fonctionnel. Dans cette partie, il va être question, plus précisément, des traitements thermiques subis par l'assemblage réel. En effet, il est très rare, pour ne pas dire impossible, de trouver des équipements subissant des recuits de plusieurs centaines ou milliers d'heures, contrairement aux études développées ici, et mettant en avant les études de cinétiques [41] [57]. Sur des cas opérationnels, les assemblages voient uniquement une succession de refusions, ce qui a pour conséquence une différence sur la microstructure par comparaison à un essai de maintien en température comme l'a démontré W. K. Choi [58]. En effet, il est très important de considérer l'historique thermique de la brasure car en partant de conditions initiales différentes, mais ayant subi par la suite un traitement identique, il est possible de retrouver une microstructure différente au final. Ceci va être abordé avec l'exemple suivant, mettant en avant l'impact de différents types de recuits sur des brasures amenant à des croissances d'intermétalliques particulières. Il s'agit, dans ce cas, de faire une première refusion avec différentes cinétiques, puis par la suite, un maintien en température. Cette étude, résumée sur la Figure 38, se concentre sur l'évolution du temps de maintien à 250°C entre 30 secondes et 10h. Elle a permis de mettre en avant deux modes de croissance des intermétalliques en fonction du temps, de 30 sec à 120 sec (groupe A) : une croissance colonnaire est constatée pour ensuite passer à une croissance en aspérités de 10 min à 10h (groupe B). L'ensemble de ces échantillons sont, par la suite, mis en température à 130°C pendant différentes durées de 100h à 800h. Selon la configuration de base, il est possible de voir différents modes de croissances. Cela démontre bien l'impact qu'a l'historique thermique du joint de brasure.

- Pour le groupe A : croissance finale plate des intermétalliques, la croissance se fait entre les intermétalliques initiaux
- Pour le groupe B : croissance en forme arrondie conservée, la croissance se fait sur l'intermétallique directement.

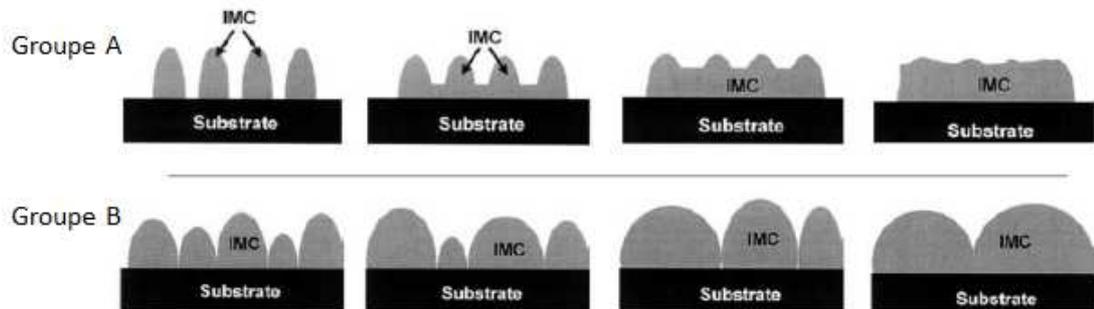


Figure 38 : Schéma des deux modes de croissances d'intermétalliques [58].

Il est donc mis en évidence que l'état initial de la brasure conditionne son évolution dans le temps et, donc, sa tenue plus ou moins importante au cours du temps. D'autres études montrent cet effet de conditionnement initial et son impact sur la fiabilité ([59], [60]).

3.6.7. Conclusion

Dans cette partie, il a été montré que la microstructure des alliages à base d'étain peut varier très largement du fait de différentes compositions de base. De plus, on s'aperçoit qu'un ensemble de paramètres de procédés et l'application de tests de vieillissement a un impact important sur la microstructure de l'alliage formé, c'est pourquoi il est important d'étudier la microstructure de ces brasures. Cette information aura un impact direct sur la tenue en fiabilité de l'interconnexion.

Une étude détaillée des éléments chimiques ainsi que l'évolution de la structure au cours du temps et de la température ont été faites pour chaque configuration. Il faut garder à l'esprit que les dimensions du système utilisées pour des piliers de cuivre ou des micros brasures sont largement différentes, avec un facteur 10 voire 20 sur le diamètre et l'épaisseur, avec les études matériaux décrites dans cette bibliographie. Cela peut avoir un impact direct sur les microstructures des billes des piliers de cuivre, mais également sur les vitesses de refroidissement vues par les micro-billes. En effet, les vitesses de refroidissement seront de très loin supérieures aux configurations vues ici, dû au fait de leur faible diamètre mais également à la taille et masse calorifique de l'assemblage dans son ensemble qui sont très faibles.

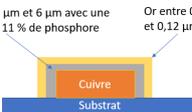
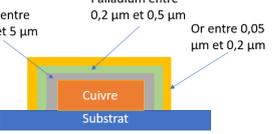
3.7. Conclusion sur l'état de l'art

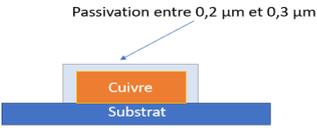
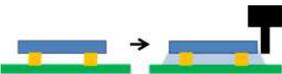
Les évolutions technologiques mises en œuvre dans l'industrie poussent toujours plus vers le développement d'assemblages plus performants y compris pour les domaines aéronautiques. Les motivations sont techniques mais également écologiques avec la réglementation ROHS. C'est pourquoi les brasures sans plomb viennent à remplacer les brasures SnPb. Celles-ci sont étudiées, par ailleurs, pour répondre aux problématiques de fonctionnalités afin d'arriver à une intégration plus poussée et mieux contrôlée avec un transfert de technologies 2D vers le 2.5D/3D. Ceci implique le passage des technologies CMS et report en câblage filaire à des reports de puces sans package, en particulier en technologie dite « flip-chip ».

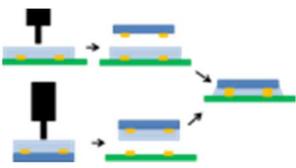
Cette technologie d'assemblage est ainsi le point clé de notre étude, elle permet notamment une augmentation du nombre d'entrées et sorties présentes sur les puces. Pour la réaliser, différentes technologies peuvent être utilisées telles que des billes d'or, des billes de brasures ou encore des piliers de cuivre qui seront utilisés dans notre étude. Concernant les procédés d'assemblage, plusieurs techniques sont disponibles comme la refusion collective et la thermocompression qui seront mises en œuvre dans cette thèse.

Toutefois, l'introduction de cette nouvelle technique d'assemblage a pour enjeu principal la fiabilité. En effet, la solution en câblage filaire ne présente pas de problématique liée à la différence de coefficients de dilatation thermique puisque la puce est collée et connectée par un câble qui, très malléable, permet d'absorber les contraintes de dilatation différentielles. Dans le cas présent de l'assemblage flip-chip, les piliers de cuivre n'ont pas cette capacité.

C'est dans cette optique que les matériaux d'underfill, destinés à distribuer les contraintes sont développés. Il existe de multiples méthodes d'underfill. Toutefois, pour l'application visée, la technique par capillarité sera retenue, étant donnée la petite taille des puces et la dimension des pas d'interconnexions. Une synthèse des différentes techniques développées dans cette partie est proposée ci-dessous :

	Caractéristiques principales	Avantages	Inconvénients
Finitions			
ENIG : Electroless Nickel Immersion Gold Page 34	 <p>Nickel entre 4 µm et 6 µm avec une teneur de 7 - 11 % de phosphore Or entre 0,05 µm et 0,12 µm</p>	Largement utilisée et connue	Phénomène de corrosion du nickel amenant un décollement de la finition, Problématique dit du « black pad »
ENEPIG : Electroless Nickel Electroless Palladium Immersion Gold Page 35	 <p>Nickel entre 3 µm et 5 µm Palladium entre 0,2 µm et 0,5 µm Or entre 0,05 µm et 0,2 µm</p>	Palladium protège mieux de la corrosion le nickel Bonne planéité Barrière de diffusion du cuivre par le palladium permettant un stockage	Finition coûteuse (plusieurs étapes de fabrication) Pas de phénomène dit du « black pad »

		long et de multiples refusions	
OSP : Organic Solderability Preservative Page 35		Finition cuivre Bonne mouillabilité	Tenue dans le temps moindre car la passivation est organique et s'altère.
Techniques d'assemblage			
Soudure collective Page 36	Application d'une température uniquement	Assemblage multi composants Auto-alignement de la puce lors de la refusion de la brasure	Temps de chauffe long avec un passage dans plusieurs zones (env 8) d'un four pour un temps de 10 à 20 min.
Thermocompression Page 37	Application d'une température et d'une pression	Faible apport de chaleur sur le substrat Temps de chauffe court devant le temps en soudure collective Déformation moindre de l'assemblage du fait de la plus faible température du substrat	Assemblage unitaire Dépendant de la précision de placement car il y a un maintien de la puce pendant l'assemblage
Thermosonique Page 38	Application d'une température, d'une pression et d'ultrason	Faible apport de chaleur et température d'assemblage plus basse, l'énergie nécessaire à la mise en place de la connexion est apportée par les ultrasons	Procédure d'assemblage complexe (multiples paramètres, ultrasons, pression, températures) Assemblage unitaire
Underfill			
Cappillary underfill « CUF » Page 39	Déposé après assemblage 	Rapidité de mise en œuvre, montée en température rapide (sec) et processus d'ultrasons inférieur à 5 secondes. Très efficace en fiabilité (remplissage total de l'espace sous la puce)	Unitaire Limité aux puces de petite taille (risque de bulles d'air)

<p>No flow underfill</p> <p>Page 40</p>	<p>Déposé avant assemblage</p> 	<p>Moins de bulles d'air</p> <p>Permet une densification importante des I/O</p> <p>Multi composants (peut être appliqué sur une plaque de silicium composée de plusieurs puces)</p>	<p>Maintien de la puce lors de l'assemblage (effet de flottement)</p> <p>Pré étuvage avant dispense afin de ne pas avoir de délamination</p> <p>Résidu underfill dans la brasure car l'underfill est présent lors de la refusion</p>
<p>Reworkable</p> <p>Page 41</p>	<p>Résine thermoplastique</p>	<p>Permet une reprise du composant en cas de problème</p>	<p>Limité à des températures inférieures à 100 °C en utilisation</p>
<p>Corner bonding</p> <p>Page 41</p>	<p>Uniquement aux angles</p> 	<p>Utilisé pour les composants CSP, retour d'informations important</p> <p>Moins coûteux à mettre en œuvre</p>	<p>Moins efficace en fiabilité</p>
<p>Molding underfill</p> <p>Page 42</p>	<p>Encapsule totalement le composant</p> 	<p>Double rôle : encapsulant et underfill</p>	<p>Investissement initial élevé</p> <p>Non adapté à toutes les configurations</p>

L'étude de la métallurgie des interconnexions de type pilier de cuivre a permis de mettre en évidence l'importance de la structure et de la composition des phases en présence. La formation des composés intermétalliques en fonction des différentes compositions des structures et des différentes températures de traitement ont permis de mettre en évidence les composés Cu_6Sn_5 , Ni_3Sn_4 et Cu_3Sn qui seront présents dans notre cas d'étude.

Il a été montré que la taille du système de l'interconnexion joue sur la microstructure de la brasure. Premièrement, la diminution de la taille de la bille de brasure modifie la surface d'échange en jouant sur la température de refroidissement qui a un impact important sur la microstructure. En revanche, cet effet a un impact faible sur l'évolution de l'intermétallique en fonction du temps. Enfin, il a été montré que l'historique thermique subi par la brasure a un impact non négligeable sur la croissance des intermétalliques.

Il est donc essentiel de maîtriser et de contrôler lors de l'étude ce qu'il se passe au niveau des composés importants que sont le Cu_6Sn_5 , Ni_3Sn_4 et le Cu_3Sn . La comparaison du joint de la micro brasure vis-à-vis d'un joint de composant plus grand de type BGA sera un point essentiel à vérifier lors de l'étude.

4. Fiabilité : Principe et mise en œuvre

4.1. Introduction à la fiabilité

La fiabilité d'un assemblage ou d'un système est défini par sa capacité à accomplir une fonction sous une contrainte ou un environnement particulier pour un temps donné. Cela permet d'en déduire un taux de panne donné avec un intervalle de confiance. Néanmoins, en aucun cas la fiabilité est une propriété fondamentale d'un système, elle est simplement une analyse du comportement de celui-ci. Ceci est dans le but de savoir si le risque est maîtrisé et que le système tient l'objectif fixé par le cahier des charges.

En considérant un nombre initial d'échantillons N_0 et considérant qu'au bout d'un temps t le nombre d'échantillons encore opérationnels est $N_s(t)$, la formule suivante est obtenue pour le calcul du taux de défaillance [61]:

La probabilité de suivi $R(t)$ à l'instant t : $R(t) = N_s(t)/N_0$

La densité de défaillance $f(t)$ pendant un intervalle de temps Δt : $f(t) = R(t) - R(t + \Delta t) / \Delta t$

L'obtention du taux de défaillance $\lambda(t)$ en est déduit : $\lambda(t) = f(t)/R(t)$

De façon générale, le taux de défaillance suit, en fonction du temps, un comportement représenté par une courbe en forme de baignoire qu'il est commun de retrouver dans les études de fiabilité. Trois domaines principaux sont observables correspondant à différents types de défaillances.

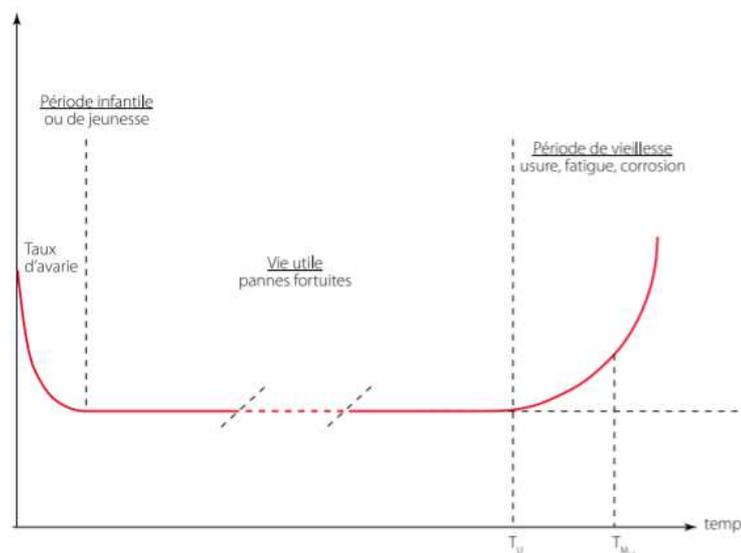


Figure 39 : Courbe du taux de défaillance en fonction du temps [62].

La première phase représentant une décroissance rapide du taux de défaillance est la zone dite de jeunesse. Les défaillances dans cette zone sont dues à des défauts lors de la fabrication. Cette partie des produits peut être éliminée avant la mise sur le marché avec une vérification et des tests préliminaires. L'amélioration de la qualité de fabrication permet également de réduire fortement ce type de défaillances.

La seconde phase appelée vie utile est composée d'un taux de défaillance relativement bas et constant. Il s'agit, dans cette zone, de pannes aléatoires. Ceci est surtout vrai pour des composants

électroniques, mais, dès lors qu'il s'agit de composants mécaniques, ce palier n'existe plus et après la période de jeunesse, le composant entre directement en période de vieillissement.

Enfin la troisième zone correspond à la zone de vieillissement. A ce moment-ci, il y a une forte augmentation du taux de défaillance avec l'âge du produit. Il s'agit ici des phénomènes de vieillissement, dus à la déformation, l'oxydation, l'érosion, la fissuration, etc. Cette phase apparaît généralement très loin dans la vie d'utilisation d'un produit. Pour l'étudier et la révéler des vieillissements accélérés sont souvent utilisés.

C'est donc du vieillissement accéléré dont il sera question dans la partie 4.3.

4.2. Les lois de fiabilité

Les lois de fiabilité ou de probabilité permettent de définir un temps ou un intervalle pour lesquels il n'y aura aucune défaillance. Ces défaillances sont caractérisées par des variables permettant de représenter cette grandeur. L'objectif est de pouvoir en déduire une durée de vie caractéristique de la population d'échantillons. Plusieurs lois sont couramment utilisées. Elles peuvent être définies selon deux grands groupes :

- Les lois discrètes : uniforme, Bernouilli, Binomiale, Géométrique, Poisson
- Les lois continues : Normale, log normal, Exponentielle, Khi deux, Gamma, Cauchy Weibull

Parmi ces lois, certaines sont employées plus couramment dans le calcul de la fiabilité d'un système, c'est pourquoi un intérêt particulier sera apporté à la loi normale, la loi exponentielle et la loi de Weibull.

La loi normale :

Autrement appelée la loi de Gauss, c'est une loi très répandue utilisant une approche probabiliste associée aux variables aléatoires pour un très grand volume d'échantillons. La fonction est exprimée sous la forme de :

$$n(t) = \frac{n}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{t-\mu}{\sigma}\right)^2} \quad [\text{Équation 2}]$$

Avec : μ : la moyenne ; σ : l'écart type et n : le nombre total d'individus de l'échantillon

La loi exponentielle :

Elle est utilisée dans de nombreux cas mais elle est peu réaliste à cause de son taux de défaut constant. Cependant, ce critère peut être acceptable sur un intervalle de temps particulier, comme pour des domaines d'études de durée de vie utile d'un équipement électronique par exemple.

La loi peut être exprimée sous la forme suivante :

$$f(x) = \frac{1}{\beta} e^{-\frac{x}{\beta}} \text{ avec } x \geq 0 \quad [\text{Équation 3}]$$

Avec $1/\beta$ = taux de défaillance

La loi de Weibull :

Cette loi est très souvent utilisée pour les études de fiabilité. En effet, avec certains paramètres, elle recouvre les propriétés d'une loi exponentielle (avec $\beta = 1$) ou d'une loi normale (avec $\beta = 3$). Comme discuté précédemment, les taux de pannes varient selon que le produit se trouve en début ou en fin de vie. Ainsi, les trois phases de pannes, les défaillances précoces, constantes et de vieillissement peuvent être représentées avec cette loi.

La loi de Weibull est :

$$R(t) = e^{\frac{-(t-\gamma)\beta}{\eta}} \quad [\text{Équation 4}]$$

Avec β , η , γ définissant la distribution de Weibull, avec :

β : paramètre de forme ($\beta > 0$) avec $\beta < 1$ pour les pannes de jeunesse $\beta=1$ pour un taux de défaillance constant et $\beta > 1$ pour les pannes dues au vieillissement.

η : paramètre d'échelle indiquant l'ordre de grandeur de la durée de vie moyenne ($\eta > 0$)

γ : paramètre de position ($-\infty > \gamma > +\infty$) souvent égal à 0 car la loi ne peut pas représenter l'ensemble des facteurs influents sur la fiabilité.

C'est donc cette loi qui est la plus utilisée pour représenter chaque étape des différents mécanismes de défaillance d'un produit.

4.3. Vieillissements accélérés

Durant la vie d'un produit ou d'un assemblage électronique, ces derniers sont soumis à de nombreuses sollicitations. Elles peuvent être d'origine vibratoire, thermique, chimique, et être à des fréquences variant dans le temps. Ces différentes sollicitations sont à la source des défaillances des composants.

Les tests en humidité sont reliés à des conditions climatiques. En effet, au cours de la vie d'un produit, la variation de température et donc de saturation de l'air en eau peut varier. L'humidité peut être un accélérateur de vieillissement des matériaux. Certains matériaux comme ceux des substrats organiques ou des résines d'underfill peuvent absorber de l'humidité ce qui peut modifier leurs propriétés mécaniques. Cela peut, par exemple, amener une migration sous courant des métaux constituant les pistes conductrices présentes dans le substrat.

Les sollicitations électriques apportent un vieillissement qui dépend du champ électrique, de la tension, du courant et de la durée d'exposition. Le passage de forts courants peut, par exemple, amener des décharges partielles de matières pouvant dégrader le matériau jusqu'à provoquer une perforation [63], appelé phénomène de migration électro-chimique.

Les sollicitations mécaniques sont souvent appliquées au moyen de pots vibrants venant solliciter en flexion les cartes électroniques. La fiabilité est, dans ce cas, caractérisée par la tenue d'un certain nombre de cycles de flexion de l'assemblage. La sollicitation peut être de forme sinusoïdale ou sur une bande de fréquences. Dans le cas d'une carte électronique, la source d'endommagement maximale est à la fréquence de résonance, correspondant à la déformation la plus importante. Pour l'utilisation en mode normal, on

cherchera à repousser au plus loin la fréquence de résonance afin d'avoir des déformations faibles. Cette amélioration peut être obtenue avec des points de fixation mécanique.

Dans le cas d'un composé électronique pour l'aéronautique, les variations de température entre le sol et en vol sont très importantes, cela engendre des écarts de températures sollicitant la brasure des composants, en particulier. C'est le point le plus critique pour l'aéronautique et c'est pour cela que la thèse est consacrée à cette sollicitation thermique. Ces dernières ont pour conséquence une évolution de la structure du matériau concerné, on parle alors de vieillissement. Principalement, la température peut suivre deux régimes distincts, un régime où la température fluctue en permanence, ou un régime avec un maintien à une température stable. Ces deux régimes sont à l'origine d'évolutions différentes de la structure. En effet, le régime de température fluctuante aura un impact sur la fatigue du matériau lié aux sollicitations mécaniques et apportant des déformations plastiques. D'autre part, le régime de température permanent aura un impact sur l'évolution de la structure cristallographique du matériau ou des effets de corrosion et oxydation. En effet, les réactions chimiques telles que la croissance des intermétalliques ou des interactions avec le milieu extérieur sont accélérées à forte température.

Afin d'avoir une information sur l'évolution du système avant sa mise sur le marché, il est nécessaire de procéder à des tests en situation. Etant donné qu'il n'est pas possible d'attendre des années pour avoir des informations, des tests accélérés sont mis en œuvre pour avoir les résultats plus rapidement. Ces tests doivent être aussi représentatifs que possible des conditions que subira le composant dans sa future utilisation. Les normes JEDEC ont été créées dans cet objectif.

Test Condition*	Nominal $T_{s(min)}(^{\circ}C)$	Nominal $T_{s(max)}(^{\circ}C)$
A	-55	+85
B	-55	+125
C	-65	+150
G	-40	+125
H	-55	+150
I	-40	+115
J	-0	+100
K	-0	+125
L	-55	+110
M	-40	+150
N	-40	+85
R	-25	+125
T	-40	+100

Figure 40 : Températures des cycles thermiques normalisés [64].

Les différentes conditions de tests se différencient principalement par leurs températures basses (de -55°C à 0°C) et leurs températures hautes (de +85°C et +150°C).

Afin d'effectuer des essais plus rapidement, il est possible de supprimer des périodes de repos, d'augmenter le niveau de sollicitation ou bien encore de simuler uniquement la partie du profil de mission ayant le plus d'impact sur la durée de vie du système. Le plus important est de cibler correctement le test le mieux adapté aux conditions de vie du produit. Il est possible de passer à côté des modes de défaillance du produit si les tests sont effectués dans des conditions inadaptées et/ou trop sévères. Dans le cas de notre étude, il s'agit donc des profils de mission dans le domaine aéronautique.

4.4. Procédure et protocole de test mis en place

Dans le cadre de l'étude, des essais de cycles thermiques seront réalisés afin d'étudier l'évolution des interconnexions. Les essais mis en œuvre sont développés dans la partie suivante.

4.4.1. Cycles thermiques

Le cycle thermique est défini selon le profil de la Figure 41 lors des essais. Ce cycle est un standard dans le domaine aéronautique. Le choix de ce cycle est imposé par le projet.

Plage de températures : [-55 °C ; +125 °C]
Pente : 10 °C / minute
Durée des paliers : 15 minutes

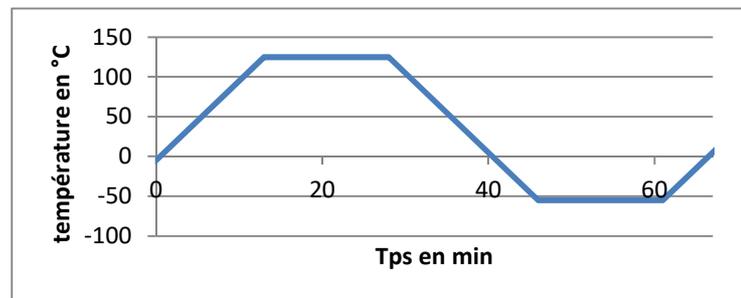


Figure 41 : Cycle thermique -55°C/+125°C.

Pour la pré-série, les mêmes pentes et températures seront utilisées mais sans les paliers de 15 minutes. Ce second profil permet de tester les assemblages avec un cycle deux fois plus rapide tout en conservant une amplitude de température similaire.

4.4.2. Procédure des essais thermiques

L'objectif est de faire des essais sur une longueur de 3000 cycles thermiques. Cette valeur s'explique par le fait qu'à l'heure actuelle, pour la qualification d'assemblage SnPb, il est demandé de tenir 1000 cycles pour une certaine classe d'équipements aéronautiques (FADEC). Sur ce constat, il est établi par l'ensemble des acteurs apparaissant sur des programmes aéronautiques qu'une marge de 30 % de cycles supplémentaires est nécessaire pour les assemblages sans plomb. Cela est dû aux calculs de fiabilité qui sont réalisés aujourd'hui et du peu de retours d'expériences pour le domaine aéronautique, ce qui amène un minimum de 1300 cycles. Du fait du temps disponible, afin de pousser au plus loin les évolutions dans le joint de brasure, il a été décidé d'effectuer un maximum de cycles, correspondant aux 3000 cycles précédemment définis. Des séries de 25 assemblages identiques sont présents pour les tests. Le détail des séries est présent dans la partie 5.5. Tous les véhicules de test seront sortis à 200 cycles puis tous les 500 cycles afin de procéder aux tests électriques. Si un échantillon présente un défaut, il est retiré définitivement de l'enceinte. Un suivi en continu n'a pas été possible dans le cadre de cette étude. Ceci expliquera, par la suite, l'impossibilité de tracer des courbes de Weibull.

4.4.3. Maintien en température

Pour ce test, un maintien en température à 125 °C sera effectué, le test durera 1000 heures au total. Des échantillons seront prélevés et mesurés à 500 heures.

4.5. **Descriptif des moyens de caractérisations**

4.5.1. Moyens de contrôle électrique des assemblages flip chip

Les assemblages mis en œuvre dans ce plan d'essai sont routés de manière à avoir des daisy chains permettant de mesurer la résistance des interconnexions. Le but principal est de vérifier la continuité électrique afin de voir si l'assemblage testé est encore fonctionnel, l'évolution des résistances des chaînes donnant aussi une indication sur le mécanisme de vieillissement des structures. Afin de valider le bon fonctionnement des assemblages, un courant est appliqué dans chacune des daisy chains et la tension est mesurée aux bornes de ces dernières. Dans cette partie seront détaillés les tests mis en place dans l'étude.

4.5.1.1. *Tests électriques pour les assemblages*

Les contrôles possibles concernent 2 à 3 daisy chains par puces selon la configuration présente dans la partie 5.5.

Le courant injecté sera de 10mA, ainsi qu'une mesure en 4 fils. De plus, le critère fixé pour déterminer si un assemblage est défaillant sera la variation de résistance. La structure sera considérée comme non fonctionnelle si la résistance augmente de 20% (critère imposé par le projet).

4.5.1.2. *Mise en œuvre des tests électriques*

Méthode par 2 fils

Sur la face avant du substrat, des plots de tests ont été mis afin de pouvoir rapidement tester la continuité électrique des deux daisy chains (présentation des daisy chains dans la partie 685.3). Les plots font 2 x 5 mm. Il s'agit de mesures 2 fils en courant continu pouvant être faites avec un multimètre manuel.

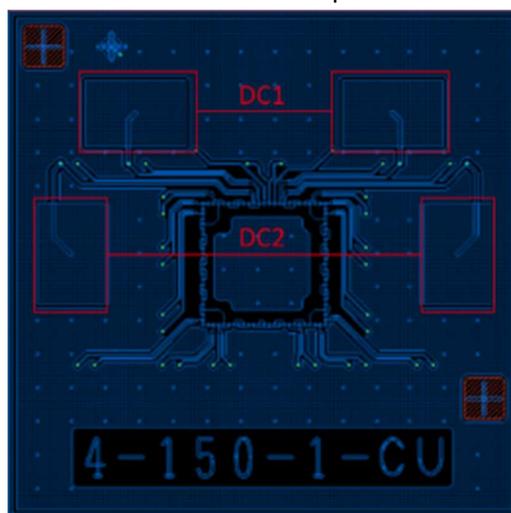


Figure 42 : Vue des plages de tests sur la face avant du substrat.

Avec la fonction ohmmètre il est possible d'avoir directement la résistance de la daisy chain. Cette valeur comprend également la valeur de résistance des pistes allant du plot de test à la daisy chain. Le montage suivant est donc utilisé.

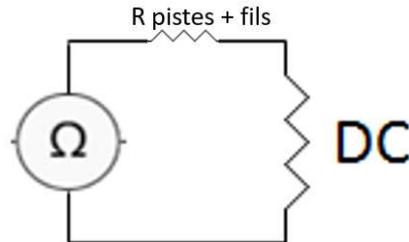


Figure 43 Schéma électrique d'un test 2 fils.

Méthode par 4 fils

Sur la face arrière du substrat, des plots de test ont été mis afin de pouvoir tester de manière répétée l'ensemble des structures. Il s'agit de mesures 4 fils qui seront effectuées avec un testeur semi-automatique. Selon les configurations, il y a 2 ou 3 daisy chains. Les quatre sorties par daisy chain sont représentées sur la Figure 44.

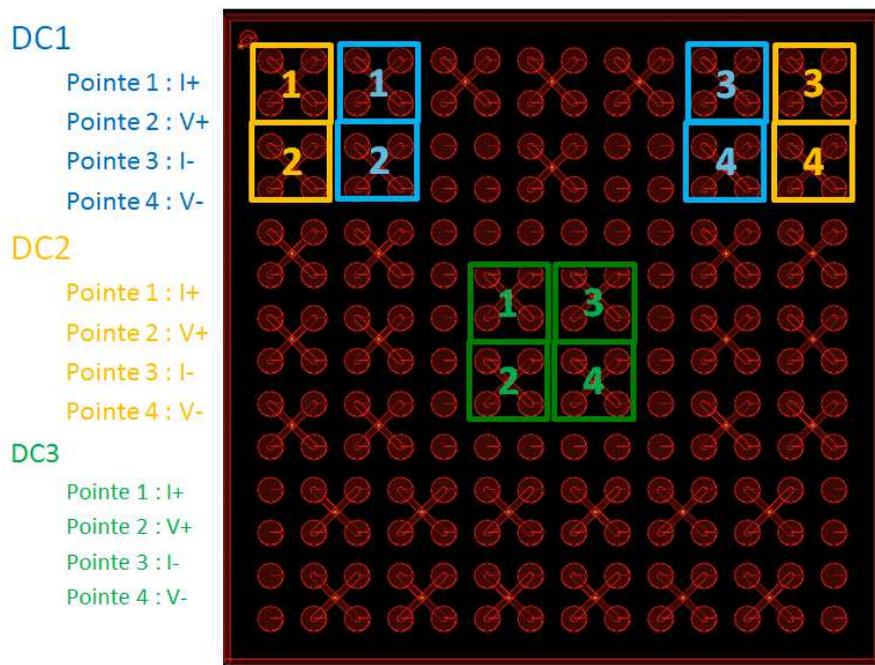


Figure 44 : Vue des plages de tests arrière avec emplacement des sorties de tests des daisy chains.

A noter que les autres plages non désignées sur cette figure permettent, si besoin, de mieux cibler la zone ayant une défaillance en mesurant une portion particulière d'une daisy chain.

Le courant est envoyé par un générateur entre les pointes 1 et 3, tandis que la tension est mesurée entre les pointes 2 et 4. Le rapport de la tension mesurée sur l'intensité qui traverse l'échantillon donne la

résistance de la daisy chain. Cela permet de s'affranchir des résistances des fils et pistes allant à la daisy chain. Le montage est le suivant :

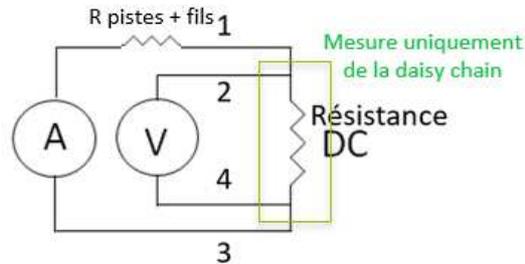


Figure 45 : Schéma électrique d'un test 4 fils.

4.5.2. Moyens de contrôle mécanique

En plus des contrôles électriques, lorsqu'un assemblage est défaillant, il sera possible d'effectuer différentes analyses destructives pour diagnostiquer le problème.

- Réalisation d'une micro-section pour :
 - Visualisation des interconnexions au microscope optique et microscopie électronique à balayage (MEB).
 - Analyses métallurgiques des connexions par diffraction d'électrons rétrodiffusés (en anglais Electron BackScatter Diffraction ou EBSD)

L'analyse EBSD repose sur le principe de la diffraction des électrons par rétrodiffusion. Les électrons sont diffractés par les couches atomiques dans des matériaux cristallins. Par la suite les électrons diffractés sont détectés lorsqu'ils heurtent un écran au phosphore et génèrent des lignes visibles, appelées bandes de Kikuchi.

Afin de réaliser ces deux analyses, une procédure de préparation des échantillons est à suivre. Elle se résume en quatre étapes. La première consiste à venir mouler l'assemblage dans une résine afin de renforcer l'ensemble. Par la suite, une première découpe grossière vient être faite à proximité du lieu à analyser. Ensuite, une micro section par polissage ionique est effectuée afin d'avoir une surface la plus lisse possible, et avoir un état de surface le plus miroir possible. Enfin la dernière étape est d'effectuer un flash de carbone sur la surface afin de pouvoir évacuer les charges apportées par le faisceau d'électrons. De plus, l'avantage du carbone est qu'il n'affecte pas l'analyse EBSD, car très léger.

L'analyse EBSD permet d'obtenir la nature des phases en présence dans l'interconnexion et l'orientation des grains. De plus, en général une observation avec lumière polarisée suffit dans une bille de brasure d'un BGA de plus grande taille pour déterminer la taille des grains. Dans le cas présent,

la taille des intermétalliques étant inférieure à 1 μm , cette technique n'était pas suffisante d'où l'utilisation ici de l'analyse EBSD pour obtenir la taille des grains dans la brasure.

Les imageries MEB proposées dans le document ont été réalisées sur au moins 4 échantillons. Concernant les résultats EBSD, ils ont, pour la plupart, été faits sur un nombre de 2 échantillons.

4.6. Conclusion

L'étude de la fiabilité d'un système électronique doit être un élément essentiel dès le début de la phase de conception. Les défaillances des composants électroniques viennent de l'environnement climatique extérieur, des conditions d'utilisation et du vieillissement.

La fiabilité d'un système est définie par sa capacité à accomplir une fonction sous une contrainte ou un environnement particulier pour un temps donné. Les sollicitations que subit le composant peuvent être de nature mécanique ou thermique et être amenées aléatoirement.

Pour connaître le niveau de fiabilité d'un système ou d'un composant, et afin d'avoir des réponses rapides, des tests accélérés sont mis en place. Ces tests accélérés doivent être judicieusement choisis pour que les résultats soient extrapolables aux conditions d'utilisations réelles et font l'objet de normes bien établies.

Ainsi, dans cette étude consacrée aux problématiques thermomécaniques présentes dans les assemblages de type flip chip, seront appliqués des cycles thermiques entre -55°C et $+125^{\circ}\text{C}$ ainsi qu'un maintien en température. Les essais seront faits pour une durée de 3000 cycles et 1000h de stockage. Des caractérisations électriques seront effectuées pour s'assurer du bon état ou de la défaillance des composants.

5. Etudes technologiques : conception et fabrication des véhicules de test

5.1. Introduction

Comme défini au départ de ce document, il a été décidé de centrer cette thèse sur la problématique de la fiabilité des assemblages flip chip. Ceci venant du constat qu'il faut avoir l'ensemble des informations de base du premier niveau pour pouvoir continuer vers une étude comportant des assemblages tels des puces empilées les unes sur les autres. C'est dans cette idée-là que la thèse initiera les travaux sur le report flip chip et la tenue de ces assemblages en tests de cycles thermiques. Pour réaliser ces essais, des véhicules de tests sont développés, constitués d'une puce en silicium reportée par flip chip sur un substrat organique. Ces véhicules de tests comportent différentes configurations dont les caractéristiques seront développées dans cette partie. Après avoir abordé le sujet de la conception du véhicule de test dans son ensemble, seront vus plus en détail les propriétés de chaque élément le constituant et les données de caractérisation de ces derniers. L'objectif final de la réalisation de ces assemblages est l'obtention de durées de vie et des mécanismes de défaillance en test de cycles thermiques.

5.2. Définition des véhicules de test

5.2.1. Objectifs

Dans cette partie seront expliqués en détail les choix de conception pris en compte pour les différents assemblages réalisés. L'objectif est, dans un premier temps, d'arriver à assembler de façon répétable une

puce silicium sur un substrat organique en flip chip. Dans un deuxième temps, ces assemblages permettront d'étudier le comportement thermomécanique et de mesurer la fonctionnalité électrique de chaînes d'interconnexions au cours de tests de cycles thermiques. En outre, cela permettra d'obtenir de l'expérience sur les processus de fabrication et de mises en œuvre qui serviront pour les futurs assemblages de SAFRAN. L'étude doit permettre d'obtenir des informations sur les durées de vie et les modes de défaillance, ainsi que d'identifier les points critiques au niveau des règles de conception et des procédés d'assemblages. Enfin, l'objectif serait de pouvoir en déduire des règles de conception permettant un dimensionnement au plus juste des assemblages fonctionnels.

5.2.2. Définition des assemblages

Les assemblages sont composés de 3 entités : une puce en silicium, un substrat organique et des interconnexions reliant ces deux entités constituées de piliers de cuivre. Dans cette partie seront expliquées plus précisément les différentes parties des assemblages, schématisées sur la Figure 46 :

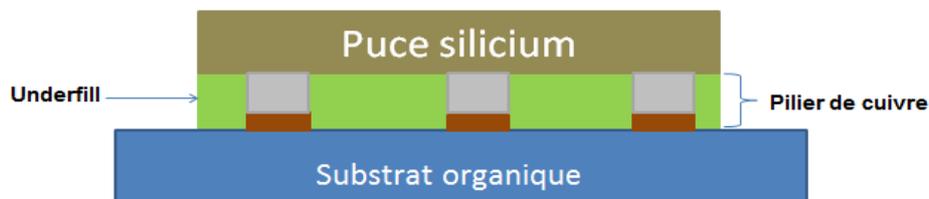


Figure 46 : Schéma de l'assemblage utilisé dans l'étude.

5.2.3. Choix et limitations sur les règles de conception des assemblages

Dans cette partie, seront présentées les différentes configurations des assemblages. Le nombre de paramètres étant important, l'étude a été limitée à certaines configurations, décrites ci-dessous. Toutefois, il est possible de répartir ces différentes configurations en deux grands groupes, le premier regroupant des paramètres dépendants des règles de conception des puces ; le second regroupant des paramètres propres au procédé d'assemblage. Dans les deux cas, il s'agit ici d'une configuration de paramètres, une fois ces derniers tous assemblés, unique pour une étude sur ce genre d'assemblage. Souvent, ne sont étudiés qu'un ou deux paramètres dans une même étude. Les choix des différents paramètres ci-dessous sont à la fois pour répondre à une problématique projet mais également pour pousser le plus possible certains paramètres en rupture avec ce qu'il se fait traditionnellement (épaisseur puce).

Règles de conception des puces :

- Pas d'interconnexion : comme vu dans la partie faisabilité à la page 81, ils peuvent atteindre des valeurs de l'ordre de 10 μm sur des assemblages silicium-silicium. Dans le cas de l'étude, il s'agit d'assemblages organiques. Les assemblages de tests fabriqués auront un pas de 100 μm pour les plus petites valeurs. D'autres configurations moins critiques seront également utilisées telles que les pas de 150 μm et 250 μm . Les pas de 150 μm correspondent à un besoin opérationnel au

niveau de SAFRAN alors que les pas de 250 μm sont choisis afin de voir l'impact de ce paramètre de conception sur la durée de vie de l'assemblage.

- Tailles des puces : pour ce paramètre, il n'y a pas de réelle limitation technologique au niveau de la fabrication. Les limites imposées sont surtout liées au domaine d'application qui est visé (ici, le domaine des capteurs avec des puces analogiques). Il est donc considéré que de grandes puces, au-delà de 10 mm, ne seront pas représentatives des applications visées par SAFRAN. C'est pourquoi le choix s'est orienté vers trois tailles de puces carrées ayant chacune un facteur 2 entre elles : 2 mm, 4 mm et 8 mm.
- Nombre de couronnes d'interconnexions : dans les utilisations courantes, il est rare que toutes les puces aient une configuration d'entrée et de sortie identique, il n'est pas possible de trouver une configuration standard. Il a été fixé une ou deux couronnes de billes afin d'avoir deux configurations différentes correspondant à deux cas réels.

Procédé d'assemblage :

- Underfill : L'underfill est un facteur clef dans la fiabilité des assemblages flip chip et de leurs protections contre l'environnement. Pour cette raison, il fait partie des tous premiers paramètres pris en compte dans l'étude.
- Epaisseur de puces : le second paramètre est l'épaisseur des puces. En effet, au lieu de rigidifier l'assemblage avec l'underfill, l'amincissement des puces silicium pourrait permettre de réduire l'effort sur les interconnexions. Les différentes épaisseurs de puces seront ainsi de 50 μm , 100 μm et 200 μm . La puce de 50 μm représente un réel challenge au niveau du processus d'assemblage.
- Hauteur des piliers de cuivre : lors du procédé de création des piliers de cuivre, il est possible de modifier leur hauteur. Le facteur limitant pour cette technologie est le facteur de forme entre la hauteur et le diamètre. Les piliers de cuivre sont fabriqués par croissance électrolytique à travers un masque de résine photosensible. Ce sont les caractéristiques de cette résine qui déterminent à la fois la hauteur et le diamètre atteignables. La résolution des résines actuelles permet d'atteindre un facteur de forme (hauteur/diamètre) de 2 environ. Dans notre cas d'étude, la hauteur sera variée de 30 μm à 68 μm .
- ReDistribution Layer (RDL) : enfin, un dernier paramètre pris en compte : le cas d'un niveau de redistribution. C'est une couche de métal supplémentaire fabriquée sur une puce qui permet aux plages d'entrées et sorties d'être positionnées en matrice. Cela est fait sur les circuits pour une redistribution des entrées/sorties ou encore pour épanouir et augmenter le pas des interconnexions. Dans le cas de l'étude le pas sera ici de 200 μm .

5.3. Conception des puces de test

Dans cette section, seront détaillées la fabrication et la caractérisation des différentes plaques de silicium comportant les puces. Seront récapitulées les différentes configurations avec une explication de leur constitution.

5.3.1. Conception des puces silicium

La puce de test, est une puce silicium fabriquée par le LETI. Ses dimensions ont été définies précédemment. La puce possède un routage « daisy chain » avec deux pistes en aluminium entremêlées. Un routage « daisy chain » est un routage formant une chaîne continue reliant plusieurs interconnexions ensemble permettant ainsi de tester électriquement l'intégrité de la technologie. Ceci permet de vérifier qu'il n'y a pas d'interruption du signal électrique et donc que les interconnexions sont fonctionnelles. De plus, cette méthode permet également de détecter une détérioration éventuelle des interconnexions par mesure de résistance électrique.

Comme il vient d'être énoncé, la présence de deux chaînes imbriquées constitue le routage de l'assemblage comme représenté sur la Figure 47 en vert et rouge. Il y aura, dans certains cas, une deuxième couronne qui sera testée grâce à une « daisy chain » centrale. Il s'agira ici d'une daisy chain non imbriquée, représentée en violet sur la Figure 47.

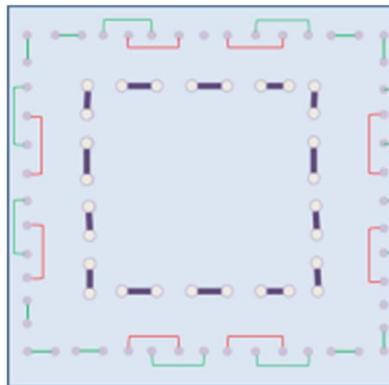


Figure 47 : Schéma d'une puce de test daisy chain.

De plus, une des puces est équipée d'une couche de redistribution supplémentaire.

Comme dit précédemment, plusieurs paramètres sont liés au dessin des puces, tels que les pas d'interconnexions ou la présence d'une ou deux couronnes. Toutefois, un paramètre nommé ici « r » a été ajusté en plus. Ce paramètre définit la distance entre le bord de la puce et la première rangée d'interconnexions. Il varie entre les configurations n'ayant pas le même pas, ceci dans l'objectif d'avoir le maximum d'interconnexions et le meilleur centrage possible. Enfin le choix a été fait de mettre les deux rangées d'interconnexions en quinconces, afin d'avoir une densité plus importante. Les différents paramètres sont rappelés sur la Figure 48.

Pitch (p) μm	100-150-250
r(μm)	140 à 160
L(mm)	2-4-8
Nbr couronne	1 ou 2
D (μm)	1,5*p

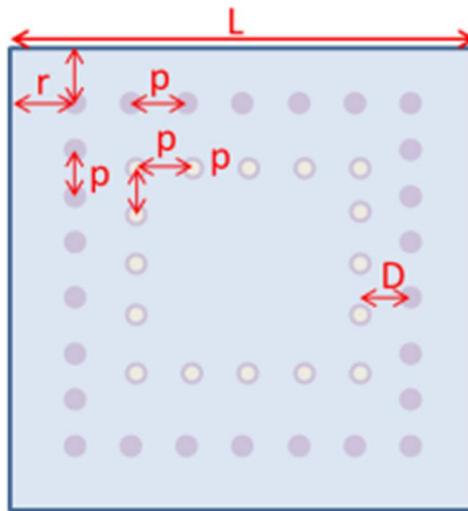


Figure 48 : Paramètres communs à toutes les puces de tests.

5.3.2. Constitution des plaques de silicium.

L'ensemble des puces sont fabriquées sur une même plaque. Chaque puce possède un label afin de pouvoir l'identifier facilement. De plus, le pourtour de la puce est délimité par un cadre en aluminium de 15 μm de largeur et positionné à 10 μm du bord. Cette ligne sera un point de repère pour la délimitation de la puce. La découpe, bien que précise, apporte une incertitude sur la dimension réelle de la puce, c'est pourquoi avec ces lignes il sera possible de se rendre compte du résultat obtenu.

A noter que des chemins de découpe de largeur de 100 μm sont prévus entre les puces pour le passage de la lame.

La répartition des puces sur la plaque a été faite de façon à être la plus homogène possible pour des raisons d'uniformité des procédés technologiques. C'est pourquoi les puces de 4 mm et de 8 mm ont été divisées en deux groupes comme représentées sur la vue extraite du fichier GDS Figure 49. De plus, le procédé n'étant pas toujours homogène sur l'ensemble de la plaque, afin d'avoir un rendement maximal sur les puces de 2 mm, celles-ci ont été placées au centre de la plaque.

Enfin, après avoir été fabriquées, les plaques de silicium ont été amincies de manière à régler l'épaisseur des puces. Il a été choisi de les amincir à trois épaisseurs différentes : 50 μm , 100 μm et 200 μm .

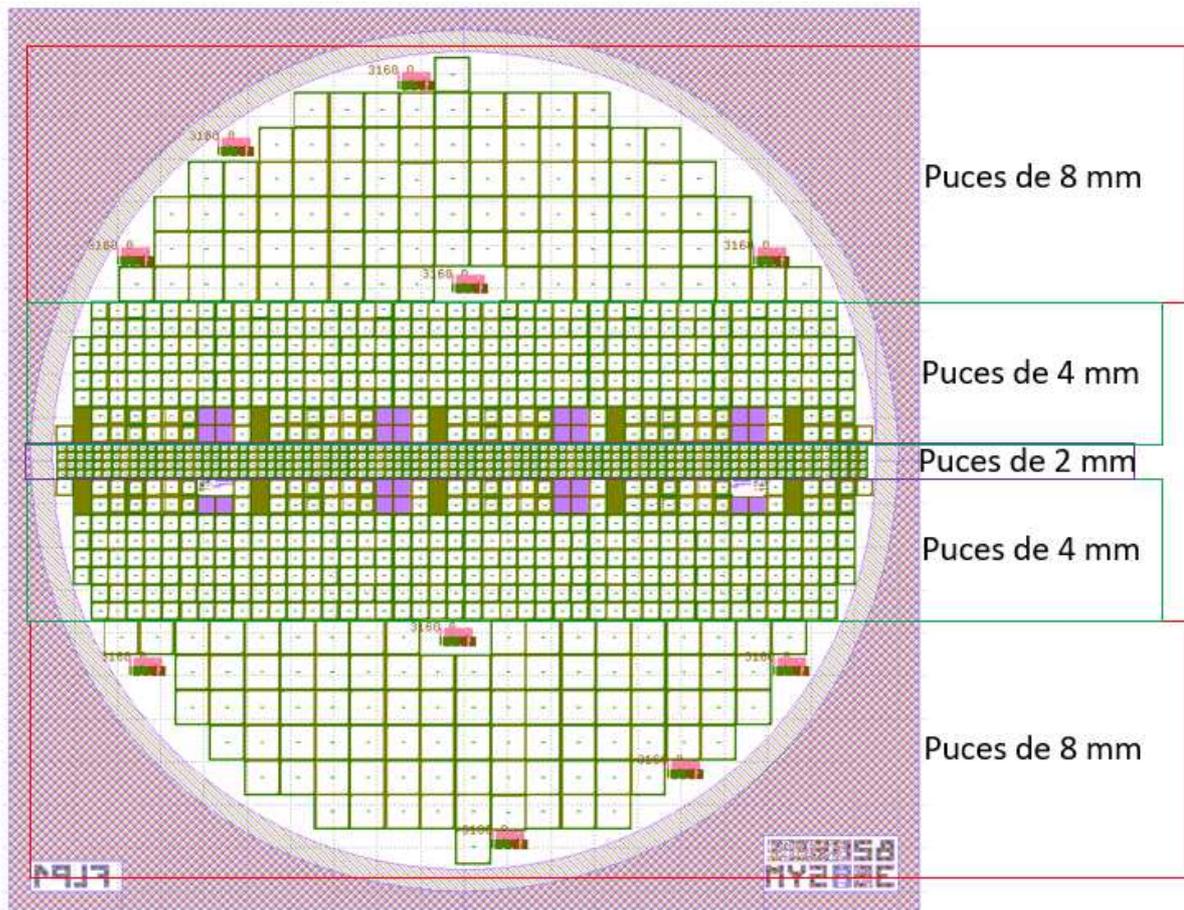


Figure 49 : Vue globale de la plaque comportant les puces de tests.

5.4. Composition et fabrication détaillées des piliers de cuivre

5.4.1. Règles de conception des piliers de cuivre

Afin de comprendre plus précisément la conception et la constitution de la technologie mise en œuvre au niveau de la puce silicium, la brique technologique avec les différents niveaux employés est présentée sur la Figure 50. Cette brique ne présente pas de difficultés majeures. Elle est composée d'une piste conductrice en aluminium jouant le rôle de la métallisation (niveau b2lne1), d'une passivation définissant l'ouverture (niveau b2pas1) et d'un pilier de cuivre (niveau b2mibu1). Dans la configuration RDL, une passivation et une couche conductrice viennent être ajoutées au-dessus.

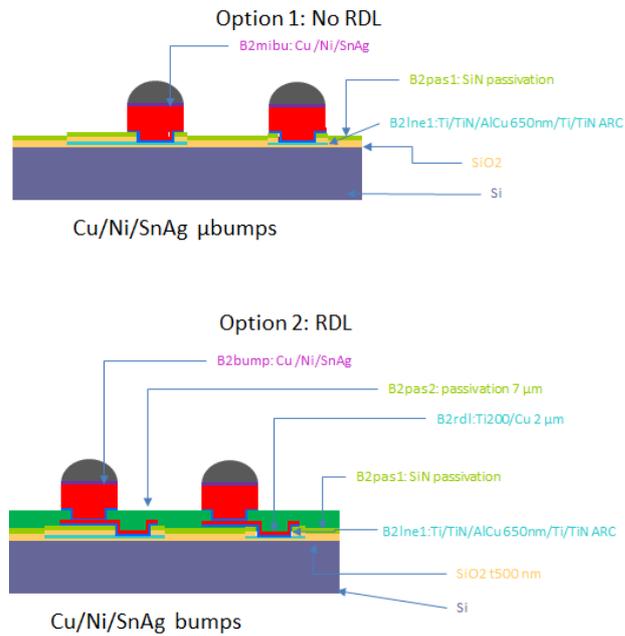


Figure 50 : Représentation des briques technologies utilisées pour les assemblages de tests dans une configuration avec et sans RDL.

Les règles de conception concernant les diamètres de pastilles ou d'ouvertures sont décrites dans le Tableau 0.1 :

label	Métallisation (μm)	Passivation (μm)	Pilier de cuivre (μm)	Métallisation : cas RDL (μm)	Passivation : cas RDL (μm)	Pilier de cuivre : cas RDL (μm)
21501CU	80	45	65			
41001CU	80	30	55			
41501CU	80	45	65			
42501CU	80	45	65			
41002CU	80	30	55			
41502CU	80	45	65			
42502CU	80	45	65			
4RDLCU	40	15		80	45	65
81501CU	80	45	65			

Tableau 0.1 : Dimensions des différentes couches technologiques pour les assemblages avec des piliers de cuivre.

5.4.2. Définition des différentes configurations de piliers de cuivre

Dans cette partie, le focus sera sur les différentes structures de piliers ainsi que les observations des différentes étapes de leur fabrication.

Comme il a été dit précédemment, une des grandes différences entre les plaques réalisées est la hauteur des piliers de cuivre. Cette différence prend en compte deux paramètres. Le premier est la hauteur de cuivre, le second étant la hauteur de brasure SnAg. Afin de moduler ces hauteurs, il faut s'intéresser à la résine photosensible car c'est la cavité formée par la résine qui permet la croissance du pilier de cuivre et de la brasure. Il existe plusieurs types de résines photosensibles avec différentes viscosités qui déterminent l'épaisseur du film déposé.

Sur la Figure 51 sont représentées les quatre différentes configurations correspondant à 3 épaisseurs de résines différentes.

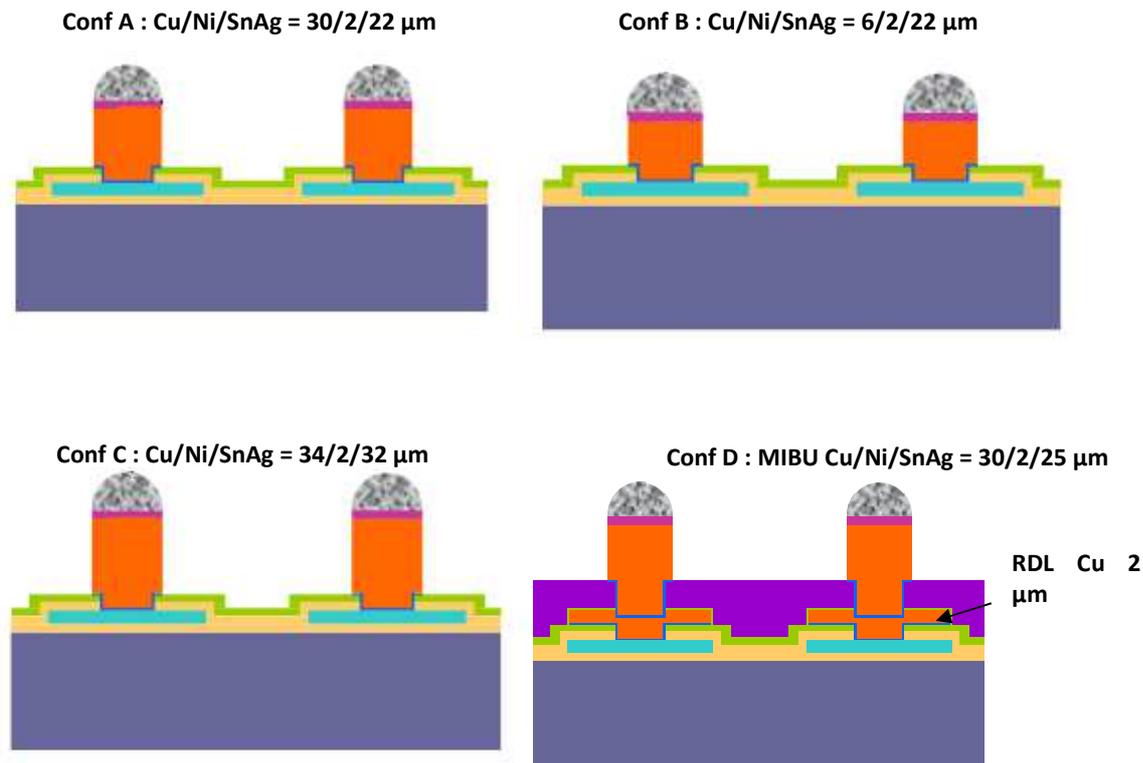


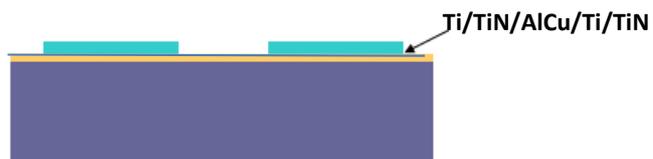
Figure 51 : Schéma des différentes configurations des piliers de cuivre présents dans l'étude.

Plusieurs étapes sont nécessaires, comme décrites précédemment dans la fabrication du pilier de cuivre. Des observations et un rappel des différentes étapes sont présentés ci-dessous :

0) Initialement la plaque de silicium est nue avec une couche de SiO_2 :



1) Couche d'accroche en titane, ainsi qu'une couche de cuivre sur l'oxyde de silicium pour amener le courant d'électrolyse :



2) Mise en place d'une résine photosensible que l'on vient ouvrir aux endroits des interconnexions comme vu sur l'image suivante :

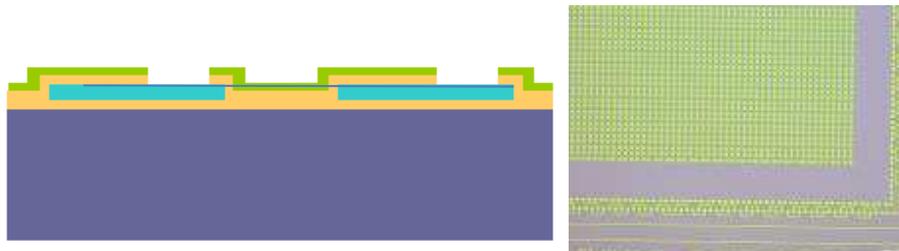


Figure 52 : Observation microscope ouverture résine.

3) Puis vient l'électrodéposition du cuivre avec ensuite une couche de nickel :

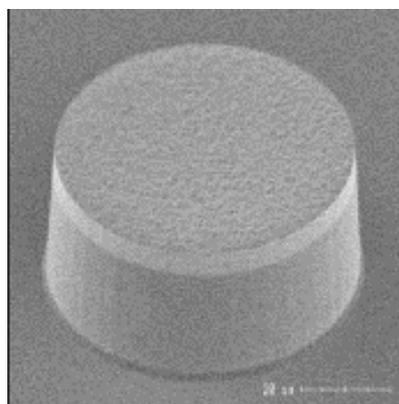


Figure 53 : Observation MEB après croissance cuivre et nickel.

- 4) Enfin la brasure SnAg vient être déposée, puis, ensuite, le retrait de la résine de lithographie est effectué :

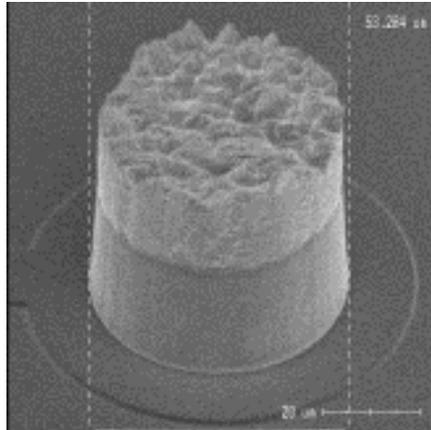


Figure 54 : Observation MEB après croissance SnAg.

- 5) Retrait de la couche d'accroche et passage dans le four pour la refusion de la brasure pour obtenir la forme finale arrondie du pilier. Cette forme s'explique par les tensions de surface à l'interface de la brasure sur le pilier :

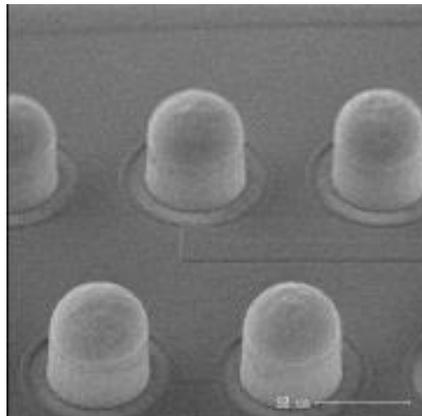


Figure 55 : Observation MEB après refusion.

Une fois l'ensemble des différentes couches déposées la brasure est de forme aplatie. Pour finir les étapes de fabrication du pilier de cuivre, une étape de refusion est effectuée afin de refondre l'alliage de brasure et lui donner cette forme de dome.

5.4.3. Caractérisations des piliers de cuivre

Dans cette partie, la forme des différents piliers de cuivre ainsi que leurs diamètres sont présentés. Par ailleurs, une analyse par profilométrie optique permet de déterminer précisément la hauteur des piliers sur les différentes plaques.

5.4.3.1. Observation au microscope électronique à balayage des piliers de cuivre

- **Configuration A : Pilier de cuivre de hauteur 54 μm**

Les piliers dessinés à 55 μm de diamètre sortent bien à 55 μm à la base de la colonne alors que ceux dessinés à 65 μm de diamètre sortent à une valeur plus importante de 70 μm . La quantité et le mouillage de la brasure sur le pilier de cuivre est conforme à ce qui est attendu. En effet, la brasure n'est ni en excès, ni en manque sur le côté du pilier en recouvrant l'ensemble du diamètre de ce dernier. Les étapes technologiques se sont donc correctement déroulées en produisant toutefois des diamètres plus grands de 5 μm en moyenne que ceux visés pour les piliers de cuivre de 65 μm de diamètre.

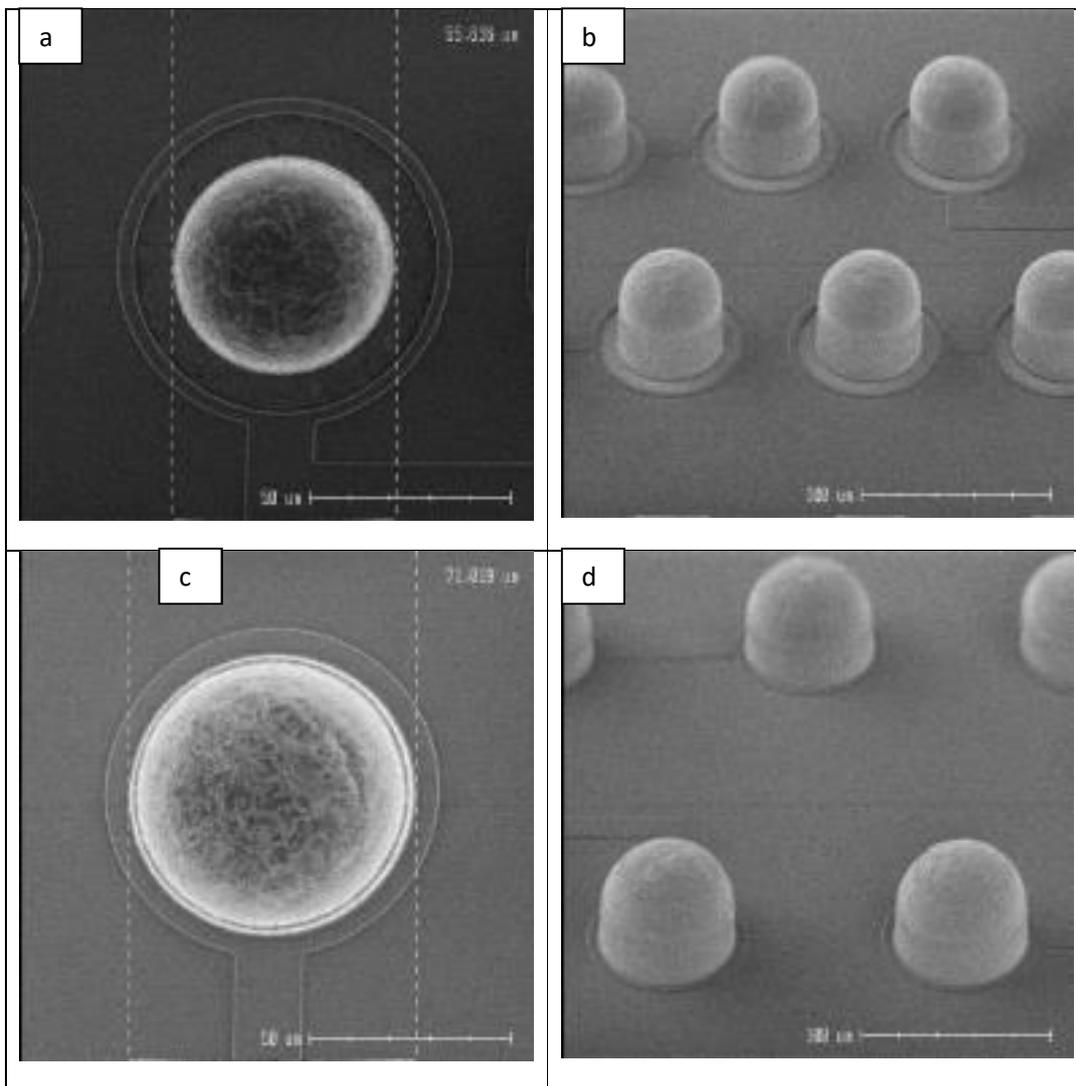


Figure 56 : Images a-b : pas 100 μm , CD visé de 55 μm ; images c-d : pas 150 μm , CD visé de 65 μm .

- **Configuration B : piliers de cuivre de hauteur 30 μm**

Les piliers sortent à 54 μm de diamètre à la base de la colonne, pour une valeur de 55 μm visée alors que les piliers visés à 65 μm de diamètre sortent à une valeur de 67 μm . La quantité de brasure est correcte pour ces piliers visés à 55 μm car la brasure ne déborde pas et a une forme arrondie homogène.

Pour les piliers de 65 μm , la brasure présente une forme légèrement écrasée ce qui, dans ce cas, était prévisible pour les mêmes raisons de ratio entre le diamètre du pilier et de l'épaisseur de SnAg déposé.

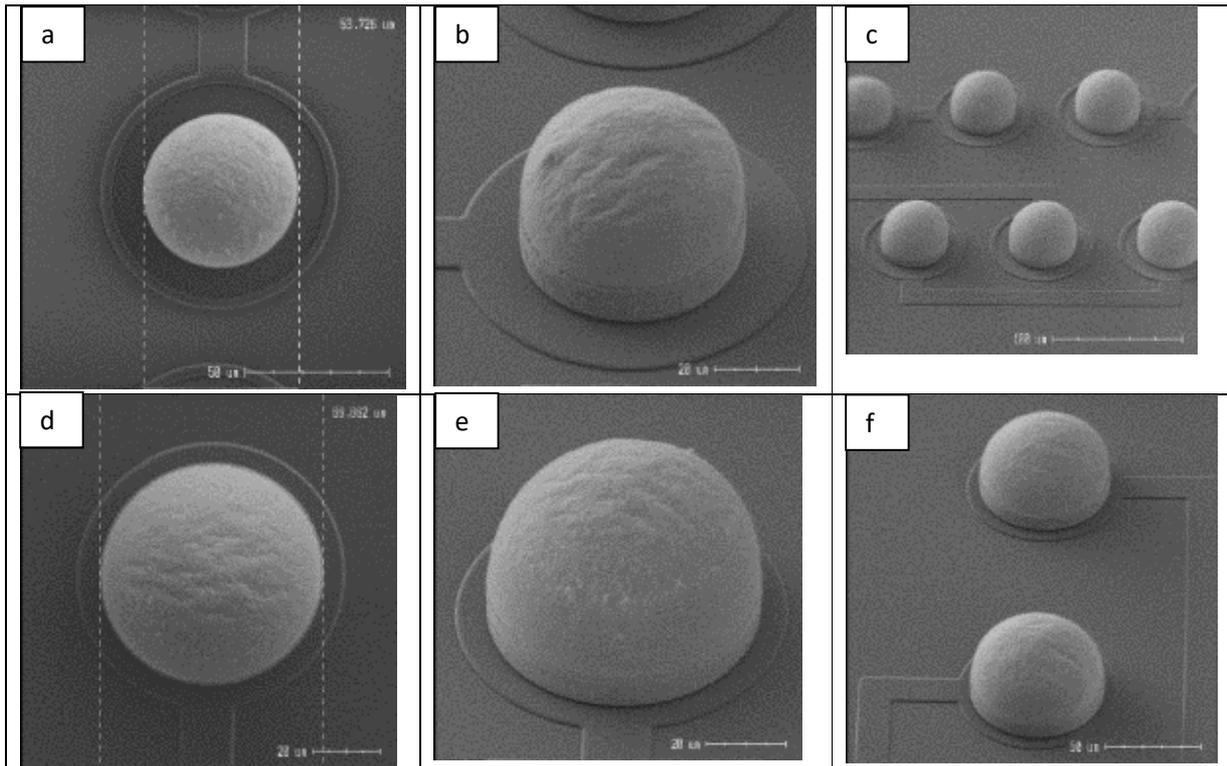


Figure 57 : Images a-b-c : pas 100 μm , CD visé de 55 μm ; images d-e-f : pas 150 μm , CD visé de 65 μm .

- **Conf C : Piliers de cuivre de hauteur 68 μm**

Les piliers sortent à 49 μm de diamètre à la base de la colonne, pour une valeur de 55 μm dessinée alors que les plots dessinés à 65 μm de diamètre sortent à une valeur de 64 μm . La quantité de brasure par rapport au diamètre du cuivre est conforme et le mouillage s'est effectué correctement pour les plots visés à 65 μm . En effet, la brasure n'est ni en excès, ni en manque sur le côté du pilier, en le recouvrant dans son ensemble.

L'angle de mouillage est supérieur à 90° sur les structures avec une ouverture de 55 μm . De plus, des inhomogénéités sont présentes sur les diamètres de 55 μm , particulièrement sur certaines plaques où il y a eu un défaut de croissance sur la moitié de la plaque, certainement dues à une fine pellicule de résine non ouverte. Ces puces ne seront pas utilisés pour les différents assemblages. Seuls les plots de 65 μm , donc

pour le pas de 150 μm , seront utilisés.

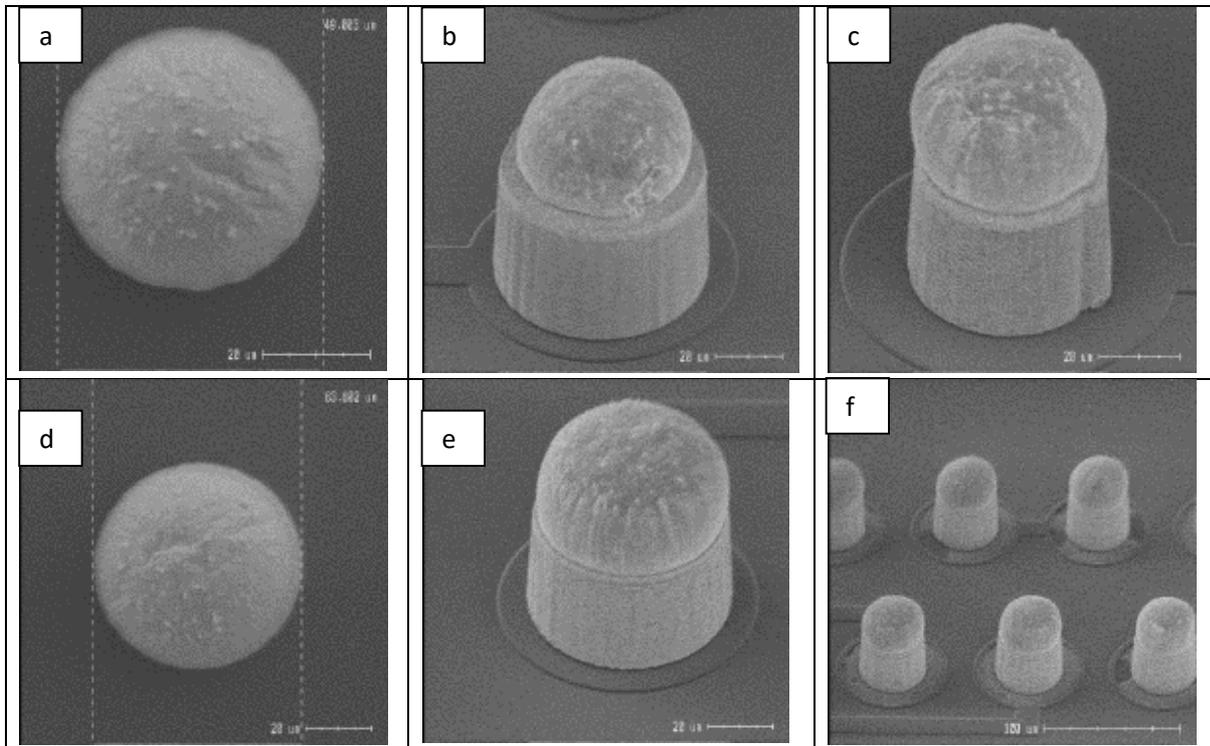


Figure 58 : Images a-b-c : pas de 100 μm , CD visé de 55 μm ; images d-e-f : pas de 150 μm , CD visé de 65 μm .

- **Configuration D : RDL**

Les plots sont réalisés comme attendus à la valeur de 65 μm . La quantité de brasure par rapport au diamètre du cuivre est conforme et le mouillage s'est effectué correctement. Cependant, il reste des résidus de résine sur ces plaques nécessitant un tri pour sélectionner les puces les moins impactées. Concernant les diamètres, ils sont proches de ceux visés à 65 μm .

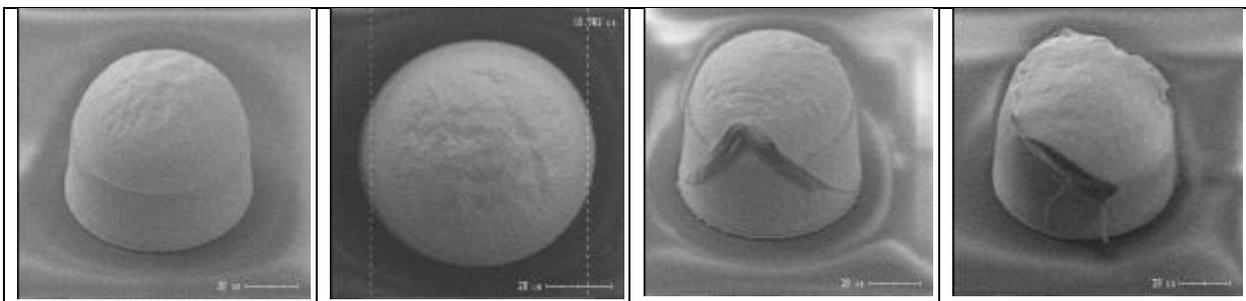


Figure 59 : vues de piliers ayant des résidus de résines sur la brasure.

5.4.3.2. Mesures de hauteur des piliers de cuivre

Pour effectuer ces mesures de hauteur de marche, on utilise un outil nommé NSX 320. Il s'agit d'une

mesure de marche par interférométrie. Elle permet de faire de multiples mesures de diamètre, de hauteur, de flèche des plaques, de détection de défauts ou de résidus, etc. Dans le cadre de l'étude, ce type de mesures a été effectué sur l'ensemble des plaques comportant les puces pour avoir des informations métrologiques principalement sur la hauteur des piliers. En effet, des différences de croissances ont été détectées qui peuvent avoir plusieurs causes :

- Des problèmes en lithographie qui pourraient avoir comme conséquence une non croissance sur une partie de la plaque.
- Des différences de diamètre d'ouverture des piliers de cuivre présents sur une même plaque
- Des variations de la densité de motif sur la plaque.

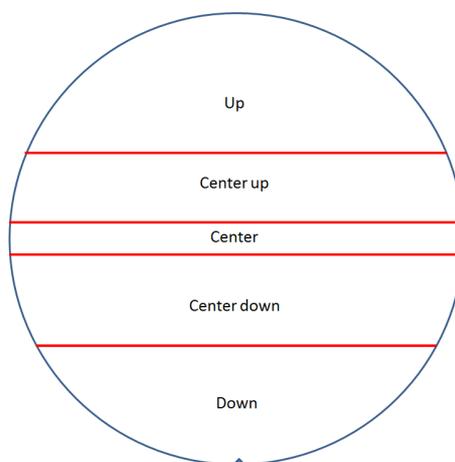


Figure 60 : Représentation des différentes zones sur la plaque silicium.

Les différents phénomènes observés ci-dessus se retrouvent dans l'ensemble des configurations. C'est pourquoi est présenté ci-dessous un résumé des différentes valeurs pour chacune des configurations.

Valeurs en μm	Hauteur moyenne			Variation entre plaques	Même zone différentes puces	Entre zone	Min max même puce
	Puce 8 mm	Puce 4 mm	Puce 2 mm				
Configuration							
A	60,5	56,3	53,1	4	7	2	6
D	NA	53.4	NA	0,7	NA	2	5
B	37,7	35,8	33,4	0,6	4	4	4
C	69,0	64,1	65,4	6,0	7	8	6

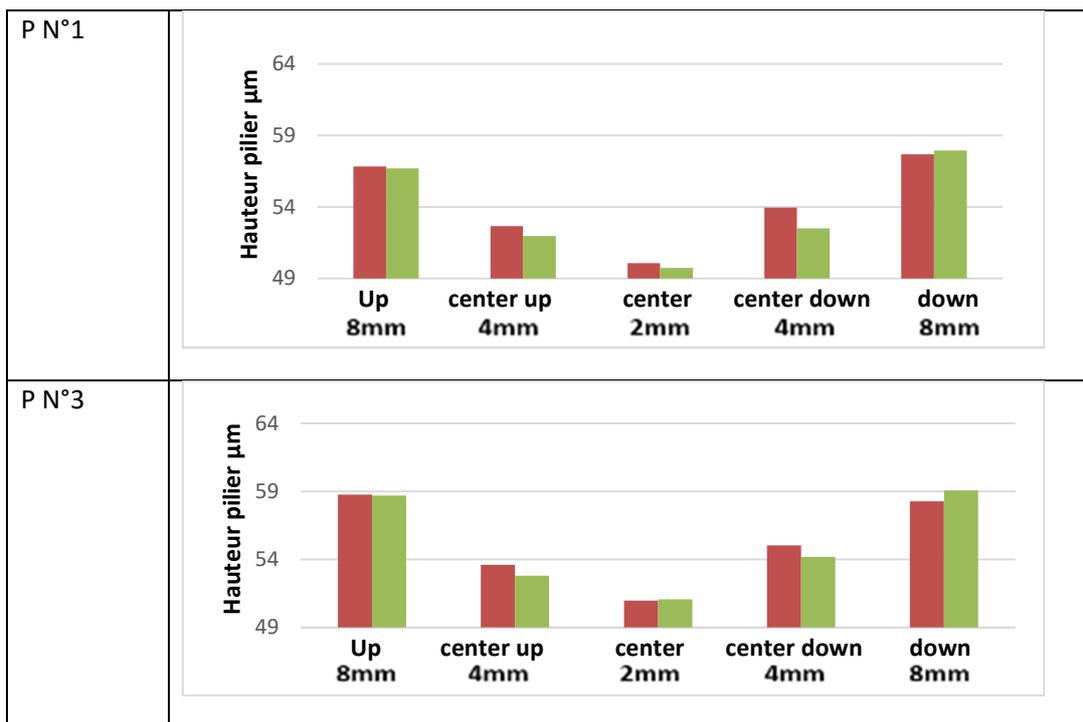
Tableau 0.2 : Récapitulatif des résultats obtenus sur la caractérisation des piliers.

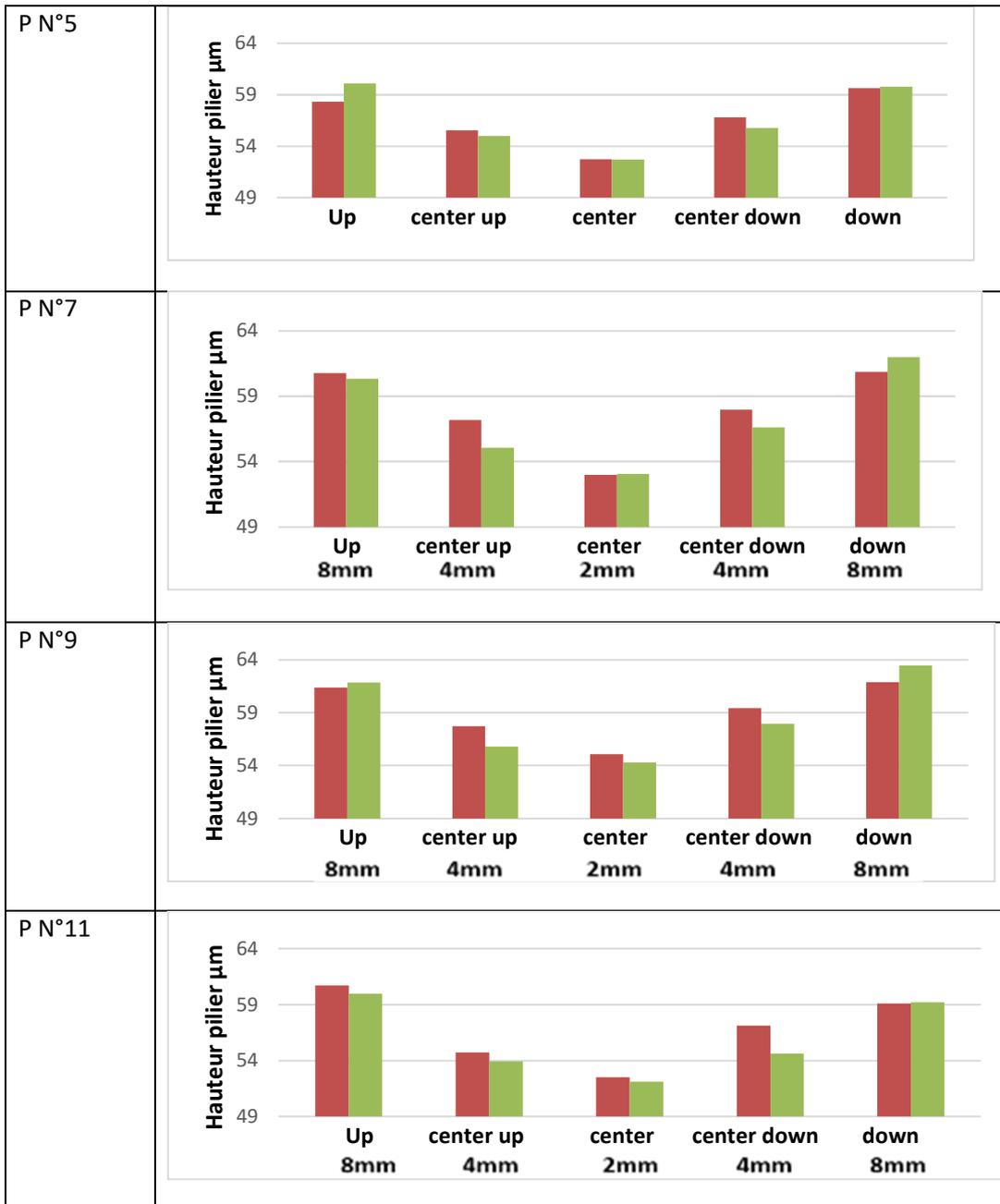
Comparaison entre plaques :

L'écart de la moyenne des hauteurs sur chaque zones précédemment définies sur les différentes plaques est au maximum de 4 μm .

Comparaison des différentes zones au sein d'une plaque :

Sur chacune des plaques, la zone du centre (puce de 2 mm, « center ») présente la plus petite valeur de hauteur. Ensuite, les deux zones autour des puces de 2 mm (puce de 4 mm, « center up et down ») ont des valeurs légèrement plus importantes (+ 2 μm en moyenne). Enfin, viennent les puces de 8 mm avec une hauteur encore plus importante (« up et down »). En moyenne, on observe une différence de hauteur 7 μm entre les puces de 8 mm et les puces de 2 mm. Cet écart peut paraître important mais le point le plus critique est l'homogénéité par types de puces. La comparaison entre les 2 parties des puces de 8 mm ou de 4 mm permet de constater que l'écart est moindre avec, en moyenne, 2 μm de différence, ce qui, pour un même type de puces, est très correct et ne posera pas de difficultés pour l'assemblage. Cette différence sera rattrapée par l'épaisseur de brasure. L'ensemble des valeurs par taille zone/taille de puce est présent dans les graphiques ci-dessous pour les différents échantillons de plaques. En rouge, les piliers de 55 μm et en vert ceux de 65 μm de diamètre.





Comparaison entre différents diamètres de piliers de cuivre au sein d'une même zone :

En moyenne la tendance est la suivante : plus le diamètre du pilier de cuivre est important, plus la dispersion est faible. Cette différence est, en moyenne, au maximum de 3 µm pour les diamètres de 55 µm et de 1,3 µm pour les diamètres de 65 µm.

Comparaison entre les valeurs minimales et maximales au sein d'une même bande de puces :

Pour une même taille de puces, ces différences sont, en moyenne, de 6 µm quels que soient les diamètres mesurés.

L'ensemble des puces caractérisé ci-dessus est utilisé lors des tests, et il sera donc possible de constater ou non si cette marge est acceptable et si cela a un impact sur les tenues en cycle thermique.

5.5. Conception et fabrication des substrats organiques

Dans cette partie seront traitées la conception et la réalisation des substrats organiques. Dans un premier temps, un inventaire des possibilités existantes en développement et en sous-traitance sera effectué afin d'expliquer le choix pris ; suivra un inventaire des paramètres clés de la fabrication des substrats. Ensuite, la caractérisation des substrats obtenus sera détaillée. Les substrats sont conçus de telle sorte à être symétriques des puces silicium précédemment présentées afin de réaliser l'assemblage et d'obtenir des chaînes électriques fonctionnelles.

5.5.1. Les faisabilités d'aujourd'hui sur substrat organique

Depuis de nombreuses années la diminution des tailles de pas d'interconnexion connaît une évolution importante. En effet, de nombreuses applications sont qualifiées avec des pas de l'ordre de 200 μm voire moins avec des brasures traditionnelles comme de la brasure SAC ou des brasures plomb comme en attestent plusieurs publications de Flextronics ou INTEL ([65] [66] [67]). Toutefois, avec la diminution des pas, les technologies d'interconnexion ont évolué. Les différentes valeurs de pas minimum relevées dans les publications seront développées ci-dessous pour des assemblages avec des piliers de cuivre sur substrats organiques.

A présent, beaucoup d'études sont consacrées aux assemblages sur pilier de cuivre. Un nombre croissant d'informations est disponible à partir des années 2000 sur cette technologie d'assemblage. En effet, d'après la publication d'IBM ou Siliconware Precision Industries ([68] [69]), il est possible d'arriver à des pas de 50-70 μm avec des finitions OSP et avec des moyens d'assemblages similaires à ceux présents dans l'étude de ce document de thèse.

D'autre part, plusieurs méthodes existent pour reporter les puces et certaines ne sont pas encore au point. En effet, la méthode NCP (Non Conductive Paste) repose sur l'assemblage des composants après avoir déposé l'underfill. Cette méthode facilitant l'assemblage ne représente pas pour autant une solution intéressante. En effet, d'après les travaux de K.Y. Au [29] et d'autres, ce genre d'assemblage peut avoir comme conséquence l'introduction d'underfill dans la brasure. Cet apport d'underfill est une des causes possibles pour la création de défauts et propagation de fissures dans la brasure lors de l'application de contraintes thermomécaniques. C'est pourquoi, pour ce domaine d'application, il n'est pas envisageable d'utiliser cette configuration. Toutefois, avec ce type de procédé, il est possible d'atteindre un pas de 30 μm comme présenté dans certaines publications de AMKOR [22].

5.5.2. Bilan sur les possibilités offertes par les entreprises pour la production des assemblages de tests

Pour la réalisation des assemblages, il était nécessaire de sous-traiter la fabrication du substrat, car Safran n'a pas les moyens techniques de le faire en interne. Les substrats sont destinés à recevoir les puces

silicium. C'est donc dans cette idée qu'une revue des différentes possibilités a été faite afin de voir quelles étaient les opportunités de sous-traitance.

Dans un but de prospection, des paramètres clés ont été fixés afin de catégoriser les différents sous-traitants selon des critères de performance et de savoir-faire. Les points retenus sont les suivants :

- Le pas d'interconnexion inférieur à 100 μm permettant une intégration maximale.
- Les pas d'interconnexion de 100 μm à 250 μm permettent de répondre aux besoins les plus courants.
- Entreprise ouverte au domaine aéronautique pour de faibles volumes.

De ce fait, plusieurs fabricants de substrats sont ressortis de l'analyse.

Le premier est composé des entreprises françaises et européennes permettant l'accès à des pas d'interconnexion de 200 μm au maximum, telles que Ouestronic. Toutefois, ces dernières ne répondaient pas aux critères fixés par le projet pour les pas d'interconnexion de 100 μm et 150 μm .

D'autre part, sont présents les géants de l'électronique arrivant à faire des définitions proches des 40 μm sur substrats organiques en utilisant des substrats de haute densité, tels que Amkor Technology. Le principal problème lié à ces grandes entreprises est leur accessibilité pour de petites productions. Produisant des quantités très importantes pour la grande consommation ou même l'automobile, ils ne seront pas intéressés par des productions de l'ordre du millier de pièces.

Enfin, il reste des entreprises comme Wurth Electronics, AT&S qui proposent des solutions intermédiaires de substrats organiques avec des lignes/espaces permettant des pas à 80 μm – 150 μm .

AT&S, fort de l'expérience de Safran E&D, est une solution qui est restée en second choix. Toutefois, la technologie pour des substrats avec des pas d'interconnexions répondant aux besoins s'est avérée en limite des possibilités offertes par AT&S.

La dernière solution était Kyocera. Fort de l'expérience qu'avaient le LETI et SAFRAN avec les entités de Kyocera céramiques, l'occasion de faire le point avec eux concernant la fourniture de substrats organiques a été possible. L'opportunité offerte par Kyocera était unique : comme avec Wurth et AT&S, il était possible de réaliser la plupart des substrats organiques avec des pas d'interconnexion de 100 μm et 250 μm , mais en bénéficiant d'un savoir-faire poussé. Deuxièmement, bien que non qualifiée actuellement, une autre technologie de substrat hautement intégrée nommée APX est en cours de qualification chez eux. Bien que n'étant pas encore d'actualité, cette collaboration ouvre des portes afin d'accéder à une technologie permettant d'arriver à des définitions de 50 μm si le besoin est. Cette opportunité ne serait pas possible chez d'autres fabricants.

Kyocera possède plusieurs sites répartis sur le territoire japonais. Les différents sites ont chacun une spécialisation particulière comme le packaging organique pour l'usine de SENDAI au sud du Japon.

- Autres activités : 8.3%

Pour répondre à l'ensemble des besoins de packaging, plusieurs produits sont proposés par Kyocera : des

technologies « Embedded » aussi bien pour des composants passifs que actifs, des circuits hautement intégrés, et enfin des assemblages de type FC-BGA. Quelques images d'illustration de leurs technologies sont présentées sur la Figure 61.

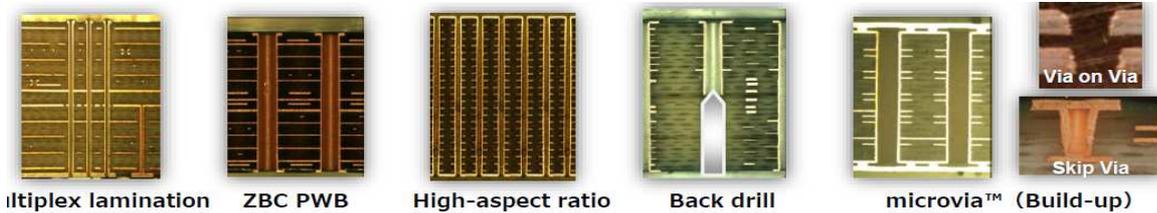


Figure 61 : Ensemble de technologies proposées par Kyocera.

C'est donc pour l'ensemble de ces critères de faisabilité (proposer des pas intermédiaires de 70-200 µm et avoir la possibilité de travailler pour de petits volumes) que Kyocera a été retenue pour la fabrication des substrats organiques.

5.5.3. Définition des substrats organiques

Les substrats organiques sont de type LGA « Land Grid Array » de 15,65 x 15,65 mm. Chaque substrat permettra le report en flip chip d'une puce silicium de test. La structure du substrat organique est décrite dans la Figure 62.

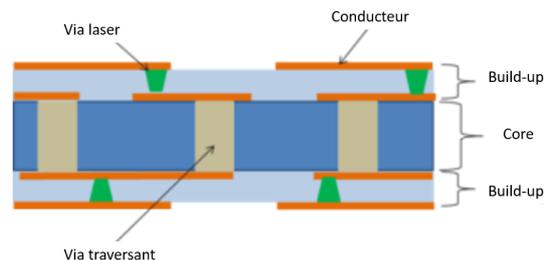


Figure 62 : Vue de la structure du LGA.

Il est composé d'une partie centrale appelée « core » (la référence du matériau est la MCL-E-679FG (R)) et de deux couches externes appelées « build-up » constituées d'un sandwich d'une couche polymère (ABF-GZ41) et d'une couche de cuivre structurée assurant le routage électrique. La densité surfacique de cuivre étant importante, le coefficient de dilatation thermique global du substrat est proche de celui du cuivre à savoir 18 ppm/°C. L'épaisseur totale est de 0,98 +/- 0,08 mm. Les couches sont classiquement organisées avec une configuration 1/2/1 avec des trous traversant dans le « core » et des vias laser pour les couches extérieures. Une matrice de 196 plots de connexion au pas de 1 mm est présent en face arrière du substrat pour assurer la prise de contact sur cette face.

La face avant est constituée de plots en cuivre, délimités par la couche supérieure du substrat formant une cavité de 7 µm et protégés par une finition OSP.

La finition OSP (Organic Solderability Preservative) a été choisie car elle est considérée comme la plus adaptée pour le report flip chip pour des pas fins [68], [69]. En outre, des études indiquent que l'OSP est un choix permettant d'obtenir la meilleure fiabilité [26].

5.5.4. Caractérisation des substrats organiques

Dans ce paragraphe sera traitée la caractérisation des substrats au niveau des plages d'accueil afin de vérifier s'ils sont conformes aux règles de dessin. Dans un premier temps, des mesures au microscope ont été effectuées afin de contrôler les valeurs de diamètres des plots après fabrication. Dans un deuxième temps, le profil de l'ouverture au-dessus du plot en cuivre a été vérifié à l'aide d'un profilomètre mécanique.

5.5.4.1. Valeurs d'entrées du cahier des charges

Les substrats organiques ont été construits en deux séries de panoplies différentes : une panoplie de 35 x 35 mm comprenant les configurations avec un pas de 100 µm et une panoplie de 50 x 50 mm comportant les configurations de 150 µm, 200 µm et 250 µm. Cette répartition en deux panoplies différentes est due à la différence d'ouverture au niveau des plots d'interconnexions.

Une représentation du routage en face avant est présente sur la Figure 63 pour chacune des deux panoplies.

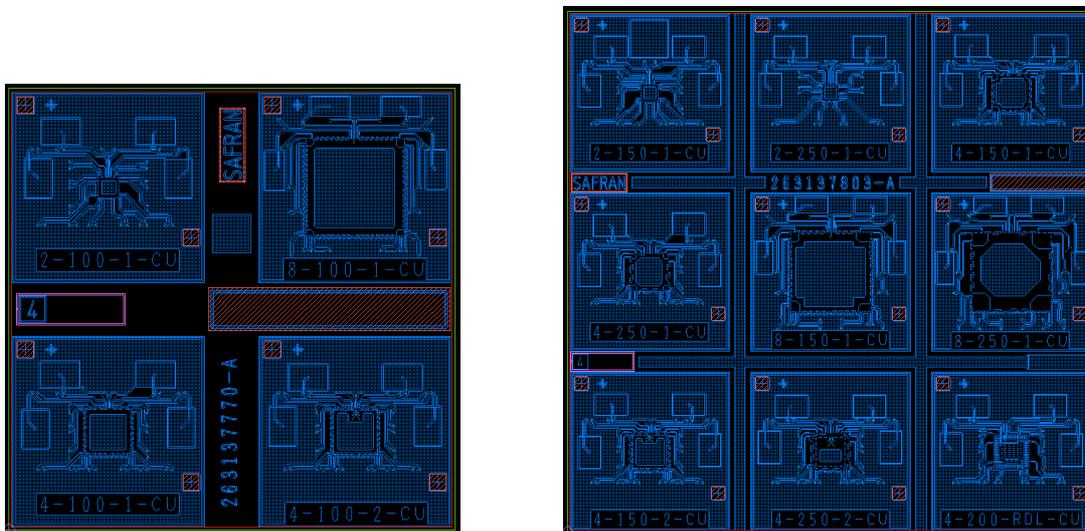


Figure 63 : Vues des deux panoplies de substrats, 35 mm à gauche et 50 mm à droite.

Sur ces différentes panoplies sont présentes les plages d'accueil pour les puces de 2 à 8 mm possédants des pas de 100 µm (panoplie 35 mm), et 150 µm à 250 µm (panoplie 50 mm).

Ci-dessous, un récapitulatif de l'ensemble des différentes panoplies est indiqué.

Label	Description des substrats de type LGA	Panoplie
21001	2*2 mm, pas 100 µm, 1 couronne	35 mm
21501	2*2 mm, pas 150 µm, 1 couronne	50 mm
22501	2*2 mm, pas 250 µm, 1 couronne	50 mm
41001	4*4 mm, pas 100 µm, 1 couronne	35 mm
41501	4*4 mm, pas 150 µm, 1 couronne	50 mm

42501	4*4 mm, pas 250 µm, 1 couronne	50 mm
41002	4*4 mm, pas 100 µm, 2 couronnes	35 mm
41502	4*4 mm, pas 150 µm, 2 couronnes	50 mm
42502	4*4 mm, pas 250 µm, 2 couronnes	50 mm
4RDL	4*4 mm, RDL 200 µm	50 mm
81001	8*8 mm, pas 100 µm, 1 couronne	35 mm
81501	8*8 mm, pas 150 µm, 1 couronne	50 mm
82501	8*8 mm, pas 250 µm, 1 Couronne	50 mm

Tableau 0.3 : Liste des configurations par panoplie.

Un ensemble de caractéristiques a été établi avec Kyocera pour la fabrication des substrats et, plus particulièrement, pour les ouvertures sur les plots d'accueil. Dans le Tableau 0.4 est énuméré l'ensemble des caractéristiques.

Panoplie	Pas (µm)	Diamètre de la plage de cuivre (µm)	Ouverture de l'interconnexion (µm)
35 mm	100	85	60
50 mm	150-200-250	90	65

Tableau 0.4 : Caractéristiques des plages d'interconnexion des deux panoplies.

Concernant les autres caractéristiques du substrat, les informations sont rassemblées dans le Tableau 0.5 :

Informations	Valeurs cibles
Largeur du routage proche des interconnexions	25 µm
Largeur du routage loin des interconnexions	50 µm
Diamètre plage de face arrière	0,6 mm
Flèche panoplie 35 mm	Max 100 µm
Flèche panoplie 50 mm	Max 150 µm

Tableau 0.5 : Caractéristiques générales communes aux deux panoplies.

5.5.4.2. Caractérisation optique des substrats organiques

Dans ce paragraphe sont rassemblées les informations relatives à la caractérisation par microscope destinées à contrôler les substrats. Les mesures et les différentes vues sont présentées sur les

Figure 64 à la Figure 73.

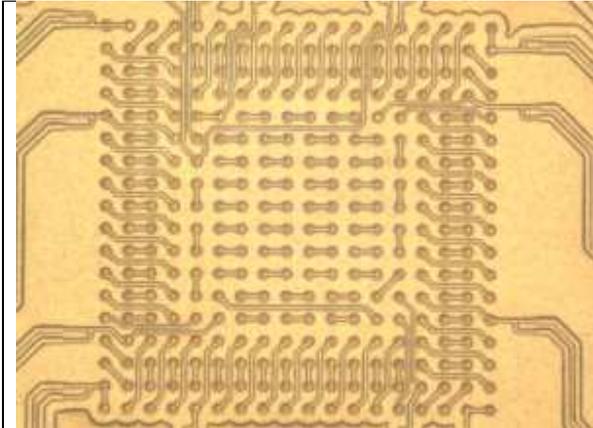


Figure 64 : Plage d'accueil RDL 200 µm de pas (panoplie 50 mm).

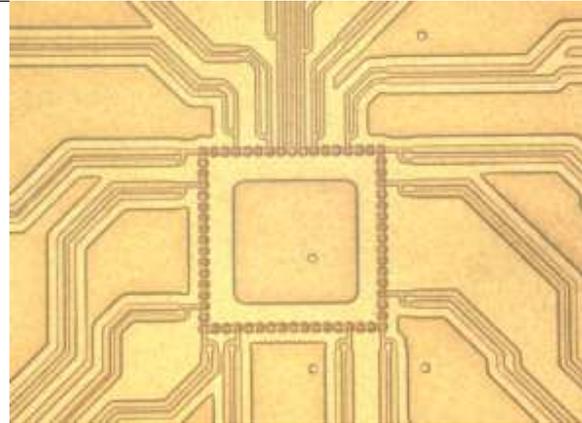


Figure 65 : Plage d'accueil puce de 2 mm avec 100 µm de pas (panoplie 35 mm).

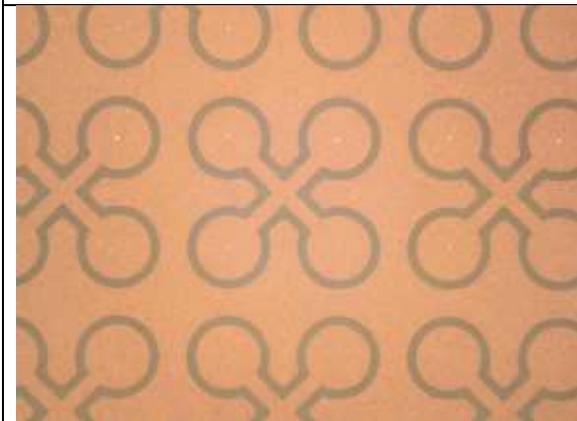


Figure 66 : Vue de la face arrière du substrat.

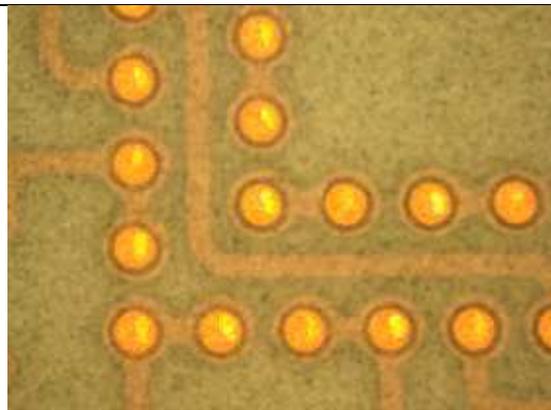


Figure 67 : Zoom sur une plage d'accueil pour une puce de 4 mm, 100 µm de pas (panoplie 50 mm).



Figure 68 : Zoom sur un plot d'accueil, puce de 4 mm avec 250 μm de pas (panoplie 50 mm).



Figure 69 : Zoom sur un plot d'accueil, puce de 4 mm avec 250 μm de pas (panoplie 50 mm).

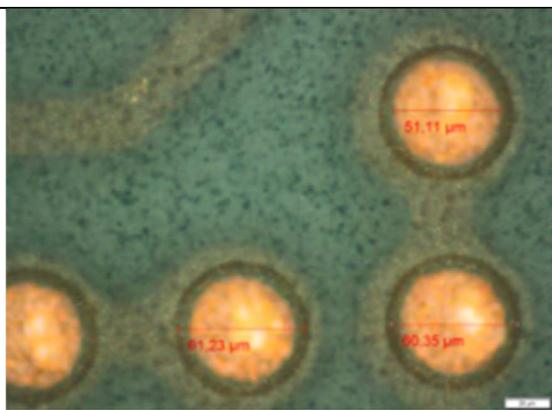


Figure 70 : Zoom sur des plots d'accueil, puce de 4 mm avec 100 μm de pas (panoplie 35 mm).

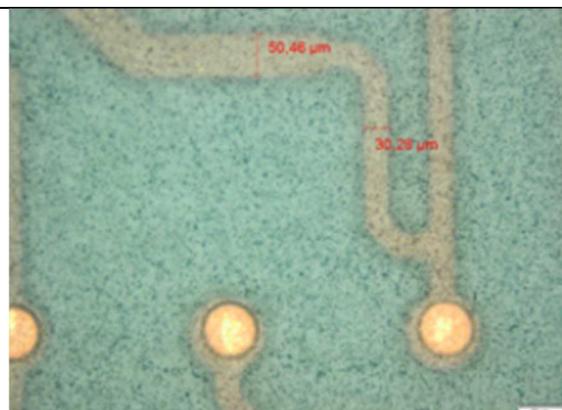


Figure 71 : Mesures des largeurs des lignes conductrices en cuivre.

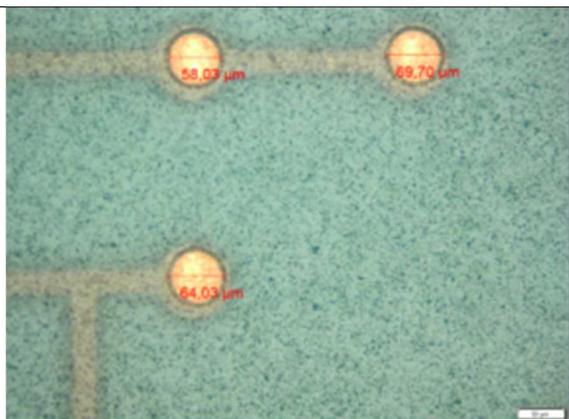


Figure 72 : Zoom sur des plots d'accueil et mesure des dimensions, puce de 4 mm avec 250 μm de pas (panoplie 50 mm).

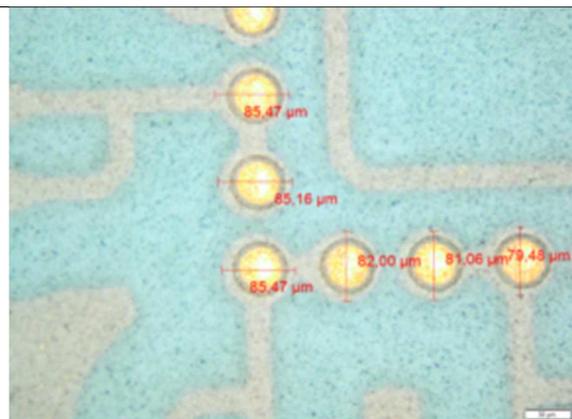


Figure 73 : Zoom sur des plots d'accueil et mesure des dimensions, puce de 4 mm avec 100 μm de pas (panoplie 35 mm).

Un tableau récapitulatif résume ci-dessous les valeurs visées et les valeurs mesurées pour les ouvertures aux niveaux des plages d'interconnexions.

	Visé (μm)	Moyenne Mesurée (μm)	Ecart type (μm)
Panoplie 35 mm	60	61,07	3,05
Panoplie 50 mm	65	64,78	1,24
Panoplie 35 mm plage de cuivre	85	83,10	2,1
Panoplie 50 mm plage de cuivre	90	89,00	1,70

Tableau 0.6 : Mesures effectuées sur les plages d'interconnexions.

On constate que le cahier des charges proposé à Kyocera est respecté avec des variations de seulement $5 \mu\text{m}$ sur le diamètre des ouvertures sur les plages en cuivre, à savoir que la tolérance autorisée était de $10 \mu\text{m}$. De plus, la régularité des pistes de routage et des ouvertures en face arrière est très acceptable pour les besoins de l'étude. Etant donné qu'il s'agit d'un véhicule de test non fonctionnel, cela ne représente pas une contrainte. De plus, il n'y a pas de différences entre le cahier des charges et la réalisation.

À noter que plusieurs mesures ont été faites afin de voir la différence entre le diamètre présent à la surface de l'ouverture et de l'ouverture présente au fond. Il est possible de voir une différence de $2,5 \mu\text{m}$ correspondant au cône de retrait de la cavité.

5.5.4.3. Caractérisation par mesure de profils des plages d'accueil du substrat

Dans un second temps, des mesures de profils ont été effectuées afin de connaître la topologie du profil de la cavité d'interconnexion sur le substrat. Le schéma de la cavité est présenté sur la Figure 74 ainsi que le relevé d'une des mesures. La valeur moyenne relevée est de $7 \mu\text{m}$ entre la surface et le fond de la cavité.

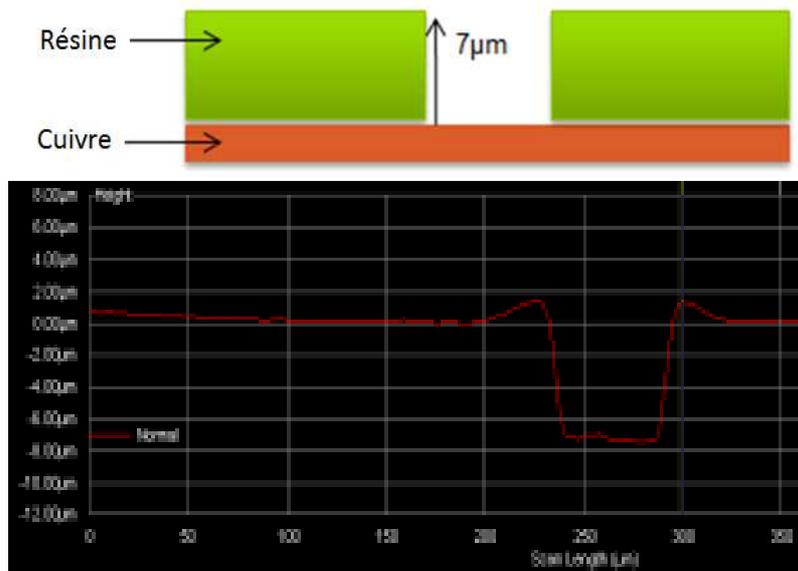


Figure 74 : Représentation schématique du plot d'accueil et relevé du profil de la cavité .

5.5.5. Configurations des véhicules de test

Parmi toutes les variables énoncées précédemment, le choix a été fait de considérer une configuration dite « standard » afin d’avoir un point de comparaison à chaque évolution de paramètres. Cette configuration standard est décrite dans la première ligne du Tableau 0.7. Les autres configurations envisagées lors de cette étude sont décrites à la suite. Les différentes configurations ne dépendant que des règles de dessin des puces sont regroupées dans la première partie du tableau et les configurations dépendant du procédé sont regroupées dans la seconde partie. Etant donné que la taille de la puce et le pas des interconnexions sont les deux paramètres les plus importants, il a été choisi de croiser systématiquement ces paramètres.

	pas (µm)	taille (mm)	Couronne	ep puce (µm)	underfill	h cu-pi (µm)
conf standard	150	4	1	100	oui	54
1	250	4	1	100	oui	54
2	100	4	1	100	oui	54
3	150	2	1	100	oui	54
4	150	4	2	100	oui	54
5	100	4	2	100	oui	54
6	RDL 200	4	X	100	oui	54
7	150	4	1	50	oui	54
8	150	4	1	200	oui	54
9	150	4	1	100	oui	30
10	150	4	1	100	oui	68
11	150	4	1	100	non	54
12	150	2	1	100	non	54
13	250	4	1	100	non	54
14	100	4	1	100	non	54
15	RDL 200	4	X	100	non	54

Tableau 0.7 : Configurations et technologiques pour les tests de fiabilité.

Chaque configuration est référencée par un label reprenant toutes ces caractéristiques. Chaque label comprend donc la taille de la puce, le pas d’interconnexion et le nombre de couronnes. Sur le Tableau 0.8 est présentée la liste des identifications.

Label Cu	Description assemblage
21501	2 mm, pas de 150 μm , 1 Couronne
41001	4 mm, pas de 100 μm , 1 Couronne
41501	4 mm, pas de 150 μm , 1 Couronne
42501	4 mm, pas de 250 μm , 1 Couronne
41002	4 mm, pas de 100 μm , 2 Couronnes
41502	4 mm, pas de 150 μm , 2 Couronnes
42502	4 mm, pas de 250 μm , 2 Couronnes
4RDL	4 mm, RDL de 200 μm
81501	8 mm, pas de 150, 1 Couronne

Tableau 0.8 : Enumération des différentes configurations avec leurs identifications correspondantes.

5.6. Conclusion

Dans cette partie a été développée la structure de l'assemblage utilisé dans l'étude. Il est composé d'une puce en silicium fabriquée au CEA LETI et reportée sur un substrat organique fabriqué par Kyocera.

Les règles de conception ont été énumérées et les choix des différents paramètres qui sont les pas d'interconnexions, la taille des puces, le nombre de couronnes ont été expliqués. D'autres paramètres technologiques font l'objet de variations tels que la hauteur des piliers de cuivre, les épaisseurs de puces, et la présence d'underfill.

Ces assemblages sont composés de daisy chains permettant de tester la continuité électrique après assemblage puis au cours des cycles thermiques.

Les caractérisations effectuées sur les différentes entités ont démontré la bonne maîtrise de fabrication et la conformité vis-à-vis du cahier des charges initial des différentes structures.

A présent, les différentes parties des assemblages sont disponibles, l'étape suivante est de mettre au point les étapes de l'assemblage et d'obtenir les véhicules de tests. C'est de cela que traitera la partie suivante.

6. Essais préliminaires sur les étapes de conditionnement jusqu'à assemblage

6.1. Introduction

Les différentes parties constituant les assemblages avec les caractérisations associées viennent d'être décrites dans la partie précédente. Afin de réaliser les nombreux assemblages nécessaires à l'étude, plusieurs étapes sont indispensables et ont fait l'objet d'une mise au point préalable. Ces différentes étapes ont été des éléments essentiels à la préparation des assemblages.

L'objectif de ces différentes étapes est de valider le procédé d'assemblage des puces sur les substrats. Les deux méthodes de report envisagées sont la thermocompression et la refusion collective. Chacune des méthodes a ses propres caractéristiques comme vu dans la première partie du mémoire, page 36. La méthode par refusion collective a l'avantage de permettre d'assembler plusieurs puces en même temps en amenant l'ensemble à la température de fusion de la brasure. Il s'agit du procédé le plus largement utilisé aujourd'hui. Cependant, la méthode par thermocompression a l'avantage de monter à une moindre température le substrat, ce qui, pour des raisons de contraintes thermomécaniques, est un avantage. Toutefois, cette seconde méthode ne permet d'assembler qu'une seule puce à la fois.

Du point de vue de la réalisation, l'assemblage par refusion collective nécessite une meilleure planéité du substrat alors que la thermocompression nécessite une précision de placement accrue. C'est donc pour ces différentes raisons que les deux méthodes sont testées afin de voir laquelle donne les meilleurs résultats.

6.2. Tests de fixation des puces faisant 50 µm d'épaisseur sur le film adhésif

La première interrogation concernait la manipulation des plaques de silicium ayant une épaisseur de 50 µm. Lors de cette étude, à différents moments, il est nécessaire de placer les plaques de silicium sur un adhésif pour les découper en nappes ou en puces unitaires. C'est de cette étape dont il est question dans ce premier essai.

Les puces de 50 µm ne sont pas une configuration standard au sein du LETI. Il a donc fallu s'assurer que les plaques de silicium ne se cassent pas lors des différentes manipulations. Le premier test consiste à l'application puis à l'enlèvement de l'adhésif sur les plaques de silicium amincies. Afin de réaliser cette étape, l'outil présent sur la photo en Figure 76 a permis de faire le vide afin de maintenir la plaque de silicium pour enlever l'adhésif. Cette étape s'est déroulée avec succès.

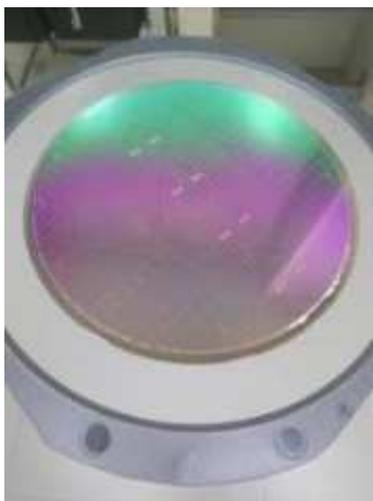


Figure 75 : Plaque de silicium sur l'adhésif.



Figure 76 : Outil permettant de placer/enlever l'adhésif.

6.3. Tests de découpe des substrats et silicium

Dans un premier temps, il a fallu découper les plaques de silicium par nappes. Ces nappes correspondent aux différentes tailles de puces. Les programmes de découpe ont été validés par l'équipe de découpe du LETI et des tests ont été effectués afin de vérifier la qualité de celles-ci. Le choix a été fait d'utiliser une lame de 40 μm de large. Cette découpe a été réalisée et les plaques ont été stockées dans des boîtes appelées canisters comme sur l'image ci-dessous.



Figure 77 : Canister de rangement des plaques de silicium.

Par la suite, chaque nappe de silicium a été replacée sur un adhésif pour effectuer la découpe unitaire des puces. Une fois découpées, elles sont laissées sur l'adhésif afin d'être reportées sur les substrats pendant l'étape de l'assemblage.

D'autre part, la découpe des différentes panoplies de substrats organiques a été réalisée pour que chaque substrat soit individualisé. Cela a permis de les ranger par configuration et donc, a posteriori, d'assembler par série de substrats ayant la même configuration.

6.4. Tests de support des substrats

Une fois les puces en silicium obtenues de manière unitaire ainsi que les substrats, il a fallu mettre au point la technique pour réaliser les assemblages. La première étape était la mise en œuvre d'un support collectif des substrats. Le choix a été fait, afin de gagner en temps, d'assembler les substrats par lots de 25 de configuration identique. Habituellement, la machine DATACON est utilisée pour faire le placement de puces sur des plaques de silicium. Le LETI ne disposant pas de support pour substrats organiques, le développement d'une méthode originale a été testé consistant à utiliser un film adhésif tendu sur un cadre comme support des substrats. Un des points clefs pour cette méthode est que le film doit résister à la température de refusion (260 °C environ). Pour cela, un adhésif haute température en kapton (polyimide) a été placé sur un cadre en inox de 200 mm. Dans un premier temps, une matrice de puces en silicium (faisant office de substrat) a été placée avec succès sur l'adhésif comme représenté ci-dessous :



Figure 78 : Cadre + adhésif haute température.

Une fois les puces déposées, l'ensemble a été placé dans un four à passage pour simuler le procédé de refusion à 255 °C et vérifier la bonne tenue en température de l'adhésif. En effet, si l'adhésif venait à se détendre cela pourrait poser des problèmes pour la mise en œuvre de l'underfill. Après passage au four, la position des puces a été vérifiée pour s'assurer qu'elles n'avaient pas bougé et que l'adhésif restait bien tendu.

6.5. Tests par soudure collective

6.5.1. Principe

Cette méthode, comme expliquée précédemment, se compose de deux grandes étapes. La première est le positionnement de la puce sur le substrat d'accueil. Celui-ci est fait à l'aide des deux croix permettant l'alignement sur le substrat.

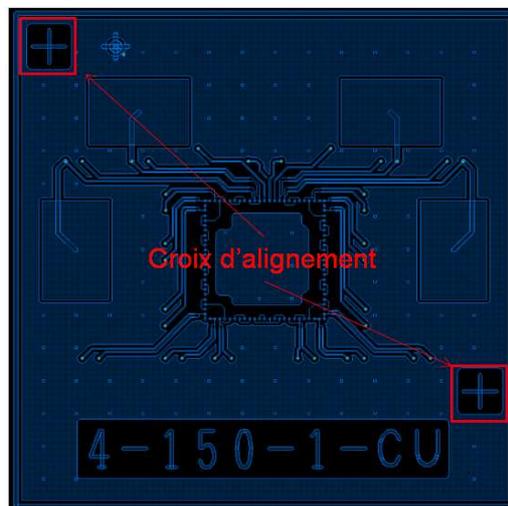


Figure 79 : Croix d'alignement utilisées pour le placement des puces silicium sur le substrat.

De plus, une reconnaissance des piliers de cuivre permet un centrage de la puce. La valeur de la précision donnée par le fabricant lors du placement est de 7 μm . La deuxième étape de l'assemblage consiste en l'introduction des substrats dans un four à passage permettant d'effectuer la refusion de l'alliage. A noter que dans cette méthode, le flux permet non seulement de favoriser le brasage en éliminant les couches oxydées mais également de maintenir en contact les deux parties de l'assemblage entre le report et la refusion. Il faut cependant enchaîner les deux étapes rapidement et faire attention lors du transport à ce qu'ils ne bougent pas.

6.5.2. Test 1 : assemblage par refusion collective sans pression

Dans la continuité du test précédent, les substrats 41001 ont été assemblés sur cadre + adhésif haute température avec la machine de positionnement Datacon présentée ci-dessous :



Figure 80 : Machine de placement Datacon.

Une fois les 25 substrats reportés sur l'adhésif, les puces silicium 41001 ont été déposées sur les substrats. L'étape suivante consistait à prendre la puce, l'aligner et de venir la placer dans une cavité de 20 μm de « Tacky Solder Flux TSF6592 » puis de la déposer sur le substrat avec une force de 100 g (force minimale). L'objectif du flux est d'assurer la tenue de la puce sur le substrat le temps que les substrats passent en four à passage. Lors de la refusion, le flux collant vient désoxyder les surfaces et permettre le brasage. La Figure 81 illustre un ensemble de 25 substrats assemblés ainsi que le four HELLER utilisé pour la refusion. Le four est un four à passage avec 7 chambres de températures différentes (180 °C, 195 °C, 230 °C, 250 °C, 255 °C, 295 °C, 70 °C) et une vitesse de 27 cm/minute ce qui fait un cycle de refusion d'environ 10 minutes.



Figure 81 : Assemblage (puce + substrat), four Heller utilisé pour la refusion.

Après le passage dans le four, chaque assemblage est testé électriquement grâce aux plots présents en face avant. Les résultats sont présentés sur la Figure 83. Lorsque la daisy chain est continue, la valeur de résistance est aux alentours des 36 ohm. Toutefois, le premier résultat n'est pas bon avec seulement 5 assemblages totalement fonctionnels sur les 25 et 3 assemblages ayant une seule des deux daisy chains fonctionnelle (celle ne comportant pas les angles). Un schéma de la matrice des 25 substrats est présentée sur la Figure 83. Chacune des cases est séparée en deux, représentant les deux daisy chains. La moitié gauche étant la daisy chain contenant les angles et la moitié droite, la seconde (rouge : non-continuité, vert : continuité). Un schéma des deux daisy chains est également proposé sur la Figure 82 :

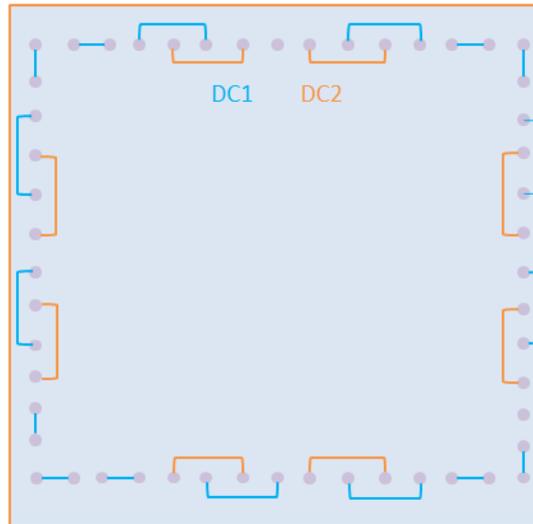


Figure 82 : Schéma des deux daisy chains présentes sur les puces silicium.

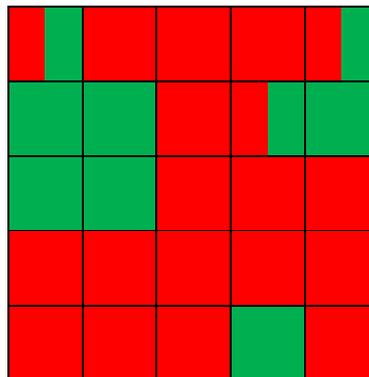


Figure 83 : Représentation des daisy chains fonctionnelles ou non des 25 premiers assemblages. Chaque assemblage est séparé en deux compartiments représentant la DC1 et DC2.

Après ce constat, une puce non fonctionnelle a été arrachée afin de faire des observations au microscope. Il est possible de voir sur Figure 84 que l'alignement est bon et n'est donc pas la cause des défauts mesurés. Cependant, on peut observer sur la Figure 85 que sur la partie basse de la puce il n'y a pas d'empreinte de la brasure SnAg du pilier sur le substrat contrairement à la partie supérieure de la puce où la présence de brasure est visible. Pour confirmer cela, une mesure au profilomètre a été réalisée, montrant, qu'en moyenne, la brasure dépassait de 12 à 20 μm sur la partie supérieure, et que, sur la partie inférieure, la cavité est de 7 μm comme initialement, donc il n'y a aucune présence de brasure.

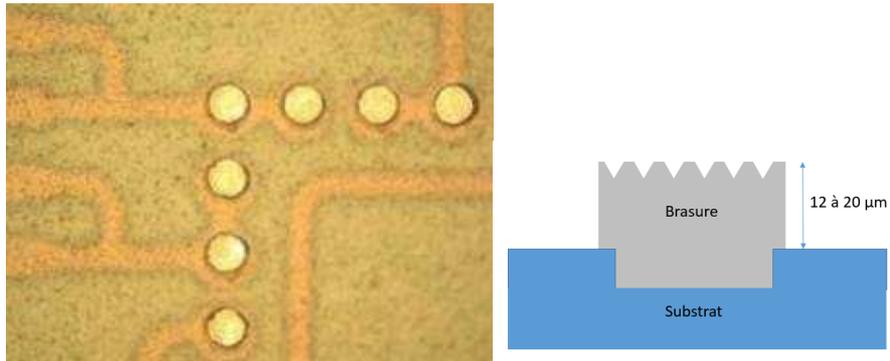


Figure 84 : Vue de la partie haute du substrat après arrachement de la puce par cisaillement.

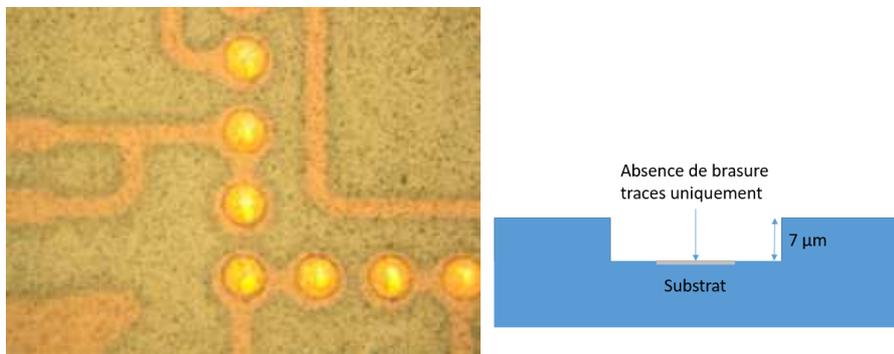


Figure 85 : Vue de la partie basse du substrat après arrachement de la puce par cisaillement.

Ensuite, une autre puce fonctionnelle arrachée a été observée. Bien que fonctionnelles, les plages où la brasure est présente n'ont pas le même profil que sur la

Figure 87, elles sont plus proches de la Figure 85 représentant une puce non fonctionnelle. En effet, une non homogénéité des interconnexions entre les deux côtés opposés est observable.

Comme il est possible de le voir sur les deux clichés de la Figure 86 et Figure 87, même si la présence de la brasure n'est pas importante, chaque plage de cuivre comporte une légère tâche grise, ce qui explique que la brasure se soit faite au moins partiellement et donc qu'il y ait une continuité électrique.

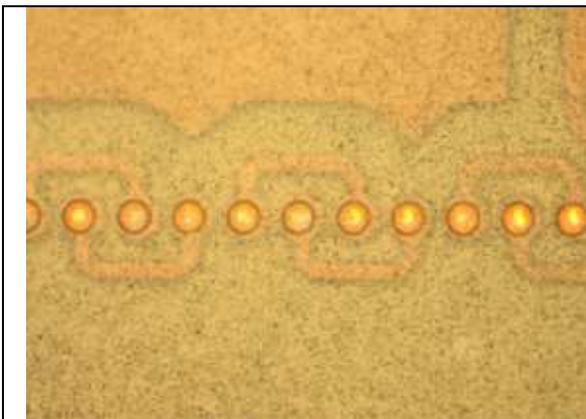


Figure 86 : Vue d'une partie faiblement brasée.



Figure 87 : Vue d'une partie faiblement brasée.

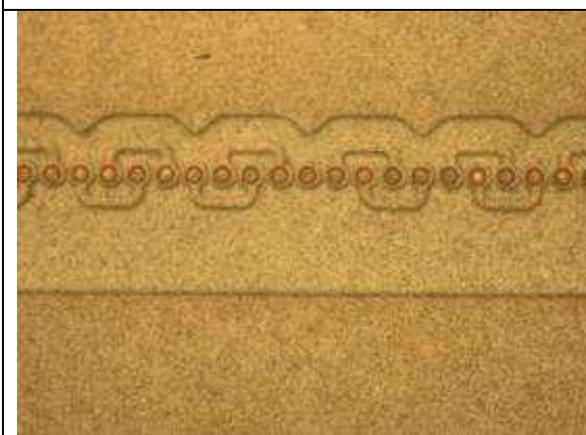


Figure 88 : Vue d'une partie faiblement brasée.

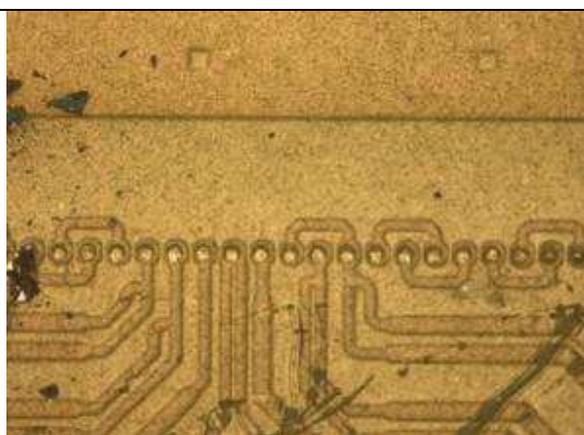


Figure 89 : Vue d'une partie correctement brasée.

Dans un second temps, des coupes ont été effectuées sur un assemblage non fonctionnel. Les clichés sont représentés sur la Figure 90 :

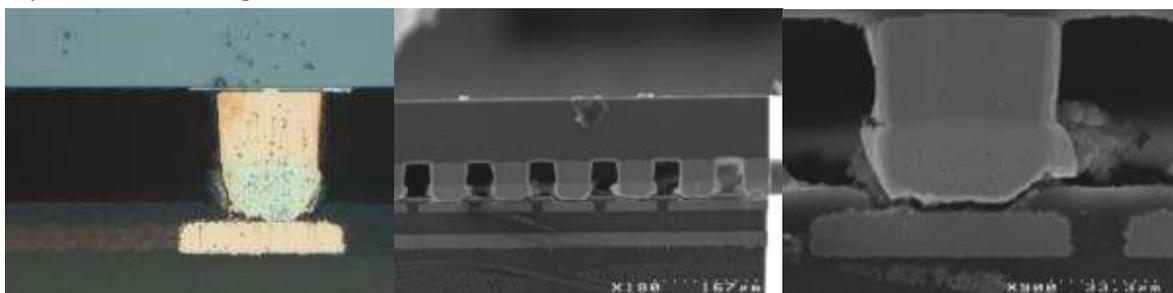


Figure 90 : Micro-sections des assemblages silicium sur organique.

Cela confirme le fait que la brasure n'est pas en contact avec les plages métalliques du substrat et cela à plusieurs endroits.

Finalement, des mesures de flèches ont été effectuées à température ambiante afin de comprendre plus précisément les déformations que subissent le substrat, la puce, ainsi que l'assemblage. Les résultats pour les puces silicium de différentes tailles et le substrat sont présentés ci-dessous.

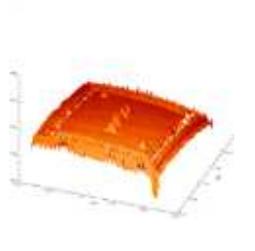
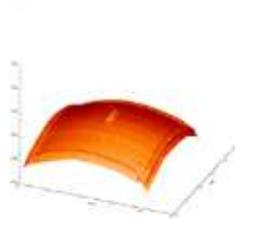
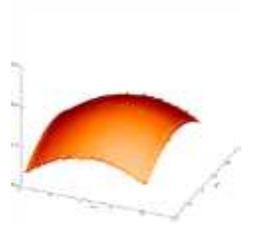
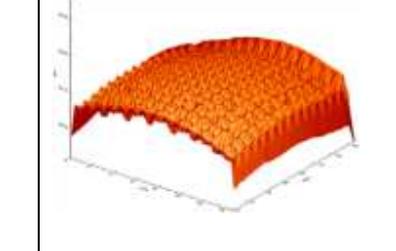
Puce de 2 mm * 2 mm	Puce de 4 mm * 4 mm	Puce de 8 mm * 8 mm	Substrat 15,65 mm
Flèche max 10,8 µm	Flèche max 2,4 µm	Flèche max 0,6 µm	Flèche max 7,8 mm
			

Tableau 0.9 : Resultat de flèche pour les différentes tailles de puces.

Cette première mesure de flèche a permis de confirmer que le problème au niveau de l'assemblage ne venait pas de la différence de flèche. Premièrement, les flèches vont dans le même sens pour les deux parties de l'assemblage comme représenté sur la Figure 91. Deuxièmement, si la flèche maximale est ramenée à la projection de la diagonale de la puce sur le substrat, la flèche du substrat est de 2 µm environ, ce qui est proche de la flèche de la puce de 4 mm. Ceci apporte une réponse uniquement au moment du placement de la puce sur le composant et non de ce qui se passe au moment du reflow.



Figure 91 : Représentation des flèches des deux entités.

Le problème durant ce test concerne donc la mise en œuvre de l'assemblage de la puce sur le substrat. La force de 100 g ne permet pas de mettre en contact les brasures avec les plages du substrat. Cela est dû, d'une part, à la présence de la cavité du substrat de 7 µm, ainsi qu'une ouverture « cote sur cote » avec le diamètre du pilier de cuivre, et d'autre part à l'écart de quelques micromètres entre les différentes hauteurs des interconnexions. Ces trois facteurs ne permettent pas un contact sans pression.

6.5.3. Test numéro 2 : assemblages par soudure collective avec pression

Ce test vient en complément du test précédent. Dans cette nouvelle configuration, la pression exercée sur la puce va être changée. Les puces de 4 mm, avec deux couronnes au pas de 100 µm sont utilisées. Pour ce test, l'assemblage de 5 puces avec une pression de 1 kg et de 5 puces avec une pression de 2,5 kg lors du placement sont effectués.

Une fois soudés, les assemblages sont testés électriquement. Les 10 assemblages donnent des résultats électriques corrects avec une continuité électrique et une moyenne de 30 ohm pour la première

daisy chain et 19 ohm pour la seconde.

Afin de s'assurer de la tenue des piliers de cuivre, trois assemblages de chaque configuration ont été testés en test de cisaillement. A titre de comparaison, des essais ont également été fait avec les puces du test 1. Les résultats rapportés à une interconnexion sont présentés dans le Tableau 0.10.

	Test 1 0,1 kg (Mpa)	Test 2 1 kg (Mpa)	Test 2 2,5 kg (Mpa)
Puce 1	21,97	42,78	38,42
Puce 2	18,92	39,58	35,18
Puce 3	19,09	35,01	41,61
Moyennes	19.99	38.12	38.40
Ecart type	1,71	3,91	3,22

Tableau 0.10 : Resultats des tests de cisaillements.

Dans un premier temps, il y a presque un rapport 2 entre les valeurs de cisaillement des puces du test 1 et celles du test 2, ce qui confirme l'hypothèse que seule la moitié des piliers de cuivre du test 1 sont brasés. Par ailleurs, la variation de pression entre 1 kg et 2,5 kg n'apporte pas une meilleure tenue.

Dans cette configuration, la pression apportée lors du placement du composant sur le substrat a permis de mettre les piliers de cuivre/ brasure parfaitement en contact avec les plages du substrat. Ce qui, une fois l'ensemble passé à température de refusion, a permis à la brasure de s'étaler sur l'ensemble de la plage de cuivre du substrat.

6.5.4. Test numéro 3 : assemblage silicium sur substrat en cycles thermiques

Pour ce test, ont été reportées les puces 4 150 1 Cu qui représenteront la configuration standard de l'étude. Une pression de 2,5 kg a été appliquée lors du placement. L'objectif de ce test est d'effectuer des cycles thermiques afin d'avoir une première idée de la tenue de ces assemblages. Afin d'étudier les deux variantes principales d'assemblages, c'est-à-dire avec et sans underfill, la moitié des 25 puces ont de l'underfill. Pour ce premier passage, l'ensemble des puces ont vu 2000 cycles entre -55 °C et + 125 °C, avec une fréquence de 2 cycles par heure, sans palier de température.

Le résultat est le suivant : 100% des puces n'ayant pas d'underfill n'ont plus aucune continuité électrique après 100 cycles. D'après les premières observations, les ruptures ont lieu sur l'ensemble de la puce, que ce soit sur les angles et les côtés. D'autre part, 100 % des puces ayant de l'underfill ont encore une continuité électrique. Les valeurs de résistance n'ont pas bougé après 2000 cycles. Une micro section a été réalisée sur les deux types d'assemblages. Les clichés sont présentés sur la Figure 92.

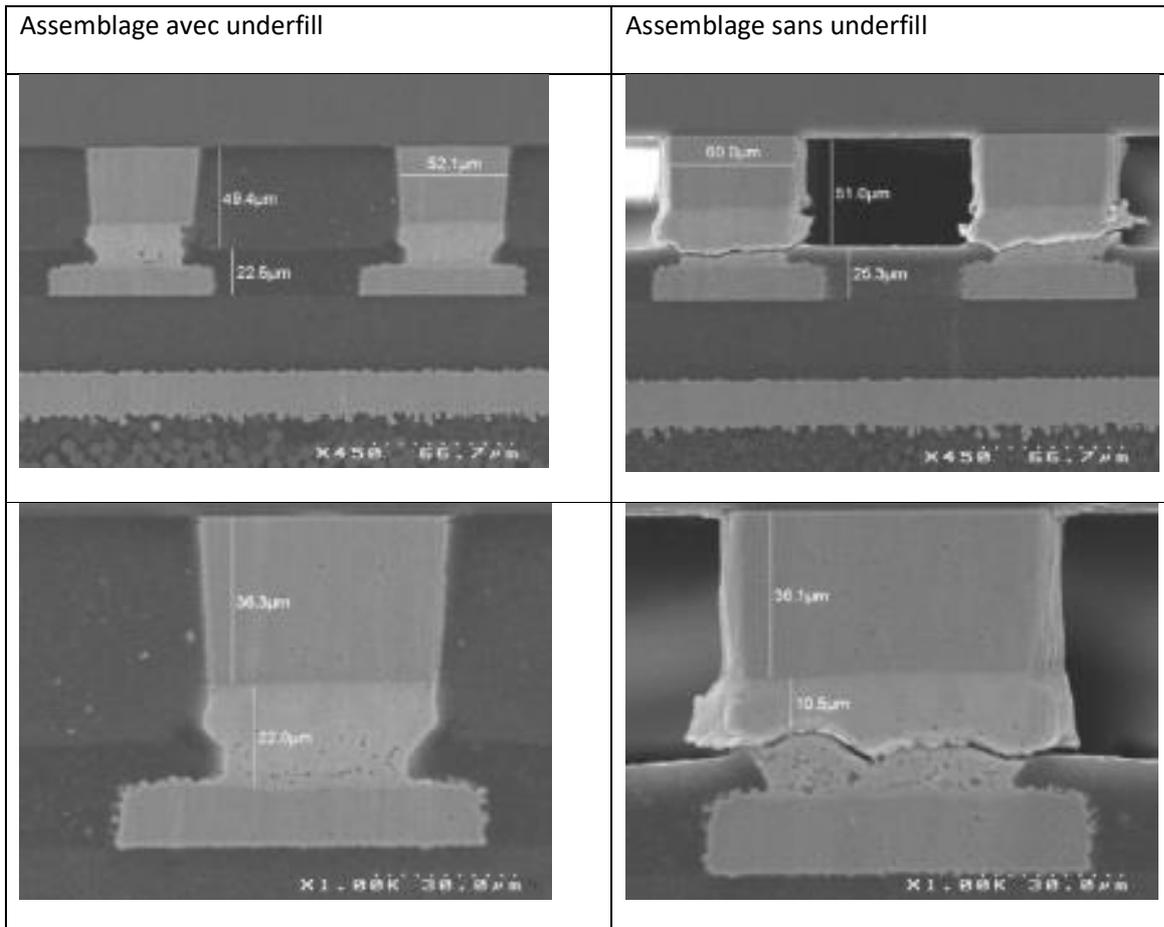


Figure 92 : micro-section des assemblages ayant de l'underfill ou non.

La première information donnée sur les assemblages ayant de l'underfill est la tenue de l'interface brasure/substrat. En effet, la rupture vient au niveau de la brasure et non d'un détachement de la brasure, ce qui démontre l'assemblage réalisé dans de bonnes conditions.

Deuxièmement, le faible nombre de cycles effectués jusqu'à la rupture indique que les assemblages sans underfill ne sont pas destinés à une utilisation telle qu'elle. Ce paramètre est à considérer et nous a aidé à orienter les différents choix sélectionnés pour le plan d'essai, en réduisant le nombre de configurations sans underfill.

Concernant les solutions avec underfill, cela conforte la tenue de la brasure sur la page de substrat vue sans underfill mais cette fois avec de très nombreux cycles (2000).

Ce premier test thermique a permis de valider le report des puces silicium sur substrat organique avant d'effectuer l'assemblage de l'ensemble des configurations énumérées précédemment.

6.5.5. Conclusion

Dans cette partie, la mise au point de la méthode par refusion collective a été abordée. Dans un premier temps, le constat est que, lors de la pose de la puce sur le substrat, il faut exercer un appui pour que l'ensemble des interconnexions recouvertes de flux vienne se positionner dans la cavité du substrat. Sans cela, à de nombreux endroits, la brasure ne se produit pas. Cela a pu être confirmé par les vues par microscopie par l'absence de brasure sur les plages d'accueil du substrat.

Une fois les assemblages effectués, ils ont subi des cycles thermiques entre -55 °C et +125 °C afin de vérifier la tenue de la brasure. Les assemblages avec underfill ne présentent aucun défaut après 2000 cycles, ce qui suggère une bonne tenue de la brasure. D'autre part, les assemblages sans underfill ont cassé avant 100 cycles ; la fissure est au milieu de la brasure ce qui exclut un problème d'accroche de la brasure sur la plage d'interconnexion comme vu dans la partie précédente 6.5.4.

Pour toutes ces raisons, on peut conclure que le procédé d'assemblage par refusion collective avec pression appliquée pendant le report est concluant et permet d'assembler l'ensemble des configurations

6.6. Tests par thermocompression

6.6.1. Configurations et paramètres

Les premiers tests de thermocompression ont été effectués sur les puces de 4 mm avec un pas de 150 µm. Cette configuration est la configuration standard utilisée lors de la mise au point du procédé d'assemblage. De plus, cette configuration pourra être comparée aux tests effectués avec la solution par soudure collective. Le plan de test s'est organisé autour de trois paramètres. Le premier est la pression exercée sur la puce pendant la période de mise en contact et de chauffage pour la refusion. Le second est la température de la tête (T2) de l'outil de chauffe, qui est en contact avec la puce. Enfin, le dernier paramètre est la température (T1) de la platine sur laquelle repose le substrat organique qui sera maintenu fixe. L'ensemble des tests effectués est résumé sur la Figure 93 :

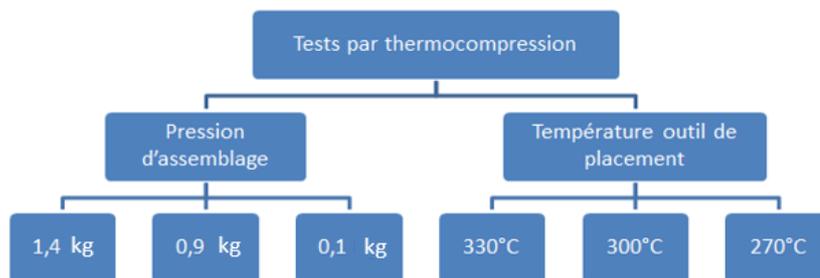


Figure 93 : Schéma des essais pour le test de thermocompression.

Ces trois grands paramètres interviennent de différentes façons lors de l'assemblage. Alors que le support est chauffé plusieurs minutes avant l'assemblage, pour atteindre une température homogène, la tête, quant à elle, peut atteindre les 300 °C en seulement 5 secondes. La pression est exercée pendant le temps « d » fixé à 20 secondes. Ce temps peut être modifié selon le besoin mais il a été considéré suffisant pour laisser le temps à la réaction de brasure de se faire. La tête de l'outil est préchauffée à 130 °C avant de prendre la puce.

La procédure par thermocompression est schématisée sur la Figure 94.

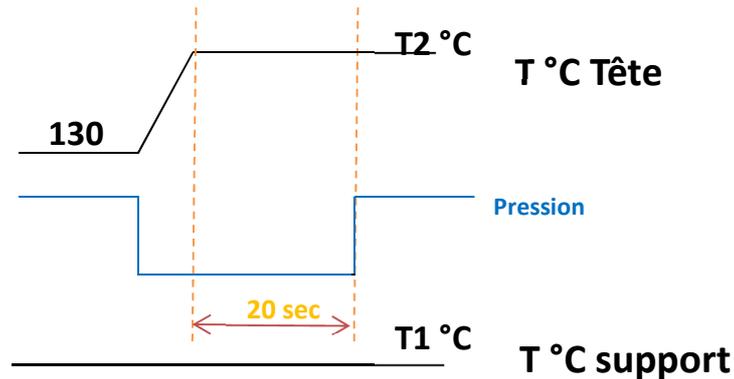


Figure 94 : Schéma du procédé de thermocompression.

Evolution de la température de l'outil de pose

N'ayant que très peu de retours sur l'utilisation de cette tête de chauffe, il a été nécessaire de faire des tests simples pour vérifier son bon fonctionnement. Un des premiers tests permettant de vérifier que la température de refusion est bien atteinte est de faire varier les paramètres de température de la tête et du support. Pour cet essai, la pression arbitraire de 5 g par pilier a été appliquée. La méthodologie appliquée est la suivante : le test commence en appliquant des températures de la tête largement supérieures à la température de refusion. En effet, la résistance thermique liée au contact de la tête sur la puce n'est pas connue, ainsi une marge suffisante a été considérée. Par la suite, la température de la tête de l'outil est diminuée. Les différentes températures retenues pour la tête de placement sont : 330 °C (essai N°1), 300 °C (essai N°2) et 270 °C (essai N°3). La température du support des substrats est quant à elle fixée à 130 °C. La résistance thermique de contact entre l'outil et la puce est finalement très bonne car pour une température de 230 °C la refusion de la brasure est obtenue.

Dans tous les cas, la brasure a refondu et l'interconnexion s'est formée comme il sera vu dans la partie suivante. Les valeurs électriques mesurées en test 2 fils donnent des valeurs proches des valeurs obtenues par refusion collective, c'est-à-dire 33 ohm. Toutefois, il y a tout intérêt à limiter les températures appliquées. En effet, plus la température du support est basse et moins la différence de coefficients de dilatation thermique jouera sur le décalage relatif des plages de cuivre vis-à-vis des piliers de cuivre. En effet, en brasure collective où l'assemblage est amené à 270 °C par exemple, pour un pilier présent dans les angles, la différence de déplacement par rapport au centre de l'assemblage entre le pilier de cuivre côté puce et la plage de cuivre côté substrat est de l'ordre de 6 μm . Dans la configuration thermocompression, cette différence sera de 3 μm avec les hypothèses présentées dans le Tableau 0.11. La thermocompression est donc, pour cette raison-ci, plus intéressante d'un point de vue des contraintes dues à l'assemblage de la puce sur le substrat.

Configuration	α le CTE ppm	D la distance pilier-centre de la puce en mètre	T0 la température ambiante en °C	T1 la Température de fusion de la brasure en °C
Fusion collective Puce	3^{E-6}	$1,9 \times 10^{-3}$	20	221
Fusion collective Substrat	18^{E-6}	$1,9 \times 10^{-3}$	20	221
Thermocompression Puce	3^{E-6}	$1,9 \times 10^{-3}$	20	221
Thermocompression Substrat	18^{E-6}	$1,9 \times 10^{-3}$	130	221

Tableau 0.11 : Paramètres utilisés pour le calcul de déplacement.

Avec la formule de différence de déplacement entre la puce et le substrat Δ_{assy} l'équation suivante est obtenue :

$$\Delta_{assy} = \Delta S - \Delta P \quad \text{avec } \Delta S \text{ le déplacement subi par la plage d'interconnexion du substrat et } \Delta P \text{ le déplacement vu par le pilier de cuivre de la puce}$$

En prenant $\Delta S = \alpha_s \times D \times (T1 - T0)$ et $\Delta P = \alpha_p \times D \times (T1 - T0)$

On obtient pour la configuration de la fusion collective :

$$\Delta_{assy} = 5,7 \mu\text{m}$$

Et pour la configuration par thermocompression

$$\Delta_{assy} = 2,6 \mu\text{m}$$

Variation de la pression appliquée avec la tête de placement

Les différents tests ont été effectués sur la puce 41501. L'objectif de ces premiers essais est de pouvoir comparer ces assemblages avec la solution par fusion collective. Une fois les deux techniques explorées, le choix de la méthode retenue pour les assemblages utilisés pour les tests thermiques sera effectué.

Le paramètre de pression est le paramètre clé de cette étape. Afin de déterminer une fenêtre de procédé, trois valeurs de pression ont été retenues dans une gamme assez large. D'un côté une valeur faible représentant le minimum permis par la machine et, de l'autre, une pression importante se trouvant au plus proche de ce qui avait été vu dans les études de Safran et, enfin, une valeur intermédiaire. Les valeurs de pression appliquées sur la puce sont présentées dans le Tableau 0.12 avec la correspondance ramenée à une interconnexion. La température retenue du support est 130 °C et celle de la tête de 270 °C pour être sûr d'atteindre la température de refusion de la brasure.

Configuration	Pression totale (kg)	Pression par pilier (g)
1	1,368	14,25
2	0,960	10
3	0,120	1,25

Tableau 0.12 : Paramètres de pression utilisés pour les essais de thermocompression.

Configurations 1 et 2 : Pression de 14,25 g et 10 g par interconnexion

Les résultats obtenus avec la configuration 2 sont identiques à la configuration 1. Les informations traitées ci-dessous seront celles de la configuration numéro 1.

Dans cette configuration, la pression de 14,25 g par interconnexion a été appliquée sur la puce de 4 mm au pas de 150 μm . Deux résultats distincts sont notables. Le premier correspond à une configuration où la brasure, bien que réalisant le contact électrique, présente une hauteur très faible de 8 μm correspondant à la hauteur de la cavité, contrairement aux 25 μm de moyenne dans le cas d'un assemblage par soudure collective sans pression, comme il est possible de le voir sur la Figure 95. La brasure est donc totalement écrasée et ne semble donc pas être acceptable pour subir des cycles thermiques. En effet, la brasure étant fine, le joint formé est plus « rigide » et, donc, il permettra moins bien d'encaisser les déformations générées lors des cycles thermiques. D'autant plus qu'il y a une fissure sur 80% de l'interconnexion.

De plus, l'effort appliqué lors de l'assemblage est trop important. Il est ainsi possible de voir que le substrat est enfoncé sur 7 μm environ.

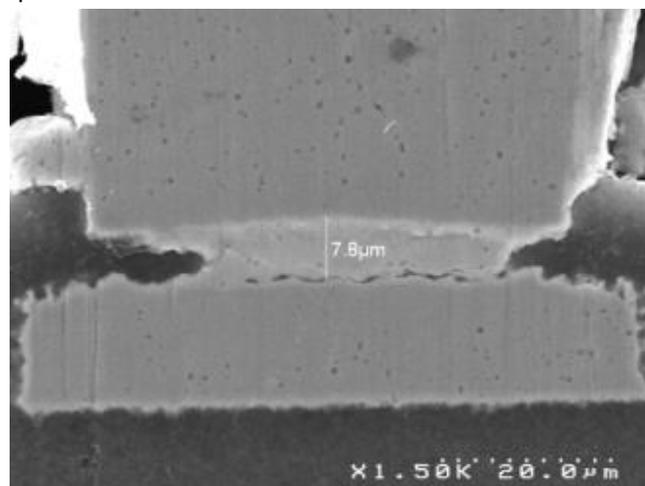


Figure 95 : Micro section de la configuration avec une pression de 14,25 g par pilier présentant une fissuration mais ayant une continuité électrique.

Le second résultat obtenu sur certain pilier de cuivre concerne la non continuité de la brasure. Sur l'image de la Figure 96, il est possible de voir que la brasure est si fine et contrainte que la connexion ne s'est pas formée.

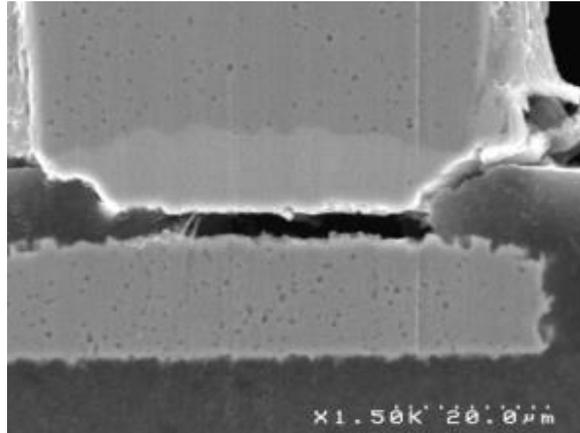


Figure 96 : Micro section de la configuration avec une pression de 14,25 g par pilier présentant un défaut.

Configuration 3 : Pression de 1,25 g

Lorsqu'est appliquée une pression de seulement 1,25 g par pilier, donc une pression très faible vis à vis des valeurs utilisées dans la partie précédente (10 fois moindre), le résultat est plus intéressant comme montré sur les deux images de la Figure 97.

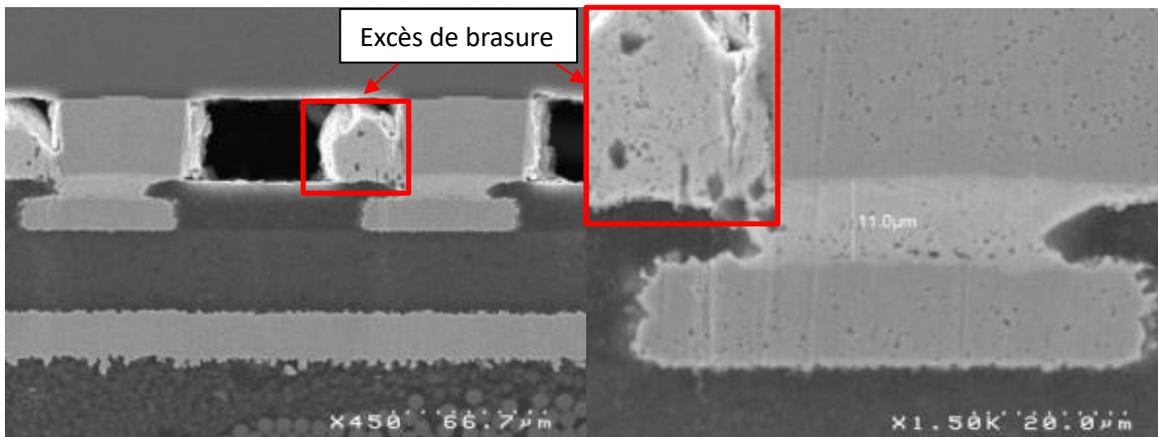


Figure 97 : Micro section configuration 1.25 g par pilier.

La brasure est moins écrasée et le pilier rentre moins dans la cavité du substrat. Contrairement aux 7 μm du test précédent, il y a une épaisseur de brasure de 11 μm . Cette configuration est favorable par rapport à la première mais n'est pas parfaite. En effet, la brasure a été éjectée au-dessus du substrat comme le montre la matière présente à gauche sur la Figure 97. Malgré tout, cela ne représente pas une configuration optimisée pour les futurs cycles thermiques. En effet, il est recommandé d'avoir le maximum de hauteur pour la brasure avec un contrôle de la forme de la brasure.

Observation optique :

L'observation porte sur une puce arrachée après assemblage par thermocompression, avec une pression de 1,5 g par pilier, qui avait une continuité électrique.

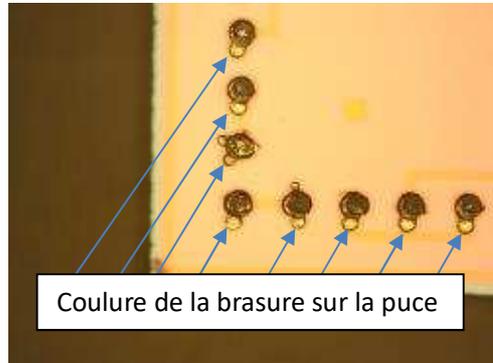


Figure 98 : Puce issue des tests de thermocompression présentant des coulures de brasure.

Dans cette configuration, les observations au microscope de la Figure 98 mettent en évidence l'écoulement de la brasure au-dessus du pilier de cuivre. En effet, lors de la refusion avec l'application de la pression sur la puce, la brasure s'écoule sur le côté du pilier et sur la surface de la puce. La brasure est éjectée du pilier de cuivre car la pression appliquée sur la puce chasse cette brasure. Cette dernière remonte par contact car la distance entre la puce et le substrat est très faible ($25\ \mu\text{m}$) correspondant à l'épaisseur de brasure sur un assemblage réalisé en refusion collective. En comparaison, un cliché d'une puce ne présentant pas de coulures est proposé sur la Figure 99 :

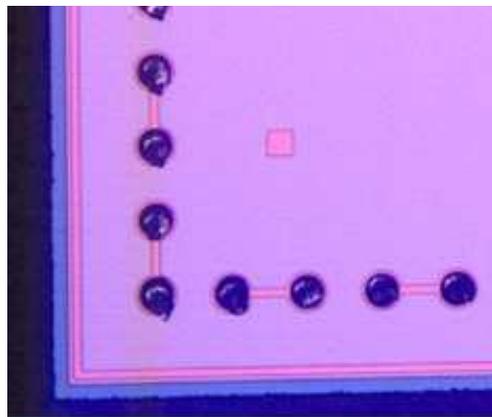


Figure 99 : Puce issue des tests de soudure collective ne présentant pas de coulures de brasure.

Cet effet peut amener à des courts-circuits et à une mauvaise forme de la brasure (peu épaisse et non uniforme) entraînant une fiabilité dégradée

Caractérisation mécanique des assemblages par thermocompression

Pour la réalisation de ces mesures une machine de test de cisaillement a été utilisée. Ces tests ont été effectués sur les trois conditions en pression d'assemblage vues précédemment. Concernant l'accroche de

la brasure sur les plages, on constate que la brasure est bien présente (rond gris) sur l'ensemble des plages de cuivre du substrat comme montré sur la Figure 100.

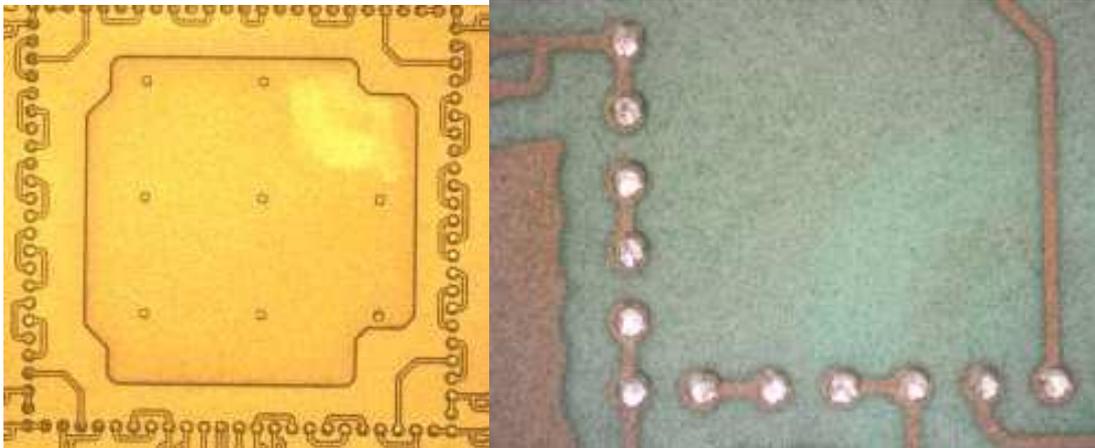


Figure 100 : Vue microscope des plages des substrats après arrachement de la puce.

À titre de comparaison, lorsque la brasure n'accroche pas sur les plages d'interconnexions, les situations comme montrées sur le cliché de la Figure 101 sont observées :

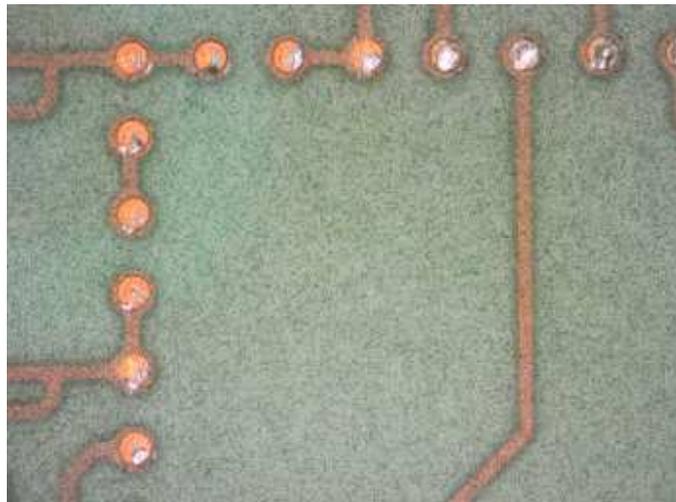


Figure 101 : Vue au microscope des plages du substrat après arrachement de puce où la brasure n'a pas correctement adhéré.

Dans cette configuration, l'ensemble des plages de couleur cuivrée sont des plages où la brasure ne s'est pas effectuée ou en partie seulement.

Malgré une accroche de la brasure, il est possible de voir que pour les pressions les plus élevées de 10 g et 15 g par pilier, les valeurs d'arrachement en test par cisaillement sont plus faibles que la valeur constatée lors d'une brasure normalement faite en soudure collective. La valeur est de 0,9 kgF pour la

thermocompression avec des pressions importantes, contre 1,8 kgf pour la soudure collective. De plus, les valeurs pour des assemblages avec des forces moindres ne présente pas de meilleures tenues en test mais ont des valeurs 40% plus hautes sur les tests de cisaillement. Un récapitulatif des différentes valeurs est représenté dans le Tableau 0.13.

Configurations	Valeurs kgf
Ref soudure collective	1,80
1	0,89
2	1,33
3	1,42

Tableau 0.13 : Récapitulatif des essais de test de cisaillement sur les assemblages en thermocompression.

Les résultats obtenus par thermocompression donnent des valeurs de shear tests inférieures à l'assemblage par refusion collective. L'aspect du joint de brasure est également moins bon avec une épaisseur de seulement 7 μm .

Enfin, la machine de report était à son maximum au niveau du contrôle en pression. Une autre solution aurait été un contrôle en déplacement, mais non disponible sur cette machine. Pour l'ensemble de ces raisons, la solution de thermocompression ne sera pas retenue pour la suite des assemblages des différentes configurations.

6.7. Configurations retenues et paramètres d'assemblages des véhicules de test.

Dans la partie précédente, les différentes étapes de mises au point du procédé d'assemblage ont été testées et validées. L'étape suivante consiste à assembler les configurations sélectionnées pour l'étude de fiabilité, elles seront rappelées dans le paragraphe suivant. Par la suite seront présentés les résultats électriques des mesures effectuées par la méthode 4 fils. Enfin, les différents faciès de ruptures seront présentés grâce aux analyses EBSD expliquées dans la dernière partie.

6.7.1. Rappel des configurations utilisées

Dans cette partie sont rappelées les différentes variantes d'assemblages qui seront étudiées. En effet, vis-à-vis de l'avancement et des difficultés rencontrées, il a été choisi de restreindre l'étude à certains assemblages par rapport à l'ensemble des configurations possibles énumérées précédemment dans le document. De plus, l'assemblage par soudure collective est retenu pour cette étude de fiabilité suite à la pré-étude précédente. Pour rappel, chaque configuration est référencée par un label reprenant toutes ses caractéristiques. Chaque label comprend donc la taille de la puce, le pas d'interconnexion, le nombre de couronnes.

Après quelques tests, il est ressorti que certaines configurations ne sont pas pertinentes pour l'étude. En effet, les puces de grande taille sans underfill cassant très rapidement, il n'y aura pas d'intérêt particulier à effectuer ces assemblages, c'est pourquoi la liste des configurations a été revue, comme détaillé page 89.

6.7.2. Paramètres utilisés pour le placement de la puce sur le substrat

Comme vu précédemment, un appui est nécessaire lors du placement des différentes puces. Pour rappel, cette force est nécessaire pour que le pilier de cuivre rentre correctement en contact dans la cavité formée sur le substrat. Le choix est fait de manière à obtenir une pression par pilier équivalente quels que soient la taille et le pas de la puce. La valeur retenue est 15 g par bump. Cette pression est uniquement pour le placement de la puce pour mettre en face les piliers de cuivre avec les plages de cuivre.

6.7.3. Profil de refusion

Afin d'avoir des assemblages ayant subi les mêmes conditions thermiques, ils sont faits dans un laps de temps le plus rapproché possible. L'ensemble des assemblages a été fait en un mois au cours de trois campagnes. A chaque créneau, les différents échantillons de la série en cours sont passés les uns après les autres dans le four. Une sonde de température permet de vérifier la température dans le four. La courbe de refusion appliquée aux différents assemblages est présentée sur la Figure 102.

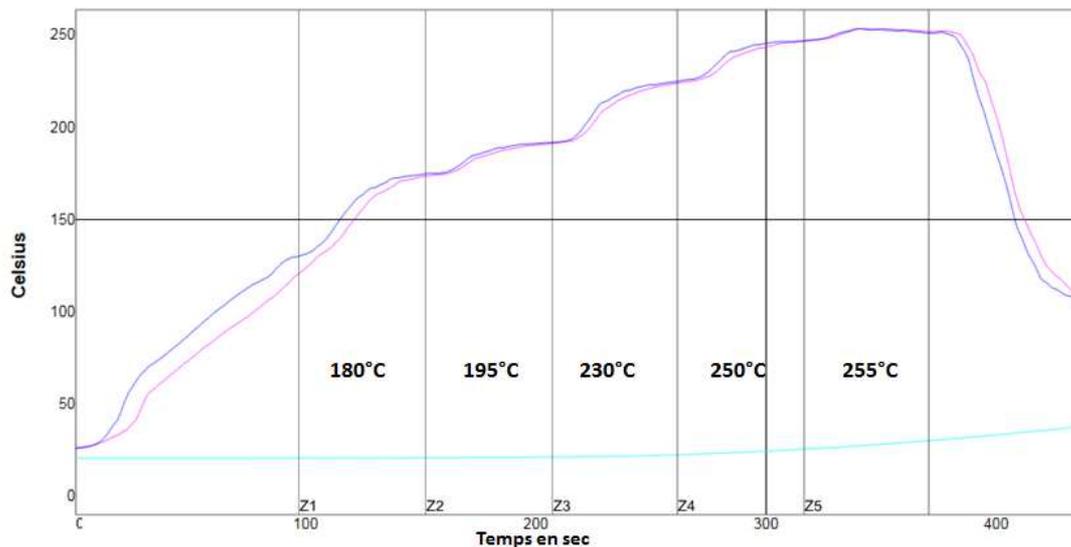


Figure 102 : Profil de refusion subit par les assemblages avec les températures des zones.

Le four à passage comporte 5 zones ayant les températures listées sur la Figure 102 avec également une entrée de tapis à 70 °C et une sortie à 90 °C. Il possède une vitesse de tapis de 27 cm/min, l'atmosphère est sous azote.

Cette refusion participe en différents points au bon assemblage des puces sur le substrat.

Premièrement, le profil permet une montée en température homogène de tous les composants jusqu'à une température de 150 °C. Cette première partie peut être appelée zone de montée en chauffe.

Par la suite, autour des 150 °C, cette zone de température permet d'activer le flux et donc de produire une désoxydation de la brasure.

Arrivée à une température de 240 °C, la finition OSP empêchant les plages de cuivre du substrat de s'oxyder n'est plus active. C'est la zone de refusion où l'assemblage se fait.

La dernière zone, constitue la zone de refroidissement, qui est de 3 °C/sec.

6.8. Synoptique générale de l'étude

L'ensemble des étapes qui seront utilisées lors de cette campagne de test est rassemblé sur la Figure 103. La première est la conception et la fabrication des substrats et des puces silicium. Les différentes valeurs de nombres de chaque entité sont données ci-dessous. Cela montre le caractère reproductible de ces travaux. Dans un second temps, la phase de mise au point de la découpe unitaire des substrats et puces livrées par panoplie et plaque de silicium ont permis de mettre au point le procédé d'assemblages et d'underfill des différentes structures. Enfin, la dernière étape concerne les essais thermiques, d'une part en cycle et d'autre part en maintien en températures. Cela représente une quantité importante d'assemblages permettant d'avoir un nombre considérable de données.

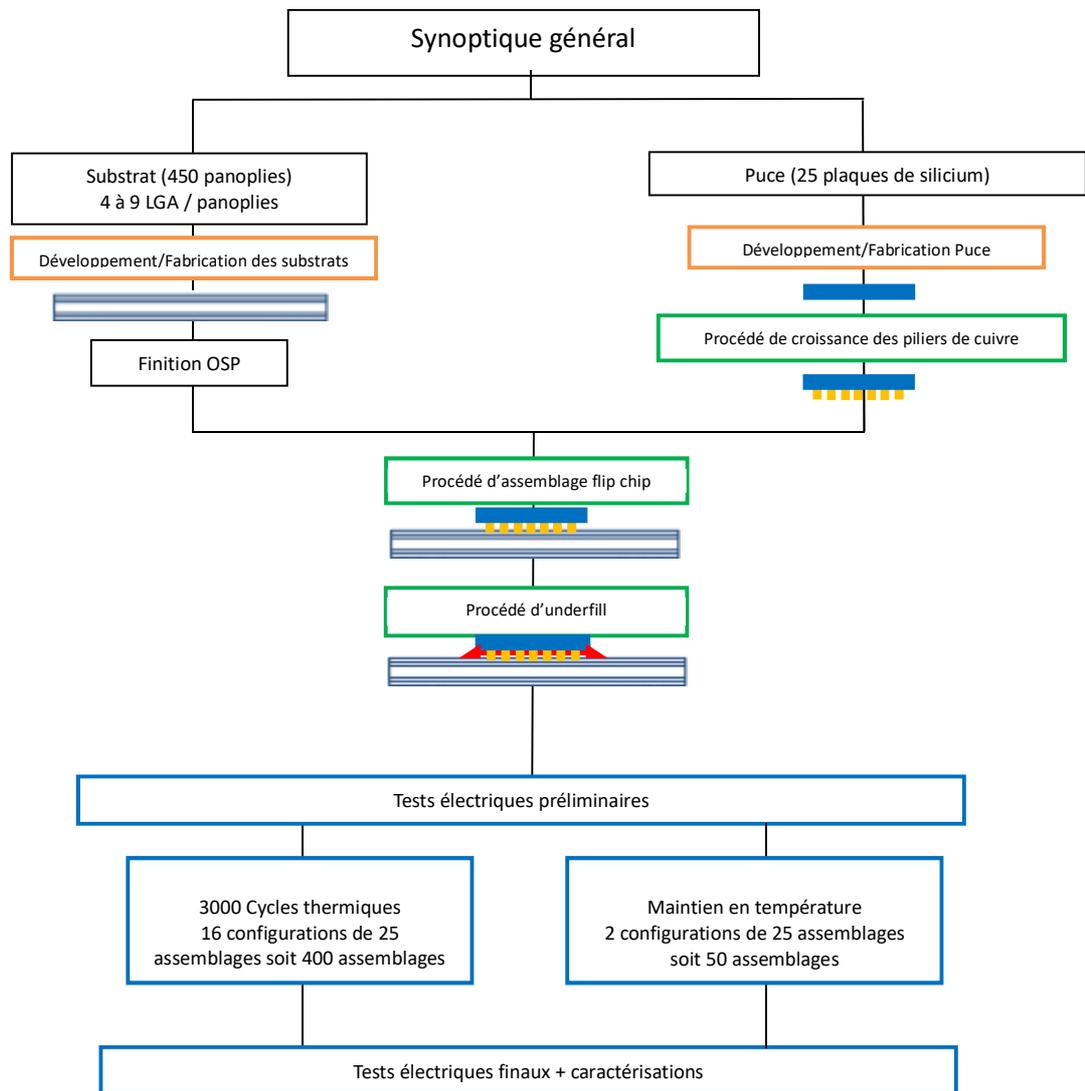


Figure 103 : Synoptique général de l'étude

6.9. Conclusion

Les différentes étapes de mise au point ont fait partie d'un plan d'essais large afin de valider toutes ces étapes et de faire les meilleurs choix pour l'assemblage final.

Dans un premier temps, les différentes découpes en format unitaire des substrats organiques et des puces silicium, y compris pour des puces de 50 μm d'épaisseur, ont été validées.

Par la suite, l'utilisation d'un cadre en inox et d'un adhésif de type kapton pour effectuer les assemblages des séries de substrats identiques a été testée et validée. L'enjeu ici était d'avoir peu de dilatation du kapton afin que la machine de placement puisse voir les croix d'alignement dans son champ de vision pour le report des puces sur les substrats.

Enfin, les premiers tests en soudure collective ont été effectués. Après des ajustements sur la procédure de pose de la puce avec une pression, la brasure se fait correctement sur l'ensemble des piliers de cuivre. La bonne tenue de la brasure sur les plages d'interconnexion lors de cycles thermiques a été vérifiée sur un petit nombre d'assemblage.

Une autre méthode d'assemblage a été également testée : la thermocompression. Plusieurs paramètres ont été étudiés, tels que la pression ou la température. Toutefois, les résultats restent moins bons que ceux obtenus en soudure collective. Les assemblages ont une continuité électrique, mais après micro section, l'état de la brasure présente des fissures et la hauteur de brasure est faible (7 μm contre 22 μm en soudure collective) liés à l'écrasement de l'interconnexion et à la fuite de la brasure sur la plage d'accueil. Ceci peut amener un court-circuit et une faible tenue en cycle thermique.

Ceci s'explique par une limitation liée à la machine de placement au niveau de sa précision en pression. Avec une pression plus faible il serait probable d'obtenir de meilleurs résultats.

Pour ces différentes raisons, le choix a été fait d'utiliser la technique de soudure collective pour les assemblages qui serviront à l'étude de fiabilité.

7. Résultats expérimentaux des assemblages de tests

7.1. Introduction

Dans cette partie seront présentés les différents résultats de tests en cycles thermiques pour les différentes configurations d'assemblages sélectionnées. La première série concerne les assemblages n'ayant pas d'underfill et la seconde les assemblages avec underfill. Pour rappel, les cycles sont définis entre -55 °C et +125 °C. Dans un second temps, des analyses EBSD « Electron BackScatter Diffraction » seront utilisées pour caractériser l'évolution de la microstructure de la brasure lors des cycles.

7.2. Assemblages sans underfill en cycles thermiques

Dans ce paragraphe les configurations sans underfill sont traitées. Pour cela, les puces qui ont été cyclées ont les configurations suivantes : 41501, 41001, 4250, 21501 comme décrits à la page 89 ainsi que les configurations comportant une couche de redistribution. Toutes les configurations comportent 25 puces initialement. A chaque sortie de l'étuve, les assemblages sont testés électriquement : soit ils ont une continuité électrique et sont remis dans l'étuve, soit la chaîne est ouverte et ils sont sortis de l'étuve. En cas de variations supérieures à 20% de la résistance, l'assemblage est considéré comme défaillant. Les assemblages fonctionnels en fonction du nombre de cycles sont représentés dans le tableau suivant :

nbr cycles	22	44	66	84	105	195	255
4250	25	25	9	0			
RDL	25	25	8	3	0		
41001	25	18	0				
41501	25	22	7	0			
21501	25	25	25	25	24	9	0

Tableau 0.14 : Récapitulatif des résultats sans underfill.

Le premier constat est le suivant : les puces de 4 mm ne tiennent pas plus de 100 cycles quelle que soit la configuration. Concernant les puces ayant un pas de 100 μm , les diamètres des piliers de cuivre sont plus faibles, ce qui explique un nombre de cycles plus faible (66) que pour les autres configurations avec des puces de taille identique (4 x 4 mm). En effet, les efforts appliqués étant dus principalement à la taille de la puce, la contrainte appliquée au niveau de l'interconnexion est plus importante sur un pilier de diamètre plus faible. Une micro-section a été effectuée sur une puce 4 150 et une 4 250, elles sont présentées sur la Figure 104 et Figure 105 :

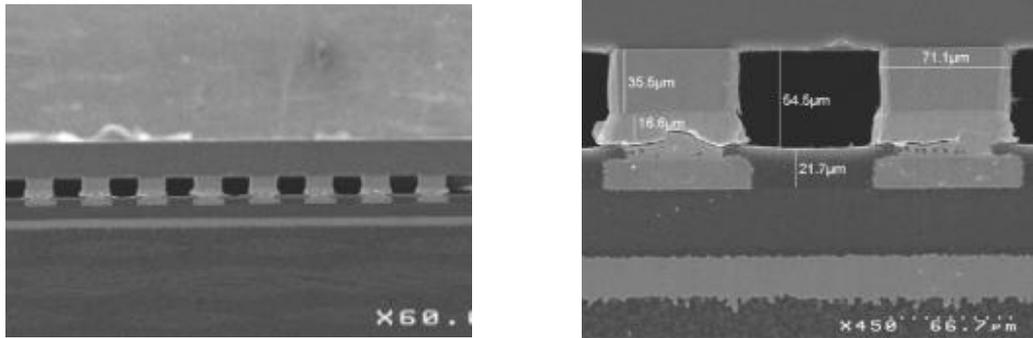


Figure 104 : Micro section d'une puce sans underfill 41501 après 80 cycles thermiques.

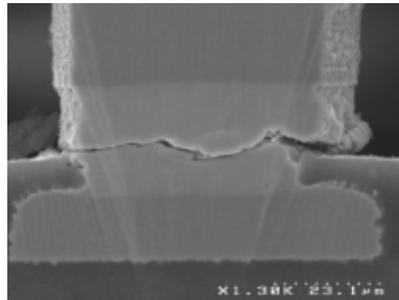


Figure 105 : Micro-section d'une puce sans underfill 4 250 après 80 cycles thermiques.

Dans les deux cas, la zone de brasure comporte une fissure traversant tout ou partie de sa section, ceci sur l'ensemble des piliers. Cette défaillance généralisée s'explique par la contrainte de cisaillement subie par les assemblages lors des cycles thermiques. De plus, l'amorce de la fissure se situe au niveau du coin formé par l'ouverture dans le substrat.

Concernant les puces de 2 mm, leur tenue est aux alentours des 220 cycles. Des micro-sections ont été également effectuées :

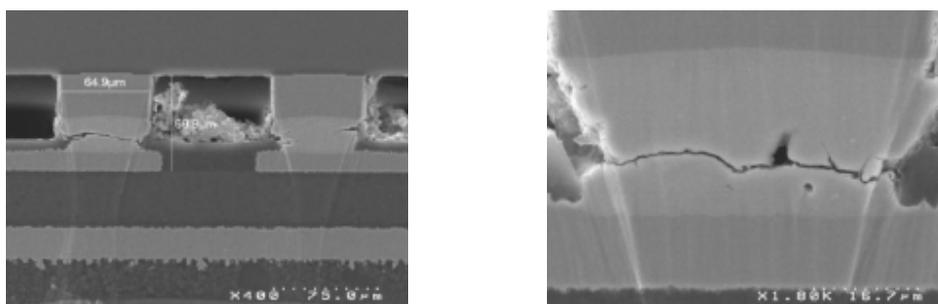


Figure 106 : Micro-section d'une puce de 2 mm sans underfill.

Le constat est le même que ce qui a été observé sur les configurations de puces 4 mm. La fissuration se fait également au centre de la brasure, avec comme départ et arrivée le coin supérieur du substrat.

Etant donné la fragilité de cette configuration sans underfill, les autres configurations sans underfill n'ont pas été testées. En effet, il sera vérifié plus tard que le paramètre principal jouant sur la fiabilité n'est pas lié aux règles de dessin de la puce mais à la présence d'underfill.

7.3. Assemblages ayant un underfill

Dans cette partie, l'intérêt sera porté sur les assemblages comportant un underfill. Les différentes configurations ont, initialement, 25 assemblages. Par prudence et afin d'avoir une homogénéité des différents véhicules de test, la procédure d'assemblage et d'underfill a été fait dans un délai rapide (inférieur à 3 semaines) sur toutes les configurations vieilles. Dans ce premier tableau est récapitulé le nombre de composants étant fonctionnels de 0 à 3000 cycles..

Nombre de cycles	0	200	800	1300	2000	3000
41501	25	24	24	24	24	24
42501	24	23	23	23	22	21
41001	24	23	23	23	23	21
41501-200	25	24	24	24	22	22
41501-50	25	23	21	21	19	17
41501-37	24	17	17	17	17	16
41501-68	24	22	22	21	21	21
41002	24	20	18	18	18	16
41502	25	24	24	24	24	24
RDL	25	23	23	23	23	23

Tableau 0.15 : Récapitulatif des essais de cycles thermiques assemblages fonctionnels.

Pour une meilleure visualisation, pour chaque configuration, les assemblages valides sont représentés en fonction des cycles thermiques.

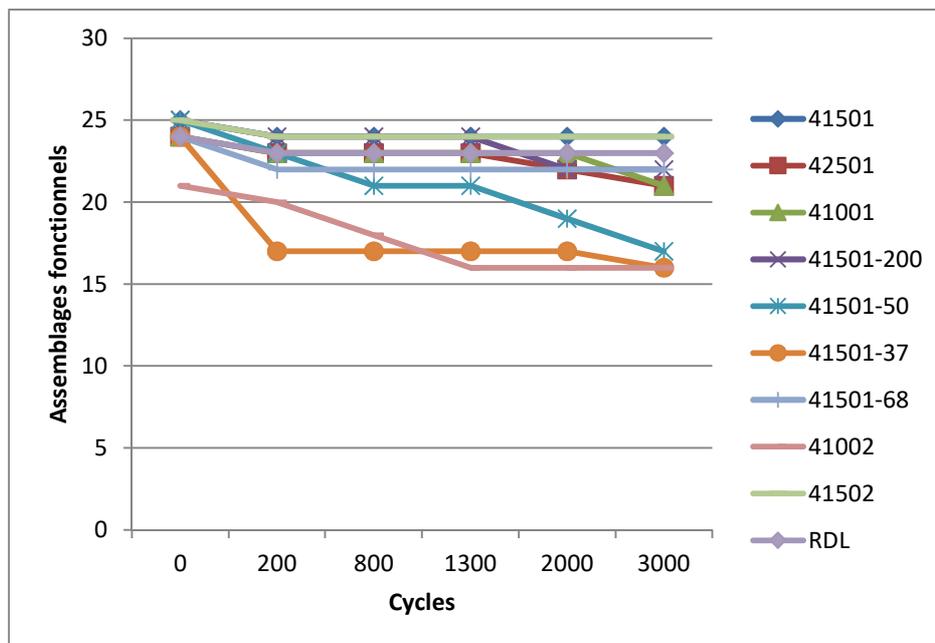


Figure 107 : Evolution du nombre d'assemblages fonctionnels en fonction du nombre de cycles.

Les assemblages peuvent être regroupés en trois catégories en fonction des défaillances que l'on a au cours de ces essais.

La première catégorie est composée des assemblages ne présentant pas de défauts au cours du temps, comme les configurations suivantes : 41501, 42501, 41001, RDL, 41501-200, 42501.

La seconde catégorie concerne la configuration des assemblages ayant un taux très important de défaillances dans les premiers cycles, ici 200 cycles, et qui, par la suite, ne se dégradent plus. Cela permet de mettre en évidence les défauts de jeunesse dus principalement au procédé. Ici la configuration concernée est la 41501-37 correspondant à une puce de 4 mm avec des piliers ayant 6 μm de cuivre, 2 μm de nickel et 22 μm de brasure. En effet, le procédé n'est pas bien adapté à cette configuration car l'espace entre la puce et le substrat est inférieur à 40 μm . Dans le cas de l'étude, les espaces varient de 20 à 75 μm , il sera difficile de trouver un underfill qui remplisse bien l'espace sur toute cette plage. Afin de n'avoir qu'un seul underfill, le choix a été fait de prendre celui couvrant la plage de 30 μm à 70 μm . Plus bas, le risque de manque d'underfill dans certaines parties est possible.

Effectivement, des défauts de remplissage de l'underfill ont été trouvés comme présentés sur la Figure 108:

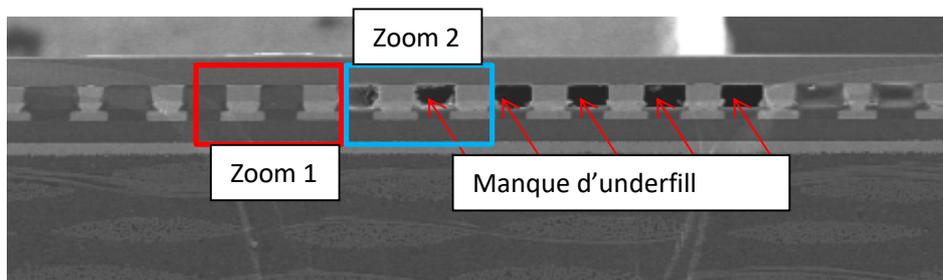


Figure 108 : Vue d'une puce où un manque d'underfill est présent.

Sur cette vue, il est possible de constater qu'il manque de l'underfill (zone noire indiquée par des flèches en comparaison du gris de l'underfill) autour des brasures qui ont cassé, c'est-à-dire les piliers de cuivre présents dans la zone centrale de la puce. Le manque d'underfill ne permet donc pas une répartition de la contrainte et donc seul le pilier de cuivre récupère l'effort. Les zooms présentés sur la Figure 109 et Figure 110 confirment bien le phénomène.

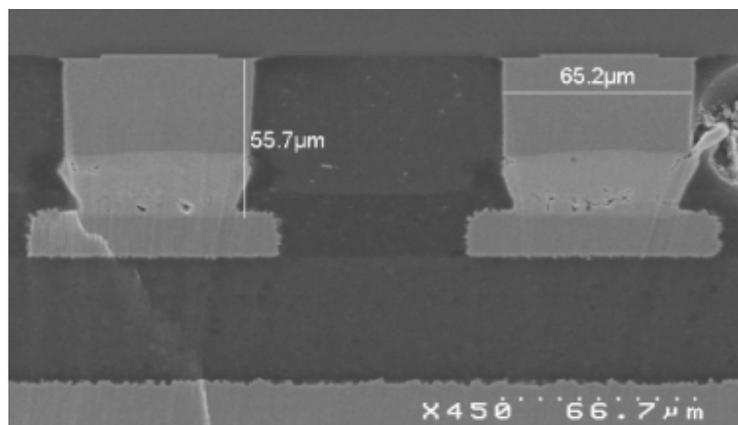


Figure 109 : Zoom 1 de piliers ne présentant pas de fissures.

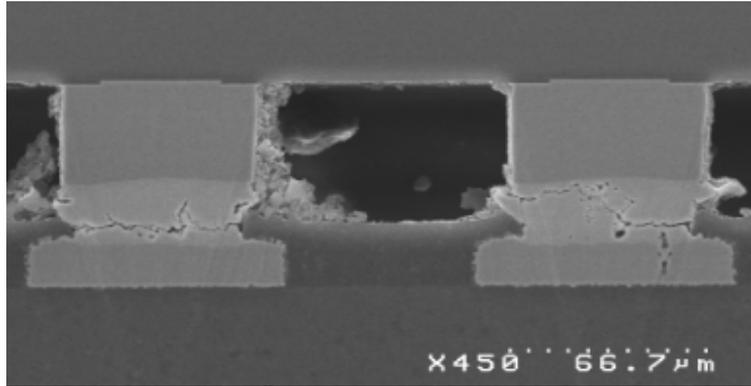


Figure 110 : Zoom 2 de piliers présentant des fissures.

Le troisième groupe rassemble les configurations 41501-50 et 41002. Pour ces deux configurations, l'augmentation du nombre de défauts apparaît progressivement. Concernant la configuration 41501-50, une des causes des défaillances de jeunesse est due au procédé d'assemblage. En effet des problèmes de pose du composant dû à la faible épaisseur de la puce (50 μm) sont à l'origine de ces défaillances. La seconde cause, comme observé sur la Figure 108, est au niveau de l'underfill. Sous certaines puces, l'underfill n'a pas migré totalement, voire pas du tout.

7.4. Analyses des microstructures et des faciès de ruptures

L'observation au microscope électronique à balayage d'échantillons en EBSD (Electron BackScatter Diffraction) permet de visualiser les phases micro-cristallines en présence avec leur taille, leur forme et leur orientation, ainsi que les éventuels défauts tels qu'une fissure. De plus, cette analyse peut être couplée à une analyse EDX.

L'étude s'intéresse aux interconnexions dans différents cas. Initialement, la configuration du pilier de cuivre avec la brasure avant assemblage sera regardé. Dans un second temps, le cas d'un assemblage après la refusion sera étudié. Cette configuration servira de référence. Le troisième cas représente un assemblage sans underfill qui a eu une défaillance à 80 cycles, et le dernier cas, un échantillon avec underfill après 2000 cycles thermiques. Enfin une seconde série d'analyses comporte deux échantillons ayant vu un maintien en température à 125 °C pendant 500 et 1000 heures.

Les informations obtenues sont le facteur de forme et les tailles de grains entre les différentes configurations. Les différentes mesures données dans la suite du document ont été obtenues en faisant la moyenne entre 2 micro sections analysées par EBSD. Les grains peuvent être de l'étain ou des composés intermétalliques. Le facteur de forme est calculé en prenant la plus grande diagonale divisée par la plus petite pour chaque grain.

7.4.1. Préparation des échantillons

Après avoir été assemblés selon le procédé défini précédemment, les échantillons ont supporté ou non des cycles thermiques. Ils ont été prélevés au nombre de cycles indiqué dans chacune des parties. L'échantillon est englobé dans une résine afin de rigidifier l'ensemble puis il subit une première découpe mécanique dans la zone choisie. Par la suite, afin d'avoir un état de surface bien adapté à une analyse EBSD,

la surface est préparée par une coupe en polissage ionique dite CSP pour « Cross Section Preparation » afin que l'échantillon soit parfaitement poli. Par la suite, l'échantillon reçoit un flash de carbone afin d'évacuer les charges qui viendront s'accumuler au cours de l'analyse. L'avantage principal du carbone est qu'il est transparent pour l'analyse mais assure une bonne conduction électrique et permet donc l'évacuation des charges.

7.4.2. Analyse avant assemblage du pilier de cuivre et de la brasure

Lors de cette analyse, l'intérêt principal est de déterminer la forme et les épaisseurs des intermétalliques en présence entre le nickel et la brasure avant l'assemblage. La couche de nickel se situe entre le cuivre et la brasure. On constate que sur ce pilier de cuivre n'ayant pas été encore assemblé, la brasure est sous forme de très gros grains d'étain qui font plusieurs dizaines de microns. Sur l'image de la Figure 111 est représentée l'orientation des grains.

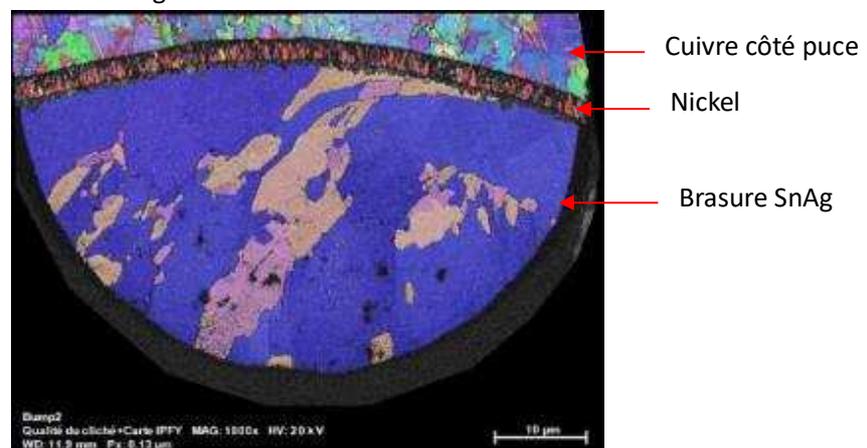


Figure 111 : Analyse EBSD d'un pilier de cuivre avant assemblage, orientation des grains.

Ces grains ne possèdent pas d'orientation particulière, ils sont entrelacés (bleu et orange/rose) et n'ont pas de forme allongée particulière, ce qui peut se traduire par le fait qu'il n'y a pas de concentration de contraintes dans cette configuration pré-assemblage.

Un zoom effectué au niveau de l'interface Cu/Sn est présenté sur Figure 112 :

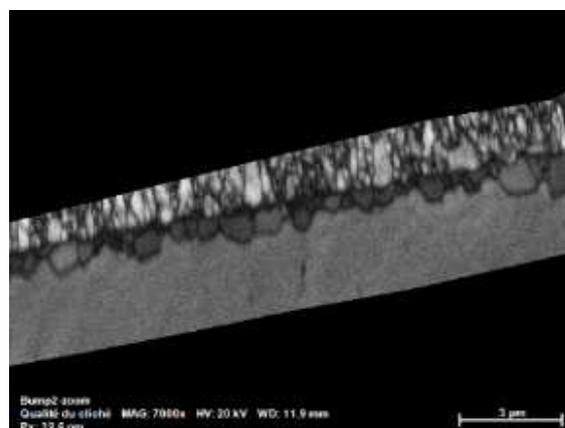


Figure 112 : Zoom à l'interface nickel-brasure du pilier de cuivre avant assemblage présent en Figure 111.

Les intermétalliques sont de forme ronde avec un facteur de forme (voir page 117 définition facteur de forme) proche de 1. L'épaisseur de la couche de Cu_6Sn_5 est de $0,7 \mu\text{m}$.

7.4.3. Analyses des phases en présence dans la brasure après assemblage

L'échantillon utilisé dans le présent cas est un échantillon n'ayant pas vu de cycles thermiques.

L'analyse EBSD montre qu'il y a quatre principaux composés différents dans la structure de l'interconnexion : Cu_6Sn_5 , Cu_3Sn , Ni_3Sn_4 et SnAg . Par ailleurs, à l'interface du côté de la puce, on peut observer la formation d'intermétalliques du type $(\text{Ni}_{1-x}, \text{Cu}_x)_6\text{Sn}_5$. Cela est confirmé grâce au couplage avec une analyse EDX. On peut aussi observer la présence de quelques précipités d'argent (violet) dans la brasure. Sur la partie inférieure de l'interconnexion, on observe la phase Cu_3Sn (bleu). La partie supérieure du pilier de cuivre contient du cuivre et du nickel. Ayant des groupes d'espaces rapprochés, l'EBSD ne les différencie pas, les deux ont donc la même couleur rouge sur cette Figure 113. En orange des deux côtés de la brasure, aux interfaces avec le cuivre et le nickel, l'intermétallique Cu_6Sn_5 est formé. De chaque côté de l'interconnexion, l'intermétallique a une forme très différente. Ceci peut s'expliquer par la présence de la couche de nickel du côté puce et de l'historique thermique différent supporté par les deux parties. Ainsi, la partie proche de la puce a subi une refusion supplémentaire en raison du processus de fabrication de l'interconnexion. Par ailleurs, il a été observé que dans le cas d'une brasure Sn-Cu, en présence d'une couche de Ni intermédiaire, le produit de la réaction est $(\text{Cu}, \text{Ni})_6\text{Sn}_5$ à l'interface [18]. Au lieu de cela, du côté du substrat, la phase Cu_6Sn_5 est formée à l'interface Cu-Sn. Puis dans une deuxième étape, la phase Cu_3Sn est créée à l'interface Cu_6Sn_5 -Cu. La température d'activation est différente pour ces deux phases, inférieure à $80 \text{ }^\circ\text{C}$ pour la formation de la phase Cu_6Sn_5 , et, au-delà de cette température, la croissance du Cu_3Sn accompagne celle de Cu_6Sn_5 . [19].

Sur la Figure 113 est présentée une vue de l'interconnexion :

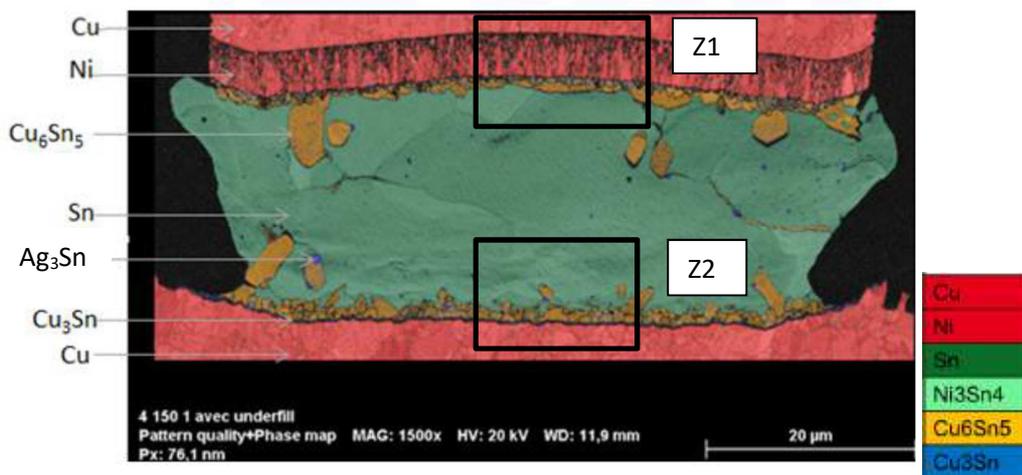


Figure 113 : Analyse EBSD présentation des différentes phases en présence.

Deux zooms sont décrits ci-dessous, correspondant respectivement à la zone 1 (Figure 114) et zone 2 (Figure 115). La zone 1 est du côté puce et la zone 2 du côté substrat.

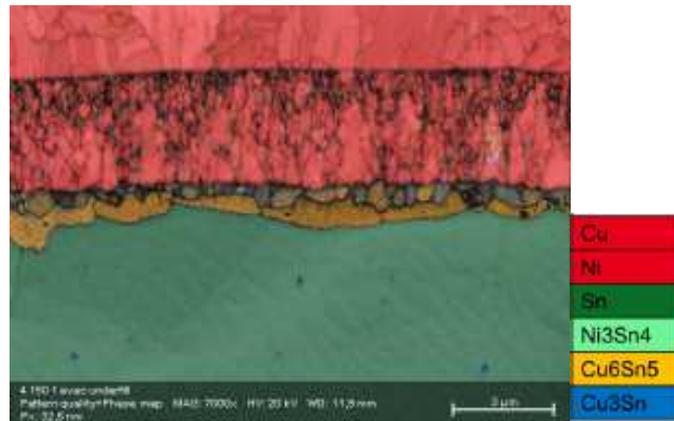


Figure 114 : Zoom de la Figure 113 sur la zone Z1.

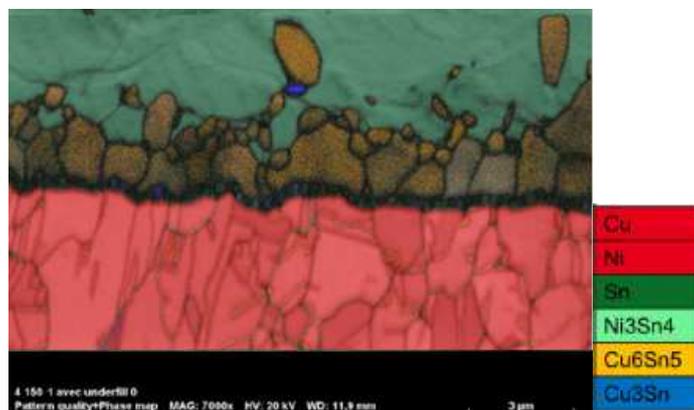


Figure 115 : Zoom de la Figure 113 sur la zone Z2.

7.4.4. Analyses de l'échantillon référence après refusion

L'échantillon utilisé dans le cas présent est un échantillon n'ayant pas subi de cycles thermiques avec uniquement les étapes de refusion lors de l'assemblage.

Lorsque l'effort sur l'interconnexion est moindre grâce à l'underfill, la brasure présente une structure uniforme avec des gros grains d'étain comme sur la Figure 116 où n'y a que deux gros grains dans la brasure. Les composés intermétalliques sont à l'interface avec le cuivre et le nickel et également en faible nombre au milieu des grains d'étain. Du côté de la puce, l'épaisseur de Cu_6Sn_5 est de $1,1 \mu\text{m}$ de forme allongée avec un facteur de forme de 4. De plus, des intermétalliques de $0,5 \mu\text{m}$ de Ni_3Sn_4 sont présents. Au niveau de l'interface avec le substrat (Cu/Sn), l'épaisseur du Cu_6Sn_5 est d'environ $1,65 \mu\text{m}$ avec un facteur de forme de 1,47. Les intermétalliques côté puce sont donc plus allongés qu'à l'interface avec le substrat. Cela est dû au fait que, dans le cas des intermétalliques côté substrat, la seule croissance qu'ils aient subie est pendant la refusion lors de l'assemblage, alors que dans l'autre cas ils ont supporté la refusion lors du procédé de fabrication des micro-piliers. De plus, du fait du plus grand nombre de passages à haute température côté puce, il serait logique de penser à une épaisseur d'intermétallique plus importante de ce côté. Toutefois, la présence de nickel limite la diffusion du cuivre et donc la formation des intermétalliques côté puce. Enfin

aucun phénomène de recristallisation n'a eu lieu au niveau des intermétalliques.

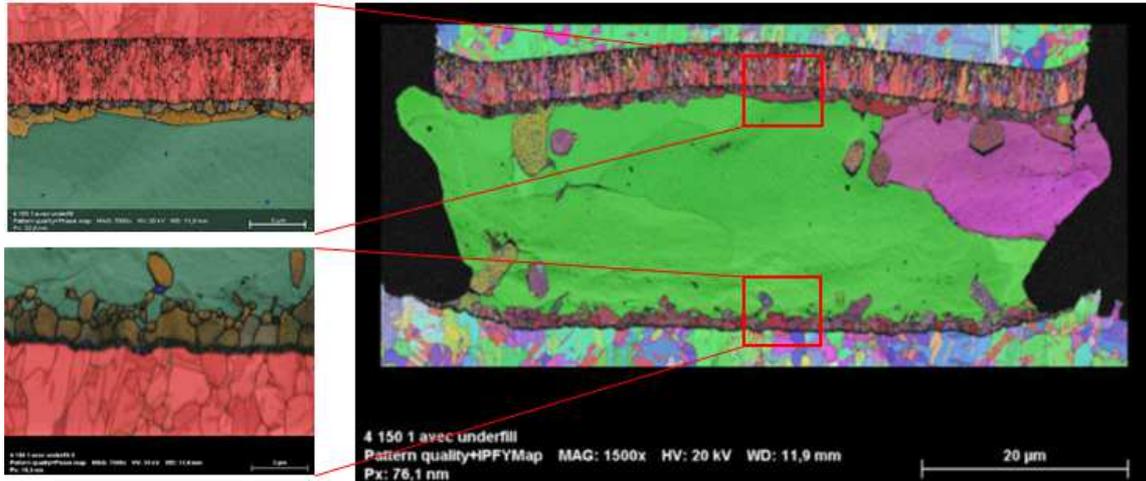


Figure 116 : Analyse EBSD orientation de grains de l'échantillon après refusion et phase présente aux niveaux des interfaces sur les deux grossissements.

7.4.5. Analyses des échantillons sans underfill

L'échantillon utilisé dans le cas présent est un échantillon ayant subi 100 cycles thermiques à -55 °C et +125 °C avec trois étapes de refusion et ne possédant pas d'underfill.

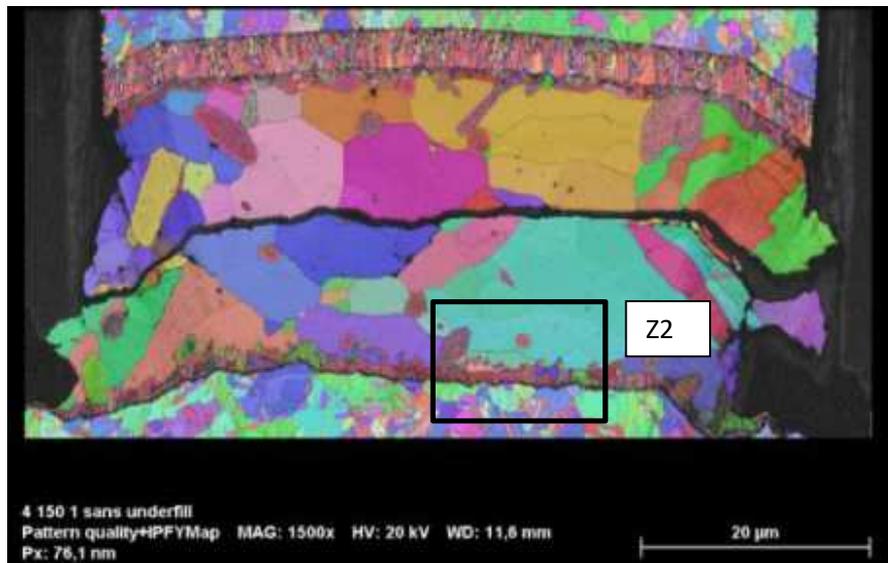


Figure 117 : Analyse EBSD orientation de grains de l'échantillon sans underfill.

Après seulement 100 cycles thermiques, le stress est déjà beaucoup plus important qu'avec la configuration underfill qui a passé 2000 cycles. La brasure présente de nombreux grains d'étain, d'environ 7 µm de diamètre. Sur la Figure 117, il est possible de compter jusqu'à 33 grains d'étain. Cet effet de recristallisation est clairement dû à la contrainte appliquée dans la structure puisque le phénomène n'est pas observé dans l'échantillon avec underfill, même après 2000 cycles. La propagation des fissures se fait au

milieu de la couche d'étain qui correspond à l'angle formé par la cavité du substrat. Dans ce cas, la ductilité de l'étain n'est pas suffisante pour absorber le stress sans se fissurer.

La taille des composés intermétalliques reste la même que dans le cas T0. L'épaisseur de l'intermétallique côté substrat est d'environ 1 μm avec un facteur de forme proche de 1,6 et de 1,7 côté puce. De la même façon, la forme des grains d'intermétalliques ne change pas. Cela peut s'expliquer par le court chargement thermique supporté par l'échantillon après seulement 100 cycles. Ainsi, dans ce cas, seul un effet de recristallisation dynamique due aux contraintes peut être constaté.

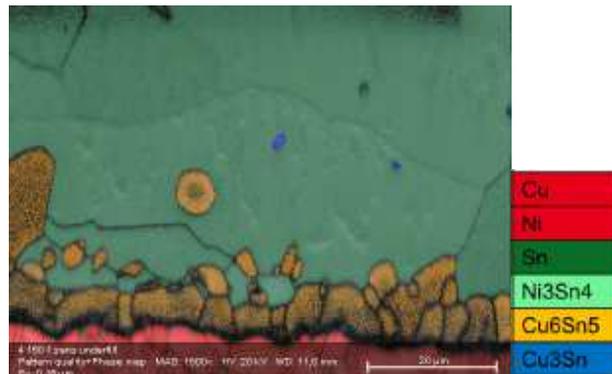
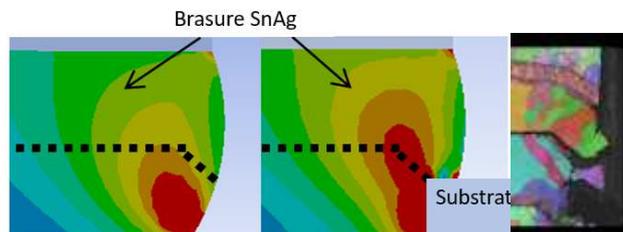


Figure 118 : Zoom sur la Figure 117 de la zone Z2.



..... Emplacement de la fissuration dans l'échantillon

Figure 119 : Calcul par éléments finis représentant les contraintes dans la brasure selon une configuration SMD ou NSMD.

Il est courant de voir des ruptures dans la région de l'interface cuivre / brasure pour les structures plus grandes. Ici, la fissure est à l'intérieur de la brasure, cette propagation centrale est corrélée aux simulations illustrées par la Figure 119. Deux configurations sont comparées dans ce cas, une avec une cavité sur le substrat et l'autre sans la cavité. Cette simulation correspond bien à l'observation. En effet, la contrainte est concentrée au centre de la brasure et commence au coin du de la couche supérieure du substrat. Même si les valeurs de contraintes dans la brasure restent similaires entre les deux configurations, on peut voir que la contrainte se déplace vers le centre de la bille de brasure.

7.4.6. Echantillons avec underfill après 2000 cycles sans palier de température

L'échantillon utilisé dans le cas présent est un échantillon ayant subi 2000 cycles thermiques entre -55 °C et +125 °C sans palier de température possédant un underfill.

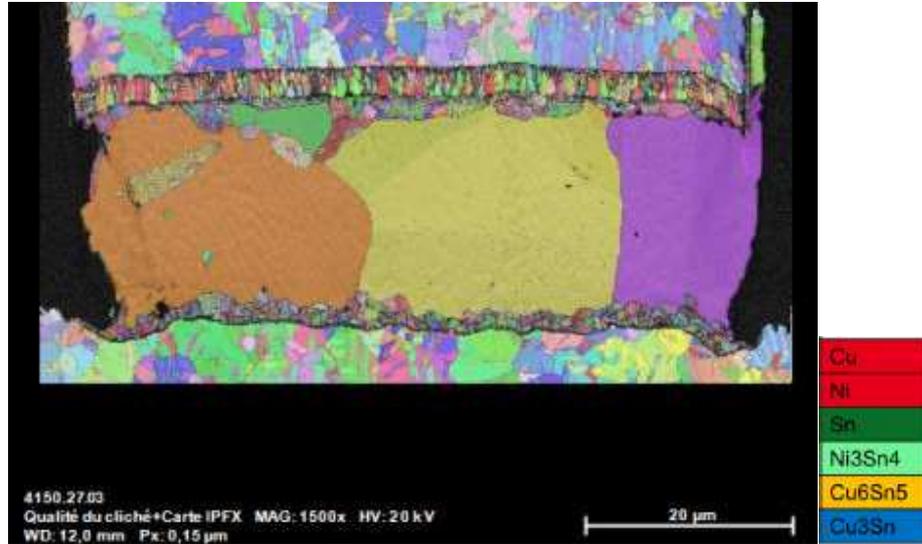


Figure 120 : Analyse EBSD sur échantillons de 2000 cycles, orientation des grains.



Figure 121 : Analyse EBSD sur échantillons de 2000 cycles, informations des phases du côté du substrat.

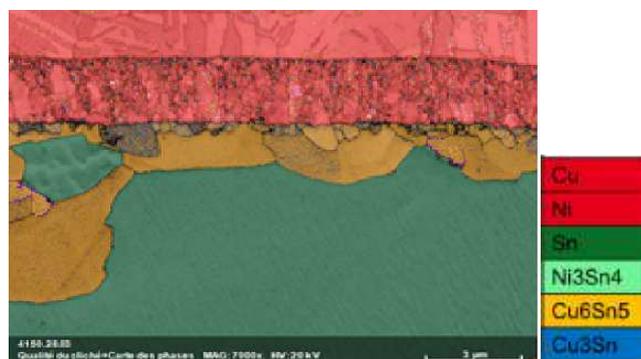


Figure 122 : Analyses EBSD sur échantillons de 2000 cycles, informations des phases du côté de la puce.

La taille des grains d'étain est d'environ 20 μm avec un facteur de forme proche de 1 (longueur vs hauteur), ce qui démontre une faible évolution de la microstructure, car peu de contraintes sont appliquées. Cette valeur est intermédiaire entre la configuration à T0 et le cas sans underfill. Lorsque des contraintes sont présentes (en raison de la différence entre le coefficient de dilatation thermique du substrat et du silicium) et avec un nombre important de cycles, l'interconnexion présente davantage de composés intermétalliques. Leurs tailles sont plus grandes du côté de la puce que dans le cas initial, et leur nombre est plus important du côté du substrat. L'épaisseur de la couche d'intermétallique est d'environ 2 μm pour chaque côté, avec un facteur de forme proche de 1,3 du côté du substrat et de 1,6 du côté de la puce. La forme des grains intermétalliques est plus ronde. Dans ce cas, 2 ou 3 couches de grains intermétalliques sont présentes.

Le cycle thermique ne présentant pas de palier, cela ne laisse pas le temps aux grains de grossir à haute température lors de la relaxation des contraintes. Les grains étant petits la croissance de nouveaux grains est observée au fil des cycles s'empilant sur plusieurs couches donnant une épaisseur plus importante qu'avant cycle thermique. Ce cycle sans palier montre l'intérêt de la dynamique dans la formation des intermétalliques de la brasure.

Le Cu_3Sn , initialement à 0,4 μm , est mesuré à 0,3 μm après 2000 cycles thermiques, puisque l'analyse a été faite à la résolution maximale de l'EBSA, ces valeurs se situent dans la marge d'erreur de la mesure. Pour le composé Cu_6Sn_5 , on constate une évolution de 1,65 μm à 2,08 μm , ce qui correspond à une croissance de 20% de l'épaisseur intermétallique après 2000 cycles thermiques. Cette observation est en bon accord avec les attentes étant donné que la température des cycles thermiques correspond à la croissance métastable de la phase Cu_6Sn_5 , dont l'énergie d'activation est plus faible que celle de la croissance de la phase Cu_3Sn .

La taille des composés intermétalliques est plus petite avec un diamètre moyen de grains inférieurs à 0,5 μm pour la phase Cu_3Sn et de moins de 2 μm pour la phase Cu_6Sn_5 .

7.4.7. Echantillons avec underfill après 3000 cycles avec des paliers de températures

L'échantillon utilisé dans le cas présent est un échantillon ayant subi 2000 cycles thermiques entre -55 $^\circ\text{C}$ et +125 $^\circ\text{C}$ avec des paliers de températures et possédant un underfill.

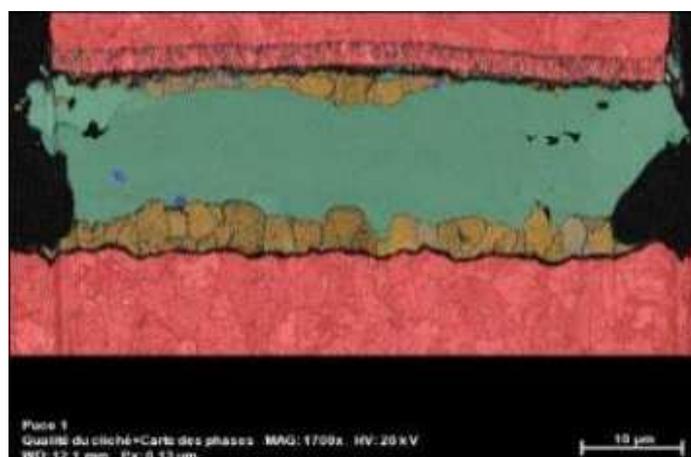


Figure 123 : Echantillon avec underfill après 3000 cycles.

Le premier constat est identique aux configurations avec underfill vues précédemment. Il y a un seul grain d'étain dans l'ensemble de la brasure.

La zone noire du côté de la couche de nickel ne représente pas une fissure mais est uniquement due à un manque de signal. L'intérêt se porte sur le côté substrat. Les intermétalliques Cu_6Sn_5 ont une épaisseur de $3,8 \mu\text{m}$ dans cette configuration. L'épaisseur de la couche est formée d'un gros grain de manière générale, contrairement à la configuration sans palier thermique qui était composée d'une succession de 3 grains. L'hypothèse serait que le temps de palier permet une meilleure croissance des intermétalliques et permettrait de relaxer les contraintes évitant l'effet de multiplication des grains vus dans la configuration sans palier, ou que les nouveaux grains formés soient absorbés par de plus gros augmentant donc la taille de l'intermétallique. Cette configuration est comparable au test de maintien en température, et montre l'importance du palier de température. Ainsi, il est possible de comparer l'évolution sous contraintes thermomécaniques sans paliers (petits grains ronds sur plusieurs couches), et une croissance comportant des paliers (grains plus gros, sur moins de couches et allongés).

Cela montre pleinement l'importance du cycle thermique, pour des paramètres identiques (température et vitesse de transition) avec uniquement des temps de palier différents, la microstructure de la brasure est totalement différente. Les passages prolongés à haute température permettent la croissance des grains d'intermétalliques.

7.4.8. Analyses des échantillons avec maintien en température 125 °C

Les deux échantillons présentés dans cette partie ont subi un maintien en température à 125 °C pendant 500 heures pour l'échantillon 1, et 1000 heures pour l'échantillon 2.

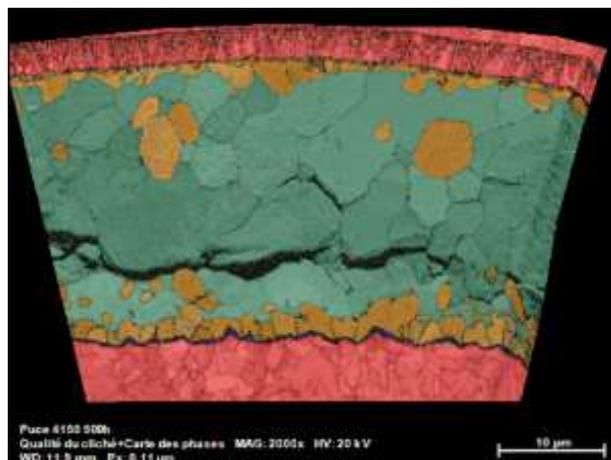


Figure 124 : Echantillon 1 500 h à 125 °C.

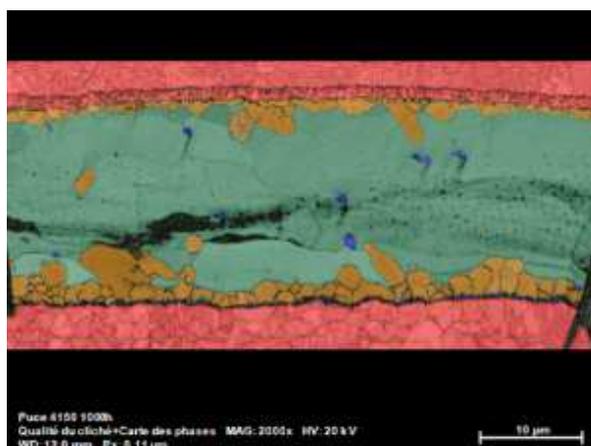


Figure 125 : Echantillon 2 à 100 h à 125°C.

Les valeurs des épaisseurs des intermétalliques dans les deux configurations sont les suivantes :

Côté	Type	Epaisseur à 500h (µm)	Epaisseur à 1000h (µm)	% variation
Puce	Cu ₆ Sn ₅	1,7	1,1	54
Substrat	Cu ₆ Sn ₅	1,9	2,34	19
Substrat	Cu ₃ Sn	0,48	0,50	4

Tableau 0.16 : Résultats des configurations en maintien en températures.

Concernant le Cu₃Sn, on ne constate pas une évolution marquée pour ce type d'intermétallique dans la configuration de maintien en température.

Pour le Cu₆Sn₅, il n'est pas possible de conclure de façon certaine, étant donné que les analyses sont faites sur deux échantillons différents. Toutefois, l'évolution des épaisseurs d'intermétalliques en fonction du temps passé à haute température (temps équivalent supérieur à 85 °C) pour les différentes configurations d'assemblage peut être représentée sur le graphique ci-dessous. Avec un premier point avant assemblage, après 100 cycles sans underfill, après 2000 cycles sans paliers, suivi de deux maintiens en température à 125 °C et enfin les 3000 cycles entre -55°C et + 125 °C avec paliers. Les évolutions des intermétalliques Cu₆Sn₅ côté puce et substrat sont représentées sur le graphique ci-dessous.

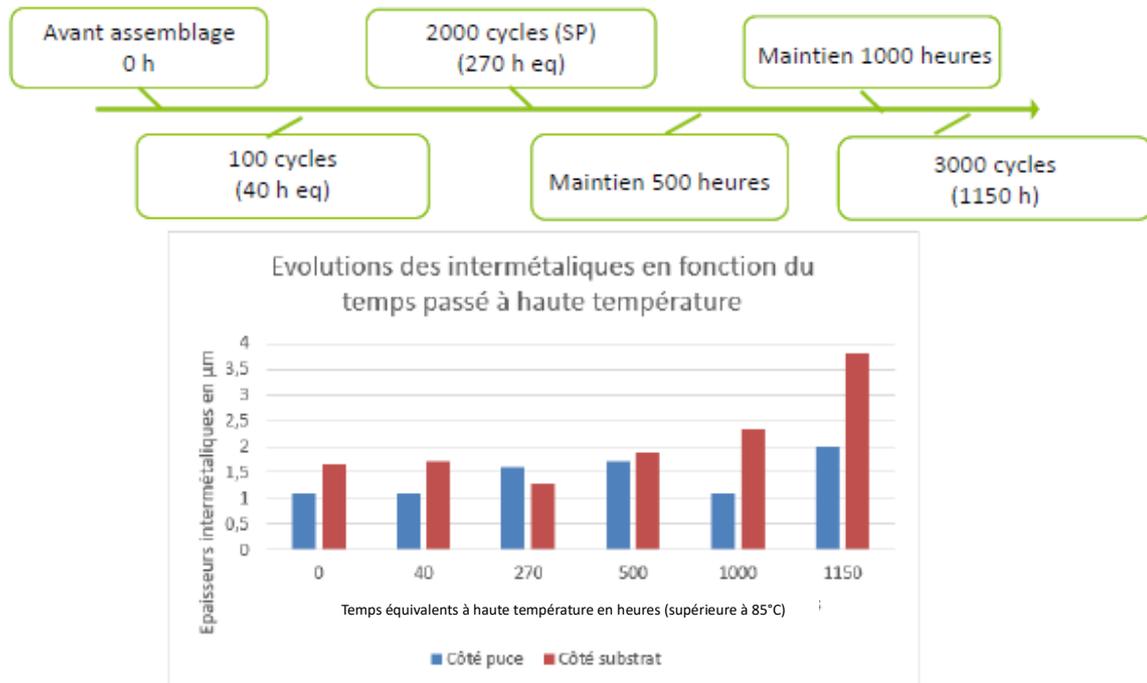


Figure 126 : Evolution des épaisseurs d'intermétalliques en fonction des temps à haute température

On peut voir que l'épaisseur de Cu_6Sn_5 côté substrat est double de celle avant cycle thermique après 1000 h de maintien à 125 °C. De plus, en comparaison des essais de 3000 cycles, il est possible de voir que l'épaisseur des intermétalliques est plus importante avec 3,8 µm. Ceci peut suggérer une croissance des intermétalliques en maintien en température mais également en dynamique par la dissipation d'une partie de la contrainte dans la croissance de grains.

7.5. Conclusion des analyses EBSD

La principale constatation tirée de l'étude EBSD concerne l'évolution de la structure de brasure sous contraintes thermiques. Avec l'échantillon comportant un underfill, même après 3000 cycles, le stress dans l'interconnexion reste à un niveau très bas comme confirmé dans la première partie de cette étude, de sorte que la morphologie de la brasure ne change pas de manière significative. Par ailleurs, il n'y a aucun signe d'initiation de fissure. Inversement, dans le cas d'un assemblage sans underfill, un changement important dans la brasure est observé avec un phénomène de recristallisation conduisant à la présence de petits grains d'étain. De plus, dans ce cas, une fissure peut être facilement observée dans le milieu de la brasure, ce qui est confirmé électriquement par la discontinuité de la daisy chain.

Enfin les tests en maintien à 125 °C ont donné une information sur la croissance des intermétalliques dans la brasure, en montrant qu'un rapport 2 est mesurable entre l'épaisseur à la formation de l'interconnexion et celle après le vieillissement thermique.

Le constat principal est le suivant : les assemblages sans underfill ne sont pas viables dans ces conditions de cycles thermiques. A l'inverse, les assemblages avec underfill ont plus de 3000 cycles en valeurs expérimentales, ce qui est en accord avec les besoins des produits. Il sera nécessaire de poursuivre ces essais afin de montrer le mode de défaillance des assemblages ayant de l'underfill.

7.6. Comparaison avec un composant de type WLP « Wafer-Level Packaging »

Dans ce paragraphe, sera abordée la question des différences entre un composant flip chip avec des interconnexions de 60 μm de diamètre, comme dans notre étude, et un composant WLP avec des billes de brasure de diamètre de 350 μm . Le composant WLP est issu de la thèse de Jean-Baptiste Libot [70]. Le choix d'un composant WLP a été fait car la configuration de l'assemblage comporte une brasure sans plomb en forme de bille assez comparable à celle de cette étude. Cet assemblage n'a pas d'underfill.

Ils ont subi des cycles thermiques identiques entre -55 $^{\circ}\text{C}$ et +125 $^{\circ}\text{C}$. L'objectif ici est de mettre en avant les différences dues au facteur de taille des deux assemblages. En effet, comme développé par la suite, les mécanismes de défaillances mis en jeu sont différents et il sera vu que la taille a un impact sur la microstructure de la brasure.

Forme des grains

Une coupe du joint présent dans la structure WLP est proposée sur la Figure 127 montrant la taille des grains dans la brasure. Cet échantillon a une continuité électrique donc il n'est pas arrivé à rupture.

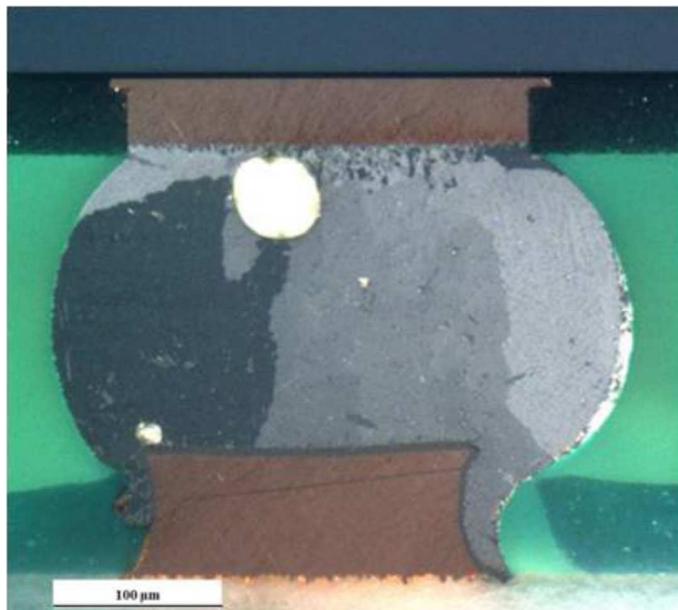


Figure 127 : Taille des grains d'étain sur le WLP [70].

La taille des grains dans la brasure est supérieure à 100 μm ce qui représente presque 2 fois le diamètre de la brasure utilisée dans le cadre de la thèse. Il y a un effet de recristallisation qui a commencé au niveau de l'interface supérieure. Dans le cas d'une brasure de 60 μm , la présence d'un seul grain aurait pu être imaginée. Néanmoins, la présence de 2 ou 3 grains avant de commencer les cycles est également constatée dans le cas de l'assemblage flip chip de l'étude. La taille de la brasure a un impact direct sur la taille des grains présents. L'hypothèse que la brasure est constituée d'un nombre équivalent de grains quelle que soit sa taille peut être émise, mais il faudrait plus de cas pour l'affirmer et pour en définir les limites.

Faciès de ruptures

Ce paragraphe sera consacré aux faciès de rupture présents dans cette configuration. La micro-section a été réalisée, cette fois-ci, sur un assemblage ayant eu une rupture de continuité électrique.

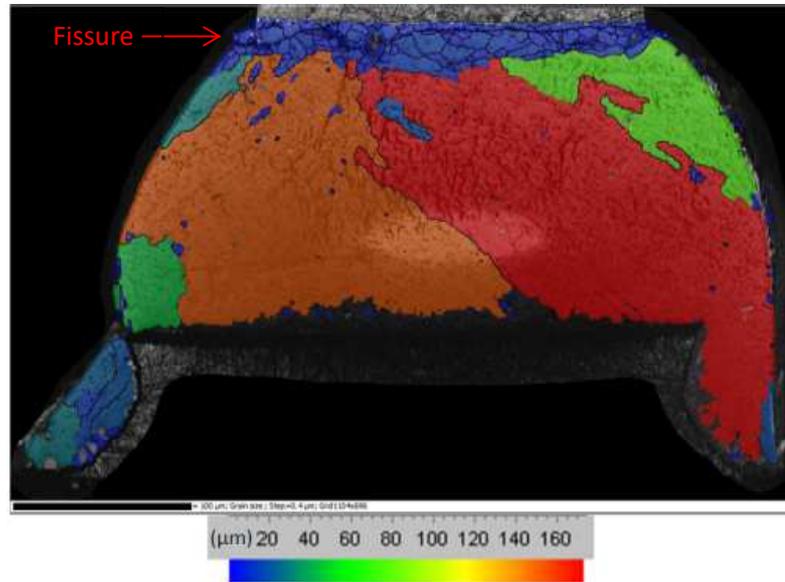


Figure 128 : Grain d'étain sur le WLP.

Lors de l'essai en cycles thermiques, les fissurations des différentes billes du WLP viennent à se produire du côté de la puce. Cela est logique car cette zone correspond à la section la plus petite de l'interconnexion. Rappelons que ce composant n'a pas d'underfill.

Dans le cas de l'assemblage par flip chip de notre étude, la propagation de la fissuration se fait de manière inter granulaire. En effet, les joints de grains étant quasiment inexistant après assemblage, l'évolution de la structure sous contrainte forme une multitude de grains permettant la propagation de la fissure au niveau des joints de grains d'étain. C'est donc tout le joint de brasure qui se recristallise et non uniquement la zone au niveau de l'interface comme dans le cas du WLP.

De plus, en prenant une taille de puce identique, et en sachant que les contraintes liées à l'effort appliqué sont dues à la différence de coefficient de dilatation thermique, la contrainte induite dans les piliers de cuivre est plus importante que dans le cas du WLP, à cause de leur diamètre plus faible. Cet effet de contrainte plus important a un impact sur la propagation de la fissure : elle viendra ouvrir l'interconnexion plus rapidement. Dans les deux cas, le système n'a pas le temps de s'organiser et de relaxer les contraintes.

Phase en présence dans l'étain

Le principal constat est la non présence de structures dendritiques dans les piliers de cuivre présentés dans le mémoire de thèse, comme illustré sur la Figure 129. Dans le cas de l'étude de cette thèse, l'impact géométrique des tailles de pilier de cuivre est donc un élément essentiel sur les différentes températures de refroidissement et donc de la microstructure de la brasure.

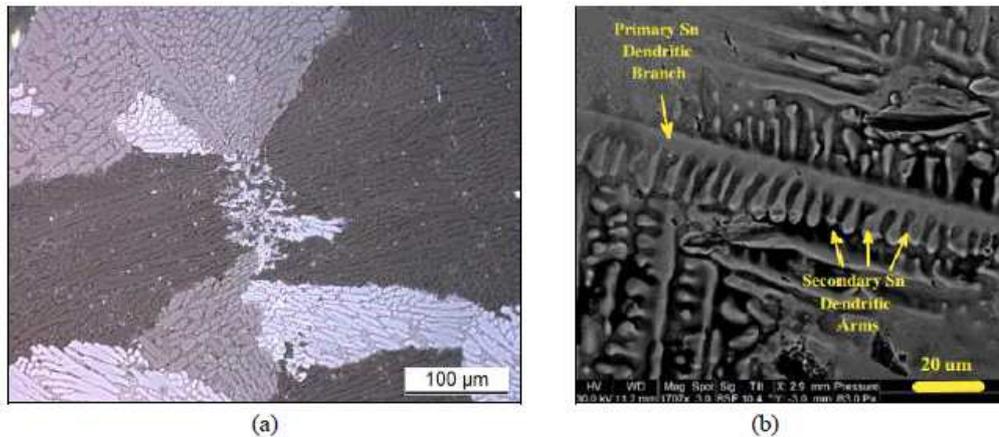


Figure 129 : Microstructure dendritique d'une bille de brasure SAC305. (a) [50]Vue générale en microscopie optique sous lumière (b) Cliché MEB des bras primaires et secondaires des dendrites d'étain [71].

Facteur temps

Cette étude sur les brasures sans plomb a permis de mettre en évidence un nouveau phénomène de recristallisation inédit dans les différentes études chez Safran. Il s'agit, dans le cas présent, d'une recristallisation du joint sans sollicitation en cycle thermique. En effet, un stockage à température ambiante a pu mettre en évidence ce phénomène. Deux configurations représentatives ont été sélectionnées. La première est un assemblage ayant reçu la procédure d'underfill immédiatement puis stocké à 20 °C pendant 1 an. La seconde est un assemblage sans underfill ayant été stocké 1 mois à 20 °C.

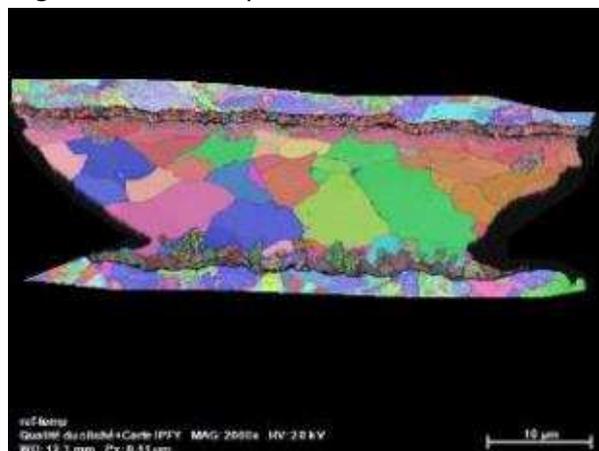


Figure 130 Assemblage sans underfill stocké à 20°C pendant 1 mois

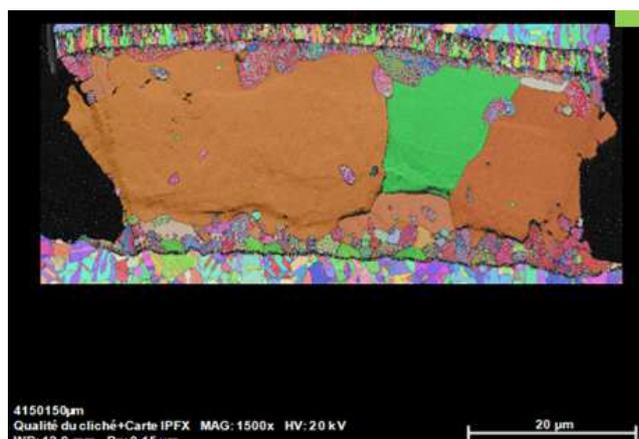


Figure 131 : Assemblage avec underfill stocké à 20 °C pendant 1 an

Sur la Figure 130, plus de 20 grains d'étain de 8 µm et d'un facteur de forme de 1 sont visibles après stockage. Un phénomène de recristallisation est donc présent dans cette configuration. Cela induit que la contrainte exercée par l'assemblage en lui-même est suffisant pour amorcer, à température ambiante, sur cette configuration, le phénomène de vieillissement de la brasure. La contrainte est amenée par la différence de température, entre l'assemblage et le stockage ambiant. Dans le second cas, après 1 an de stockage, il n'y a pas de recristallisation du joint grâce à la présence de l'underfill. Cela amène la problématique du temps entre les étapes d'assemblages et d'underfill. L'effort issu de l'assemblage en association avec le facteur temps de quelques semaines entraîne une évolution de la microstructure du joint. Il ne faut donc pas attendre pour appliquer l'underfill. Dans le cas contraire, le joint se retrouve prématurément vieillit. Ce phénomène n'a, jusqu'à présent, jamais été vu chez Safran pour des joints de plus grands volumes. Il représente un paramètre non négligeable pour de futurs dispositifs.

Pour conclure, la brasure d'un assemblage avec des piliers de cuivre de diamètres inférieurs à 100 µm est différente de celle présente sur des WLP de 400 µm. Que cela soit au départ par la forme des grains d'étain qui sont importants dans le cas du WLP, par leur composition dendritique ou encore leur mode de rupture qui se passe au niveau de l'interface de la puce et non au centre de la brasure du fait de la géométrie. Un point important est le temps entre l'assemblage et la mise en place de l'underfill. Dans le cas du pilier de cuivre, cela crée une recristallisation précoce de l'assemblage s'il ne vient pas être mis en place rapidement. Ceci aurait une conséquence très importante sur un produit fini, et aurait pour conséquence de le vieillir prématurément.

Comme démontré précédemment, les modes de rupture, le comportement de la brasure et son évolution métallurgique lui sont propres et sont différents des configurations de tailles plus importantes. Un second paramètre vient jouer un rôle important : l'underfill. Celui-ci, sur les BGA, n'est pas indispensable. C'est donc, pour les configurations par pilier de cuivre, un impact plus important de l'underfill sur les contraintes dans l'assemblage. Cela vient, en majeure partie, impacter la durée de vie de l'ensemble. Il est possible de comparer des phénomènes ayant des causes identiques. Or, ici, le facteur d'échelle et l'underfill sont des facteurs importants. C'est ce qui est mis en évidence.

8. Conclusion et perspectives

Les problématiques de miniaturisation de l'électronique dans le domaine de l'aéronautique sont réelles et les moyens d'y arriver sont multiples. De plus, les normes ROHS poussent les industriels à se tourner vers de nouvelles solutions. Le pilier de cuivre est une solution retenue en tant qu'interconnexion verticale pour répondre en partie à ces problématiques. Il est utilisé depuis de nombreuses années dans diverses applications comme les produits grand public en particulier. Toutefois, pour des environnements sévères, des études spécifiques sont nécessaires pour valider cette technologie. Le constat est qu'à l'heure actuelle, aucune étude n'est disponible pour déterminer les paramètres les plus importants concernant les règles de conception et de procédés pour parvenir à des assemblages répondant aux critères de fiabilité demandés. C'est dans cette optique que cette étude a été conduite.

Dans le premier chapitre, les principales technologies permettant de réaliser des assemblages de type « System In Package » ont été introduites. Ont été aussi abordés les moyens de mises en œuvre d'assemblages tels que la soudure collective, les interconnexions elles-mêmes en pilier de cuivre ou encore les finitions de type OSP et les moyens de protection tels que le capillary underfill. Cette partie a permis de clarifier chacun des termes et de justifier vis-à-vis d'autres techniques leur pertinence pour l'étude.

La métallurgie des interconnexions de type pilier de cuivre-étain est connue et de nombreuses études ont été faites depuis plusieurs dizaines d'années afin de montrer les différentes évolutions des intermétalliques qui la compose. Pour autant, suivant le type d'assemblage et les géométries considérées, des comportements particuliers peuvent exister et ont un impact sur la fiabilité. Le travail de cette thèse vise ainsi à caractériser précisément ces comportements dans des configurations déterminées. Il s'agit en l'occurrence d'assemblages sur un substrat organique haute densité.

Afin de répondre à ces problématiques, des véhicules de tests ont été conçus et fabriqués par le biais de partenaires et ont été soumis à des tests en cycles thermiques afin d'emmagasiner des informations sur la fiabilité, ainsi que d'obtenir des données sur les paramètres de conception et de procédés les plus influents. Ces structures sont innovantes par les choix de paramètres mis en place dans sa conception. Des assemblages de puces silicium en flip chip d'épaisseur de 50 μm restent rare avec une amplitude de pas d'interconnexion allant de 100 à 250 μm . Il s'agit là d'un des premiers travaux permettant d'aborder l'ensemble des paramètres sur une même étude. La mise en œuvre de ces structures a été démontré et a permis l'obtention d'une preuve de concept améliorant la maturité de la technologie chez Safran sur des structures non traitées jusqu'à présent.

Ainsi, il a été possible de caractériser plus précisément le comportement d'un pilier de cuivre lors des cycles thermiques pour différentes configurations.

Les essais en cycles thermiques entre -55 °C et +125 °C ont été effectués sur différentes configurations d'assemblages. Le constat est le suivant : **sans underfill**, le nombre de cycles tenu est inférieur à 100 cycles pour les puces de 4 mm au pas de 150 μm , 100% des puces sans underfill n'ayant plus aucune continuité électrique. Les ruptures ont lieu sur l'ensemble des interconnexions y compris les angles et les côtés. D'autres tests réalisés en amont montrent la tenue de l'assemblage avec underfill sur des puces de 4 mm

après 6000 cycles. Cette pré-série ne présente pas de défaillances particulières à ce stade.

Enfin, 80% des puces ayant un underfill ont encore une continuité électrique après 3000 cycles et les valeurs de résistance de chaîne n'ont pas bougé.

Ces résultats en cycles thermiques permettent de mettre en évidence l'importance de l'underfill. Sans ce maintien mécanique, les tenues à plusieurs milliers de cycles [-55 °C/125 °C] ne sont pas envisageables.

Des analyses EBSD ont été réalisées sur les piliers de cuivre-étain assemblés et ont permis de mettre en évidence l'évolution des intermétalliques au cours des différentes conditions thermiques. L'analyse de l'EBSD a montré qu'il existe quatre types de composés métalliques Cu_6Sn_5 , Cu_3Sn , Ni_3Sn_4 et SnAg dans la structure de l'interconnexion. La microstructure du joint au départ est différente de celle vue traditionnellement dans les BGA qui ont des billes de 200 à 600 μm . En effet, concernant le pilier en cuivre, le joint de brasure faisant 25 μm d'épaisseur, celui-ci peut être considéré comme une interface en elle-même avec des intermétalliques sur 3 μm de chaque côté, et un gros grain d'étain en son centre, susceptible de subir un phénomène de recristallisation suivant son état de contrainte. C'est ce qui a été observé lors des cycles thermiques des assemblages sans underfill. Une recristallisation est présente dans l'étain et non aux interfaces comme il est souvent constaté sur les BGA. À l'inverse, pour un assemblage avec underfill ayant subi 2000 cycles sans paliers thermiques, aucune recristallisation n'est constatée dans l'étain. Cependant, une évolution des intermétalliques Cu_6Sn_5 est visible, aussi bien en épaisseur qu'en forme. Les intermétalliques ont, dans ce cas, une taille faible formant plusieurs rangées, contrairement au cas avec paliers, où les intermétalliques sont sur une seule rangée mais ont une épaisseur plus importante. Ainsi, il est possible de comparer l'évolution sous contraintes thermomécaniques sans paliers (petits grains ronds sur plusieurs couches), et une croissance comportant des paliers (grains plus gros, sur moins de couches et allongés).

Ces travaux durant le doctorat, ont soulevé des voies d'approfondissement et des questions. Tout d'abord concernant l'assemblage, il faudra essayer à nouveau d'assembler avec la technique de thermocompression avec un placeur de composant plus adapté à la taille des puces présentes dans cette étude. Enfin, les puces de 8 mm, sur lesquelles des difficultés ont été rencontrées à cause d'un paramètre d'ouverture d'interconnexions trop juste, mériterait un second essai.

Cependant, d'autres questions sont soulevées. L'étude s'est intéressée aux contraintes thermomécaniques. D'autres essais seraient intéressants à regarder comme le comportement de l'assemblage en milieu vibratoire, ou encore l'aspect dissipation de chaleur avec des composants actifs. En effet, il s'agit d'une première étude sur des composants daisy chain ; il faudrait, ainsi, dans un second temps, tester la validité de cette brique technologique ici même validée sur un composant réel.

Enfin, s'il y avait un seul point à retenir et à développer, il s'agirait des problématiques liées au facteur d'échelle du joint. Ce phénomène de recristallisation en cycles thermiques ou en stockage est une situation nouvelle et il constitue un premier point sur la courbe. Il faudrait regarder ce phénomène sur différentes structures et différents cycles thermiques. A présent, il faudrait regarder le comportement de la brasure pour différentes températures de stockage et pour différentes tailles de pilier afin de comprendre plus précisément ces phénomènes observés pour la première fois dans les différentes études portées par Safran sur les brasures sans plomb.

Bibliographie

- [1] G. E. Moore, *Cramming More Components Onto Integrated Circuits*, apr 1965.
- [2] w. [. http://en.wikipedia.org/wiki/Moore's_law. [En ligne].
- [3] P. Antonis, S. Dimitris et R. Riko, *three dimensional system integration*, springer.
- [4] Huard, IRPS 2015.
- [5] E. T. Pete Bennett, *The why, where and what of low-power SoC design*, December 2, 2004..
- [6] E. Times., *The Great Debate: SOC vs. SIP.*", March 21, 2005. Retrieved July 28, 2015..
- [7] I. Baunmann, *System in package (sip) an alternative to system on chip (soc)*, Grenoble: Infineon, May30th 2006.
- [8] I. Bolsens, *2.5D ICs: Just a Stepping Stone or a Long Term Alternative to 3D*, Xilinx, 2011.
- [9] V. S. Tim Mobley, *Through glass via (TGV) Solution for wafer and chip level interposers and rf integration methods for high frequency applications*, AGC nmode solutions.
- [10] M. Rousseau, *Impact des technologies d'intégration 3D sur les performances des composants CMOS*, Toulouse: Université Toulouse III - Paul Sabatier, PhD 2009..
- [11] O. Guiller, *Intégration de capacités verticales débouchantes ausein d'un interposeur silicium*, Grenoble, 2 avril 2015.
- [12] J. Ouyang, G. Sun, Y. Chen, L. Duan, T. Zhang, Y. Xie et M. Irwin, *Arithmetic unit design using 180nm TSV-based 3D stacking technology*, IEEE International 3D system integration, 2009.
- [13] B. Black, M. Annavaram, N. Brekelbaum, J. DeVale, L. Jiang, G. Loh, D. McCauley, P. Morrow, D. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. Shen et C. Webb, *Die stacking 3D microarchitecture*, In: MICRO, pp 469–479, 2006.
- [14] B. Dompierre, *Fiabilité mécanique des assemblages électroniques utilisant des alliages du type SnAgCu*, memoire de these, ecole centrale de Lille,, 2011.
- [15] G. BLACKWELL, *Handbook, - The electronic packaging*.
- [16] W. Engelmaier, Chap. 17: Solder Attachment Reliability, Accelerated Testing, and , and Result Evaluation" in Solder Joint Reliability -, Theory and Applications, edited by Lau, J. H., Van Nostrand Reinhold, New York, 1991, pp. 545-587..
- [17] B. J. LaMeres, *Impedance Matching Techniques for VLSI Packaging*, Agilent technologies.

- [18] T. Wang et al, *Studies on A Novel Flip-Chip Interconnect Structure - Pillar Bump*, Proceeding of Electronic Components and Technology Conference, pp. 945-949, (2001), 2001.
- [19] J. Yannou, *Benefits and perspectives of Cu-pillar bumping*, Yole development, 2011.
- [20] Xu, Luhua & Liang, S.W. & Xu, Di & Han, Jung-Kyu &, (2009). *Electromigration Failure with Thermal Gradient Effect in SnAgCu Solder Joints with Various UBM. 909 - 913. 10.1109/ECTC.2009.5074121..*
- [21] Laurie S. Roth and Vince McTaggart, *Stud bump bonding*, Advanced Packaging, February 2005.
- [22] M. Lee, MinYoo, JiheeCho, S. Lee, J. Kim et C. Lee., *Study of interconnection Process for fine pitch flip chip*, .Amkor technology KoreaInc. 209? 723 electronic component and technology conference.
- [23] P. Ainsworth, *The formation and properties of soft soldered joints*, Metals and Mat., 5 374-379, 1971.
- [24] CIMULEC GROUP, *Les finitions pour les circuits imprimés*, 2013.
- [25] «<http://www.cimulecgroup.com/fr/nos-solutions/les-finitions.php>,» [En ligne].
- [26] F. Song, *Investigation of IMC thickness effect on lead free solder ball attachment strenght*, ECTC 2006, p1996-2003.
- [27] M. Huang, O. G. Yeow, C. Y. Poo et T. Jiang, *A study on copper pillar interconnect in Flip-Chip-On-Module Packaging*, 2007 9th electronics packaging technology conference, singapour, pp.
- [28] P. Totta, «[http://flipchips.com/tutorial/other/a-brief-history-of-flipped-chips/P. Totta, IBM, personal communication \(2001\)](http://flipchips.com/tutorial/other/a-brief-history-of-flipped-chips/P.Totta,IBM,personalcommunication(2001)),» IBM, personal communication, 2001. [En ligne].
- [29] K. Au, F. Che, J.-K. Lin, H.-Y. Hsiao, X. Zhang, S. Lim, J. L. Aw et A. Chow, *Thermal Compression Bonding of 30µm Pitch Cu Pillar Microbump*, Institute of Microelectronics, A*STAR (Agency for Science, Technology and Research) IEEE, 2016.
- [30] *Corner bond dispensing for BGAs*, SMT Engineering solution for pcb manufacturing, septembre 2007.
- [31] <http://www.metallurgy.nist.gov>. [En ligne].
- [32] O. Fouassier, *Brasure composite sans plomb, de la composition à la caractérisation*, Université de Bordeaux 1, 2001.
- [33] K.W. Moon, *Experimental and Thermodynamic Assessment of Sn-Ag-Cu Solder alloys*, Journal of Electronic materials 29, 1122-1236, 2000.
- [34] C. Schmetterer et al, *Cu-Ni-Sn: A key system for lead free soldering*, Journal of electronic materials vol 38, 2009.

- [35] K. N. Tu, *Interdiffusion and reaction in bimetallic Cu-Sn thin films*, Acta Metallurgica Vol. 21, pp. 347-354, 1973.
- [36] K. N. Tu et R. D. Thompson, *Kinetics of interfacial reaction in bimetallic Cu-Sn thin*, Acta Metallurgica, Vol. 30, pp. 947-952, 1982.
- [37] K.N. Tu, *Cu/Sn interfacial reactions: thin-film case versus bulk case*, Vol.46, pp. 217-223, 1996.
- [38] R. C. a. M. Ohring, *low temperature compound formation in Cu/Sn thin*, Thin Solid Films, Vol. 94, pp. 279-288, (1982).
- [39] R. Halimi, *Cinétique De Formation De Composants Intermétalliques dans les couches minces de Cu/Sn*, Thin Solid Films, Vol. 148 pp. 109-119, 1987.
- [40] W. M. Tang et al, *Solid state interfacial reactions in electrodeposited Cu/Sn couples*, Transactions of nonferrous metals society of China, Vol. 20, pp. 90-96, 2010.
- [41] M. Onishi et H. Fujibuchi, *Reaction diffusion in the Cu - Sn system*, The Japan Institute of Metals, Vol, 16, pp. 539-548,, 1975.
- [42] P T Vianco et al, *Solid State Intermetallic Compound Growth Between Copper and High Temperature*, Tin-Rich Solders Part I: Experimental Analysis", Journal of Electronic, 1994.
- [43] Laurila et al, *Interfacial reactions between lead-free solders and common base materials*, Materials Science and Engineering Reports Vol. 49, pp. 1-60, 2005.
- [44] G. R, *Nucleation Kinetics of Cu₆Sn₅ by Reaction of Molten Tin with a Copper Substrate*, Journal of Electronic Materials, Vol. 31, pp. 1195-1202, 2002.
- [45] R. A. Gagliano and M. E. Fine, *Thickening Kinetics of Interfacial Cu₆Sn₅ and Cu₃Sn Layers during Reaction of Liquid Tin with Solid Copper*, Journal of Electronic Materials, Vol. 32,, 2003.
- [46] L.H. Su et al, *Interfacial Reactions in Molten Sn/Cu and Molten In/Cu Couples*, Metallurgical And Materials Transactions B, Vol. 28, pp. 927-934, , 1997.
- [47] H. J, *Intermetallic Compound Growth in Tin and Tin-Lead Platings over Nickel and Its Effects on Solderability*, Welding Research Supplement, pp. 102-111, 1989.
- [48] S. Bader et al, *Rapid formation of intermetallic compounds by interdiffusion in the Cu- Sn and Ni-Sn systems*, Acta Metallurgica et Materialia, Vol. 43, pp. 329-337, , 1995.
- [49] D. Gur and M. Bamberger, *Reactive isothermal solidification in the Ni-Sn system*, Acta Materialia, Vol. 46, pp. 4917-4923, 1998.
- [50] M. Mueller et al, *Effect of Composition and Cooling Rate on the Microstructure of SnAgCu-Solder Joints*, proceeding of Electronic Components and Technology Conference pp. 1579-1588,, 2007.

- [51] Y. S. Park et al, *Effects of Fine Size Lead-Free Solder Ball on the Interfacial Reactions and Joint Reliability*, IEEE, Electronic Components and Technology Conference pp.1437-1441, 2010.
- [52] K. Kim, *Effects of cooling speed on microstructure and tensile properties of Sn-Ag-Cu alloys*, Materials Science and Engineering A333, 106-114, 2002.
- [53] I. E. Anderson, *Development of Sn–Ag–Cu and Sn–Ag–Cu–X alloys for Pb-free electronic solder applications*, J Mater Sci: Mater Electron, 55-76, 2007.
- [54] Y. Kariya et al, *Effect of Silver Content on the Shear Fatigue Properties of Sn-Ag-Cu Flip-Chip Interconnects*, Journal of Electronic Materials, Vol. 33, pp. 321-328, 2004.
- [55] D. A. Shnawah et al, *A review on thermal cycling and drop impact reliability of SAC solder joint in portable electronic products*, Microelectronics Reliability, Vol. 52, pp. 90-99, 2012.
- [56] M. A. Matin, W. P. Vellinga et M. G. D. Geers, *Thermomechanical fatigue damage evolution in SAC solder joint*, Material Science and Engineering A445-446, 73-85, 2007.
- [57] Y. C. Cahn, *Growth kinetic studies of Cu–Sn intermetallic compound and its effect on shear strength of LCCC SMT solder joints*, Materials Science and Engineering B55, pp. 5-13, 1998.
- [58] W. K. Choi et H. M. Lee, *Effect of Soldering and Aging Time on Interfacial Microstructure and Growth of Intermetallic Compounds between Sn-3.5Ag Solder Alloy and Cu Substrate*, Journal of Electronic Materials, Vol. 29, pp. 1207-1213, 2000.
- [59] M. Abtew et G. Selvaduray, *Lead-free solders in microelectronics*, Materials Science and Engineering, Vol.27, pp.95-141, 2000.
- [60] M. Park et R. Arroyave, *Multiphase Field Simulations of Intermetallic Compound Growth During Lead-Free Soldering*, Journal of Electronic Materials, Vol. 38, pp. 2525-2533, 2009.
- [61] Z. Ludi, *Etude de fiabilité des modules d'électronique de puissance à base de composant SiC pour applications hautes températures.*, Electronique. Université Sciences et Technologies - Bordeaux I, 2012. Français. <tel-00988235>.
- [62] J. Bufferne, *La fiabilité des équipements industriels*.
- [63] F. Loubeau, *Analyse des phénomènes de vieillissement des matériaux d'isolation électrique de machines de traction électrique*, 2016.
- [64] JEDEC solid state technology association, *Temperature cycling JESD22-A104E*, 2009.
- [65] J. Sjoberg, A. David, D. D. S. Geiger et T. Castello, *lead-free solder flip chip on fr-4 substrates with different surface finishes, underfills and flues*, Sweden and San Jose: FLEXTRONICS.

- [66] V.K., Nagesh, R, S. R. B. Peddada, A. . Sur et Tai, *Challenges of Flip Chip on Organic Substrate Assembly Technology*, Intel Corporation, IEEE, 1999.
- [67] «Thermal Cycling Effects on Eutectic Flip-Chip Die on Organic Packages,» systems, packaging 2000 international conference on high-density interconnect . [En ligne].
- [68] K. Toriyama, Y. Takeoka, K. Okamoto, H. Noma et Y. Orr, *Joint reliability study of solder capped metal pillar bump interconnections on an organic substrate*, IBM Japan, IBM Research IEEE, 2012.
- [69] M. Tsai, A. Lan, Y. H. Yao, M. Y. Wu, C. K. Chang, R. Lo et E. Chen, *Alternative Fine Pitch Solution of Low Cost and High Throughput Thermal Compression*, Taiwan: Siliconware Precision Industries Co. Ltd. IEEE, 2015.
- [70] J.-B. Libot, *Méthodologie d'évaluation de la durée de vie des assemblages électroniques sans plomb en environnements thermique et vibratoire*.
- [71] G. Cuddalorepatta, M. Williams et A. Dasgupta, *Viscoplastic Creep Response and Microstructure of As-Fabricated Microscale Sn-3.0Ag-0.5Cu Solder Interconnects*, Journal of Electronic Materials, Vol. 39, No. 10, pp. 2292-2309, 2010.
- [72] Z. E. Johnson, *A Compilation of Anand Parameters for Selected SnPb and Pb-free Solder Alloys*, 7 May 2012.
- [73] R. Darveaux, *Effect of Simulation Methodology on Solder Joint Crack Growth Correlation*, 50th Electronic Components and Technology Conference, 2000.
- [74] M. Mueller, S. Wiese, M. Roellig et K.-J. Wolter, *Effect of Composition and Cooling Rate on the Microstructure of SnAgCu-Solder Joints*, Electronic Components and Technology Conference Proceedings, pp. 1579-1588, 2007.
- [75] Y.-E. Shin et al, «Prediction of Thermal Fatigue Life of Lead-Free BGA Solder Joints by Finite Element Analysis,» *Materials Transactions*, pp. Volume 42, Issue 5 p. 809-813, 2001.
- [76] Z. Johnson, *Implementation of and Extensions to Darveaux's Approach to Finite Element Simulation of BGA Solder Joint Reliability*, In: Proceedings of Electronic Components & Technology Conference, 49th IEEE, 1999.
- [77] B. Bahareh, M. Ilyas et P. Savalia, *Reliability of Fine-Pitch Flip-Chip Packages*, San Diego: 59th Electronic components and technology conference, 2009.
- [78] R. Darveaux, *Effect of simulation methodology on solder joint crack growth correlation*, Las Vegas: Proceedings, 50th electronic components and technology conference, 2000.