



**HAL**  
open science

# Etudes électrothermiques de dispositifs électroniques innovants pour les technologies submicroniques

Renan Lethiecq

► **To cite this version:**

Renan Lethiecq. Etudes électrothermiques de dispositifs électroniques innovants pour les technologies submicroniques. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes [2020-..], 2020. Français. NNT : 2020GRALT029 . tel-03097350

**HAL Id: tel-03097350**

**<https://theses.hal.science/tel-03097350>**

Submitted on 5 Jan 2021

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

### **DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES**

Spécialité : **Nano Électronique et Nano Technologies**

Arrêté ministériel : 25 mai 2016

Présentée par

**Renan LETHIECQ**

Thèse dirigée par **Philippe GALY**  
et codirigée par **Maryline BAWEDIN**.

Préparée au sein du **Laboratoire IMEP-LAHC, Grenoble et  
STMicroelectronics, Crolles,**  
dans **l'École Doctorale Électronique, Électrotechnique,  
Automatique et Traitement du Signal (EEATS).**

## **Études électrothermiques de dispositifs électroniques innovants pour les technologies submicroniques**

Thèse soutenue publiquement le **16 Septembre 2020**, devant le jury composé de :

**Monsieur Dominique PLANSON**

Professeur, Laboratoire Ampère Université de Lyon. Président du jury

**Monsieur Florin UDREA**

Professeur, Laboratoire CATE Université de Cambridge. Rapporteur

**Monsieur Francis CALMON**

Professeur, Laboratoire INL CNRS Université de Lyon. Rapporteur

**Madame Nathalie LABAT**

Professeure, Laboratoire IMS Université de Bordeaux. Examinatrice

**Monsieur Philippe GALY**

Directeur HDR, STMicroelectronics et Laboratoire 3IT Université de Sherbrooke. Directeur de thèse

**Madame Maryline BAWEDIN**

Maître de conférences, Laboratoire IMEP-LAHC Université Grenoble Alpes. Co-encadrante de thèse.



*Études électrothermiques de dispositifs électroniques innovants pour les technologies submicroniques*

---

# REMERCIEMENTS

---

Avant de présenter mes travaux, je souhaite remercier l'ensemble des personnes qui m'ont conseillé, aidé et soutenu au cours de cette thèse.

Je remercie tout d'abord mon directeur de thèse, Philippe GALY, qui m'a proposé ce sujet passionnant et qui m'a accompagné tout au long de ces trois années au sein de STMicroelectronics. En particulier, je le remercie pour toutes nos discussions scientifiques à la fois sur mon sujet et plus largement sur les innovations scientifiques en général. Il m'a également encouragé à déposer des brevets et m'a apporté son aide pour « toutes ces petites choses » qui ont facilité mon travail.

Je remercie également mon encadrante, Maryline BAWEDIN, pour son aide précieuse, ses questions et ses conseils, notamment pour la partie modélisation et la rédaction des articles scientifiques. J'ai pu grâce à elle compter sur le soutien de toute l'équipe du laboratoire IMEP-LAHC.

Je remercie les membres du jury, le président Dominique PLANSON, les rapporteurs Francis CALMON et Florin UDREA et l'examinatrice Nathalie LABAT pour leur écoute et pour toutes leurs questions, remarques et propositions de corrections.

Mes remerciements s'adressent aussi aux membres de mon comité de suivi de thèse, Irina IONICA, Beatrice CABON et Ghislaine MAURY de l'IMEP-LAHC, pour toutes leurs questions, observations et conseils.

Je souhaite tout particulièrement remercier Martine GRI et Xavier MESCOT de l'IMEP-LAHC ainsi que Ruddy COSTANZI de STMicroelectronics pour leur aide indispensable pour toutes les mesures effectuées dans les laboratoires.

Je souhaite remercier toutes les personnes de STMicroelectronics avec lesquelles j'ai interagi, en particulier, un grand merci à Pascale MAILLET-CONTOZ pour s'être occupée de la partie administrative, à Frédéric MONSIEUR pour ses conseils sur la simulation 3D TCAD, à Clément CHABRUILLET pour son support sur l'environnement numérique de travail et à Philippe FLATRESSE, Vincent HUARD, Philippe CATHELIN, Jocelyne GIMBERT, Vincent DUMETTIER, Hélène BECKRICH-ROS, Sébastien GALLOIS-GUARREIGNOT, Rafael PRIETO HERRERA, Perceval COUDRAIN, Stéphanie CHOUTEAU et Andrea CATHELIN pour leurs appui et conseils.

Du côté de l'IMEP-LAHC, je souhaite remercier tout particulièrement Valérie MISCIOSCIA, Anaïs DESHAUX BAUME et Isabelle MICHELIN pour leur aide dans les démarches administratives.

Ces 3 années de thèse n'auraient pas été les mêmes sans le formidable groupe de doctorants avec qui j'ai passé de très bons moments. Merci donc à Louise DE CONTI, Thomas BEDECARRATS, Valérian CINCON, Ioanna KRIEKOUKI, Geoffrey DELAHAYE, Raphael GUILLAUME, Florian VOINEAU, Hani MALLOUG, Hani SHERRY, Reda KASRI, Hanae ZEGMOUT, Matteo CAUSO, Hassan EL-DIRHANI, Florent TORRES, David GADIOZ, Romane DUMONT, Robin BENARROUCH, Angel DE DIOS GONZALES SANTOS, Thibault DESPOISSE, Zoltan NEMES, Alexis Rodrigo IGA JADUE, Guillaume TOCHOU, Thomas CAPELLI, Guénoilé LALLEMENT et Ricardo GOMEZ.

Je tiens à remercier plus particulièrement Mohammed TMIMI, un autre doctorant avec qui j'ai partagé pendant plus de 2 ans le même bureau et dont l'aide m'aura été précieuse.

Enfin, je tiens à remercier ma famille pour leurs encouragements tout au long de mes études et en particulier mon frère Robin pour son soutien sans faille, mes parents Estelle et Jacques pour leur support pendant la rédaction de ce manuscrit et ma tante Elvire pour son aide absolument précieuse dans la relecture de ce manuscrit.

**MERCI À TOUTES ET À TOUS.**

---

# TABLE DES MATIÈRES

---

<b>REMERCIEMENTS.....</b>	<b>3</b>
<b>TABLE DES MATIÈRES.....</b>	<b>5</b>
<b>LISTE DES FIGURES.....</b>	<b>9</b>
<b>LISTE DES TABLEAUX.....</b>	<b>19</b>
<b>LISTE DES ABRÉVIATIONS ET ACRONYMES.....</b>	<b>20</b>
<b>LISTES DES SYMBOLES.....</b>	<b>22</b>
<b>INTRODUCTION GÉNÉRALE.....</b>	<b>27</b>
<b>CHAPITRE I : NOTIONS UTILES À LA COMPRÉHENSION DES TRAVAUX DE LA THÈSE.....</b>	<b>29</b>
<b>I.1 Introduction.....</b>	<b>30</b>
<b>I.2 Quelques notions de physique.....</b>	<b>30</b>
I.2.1 Résistance électrique.....	30
I.2.2 Physique du semi-conducteur.....	32
I.2.3 Énergie thermique.....	35
I.2.4 Propriétés thermiques des matériaux.....	36
<b>I.3 Technologie 28 nm UTBB FD-SOI.....</b>	<b>37</b>
I.3.1 MOSFET.....	37
I.3.2 Silicium sur isolant.....	43
I.3.3 28 nm UTBB FD-SOI.....	45
I.3.4 Comportements électrothermiques des MOSFETs.....	48
<b>I.4 Robustesse électrothermique.....</b>	<b>51</b>
I.4.1 Matériaux.....	52
I.4.1.1 FEOL & BEOL.....	52
I.4.1.2 Boitiers des puces.....	55
I.4.2 Conception électronique.....	56
I.4.2.1 Circuits à faible consommation de puissance.....	56
I.4.2.2 Circuits de compensation.....	57
I.4.2.3 Gestion du système.....	57
I.4.2.4 Architecture.....	58
<b>I.5 Objectifs de la thèse.....</b>	<b>58</b>
<b>I.6 Conclusion.....</b>	<b>59</b>
<b>I.7 Références.....</b>	<b>60</b>
<b>CHAPITRE II : OUTILS NUMÉRIQUES POUR SIMULATION ÉLECTROTHERMIQUE.....</b>	<b>65</b>

<b>II.1</b>	<b>Introduction</b> .....	<b>66</b>
<b>II.2</b>	<b>Sentaurus (TCAD)</b> .....	<b>66</b>
II.2.1	Sentaurus process (SP) .....	66
II.2.2	Sentaurus structure editor (SSE).....	67
II.2.3	Sentaurus device (SD) .....	69
II.2.3.1	Équations de transport .....	69
II.2.3.2	Équations de la chaleur.....	69
II.2.3.3	Conditions aux limites .....	70
II.2.4	Paramètres thermiques .....	71
II.2.4.1	Propriétés thermiques des matériaux.....	72
II.2.4.2	Astuces pour simulation électrothermique.....	72
<b>II.3</b>	<b>UTSOI 2.2 (SPICE)</b> .....	<b>74</b>
II.3.1	Modèle UTSOI 2.2.....	74
II.3.2	Auto-échauffement.....	75
II.3.2.1	Modélisation de la température d'un transistor .....	76
II.3.2.2	Méthode pour mesurer $\Delta T_C$ .....	78
II.3.2.3	Résultats avec et sans auto-échauffement.....	80
II.3.3	Couplage et réseaux thermiques .....	80
II.3.3.1	Couplage thermique .....	80
II.3.3.2	Réseaux thermiques .....	83
<b>II.4</b>	<b>HeatWave</b> .....	<b>84</b>
II.4.1	Principe de fonctionnement .....	84
II.4.2	Modélisation 3D pour simulation thermique .....	84
II.4.2.1	Modèle 3D .....	84
II.4.2.2	Conditions aux limites .....	85
II.4.3	Exemple de simulation.....	86
<b>II.5</b>	<b>Conclusion</b> .....	<b>87</b>
<b>II.6</b>	<b>Références</b> .....	<b>88</b>
<b>CHAPITRE III :STRUCTURES AVEC FONCTIONNALISATION DE LA SOURCE</b>		
.....		<b>91</b>
<b>III.1</b>	<b>Introduction</b> .....	<b>92</b>
<b>III.2</b>	<b>Chauffage in-situ</b> .....	<b>95</b>
III.2.1	Introduction.....	95
III.2.2	Influence des options technologiques sur la capacité de la résistance à chauffer.....	96
III.2.2.1	Structure avec grille standard et sans siliciure.....	97
III.2.2.2	Structure avec grille standard et siliciure.....	102
III.2.2.3	Structure avec grille étendue et siliciure .....	106
III.2.2.4	Comparaison .....	111

III.2.3	Influence des dimensions sur le chauffage par la source .....	114
III.2.4	Autres possibilités de chauffage.....	116
III.2.5	Conclusion.....	117
<b>III.3</b>	<b>Recuits thermiques locaux .....</b>	<b>118</b>
III.3.1	Introduction.....	118
III.3.2	Transistor à tension de seuil basse .....	120
III.3.3	Transistor à tension de seuil typique.....	122
III.3.4	Transistor à tension de seuil haute .....	124
III.3.5	Conclusion.....	126
<b>III.4</b>	<b>Plot mémoire .....</b>	<b>127</b>
III.4.1	Introduction.....	127
III.4.2	Fusible intégré dans la source.....	131
III.4.2.1	Résultat sans programmation.....	131
III.4.2.2	Programmation 0,8 V.....	132
III.4.2.3	Programmation 1,8 V.....	133
III.4.2.4	Conclusion .....	134
III.4.3	Robustesse thermique.....	135
III.4.4	Programmation temporelle.....	136
III.4.5	Fusible intégré dans la source et le drain.....	137
III.4.6	Conclusion.....	139
<b>III.5</b>	<b>Autorégulation en température .....</b>	<b>140</b>
III.5.1	Introduction.....	140
III.5.2	Capteur de température .....	142
III.5.3	Autorégulation en température.....	143
III.5.4	Conclusion.....	147
<b>III.6</b>	<b>Conclusion.....</b>	<b>148</b>
<b>III.7</b>	<b>Références.....</b>	<b>149</b>
<b>CHAPITRE IV :CAPTEUR DE TEMPÉRATURE BASSE CONSOMMATION.....</b>		<b>153</b>
<b>IV.1</b>	<b>Introduction .....</b>	<b>154</b>
<b>IV.2</b>	<b>Mode capteur de température.....</b>	<b>154</b>
IV.2.1	Principe de fonctionnement .....	154
IV.2.2	Simulations.....	156
IV.2.3	Mesures.....	157
IV.2.4	Améliorations.....	158
IV.2.5	Conclusion.....	160
<b>IV.3</b>	<b>Mode courant à coefficients de température nuls .....</b>	<b>161</b>

IV.3.1	État de l'art.....	161
IV.3.2	Courant à coefficients de température positifs.....	162
IV.3.3	Courant à coefficients de température nuls .....	164
IV.3.3.1	Présentation du circuit.....	164
IV.3.3.2	Simulations.....	165
IV.3.3.3	Mesures.....	171
IV.3.4	Conclusion .....	172
<b>IV.4</b>	<b>Conclusion .....</b>	<b>173</b>
<b>IV.5</b>	<b>Références .....</b>	<b>174</b>
<b>CONCLUSION GÉNÉRALE .....</b>		<b>177</b>
<b>LISTES DES BREVETS ET PUBLICATIONS .....</b>		<b>180</b>

# LISTE DES FIGURES

FIGURE I.1 -	a) Représentation simplifiée d'un volume de matériau de longueur $L$ , de section $S$ et de résistivité $\rho$ ; b) Symbole électrique d'une résistance de valeur $R$ soumise à une tension $U$ et avec un courant $I$ la traversant. ....	32
FIGURE I.2 -	Représentation simplifiée d'une résistance composée de couches de matériaux différents en série (à gauche) ou en parallèle (à droite). ....	32
FIGURE I.3 -	Schéma, en 2D, d'un réseau cristallin et polycristallin, les atomes sont représentés par des disques et les liaisons interatomiques par des traits. ....	33
FIGURE I.4 -	Exemple de transistor NMOS : a) dessin de masques simplifié, b) vue simplifiée en coupe transversale et c) symbole électrique. $L$ et $W$ correspondent, respectivement, à la longueur et à la largeur de grille. L'empilement semiconducteur/diélectrique/métal forme la capacité du MOS. ....	38
FIGURE I.5 -	Schéma représentant une jonction PN. Les électrons et trous correspondent, respectivement, aux points et cercles tandis que les charges positives et négatives sont, respectivement, représentées par des signes « + » et « - ». ....	39
FIGURE I.6 -	Vue simplifiée, en coupe transversale, d'un NMOS lorsque la grille est polarisée à la masse (à gauche) et à un potentiel supérieur à la tension de seuil (à droite). Lorsque $V_g$ est positif, la zone de déplétion sous la grille fusionne avec celles des deux jonctions PN. ....	40
FIGURE I.7 -	Exemple de caractéristiques de transfert (à gauche) et de sortie (à droite) d'un NMOS, d'après [Colinge96, p.155,166]. ....	41
FIGURE I.8 -	Vue simplifiée, en coupe transversale, d'un NMOS en technologie : a) silicium massif, b) PD-SOI et c) FD-SOI. Les zones de déplétion sont représentées avec la grille polarisée à la tension de seuil [Colinge04, p.156]. ....	45
FIGURE I.9 -	Symbole électrique d'un NMOS en technologie : a) silicium massif, b) PD-SOI et c) FD-SOI. ....	45
FIGURE I.10 -	Vue simplifiée, en coupe transversale, d'un NMOS de la technologie 28 nm UTBB FD-SOI de STMicroelectronics. Les différentes couches ne sont pas à l'échelle. ....	46
FIGURE I.11 -	Symbole électrique d'un transistor de type : a) SG et b) EG. ....	47
FIGURE I.12 -	Caractéristiques de transfert issues de la simulation SPICE d'un NMOS en 28 nm UTBB FD-SOI, avec les évolutions du courant de drain (à gauche) et de grille (à droite) en fonction de la tension de grille-source avec la tension de drain-source égale à 1 V. Les traits pleins, discontinus avec points, tirets-points et tirets correspondent à des températures de, respectivement, 233 K, 273 K, 323 K et 398 K. ....	49
FIGURE I.13 -	Caractéristiques de sortie issues de la simulation SPICE d'un NMOS en 28 nm UTBB FD-SOI, avec les évolutions du courant de drain (à gauche) et de grille (à droite) en fonction de la tension de drain-source avec la tension de grille-source égale à 1 V. Les traits pleins, discontinus avec points, tirets-points et tirets correspondent à des températures de, respectivement, 233 K, 273 K, 323 K et 398 K. ....	49
FIGURE I.14 -	Graphes montrant l'évolution du courant de drain (extrait de la FIGURE I.12), lorsque la tension de grille-source est égale à 0 V (Ioff, à gauche) et à 1 V (Ion, à droite), en fonction de la température avec la tension de drain-source égale à 1 V. ....	50
FIGURE I.15 -	À gauche, illustration de la méthode de la dérivée seconde et à droite, la tension de seuil en fonction de la température extraite de la FIGURE I.12. ....	51
FIGURE I.16 -	Vue simplifiée, en coupe transversale, d'un transistor MOS avec (à droite) et sans (à gauche) BOX. Le point chaud dû à l'auto-échauffement est situé entre le canal et le drain. ....	53
FIGURE I.17 -	Vue simplifiée, en coupe transversale, d'une puce. Les transistors (FEOL), lignes métalliques, couches diélectriques, TSVs, revêtements des TSVs et le substrat sont, respectivement, représentés en rouge, orange, gris, jaune, bleu et rose. ....	54
FIGURE I.18 -	Vue simplifiée, en coupe transversale, d'une puce avec son boîtier sur un PCB. À droite, exemple de profil de température au niveau d'un point chaud avec ou sans répartiteur. ....	56

<b>FIGURE II.1 -</b>	Vues normale (gauche), avec dopage (milieu) et avec maillage (droite) d'un transistor NMOS modélisé avec Sentaurus process en 2D. Pour la figure du milieu, le bleu correspond à un dopage de type P et le rouge à un dopage de type N. ....	67
<b>FIGURE II.2 -</b>	Vues 3D normale (gauche), avec oxyde du BEOL transparent (milieu) et avec BEOL transparent (droite) d'un transistor NMOS modélisé avec Sentaurus process en 3D... ..	67
<b>FIGURE II.3 -</b>	Vues 3D normale (gauche), avec oxyde du BEOL transparent (milieu) et avec BEOL transparent (droite) d'un transistor NMOS modélisé avec Sentaurus structure editor en 3D.....	68
<b>FIGURE II.4 -</b>	Vues en coupe selon AA' (d'après la figure précédente) normale (gauche), avec dopage (milieu) et avec maillage (droite) d'un transistor NMOS modélisé avec Sentaurus structure editor en 3D. Pour la figure du milieu, le bleu correspond à un dopage de type P et le rouge à un dopage de type N. ....	68
<b>FIGURE II.5 -</b>	Représentation simplifiée des conditions aux limites utilisées pour les simulations électrothermiques sur nos structures. ....	71
<b>FIGURE II.6 -</b>	Vues en coupe (haut) et de dessus (bas) simplifiées. Dans les cadres à bordure noir, la structure que nous voulons modéliser. Dans les anneaux hachurés, les couches minces pour simuler l'ensemble de la tranche de silicium (représenté par les cadres à bordure rouges de gauche).....	73
<b>FIGURE II.7 -</b>	Schéma électrique équivalent représentant un transistor MOSFET tel que défini dans le modèle UTSOI du CEA-LETI [Poiroux15a, p.8]. Les courants statiques, dynamiques et de bruits sont respectivement en bleu, rouge et vert. Les potentiels de source, drain, grille avant et arrière sont respectivement notés Vs, Vd, Vg et Vbg. ....	75
<b>FIGURE II.8 -</b>	Dessin simplifié d'une coupe transversal d'un transistor FD-SOI utilisé pour le modèle UTSOI du CEA-LETI [Poiroux15a, p.7].....	76
<b>FIGURE II.9 -</b>	Schéma équivalent, décrivant l'auto-échauffement, utilisé pour calculer l'élévation de température d'un transistor ( $\Delta T_C$ ), d'après [Poiroux15a, p.48].....	78
<b>FIGURE II.10 -</b>	Graphe représentant l'élévation de la température d'un transistor due à l'auto-échauffement en fonction du temps. En régime établi ( $t \gg \tau_{th}$ ), $\Delta T_C$ n'évolue plus et est égale à $PD \times R_{th}$ .....	78
<b>FIGURE II.11 -</b>	À gauche, dessin de masque d'un transistor NMOS avec deux contacts de grilles utilisés pour mesurer la température du transistor. En rouge, vert, blanc et bleu, les masques correspondants respectivement, aux grilles, la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et aux lignes de métaux. En noir, les zones remplies de STI. À droite, exemple de mesure de la résistance de grille en fonction de la température. Les coefficients $R_{GT}$ et $R_{G0}$ sont extraits après ajustement linéaire des points de mesures.....	79
<b>FIGURE II.12 -</b>	Schéma récapitulatif montrant les étapes utilisées pour mesurer l'élévation de température des transistors. ....	80
<b>FIGURE II.13 -</b>	Graphes, issus de simulations SPICE, montrant : a) le courant de drain, b) le courant de grille et c) l'élévation de température d'un transistor NMOS ( $L = 30$ nm et $W = 1$ $\mu$ m) en fonction de la tension de grille-source avec $V_{ds} = 1$ V ou de drain-source avec $V_{gs} = 1$ V. La grille arrière est polarisée à 0 V. Les traits pleins et discontinus correspondent aux résultats de la simulation lorsque la variable « swshe » est, respectivement, égale à 0 et à 1.....	81
<b>Figure II.14 -</b>	Schéma simplifié représentant le profil de température (due à l'auto-échauffement) de transistors à 1, 2 et 3 doigts. $T_1$ , $T_2$ et $T_3$ , correspondent, respectivement, aux températures d'un transistor à 1, 2 et 3 doigts.....	82
<b>FIGURE II.15 -</b>	Graphe, issu de simulations SPICE, montrant l'élévation de température normalisée (par rapport à un transistor NMOS d'un doigt et de $W = W_d$ ) d'un transistor NMOS multi-doigts (ligne pleine) et d'un doigt (ligne en tiret) de largeur de grille totale, $W = nbd \times W_d$ , en fonction du nombre de doigts (nbd). $V_{ds} = V_{gs} = 1$ V et $V_{bg} = 0$ V. ....	83
<b>Figure II.16 -</b>	Schéma simplifié du fonctionnement de HeatWave.....	84
<b>Figure II.17 -</b>	Vues simplifiées en 3D (à gauche) et en coupe selon AA' (à droite) d'un modèle 3D généré par HeatWave. Le silicium, l'oxyde de silicium, les diélectriques du FEOL et	

	BEOL, les blocs actifs et les lignes métalliques sont respectivement en rose, gris clair, gris foncé, rouge et orange. ....	85
<b>Figure II.18 -</b>	Vue simplifiée en coupe d'un modèle 3D généré par HeatWave et des couches utilisées pour prendre en compte les conditions aux limites. ....	86
<b>Figure II.19 -</b>	Vues 3D extraites des simulations électrothermiques, avec HeatWave, de transistors mono-doigt (à gauche) et multi-doigts (à droite).....	87
<b>FIGURE II.20 -</b>	Profils de température extraits de la simulation (à 300 K) avec Sentaurus d'un transistor à un doigt (gauche, $L = 30$ nm et $W = 1$ $\mu$ m) et multi-doigts (droite, $L = 30$ nm et $W = 10 \times 1$ $\mu$ m) selon une ligne juste au-dessous de la grille et dans le sens source-drain. $V_g = V_d = 1$ V et $V_s = 0$ V. Les sources et drains du transistor multi-doigts ( $\Delta T \approx 150$ °C) ont des températures plus élevées que celle du transistor à un doigt ( $\Delta T \approx 70$ °C). ....	88
<b>FIGURE III.1 -</b>	À gauche, le symbole électrique (haut) et dessin de masque simplifié d'une résistance standard composée de silicium. Au milieu, le symbole électrique (haut) et dessin de masque simplifié d'un transistor NMOS standard. À droite, le symbole électrique (haut) et dessin de masque simplifié de la structure proposée. Cette structure correspond à un transistor standard auquel nous insérons une résistance dans la source, créant de fait deux contacts de source. ....	92
<b>FIGURE III.2 -</b>	Vue symbole électrique (haut) et dessin de masque simplifié (bas) de : a) Transistor NMOS standard, b) Transistor NMOS avec double contacts de source, c) Transistor NMOS standard avec double contacts de grille et d) Transistor NMOS avec double contacts de source et de grille. ....	94
<b>FIGURE III.3 -</b>	Dessin de masque d'une de nos structures. À gauche, la structure entourée par les transistors et grilles factices ainsi que par l'anneau de contact pour grille arrière. À droite, zoom sur la structure avec de chaque côté une grille factice. ....	95
<b>FIGURE III.4 -</b>	Graphe simplifié montrant l'évolution de la mobilité des porteurs en fonction de la température. ....	95
<b>FIGURE III.5 -</b>	Vue symbole électrique d'un transistor à double contacts de source et de grille. En appliquant une tension et en faisant passer un courant dans la résistance $R_{S12}$ , nous allons générer de la chaleur par effet Joule et chauffer le transistor. ....	96
<b>FIGURE III.6 -</b>	Vue en 3D d'une de nos structures créées avec Sentaurus Structure Editor (voir section II.2.2). Le modèle fait 4 $\mu$ m transversalement et 6 $\mu$ m longitudinalement par rapport à la grille, le substrat a 5 $\mu$ m d'épaisseur et le BEOL comprend les six premiers niveaux de métaux. ....	97
<b>FIGURE III.7 -</b>	Dessin de masque simplifié (à gauche) de la structure SG à double contacts de source sans siliciure entre les deux contacts de source. À droite, vues simplifiées d'une coupe selon AA' (en bas) et BB' (en haut) de notre structure. L'absence de siliciure côté source et entre les contacts de source peut être observée. L et W correspondent, respectivement, à la longueur et à la largeur de grille. $W_R$ et $W_{12}$ correspondent, respectivement, à la largeur de la zone sans siliciure et à la largeur entre les vias des contacts de source 1 et 2. ....	98
<b>FIGURE III.8 -</b>	Graphe montrant les résultats des mesures de $R_{S12}$ et $R_{G12}$ de la structure SG sans siliciure en fonction de la température. Les carrés et losanges représentent les résultats issus de P1, les cercles et triangles représentent les résultats issus de P2. Les traits en pointillés correspondent aux droites utilisées pour extraire les coefficients thermiques. ....	99
<b>FIGURE III.9 -</b>	Graphes montrant les résultats des mesures de $I_{S12}$ et $I_{G12}$ de la structure SG sans siliciure en fonction de la tension de source $V_{S12}$ à température ambiante (298 K). $V_{G12}$ est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2. ....	99
<b>FIGURE III.10 -</b>	Graphes montrant les résultats des mesures de $T_S$ et $T_G$ de la structure SG sans siliciure en fonction de la tension de source $V_{S12}$ à température ambiante (298 K). $V_{G12}$ est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2. ....	100
<b>FIGURE III.11 -</b>	Graphes montrant l'évolution de $I_{S12}$ et $T_S$ de la structure SG sans siliciure en fonction de la tension de source $V_{S12}$ . Les cercles correspondent aux résultats issus de la simulation électrothermique 3D TCAD avec une température ambiante de 300 K. Les	

	traits pleins correspondent aux moyennes (issues de P1 et P2) des mesures faites à la température ambiante de 298 K.....	100
<b>FIGURE III.12</b> -	Vues et graphe issus de la simulation électrothermique 3D TCAD de la structure SG sans siliciure avec une température ambiante de 300 K et lorsque $V_{S12}$ est égale à 1 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) et c) vues en coupe selon, respectivement, BB' et AA' ; d) profile de température d'après c) et suivant une ligne située juste en dessous de la grille ; e) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent. ....	101
<b>FIGURE III.13</b> -	Dessin de masque simplifié (à gauche) de la structure SG à double contacts de source avec siliciure entre les deux contacts de source. À droite, vue simplifiée d'une coupe selon AA' (en bas) et BB' (en haut) de notre structure. La présence de siliciure côté source entre les contacts de source peut être observée. L et W correspondent, respectivement, à la longueur et à la largeur de grille, $W_{12}$ correspond à la largeur entre les vias des contacts de source 1 et 2. ....	102
<b>FIGURE III.14</b> -	Graphe montrant les résultats des mesures de $R_{S12}$ et $R_{G12}$ de la structure SG avec siliciure en fonction de la température. Les carrés et losanges représentent les résultats issus de P1, les cercles et triangles représentent les résultats issus de P2. Les traits en pointillés correspondent aux droites utilisées pour extraire les coefficients thermiques. ....	103
<b>FIGURE III.15</b> -	Graphe montrant les résultats des mesures de $I_{S12}$ et $I_{G12}$ de la structure SG avec siliciure en fonction de la tension de source $V_{S12}$ à température ambiante (298 K). $V_{G12}$ est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2. ....	104
<b>FIGURE III.16</b> -	Graphe montrant les résultats des mesures de $T_S$ et $T_G$ de la structure SG avec siliciure en fonction de la tension de source $V_{S12}$ à température ambiante (298 K). $V_{G12}$ est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2. ....	104
<b>FIGURE III.17</b> -	Graphes montrant l'évolution de $I_{S12}$ et $T_S$ de la structure SG avec siliciure en fonction de la tension de source $V_{S12}$ . Les cercles correspondent aux résultats issus de la simulation électrothermique 3D TCAD avec une température ambiante de 300 K. Les traits pleins correspondent aux moyennes (issues de P1 et P2) des mesures faites à la température ambiante de 298 K.....	105
<b>FIGURE III.18</b> -	Vues et graphe issus de la simulation électrothermique 3D TCAD de la structure SG avec siliciure avec une température ambiante de 300 K et lorsque $V_{S12}$ est égale à 1 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) et c) vues en coupe selon, respectivement, BB' et AA' ; d) profile de température d'après c) et suivant une ligne située juste en dessous de la grille ; e) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent. ....	106
<b>FIGURE III.19</b> -	Dessin de masque simplifié (à gauche) de la structure EG à double contacts de source avec siliciure entre les deux contacts de source. À droite, vue simplifiée d'une coupe selon AA' (en bas) et BB' (en haut) de notre structure. La présence de siliciure côté source entre les contacts de source ainsi qu'une longueur de grille plus grande par rapport aux deux précédentes structures (dues aux règles de dessin spécifique aux transistors EG) peuvent être observées. L et W correspondent, respectivement, à la longueur et à la largeur de grille, $W_{12}$ correspond à la largeur entre les vias des contacts de source 1 et 2. ....	107
<b>FIGURE III.20</b> -	Graphe montrant les résultats des mesures de $R_{S12}$ et $R_{G12}$ de la structure EG avec siliciure en fonction de la température. Les carrés et losanges représentent les résultats issus de P1, les cercles et triangles représentent les résultats issus de P2. Les traits en pointillés correspondent aux droites utilisées pour extraire les coefficients thermiques. ....	108
<b>FIGURE III.21</b> -	Graphe montrant les résultats des mesures de $I_{S12}$ et $I_{G12}$ de la structure EG avec siliciure en fonction de la tension de source $V_{S12}$ à température ambiante (298 K). $V_{G12}$ est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2. ....	109

- FIGURE III.22** - Graphe montrant les résultats des mesures de  $T_S$  et  $T_G$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2. .... 109
- FIGURE III.23** - Graphe montrant  $T_S$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$ . Les cercles correspondent aux résultats issus de la simulation électrothermique 3D TCAD avec une température ambiante de 300 K. Le trait plein correspond à la moyenne (issue de P1 et P2) des mesures faites à la température ambiante de 298 K. .... 110
- FIGURE III.24** - Vues et graphe issus de la simulation électrothermique 3D TCAD de la structure EG avec siliciure avec une température ambiante de 300 K et lorsque  $V_{S12}$  est égale à 1 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) et c) vues en coupe selon, respectivement, BB' et AA' ; d) profile de température d'après c) et suivant une ligne située juste en dessous de la grille ; e) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent. .... 111
- FIGURE III.25** - Graphe montrant les résultats des mesures (moyennes sur P1 et P2) de  $I_{S12}$  et  $I_{G12}$  en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les carrés, triangles et cercles représentent, respectivement, ISH<sub>1</sub>, ISH<sub>2</sub> et ISH<sub>3</sub>. .... 113
- FIGURE III.26** - Graphe montrant les résultats des mesures (moyennes sur P1 et P2) de  $T_S$  et  $T_G$  en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les carrés, triangles et cercles représentent, respectivement, ISH<sub>1</sub>, ISH<sub>2</sub> et ISH<sub>3</sub>. .... 113
- FIGURE III.27** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $T_S$  de la structure SG avec siliciure en fonction de la tension de source  $V_{S12}$  et pour différentes largeurs W (SG<sub>1</sub> à SG<sub>5</sub>). Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent, respectivement, à SG<sub>1</sub>, SG<sub>2</sub>, SG<sub>3</sub>, SG<sub>4</sub> et SG<sub>5</sub>. .... 115
- FIGURE III.28** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $T_S$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$  et pour différentes largeurs W (EG<sub>1</sub> à EG<sub>5</sub>). Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent, respectivement, à EG<sub>1</sub>, EG<sub>2</sub>, EG<sub>3</sub>, EG<sub>4</sub> et EG<sub>5</sub>. .... 116
- FIGURE III.29** - Dessin de masque simplifié de plusieurs types de transistors avec radiateur in-situ autre que la structure à deux contacts de source : a) transistor avec double contacts de drain ; b) transistor avec double contacts de grille ; c) transistor avec double contacts de canal ; d) transistor avec double contacts de source et de drain ; e) transistor avec quadruple contacts de source ; f) transistor avec double contacts de grille arrière. .... 117
- FIGURE III.30** - Exemple de courbe de distribution de transistor en fonction de leur tension de seuil pour un processus de forte dispersion (courbe de gauche) et de faible dispersion (courbe de droite). Un recuit thermique lors du processus de fabrication peut permettre de resserrer la courbe de distribution autour de la valeur typique et ainsi de réduire la dispersion. .... 119
- FIGURE III.31** - Dessin de masque de la structure SG à double contacts de source avec siliciure entre les deux contacts de source. En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI. L, W et W<sub>12</sub> valent, respectivement 30 nm, 2 µm et 1,06 µm. .... 119
- FIGURE III.32** - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 0,1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris) et tirets long-deux points (jaune), correspondent aux mesures faites, respectivement, après 0, 1, 2 et 3 cycles de recuits. .... 121
- FIGURE III.33** - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris) et tirets long-deux points (jaune), correspondent aux mesures faites, respectivement, après 0, 1, 2 et 3 cycles de recuits. .... 121

<b>FIGURE III.34</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de drain-source lorsque la tension de grille-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris) et tirets long-deux points (jaune), correspondent aux mesures faites, respectivement, après 0, 1, 2 et 3 cycles de recuits. ....	122
<b>FIGURE III.35</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 0,1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits. ....	123
<b>FIGURE III.36</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits. ....	123
<b>FIGURE III.37</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de drain-source lorsque la tension de grille-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits. ....	124
<b>FIGURE III.38</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 0,1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits. ....	125
<b>FIGURE III.39</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits. ....	125
<b>FIGURE III.40</b> - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de drain-source lorsque la tension de grille-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits. ....	126
<b>FIGURE III.41</b> - Graphe montrant l'évolution de la tension de seuil ( $V_T$ ), extraite des mesures pour $I_d = 20 \mu A$ et $V_{ds} = 1 V$ , en fonction du temps ou du nombre de cycles de recuits. Les carrés, triangles et cercles correspondent, respectivement, aux $V_T$ mesurées de transistor lent, typique et rapide. ....	127
<b>FIGURE III.42</b> - Vue symbole électrique d'un transistor à double contacts de source et de grille. À droite, la structure sans dommage et à gauche, la structure avec une résistance $R_{S12}$ endommagée après avoir appliqué une tension $V_{S12}$ forte ou avoir fait passer un courant $I_{S12}$ fort. ....	128
<b>FIGURE III.43</b> - Dessin de masque de la structure SG (à gauche, $L = 30 \text{ nm}$ ) et EG (à droite, $L = 150 \text{ nm}$ ) à double contacts de source avec siliciure entre les deux contacts de source. $W = 234 \text{ nm}$ et $W_{12} = 94 \text{ nm}$ . En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI. ....	128
<b>FIGURE III.44</b> - Graphes montrant les mesures (à 298 K) de $I_{S12}$ et $T_S$ de la structure SG en fonction de la tension de source $V_{S12}$ et pour deux puces différentes (P1, traits pleins et P2, traits discontinus). Les courbes de températures s'arrêtent au moment de la rupture du courant (0,7 V et 0,63 V pour respectivement P1 et P2). ....	129
<b>FIGURE III.45</b> - Graphes montrant les mesures (à 298 K) de $I_{S12}$ et $T_S$ de la structure EG en fonction de la tension de source $V_{S12}$ et pour deux puces différentes (P1, traits pleins et P2, traits discontinus). Les courbes de températures s'arrêtent au moment de la rupture du courant (0,66 V et 0,72 V pour respectivement P1 et P2). ....	129
<b>FIGURE III.46</b> - Vues issues de la simulation électrothermique 3D TCAD de la structure EG avec une température ambiante de 300 K et lorsque $V_{S12}$ est égale à 0,5 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent ; c) vue en coupe suivant S1-S2 ; d) vue en coupe suivant S-D et e) $I_{S12}$ et $T_S$ en fonction de $V_{S12}$ . ....	130

- FIGURE III.47** - Graphes montrant la mesure (à 298 K) de  $I_{S12}$  de la structure EG, non programmée, en fonction de la tension de source  $V_{S12}$ . La résistance mesurée est d'environ 176  $\Omega$ . .... 131
- FIGURE III.48** - Vues issues d'un MEB de la structure EG vierge avec (à droite) et sans (à gauche) analyse chimique. La structure et, plus particulièrement, la grille, les zones de sources et drain ainsi que les plots de contacts sont intacts. .... 132
- FIGURE III.49** - Graphe montrant la mesure (à 298 K) de  $I_{S12}$  de la structure EG, lors d'une programmation à 0,8 V, en fonction de la tension de source  $V_{S12}$ . Les résistances mesurées avant et après programmation sont, respectivement, de 183  $\Omega$  et 710  $\Omega$ . ... 132
- FIGURE III.50** - Vues issus d'un microscope électronique à balayage (MEB) de la structure EG vierge avec et sans (en haut à gauche) analyse chimique, avec le profil chimique le long de la ligne S1-S2 (en bas). La grille, le drain ainsi que les plots de contacts sont intacts. Une fracture est observée au niveau du nickel mais le silicium est intact. .... 133
- FIGURE III.51** - Graphe montrant la mesure (à 298 K) de  $I_{S12}$  de la structure EG, lors d'une programmation à 1,8 V, en fonction de la tension de source  $V_{S12}$ . Les résistances mesurées avant et après programmation sont, respectivement, d'environ 187  $\Omega$  et 3153  $\Omega$ . .... 134
- FIGURE III.52** - Vues issus d'un microscope électronique à balayage (MEB) de la structure EG vierge avec et sans (en haut à gauche) analyse chimique, avec le profil chimique le long de la ligne S1-S2 (en bas). La grille, le drain ainsi que les plots de contacts sont intacts. Une large fracture est observée au niveau du nickel mais le silicium est intact. .... 134
- FIGURE III.53** - Graphes montrant les mesures (à 398 K) de  $I_{S12}$  des structures SG et EG (respectivement, à gauche et à droite) en fonction de la tension de source  $V_{S12}$  et pour trois puces différentes (traits pleins bleu, traits discontinus tirets-point orange et tirets gris). .... 135
- FIGURE III.54** - Graphes montrant les mesures de  $I_{S12}$  de la structure EG en fonction de la tension de source  $V_{S12}$ . La programmation a été faite à 303 K (trait pleins bleu) et des lectures sont effectuées à 323, 348, 373 et 398 K (points, respectivement, orange, gris, jaune et vert). .... 136
- FIGURE III.55** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $V_{S12}$  de la structure SG en fonction du temps. À gauche, un créneau de programmation de 60 ns (20 ns de montée, maintien et descente) de 0 V à 1 V. À droite, des créneaux de lecture de 560 ns (20 ns de montée et descente, 520 ns de maintien) de 0 V à 0,1 V avant (trait plein et points bleus) et après (trait discontinu et losange orange) programmation. .... 137
- FIGURE III.56** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $V_{S12}$  de la structure EG en fonction du temps. À gauche, un créneau de programmation de 60 ns (20 ns de montée, maintien et descente) de 0 V à 1,8 V. À droite, des créneaux de lecture de 560 ns (20 ns de montée et descente, 520 ns de maintien) de 0 V à 0,1 V avant (trait plein et points bleus) et après (trait discontinu et losange orange) programmation. .... 137
- FIGURE III.57** - Dessin de masque de la structure SG (à gauche,  $L = 30$  nm) et EG (à droite,  $L = 150$  nm) à double contacts de source et drain.  $W = 254$  nm et  $W_{12} = 112$  nm. En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STL. .... 138
- FIGURE III.58** - Graphes montrant les mesures (à 298 K) de  $I_P$  des structures SG (haut) et EG (bas) en fonction de  $V_P$ . Les traits pleins bleus correspondent aux programmations côté source et les traits discontinus orange aux programmations côté drain. .... 138
- FIGURE III.59** - Dessin de masque simplifié d'un rail de X fusibles séparés par des grilles. La longueur,  $L$ , peut être aussi fine que 30 nm (150 nm) pour les structures SG (EG), et  $W_{AK}$  peut être de l'ordre de 100 nm. .... 140
- FIGURE III.60** - Dessin de masque de transistors SG : a) standard (NREF) ; b) et c) à double contacts de source sans siliciure (respectivement NRS1 et NRS2) ; d) à double contacts de source avec grille en « T » (NTSG). En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STL. .... 141

<b>FIGURE III.61</b> - Schéma électrique (utilisé pour les simulations SPICE) de transistors SG : a) standard (NREF) ; b) à double contacts de source sans siliciure (NRS) ; c) à double contacts de source avec grille en « T » (NTSG). .....	142
<b>FIGURE III.62</b> - Graphe montrant l'évolution du potentiel de la source 2 ( $V_{S2}$ ) en fonction de la température et pour $V_{gs}$ égale à 1 V. Les carrés orange, losanges gris et triangles jaunes correspondent aux mesures (respectivement à NRS1, NRS2 et NTSG) tandis que les traits discontinus avec tirets-points orange et tirets jaunes correspondent aux simulations SPICE (respectivement à NRS et NTSG). .....	143
<b>FIGURE III.63</b> - Graphes montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG standard (NREF) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K. ....	144
<b>FIGURE III.64</b> - Graphe montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG à double contacts de source sans siliciure et de faible $R_{S12}$ (NRS1) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K. ....	144
<b>FIGURE III.65</b> - Graphe montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG à double contacts de source sans siliciure et de forte $R_{S12}$ (NRS2) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K. ....	145
<b>FIGURE III.66</b> - Graphe montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG à double contacts de source avec grille en « T » (NTSG) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K. ....	145
<b>FIGURE III.67</b> - Graphes montrant l'évolution, en fonction de la température, des courants : a) $I_{off}$ ( $I_d$ lorsque $V_{gs} = 0$ V et $V_{ds} = 1$ V) ; b) $I_{on}$ ( $I_d$ lorsque $V_{gs} = V_{ds} = 1$ V) et c) $I_{gon}$ ( $I_g$ lorsque $V_{gs} = V_{ds} = 1$ V). Les cercles bleus, carrés orange, losanges gris et triangles jaunes correspondent aux mesures (respectivement à NREF, NRS1, NRS2 et NTSG) tandis que les traits pleins bleus, discontinus avec tirets-points orange et tirets jaunes correspondent aux simulations SPICE (respectivement à NREF, NRS et NTSG). ....	147
<b>FIGURE III.68</b> - Dessin de masque de transistors SG : a) à double contacts de source asymétrique sans siliciure et b) à double contacts de source asymétrique avec grille en « T ». En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI. ....	148
<b>FIGURE IV.1</b> - Représentation simplifiée de l'évolution du courant de grille du transistor NSC ( $I_{gsc}$ ), de la résistance de drain-source du transistor NTH ( $R_{ds_{TH}}$ ) et des tensions d'alimentation (VDD) et de sortie du capteur ( $V_{CT}$ ) en fonction de la température. ....	155
<b>FIGURE IV.2</b> - De gauche à droite, respectivement, le dessin de masque, le schéma électrique et le schéma simplifié de notre capteur de température. VDD et $V_{CT}$ correspondent, respectivement, à la tension d'alimentation et à la tension de sortie du capteur. ....	155
<b>FIGURE IV.3</b> - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ), du courant de grille du transistor NSC ( $I_{gsc}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent aux simulations SPICE à des tensions d'alimentation (VDD) de, respectivement, 1,0 V, 0,9 V, 0,8 V, 0,7 V et 0,6 V. ....	156
<b>FIGURE IV.4</b> - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent aux mesures faites sur la puce P1 et à des tensions d'alimentation (VDD) de, respectivement, 1,0 V, 0,9 V, 0,8 V, 0,7 V et 0,6 V. ....	157

- FIGURE IV.5** - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent aux mesures faites sur la puce P2 et à des tensions d'alimentation (VDD) de, respectivement, 1,0 V, 0,9 V, 0,8 V, 0,7 V et 0,6 V..... 158
- FIGURE IV.6** - Schémas électriques des capteurs : a) CT1 ; b) CT2 et c) CT3. Les transistors SG et EG sont représentés avec un trait de grille, respectivement, fin et épais. .... 158
- FIGURE IV.7** - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets et tirets-points correspondent, respectivement, aux simulations SPICE des capteurs CT1, CT2 et CT3. .... 159
- FIGURE IV.8** - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets et tirets-points correspondent aux simulations SPICE du capteur CT3 dont les transistors sont, respectivement, à tension de seuil typique, haute et basse. .... 160
- FIGURE IV.9** - Graphes montrant l'évolution du courant de drain ( $I_d$ ) en fonction du potentiel de grille ( $V_g$ ) d'un transistor SG de longueur de grille (L) de 30 nm et de largeur de grille (W) de 1  $\mu\text{m}$  (à gauche) et de 2  $\mu\text{m}$  (à droite) issus de simulations SPICE. Les traits pleins, discontinus avec points, tirets-points, tirets, tirets long-points et tirets longs correspondent aux simulations SPICE et pour des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K.  $V_d$ ,  $V_s$  et  $V_{bg}$  sont, respectivement, polarisés à 1 V, 0 V et 0 V..... 162
- FIGURE IV.10** - Graphe montrant l'évolution du courant de drain ( $I_d$ ) en fonction de la température issus de simulations SPICE. Les courants  $I_1$  (discontinu avec tirets) et  $I_2$  (pointillés) correspondent aux courants de drain issus du graphe de gauche de la Figure IV.9 et pour des potentiels de grille de, respectivement, 0,6 V et 1 V. Le courant  $I_3$  (discontinu avec tirets-points) correspond à la somme de  $I_1$  et  $I_2$ . Les courants  $I_4$  (discontinu avec tirets longs) et  $I_5$  (plein) correspondent aux courants de drain issus du graphe de droite de la Figure IV.9 et pour des potentiels de grille de, respectivement, 0,75 V et 1 V..... 162
- FIGURE IV.11** - Schéma électrique du capteur de température modifié pour avoir un courant  $I_{dSC}$  à coefficients de température positif (CTP). .... 163
- FIGURE IV.12** - Représentation simplifiée de l'évolution du potentiel de grille ( $V_{gSC}$ ) en fonction de la température, du courant de drain ( $I_{dSC}$ ) en fonction de  $V_{gSC}$  et de  $I_{dSC}$  en fonction de la température pour le transistor NSC..... 163
- FIGURE IV.13** - Graphes montrant l'évolution du courant de drain ( $I_{dSC}$ ) en fonction de la température et pour des potentiels de drain ( $V_{dTH}$ ) de 0 V et 1 V issus de simulations SPICE. Pour le graphe de gauche, les cercles correspondent au courant de drain lorsque le potentiel de grille est nul ( $I_{off}$ ) d'un transistor de même dimension que le transistor NSC. Pour le graphe de droite, le trait pointillé correspond au courant  $I_1$  de la **FIGURE IV.10** (les dimensions du transistor simulé pour  $I_1$  sont les mêmes que ceux de NSC)..... 164
- FIGURE IV.14** - Schéma électrique de notre circuit permettant d'avoir un courant  $I_{dCC}$  à coefficient de température nul (CT0) et d'un transistor standard de référence (NREF) utilisé pour comparaison. .... 165
- FIGURE IV.15** - Graphes montrant l'évolution du courant de drain du transistor NREF ( $I_{dREF}$ ) et de notre transistor NCC ( $I_{dCC}$ ) en fonction du potentiel de grille ( $V_g$ ) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD et  $V_d$  sont polarisés à 1 V. CT0 représente le point où  $I_{dREF}$  et  $I_{dCC}$  ne varient plus en fonction de la température. .... 166
- FIGURE IV.16** - Graphes montrant l'évolution du courant de drain ( $I_d$ ) lorsque le potentiel de grille ( $V_g$ ) est polarisé à 0 V et 1 V en fonction de la température, issus de simulations SPICE. Pour le graphe de gauche, les cercles correspondent au courant de drain de NREF ( $I_{dREF}$ ) et le trait discontinu avec tirets-point au courant de drain de NCC ( $I_{dCC}$ ). Pour le graphe de droite, les traits plein, discontinu avec tirets-point, point et tiret correspondent respectivement à  $I_{dREF}$ ,  $I_{dCC}$ , au courant de drain de NST ( $I_{dST}$ ) et de NSC ( $I_{dSC}$ ). VDD et  $V_d$  sont polarisés à 1 V. .... 166

<b>FIGURE IV.17</b> - Graphes montrant l'évolution du potentiel de grille ( $V_g$ ), du courant de drain de NREF ( $I_{dREF}$ ) et de NCC ( $I_{dCC}$ ) en fonction du temps, issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD et Vd sont polarisés à 1 V.....	167
<b>FIGURE IV.18</b> - Représentation simplifiée de l'évolution du courant de drain de NCC ( $I_{dCC}$ ) en fonction de la température (à droite) et de la variation de $I_{dCC}$ sur la gamme de température ( $\Delta I_{dCC}$ ) en fonction de la largeur de grille ( $W_{ST}$ ) de NST (à gauche). $\Delta I_{dCC}$ est calculé selon l'équation (IV.3). .....	168
<b>FIGURE IV.19</b> - Graphes montrant l'évolution du courant de drain de NREF ( $I_{dREF}$ ) et de NCC ( $I_{dCC}$ ) en fonction de la température issus de simulations SPICE. Les traits pleins, discontinus avec tirets et tirets-points correspondent, respectivement, aux transistors dont la tension de seuil est typique, haute et basse. VDD, Vg et Vd sont polarisés à 1 V.....	168
<b>FIGURE IV.20</b> - Graphes montrant l'évolution du courant de drain de NREF ( $I_{dREF}$ ) et NCC ( $I_{dCC}$ ) en fonction du potentiel de drain (Vd) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD et Vg sont polarisés à 1 V.....	169
<b>FIGURE IV.21</b> - Graphes montrant l'évolution du courant de drain de NREF ( $I_{dREF}$ ) et NCC ( $I_{dCC}$ ) en fonction de la longueur de grille (L) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD, Vd et Vg sont polarisés à 1 V. ....	169
<b>FIGURE IV.22</b> - Graphe montrant l'évolution des variations, due à la température, des courants de drain ( $\Delta I_{dCC}$ et $\Delta I_{dREF}$ ) en fonction de la longueur de grille (L), issu de simulations SPICE. Les traits pleins et discontinus correspondent, respectivement, à $\Delta I_{dREF}$ et $\Delta I_{dCC}$ . VDD, Vd et Vg sont polarisés à 1 V.....	170
<b>FIGURE IV.23</b> - Graphes montrant l'évolution du courant de drain de NREF ( $I_{dREF}$ ) et NCC ( $I_{dCC}$ ) en fonction de la largeur de grille de NSC ( $W_{SC}$ ) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD, Vd et Vg sont polarisés à 1 V, $W = 4,75 \times W_{SC}$ et $W_{ST} = 3,75 \times W_{SC}$ .....	171
<b>FIGURE IV.24</b> - Graphes montrant les résultats issus des mesures des courants de drain de NREF ( $I_{dREF}$ ) et NCC ( $I_{dCC}$ ) en fonction de la température lorsque le potentiel de grille est polarisé à 0 V et 1 V et pour différentes largeurs de grille (W). Les traits pleins et discontinus correspondent, respectivement, à $I_{dREF}$ et $I_{dCC}$ . VDD et Vd sont polarisés à 1 V, $W_{SC} = 1 \mu m$ .....	172
<b>FIGURE IV.25</b> - Dessin de masque simplifié de notre circuit lorsque NSC et NST sont sur le même film de silicium, c'est-à-dire ils ne sont pas séparés par du STI comme l'est NTH par rapport aux deux autres transistors.....	173

---

# LISTE DES TABLEAUX

---

<b>TABLEAU I.1</b> -	Tableau récapitulatif des conductivités thermiques de quelques matériaux à 300 K... 37
<b>TABLEAU I.2</b> -	Tableau récapitulatif de quelques caractéristiques pour les transistors à grille standard ou étendue. .... 47
<b>TABLEAU I.3</b> -	Tableau récapitulatif des conductivités thermiques (à 300 K) du silicium, diamant, carbure de silicium et nitrure d'aluminium..... 54
<b>TABLEAU III.1</b> -	Tableau récapitulatif des dimensions caractéristiques des trois structures étudiées.. 112
<b>TABLEAU III.2</b> -	Résultats des mesures (moyennes sur P1 et P2) et des simulations électrothermiques (Sentaurus) pour $I_{S12}$ , $T_S$ et $T_G$ quand $V_{S12}$ est égale à 1,0 V de ISH <sub>1</sub> , ISH <sub>2</sub> et ISH <sub>3</sub> . En addition, dans la colonne de droite, les résultats de ISH <sub>3</sub> lorsque $V_{S12}$ est égale à 1.8 V. Les températures de grilles simulées sont des estimations issues des vues en coupes des <b>FIGURE III.12c</b> ), <b>FIGURE III.18c</b> ) et <b>FIGURE III.24c</b> ). Le symbole « - » correspond à une absence de résultat. .... 114
<b>TABLEAU III.3</b> -	Tableau récapitulatif des dimensions et nombre de vias ( $n_{vias}$ ) de contacts de source des dix structures étudiées. Les structures sont des transistors à double contacts de source de type SG ou EG et de largeurs W ou $W_{12}$ différentes. La principale différence entre les structures 3 et 4 est le nombre de vias de contacts de source (respectivement, deux et quatre vias de chaque côté de la résistance de source, $R_{S12}$ ). .... 115
<b>TABLEAU III.4</b> -	Tableau récapitulatif des dimensions caractéristiques des structures simulées (à gauche) et mesurées (à droite)..... 142
<b>TABLEAU III.5</b> -	Tableau récapitulatif des coefficients thermiques de $V_{S2}$ en fonction de la température (selon l'équation (III-5)) et à $V_{gs} = V_{ds} = 1$ V, extrais des simulations SPICE et des mesures, pour NRS1, NRS2 et NTSG (NRS et NTSG pour les simulations SPICE). À noter que pour NTSG, seuls les trois premiers points de mesures ont été pris en compte pour calculer ses coefficients thermiques..... 143
<b>TABLEAU III.6</b> -	Tableau récapitulatif des courants ( $I_{off}$ , $I_{on}$ et $I_{gon}$ ) normalisés ( $I = I_{XXXXINREF}$ ), extrais des simulations SPICE et des mesures, à 300 K et à 400 K, pour NRS1, NRS2 et NTSG (NRS et NTSG pour les simulations SPICE). .... 146
<b>TABLEAU IV.1</b> -	Tableau récapitulatif des variations des courants de drain de NREF ( $\Delta I_{dREF}$ ) et NCC ( $\Delta I_{dCC}$ ) issues des mesures sur la gamme de température [300 K ; 400 K]. $\Delta I_{dREF}$ et $\Delta I_{dCC}$ sont calculées suivant l'équation (IV.4)..... 172

---

# LISTE DES ABRÉVIATIONS ET ACRONYMES

---

**1D** : Une dimension.

**2D** : Deux dimensions.

**2DM** : *2<sup>nd</sup> order Derivative Method* –  
Méthode de la dérivée seconde.

**3D** : Trois dimensions.

**AC** : *Alternating Current* – Courant  
alternatif.

**BEOL** : *Back End Of Line* – Couche où  
se situe les interconnexions métalliques  
du circuit intégré.

**BOX** : *Buried Oxide* – Oxyde enterrée.

**CAD** : *Computer Aided Design* - CAO

**CAO** : Conception assisté par  
ordinateur.

**CAOE** : CAO pour l'électronique.

**CEA** : Commissariat à l'énergie  
atomique et aux énergies alternatives.

**CEA-LETI** : Laboratoire d'électronique  
et des technologies de l'information du  
CEA.

**CMOS** : *Complementary MOS* – MOS  
complémentaire.

**CT0** : Coefficient de température nul.

**CTN** : Coefficient de température  
négatif.

**CTP** : Coefficient de température  
positif.

**DC** : *Direct Current* – Courant continu.

**DD** : *Drift-Diffusion* – Drift diffusion.

**DIBL** : *Drain Induced Barrier Lowering* –  
Abaissement de barrière due à la  
polarisation du drain.

**EDA** : *Electronic Design Automation* –  
CAO électronique.

**EG** : *Extended Gate* – Grille étendue.

**EOT** : *Equivalent Oxide Thickness* –  
Épaisseur de grille équivalente.

**FD-SOI** : *Fully-Depleted Silicon On  
Insulator* – Silicium totalement déserté  
sur isolant.

**FEOL** : *Front End Of Line* – Couche  
contenant les transistors du circuit  
intégré.

**GDSII** : *Graphic Database System II* –  
Format de fichier contenant des  
dessins de masques utilisé pour la  
fabrication de puces électroniques.

**GIDL** : *Gate Induced Drain Leakage* –  
Fuite du drain induite par la grille.

**IC** : *Integrated Circuit* – Circuit intégré.

**LVT** : *Low Voltage threshold* – Tension  
de seuil basse.

**MEB** : Microscope électronique à  
balayage.

**MOS** : *Metal Oxide Semiconductor* –  
Métal oxyde semi-conducteur.

**MOSFET** : *Metal Oxide Semiconductor  
Field Effect Transistor* – Transistor à  
effet de champ à structure MOS.

**NMOS** : Transistor MOSFET dont le  
dopage des sources et drains est de  
type N.

**NTC** : *Negative Temperature Coefficient* –  
CTN.

**OTP** : *One Time Programmable* –  
Mémoire morte programmable.

**PCB** : *Printed Circuit Board* – Carte  
électronique.

**PD-SOI** : *Partially-Depleted Silicon On Insulator* – Silicium partiellement déserté sur isolant.

**PMOS** : Transistor MOSFET dont le dopage des sources et drains est de type P.

**PROM** : *Programmable Read Only Memory* – Mémoire morte programmable.

**PTC** : *Positive Temperature Coefficient* – CTP.

**PVT** : *Process Voltage Temperature* – Processus de fabrication, tension et température.

**ROM** : *Read Only Memory* – Mémoire morte.

**RVT** : *Regular Voltage threshold* – Tension de seuil normale.

**SCE** : *Short Channel Effect* – Effet de canal court.

**SD** : *Sentaurus Device* – Simulateur de dispositifs électroniques de Sentaurus.

**SEM** : *Scanning Electron Microscope* – MEB.

**SG** : *Standard Gate* – Grille standard.

**SoC** : *System on Chip* – Systèmes sur puces.

**SOI** : *Silicon On Insulator* – Silicium sur isolant.

**SP** : *Sentaurus Process* – Simulateur de processus de fabrication pour la microélectronique de Sentaurus.

**SPICE** : *Simulation Program with Integrated Circuit Emphasis* – Logiciel de simulation de circuit intégrés.

**SS** : *Subthreshold Slope* – Pente sous le seuil.

**SSE** : *Sentaurus Structure Editor* – Éditeur de structure de Sentaurus.

**STI** : *Shallow Trench Isolation* – Isolation par tranchée peu profonde.

**TCAD** : *Technology Computer Aided Design* – Sous genre de CAO.

**TD** : *ThermoDynamic* – Thermodynamique.

**TIM** : *Thermal Interface Material* – Matériau d'interface thermique.

**TSV** : *Through Silicon Via* – Via traversant le silicium/substrat.

**UTBB** : *Ultra Thin Body and BOX* – Film mince de silicium sur couche fine d'oxyde enterrée.

**UTSOI** : *Ultra Thin Silicon On Insulator* – Film mince de silicium sur isolant.

**VLSI** : *Very Large Scale Integration* – Intégration à très large échelle.

**ZTC** : *Zero Temperature Coefficient* – CT0.

---

## LISTES DES SYMBOLES

---

$\vec{J}_M$	: Densité de courant traversant le métal [A.m <sup>-2</sup> ].	<b>BC</b>	: Contact de corps ( <i>Body Contact</i> ) d'un transistor.
$\vec{J}_{diff}$	: Densité de courant de diffusion [A.m <sup>-2</sup> ].	<b>BG</b>	: Grille arrière ( <i>Back Gate</i> ) d'un transistor.
$\vec{J}_{drift}$	: Densité de courant de dérive [A.m <sup>-2</sup> ].	<b>c</b>	: Capacité thermique massique [J.K <sup>-1</sup> kg <sup>-1</sup> ].
$\vec{J}_{n,diff}$	: Densité de courant de diffusion d'électrons [A.m <sup>-2</sup> ].	<b>C</b>	: Carbone.
$\vec{J}_{n,drift}$	: Densité de courant de dérive d'électrons [A.m <sup>-2</sup> ].	<b>C</b>	: Coulomb, unité de charge électrique.
$\vec{J}_n$	: Densité de courant d'électrons [A.m <sup>-2</sup> ].	<b>C<sub>BOX</sub></b>	: Capacité surfacique du BOX.
$\vec{J}_{p,diff}$	: Densité de courant de diffusion de trous [A.m <sup>-2</sup> ].	<b>C<sub>d</sub></b>	: Capacité surfacique de déplétion sous la grille.
$\vec{J}_{p,drift}$	: Densité de courant de dérive de trous [A.m <sup>-2</sup> ].	<b>C<sub>L</sub></b>	: Capacité thermique volumique [J.K <sup>-1</sup> m <sup>-3</sup> ].
$\vec{J}_p$	: Densité de courant de trous [A.m <sup>-2</sup> ].	<b>C<sub>ox</sub></b>	: Capacité surfacique de l'oxyde de grille.
$\vec{J}_{th}$	: Densité de flux thermique ou de chaleur [W.m <sup>-2</sup> ].	<b>C<sub>si</sub></b>	: Capacité surfacique du film actif.
$\vec{S}_L$	: Densité de flux thermique ou de chaleur [W.m <sup>-2</sup> ].	<b>C<sub>th</sub></b>	: Capacitance thermique du transistor dans le modèle UTSOI 2.2 [J.K <sup>-1</sup> ].
$\vec{E}$	: Champ électrique [V.m <sup>-1</sup> ].	<b>Cu</b>	: Cuivre.
$\vec{J}$	: Densité de courant [A.m <sup>-2</sup> ].	<b>D</b>	: Drain d'un transistor.
°C	: Degré Celsius, unité de température, 0°C = 273,15 K.	<b>D<sub>n</sub></b>	: Diffusivité des électrons.
μ	: Micro, préfixe pour 10 <sup>-6</sup> .	<b>D<sub>p</sub></b>	: Diffusivité des trous.
μ <sub>n</sub>	: Mobilité des électrons [m <sup>2</sup> .V <sup>-1</sup> s <sup>-1</sup> ].	<b>e<sup>-</sup></b>	: Électron, porteur de charge négative (-q).
μ <sub>p</sub>	: Mobilité des trous [m <sup>2</sup> .V <sup>-1</sup> s <sup>-1</sup> ].	<b>e</b>	: Épaisseur.
<b>A</b>	: Ampère, unité de courant électrique.	<b>E<sub>bi</sub></b>	: Champ électrique interne d'une jonction PN.
<b>Al</b>	: Aluminium.	<b>E<sub>C</sub></b>	: Bande d'énergie de conduction.
		<b>E<sub>G</sub></b>	: Énergie du gap.
		<b>E<sub>th</sub></b>	: Énergie thermique.

<b>E<sub>v</sub></b>	: Bande d'énergie de valence.	<b>I<sub>off</sub></b>	: Courant de drain lorsque V <sub>gs</sub> = 0 V et V <sub>ds</sub> = VDD.
<b>eV</b>	: Électronvolt, unité d'énergie, 1 eV = 1,602×10 <sup>-19</sup> J.	<b>I<sub>on</sub></b>	: Courant de drain lorsque V <sub>gs</sub> = V <sub>ds</sub> = VDD.
<b>f</b>	: Femto, préfixe pour 10 <sup>-15</sup> .	<b>I<sub>p</sub></b>	: Courant de programmation.
<b>G</b>	: Giga, préfixe pour 10 <sup>+9</sup> .	<b>I<sub>s</sub></b>	: Courant de source.
<b>G</b>	: Grille d'un transistor.	<b>I<sub>s1</sub></b>	: Courant de source 1.
<b>Ga</b>	: Gallium.	<b>I<sub>s12</sub></b>	: Courant traversant entre les deux contacts de source.
<b>G<sub>ds</sub></b>	: Conductance de drain-source.	<b>I<sub>s2</sub></b>	: Courant de source 2.
<b>G<sup>opt</sup></b>	: Taux de génération optique [m <sup>3</sup> s <sup>-1</sup> ].	<b>J</b>	: Joule, unité d'énergie.
<b>G<sub>T</sub></b>	: Taux de génération de chaleur par unité de volume [W.m <sup>-3</sup> ].	<b>k</b>	: Constante de Boltzmann k = 1,38×10 <sup>-23</sup> J.K <sup>-1</sup> .
<b>H</b>	: Densité de taux de transfert thermique dues aux processus de génération-recombinaison [W.m <sup>-3</sup> ].	<b>K</b>	: Kelvin, unité de température, 273,15 K = 0°C.
<b>h<sup>+</sup></b>	: Trou, porteur de charge positive (+q).	<b>k</b>	: Kilo, préfixe pour 10 <sup>+3</sup> .
<b>Hf</b>	: Hafnium.	<b>kg</b>	: Kilogramme, unité de masse, 1 kg = 1000 g.
<b>I</b>	: Courant électrique.	<b>L</b>	: Longueur de grille d'un transistor.
<b>icc</b>	: Constante de courant utilisée pour la méthode du courant constant.	<b>L</b>	: Longueur.
<b>I<sub>d</sub></b>	: Courant de drain.	<b>M</b>	: Méga, préfixe pour 10 <sup>+6</sup> .
<b>I<sub>ds</sub></b>	: Courant drain-source.	<b>m</b>	: Mètre, unité de distance.
<b>I<sub>dsat</sub></b>	: I <sub>ds</sub> en régime de saturation.	<b>m</b>	: Milli, préfixe pour 10 <sup>-3</sup> .
<b>I<sub>ds<sub>sub</sub></sub></b>	: I <sub>ds</sub> en régime sous le seuil.	<b>N</b>	: Azote.
<b>I<sub>d<sub>sub</sub></sub></b>	: I <sub>d</sub> en régime sous le seuil.	<b>n</b>	: Densité ou concentration d'électrons [m <sup>-3</sup> ].
<b>I<sub>g</sub></b>	: Courant de grille.	<b>N</b>	: Dopage avec dopants donneurs.
<b>I<sub>G1</sub></b>	: Courant de grille 1.	<b>n</b>	: Facteur d'idéalité d'un transistor.
<b>I<sub>G12</sub></b>	: Courant traversant entre les deux extrémités de la grille.	<b>n</b>	: Nano, préfixe pour 10 <sup>-9</sup> .
<b>I<sub>G2</sub></b>	: Courant de grille 2.	<b>N<sub>A</sub></b>	: Densité ou concentration de dopants accepteurs [m <sup>-3</sup> ].
<b>I<sub>gon</sub></b>	: Courant de grille lorsque V <sub>gs</sub> = V <sub>ds</sub> = VDD.	<b>nbd</b>	: Nombre de doigt d'un transistor multi-doigts.
<b>I<sub>gs</sub></b>	: Courant grille-source.		

<b>N<sub>D</sub></b>	: Densité ou concentration de dopants donneurs [m <sup>-3</sup> ].	<b>R<sub>G,off</sub></b>	: R <sub>G12</sub> lorsque le transistor est éteint.
<b>n<sub>i</sub></b>	: Densité ou concentration intrinsèque de porteurs de charge [m <sup>-3</sup> ].	<b>R<sub>G,on</sub></b>	: R <sub>G12</sub> lorsque le transistor est allumé.
<b>Ni</b>	: Nickel.	<b>R<sub>G0</sub></b>	: R <sub>G12</sub> lorsque la température est nulle.
<b>n<sub>th</sub></b>	: Facteur de couplage pour les transistors multi-doigt dans le modèle UTSOI 2.2.	<b>R<sub>G12</sub></b>	: Résistance située entre les deux extrémités de la grille.
<b>O</b>	: Oxygène.	<b>R<sub>GT</sub></b>	: Pente de R <sub>G12</sub> en fonction de la température [Ω.K <sup>-1</sup> ].
<b>p</b>	: Densité ou concentration de trous [m <sup>-3</sup> ].	<b>R<sub>net,n</sub></b>	: Taux de recombinaison pour les électrons [m <sup>3</sup> s <sup>-1</sup> ].
<b>P</b>	: Dopage avec dopants accepteurs.	<b>R<sub>net,p</sub></b>	: Taux de recombinaison pour les trous [m <sup>3</sup> s <sup>-1</sup> ].
<b>p</b>	: Pico, préfixe pour 10 <sup>-12</sup> .	<b>R<sub>S0</sub></b>	: R <sub>S12</sub> lorsque la température est nulle.
<b>P<sub>CT</sub></b>	: Puissance du capteur.	<b>R<sub>S12</sub></b>	: Résistance située entre les deux contacts de source.
<b>P<sub>D</sub></b>	: Puissance thermique du transistor dans le modèle UTSOI 2.2.	<b>R<sub>ST</sub></b>	: Pente de R <sub>S12</sub> en fonction de la température [Ω.K <sup>-1</sup> ].
<b>P<sub>E</sub></b>	: Puissance électrique du transistor dans le modèle UTSOI 2.2.	<b>R<sub>th</sub></b>	: Résistance thermique du transistor dans le modèle UTSOI 2.2 [K.W <sup>-1</sup> ].
<b>P<sub>M</sub></b>	: Puissance thermoélectrique du métal [V.K <sup>-1</sup> ].	<b>s</b>	: Seconde, unité de temps.
<b>P<sub>n</sub></b>	: Puissance thermoélectrique absolue pour les électrons [V.K <sup>-1</sup> ].	<b>S</b>	: Siemens, unité de conductance.
<b>P<sub>p</sub></b>	: Puissance thermoélectrique absolue pour les trous [V.K <sup>-1</sup> ].	<b>S</b>	: Source d'un transistor.
<b>p<sub>th</sub></b>	: Densité de puissance thermique [W.m <sup>-3</sup> ].	<b>S</b>	: Surface.
<b>P<sub>th</sub></b>	: Puissance thermique.	<b>Si</b>	: Silicium.
<b>q</b>	: Charge élémentaire q = 1,602×10 <sup>-19</sup> C.	<b>s<sub>wshe</sub></b>	: Paramètre pour l'activation de l'auto-échauffement dans le modèle UTSOI 2.2.
<b>R</b>	: Résistance électrique.	<b>T</b>	: Température.
<b>R<sub>ds</sub></b>	: Résistance de drain-source.	<b>t</b>	: Temps.
<b>R<sub>ds<sub>sub</sub></sub></b>	: R <sub>ds</sub> en régime sous le seuil.	<b>T</b>	: Téra, préfixe pour 10 <sup>+12</sup> .
		<b>T<sub>G</sub></b>	: Température de la grille.
		<b>Ti</b>	: Titane.

$T_{KC}$	: Température du transistor dans le modèle UTSOI 2.2.	$V_{T,bg}$	: Tension de seuil arrière.
$T_{KD}$	: Température ambiante dans le modèle UTSOI 2.2.	$W$	: Largeur de grille d'un transistor.
$T_{KR}$	: Température de référence dans le modèle UTSOI 2.2.	$W$	: Tungstène.
$T_S$	: Température de la source.	$W$	: Watt, unité de puissance.
$U$	: Tension électrique.	$W_{12}$	: Largeur séparant les vias de contact entre les deux contacts de source d'un transistor à double contact de source.
$U_T$	: Tension thermique.	$Wd$	: Largeur de grille d'un doigt d'un transistor multi-doigt.
$V$	: Volt, unité de tension ou potentiel électrique.	$W_R$	: Largeur de la zone non siliciurée dans les structures à double contact de source.
$V_{bg}$	: Potentiel de la grille arrière.	$\Delta T_C$	: Élévation de la température du transistor dans le modèle UTSOI 2.2.
$V_{bi}$	: Tension interne d'une jonction PN.	$\kappa$	: Conductivité thermique [ $W.K^{-1}.m^{-1}$ ].
$V_{CT}$	: Tension de sortie du capteur.	$\rho$	: Densité massique [ $kg.m^{-3}$ ].
$V_d$	: Potentiel de drain.	$\rho$	: Résistivité électrique [ $\Omega.m$ ].
$V_{DD}$	: Tension d'alimentation, 0,9 V (ou 1 V) et 1,8 V pour, respectivement, les transistors SG et EG.	$\sigma$	: Conductivité électrique [ $S.m^{-1}$ ].
$V_{ds}$	: Tension drain-source.	$\tau_{th}$	: Constante de temps thermique d'un transistor dans le modèle UTSOI 2.2.
$V_{ds_{sat}}$	: Tension de saturation.	$\Phi_M$	: Potentiel de Fermi du métal.
$V_g$	: Potentiel de grille.	$\Phi_n$	: Potentiel de Quasi-Fermi pour les électrons.
$V_{G1}$	: Potentiel de la grille 1.	$\Phi_p$	: Potentiel de Quasi-Fermi pour les trous.
$V_{G12}$	: Tension entre les deux extrémités de la grille.	$\Omega$	: Ohm, unité de résistance.
$V_{G2}$	: Potentiel de la grille 2.		
$V_{gs}$	: Tension grille-source.		
$V_P$	: Tension de programmation.		
$V_s$	: Potentiel de source.		
$V_{S1}$	: Potentiel de la source 1.		
$V_{S12}$	: Tension entre les deux contacts de source.		
$V_{S2}$	: Potentiel de la source 2.		
$V_T$	: Tension de seuil d'un MOSFET.		



---

# INTRODUCTION GÉNÉRALE

---

Le marché des puces électroniques est en forte expansion notamment du fait de l'augmentation de la demande pour : (i) les dispositifs électroniques portatifs (ordinateurs et téléphones portables, tablettes...); (ii) les moyens de transport autonome (voitures, trains...); (iii) les objets connectés (montres, lunettes...) et (iv) l'internet des objets (IOT, *Internet Of Things*). Cette demande a conduit, ces dernières décennies, à une course à la miniaturisation des transistors et à l'augmentation de la densité surfacique de transistors dans les puces à chaque nouvelle génération (loi de Moore). Ceci a pour conséquence une augmentation de la puissance électrique générée par unité de surface à l'intérieur de ces puces. Or, la puissance électrique se dissipe principalement sous forme de chaleur, ce qui implique une augmentation de la température par auto-échauffement desdites puces. Ce fort auto-échauffement a une incidence importante sur les performances et la durée de vie des puces. En outre, ces dernières années, la miniaturisation a atteint un plancher du fait des dimensions physiques des transistors qui ne peuvent être réduites d'avantages. De même, le coût unitaire des transistors ne diminue plus avec la miniaturisation car les techniques de fabrication sont de plus en plus onéreuses.

Afin de continuer à proposer des puces électroniques plus puissantes et moins chères, des solutions dites « Plus que Moore » (*More than Moore*) sont développées telles que l'électronique quantique, le neuromorphisme, la technologie 3D... Une autre façon d'améliorer les puces passe par la modification des architectures des systèmes sur puces (SoC, *System on Chip*) permettant un gain de performance sans pour autant augmenter l'auto-échauffement (cas des processeurs multicœurs par exemple).

Depuis plusieurs années, il y a une prise de conscience de la communauté scientifique sur l'importance de la température dans les puces et la nécessité de la contrôler pour éviter la dégradation de leurs performances, leurs vieillissements accélérés, voire leurs destructions à la suite à d'un emballement thermique. Ainsi, il existe de plus en plus de solutions pour corriger les variations dues au processus de fabrication, à la tension d'alimentation et à la température (PVT, *Process Voltage Temperature*).

Actuellement, en microélectronique, il existe une multitude de technologies à base de silicium telles que la technologie en silicium massif (*bulk*), en silicium sur isolant (SOI, *Silicon On Insulator*), et plus particulièrement, en silicium partiellement déserté sur isolant (PD-SOI, *Partially Depleted SOI*) ou en silicium totalement déserté sur isolant (FD-SOI, *Fully Depleted SOI*).

Les travaux de recherche présentés dans ce manuscrit concernent le comportement des transistors, circuits intégrés (IC, *Integrated Circuit*), SoCs et puces vis-à-vis de l'activité électrothermique. En particulier, nous avons cherché à concevoir des solutions pour optimiser l'impact de la température sur les dispositifs électroniques (robustesse électrothermique). Ces solutions ont aussi permis de développer des applications dérivées. La technologie utilisée pour la fabrication de nos solutions est la technologie 28 nm FD-SOI de STMicroelectronics. Pour ce faire, nous nous appuyons sur des outils numériques permettant des simulations électrothermiques au niveau du transistor jusqu'au SoC.

Ce manuscrit se divise en quatre chapitres :

- Le premier chapitre présente les notions théoriques utiles à la compréhension des travaux réalisés incluant une introduction sur les semiconducteurs, sur l'énergie thermique et sur les propriétés thermiques des matériaux. Nous présentons la technologie 28 nm FD-SOI de STMicroelectronics et le comportement thermique des transistors dans cette technologie. Nous effectuons également une revue de solutions existantes pour la robustesse électrothermique. Enfin, les objectifs de cette thèse clôtureront ce chapitre.
- Le second chapitre présente les différents outils numériques utilisés (et améliorés) pour nos simulations électrothermiques aux niveaux des transistors, ICs et SoCs.
- Le troisième chapitre est consacré aux structures particulières avec fonctionnalisation de la source ainsi que leurs diverses applications (chauffage in-situ, recuits locaux, points mémoires et autorégulation en température).
- Enfin, le dernier chapitre détaille un nouveau capteur de température basse consommation et son intégration dans un circuit avec un transistor permettant de modifier le comportement électrothermique dudit circuit.

---

# CHAPITRE I : NOTIONS UTILES À LA COMPRÉHENSION DES TRAVAUX DE LA THÈSE

---

I.1	Introduction .....	30
I.2	Quelques notions de physique .....	30
I.3	Technologie 28 nm UTBB FD-SOI .....	37
I.4	Robustesse électrothermique.....	51
I.5	Objectifs de la thèse .....	58
I.6	Conclusion.....	59
I.7	Références.....	60

## I.1 Introduction

Le but de ce chapitre est d'apporter des éléments utiles à la compréhension des travaux réalisés pendant cette thèse. Tout d'abord, nous aborderons l'aspect physique, notamment sur les semi-conducteurs, la chaleur et les propriétés thermiques des matériaux. Ensuite, nous présenterons le fonctionnement des transistors MOS (*Metal Oxide Semiconductor*). Puis, nous évoquerons la technologie silicium totalement déserté sur isolant (FD-SOI, *Fully-Depleted Silicon On Insulator*) 28 nm avec film mince de silicium sur couche fine d'oxyde enterrée (UTBB, *Ultra Thin Body and BOX*), soit la technologie 28 nm UTBB FD-SOI, de STMicroelectronics avec laquelle nous avons fait fabriquer les dispositifs électroniques utilisés dans cette thèse. De plus, nous étudierons le comportement électrique et thermique des transistors MOS dans cette technologie. Par la suite, nous montrerons quelques solutions pour améliorer la robustesse électrothermique des dispositifs électroniques. Enfin, nous présenterons les objectifs de cette thèse.

Pour plus de détails sur la physique du semiconducteur et la microélectronique, le lecteur peut se reporter aux ouvrages, articles scientifiques et autres documents sur lesquels nous nous sommes basés pour écrire ce chapitre (voir section I.7).

## I.2 Quelques notions de physique

### I.2.1 Résistance électrique

Tout au long de ce manuscrit, nous utiliserons la notion de résistance électrique (la résistance thermique sera abordée ultérieurement dans ce chapitre), cependant, ce mot peut avoir des significations diverses.

La résistance électrique d'un matériau correspond à la capacité physique de son volume (de longueur  $L$  et de surface  $S$ ) à résister au courant électrique<sup>1</sup> qui le traverse (dans le sens de la longueur) sous l'effet d'un champ électrique (voir **FIGURE I.1a**). Ce matériau est un solide homogène et uniforme, c'est-à-dire ses propriétés électriques sont constantes dans tout son volume. La relation liant la densité de courant (noté  $\vec{j}$ ) traversant le matériau dans le sens de la longueur au champ électrique (noté  $\vec{E}$ ) appliqué s'écrit (loi d'Ohm locale) :

$$\vec{j} = \sigma \vec{E} = \frac{1}{\rho} \vec{E} \quad (\text{I-1})$$

---

<sup>1</sup> Flux de porteurs de charges libres.

Avec,  $\sigma$  et  $\rho$ , respectivement, la conductivité et la résistivité électrique du matériau. La conductivité correspond à la capacité du matériau à laisser passer le courant sous l'effet d'un champ électrique et est inversement proportionnelle à la résistivité. La résistivité correspond donc à la capacité du matériau à résister au courant électrique qui le traverse lorsqu'un champ électrique est appliqué. La conductivité électrique d'un matériau dépend de plusieurs paramètres dont, entre autres, sa température et ses dimensions (pour les structures nanométriques).

En termes de composant électronique (voir **FIGURE I.1b**), la résistance électrique est un dipôle<sup>2</sup> passif dont la valeur (notée  $R$ ) correspond à la capacité du dipôle à résister au courant électrique (noté  $I$ ) qui le traverse lorsque qu'une tension (notée  $U$ ) est appliquée entre ses deux bornes. L'équation reliant  $U$ ,  $R$  et  $I$  est connue sous le nom de loi d'Ohm et correspond à :

$$U = R \times I \quad (\text{I-2})$$

Lorsque le dipôle est constitué d'un seul type de matériau, sa résistance ( $R$ ) est reliée à la résistivité du matériau par :

$$R = \frac{\rho L}{S} \quad (\text{I-3})$$

Avec,  $L$ , la longueur du matériau entre les deux bornes du dipôle et  $S$ , la section constante dans le plan orthogonal à la longueur. À noter que pour obtenir l'équation (I-2), il suffit d'intégrer l'équation (I-1) sur toute la surface  $S$ , en utilisant l'équation (I-3) et la relation  $\vec{E} = -\vec{\nabla}(V)$ .

Lorsque le dipôle est constitué de plusieurs éléments (voir **FIGURE I.2**),  $R$  correspond à la résistance équivalente de cet ensemble d'éléments et, selon que ces couches sont en série ou en parallèle, est égale à :

$$R_{\text{série}} = \sum R_i \text{ ou } \frac{1}{R_{\text{parallèle}}} = \sum \frac{1}{R_i} \quad (\text{I.4})$$

---

<sup>2</sup> Dispositif électronique composé de deux bornes électriques, souvent noté anode et cathode.

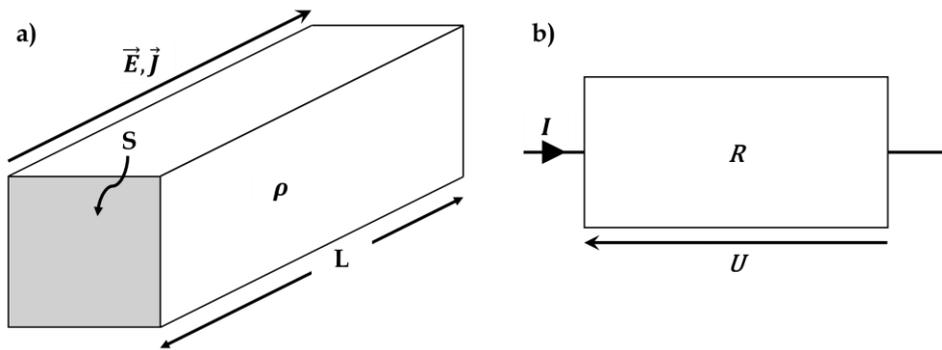


FIGURE I.1 - a) Représentation simplifiée d'un volume de matériau de longueur  $L$ , de section  $S$  et de résistivité  $\rho$  ; b) Symbole électrique d'une résistance de valeur  $R$  soumise à une tension  $U$  et avec un courant  $I$  la traversant.

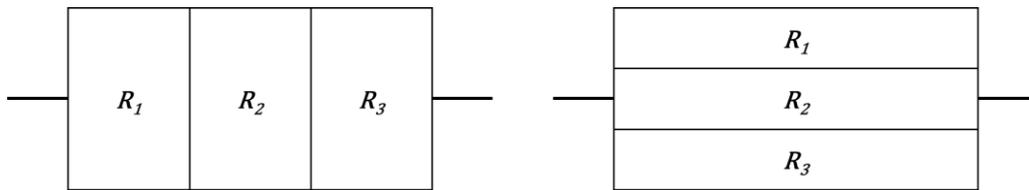


FIGURE I.2 - Représentation simplifiée d'une résistance composée de couches de matériaux différents en série (à gauche) ou en parallèle (à droite).

## I.2.2 Physique du semi-conducteur

Les matériaux peuvent être composés d'un seul élément chimique (par exemple dans le cas du silicium, des métaux...) ou de plusieurs éléments, dans ce cas, on parle de composé chimique. Les alliages sont des composés chimiques dont l'élément principal est un métal. De même, les siliciures (*silicides*), les nitrures (*nitrides*) et les oxydes (*oxides*) sont des composés chimiques dont l'élément principal est, respectivement, le silicium, l'azote et l'oxygène, comme par exemple le siliciure de nickel (NiSi), le nitrure de silicium ( $\text{Si}_3\text{N}_4$ ), de titane (TiN), de gallium (GaN), l'oxyde de silicium ( $\text{SiO}_2$ ) et d'hafnium ( $\text{HfO}_2$ ). Pour la microélectronique, la majorité des matériaux utilisés sont des composés chimiques.

Il est aussi possible de diviser les matériaux en trois catégories (diélectrique ou isolant, conducteur et semi-conducteur). Les matériaux diélectriques ( $\text{SiO}_2$ ,  $\text{HfO}_2$ ,  $\text{Si}_3\text{N}_4$ ...) sont des isolants électriques, ils ont une résistivité très grande (typiquement de l'ordre  $10^8 \Omega \cdot \text{cm}$ ) et, en général, ont des structures amorphes (non cristallines). Les matériaux conducteurs (Cu, Al, TiN, NiSi...) laissent passer le courant électrique, ils ont une conductivité très grande (et inversement, une résistivité très faible, typiquement de l'ordre de  $10^{-6} \Omega \cdot \text{cm}$ ) et ont des structures cristallines. Enfin, les matériaux semi-conducteurs (Si, GaN...) ont, à l'instar des matériaux conducteurs, des structures cristallines mais leur conductivité est beaucoup plus faible. À noter qu'en général, la conductivité des matériaux conducteurs diminue tandis que celle des matériaux semi-conducteurs intrinsèques augmente avec la température.

Un matériau à structure cristalline, ou plus communément appelé matériau cristallin ou cristal, est constitué d'éléments organisés selon un motif élémentaire (quelques atomes tout au plus) qui est répété dans tout le volume suivant ses trois axes de direction élémentaires. Parfois, le matériau se présente sous une structure polycristalline (comme le poly-silicium ou silicium polycristallin), c'est-à-dire les éléments constitutifs sont organisés comme pour un cristal mais les trois axes de direction élémentaires sont différents d'une zone à l'autre du volume (voir FIGURE I.3).

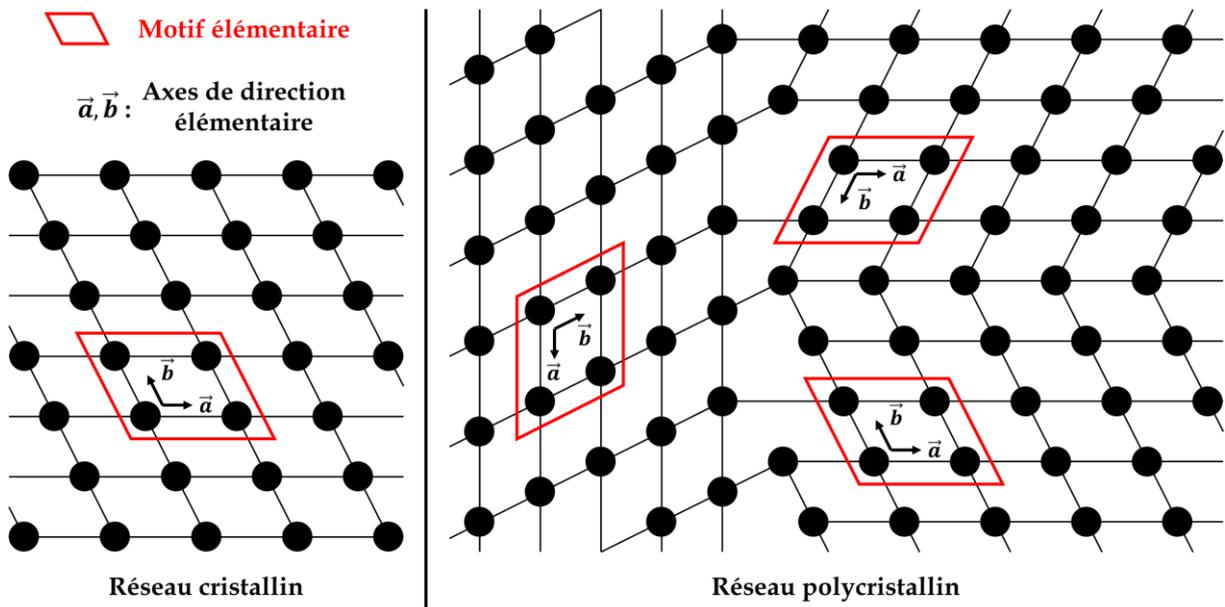


FIGURE I.3 - Schéma, en 2D, d'un réseau cristallin et polycristallin, les atomes sont représentés par des disques et les liaisons interatomiques par des traits.

À l'état naturel, les matériaux semi-conducteurs ne permettent pas (ou très peu) la conduction du courant électrique. En effet, contrairement aux matériaux conducteurs, il faut apporter une énergie suffisante (appelée  $E_G$  et dont la valeur est caractéristique du matériau) aux électrons (noté  $e^-$ ), situés dans une bande d'énergie dite de valence, pour qu'ils transitent vers une autre bande d'énergie, dite de conduction, et qu'ils participent à la conduction du courant électrique. Autrement dit, en apportant de l'énergie, on peut modifier la conductivité du matériau. Ainsi, l'énergie thermique présente dans le matériau permet à un nombre limité d'électrons de transiter de la bande de valence vers la bande de conduction, nombre d'autant plus élevé que la température est grande, d'où une augmentation de la conductivité. Par ailleurs, lorsque ces électrons transitent vers la bande de conduction, ils libèrent des places (en termes de charge électrique) dans la bande de valence, ces places sont appelées « trou » ( $h^+$ , *hole*). Ces trous correspondent à des porteurs de charges électriques positives (à un trou correspond une charge de  $+q$ ) tandis que les électrons correspondent à des porteurs de charges électriques négatives (à un électron correspond une charge de  $-q$ ). La transition (par absorption d'énergie) d'un électron

de la bande de valence vers la bande de conduction va générer une paire d'électron-trou et, inversement, la transition (par émission d'énergie) d'un électron de la bande de conduction vers la bande de valence va recombiner l'électron avec un trou.

Seuls les électrons de la bande de conduction (de concentration  $n$ ) ou les trous de la bande de valence (de concentration  $p$ ), appelés porteurs libres, participent à la conduction du courant électrique (quantifié par sa densité  $\vec{J}$ ) par leurs déplacements. Le courant peut être décomposé en deux courants, le courant de diffusion ( $\vec{J}_{diff}$ ), dû à un gradient de concentration des porteurs libres et le courant de dérive ( $\vec{J}_{drift}$ ), dû à un champ électrique (noté  $\vec{E}$ ).

$$\begin{cases} \vec{J} = \vec{J}_n + \vec{J}_p = \vec{J}_{diff} + \vec{J}_{drift} \\ \vec{J}_n = nq\mu_n\vec{E} + qD_n\vec{\nabla}n = \vec{J}_{n,diff} + \vec{J}_{n,drift} \\ \vec{J}_p = pq\mu_p\vec{E} - qD_p\vec{\nabla}p = \vec{J}_{p,diff} + \vec{J}_{p,drift} \end{cases} \quad (I-5)$$

Avec,  $q$ , la charge élémentaire et, pour les électrons,  $\vec{J}_n$ ,  $\mu_n$ ,  $D_n$ ,  $\vec{J}_{n,diff}$  et  $\vec{J}_{n,drift}$ , respectivement, la densité de courant, la mobilité, la diffusivité, la densité de courant de diffusion et de dérive (pour les trous on remplace le «  $n$  » par un «  $p$  »). À remarquer que l'équation pour le courant de dérive est de même forme que la loi d'Ohm locale, la conductivité et la résistivité d'un semi-conducteur sont données par l'équation :

$$\sigma = \frac{1}{\rho} = q(n\mu_n + p\mu_p) \quad (I-6)$$

Ces courants de diffusion et de dérive peuvent être impactés par des phénomènes de génération-recombinaison dus à des pièges<sup>3</sup> (SRH), transferts d'énergie cinétique (ionisation par impact et recombinaison Auger) ou des champs électriques forts (effet tunnel bande à bande).

Enfin, il est possible d'améliorer la conductivité des semi-conducteurs en les dopant [Sze07, p.32], c'est-à-dire en substituant des atomes du semi-conducteur par des atomes d'autres éléments chimiques (appelés dopants). Les dopants sont classés en deux catégories : les dopants donneurs (par exemple du phosphore) fournissent des électrons supplémentaires à la bande de conduction (dopage de type N) tandis que les dopants accepteurs (par exemple du bore) fournissent des trous supplémentaires à la bande de valence (dopage de type P). La concentration en dopants ( $N_D$  dopants donneurs ou  $N_A$  dopants accepteurs) doit rester inférieure à la concentration intrinsèque d'atomes du semi-conducteur (environ  $5.10^{22} \text{ cm}^{-3}$  pour le silicium). Les

<sup>3</sup> Impuretés ou défauts cristallin dans le matériau semi-conducteur.

semi-conducteurs non dopés sont dits intrinsèques (la concentration intrinsèque,  $n_i = n = p$ , est d'environ  $1.10^{10} \text{ cm}^{-3}$  pour le silicium à 300 K) et ceux dopés sont dits extrinsèques. Les concentrations des électrons et des trous ainsi ajoutés sont égales à  $N_D$  et  $N_A$  lorsqu'ils sont entièrement ionisés (ce qui est le cas à température ambiante pour le silicium [Sze07, p.21-27]). Puisqu'en général,  $N_D \gg n_i$  ou  $N_A \gg n_i$ ,  $n = N_D \gg p$  (dans le cas d'un dopage N) ou  $p = N_A \gg n$  (dans le cas d'un dopage P). Les électrons de la bande de conduction sont appelés porteurs majoritaires dans les semi-conducteurs dopés N et porteurs minoritaires dans les semi-conducteurs dopés P et inversement pour les trous de la bande de valence. Par convention, pour les semi-conducteurs fortement dopés, un signe « + » est ajouté au type de dopage (« N+ » ou « P+ »).

En mettant bout à bout deux barreaux de semi-conducteurs dopés, respectivement, P et N, une jonction PN se crée au niveau de l'interface. Ces jonctions PN sont des éléments de base pour la microélectronique, en particulier pour les transistors.

### I.2.3 Énergie thermique

L'énergie thermique ( $E_{th}$ ) correspond à l'énergie cinétique des atomes ou molécules d'un matériau (solide, liquide ou gazeux), c'est-à-dire à la vibration (mouvement autour d'une position initiale ou d'équilibre) de ces particules dans le matériau. La chaleur correspond au transfert d'énergie thermique entre deux systèmes tandis que la puissance thermique ( $P_{th}$ ) est le taux de chaleur par unité de temps. La température est une grandeur physique mesurant le degré de vibration des particules (atomes, molécules...) d'un matériau. Plus la température est élevée, plus l'amplitude des vibrations est importante, la fréquence de ces vibrations dépend de la nature du matériau. L'énergie thermique, dans un matériau cristallin, peut être quantifiée par des quasi-particules appelées phonons [Berland99; Ziman01]. Ces phonons et, en particulier, leurs interactions avec d'autres particules sont impliquées dans de nombreuses propriétés physiques des matériaux comme la conductivité électrique et thermique. Leur étude dépasse le cadre de cette thèse mais elle permet de comprendre de façon plus précise les transferts thermiques, en particulier dans les structures nanométriques. Il existe trois modes pour le transfert d'énergie thermique :

- Transfert par conduction, sans déplacement de matière. Dans un matériau cristallin, la chaleur se crée au travers des porteurs de charges libres (électrons ou trous) et des phonons.
- Transfert par convection, dû à un déplacement de matière dans un matériau fluide.

- Transfert par radiation, dû à une émission ou absorption d'ondes électromagnétiques comme, par exemple, le rayonnement d'un corps noir.

L'équation de chaleur par conduction dans un matériau isotrope s'écrit :

$$\rho c \frac{\partial T}{\partial t} + \vec{\nabla}(\vec{J}_{th}) = p_{th} \quad (I.7)$$

Avec  $\rho$ , la densité massique,  $c$ , la capacité thermique massique,  $T$ , la température,  $\vec{J}_{th}$ , la densité de flux de chaleur et  $p_{th}$ , la densité de puissance thermique due aux sources de chaleur internes.

Lorsqu'un courant électrique traverse un matériau cristallin par application d'un champ électrique, des électrons vont interagir avec des atomes (interaction électron-phonon) et vont leur transmettre une partie de leur énergie cinétique, générant de la puissance thermique. Autrement dit, les électrons vont entrer en collision avec les atomes et augmenter leurs vibrations et donc la température localement. Ce phénomène s'appelle l'effet Joule et la densité de puissance thermique est définie par :

$$p_{th} = \vec{J} \cdot \vec{E} \quad (I.8)$$

En intégrant sur le volume, on retrouve l'équation plus connue de l'effet Joule :

$$P_{th} = U \times I \quad (I.9)$$

Lorsque la loi d'Ohm est applicable, l'équation (I-9) s'écrit :

$$P_{th} = R \times I^2 \quad (I.10)$$

#### I.2.4 Propriétés thermiques des matériaux

A l'instar de la conductivité électrique, la conductivité thermique ( $\kappa$ ) correspond à l'aptitude du matériau à conduire la chaleur en présence d'un gradient de température. L'équivalent de la loi d'Ohm locale pour la chaleur s'appelle la loi de Fourier et correspond à :

$$\vec{J}_{th} = -\kappa \vec{\nabla}(T) \quad (I.11)$$

Tout comme pour la conductivité électrique, la conductivité thermique dépend de la température [Sze07, p.55], du dopage dans le cas des semiconducteurs extrinsèques [Marconnet13; McConnell01] et, de manière générale, de la qualité du matériau. Les fortes similarités entre ces deux conductivités sont dues au fait que toute ou partie de la conduction thermique passe par les porteurs de charges libres, en particulier dans les métaux. Généralement, un matériau est à la fois un bon conducteur

électrique et thermique tandis qu'un matériau électriquement résistif sera thermiquement résistif.

Cependant, à l'échelle nanométrique, ces conductivités dépendent aussi des dimensions du matériau et elles diminuent au fur et à mesure que les dimensions se réduisent [Cahill14]. Plus précisément, les interfaces du matériau avec ses voisins (au niveau de ses frontières), qui sont généralement résistives, doivent être prises en compte dans le transport des porteurs de charges libres et des phonons. D'autres phénomènes, négligeables à l'échelle macroscopique, sont aussi à prendre en compte à l'échelle nanométrique mais ils ne seront pas étudiés dans le cadre de cette thèse. Ci-dessous, un tableau récapitulatif des conductivités thermiques de plusieurs matériaux :

Matériaux	$\kappa$ [W.K <sup>-1</sup> m <sup>-1</sup> ]	Références	Matériaux	$\kappa$ [W.K <sup>-1</sup> m <sup>-1</sup> ]	Références
SiO <sub>2</sub>	1,4	[Kleiner96]	Si	150	[Asheghi97]
HfO <sub>2</sub>	1,2	[Panzer09]	Si dopé	120-135	[Liu06a]
HfO <sub>2</sub> (6 nm)	0,5	[Panzer09]	Si (50 nm)	40 - 45	[Asheghi97]
Si <sub>3</sub> N <sub>4</sub>	20	[Roig02]	Si (20 nm)	22	[Liu06a]
Cu	400	[Liu06b]	Si (10 nm)	13	[Pop06]
Cu (150 nm)	240	[Liu06b]	Poly-Si	15-30	[McConnell01]
Cu (50 nm)	150	[Liu06b]	Poly-Si dopé	40-50	[McConnell01]
NiSi	40	[Pop06]	Poly-Si (80 nm)	11	[Cho15]

TABLEAU I.1 - Tableau récapitulatif des conductivités thermiques de quelques matériaux à 300 K.

### I.3 Technologie 28 nm UTBB FD-SOI

Cette section introduit le transistor MOS et la technologie 28 nm UTBB FD-SOI de STMicroelectronics. En addition, quelques caractéristiques du transistor, fabriqué avec cette technologie, seront présentées en soulignant l'effet de la température.

#### I.3.1 MOSFET

Les transistors sont des dispositifs électroniques actifs constitués d'au moins trois électrodes avec la troisième électrode permettant de contrôler le courant électrique circulant entre les deux premières bornes. Le MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) est un transistor à effet de champ à structure MOS. Il est constitué de trois zones de silicium extrinsèque alternativement dopé N et P (correspondant à deux jonctions PN), avec une couche de matériau diélectrique et conducteur (métal ou poly-

silicium dopé) superposées au-dessus de la zone centrale (formant une capacité). Les deux zones externes, fortement dopés sont appelés source (S) et drain (D) tandis que la troisième électrode, appelée grille (G), est connectée à l'empilement diélectrique/métal surplombant la zone du milieu (voir FIGURE I.4). À noter que les MOSFETs sont symétriques de part et d'autre de la grille (le dopage de la source et du drain est identique), ainsi, et par convention, la source correspond à l'électrode qui est la plus faiblement polarisée ( $V_s \leq V_d$ ). Enfin, un transistor est défini par les dimensions de sa grille avec  $L$ , la longueur de grille (prise dans la direction source-drain) et  $W$ , la largeur de grille (prise orthogonalement à  $L$ ). En effet, les courants présents dans le transistor dépendent fortement de ses dimensions, en particulier, du rapport  $W/L$ .

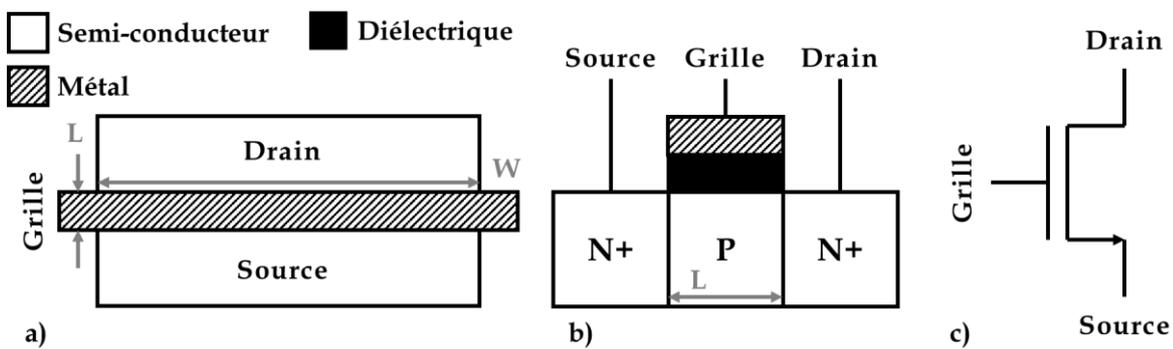


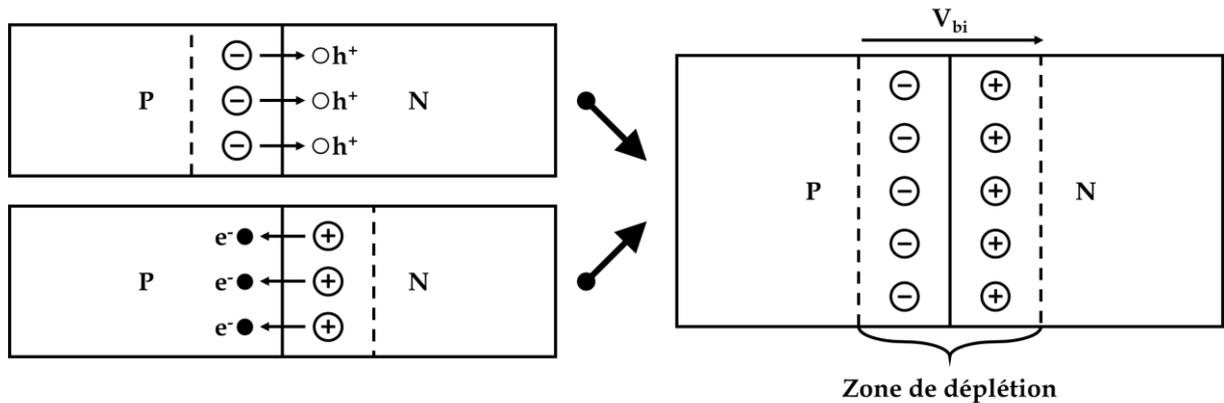
FIGURE I.4 - Exemple de transistor NMOS : a) dessin de masques<sup>4</sup> simplifié, b) vue simplifiée en coupe transversale et c) symbole électrique.  $L$  et  $W$  correspondent, respectivement, à la longueur et à la largeur de grille. L'empilement semiconducteur/diélectrique/métal forme la capacité du MOS.

Le MOSFET est basé sur le contrôle, en polarisant la grille ( $V_g$ ), de la conductance ( $G_{ds}$ ), ou, inversement, la résistance ( $R_{ds}$ ), entre la source et le drain. En première approximation, les MOSFETs fonctionnent comme un interrupteur. Ainsi, lorsque la grille est polarisée à 0 V,  $G_{ds}$  est nul, il n'y a pas de courant entre la source et le drain ( $I_{ds} = 0$  A) et lorsque la grille est polarisée à la tension d'alimentation ( $V_{DD}$ ),  $G_{ds}$  est élevée, le courant  $I_{ds}$  atteint une valeur maximale. En réalité, la conductance de drain-source dépend de plusieurs paramètres dont les tensions de grille-source ( $V_{gs}$ ), de drain-source ( $V_{ds}$ ), des dimensions  $L$  et  $W$  de la grille et de la température.

Pour la suite du chapitre, nous nous concentrerons sur le NMOS (MOSFET dont le dopage des sources et drains est de type N) puisque le fonctionnement d'un PMOS (MOSFET dont le dopage des sources et drains est de type P) est similaire au NMOS à l'exception du signe des tensions appliquées aux bornes, du dopage des zones (PNP au lieu de NPN) et de la nature du courant (électrons pour les NMOS et trous pour les PMOS) entre le drain et la source ( $I_{ds}$ ). Par ailleurs, les technologies utilisant à la fois

<sup>4</sup> Un dessin de masques correspond au plan de fabrication des transistors.

les NMOS et PMOS (comme le 28 nm UTBB FD-SOI) sont des technologies dites CMOS (Complementary MOS).



**FIGURE I.5** - Schéma représentant une jonction PN. Les électrons et trous correspondent, respectivement, aux points et cercles tandis que les charges positives et négatives sont, respectivement, représentées par des signes « + » et « - ».

Avant de poursuivre sur le fonctionnement du MOSFET, attardons-nous plus en détail sur les jonctions PN (voir **FIGURE I.5**), qui sont par ailleurs à la base des diodes, et sur la notion de déplétion. Une jonction PN correspond à la jonction entre deux matériaux semiconducteurs, respectivement, dopés P (de concentrations de dopants  $N_A$ ) et N (de concentration de dopant  $N_D$ ). Lorsque la jonction est créée, c'est-à-dire lorsque les deux semiconducteurs extrinsèques sont mis en contact, des électrons libres de la zone N vont diffuser vers la zone P (et inversement, des trous libres vont diffuser de la zone P vers la zone N) au niveau de l'interface et se recombiner. Se faisant, de chaque côté de la jonction et sur une certaine distance, la concentration en porteurs de charges libres est négligeables devant les densités de dopants ( $n, p \ll N_D, N_A$ ). Les dopants, ayant perdus des électrons ou des trous, vont faire apparaître des charges électriques de  $qN_D$  du côté de la zone N et  $-qN_A$  du côté de la zone P. Ceci a pour effet de créer un champ électrique interne de jonction ( $E_{bi}$ ), correspondant à une tension interne de jonction ( $V_{bi}$ ), qui s'oppose à la diffusion des porteurs à travers la jonction ( $\vec{J}_{diff} + \vec{J}_{drift} = 0$ ). La zone de déplétion, autour de la jonction où il n'y a plus de porteurs libres, est dite déplétée. En l'absence de tension externe, la zone de déplétion empêche le courant de circuler.

Afin d'étudier plus en détail le fonctionnement du NMOS (voir **FIGURE I.6**), nous considérerons que la source est polarisée à la masse (0 V), le drain à une polarisation positive, d'où une tension  $V_{ds}$  positive. Lorsque la grille est polarisée à la masse, les jonctions PN côté source et drain sont déplétées (d'autant plus côté drain du fait de la positivité de  $V_{ds}$ ), ainsi, aucun courant ne peut circuler au travers de ces deux jonctions ( $I_{ds} = 0$  A).

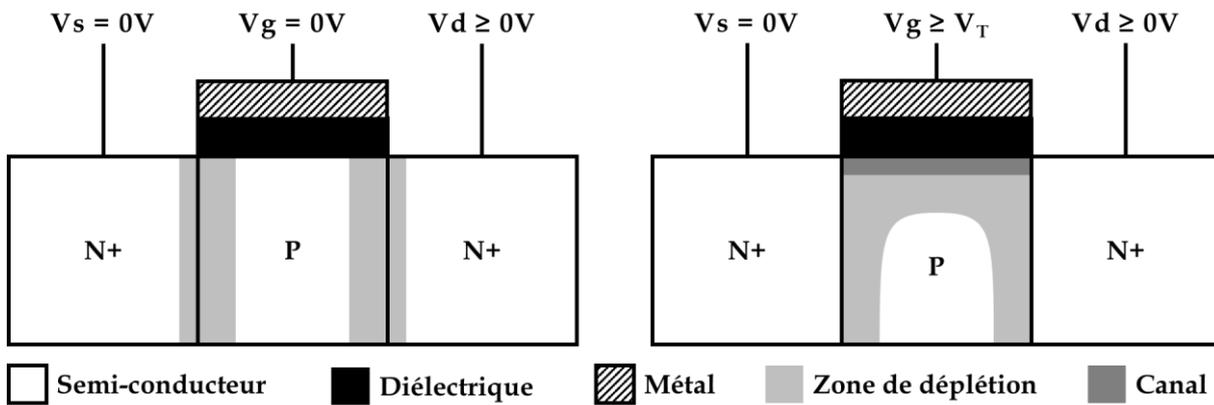
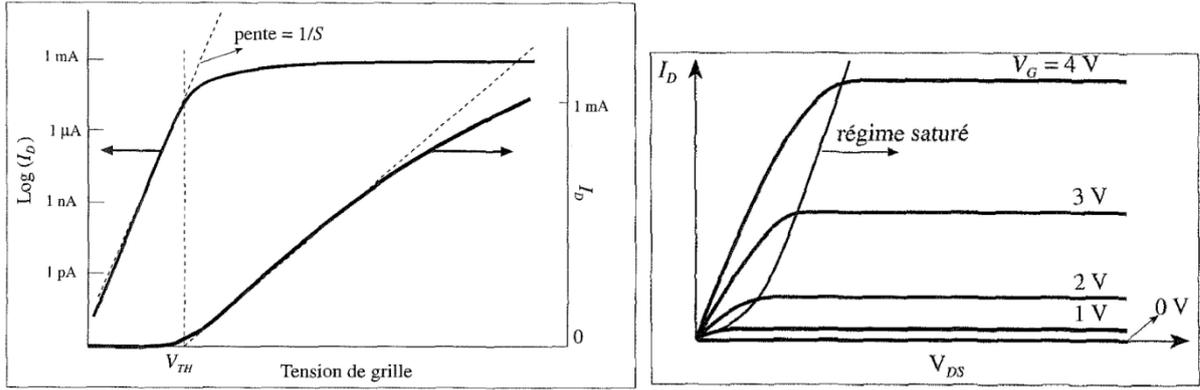


FIGURE I.6 - Vue simplifiée, en coupe transversale, d'un NMOS lorsque la grille est polarisée à la masse (à gauche) et à un potentiel supérieur à la tension de seuil (à droite). Lorsque  $V_g$  est positif, la zone de déplétion sous la grille fusionne avec celles des deux jonctions PN.

Lorsque la grille est polarisée positivement, les trous vont être repoussés de l'interface diélectrique/silicium, créant une zone de déplétion, et des électrons libres (provenant de la source) vont être attirés mais ne pouvant traverser le diélectrique (il n'y pas de courant traversant la grille), ils vont s'accumuler en une couche fine (au plus de quelques nanomètres d'épaisseur) sous la grille au niveau de l'interface. Lorsque la polarisation de grille est faible, la densité de trous est toujours supérieure à celle des électrons au niveau de la surface sous la grille. Le rapport s'inverse au fur et à mesure que  $V_g$  augmente, le régime d'inversion est atteint quand il y a plus d'électrons que de trous (régime d'inversion faible). Lorsque la densité d'électrons libres ( $n$ ) sous la grille est égale à la concentration initiale (à  $V_g = 0$  V) de trous libres ( $p_0 = N_A$ ), le régime d'inversion forte est atteint. La couche fine, dense en électrons libres en régime d'inversion forte, s'appelle le canal. Puisqu'à la fois la source, le drain et le canal sont de type N, la conduction des électrons de la source vers le drain est maintenant possible ( $I_{ds}$  est non nul). Il est dit que la grille contrôle la conductance  $G_{ds}$  par effet de champ car le potentiel de grille crée un champ électrique permettant la formation du canal. La tension de grille-source pour laquelle le canal est créé s'appelle la tension de seuil ( $V_T$ , *threshold voltage*), elle dépend de plusieurs paramètres dont la température.



**FIGURE I.7** – Exemple de caractéristiques de transfert (à gauche) et de sortie (à droite) d'un NMOS, d'après [Colinge96, p.155,166].

Les transistors MOS sont définis par leurs caractéristiques (voir **FIGURE I.7**) de transfert ( $I_D$ - $V_G$ ) et de sortie ( $I_D$ - $V_D$ ). Lorsque  $V_{GS}$  est supérieure à  $V_T$ , le MOSFET est en régime au-dessus du seuil (forte inversion). Dans ce régime, d'autres sous régimes existent, les régimes linéaires ( $V_{DS} \ll V_G - V_T$ ), non-saturés ( $V_{DS} \leq V_{DSsat}$ ) et saturés ( $V_{DS} \geq V_{DSsat}$ ). La saturation est due au phénomène de pincement du canal (*channel pinch-off*) côté drain lorsque la tension de drain-source dépasse une certaine tension de saturation ( $V_{DSsat}$ ),  $I_D$  devient indépendant de  $V_{DS}$ . Le courant de drain dans ces différents régimes est décrit par les équations simplifiées suivantes [Colinge02, p.195] :

$$\text{Non-saturation : } I_D = \mu_n C_{ox} \frac{W}{L} [(V_G - V_T)V_{DS} - \frac{1}{2}nV_{DS}^2] \quad (\text{I.12})$$

$$\text{Linéaire : } I_{Dlin} = \mu_n C_{ox} \frac{W}{L} [(V_G - V_T)V_{DS}] \quad (\text{I.13})$$

$$\text{Saturation : } I_{Dsat} = \mu_n C_{ox} \frac{W}{L} \frac{(V_G - V_T)^2}{2n}; V_{DSsat} = \frac{V_G - V_T}{n} \quad (\text{I.14})$$

Avec,  $\mu_n$ , la mobilité des électrons,  $C_{ox}$ , la capacité surfacique de l'oxyde de grille,  $W$  et  $L$ , respectivement, la largeur et longueur de grille,  $V_T$ , la tension de seuil et  $n$ , le facteur d'idéalité du transistor, propre à chaque technologie, dont la valeur est proche de 1 et définie par :  $n = 1 + \frac{C_d}{C_{ox}}$ .  $C_d$  correspond à la capacité surfacique de déplétion sous la grille.

En réalité, le courant de drain-source n'est pas nul lorsque la grille est polarisée en dessous de la tension de seuil (régime sous le seuil), ce courant sous le seuil (*subthreshold current*) reste faible et correspond à un courant de diffusion. Une équation simplifiée du courant en fonction de  $V_G$  et  $V_{DS}$  est montrée ci-dessous [Liu02, p.58] :

$$I_{Dsub} = I_0 \exp\left(\frac{V_G}{nU_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{U_T}\right)\right]; U_T = \frac{kT}{q} \quad (\text{I.15})$$

Avec,  $I_0$ , un courant de référence dépendant de  $W$  et  $L$  et propre à chaque technologie,  $U_T$ , la tension thermique (*thermal voltage*),  $k$ , la constante de Boltzmann et  $q$ , la charge élémentaire.  $U_T$  est égale à 25,8 mV pour une température de 300 K. Lorsque  $V_{ds}$  est supérieure à  $U_T$ ,  $I_{d_{sub}}$  sature et devient indépendant de la tension de drain-source :

$$I_{d_{sub}}(V_{ds} \geq 4U_T) = I_0 \exp\left(\frac{V_g}{nU_T}\right) \quad (I.16)$$

Le régime sous le seuil d'un MOSFET est aussi défini par la pente sous le seuil (*SS, Subthreshold Slope*) qui quantifie, en millivolt par décade de courant, la variation exponentielle de  $I_{d_{sub}}$ . Plus précisément, *SS* correspond à la tension à appliquer sur la grille pour que le courant de drain soit multiplié par 10 et est définie selon l'équation suivante :

$$SS = \frac{dV_g}{d \log(I_d)} = nU_T \ln(10) \quad (I.17)$$

Par ailleurs, il est intéressant de noter que *SS* ne dépend que du facteur d'idéalité, qui est propre à chaque technologie, et de la tension thermique et donc de la température. Pour un transistor MOS idéal ( $n = 1$ ) et à température ambiante ( $T = 300$  K), la pente sous le seuil est de 60 mV/dec.

De plus, il existe un courant de fuite traversant la grille ( $I_g$ ) malgré la couche d'isolant, les électrons traversants par effet tunnel ou par injection de porteurs chauds [Sze07, p.336]. Le courant de grille ne peut exister que si l'épaisseur de la couche de diélectrique est faible, en dessous de quelques nanomètres.

Les courants sous le seuil et de grille sont des courants de fuite et ils sont indésirables d'une part, car ils font augmenter la consommation électrique et d'autre part, car ils peuvent perturber le fonctionnement des circuits. Cependant, ils restent inférieurs, de plusieurs ordres de grandeurs, au courant  $I_{ds}$  en régime d'inversion forte (usuellement quelques picoampères pour  $I_g$ ). Par ailleurs, ces courants augmentent en même temps que la température, ce qui a pour effet d'augmenter la consommation électrique.

Les transistors, dans le cas des technologies à base de silicium, sont fabriqués sur des plaques de silicium (*silicon wafer*), qui, aujourd'hui, sont des disques de 300 mm de diamètre et d'environ 1 mm d'épaisseur. Ces plaques de silicium contiennent plusieurs centaines de puces qui elles-mêmes contiennent des milliards de transistors. Les systèmes et circuits directement fabriqués sur plaque de silicium sont appelés système sur puces (*SoC, System on Chip*) et circuit intégré (*IC, Integrated Circuit*).

### I.3.2 Silicium sur isolant

La miniaturisation des transistors, ces dernières décades, a permis l'amélioration de leurs performances ainsi qu'une augmentation de leur densité par unité de surface et donc une diminution du coût de fabrication unitaire (loi de Moore [Moore06]). Cependant, cette miniaturisation atteint des limites, en particulier, lorsque la longueur de grille devient trop petite, des effets parasites apparaissent perturbant le fonctionnement des MOSFETs, ils sont appelés effets de canaux courts (SCE, *Short Channel Effect*). Ces effets se traduisent par une perte du contrôle de la grille sur le canal, la diminution de la tension de seuil et l'augmentation des courants de fuites. L'effet de percement (*punch-through*), le DIBL (*Drain Induced Barrier Lowering*), l'effet des porteurs chauds (ionisation par impact au niveau du drain ou injection de porteurs chauds dans la grille) ou le GIDL (*Gate Induced Drain Leakage*) sont des SCEs [Chaudhry04; Frank01].

Historiquement, les transistors sont fabriqués en technologie dites de silicium massif (*bulk*) où les zones de sources et de drains sont seulement définies par leur dopage et le canal est directement relié au substrat (voir **FIGURE I.8a**). Les technologies de silicium sur isolant (SOI, *Silicon On Insulator*) consistent à isoler (électriquement) les transistors du substrat en introduisant une couche d'oxyde enterrée (BOX, *Buried Oxide*). La couche de silicium, sur laquelle les MOSFETs sont fabriqués, est appelée film actif et la zone entre les sources et drains, où se forme le canal, s'appelle le corps (*body*) du transistor. Il existe deux types de technologies SOI, les technologies de silicium partiellement déserté sur isolant (PD-SOI, *Partially-Depleted SOI*) et de silicium totalement déserté sur isolant (FD-SOI, *Fully-Depleted SOI*). Les technologies SOI sont plus performantes que les technologies en silicium massif grâce au BOX qui permet de diminuer certains effets de canaux courts, d'éliminer les effets parasites dus au substrat mais qui empêche la conduction de chaleur vers le substrat.

Bien que le principe d'une technologie SOI soit connu depuis longtemps, ce n'est que depuis une vingtaine d'années que les substrats SOI sont utilisés de façon massive pour la fabrication de transistors MOS. Auparavant, les techniques de fabrications n'étaient pas suffisamment développées pour créer des substrats SOI de bonne qualité avec des films actifs de l'ordre de la centaine de nanomètre sur des plaques de silicium de plusieurs centaines de micromètres [Colinge04, p.7].

Pour les transistors MOS, l'ajout d'une couche d'oxyde enterrée (d'épaisseur suffisamment fine) permet de l'utiliser comme une deuxième grille, appelée grille arrière (BG, *Back Gate*), par opposition à la grille « avant » habituelle (voir **FIGURE I.9**). Ainsi, en polarisant le dessous du BOX ( $V_{bg}$ ) à une certaine valeur de tension de seuil

arrière ( $V_{T,bg}$ ), une couche d'inversion (canal arrière) peut être créée pour permettre la conduction de la source vers le drain.

Les technologies PD-SOI sont dites partiellement déplétées car la zone de déplétion ne s'étend pas dans tout le corps du transistor (voir **FIGURE I.8b**) lorsque la grille est polarisée à la tension de seuil ( $V_g = V_T$ ). La zone non-déplétée est dite corps flottant (*floating body*) car elle n'est contrôlée par aucun terminal électrique. Cette zone est à l'origine de plusieurs effets parasites qui ont pour conséquence de modifier la tension de seuil des MOSFETs [Colinge04, p.156]. De plus, elle permet de découpler les tensions de seuils avant et arrière, autrement dit,  $V_T$  ne dépend pas de  $V_{T,bg}$  et inversement. Il est possible de diminuer, voire d'éliminer, ces effets en ajoutant une cinquième électrode directement connectée au corps du transistor (BC, *body contact*). À noter que cette électrode est équivalente à l'électrode connectée au substrat dans le cas des transistors MOS en silicium massif (voir **FIGURE I.9**).

Au contraire des technologies PD-SOI, la zone de déplétion, lorsque la grille est polarisée à la tension de seuil ( $V_g = V_T$ ), s'étend dans tout le corps des transistors MOS pour les technologies FD-SOI (voir **FIGURE I.8c**). Ceci permet d'éviter les effets parasites présents dans les MOSFETs PD-SOI. Cependant les tensions de seuil avant et arrière sont couplées, elles dépendent l'une de l'autre, cette relation peut être modélisée par [Colinge04, p.165] :

$$\frac{d V_T}{d V_{bg}} = - \frac{C_{si} C_{BOX}}{C_{ox} (C_{si} + C_{BOX})} = -\alpha \quad (I.18)$$

Avec, respectivement,  $C_{si}$ ,  $C_{BOX}$  et  $C_{ox}$ , les capacités surfaciques du film actif, du BOX et de l'oxyde de grille. Dans la pratique, appliquer une tension sur la grille arrière revient à modifier la tension de seuil des MOSFETs. Notons que le facteur d'idéalité des MOSFETs FD-SOI ( $n_{fdsoi} = 1 + \alpha$ ) est inférieur à celui des technologies en silicium massif ( $n_{bulk} = 1 + \frac{C_d}{C_{ox}}$ ), ce qui se traduit par un courant de saturation plus élevé pour les transistors MOS FD-SOI [Colinge04, p.175].

Le fait qu'une technologie SOI soit partiellement ou entièrement déplétée dépend de l'épaisseur du film actif et du dopage sous la grille. Ainsi, les technologies PD-SOI ont des films épais et fortement dopés sous la grille, tandis que les technologies FD-SOI ont plutôt des films minces et peu, voire pas du tout, dopés sous la grille.

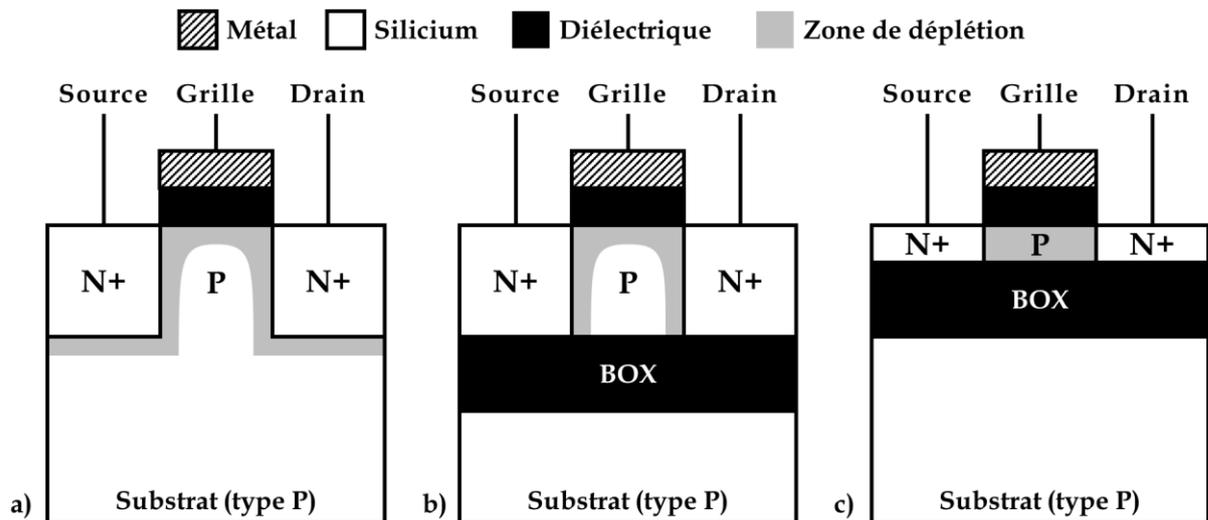


FIGURE I.8 - Vue simplifiée, en coupe transversale, d'un NMOS en technologie : a) silicium massif, b) PD-SOI et c) FD-SOI. Les zones de déplétion sont représentées avec la grille polarisée à la tension de seuil [Colinge04, p.156].

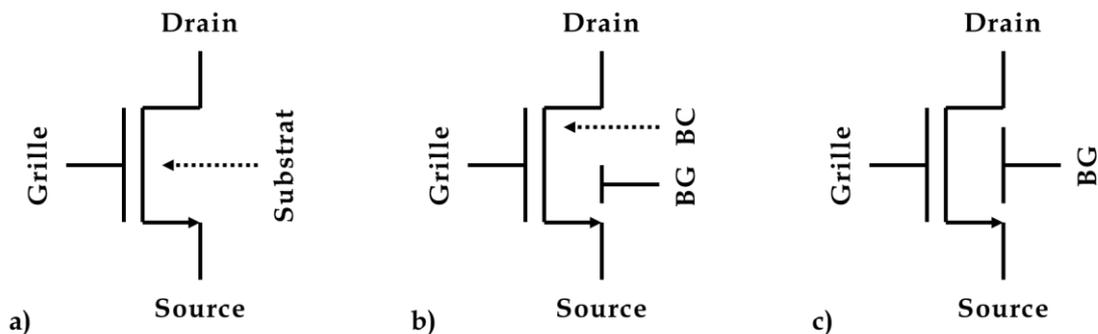


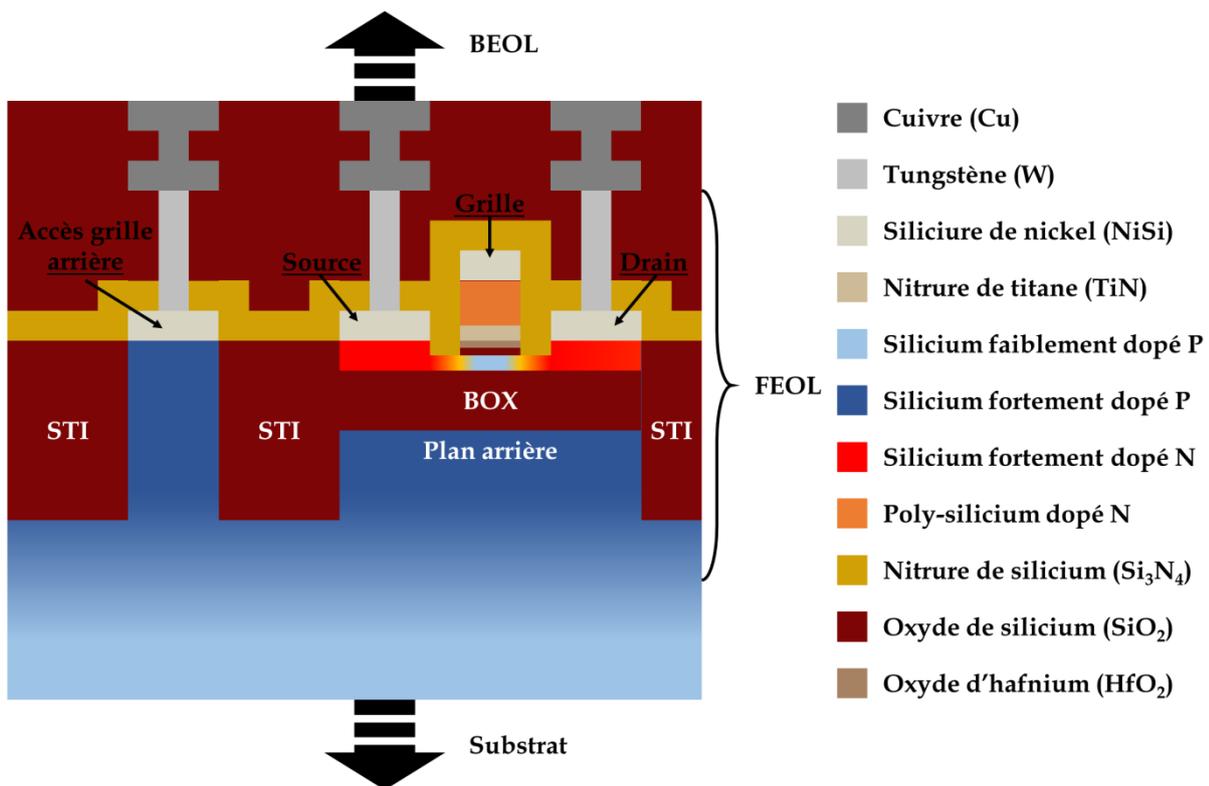
FIGURE I.9 - Symbole électrique d'un NMOS en technologie : a) silicium massif, b) PD-SOI et c) FD-SOI.

### I.3.3 28 nm UTBB FD-SOI

Une sous-catégorie des FD-SOI est la technologie de film mince de silicium sur couche fine d'oxyde enterrée (UTBB, *Ultra Thin Body and Box*). Les technologies UTBB FD-SOI permettent de réduire les effets de canaux courts et d'avoir une grille arrière performante, c'est-à-dire un contrôle efficace de la tension de seuil des transistors MOS au travers du potentiel  $V_{bg}$ . Les structures étudiées dans le cadre de cette thèse ont toutes été fabriquées avec la technologie 28 nm (correspondant à la longueur de grille minimale pour cette technologie) UTBB FD-SOI de STMicroelectronics, dont les caractéristiques et une vue en coupe simplifiée d'un NMOS (voir FIGURE I.10) sont données ci-dessous.

Cette technologie utilise des plaques de silicium de 300 nm de diamètre et d'environ 800  $\mu\text{m}$  de substrat avec un film actif et un BOX de, respectivement, 7 nm (sous la grille) et 25 nm d'épaisseur. Une grille métallique à haute permittivité (*high-k metal gate*) est utilisée [Colinge04, p.135-138], il s'agit d'un empilement, du bas vers le

haut, d'oxyde de silicium, d'oxyde à haute permittivité ( $\text{HfO}_2$ ), de nitrure de titane (qui agit comme un métal), de poly-silicium dopé (de type N pour les NMOS) et de siliciure de nickel (pour réduire les résistances d'accès). L'utilisation d'une telle grille permet d'obtenir un bon contrôle du canal par le potentiel de grille sans pour autant augmenter les courants de fuite de grille. En particulier, l'ajout de  $\text{HfO}_2$  permet d'améliorer la capacité de l'oxyde de grille ( $C_{ox}$ ), correspondant à l'empilement  $\text{SiO}_2/\text{HfO}_2$ , sans avoir à diminuer son épaisseur, évitant ainsi une augmentation du courant de grille. Cette capacité est égale à celle d'un oxyde de silicium d'épaisseur EOT (*Equivalent Oxide Thickness*) bien que l'épaisseur réelle de grille soit plus grande. À noter que deux EOTs de grilles sont possibles (voir **FIGURE I.11** et **TABLEAU I.2**), un EOT de 1,1 nm pour les grilles dites standard (SG, *Standard Gate*) et un EOT de 3,4 nm pour les grilles dites étendues (EG, *Extended Gate*). Les transistors SG ont des courants de grille ( $I_g$ ) plus élevés que pour les transistors EG mais aussi un meilleur contrôle du canal, c'est-à-dire pour un même  $V_g$  le courant de drain-source est plus élevé pour les structures SG que pour les structures EG. La tension d'alimentation (VDD) nominale pour les transistors SG est de 0,9-1,0 V et 1,8 V pour les transistors EG. La tension nominale correspond à la tension maximale applicable sur la grille sans l'endommager.



**FIGURE I.10** - Vue simplifiée, en coupe transversale, d'un NMOS de la technologie 28 nm UTBB FD-SOI de STMicroelectronics. Les différentes couches ne sont pas à l'échelle.

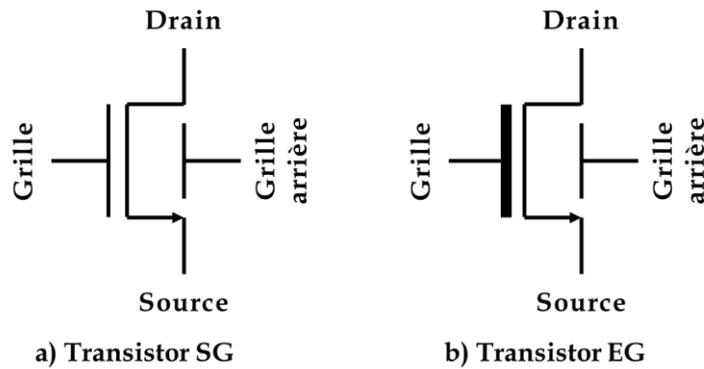


FIGURE I.11 - Symbole électrique d'un transistor de type : a) SG et b) EG.

		VDD [V]	L <sub>MIN</sub> [nm]	I <sub>g</sub>	EOT [nm]
SG	Grille standard	1	30	Fort	1,1
EG	Grille étendue	1,8	150	Faible	3,4

TABLEAU I.2 - Tableau récapitulatif de quelques caractéristiques pour les transistors à grille standard ou étendue.

Les grilles sont isolées des sources et drains par des espaceurs (*spacers*) en nitrure de silicium. Les sources et drains sont fortement dopés (de type N pour les NMOS), surélevés et surmontés d'une couche de siliciure de nickel afin de réduire les résistances d'accès [Colinge04, p.130-134]. Les transistors sont isolés les uns des autres par des tranchées peu profondes (STI, *Shallow Trench Isolation*) d'oxyde de silicium. Les transistors sont, également, isolés des interconnexions en cuivre par une couche dite de passivation en nitrure de silicium mais les sources, drains et grilles (avant et arrière) sont connectés aux lignes métalliques par des contacts en tungstène permettant de réduire d'autant plus les résistances d'accès. La tranche contenant les zones actives (les transistors, résistances et autres dispositifs électriques) est appelée FEOL (*Front End Of Line*) tandis que celle contenant les interconnexions métalliques (il y a entre 8 et 10 niveaux de métal) est appelée BEOL (*Back End Of Line*).

Pour faciliter la polarisation des grilles arrières et améliorer son effet sur la tension de seuil des MOSFETs, le silicium est dopé sous le BOX, formant des puits de dopage (*well*). Le dopage dans les puits décroît du BOX vers le substrat, la couche fortement dopée sous le BOX est dite plan arrière (*back-plane*). Pour un NMOS, le dopage du puit habituel est de type P (*P-well*), donnant lieu à une tension de seuil régulière (RVT, *Regular V<sub>T</sub>*), cependant, il est aussi possible de changer ce dopage en type N (*N-well*), ce qui mène à une tension de seuil plus basse (LVT, *Low V<sub>T</sub>*). Pour connecter ces puits, des zones dites hybrides, sont utilisées. Dans ces zones, le BOX est retiré et le silicium est du même type de dopage que le puit. En théorie, le substrat et le corps des transistors ne sont pas dopés mais le processus de fabrication fait que le

silicium est faiblement dopé de type P avec une concentration de l'ordre de  $1.10^{15} \text{ cm}^{-3}$ . Pour les PMOS, les dopages sont inversés à l'exception du substrat et du corps.

Toutes les structures réalisées dans cette thèse sont basées sur des NMOS de type RVT et les dimensions dans le plan, comme par exemple les dimensions de grilles, données dans ce manuscrit correspondent aux modèles et dessins de masques numériques, les dimensions réelles étant plus faibles, d'un facteur d'environ 0,9.

### **I.3.4 Comportements électrothermiques des MOSFETs**

Les caractéristiques simulées (SPICE<sup>5</sup>) de transfert (voir **FIGURE I.12**) et de sortie (voir **FIGURE I.13**) pour un NMOS, en 28 nm UTBB FD-SOI, de types RVT et SG, avec une longueur et une largeur de grille de, respectivement, 30 nm et 1  $\mu\text{m}$ , sont montrées ci-dessous. La source et la grille arrière sont mises à la masse ( $V_s = V_{bg} = 0 \text{ V}$ ), la tension d'alimentation (VDD) est de 1 V. De plus, la température du substrat varie de  $-40 \text{ }^\circ\text{C}$  (233 K) à  $125 \text{ }^\circ\text{C}$  (398 K).

Nous observons, au niveau de la caractéristique de transfert, une inversion de la variation du courant de drain en fonction de la température, lorsque la tension de grille-source atteint une certaine valeur. Cette inversion se fait au point où les coefficients de température sont nuls (*ZTC, Zero Temperature Coefficient*). Plus précisément, lorsque le transistor est en régime sous le seuil, le courant de drain augmente exponentiellement en fonction de la température tandis que lorsqu'il est en régime au-dessus du seuil, il décroît en fonction de la température. Le comportement thermique de  $I_d$  au-dessus du ZTC, est dû à la diminution de la mobilité des porteurs (en l'occurrence des électrons) lorsque la température augmente [Sze07, p.30]. Le courant de grille augmente en même temps que la température et la tension de grille, il est négligeable par rapport au courant de drain, le rapport entre  $I_d$  et  $I_g$  est d'environ  $10^8$  (pour  $V_{gs} = 1 \text{ V}$ ).

Sur la caractéristique de sortie en régime au-dessus du seuil ( $V_g = 1 \text{ V}$ ), le courant de drain diminue avec la température, que ce soit en régime linéaire ou saturé, du fait de la diminution de la mobilité. Le courant de grille augmente avec la température, mais reste faible (quelques dizaines de picoampères).

---

<sup>5</sup> Pour plus de détails sur les simulations SPICE, se référer au chapitre II.

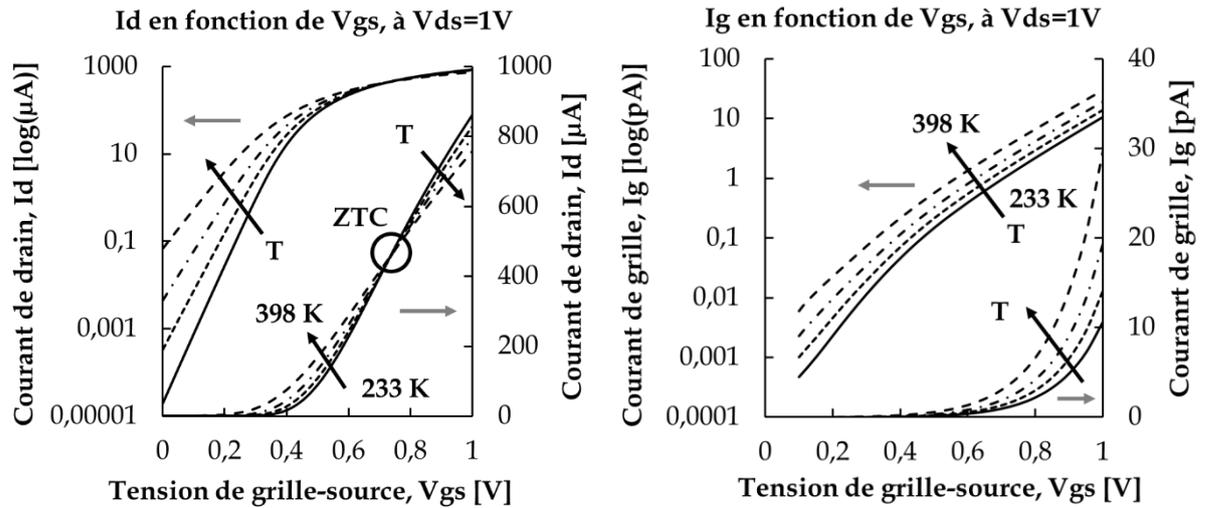


FIGURE I.12 - Caractéristiques de transfert issues de la simulation SPICE d'un NMOS en 28 nm UTBB FD-SOI, avec les évolutions du courant de drain (à gauche) et de grille (à droite) en fonction de la tension de grille-source avec la tension de drain-source égale à 1 V. Les traits pleins, discontinus avec points, tirets-points et tirets correspondent à des températures de, respectivement, 233 K, 273 K, 323 K et 398 K.

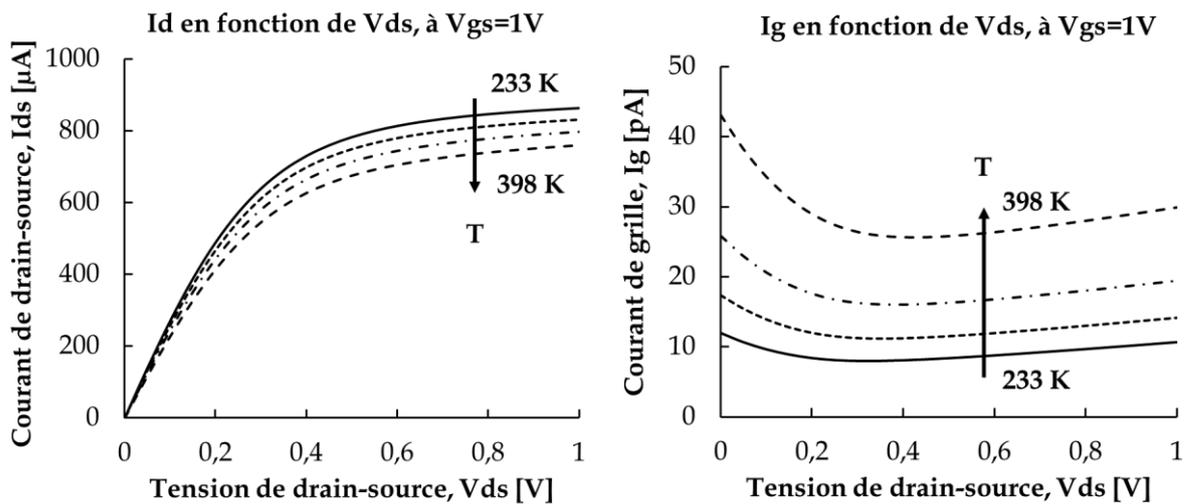


FIGURE I.13 - Caractéristiques de sortie issues de la simulation SPICE d'un NMOS en 28 nm UTBB FD-SOI, avec les évolutions du courant de drain (à gauche) et de grille (à droite) en fonction de la tension de drain-source avec la tension de grille-source égale à 1 V. Les traits pleins, discontinus avec points, tirets-points et tirets correspondent à des températures de, respectivement, 233 K, 273 K, 323 K et 398 K.

La FIGURE I.14 ci-dessous présente les évolutions du courant de drain, lorsque la grille est polarisée à la masse ( $I_{off}$ , courant de fuite) ou à la tension d'alimentation ( $I_{on}$ ), en fonction de la température.  $I_{off}$  augmente exponentiellement en fonction de la température mais reste faible (inférieur à 100 nA pour  $T = 400$  K) tandis que le courant  $I_{on}$  diminue de quelques pourcents ( $\sim 10\%$  entre 233 K et 398 K).  $I_{off}$  reste négligeable devant  $I_{on}$  mais le rapport entre les deux augmente exponentiellement avec la température (d'environ  $10^7$  à  $10^4$  entre 233 K et 398 K). Ceci signifie que même

si les transistors sont majoritairement éteints et lorsque la densité surfacique des transistors est importante, la consommation (ou la puissance) due aux courants de fuites n'est plus à négliger à haute température.

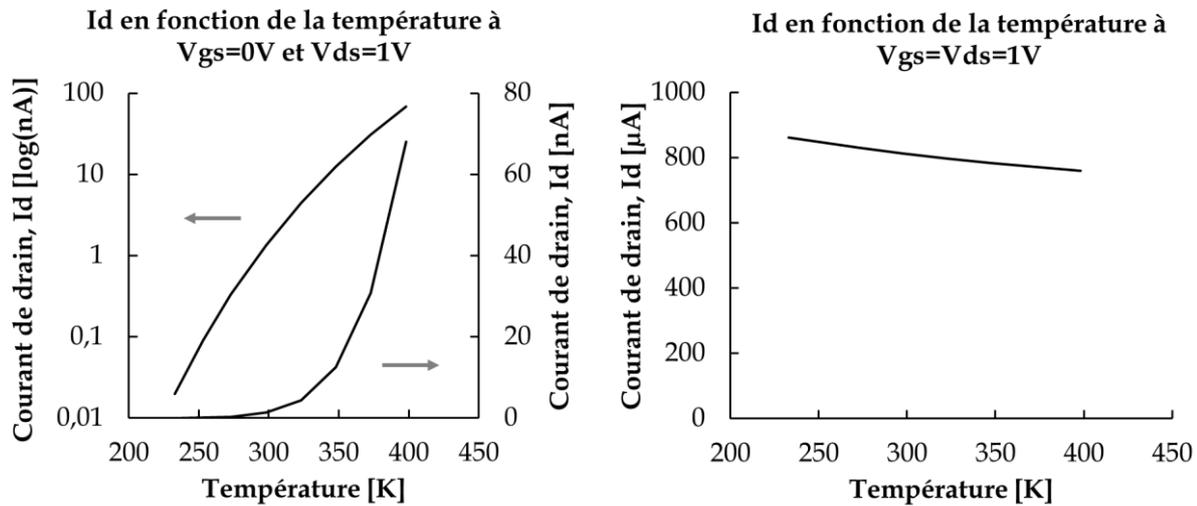


FIGURE I.14 - Graphes montrant l'évolution du courant de drain (extrait de la FIGURE I.12), lorsque la tension de grille-source est égale à 0 V ( $I_{off}$ , à gauche) et à 1 V ( $I_{on}$ , à droite), en fonction de la température avec la tension de drain-source égale à 1 V.

Bien qu'il existe des équations pour calculer  $V_T$ , dans la pratique, elle est extraite de la caractéristique de transfert du transistor MOS. Nous avons choisi d'utiliser la méthode de la dérivée seconde (2DM, *2<sup>nd</sup> order Derivative Method*) [Cristoloveanu95, p.245-246]. La tension de seuil est égale à la tension de grille lorsque la dérivé seconde  $\frac{d^2 I_d}{d V_g^2}$  atteint son maximum. La tension de seuil, extraite de la FIGURE I.12, diminue en fonction de la température (voir FIGURE I.15).  $V_T$  varie autour de 450 mV avec une pente négative d'environ  $550 \mu V.K^{-1}$ .

Enfin, lorsque les densités de courants deviennent importantes, la température du dispositif électronique augmente par auto-échauffement (*self-heating*). L'auto-échauffement correspond à l'élévation de la température d'un dispositif électronique due à la dissipation de la puissance électrique en puissance thermique par effet Joule. Pour un MOSFET, la puissance thermique est égale, en première approximation, à  $I_{ds} \times V_{ds}$ . L'auto-échauffement du transistor crée un point chaud (*hot spot*) au niveau de l'interface entre le canal et le drain [Pop01]. Au même titre que la température de l'environnement, l'auto-échauffement a un impact sur les MOSFETs. À noter que l'auto-échauffement met quelques dizaines de nanosecondes à se stabiliser [Colinge04, p.215-216], il est plus ou moins important selon la fréquence de fonctionnement. Par exemple, un inverseur CMOS se déclenche suffisamment rapidement pour que le dispositif n'ait pas le temps de chauffer pendant qu'il est en fonctionnement.

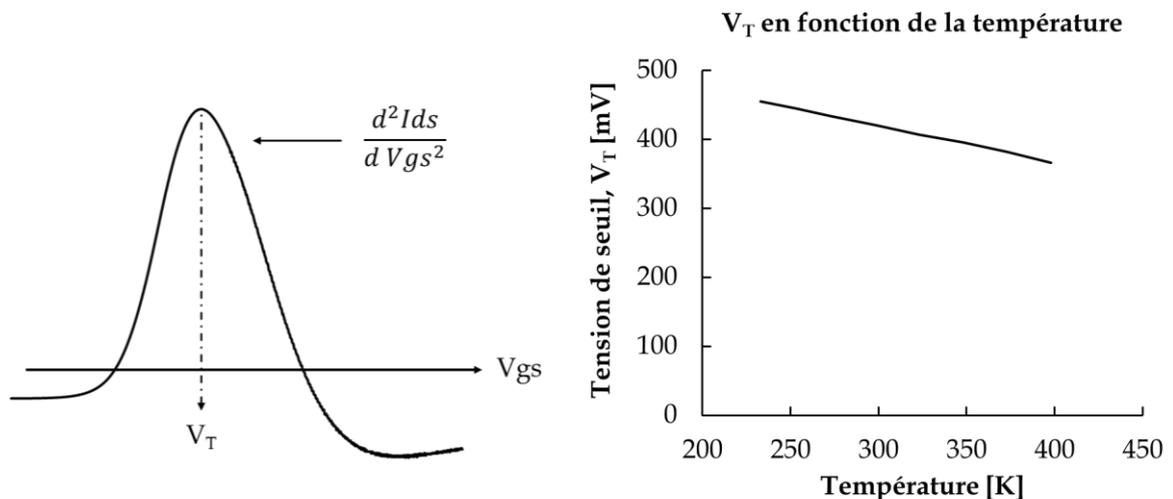


FIGURE I.15 - À gauche, illustration de la méthode de la dérivée seconde et à droite, la tension de seuil en fonction de la température extraite de la FIGURE I.12.

## I.4 Robustesse électrothermique

Comme nous l'avons vu précédemment, les transistors, résistances ou tout autre dispositif électronique sont impactés par leur température. Ces températures sont dues à l'environnement, à l'auto-échauffement et au couplage thermique<sup>6</sup> avec les structures voisines. De plus, la non-homogénéisation de la température, notamment à travers l'apparition de points chauds, peut-être un frein au bon fonctionnement des circuits intégrés, systèmes sur puce ou puces. Par ailleurs, la miniaturisation des transistors et puces amène à une augmentation de la densité surfacique des dispositifs électroniques. Ceci a pour conséquence d'augmenter la densité surfacique de puissance thermique générée et donc d'augmenter la température des puces et des points chauds générés. L'auto-échauffement dans les puces limite, aujourd'hui, le développement des technologies VLSI (*Very Large Scale Integration*) et 3D<sup>7</sup>.

La robustesse électrothermique correspond à la capacité, des transistors, ICs, SoCs ou puces, à résister aux changements de température, notamment au niveau de leur comportement électrique. Une mauvaise robustesse électrothermique peut mener à des emballements thermiques (*thermal runaway*), des phénomènes d'électromigration, un vieillissement prématuré et un dysfonctionnement voire la destruction des circuits et puces.

L'emballement thermique est dû à la relation, pour les circuits ou puces, entre : leur puissance électrique, la génération de chaleur en leur sein et les échanges

<sup>6</sup> Élévation de la température, d'un dispositif électronique, due à la chaleur dégagée par les dispositifs électroniques situés au voisinage.

<sup>7</sup> Technologie consistant à empiler les puces les unes sur les autres.

thermiques entre eux et avec l'environnement extérieur. Ainsi, une puissance électrique élevée mène, par auto-échauffement, à l'apparition de points chauds (aux endroits où la densité surfacique de puissance est élevée) et à l'élévation globale de la température. Ceci peut conduire à une augmentation de la puissance électrique, ce qui amène à une augmentation locale ou globale de la température dans les circuits ou puces et ainsi de suite. L'emballement est créé et ne s'arrête que lorsque la puissance diminue, soit par la dégradation des circuits, soit par leur arrêt volontaire.

Le phénomène d'électromigration correspond, dans une ligne métallique, à la migration d'atomes métalliques (favorisée par des températures élevées) sous l'effet d'une forte densité de courant. Ce faisant, des fractures peuvent apparaître dans les lignes et empêcher les électrons de se déplacer.

Pour avoir une bonne robustesse électrothermique, il faut s'assurer que nos dispositifs électroniques (transistors, circuits ou puces) fonctionnent sur toute la gamme de températures prévues et pour toutes conditions d'utilisations. Pour ce faire, il faut limiter les effets de l'auto-échauffement et améliorer la dissipation de la chaleur afin d'éviter, entre autres, les emballements thermiques. Il existe plusieurs solutions pour améliorer la robustesse électrothermique des circuits électroniques, certaines d'entre elles sont présentées dans les sous-sections ci-après.

## **I.4.1 Matériaux**

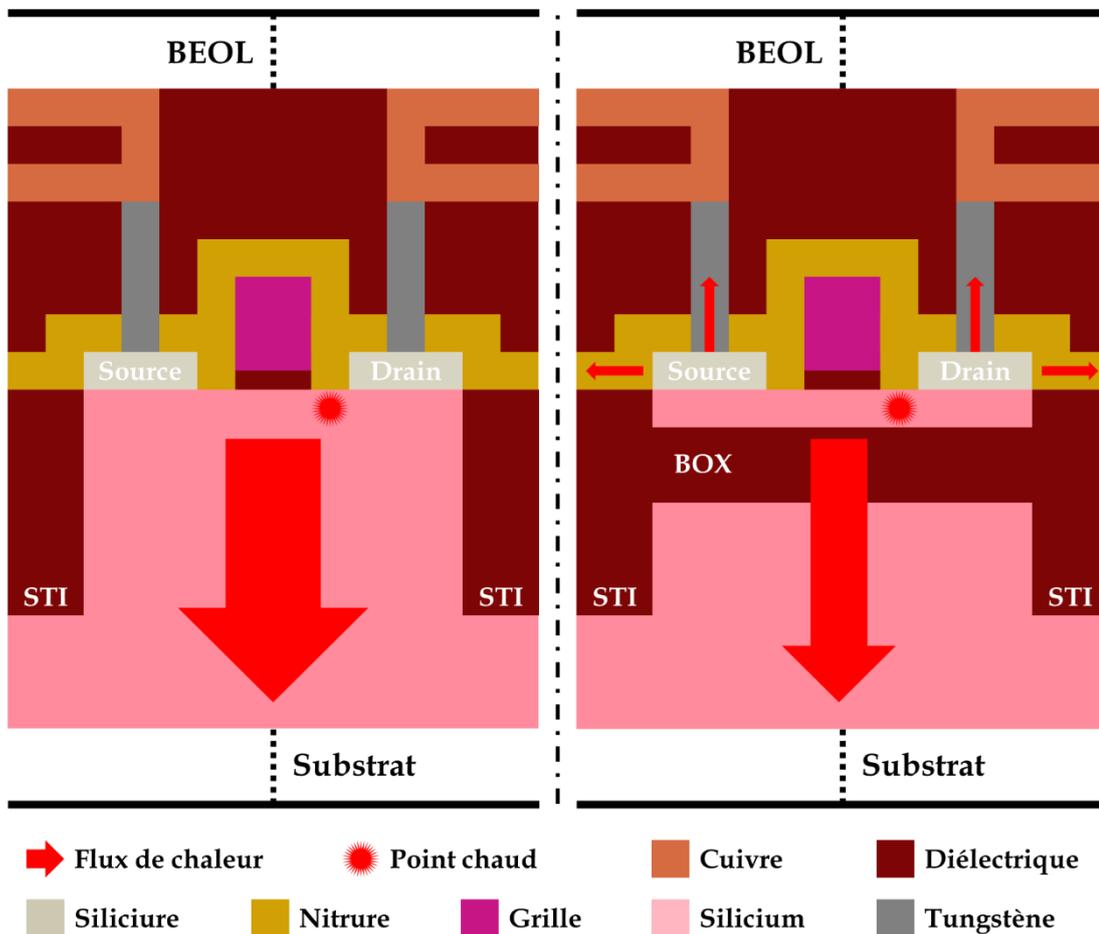
Les différentes couches de matériaux contenues dans les puces et leurs boîtiers ont un rôle dans les transferts d'énergie thermique, en leur sein et avec l'environnement extérieur. En particulier, les nombreuses couches de diélectriques utilisées pour isoler électriquement les transistors, blocs, circuits, et autres, empêchent une bonne dissipation thermique, favorisant la création de points chauds. De même, les boîtiers étant conçus principalement pour protéger les puces, ils empêchent la chaleur de se dissiper.

Une bonne dissipation de la chaleur permet : d'atténuer les points chauds, de rapprocher la température des puces de la température ambiante, d'éviter l'échauffement des lignes métalliques (risques accrus d'électromigration, dégradation de la résistivité...) et, enfin, d'éviter le couplage thermique.

### **I.4.1.1 FEOL & BEOL**

Pour les technologies CMOS, la chaleur se dissipe principalement via le substrat [Takahashi13], ainsi, l'ajout d'une couche d'oxyde enterrée (BOX) pour les technologies SOI a pour conséquence de confiner l'énergie thermique aux niveaux des transistors, favorisant une élévation de leur température et l'échauffement des lignes

métalliques (voir **FIGURE I.16**). Cependant, en utilisant un BOX fin, comme pour la technologie 28 nm UTBB FD-SOI, le confinement de la chaleur est moindre et elle continue de se dissiper majoritairement vers le substrat (moins efficacement que pour les technologies en silicium massif). Pour favoriser la dissipation vers le substrat nous pourrions utiliser, pour le BOX, un matériau différent qui, dans l'idéal, serait isolant électrique et conducteur thermique (voir **TABLEAU I.3**). Par exemple, il a été suggéré d'utiliser un matériau comme le diamant (C), le carbure de silicium (SiC) ou le nitrure d'aluminium (AlN) [Bresson04; Martin08]. Les principaux freins à l'utilisation de tels matériaux pour le BOX sont : la complexification du processus de fabrication, la compatibilité avec les technologies à base de silicium (dégradation du film actif ou de l'interface BOX-film actif) et le surcout par rapport à l'utilisation de d'oxyde de silicium comme couche d'oxyde enterré.



**FIGURE I.16** - Vue simplifiée, en coupe transversale, d'un transistor MOS avec (à droite) et sans (à gauche) BOX. Le point chaud dû à l'auto-échauffement est situé entre le canal et le drain.

Matériaux	$\kappa$ [W.K-1m-1]	Références
Si	150	[Bresson04; Cahill14; Martin08; Sze07]
Diamant	1000-2000	
SiC	500	
AlN	200	

TABLEAU I.3 - Tableau récapitulatif des conductivités thermiques (à 300 K) du silicium, diamant, carbure de silicium et nitrure d'aluminium.

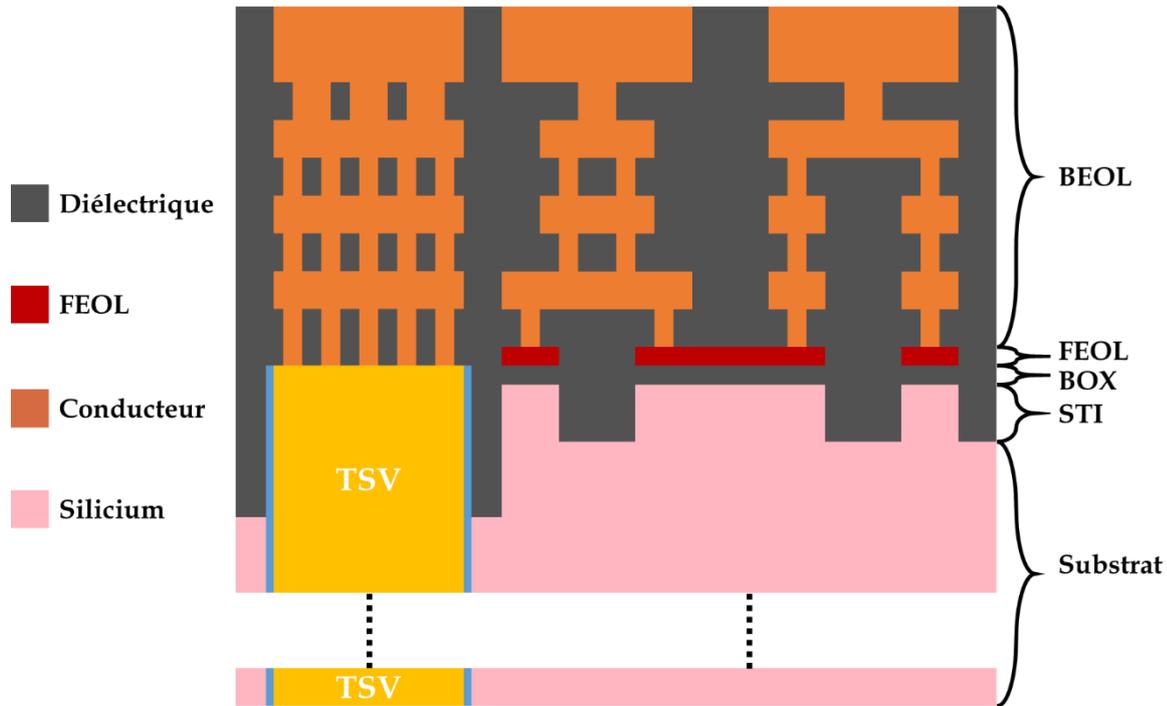


FIGURE I.17 - Vue simplifiée, en coupe transversale, d'une puce. Les transistors (FEOL), lignes métalliques, couches diélectriques, TSVs, revêtements des TSVs et le substrat sont, respectivement, représentés en rouge, orange, gris, jaune, bleu et rose.

Une autre possibilité pour améliorer le refroidissement des circuits est l'utilisation de TSV (*Through Silicon Via*) thermique [Santos14]. Les TSVs ont été initialement développés pour les technologies 3D afin de connecter les puces entre elles, ce sont des colonnes métalliques traversant toute la puce dans son épaisseur (voir FIGURE I.17). De leur nature métallique, les TSVs sont donc d'excellents conducteurs thermiques et pourraient aider dans l'évacuation de la chaleur. Il existe néanmoins plusieurs obstacles à leurs utilisations : l'ajout d'étapes dans le processus de fabrication, l'interaction avec les puits de dopage dans le substrat, l'utilisation de revêtements autour des TSVs et des lignes métalliques (empêchant la diffusion des éléments métalliques dans le substrat ou dans les couches diélectriques du BEOL mais étant de très mauvais conducteurs thermiques) et le surcôt occasionné. Cependant, il a été montré qu'utiliser des TSVs comme dissipateur thermique pouvait accentuer la non-homogénéisation des puces du fait de l'apparition de gradients de température entre les TSVs [Coudrain16].

### I.4.1.2 Boîtiers des puces

Une fois la puce fabriquée sur plaque de silicium, elle en est extraite (une plaque de silicium contient plusieurs centaines de puces), son substrat est aminci (de quelques centaines de micromètre) et elle est encapsulée dans un boîtier. Le boîtier permet de protéger la puce et de l'intégrer sur une carte électronique (PCB, *Printed Circuit Board*). Les PCBs sont généralement refroidis par convection de fluide, par exemple de l'air brassé par des ventilateurs. Le refroidissement des boîtiers se fait, généralement, avec des dissipateurs (ou puits) thermiques (*heat sink*) ou des répartiteurs (ou diffuseurs) de chaleur (*heat spreader*). Dans les deux cas, il s'agit de matériaux avec une bonne conductivité thermique comme les métaux (cuivre, aluminium...). Le dissipateur thermique a une structure en forme de peigne (ou avec des ailettes) afin de maximiser les contacts avec le fluide refroidisseur (air, liquide...) tandis que le répartiteur thermique correspond à une simple couche permettant de distribuer la chaleur sur une surface plus grande. Cependant, les appareils mobiles (ordinateurs portables, smartphones...) étant de taille réduite, il est préférable d'avoir des solutions directement intégrées aux boîtiers pour améliorer leur refroidissement.

Par leur nature protectrice, les boîtiers sont de mauvais conducteurs thermiques, empêchant la chaleur générée par les puces de se dissiper. L'utilisation de matériaux électriquement isolant et thermiquement conducteur, évoquée précédemment pour le BOX (I.4.1.1), peut être envisagée mais cette solution est coûteuse à l'échelle du boîtier et n'est pas forcément protectrice au niveau des chocs par exemple. Néanmoins, plusieurs autres solutions ont été proposées pour améliorer la dissipation de la chaleur dans les boîtiers [Coudrain18; Herrera18].

Il est possible d'utiliser des dissipateurs thermiques ou des répartiteurs de chaleur directement au niveau du boîtier (voir **FIGURE I.18**). Pour réduire la résistance thermique et améliorer la conduction de chaleur entre la puce et le répartiteur (ou le dissipateur) thermique, un matériau d'interface thermique (TIM, *Thermal Interface Material*) est utilisé [Lo06; Prasher06]. Ces TIMs doivent être de bons isolants électriques et conducteurs thermiques ainsi qu'avoir une bonne qualité d'interface et d'adhérence avec les couches auxquelles ils sont associés. Ce sont en général des matériaux souples (époxy ou silicone avec particules métalliques, alliage liquide...).

Le but premier du répartiteur thermique est d'étaler la chaleur sur une plus grande surface afin de réduire l'intensité du point chaud (voir **FIGURE I.18**). Pour ce faire, comme nous l'avons évoqué précédemment, ces diffuseurs doivent avoir une bonne conductivité thermique, en particulier, dans le plan de la couche. En effet, des répartiteurs à base de matériaux comme le PGS (*Pyrolytic Graphite Sheet*), qui a une

conductivité thermique dans le plan pouvant être supérieure à celle du cuivre d'un facteur 5, ont montré une amélioration par rapport aux solutions standards (métaux) [Prieto14; Prieto15].

Outre l'utilisation de dissipateurs ou diffuseurs thermiques, il a été proposé d'utiliser des tuyaux micrométriques dans les boîtiers afin d'avoir un refroidisseur actif au travers de la convection de fluide [Collin17; Laguna17]. Ces solutions sont intéressantes mais plus difficiles à implémenter et plus coûteuses.

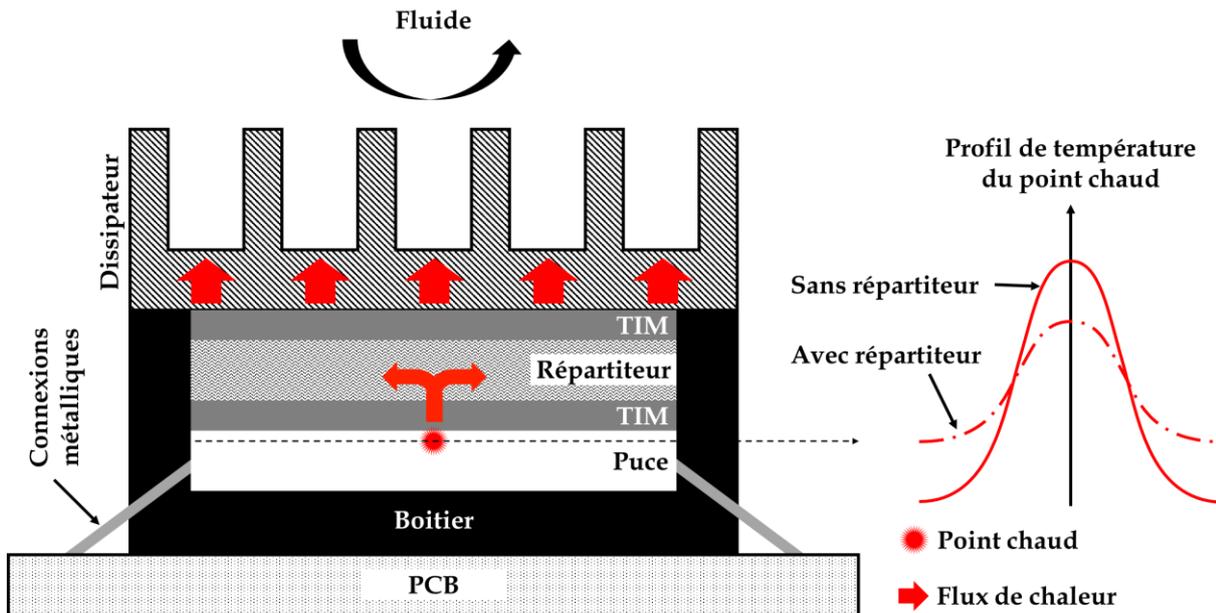


FIGURE I.18 - Vue simplifiée, en coupe transversale, d'une puce avec son boîtier sur un PCB. À droite, exemple de profil de température au niveau d'un point chaud avec ou sans répartiteur.

## I.4.2 Conception électronique

Dès la conception des Ics, SoCs et puces, il est possible d'implémenter des solutions pour améliorer leur robustesse électrothermique comme : utiliser des circuits à faible consommation de puissance et des circuits de compensation, gérer les systèmes et optimiser leur architecture.

### I.4.2.1 Circuits à faible consommation de puissance

Comme nous avons vu précédemment, les circuits électriques génèrent de la chaleur lorsqu'ils sont en fonctionnement, ce qui a pour effet d'augmenter leur température ainsi que celle des circuits voisins par couplage thermique. La puissance thermique générée est directement proportionnelle à la puissance électrique consommée. Une méthode pour limiter l'auto-échauffement est donc de concevoir des dispositifs électroniques (transistors, circuits, systèmes ou autres) à faible consommation de puissance avec une densité surfacique de puissance minimale

[Lallement17; Lallement18]. Ainsi, ces circuits vont, d'une part, avoir une température globale plus faible et, d'autre part, moins impacter thermiquement les circuits voisins.

#### **I.4.2.2 Circuits de compensation**

Les circuits de compensation servent à limiter les effets dus à la chaleur, mais aussi ceux dus aux processus de fabrication et aux variations des tensions d'alimentation (PVT, *Process Voltage Temperature*). En pratique et pour les technologies à base de substrat SOI, ces circuits vont contrôler les tensions de seuil des transistors des circuits par le biais de leurs grilles arrières. En polarisant celles-ci, il est possible de diminuer ou d'augmenter la tension de seuil des transistors concernés, et donc de les ramener à une valeur nécessaire au bon fonctionnement des circuits et puces [Clerc15; Gomez19; Mauro17].

Ces circuits se basent sur des capteurs (de température, de tension...) et sur des dispositifs de références (par exemple des oscillateurs). L'écart entre la fréquence mesurée de l'oscillateur (qui dépend fortement des effets dus aux PVT) et sa valeur théorique permet de définir la tension qu'il faut appliquer sur les grilles arrières pour ramener la fréquence de l'oscillateur à sa valeur théorique.

Cependant, il est difficile, voire impossible, de dédier un circuit de compensation pour chaque grille arrière des transistors. En général, ces circuits contrôlent des blocs de transistors (les transistors NMOS et PMOS sont toujours séparés dans des blocs différents). De plus, tous les circuits ne sont pas compensés. Le choix d'utiliser un circuit de compensation dépend, entre autres, de la vulnérabilité des circuits aux effets dus au PVT et de leurs importances dans le fonctionnement des puces. Par exemple, les sources de courants ou de tensions ayant besoin de valeurs de sorties les plus constantes possibles vont utiliser des circuits de compensation. En outre, il est aussi difficile de concevoir des circuits de compensation dédiés uniquement aux effets dus à la température.

Enfin, l'intégration de circuits de compensation implique d'utiliser plus de surface pour les puces et donc d'augmenter leur coût. Il y a donc un compromis à trouver entre améliorer la robustesse vis-à-vis des effets dus aux PVT et la surface (donc le coût) des puces.

#### **I.4.2.3 Gestion du système**

Une bonne gestion des puces est nécessaire pour prévenir les risques d'emballement thermique et de vieillissement accéléré. En particulier, il est possible de sous-cadencé (*underclock*) les puces ou circuits, c'est-à-dire d'abaisser volontairement la fréquence de fonctionnement des puces. Ceci permet de diminuer

la puissance consommée, donc la chaleur générée mais, ce faisant, les puces ne fonctionnent pas à leur capacité nominale. Ainsi, lorsque la température d'un circuit ou d'une puce dépasse une valeur critique (seuil à ne pas dépasser pour éviter des dommages liés à la chaleur), leurs fréquences sont abaissées afin de faire redescendre la température. Une autre possibilité est de compartimenter les puces et d'éteindre un ou plusieurs compartiments pour en faire redescendre la température.

Quoiqu'il en soit, il est nécessaire d'avoir un circuit qui soit connecté à des capteurs de température insérés dans les circuits, blocs ou compartiments de puces. Dans le cas particulier du sous-cadencement, ce circuit doit également contrôler leurs horloges. Le même compromis vu dans la sous-section précédente est à trouver.

#### **I.4.2.4 Architecture**

L'architecture des puces est aussi à prendre en compte. En effet, s'il est impossible d'éliminer l'auto-échauffement et l'apparition de points chauds (notamment aux niveaux des sources ou amplificateur de puissances), il est néanmoins possible de séparer les circuits sensibles desdits points chauds. Une bonne pratique est donc, d'une part, de prévoir des zones tampons autour des circuits à fort auto-échauffement et, d'autre part, d'éloigner autant que possible les circuits les moins robustes à la chaleur de ces circuits générateurs de puissance thermique. De plus, il est possible de dessiner les circuits de façon à limiter les effets des gradients de température [Camenzind05, p.230-231]. En réduisant la densité surfacique des transistors des puces, il est possible de limiter l'auto-échauffement au détriment du coût des puces.

## **I.5 Objectifs de la thèse**

Dans ce contexte de l'influence de l'énergie thermique sur le comportement électrique des dispositifs microélectroniques, nous proposons, pour cette thèse, des solutions innovantes pour « l'intégration robuste vis-à-vis de l'activité électrothermique suivant les différents facteurs d'échelle dans le cadre de développement de circuits intégrés ». Autrement dit, l'objectif est de proposer de nouvelles structures en prenant en compte leur comportement électrique et thermique.

Une étude des phénomènes physiques impliqués a donc été réalisée, sur la technologie 28 nm UTBB FD-SOI de STMicroelectronics, afin de concevoir ces solutions. De plus, afin d'être le plus exhaustif possible, nous avons examiné différentes solutions existantes pour chaque facteur d'échelle, de la physique du transistor à la puce en passant par les circuits et les systèmes (chapitre I).

Pour faciliter le développement et la conception de solutions pour améliorer la robustesse électrothermique, nous avons utilisé des logiciels de simulations permettant de prédire les comportements électriques et thermiques de dispositifs électroniques. Cependant, nous avons dû améliorer ces outils existants pour l'étude électrothermique de structures en 3D (chapitre II).

Bien que dans ce chapitre I, nous avons montré que les performances des dispositifs micro-électronique se dégradent lorsque la température augmente, il s'avère que les circuits intégrés ne sont pas forcément optimaux pour des cryotempératures ( $< 120$  K). Ainsi, il est nécessaire d'ajouter des éléments chauffants afin d'amener ces circuits vers des températures aux alentours de 273 K. Ceci constitue le premier axe de développement de cette thèse (chapitre III).

Le deuxième axe de développement concerne les capteurs de température. En particulier, nous avons proposé un capteur de très basse consommation permettant d'obtenir un courant indépendant de la température sur une gamme de quelques centaines de kelvins (chapitre IV).

## **I.6 Conclusion**

Les matériaux semi-conducteurs et conducteurs sont des solides cristallins auxquels il faut apporter de l'énergie (voire pas du tout dans le cas des conducteurs) pour permettre la conduction de porteurs de charges libres. Afin d'améliorer la conductivité des semi-conducteurs, il est possible de les doper, c'est-à-dire d'augmenter la densité de porteurs de charge disponible pour la conduction électrique. L'énergie thermique, dans un solide, correspond aux vibrations des atomes autour de leurs positions neutres. La capacité d'un matériau à permettre la conduction de chaleur, en présence d'un gradient thermique, s'appelle la conductivité thermique et dépend de nombreux paramètres dont la température, le dopage, les dimensions...

Les transistors MOS sont des dispositifs d'au moins trois électrodes (source, drain et grille) et composés de trois zones alternativement dopées N et P avec une couche de diélectrique au-dessus de la zone centrale. Leur fonctionnement s'apparente, en première approximation, à un interrupteur, le courant  $I_{off}$  ( $I_{ds}$  quand  $V_{gs} = 0$ ) étant très inférieur à  $I_{on}$  ( $I_{ds}$  quand  $V_{gs} > V_T$ ). L'utilisation de films actifs et de BOX minces, comme pour la technologie 28 nm UTBB FD-SOI, permet d'être plus performant que les technologies standard. Les dispositifs microélectroniques sont sensibles à la chaleur, leurs comportements électriques dépendant de la température. De plus, ces dispositifs génèrent de l'énergie thermique par effet Joule, créant des points chauds.

Il existe de nombreuses solutions (changement de matériau pour le BOX, utilisation de la grille arrière...) pour améliorer la robustesse électrothermique des puces, chacune entraînant des surcoûts plus ou moins importants. Un compromis doit être trouvé entre l'apport des solutions et leurs coûts (surface occupée, temps de développement, matériaux utilisés et techniques de fabrication).

## I.7 Références

- [Asheghi97] Asheghi M., Ju Y. S. et Goodson K. E. « Thermal conductivity of SOI device layers ». In : *1997 IEEE Int. SOI Conf. Proc.* [s.l.] : [s.n.], 1997. p. 134-135.
- [Berland99] Berland V. et Galy P. *Description des monocristaux parfaits*. Paris : Ellipses/éditions marketing, 1999.
- [Bresson04] Bresson N., Ohima K., Letertre' F. et Iwai' H. « Alternative Dielectrics for Advanced SOI MOSFETs: Thermal Properties and Short Channel effects ». 2004. p. 3.
- [Cahill14] Cahill D. G., Braun P. V., Chen G., Clarke D. R., Fan S., Goodson K. E., Keblinski P., King W. P., Mahan G. D., Majumdar A., Maris H. J., Phillpot S. R., Pop E. et Shi L. « Nanoscale thermal transport. II. 2003–2012 ». *Appl. Phys. Rev.* mars 2014. Vol. 1, n°1, p. 011305.
- [Camenzind05] Camenzind H. *Designing Analog Chips*. [s.l.] : [s.n.], 2005. 242 p.
- [Chaudhry04] Chaudhry A. et Kumar M. J. « Controlling Short-Channel Effects in Deep-Submicron SOI MOSFETs for Improved Reliability: A Review ». *IEEE Trans. Device Mater. Reliab.* mars 2004. Vol. 4, n°1, p. 99-109.
- [Cho15] Cho J., Francis D., Chao P. C., Asheghi M. et Goodson K. E. « Cross-Plane Phonon Conduction in Polycrystalline Silicon Films ». *J. Heat Transf.* 1 juillet 2015. Vol. 137, n°7, p. 071303.
- [Clerc15] Clerc S., Saligane M., Abouzeid F., Cochet M., Daveau J.-M., Bottoni C., Bol D., De-Vos J., Zamora D., Coeffic B., Soussan D., Croain D., Naceur M., Schamberger P., Roche P. et Sylvester D. « 8.4 A 0.33V/-40°C process/temperature closed-loop compensation SoC embedding all-digital clock multiplier and DC-DC converter exploiting FDSOI 28nm back-gate biasing ». In : *2015 IEEE Int. Solid-State Circuits Conf. - ISSCC Dig. Tech. Pap.* San Francisco, CA, USA : IEEE, 2015. p. 1-3.

- [Colinge96] Colinge J.-P. et VanDeWiele F. *Physique des dispositifs semi-conducteurs*. Bruxelles : De Boeck-Wesmael, 1996. 388 p.(Bibliothèque des Universités Physique).
- [Colinge02] Colinge J.-P. et Colinge C. A. *Physics of Semiconductor Devices*. New York, NY : Springer, 2002. 436 p.
- [Colinge04] Colinge J.-P. *Silicon-on-Insulator Technology: Materials to VLSI, 3rd Edition*. Boston, MA : Springer US, 2004. 366 p.
- [Collin17] Collin L.-, Colonna J.-, Coudrain P., Shirazy M. R. S., Cheramy S., Souifi A. et Fréchette L. G. « Hot spot aware microchannel cooling add-on for microelectronic chips in mobile devices ». In : *2017 16th IEEE Intersoc. Conf. Therm. Thermomechanical Phenom. Electron. Syst. ITherm.* [s.l.] : [s.n.], 2017. p. 460-464.
- [Coudrain16] Coudrain P., Souare P. M., Prieto R., Fiori V., Farcy A., Le Pailleur L., Colonna J.-P., Santos C., Vivet P., Ben-Jamaa H., Dutoit D., De Crecy F., Dumas S., Chancel C., Lattard D. et Cheramy S. « Experimental Insights Into Thermal Dissipation in TSV-Based 3-D Integrated Circuits ». *IEEE Des. Test.* juin 2016. Vol. 33, n°3, p. 21-36.
- [Coudrain18] Coudrain P., Colonna J.-P., Collin L.-M., Prieto R., Fréchette L. G., Barrau J., Savelli G., Vivet P., Struss Q., Widiez J., Vladimirova K., Triantopoulos K., Beckrich-Ros H., Vilarrubi M., Laguna G., Azarkish H., Shirazi M. et Michailos J. « Shaping circuit environment to face the thermal challenge Innovative technologies from low to high power electronics ». In : *2018 IEEE Symp. VLSI Technol.* Honolulu, HI : IEEE, 2018. p. 15-16.
- [Cristoloveanu95] Cristoloveanu S. et Li S. S. *Electrical Characterization of Silicon-on-Insulator Materials and Devices*. Boston, MA : Springer US, 1995. 381 p.
- [Frank01] Frank D. J., Dennard R. H., Nowak E., Solomon P. M., Taur Y. et Hon-Sum Philip Wong. « Device scaling limits of Si MOSFETs and their application dependencies ». *Proc. IEEE.* mars 2001. Vol. 89, n°3, p. 259-288.
- [Gomez19] Gomez R. G., Bano E. et Clerc S. « Comparative evaluation of Body Biasing and Voltage Scaling for Low-Power Design on 28nm UTBB FD-SOI Technology ». In : *2019 IEEEACM Int. Symp. Low Power Electron. Des. ISLPED.* Lausanne, Switzerland : IEEE, 2019. p. 1-6.

- [Herrera18] Herrera R. P. *Développement d'une solution de répartition de la chaleur émise par les points chauds en co-intégration avec les technologies CMOS*. Thesis. [s.l.] : Université Grenoble Alpes, 2018. 173 p.
- [Kleiner96] Kleiner M. B., Kuhn S. A. et Weber W. « Conductivity Measurements of Thin Silicon Dioxide Films in Integrated Circuits ». 1996. p. 8.
- [Laguna17] Laguna G., Azarkish H., Vilarrubi M., Ibanez M., Roseli J., Betancourt Y., Illa J., Collin L.-M., Barrau J., Frechette L., Coudrain P. et Savelli G. « Microfluidic cell cooling system for electronics ». In : *2017 23rd Int. Workshop Therm. Investig. ICs Syst. THERMINIC*. Amsterdam : IEEE, 2017. p. 1-4.
- [Lallement17] Lallement G., Abouzeid F., Cochet M., Daveau J.-M., Roche P. et Autran J.-L. « A 2.7pJ/cycle 16MHz SoC with 4.3nW power-off ARM Cortex-M0+ core in 28nm FD-SOI ». In : *ESSCIRC 2017 - 43rd IEEE Eur. Solid State Circuits Conf.* Leuven : IEEE, 2017. p. 153-162.
- [Lallement18] Lallement G., Abouzeid F., Daveau J.-M., Roche P. et Autran J.-L. « A 1.1-pJ/cycle, 20-MHz, 0.42-V Temperature Compensated ARM Cortex-M0+ SoC With Adaptive Self Body-Biasing in FD-SOI ». *IEEE Solid-State Circuits Lett.* juillet 2018. Vol. 1, n°7, p. 174-177.
- [Liu02] Liu S.-C., Kramer J., Indiveri G., Delbrück T. et Douglas R. *Analog VLSI: circuits and principles*. Cambridge, Mass : MIT Press, 2002. 434 p.
- [Liu06a] Liu W., Etessam-Yazdani K., Hussin R. et Asheghi M. « Modeling and Data for Thermal Conductivity of Ultrathin Single-Crystal SOI Layers at High Temperature ». *IEEE Trans. Electron Devices*. août 2006. Vol. 53, n°8, p. 1868-1876.
- [Liu06b] Liu W., Yang Y. et Asheghi M. « Thermal and electrical characterization and modeling of thin copper layers ». In : *Therm. Thermomechanical Proc. 10th Intersoc. Conf. Phenom. Electron. Syst. 2006 ITherm 2006*. San Diego, CA : IEEE, 2006. p. 1171-1176.
- [Lo06] Lo K., Liu W., Pileggi L. et Asheghi M. « An electronic packaging design for reduction of thermal interface resistance ». In : *Therm. Thermomechanical Proc. 10th Intersoc. Conf. Phenom. Electron. Syst. 2006 ITherm 2006*. San Diego, CA : IEEE, 2006. p. 525-528.

- [Marconnet13] Marconnet A. M., Asheghi M. et Goodson K. E. « From the Casimir Limit to Phononic Crystals: 20 Years of Phonon Transport Studies Using Silicon-on-Insulator Technology ». *J. Heat Transf.* 1 juin 2013. Vol. 135, n°6, p. 061601.
- [Martin08] Martin D. M., Vallin O., Katardjiev I. et Olsson J. « Buried aluminum nitride insulator for improving thermal conduction in SOI ». In : *2008 IEEE Int. SOI Conf.* New Paltz, NY : IEEE, 2008. p. 105-106.
- [Mauro17] Mauro A. D., Rossi D., Pullini A., Flatresse P. et Benini L. « Temperature and process-aware performance monitoring and compensation for an ULP multi-core cluster in 28nm UTBB FD-SOI technology ». In : *2017 27th Int. Symp. Power Timing Model. Optim. Simul. PATMOS*. [s.l.] : [s.n.], 2017. p. 1-8.
- [McConnell01] McConnell A. D., Uma S. et Goodson K. E. « Thermal conductivity of doped polysilicon layers ». *J. Microelectromechanical Syst.* septembre 2001. Vol. 10, n°3, p. 360-369.
- [Moore06] Moore G. E. « Cramming more components onto integrated circuits, Reprinted from *Electronics*, volume 38, number 8, April 19, 1965, pp.114 ff. » *IEEE Solid-State Circuits Soc. Newsl.* septembre 2006. Vol. 11, n°3, p. 33-35.
- [Panzer09] Panzer M. A., Shandalov M., Rowlette J. A., Oshima Y., Chen Y. W., McIntyre P. C. et Goodson K. E. « Thermal Properties of Ultrathin Hafnium Oxide Gate Dielectric Films ». *IEEE Electron Device Lett.* décembre 2009. Vol. 30, n°12, p. 1269-1271.
- [Pop01] Pop E., Banerjee K., Sverdrup P., Dutton R. et Goodson K. « Localized heating effects and scaling of sub-0.18 micron CMOS devices ». In : *Int. Electron Devices Meet. Tech. Dig. Cat No01CH37224*. Washington, DC, USA : IEEE, 2001. p. 31.1.1-31.1.4.
- [Pop06] Pop E., Sinha S. et Goodson K. E. « Heat Generation and Transport in Nanometer-Scale Transistors ». *Proc. IEEE*. août 2006. Vol. 94, n°8, p. 1587-1601.
- [Prasher06] Prasher R. « Thermal Interface Materials: Historical Perspective, Status, and Future Directions ». *Proc. IEEE*. août 2006. Vol. 94, n°8, p. 1571-1586.

- [Prieto14] Prieto R., Belly G., Colonna J. P., Coudrain P., De Crecy F., Cheramy S. et Avenas Y. « Assessment of a heat spreading solution for hot spots cooling in compact packages ». In : *20th Int. Workshop Therm. Investig. ICs Syst.* Greenwich, London, United Kingdom : IEEE, 2014. p. 1-6.
- [Prieto15] Prieto R., Colonna J. P., Coudrain P., Santos C., Vivet P., Cheramy S., Campos D., Farcy A. et Avenas Y. « Thermal measurements on flip-chipped system-on-chip packages with heat spreader integration ». In : *2015 31st Therm. Meas. Model. Manag. Symp. SEMI-THERM.* San Jose, CA, USA : IEEE, 2015. p. 221-227.
- [Roig02] Roig J., Flores D., Vellvehi M., Rebollo J. et Millan J. « Reduction of self-heating effect on SOIM devices ». *Microelectron. Reliab.* janvier 2002. Vol. 42, n°1, p. 61-66.
- [Santos14] Santos C., Souare P. M., De Crecy F., Coudrain P., Colonna J.-P., Vivet P., Borbely A., Reis R., Ben Jamaa H., Fiori V. et Farcy A. « Using TSVs for thermal mitigation in 3D circuits: Wish and truth ». In : *2014 Int. 3D Syst. Integr. Conf. 3DIC.* Kinsdale, Ireland : IEEE, 2014. p. 1-8.
- [Sze07] Sze S. M. et Ng K. K. *Physics of semiconductor devices.* 3rd ed. Hoboken, N.J : Wiley-Interscience, 2007. 815 p.
- [Takahashi13] Takahashi T., Matsuki T., Shinada T., Inoue Y. et Uchida K. « Comparison of self-heating effect (SHE) in short-channel bulk and ultra-thin BOX SOI MOSFETs: Impacts of doped well, ambient temperature, and SOI/BOX thicknesses on SHE ». In : *2013 IEEE Int. Electron Devices Meet.* Washington, DC, USA : IEEE, 2013. p. 7.4.1-7.4.4.
- [Ziman01] Ziman J. M. *Electrons and phonons: the theory of transport phenomena in solids.* Oxford : New York : Clarendon Press ; Oxford University Press, 2001. 554 p.(Oxford classic texts in the physical sciences).

---

# CHAPITRE II : OUTILS NUMÉRIQUES POUR SIMULATION ÉLECTROTHERMIQUE

---

II.1	Introduction .....	66
II.2	Sentaurus (TCAD) .....	66
II.3	UTSOI 2.2 (SPICE) .....	74
II.4	HeatWave.....	84
II.5	Conclusion.....	87
II.6	Références.....	88

## II.1 Introduction

Il existe un grand nombre d'outils de CAO (conception assistée par ordinateur, ou CAD) pour faire des simulations électriques, thermiques ou électrothermiques. Dans le cadre de cette thèse, nous avons utilisé principalement deux logiciels de CAO (CAO pour l'électronique) pour faire nos simulations électrothermiques et nous avons étudié la possibilité d'en utiliser un troisième. Le premier outil est Sentaurus de l'éditeur Synopsys, un logiciel de type TCAD (*Technology Computer Aided Design*), le deuxième outil est un logiciel de simulation de circuits intégrés de type SPICE (*Simulation Program with Integrated Circuit Emphasis*) et le troisième simulateur, HeatWave de l'éditeur Keysight, est un logiciel combinant les caractéristiques des deux précédents types de simulations. Chacun de ces simulateurs est présenté dans ce chapitre.

## II.2 Sentaurus (TCAD)

Sentaurus est, en réalité, un ensemble de logiciels de simulation multi-physique dédié aux technologies à base de semi-conducteurs. Il permet d'une part, de créer des structures en 1D, 2D ou 3D (avec Sentaurus process [Synopsys19a] ou Sentaurus structure editor [Synopsys19b]), d'autre part, de simuler les comportements électrique, thermique, optique, électromagnétique, ou autre, desdites structures (avec Sentaurus device [Synopsys19c]). Enfin, il permet de visualiser les résultats et d'exporter les données pour les traiter avec d'autres logiciels comme Excel ou Matlab (avec Sentaurus visual [Synopsys19d]). Sentaurus n'est pas limité aux trois points évoqués précédemment, mais dans le cadre de cette thèse, ceux-ci convenaient à nos besoins.

### II.2.1 Sentaurus process (SP)

Sentaurus process (SP) est un outil permettant de créer des structures 1D, 2D (voir **FIGURE II.1**) ou 3D (voir **FIGURE II.2**) en reproduisant les étapes de fabrication réelle utilisées pour les technologies à base de semi-conducteurs. Ainsi, le logiciel peut reproduire numériquement les phases de photolithographie, gravure, implantation, oxydation, recuit, épitaxie etc. Les avantages de cet outil sont, d'une part, qu'à partir des dessins de masques définis dans un fichier GDSII, il est capable de modéliser les structures qui y sont dessinées en 1, 2 ou 3 dimensions. Et d'autre part, nous sommes capables d'obtenir des répartitions du dopage dans les structures de façon très fine et précise par rapport à la répartition réel du dopage.

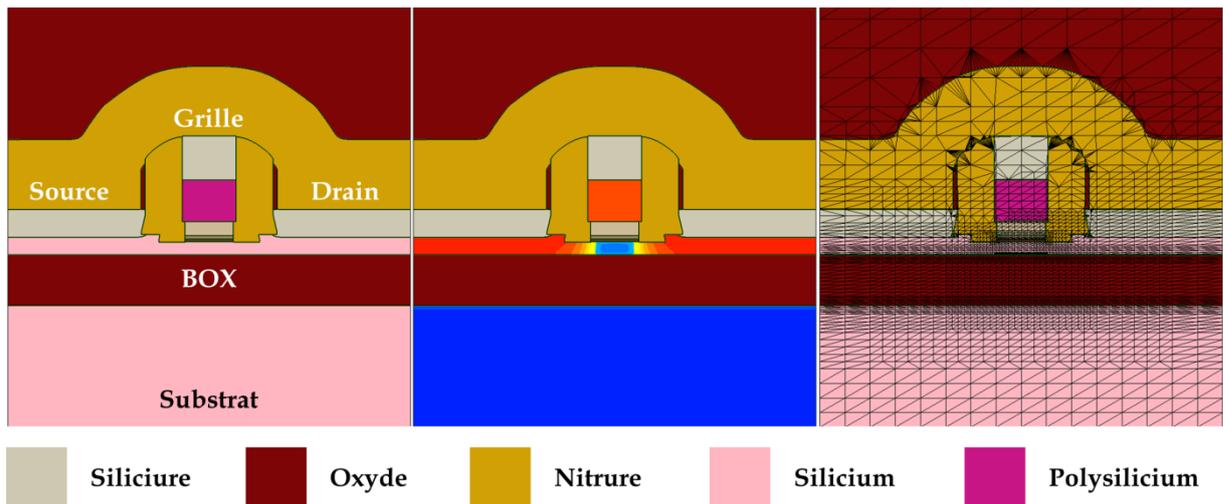


FIGURE II.1 - Vues normale (gauche), avec dopage (milieu) et avec maillage (droite) d'un transistor NMOS modélisé avec Sentaurus process en 2D. Pour la figure du milieu, le bleu correspond à un dopage de type P et le rouge à un dopage de type N.

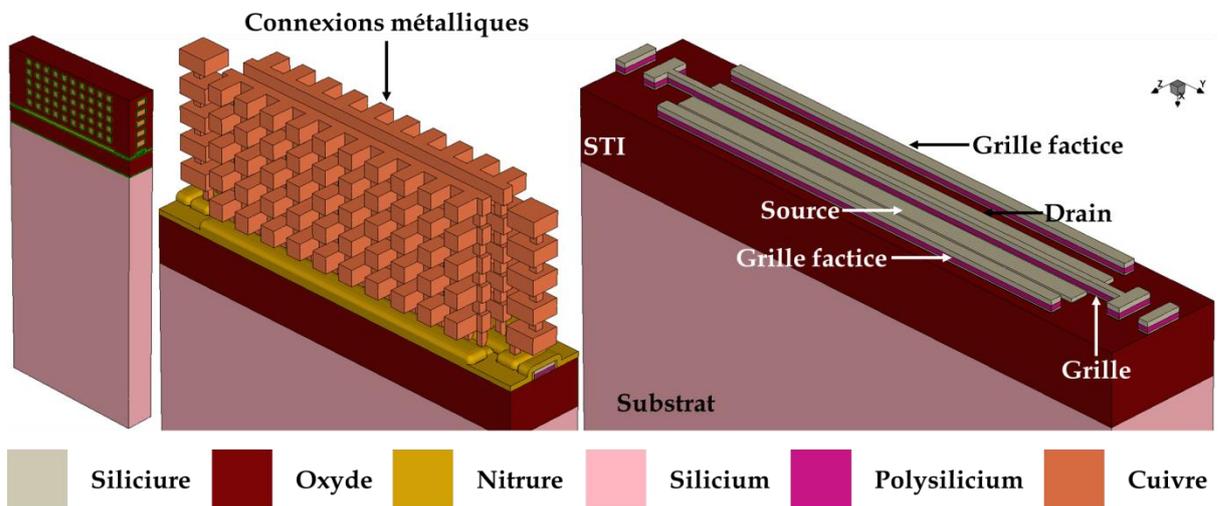


FIGURE II.2 - Vues 3D normale (gauche), avec oxyde du BEOL transparent (milieu) et avec BEOL transparent (droite) d'un transistor NMOS modélisé avec Sentaurus process en 3D.

Cependant, cet outil n'est pas encore suffisamment robuste pour représenter des structures en 3D, en effet, le logiciel met beaucoup de temps et, souvent, le maillage créé est trop complexe et lourd pour être ensuite utilisé pour nos simulations.

## II.2.2 Sentaurus structure editor (SSE)

Sentaurus structure editor (SSE) est un outil permettant de dessiner des figures 2D (polygones, disques...voir FIGURE II.4) ou 3D (cylindre, polyèdres, sphères...voir FIGURE II.3).

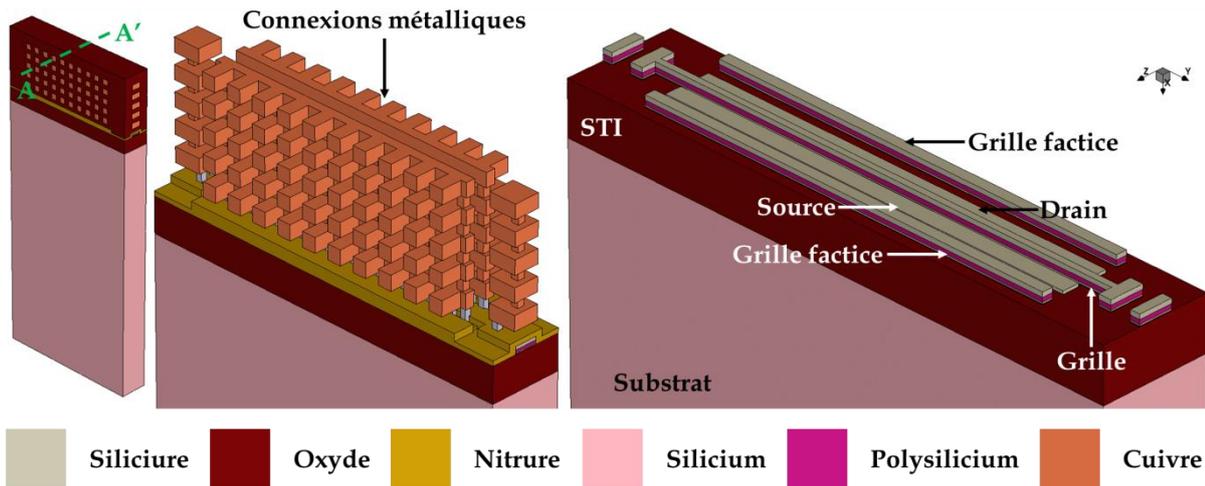


FIGURE II.3 - Vues 3D normale (gauche), avec oxyde du BEOL transparent (milieu) et avec BEOL transparent (droite) d'un transistor NMOS modélisé avec Sentaurus structure editor en 3D.

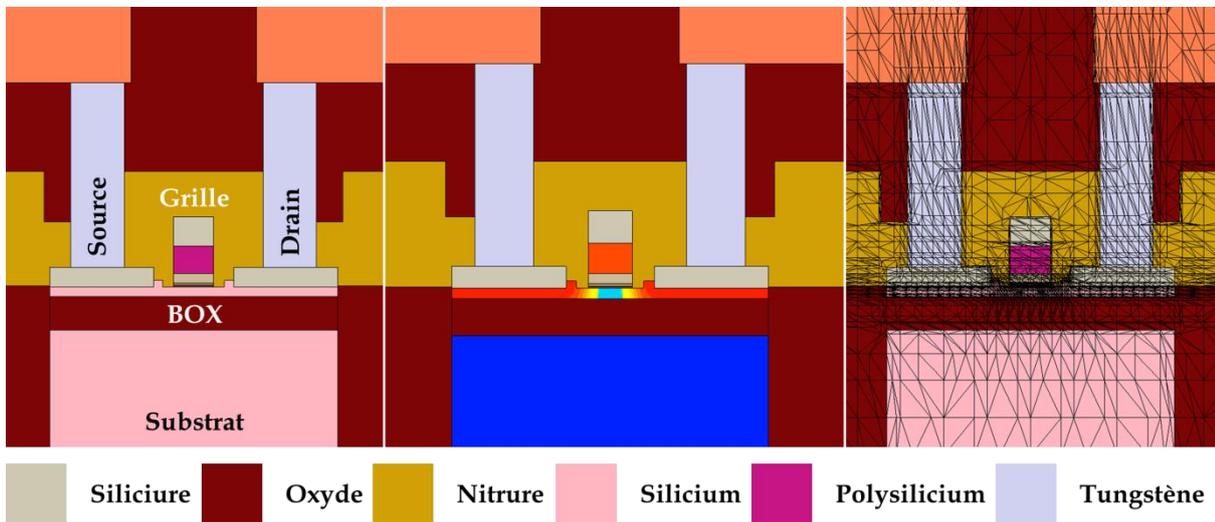


FIGURE II.4 - Vues en coupe selon AA' (d'après la figure précédente) normale (gauche), avec dopage (milieu) et avec maillage (droite) d'un transistor NMOS modélisé avec Sentaurus structure editor en 3D. Pour la figure du milieu, le bleu correspond à un dopage de type P et le rouge à un dopage de type N.

Une fonctionnalité récente permet aussi de modéliser les structures en simulant des opérations simples de gravure et de photolithographie à partir de masques. Les masques sont, soit créés localement dans le logiciel par des lignes ou des polygones, soit récupérés à partir d'un dessin de masque défini dans un fichier GDSII par exemple. Contrairement à Sentaurus process, il ne permet pas de simuler d'autres étapes du processus de fabrication tels que les implantations, oxydations, etc. Le dopage dans les structures est défini à travers des fonctions mathématiques (gaussiennes, erreurs, etc.) ou à partir de profils de dopage. Les structures créées avec SSE sont souvent moins réalistes et justes par rapport à SP mais le maillage est plus simple et moins lourd, ce qui permet d'avoir des simulations et une modélisation des

structures plus rapides. Bien que les structures soient moins réalistes qu'avec Sentaurus process, nous avons fait le choix d'utiliser Sentaurus structure editor par simplicité et parce que les structures sont plus faciles à modéliser et plus robustes pour les simulations électrothermiques.

### II.2.3 Sentaurus device (SD)

Sentaurus device (SD) est l'outil qui permet de faire les simulations électrothermiques des structures créées avec Sentaurus process et structure editor. Par défaut, la température est définie comme étant uniforme dans toute la structure et égale à 300 K (ou tout autre température définie dans le code de simulation). Pour pouvoir calculer une température hétérogène dans la structure (faire une simulation électrothermique), il faut activer une fonction supplémentaire dans le code de simulation ([Synopsys19c]).

#### II.2.3.1 Équations de transport

Par défaut, le modèle utilisé pour le transport des porteurs de charges est le modèle de *Drift-Diffusion* (DD), les densités de courants sont définies par :

$$\begin{cases} \vec{J}_n = -nq\mu_n\vec{\nabla}\Phi_n \\ \vec{J}_p = -pq\mu_p\vec{\nabla}\Phi_p \end{cases} \quad (\text{II.1})$$

Avec,  $n$  et  $p$ , respectivement, le nombre d'électrons et de trous par unité de volume,  $q$ , la charge élémentaire,  $\mu_n$  et  $\mu_p$ , respectivement, la mobilité des électrons et des trous et,  $\Phi_n$  et  $\Phi_p$ , respectivement, le potentiel des Quasi-niveaux de Fermi pour les électrons et les trous.

Un autre modèle utilisé est le modèle *ThermoDynamic* (TD) où les densités de courants s'écrivent :

$$\begin{cases} \vec{J}_n = -nq\mu_n[\vec{\nabla}\Phi_n + P_n\vec{\nabla}T] \\ \vec{J}_p = -pq\mu_p[\vec{\nabla}\Phi_p + P_p\vec{\nabla}T] \end{cases} \quad (\text{II.2})$$

Avec,  $P_n$  et  $P_p$ , respectivement, la puissance thermoélectrique absolue pour les électrons et les trous, et  $T$ , la température. Pour utiliser ce modèle, il faut ajouter la fonction « *Thermodynamic* » dans la section « *Physics* » du code de simulation.

#### II.2.3.2 Équations de la chaleur

En utilisant le modèle par défaut (DD), l'équation de chaleur s'écrit :

$$\partial W_L / \partial t + \vec{\nabla} \cdot \vec{c} - dW_L / dt = \frac{1}{\tau} \vec{\nabla} \cdot \vec{c} + dW_n / dt - \frac{1}{\tau} \vec{\nabla} \cdot \vec{c} + dW_p / dt \quad (\text{II.3})$$

$$C_L \frac{\partial T}{\partial t} + \vec{\nabla} \cdot \vec{S}_L = G_T$$

Avec,  $C_L$ , la capacité thermique volumique du matériau,  $\vec{S}_L$ , la densité de flux thermique,  $E_C$  et  $E_V$ , respectivement, la bande d'énergie de conduction et de valence,  $H$ , la densité du taux de transfert thermique due aux processus de génération-recombinaison et  $G_T$ , le taux de génération de chaleur par unité de volume.

L'équation de chaleur d'après le modèle TD s'écrit sous la forme :

$$\begin{aligned} \frac{\partial}{\partial t}(C_L T) - \vec{\nabla}(\kappa \vec{\nabla} T) &= -\vec{\nabla}[(P_n T + \Phi_n) \vec{J}_n + (P_p T + \Phi_p) \vec{J}_p] \\ &\quad - \frac{1}{q} \left( E_C + \frac{3}{2} kT \right) (\vec{\nabla} \vec{J}_n - q R_{net,n}) \\ &\quad - \frac{1}{q} \left( E_V + \frac{3}{2} kT \right) (\vec{\nabla} \vec{J}_p - q R_{net,p}) + \hbar \omega G^{opt} \end{aligned} \quad (II.4)$$

$$C_L \frac{\partial T}{\partial t} + \vec{\nabla} \cdot \vec{S}_L = G_T$$

Avec  $\kappa$ , la conductivité thermique du matériau,  $k$ , la constante de Boltzmann,  $R_{net,n}$  et  $R_{net,p}$ , respectivement, le taux de recombinaison pour les électrons et les trous, et  $G^{opt}$ , le taux de génération optique. Dans les métaux, l'équation de chaleur s'écrit :

$$\frac{\partial}{\partial t}(C_L T) - \vec{\nabla}(\kappa \vec{\nabla} T) = -\vec{\nabla}[(P_M T + \Phi_M) \vec{J}_M] \quad (II.5)$$

Avec,  $P_M$ ,  $\Phi_M$  et  $\vec{J}_M$ , respectivement, la puissance thermoélectrique du métal, le potentiel de Fermi du métal et la densité de courant traversant le métal.

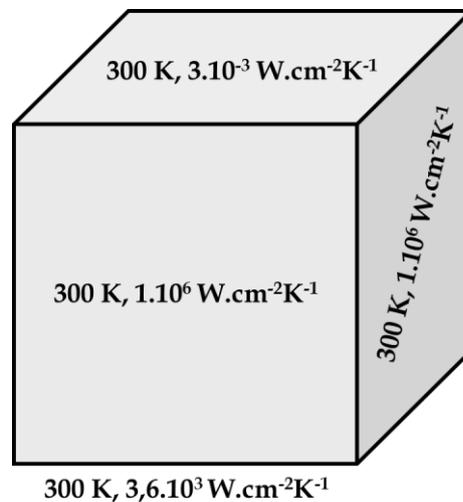
Les équations (II.3) et (II.4) sont très proches, la principale différence vient de la manière de calculer les densités de courants. À noter que, jusqu'à maintenant, nos simulations en utilisant le modèle DD ou TD donnent des résultats très proches, que ce soit en termes de courant ou de température.

### II.2.3.3 Conditions aux limites

Par défaut, Sentaurus device considère que nos structures sont adiabatiques, c'est-à-dire qu'elles n'échangent pas de chaleur avec l'environnement extérieur. Ceci se traduit par des conditions limites de type Neumann (le flux de chaleur est nul) sur les surfaces externes de nos structures. Il est possible de définir des contacts thermiques sur les surfaces externes pour permettre à nos structures d'interagir thermiquement avec l'environnement extérieur. Pour tous les contacts thermiques, nous avons défini une température correspondant à la température de l'environnement (par exemple 300 K), et, au choix, un coefficient de transfert thermique (exprimé en  $W.cm^{-2}K^{-1}$ ), une résistance thermique surfacique (exprimée en

$\text{cm}^2\text{K}\cdot\text{W}^{-1}$ ) ou une densité de flux thermique. Un coefficient de transfert thermique nul (ou, inversement, une résistance thermique surfacique infinie) correspond à une condition limite de type Neumann. Une résistance thermique surfacique nulle (ou, inversement, un coefficient de transfert thermique infini) correspond à une condition limite de type Dirichlet (la température au niveau du contact est égale à la température de l'environnement).

Pour nos simulations, nous avons choisi de mettre des conditions aux limites représentant le plus fidèlement possible les conditions de mesures réelles, c'est-à-dire mesures sur plaque de silicium avec une station sous pointe (voir **FIGURE II.5**) [Garegnani16; Hatakeyama14]. Pour la surface du dessus, nous avons mis un coefficient de transfert thermique de  $3 \text{ mW}\cdot\text{cm}^{-2}\text{K}^{-1}$ , simulant le contact entre la plaque de silicium et l'air ambiant. Pour la surface du dessous, nous avons mis un coefficient de transfert thermique de  $3,6 \text{ kW}\cdot\text{cm}^{-2}\text{K}^{-1}$ , simulant le contact entre la plaque de silicium et son support métallique. Enfin, pour les surfaces latérales, nous avons estimé que les contacts thermiques étant suffisamment loin des points chauds des structures, des conditions de types Dirichlet étaient suffisantes, c'est-à-dire nous avons mis des coefficients de transfert thermique élevés de  $1 \text{ MW}\cdot\text{cm}^{-2}\text{K}^{-1}$ . Finalement, les conditions aux limites utilisées favorisent une dissipation de l'énergie thermique vers le bas.



**FIGURE II.5** - Représentation simplifiée des conditions aux limites utilisées pour les simulations électrothermiques sur nos structures.

## II.2.4 Paramètres thermiques

Dans cette section, nous allons présenter les modifications et ajouts effectués sur les propriétés thermiques des matériaux ainsi que les astuces développées pour représenter le plus fidèlement possible les conditions réelles dans lesquelles se trouvent nos structures.

### II.2.4.1 Propriétés thermiques des matériaux

Comme nous l'avons vu lors du chapitre précédent, les couches minces de matériaux ont une conductivité thermique plus faible que les couches massives. En effet (voir section I.2.4), il a été démontré et mesuré que la conductivité thermique du substrat (silicium) était dix fois supérieure à la conductivité thermique du canal (silicium). Pour la technologie 28 nm UTBB FD-SOI de STMicroelectronics, les dimensions des matériaux présents dans le FEOL sont significativement petites, nous avons donc ajusté les conductivités thermiques de ces matériaux (silicium sur le BOX, siliciure de nickel, oxyde du BOX, nitrures de silicium des espaceurs, oxyde de grille, vias de tungstène...). Les valeurs utilisées ont été récupérées d'après la littérature et des rapports internes de STMicroelectronics.

### II.2.4.2 Astuces pour simulation électrothermique

Il est impossible de modéliser la plaque entière, ni les puces, ni mêmes la structure avec ses plots de contact métallique, les surfaces se comptant en une centaine (ou plus) de micromètres carrés. De plus, en comptant l'épaisseur du substrat, du FEOL et du BEOL, l'épaisseur totale atteint les 800  $\mu\text{m}$ . Par ailleurs, la majeure partie de l'activité électrothermique se situe au niveau des transistors et plus particulièrement au niveau de leurs canaux, ainsi, un volume d'une centaine de micromètres cubes est suffisant pour les simulations.

Afin de réduire la taille de nos structures simulées ainsi que le temps des simulations, nous avons réduit le substrat à 5  $\mu\text{m}$  d'épaisseur et le BEOL n'est modélisé que jusqu'au sixième niveau de métal ( $\sim 1,2 \mu\text{m}$ ). De plus, nous ne simulons que l'aire contenant nos structures actives. Ces aires ne font, en général, pas plus de 25  $\mu\text{m}^2$ . Cependant, afin d'avoir des simulations précises et réalistes, notamment au niveau de la température, nous avons besoin de représenter le reste du substrat, du BEOL ainsi qu'une aire plus grande que la surface modélisée. Une solution pour ce faire est d'ajouter des couches minces tout autour de notre structure modélisée, ces couches sont composées de matériaux arbitraires possédant des conductivités thermiques équivalentes compensant la minceur des couches (voir **FIGURE II.6**). La valeur de ces conductivités équivalentes est déterminée par :

$$\kappa_{CM} = \frac{e_{CM}}{e_{CE}} \times \kappa_{CE} \quad (\text{II.6})$$

Avec,  $\kappa_{CM}$  et  $\kappa_{CE}$ , respectivement, la conductivité thermique de la couche mince et de la couche initiale, et  $e_{CM}$  et  $e_{CE}$ , respectivement, l'épaisseur de la couche mince et de la couche initiale. Pour toutes nos couches,  $e_{CM}$  est de 200 nm. À titre d'exemple, si nous prenons la partie du substrat non modélisé ( $e_{CE} = 770 \mu\text{m}$  et  $\kappa_{CE} = 1,7 \text{ W.cm}^{-1}\text{K}^{-1}$ ),

alors nous obtenons une conductivité thermique  $\kappa_{CM}$  ( $= \kappa_{BSI}$ ) de  $442 \mu W.cm^{-1}K^{-1}$  pour une épaisseur  $e_{CM}$  de 200 nm.

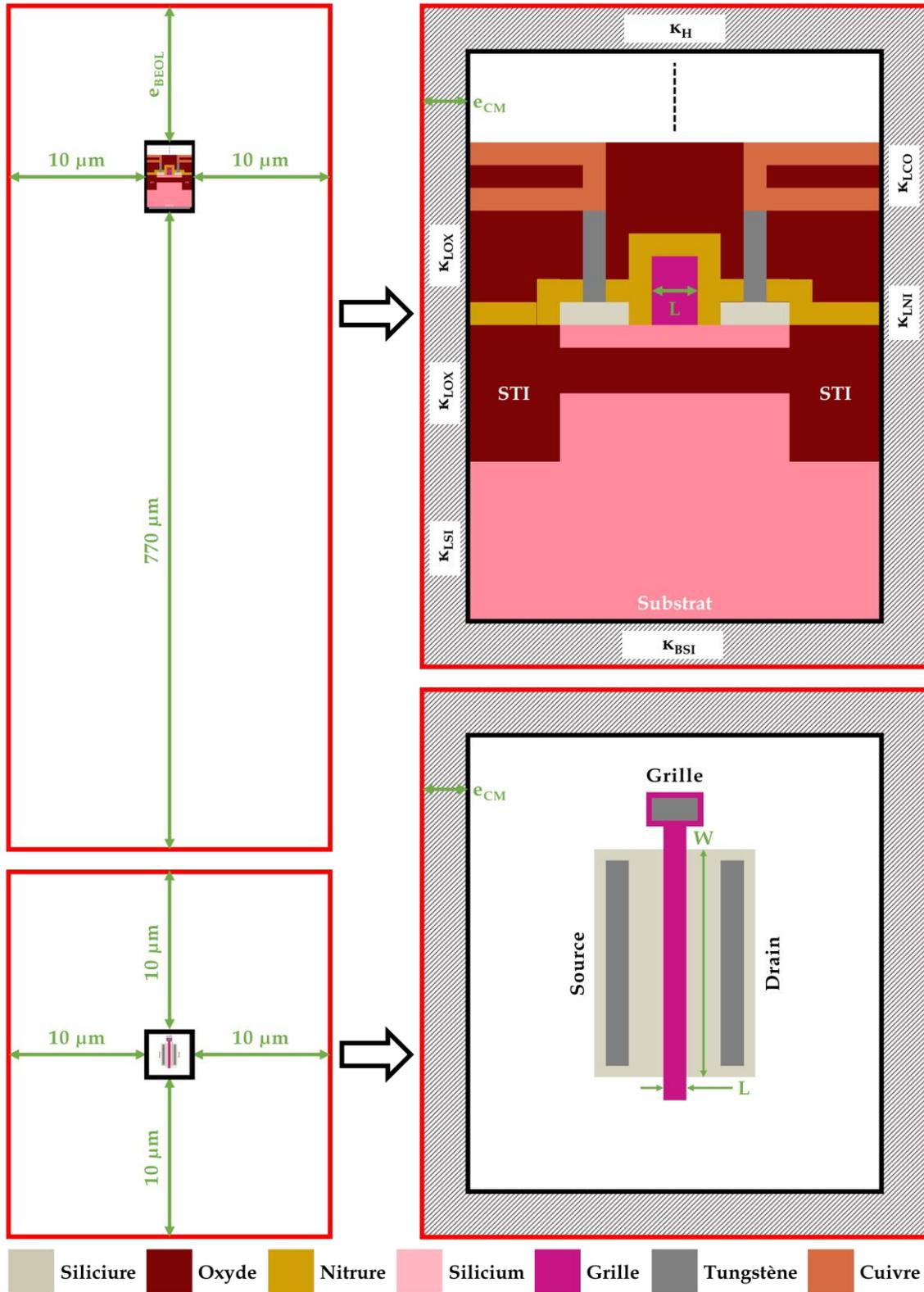


FIGURE II.6 - Vues en coupe (haut) et de dessus (bas) simplifiées. Dans les cadres à bordure noire, la structure que nous voulons modéliser. Dans les anneaux hachurés, les couches minces pour simuler l'ensemble de la tranche de silicium (représenté par les cadres à bordure rouges de gauche).

Pour la partie latérale, nous considérons qu'au-delà de 10  $\mu\text{m}$  de la structure, il n'y a plus de gradient de température, donc prendre des épaisseurs  $e_{CE}$  de 10  $\mu\text{m}$  est suffisant. Les conductivités thermiques équivalentes pour le silicium, l'oxyde, le nitrure et le cuivre sont, respectivement, notées  $\kappa_{LSI}$ ,  $\kappa_{LOX}$ ,  $\kappa_{LNI}$  et  $\kappa_{LCO}$ . La conductivité thermique équivalente pour simuler le reste du BEOL ( $\kappa_H$ ) est calculée suivant les formules ci-dessous :

$$\kappa_H = \frac{e_{CM}}{e_{BEOL}} \times \kappa_{BEOL}; \frac{1}{\kappa_{BEOL}} = \frac{1}{e_{BEOL}} \times \sum_{i=1}^n \frac{e_i}{\kappa_i}; e_{BEOL} = \sum_{i=1}^n e_i \quad (\text{II.7})$$

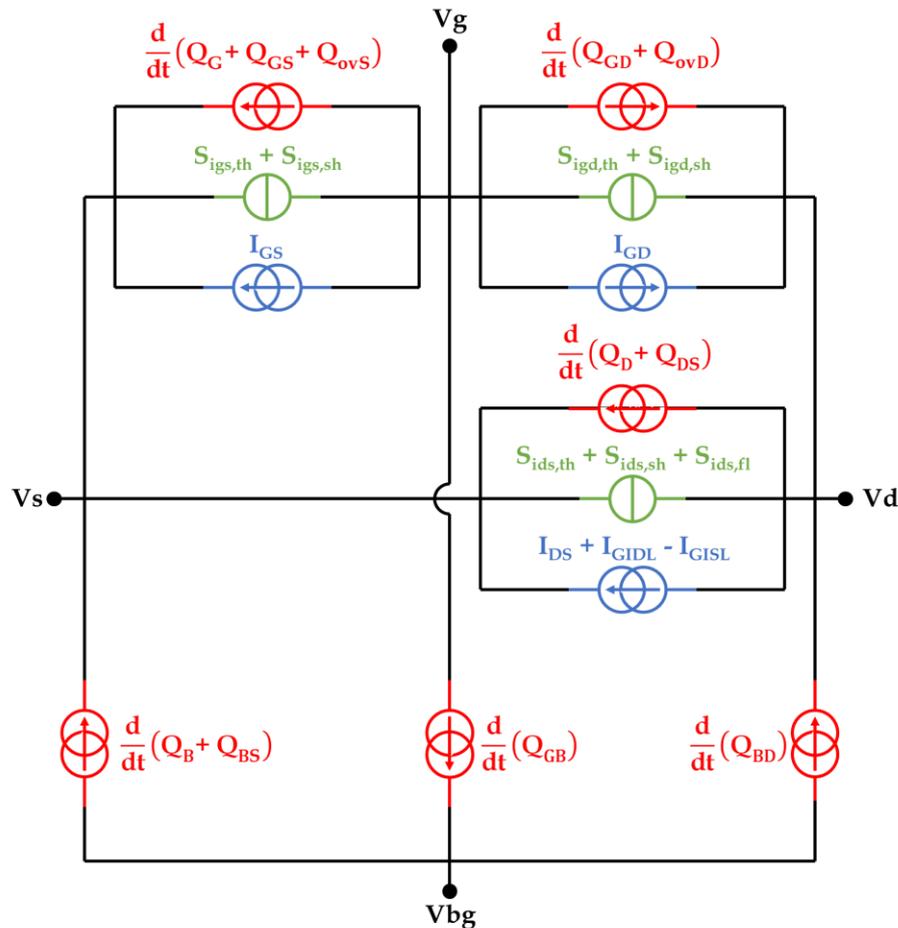
Avec,  $n$ , le nombre de couches composant le reste du BEOL,  $e_i$  et  $\kappa_i$ , respectivement, l'épaisseur et la conductivité thermique de la couche  $i$ , et  $e_{BEOL}$  et  $\kappa_{BEOL}$ , respectivement, l'épaisseur et la conductivité thermique du BEOL.

## II.3 UTSOI 2.2 (SPICE)

Les simulateurs de type SPICE sont dédiés en premier lieu à la simulation électrique de circuits électroniques, cependant, il est possible de réaliser des simulations thermique ou électrothermique en utilisant un circuit thermique en parallèle du circuit électronique. Ce type de simulateur utilise des modèles analytiques pour simuler le comportement électrique des composants (transistors, diodes, résistances, etc.) au sein d'un circuit.

### II.3.1 Modèle UTSOI 2.2

Le modèle utilisé pour simuler les transistors MOSFETs issus de la technologie 28 nm UTBB FD-SOI de STMicroelectronics est le modèle compact UTSOI 2.2 (*Ultra Thin Silicon On Insulator*) du CEA-LETI (Laboratoire d'électronique et des technologies de l'information du CEA) [Poiroux15a; Poiroux15b; Poiroux15c]. Ce modèle a été calibré pour être au plus près des caractéristiques physiques des transistors de la technologie 28 nm UTBB FD-SOI sur la gamme de température  $[-40^\circ\text{C}; +125^\circ\text{C}]$  ou  $[233\text{ K}; 398\text{ K}]$ . Le modèle UTSOI est basé sur une description physique du comportement des transistors, notamment à travers un réseau de générateurs de courants représentant les courants DC, AC et de bruits entre tous les terminaux ou électrodes des transistors (voir **FIGURE II.7**).



**FIGURE II.7 -** Schéma électrique équivalent représentant un transistor MOSFET tel que défini dans le modèle UTSOI du CEA-LETI [Poiroux15a, p.8]. Les courants statiques, dynamiques et de bruits sont respectivement en bleu, rouge et vert. Les potentiels de source, drain, grille avant et arrière sont respectivement notés Vs, Vd, Vg et Vbg.

Toutes, ou des parties des équations modélisant les transistors dépendent de la température. Ainsi, lors de la calibration, les transistors sont mesurés à la température de référence  $T_{KR}$  (par défaut, cette température est de 298,15 K), ensuite tous les paramètres nécessaires à la modélisation du comportement électrique desdits transistors sont extraits des mesures. Puis, la température ambiante est modifiée afin de mesurer les variations comportementales et d'en extraire des coefficients thermiques traduisant les variations des paramètres vis-à-vis de la température.

### II.3.2 Auto-échauffement

Par défaut, la température d'un transistor (noté  $T_{KC}$ ) est égale à la température de l'environnement (noté  $T_{KD}$ ), mais en activant la variable « swshe » (la variable passe de 0 à 1), nous pouvons simuler l'auto-échauffement du dispositif, c'est-à-dire l'élévation de température (noté  $\Delta T_C$ ) due à l'activité électrique du transistor (voir équation (II.8)). Cette élévation de température a une incidence sur le comportement électrique des transistors puisque les paramètres décrivant lesdits transistors

dépendent de la température, d'où l'importance de le mesurer et de le représenter correctement dans le modèle UTSOI.

$$\begin{cases} T_{KC} = T_{KD}, & swshe = 0; \\ T_{KC} = T_{KD} + \Delta T_C, & swshe = 1. \end{cases} \quad (II.8)$$

À noter que pour toutes les équations concernant la grille arrière, la température utilisée est celle de l'environnement et non celle due à l'auto-échauffement (voir FIGURE II.8). En effet, dans ce modèle UTSOI, il est considéré que la couche d'oxyde enterrée isole suffisamment (à la fois électriquement et thermiquement) le transistor du substrat.

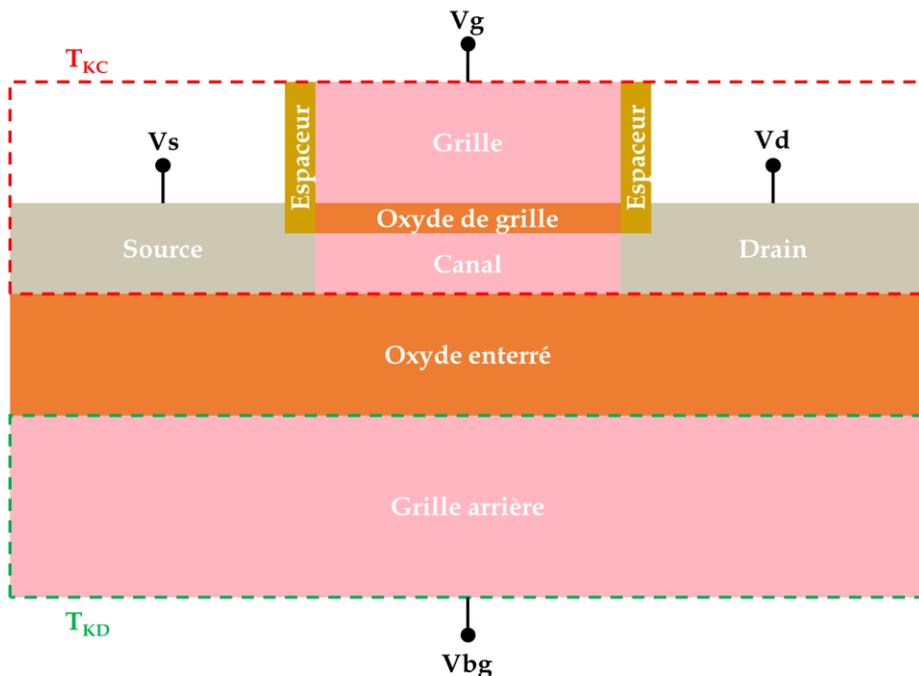


FIGURE II.8 - Dessin simplifié d'une coupe transversal d'un transistor FD-SOI utilisé pour le modèle UTSOI du CEA-LETI [Poiroux15a, p.7].

### II.3.2.1 Modélisation de la température d'un transistor

Dans le modèle UTSOI, la température du transistor ( $T_{KC}$ ) est représentée par un nœud thermique. Ce nœud est connecté au nœud de référence ( $T_{KD}$ , correspondant à la température de l'environnement) par un circuit thermique RC parallèle (voir FIGURE II.9). La différence entre ces deux nœuds thermiques correspond à  $\Delta T_C$ , soit l'élévation de la température dans le transistor due à l'auto-échauffement.

Le circuit thermique est composé d'une source de puissance thermique ( $P_D$ ) qui est égale à la puissance électrique ( $P_E$ ) du transistor. En effet, le modèle considère que la totalité de la puissance électrique se dissipe en puissance thermique par effet Joule (voir l'équation (II.9)). Le circuit thermique est aussi composé, en parallèle, d'une

résistance thermique ( $R_{th}$ , exprimée en  $[K.W^{-1}]$ ) et d'une capacitance thermique ( $C_{th}$ , exprimée en  $[J.K^{-1}]$ ).

$$P_E = P_D = I_{ds} \times V_{ds} \quad (II.9)$$

Avec  $I_{ds}$  et  $V_{ds}$  correspondant respectivement au courant et à la tension entre le drain et la source du transistor.

L'évolution de  $\Delta T_C$  en fonction du temps (voir **FIGURE II.10**) est modélisée par l'équation suivante :

$$\Delta T_C(t) = P_D \times R_{th} \times \left[ 1 - e^{\left(-\frac{t}{\tau_{th}}\right)} \right] \quad (II.10)$$

Où,  $\tau_{th}$  correspond à la constante de temps thermique et est égale à :

$$\tau_{th} = R_{th} \times C_{th} \quad (II.11)$$

$R_{th}$  dépend de la température et des dimensions du transistor (longueur, largeur et aire du canal) tandis que  $C_{th}$  ne dépend que des dimensions du transistor (voir les équations (II.12) et (II.13)) :

$$R_{th} = \frac{R_{TH0}}{1 + A_L + A_W + A_{LW}} \times \left( \frac{T_{KR}}{T_{KC}} \right)^{STRTH} \quad (II.12)$$

$$C_{th} = C_{TH0} \times (1 + A_L + A_W + A_{LW}) \quad (II.13)$$

Avec  $R_{TH0}$  et  $C_{TH0}$ , les résistance et capacitance thermiques du transistor de référence à la température de référence ( $T_{KR}$ ), c'est-à-dire lorsque  $T_{KC} = T_{KR}$  et que la somme d' $A_L$ ,  $A_W$  et  $A_{LW}$  est nulle.  $A_L$ ,  $A_W$  et  $A_{LW}$  sont les coefficients, pour  $R_{th}$  et  $C_{th}$ , dépendant respectivement de la longueur ( $L$ ), la largeur ( $W$ ) et la surface ( $L \times W$ ) du canal. À noter par conséquent que  $\tau_{th}$  est indépendant des dimensions des transistors. Enfin,  $STRTH$  est un facteur additionnel traduisant la dépendance en température de la résistance thermique.

Les valeurs de  $R_{TH0}$ ,  $C_{TH0}$ ,  $A_L$ ,  $A_W$ ,  $A_{LW}$  et  $STRTH$  sont extraites à partir des mesures du  $\Delta T_C$  des transistors de dimensions différentes et à différentes températures d'environnement.

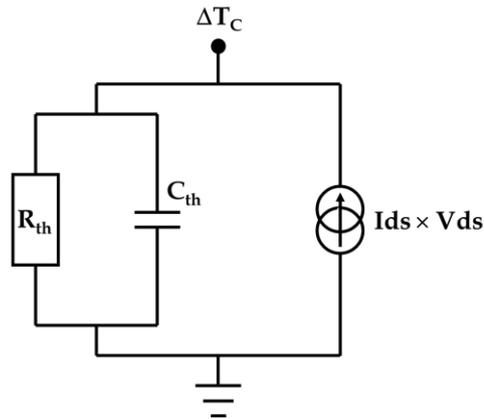


FIGURE II.9 - Schéma équivalent, décrivant l'auto-échauffement, utilisé pour calculer l'élévation de température d'un transistor ( $\Delta T_C$ ), d'après [Poiroux15a, p.48].

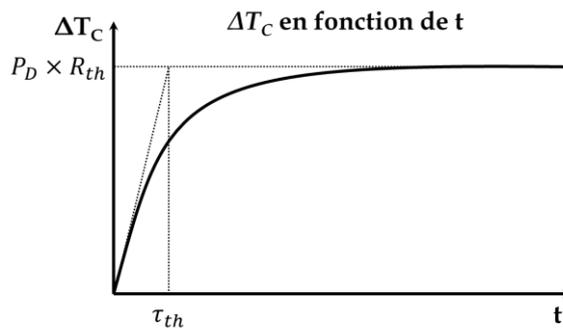
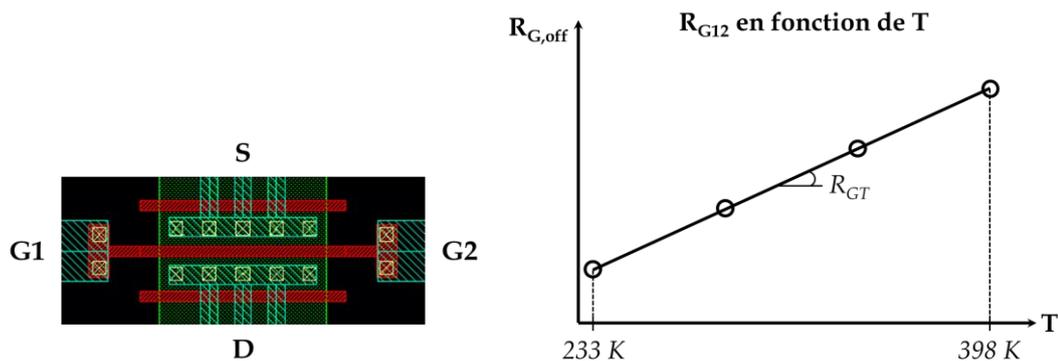


FIGURE II.10 - Graphe représentant l'élévation de la température d'un transistor due à l'auto-échauffement en fonction du temps. En régime établi ( $t \gg \tau_{th}$ ),  $\Delta T_C$  n'évolue plus et est égale à  $P_D \times R_{th}$ .

### II.3.2.2 Méthode pour mesurer $\Delta T_C$

Pour mesurer la température des transistors, nous nous servons des grilles des transistors comme capteurs de température [Su94]. En implémentant des contacts séparés à chaque extrémité des grilles, une résistance est insérée juste au-dessus du canal des transistors (voir FIGURE II.11). La valeur de cette résistance ( $R_{G12}$ ) dépend de sa température (et donc de la température du transistor). Si les coefficients thermiques ( $R_{GT}$  et  $R_{G0}$ ) sont connus, la température du transistor à travers la mesure de la résistance de grille peut être mesurée (voir FIGURE II.11).



**FIGURE II.11** - À gauche, dessin de masque d'un transistor NMOS avec deux contacts de grilles utilisés pour mesurer la température du transistor. En rouge, vert, blanc et bleu, les masques correspondants respectivement, aux grilles, la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et aux lignes de métaux. En noir, les zones remplies de STI. À droite, exemple de mesure de la résistance de grille en fonction de la température. Les coefficients  $R_{GT}$  et  $R_{G0}$  sont extraits après ajustement linéaire des points de mesures.

La mesure de  $\Delta T_C$  se fait en plusieurs étapes et sur plaque de silicium (voir **FIGURE II.12**) :

- 1) La résistance de la grille ( $R_{G12}$ ) est mesurée, à partir du courant  $I_{G12}$ , lorsque les transistors sont éteints ( $R_{G12} = R_{G,off}$ ), c.à.d., lorsque les drains, sources et grilles arrière sont polarisés à 0 V. Pour éviter d'avoir de l'auto-échauffement sur la résistance de grille, la tension  $V_{G12}$  doit être faible (typiquement 20 mV).
- 2) L'étape 1) est répétée à différentes températures (au niveau de la plaque de silicium) dans la gamme [233 ; 398 K]. Les coefficients thermiques des résistances de grilles sont extraits après ajustement linéaire de  $R_{G,off}$  en fonction de la température.
- 3) La résistance de grille est mesurée en condition d'auto-échauffement des transistors ( $R_{G12} = R_{G,on}$ ), c.à.d., lorsque les sources et grilles arrière sont polarisées à 0 V et les drains sont polarisés à la tension d'alimentation (VDD). Comme pour  $R_{G,off}$ , une tension  $V_{G12}$  faible est appliquée pour éviter d'avoir de l'auto-échauffement sur la grille.
- 4) La différence entre  $R_{G,on}$  et  $R_{G,off}$  nous permet de calculer la différence de température entre l'état éteint ( $T_{off}$ ) et allumé ( $T_{on}$ ) et donc l'élévation de température du transistor due à l'auto-échauffement ( $\Delta T_C$ ).

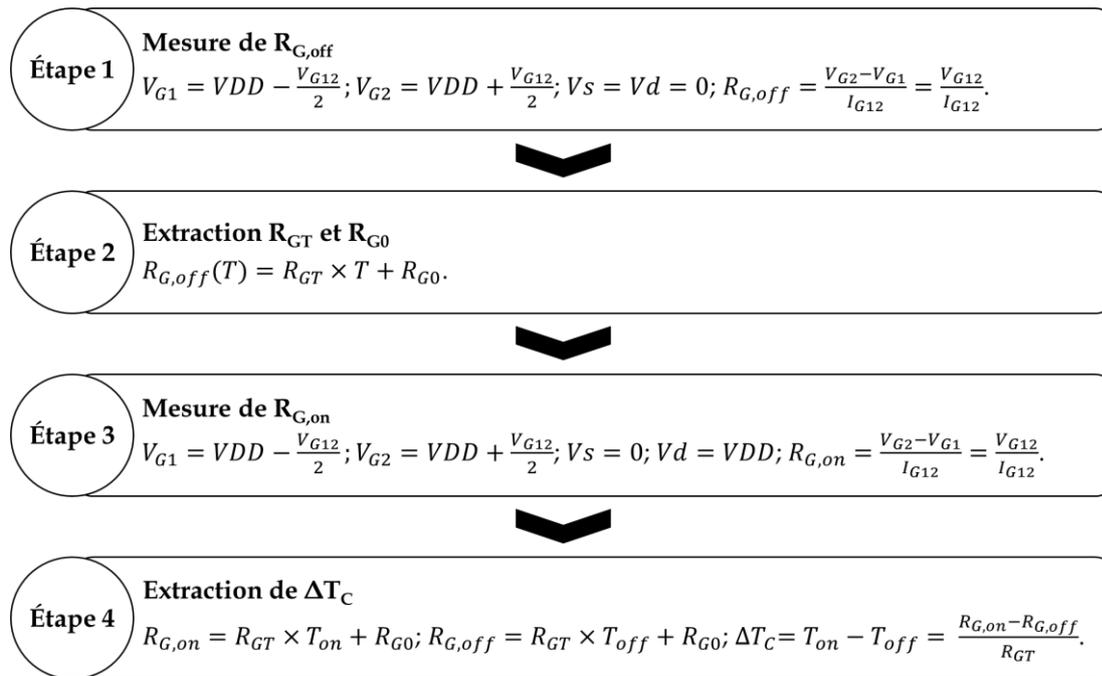


FIGURE II.12 - Schéma récapitulatif montrant les étapes utilisées pour mesurer l'élévation de température des transistors.

### II.3.2.3 Résultats avec et sans auto-échauffement

À titre d'exemple et pour montrer comment l'auto-échauffement influe sur le comportement électrique des transistors, nous avons simulé un transistor NMOS ( $L = 30 \text{ nm}$  et  $W = 1 \text{ }\mu\text{m}$ ), à température ambiante ( $T_{KD} = 300 \text{ K}$ ), et avec et sans la variable « swshe » activée (voir FIGURE II.13). Nous observons que lorsque l'élévation de température due à l'auto-échauffement devient importante, le courant de drain (« swshe » = 1) est plus faible que lorsque l'auto-échauffement n'est pas pris en compte (« swshe » = 0). Au contraire, le courant de grille est plus fort avec auto-échauffement que sans. Les simulations montrent, d'une part, que l'auto-échauffement conduit à des  $\Delta T_C$  non négligeables ( $> 30 \text{ K}$ ) et, d'autre part, que le comportement électrique des transistors est dégradé par rapport à un transistor idéal qui ne chaufferait pas.

## II.3.3 Couplage et réseaux thermiques

### II.3.3.1 Couplage thermique

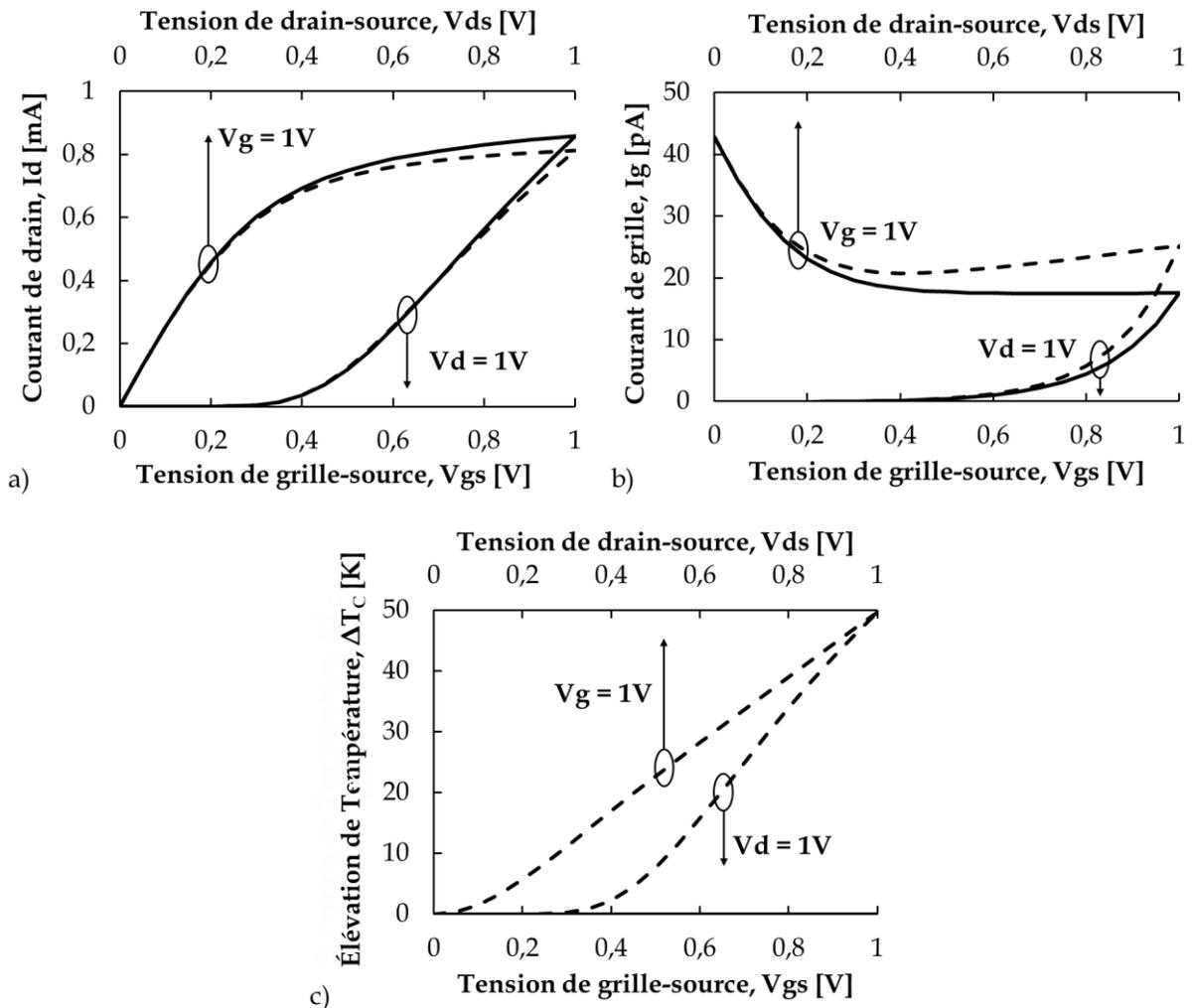
Le couplage thermique correspond à l'influence thermique d'un transistor sur un autre transistor. Ainsi, même si un transistor n'a pas d'auto-échauffement, sa température peut évoluer en fonction de l'activité électrothermique (la génération de chaleur par effet Joule) de ses voisins et ses caractéristiques peuvent donc évoluer.

Dans le modèle Leti-UTSOI, seul le couplage thermique entre les doigts d'un même transistor est défini. Ce couplage est modélisé en changeant le  $R_{th}$  et le  $C_{th}$  du transistor multi-doigts par un facteur  $n_{th}$  qui dépend, notamment, du nombre de doigts et de la distance entre eux. Ainsi le  $R_{th}$  et le  $C_{th}$  d'un transistor à  $X$  doigts sont

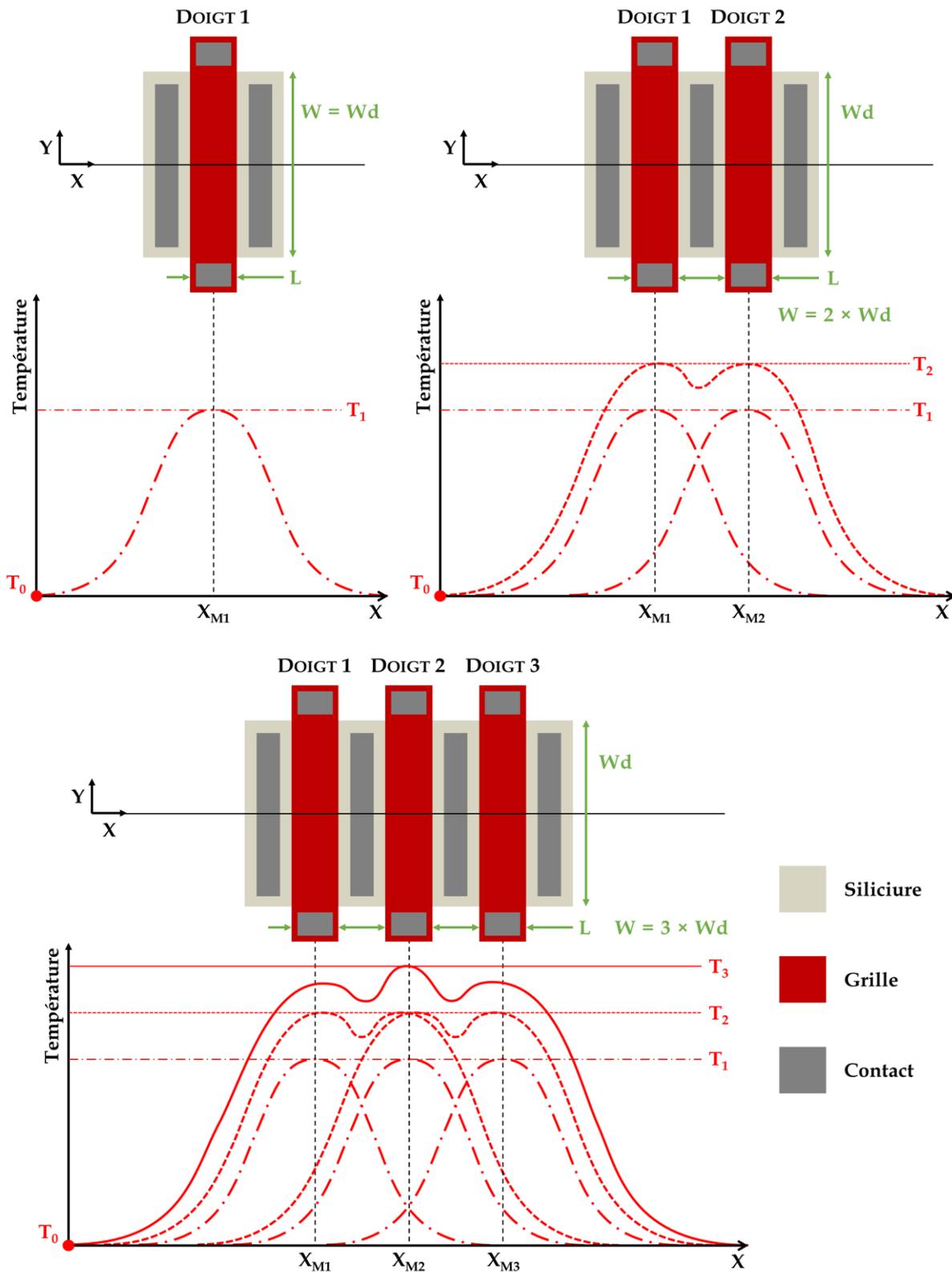
proportionnels au  $R_{th}$  et  $C_{th}$  d'un transistor à un doigt par un facteur  $n_{th}$  (voir équations (II.14) et (II.15)).

$$R_{th,x} = R_{th,1} \times n_{th} \quad (II.14)$$

$$C_{th,x} = \frac{C_{th,1}}{n_{th}} \quad (II.15)$$



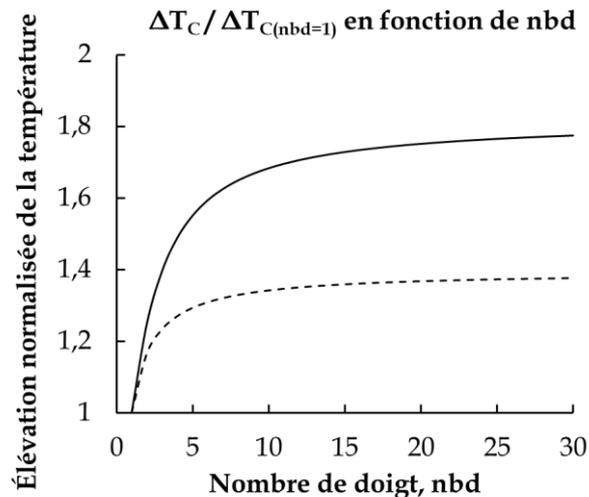
**FIGURE II.13 -** Graphes, issus de simulations SPICE, montrant : a) le courant de drain, b) le courant de grille et c) l'élévation de température d'un transistor NMOS ( $L = 30$  nm et  $W = 1$   $\mu$ m) en fonction de la tension de grille-source avec  $V_{ds} = 1$  V ou de drain-source avec  $V_{gs} = 1$  V. La grille arrière est polarisée à 0 V. Les traits pleins et discontinus correspondent aux résultats de la simulation lorsque la variable « swshe » est, respectivement, égale à 0 et à 1.



**Figure II.14** - Schéma simplifié représentant le profil de température (due à l'auto-échauffement) de transistors à 1, 2 et 3 doigts.  $T_1$ ,  $T_2$  et  $T_3$ , correspondent, respectivement, aux températures d'un transistor à 1, 2 et 3 doigts.

Le couplage thermique amène des élévations de température plus importantes pour des transistors multi-doigts. Ainsi, comme nous pouvons le voir sur la **Figure**

**II.14**, la température d'un transistor à 3 doigts est plus importante que celle d'un transistor à 1 doigt. Ceci est dû au fait que chaque doigt chauffe les autres ce qui, d'une part, diminue la dissipation thermique entre les doigts, et d'autre part, additionné à l'auto-échauffement, fait augmenter la température de chaque doigt. Par ailleurs, à largeur de grille totale équivalente ( $W = nbd \times Wd$ , avec  $Wd$ , la largeur de grille d'un doigt d'un transistor multi-doigts), un transistor multi-doigts aura toujours une température plus élevée qu'un transistor mono-doigt (voir **FIGURE II.15**).



**FIGURE II.15** - Graphe, issu de simulations SPICE, montrant l'élévation de température normalisée (par rapport à un transistor NMOS d'un doigt et de  $W = Wd$ ) d'un transistor NMOS multi-doigts (ligne pleine) et d'un doigt (ligne en tiret) de largeur de grille totale,  $W = nbd \times Wd$ , en fonction du nombre de doigts ( $nbd$ ).  $V_{ds} = V_{gs} = 1$  V et  $V_{bg} = 0$  V.

### II.3.3.2 Réseaux thermiques

Pour pouvoir faire des simulations électrothermiques de plusieurs composants assemblés dans un circuit, il faut créer un réseau thermique reliant les nœuds thermiques desdits composants et le nœud de référence (température de l'environnement). Ce réseau est composé des circuits RC thermiques des composants (différent selon les conditions de simulation, au niveau de la plaque de silicium ou du boîtier), des différentes sources de puissance thermique et des circuits RC pour le couplage thermique entre chaque composant (ou entre plus proches voisins).

Cependant, il est difficile (voire impossible) de créer ce réseau par soi-même. En effet, pour ce faire, il faudrait connaître les valeurs des paramètres  $R_{th}$  et  $C_{th}$  pour le couplage thermique entre composants, or ces paramètres sont uniques à un dessin de masques (*layout*) donné. Par ailleurs, ces paramètres sont difficiles à mesurer et encore plus à estimer manuellement à partir de données théoriques.

Ainsi, pour faire une simulation électrothermique d'un circuit, nous avons besoin d'utiliser des logiciels permettant, soit d'extraire et de définir le réseau thermique du

circuit, soit de simuler les températures des transistors séparément du circuit puis de les réinsérer dans la simulation électrique. Un exemple de ce type de logiciel (*HeatWave*) est présenté dans la quatrième partie du présent chapitre.

## II.4 HeatWave

### II.4.1 Principe de fonctionnement

HeatWave est un logiciel combinant un logiciel de type SPICE pour la simulation électrique et un logiciel de type TCAD pour la simulation thermique (voir **Figure II.16**) [Keysight19]. En particulier, le SPICE permet de simuler le comportement électrique de nos circuits ou puces et de calculer la puissance électrique qui se dissipe entièrement (par effet Joule) sous forme d'énergie thermique. La TCAD permet de modéliser nos circuits ou puces, puis de simuler la température dans le modèle 3D à partir des puissances calculées par SPICE. Ainsi, la simulation 3D calcule les transferts d'énergie thermique entre les dispositifs électroniques (uniquement avec des équations de chaleur) et avec l'environnement (boitier, puces sur plaque de silicium...). Les températures de nos dispositifs électroniques (« instances ») sont ensuite renvoyées vers le simulateur électrique et ainsi de suite jusqu'à que les simulations convergent.

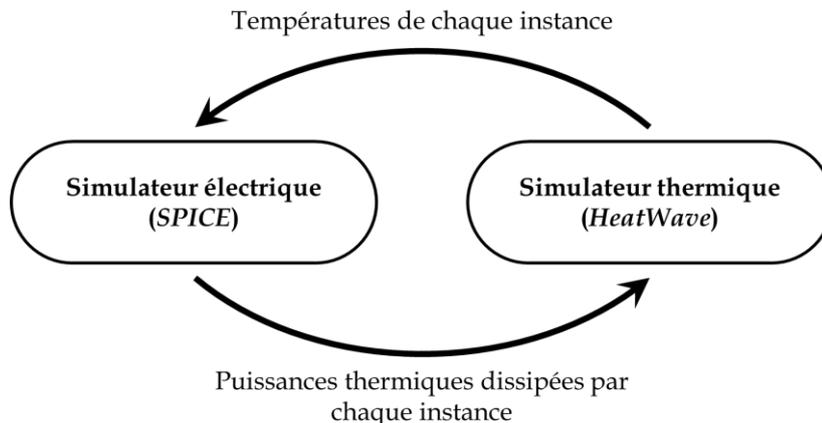


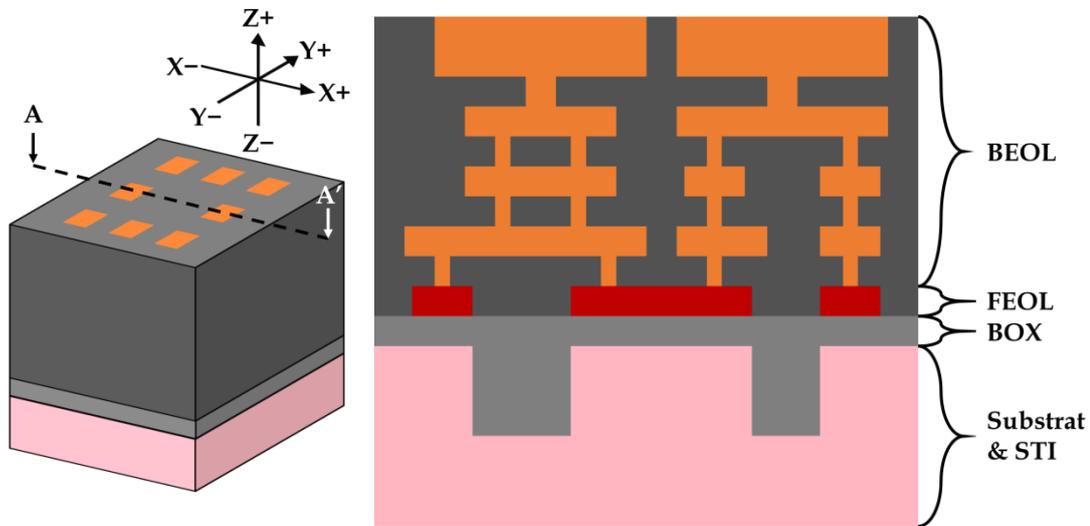
Figure II.16 - Schéma simplifié du fonctionnement de HeatWave.

### II.4.2 Modélisation 3D pour simulation thermique

#### II.4.2.1 Modèle 3D

Le modèle 3D du circuit (ou de la puce) simulé est généré à partir du dessin de masques. Le modèle 3D est très simplifié par rapport à la réalité (voir **Figure II.17**), par exemple, les dopages ne sont pas pris en compte, le FEOL est uniquement composé de blocs actifs (transistors, diodes, résistances...) et de blocs de diélectriques. Le BEOL est composé de couches de matériaux diélectriques et métalliques. Chaque matériau est répertorié avec une conductivité thermique et une capacité thermique volumique pour

les simulations temporelles. Cependant, l'entièreté du substrat et du BEOL (en épaisseur) est modélisée.



**Figure II.17** - Vues simplifiées en 3D (à gauche) et en coupe selon AA' (à droite) d'un modèle 3D généré par HeatWave. Le silicium, l'oxyde de silicium, les diélectriques du FEOL et BEOL, les blocs actifs et les lignes métalliques sont respectivement en rose, gris clair, gris foncé, rouge et orange.

#### II.4.2.2 Conditions aux limites

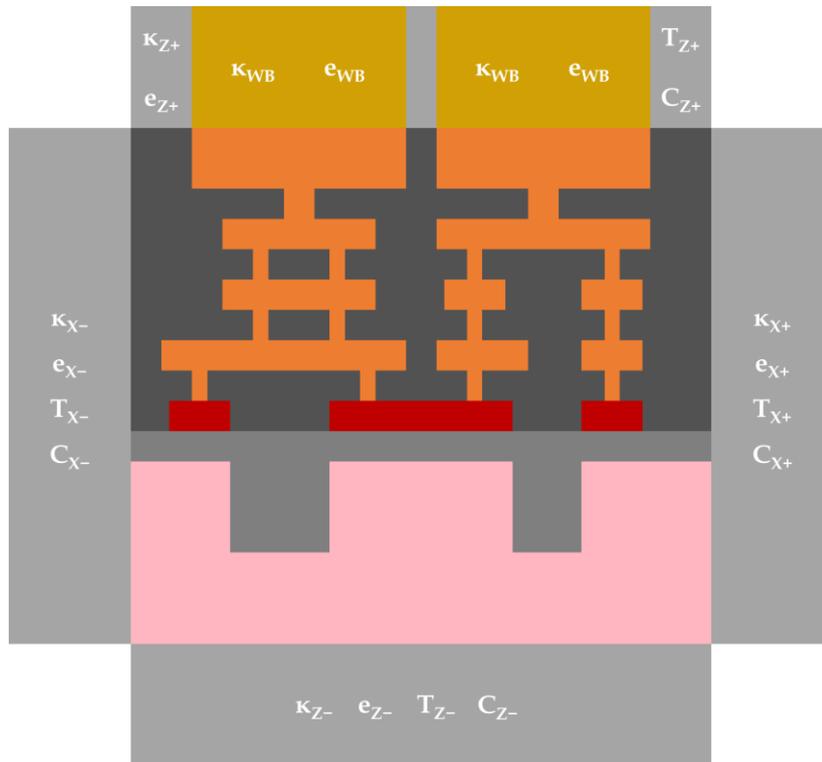
En plus de modéliser nos circuits intégrés en 3D, HeatWave a la possibilité de représenter thermiquement leur environnement (boitier ou plaque de silicium). En plus du boitier, une option nous permet de modéliser thermiquement les câbles utilisés pour connecter nos circuits avec l'extérieur (voir **Figure II.18**).

Pour le boitier, les 6 faces du pavé représentant notre circuit intégré sont considérées. Sur chaque face ( $X^-$ ,  $Y^-$ ,  $Z^-$ ,  $X^+$ ,  $Y^+$ ,  $Z^+$ ), une couche d'un matériau arbitraire est ajoutée. Chaque couche est définie par une conductivité thermique équivalente ( $\kappa$ ), une épaisseur ( $e$ ), une température extérieure ( $T$ ) et une capacité thermique volumique équivalente ( $C$ ).

Il est aussi possible d'utiliser un outil interne de *HeatWave* pour construire le modèle thermique du boitier. Deux options sont possibles, soit les faces du haut et du bas de notre modèle 3D sont connectées à des résistances thermiques et il est considéré que la chaleur ne s'échappe pas des côtés (conditions adiabatiques), soit des résistances thermiques sont ajoutées sur les six faces du modèle 3D. Ensuite, l'outil convertit automatiquement les résistances thermiques en couches (telles que définies au paragraphe précédent) sur chaque face.

Les fils sortants des plots de connexion peuvent être modélisés thermiquement à travers un matériau équivalent qui possède une conductivité thermique équivalente ( $\kappa_{WB}$ ) et une épaisseur ( $e_{WB}$ ). Ceci permet de simuler l'évacuation de chaleur par les fils

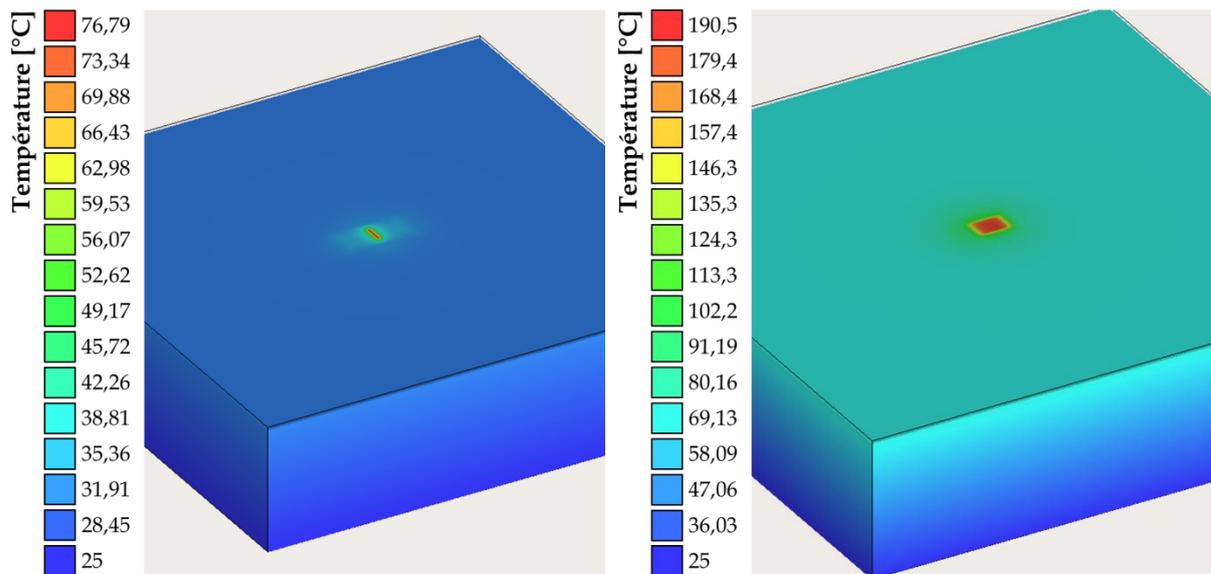
du boîtier. À noter que pour les simulations temporelles, la capacité thermique volumique est la même que celle définie pour le boîtier ( $C_{Z-}$  ou  $C_{Z+}$ ).



**Figure II.18 -** Vue simplifiée en coupe d'un modèle 3D généré par HeatWave et des couches utilisées pour prendre en compte les conditions aux limites.

### II.4.3 Exemple de simulation

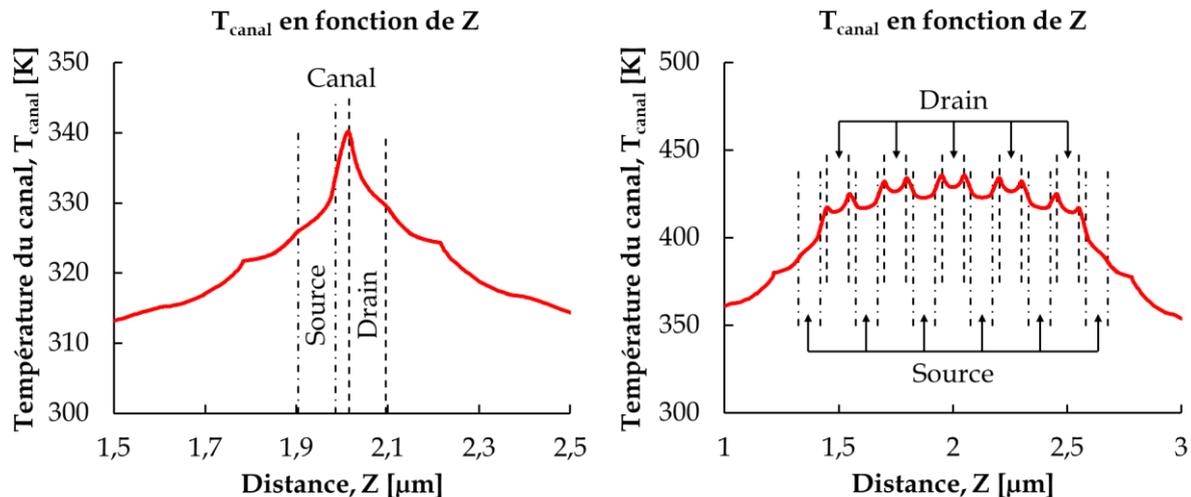
Lors de la simulation, deux modes sont possibles. Dans le mode manuel, les blocs d'où les puissances thermiques sont générées (correspondant à un transistor par exemple) sont placés manuellement dans le modèle 3D. Dans le mode automatique, le logiciel identifie où sont placés les transistors dans le dessin de masques et place automatiquement les blocs des sources de chaleur. À noter que ce mode n'est pas encore au point pour la technologie 28 nm FD-SOI. Ci-dessous (voir **Figure II.19**), le résultat de la simulation d'un transistor mono-doigt et multi-doigts avec le mode manuel. Comme observé précédemment dans la section II.3, le transistor multi-doigts a un auto-échauffement plus élevé qu'un transistor mono-doigt.



**Figure II.19** – Vues 3D extraites des simulations électrothermiques, avec HeatWave, de transistors mono-doigt (à gauche) et multi-doigts (à droite).

## II.5 Conclusion

Il existe de nombreux logiciels de simulation électrothermique en microélectronique. Dans ce chapitre, nous avons présenté trois de ces logiciels (Sentaurus, UTSOI 2.2 et HeatWave). La suite d'outils Sentaurus permet de faire des simulations électrothermiques de nos structures en 3D, cependant, une contrainte majeure du logiciel est la limitation des dimensions des structures simulées. Les avantages de ce logiciel sont, d'une part, la possibilité de simuler la distribution de la température dans tout le volume des structures simulées et, d'autre part, la prise en compte du couplage thermique entre les différentes sources de chaleur (comme illustré dans la **FIGURE II.20**). En revanche, le modèle UTSOI 2.2 pour la simulation SPICE ne prend en compte que le couplage thermique pour les transistors multi-doigts. Toutefois, ce modèle est calibré pour la technologie 28 nm UTBB FD-SOI de STMicroelectronics, c'est-à-dire que les caractéristiques électriques (courants de drain, source et grille) des transistors simulés correspondent aux mesures sur la gamme de température [233 ; 398 K]. Enfin, le logiciel HeatWave se base sur la simulation SPICE mais utilise un outil intégré pour faire de la simulation thermique en 3D permettant de prendre en compte le couplage thermique entre les composants d'un circuit. Les inconvénients de HeatWave sont, entre autres, le nombre limité de source de chaleur par licence, l'opacité du maillage créé, autrement dit les paramètres du maillage ne sont pas accessibles par l'utilisateur, et la fenêtre de visualisation des résultats est peu ergonomique. En outre, le logiciel n'est pas encore calibré pour la technologie 28 nm UTBB FD-SOI de STMicroelectronics.



**FIGURE II.20** - Profils de température extraits de la simulation (à 300 K) avec Sentaurus d'un transistor à un doigt (gauche,  $L = 30$  nm et  $W = 1$  μm) et multi-doigts (droite,  $L = 30$  nm et  $W = 10 \times 1$  μm) selon une ligne juste au-dessous de la grille et dans le sens source-drain.  $V_g = V_d = 1$  V et  $V_s = 0$  V. Les sources et drains du transistor multi-doigts ( $\Delta T \approx 150$  °C) ont des températures plus élevées que celle du transistor à un doigt ( $\Delta T \approx 70$  °C).

## II.6 Références

- [Garegnani16] Garegnani G., Fiori V., Gouget G., Monsieur F. et Tavernier C. « Wafer level measurements and numerical analysis of self-heating phenomena in nano-scale SOI MOSFETs ». *Microelectron. Reliab.* août 2016. Vol. 63, p. 90-96.
- [Hatakeyama14] Hatakeyama T., Kibushi R., Nakagawa S. et Ishizuka M. « Electro-Thermal analysis of relationship between boundary thermal resistance and hot spot temperature of power Si MOSFET ». In : *2014 9th Int. Microsyst. Packag. Assem. Circuits Technol. Conf. IMPACT*. Taipei, Taiwan : IEEE, 2014. p. 317-320.
- [Keysight19] Keysight. *HeatWave Reference Manual 2019.02*. Santa Rosa, CA, USA : Keysight Technologies, Inc., 2019.
- [Poiroux15a] Poiroux T., Rozeau O., Martinie S. et Jaud M.-A. *UTSOI 2.1.1 User's Manual*. Grenoble, France : CEA-LETI, 2015.
- [Poiroux15b] Poiroux T., Rozeau O., Scheer P., Martinie S., Jaud M. A., Minondo M., Juge A., Barbe J. C. et Vinet M. « Leti-UTSOI2.1: A Compact Model for UTBB-FDSOI Technologies – Part I: Interface Potentials Analytical Model ». *IEEE Trans. Electron Devices*. septembre 2015. Vol. 62, n°9, p. 2751-2759.
- [Poiroux15c] Poiroux T., Rozeau O., Scheer P., Martinie S., Jaud M.-A., Minondo M., Juge A., Barbe J. C. et Vinet M. « Leti-UTSOI2.1: A Compact Model for UTBB-FDSOI Technologies – Part II:

DC and AC Model Description ». *IEEE Trans. Electron Devices*. septembre 2015. Vol. 62, n°9, p. 2760-2768.

- [Su94] Su L. T., Chung J. E., Antoniadis D. A., Goodson K. E. et Flik M. I. « Measurement and modeling of self-heating in SOI nMOSFET's ». *IEEE Trans. Electron Devices*. janvier 1994. Vol. 41, n°1, p. 69-75.
- [Synopsys19a] Synopsys. *Sentaurus™ Process User Guide P-2019.03*. [s.l.] : Synopsys Inc., 2019.
- [Synopsys19b] Synopsys. *Sentaurus™ Structure Editor User Guide P-2019.03*. [s.l.] : Synopsys Inc., 2019.
- [Synopsys19c] Synopsys. *Sentaurus™ Device User Guide P-2019.03*. [s.l.] : Synopsys Inc., 2019.
- [Synopsys19d] Synopsys. *Sentaurus™ Visual User Guide P-2019.03*. [s.l.] : Synopsys Inc., 2019.



---

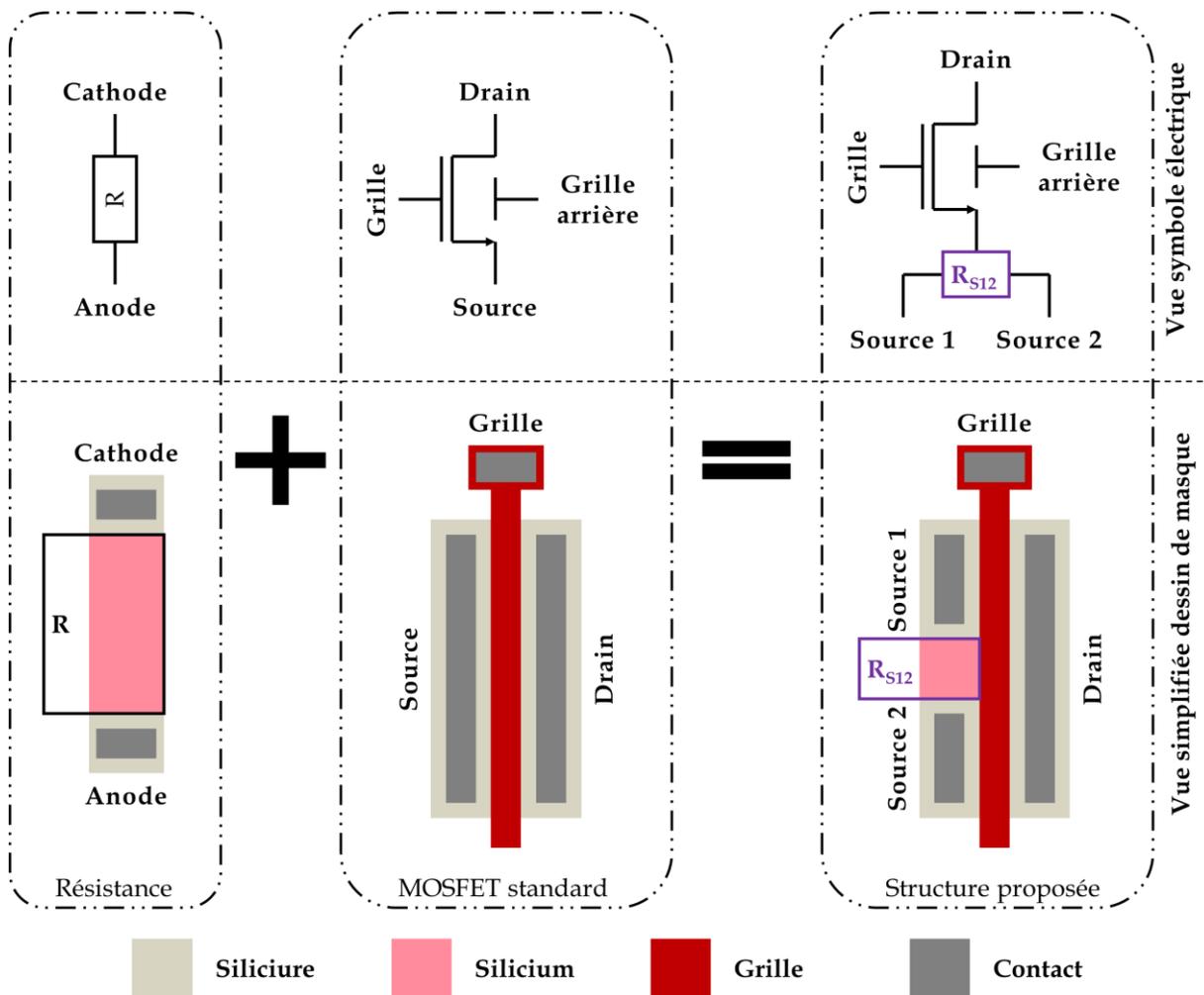
# CHAPITRE III : STRUCTURES AVEC FONCTIONNALISATION DE LA SOURCE

---

III.1	Introduction .....	92
III.2	Chauffage in-situ .....	95
III.3	Recuits thermiques locaux .....	118
III.4	Plot mémoire .....	127
III.5	Autorégulation en température .....	140
III.6	Conclusion.....	148
III.7	Références.....	149

### III.1 Introduction

Ce chapitre concerne une nouvelle famille de structures innovantes [Galy16], les transistors à double (ou autre multiple) contacts de source (ou de grille ou de drain). L'idée est de partir d'un transistor standard et, par exemple, d'insérer une résistance dans la source. Ce faisant, le contact de source est séparé en deux de part et d'autre de la résistance nouvellement insérée (voir **FIGURE III.1**).



**FIGURE III.1** - À gauche, le symbole électrique (haut) et dessin de masque simplifié d'une résistance standard composée de silicium. Au milieu, le symbole électrique (haut) et dessin de masque simplifié d'un transistor NMOS standard. À droite, le symbole électrique (haut) et dessin de masque simplifié de la structure proposée. Cette structure correspond à un transistor standard auquel nous insérons une résistance dans la source, créant de fait deux contacts de source.

L'idée initiale est d'utiliser cette résistance comme élément chauffant pour augmenter la température du transistor. Cette partie est détaillée dans la section III.2. La possibilité de chauffer le transistor signifie aussi que nous pouvons réaliser des recuits locaux. Ce qui nous permet ensuite de faire du vieillissement local, cette partie est abordée dans la section III.3. De plus, si nous poussons ce chauffage à l'extrême, la

résistance entre les deux contacts de source peut être endommagée et donc voir sa valeur changer. Ce faisant, nous pouvons obtenir un plot mémoire à programmation irréversible dont le fonctionnement est détaillé dans la section III.4. Enfin, si nous ne connectons que l'un des deux contacts de source à une borne électrique et si nous laissons l'autre contact de source « flottant », alors nous pouvons avoir un capteur de température dans le transistor. Ce capteur peut ensuite nous permettre de réguler les performances électriques du transistor vis-à-vis de la température. Cet aspect du transistor à double contacts de source est expliqué dans la section III.5.

À noter que, dès que cela était possible, nous avons dessiné nos structures avec un double contacts de grille (de chaque côté) afin d'obtenir un capteur de température pour le transistor (voir **FIGURE III.2**). Pour rappel, le principe de ce capteur est d'appliquer une tension ( $V_{G12}$ ) faible, pour éviter l'auto-échauffement, sur la résistance ( $R_{G12}$ ) entre les deux bornes de la grille. Le courant ( $I_{G12}$ ) traversant cette résistance va évoluer en fonction de la température de celle-ci. En ayant au préalable mesuré les coefficients thermiques ( $R_{GT}$  et  $R_{G0}$ ) de la résistance et en mesurant le courant la traversant, nous sommes capables de mesurer la température de la grille ( $T_G$ ), et donc celle du transistor (voir équation (III-1)). Plus de détails concernant le fonctionnement de ce capteur ont été donnés au chapitre II.

$$R_{G12} = R_{GT} \times T_G + R_{G0} = \frac{V_{G12}}{I_{G12}}; T_G = \frac{\frac{V_{G12}}{I_{G12}} - R_{G0}}{R_{GT}} \quad (\text{III-1})$$

Par ailleurs, en mesurant les coefficients thermiques ( $R_{ST}$  et  $R_{S0}$ ) de la résistance ( $R_{S12}$ ) entre les deux contacts de source, nous pouvons connaître la température de la source ( $T_S$ ) à partir de la mesure du courant traversant la résistance ( $I_{S12}$ ) et de la tension appliquée à ses bornes ( $V_{S12}$ ).

Chaque structure a été conçue en utilisant la technologie 28 nm UTBB FD-SOI de STMicroelectronics avec des grilles et transistors factices (*dummies*) autour et en parallèle de la grille principale afin d'être plus robuste vis-à-vis du processus de fabrication [Liu02, p.351-352; Razavi01, p.639-640]. En outre, pour chaque contact, nous avons empilé les lignes de métaux jusqu'au cinquième niveau afin de nous assurer qu'il n'y aurait pas de problème d'électromigration, en particulier pour les contacts de source avec du courant élevé. De plus, l'accès à la grille arrière se fait à travers un contact sous forme d'anneaux entourant nos structures et à l'intérieur desquels le BOX a été retiré pour permettre d'accéder électriquement au substrat (voir **FIGURE III.3**). Enfin, toutes les structures étudiées dans ce chapitre sont basées sur des

NMOS. Si nous faisons les mêmes études sur des dispositifs basés sur des PMOS, nous obtiendrions des résultats similaires.

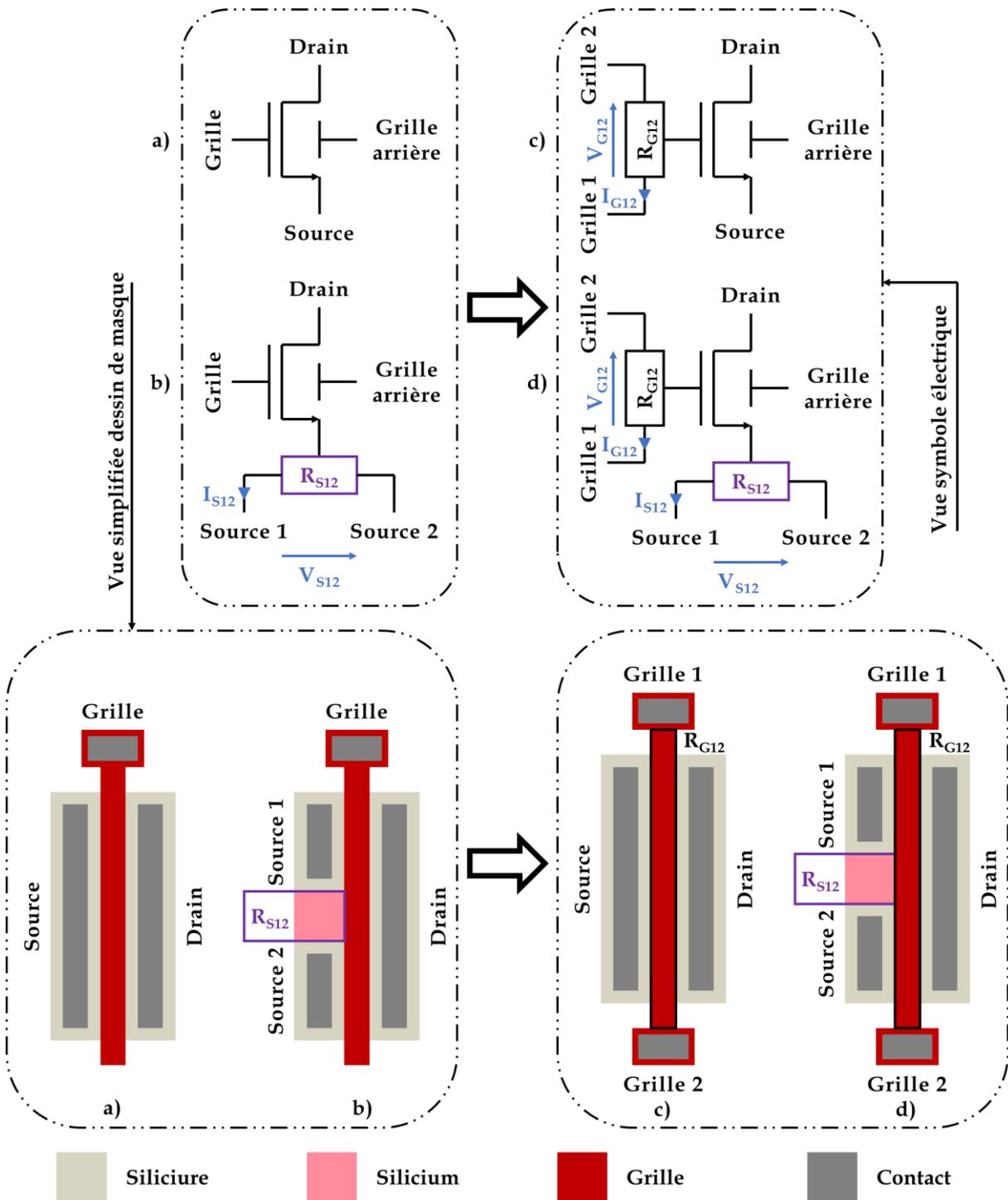


FIGURE III.2 - Vue symbole électrique (haut) et dessin de masque simplifié (bas) de : a) Transistor NMOS standard, b) Transistor NMOS avec double contacts de source, c) Transistor NMOS standard avec double contacts de grille et d) Transistor NMOS avec double contacts de source et de grille.

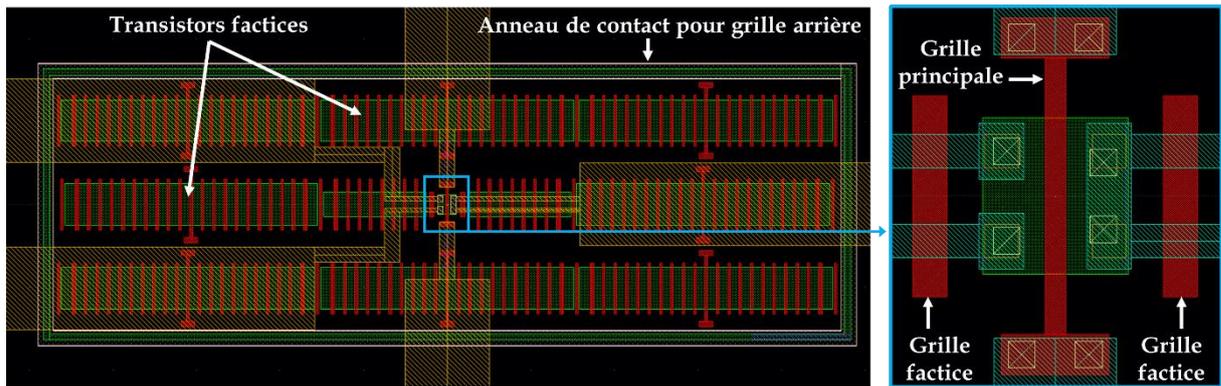


FIGURE III.3 - Dessin de masque d'une de nos structures. À gauche, la structure entourée par les transistors et grilles factices ainsi que par l'anneau de contact pour grille arrière. À droite, zoom sur la structure avec de chaque côté une grille factice.

Toutes les mesures montrées dans ce chapitre sont faites sur plaques de silicium. Les mesures, nécessitant de faire varier la température ou de comptabiliser le temps, ont été réalisées avec une station sous pointe *Cascade Elite 300* et l'instrument de mesure *Keysight B1500*. Tandis que les autres mesures ont été faites avec une station sous pointe *Süss Microtec PM300* et l'instrument de mesure *Agilent 4156*.

## III.2 Chauffage in-situ

### III.2.1 Introduction

À basse température, la densité des porteurs de charges libres décroît jusqu'à devenir nulle à 0 K [Sze07, p.26]. De plus, la mobilité des porteurs décroît aussi lorsque la température est faible (voir FIGURE III.4) [Sze07, p.28-30]. Pour que les circuits électroniques puissent continuer à fonctionner à des températures basses, nous avons besoin de les chauffer pour arriver à une température optimale. Généralement, cela se fait à travers un chauffage de la puce entière, boîtier compris, ou en fabriquant des radiateurs au niveau des lignes de métaux (BEOL) ou des grilles (FEOL) [Akturk06; Dilli07; Franco14; Hammoud03].

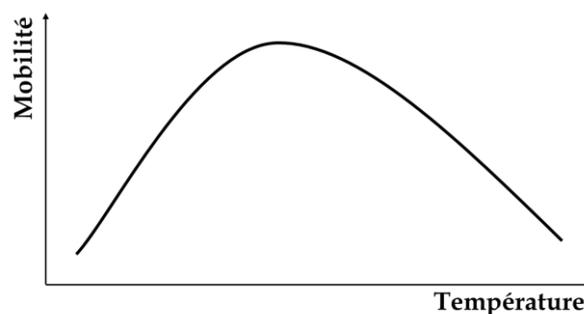
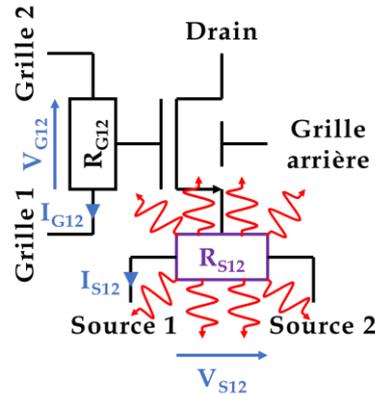


FIGURE III.4 - Graphe simplifié montrant l'évolution de la mobilité des porteurs en fonction de la température.

Ici, nous nous proposons de placer un radiateur au niveau des transistors. Dans notre cas, le radiateur est une résistance ( $R_{S12}$ ) insérée dans la source, ce faisant, nous obtenons un transistor à double contacts de source (voir **FIGURE III.5**). En appliquant une tension et en faisant passer un courant dans la résistance, nous allons générer de la chaleur par effet Joule (voir chapitre I). La puissance dissipée, et donc l'élévation de température dans la résistance de source, dépend du courant et de la valeur de la résistance. Notre transistor devient alors un transistor avec chauffage in situ.



**FIGURE III.5** - Vue symbole électrique d'un transistor à double contacts de source et de grille. En appliquant une tension et en faisant passer un courant dans la résistance  $R_{S12}$ , nous allons générer de la chaleur par effet Joule et chauffer le transistor.

### III.2.2 Influence des options technologiques sur la capacité de la résistance à chauffer

Dans cette partie, nous allons étudier et comparer différentes structures conçues avec différentes options technologiques, telle que l'épaisseur de l'oxyde de grille (grille standard, SG ou grille étendue, EG, voir la section I.3.3) et la présence ou non de siliciure dans la source, afin de trouver les options optimales pour chauffer à travers la résistance.

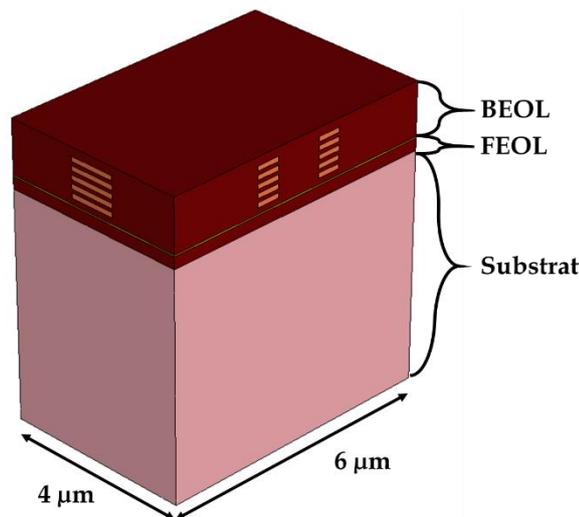
Afin de calculer l'élévation de température dans le transistor due à la résistance, nous mesurons d'abord les résistances  $R_{S12}$  et  $R_{G12}$  en fonction de la température. Pour ce faire, les potentiels  $V_{S1}$ ,  $V_{G2}$  sont polarisés à 0 V et  $V_{S2}$ ,  $V_{G1}$  sont polarisés à 0,1 V, puis nous mesurons les courants  $I_{S1}$ ,  $I_{S2}$ ,  $I_{G1}$  et  $I_{G2}$  à plusieurs températures.  $R_{S12}$  et  $R_{G12}$  sont calculées suivant les équations (III-2) et (III-3) et, comme décrits dans la section III.1, leurs coefficients thermiques sont extraits.

$$I_{S12} = \left| \frac{I_{S2} - I_{S1}}{2} \right| ; V_{S12} = |V_{S2} - V_{S1}| ; R_{S12} = \frac{V_{S12}}{I_{S12}} \quad (\text{III-2})$$

$$I_{G12} = \left| \frac{I_{G2} - I_{G1}}{2} \right| ; V_{G12} = |V_{G2} - V_{G1}| ; R_{G12} = \frac{V_{G12}}{I_{G12}} \quad (\text{III-3})$$

Afin d'étudier l'efficacité du radiateur dans la source, nous faisons varier le potentiel  $V_{S2}$  de 0 V à 1 V pour les structures SG et jusqu'à 1,8 V pour les structures EG. Ces valeurs de 1 V et 1,8 V pour, respectivement, les grilles de types SG et EG, correspondent aux limites pour ne pas endommager les oxydes de grille.  $V_{G1}$  est polarisé à 0,1 V tandis que  $V_{S1}$  et  $V_{G2}$  sont à 0 V. La température est à 25 °C, soit 298 K.  $I_{S12}$ ,  $I_{G12}$ ,  $V_{S12}$ ,  $V_{G12}$ ,  $R_{S12}$  et  $R_{G12}$  sont calculés suivant les équations définies précédemment ((III-2) et (III-3)). Dû à un manque du nombre de pointes de mesures accessibles, les drains et grilles arrière n'ont pas été polarisés. En outre, les mesures ont été faites sur deux puces différentes, P1 et P2, afin de vérifier que nous obtenions sensiblement les mêmes résultats d'une puce à l'autre.

Pour pouvoir étudier la répartition de la température dans nos structures, nous avons fait des simulations 3D électrothermiques avec l'outil TCAD de Synopsys. Les paramètres et techniques utilisés sont les mêmes que ceux présentés au chapitre II à l'exception de la conductivité électrique et thermique du siliciure qui ont été ajustées pour être au plus proche des mesures sur chaque structure.

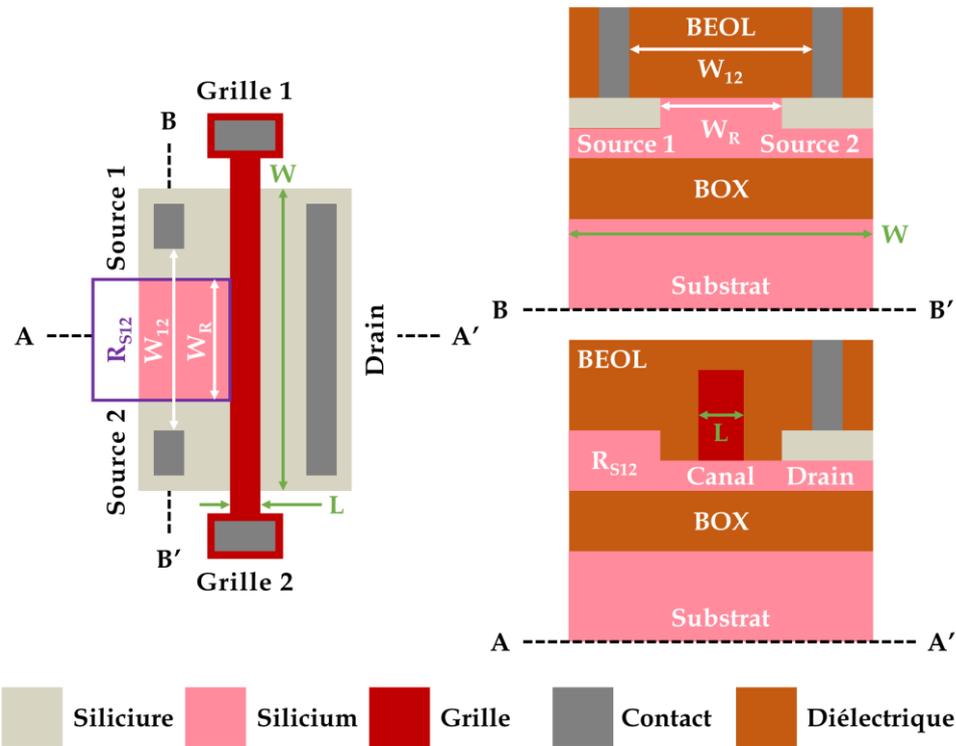


**FIGURE III.6 -** Vue en 3D d'une de nos structures créées avec Sentaurus Structure Editor (voir section II.2.2). Le modèle fait 4 µm transversalement et 6 µm longitudinalement par rapport à la grille, le substrat a 5 µm d'épaisseur et le BEOL comprend les six premiers niveaux de métaux.

### III.2.2.1 Structure avec grille standard et sans siliciure

Comme nous l'avons dit précédemment, le transistor à double contacts de source correspond à un transistor auquel nous avons inséré une résistance dans sa source. Or, classiquement, une résistance est créée en empêchant la fabrication de siliciure entre ses deux électrodes afin d'augmenter sa valeur résistive. Ainsi, la résistance est uniquement composée de silicium fortement dopé. Dans cette sous-section, nous nous proposons d'étudier un transistor avec grille standard (SG) auquel nous avons inséré

une résistance sans siliciure (voir **FIGURE III.7**). Pour cette structure,  $L = 30 \text{ nm}$ ,  $W = 2 \text{ }\mu\text{m}$ ,  $W_R = 500 \text{ nm}$  et  $W_{12} = 1,06 \text{ }\mu\text{m}$ .



**FIGURE III.7** - Dessin de masque simplifié (à gauche) de la structure SG à double contacts de source sans siliciure entre les deux contacts de source. À droite, vues simplifiées d'une coupe selon AA' (en bas) et BB' (en haut) de notre structure. L'absence de siliciure côté source et entre les contacts de source peut être observée. L et W correspondent, respectivement, à la longueur et à la largeur de grille.  $W_R$  et  $W_{12}$  correspondent, respectivement, à la largeur de la zone sans siliciure et à la largeur entre les vias des contacts de source 1 et 2.

Les mesures de  $R_{S12}$  et  $R_{G12}$  en fonction de la température (de 298 K à 398 K) sont montrées sur la **FIGURE III.8**. Les conditions de mesures et les méthodes de calcul des résistances sont les mêmes que celles définies dans la section III.2.1. Nous observons, d'une part, que les résistances de source et de grille évoluent selon une droite en fonction de la température. Les coefficients thermiques des résistances correspondent donc aux pentes et ordonnées à l'origine desdites droites. D'autre part, les valeurs mesurées sont d'environ 2 k $\Omega$  et 4 k $\Omega$  pour, respectivement,  $R_{S12}$  et  $R_{G12}$ .

Les mesures, faites sur P1 et P2, des courants de source ( $I_{S12}$ ) et de grille ( $I_{G12}$ ) en fonction de la tension de source ( $V_{S12}$ ) et à température ambiante (298 K) sont affichées dans la **FIGURE III.9**. Au fur et à mesure que  $V_{S12}$  augmente,  $I_{S12}$  augmente, de la chaleur est générée par effet Joule dans la source et se propage dans le reste du transistor. Ce chauffage fait augmenter la température de la source, de la grille et du transistor en général. Cette élévation de la température conduit à une augmentation de la résistivité des matériaux et donc des résistances  $R_{S12}$  et  $R_{G12}$ . Due à cette augmentation des

résistances, la pente de  $I_{S12}$  en fonction de  $V_{S12}$  ainsi que  $I_{G12}$  diminuent (FIGURE III.9). À  $V_{S12}$  égale à 1 V,  $I_{S12}$  est égale à 419  $\mu\text{A}$  et conduit à des températures (extraites des mesures et montrées sur la FIGURE III.10) de 397 K ( $\Delta T = 99$  K) et 315 K ( $\Delta T = 17$  K) pour, respectivement, la source ( $T_S$ ) et la grille ( $T_G$ ). De plus, nous observons une augmentation de la température de façon exponentielle en fonction de  $V_{S12}$  (FIGURE III.10).

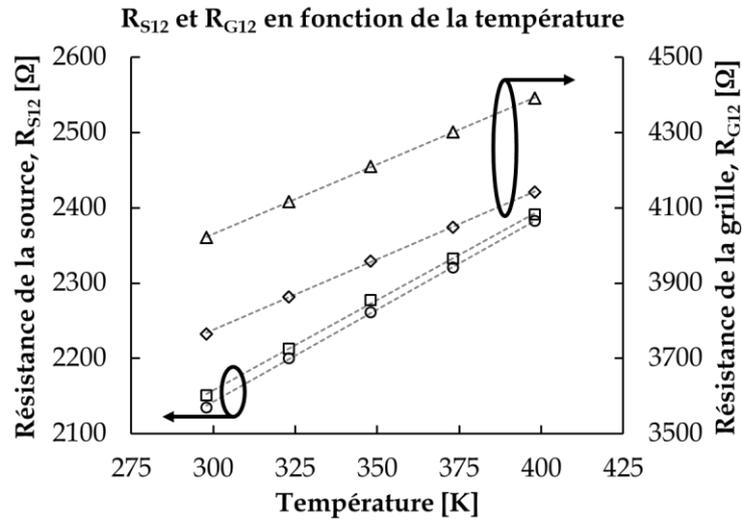


FIGURE III.8 - Graphe montrant les résultats des mesures de  $R_{S12}$  et  $R_{G12}$  de la structure SG sans siliciure en fonction de la température. Les carrés et losanges représentent les résultats issus de P1, les cercles et triangles représentent les résultats issus de P2. Les traits en pointillés correspondent aux droites utilisées pour extraire les coefficients thermiques.

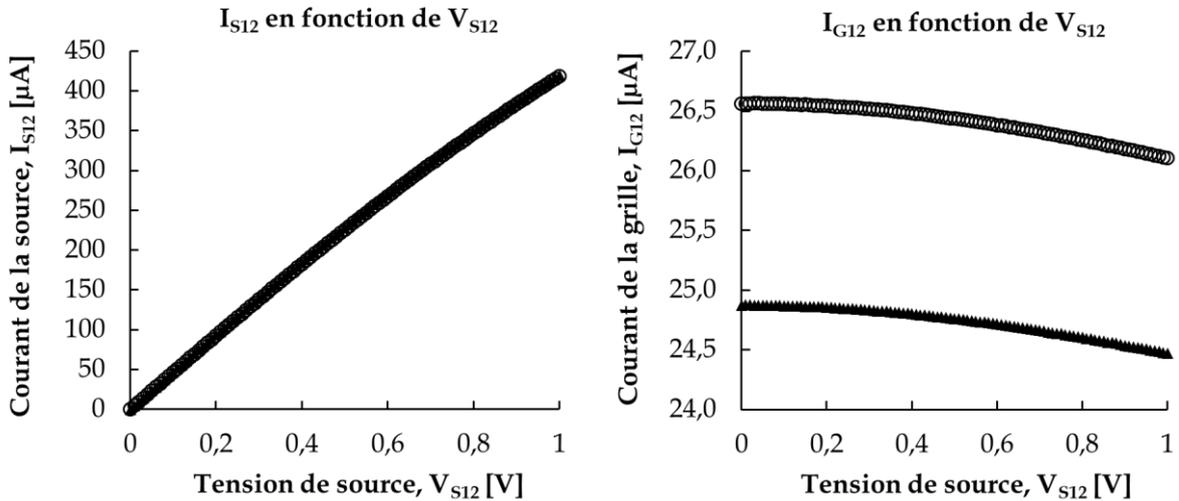


FIGURE III.9 - Graphes montrant les résultats des mesures de  $I_{S12}$  et  $I_{G12}$  de la structure SG sans siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2.

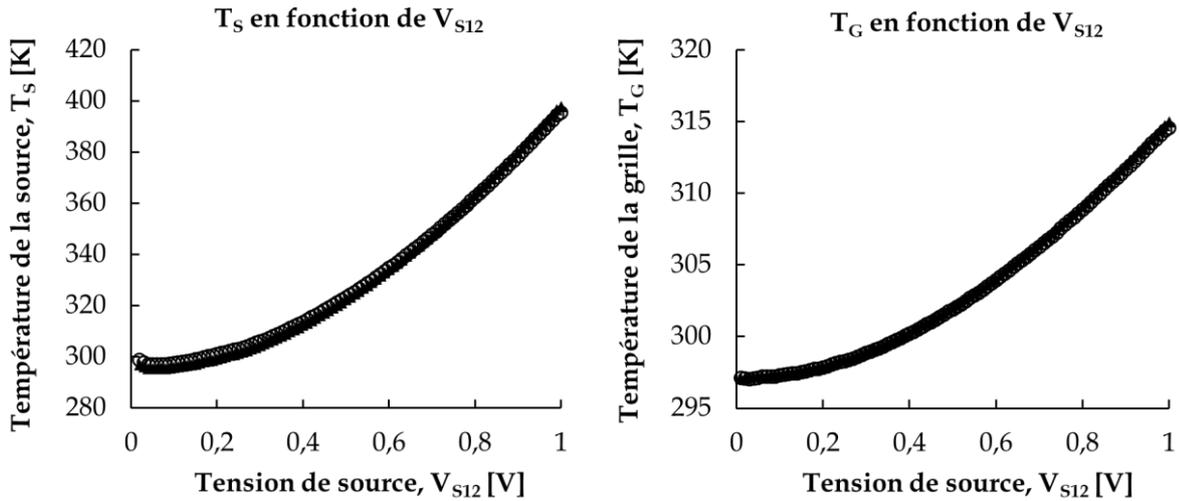


FIGURE III.10 - Graphes montrant les résultats des mesures de  $T_S$  et  $T_G$  de la structure SG sans siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2.

La FIGURE III.11 montre le courant  $I_{S12}$  et la température  $T_S$  simulés en fonction de  $V_{S12}$ . Les moyennes sur P1 et P2 de  $I_{S12}$  et  $T_S$  sont également présentées. La simulation donne des résultats proches des mesures sur la gamme [0,1] V de  $V_{S12}$ . En effet, la courbe du courant simulé s'incurve en fonction de  $V_{S12}$  et atteint 432  $\mu\text{A}$  tandis que  $T_S$  augmente de façon exponentielle jusqu'à 389 K. À noter que nous avons un léger décalage à 0 V de la température de source du fait que la température ambiante de la simulation est différente de celle des mesures (respectivement, 300 K et 298 K).

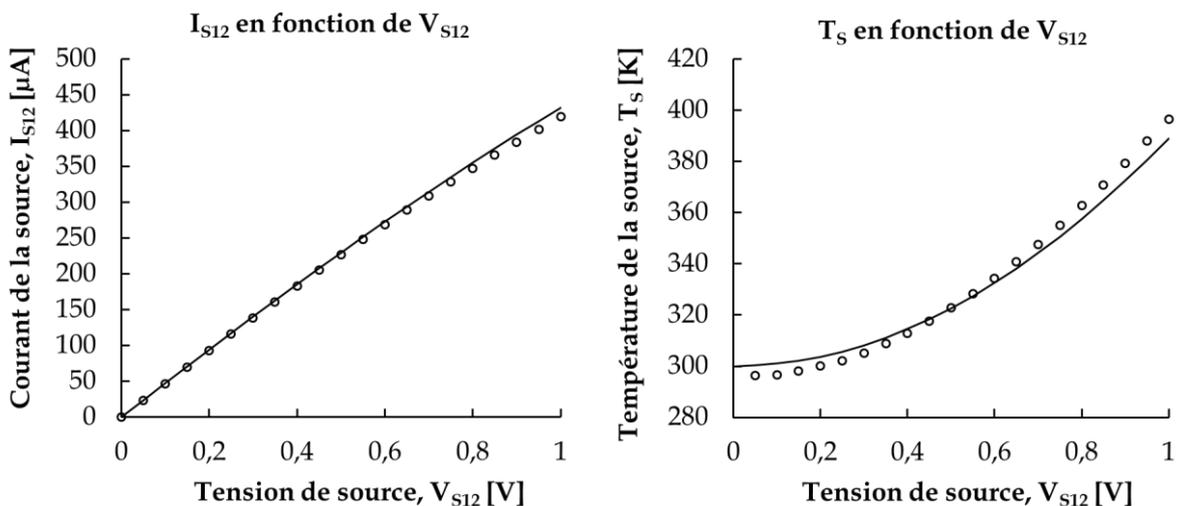


FIGURE III.11 - Graphes montrant l'évolution de  $I_{S12}$  et  $T_S$  de la structure SG sans siliciure en fonction de la tension de source  $V_{S12}$ . Les cercles correspondent aux résultats issus de la simulation électrothermique 3D TCAD avec une température ambiante de 300 K. Les traits pleins correspondent aux moyennes (issues de P1 et P2) des mesures faites à la température ambiante de 298 K.

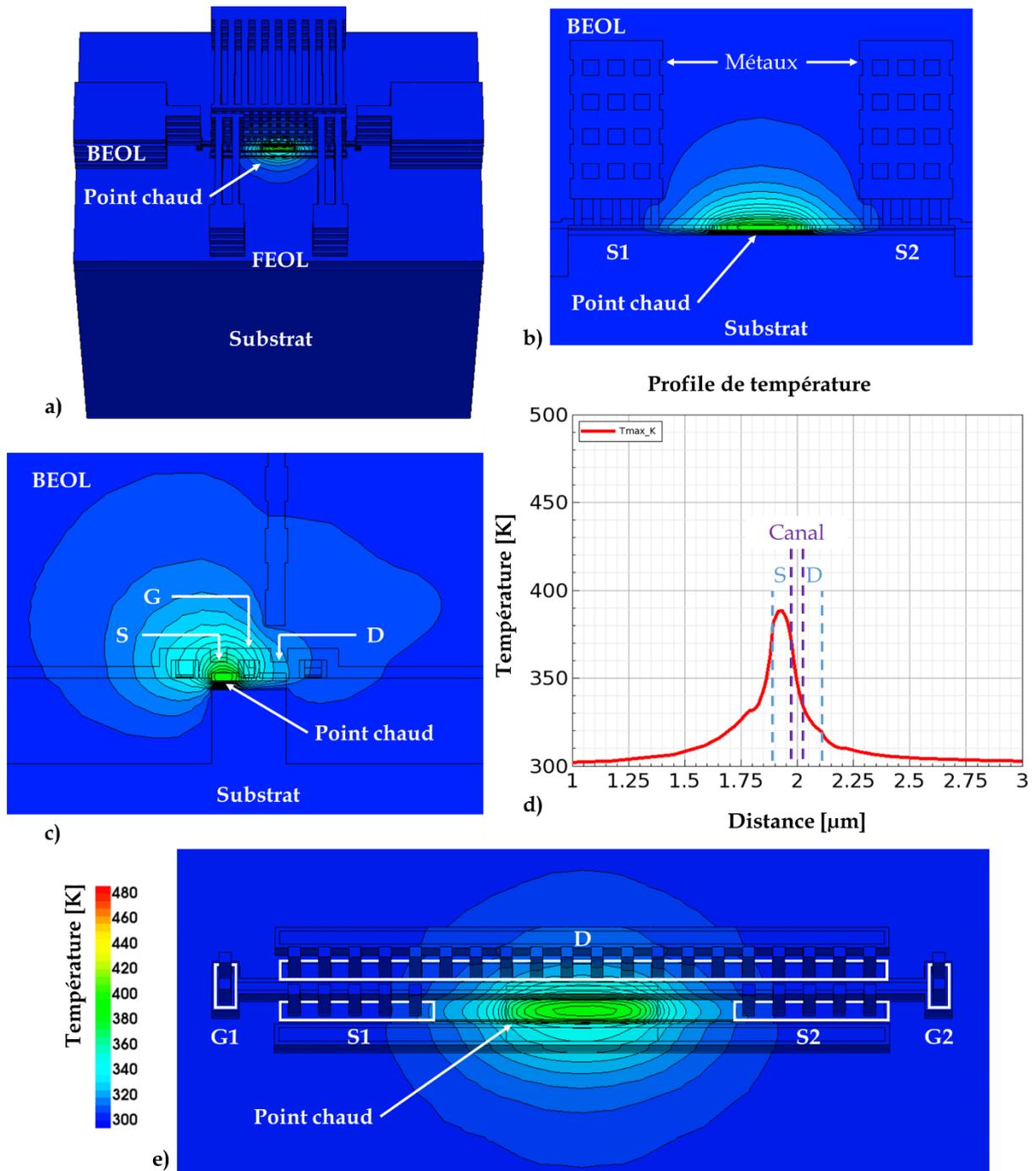


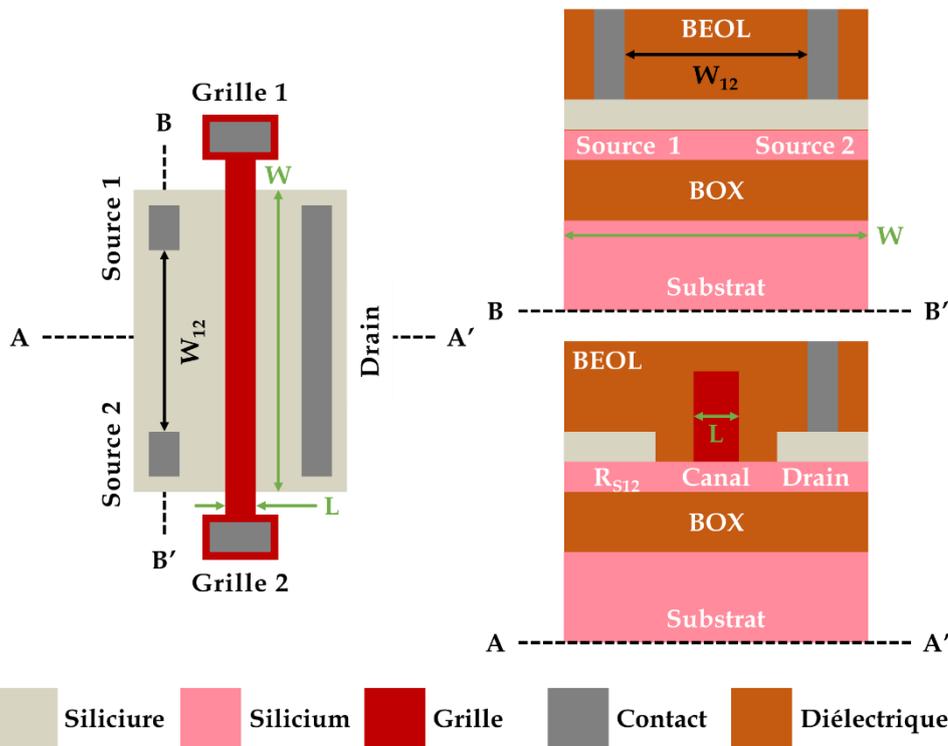
FIGURE III.12 - Vues et graphe issus de la simulation électrothermique 3D TCAD de la structure SG sans siliciure avec une température ambiante de 300 K et lorsque  $V_{S12}$  est égale à 1 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) et c) vues en coupe selon, respectivement, BB' et AA' ; d) profil de température d'après c) et suivant une ligne située juste en dessous de la grille ; e) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent.

Les vues 3D et en coupe issues de la simulation lorsque  $V_{S12}$  est égale à 1 V sont présentées sur la FIGURE III.12. Nous observons un point chaud (à 389 K) au milieu de la source entre les deux contacts. Le canal se retrouve chauffé à ~350 K (entre 370 K et 330 K), tout comme la grille, et le premier niveau d'interconnexions métalliques est lui

chauffé à moins de 320 K. Le fait que les lignes de métaux soient faiblement chauffées signifie qu'elles ne subiront pas de vieillissement accéléré dû à la chaleur. Cependant, d'après la simulation, le transistor n'est chauffé qu'au niveau de la zone où il n'y a pas de siliciure. Les zones où les contacts de source sont situés semblent rester à température ambiante.

### III.2.2.2 Structure avec grille standard et siliciure

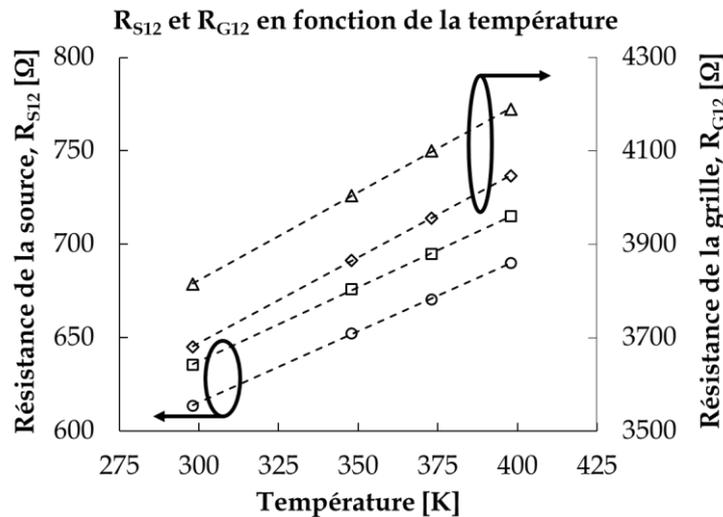
La structure étudiée dans cette sous-section est la même que celle de la section précédente mais avec la présence de siliciure dans toute la source. La résistance insérée dans la source est composée de couches superposées de silicium fortement dopé et de siliciure (voir **FIGURE III.13**). Pour cette structure, les dimensions sont les mêmes que dans la structure sans siliciure, à savoir,  $L = 30 \text{ nm}$ ,  $W = 2 \text{ }\mu\text{m}$  et  $W_{12} = 1,06 \text{ }\mu\text{m}$ .



**FIGURE III.13** - Dessin de masque simplifié (à gauche) de la structure SG à double contacts de source avec siliciure entre les deux contacts de source. À droite, vue simplifiée d'une coupe selon AA' (en bas) et BB' (en haut) de notre structure. La présence de siliciure côté source entre les contacts de source peut être observée. L et W correspondent, respectivement, à la longueur et à la largeur de grille,  $W_{12}$  correspond à la largeur entre les vias des contacts de source 1 et 2.

Les mesures de  $R_{S12}$  et  $R_{G12}$  en fonction de la température (de 298 K à 398 K) sont présentées sur la **FIGURE III.14**. Les conditions de mesures et les méthodes de calcul des résistances sont les mêmes que celles définies dans la section III.2.1. Nous observons, d'une part, que les résistances de source et de grille évoluent selon une droite en fonction de la température, tout comme la structure étudiée précédemment. Les coefficients thermiques des résistances correspondent donc aux pentes et

ordonnées à l'origine desdites droites. D'autre part, les valeurs mesurées sont d'environ  $650 \Omega$  et  $4 \text{ k}\Omega$  pour, respectivement,  $R_{S12}$  et  $R_{G12}$ . La résistance  $R_{S12}$  est plus faible que celle de la structure sans siliciure du fait que la résistivité du siliciure est plus faible que celle du silicium dopé fortement. Les dimensions de la grille étant similaires à celle de la structure précédente, la valeur de la résistance  $R_{G12}$  est du même ordre de grandeur que précédemment.



**FIGURE III.14** - Graphe montrant les résultats des mesures de  $R_{S12}$  et  $R_{G12}$  de la structure SG avec siliciure en fonction de la température. Les carrés et losanges représentent les résultats issus de P1, les cercles et triangles représentent les résultats issus de P2. Les traits en pointillés correspondent aux droites utilisées pour extraire les coefficients thermiques.

La **FIGURE III.15** présente les mesures, faites sur P1 et P2, des courants  $I_{S12}$  et  $I_{G12}$  en fonction de  $V_{S12}$  et à température ambiante (298 K). Les températures  $T_S$  et  $T_G$ , extraites des mesures, sont affichées sur la **FIGURE III.16**. Les mêmes remarques que précédemment s'appliquent, à savoir que l'augmentation de la tension de source entraîne une augmentation de la température par effet Joule, ce qui se traduit par des courbures négatives des courants de source et de grille. À  $V_{S12}$  égale à 1 V,  $I_{S12}$  est égal à 1,3 mA et conduit à des températures de 480 K ( $\Delta T = 182 \text{ K}$ ) et 343 K ( $\Delta T = 45 \text{ K}$ ) pour, respectivement, la source et la grille. À noter que les résistances ( $R_{S12}$  et  $R_{G12}$ ) n'ont été calibrées que jusqu'à 398 K, toutes les températures mesurées au-delà de cette limite auront donc de l'incertitude. Cependant, la valeur mesurée reste une bonne indication de la valeur réelle. De même que précédemment, nous observons une augmentation de la température de façon exponentielle en fonction de  $V_{S12}$ .

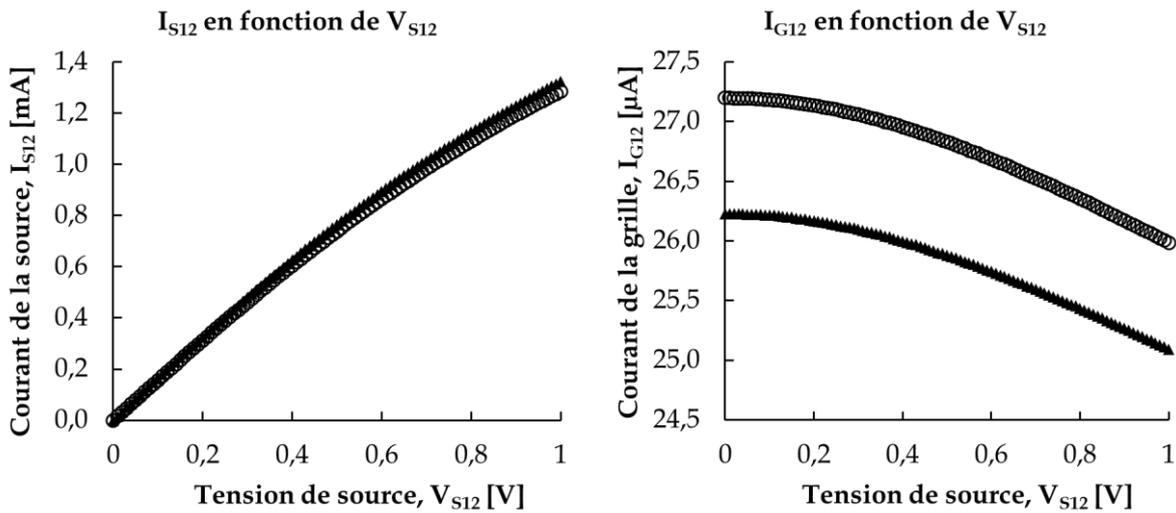


FIGURE III.15 - Graphe montrant les résultats des mesures de  $I_{S12}$  et  $I_{G12}$  de la structure SG avec siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2.

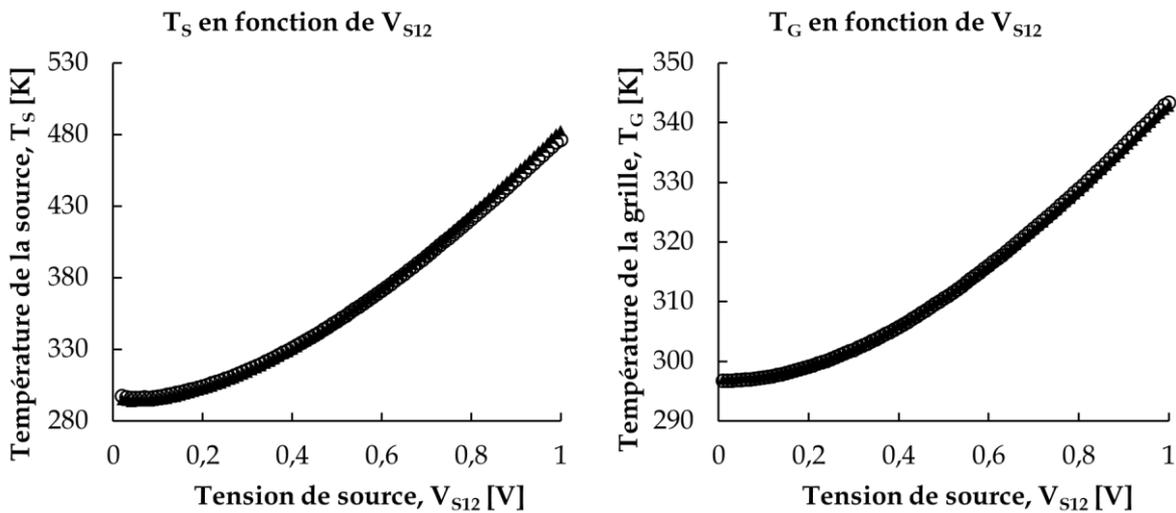
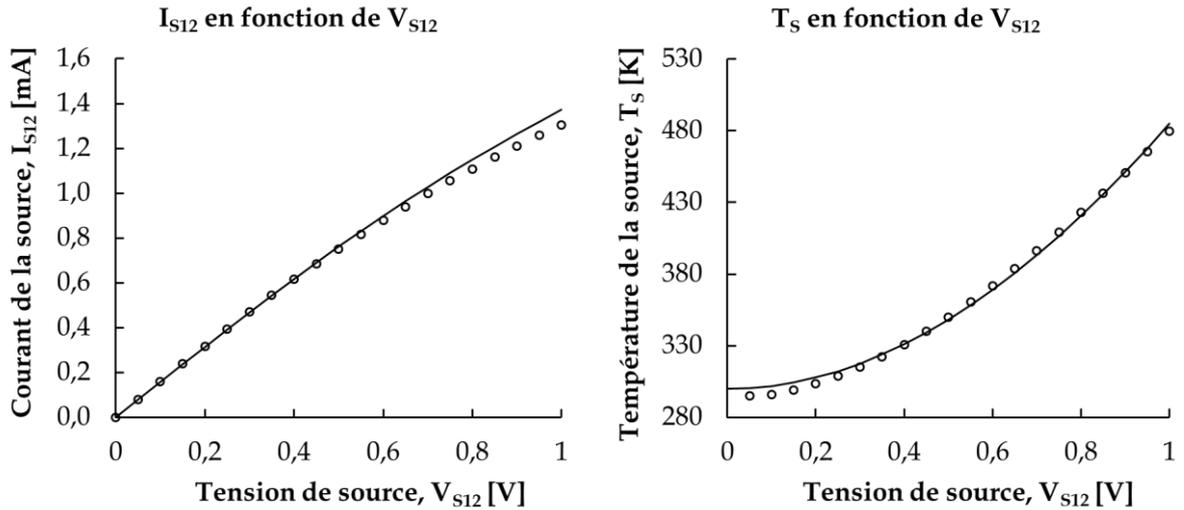


FIGURE III.16 - Graphe montrant les résultats des mesures de  $T_S$  et  $T_G$  de la structure SG avec siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2.

La FIGURE III.17 montre les valeurs de  $I_{S12}$  et  $T_S$  en fonction de  $V_{S12}$ , issues de la simulation électrothermique et les moyennes sur P1 et P2. Comme précédemment, la simulation donne des résultats proches des mesures sur la gamme [0,1] V de  $V_{S12}$ , puisqu'à l'instar des mesures, la courbe du courant simulé s'incurve en fonction de  $V_{S12}$  et atteint 1,37 mA tandis que la température de source augmente de façon exponentielle jusqu'à 485 K. À noter que nous avons un léger décalage à 0 V de la température de source du fait que la température ambiante de la simulation est différente de celle des mesures (respectivement, 300 K et 298 K).



**FIGURE III.17** - Graphes montrant l'évolution de  $I_{S12}$  et  $T_S$  de la structure SG avec siliciure en fonction de la tension de source  $V_{S12}$ . Les cercles correspondent aux résultats issus de la simulation électrothermique 3D TCAD avec une température ambiante de 300 K. Les traits pleins correspondent aux moyennes (issues de P1 et P2) des mesures faites à la température ambiante de 298 K.

La **FIGURE III.18** présente les vues 3D et en coupe issues de la simulation électrothermique lorsque  $V_{S12}$  est égale à 1 V. Nous observons un point chaud (à 485 K) au milieu de la source entre les deux contacts. Le canal et la grille se retrouvent chauffés à  $\sim 400$  K (entre 430 K et 370 K) et le premier niveau d'interconnexions métalliques est lui chauffé à moins de 330 K. La chaleur est principalement confinée entre les deux contacts de source, les deux extrémités du transistor (dans le sens de la grille) sont faiblement chauffées de quelques kelvins par rapport à la température ambiante.

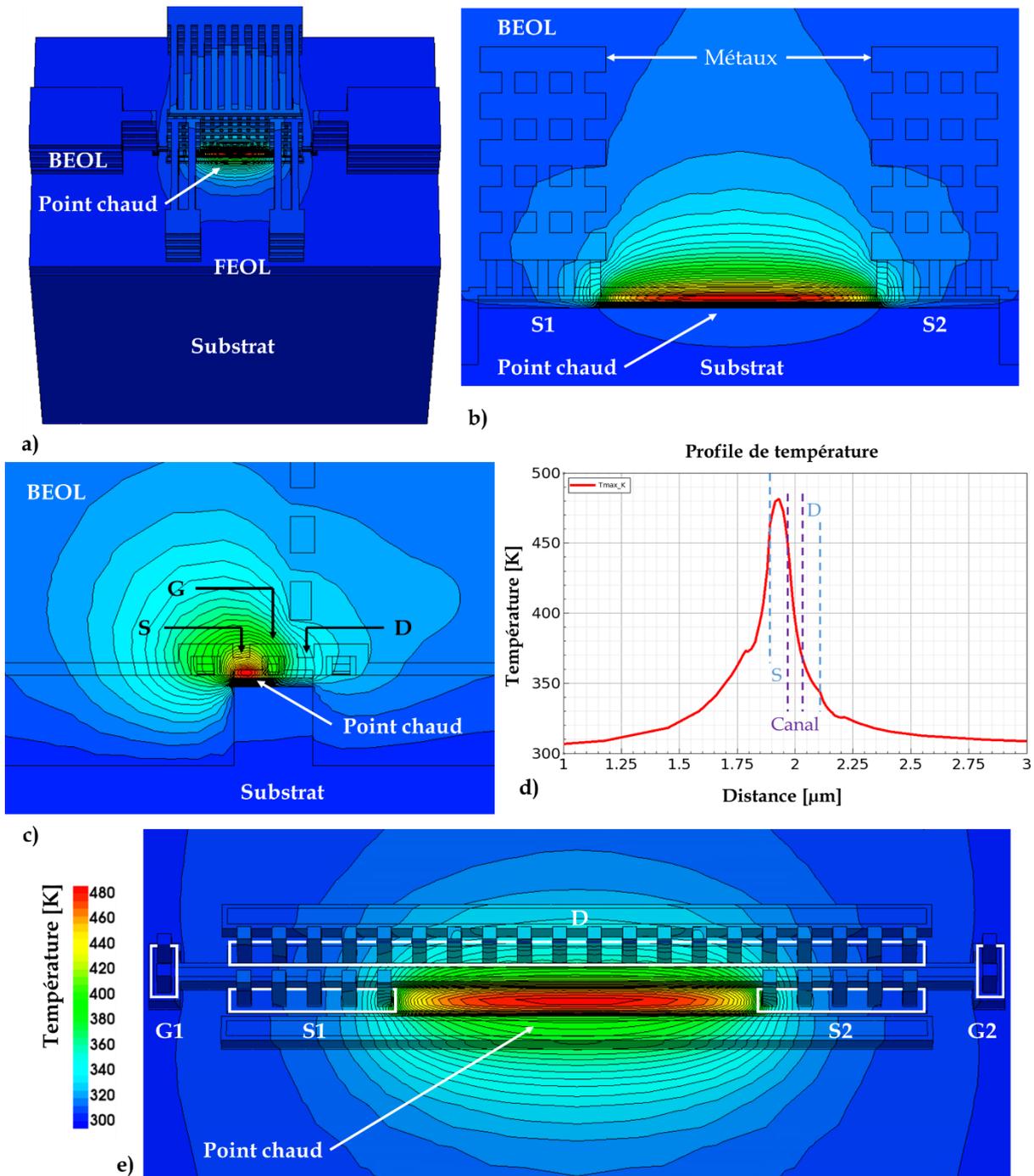
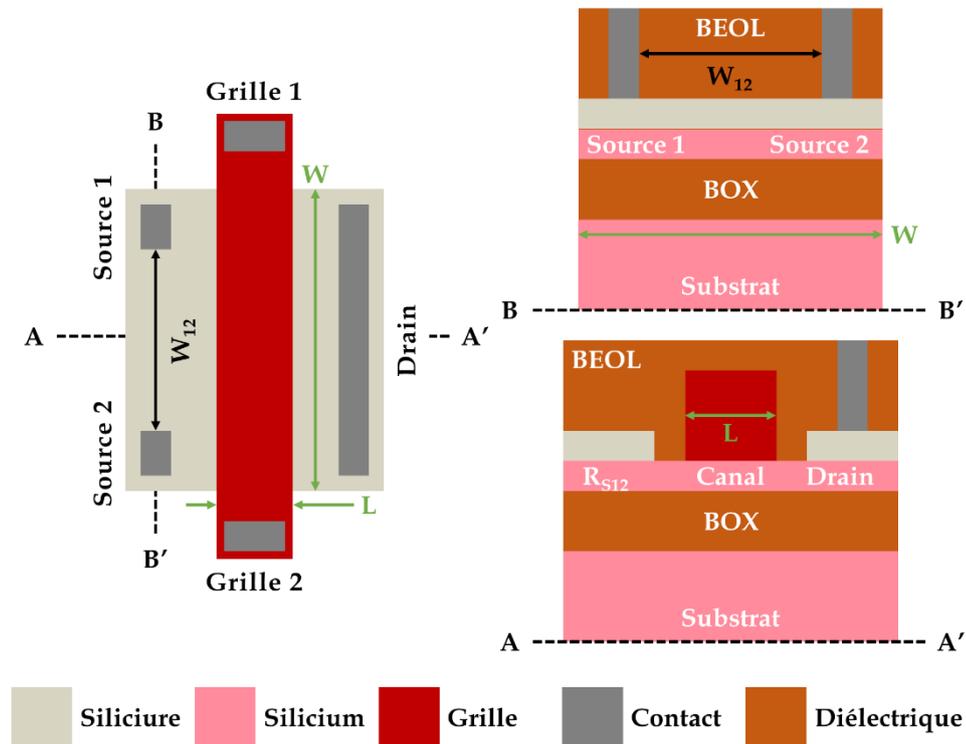


FIGURE III.18 - Vues et graphe issus de la simulation électrothermique 3D TCAD de la structure SG avec siliciure avec une température ambiante de 300 K et lorsque  $V_{S12}$  est égale à 1 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) et c) vues en coupe selon, respectivement, BB' et AA' ; d) profil de température d'après c) et suivant une ligne située juste en dessous de la grille ; e) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent.

### III.2.2.3 Structure avec grille étendue et siliciure

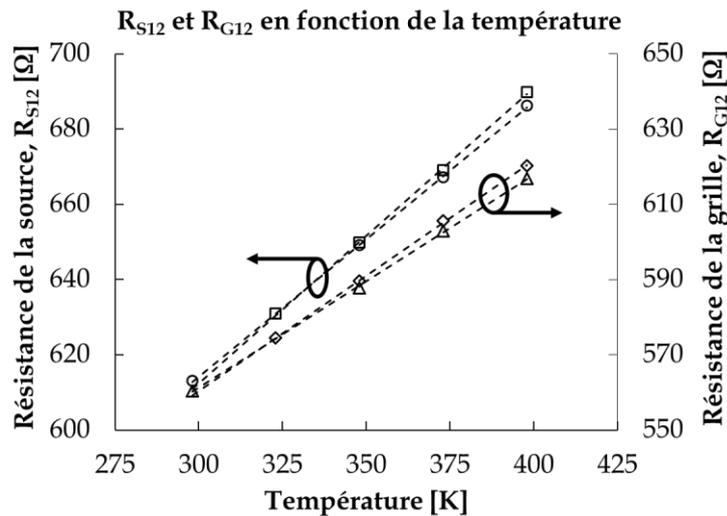
Cette sous-section concerne la structure avec grille étendue (EG) et siliciure, structure similaire à celle de la section précédente à l'exception de l'épaisseur de l'oxide de grille qui est de type EG au lieu de SG et de la longueur de grille qui est plus

grande puisque le minimum autorisé pour ce type de grille est de 150 nm (voir **FIGURE III.19**). Pour cette structure, les dimensions sont :  $L = 150 \text{ nm}$ ,  $W = 2 \text{ }\mu\text{m}$  et  $W_{12} = 1,06 \text{ }\mu\text{m}$ .



**FIGURE III.19** - Dessin de masque simplifié (à gauche) de la structure EG à double contacts de source avec siliciure entre les deux contacts de source. À droite, vue simplifiée d'une coupe selon AA' (en bas) et BB' (en haut) de notre structure. La présence de siliciure côté source entre les contacts de source ainsi qu'une longueur de grille plus grande par rapport aux deux précédentes structures (dues aux règles de dessin spécifique aux transistors EG) peuvent être observées. L et W correspondent, respectivement, à la longueur et à la largeur de grille,  $W_{12}$  correspond à la largeur entre les vias des contacts de source 1 et 2.

Les mesures de  $R_{S12}$  et  $R_{G12}$  en fonction de la température (de 298 K à 398 K) sont présentées sur la **FIGURE III.20**, les conditions de mesures et les méthodes de calcul des résistances sont les mêmes que celles définies dans la section III.2.1. Tout comme les deux types de structures étudiées précédemment, nous observons que les résistances de source et de grille évoluent selon une droite en fonction de la température. Les coefficients thermiques des résistances correspondent donc aussi aux pentes et ordonnées à l'origine desdites droites. Pour cette structure, les valeurs mesurées sont d'environ 650  $\Omega$  et 600  $\Omega$  pour, respectivement,  $R_{S12}$  et  $R_{G12}$ . La résistance  $R_{S12}$  est du même ordre de grandeur que celle de la structure SG avec siliciure, du fait de dimensions similaires entre les deux contacts de source. La résistance  $R_{G12}$  est plus faible que pour les structures SG, du fait que sa grille est plus large.



**FIGURE III.20** - Graphe montrant les résultats des mesures de  $R_{S12}$  et  $R_{G12}$  de la structure EG avec siliciure en fonction de la température. Les carrés et losanges représentent les résultats issus de P1, les cercles et triangles représentent les résultats issus de P2. Les traits en pointillés correspondent aux droites utilisées pour extraire les coefficients thermiques.

Les mesures, faites sur P1 et P2, de  $I_{S12}$  et  $I_{G12}$  en fonction de  $V_{S12}$  et à température ambiante (298 K), ainsi que les températures extraites de ces mesures sont montrées sur les **FIGURE III.21** et **FIGURE III.22**. Tout comme les deux structures précédentes nous observons une courbature des courants de source et de grille, due à l'augmentation de la température locale par effet Joule. Lorsque  $V_{S12}$  est égale à 1 V,  $I_{S12}$  est égale à 1,36 mA, ce qui provoque une élévation des températures de source de grille jusqu'à, respectivement, 463 K ( $\Delta T = 165$  K) et 319 K ( $\Delta T = 21$  K). Tandis qu'à  $V_{S12}$  égale à 1,8 V,  $I_{S12}$ ,  $T_S$  et  $T_G$  valent respectivement, 1,95 mA, 707 K ( $\Delta T = 409$  K) et 357 K ( $\Delta T = 59$  K). À noter que, comme pour la précédente structure,  $R_{S12}$  et  $R_{G12}$  n'ayant été calibrées que jusqu'à 398 K, il reste de l'incertitude pour toutes les températures mesurées au-delà de cette limite. Cependant, les valeurs mesurées donnent une bonne indication des valeurs réelles. Nous observons encore une fois, une augmentation de la température, de façon exponentielle en fonction de  $V_{S12}$ .

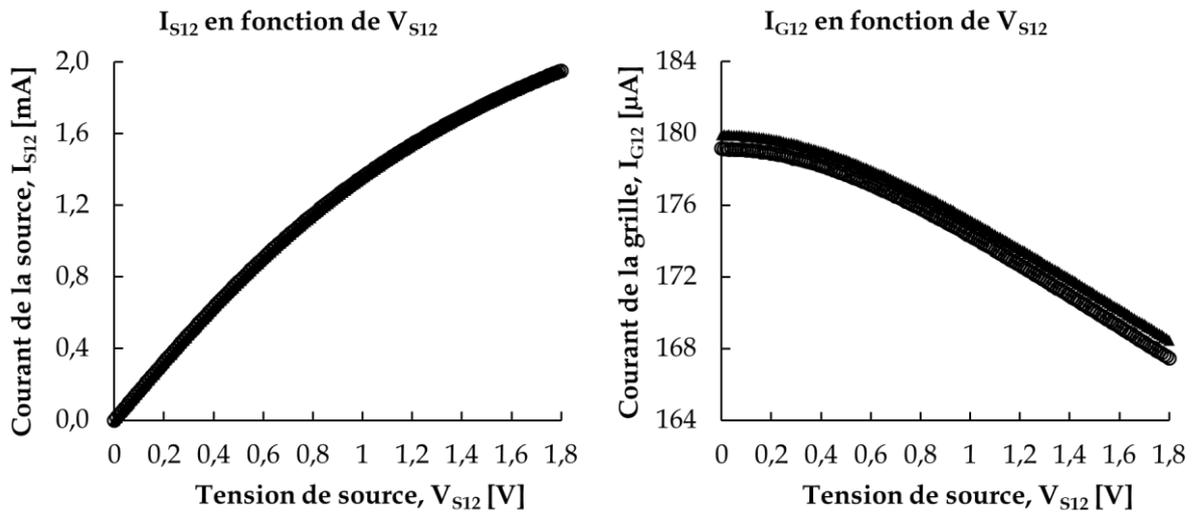


FIGURE III.21 - Graphe montrant les résultats des mesures de  $I_{S12}$  et  $I_{G12}$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2.

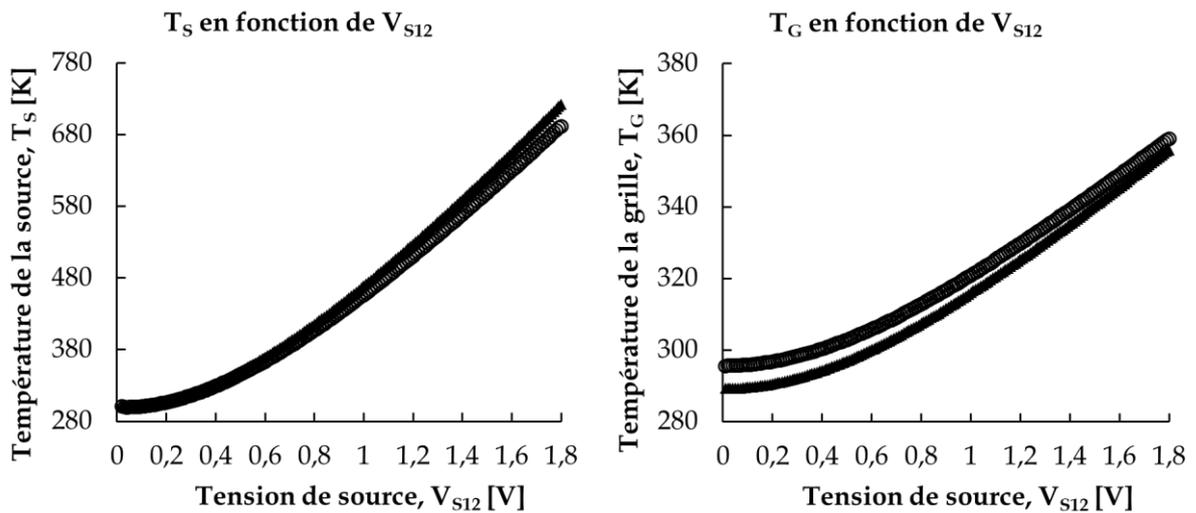
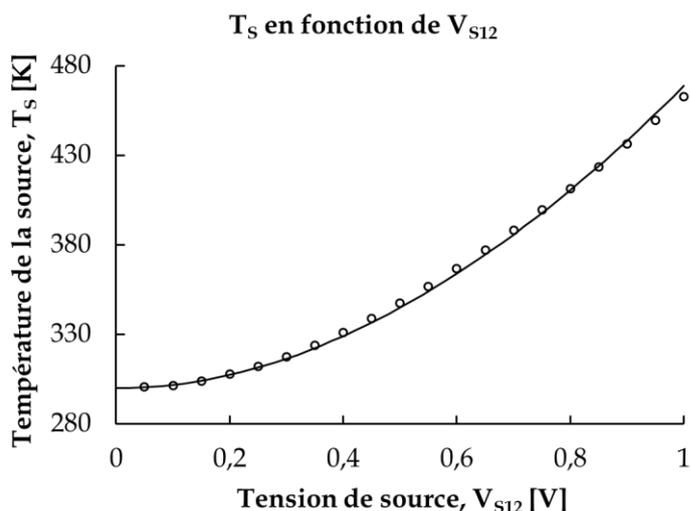


FIGURE III.22 - Graphe montrant les résultats des mesures de  $T_S$  et  $T_G$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les cercles et triangles représentent, respectivement, les résultats issus de P1 et de P2.

La température de source en fonction de  $V_{S12}$ , issue de la simulation TCAD et la moyenne sur P1 et P2, sont présentées dans la FIGURE III.23. A l'instar des deux précédentes structures, la simulation donne des résultats proches des mesures sur la gamme [0,1] V de  $V_{S12}$ , puisque  $T_S$  augmente de façon exponentielle jusqu'à 469 K. À noter que nous avons un léger décalage à 0 V de la température de source du fait que la température ambiante de la simulation est différente de celle des mesures (respectivement, 300 K et 298 K).



**FIGURE III.23** - Graphe montrant  $T_s$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$ . Les cercles correspondent aux résultats issus de la simulation électrothermique 3D TCAD avec une température ambiante de 300 K. Le trait plein correspond à la moyenne (issue de P1 et P2) des mesures faites à la température ambiante de 298 K.

Les vues 3D et en coupe issues de la simulation TCAD et lorsque  $V_{S12}$  est égale à 1 V sont présentées sur la **FIGURE III.24**. Comme précédemment, nous observons un point chaud (à 467 K) au milieu de la source entre les deux contacts. Le canal et la grille se retrouvent chauffés à  $\sim 360$  K (entre 410 K et 345 K) tandis que le premier niveau d'interconnexions métalliques est chauffé à moins de 330 K. De même que pour la structure SG avec siliciure, la chaleur est principalement confinée entre les deux contacts de source et, les deux extrémités du transistor (dans le sens de la grille) sont faiblement chauffées de quelques kelvins par rapport à la température ambiante. Mais contrairement à la structure précédente, le drain est plus faiblement chauffé du fait qu'il soit plus éloigné de la source et du point chaud (la longueur de grille est plus grande, 150 nm au lieu de 30 nm).

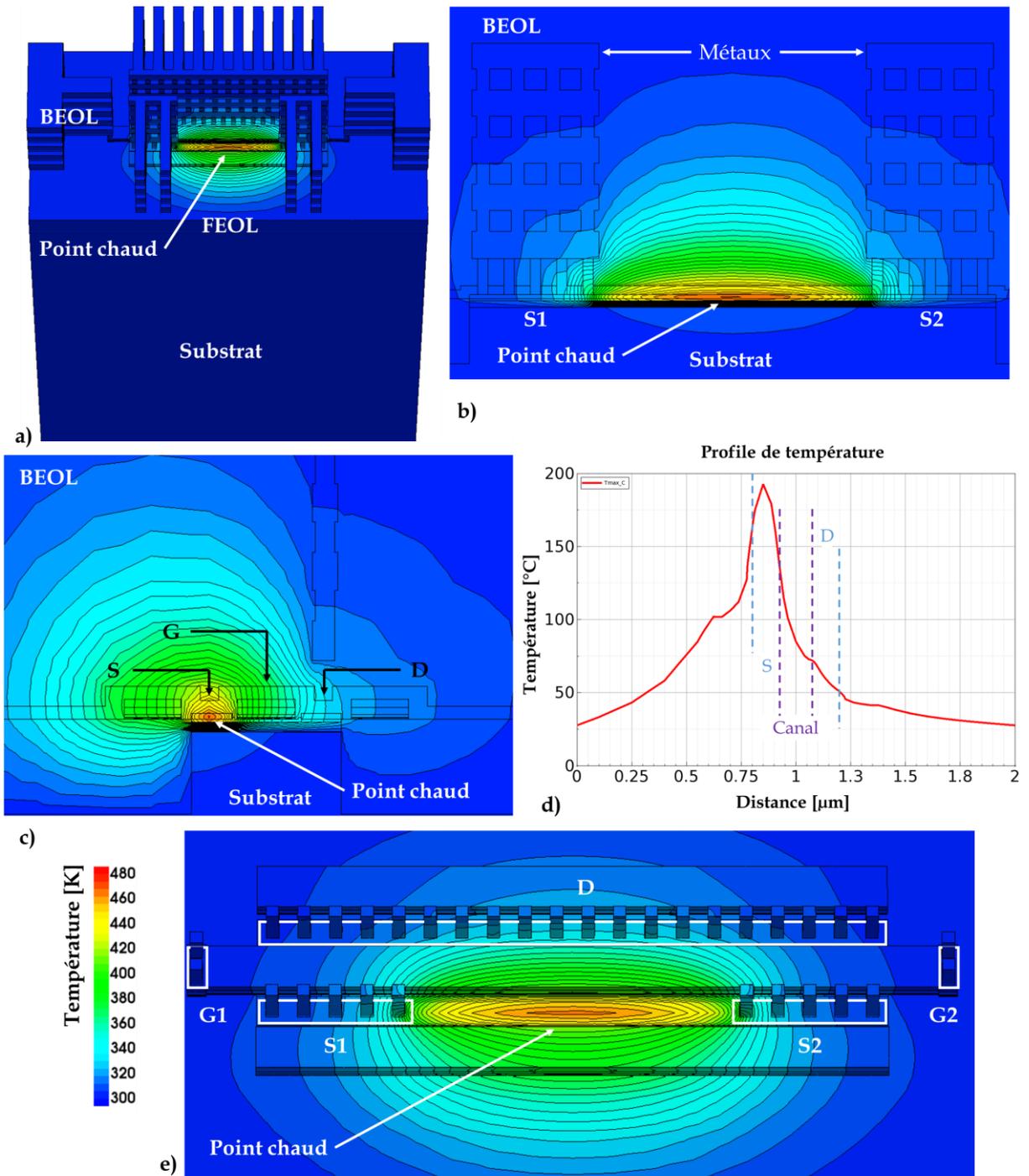


FIGURE III.24 - Vues et graphe issus de la simulation électrothermique 3D TCAD de la structure EG avec silicium avec une température ambiante de 300 K et lorsque  $V_{S12}$  est égale à 1 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) et c) vues en coupe selon, respectivement, BB' et AA' ; d) profil de température d'après c) et suivant une ligne située juste en dessous de la grille ; e) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent.

### III.2.2.4 Comparaison

Dans cette partie, nous allons comparer nos trois précédentes structures. Par soucis de clarté de nos figures, les structures SG sans silicium, avec silicium et EG avec

siliciure seront nommées, respectivement, ISH<sub>1</sub>, ISH<sub>2</sub> et ISH<sub>3</sub>. Pour rappel, les dimensions caractéristiques de nos structures sont récapitulées dans le **TABLEAU III.1**.

Dimensions	ISH <sub>1</sub>	ISH <sub>2</sub>	ISH <sub>3</sub>
L	30 nm	30 nm	150 nm
W	2 μm	2 μm	2 μm
W <sub>R</sub>	500 nm	-	-
W <sub>12</sub>	1,06 μm	1,06 μm	1,06 μm

**TABLEAU III.1** - Tableau récapitulatif des dimensions caractéristiques des trois structures étudiées.

La **FIGURE III.25** montre les courants de source et de grille mesurés (moyenne sur P1 et P2) en fonction de la tension de source pour les trois structures. De même, les températures de source et de grille extraites des mesures sont affichées dans la **FIGURE III.26**. Comme observé précédemment, les courbes de I<sub>S12</sub> et I<sub>G12</sub> s'incurvent en fonction de V<sub>S12</sub> dû à l'effet Joule qui fait augmenter la température de source.

Cependant, nous observons que les structures avec siliciure (ISH<sub>2</sub> et ISH<sub>3</sub>) ont un courant I<sub>S12</sub> plus important que pour ISH<sub>1</sub> à V<sub>S12</sub> égale. Plus de courant électrique implique une température T<sub>S</sub> plus élevée et donc une courbure plus marquée pour I<sub>S12</sub> et I<sub>G12</sub>. À V<sub>S12</sub> égale, le dispositif ISH<sub>2</sub> est celui qui chauffe le plus suivis de près par ISH<sub>3</sub>. Tout comme pour le courant de source, la température de source de ISH<sub>1</sub> est bien inférieure aux deux autres structures. Cependant, ISH<sub>3</sub> a la capacité de chauffer plus que les deux autres du fait que V<sub>S12</sub> peut monter jusqu'à 1,8 V grâce à son oxyde de grille épais.

Par ailleurs, la température de grille de ISH<sub>2</sub> est supérieure aux températures de ISH<sub>1</sub> et ISH<sub>3</sub>, qui elles sont assez proches, à tension de source égale. La température de grille de ISH<sub>1</sub> est inférieure à celle de ISH<sub>2</sub> parce que la source de ISH<sub>1</sub> chauffe moins. La différence de T<sub>G</sub>, entre ISH<sub>2</sub> et ISH<sub>3</sub>, vient du fait que la grille de ISH<sub>3</sub> est plus longue que celle de ISH<sub>2</sub>. De ce fait, l'énergie thermique se dissipe plus d'un côté à l'autre de la grille (dans la direction source-drain) et donc la température moyenne de la grille est plus faible.

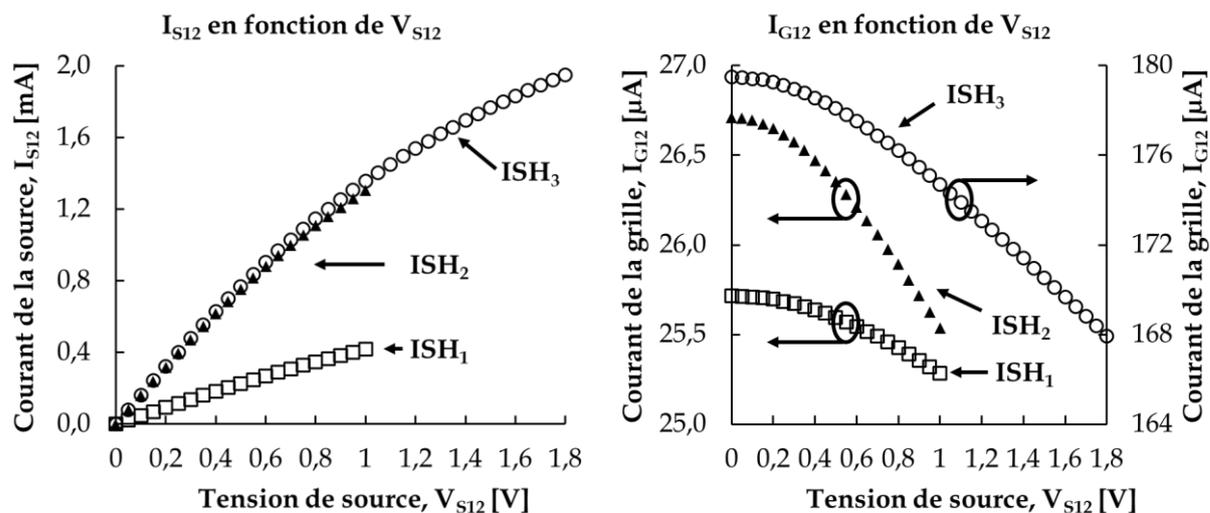


FIGURE III.25 - Graphe montrant les résultats des mesures (moyennes sur P1 et P2) de  $I_{S12}$  et  $I_{G12}$  en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les carrés, triangles et cercles représentent, respectivement, ISH<sub>1</sub>, ISH<sub>2</sub> et ISH<sub>3</sub>.

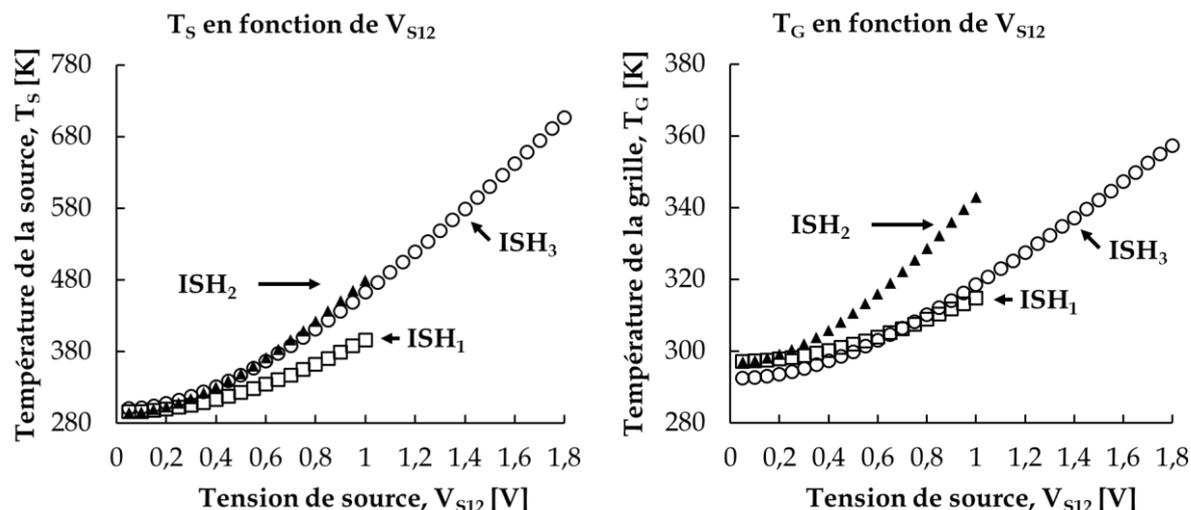


FIGURE III.26 - Graphe montrant les résultats des mesures (moyennes sur P1 et P2) de  $T_S$  et  $T_G$  en fonction de la tension de source  $V_{S12}$  à température ambiante (298 K).  $V_{G12}$  est égale à 0.1 V. Les carrés, triangles et cercles représentent, respectivement, ISH<sub>1</sub>, ISH<sub>2</sub> et ISH<sub>3</sub>.

Le TABLEAU III.2 ci-dessous est un récapitulatif des courants de sources, températures de sources et de grille mesurés (moyennes sur P1 et P2) et simulés à  $V_{S12}$  égale à 1 V (et aussi 1,8 V pour ISH<sub>3</sub>) des trois structures étudiées. Nous constatons que pour  $I_{S12}$  et  $T_S$ , les valeurs simulées sont proches des valeurs mesurées mais pas pour  $T_G$ , en effet, les simulations surestiment toujours la température de grille. Plusieurs hypothèses sont possibles pour expliquer ces écarts. D'une part, contrairement à la source, il y a un gradient de température transversal (par rapport à la direction du courant). Ceci implique que la densité de courant n'est pas homogène au niveau de la section de la grille et donc que la résistance et la température mesurées ne correspondent pas au milieu de la grille d'où les températures TCAD sont extraites.

D'autre part, les conductivités thermiques des matériaux de la grille (en particulier les espaceurs) ne sont pas suffisamment calibrées. Par ailleurs, les simulations (pour les trois structures étudiées) ont montré que les températures au niveau du canal et de la couche de siliciure dans la grille sont très proches, autrement dit, la mesure de la température de grille nous permet de connaître la température du canal.

Résultats des mesures/ simulations TCAD	1,0 V			1,8 V
	ISH <sub>1</sub>	ISH <sub>2</sub>	ISH <sub>3</sub>	ISH <sub>3</sub>
I <sub>S12</sub>	419 / 432 μA	1,30 / 1,37 mA	1,36 / - mA	1,95 / - mA
T <sub>S</sub>	397 / 389 K	480 / 485 K	463 / 469 K	707 / - K
T <sub>G</sub>	315 / ~350 K	343 / ~400 K	319 / ~360 K	357 / - K

**TABLEAU III.2** - Résultats des mesures (moyennes sur P1 et P2) et des simulations électrothermiques (Sentaurus) pour I<sub>S12</sub>, T<sub>S</sub> et T<sub>G</sub> quand V<sub>S12</sub> est égale à 1,0 V de ISH<sub>1</sub>, ISH<sub>2</sub> et ISH<sub>3</sub>. En addition, dans la colonne de droite, les résultats de ISH<sub>3</sub> lorsque V<sub>S12</sub> est égale à 1.8 V. Les températures de grilles simulées sont des estimations issues des vues en coupes des FIGURE III.12c), FIGURE III.18c) et FIGURE III.24c). Le symbole « - » correspond à une absence de résultat.

### III.2.3 Influence des dimensions sur le chauffage par la source

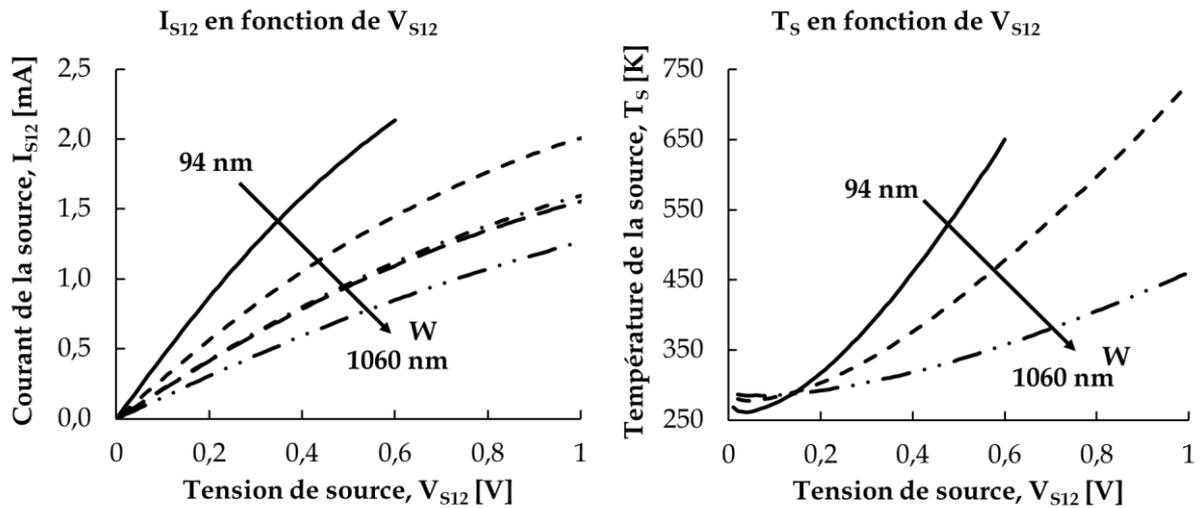
Dans cette section, nous allons étudier l'influence des dimensions (en particulier de W et W<sub>12</sub>) sur la capacité de la source à chauffer. Pour ce faire, nous avons pris cinq structures SG avec siliciure (voir section III.2.2.2) et cinq structures EG avec siliciure (voir section III.2.2.3) qui sont nommées SG<sub>x</sub> et, respectivement, EG<sub>x</sub>, avec x allant de 1 à 5. Le TABLEAU III.3 récapitule les dimensions ainsi que le nombre de vias de contacts utilisés, pour les sources, de chacun des dispositifs étudiés. Nous avons fait varier principalement la largeur de la grille (W) mais aussi la largeur entre les deux contacts de source (W<sub>12</sub>). La principale différence entre la structure SG<sub>3</sub> et SG<sub>4</sub> (respectivement, EG<sub>3</sub> et EG<sub>4</sub>) est le nombre de vias de contacts des sources. Ainsi, SG<sub>3</sub> et EG<sub>3</sub> possèdent deux vias pour chaque contact de source (S1 et S2) tandis que SG<sub>4</sub> et EG<sub>4</sub> possèdent quatre vias pour chaque contact de source. Les conditions de polarisations des contacts sont les mêmes que celles de la section précédente (III.2.2).

Les courants et températures de sources mesurés (à 298 K) pour les structures SG et EG sont, respectivement, montrés dans la FIGURE III.27 et la FIGURE III.28. Tout d'abord, nous observons, toutes structures confondues, que plus W<sub>12</sub> diminue, plus I<sub>S12</sub> augmente (à V<sub>S12</sub> égale) dû au fait que la résistance diminue en même temps que W<sub>12</sub>. Ceci amène, par effet Joule, une augmentation de T<sub>S</sub> (jusqu'à ~750 K) lorsque W<sub>12</sub> diminue à une tension de source égale. Pour SG<sub>3</sub>, SG<sub>4</sub>, EG<sub>3</sub> et EG<sub>4</sub>, le courant de source

mesuré est le même, ce qui indique que le nombre de vias n'a pas d'influence sur  $R_{S12}$  et donc sur  $T_s$ . En toute logique, si nous suivons les tendances,  $T_s$  pour  $SG_3$ ,  $EG_3$ ,  $SG_4$  et  $EG_4$  devrait être situé entre  $SG_2$  ou  $EG_2$  et  $SG_5$  ou  $EG_5$ . Enfin, pour  $SG_1$  et  $EG_1$ , nous nous sommes arrêtés à 0,6 V pour  $V_{S12}$ , car, au-delà de cette valeur,  $I_{S12}$  chute brutalement. Ce phénomène sera étudié plus en détail dans la section III.4.

Dimensions	$SG_1/EG_1$	$SG_2/EG_2$	$SG_3/EG_3$	$SG_4/EG_4$	$SG_5/EG_5$
L	30 / 150 nm				
W	234 nm	500 nm	974 nm	1338 nm	2000 nm
$W_{12}$	94 nm	360 nm	600 nm	600 nm	1060 nm
$n_{vias}$	$2 \times 1$	$2 \times 1$	$2 \times 2$	$2 \times 4$	$2 \times 5$

**TABLEAU III.3** - Tableau récapitulatif des dimensions et nombre de vias ( $n_{vias}$ ) de contacts de source des dix structures étudiées. Les structures sont des transistors à double contacts de source de type SG ou EG et de largeurs  $W$  ou  $W_{12}$  différentes. La principale différence entre les structures 3 et 4 est le nombre de vias de contacts de source (respectivement, deux et quatre vias de chaque côté de la résistance de source,  $R_{S12}$ ).



**FIGURE III.27** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $T_s$  de la structure SG avec siliciure en fonction de la tension de source  $V_{S12}$  et pour différentes largeurs  $W$  ( $SG_1$  à  $SG_5$ ). Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent, respectivement, à  $SG_1$ ,  $SG_2$ ,  $SG_3$ ,  $SG_4$  et  $SG_5$ .

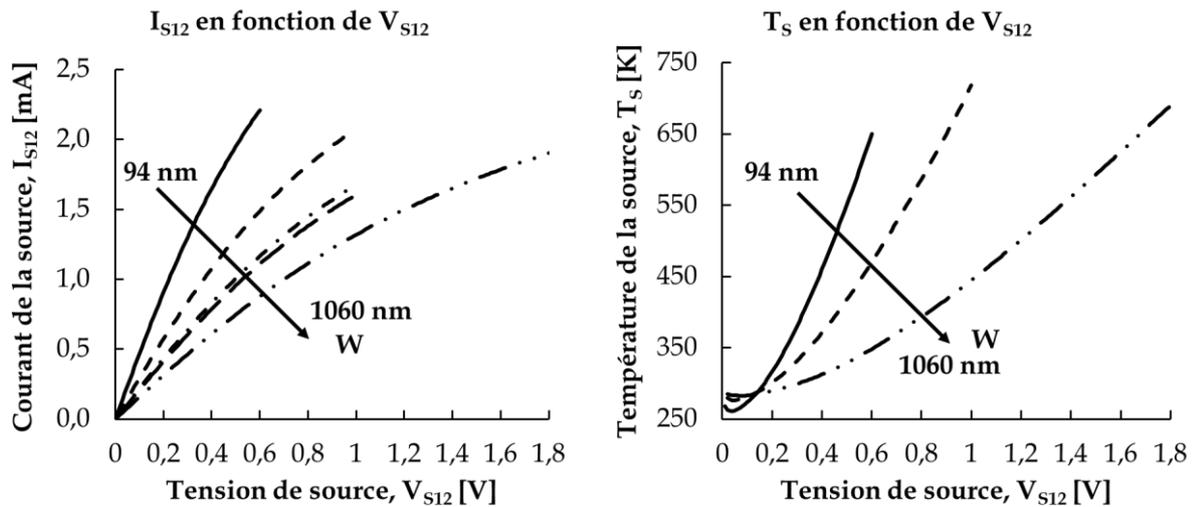


FIGURE III.28 - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $T_S$  de la structure EG avec siliciure en fonction de la tension de source  $V_{S12}$  et pour différentes largeurs  $W$  (EG<sub>1</sub> à EG<sub>5</sub>). Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent, respectivement, à EG<sub>1</sub>, EG<sub>2</sub>, EG<sub>3</sub>, EG<sub>4</sub> et EG<sub>5</sub>.

### III.2.4 Autres possibilités de chauffage

Pour chauffer un transistor, nous pouvons faire des doubles contacts de source, comme nous avons vu précédemment, mais aussi des doubles contacts de drain (FIGURE III.29a), de grille avant (FIGURE III.29b) [Park16a], arrière (FIGURE III.29f) ou de canal (FIGURE III.29c) ainsi que toutes combinaisons entre eux. Ainsi, si nous faisons passer du courant en même temps dans des résistances de source et de drain (FIGURE III.29d), nous pourrions avoir une élévation de la température du transistor plus importante.

A priori, utiliser la grille arrière serait peu judicieux car il faudrait beaucoup de puissance pour qu'il y ait suffisamment de chaleur qui traverse le BOX. Utiliser le canal serait, également, peu judicieux du fait que le silicium est peu dopé (voir pas du tout dans la technologie FD-SOI) et donc très résistif. Cependant, ces types de dispositifs électroniques peuvent servir pour la caractérisation thermique des transistors pour améliorer les simulations par exemple.

Une autre manière de chauffer plus fort serait d'implémenter de multiples (triple, quadruple, etc.) contacts de source séparés par de courtes distances afin d'avoir les résistances inter-contacts les plus optimales (FIGURE III.29e).

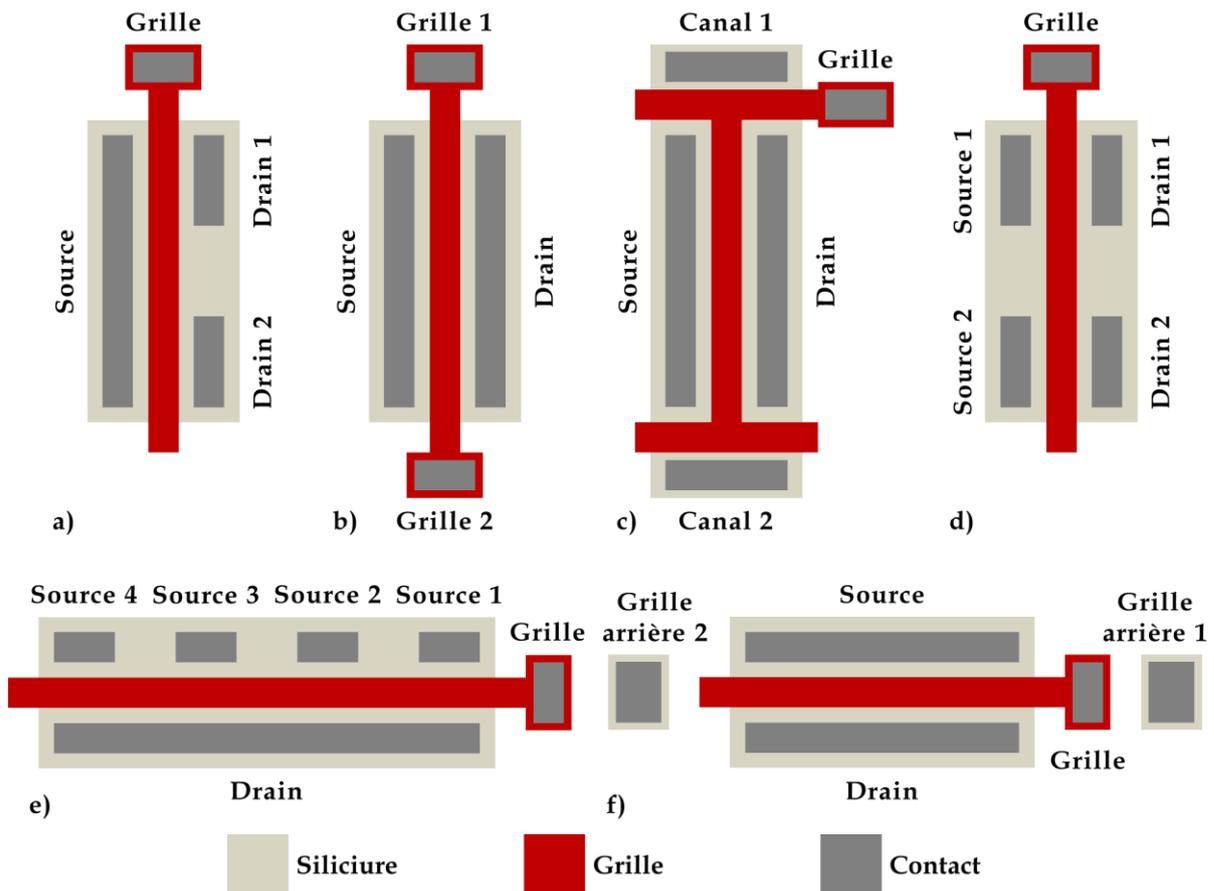


FIGURE III.29 - Dessin de masque simplifié de plusieurs types de transistors avec radiateur in-situ autre que la structure à deux contacts de source : a) transistor avec double contacts de drain ; b) transistor avec double contacts de grille ; c) transistor avec double contacts de canal ; d) transistor avec double contacts de source et de drain ; e) transistor avec quadruple contacts de source ; f) transistor avec double contacts de grille arrière.

### III.2.5 Conclusion

Dans cette partie, nous avons introduit une nouvelle solution innovante permettant le chauffage in-situ dans un transistor de façon simple et robuste. Pour ce faire, la source d'un transistor est séparée en deux contacts et une résistance est créée entre ces deux nouveaux contacts. En faisant passer un courant électrique dans cette résistance, le transistor est chauffé par effet Joule.

Nous avons montré que lorsque que la résistance était composée d'une couche de siliciure sur une couche de silicium fortement dopé, sa valeur était faible, ce qui nous permet, à tension  $V_{S12}$  égale, de faire passer plus de courant et donc d'avoir plus de puissance, ce qui amène à une élévation de la température plus importante. Ainsi, pour  $V_{S12}$  égale à 1 V et pour une largeur de grille ( $W$ ) de deux micromètres, nous avons mesuré des températures de 480 K pour le dispositif avec siliciure au lieu de 397 K pour celui sans siliciure. Ensuite, nous avons montré que lorsque la grille était

de type EG, nous pouvions avoir une température de source plus importante (707 K) grâce au fait que  $V_{S12}$  pouvait aller jusqu'à 1,8 V sans endommager l'oxyde de la grille.

Nous avons aussi montré qu'en réduisant la largeur entre les deux contacts de source ( $W_{12}$ ), nous réduisons la résistance et augmentons le courant et donc la température (jusqu'à ~750 K) pour une tension de source égale. Nous pouvons aussi augmenter la température en insérant une résistance dans le drain et en chauffant simultanément les résistances de source et de drain. Une autre solution, pour les transistors avec un grand  $W$ , serait de séparer la source ou le drain en trois, quatre ou plus de contacts, c'est-à-dire en introduisant deux, trois ou plus de résistances dans la source ou le drain.

Enfin, les simulations électrothermiques en 3D ont montré que le point chaud créé par effet Joule était situé entre les deux contacts de source et restait très localisé. Ainsi, la température de grille est bien inférieure à celle du point chaud et les lignes de métaux sont faiblement chauffées. Cependant, malgré le fait que le courant et la température de source simulés et mesurés soient proches, nous avons observé une différence pour la température de grille. Il reste encore des paramètres à ajuster pour que les simulations correspondent aux mesures. Par ailleurs, des premières simulations en fonction du temps (non présentées dans ce manuscrit) ont montré que le chauffage, mais aussi le refroidissement, étaient très rapide (de l'ordre de 100 ns). Ce temps sera différent lorsque nos dispositifs se trouveront encapsulés dans des boîtiers.

A priori, cette solution n'est pas limitée à la technologie 28 nm FD-SOI de STMicroelectronics.

### **III.3 Recuits thermiques locaux**

#### **III.3.1 Introduction**

Tout processus de fabrication réel induit de la dispersion, c'est-à-dire que chaque transistor, à dimensions ( $L$ ,  $W$ , ...), environnement (température, humidité, ...) et polarisation égale, aura un comportement électrique différent. Un moyen de connaître la dispersion est d'évaluer la tension de seuil ( $V_T$ ) de chaque transistor. Un processus à faible dispersion aura des transistors dont la tension de seuil est proche d'une valeur moyenne, correspondant à la valeur typique du  $V_T$  pour une technologie donnée. À l'inverse, un processus avec beaucoup de dispersion aura des transistors dont la tension de seuil sera plus éloignée de la valeur typique. Les transistors à tension de seuil basse, typique et haute sont, respectivement, appelés transistor rapide, typique et lent.

Les recuits thermiques<sup>8</sup> permettent de faire du vieillissement accéléré des puces électroniques ou de stabiliser les matériaux ou dopants lors du processus de fabrication. Ils permettent également au transistor de revenir à un état stable après avoir été endommagé (par irradiation par exemple) [Bravaix16; Moon16; Park16b]. Autrement dit, en faisant des recuits sur les transistors, ceux-ci vont voir leur  $V_T$  converger vers la valeur typique, nous pouvons donc, en quelque sorte, « guérir » les transistors (voir FIGURE III.30). Généralement, les recuits se font dans des fours ou, pour de plus hautes températures avec des lasers. Ici, nous nous proposons d'utiliser les radiateurs intégrés dans la source pour faire des recuits au niveau du transistor. En particulier, nous allons étudier la structure SG avec siliciure, d'une grille de longueur  $L = 30$  nm et largeur  $W = 2$   $\mu$ m et de distance Source 1-Source 2  $W_{12} = 1,06$   $\mu$ m (voir FIGURE III.31 et la section III.2.2.2).

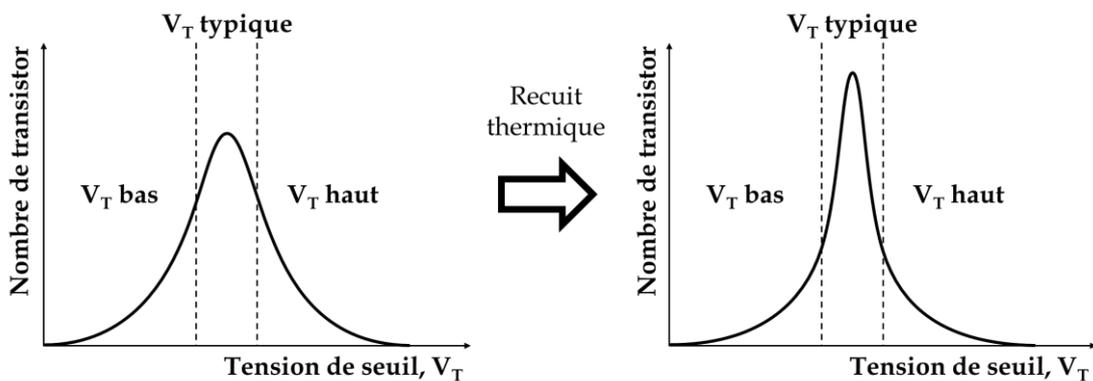


FIGURE III.30 - Exemple de courbe de distribution de transistor en fonction de leur tension de seuil pour un processus de forte dispersion (courbe de gauche) et de faible dispersion (courbe de droite). Un recuit thermique lors du processus de fabrication peut permettre de resserrer la courbe de distribution autour de la valeur typique et ainsi de réduire la dispersion.

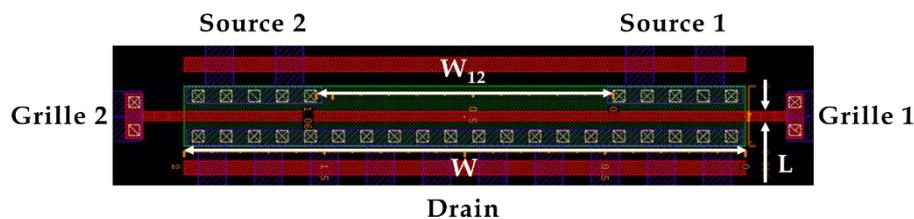


FIGURE III.31 - Dessin de masque de la structure SG à double contacts de source avec siliciure entre les deux contacts de source. En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI.  $L$ ,  $W$  et  $W_{12}$  valent, respectivement 30 nm, 2  $\mu$ m et 1,06  $\mu$ m.

Pour étudier si les recuits avec le radiateur inséré dans la source permettent de récupérer les performances électriques des transistors, nous avons mesuré le courant

<sup>8</sup> Action de chauffer à une température déterminée et pendant une durée déterminée.

de drain ( $I_d$ ) en fonction du potentiel de grille ( $V_{G1} = V_{G2} = V_g$ ) lorsque les deux contacts de source sont polarisés à 0 V ( $V_{S1} = V_{S2} = V_s$ ) et le potentiel de drain ( $V_d$ ) est polarisé à 0,1 V et 1 V. Nous avons aussi mesuré  $I_d$  en fonction de  $V_d$  avec  $V_s = 0$  V et  $V_g = 1$  V. Pendant les recuits,  $V_{S2}$  est polarisé, soit à 1 V pendant une durée déterminée, soit suivant une ou plusieurs rampes de tension allant de 0 V à 1 V,  $V_{S1}$  et  $V_{G1}$  sont égales à 0 V,  $V_{G2}$  est polarisé à 0,01 V et le contact de drain n'est connecté à aucune pointe de mesure. Les grilles arrière de nos transistors n'ont pas été polarisées pendant les mesures par manque de pointes de mesures.

### III.3.2 Transistor à tension de seuil basse

Les figures ci-dessous (FIGURE III.32, FIGURE III.33 et FIGURE III.34) correspondent aux mesures faites sur un transistor à double contacts de source qui initialement avait une tension de seuil basse. Nous avons effectué trois cycles de recuits et avons mesuré le transistor avant et après chaque cycle. Le premier cycle correspond à une seule rampe de tension  $V_{S12}$  de 0 à 1 V, le deuxième cycle correspond à cinq rampes de tension  $V_{S12}$  successives allant de 0 à 1 V tandis que le dernier cycle correspond à dix rampes de tension  $V_{S12}$  successives allant de 0 à 1 V. Sur les deux graphes montrant le courant de drain ( $I_d$ ) en fonction de la tension de grille-source ( $V_{gs}$ ), nous observons un décalage des courbes vers la droite et vers le bas. Ceci se traduit par l'augmentation de la tension de seuil et signifie que les courants  $I_{on}$  (courant de drain lorsque  $V_{gs} = 1$  V) et  $I_{off}$  ( $I_d$  quand  $V_{gs} = 0$  V) diminuent après chaque recuit. Le courant de grille ( $I_g$ ) en fonction de  $V_{gs}$  n'évolue que peu, voire pas du tout après chaque cycle. Nous observons aussi, pour  $I_d$  et  $I_g$  en fonction de la tension de drain-source ( $V_{ds}$ ), un décalage vers le bas des courbes après chaque cycle.

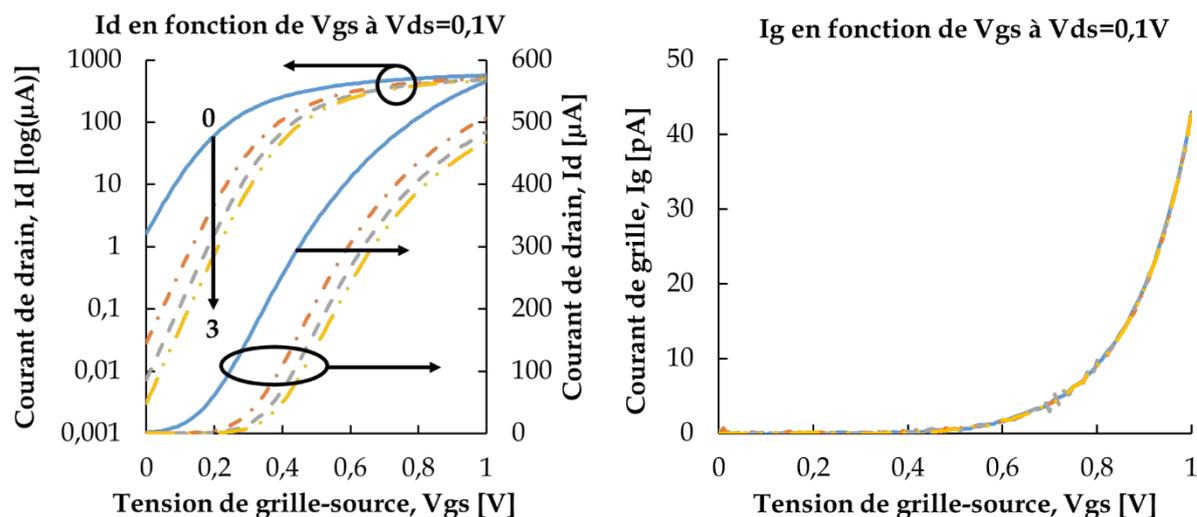


FIGURE III.32 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 0,1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris) et tirets long-deux points (jaune), correspondent aux mesures faites, respectivement, après 0, 1, 2 et 3 cycles de recuits.

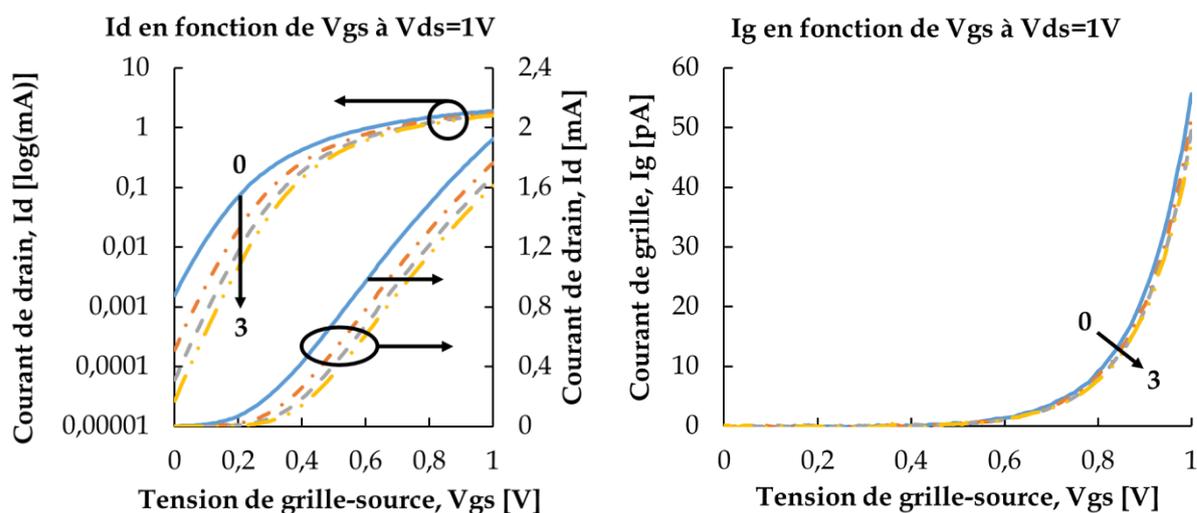
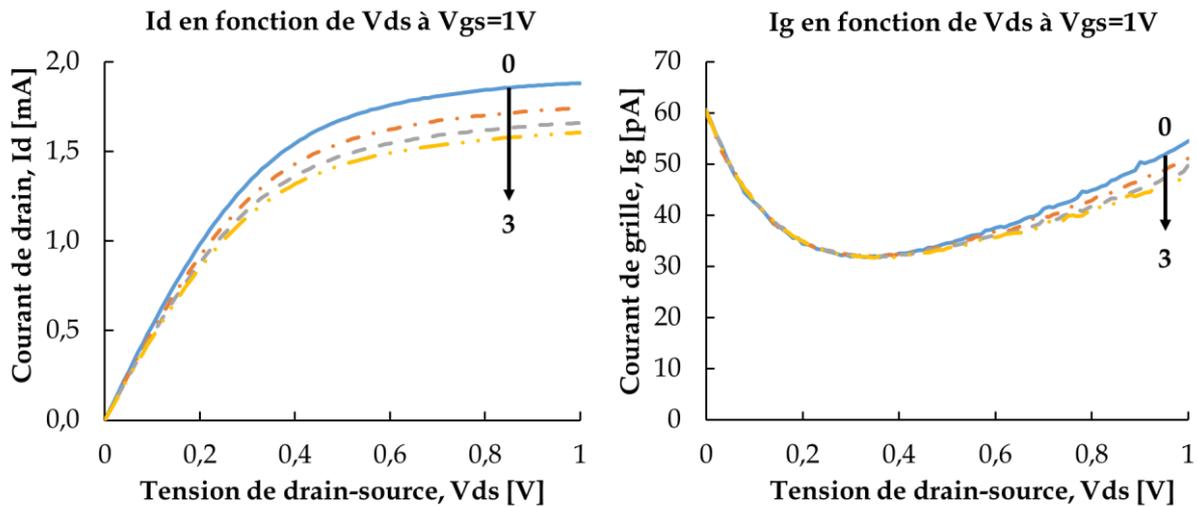


FIGURE III.33 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris) et tirets long-deux points (jaune), correspondent aux mesures faites, respectivement, après 0, 1, 2 et 3 cycles de recuits.



**FIGURE III.34** - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de drain-source lorsque la tension de grille-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris) et tirets long-deux points (jaune), correspondent aux mesures faites, respectivement, après 0, 1, 2 et 3 cycles de recuits.

### III.3.3 Transistor à tension de seuil typique

Sur un transistor à double contacts de source dont la tension de seuil est proche de la valeur typique, nous avons effectué deux cycles de recuits et avons fait des mesures avant et après les deux cycles. Les premier et deuxième cycle correspondent, respectivement, à une polarisation à 1 V de  $V_{S12}$  pendant 60 s et 300 s. Les résultats des mesures sont présentés dans les **FIGURE III.35**, **FIGURE III.36** et **FIGURE III.37**. Ces figures montrent qu'il n'y a aucune variation des courbes, ce qui signifie que le transistor est stable, sa tension de seuil ne varie pas et reste à une valeur typique des transistors de mêmes dimensions et options technologiques.

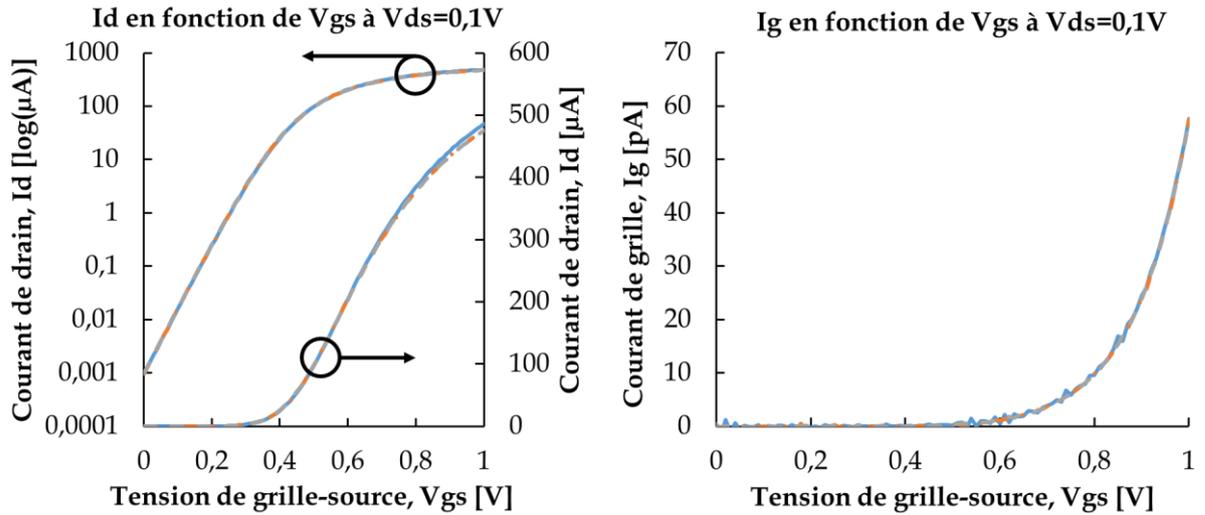


FIGURE III.35 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 0,1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits.

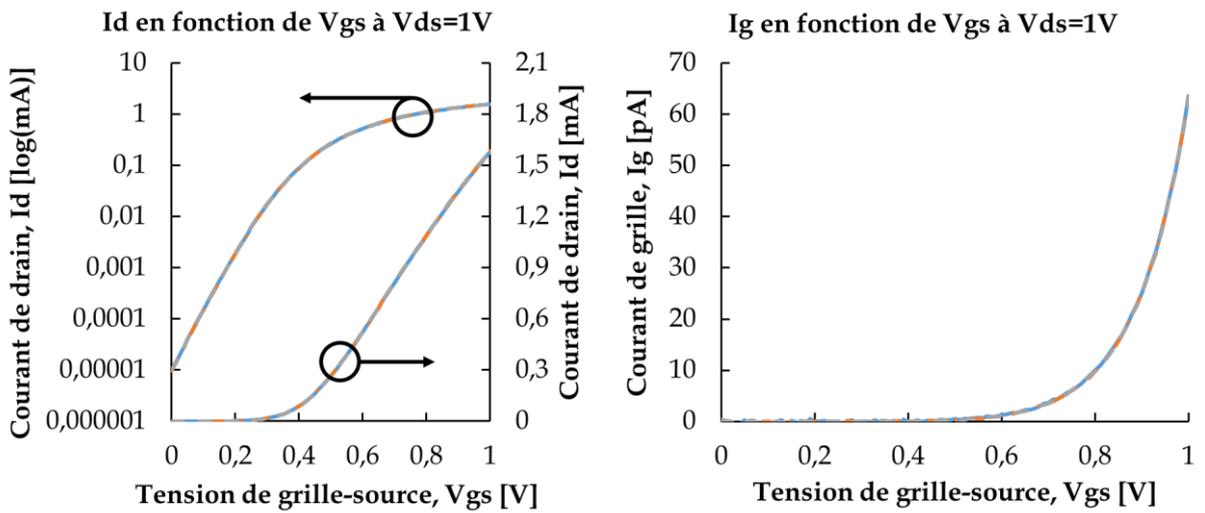


FIGURE III.36 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits.

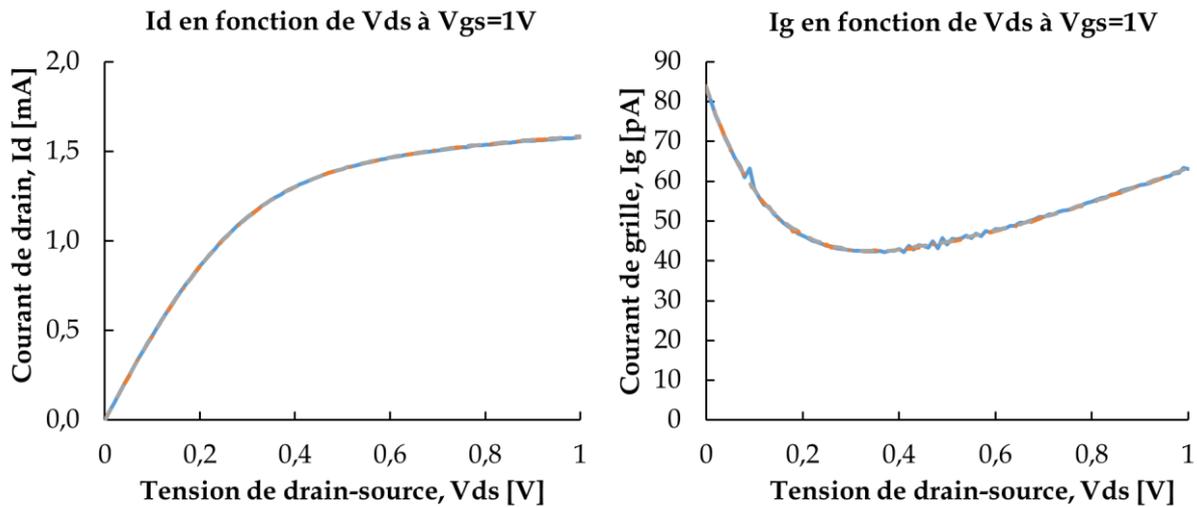


FIGURE III.37 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de drain-source lorsque la tension de grille-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits.

### III.3.4 Transistor à tension de seuil haute

Deux cycles de recuits (polarisation à 1 V de  $V_{S12}$  pendant respectivement 60 s et 300 s) ont été effectués sur un transistor à double contacts de source avec une tension de seuil initiale haute. Les résultats des mesures (avant et après chaque recuit) sont affichés dans les FIGURE III.38, FIGURE III.39 et FIGURE III.40. Sur les deux graphes montrant le courant de drain en fonction de la tension de grille-source, nous observons un décalage des courbes vers la gauche et vers le haut. Ceci se traduit par la diminution de la tension de seuil et signifie que les courants  $I_{on}$  ( $I_d$  lorsque  $V_{gs} = 1$  V) et  $I_{off}$  ( $I_d$  quand  $V_{gs} = 0$  V) augmentent après chaque recuit.  $I_g$  en fonction de  $V_{gs}$  n'évolue que peu, voire pas du tout après chaque cycle. Pour  $I_d$  et  $I_g$  en fonction de  $V_{ds}$ , un décalage vers le haut des courbes après chaque cycle est aussi observé.

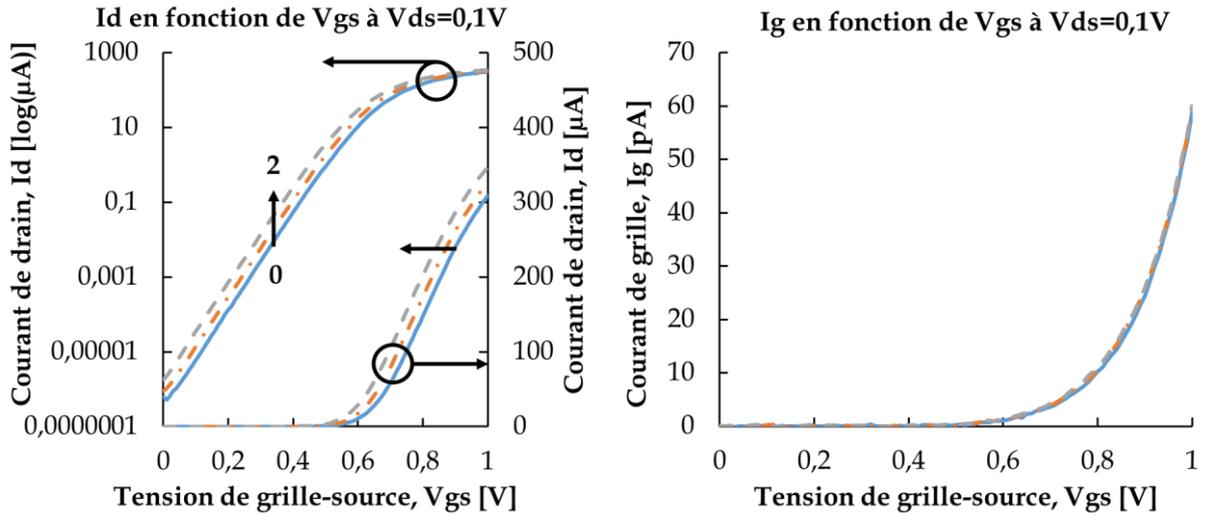


FIGURE III.38 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 0,1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits.

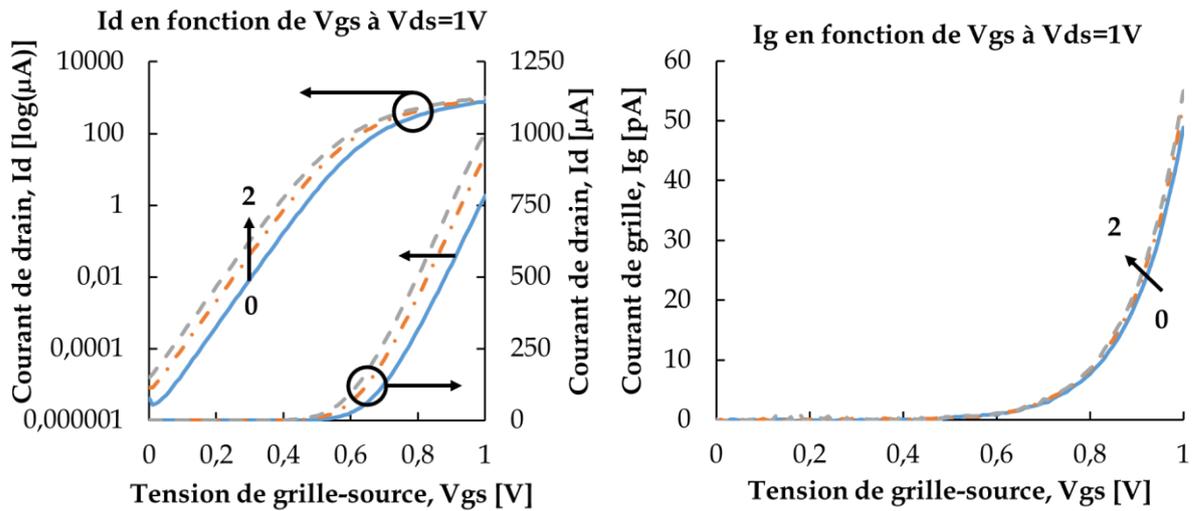


FIGURE III.39 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de grille-source lorsque la tension de drain-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits.

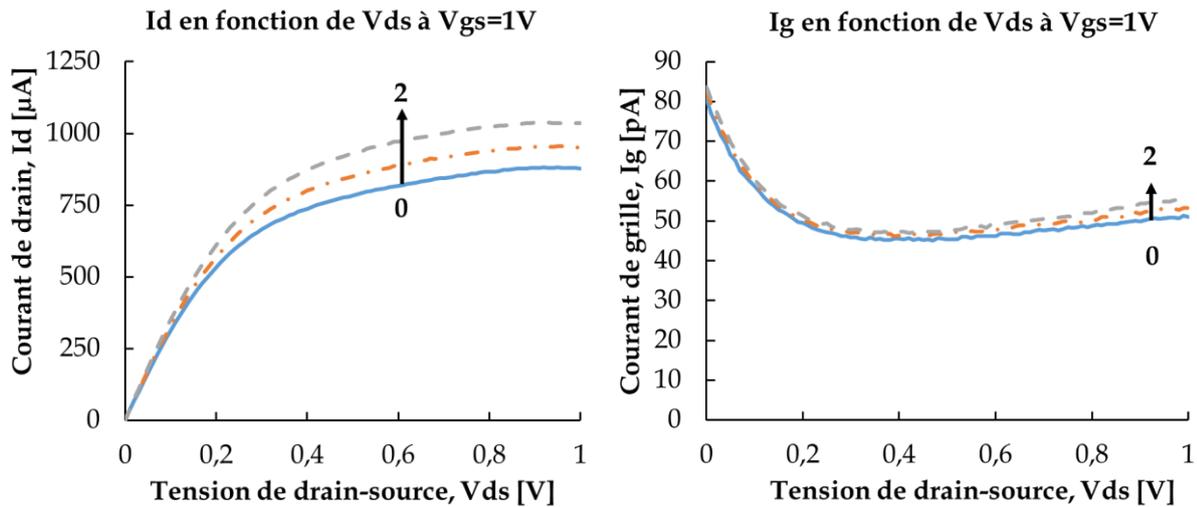


FIGURE III.40 - Graphes montrant le courant de drain ( $I_d$ ) et de grille ( $I_g$ ) en fonction de la tension de drain-source lorsque la tension de grille-source est de 1 V. Les traits pleins (bleu), discontinus avec tirets-points (orange) et tirets (gris), correspondent aux mesures faites, respectivement, après 0, 1 et 2 cycles de recuits.

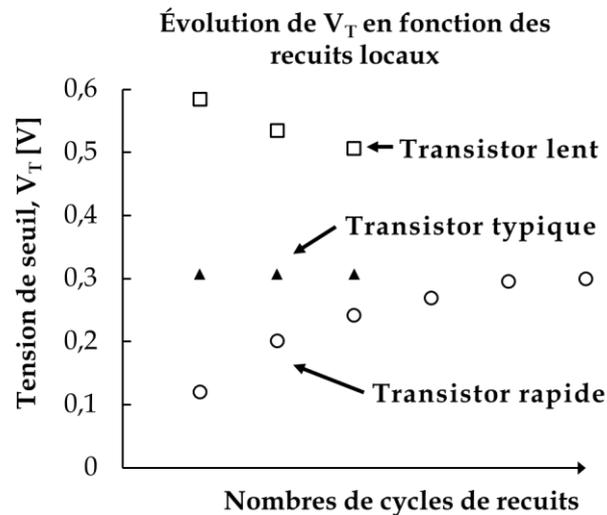
### III.3.5 Conclusion

En polarisant les résistances  $R_{S12}$  de nos structures, nous sommes capables de chauffer par effet Joule et donc de faire des recuits locaux. D'après les mesures montrées précédemment, nous avons observé, d'une part, que les transistors à doubles contacts de source se comportent comme des MOSFET lorsque les deux contacts de source sont connectés ensemble et d'autre part, que les transistors lent et rapide tendent à devenir des transistors avec tension de seuil typique après plusieurs cycles de recuits. Tandis que le transistor qui a initialement une  $V_T$  typique reste inchangé même après plusieurs cycles de chauffe. La FIGURE III.41 montre l'évolution de la tension de seuil des trois transistors étudiés précédemment. La tension de seuil a été extraite des courbes de  $I_d$  en fonction de  $V_{gs}$  lorsque  $V_{ds}$  est égale à 1 V et a été définie comme étant la tension de grille-source lorsque le courant de drain est égal à  $20 \mu A$  (méthode du courant constant [Cristoloveanu95, p.246]). Cette valeur de courant de drain est définie par l'équation (III-4) avec  $icc = 300 \text{ nA}$ ,  $W = 2 \mu m$  et  $L = 30 \text{ nm}$ .

$$I_d(V_T) = icc \times \frac{W}{L} \quad (\text{III-4})$$

Par ailleurs, les mesures du courant de grille montrent que les recuits n'ont que peu, voire pas du tout, d'influence sur ce courant et donc que la grille n'est pas dégradée lors des recuits. Ce type de structure, à savoir les transistors à double contacts de source, pourrait être utile pour « soigner » les transistors qui ont été endommagés. Plus particulièrement, il serait intéressant de voir si ces recuits locaux

permettent de retrouver une  $V_T$  typique après une irradiation des structures, comme dans le cas des applications spatiales.



**FIGURE III.41** - Graphe montrant l'évolution de la tension de seuil ( $V_T$ ), extraite des mesures pour  $I_d = 20 \mu A$  et  $V_{ds} = 1 V$ , en fonction du temps ou du nombre de cycles de recuits. Les carrés, triangles et cercles correspondent, respectivement, aux  $V_T$  mesurées de transistor lent, typique et rapide.

## III.4 Plot mémoire

### III.4.1 Introduction

En électronique, la mémoire correspond à la capacité de stocker de l'information, en particulier sous deux états (haut et bas). Il existe plusieurs familles de mémoire, en particulier les mémoires mortes (*Read Only Memory*, ROM) qui sont non volatiles, c'est-à-dire qui ne s'effacent pas lors de la mise hors tension, et sont accessibles en lecture seulement. La programmation s'effectue de façon définitive lors de la fabrication des puces. Un sous-genre de ROM est la mémoire morte programmable (PROM, *Programmable Read-Only Memory* ou OTP, *One Time Programmable*), qui ne peut se programmer qu'une seule fois après fabrication.

Les PROMs peuvent être fabriquées suivant deux types de dispositifs électroniques, les fusibles (*fuse*) et anti-fusibles (*anti-fuse*). Un fusible est une ligne faiblement résistive qui devient fortement résistive après programmation, autrement dit, le fusible passe d'un état « 1 » vers un état « 0 » [Ang07; Chung19; Hoefler06; Kulkarni10; Safran07]. Par exemple un fil de métal qui fond lorsqu'un courant extrêmement fort (et donc un auto-échauffement extrême) le traverse, la ligne métallique devient discontinue. Un anti-fusible correspond à une ligne fortement résistive qui devient faiblement résistive après programmation, autrement dit, il passe d'un état « 0 » à un état « 1 » [Benoist15; Liu15]. Un exemple d'anti-fusible est une

couche mince d'isolant qui, sous l'effet d'une forte tension, claque, c'est-à-dire un fil conducteur se créé dans le diélectrique. Dans cette section nous allons aborder le cas de fusibles intégrés dans un transistor.

L'intégration d'un fusible dans la source d'un transistor se fait tout simplement en séparant le contact de source en deux (voir FIGURE III.42), la résistance  $R_{S12}$  créée entre les deux nouveaux contacts de source faisant office de fusible. Pour la suite de cette étude, nous allons nous concentrer sur les petites structures ( $W = 234 \text{ nm}$  et  $W_{12} = 94 \text{ nm}$ ) avec grille standard (SG,  $L = 30 \text{ nm}$ ) et grille étendue (EG,  $L = 150 \text{ nm}$ ) étudiées dans la section III.2.3 (voir FIGURE III.43).

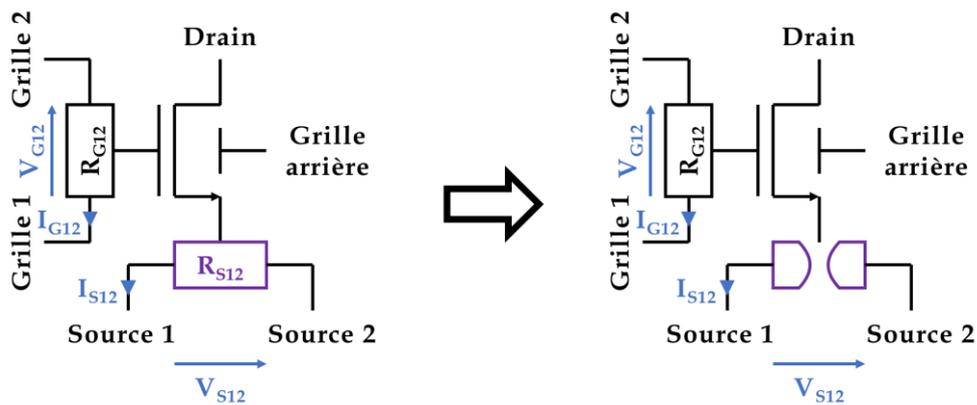


FIGURE III.42 - Vue symbole électrique d'un transistor à double contacts de source et de grille. À droite, la structure sans dommage et à gauche, la structure avec une résistance  $R_{S12}$  endommagée après avoir appliqué une tension  $V_{S12}$  forte ou avoir fait passer un courant  $I_{S12}$  fort.

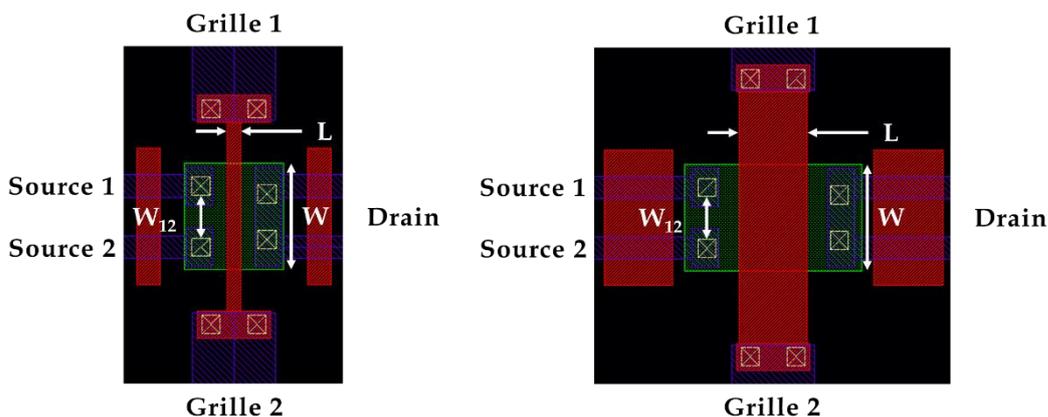
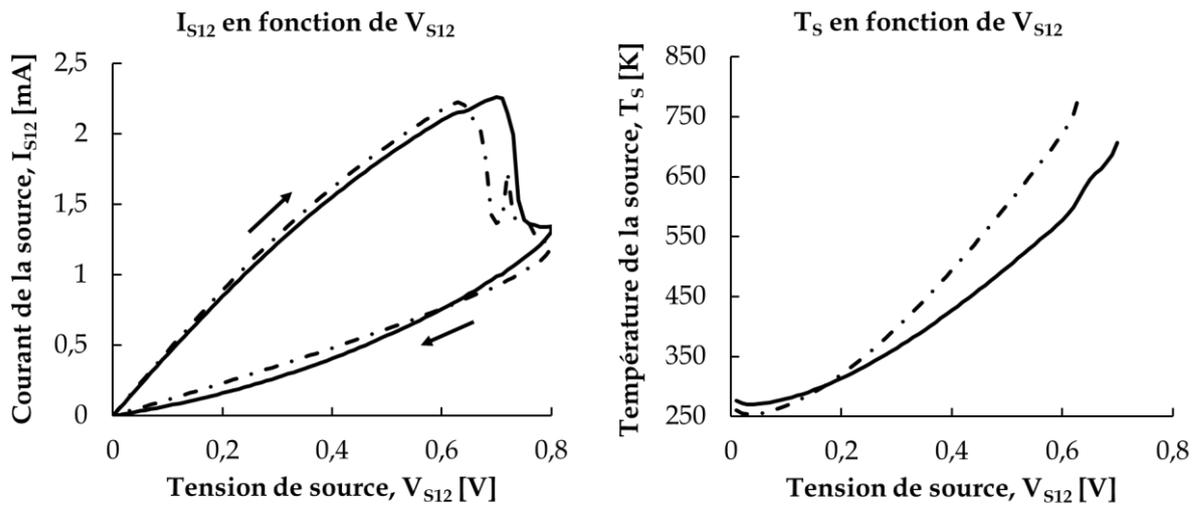


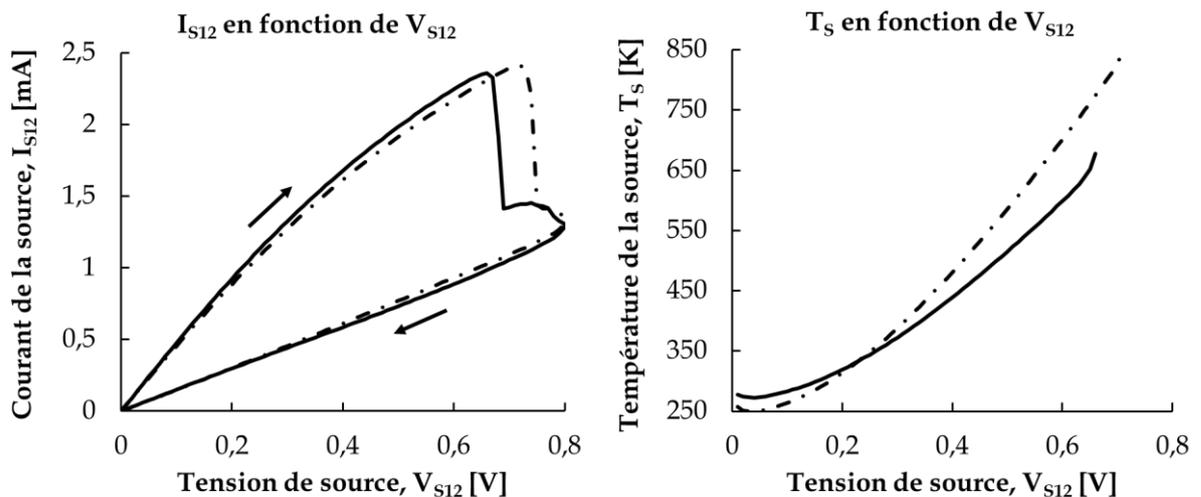
FIGURE III.43 - Dessin de masque de la structure SG (à gauche,  $L = 30 \text{ nm}$ ) et EG (à droite,  $L = 150 \text{ nm}$ ) à double contacts de source avec siliciure entre les deux contacts de source.  $W = 234 \text{ nm}$  et  $W_{12} = 94 \text{ nm}$ . En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI.

En faisant passer un fort courant ( $I_{S12}$ ) dans, ou en appliquant une forte tension ( $V_{S12}$ ) sur, la résistance entre les deux contacts de source ( $R_{S12}$ ), nous observons un

changement de variation brutale dans la relation  $V_{S12} = R_{S12} \times I_{S12}$ . En effet, une chute brutale et définitive de  $I_{S12}$  est observée lorsque  $V_{S12}$  dépasse une certaine valeur (voir **FIGURE III.44** et **FIGURE III.45**). Les mesures ont été faites sur deux puces différentes (P1 et P2). Les températures ont été calculées selon la méthode développée dans la section III.2 et seuls les contacts de source ont été polarisés. La tension de rupture du courant et la température à cette tension sont, pour les dispositifs SG, de 0,7 V et 0,63 V (respectivement 706 K et 783 K) et, pour les structures EG, de 0,66 V et 0,72 V (respectivement 706 K et 783 K).



**FIGURE III.44** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $T_S$  de la structure SG en fonction de la tension de source  $V_{S12}$  et pour deux puces différentes (P1, traits pleins et P2, traits discontinus). Les courbes de températures s'arrêtent au moment de la rupture du courant (0,7 V et 0,63 V pour respectivement P1 et P2).



**FIGURE III.45** - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $T_S$  de la structure EG en fonction de la tension de source  $V_{S12}$  et pour deux puces différentes (P1, traits pleins et P2, traits discontinus). Les courbes de températures s'arrêtent au moment de la rupture du courant (0,66 V et 0,72 V pour respectivement P1 et P2).

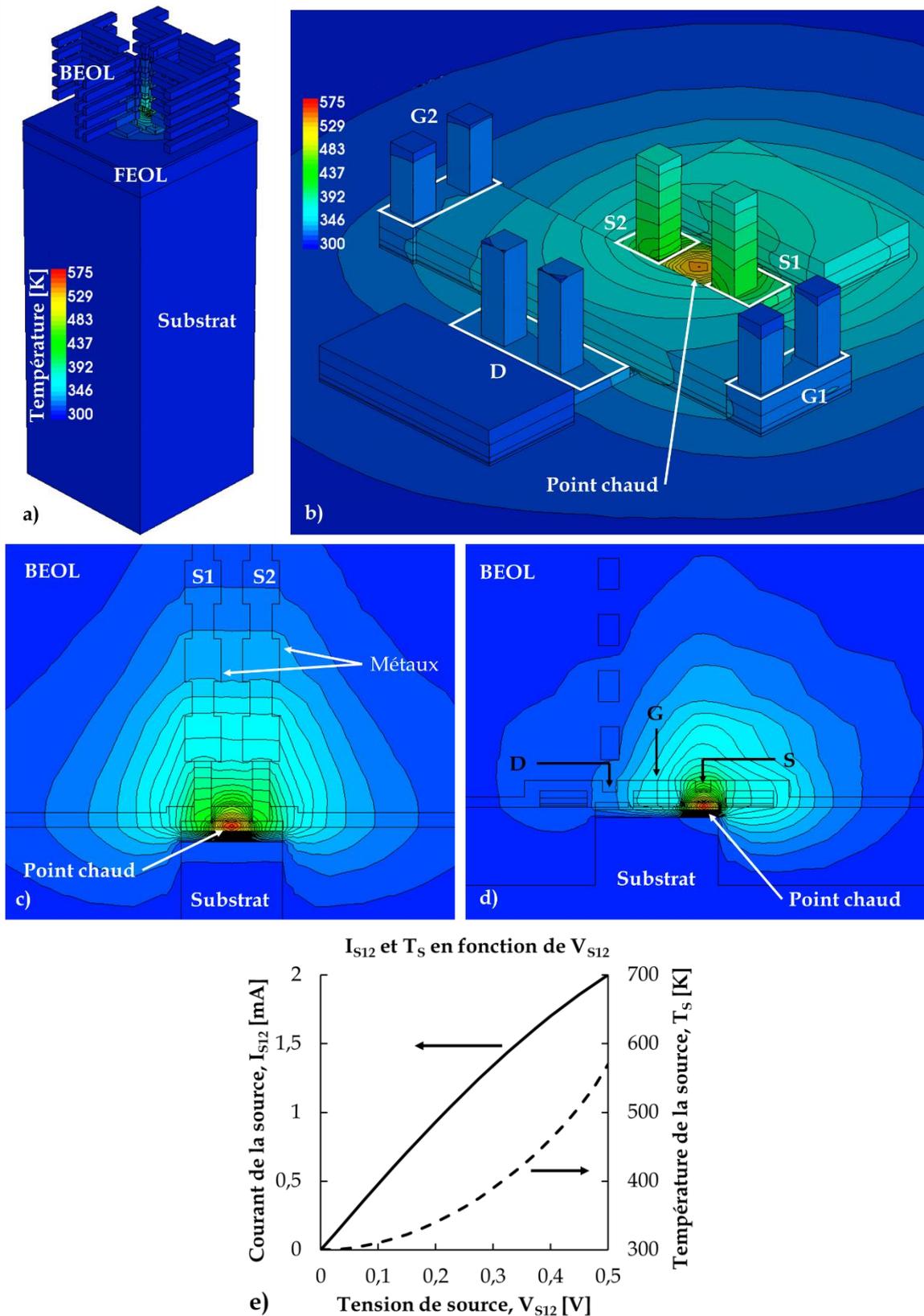


FIGURE III.46 - Vues issues de la simulation électrothermique 3D TCAD de la structure EG avec une température ambiante de 300 K et lorsque  $V_{S12}$  est égale à 0,5 V : a) vue 3D avec le diélectrique du BEOL transparent ; b) vue 3D avec le diélectrique et les lignes de métaux du BEOL transparent ; c) vue en coupe suivant S1-S2 ; d) vue en coupe suivant S-D et e)  $I_{S12}$  et  $T_s$  en fonction de  $V_{S12}$ .

En addition, des simulations TCAD ont été effectuées, notamment sur la structure EG (voir **FIGURE III.46**). Nous observons que le point chaud (570 K pour  $V_{S12} = 0,5$  V) est bien situé au milieu de la source et que les contacts métalliques sont chauffés à seulement  $\sim 480$  K pour  $V_{S12}$  égale à 0,5 V. La concentration de la chaleur dans la source indique que la programmation n'aura que peu d'impact sur les fusibles voisins.

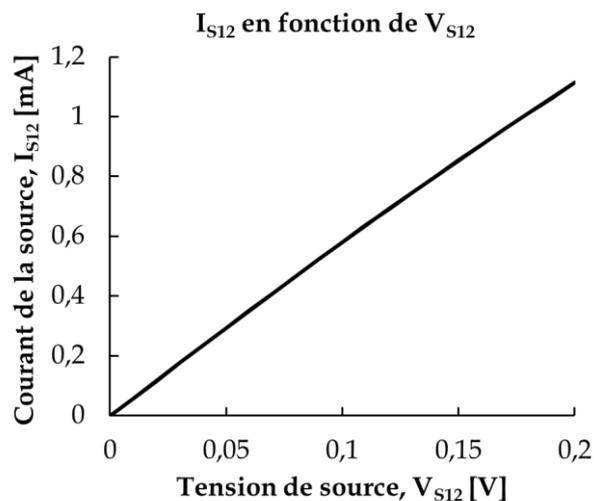
Malgré le fait que les températures mesurées soient élevées, ce n'est pas suffisant pour faire fondre les matériaux présents dans nos dispositifs électroniques, cela ne peut donc pas être à l'origine de la chute du courant.

### III.4.2 Fusible intégré dans la source

Dans cette section, nous allons étudier le fonctionnement, en tant que fusible, de la résistance  $R_{S12}$ . Nous allons nous concentrer sur la structure EG, mais les mêmes observations et conclusions peuvent être faites pour la structure SG.

#### III.4.2.1 Résultat sans programmation

Les mesures de  $I_{S12}$  à faible tension  $V_{S12}$  (jusqu'à 200 mV) montrent que la résistance  $R_{S12}$  est faible de l'ordre de 200 ohms (voir **FIGURE III.47**). L'analyse à partir d'un microscope électronique à balayage (MEB ou SEM) d'une de nos structures non programmées (voir **FIGURE III.48**) montre une répartition uniforme du nickel (Ni) dans le siliciure de la source, du drain et de la grille. Les contacts faits de plot de tungstène (W) entourés de titane (Ti) sont intacts.



**FIGURE III.47** - Graphes montrant la mesure (à 298 K) de  $I_{S12}$  de la structure EG, non programmée, en fonction de la tension de source  $V_{S12}$ . La résistance mesurée est d'environ  $176 \Omega$ .

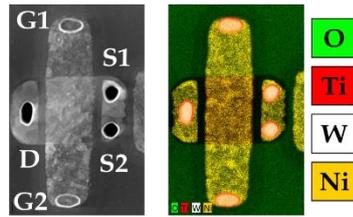


FIGURE III.48 - Vues issues d'un MEB de la structure EG vierge avec (à droite) et sans (à gauche) analyse chimique. La structure et, plus particulièrement, la grille, les zones de sources et drain ainsi que les plots de contacts sont intacts.

### III.4.2.2 Programmation 0,8 V

Précédemment, nous avons observé une première chute de courant lorsque  $V_{S12}$  atteint 0,6-0,7 V. Pour étudier plus en détail l'origine de cette chute, nous avons pris une structure et l'avons programmé à 0,8 V, autrement dit, nous avons appliqué une rampe de tension  $V_{S12}$ , en aller-retour, de 0 V à 0,8 V (voir FIGURE III.49). La programmation est effectuée lorsqu'une chute de  $I_{S12}$  en fonction de la tension de source est observée. La mesure du courant de source nous permet de calculer des résistances  $R_{S12}$  (pentes à l'origine pour  $V_{S12} = [0 - 200 \text{ mV}]$ ) d'environ 200  $\Omega$  et 700  $\Omega$ , respectivement avant et après la programmation. Cette structure programmée est ensuite analysée à travers un MEB (voir FIGURE III.50). Une fissure entre les contacts S1 et S2 est observée, les analyses chimiques montrent, en particulier, une rupture au niveau du Ni dans la source tandis que le film de silicium (Si) reste uniforme dans le transistor. Par ailleurs, les contacts sont toujours intacts, les plots de tungstène entourés de titane sont identiques à ceux observés pour une structure non programmée. Cette analyse montre que c'est la couche de siliciure (contenant le nickel) de la source qui fait office de fusible.

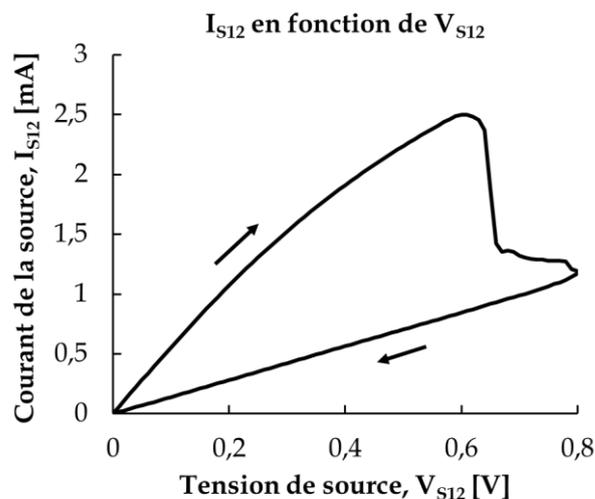
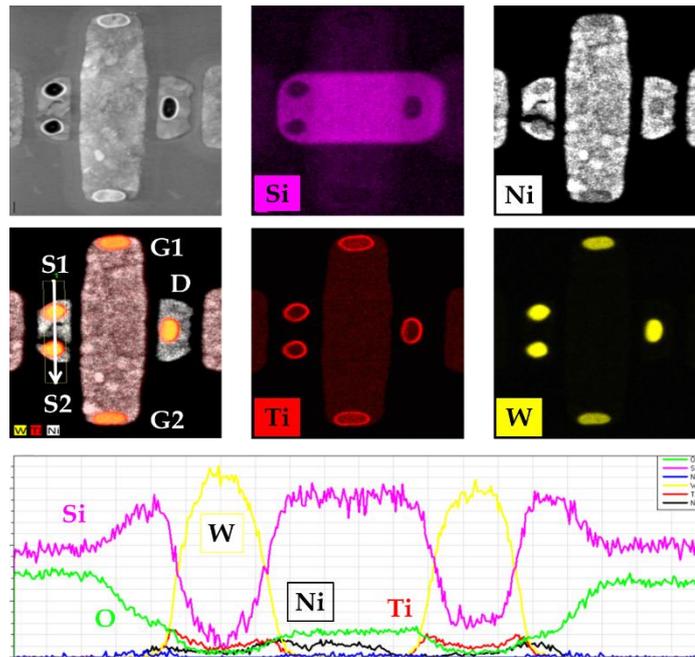


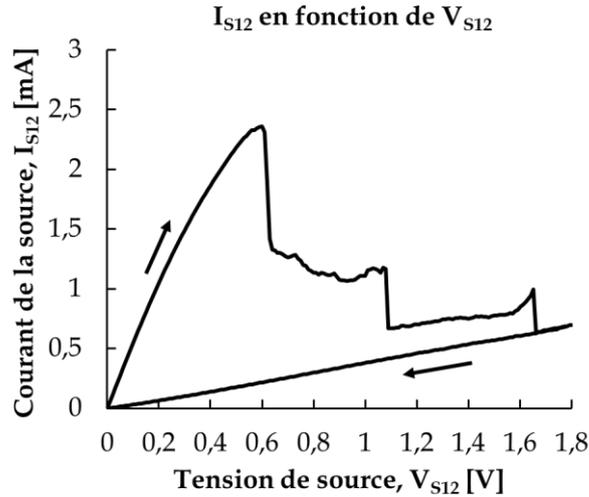
FIGURE III.49 - Graphe montrant la mesure (à 298 K) de  $I_{S12}$  de la structure EG, lors d'une programmation à 0,8 V, en fonction de la tension de source  $V_{S12}$ . Les résistances mesurées avant et après programmation sont, respectivement, de 183  $\Omega$  et 710  $\Omega$ .



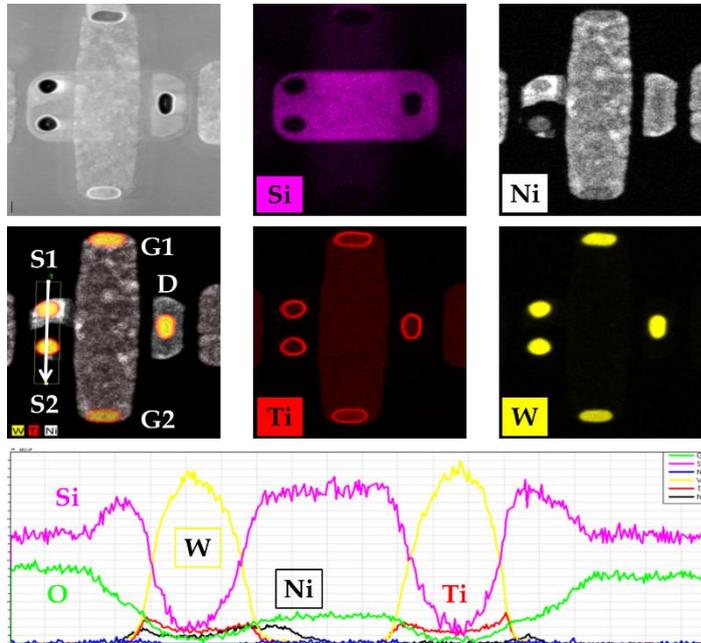
**FIGURE III.50** - Vues issus d'un microscope électronique à balayage (MEB) de la structure EG vierge avec et sans (en haut à gauche) analyse chimique, avec le profil chimique le long de la ligne S1-S2 (en bas). La grille, le drain ainsi que les plots de contacts sont intacts. Une fracture est observée au niveau du nickel mais le silicium est intact.

### III.4.2.3 Programmation 1,8 V

La limite de tension utilisable pour les structures EG étant de 1,8 V, nous avons voulu étudier le comportement de notre fusible lorsque nous le programmions à 1,8 V. Nous avons donc appliqué une rampe de tension  $V_{S12}$ , en aller-retour, de 0 V à 1,8 V (voir **FIGURE III.51**). Nous observons toujours une première chute du courant aux alentours de 0,7 V puis deux autres chutes à environ 1,1 V et 1,7 V. La mesure du courant de source nous permet de calculer des résistances  $R_{S12}$  (pentes à l'origine pour  $V_{S12} = [0 - 200 \text{ mV}]$ ) d'environ 200  $\Omega$  et 3 k $\Omega$ , respectivement avant et après la programmation (une fois que  $V_{S12}$  a atteint 1,8 V). Cette structure programmée est, elle aussi, analysée à travers un MEB (voir **FIGURE III.52**). Nous y observons une fissure, plus importante que lors de la programmation à 0,8 V, entre les contacts S1 et S2. Comme précédemment, les analyses chimiques montrent une rupture au niveau du Ni dans la source tandis que le film de silicium (Si) reste uniforme dans le transistor et que les contacts sont toujours intacts, les plots de tungstène entourés de titane sont identiques à ceux observés pour une structure non programmée. Les images et le profil chimique le long de S1-S2 montrent une migration du nickel de S2 vers S1.



**FIGURE III.51** - Graphe montrant la mesure (à 298 K) de  $I_{S12}$  de la structure EG, lors d’une programmation à 1,8 V, en fonction de la tension de source  $V_{S12}$ . Les résistances mesurées avant et après programmation sont, respectivement, d’environ 187  $\Omega$  et 3153  $\Omega$ .



**FIGURE III.52** - Vues issus d’un microscope électronique à balayage (MEB) de la structure EG vierge avec et sans (en haut à gauche) analyse chimique, avec le profil chimique le long de la ligne S1-S2 (en bas). La grille, le drain ainsi que les plots de contacts sont intacts. Une large fracture est observée au niveau du nickel mais le silicium est intact.

#### III.4.2.4 Conclusion

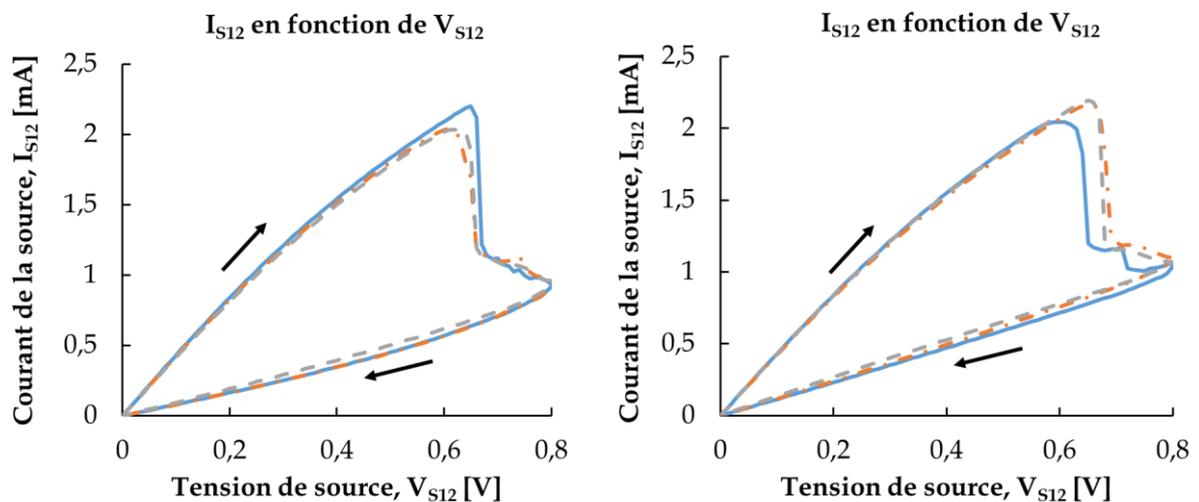
Les études, à partir de MEB, de structures vierges, programmées à 0,8 V et à 1,8 V montrent que les chutes de courant correspondent à la migration du nickel présent dans la couche de siliciure d’un côté de la source vers l’autre. Ce phénomène d’électromigration est aidé par le fort auto-échauffement de la source (supérieur à 700 K). Des chutes de courants sont observées au-delà de 0,8 V, ce qui indique une possibilité de faire plusieurs programmations (à des résistances de plus en plus

grandes). Les fusibles intégrés dans les sources sont donc de bons candidats pour faire des PROMs.

### III.4.3 Robustesse thermique

Dans cette section, nous nous intéressons à la robustesse thermique des fusibles intégrés dans la source, en particulier, s'il est toujours possible d'obtenir une programmation à haute température (398 K, voir **FIGURE III.53**) et si le changement de résistance est permanent, même à température élevée (voir **FIGURE III.54**).

Les résultats de la programmation à 0,8 V et à 398 K (125 °C) de structures SG et EG sur trois puces différentes montrent des chutes de courant (donc un changement de résistance) aux alentours de 0,7 V ainsi que des résistances avant et après programmation d'environ, respectivement, 240 Ω et 1 kΩ. Les valeurs observées restent proches de celles observées précédemment à 298 K.



**FIGURE III.53** - Graphes montrant les mesures (à 398 K) de  $I_{S12}$  des structures SG et EG (respectivement, à gauche et à droite) en fonction de la tension de source  $V_{S12}$  et pour trois puces différentes (traits pleins bleu, traits discontinus tirets-point orange et tirets gris).

Après une programmation à 0,8 V et à 303 K, nous vérifions si la valeur de la résistance après programmation ( $R_P$ ) est stable à différentes températures (303, 323, 348, 373 et 398 K), ce qui est le cas. En effet, la résistance après programmation varie peu (de 730 à 745 Ω) en fonction de la température.

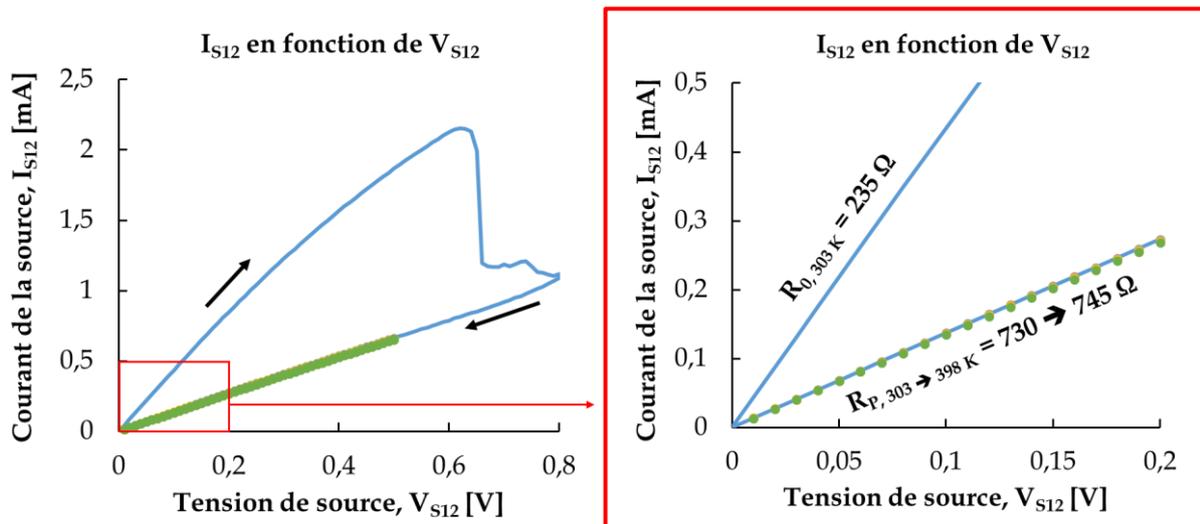


FIGURE III.54 - Graphes montrant les mesures de  $I_{S12}$  de la structure EG en fonction de la tension de source  $V_{S12}$ . La programmation a été faite à 303 K (trait pleins bleu) et des lectures sont effectuées à 323, 348, 373 et 398 K (points, respectivement, orange, gris, jaune et vert).

### III.4.4 Programmation temporelle

Nous cherchons ensuite à définir à quelle vitesse nos fusibles peuvent être programmés (voir FIGURE III.55 et FIGURE III.56). Pour ce faire, nous avons choisi d'appliquer sur la tension de source ( $V_{S12}$ ) un créneau de 60 ns (20 ns de montée, maintien et descente) de 0 V à 1 V sur une structure SG et à 1,8 V pour une structure EG. Ce créneau de 60 ns est le minimum que nous pouvions appliquer avec les instruments de mesures disponibles. Les lectures, c'est-à-dire la mesure de la résistance  $R_{S12}$ , montrent que  $R_{S12}$  passe de 224  $\Omega$  et 215  $\Omega$  à, respectivement, 695  $\Omega$  et 584  $\Omega$  pour les structures SG et EG. Nous avons ainsi réussi une programmation en moins de 100 ns, inférieur au temps de programmation dans [Hoeffler06] et [Kulkarni10] qui est de 1  $\mu$ s.

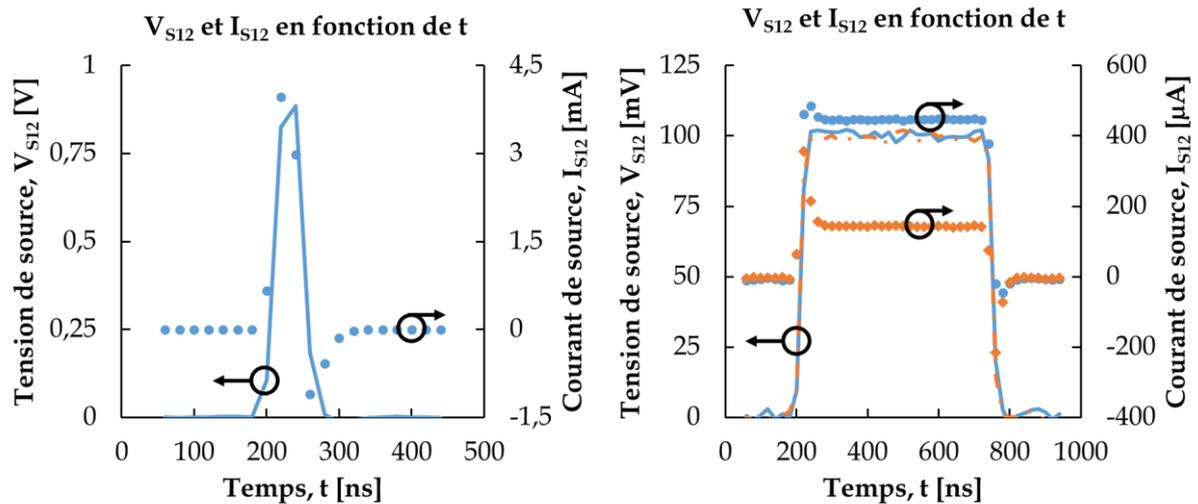


FIGURE III.55 - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $V_{S12}$  de la structure SG en fonction du temps. À gauche, un créneau de programmation de 60 ns (20 ns de montée, maintien et descente) de 0 V à 1 V. À droite, des créneaux de lecture de 560 ns (20 ns de montée et descente, 520 ns de maintien) de 0 V à 0,1 V avant (trait plein et points bleus) et après (trait discontinu et losange orange) programmation.

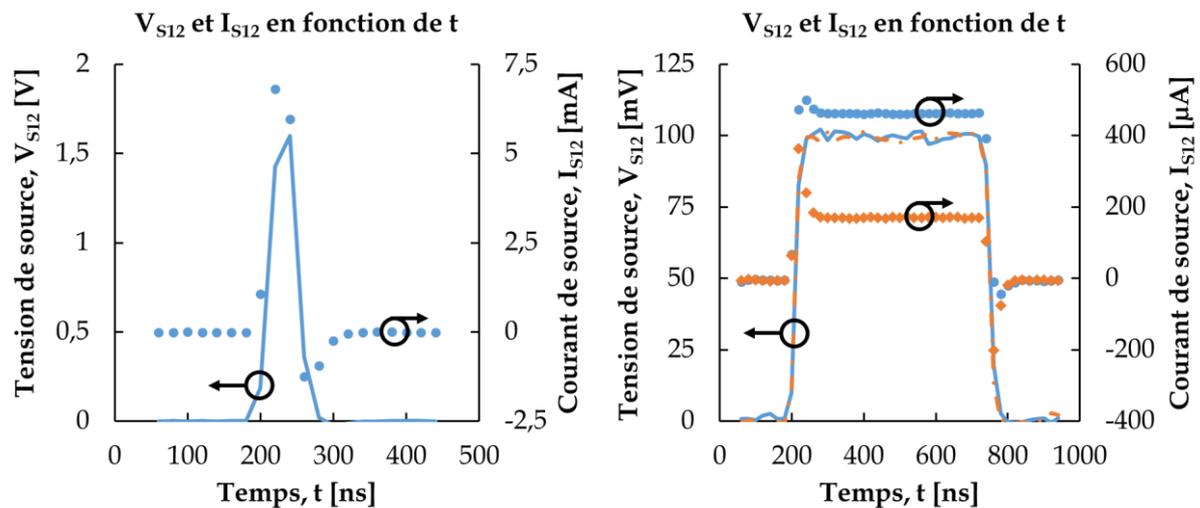


FIGURE III.56 - Graphes montrant les mesures (à 298 K) de  $I_{S12}$  et  $V_{S12}$  de la structure EG en fonction du temps. À gauche, un créneau de programmation de 60 ns (20 ns de montée, maintien et descente) de 0 V à 1,8 V. À droite, des créneaux de lecture de 560 ns (20 ns de montée et descente, 520 ns de maintien) de 0 V à 0,1 V avant (trait plein et points bleus) et après (trait discontinu et losange orange) programmation.

### III.4.5 Fusible intégré dans la source et le drain

Afin d'être le plus compact possible (maximisation de la densité de fusible par unité de surface), nous avons intégré des fusibles dans les sources et dans les drains de nos structures (2 fusibles par transistors), ce faisant, nous obtenons des transistors à double contacts de source et drain (voir FIGURE III.57). L'idée étant de séparer les deux fusibles par une grille, il nous reste à vérifier que la programmation côté source n'impacte pas le fusible inséré dans le drain et vice-versa.

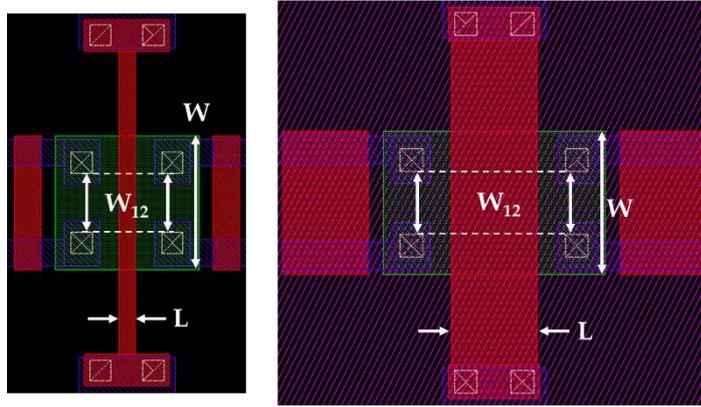


FIGURE III.57 - Dessin de masque de la structure SG (à gauche,  $L = 30$  nm) et EG (à droite,  $L = 150$  nm) à double contacts de source et drain.  $W = 254$  nm et  $W_{12} = 112$  nm. En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI.

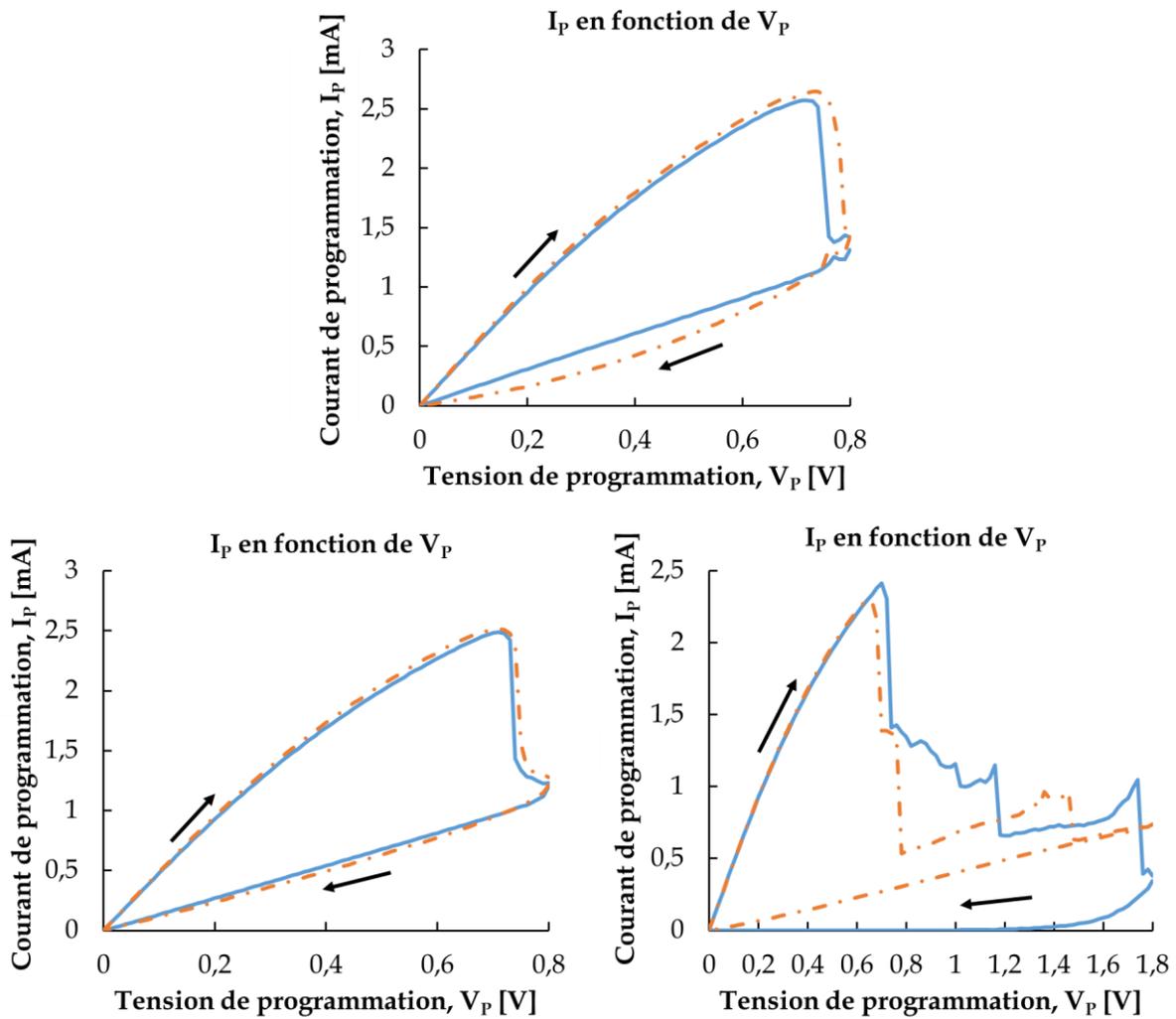


FIGURE III.58 - Graphes montrant les mesures (à 298 K) de  $I_P$  des structures SG (haut) et EG (bas) en fonction de  $V_P$ . Les traits pleins bleus correspondent aux programmations côté source et les traits discontinus orange aux programmations côté drain.

Pour ce faire, nous allons programmer côté source puis côté drain en appliquant une rampe de tension de 0 V à 0,8 V (SG) ou 1,8 V (EG) sur  $V_{S12}$  puis  $V_{D12}$ . Pendant que  $V_{S12}$  est polarisée,  $V_{D12}$  est mise à la masse et inversement (voir **FIGURE III.58**). Pour les structures SG et EG, une première chute du courant de programmation ( $I_P = I_{S12}$  ou  $I_{D12}$ ) est observée pour des tensions de programmation ( $V_P = V_{S12}$  ou  $V_{D12}$ ) d'environ 0,7-0,8 V des deux côtés de la grille, la programmation fonctionne donc aussi bien côté drain que source. Ainsi, une grille de longueur (L) de 30 nm est suffisante pour séparer deux fusibles pour des programmations à 0,8 V.

### III.4.6 Conclusion

Les structures avec des résistances intégrées dans la source (ou le drain ou la grille) de petites tailles (distance d'environ 100 nm entre les deux contacts de source) peuvent faire office de fusible pour des applications de mémoires PROM. En effet, en appliquant ou en injectant, respectivement, une tension  $V_{S12}$  élevée (supérieure à 0,8 V) ou un courant  $I_{S12}$  fort (supérieur à 2.5 mA), nous avons observé une dégradation de la résistance  $R_{S12}$  due à un phénomène d'électromigration. Les images issues de MEB et les analyses chimiques ont montré une migration du nickel d'un côté de la source vers l'autre.

De plus, ces fusibles sont robustes thermiquement, autrement dit, la programmation reste possible à 398 K et la résistance dégradée ne change plus en fonction de la température. Nous avons également montré que nous pouvons programmer avec des créneaux de tension de 60 ns, ce qui nous permet d'avoir une écriture rapide de nos PROMs. Au-delà de 1 V, nous avons observé plusieurs nouvelles chutes de courant, cependant, les tensions auxquelles ces chutes apparaissent, varient grandement pour chaque structure que nous avons mesurée. Ainsi nous ne pouvons pas faire de multiples programmations sur un seul fusible. Enfin, le fait de pouvoir programmer de chaque côté d'une grille sans impact sur l'un des deux fusibles nous permet de créer des rails de fusibles compacts tels que proposés dans la **FIGURE III.59**.

À noter que les transistors à double contacts de source restent fonctionnels (il y a toujours un control du courant  $I_{ds}$  à travers le potentiel de grille  $V_g$ ) mais parfois dégradés mêmes après programmation (les mesures n'ont pas été montrées dans ce manuscrit).

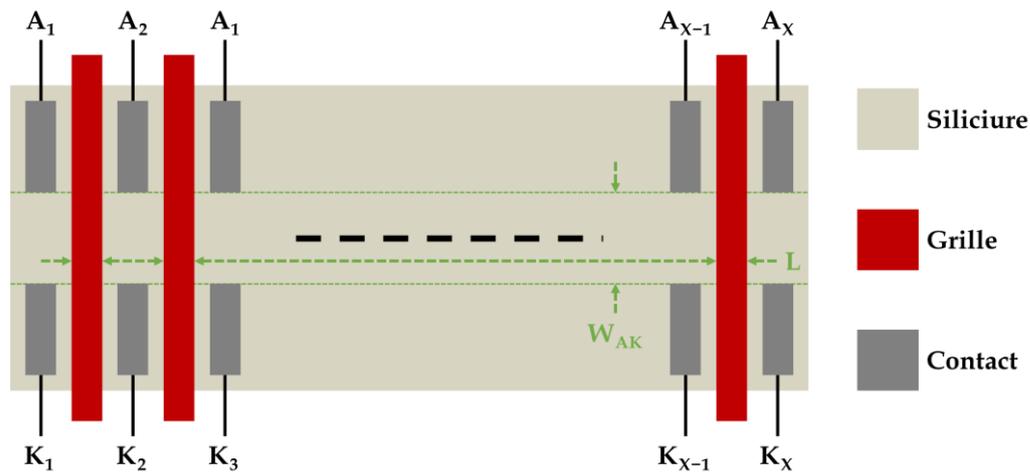


FIGURE III.59 - Dessin de masque simplifié d'un rail de X fusibles séparés par des grilles. La longueur,  $L$ , peut être aussi fine que 30 nm (150 nm) pour les structures SG (EG), et  $W_{AK}$  peut être de l'ordre de 100 nm.

## III.5 Autorégulation en température

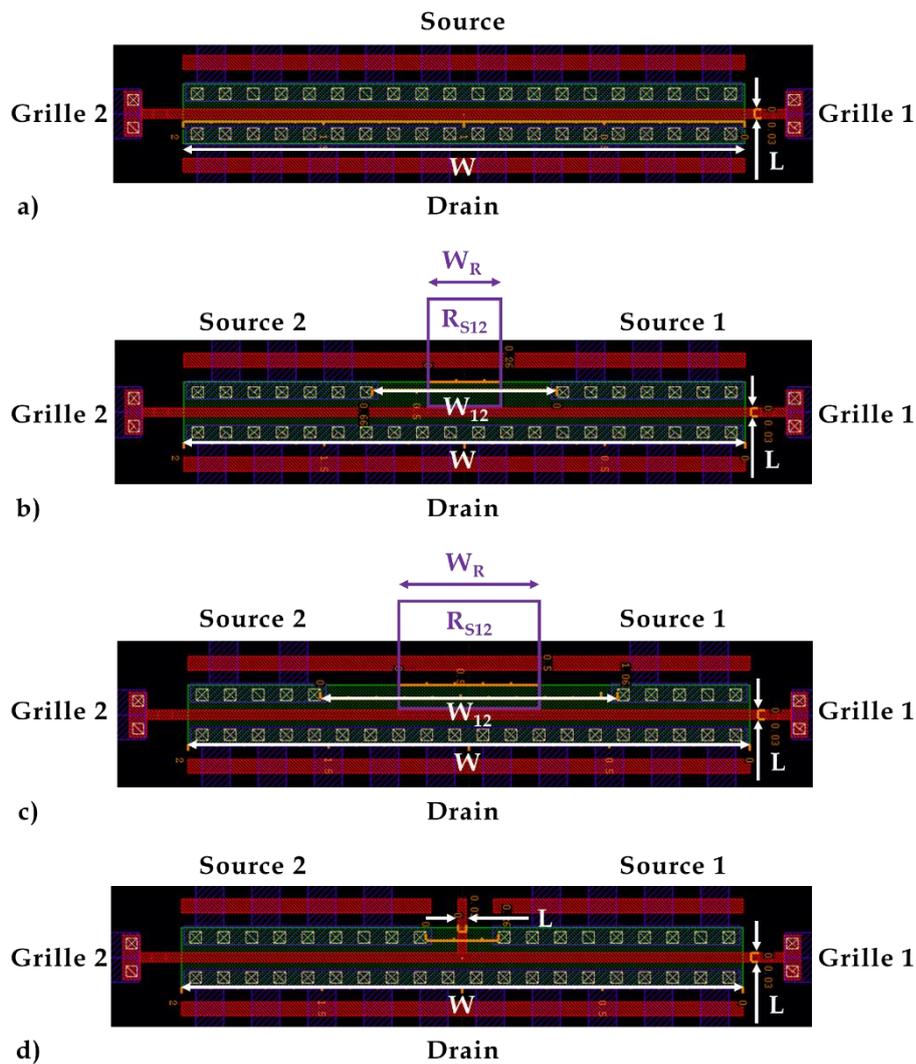
### III.5.1 Introduction

Une dernière façon d'utiliser les transistors à double contacts de source est de ne pas polariser l'un des deux contacts de source, ce faisant, le potentiel de ce contact ne dépendra que de la résistance  $R_{S12}$  (ainsi que de la température du fait de la dépendance en température de la résistance) et des autres potentiels appliqués sur la structure. Plus particulièrement, nous nous intéressons, dans cette partie, au comportement électrique vis-à-vis de la température d'une telle structure comparé à un transistor standard, notamment au niveau des courants  $I_{off}$  (courant de drain lorsque  $V_{ds} = 1$  V et  $V_{gs} = 0$  V),  $I_{on}$  (courant de drain lorsque  $V_{gs} = V_{ds} = 1$  V) et  $I_{gon}$  (courant de grille lorsque  $V_{gs} = V_{ds} = 1$  V).

Pour cette étude, le contact non polarisé est la source 2, cependant, afin de connaître la valeur de  $V_{S2}$ , ce contact a été connecté à une pointe et nous avons imposé un courant nul ( $I_{S2} = 0$  A) en sortie de ce contact. En mettant cette condition sur le courant, nous avons bien le contact qui n'est pas polarisé par nos instruments de mesures tout en pouvant mesurer la valeur du potentiel de la source 2. Par ailleurs, bien que le double contacts de grille soit implémenté sur chacune de nos structures, cette fonctionnalité n'est pas utilisée c'est-à-dire que  $V_{G1} = V_{G2} = V_g$ . Le potentiel de la source 1 ( $V_{S1}$ ) ou la source ( $V_s$ ) est mis à 0 V et le drain est polarisé à 1 V, tandis que le contact de grille arrière n'est pas connecté.

Les structures étudiées sont montrées sur la FIGURE III.60. Elles correspondent à un transistor SG standard (NREF), un transistor à double contacts de source sans siliciure avec petite (NRS1) ou grande (NRS2) résistance  $R_{S12}$ . La dernière structure est

un transistor SG à double contacts de source auquel nous avons inséré un petit transistor dans la source (NTSG), la grille de la structure formant un « T ». Des simulations SPICE ont été effectuées, les schémas électriques équivalents utilisés pour ces simulations sont montrés dans la **FIGURE III.61**. Nous avons représenté nos structures à double contacts de source par deux transistors de largeur de grille  $\frac{W}{2}$  en parallèle auxquels nous avons inséré, entre leurs sources, une résistance (NRS) ou un transistor (NTSG). Les dimensions des structures mesurées et simulées sont récapitulées dans le **TABLEAU III.4**.



**FIGURE III.60** - Dessin de masque de transistors SG : a) standard (NREF) ; b) et c) à double contacts de source sans siliciure (respectivement NRS1 et NRS2) ; d) à double contacts de source avec grille en « T » (NTSG). En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI.

Dimensions SPICE	NREF	NRS	NTSG	Dimensions	NREF	NRS1	NRS2	NTSG
L	30 nm	30 nm	30 nm	L	30 nm	30 nm	30 nm	30 nm
W	2 μm	2×1 μm	2×1 μm	W	2 μm	2 μm	2 μm	2 μm
$R_{S12}/W_{NTSG}$	-	2,5 kΩ	80 nm	$W_R$	-	260 nm	500 nm	-
				$W_{12}$	-	660 nm	1,06 μm	260 nm

TABLEAU III.4 - Tableau récapitulatif des dimensions caractéristiques des structures simulées (à gauche) et mesurées (à droite).

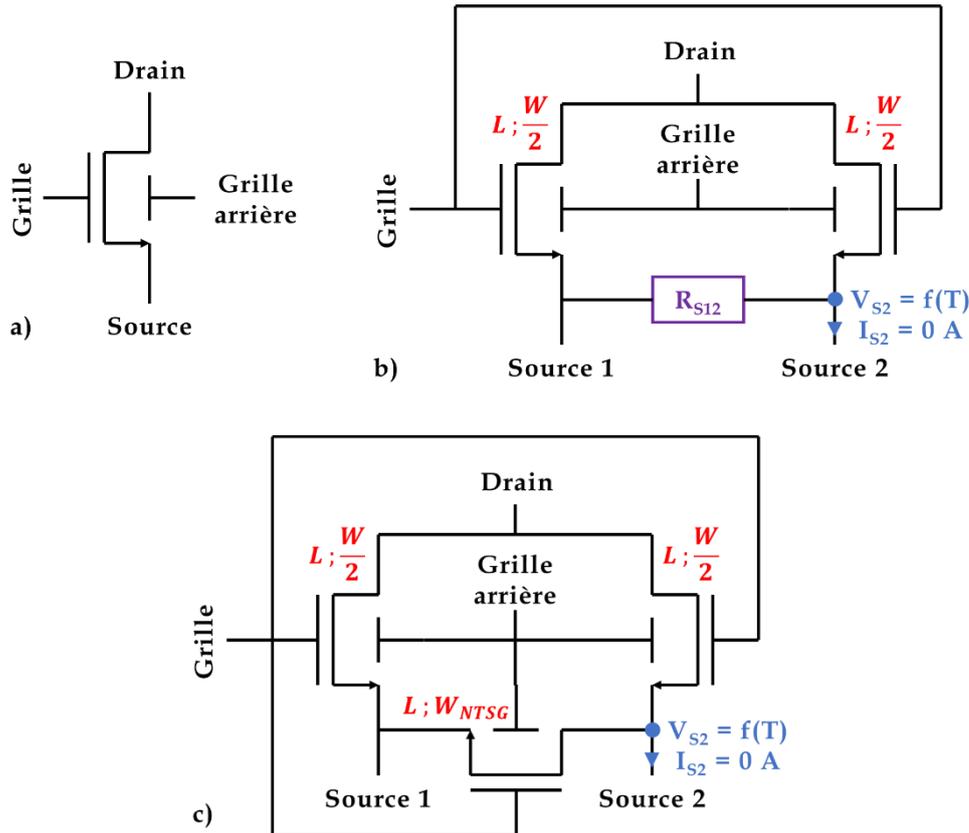


FIGURE III.61 - Schéma électrique (utilisé pour les simulations SPICE) de transistors SG : a) standard (NREF) ; b) à double contacts de source sans siliciure (NRS) ; c) à double contacts de source avec grille en « T » (NTSG).

### III.5.2 Capteur de température

Lorsque nous appliquons une tension de 1 V sur  $V_{gs}$  et que nous faisons varier la température, nous observons une variation linéaire de  $V_{S2}$  en fonction de la température aussi bien pour les mesures que pour les simulations SPICE (voir FIGURE III.62), à l'exception des mesures de la structure NTSG. Les coefficients thermiques pour  $V_{S2}$ , calculés d'après l'équation (III-5), sont montrés dans le TABLEAU III.5. Pour NRS1, NRS2 et NRS, nous observons un comportement linéaire aux alentours de 400-450 mV et avec des pentes d'environ 0,25-0,35 mV.K<sup>-1</sup>. Pour NTSG, la simulation prédit une variation linéaire autour de 500 mV et avec une pente de 0,5 mV.K<sup>-1</sup>. Cependant,

les mesures montrent une variation linéaire élevée à température moyenne ( $\leq 350$  K) et qui sature à environ 0.7 V pour  $T > 375$  K. La pente mesurée à température moyenne est de  $2,15 \text{ mV.K}^{-1}$ . Pour les structures avec résistances intégrées, le capteur de température pourrait être utilisé pour des températures basses ( $< 300$  K), à conditions que la linéarité de  $V_{S2}$  en fonction de la température soit conservée.

$$V_{S2}(T) = \alpha \times T + \beta \quad (\text{III-5})$$

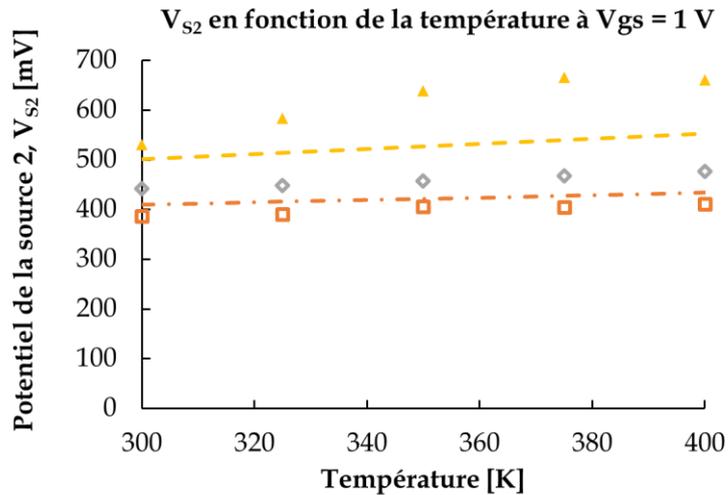


FIGURE III.62 - Graphe montrant l'évolution du potentiel de la source 2 ( $V_{S2}$ ) en fonction de la température et pour  $V_{GS}$  égale à 1 V. Les carrés orange, losanges gris et triangles jaunes correspondent aux mesures (respectivement à NRS1, NRS2 et NTSG) tandis que les traits discontinus avec tirets-points orange et tirets jaunes correspondent aux simulations SPICE (respectivement à NRS et NTSG).

Simulations SPICE	NRS	NTSG	Mesures	NRS1	NRS2	NTSG
$\alpha$ [mV.K <sup>-1</sup> ]	0,241	0,509	$\alpha$ [mV.K <sup>-1</sup> ]	0,255	0,352	2,15
$\beta$ [mV]	338	349	$\beta$ [mV]	309	336	-115

TABLEAU III.5 - Tableau récapitulatif des coefficients thermiques de  $V_{S2}$  en fonction de la température (selon l'équation (III-5)) et à  $V_{GS} = V_{DS} = 1$  V, extrais des simulations SPICE et des mesures, pour NRS1, NRS2 et NTSG (NRS et NTSG pour les simulations SPICE). À noter que pour NTSG, seuls les trois premiers points de mesures ont été pris en compte pour calculer ses coefficients thermiques.

### III.5.3 Autorégulation en température

Si nous regardons le comportement de nos quatre structures (NREF, NRS1, NRS2 et NTSG) lorsque nous faisons varier  $V_{GS}$  de 0 V à 1 V et pour des températures différentes, nous observons des comportements typiques d'un transistor MOSFET (voir FIGURE III.63, FIGURE III.64, FIGURE III.65 et FIGURE III.66). Les valeurs mesurées, pour une température et un potentiel donnés, sont du même ordre de

grandeur et nous observons bien une augmentation du courant de grille et du courant sous le seuil ( $I_{ds}$  lorsque  $V_{gs} < V_T$ ) en fonction de la température.

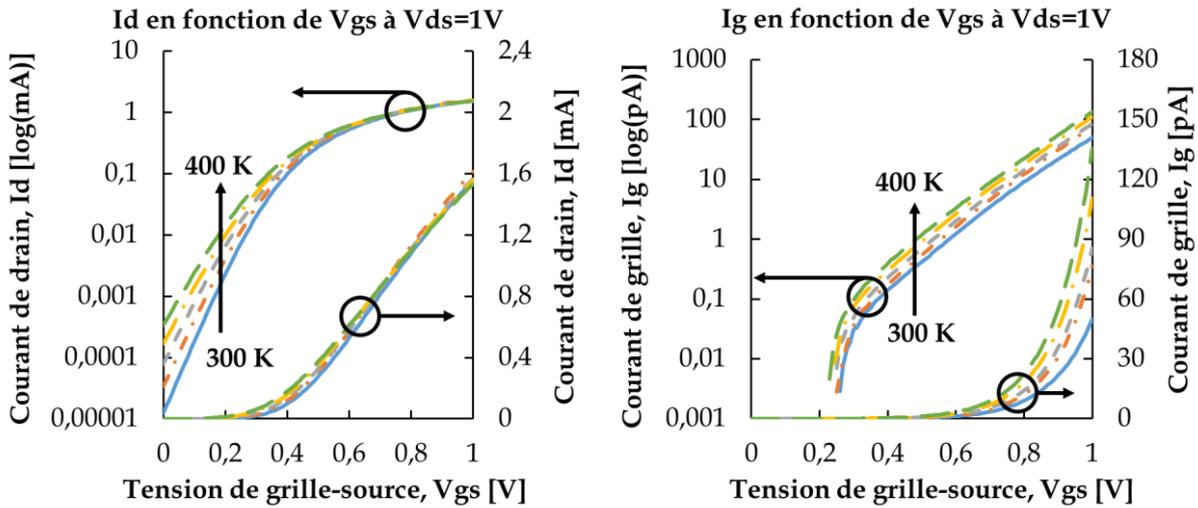


FIGURE III.63 - Graphes montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG standard (NREF) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K.

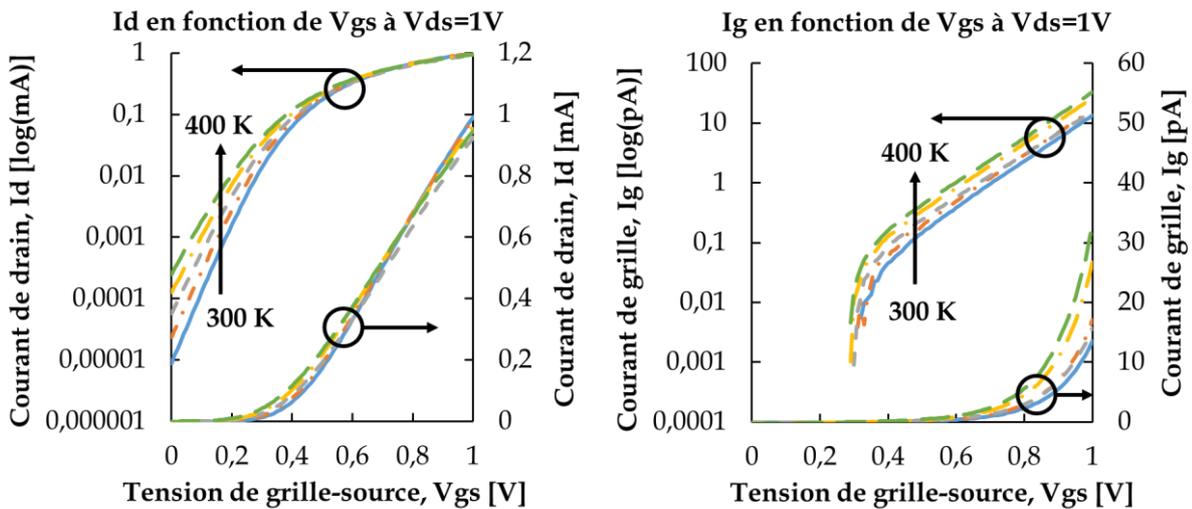


FIGURE III.64 - Graphe montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG à double contacts de source sans siliciure et de faible  $R_{S12}$  (NRS1) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K.

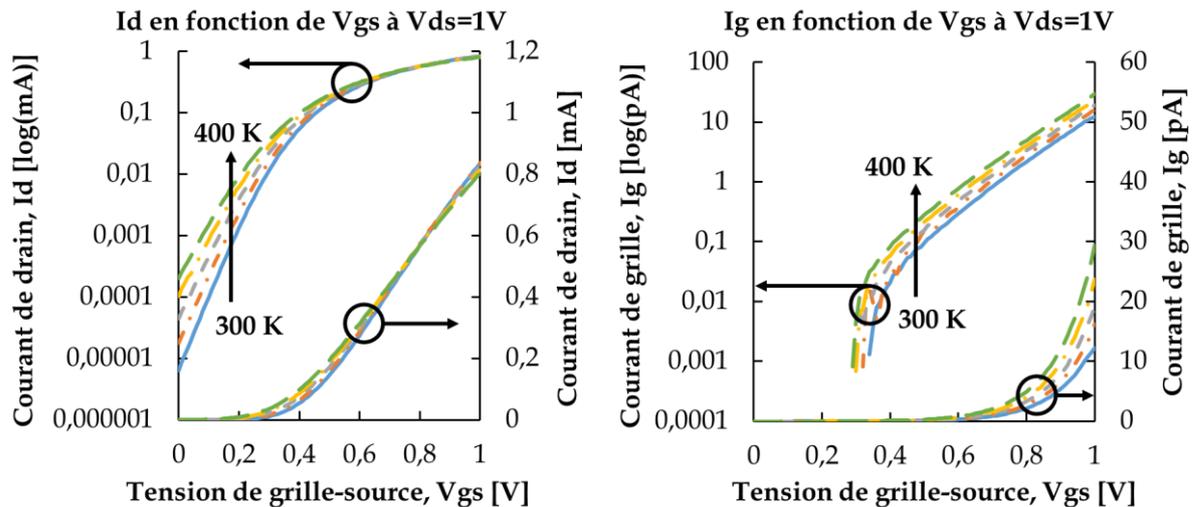


FIGURE III.65 - Graphe montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG à double contacts de source sans siliciure et de forte  $R_{Si2}$  (NRS2) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K.

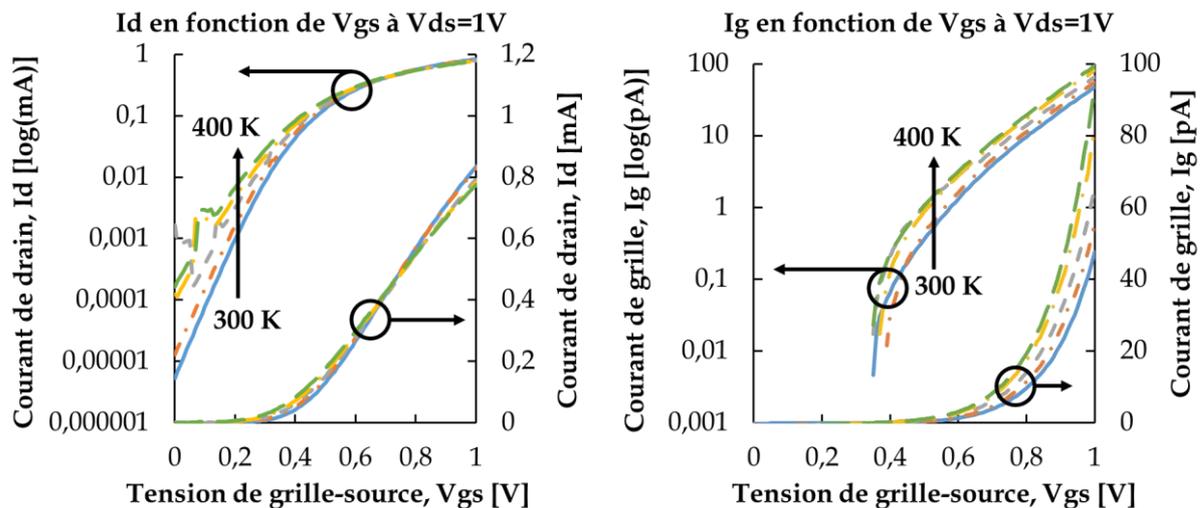


FIGURE III.66 - Graphe montrant l'évolution du courant de drain en fonction de la tension de grille-source d'un transistor SG à double contacts de source avec grille en « T » (NTSG) à différentes températures. Les traits pleins (bleu), discontinus avec tirets-points (orange), tirets (gris), tirets long-points (jaune) et tirets longs (vert), correspondent aux mesures faites, respectivement, à 300 K, 325 K, 350 K, 375 K et 400 K.

Nous nous intéressons maintenant au courant de drain lorsque  $V_{gs} = 0$  V ( $I_{off}$ ) et aux courants de drain et grille lorsque  $V_{gs} = 1$  V (respectivement,  $I_{on}$  et  $I_{gon}$ ) en fonction de la température. Les mesures et les résultats des simulations sont montrés dans la FIGURE III.67 et les résultats à 300 K et 400 K sont montrés dans le TABLEAU I.3, sous forme de courant normalisé ( $I = \frac{I_{xxx}}{I_{NREF}}$ ).

Pour  $I_{off}$ , nous observons que les structures à double contacts de source ont un courant de fuite réduit (de 30 % à 50 %) par rapport au transistor standard (NREF),

c'est-à-dire que le courant  $I_{off}$  de NRS1, NRS2 et NTSG est inférieur à celui de NREF. En particulier, nous observons que plus la résistance de source ( $R_{S12}$ ) est grande, plus  $I_{off}$  est faible et que la structure NTSG a le courant  $I_{off}$  le plus bas. Ceci s'explique par le fait que la résistance de drain-source ( $R_{ds}$ ) du petit transistor inséré dans la source est plus élevée que les résistances de source de NRS1 et NRS2 lorsque  $V_g = 0$  V.

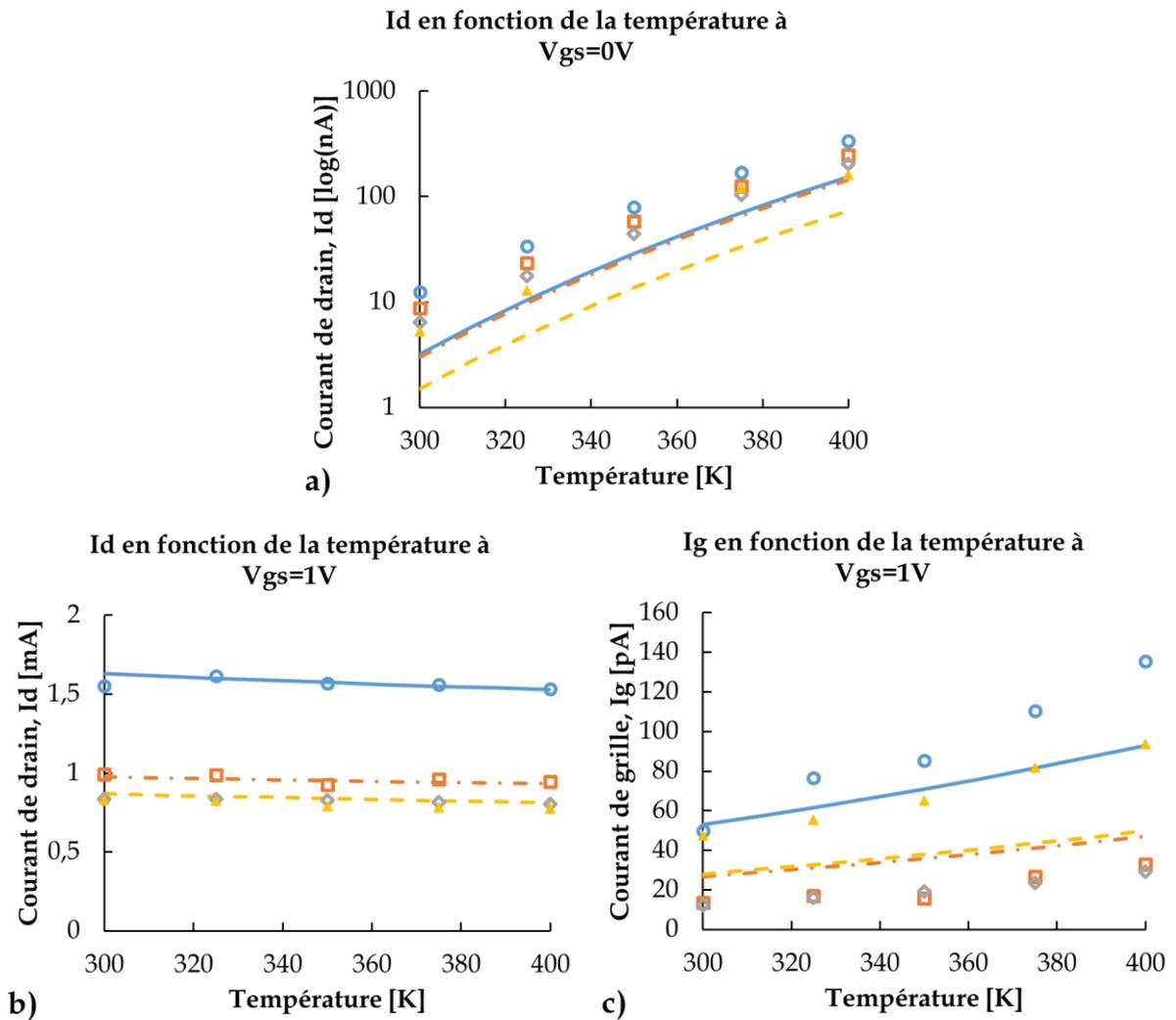
Concernant  $I_{on}$ , une détérioration du courant des structures à double contacts de source (de 35 % à 50 %) par rapport à NREF est observée, c'est-à-dire que le courant  $I_{on}$  du transistor standard reste le plus fort. Par ailleurs, la même tendance que pour  $I_{off}$  est observée, à savoir que  $I_{NREF} > I_{NRS2} > I_{NRS1} > I_{NTSG}$ . Ces observations soulignent le besoin de trouver un compromis entre  $I_{off}$  et  $I_{on}$ , nous ne pouvons pas améliorer l'un sans détériorer l'autre.

Le courant  $I_{gon}$  reste le plus important pour NREF, suivi de NTSG puis de NRS1 et NRS2 (environ 75 % de différence par rapport à NREF), qui suivent approximativement la même tendance. À noter que plus la température augmente, plus il y a d'écarts entre NREF, NTSG, NRS1 et NRS2.

Enfin, les simulations SPICE montrent, pour  $I_{off}$ , les mêmes tendances que les mesures mais NRS à un courant beaucoup plus proche de NREF que lors des mesures. Pour  $I_{on}$ , nous retrouvons les mêmes tendances et ordres de grandeurs que pour les mesures. Cependant, concernant  $I_{gon}$ , les simulations diffèrent des mesures, en particulier pour NTSG.

Simulations SPICE	$I_{NRS} / I_{NREF}$		$I_{NTSG} / I_{NREF}$		Mesures	$I_{NRS1} / I_{NREF}$		$I_{NRS2} / I_{NREF}$		$I_{NTSG} / I_{NREF}$	
	300 K	400 K	300 K	400 K		300 K	400 K	300 K	400 K	300 K	400 K
<b>Ioff</b>	0,93	0,94	0,47	0,48	<b>Ioff</b>	0,71	0,74	0,52	0,61	0,43	0,48
<b>Ion</b>	0,60	0,61	0,53	0,53	<b>Ion</b>	0,64	0,62	0,54	0,52	0,54	0,51
<b>Igon</b>	0,50	0,51	0,53	0,54	<b>Igon</b>	0,27	0,24	0,25	0,22	0,95	0,69

TABLEAU III.6 - Tableau récapitulatif des courants ( $I_{off}$ ,  $I_{on}$  et  $I_{gon}$ ) normalisés ( $I = \frac{I_{XXXX}}{I_{NREF}}$ ), extraits des simulations SPICE et des mesures, à 300 K et à 400 K, pour NRS1, NRS2 et NTSG (NRS et NTSG pour les simulations SPICE).



**FIGURE III.67** - Graphes montrant l'évolution, en fonction de la température, des courants : a)  $I_{off}$  ( $I_d$  lorsque  $V_{gs} = 0 V$  et  $V_{ds} = 1 V$ ) ; b)  $I_{on}$  ( $I_d$  lorsque  $V_{gs} = V_{ds} = 1 V$ ) et c)  $I_{gon}$  ( $I_g$  lorsque  $V_{gs} = V_{ds} = 1 V$ ). Les cercles bleus, carrés orange, losanges gris et triangles jaunes correspondent aux mesures (respectivement à NREF, NRS1, NRS2 et NTSG) tandis que les traits pleins bleus, discontinus avec tirets-points orange et tirets jaunes correspondent aux simulations SPICE (respectivement à NREF, NRS et NTSG).

### III.5.4 Conclusion

En ne polarisant qu'un des deux contacts de source des structures à double contacts de source, nous sommes capables d'obtenir des comportements électriques différents d'un transistor standard vis-à-vis de la température. Les mesures ont montré que le potentiel du contact non polarisé ( $V_{S2}$  dans notre cas) variait linéairement en fonction de la température pour les structures avec résistance insérée dans la source. De plus, nous avons observé une amélioration du courant  $I_{off}$  mais une dégradation du courant  $I_{on}$ , soulignant la nécessité de trouver un compromis entre les deux. Le potentiel du contact non polarisé pourrait être réutilisé comme capteur de température pour des applications à basse température ou bien exploité par des circuits annexes

pour améliorer la robustesse électrothermique de nos structures. Enfin, les structures étudiées avaient une séparation de la source au milieu, il est tout à fait possible de faire des structures à double contacts de source avec une division de la source de façon asymétrique (voir FIGURE III.68)

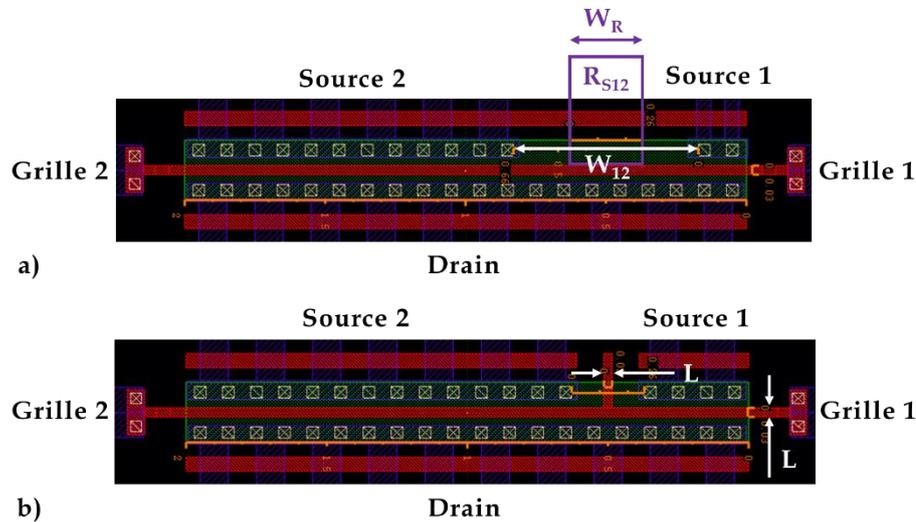


FIGURE III.68 - Dessin de masque de transistors SG : a) à double contacts de source asymétrique sans siliciure et b) à double contacts de source asymétrique avec grille en « T ». En rouge, vert, blanc et bleu, les masques correspondants, respectivement, aux grilles, à la zone active du transistor (source, canal et drain), aux contacts (entre zone active et premier niveau de métal) et au premier niveau de métal. En noir, les zones remplies de STI.

### III.6 Conclusion

Dans ce chapitre, nous avons étudié un nouveau type de dispositif électronique, les transistors à double contacts de source (ou de drain, grille). Initialement, ces structures ont été développées pour chauffer de façon in-situ nos transistors. En effet, en implémentant un double contacts de source, une résistance est insérée entre les deux contacts nouvellement créés. En faisant passer un courant dans cette résistance, nous pouvons chauffer nos structures par effet Joule. Nous avons montré qu'en optimisant la distance entre les deux contacts de source (et donc la taille de la résistance de source), nous pouvions augmenter la température de plusieurs centaines de kelvins pour de faibles tensions (inférieures à 1 V).

Ensuite, nous avons vu que la capacité de nos structures à chauffer permettait de faire des recuits locaux et d'améliorer les performances électriques de nos transistors qui, initialement, étaient dégradés. En réduisant la taille de  $R_{S12}$  au minimum ( $W_{12} \approx 100$  nm), nous sommes capables d'avoir des fusibles pour réaliser des mémoires PROM. En effet, en provoquant un phénomène d'électromigration (migration du nickel d'un côté de la source vers l'autre) dans la résistance de source, nous dégradons

celle-ci. Nous programmons donc nos résistances en passant d'un état faiblement résistif à un état fortement résistif.

Enfin, en laissant l'un des deux contacts de source non polarisé,  $R_{S12}$  fait office de capteur de température et ce faisant, nos transistors sont capables de s'autoréguler en fonction de la température.

À noter que ce type de structure peut être utilisé comme structure de test pour extraire des paramètres thermiques utiles aux simulations électrothermiques. Par ailleurs, les simulations électrothermiques TCAD et SPICE nous ont permis d'obtenir des tendances correctes sur le comportement de nos structures à double contacts de source.

A priori, les transistors à double contacts de source (ou de drain, grille) ne sont pas limités à la technologie 28 nm FD-SOI de ST Microelectronics.

### III.7 Références

- [Akturk06] Akturk A., Goldsman N., Dilli Z. et Peckerar M. « Device Performance and Package Induced Self Heating Effects At Cryogenic Temperatures ». In : *2006 Int. Conf. Simul. Semicond. Process. Devices*. Monterey, CA, USA : IEEE, 2006. p. 240-243.
- [Ang07] Ang B., Tumakha S., Im J. et Paak S. S. « NiSi Polysilicon Fuse Reliability in 65-nm Logic CMOS Technology ». *IEEE Trans. Device Mater. Reliab.* juin 2007. Vol. 7, n°2, p. 298-303.
- [Benoist15] Benoist A., Denorme S., Federspiel X., Allard B. et Candelier P. « Extended TDDDB power-law validation for high-voltage applications such as OTP memories in High-k CMOS 28nm FDSOI technology ». In : *2015 IEEE Int. Reliab. Phys. Symp.* Monterey, CA, USA : IEEE, 2015. p. GD.3.1-GD.3.5.
- [Bravaix16] Bravaix A., Cacho F., Federspiel X., Ndiaye C., Mhira S. et Huard V. « Potentiality of healing techniques in hot-carrier damaged 28nm FDSOI CMOS nodes ». *Microelectron. Reliab.* septembre 2016. Vol. 64, p. 163-167.
- [Chung19] Chung S. C., Fang W.-K. et Chen F.-H. « A 4Kx8 Innovative Fuse OTP on 22-nm FD-SOI ». *IEEE J. Electron Devices Soc.* 2019. Vol. 7, p. 837-845.
- [Cristoloveanu95] Cristoloveanu S. et Li S. S. *Electrical Characterization of Silicon-on-Insulator Materials and Devices*. Boston, MA : Springer US, 1995. 381 p.

- [Dilli07] Dilli Z., Akturk A. et Goldsman N. « Controlled localized heating on integrated circuits for cold-ambient temperature applications ». In : *2007 Int. Semicond. Device Res. Symp.* College Park, MD, USA : IEEE, 2007. p. 1-2.
- [Franco14] Franco J., Kaczer B. et Groeseneken G. « Poly-Si heaters for ultra-fast local temperature control of on-wafer test structures ». *Microelectron. Eng.* février 2014. Vol. 114, p. 47-51.
- [Galy16] Galy P., Athanasiou S., Le Coz J. et Engels S. *Dispositif électronique de chauffage d'une structure intégrée, par exemple un transistor MOS*. FR3037718. 2016.
- [Hammoud03] Hammoud A., Patterson R. L., Gerber S. et Elbuluk M. « Electronic components and circuits for extreme temperature environments ». In : *10th IEEE Int. Conf. Electron. Circuits Syst. 2003 ICECS 2003 Proc. 2003*. Sharjah, United Arab Emirates : IEEE, 2003. p. 44-47.
- [Hoefler06] Hoefler A., Henson C., Li C. et Lin D. « Analysis of a Novel Electrically Programmable Active Fuse for Advanced CMOS SOI One-Time Programmable Memory Applications ». In : *2006 Eur. Solid-State Device Res. Conf.* Montreux : IEEE, 2006. p. 230-233.
- [Kulkarni10] Kulkarni S. H., Chen Z., He J., Jiang L., Pedersen M. B. et Zhang K. « A 4 kb Metal-Fuse OTP-ROM Macro Featuring a 2 V Programmable 1.37  $\mu\text{m}^2$  1T1R Bit Cell in 32 nm High-k Metal-Gate CMOS ». *IEEE J. Solid-State Circuits*. avril 2010. Vol. 45, n°4, p. 863-868.
- [Liu02] Liu S.-C., Kramer J., Indiveri G., Delbrück T. et Douglas R. *Analog VLSI: circuits and principles*. Cambridge, Mass : MIT Press, 2002. 434 p.
- [Liu15] Liu Z., Zheng R. et Sun J. « A gate-oxide-breakdown antifuse OTP ROM array based on TSMC 90nm process ». In : *2015 Int. Symp. -Gener. Electron. ISNE*. Taipei, Taiwan : IEEE, 2015. p. 1-3.
- [Moon16] Moon D.-I., Park J.-Y., Han J.-W., Jeon G.-J., Kim J.-Y., Moon J., Seol M.-L., Kim C. K., Lee H. C., Meyyappan M. et Choi Y.-K. « Sustainable electronics for nano-spacecraft in deep space missions ». In : *2016 IEEE Int. Electron Devices Meet. IEDM*. San Francisco, CA, USA : IEEE, 2016. p. 31.8.1-31.8.4.

- [Park16a] Park J.-Y., Moon D.-I., Bae H., Roh Y. T., Seol M.-L., Lee B.-H., Jeon C.-H., Lee H. C. et Choi Y.-K. « Local Electro-Thermal Annealing for Repair of Total Ionizing Dose-Induced Damage in Gate-All-Around MOSFETs ». *IEEE Electron Device Lett.* juillet 2016. Vol. 37, n°7, p. 843-846.
- [Park16b] Park J.-Y., Moon D.-I., Seol M.-L., Kim C.-K., Jeon C.-H., Bae H., Bang T. et Choi Y.-K. « Self-Curable Gate-All-Around MOSFETs Using Electrical Annealing to Repair Degradation Induced From Hot-Carrier Injection ». *IEEE Trans. Electron Devices.* mars 2016. Vol. 63, n°3, p. 910-915.
- [Razavi01] Razavi B. *Design of analog CMOS integrated circuits*. Boston, MA : McGraw-Hill, 2001. 684 p.
- [Safran07] Safran J., Leslie A., Fredeman G., Kothandaraman C., Cestero A., Chen X., Rajeevakumar R., Kim D., Li Y. Z., Moy D., Robson N., Kirihata T. et Iyer S. « A Compact eFUSE Programmable Array Memory for SOI CMOS ». In : *2007 IEEE Symp. VLSI Circuits*. Kyoto, Japan : IEEE, 2007. p. 72-73.
- [Sze07] Sze S. M. et Ng K. K. *Physics of semiconductor devices*. 3rd ed. Hoboken, N.J : Wiley-Interscience, 2007. 815 p.



---

# CHAPITRE IV : CAPTEUR DE TEMPÉRATURE

## BASSE CONSOMMATION

---

IV.1	Introduction .....	154
IV.2	Mode capteur de température.....	154
IV.3	Mode courant à coefficients de température nuls .....	161
IV.4	Conclusion.....	173
IV.5	Références.....	174

## IV.1 Introduction

Dans ce chapitre, nous allons présenter un nouveau dispositif électronique dans la technologie 28 nm UTBB FD-SOI de STMicroelectronics qui peut être utilisé comme capteur de température, permettre d'avoir un courant de drain qui augmente en fonction de la température ou qui soit plus robuste thermiquement. De nombreux types de dispositifs électroniques [Filanovsky02; Nilsson15; Park09; Sebastiano10] peuvent servir de capteur de température puisque la plupart de ces dispositifs voient leurs caractéristiques évoluer en fonction de la température. Un des capteurs de température les plus simple à fabriquer est une résistance, comme nous l'avons fait dans les précédents chapitres (utilisation de la résistance dans la grille par exemple), puisque la valeur de la résistance augmente en fonction de la température (pour la plupart des matériaux). Ce type de capteur est appelé thermistance. L'idée de notre capteur est, d'une part, de fonctionner à très basse puissance (de l'ordre du picowatt) et, d'autre part, d'avoir une tension de sortie proportionnelle à la température avec un coefficient de température positif (CTP ou en anglais, PTC, *Positive temperature Coefficient*). Le fait d'avoir une tension de sortie qui augmente avec la température nous permet d'obtenir un courant de drain qui augmente lui aussi avec la température ou, associé à un autre transistor, qui reste constant vis-à-vis de la température. Les transistors utilisés dans le cadre de cette étude sont des NMOS.

## IV.2 Mode capteur de température

### IV.2.1 Principe de fonctionnement

Comme nous l'avons montré lors des précédents chapitres, le courant de drain-source d'un NMOS dépend, entre autres, de la température. En particulier, le courant de drain-source en régime sous le seuil ( $I_{ds_{sub}}$ ) augmente lorsque la température augmente et inversement, la résistance de drain-source en régime sous le seuil ( $R_{ds_{sub}}$ ) diminue en fonction de la température. Le capteur de température proposé dans cette section comprend deux transistors NMOS avec grille standard (SG) dont la source du premier est connectée à la grille du second (voir **FIGURE IV.2**). Le premier transistor (noté NTH) fait office de thermistance, avec son drain et sa grille connectés à la tension d'alimentation (VDD) et sa grille arrière polarisée à 0 V. Le second transistor (noté NSC) est utilisé comme source de courant, avec sa source, son drain et sa grille arrière polarisés à 0 V.

Comme dit précédemment, NSC est connecté par sa grille à la source de NTH, ce qui implique que son courant de grille ( $I_{gsc}$ ) est égal au courant de source de NTH ( $I_{sth}$ ).  $I_{gsc}$  étant très faible (de l'ordre du picoampère), il conduit à ce que NTH soit en

régime sous le seuil (seul régime où  $I_{S_{TH}}$  peut être de l'ordre du picoampère), ce qui implique que la valeur de sa résistance de drain-source ( $R_{ds_{TH}}$ ) soit grande (de quelques téraohms). Cependant,  $R_{ds_{TH}}$  varie en fonction de la température et, en particulier, possède des coefficients de température négatifs (CTN ou en anglais, NTC, *Negative temperature Coefficient*), c'est-à-dire que  $\frac{dR_{ds_{TH}}}{dT} < 0$ , lorsque NTH est en régime sous le seuil. Ce qui conduit à ce que le produit  $R_{ds_{TH}} \times I_{g_{SC}}$  diminue avec la température (malgré le fait que  $\frac{dI_{g_{SC}}}{dT} > 0$ ) et, à ce que la tension de sortie du capteur ( $V_{CT}$ ), qui est régie par l'équation (IV.1), augmente en même temps que la température (voir FIGURE IV.1). Par ailleurs,  $I_{g_{SC}}$  varie selon la température, la longueur de la grille ( $L_{SC}$ ), la largeur de la grille ( $W_{SC}$ ) et le potentiel de grille ( $V_{g_{SC}}$ ), qui est aussi le potentiel de source de NTH ( $V_{S_{TH}}$ ) et correspond aussi à  $V_{CT}$ .

$$V_{CT} = VDD - R_{ds_{TH}} \times I_{g_{SC}} \quad (IV.1)$$

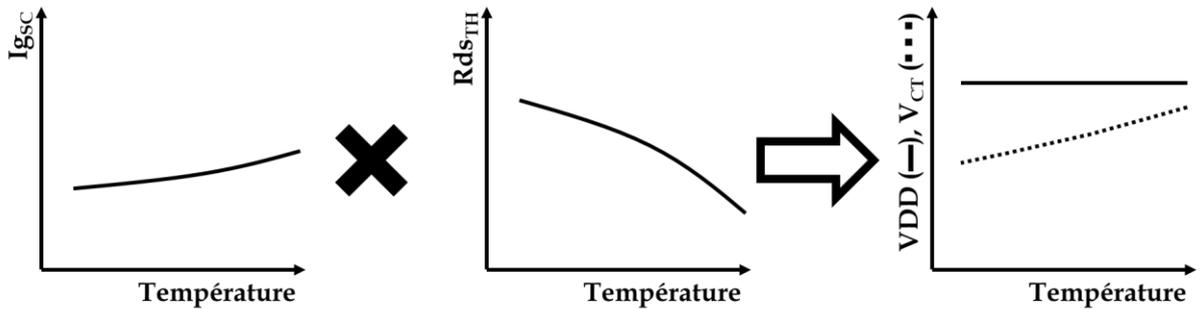


FIGURE IV.1 - Représentation simplifiée de l'évolution du courant de grille du transistor NSC ( $I_{g_{SC}}$ ), de la résistance de drain-source du transistor NTH ( $R_{ds_{TH}}$ ) et des tensions d'alimentation ( $VDD$ ) et de sortie du capteur ( $V_{CT}$ ) en fonction de la température.

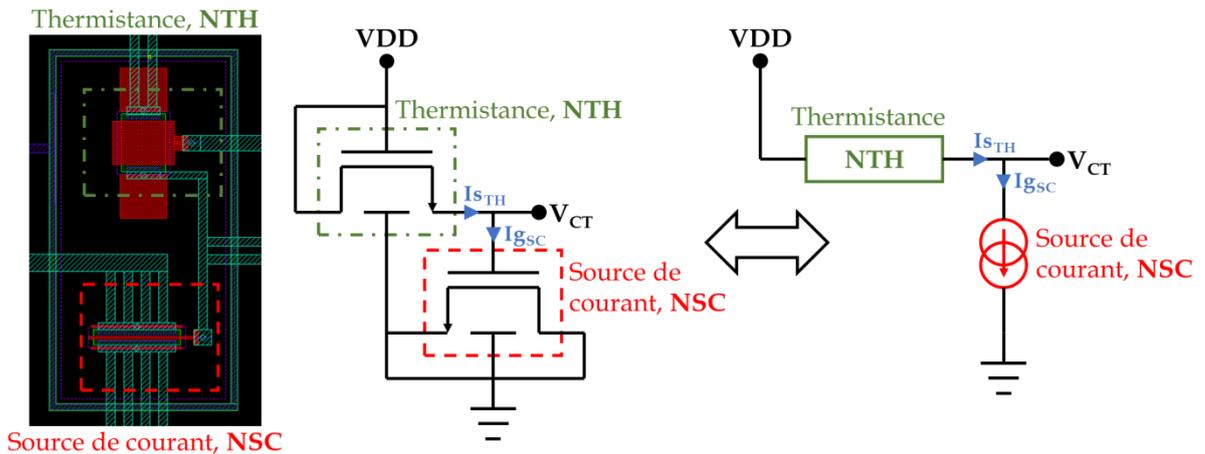
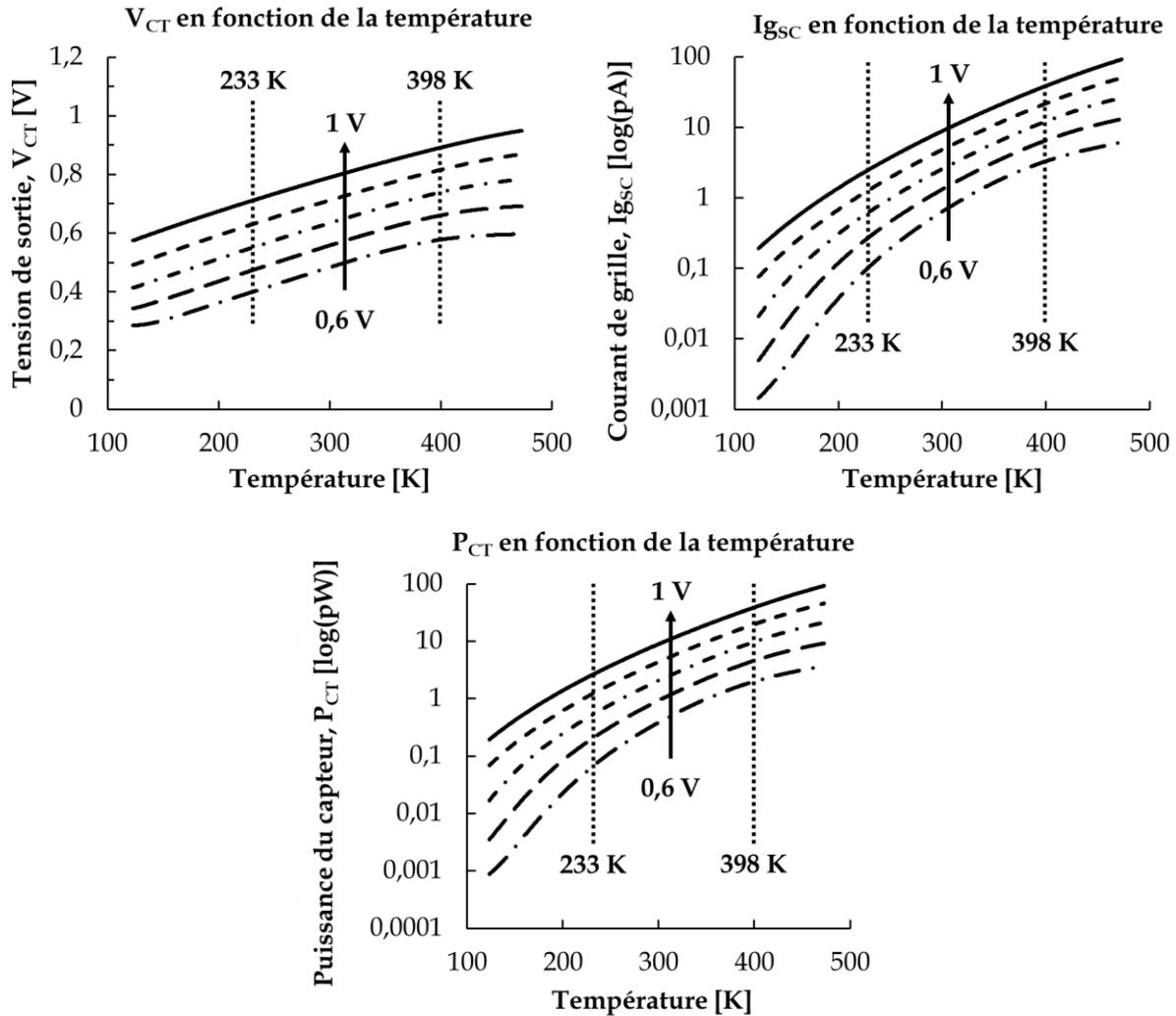


FIGURE IV.2 - De gauche à droite, respectivement, le dessin de masque, le schéma électrique et le schéma simplifié de notre capteur de température.  $VDD$  et  $V_{CT}$  correspondent, respectivement, à la tension d'alimentation et à la tension de sortie du capteur.

## IV.2.2 Simulations

Nous avons simulé notre capteur sur toute la gamme de température possible du simulateur SPICE (de  $-150^{\circ}\text{C}$  à  $+200^{\circ}\text{C}$  ou de 123 K à 473 K) et pour des tensions d'alimentations allant de 0,6 V à 1 V par pas de 100 mV. Pour rappel (voir chapitre II), les transistors sont calibrés sur la gamme de température [233 K ; 398 K]. Pour la simulation, la largeur de grille de NTH est égale à sa longueur ( $W_{\text{TH}} = L_{\text{TH}}$ ) et est de 500 nm tandis que  $L_{\text{SC}}$  et  $W_{\text{SC}}$  sont égales, respectivement, à 30 nm et 1  $\mu\text{m}$ .



**FIGURE IV.3** - Graphes montrant l'évolution de la tension de sortie ( $V_{\text{CT}}$ ), du courant de grille du transistor NSC ( $I_{g_{\text{SC}}}$ ) et de la puissance du capteur ( $P_{\text{CT}}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent aux simulations SPICE à des tensions d'alimentation ( $V_{\text{DD}}$ ) de, respectivement, 1,0 V, 0,9 V, 0,8 V, 0,7 V et 0,6 V.

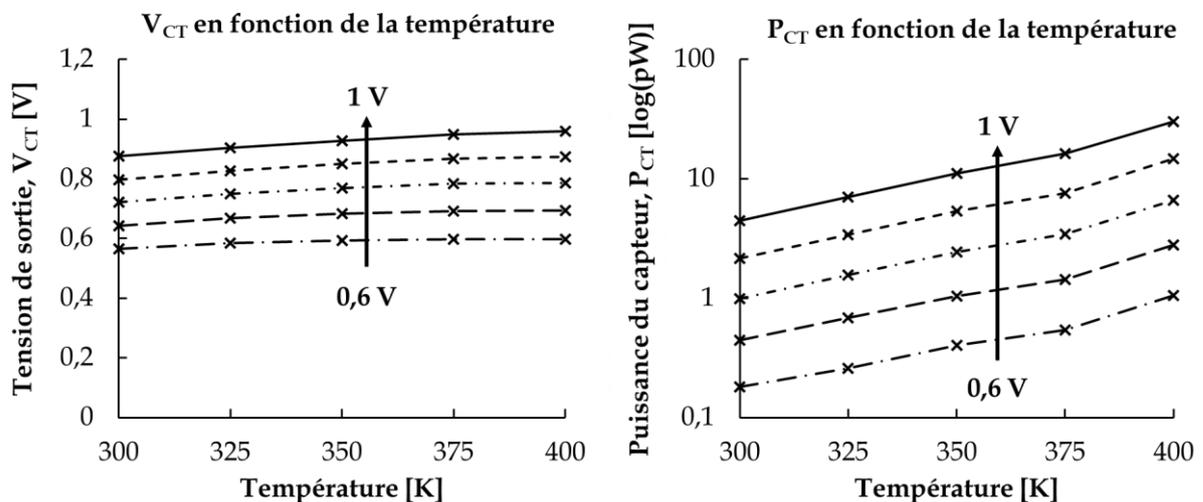
Les résultats sont montrés dans la **FIGURE IV.3**. Comme vu dans la section précédente, une augmentation de  $V_{\text{CT}}$  en même temps que la température est observée. Plus particulièrement, sur la gamme de température [233 K ; 398 K],  $V_{\text{CT}}$  évolue selon une droite avec une pente d'environ  $1 \text{ mV.K}^{-1}$ . Cependant, nous observons aussi que

plus VDD est faible, moins la tension de sortie est linéaire par rapport à la température. Pour VDD = 1V,  $V_{CT}$  évolue de 0,71 V à 0,89 V entre 233 K et 398 K. Enfin, la simulation montre bien que  $I_{gsc}$  varie de quelques picoampères à quelques dizaines de picoampères (pour VDD = 1 V) sur la gamme [233 K ; 398 K] et donc que la puissance du capteur ( $P_{CT}$ ) reste très faible (inférieur à la centaine de picowatts).

### IV.2.3 Mesures

Nous avons aussi pu mesurer notre capteur sur plaque de silicium avec une station sous pointe *Cascade Elite 300* et l'instrument de mesure *Keysight B1500*. Les dimensions du capteur mesuré sont les mêmes que celles de la section précédente (IV.2.2). Les mesures ont été faites à 300 K, 325 K, 350 K, 375 K et 400 K et sur deux puces différentes P1 (voir **FIGURE IV.4**) et P2 (voir **FIGURE IV.5**). Comme pour les simulations, nous avons fait varier VDD de 0,6 V à 1 V par pas de 100 mV.

Nous observons d'une part, que  $V_{CT}$  augmente linéairement en même temps que la température et, d'autre part, que moins VDD est élevé, plus les pentes sont faibles. Ainsi, pour VDD = 1 V, les pentes mesurées sont de 0,85 mV.K<sup>-1</sup> pour P1 et 0,94 mV.K<sup>-1</sup> pour P2. Par ailleurs, pour la même tension d'alimentation, des puissances allant de 4 pW à 30 pW pour P1 et de 6 pW à 32 pW pour P2 ont été mesurées. Nous retrouvons les mêmes valeurs de pentes et de puissances que pour la simulation lorsque VDD = 1V.



**FIGURE IV.4** - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent aux mesures faites sur la puce P1 et à des tensions d'alimentation (VDD) de, respectivement, 1,0 V, 0,9 V, 0,8 V, 0,7 V et 0,6 V.

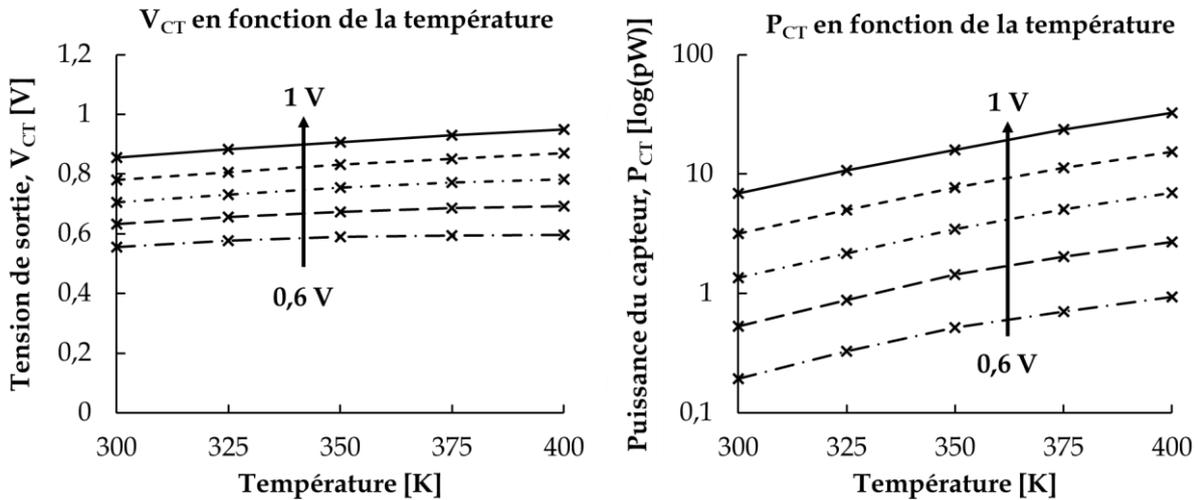


FIGURE IV.5 - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets, tirets-points, tirets longs et tirets long-points correspondent aux mesures faites sur la puce P2 et à des tensions d'alimentation ( $V_{DD}$ ) de, respectivement, 1,0 V, 0,9 V, 0,8 V, 0,7 V et 0,6 V.

#### IV.2.4 Améliorations

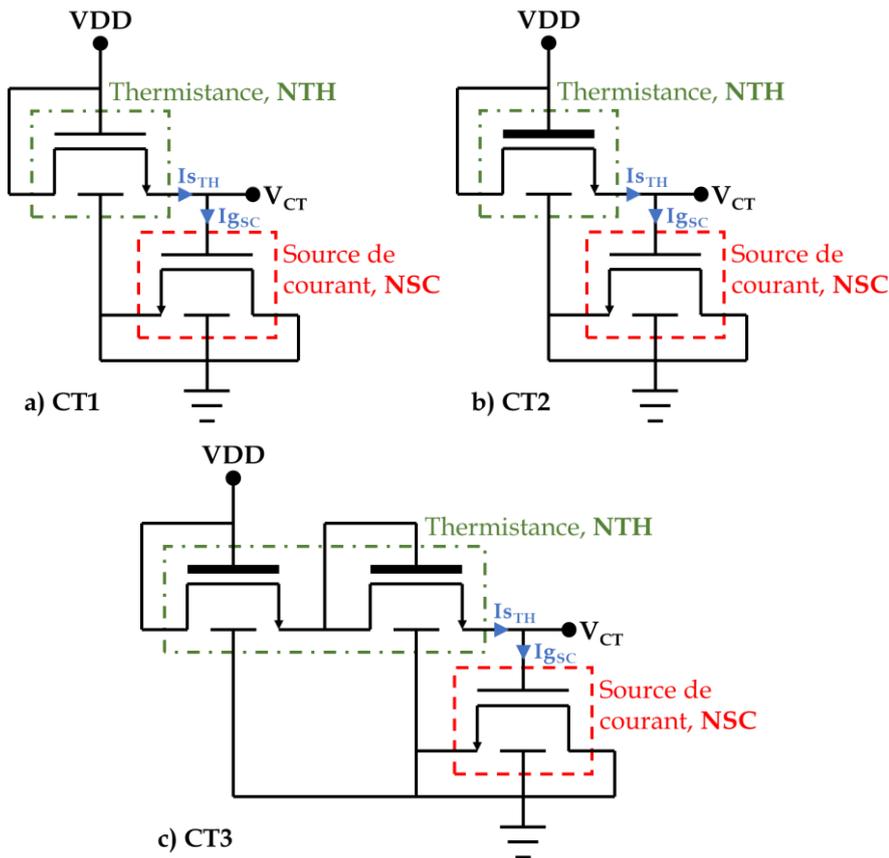
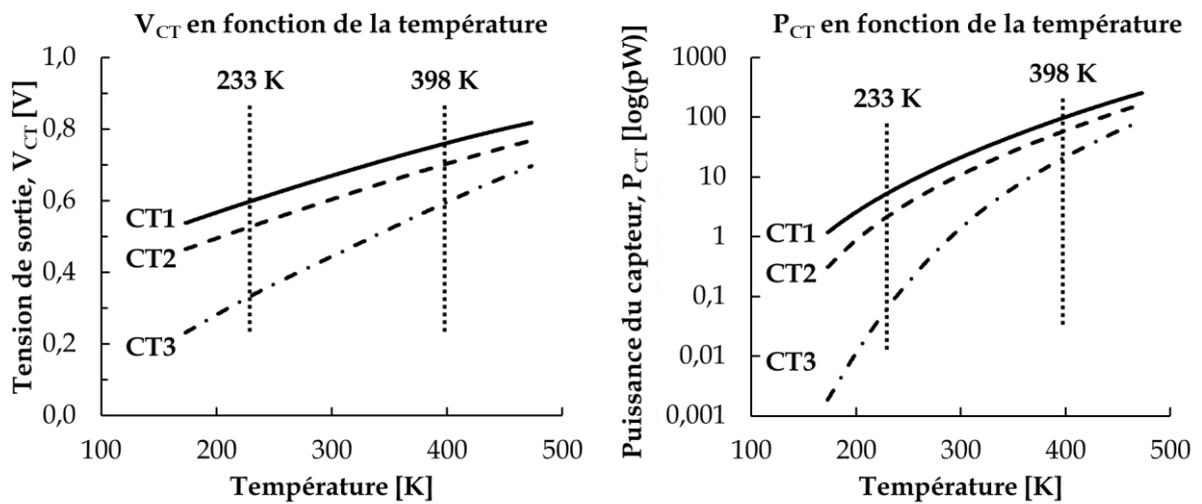


FIGURE IV.6 - Schémas électriques des capteurs : a) CT1 ; b) CT2 et c) CT3. Les transistors SG et EG sont représentés avec un trait de grille, respectivement, fin et épais.

Il est possible d'améliorer notre capteur (CT1) en mettant un transistor avec épaisseur de grille étendue (EG) à la place du transistor SG pour NTH (capteur CT2)

ou en ajoutant un deuxième transistor en série pour la thermistance (capteur CT3). Les différents capteurs sont montrés sur la **FIGURE IV.6**. Pour la simulation SPICE, les dimensions des transistors sont identiques ( $L_{SC} = W_{SC} = L_{TH} = W_{TH}$ ) et sont égales à 500 nm, tandis que VDD est polarisé à 0,9 V. Les résultats sont montrés sur la **FIGURE IV.7**. Nous observons que la pente de  $V_{CT}$  en fonction de la température est plus forte pour, respectivement, CT3, CT2 et CT1. En effet, les pentes passent de  $0,95 \text{ mV.K}^{-1}$  pour CT1 à  $1,03 \text{ mV.K}^{-1}$  pour CT2 et à  $1,53 \text{ mV.K}^{-1}$  pour CT3 sur la gamme [233 K ; 398 K]. Cependant, le potentiel de sortie et la puissance sont plus faibles pour, respectivement CT3, CT2 et CT1. Ainsi, le capteur CT3 possède la pente la plus forte et la puissance la plus faible mais  $V_{CT}$  est aussi la plus faible.



**FIGURE IV.7 -** Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets et tirets-points correspondent, respectivement, aux simulations SPICE des capteurs CT1, CT2 et CT3.

Nous avons simulé le capteur CT3 lorsque ses transistors sont à tension de seuil basse, typique et haute (voir **FIGURE IV.8**). Nous observons, d'une part, que la pente de  $V_{CT}$  en fonction de la température est de  $1,64 \text{ mV.K}^{-1}$ ,  $1,53 \text{ mV.K}^{-1}$  et  $1,35 \text{ mV.K}^{-1}$  entre 233 K et 398 K, lorsque les transistors sont à tension de seuil, respectivement, basse, typique et haute. D'autre part, plus la tension de seuil des transistors est basse, plus  $P_{CT}$  est importante, une décade de différence entre chaque cas est observée.

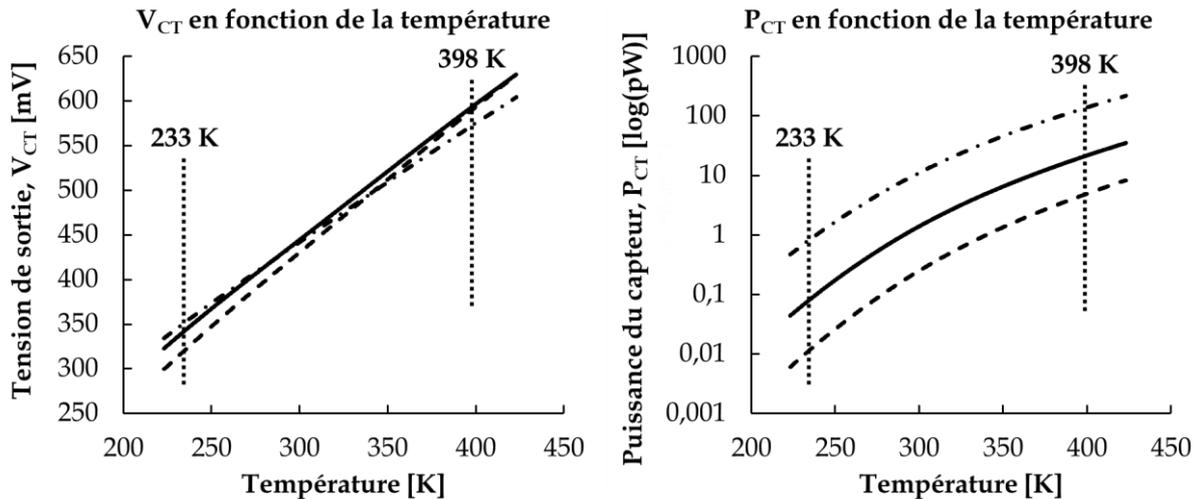


FIGURE IV.8 - Graphes montrant l'évolution de la tension de sortie ( $V_{CT}$ ) et de la puissance du capteur ( $P_{CT}$ ) en fonction de la température. Les traits pleins, discontinus avec tirets et tirets-points correspondent aux simulations SPICE du capteur CT3 dont les transistors sont, respectivement, à tension de seuil typique, haute et basse.

#### IV.2.5 Conclusion

Le capteur de température proposé est composé de seulement quelques transistors NMOS (2 ou 3) et notamment d'une thermistance et d'une source de courant. La sortie du capteur correspond au potentiel situé entre la source et la thermistance. Les simulations SPICE et les mesures sur plaques de silicium ont montré que  $V_{CT}$  augmentait linéairement en même temps que la température selon une pente d'environ  $1 \text{ mV.K}^{-1}$  sur la gamme de température [233 K ; 398 K] et pour une tension d'alimentation de 1 V pour le capteur de type CT1. De plus, le courant fourni par la source de courant étant très faible (de l'ordre du picoampère), la puissance du capteur l'est aussi (de l'ordre du picowatt).

Des modifications permettant d'augmenter la pente de  $V_{CT}$  en fonction de la température ainsi que de diminuer la puissance, ont également été montrées. Ces modifications concernent la thermistance, en particulier le remplacement du transistor SG par un transistor EG et l'ajout d'un second transistor en série. À noter que la modification de la thermistance en deux transistors SG en série permet aussi une amélioration de la pente (les résultats n'ont pas été montrés dans ce manuscrit). Ainsi, les résultats issus de la simulation SPICE du capteur CT3 (deux transistors EG en série pour NTH) montrent une pente d'environ  $1,53 \text{ mV.K}^{-1}$  entre 233 K et 398 K, ainsi qu'une puissance de 20 pW à 398 K.

Enfin, notons que pour d'autres dimensions de NTH et NSC, le capteur fonctionne toujours mais il faut optimiser ses dimensions pour avoir la courbe de  $V_{CT}$  en fonction de la température la plus linéaire possible, la pente de ladite courbe la plus

grande possible et la puissance la plus faible possible. De plus, la grille arrière des transistors du capteur a toujours été polarisée à 0 V et donc non utilisée, ainsi, nous pourrions l'utiliser pour compenser la variabilité des transistors afin d'avoir une tension de seuil la plus proche de la valeur typique.

## IV.3 Mode courant à coefficients de température nuls

### IV.3.1 État de l'art

Nous avons vu, lors des précédents chapitres, que le courant de drain-source d'un NMOS dépend, entre autres, de la température. En particulier, le courant  $I_{on}$  ( $I_{ds}$  lorsque  $V_{ds} = V_{gs} = V_{DD}$ ) diminue lorsque la température augmente. Il existe des techniques pour réduire la variation (dus aux effets de PVT, voir section I.4.2.2) des performances d'un transistor vis-à-vis de la température, comme l'utilisation de la grille arrière.

Il est possible d'avoir un courant de drain d'un MOSFET indépendant de la température en polarisant la grille du transistor au point où les coefficients de température sont nuls (CT0 ou en anglais, *ZTC*, *Zero Temperature Coefficient*) [Bendali07; Filanovsky01], comme pour le courant  $I_4$  dans les **FIGURE IV.9** et **FIGURE IV.10** ( $V_g = 0,75$  V). Une autre possibilité est de polariser un transistor au-dessous du point CT0 (à 0,6 V par exemple) pour avoir un courant à coefficients de température positifs (CTP, voir courant  $I_1$  dans la **FIGURE IV.10**) et de polariser un autre transistor au-dessus du point CT0 (à 1 V par exemple) pour avoir un courant à coefficients de température négatifs (CTN, voir courant  $I_2$  dans la **FIGURE IV.10**). La somme du courant CTP avec le courant CTN nous permet d'avoir un courant CT0 (voir courant  $I_3$  dans la **FIGURE IV.10**).

Ainsi, si nous prenons les exemples des **FIGURE IV.9** et **FIGURE IV.10**, nous pouvons observer que le courant de drain d'un transistor ( $I_5$ ), avec  $L = 30$  nm,  $W = 2$   $\mu$ m,  $V_d = V_g = 1$  V et  $V_s = V_{bg} = 0$  V, diminue avec la température. En particulier, ce courant à une variation ( $\Delta I_5$ ) de 16.2 % sur la gamme de température [223 K ; 473 K]. A largeur de grille équivalente, les courants  $I_3$  et  $I_4$ , varient très peu par rapport à la température ( $\Delta I_3 = 1,9\%$  et  $\Delta I_4 = 1,5\%$ ). Cependant, ces courants sont inférieurs à  $I_5$ , en effet, pour une température de 473 K, nous observons un écart de -34 % et -24,5% par rapport à  $I_5$  pour respectivement  $I_3$  et  $I_4$ .

$$\Delta I = \frac{\max(I) - \min(I)}{I_{273\text{ K}}} \times 100 \quad [\%] \quad (\text{IV.2})$$

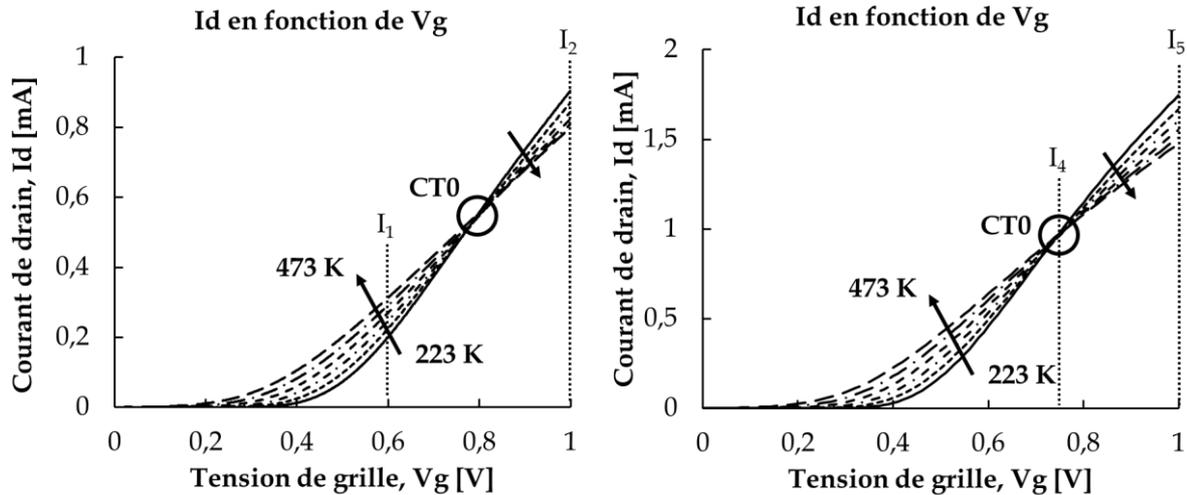


FIGURE IV.9 - Graphes montrant l'évolution du courant de drain ( $I_d$ ) en fonction du potentiel de grille ( $V_g$ ) d'un transistor SG de longueur de grille ( $L$ ) de 30 nm et de largeur de grille ( $W$ ) de 1  $\mu\text{m}$  (à gauche) et de 2  $\mu\text{m}$  (à droite) issus de simulations SPICE. Les traits pleins, discontinus avec points, tirets-points, tirets, tirets long-points et tirets longs correspondent aux simulations SPICE et pour des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K.  $V_d$ ,  $V_s$  et  $V_{bg}$  sont, respectivement, polarisés à 1 V, 0 V et 0 V.

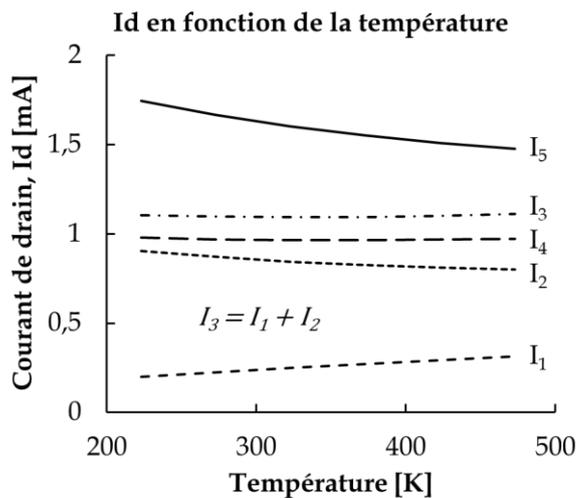
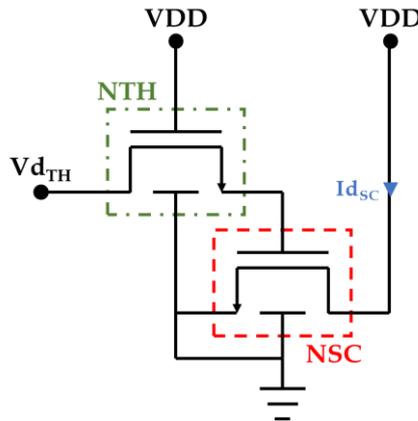


FIGURE IV.10 - Graphe montrant l'évolution du courant de drain ( $I_d$ ) en fonction de la température issus de simulations SPICE. Les courants  $I_1$  (discontinu avec tirets) et  $I_2$  (pointillés) correspondent aux courants de drain issus du graphe de gauche de la Figure IV.9 et pour des potentiels de grille de, respectivement, 0,6 V et 1 V. Le courant  $I_3$  (discontinu avec tirets-points) correspond à la somme de  $I_1$  et  $I_2$ . Les courants  $I_4$  (discontinu avec tirets longs) et  $I_5$  (plein) correspondent aux courants de drain issus du graphe de droite de la Figure IV.9 et pour des potentiels de grille de, respectivement, 0,75 V et 1 V.

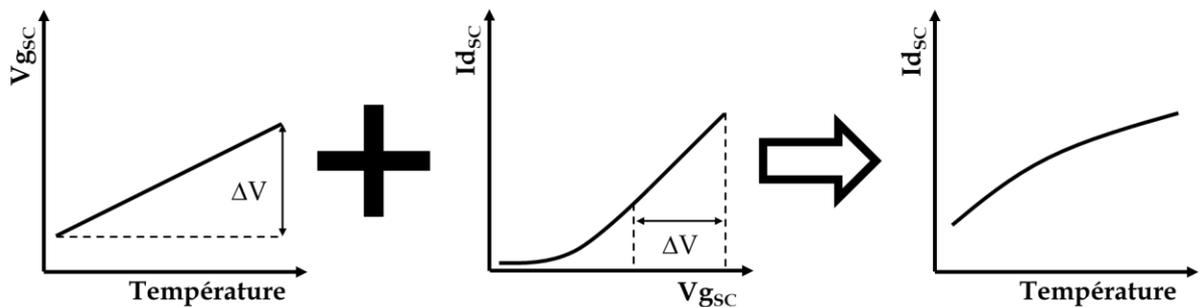
### IV.3.2 Courant à coefficients de température positifs

En prenant le capteur de température étudié dans la section IV.2 (par exemple CT1), nous sommes capables d'obtenir un courant à coefficients de température positifs (CTP), à l'instar du courant  $I_1$  montré dans la section précédente. Pour ce faire, nous allons, d'une part, déconnecter le drain de la grille du transistor NTH, qui reste

connectée à la tension d'alimentation ( $V_{g_{TH}} = V_{DD}$ ), et d'autre part, polariser le drain du transistor NSC à la tension d'alimentation ( $V_{d_{SC}} = V_{DD}$ ). Le nouveau circuit est présenté dans la **FIGURE IV.11**. Comme nous l'avons vu précédemment,  $V_{g_{SC}}$  (correspond à  $V_{CT}$  dans le mode capteur de température) augmente en même que la température et en particulier, sa valeur est supérieure à la tension de seuil de NSC. Ainsi, si  $V_{d_{SC}}$  est polarisée à  $V_{DD}$ , alors le courant de drain  $I_{d_{SC}}$  va lui aussi augmenter en fonction de la température (voir **FIGURE IV.12**).



**FIGURE IV.11** - Schéma électrique du capteur de température modifié pour avoir un courant  $I_{d_{SC}}$  à coefficients de température positif (CTP).



**FIGURE IV.12** - Représentation simplifiée de l'évolution du potentiel de grille ( $V_{g_{SC}}$ ) en fonction de la température, du courant de drain ( $I_{d_{SC}}$ ) en fonction de  $V_{g_{SC}}$  et de  $I_{d_{SC}}$  en fonction de la température pour le transistor NSC.

Pour la simulation SPICE de notre circuit (voir **FIGURE IV.13** pour les résultats), nous avons pris les mêmes dimensions que précédemment pour NTH et NSC, c'est-à-dire  $L_{TH} = W_{TH} = 500$  nm,  $W_{SC} = 1\mu\text{m}$  et  $L_{SC} = 30$  nm. Lorsque  $V_{d_{TH}}$  est polarisé à 0 V, nous observons que  $I_{d_{SC}}$  suit la même courbe que pour le courant de drain d'un transistor de mêmes dimensions et dont le potentiel de grille est nul. Ceci implique que le potentiel  $V_{g_{SC}}$  est lui aussi nul. Lorsque  $V_{d_{TH}}$  est polarisé à 1 V,  $I_{d_{SC}}$  augmente bien avec la température et sa valeur est plus forte que pour  $I_1$  tout comme ses coefficients de température, mais la courbe de  $I_{d_{SC}}$  en fonction de la température n'est pas linéaire à l'inverse de  $I_1$ .

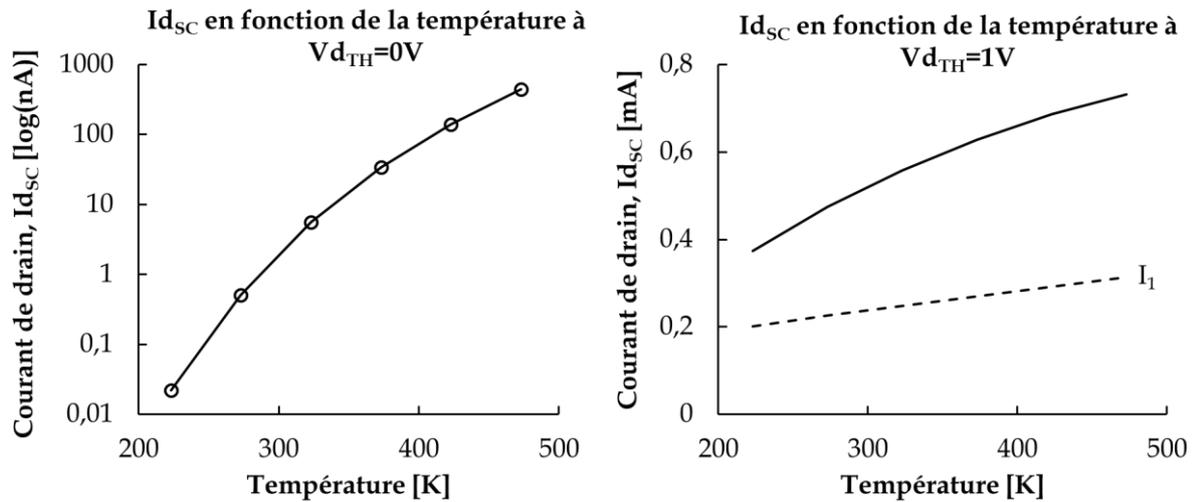


FIGURE IV.13 - Graphes montrant l'évolution du courant de drain ( $I_{dSC}$ ) en fonction de la température et pour des potentiels de drain ( $V_{dTH}$ ) de 0 V et 1 V issus de simulations SPICE. Pour le graphe de gauche, les cercles correspondent au courant de drain lorsque le potentiel de grille est nul ( $I_{off}$ ) d'un transistor de même dimension que le transistor NSC. Pour le graphe de droite, le trait pointillé correspond au courant  $I_1$  de la FIGURE IV.10 (les dimensions du transistor simulé pour  $I_1$  sont les mêmes que ceux de NSC).

### IV.3.3 Courant à coefficients de température nuls

#### IV.3.3.1 Présentation du circuit

Dans le même principe que pour le courant  $I_3$  (vu dans la section IV.3.1), nous allons additionner au courant  $I_{dSC}$  (vu dans la section IV.3.2), un courant à coefficients de température négatifs (CTN) afin d'obtenir un courant à coefficients de température négatifs (CT0). Par exemple, le courant de drain ( $I_{dST}$ ) d'un transistor standard (NST) de même longueur de grille que NSC ( $L_{SC} = L_{ST} = L$ ) peut être utilisé comme courant CTN. Reprenant le circuit précédent, nous connectons le drain, la source et la grille arrière de NST aux, respectivement, drain, source et grille arrière de NSC, c'est-à-dire  $V_{dST} = V_{dSC} = V_d$  et  $V_{sST} = V_{sSC} = V_{bgST} = V_{bgSC} = 0$  V. De plus, la grille de NST est connectée au drain de NTH,  $V_{gST} = V_{dTH} = V_g$  (voir FIGURE IV.14). Ainsi, NSC et NST forment un transistor NCC dont la longueur de grille est la même que pour NSC et NST. La largeur de grille est égale à la somme de celles de NSC et NST ( $W = W_{SC} + W_{ST}$ ) et le courant de drain ( $I_{dCC}$ ) correspond à la somme de  $I_{dSC}$  et  $I_{dST}$  ( $I_{dCC} = I_{dSC} + I_{dST}$ ). Pour évaluer les performances de NCC, nous allons le comparer à un transistor standard de référence (NREF) dont les dimensions sont les mêmes que pour NCC ( $L_{REF} = L$  et  $W_{REF} = W$ ) et dont les drain, grille, source et grille arrière sont, respectivement, polarisés à  $V_d$ ,  $V_g$ , 0 V et 0 V. Pour le reste du chapitre, les dimensions de NTH ne changent pas,  $L_{TH} = W_{TH} = 500$  nm.

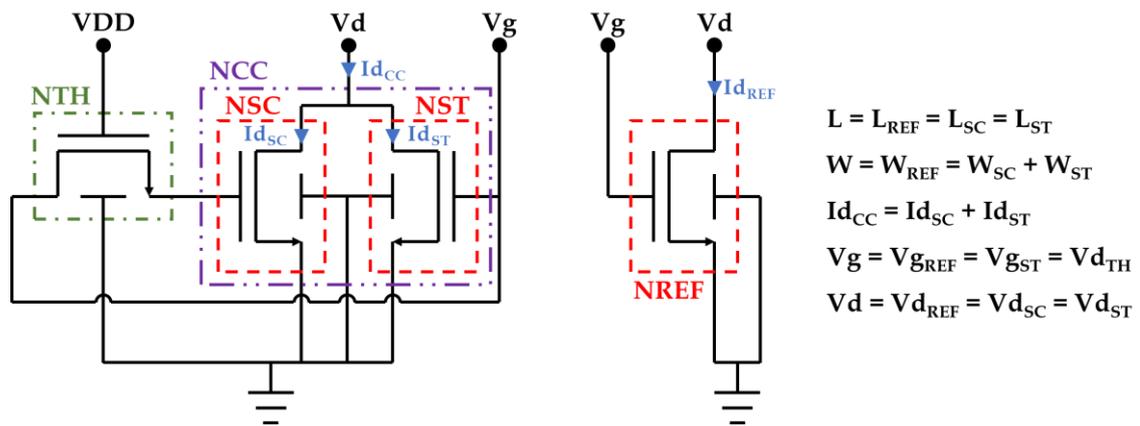


FIGURE IV.14 - Schéma électrique de notre circuit permettant d'avoir un courant  $I_{d_{CC}}$  à coefficient de température nul (CT0) et d'un transistor standard de référence (NREF) utilisé pour comparaison.

#### IV.3.3.2 Simulations

Dans cette sous-section, nous allons étudier le comportement de NCC et le comparer à NREF à partir des résultats issus de simulations SPICE. Pour rappel, les transistors de la technologie 28 nm UTBB FD-SOI de STMicroelectronics ne sont calibrés que sur la gamme de température [233 K ; 398 K]. Tout d'abord, nous avons simulé notre circuit lorsque  $L = 30$  nm,  $W = 4,75$   $\mu\text{m}$ ,  $W_{SC} = 1$   $\mu\text{m}$  et  $W_{ST} = 3,75$   $\mu\text{m}$  en faisant varier  $V_g$  et pour différentes températures (de 223 K à 473 K tous les 50 K), VDD et Vd sont polarisés à 1 V (voir la FIGURE IV.15). Pour  $I_{d_{REF}}$ , nous retrouvons le même comportement que dans la FIGURE IV.9, c'est-à-dire un point CT0 aux alentours de 0,8 V est observé. Tandis que pour  $I_{d_{CC}}$ , nous observons que le point CT0 se retrouve vers la tension d'alimentation, soit à 1 V. Les courants sont du même ordre de grandeur.

Ensuite, de la simulation précédente, nous avons extrait les courants de drain en fonction de la température quand  $V_g$  est polarisé à 0 V ( $I_{d_{REF}}$  et  $I_{d_{CC}}$ ) et à 1 V ( $I_{d_{SC}}$ ,  $I_{d_{ST}}$ ,  $I_{d_{CC}}$  et  $I_{d_{REF}}$ ). Les résultats sont affichés dans la FIGURE IV.16. Lorsque  $V_g$  est nul, nous observons que les courbes de  $I_{d_{CC}}$  et  $I_{d_{REF}}$  en fonction de la température sont superposées. Ceci signifie, d'une part, que le potentiel de grille de NSC est nul et, d'autre part, que lorsque NCC est éteint, il fuit autant de courant que pour un transistor standard. Lorsque  $V_g$  est polarisé à 1 V, nous retrouvons un courant CTP et CTN pour, respectivement,  $I_{d_{SC}}$  et  $I_{d_{ST}}$ . La somme résultante ( $I_{d_{CC}}$ ) donne bien un courant CT0 (variation  $\Delta I_{d_{CC}}$  de 0,7 % seulement entre 223 K et 473 K) tandis que le courant de référence ( $I_{d_{REF}}$ ) varie de 11 % ( $\Delta I_{d_{REF}}$ ) sur la même gamme de température. À 473 K, l'écart entre  $I_{d_{CC}}$  et  $I_{d_{REF}}$  n'est que de 1,5 % (par rapport à  $I_{d_{REF}}$ ), ce qui est mieux que les écarts entre les courants  $I_3$ ,  $I_4$  et  $I_5$  observé dans la section IV.3.1.

$$\Delta Id = \frac{\max(Id) - \min(Id)}{Id(273\text{ K})} \times 100 \quad [\%] \quad (\text{IV.3})$$

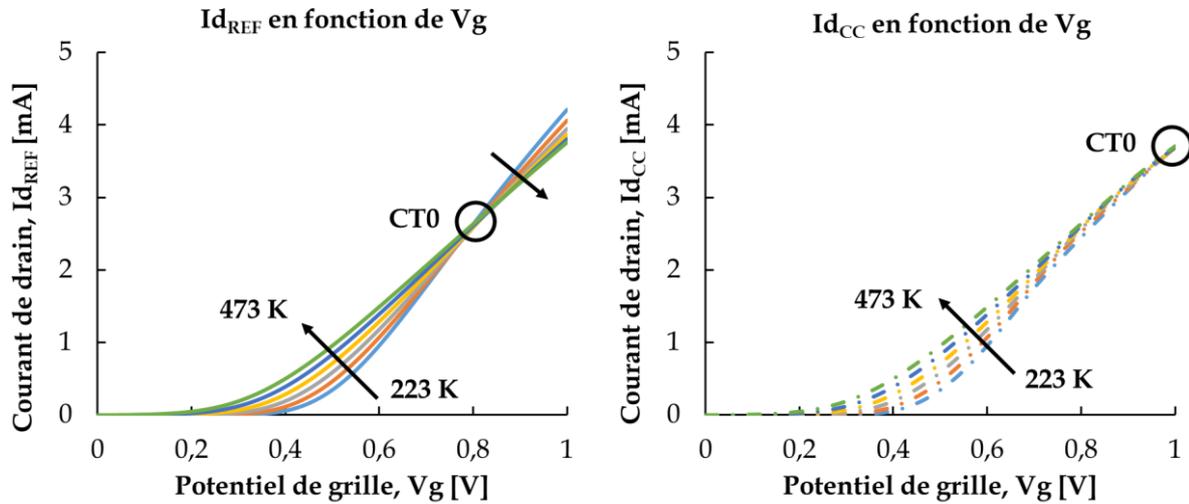


FIGURE IV.15 - Graphes montrant l'évolution du courant de drain du transistor NREF ( $I_{d_{REF}}$ ) et de notre transistor NCC ( $I_{d_{CC}}$ ) en fonction du potentiel de grille ( $V_g$ ) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD et Vd sont polarisés à 1 V. CT0 représente le point où  $I_{d_{REF}}$  et  $I_{d_{CC}}$  ne varient plus en fonction de la température.

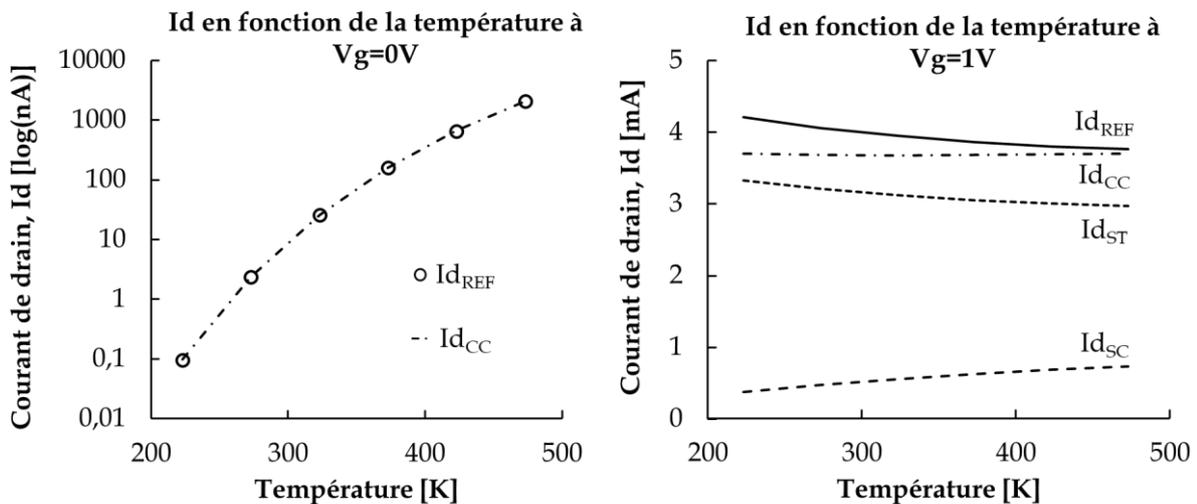
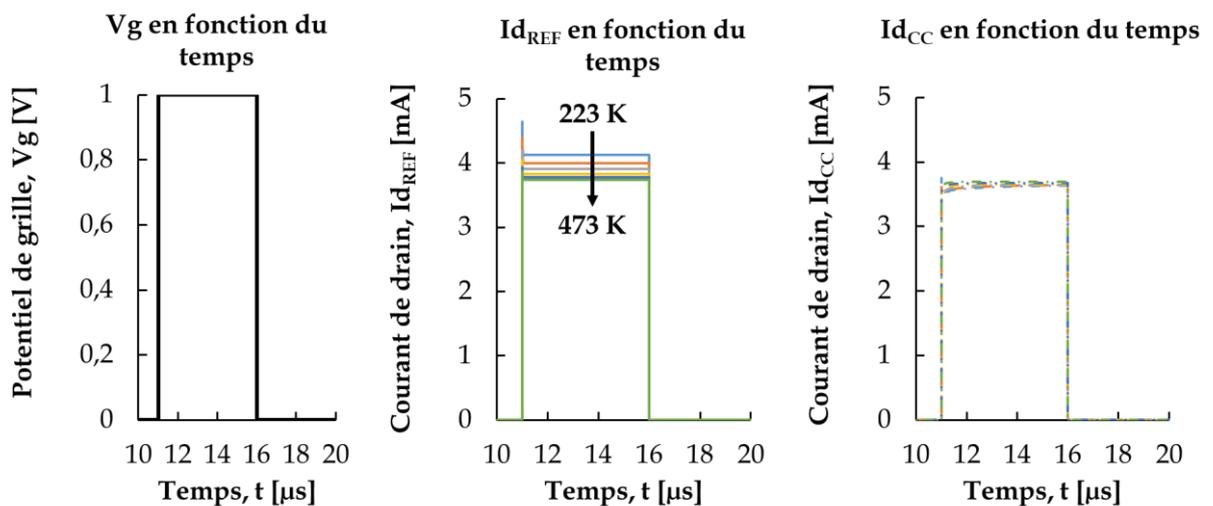


FIGURE IV.16 - Graphes montrant l'évolution du courant de drain ( $I_d$ ) lorsque le potentiel de grille ( $V_g$ ) est polarisé à 0 V et 1 V en fonction de la température, issus de simulations SPICE. Pour le graphe de gauche, les cercles correspondent au courant de drain de NREF ( $I_{d_{REF}}$ ) et le trait discontinu avec tirets-point au courant de drain de NCC ( $I_{d_{CC}}$ ). Pour le graphe de droite, les traits plein, discontinu avec tirets-point, point et tiret correspondent respectivement à  $I_{d_{REF}}$ ,  $I_{d_{CC}}$ , au courant de drain de NST ( $I_{d_{ST}}$ ) et de NSC ( $I_{d_{SC}}$ ). VDD et Vd sont polarisés à 1 V.

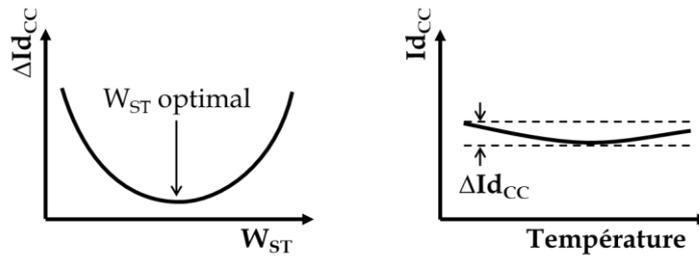
Toujours avec le même circuit, nous avons simulé l'évolution des courants  $I_{d_{CC}}$  et  $I_{d_{REF}}$  en fonction du temps et pour différentes températures (de 223 K à 473 K tous les 50 K) avec VDD et Vd qui sont polarisés à 1 V (voir la FIGURE IV.17).  $V_g$  est polarisé

suivant un signal carré de 0 V à 1 V avec une période de 10  $\mu\text{s}$  (5  $\mu\text{s}$  à 0 V et 5  $\mu\text{s}$  à 1 V). Lorsque  $V_g$  est nul, et comme observé précédemment, les courants de drain de NCC et NREF sont confondus. Lorsque  $V_g = 1$  V, nous observons que la dispersion des courbes des différentes températures est plus importante pour  $I_{d_{REF}}$  que pour  $I_{d_{CC}}$ , comme nous pouvions nous y attendre d'après les précédentes simulations. En particulier,  $I_{d_{REF}}$  se stabilise rapidement (temporellement) et diminue en fonction de la température tandis que  $I_{d_{CC}}$  converge vers une même valeur pour toutes les températures. En moins de 100 ns, la dispersion en température pour  $I_{d_{CC}}$  est déjà plus faible que pour  $I_{d_{REF}}$ .



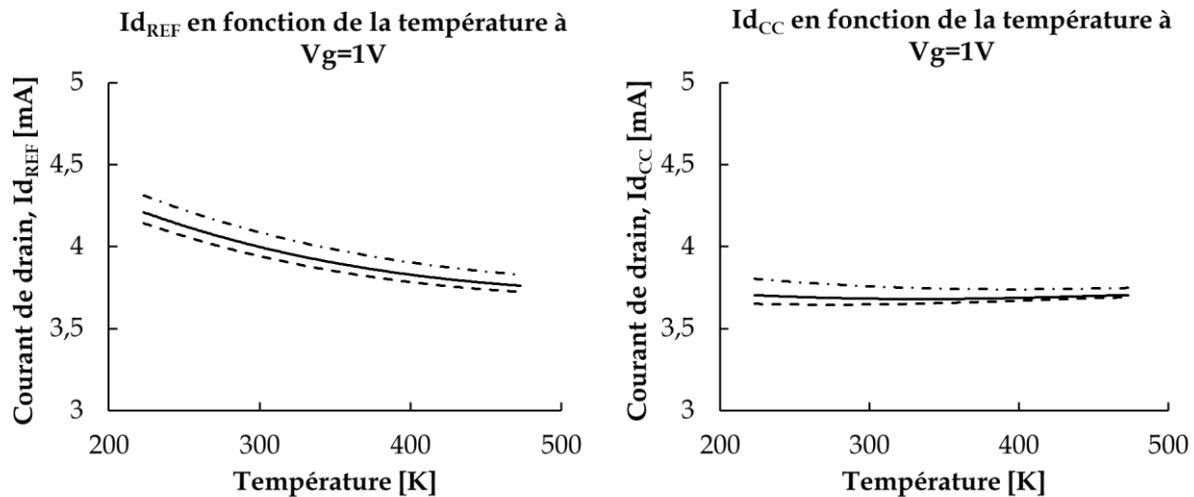
**FIGURE IV.17** - Graphes montrant l'évolution du potentiel de grille ( $V_g$ ), du courant de drain de NREF ( $I_{d_{REF}}$ ) et de NCC ( $I_{d_{CC}}$ ) en fonction du temps, issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD et Vd sont polarisés à 1 V.

À noter qu'il existe une largeur de grille de NST optimale pour chaque largeur de grille de NSC afin de minimiser la variation de  $I_{d_{CC}}$  ( $\Delta I_{d_{CC}}$ ) lorsque  $V_g$  est polarisé à 1 V et sur la gamme de température (voir **FIGURE IV.18**). En effet, pour minimiser  $\Delta I_{d_{CC}}$  sur la gamme de température, il faut faire en sorte que la perte de courant sur  $I_{d_{ST}}$  soit compensée par le gain de courant sur  $I_{d_{SC}}$ . Or, ces pertes et gains de courants sont proportionnels aux largeurs de grilles correspondantes. Puisque les courants de drain de NCC et NREF sont confondus lorsque  $V_g$  est polarisé à 0 V, nous avons choisi de ne pas les montrer pour les simulations suivantes.



**FIGURE IV.18** - Représentation simplifiée de l'évolution du courant de drain de NCC ( $I_{d_{CC}}$ ) en fonction de la température (à droite) et de la variation de  $I_{d_{CC}}$  sur la gamme de température ( $\Delta I_{d_{CC}}$ ) en fonction de la largeur de grille ( $W_{ST}$ ) de NST (à gauche).  $\Delta I_{d_{CC}}$  est calculé selon l'équation (IV.3).

La **FIGURE IV.19** montre les résultats de la simulation de notre circuit en fonction de la température lorsque  $V_g$  est polarisé à 1 V et pour des transistors dont la tension de seuil est typique, haute ou basse. Nous observons que plus la tension de seuil est élevée, plus les courants sont faibles. De plus, les variations ( $\Delta I_{d_{CC}}$  et  $\Delta I_{d_{REF}}$ ) entre 223 K et 473 K évoluent aussi de 0,7 % et 11 % à 1,2 % et 10,5 % ainsi que 1,7 % et 11,6 % pour, respectivement, des tensions de seuil typiques, hautes et basses. La variabilité du processus de fabrication induit donc une variabilité au niveau des courants de drain et de leurs comportements en fonction de la température, cependant, une amélioration du  $\Delta I_d$  pour NCC par rapport à NREF est toujours observée. Par ailleurs, étant donné que la grille arrière des transistors est inutilisée, il est possible de compenser la variabilité du processus de fabrication en polarisant les grilles arrière.



**FIGURE IV.19** - Graphes montrant l'évolution du courant de drain de NREF ( $I_{d_{REF}}$ ) et de NCC ( $I_{d_{CC}}$ ) en fonction de la température issus de simulations SPICE. Les traits pleins, discontinus avec tirets et tirets-points correspondent, respectivement, aux transistors dont la tension de seuil est typique, haute et basse.  $V_{DD}$ ,  $V_g$  et  $V_d$  sont polarisés à 1 V.

Nous cherchons ensuite à connaître les limites de notre circuit lorsque  $V_d$ ,  $L$  ou  $W_{SC}$  varient. Les résultats de la simulation, pour différentes températures (de 223 K à 473 K tous les 50 K), avec  $V_g$  polarisé à 1 V et  $V_d$  variant de 0 V à 1 V, sont affichés

dans la FIGURE IV.20. Nous observons que le courant  $I_{dREF}$  varie beaucoup plus vis-à-vis de la température que le courant  $I_{dCC}$ . Ensuite, nous pouvons voir que  $I_{dCC}$  varie peu en fonction de la température lorsque  $V_d > 0,7$  V ( $\Delta I_{dCC} \leq 1,1$  %).

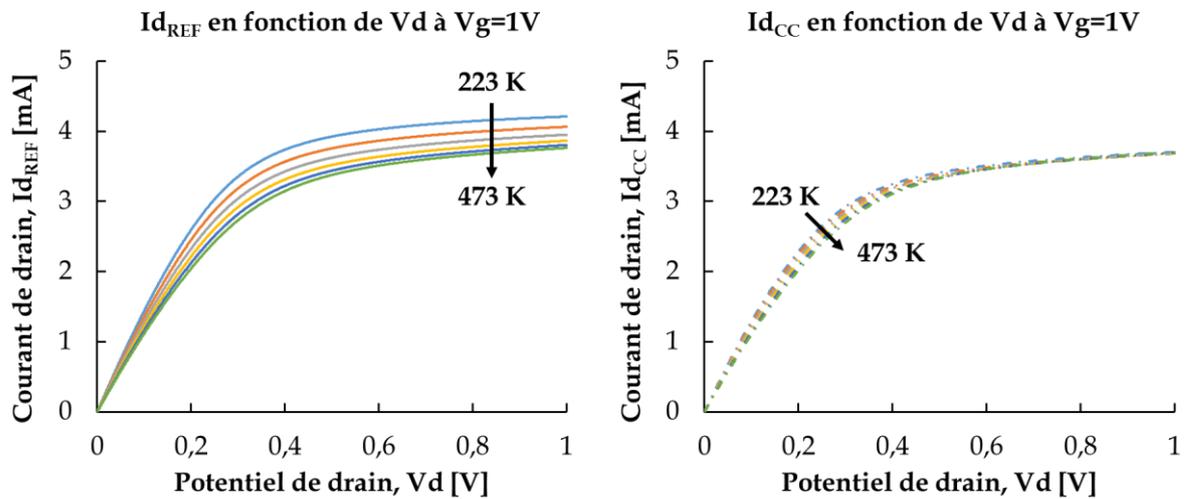


FIGURE IV.20 - Graphes montrant l'évolution du courant de drain de NREF ( $I_{dREF}$ ) et NCC ( $I_{dCC}$ ) en fonction du potentiel de drain ( $V_d$ ) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD et Vg sont polarisés à 1 V.

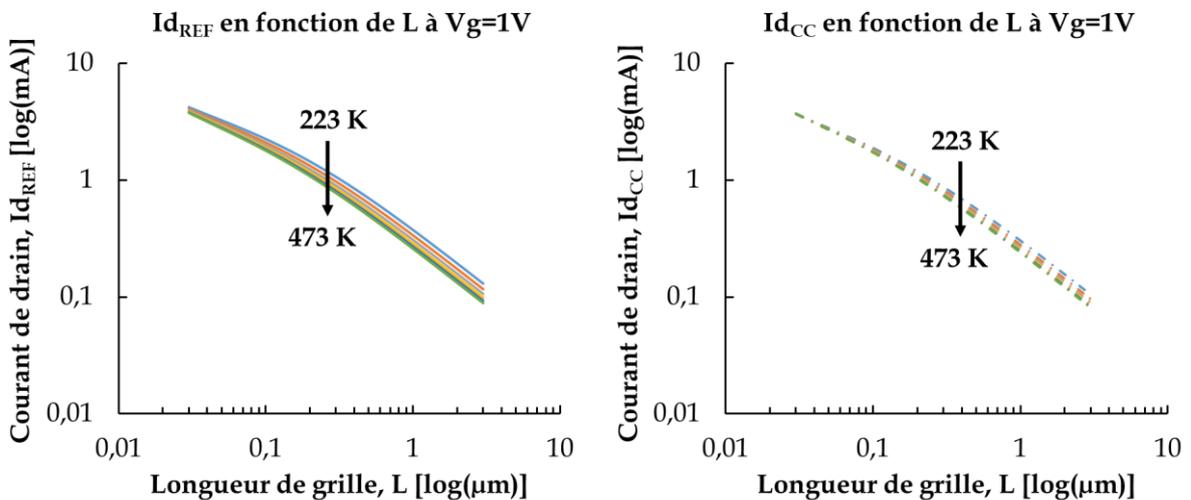
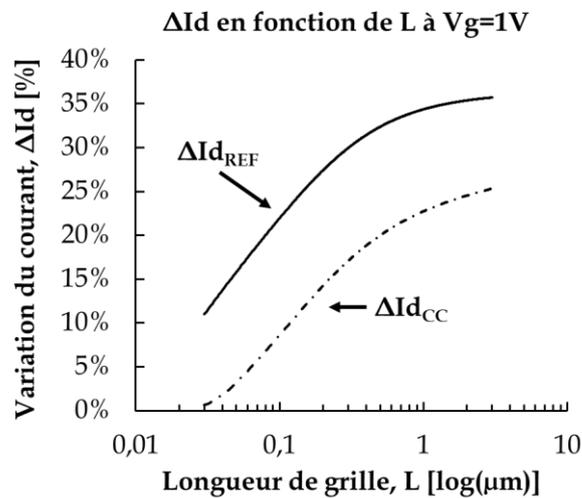


FIGURE IV.21 - Graphes montrant l'évolution du courant de drain de NREF ( $I_{dREF}$ ) et NCC ( $I_{dCC}$ ) en fonction de la longueur de grille ( $L$ ) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD,  $V_d$  et Vg sont polarisés à 1 V.

La FIGURE IV.21 montre les résultats de la simulation en fonction de la longueur de grille ( $L$ ) pour différentes températures (de 223 K à 473 K tous les 50 K) et lorsque  $V_g = V_d = 1$  V. Les autres dimensions des transistors ( $W$ ,  $W_{TH}$  et  $L_{TH}$ ) ne changent pas. Tout d'abord, nous remarquons, sur toute la gamme de longueur simulée (de 30 nm à 3  $\mu$ m), que le courant de drain de NCC varie toujours moins que le courant de drain

de NREF en fonction de la température. Cependant, plus la longueur,  $L$ , est grande, plus les variations ( $\Delta Id_{CC}$  et  $\Delta Id_{REF}$ ) sont importantes (voir **FIGURE IV.22**). Ainsi, dès  $L = 40$  nm,  $\Delta Id_{CC}$  et  $\Delta Id_{REF}$  sont de, respectivement, 1,8 % et 14 % au lieu de 0,7 % et 11 % pour  $L = 30$  nm.



**FIGURE IV.22** - Graphe montrant l'évolution des variations, due à la température, des courants de drain ( $\Delta Id_{CC}$  et  $\Delta Id_{REF}$ ) en fonction de la longueur de grille ( $L$ ), issu de simulations SPICE. Les traits pleins et discontinus correspondent, respectivement, à  $\Delta Id_{REF}$  et  $\Delta Id_{CC}$ . VDD, Vd et Vg sont polarisés à 1 V.

Enfin, nous avons fait varier la largeur de grille de NSC tout en gardant la même proportionnalité entre  $W_{SC}$ ,  $W_{ST}$  et  $W$ , c'est-à-dire  $W_{ST} = 3,75 \times W_{SC}$  et  $W = 4,75 \times W_{SC}$ . Les résultats de la simulation sont présentés dans la **FIGURE IV.23**. La longueur  $L$  a été refixée à 30 nm et les potentiels Vd et Vg ont été polarisés à 1 V. Comme nous pouvions le prévoir,  $Id_{REF}$  varie plus que  $Id_{CC}$  en fonction de la température sur toute la gamme de largeur (0,1 μm à 10 μm). Plus particulièrement, nous observons que les variations ( $\Delta Id_{CC}$  et  $\Delta Id_{REF}$ ) bougent peu et restent aux alentours de 1 % et 11 % pour, respectivement,  $\Delta Id_{CC}$  et  $\Delta Id_{REF}$ . Ceci signifie que le coefficient de proportionnalité de  $W_{ST}$  par rapport à  $W_{SC}$  (3,75) est optimal pour des dimensions  $L$  de 30 nm,  $L_{TH}$  de 500 nm et  $W_{TH}$  de 500 nm. L'étude sur  $L$  et  $W_{SC}$  nous indique que pour chaque valeur de  $L$ , il faut dimensionner  $L_{TH}$ ,  $W_{TH}$ , ainsi que, le coefficient de proportionnalité de  $W_{ST}$  par rapport à  $W_{SC}$  pour minimiser  $\Delta Id_{CC}$  et ainsi optimiser notre circuit.

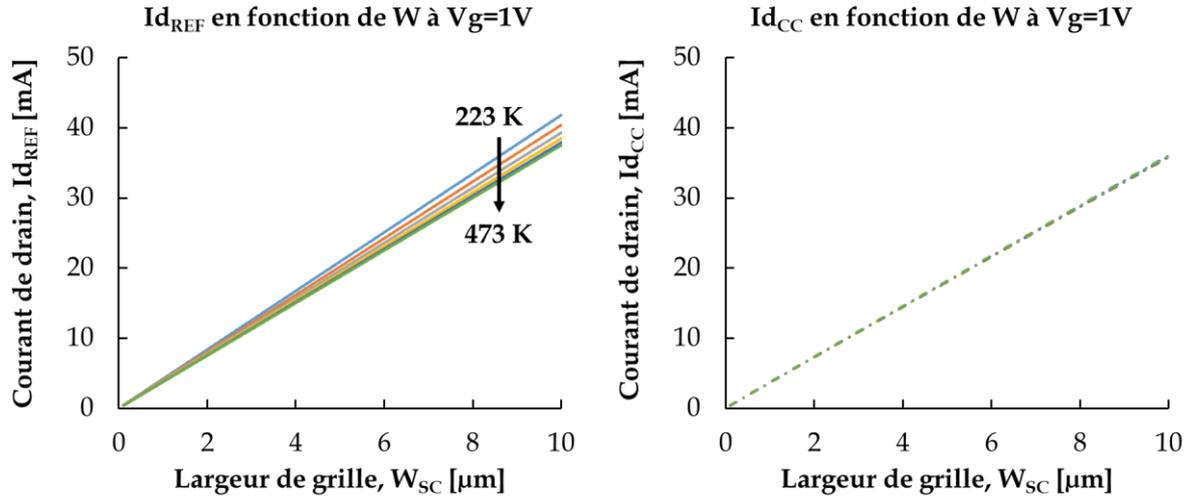


FIGURE IV.23 - Graphes montrant l'évolution du courant de drain de NREF ( $I_{d_{REF}}$ ) et NCC ( $I_{d_{CC}}$ ) en fonction de la largeur de grille de NSC ( $W_{SC}$ ) issus de simulations SPICE. Les traits bleu, orange, gris, jaune, bleu foncé et vert correspondent à des températures de, respectivement, 223 K, 273 K, 323 K, 373 K, 423 K et 473 K. VDD, Vd et Vg sont polarisés à 1 V,  $W = 4,75 \times W_{SC}$  et  $W_{ST} = 3,75 \times W_{SC}$ .

#### IV.3.3.3 Mesures

Nous avons mesuré notre circuit sur plaque de silicium, avec les mêmes instruments que pour le capteur, pour différentes largeurs de grilles de NST ( $W_{ST}$ ) et NCC ( $W$ ), températures et potentiel de grille ( $V_g$ ). Les dimensions des transistors sont les mêmes que pour les premières simulations ( $L_{TH} = W_{TH} = 500$  nm,  $L = 30$  nm,  $W_{SC} = 1$  μm). Les mesures ont été faites à 300 K, 325 K, 350 K, 375 K et 400 K et pour  $V_g$  égale à 0 V et 1 V, tandis que, VDD et Vd sont polarisés à 1 V.  $W$  varie de 2 μm à 8 μm par pas de 1 μm. Les résultats des mesures sont affichés dans la FIGURE IV.24, les variations des courants en fonction de la température ( $\Delta Id$ ) et pour  $V_g = 1$  V sont présentés dans le TABLEAU I.3.

Lorsque  $V_g = 0$  V, nous observons que les courbes de  $I_{d_{CC}}$  et  $I_{d_{REF}}$  en fonction de la température sont proches et que plus la largeur de grille,  $W$ , augmente, plus les courants de drain augmentent. Ensuite, lorsque  $V_g$  est polarisé à 1 V, nous observons que  $I_{d_{CC}}$  varie moins que  $I_{d_{REF}}$  (à largeur de grille égale) en fonction de la température et reste inférieur à  $I_{d_{REF}}$ . Le TABLEAU I.3 confirme bien que  $\Delta I_{d_{CC}}$  est plus faible que  $\Delta I_{d_{REF}}$ . De plus, nous observons un minimum de  $\Delta I_{d_{CC}}$  pour  $W = 3$  μm ( $W_{ST} = 2$  μm), ce qui confirme qu'il existe un couple  $W_{SC}$  et  $W_{ST}$  pour lequel  $\Delta I_{d_{CC}}$  est minimale.

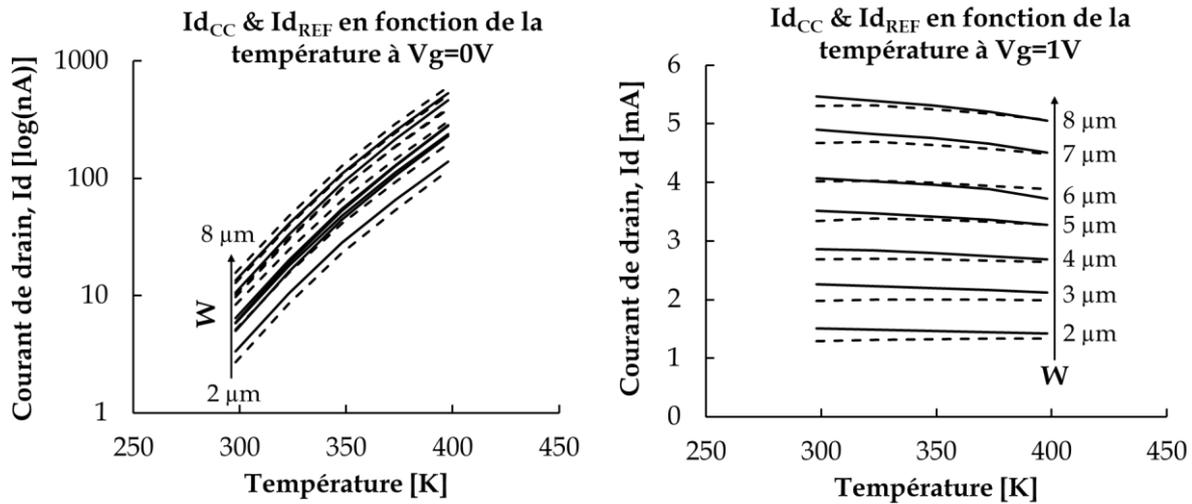


FIGURE IV.24 - Graphes montrant les résultats issus des mesures des courants de drain de NREF ( $I_{d_{REF}}$ ) et NCC ( $I_{d_{CC}}$ ) en fonction de la température lorsque le potentiel de grille est polarisé à 0 V et 1 V et pour différentes largeurs de grille ( $W$ ). Les traits pleins et discontinus correspondent, respectivement, à  $I_{d_{REF}}$  et  $I_{d_{CC}}$ . VDD et Vd sont polarisés à 1 V,  $W_{SC} = 1 \mu\text{m}$ .

Résultats des mesures	W						
	2 $\mu\text{m}$	3 $\mu\text{m}$	4 $\mu\text{m}$	5 $\mu\text{m}$	6 $\mu\text{m}$	7 $\mu\text{m}$	8 $\mu\text{m}$
$\Delta I_{d_{REF}}$	6%	6,4%	6,2%	6,6%	8,6%	7,9%	7,5%
$\Delta I_{d_{CC}}$	3,3%	1,4%	2%	3%	3,6%	4,2%	4,6%

TABLEAU IV.1 - Tableau récapitulatif des variations des courants de drain de NREF ( $\Delta I_{d_{REF}}$ ) et NCC ( $\Delta I_{d_{CC}}$ ) issues des mesures sur la gamme de température [300 K ; 400 K].  $\Delta I_{d_{REF}}$  et  $\Delta I_{d_{CC}}$  sont calculées suivant l'équation (IV.4).

$$\Delta Id = \frac{\max(Id) - \min(Id)}{Id(300\text{ K})} \times 100 \quad [\%] \quad (IV.4)$$

### IV.3.4 Conclusion

En prenant le capteur de température de la section IV.2 et en le modifiant (séparation de  $V_{d_{TH}}$  et  $V_{g_{TH}}$ , polarisation de Vd), nous sommes capables d'obtenir un courant à coefficient de température positif. De plus, en ajoutant un transistor NST en parallèle de NSC, nous pouvons obtenir un courant à coefficient de température nul. Pour avoir une variation en fonction de la température, maximum pour le courant CTP et minimum pour le courant CT0, il faut dimensionner NTH en fonction des dimensions de NSC puis trouver le bon coefficient de proportionnalité entre  $W_{SC}$  et  $W_{ST}$ . Par rapport à un transistor standard de dimensions équivalentes, les surfaces prises par nos circuits sont un peu plus importantes (ajout de l'aire prise par NTH) mais ils ne consomment que quelques picowatts de plus, sur une consommation globale de quelques nanowatts (à  $V_g = 0\text{ V}$ ) et milliwatts (pour  $V_g = 1\text{ V}$ ). Les

simulations SPICE et les mesures montrent les mêmes tendances mais afin d'avoir une meilleure information sur le gain réel de  $\Delta I_{dCC}$  par rapport à  $\Delta I_{dREF}$ , il faudrait faire d'autres mesures sur plusieurs puces. En effet, les simulations prédisent que, pour  $L = 30 \text{ nm}$ ,  $W_{SC} = 1 \text{ }\mu\text{m}$  et  $W = 4,75 \text{ }\mu\text{m}$ ,  $\Delta I_{dCC}$  est de 0,7 % entre 223 K et 473 K alors que, d'après les mesures effectuées, pour  $L = 30 \text{ nm}$ ,  $W_{SC} = 1 \text{ }\mu\text{m}$  et  $W = 3 \text{ }\mu\text{m}$ ,  $\Delta I_{dCC}$  est de 1,4 % entre 300 K et 400 K. Enfin, afin d'optimiser la surface, nous pouvons utiliser des transistors multi-doigts (voir FIGURE IV.25).

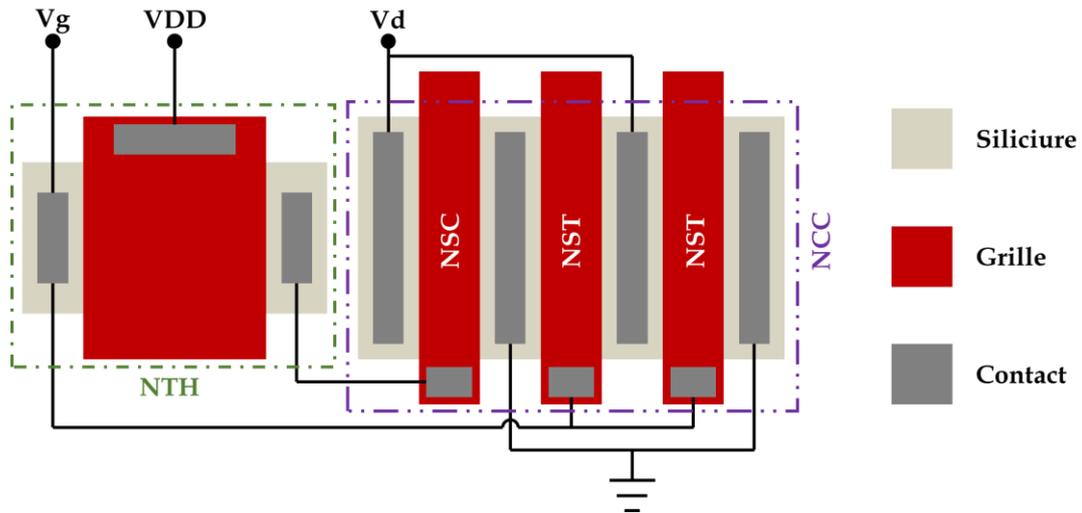


FIGURE IV.25 - Dessin de masque simplifié de notre circuit lorsque NSC et NST sont sur le même film de silicium, c'est-à-dire ils ne sont pas séparés par du STI comme l'est NTH par rapport aux deux autres transistors.

## IV.4 Conclusion

Dans ce chapitre, nous avons introduit de nouveaux dispositifs électroniques dans la technologie 28 nm UTBB FD-SOI de STMicroelectronics. Notamment, nous avons présenté un nouveau capteur de température compact et un transistor modifié dont le courant de drain est plus robuste vis-à-vis de la température lorsque son potentiel de grille est polarisé à la tension d'alimentation.

Les simulations SPICE et les mesures ont permis de montrer que notre capteur avait une tension de sortie linéaire (pente de  $1 \text{ mV.K}^{-1}$  pour une version de notre capteur) dans, au moins, la gamme de température standard [233 K ; 398 K] et dont la puissance est très faible, de l'ordre du picowatt. Ce capteur peut être exporté vers d'autres technologies telles que les technologies de silicium sur substrat massif ou PD-SOI. Une des conditions nécessaires pour que le transfert vers ces autres technologies fonctionne, est d'avoir une épaisseur de grille suffisamment fine pour permettre un courant de fuite à travers la grille. Nous pouvons optimiser notre capteur (amélioration de la linéarité, diminution de la puissance et augmentation de la pente

de la tension de sortie en fonction de la température) en dimensionnant correctement les transistors NTH et NSC.

Notre capteur, modifié et additionné à un transistor (NST) en parallèle de NSC, peut permettre d'avoir un transistor équivalent (NCC) avec le potentiel de grille correspondant au point CT0 à VDD au lieu de 0,8 V (pour un transistor standard). Les simulations SPICE ont montré que nous pouvions avoir une variation du courant de drain de 0,7 % entre 223 K et 473 K lorsque les potentiels de drain et de grille sont polarisés à la tension d'alimentation (1 V) mais les mesures n'ont montré qu'une variation du courant de drain de 1,4 % (valeur minimale) sur la gamme de température [300 K ; 400 K]. Enfin, pour chaque longueur de grille, il faut redimensionner  $L_{TH}$  et  $W_{TH}$  ainsi que le coefficient de proportionnalité entre  $W_{SC}$  et  $W_{ST}$  pour avoir le minimum de variation possible du courant de drain en fonction de la température.

Afin de consolider notre étude, il faudrait faire d'autres mesures sur différentes puces, notamment pour des températures basses (en dessous de 300 K), afin de vérifier la robustesse de nos solutions vis-à-vis de la variabilité du processus de fabrication. De plus, pour le transistor équivalent (NCC), des mesures supplémentaires sont réalisées pour plusieurs valeurs de coefficient de proportionnalité entre  $W_{SC}$  et  $W_{ST}$ .

Par ailleurs, dans ce chapitre, nous n'avons pas utilisé les grilles arrière de nos transistors. Cela signifie que nous pouvons compenser la variabilité, due au processus de fabrication, en polarisant lesdites grilles arrière.

## IV.5 Références

- [Bendali07] Bendali A. et Audet Y. « A 1-V CMOS Current Reference With Temperature and Process Compensation ». *IEEE Trans. Circuits Syst. Regul. Pap.* juillet 2007. Vol. 54, n°7, p. 1424-1429.
- [Filanovsky01] Filanovsky I. M. et Allam A. « Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits ». *IEEE Trans. Circuits Syst. Fundam. Theory Appl.* juillet 2001. Vol. 48, n°7, p. 876-884.
- [Filanovsky02] Filanovsky I. M. et Lim S. T. « Temperature sensor applications of diode-connected MOS transistors ». In : *2002 IEEE Int. Symp. Circuits Syst. Proc. Cat No02CH37353*. Phoenix-Scottsdale, AZ, USA : IEEE, 2002. p. II-149-II-152.
- [Nilsson15] Nilsson J., Borg J. et Johansson J. « Leakage current compensation for a 450 nW, high-temperature, bandgap temperature sensor ». In : *2015 22nd Int. Conf. Mix. Des.*

*Integr. Circuits Syst. Mix.* Torun, Poland : IEEE, 2015. p. 343-347.

- [Park09] Park S., Min C. et Cho S. « A 95nW ring oscillator-based temperature sensor for RFID tags in 0.13 $\mu$ m CMOS ». In : *2009 IEEE Int. Symp. Circuits Syst.* Taipei, Taiwan : IEEE, 2009. p. 1153-1156.
- [Sebastiano10] Sebastiano F., Breems L. J., Makinwa K. A. A., Drago S., Leenaerts D. M. W. et Nauta B. « A 1.2-V 10- $\mu$ W NPN-Based Temperature Sensor in 65-nm CMOS With an Inaccuracy of 0.2 °C ( $3\sigma$ ) From -70 °C to 125 °C ». *IEEE J. Solid-State Circuits.* décembre 2010. Vol. 45, n°12, p. 2591-2601.



---

## CONCLUSION GÉNÉRALE

---

La gestion de la température dans les circuits intégrés est un point clé pour leur performance et leur robustesse. En effet, il a été montré dans la littérature que les dispositifs électroniques étaient sensibles aux effets de la chaleur. En particulier, l'auto-échauffement n'est plus négligeable pour les technologies avancées comme le 28 nm UTBB FD-SOI de STMicroelectronics et pour les transistors avec une forte densité de courant.

Les travaux menés pendant cette thèse ont été réalisés avec pour objectif initial d'améliorer la robustesse électrothermique des dispositifs électroniques pour différents facteurs d'échelle (du transistor à la puce en passant par les circuits intégrés et les systèmes sur puces) et en utilisant la technologie 28 nm UTBB FD-SOI de STMicroelectronics. Ainsi, nous avons commencé par l'étude électrothermique des structures à double contacts de source, présentée au chapitre III. Initialement, ces dispositifs ont été développés pour le chauffage in-situ de transistors, la robustesse électrothermique ne concernant pas que les dispositifs électriques à haute température (> 400 K) mais aussi à basse température. En particulier, les transistors sont plus performants à basse température qu'à température ambiante. Cependant, aux cryotempératures (< 120 K), ils le sont moins. Ainsi, il est nécessaire de trouver des solutions pour amener et maintenir les transistors à des températures auxquelles leurs performances seront optimales.

Une de nos solutions a été d'implémenter un double contact de source et d'insérer une résistance entre les deux contacts nouvellement créés. Ainsi, en faisant passer un courant entre ces deux contacts, la résistance chauffe par effet joule. Les mesures de nos démonstrateurs et leurs simulations électrothermiques ont montré que la température du point chaud dépendait des dimensions de la résistance et de sa résistivité. En particulier, plus la densité surfacique de courant par unité de tension dans la résistance est importante ( $\frac{d\vec{j}}{dV}$ ), plus la température est intense. Celle-ci peut être élevée de plusieurs centaines de degrés kelvins (par rapport à la température ambiante) pour des tensions inférieures à 1 V. L'utilité de nos structures ne se limite pas au chauffage de transistors à basse température puisqu'il est possible d'effectuer des recuits locaux et de « guérir » nos structures. De plus, en réduisant les structures à double contacts de source au minimum (entre les deux contacts de source) autorisé pour la technologie 28 nm FD-SOI, les résistances deviennent des fusibles utilisables comme mémoires OTP. Les dimensions étant tellement réduites, nous sommes capables de provoquer un phénomène d'électromigration dans le siliciure de la source

pour des tensions inférieures à 1 V. Ce faisant, la résistance voit sa valeur augmenter de façon irrémédiable. Enfin, une dernière option d'utilisation des structures à double contacts de source est de laisser un des deux contacts de source « flottant ». Ce potentiel « flottant », dépendant de la température et de la géométrie de la structure, permet une autorégulation en fonction de la température. A priori, les transistors à double contacts de source ne sont pas limités à la technologie 28 nm FD-SOI. Il est donc tout à fait possible d'exporter ces solutions vers d'autres technologies (PD-SOI par exemple), en particulier celles utilisant du silicium. Par ailleurs, ce type de structure pourrait être utilisé comme structure de test (en utilisant les résistances des zones à double contacts) pour extraire des paramètres thermiques utiles aux simulations électrothermiques, comme nous l'avons fait en calibrant les simulations de nos structures.

Une deuxième partie de cette thèse a consisté à développer un capteur de température basse consommation et compact, présenté au chapitre IV. Nous avons notamment tiré profit du courant de fuite de grille (qui dans notre cas devient un courant utile) et des caractéristiques des transistors en régime sous le seuil. Grâce à la faible intensité du courant traversant notre capteur, nous obtenons une puissance de l'ordre du picowatt. Les mesures et simulations électrothermiques de nos démonstrateurs ont montré qu'ils avaient une tension de sortie linéaire (pente de  $1 \text{ mV.K}^{-1}$  pour une des versions de notre capteur). Ces capteurs, modifiés et ajoutés à un transistor en parallèle, permettent d'obtenir un transistor équivalent dont le courant de drain est invariant vis-à-vis de la température lorsque la grille est polarisée à la tension d'alimentation (1.4 % de variation entre 300°K et 400 K d'après nos mesures).

Ce capteur peut être exporté vers d'autres technologies telles que les technologies de silicium sur substrat massif ou PD-SOI. Une condition nécessaire au transfert vers ces autres technologies est d'avoir une épaisseur de grille suffisamment fine permettant à un courant de la traverser. L'optimisation des capteurs (amélioration de la linéarité, diminution de la puissance et augmentation de la pente de la tension de sortie en fonction de la température) passe par l'optimisation des dimensions des transistors les constituant.

Nous avons utilisé plusieurs logiciels de simulation électrothermique, présentés au chapitre II. Nous avons, en particulier, travaillé avec l'outil TCAD de Synopsys (Sentaurus) pour réaliser des simulations électrothermiques en 3D. L'adaptation de cet outil par rapport à nos besoins a constitué un troisième axe de travail pendant cette thèse de doctorat. En effet, il a fallu ajuster les propriétés thermiques des couches de

matériaux pour correspondre à la technologie 28 nm FD-SOI de STMicroelectronics et les conditions aux limites pour représenter le plus fidèlement possible (sans alourdir la puissance et le temps de calcul) nos conditions de mesures. Malgré tout, il reste des pistes d'amélioration pour obtenir des simulations qui soient encore mieux calibrées par rapport aux mesures.

Bien que la mesure de nos démonstrateurs (structures à double contacts de source et capteurs de température) ait montré la validité de nos solutions, il serait intéressant de poursuivre l'étude en approfondissant les mesures suivantes : (i) à basse température ( $< 300$  K) ; (ii) pour plusieurs potentiels de grille arrière (ce qui n'a pas été mis à profit pendant nos travaux) ; (iii) pour plusieurs niveaux d'irradiation (pour les applications spatiales) ; ou, (iv) sur plusieurs puces et plaques de silicium (pour étudier la variabilité). Ces compléments d'études permettraient de vérifier la continuité de la validité dans ces conditions et la possibilité d'industrialiser nos dispositifs électroniques. De même, il serait intéressant de vérifier que nos structures sont intégrables dans d'autres circuits, par exemple des circuits de programmation pour les points mémoires.

---

# LISTES DES BREVETS ET PUBLICATIONS

---

## Brevets :

Galy P. et **Lethiecq R.** *Dispositif électronique intégré destiné à fonctionner dans des environnements à température variable.* FR3082052. 2019.

Galy P. et **Lethiecq R.** *Point mémoire.* FR3087290. 2020.

**Lethiecq R.** et Galy P. *Dispositif électronique capable de former un capteur de température ou une source de courant délivrant un courant indépendant de la température.* FR3086405. 2020.

Galy P. et **Lethiecq R.** *THERMAL SENSOR CIRCUIT.* Déposé en 2020, en cours de publication.

## Articles de journal :

Galy P., **Lethiecq R.** et Bawedin M. « In-situ heater for thermal assist recovery of MOS devices in 28 nm UTBB FD-SOI CMOS technology ». *Solid-State Electronics*. 2020. Vol. 168, p. 107737.

## Articles de conférences :

Galy Ph., **Lethiecq R.** et Bawedin M. « Optimized in situ heating control on a new MOS device structure in 28nm UTBB FD-SOI CMOS technology ». In : *2018 International Conference on IC Design & Technology (ICICDT)*. Otranto, Italy : IEEE, 2018. p. 157-160.

Galy Ph., **Lethiecq R.** et Bawedin M. « In-situ thermal assist recovery thanks to active silicide source on NMOS transistor in FD-SOI technology ». In : *2019 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS)*. Grenoble, France : IEEE, 2019. p. 1-4.

**Lethiecq R.**, Bawedin M. et Galy P. « Extended investigation of a novel MOS device for in-situ heating in 28 nm UTBB FD-SOI CMOS technology ». In : *2019 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS)*. Grenoble, France : IEEE, 2019. p. 1-4.

Galy Ph., **Lethiecq R.** et Bawedin M. « 1T1C Ultra low power relative Thermal-Voltage sensor in 28nm UTBB FD-SOI CMOS technology for standard, spatial and quantum applications ». In : *2019 International Conference on IC Design and Technology (ICICDT)*. Suzhou, China : IEEE, 2019. p. 1-4.

**Lethiecq R.**, Bawedin M. et Galy Ph. « Compact MOS Structure & Design for Ion-Ioff Thermal control in 28nm UTBB FD-SOI CMOS technology ». In : *2019 International Conference on IC Design and Technology (ICICDT)*. Suzhou, China : IEEE, 2019. p. 1-4.

Galy P., Bawedin M. et **Lethiecq R.** « Preliminary results of a novel low voltage M-OTP in MOS transistor in 28nm FD-SOI ». In : *2019 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*. San Jose, CA, USA : IEEE, 2019. En cours de publication.



---

# RÉSUMÉ & ABSTRACT

---

**Titre :** Études électrothermiques de dispositifs électroniques innovants pour les technologies submicroniques.

La haute densité d'intégration dans les technologies CMOS avancées, telle que la technologie 28 nm UTBB FD-SOI de STMicroelectronics, conduit à des densités de puissance élevées. Ceci se traduit par des élévations de température locales ou globales pouvant conduire au dysfonctionnement du système, voire à sa destruction par emballement thermique. Dans ce cadre, nous présentons des solutions innovantes pour « l'intégration robuste vis-à-vis de l'activité électrothermique suivant les différents facteurs d'échelle dans le cadre de développement de circuits intégrés ». Ainsi, nous avons étudié, dans un premier temps, les structures à double contacts de source permettant : (i) le chauffage in-situ dans les transistors MOS (élévation de la température jusqu'à plusieurs centaines de degrés kelvin) ; (ii) le rétablissement des performances desdits transistors par recuit local (retour de la tension de seuil d'un MOSFET vers sa valeur typique) ; (iii) la création de points mémoires OTP compacts (utilisation d'un phénomène d'électromigration dans le siliciure) et (iv) l'autorégulation en température de ces transistors (utilisation d'un capteur de température intégré). Dans un deuxième temps, nous avons développé un nouveau capteur de température basse consommation (pente de  $1 \text{ mV.K}^{-1}$  pour la tension de sortie et puissance de l'ordre du picowatt) et son intégration dans un circuit avec un transistor permettant la modification du comportement électrothermique du circuit. Tous nos dispositifs électroniques ont été fabriqués sur des démonstrateurs silicium en 28 nm UTBB FD-SOI et mesurés. Pour réaliser nos travaux, nous avons utilisé plusieurs logiciels de simulations électrothermiques. Leur adaptation à nos besoins a constitué un troisième axe de travail.

**Mots clés :** Capteur de température ; Chauffage in-situ ; FD-SOI ; OTP ; Robustesse électrothermique ; Simulation électrothermique.

---

**Title :** Electrothermal study of innovative electronics structures in submicron technology.

High density integration in advanced CMOS technology, such as STMicroelectronics' 28 nm UTBB FD-SOI technology, leads to elevated power density. This results in an increase of the local or global temperature which could cause dysfunction of the system, or even lead to its destruction by thermal runaway. In this context, we present innovative solutions for the "robust integration regarding the electro-thermal activity following different scaling factors within the scope of integrated circuits development". Thus, we studied, at first, structures with dual source contact enabling : (i) in-situ heating in MOS transistors (temperature elevation up to hundreds of Kelvin degrees) ; (ii) performance recovery of these transistors by local annealing (MOSFET's threshold voltage return to its typical value) ; (iii) creation of OTP memory dots (use of an electromigration effect inside the silicide) and (iv) temperature self-regulation of the transistors (utilisation of an integrated temperature sensor). Secondly, we developed a new low power temperature sensor ( $1 \text{ mV.K}^{-1}$  slope for the output voltage and power of the order of picowatt) and its integration within a circuit using another transistor enabling electro-thermal behavior modification of the circuit. All our electronics structures were fabricated on 28 nm UTBB FD-SOI silicon demonstrators and measured. To carry out our work, we relied on some software for electro-thermal simulations. Their adaptation to our needs has been a third line of work.

**Keywords :** Electro-thermal Robustness ; Electro-thermal simulation ; FD-SOI ; In-situ heating ; OTP ; Temperature sensor.