



HAL
open science

Etude et corrélation de l'influence des paramètres électriques sur la compatibilité électromagnétique

Nicolas Baptistat

► **To cite this version:**

Nicolas Baptistat. Etude et corrélation de l'influence des paramètres électriques sur la compatibilité électromagnétique. Electronique. Université de Bordeaux, 2020. Français. NNT : 2020BORD0179 . tel-03104191

HAL Id: tel-03104191

<https://theses.hal.science/tel-03104191v1>

Submitted on 8 Jan 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE

POUR OBTENIR LE GRADE DE

DOCTEUR DE L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE SCIENCES PHYSIQUES ET DE
L'INGÉNIEUR SPÉCIALITÉ ÉLECTRONIQUE

Par

Nicolas BAPTISTAT

ÉTUDE ET CORRÉLATION DE L'INFLUENCE DES PARAMÈTRES ÉLECTRIQUES SUR LA COMPATIBILITÉ ÉLECTROMAGNÉTIQUE

Sous la direction de : Geneviève DUCHAMP, Tristan DUBOIS, Kamel ABOUDA

Soutenue le 13 novembre 2020

Membres du jury:

- Alain REINEIX	Directeur de Recherche CNRS, Institut de Recherche XLIM	Président
- Sonia BEN DHIA	Professeur, LAAS CNRS, INSA de Toulouse	Rapporteur
- Moncef KADI	Dr/HDR, IRSEEM, ESIGELEC, Université de Rouen	Rapporteur
- Geneviève DUCHAMP	Professeur, Université de Bordeaux	Directrice de Thèse
- Tristan DUBOIS	Maître de conférences, Université de Bordeaux	Co-encadrant
- Kamel ABOUDA	EMC Technical Director, NXP Semiconductors	Co-encadrant

Résumé

Les progrès des techniques de fabrication des systèmes électroniques permettent de réduire considérablement la taille des composants tout en augmentant les performances des circuits intégrés d'un point de vue rapidité ainsi que de consommation pour n'en citer que quelques-unes. Toutefois, cette révolution technologique génère davantage de problèmes de Compatibilité Electro Magnétique (CEM). Pour pallier cela, les ingénieurs qui conçoivent les circuits électroniques réalisent différents tests de simulations et mesures CEM.

Cependant, ces tests peuvent paraître insuffisants du fait qu'ils ne tiennent pas compte des variabilités PVT (Process Voltage Temperature) pouvant induire des variations intolérables des caractéristiques CEM des circuits électroniques produits.

Ces travaux de cette thèse ont pour but de montrer tout l'intérêt de prendre en considération les variations des paramètres électriques, de température et de processus de fabrication, aussi bien pendant la phase de simulation CEM que pendant la phase de mesures CEM, et de proposer des solutions facilement implémentables pour les entreprises de conception de circuits électroniques.

Pour ce faire, ces travaux explorent en particulier l'impact des variations des paramètres caractéristiques des différentes formes d'ondes en sortie d'une cellule de commutation sur leur spectre fréquentiel. Cette cellule est représentée par un transistor à effet de champ, principal acteur des problèmes CEM.

Mots clés :

Compatibilité Electromagnétique des circuits intégrés, émission conduite, enveloppe spectrale, source commune, drain commun, round shaping

Abstract

Advances in manufacturing techniques for electronic systems have made it possible to reduce the sizes of components while increasing the performance of integrated circuits. However, this technological revolution has generated electromagnetic compatibility (EMC) issues. To overcome this, engineers carry out various tests of simulations and EMC measurements.

However, these tests may appear insufficient because it does not consider PVT variabilities that may exist.

The work of this thesis aims to show all the interest of taking into account these electrical parameters variations, both during the EMC simulation phase and EMC measurement phase, and to propose solutions that are easily implemented for industrial companies.

To do this, these works study the impact of characteristic parameters variations of the different waveforms at switching cell output on their frequency spectrum. This cell is represented by a field effect transistor: main actor of EMC problems.

Keywords :

Electromagnetic Compatibility of integrated circuits, conducted emission, spectral envelope, Low-Side, High-Side, round shaping

Remerciements

Cette thèse CIFRE a été réalisée en étroite collaboration entre le groupe PACE du laboratoire IMS de l'Université de Bordeaux et NXP Semiconductors basé sur le site de Toulouse. Elle n'aurait jamais pu voir le jour sans le soutien d'un grand nombre de personnes dont l'aide si précieuse, la générosité et la bonne humeur m'ont permis d'avancer dans cette phase délicate qu'est la recherche.

En premier lieu je souhaite remercier ma directrice de thèse **Geneviève Duchamp** et mon encadrant de thèse (IMS) **Tristan Dubois** pour m'avoir accueilli au sein de leur équipe, pour leur soutien et leur confiance qu'ils m'ont accordés en acceptant d'encadrer cette thèse ainsi que leur relectures et commentaires du manuscrit.

Je souhaite également remercier le président du jury **Alain Reineix** ainsi que mes rapporteurs **Sonia Ben Dhia** et **Moncef Kadi** pour s'être rendus disponibles dans des conditions sanitaires si particulières, pour leurs précieux conseils, leurs remarques concernant la correction du manuscrit ainsi que l'intérêt qu'ils ont porté à mes travaux de recherches.

Je tiens également à témoigner toute ma reconnaissance à mon encadrant de thèse (NXP Semiconductors), **Kamel Abouda**, pour m'avoir tant apporté, techniquement et humainement.

Merci à Patrice Besse, manager du groupe EMC/ESD à NXP Semiconductors de m'avoir fait confiance et de m'avoir si bien accueilli et merci à toute l'équipe avec qui j'ai pu partager de bons moments. Merci à Adrien Doridant et Khalil Jradi pour leur soutien moral, leurs relectures et leurs journées barbecues. Merci à Juliette Vedelago, Yuan Gao, Simon Brule, Nesrine Crisnaire, Thierry Sicard, Thierry Laplagne, Thomas Mazeaud, Simon Bertrand, Alain Salles, Hongwei Liu pour leur aide et la gentillesse avec laquelle ils ont pris le temps de répondre à mes innombrables questions.

Mes remerciements vont également à mes amis, Lulu, Fafy, Jambon, Patou, Tetelle pour leur soutien et leurs questions toujours sympatiques à mon égard: "Alors tu la finis quand ta thèse ?", "As-tu fini la rédaction ?", "Toujours étudiant ?"

Enfin, ces remerciements ne peuvent s'achever sans évoquer mes premiers supporters: ma famille, et en particulier mes parents, mes grands-parents qui ont fait de moi ce que je suis maintenant, ainsi qu'à mon petit frère qui, malgré son regard de néophyte a pu m'aider lors de la rédaction de la thèse.

Pour avoir oublié de mentionner ton nom lors de la soutenance, je souhaite me rattraper en te dédiant ce manuscrit:

A mon petit frère Paul

Table des matières

Introduction	1
Chapitre 1: CEM des circuits intégrés pour l'industrie automobile	4
1.1 Evolution des systèmes électroniques pour l'automobile	5
1.2 Généralité CEM	7
1.2.1 Emission/immunité	7
1.2.2 Mode de transmission de la perturbation électromagnétique	9
1.3 La CEM des circuits intégrés	10
1.3.1 Les conséquences CEM d'une industrie électronique grandissante	10
1.3.2 Immunité des circuits intégrés	11
1.3.3 Emissivité des circuits intégrés	12
1.4 Mise en place de la CEM et des normes qui lui sont propres dans l'industrie du semi-conducteur	14
1.4.1 Vers des simulations fonctionnelles toujours plus proches de la réalité	15
1.4.2 Prise en compte des variations PVT dans les modèles de simulations fonctionnels	16
1.4.3 Variations PVT dans les modèles de simulations	19
1.4.4 Des simulations CEM toujours à part dans la phase de conception	23
1.4.5 ...Et des tests CEM limités	25
1.5 Revue des différents tests CEM des circuits intégrés	25
1.5.1 Les différentes mesures d'émission selon la norme IEC 61967	26
1.5.2 Limites CEM pour les Cis dédiés à l'automobile	32
1.6 Conclusion	33
Chapitre 2: Variations des paramètres caractéristiques des signaux de commutations	35
2.1 Cellule de commutation	36
2.1.1 Structure du transistor MOSFET	36
2.1.2 Structure du transistor MOSFET	37
2.1.3 Eléments parasites constituant un transistor MOSFET	38

2.1.4	Transistor MOSFET : montage Drain Commun/Montage Source Commune	39
2.1.5	Etude des différentes phases lors d'une commutation d'un transistor MOSFET sur charge résistive	40
2.1.6	Puissance dissipée lors d'une commutation et compromis CEM	44
2.2	Etude de la forme d'onde d'un signal et de son spectre fréquentiel en sortie d'une commutation d'un transistor MOSFET	45
2.2.1	Principaux paramètres caractéristiques d'un signal trapézoïdal et spectre fréquentiel associé	45
2.2.2	Enveloppe spectrale d'un signal trapézoïdal	46
2.2.3	Impact des variations des temps de montée et descente sur l'enveloppe spectrale d'un signal trapézoïdal symétrique	49
2.2.4	Asymétrisation d'un signal trapézoïdal ($\tau_m \neq \tau_d$)	50
2.2.5	Etude du spectre fréquentiel de formes d'ondes plus réalistes issues d'une commutation d'un transistor MOSFET	53
2.2.6	Phénomènes de suroscillation	54
2.2.7	Le "round shaping" : adoucissement des formes d'ondes et impact sur l'enveloppe spectrale	56
2.3	Variations des temps de montée et descente d'un signal trapézoïdal symétrique ($\tau_m = \tau_d$) avec "round shaping" et impact sur son spectre fréquentiel	61
2.4	Conclusion	62

Chapitre 3: Impact des variations PVT sur l'émission conduite dans un montage Source Commune 64

3.1	Analyse de la méthode de mesure 150 Ω pour les mesures d'émission conduite	66
3.1.1	Analyse fréquentielle du filtre CEM	66
3.1.2	Impact de la variation des composants de la méthode de mesure 150 Ω sur les mesures d'émission conduite	67
3.2	Effet PVT sur le niveau CEM en sortie d'un montage Source commune	72
3.2.1	Présentation du circuit et des différents tests de mesures	72
3.2.2	Mesures d'émissions conduites suivant différents transistors MOS-FETs	74
3.2.3	Effet de la variation de tension d'alimentation sur l'émission conduite	78
3.2.4	Effet de la variation d'amplitude du signal de contrôle	80
3.2.5	Effet de la variation des temps de montée et descente du signal de contrôle	82
3.2.6	Effet de la variation de température	84
3.2.7	Résumé	86
3.3	Conclusion	87

Chapitre 4: Impact des variations de paramètres électriques sur le niveau d'émission conduite dans un montage drain commun d'un transistor MOSFET pour des applications automobiles 88

4.1	Profil de courant optimisé pour la réduction du niveau de l'émission conduite en sortie d'un montage drain commun	89
4.2	Présentation du circuit test et de ses spécificités	91
4.2.1	Circuit sous test	91
4.2.2	Configuration du montage de test	94
4.3	Mesures des variations PVT et impact sur le niveau de l'émission conduite	95
4.3.1	Mesures d'émission conduite des sorties des quatre drivers Drain Commun	95
4.3.2	Explication de l'apparition du phénomène de "saut" et son impact sur l'émission conduite du signal de sortie du montage drain commun	98
4.3.3	Estimation du niveau d'émission conduite à partir des données temporelles théoriques du signal de sortie	102
4.3.4	Mesures d'émission conduite des sorties des quatre drivers drain commun selon différents CIs provenant d'un même lot	103
4.3.5	Mesures d'émission conduite des sorties des quatre drivers drain commun selon différents CIs provenant de lots différents	104
4.3.6	Mesure d'émission conduite en sortie de driver en fonction de la température	106
4.3.7	Modification de la fréquence d'horloge de l'oscillateur	111
4.4	Simulations des variations PVT et impact sur le niveau de l'émission conduite	113
4.4.1	Étude selon des variations de procédé de fabrication	113
4.4.2	Etude des variations de température	116
4.4.3	Étude des variations combinées de température et procédés de fabrication	118
4.5	Proposition d'une méthode pour la considération des effets PVT lors des tests CEM dans le processus de développement d'un CI	120
4.5.1	Développement simulations	120
4.5.2	Test des puces et validations par mesures	122
4.6	Conclusion	123
Conclusion générale		125
Annexe I		127
I	Topologie d'un nouveau buffer pour la réduction EMI basé sur l'asymétrie des temps de montée et descente	128
I.1	Présentation et mode de fonctionnement des buffers	128
I.2	Asymétrisation du buffer et nouvelles simulations du bloc	130
I.3	Impact sur la taille de la puce et limitations fréquentielles	131
Annexe II		133
II	Adoucissement des angles par ajout d'un filtre RC (passe bas)	134
Annexe III		138
III	Présentation d'un outil pour la visualisation rapide des niveaux d'émission conduite en fonction d'une spécification demandée	139

Annexe IV	141
IV Code VérilogA	142
Annexe V	143
V Mesure de l'émission conduite d'un montage Low Side	144
Bibliographie	147

Liste des figures

1.1	ADAS et haute automatisation de la conduite, a : Prise en compte de l'environnement, b : amélioration du confort et de la sécurité, c : connectivité des véhicules	5
1.2	Marché des CIs dans le secteur automobile de 2014 à 2018 [4]	6
1.3	Les trois éléments nécessaires à la propagation d'une perturbation électromagnétique	7
1.4	Définition des niveaux de perturbations et des marges de sécurités [6]	8
1.5	Propagation des problèmes d'émission et d'immunité dans un véhicule	8
1.6	Exemple de mode conduit/rayonné	9
1.7	Exemple de mode conduit/rayonné	11
1.8	Exemple de mode conduit/rayonné	12
1.9	Exemple de pics de courant dans un circuit intégré [14]	13
1.10	Allure d'une tension parasite et son spectre associé [15]	13
1.11	Processus de réalisation d'un circuit	14
1.12	Distribution normale caractérisé par la moyenne μ et l'écart type σ	17
1.13	Mesure de la qualité d'un produit par la méthode six sigmas	17
1.14	Qualité du procédé en fonction des indices Cp et Cpk [24]	18
1.15	Variation des performances suivant intensité du courant de fuite [23]	20
1.16	Exemple a) surtension et sous-tension ; b) overshoot et undershoot	21
1.17	Exemple de variation de température au sein d'un CI [24]	22
1.18	Variation du délai de commutation suivant la température et la tension d'alimentation appliquée [23]	23
1.19	Schématisation des différentes étapes lors de la conception des schémas et mise en avant de la problématique de la prise en compte CEM dans le processus	24
1.20	Variations PVT appliquées sur un circuit a) induisant une modification des paramètres principaux d'un signal b) et de son enveloppe spectrale c)	25
1.21	Configuration de mesure à travers une cellule TEM [30]	27
1.22	Circuit quatre couches pour la mesure TEM [31]	27
1.23	Configuration pour la mesure de la méthode à boucle	28
1.24	Sondes pour la mesure du champ a) magnétique, b) électrique	29
1.25	Configuration pour la mesure 1Ω	30
1.26	Configuration pour la mesure 150Ω	30
1.27	Photo d'une cage de Faraday	31
1.28	Schéma et photographie de la sonde de champ magnétique [33]	31

1.29	Diagramme du niveau d'émission selon la norme IEC61967	33
2.1	Vue 3D d'un transistor MOSFET	36
2.2	Vue 3D d'un transistor MOSFET avec $0 < V_{gs} < V_{th}$	37
2.3	Vue 3D d'un transistor MOSFET avec $V_{gs} > V_{th}$ et $V_{ds} > 0$	38
2.4	Schéma électrique du transistor MOSFET et de ses éléments parasites	38
2.5	a) Montage Source Commune b) Montage Drain Commun	40
2.6	Schéma électrique du montage source commune et des éléments parasites du transistor MOSFET	41
2.7	Les différentes phases d'une commutation d'un transistor MOSFET sur charge résistive	41
2.8	Pertes par commutation durant les différentes phases d'une commutation d'un transistor MOSFET	44
2.9	Caractérisation des paramètres d'un signal trapézoïdal	46
2.10	Enveloppe spectrale d'un signal trapézoïdal	48
2.11	Variation H de l'enveloppe spectrale du signal $S(t)$ lorsque τ_m varie	50
2.12	Diminution de l'enveloppe spectrale due à l'asymétrisation d'un signal trapézoïdal, pour une valeur de τ_{max} fixée	51
2.13	Diminution de l'enveloppe spectrale selon les variations des paramètres τ_{min} et τ_{max}	52
2.14	Présentation des effets a) d'oscillations et b) d'arrondissement "round shaping" sur un signal trapézoïdal	54
2.15	Décomposition du signal avec suroscillation par un signal trapézoïdal et un sinus amorti	55
2.16	Comparaison des signaux $S(f)$ et $S_{osc}(f)$ suivant différentes valeurs du paramètre G [53]	56
2.17	Signal trapézoïdal avec angles adoucis	57
2.18	Construction d'un signal trapézoïdal avec transitions adoucies	57
2.19	Représentation a) des signaux $S_{\tau_r}(t)$, $S_{\tau_{r2}}(t)$ et $S_{\tau_{r3}}(t)$; b) des signaux $S_{\tau_f}(t)$, $S_{\tau_{f2}}(t)$ et $S_{\tau_{f3}}(t)$	59
2.20	Représentation des signaux $S(f)$, $S_2(f)$, $S_3(f)$ et de leurs enveloppes spectrales respectives	60
2.21	Redéfinition des temps de transition pour des signaux avec "round shaping"	60
2.22	Représentation des signaux $S(f)$, $S_2(f)$, $S_3(f)$ et de leur enveloppe spectrale respective	61
3.1	Schématique de la méthode de mesure 150Ω	66
3.2	Modèle du condensateur CMS	68
3.3	Réponse fréquentielle d'un condensateur 6.8 nF	68
3.4	Méthodologie pour l'obtention de la valeur de la capacité nominale du condensateur en fonction de la température	69
3.5	Capacité nominale du condensateur en fonction de la température	70
3.6	Schéma du circuit pour la quantification de l'erreur de mesure par la méthode 150Ω	71
3.7	Impact de la variation spectrale de la méthode de mesure 150Ω	71

3.8	MOSFETs utilisés dans le montage Source Commune de référence a) IRLZ44N ; b) STP16NF0L ; c) BS170	72
3.9	Circuit sous-test ; b) Topologie du circuit	73
3.10	Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différents transistors MOSFETs	74
3.11	Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différents transistors MOSFETs	75
3.12	Mesure d'émission conduite des circuits selon différents lots du transistor STP16NF	78
3.13	Topologie du circuit pour le test de variation de tension d'alimentation	79
3.14	Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différentes valeurs de V_{dc}	79
3.15	Mesure d'émission conduite $S_1(f)$ et $S_2(f)$ lorsque la tension d'alimentation varie	80
3.16	Topologie du circuit pour le test de variation d'amplitude du signal V_{in}	81
3.17	Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différentes valeurs de V_{inmax}	81
3.18	Mesure d'émission conduite $S_1(f)$ et $S_2(f)$ lorsque l'amplitude du signal de contrôle varie	82
3.19	Topologie du circuit pour le test de variation des temps de montée et descente du signal V_{in}	83
3.20	Transitions du signal V_{ds} en a) phase montante b) phase descente suivant une variation des temps de montée et descente du signal V_{in}	83
3.21	Mesure d'émission conduite $S_1(f)$ et $S_2(f)$ lorsque les temps de montée et descente du signal d'entrée varie	84
3.22	a) Temps de montée ; b) Temps de descente, des signaux V_{ds} pour des températures de 0°C et 135°C	85
3.23	Mesure d'émission conduite des signaux suivant une variation de température	85
3.24	Récapitulatif de toutes les variations observées du niveau d'émission conduite selon des variations de paramètres électriques	86
4.1	Transition des différents signaux lors de la mise ON du transistor MOSFET [80]	90
4.2	Topologie de la partie commande du circuit	91
4.3	Carte de test	92
4.4	Contrôle du courant de précharge par l'utilisation d'un comparateur	93
4.5	Chronogramme des signaux Clk, comp et I_{gmax}	93
4.6	Configuration du montage de test	94
4.7	Emission conduite des différentes sorties de IC1	96
4.8	a) Observation du "saut" au début de chaque transition de montée de V_{out} et b) son impact sur le niveau d'émission conduite pour chaque driver de IC1	97
4.9	Comparaison de l'émission conduite mesurée avec le spectre d'enveloppe théorique	98

4.10	Impact des variabilités PVT sur le signal de sortie V_{out} et son enveloppe spectrale	98
4.11	Formation d'un signal trapézoïdal à 3 pentes	99
4.12	Décomposition d'un signal "trapézoïdal" à 3 pentes suivant la somme de deux convolutions	100
4.13	Représentation spectrale d'un signal "trapézoïdal" à 3 pentes	101
4.14	Mesure d'émission conduite en sortie du driver 3 et impact de l'effet du "saut"	103
4.15	Comparaison des niveaux d'émission conduite entre les 4 différentes sorties des drivers sur deux CIs de même lot, avec a) IC1b et b) IC1c	103
4.16	Comparaison du niveau d'émission conduite des drivers 3 entre IC1 et IC1b	104
4.17	Comparaison des niveaux d'émission conduite entre les 4 différentes sorties des drivers sur des CIs de différents lots, avec a) IC2 et b) IC3	105
4.18	Comparaison des niveaux d'émission conduite du driver 2 entre IC1 et IC3	105
4.19	Représentation des différents niveaux d'émission conduite obtenus sur chaque driver de IC1 en fonction de la température	107
4.20	Variation du niveau d'émission conduite en fonction de la température à 1 MHz pour chaque driver de IC1	108
4.21	Impact du "saut" sur le début du temps de montée et sa conséquence sur le niveau d'émission conduite pour des températures de -40°C et -30°C appliquées sur le driver 2 de IC1	109
4.22	Variations des signaux I_{gmax} en fonction de la variation d'horloge de l'oscillateur interne	110
4.23	Représentation de l'évolution du "saut" lorsque l'horloge de l'oscillateur interne varie de $\pm 5\%$ et du niveau d'émission conduite en sortie de ; a et b) driver 1 ; c et d) driver 2 ; e et f) driver 3 ; g et h) driver 4.	112
4.24	Modèle SPICE du contrôleur de grille et du transistor MOSFET de puissance	113
4.25	Représentation du signal V_{out} en fonction des différents corners appliqués	114
4.26	Différence maximale du niveau d'émission conduite observé lors des variations de procédé de fabrication	115
4.27	Représentation a) du courant de précharge et b) du début du temps de montée, des signaux	115
4.28	Représentation du signal V_{out} pour différentes températures comprises entre -40°C et 130°C	116
4.29	Différence maximale du niveau d'émission conduite observé pour les températures de -40°C et 130°C pour les fréquences supérieures à f_c	117
4.30	Représentation a) du courant de précharge et b) du début du temps de monté, des signaux	117
4.31	Représentation des signaux V_{out1} et V_{out2}	118
4.32	Différence du niveau d'émission conduite des signaux V_{out1} et V_{out2} . .	119
4.33	Représentation a) du courant de précharge et b) du début du temps de montée, des signaux	119

4.34	Schématisation des différentes étapes lors de la conception des schémas et mise en avant de la problématique de la prise en compte CEM dans le processus	120
4.35	Proposition d'une nouvelle schématisation des différentes étapes lors de la conception des schémas	121
4.36	Nouvelle méthode de travail pour la considération de la CEM dans l'industrie	123
I	Topologie buffer	129
II	Comparaison des signaux 1 et 2, selon a) leur temps de montée ; b) leur temps de descente ; c) leur spectre fréquentiel	130
III	Comparaison de la dimension du "layout" de l'ancien buffer et du nouveau buffer	131
IV	Augmentation du rapport cyclique avec l'augmentation de la fréquence d'utilisation : création d'un délai non souhaité	132
V	Forme d'onde d'un signal en sortie d'un filtre RC	134
VI	Forme d'onde d'un signal en sortie d'un filtre RC	135
VII	Représentation des temps de montée des signaux $S(t)$, $S_f(t)$ et $S_{f2}(t)$. .	136
VIII	Comparaison des signaux S1 et S2 avec la limite de spécification à travers l'outil développé	140
IX	Modèle VerilogA d'un condensateur adapté pour la CEM	142
X	Topologie du circuit pour les tests de variation d'alimentation, variation du driver et de température	144
XI	Impact de la variation d'alimentation sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N	144
XII	Impact de la variation d'amplitude du signal de commande sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N . .	145
XIII	Impact de la variation des temps de montée et descente du signal de commande sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N	145
XIV	Impact de la variation de température sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N	146

Introduction

Après la seconde guerre mondiale, le nombre de systèmes électroniques a considérablement augmenté, notamment grâce à l'apparition des transistors, puis des circuits intégrés (CI). Les progrès des techniques de fabrication ont amené à une réduction considérable des tailles des composants électroniques tout en augmentant leurs performances. Ces derniers sont devenus alors plus rapides, occupant moins de place, ce qui a inévitablement augmenté les problèmes de compatibilité électromagnétique (CEM).

Aujourd'hui, la prise en compte de la CEM se fait globalement à chaque étape du processus de conception d'un produit intégrant de l'électronique, que ce soit lors de la spécification du cahier des charges, de la conception des circuits électroniques ou encore lors des validations de fonctionnement. La prise en compte de la CEM qui consiste en partie à être capable d'estimer les niveaux CEM des produits réalisés passe aussi bien par l'utilisation d'outils de simulations qu'expérimentaux. Cependant, malgré ces efforts lors de la conception, des problèmes CEM restent récurrents et sont considérés comme la troisième cause de retours des systèmes électroniques. Une des causes de ces problèmes persistants est l'existence d'une variabilité des paramètres électriques des circuits électroniques pouvant conduire à une variation des paramètres CEM et donc un risque de non-conformité du produit d'un point de vue CEM. En effet, deux composants électroniques de même référence peuvent avoir des paramètres électriques suffisamment proches pour considérer un fonctionnement identique mais présenter des caractéristiques CEM très différentes conduisant à la conformité de l'un et pas de l'autre.

A l'heure actuelle, l'impact des variabilités des paramètres électriques des composants électroniques provenant de dispersions paramétriques de nature technologique (process (P)), de tensions (V) ou de température (T) sur ses caractéristiques CEM n'est pas étudié et n'est pas pris en compte. Pourtant, cette prise en compte devrait être une étape essentielle pour garantir la bonne fonctionnalité et conformité d'un circuit.

Dans ce contexte, notre objectif est de montrer tout l'intérêt de prendre en considération les variations de paramètres électriques aussi bien pendant la phase de simulations que de mesures CEM, ainsi que de proposer des solutions permettant de proposer des améliorations dans le processus de validation CEM pouvant être mis en place relativement facilement par les entreprises de conception de circuits électroniques.

Les travaux de cette thèse qui s'inscrivent dans cette problématique, étudient en particulier les signaux électriques et les spectres fréquentiels associés en sortie de cellule de commutation des transistors à effets de champs, appelés transistor MOSFET (Metal

Oxide Semiconductor Field Effect Transistor) lorsque ces derniers sont soumis à des variations PVT.

Cette thèse est le fruit d'une collaboration entre le laboratoire IMS (institut des Matériaux et du système) de l'Université de Bordeaux et NXP Semiconductors.

Les travaux présentés dans ce mémoire sont divisés en quatre chapitres.

Le premier chapitre est une introduction à la CEM, en particulier dans le monde de l'automobile. Elle vise principalement l'étude de la CEM des circuits intégrés. Les notions importantes comme l'émission et l'immunité y sont abordées. Ce chapitre met également en avant les différents tests de simulations et de mesures CEM dans le processus de qualification d'un équipement automobile. Il met en lumière le contraste entre les simulations et mesures fonctionnelles prenant en compte les variations PVT et les simulations CEM réalisées pour des valeurs de paramètres électriques typiques (fixées).

Le second chapitre est consacré à l'impact des variations des paramètres caractéristiques des formes d'ondes trapézoïdales classiquement générées par des cellules de commutation. L'impact de ces variations est aussi bien analysé sur la représentation temporelle des signaux électriques que sur leur représentation dans le domaine fréquentiel, et en particulier sur leurs enveloppes spectrales.

Après un rapide état de l'art sur la structure du composant MOSFET, élément majeur des problèmes CEM dans les dispositifs que nous considérons, et de son mode de fonctionnement en commutation, les variations de paramètres caractéristiques des signaux commutés et résultant des variations PVT des transistors à effet de champ (MOSFET) seront présentées.

Un troisième chapitre sera consacré aux mesures d'émission conduite en sortie de différents transistors MOSFETs discrets, dans un circuit de type source commune. Ce montage se veut extrêmement simple de façon à considérer uniquement le transistor MOSFET comme source de variabilité lorsque des variations PVT seront considérées au niveau circuit.

Après une étude sur la variabilité des paramètres caractéristiques des composants passifs nécessaires à la mise en œuvre de la mesure d'émissivité conduite CEM, nous étudierons l'impact des variations PVT sur les paramètres caractéristiques des différents signaux en sortie du circuit source commune ainsi que sur le niveau d'émission conduite.

Le dernier chapitre sera consacré à l'impact des variations PVT sur la partie commande d'un contrôleur, pilotant un transistor MOSFET dans un montage drain commun. Ce contrôleur permet d'obtenir un profil de courant de charge de grille particulier dans le but d'établir le meilleur compromis entre les pertes de puissances par commutation et les émissions électromagnétiques.

Nous verrons par la suite, que la non-prise en compte de ces variations PVT dans un tel système peut amener à une importante élévation du niveau d'émission conduite simulé et mesuré en sortie d'une cellule de commutation. Nous verrons également, que

malgré de faibles variations des paramètres caractéristiques de ces signaux, acceptable du point de vue constructeur, cela peut engendrer un fort impact sur son enveloppe spectrale pouvant remettre en cause la bonne qualification d'un produit.

La dernière partie de ce manuscrit est consacrée à la conclusion et aux perspectives permettant d'ouvrir de nouvelles questions quant à l'amélioration du processus de validation CEM des circuits électroniques.

Chapitre 1: CEM des circuits intégrés pour l'industrie automobile

Ce chapitre met en exergue les grands principes de la compatibilité électromagnétique et l'impact qu'a eu l'évolution technologique sur la prise en compte des problèmes d'interférences électromagnétiques dans un secteur comme l'automobile.

1.1 Evolution des systèmes électroniques pour l'automobile

Dans l'industrie automobile, la part des systèmes électroniques a augmenté de façon considérable au cours des dernières décennies en vue de garantir une utilisation, un niveau de confort et une protection toujours optimale pour les conducteurs.

Ainsi, les voitures deviennent de moins en moins polluantes et la tendance des accidents est à la baisse chaque année. Les systèmes d'assistance au conducteur avancés (ADAS) permettent de tendre vers des véhicules de plus en plus autonomes changeant progressivement notre façon de nous déplacer. Les technologies associées à cette conduite automatisée ont pour objectif de permettre aux différents véhicules de détecter, penser et agir en conséquence sur des situations routières en temps réel (voir figure 1.1). Dans toutes les voitures récentes, des radars et des capteurs sont ainsi placés à différents endroits du véhicule et une interface homme-machine (IHM) avancée est utilisée pour prendre en charge les commandes vocales, les gestes, la réalité augmentée et la personnalisation avancée [1].

De plus, plusieurs interfaces sans fil peuvent connecter la voiture au monde extérieur et prendre en charge différentes fonctions pour la conduite du véhicule et la communication entre véhicules. C'est ce que permet la technologie V2X en connectant plusieurs véhicules entre eux et leur environnement, rendant ainsi la conduite plus sûre et plus efficace en prévenant le conducteur des dangers de la route. En plus d'améliorer la sécurité, la technologie V2X contribue à optimiser les flux de trafic, à réduire les embouteillages et à réduire l'impact des transports sur l'environnement [2][3].

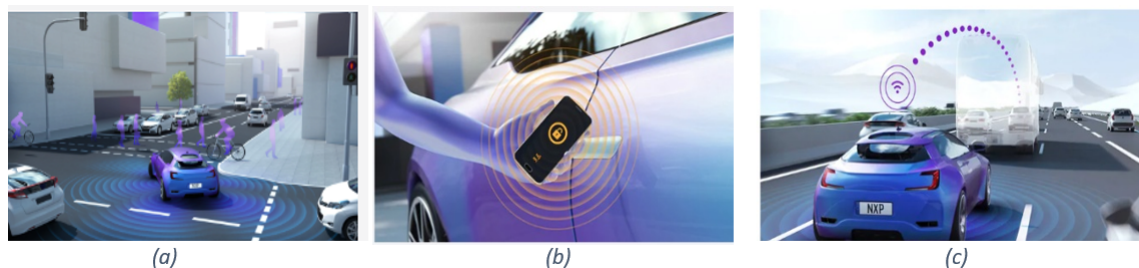


Figure 1.1: ADAS et haute automatisation de la conduite, a : Prise en compte de l'environnement, b : amélioration du confort et de la sécurité, c : connectivité des véhicules

Ce développement grandissant du nombre de systèmes électroniques embarqués dans les véhicules et plus largement dans notre environnement quotidien a pu exister grâce à une évolution de la technologie des semi-conducteurs permettant d'assembler plusieurs

applications sur une seule puce, que l'on nomme circuit intégré (CI), optimisant ainsi les performances des circuits électroniques. Le marché des CIs n'a donc cessé d'augmenter durant les dernières années comme l'atteste la figure 1.2 pour le secteur automobile.

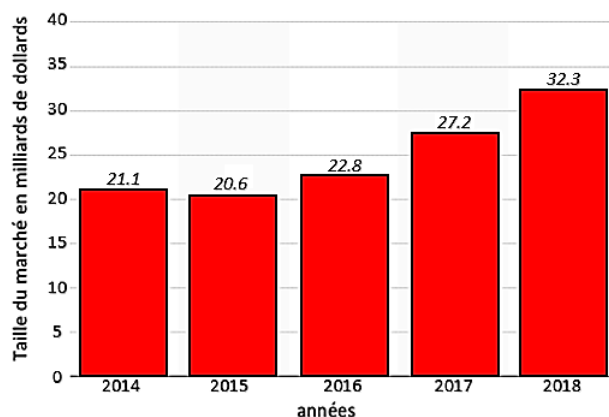


Figure 1.2: Marché des CIs dans le secteur automobile de 2014 à 2018 [4]

Le marché mondial de ce type de composants a été évalué à 32.3 milliards de dollars en 2018 et devrait atteindre 43.6 milliards de dollars d'ici 2021 [4].

NXP Semiconductors, entreprise qui a participé à ce travail de thèse, fait partie des principaux fabricants de circuits intégrés pour lequel les applications des produits réalisés concernent majoritairement le secteur automobile.

Si le nombre de circuits électroniques n'a cessé d'augmenter, cela a également contribué à l'augmentation des problèmes liés aux interférences électromagnétiques (IEM). En effet, aujourd'hui, les nouveaux véhicules sont composés d'environ 5000 éléments semi-conducteurs, 150 capteurs, auxquels se rajoutent près de 3.5 km de câbles et de fils d'interconnexions [5] posant de nouvelles contraintes quant à la cohabitation électromagnétique entre les différents modules. Il n'est d'ailleurs pas si rare que des incidents liés à des interférences électromagnétiques aient lieu remettant en cause la sécurité des passagers et créant des enjeux économiques importants pour toutes les industries spécialisées dans le domaine automobile.

Dans les années 80 par exemple, de nombreuses plaintes de conducteurs ont eu lieu en Allemagne concernant la défaillance du système d'assistance au freinage (système antiblocage ABS) de leur véhicule lorsque ce dernier se trouvait sur une section d'autoroute. Les ingénieurs ont rapidement compris qu'il s'agissait d'une interférence avec une transmission radio, l'antenne de cette dernière étant située au bord de l'autoroute. La solution a consisté à construire un mur le long de cette portion d'autoroute afin de réduire le signal parasite [5]. Plus récemment de grands constructeurs automobiles tels que Toyota, Honda, Chrysler ont rappelé plus de 2 millions de voitures suite au déploiement accidentel d'airbag sans qu'il y ait eu le moindre choc. L'origine de cet incident était le bruit généré par un composant de l'unité de contrôle de l'airbag [5].

Ces exemples montrent à quel point assurer une bonne cohabitation entre un équipement électronique et son environnement est devenu un paramètre essentiel à prendre en compte. C'est le rôle de la compatibilité électromagnétique (CEM).

1.2 Généralité CEM

Le domaine de la compatibilité électromagnétique a pour but que toutes les différentes fonctions électroniques fonctionnent sans être perturbées par des interférences électromagnétiques et sans générer elles-mêmes des niveaux d'interférence électromagnétique trop élevés pouvant provoquer le dysfonctionnement d'autres appareils électroniques environnant.

1.2.1 Emission/immunité

Deux notions fondamentales constituent la CEM :

- La notion d'émissivité, dont le but est d'éviter d'induire des dysfonctionnements au niveau des appareils voisins. Le système étudié représente alors une source de perturbation.
- La notion de susceptibilité, dont le but est que le système étudié ne soit pas perturbable par son environnement électromagnétique. Elle définit la sensibilité d'un appareil face à une perturbation électromagnétique. Elle est souvent associée à la notion d'immunité qui définit la capacité d'un appareil à supporter une perturbation. Dans ce dernier cas, le système étudié représente une victime.

Pour garantir une bonne CEM, il est donc indispensable de diminuer l'émissivité des appareils électroniques et d'augmenter leur immunité. Le niveau de perturbation électromagnétique acceptable peut être alors défini par un seuil mettant en jeu trois éléments qui sont :

- La source : Elle représente la source générant l'interférence électromagnétique. Elle est à l'origine du problème.
- Le couplage : C'est le chemin par lequel l'interférence passe de la source à la victime.
- La victime : Elle représente le circuit perturbé par l'interférence.

La figure 1.3 illustre la définition de ces trois éléments.

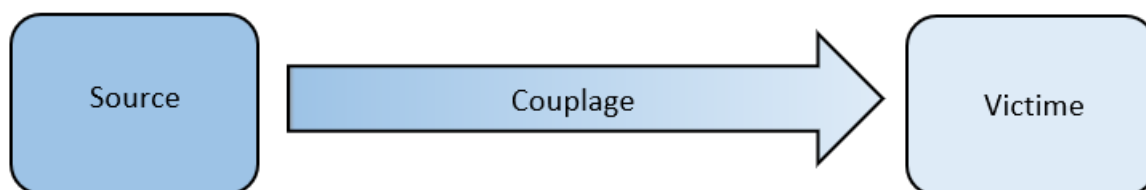


Figure 1.3: Les trois éléments nécessaires à la propagation d'une perturbation électromagnétique

Dans le but de réduire au maximum les problèmes issus de la CEM, on définit un niveau dit “de compatibilité” qui représente le niveau maximum acceptable de perturbation électromagnétique pouvant être atteint. Des marges de sécurité vis-à-vis des niveaux d’émission et d’immunité sont alors prises en compte comme le décrit la figure 1.4, représentant respectivement le niveau maximal attendu émis par un appareil et le niveau maximal attendu pour faire face à une perturbation [6].

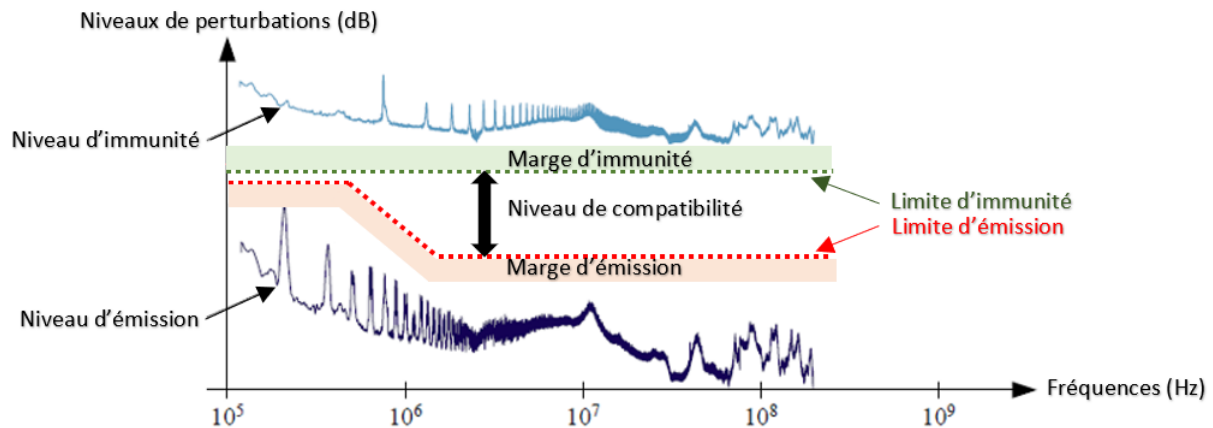


Figure 1.4: Définition des niveaux de perturbations et des marges de sécurité [6]

Afin de limiter les risques de problèmes CEM, il est préférable d’éloigner le niveau d’émission et d’immunité de part et d’autre du niveau de compatibilité, ce qui, de ce fait, augmente les marges de sécurité.

En effet, une mauvaise prise en compte des problèmes d’immunité et d’émissivité à tous les niveaux peut avoir des conséquences dramatiques, avec par exemple dans un secteur comme l’automobile des déclenchements non voulus d’airbags comme mentionné en introduction.

La figure 1.5 illustre les problèmes d’émissivité et d’immunité rencontrés par les circuits intégrés présents au sein d’un système complet. Une perturbation électromagnétique sur le système peut se propager jusqu’aux circuits intégrés en passant par les équipements et les circuits par l’intermédiaire de divers chemins de couplages. Cela représente un problème d’immunité. A l’inverse, une perturbation issue des circuits intégrés et remontant jusqu’au système par ces même voies d’accès représente un problème d’émissivité.

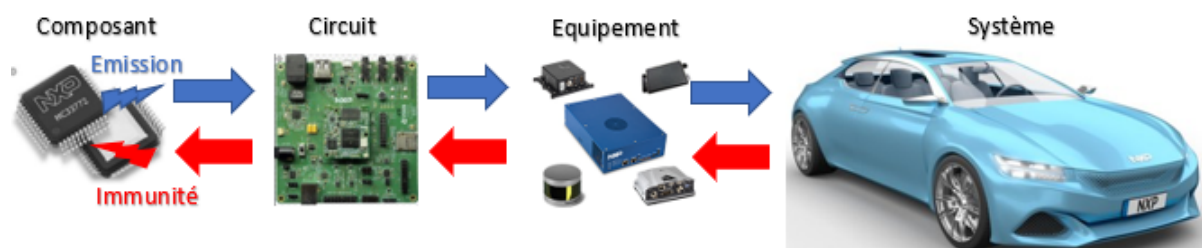


Figure 1.5: Propagation des problèmes d’émission et d’immunité dans un véhicule

Afin de prédire et limiter du mieux possible ces problèmes issus de la CEM, des simulations sont effectuées en amont. Des mesures sont également réalisées pour quantifier les différents niveaux CEM et les comparer aux spécifications. Dans les sections suivantes, nous nous focaliserons sur les étapes de conception d'un circuit pour comprendre où les études CEM sont une nécessité dans le cycle de conception d'un circuit afin qu'il soit compatible avec les normes CEM en vigueur.

1.2.2 Mode de transmission de la perturbation électromagnétique

Toute perturbation électromagnétique se propage à travers un ou plusieurs chemins de couplage pouvant être caractérisés suivant deux types de modes : conduit et rayonné.

- Le mode conduit caractérise une perturbation se propageant par l'intermédiaire de tout élément physique pouvant conduire cette perturbation. Dans les circuits intégrés, ce type de couplage est le plus fréquent car il existe un nombre très important d'éléments pouvant favoriser la propagation de la perturbation, comme les pistes de circuits imprimés, les lignes d'alimentation, les câbles, les interconnexions entre équipements. . .
- Le mode rayonné caractérise une perturbation se propageant sous forme d'un rayonnement électromagnétique, et donc d'un champ électrique et/ou magnétique.

La figure 1.6 illustre ces deux modes de propagation de la perturbation sur un exemple. Sur cet exemple, on envisage une interférence électromagnétique qui se propage sous forme d'un rayonnement électromagnétique. Ce rayonnement est capté par une des antennes de réception d'une automobile. Une fois captée par l'antenne, l'interférence électromagnétique peut se propager via le câble reliant l'antenne à un équipement automobile, ici un TCU (Telematic Control Unit). Cet élément permet de contrôler le suivi du véhicule grâce à des capteurs mesurant sa position dans son environnement. Si l'interférence électromagnétique est d'amplitude suffisamment importante, elle peut perturber le TCU provoquant ainsi un dysfonctionnement du véhicule.

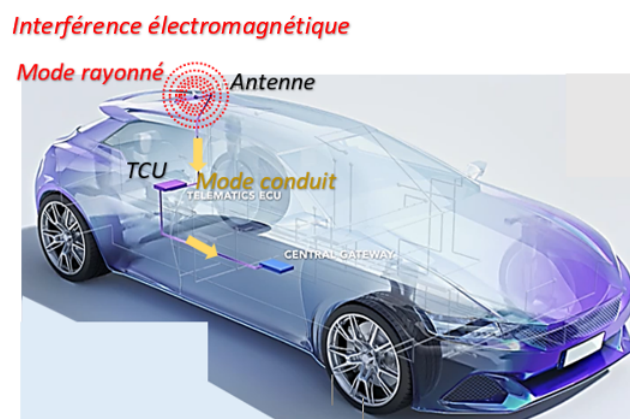


Figure 1.6: Exemple de mode conduit/rayonné

Notons que le couplage rayonné peut s'effectuer en champ proche ou en champ lointain. La différence entre ces 2 notions dépend de la distance, notée d , qui sépare la source de la victime et de la longueur d'onde considérée (fréquence utilisée), notée λ . Dans le cas où d est largement inférieure à $\frac{\lambda}{(2.\pi)}$, on dit que l'on est en champ proche, il y a prédominance d'une onde (électrique ou magnétique) par rapport à une autre. Le champ sera considéré électrique si l'impédance de l'onde est supérieure à celle du vide. Dans le cas contraire elle sera considérée magnétique. Dans le cas où d est largement supérieure à $\frac{\lambda}{(2.\pi)}$, les champs électrique et magnétique sont couplés de manière orthogonale [7].

Le couplage champ proche est problématique notamment lorsque différents éléments sensibles sont proches les uns des autres. Reprenons l'exemple précédent. Lorsque l'interférence électromagnétique se propage sur un câble du véhicule. Si un deuxième câble est proche de ce dernier alors l'interférence peut, par couplage champ proche que l'on peut aussi appeler diaphonie, passer d'un câble à l'autre et se propager vers les autres équipements électroniques du véhicule.

1.3 La CEM des circuits intégrés

1.3.1 Les conséquences CEM d'une industrie électronique grandissante

La prise de conscience des problèmes d'interférence électromagnétique est apparue dans les années 30 avec le début des communications radios. Afin d'éviter au maximum l'apparition de tels phénomènes, le Comité International Spécial des Perturbations Radioélectriques (CISPR) a été créé. Des normes ont alors été mises en place. Le CISPR met à jour des techniques de mesures des perturbations et impose des limites quant au niveau d'émission [8].

Mais c'est avec l'apparition des tous premiers transistors dans les années 50, suivis des circuits intégrés dans les années 60 puis des microprocesseurs dans les années 70 que les problèmes d'interférences sont devenus significatifs en électronique.

A cette époque le docteur Robert Dennard démontra tous les bénéfices qu'apporterait la miniaturisation des transistors MOSFET dans notre société. Il est à l'origine d'une théorie règles de "réduction d'échelle" prouvant que la réduction des dimensions d'un transistor pouvait ne pas avoir d'influence sur ses caractéristiques électriques, ce qui par conséquent, permettrait d'augmenter considérablement les performances des circuits intégrés tout en réduisant les coûts de fabrication [9]. Un an plus tard la loi de Moore fit sa toute première apparition. Cette dernière prédisait que le nombre de transistors sur une puce d'un circuit intégré doublerait tous les 18 mois. Aujourd'hui plus d'un milliard de transistors sont intégrés sur un même processeur, comparé à quelques dizaines de milliers dans les années 70. La figure 1.7 illustre cette loi de 1970 à 2015 [10].

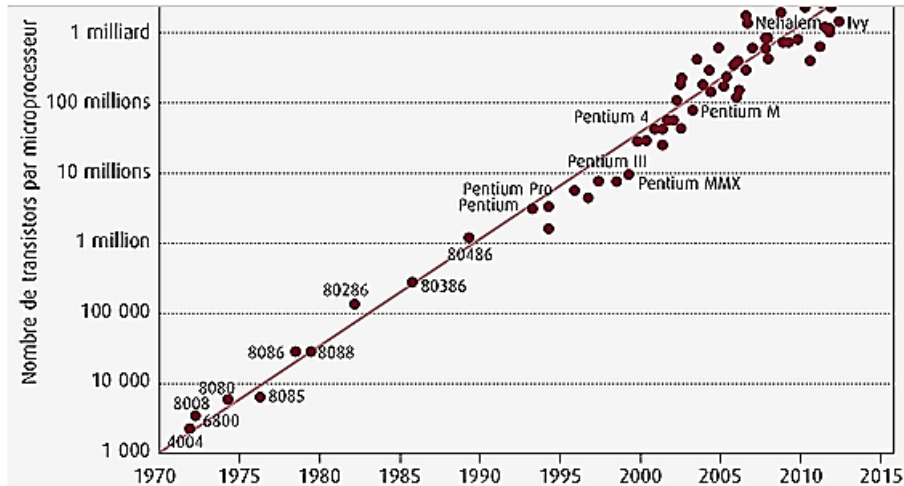


Figure 1.7: Exemple de mode conduit/rayonné

En 2017 sont apparus de nouveaux microprocesseurs composés de 10 milliards de transistors avec une finesse de gravure de l'ordre de 7 nm. Actuellement en cours de fabrication, les puces du fabricant taiwanais TSMC (Taiwan Semiconductor Manufacturing Company) devraient comporter des transistors en technologie 5 nm [11].

Cette prolifération du nombre de transistors sur une même puce, suivie d'une forte densité d'intégration des circuits intégrés, a augmenté les problèmes relatifs à la compatibilité électromagnétique. Par exemple, la réduction de l'épaisseur des couches d'oxyde utilisées dans les composants a conduit à une augmentation de la densité du champ électrique, pouvant alors provoquer plus facilement le claquage de l'oxyde, ce qui a nécessité une réduction des tensions d'alimentations [12] causant automatiquement une forte diminution des marges d'émission et d'immunité des circuits électroniques.

La miniaturisation des transistors a également conduit à une réduction des capacités parasites ce qui, par conséquent, a favorisé la rapidité de commutation des transistors et donc l'augmentation des fréquences d'utilisation des circuits intégrés [13]. Cette augmentation de fréquence a, en contrepartie, augmenté le niveau d'émission de certains appareils.

1.3.2 Immunité des circuits intégrés

L'immunité des circuits intégrés représente la capacité des circuits à faire face aux perturbations électromagnétiques. On considère classiquement deux configurations d'immunité : interne et externe. La figure 1.8 permet d'illustrer ces notions à travers le cas particulier d'un SIP, pour "system in package" en anglais, constitué de deux puces dans un même boîtier.

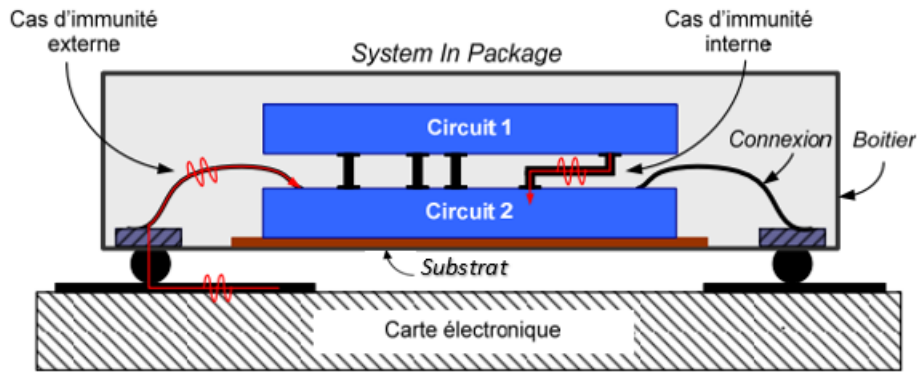


Figure 1.8: Exemple de mode conduit/rayonné

Nous nous intéressons dans cet exemple aux problèmes d'immunité conduite sur le circuit 2 considéré comme la victime.

L'immunité conduite externe est relative à l'impact d'une perturbation issue de la carte électronique (source) se propageant par l'intermédiaire de diverses interconnexions (pistes, bille de soudure) jusqu'à atteindre la victime. Dans le cas d'un faible niveau d'immunité, les performances du circuit 2 seront dégradées.

L'immunité conduite interne est quant à elle relative à l'influence du circuit 1 (considéré comme source de perturbation) sur le circuit 2 (victime), sachant que les deux circuits intégrés sont regroupés dans un même boîtier. Une perturbation issue du circuit 1 se propage à travers les fils d'interconnexion jusqu'au circuit 2 qui, de façon identique au cas précédent, peut voir ses performances se dégrader.

1.3.3 Emissivité des circuits intégrés

Les problèmes d'émission électromagnétique (EM) proviennent des signaux électriques qui se propagent au sein des circuits électroniques. Les principales sources d'émissions EM sont liées aux commutations des circuits numériques, et donc des transistors, dans les unités de contrôles ou les contrôleurs [14]. Les commutations des transistors induisent des appels de courants transitoires, comme décrit figure 1.9 [14], qui peuvent se propager par l'intermédiaire d'interconnexions et donc d'inductances parasites constituant les chemins de couplages.

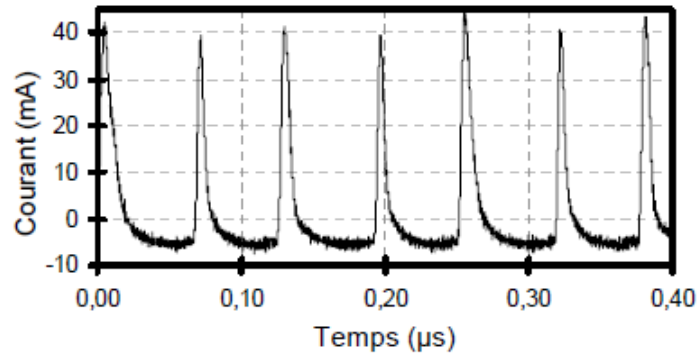


Figure 1.9: Exemple de pics de courant dans un circuit intégré [14]

Une tension parasite proportionnelle à la dérivée du courant apparaît alors aux bornes de ces inductances et pourra à son tour être transmise à travers les câbles d'un système ou re-rayonnée. L'amplitude de la tension $v(t)$ parasite est proportionnelle à la dérivée du courant parasite $i(t)$ comme le décrit l'équation 1.1.

$$v(t) = \frac{L \cdot di(t)}{dt} \quad (1.1)$$

L représente l'inductance parasite.

La tension parasite générée peut avoir une amplitude élevée mais peut aussi présenter un spectre fréquentiel très riche, dont l'occupation spectrale peut couvrir des fréquences allant de quelques kHz à plusieurs GHz [15]. La figure 1.10 montre une forme d'onde typique de tension parasite et son spectre associé.

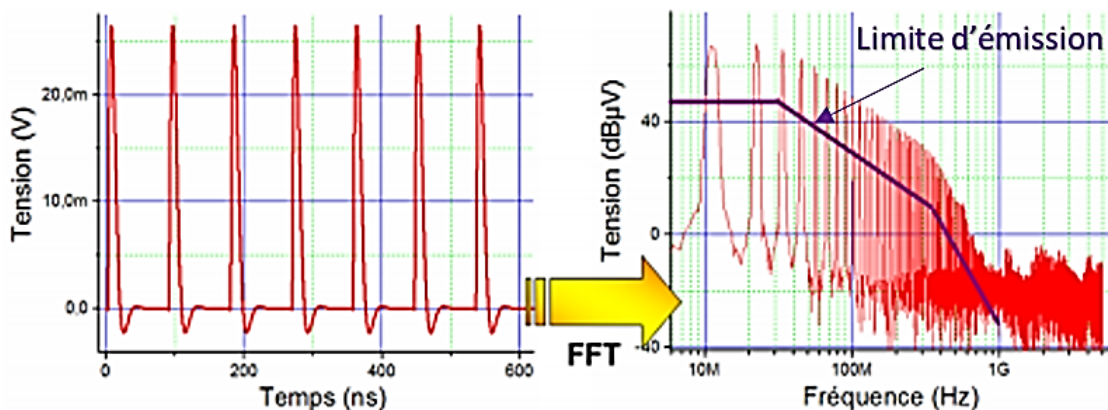


Figure 1.10: Allure d'une tension parasite et son spectre associé [15]

La réduction du niveau de ce type de spectre est un immense défi et une étape cruciale pour la qualification d'un produit de l'industrie semiconducteur en général et de l'industrie automobile en particulier.

1.4 Mise en place de la CEM et des normes qui lui sont propres dans l'industrie du semi-conducteur

Les différentes étapes conduisant à la production d'un circuit nécessitent de nombreuses expertises différentes [16]. La figure 1.11 montre les différentes étapes de réalisation d'un produit au sein d'une entreprise de conception de circuits électroniques (cycle en V) telle que NXP. C'est ce qu'on appelle le flot de conception "design flow en anglais".

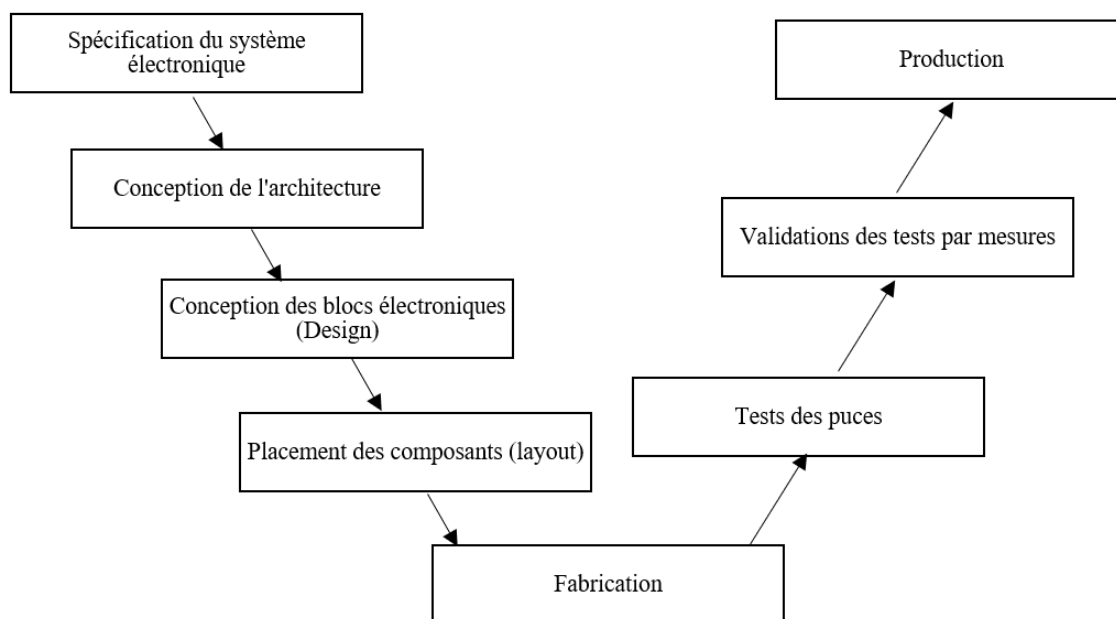


Figure 1.11: Processus de réalisation d'un circuit

Le cahier des charges est la première étape de fabrication d'un produit. Il doit définir les fonctions souhaitées ainsi que les différents paramètres électriques souhaités comme les tensions, courants, la puissance nécessaire, la fréquence d'utilisation ... Il permet de définir dans un premier temps toutes les spécifications du système étudié comme la durée nécessaire pour réaliser le produit et les ressources nécessaires.

De ce cahier des charges, découle l'étude de l'architecture du circuit. Cette étape va permettre de clarifier la complexité de conception de certaines fonctions souhaitées, le type de boîtier, le placement des broches des CIs, ainsi qu'une estimation de la taille de silicium suffisante pour respecter le cahier des charges.

Enfin, un schéma électrique est établi définissant et rassemblant tous les blocs électroniques à concevoir.

Ces différents blocs sont mis en place par l'équipe de conception en charge de créer des fonctions intégrées conformément aux spécifications souhaitées. Durant cette phase, des simulations fonctionnelles comprenant des modèles CEM sont nécessaires pour valider le bon fonctionnement du circuit dans son environnement. Ces simulations permettent de mettre en évidence les différentes allures temporelles des principaux signaux. Lorsque les

simulations CEM, qui elles, mettent en évidence les niveaux d'émission et d'immunité dans le domaine fréquentiel, sont effectuées et conformes au niveau attendu, l'équipe " layout " génère le placement (routage) des composants élémentaires qui seront intégrés sur la puce. Dans cette phase, les blocs électroniques sont traduits en série de masques et de couches nécessaires à la fabrication.

Une fois l'étape de fabrication terminée, on réalise une série de tests sur un nombre élevé de circuits intégrés produits, provenant de lots identiques et/ou différents. Les résultats de ces tests sont ensuite comparés aux limites définies initialement dans les spécifications du système électronique. Cette étape permet de garantir la bonne fonctionnalité de la puce en prenant notamment en considération des variabilités de type PVT (Process Voltage Temperature).

Enfin, des dernières mesures, concernant les parties fonctionnelles et la CEM sont effectuées sur une carte test dédiée à la production. Les résultats finaux de ces mesures doivent absolument être dans le respect des normes imposées. Toutes les mesures hors spécifications sont susceptibles d'amener à une reconception du circuit intégré, augmentant alors le temps de développement du produit et générant une forte perte d'argent. C'est pourquoi il est primordial que les simulations effectuées durant le flot de conception soient les plus réalistes et précises possibles.

1.4.1 Vers des simulations fonctionnelles toujours plus proches de la réalité

Les conceptions de circuits électroniques sont devenues de plus en plus complexes. Le nombre de fonctions au sein d'une même puce ne cesse de s'accroître. L'utilisation de simulateurs de circuits électroniques est devenue indispensable à la bonne conception de ces derniers. SPICE (Simulation Program with Integrated Circuit Emphasis), programme de simulation prévu à cet effet, permet la simulation au niveau composant en intégrant les lois fondamentales de Kirchhoff. Cependant, la diminution des tailles des composants élémentaires et la prolifération de ces derniers au sein d'un même circuit ont complexifié leurs comportements et donc leurs modélisations.

Les variations de température, de tension, de procédé de fabrication, de vieillissement sont devenues plus influentes, capable de modifier les paramètres caractéristiques des signaux électriques. Les modèles proposés alors par les simulateurs de circuits ont commencé à connaître de véritables limites quant à leur convergence. Les concepteurs se sont ainsi vus dans l'obligation de créer leurs propres modèles compatibles avec des simulateurs électriques de type SPICE dans le but de prédire au plus juste, le comportement du système électronique [17][18].

Les simulations PVT sont devenues alors des outils indispensables, permettant de valider le bon comportement du circuit lorsque celui-ci est soumis à des variations PVT. Les résultats obtenus se doivent de respecter les spécifications fournies par le cahier des charges. Dans le cas contraire le schéma doit être modifié.

Notons également que les variations des paramètres caractéristiques des signaux impactent les caractéristiques CEM des composants, et les négliger, peut avoir une incidence sur la précision des résultats de simulation [19][20].

1.4.2 Prise en compte des variations PVT dans les modèles de simulations fonctionnels

Pour prendre en compte les variations PVT, on utilise des modèles conçus à partir des expériences réalisées dans des laboratoires. Ces modèles intègrent différentes sources de variations pouvant être classées en 2 catégories : les variations dites systématiques et les variations dites aléatoires.

Variations systématiques

Dans un semi-conducteur, des variations dites systématiques concernent des variations déterministes et répétables. Elles sont principalement causées par les procédés de photolithographies dépendant de la qualité du masque utilisé [21]. Ces limitations photo lithographiques peuvent être modélisées [22]. Elles dépendent principalement de leurs positionnements respectifs sur le wafer. Ces variations induisent des variations de paramètres électriques qui peuvent être prises en compte par un simulateur électrique type SPICE. Pour cela, ces variations de paramètres électriques sont d’abord mesurées pour être ensuite modélisées. Il en découle 2 cas extrêmes : le minimum et le maximum, nommés aussi meilleur cas et pire cas. Afin de couvrir toutes les variations de caractéristiques possibles des différents signaux électriques d’un circuit, on réalise la méthode des limites “corner en anglais” qui consiste à croiser tous ces cas extrêmes entre eux. Notons également que les modèles tiennent aussi compte des variations de température et de tension.

Variations aléatoires

Ces variations sont le résultat de phénomènes stochastiques dus aux limitations atomiques. Elles sont devenues prépondérantes lorsque la taille des transistors est devenue inférieure à 90 nm, ce qui est aujourd’hui majoritairement le cas. Pour exemple, la profondeur de diffusion, la concentration de dopants, l’épaisseur d’oxyde sont des paramètres pouvant varier facilement en fonction des conditions non uniformes lors du dépôt et de la diffusion des impuretés entraînant une fluctuation de l’épaisseur d’oxyde de grille [23]. Les dimensions des transistors (W/L), la capacité d’oxyde C_{ox} , la mobilité des électrons sont ainsi les premiers paramètres à en subir les conséquences, impactant majoritairement les tensions de seuils des transistors. Ces variations sont plus grandes lorsque ces composants ne sont pas fabriqués au sein d’un même lot.

Comme il est bien difficile de prédire ces variations, on recourt à des descriptions statistiques. Ces variations aléatoires sont ainsi modélisées suivant une distribution gaussienne comme décrit par la figure 1.12.

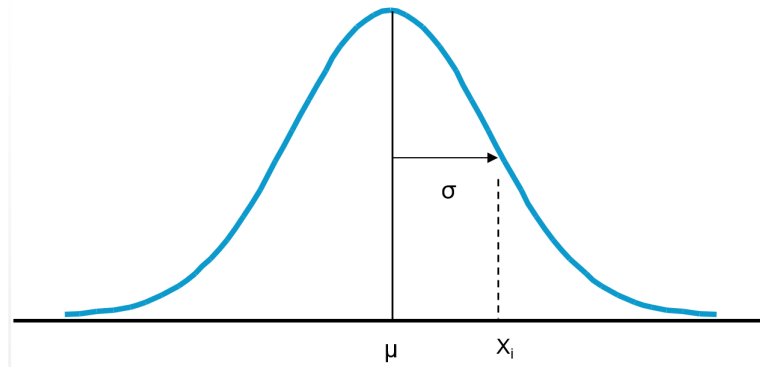


Figure 1.12: Distribution normale caractérisé par la moyenne μ et l'écart type σ

Une telle distribution est caractérisée par deux paramètres : la moyenne et l'écart type .

Dans le cas de simulations électriques, on fait en sorte que la valeur moyenne d'un paramètre électrique corresponde à la valeur cible, c'est-à-dire la valeur souhaitée. Le niveau de qualité est alors régi par l'écart type.

Afin de garantir la qualité du produit, les concepteurs appliquent une méthode dite six sigmas, c'est-à-dire que pour un même intervalle de tolérance dans les spécifications, on souhaite un niveau de qualité de ± 6 fois l'écart type.

Plus ce niveau, dépendant de sigma, sera élevé et plus on limitera la dispersion du processus et donc le nombre de pièces défectueuses [24] comme l'illustre la figure 1.13.

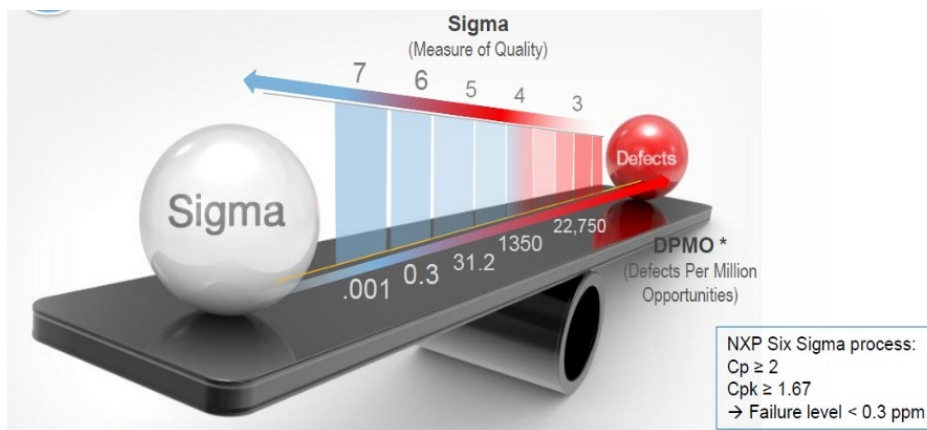


Figure 1.13: Mesure de la qualité d'un produit par la méthode six sigmas

Méthode six sigma

L'appellation 6 sigma provient de la société Motorola, qui suite à de nombreux problèmes de qualité décida de développer en 1980 cette méthode. Cette méthode est répandue dans le monde entier, utilisée par les plus grandes entreprises internationales. Le bénéfice accumulé par l'utilisation de ce principe en fait une méthode incontournable. Entre les années 1986 et 2001, Motorola a réalisé plus de 10 milliards d'économie grâce à ce principe [24].

La qualité du procédé est calculée à partir des indices C_p et C_{pk} correspondant respectivement à la capabilité du procédé c'est-à-dire une information de performance d'un processus par rapport aux 2 limites définies par les spécifications (T_{min} et T_{max}) pour C_p et à la capabilité minimale du processus correspondant à un éventuel décentrage de la valeur cible noté V_c , comme décrit par la figure 1.14, concernant C_{pk} .

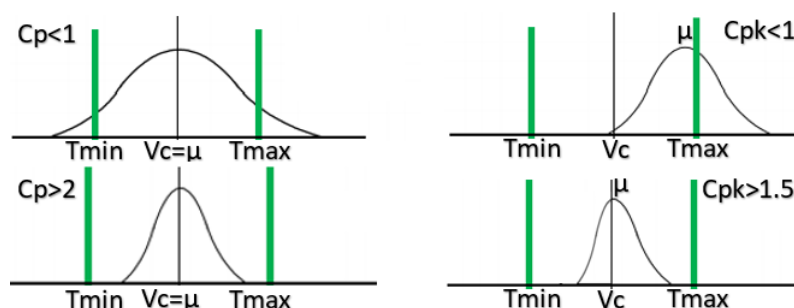


Figure 1.14: Qualité du procédé en fonction des indices C_p et C_{pk} [24]

Ces 2 paramètres sont calculés suivants les équations suivantes :

$$C_p = \frac{(T_{max} - T_{min})}{6.\sigma} \quad (1.2)$$

$$C_{pk} = \frac{(1 - k).(T_{max} - T_{min})}{6.\sigma} \quad (1.3)$$

Avec

$$k = \frac{(V_c - \sigma)}{(T_{max} - T_{min})/2} \quad (1.4)$$

La méthode 6 sigma garantit un C_p minimum équivalent à 2 et un C_{pk} minimum équivalent à 1.5. Le nombre de défaut maximum est alors calculé à partir de ces deux paramètres et représente 0.3 ppm.

La méthode 6 sigma permet ainsi d'avoir un pourcentage de pièces défectives, c'est-à-dire un nombre de pièces défectueuses en sortie de production, inférieur à 0.3 sur 1 million.

1.4.3 Variations PVT dans les modèles de simulations

Si la diminution de la taille des transistors a permis de réduire considérablement la consommation d'énergie des circuits ainsi que la baisse des coûts de ces composants, cela a malheureusement aussi contribué à rendre les circuits électroniques plus sensibles aux différentes variations PVT.

Les variations de procédé de fabrication sont dues aux petites fluctuations lors de la conception (diffusion des dopants dans le silicium, procédés de photolithographies. . .) tandis que les variations de tension (continue ou transitoire) peuvent être engendrées par des perturbations externes couplées au CI. Enfin, les variations de température sont majoritairement causées par la puissance dissipée dans le circuit (dans le cas d'utilisation de transistor de puissance) ou bien l'environnement dans lequel celui-ci se trouve.

On notera que les variations PVT influent particulièrement sur la vitesse de commutation du transistor et les courants de fuites. Ces variations peuvent avoir un impact uniforme sur l'ensemble du circuit (variations globales) ou impacter chaque partie du circuit de manière différente (variations locales) [23].

Notons également que le vieillissement des composants peut être un paramètre de variabilité supplémentaire susceptible d'affecter les performances du circuit intégré après quelques années de fonctionnement [25].

Variation des procédés de fabrication

Les variations de procédé de fabrication des semi-conducteurs (mismatch des transistors) peuvent être caractérisées selon deux natures : globale et locale.

Variation de nature globale:

La variabilité globale est donnée par l'écart d'un paramètre dimensionnel autour de sa valeur nominale. Ces paramètres incluent généralement la longueur du canal, sa largeur, l'épaisseur d'oxyde et la concentration de dopage. La variation de ces paramètres induit une variation des paramètres électriques du circuit (courant, tension. . .). Les circuits en conception peuvent alors avoir des performances et des caractéristiques de puissances différentes. Par exemple, la figure 1.15 [23], montre une différence de fréquence de fonctionnement normalisée en fonction du courant de fuite normalisé.

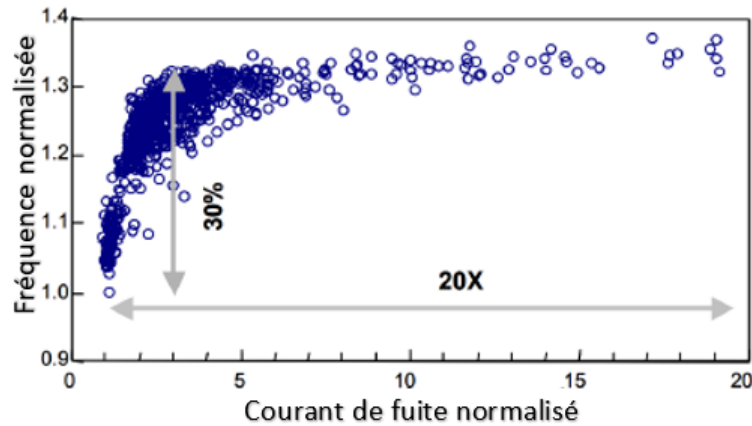


Figure 1.15: Variation des performances suivant intensité du courant de fuite [23]

On observe sur la figure 1.15 que la fréquence de fonctionnement entre différentes puces dans un wafer peut varier de 30% lorsque le courant de fuite varie d'un facteur 3.

Les variations globales peuvent être détectées de puce à puce. Un lot contient en général 25 wafers, tandis qu'un wafer peut contenir quelques milliers de puces. La variabilité globale étant systématique, cela a pour conséquence que le placement des puces les unes par rapport aux autres dans un wafer a son importance. En effet, les conditions de traitement des puces près du centre du wafer sont généralement mieux contrôlées que celles près du bord (résidu lors de la découpe, copeaux...) [26].

Comme expliqué précédemment, les variations systématiques sont connues et modélisées. On utilise la “ méthode des limites ” précédemment décrite pour simuler leur impact sur les paramètres électriques.

Variation de nature locale:

Les variations de nature locale se produisent exclusivement au sein d'une même puce. Le nombre de dopants par transistors étant constamment en baisse du fait de la réduction de la taille de ces composants, la fluctuation aléatoire de chaque atome a ainsi augmenté jouant un rôle majeur sur la variation de la tension de seuil des transistors MOSFETs [23]. Cette variation de la tension de seuil, noté V_{th} , est l'une des causes principales des modifications des performances des circuits (retard, transconductance...) [27].

Notons que cette variation de la tension de seuil dépend directement des caractéristiques du canal dans le cas du transistor MOSFET et possède un écart type inversement proportionnel à la racine carrée de la largeur W , multipliée par la longueur L du canal:

$$\sigma V_{th} \propto \frac{1}{\sqrt{W.L}} \quad (1.5)$$

On estime généralement les variations locales dans un circuit à travers des simulations de croisement de cas, de type Monte Carlo, incluant également les variations globales. Pour cela on utilise la répétabilité des expériences pour estimer une loi de probabilité.

Variation de tension

Comme les tensions d'alimentation des circuits ne cessent de diminuer, ces derniers deviennent de plus en plus sensibles à d'éventuelles variations de ces tensions d'alimentation. L'une des principales raisons de ces variations réside dans le flux de courant à travers les résistances parasites (IR drop) et le bruit d'alimentation généré par la combinaison entre les capacités et les inductances parasites. Ces effets ont pour résultat des valeurs de tensions de références qui peuvent être faussées (surtensions, sous-tensions) [25], mais également l'apparition d'effet rebond ou d'oscillations (ringing en anglais) lors des commutations des transistors dont les dépassements d'amplitude (maxima et minima) sont connus sous les noms respectifs de "overshoot" et "undershoot", comme l'illustre la figure 1.16.

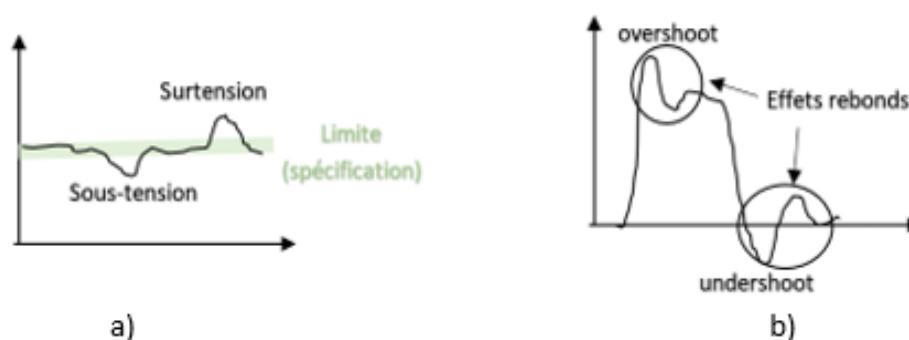


Figure 1.16: Exemple a) surtension et sous-tension ; b) overshoot et undershoot

La variation des tensions d'alimentations qu'elles soient fournies par des sources DC ou bien des régulateurs, peut causer des changements brutaux des performances attendues des circuits comme la rapidité de commutation par exemple [23].

En effet, on estime par exemple que le délai d'une porte inverseuse est souvent proportionnel à la tension d'alimentation [23] suivant l'équation 1.6.

$$\text{délai} \propto \frac{V_{alim}}{(V_{th} - V_{alim})^\alpha} \quad (1.6)$$

Où α est un facteur dépendant de la technologie utilisée. Notons que plus la tension d'alimentation V_{alim} sera proche de V_{th} , plus une faible variation ΔV_{alim} modifiera ce délai.

Variation de température

Un circuit électronique subit des variations de température lors de son fonctionnement. Cela peut être dû aux conditions météorologiques, mais également à son propre fonctionnement (dissipation d'énergie). En effet, à mesure que la technologie évolue, la densité de transistors dans un circuit augmente de façon considérable. Ceci, à son tour, provoque l'élévation de la densité de puissance et, par conséquent, de l'effet "auto-échauffant". On notera également que la température dans un circuit peut varier de 30°C en fonction de

la position spatiale du point de mesure [23] et ce pour une température environnementale fixe. La figure 1.17 montre la variation de température au sein d'un CI.

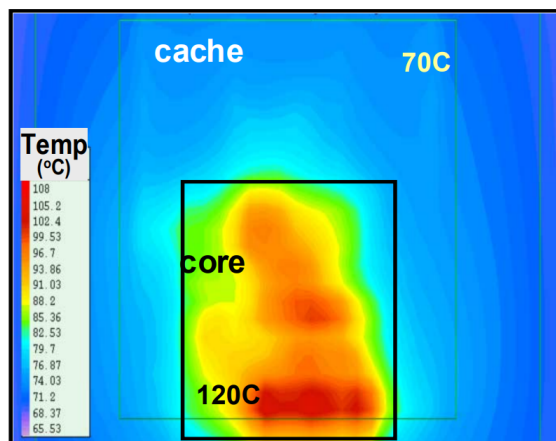


Figure 1.17: Exemple de variation de température au sein d'un CI [24]

Cette variation importante est due aux points chauds “ hot spots en anglais ”, c'est-à-dire aux régions du circuit qui présentent une forte activité et par conséquent dissipent plus de puissance.

Pour des composants semi-conducteurs tels que les MOS, les mobilités des électrons et des trous sont fortement affectées lors d'un changement de température. Pour des composants silicium (Si), la mobilité diminue avec la température [23].

Le niveau de Fermi pour un semi-conducteur de type N permet de connaître la tendance du matériau à devenir plus ou moins conducteur. Lorsque la température augmente le niveau de Fermi se rapproche de la bande de conduction, c'est-à-dire que le matériau est plus sensible à devenir conducteur. La température facilite donc le passage des électrons et permet au semi-conducteur de devenir plus facilement conducteur.

La tension de seuil d'un transistor NMOS étant la tension pour laquelle le transistor passe de son état isolant à celui d'un conducteur, on comprend aisément que l'augmentation de la température va permettre une diminution de cette valeur de tension de seuil.

Notons que le temps d'établissement de commutation d'un transistor (“ turn on delay ” en anglais) augmentera avec la température pour une faible valeur de tension tandis qu'il diminuera avec l'élévation de la tension. Ce phénomène est appelé dépendance à la température inverse (ITD). Il est dû au fait qu'une température plus élevée réduira la tension de seuil mais également la mobilité des électrons. Comme le montre la figure 1.18, le “ turn on delay ” augmente avec la température pour les valeurs de tension supérieures à 0,95 V tandis qu'il diminue pour les valeurs de V inférieures 0,95V.

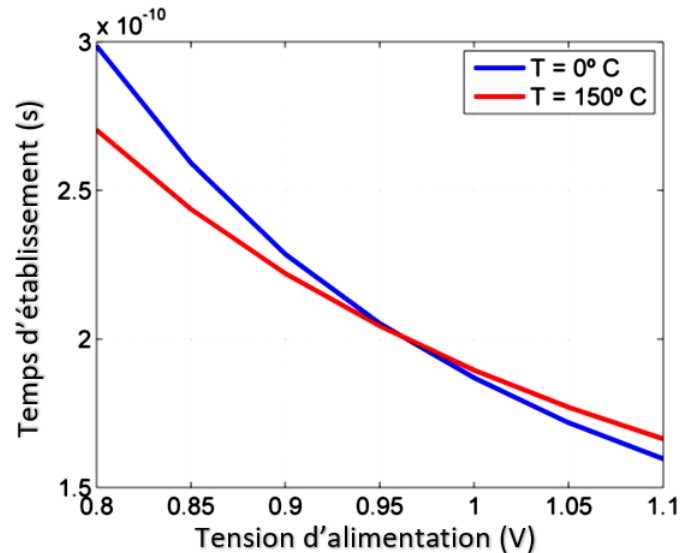


Figure 1.18: Variation du délai de commutation suivant la température et la tension d'alimentation appliquée [23]

La performance du circuit n'est pas le seul problème lié à la température. Par la réduction de la tension de seuil, l'augmentation de la température conduit également à plus de puissance dissipée par les transistors pouvant dégrader le circuit en accentuant de manière naturelle son vieillissement [25].

Effet du vieillissement :

C'est dans les années 60 que l'on voit apparaître des études sur le vieillissement des circuits. A l'époque les conséquences ne sont pas importantes tant la robustesse des circuits est grande. Mais la diminution de l'épaisseur de l'oxyde des grilles des transistors, contribuant à augmenter le champ électrique, va bouleverser ce constat [23][25].

Il existe différents mécanismes de dégradation d'un circuit au cours de sa vie en fonctionnement et leurs apparitions dépendent des conditions environnementales, de la température, de la densité de courant ou encore des tensions d'alimentation. Les plus connus sont essentiellement les mécanismes : d'électromigration (EM), de claquage diélectrique dépendant du temps (plus connu sous le nom de Time Dependent Dielectric breakdown - TDDB), d'injection de porteur chaud (Hot-Carrier Injection - HCI), ou encore de dégradation par "negative bias temperature instability" (NBTI) [28].

1.4.4 Des simulations CEM toujours à part dans la phase de conception

Aujourd'hui, les applications industrielles (dans les domaines aéronautique, spatial, automobile, militaire, etc.) ont de fortes exigences en termes de qualité des systèmes et composants électroniques. Les variabilités PVT des composants sont testées afin de garantir le bon fonctionnement du circuit. Cependant, les analyses CEM comme nous allons le voir manquent encore cruellement de précision, et ce, dès la phase de simulation.

En effet, lorsque la conception des schéma électrique est terminée, des simulations fonctionnelles sont réalisées afin de garantir le bon fonctionnement du circuit tel décrit dans le cahier des charges. Des simulations PVT sont ensuite réalisées afin de garantir une déviation minimale des paramètres électriques du circuit (méthode six sigma).

Des simulations CEM sont également effectuées. Cependant, il est important de noter qu'à l'heure actuelle la plupart de ces simulations ne sont faites qu'à partir de valeurs de paramètres fonctionnelles typiques, c'est-à-dire sans la moindre considération des effets de variabilités, que peut subir le circuit, décrits au paragraphe précédent.

Enfin, lorsque les résultats de simulations sont en accord avec les spécifications du cahier des charges, le placement des composants (routage) qui seront générés sur la puce peut être exécuté.

Les différentes étapes de simulations d'un schéma électrique durant la phase de conception et la décorrélation entre les simulations PVT et les simulations CEM sont représentées figure 1.19.

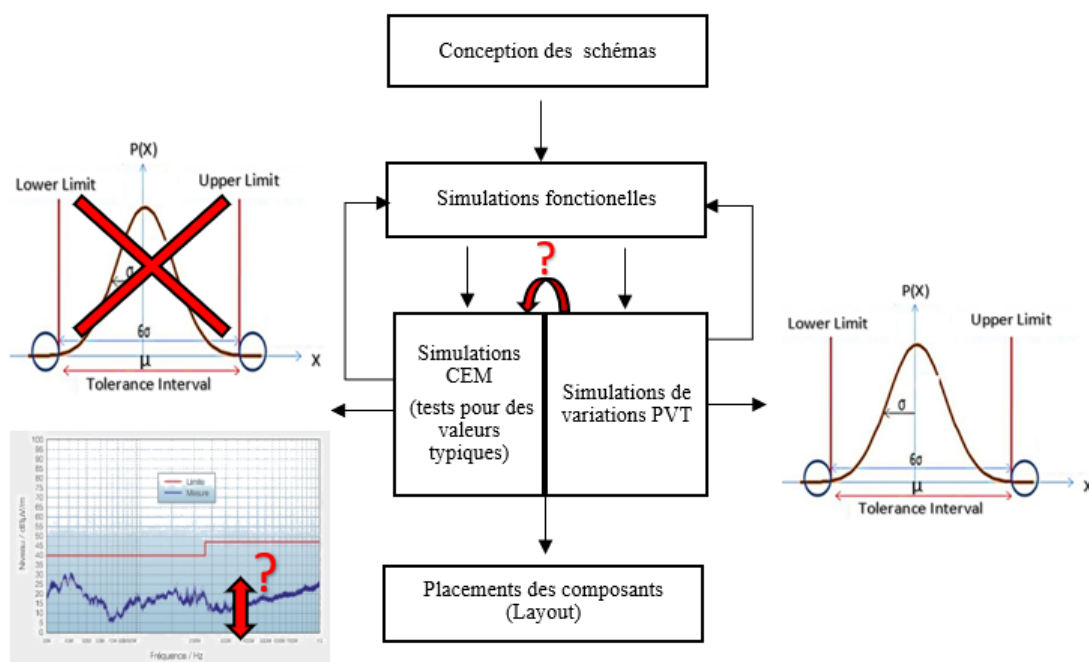


Figure 1.19: Schématisation des différentes étapes lors de la conception des schémas et mise en avant de la problématique de la prise en compte CEM dans le processus

Cette décorrélation entre les variations de paramètres électriques et les performances CEM peut poser des problèmes quant aux réels niveaux CEM attendus.

En effet, les variations PVT induisent des modifications sur l'ensemble des paramètres électriques des composants des circuits. Les formes d'ondes des signaux s'en trouvent donc changées, ainsi que leur enveloppe spectrale. Des études ont montré l'influences de paramètres tels que la température [20] et le vieillissement [19] sur le niveau CEM et la nécessité de les prendre en compte dès la phase de conception.

1.4.5 ...Et des tests CEM limités

Selon le processus de réalisation d'un circuit (figure 1.11), à l'issue de l'étape de fabrication, afin de respecter la qualité des exigences (méthode six sigma), un nombre important de pièces sont choisies aléatoirement au sein d'un même et de différents lots. Ces pièces sont alors soumises à différents tests électriques. Ces tests permettent de ne garder que les puces qui peuvent être utilisées par le client dans son application finale.

Des tests de validation CEM sont alors réalisés. Comme expliqué précédemment, ces tests sont limités et n'offrent pas une bonne garantie des marges d'émission et d'immunité puisque les variabilités PVT ne sont pas considérées durant cette phase de validation. La figure 1.20 illustre la problématique actuelle de la non prise en compte des variations PVT sur les caractéristiques CEM d'un circuit électronique.

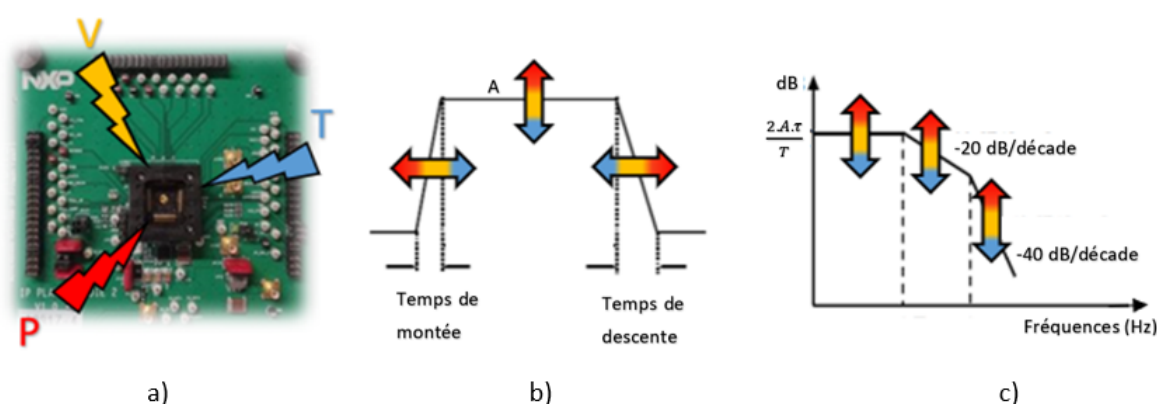


Figure 1.20: Variations PVT appliquées sur un circuit a) induisant une modification des paramètres principaux d'un signal b) et de son enveloppe spectrale c)

Il est donc primordial de pouvoir estimer autant en simulations qu'en mesures, le gabarit spectral des différents signaux ayant subi des variations PVT afin de valider les bonnes marges d'émission et d'immunité du circuit.

1.5 Revue des différents tests CEM des circuits intégrés

Les différentes simulations et mesures CEM mises en œuvre dans l'industrie des circuits intégrés doivent respecter certains protocoles et méthodes de test. Elles sont régies par des normes qui fixent les performances CEM des produits en ce qui concerne les interférences radioélectriques conduites ou rayonnées par des équipements électriques ou électroniques. Les niveaux d'émission et d'immunité sont donc mesurés suivant différentes méthodes et standards. Ces standards définissent les configurations et conditions d'essais, les modes opératoires ainsi que les cartes tests. Les mesures sont effectuées dans des conditions similaires, comme par exemple une température proche de 23°C, afin d'assurer toute reproductibilité des résultats.

1.5.1 Les différentes mesures d'émission selon la norme IEC 61967

Des normes CEM ont été établies dans l'optique de garantir le bon fonctionnement de toutes les fonctions d'un module électrique et de ce fait protéger les utilisateurs contre des conséquences néfastes produites par des interférences électromagnétiques.

Une certification CEM est demandée aux industries. En Europe, depuis 1996, ne peuvent être commercialisés que les produits conformes à la réglementation instaurée et portant le symbole CE. Les réglementations peuvent aussi différer suivant certains pays pour des raisons de mesures (conditions, appareils utilisés).

Cependant pour des secteurs d'activités où la sécurité des personnes est un enjeu majeur, des normes spécifiques et drastiques sont imposées, ce qui est le cas de l'aviation, l'aérospatial, le militaire, l'automobile.

Le tableau 1.1 présente la norme IEC 61967 qui concerne les mesures CEM d'émission des circuits intégrés pour des fréquences comprises entre 150 kHz et 1 GHz [29].

Référence	Norme IEC 61967
IEC 61967-1	Généralités et Définitions.
IEC 61967-2	Mesure des émissions rayonnées, méthode de cellule TEM.
IEC 61967-3	Mesure des émissions rayonnées, méthode de mesure par sonde de champ proche (spécification technique).
IEC 61967-4	Mesure des émissions conduites, méthodes 1 Ω /150 Ω .
IEC 61967-5	Mesure des émissions conduites, méthode de la cage de Faraday sur banc de travail.
IEC 61967-6	Mesure des courants RF, méthode de la sonde magnétique.

Table 1.1: Mesures d'émission pour les circuits intégrés selon la norme IEC 61967

La norme IEC 61967 est constituée de 6 parties représentées dans le tableau 1.1. Une première partie (IEC 61967-1) décrit les conditions de mesures, les équipements nécessaires, la configuration du banc d'essai, les procédures de tests spécifiques aux conditions d'évaluation de l'émission conduite et rayonnée. Les 5 autres parties décrivent les différents modes de tests d'émission normalisés existants (IEC 61967-2 à 6).

Les différentes mesures d'émission selon la norme IEC 61967

Le standard IEC 61967 présente deux catégories de mesure des émissions rayonnées. L'utilisation d'une mini-chambre pour mesurer le champ électrique et l'utilisation de sondes spécifiques pour la mesure d'un champ électrique et/ou magnétique.

Méthode de mesure à travers une cellule TEM (IEC 61967-2)

Afin de connaître précisément le niveau d'émission rayonnée généré par un circuit, on place ce dernier dans une cellule TEM (transverse électromagnétique). Cette cellule, entièrement fermée est faite d'un blindage dont les parois sont conductrices. Une plaque

métallique que l'on nomme " septum " est placée à mis hauteur horizontalement entre deux plans de masse. A chaque extrémité du septum se trouve un connecteur.

L'un d'entre eux est utilisé de façon à mesurer le niveau de champ E présent dans la cellule. On place donc généralement un analyseur de spectre à cet endroit. Sur l'autre connecteur est alors placée une charge adaptée, généralement 50Ω comme décrit figure 1.21.

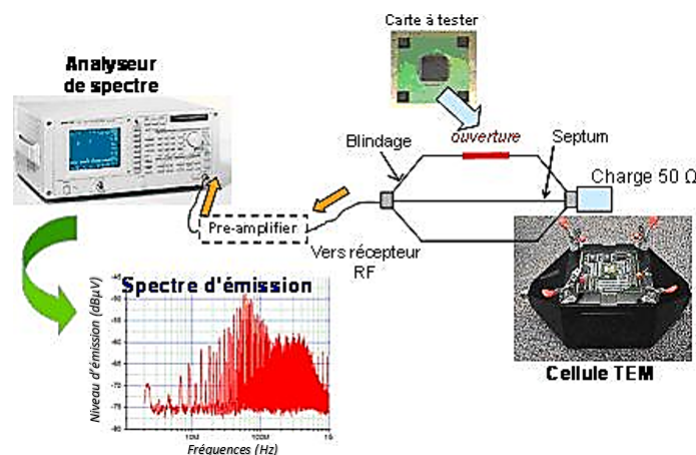


Figure 1.21: Configuration de mesure à travers une cellule TEM [30]

La carte de test est routée de façon à ce que tous les éléments nécessaires au fonctionnement du circuit se trouvent sur un seul côté de la carte excepté le circuit intégré dont on veut mesurer l'émission (DUT). Cette carte doit également être conforme à la norme SAE J 1752/3 [31]. Celle-ci préconise l'utilisation d'un circuit quatre couches comme décrit figure 1.22 [31].

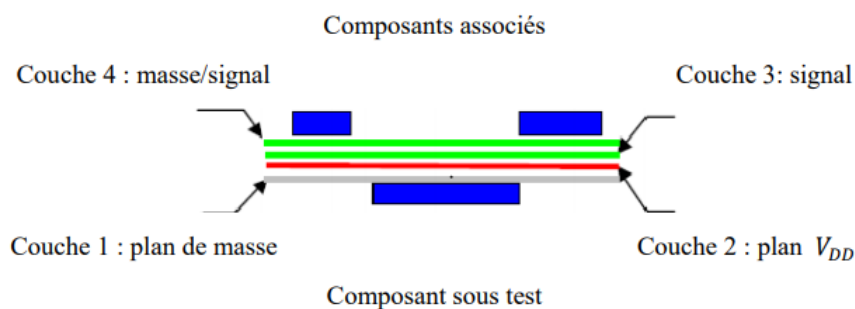


Figure 1.22: Circuit quatre couches pour la mesure TEM [31]

Il arrive fréquemment que l'on rajoute un plan de masse supplémentaire sur la face où est placé le DUT dans le but de limiter les émissions des différentes pistes des couches internes du circuit [31].

La cellule TEM permet la propagation d'ondes transverses. Le septum permet de capter le champ électromagnétique E émis par le DUT en fonctionnement. Ce champ est ensuite mesuré par l'analyseur de spectre. La réponse en amplitude de cette cellule est indépendante de la fréquence et ne possède pas de fréquence de coupure basse ce qui est un

avantage en termes de précision de l'intensité du champ généré ou mesuré. Néanmoins la taille de la cellule joue un rôle majeur sur les mesures hautes fréquences pouvant modifier l'allure spectrale du signal. C'est pourquoi lorsque l'on souhaite mesurer l'émission sur une bande de fréquence relativement élevée (>1 GHz) on utilise préférentiellement une cellule GTEM (gigahertz transverse electromagnetic) [32], plus adaptée à ces mesures hautes fréquences.

Notons que la cellule TEM permet également de mesurer l'immunité d'un composant. Pour cela il suffit de placer en entrée de la cellule un générateur de signal RF (souvent suivi d'un PA -Power Amplificateur) au lieu de l'analyseur de spectre. Le champ alors généré au sein de la cellule vient perturber le DUT dont on mesure le comportement.

Méthode de mesure par sonde de champ proche (IEC 61967-3)

Cette méthode présentée en détail dans [33] consiste à mesurer les champs proches magnétique et/ou électrique d'un circuit intégré à l'aide d'une sonde de champ proche. Elle permet de cartographier les champs électrique et magnétique émis par un circuit et donc de localiser l'emplacement des zones rayonnantes. Aujourd'hui, les scanners champs proches ont considérablement évolué. Ils utilisent des sondes de plus en plus performantes et dont la résolution spatiale est toujours plus fine, permettant une analyse des circuits intégrés jusqu'au GHz. Les champs proches mesurés magnétiques ou électriques dépendent de la nature de la sonde utilisée. La figure 1.23 décrit le banc de test pour la mesure de la méthode à boucle

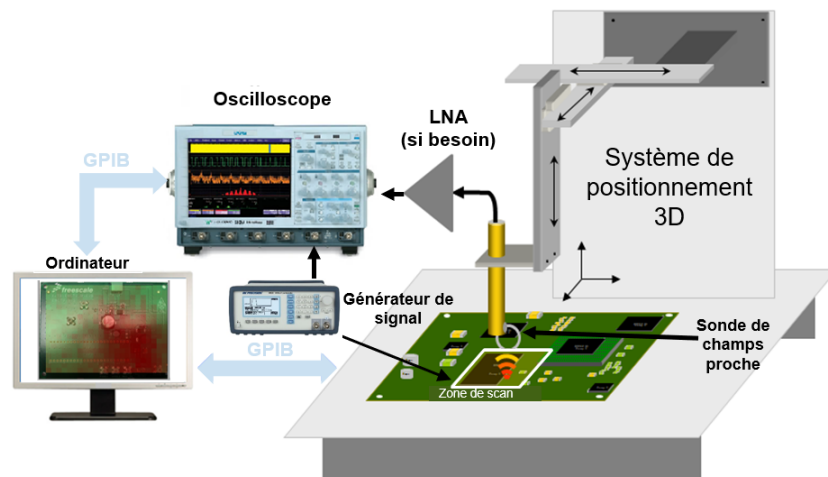


Figure 1.23: Configuration pour la mesure de la méthode à boucle

Le balayage de la sonde se fait à partir de moteurs contrôlés par ordinateur. Les résultats sont généralement donnés sous formes de cartographie où les couleurs visualisées dépendent de l'intensité du champ mesuré. Le principal désavantage de cette méthode est qu'elle requiert un équipement volumineux très spécifique. Cependant aucune carte électronique de mesure spécifique n'est à développer. Cette méthode est souvent préférée lorsqu'il faut comparer deux montages entre eux et choisir le moins rayonnant ou bien lorsqu'il faut déterminer le chemin de propagation d'une perturbation.

Les champs proches mesurés, magnétiques ou électriques, dépendent de la nature de la sonde utilisée. Une sonde à boucle permet la mesure d'un champ magnétique alors qu'une sonde plane, permet la mesure du champ électrique. Les deux sondes sont décrites figure 1.24.



Figure 1.24: Sondes pour la mesure du champ a) magnétique, b) électrique

Mesure des émissions conduites (IEC 61967- 4 à 6)

Le standard IEC 61967 présente trois méthodes de mesure des émissions conduites que sont la méthode 1/150 Ω (IEC 61967 -4) [29], la méthode de mesure utilisant une cage de Faraday (IEC 61967 -5) et enfin la méthode de la sonde à boucle pour la mesure des courant RF (IEC 61967-6).

Méthodes de mesure 1 Ω et 150 Ω (IEC 61967-4)

Ces méthodes mettent en jeu une configuration relativement simple pour déterminer les émissions électromagnétiques conduites dans un CI tout en permettant un haut degré de répétabilité.

La mesure 1 Ω (IEC61967 – 4) :

Cette méthode est basée sur le principe de retour de boucle du courant. Elle permet de mesurer le courant consommé à travers une broche d'alimentation (tension d'alimentation noté Vdd) d'un CI. Ce courant est déduit de la différence de potentiel aux bornes d'une résistance de 1 Ω . Cette valeur est justifiée par le besoin de limiter toute modification de l'impédance de l'alimentation, (il faut donc qu'elle soit la plus petite possible).

Une seconde résistance de 50 Ω est utilisée de façon à garantir une bonne adaptation d'impédance entre la sortie du CI (point mesuré) et l'entrée de l'analyseur de spectre noté AS sur la figure 1.25.

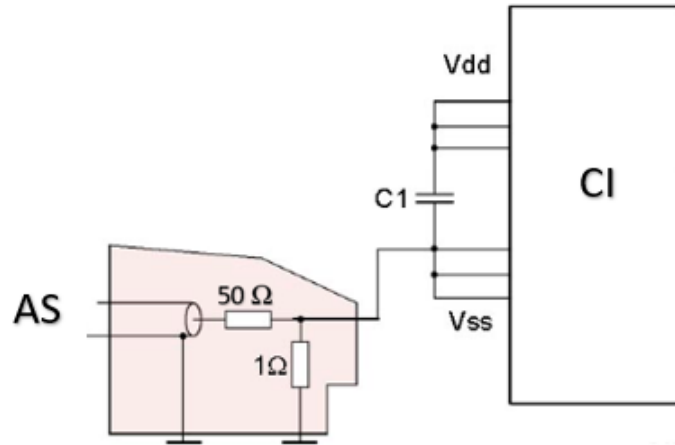


Figure 1.25: Configuration pour la mesure 1 Ω

On notera que cette mesure n'est valable que pour une plage de fréquence donnée. En effet, au-delà de 1 GHz, des effets parasites rentrent en jeu modifiant la valeur de la résistance de 1 Ω . (Inductance parasite induite par l'ajout de la résistance et la piste du circuit entre VSS et la masse du circuit).

La mesure 150 Ω (IEC61967 – 4) :

Cette méthode permet la mesure de la tension RF produite par l'activité du CI sur les entrées/sorties du circuit. Elle nécessite une résistance de 120 Ω en série avec un condensateur de 6.8 nF. Une résistance de 50 Ω en parallèle avec l'impédance de sortie de l'analyseur de spectre permet d'obtenir une impédance équivalente proche de 150 Ω . Cette valeur est choisie de façon à déterminer la tension à vide à haute impédance (150 Ω). Cela permet d'éviter des erreurs de mesures importantes en raison des impédances internes du CI. Cette méthode n'est valide que pour un intervalle de fréquence situé entre 150 kHz et 1 GHz.

La figure 1.26 décrit la configuration de la mesure utilisée.

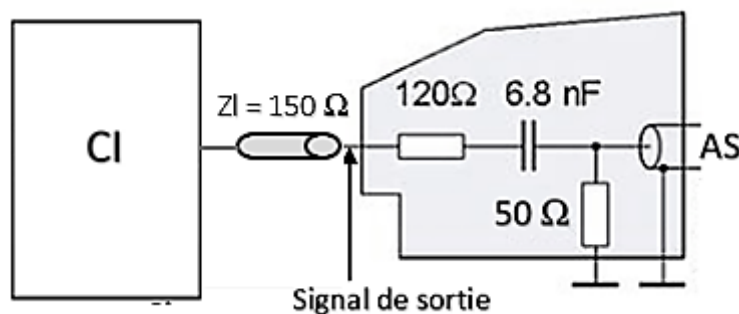


Figure 1.26: Configuration pour la mesure 150 Ω

Méthode de la cage de Faraday (IEC 61967-5)

Cette méthode permet de mesurer les émissions électromagnétiques conduites de circuits intégrés entre 150 kHz et 1 GHz sur une carte de test normalisée. Cette mesure se nomme méthode de la cage de Faraday car les mesures s'effectuent dans une cage de Faraday (méthode WBFC : Workbench Faraday Cage). Cette cage permet d'obtenir des mesures précises des niveaux d'émission d'un appareil en empêchant tout autre appareil de polluer l'environnement du circuit testé.

La figure 1.27 présente une illustration de cette méthode de mesure en cage de Faraday.



Figure 1.27: Photo d'une cage de Faraday

Mesure des courants RF (IEC 61967-6)

Contrairement à la méthode de scan qui permet de mesurer l'émission rayonnée d'un circuit intégré en cartographiant différentes zones du composant, cette méthode permet d'évaluer l'émission conduite du CI en évaluant les courants RF (plage de fréquence de 150 kHz à 1 GHz) sur les broches de ce dernier en utilisant une sonde magnétique miniature représentée figure 1.28.

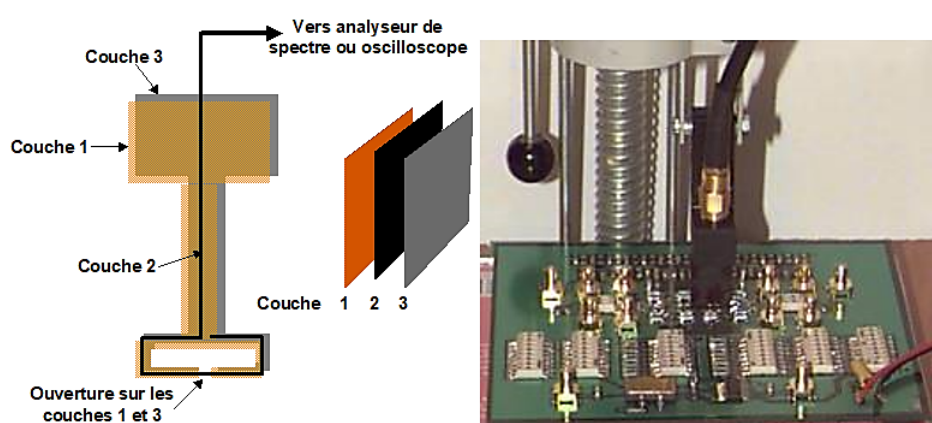


Figure 1.28: Schéma et photographie de la sonde de champ magnétique [33]

On utilise généralement cette mesure pour comparer plusieurs puces entre-elles.

On pourra noter qu'il est également possible d'estimer la valeur du courant passant sous la sonde à partir du champ magnétique via le théorème d'Ampère.

1.5.2 Limites CEM pour les Cis dédiés à l'automobile

En fonction des exigences CEM requises par l'application souhaitée du circuit, il existe différentes classes limites c'est-à-dire des seuils relatifs à un niveau maximum d'émission à ne pas dépasser. Ces limites concernent toutes les broches principales d'un CI et leurs appellations sont présentées dans le tableau 1.2 suivant.

Classes limites	Exigence CEM	Méthode 1 Ω		Méthode 150 Ω		Méthode GTEM
		Global	Local	Global	Local	
I	Faible	8-H	6-F	10-K	8-H	I
I	Modérée	10-K	8-H	12-M	10-K	L
I	Forte	12-M	10-K	14-O	12-M	N
C	Spécification client					

Table 1.2: Mesures d'émission pour les circuits intégrés selon la norme IEC 61967

On notera que pour les mesures 1/150 Ω , chaque classe de limites est composée de deux spécifications dépendant de la nature des pins à partir desquelles sont réalisées les mesures d'émission. Elles sont considérées globales lorsqu'elles sont extérieures à un équipement électronique, comme les signaux d'alimentation par exemple, et locales, quand elles sont internes à cet équipement comme par exemple une connexion SPI entre deux CIs. On utilise un diagramme de niveaux d'émissions pour classifier ces limites.

Pour caractériser un diagramme d'émission on utilise une nomenclature qui comporte trois symboles relatifs à un certain niveau d'émission [34]. Ces trois symboles sont, successivement :

- Une lettre majuscule qui correspond à un certain niveau d'émission avec une pente de 0 dB/décade.
- Un numéro correspondant à un niveau d'émission décroissant selon une pente à -20 dB/décade
- Une lettre minuscule correspondant à un niveau d'émission décroissant selon une pente à -40 dB/décade.

Ainsi, à titre d'exemple, si on considère une spécification du niveau d'émission souhaité par un client de " F7e ", cela induit un premier niveau spécifié à une amplitude 54 dBV et une pente de 0 dB , suivi d'un niveau décroissant selon une pente de -20 dB/décade, puis enfin selon une pente de -40 dB/décade. Les fréquences de coupure (changement de pente) se situent aux points d'intersection du tracé avec une des droites portées en pointillés verts sur le graphique de la figure 1.29 selon la référence considérée (numéro ou minuscule). La spécification client est finalement tracée en rouge.

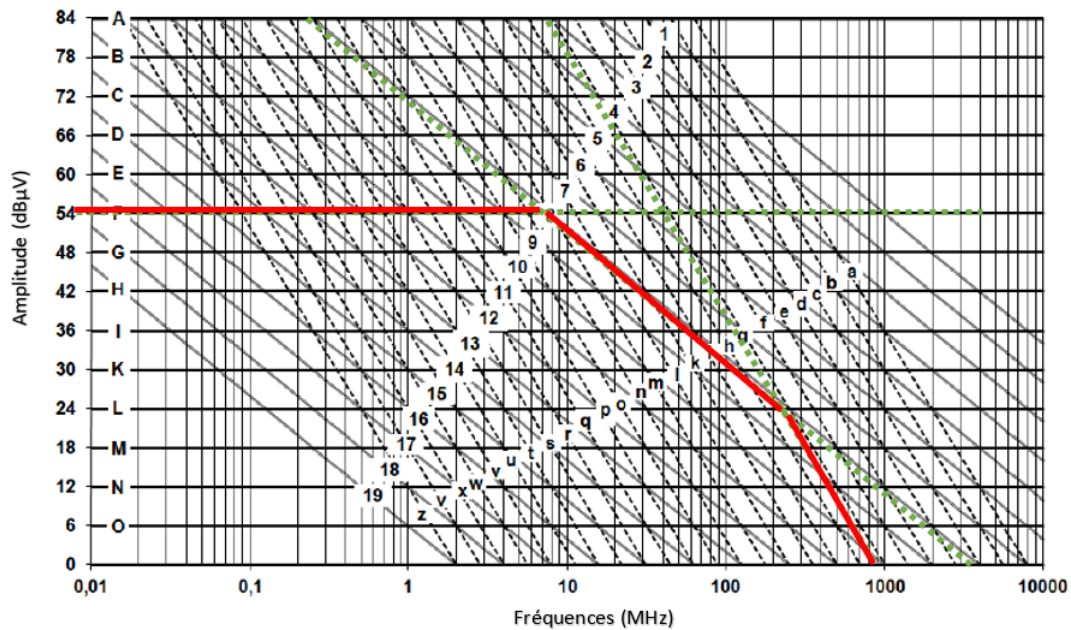


Figure 1.29: Diagramme du niveau d'émission selon la norme IEC61967

Dans le cadre de mesures de signaux à commutation périodique, idéalement considéré comme des signaux trapézoïdaux, les harmoniques résultantes de ces formes d'ondes peuvent être calculées à partir de la transformée de Fourier.

1.6 Conclusion

Ce premier chapitre a présenté les notions générales concernant la compatibilité électromagnétique. Il a permis de comprendre l'impact de l'évolution technologique des circuits intégrés sur l'augmentation des contraintes CEM, les origines des émissions parasites de ces circuits ainsi que son mode de propagation.

L'augmentation de la complexité d'un système électronique a amené à prendre en considération la notion de CEM dans toutes les différentes phases de vie d'un produit. Les niveaux d'émission et d'immunité des circuits doivent être prédits lors de la phase de conception des schémas. On utilise alors des outils CAO (conception assistée par Ordinateur), intégrant des simulateurs CEM, type SPICE de façon à prédire les niveaux d'émission et d'immunité d'un circuit. Ces niveaux doivent respecter des normes en vigueur. Après validation de cette phase, ces niveaux sont ensuite mesurés sur carte de test et également comparé aux normes. Cependant, aucune corrélation entre les variations PVT et la CEM n'est établie. L'impact des variations PVT sur les paramètres caractéristiques des différents signaux est étudié uniquement dans le but de garantir une bonne fonctionnalité du circuit. Les concepteurs de circuit réalisent alors des simulations de type "corner", ou "Monte Carlo" tout en respectant la méthode 6 sigma. Les légères modifications des paramètres caractéristiques des différents signaux utilisés dites acceptables, d'un point de vue fonctionnel peuvent cependant modifier les niveaux CEM. La remise en question quant aux bons respects des marges de sécurité des niveaux CEM est alors envisagée dans cette thèse.

Des tests CEM seront alors effectués afin de démontrer une corrélation entre les paramètres électriques d'un circuit et ses caractéristiques CEM. L'objectif étant de pouvoir modéliser les variations de ses paramètres électriques afin d'anticiper la variabilité des caractéristiques CEM des composants dès la phase de conception. Cela impliquera une nouvelle façon de concevoir les schémas électriques en mettant en jeu le lien simulations de variations PVT/CEM ainsi que des tests supplémentaires durant la campagne de mesures.

La re-conception des schémas suite à des problèmes CEM mesurés sur carte lors de la validation finale pourra ainsi être minimisée.

Pour rappel, une re-conception, augmente de façon considérable le temps de développement du produit, et donc génère une forte perte d'argent.

Le chapitre 2 aura pour objectif d'étudier l'impact des variations des paramètres caractéristiques des signaux issus d'une cellule de commutation : élément majeur des perturbations CEM sur son enveloppe spectrale.

Chapitre 2:
Variations des paramètres
caractéristiques des signaux de
commutations

Nous avons vu précédemment que les variations de paramètres électriques sont extrêmement prises au sérieux du point de vue fonctionnel du système. En effet, elles peuvent conduire à des modifications des principaux signaux mis en jeu dans le circuit.

Dans ce chapitre, nous nous intéresserons aux variations des paramètres caractéristiques des signaux issus des cellules de commutations construits autour de transistors MOSFET et leur impact sur le niveau d'émission de ces cellules. Pour cela nous nous baserons sur l'utilisation de l'outil mathématique FFT.

2.1 Cellule de commutation

Bien que le principe de la technologie FET fût proposé dès les années 30 par Julius Edgar Lilienfeld et Oskar Heil [35][36] puis étudié en détail par William Bradford Shockley et Roger Pearson dans les années qui suivirent [37], l'utilisation des transistors MOSFETs dans l'industrie électronique n'est apparue que dans les années 70. Ce type de transistor est désormais très largement utilisé car il offre d'excellentes caractéristiques lors de sa commutation, notamment sa rapidité de commutation en hautes fréquences et permet également une possibilité d'intégration forte.

2.1.1 Structure du transistor MOSFET

La structure d'un transistor MOSFET est représentée schématiquement sur la figure 2.1.

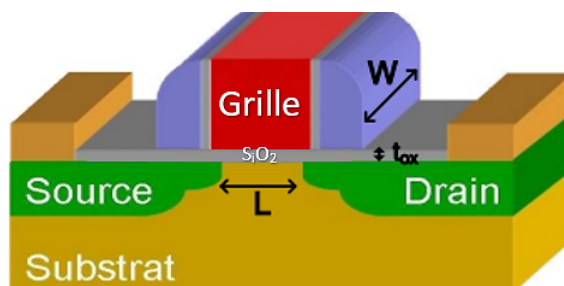


Figure 2.1: Vue 3D d'un transistor MOSFET

Deux zones de types, N ou P, appelées source et drain, sont fortement dopées et implantées dans un substrat de type inverse à ces deux zones (P ou N). Un isolant électrique est placé à la surface du substrat sous la forme d'une couche très fine d'oxyde SiO_2 , d'environ $0.1\mu m$ [38]. Sur cette couche isolante repose une couche conductrice généralement en polysilicium fortement dopé formant ainsi l'électrode de grille (gate en anglais). La source, le drain et le substrat (Bulk en anglais) ont également des contacts métalliques formant trois électrodes supplémentaires.

Les zones de drain et de source constituent des “réservoirs de charges” permettant la circulation d'un éventuel courant drain-source, noté I_{ds} . Le passage de ce courant ne peut se faire qu'à travers un canal de longueur L ($0.5\mu m$ à $10\mu m$) et de largeur W (de $1\mu m$ à $500\mu m$) situé sous l'oxyde de grille [38].

Le transistor MOSFET est un transistor unipolaire, c'est-à-dire que la conduction du courant I_{ds} ne peut se faire que par un seul type de porteurs de charges :

- Des charges de type p : représentant les trous, on parle alors de transistors PMOS.
- Des charges de type n : représentant les électrons ; on parle alors de transistors NMOS.

Dans cette thèse nous n'envisagerons que des transistors NMOS.

2.1.2 Structure du transistor MOSFET

Un transistor MOSFET fonctionne à partir de l'application d'un champ électrique sur la structure métal – oxyde- semiconducteur, constituée par l'électrode de grille, l'isolant et le substrat semi-conducteur. Ce champ est contrôlé par une tension grille source, notée V_{gs} , qui permet le passage des porteurs de charge de s'écouler de la source vers le drain.

Lorsque la tension V_{gs} est positive, un champ électrique se crée à la surface du substrat entre drain et source repoussant les porteurs majoritaires (ici les trous) et attirant les porteurs minoritaires du substrat au niveau de la grille (atomes ionisés négativement, à dissocier des électrons de la source et du drain). Une zone dite de déplétion se forme alors à ce niveau [38]. Entre temps, la tension appliquée à la grille attire dans ce canal les électrons provenant du drain et de la source. La figure 2.2 décrit le comportement du transistor MOSFET lorsqu'une tension V_{gs} est appliquée, et, lorsqu'elle est inférieure à une tension dite de seuil, noté V_{th} . Le transistor est dans un état que l'on appelle "bloqué".

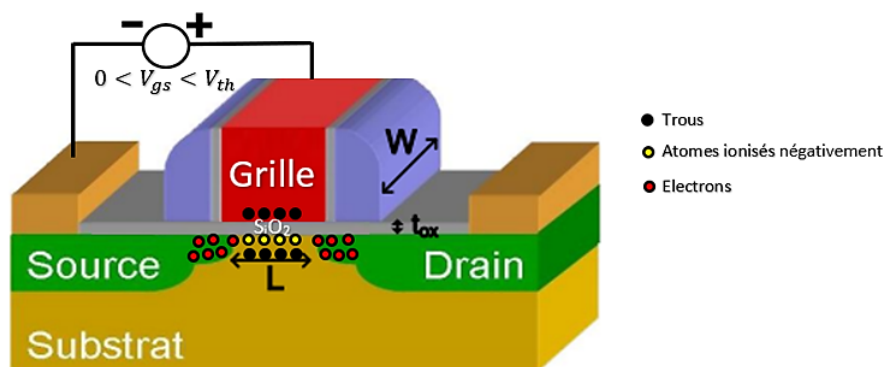


Figure 2.2: Vue 3D d'un transistor MOSFET avec $0 < V_{gs} < V_{th}$

Pour une tension $V_{gs} > V_{th}$, le champ électrique devient suffisamment élevé pour que le nombre d'électrons dans le canal puisse constituer une zone de type N. On dit alors qu'il y a inversion de polarité. Le transistor est alors dans un état dit " saturé ".

Ainsi, des électrons peuvent circuler de la source vers le drain lorsqu'une tension drain-source, notée V_{ds} existe, comme l'illustre la figure 2.3.

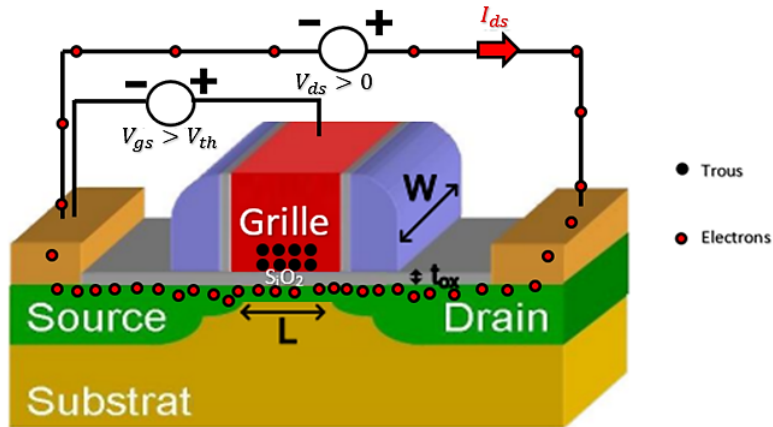


Figure 2.3: Vue 3D d'un transistor MOSFET avec $V_{gs} > V_{th}$ et $V_{ds} > 0$

V_{th} représente la tension à appliquer entre la grille et la source pour que le transistor passe d'un état bloqué (interrupteur ouvert) à un état passant voire saturé (interrupteur fermé). Notons que le passage du courant I_{ds} se fait à travers une résistance R_{dson} , très importante pour les applications de puissance, qui dépend de la largeur et de la longueur du canal, ainsi que de la tension V_{gs} appliquée. Cette résistance représente la résistance parasite totale entre le drain et la source (résistance due à la diffusion des régions source et drain, résistance due au canal...).

2.1.3 Éléments parasites constituant un transistor MOSFET

Les performances de commutations d'un transistor MOSFET, c'est-à-dire sa rapidité à passer d'un état à un autre : saturé/bloqué (ON/OFF) et bloqué/saturé (OFF/ON), est régie par des éléments parasites qui lui sont propres. Parmi ces éléments, les plus impactant sont la résistance de grille, notée R_g , et les capacités parasites dont les valeurs sont généralement données indirectement dans une fiche technique à travers la capacité d'entrée C_{iss} , la capacité de sortie C_{oss} et la capacité dite de transfert inverse C_{rfs} [39].

La figure 2.4 représente le schéma électrique classique d'un transistor MOSFET.

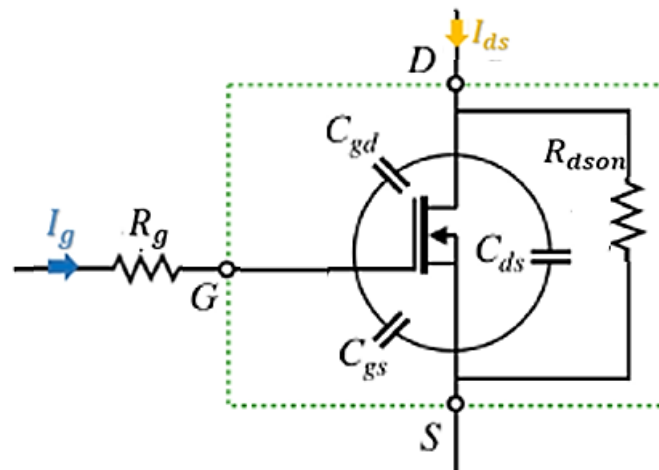


Figure 2.4: Schéma électrique du transistor MOSFET et de ses éléments parasites

- C_{iss} est la capacité grille-source, notée C_{gs} , en parallèle avec la capacité grille-drain, notée C_{gd} . Elle représente la capacité du MOSFET vue depuis l'entrée lorsque la sortie est court-circuitée. Cette capacité doit être chargée pour qu'une commutation du transistor MOSFET puisse se faire.
- C_{oss} est la capacité drain-source, noté C_{ds} en parallèle avec la capacité grille-drain C_{gd} . Elle représente la capacité du MOSFET vue depuis sa sortie lorsque l'entrée est court-circuitée.
- C_{rss} est la capacité C_{gd} elle-même. Elle est appelée capacité de rétroaction ou capacité de transfert inverse, ou encore capacité entrée – sortie.

Ces capacités sont définies par les équations suivantes :

$$C_{iss} = C_{gs} + C_{gd}, \quad \text{avec } C_{ds} \text{ court - circuitée} \quad (2.1)$$

$$C_{oss} = C_{ds} + C_{gd}, \quad \text{avec } C_{gs} \text{ court - circuitée} \quad (2.2)$$

$$C_{rss} = C_{gd} \quad (2.3)$$

Notons que lorsqu'une tension V_{gs} est appliquée au transistor MOSFET, un courant transitoire, noté I_g existe et circule à travers la résistance R_g et les capacités parasites du transistor MOSFET. Il existe donc un temps de charge lors d'un changement d'état (passant/bloqué ou bloqué/passant) du transistor. On retrouve également d'après la figure 2.4, la résistance R_{dson} décrite précédemment.

2.1.4 Transistor MOSFET : montage Drain Commun/Montage Source Commune

L'utilisation d'un transistor MOSFET en commutation peut se faire à travers deux types de montages, dépendant de son placement par rapport à la charge. On parle ainsi de structure "drain commun" ou bien de structure "source commune". Ces deux montages permettent la commutation du transistor MOSFET par l'application d'une tension contrôlée, noté V_{drv} appliquée sur la grille du transistor. Cette tension peut être issue d'un contrôleur (driver en anglais) comme nous le verrons plus tard dans cette thèse. Les montages drain commun et source commune sont représentés figure 2.5.

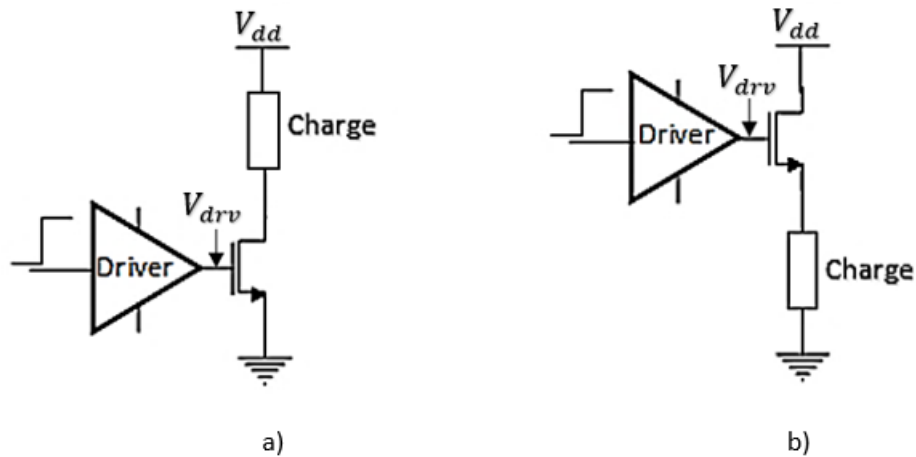


Figure 2.5: a) Montage Source Commune b) Montage Drain Commun

Pour un montage source commune, le transistor MOSFET est situé entre la charge et la masse, comparé au montage drain commun où le transistor se situe entre l'alimentation et la charge. On utilise majoritairement des transistors de type N car leur résistance R_{dson} est plus faible, permettant ainsi de faciliter le passage du courant I_{ds} , limitant l'auto-échauffement du composant. La structure source commune est souvent utilisée pour des raisons de praticité car la tension V_{drv} , pilotant le transistor MOSFET, peut être équivalente à la tension d'alimentation (ici V_{dd}), ce qui ne peut pas être le cas pour le deuxième montage nécessitant une tension supérieure [39]. On utilise alors généralement un circuit type "pompe de charge" pour élever le potentiel de grille au-delà de la tension d'alimentation [40]. Cela complique donc la conception, la rendant à la fois plus chère et plus sensible au bruit (car plus de blocs électroniques). Cependant, dans des secteurs comme l'automobile, où les tensions et les courants peuvent être importants, on utilise principalement la commutation drain commun.

Le fonctionnement du transistor MOSFET au sein de ce type d'architecture est décrit dans la section suivante.

2.1.5 Etude des différentes phases lors d'une commutation d'un transistor MOSFET sur charge résistive

Lors d'une commutation d'un MOSFET, nous trouvons différentes phases. Le montage utilisé pour cette étude est un montage source commune, représenté par la figure 2.6.

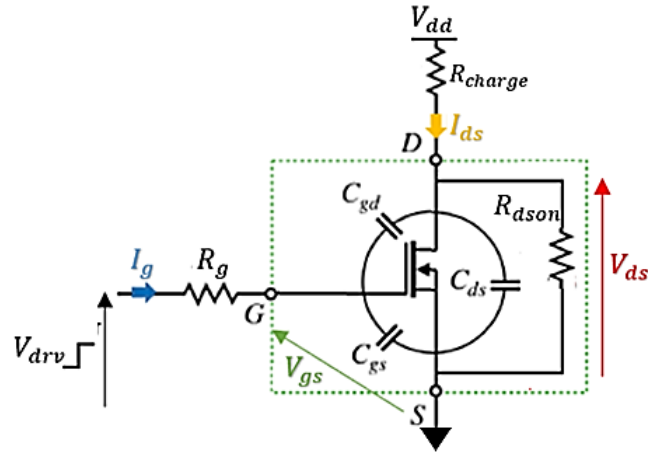


Figure 2.6: Schéma électrique du montage source commune et des éléments parasites du transistor MOSFET

Les allures des tensions et des courants issus de la commutation ON/OFF et OFF/ON du transistor MOSFET sont représentées sur la figure 2.7. Nous considérerons une charge de type résistive.

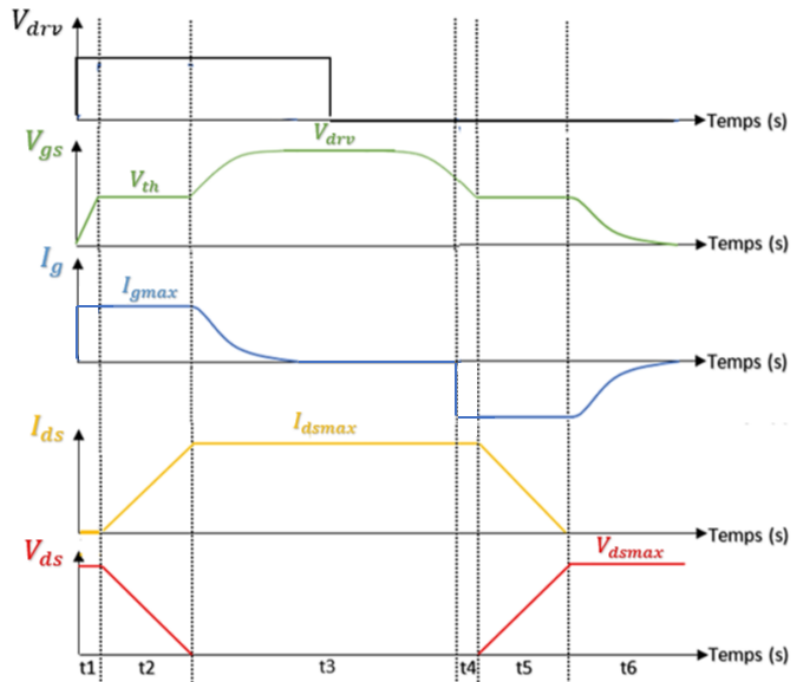


Figure 2.7: Les différentes phases d'une commutation d'un transistor MOSFET sur charge résistive

Phase 1 : “turn on delay”

Lorsqu’une tension V_{drv} est appliquée sur la grille, une tension V_{gs} existe. Cette tension va alors induire un courant I_g qui va charger la capacité C_{iss} . Tant que $V_{gs} < V_{th}$, le transistor est bloqué. Par conséquent, aucun courant ne circule entre le drain et la source : $I_{ds}=0$, la tension drain source V_{ds} est donc maximale, noté V_{dsmax} . Cette période est couramment appelée “turn on delay”. C’est le temps que met un transistor à passer de son état bloqué à son état passant. Durant cette période, le courant I_g peut se calculer à partir de l’équation 2.4 :

$$I_g = C_{gs} \cdot \frac{dV_{gs}}{dt} + C_{gd} \cdot \frac{dV_{gd}}{dt} \quad (2.4)$$

Or $V_{sg} + V_{gd} = V_{dsmax}$. S’agissant d’un maximum de la tension, $\frac{dV_{ds}}{dt} = 0$, alors il vient :

$$\frac{dV_{gs}}{dt} = \frac{dV_{gd}}{dt} \quad (2.5)$$

Ainsi :

$$I_g = (C_{gs} + C_{gd}) \cdot \frac{dV_{gs}}{dt} = C_{iss} \cdot \frac{dV_{gs}}{dt} \quad (2.6)$$

La tension V_{gs} est donnée par :

$$V_{gs} = V_{drv} - R_g \cdot I_g \quad (2.7)$$

Et l’évolution temporelle de la tension V_{gs} aux bornes de C_{gs} est décrite par l’équation suivante :

$$V_{gs}(t) = V_{drv} \cdot [1 - e^{-\left(\frac{t}{\tau 1}\right)}] \quad (2.8)$$

Avec $\tau 1$, la constante de temps équivalente à $R_g \cdot C_{iss}$

Lorsque la tension V_{gs} atteint la tension de seuil V_{th} à l’instant $t = t1$, on a :

$$V_{gs}(t1) = V_{th} = V_{drv} \cdot [1 - e^{-\left(\frac{t1}{\tau 1}\right)}] \quad (2.9)$$

On en déduit ainsi le “turn on delay” équivalent à $t1$.

$$t1 = \tau 1 \cdot \ln \frac{V_{drv}}{V_{drv} - V_{th}} \quad (2.10)$$

Phase 2 : “Plateau de Miller”

La tension V_{gs} a atteint la tension de seuil V_{th} , le transistor bascule de son état bloqué à son état passant. Un courant I_{ds} existe alors, et commence à croître de façon linéaire entraînant une diminution de la tension V_{ds} de façon proportionnelle à $R_{dson} \cdot I_{ds}$. Cette variation de tension induit une forte variation $\frac{dV_{gd}}{dt}$. La majorité du courant I_g passe donc à travers C_{gd} , empêchant la capacité C_{gs} de se charger. De plus, la tension V_{gs} est constante pendant toute cette période formant un plateau que l’on nomme plateau de Miller [39]. Considérons la variation de tension drain – source, on a :

$$\frac{dV_{ds}}{dt} = \frac{dV_{dg}}{dt} + \frac{dV_{gs}}{dt} \quad (2.11)$$

Durant cette phase, V_{gs} est constant donc $\frac{dV_{gs}}{dt} = 0$. De plus la majorité du courant I_g passant à travers C_{gd} , on peut écrire:

$$\frac{dV_{dg}}{dt} = \frac{-I_g}{C_{gd}} \quad (2.12)$$

Ainsi il vient :

$$\frac{dV_{ds}}{dt} = \frac{-I_g}{C_{gd}} \quad (2.13)$$

Or, le courant I_g est donné par :

$$I_g = \frac{V_{gs} - V_{drv}}{R_g} \quad (2.14)$$

Ainsi durant cette phase de durée t_2 , on a :

$$\frac{dV_{ds}}{dt} = \frac{V_{drv} - V_{gs}}{R_g \cdot C_{gd}} \quad (2.15)$$

Or nous savons que la tension V_{ds} passe de V_{dsmax} à 0 sur cet intervalle de temps, durant lequel $V_{gs}=V_{th}$ (voir figure 2.6). Ainsi, le temps t_2 , peut être calculé suivant l’équation suivante :

$$t_2 = R_g \cdot C_{gd} \cdot \frac{V_{dsmax}}{V_{drv} - V_{th}} \quad (2.16)$$

Cette période constitue le temps descente, noté τ_d du signal de sortie V_{ds} .

Phase 3 : “régime établi”

Lorsque le transistor est dans sa phase de saturation ($V_{ds}=0$), la tension V_{gd} est quasi nulle (la capacité C_{gd} est donc elle quasi chargée). La tension V_{gs} augmente jusqu'à atteindre la tension de contrôle V_{drv} . Le courant de charge de grille continue à charger la capacité C_{gs} qui accumule les charges en excès. La commutation ON/OFF possède des phases identiques mais dans le sens contraire de celles présentées pour la commutation OFF/ON, notées t_4 , t_5 . Notons que le temps de commutation de la tension V_{ds} passant de 0 à V_{dsmax} , noté t_5 , est quant à lui équivalent à :

$$t_5 = R_g \cdot C_{gd} \cdot \frac{V_{dsmax}}{V_{th}} \quad (2.17)$$

Ce temps constitue le temps de montée, noté τ_m , du signal de sortie V_{ds} .

2.1.6 Puissance dissipée lors d'une commutation et compromis CEM

La réduction de la taille des transistors MOSFETs a permis de diminuer leurs capacités parasites, augmentant alors les fréquences d'utilisations de ces éléments. Ainsi, les commutations du courant I_{ds} et de la tension V_{ds} sont devenues plus brèves, engendrant une réduction des pertes dites de commutations, notées P_{sw} . Ces pertes ont lieu pendant les phases t_2 et t_5 comme décrit dans la figure 2.8.

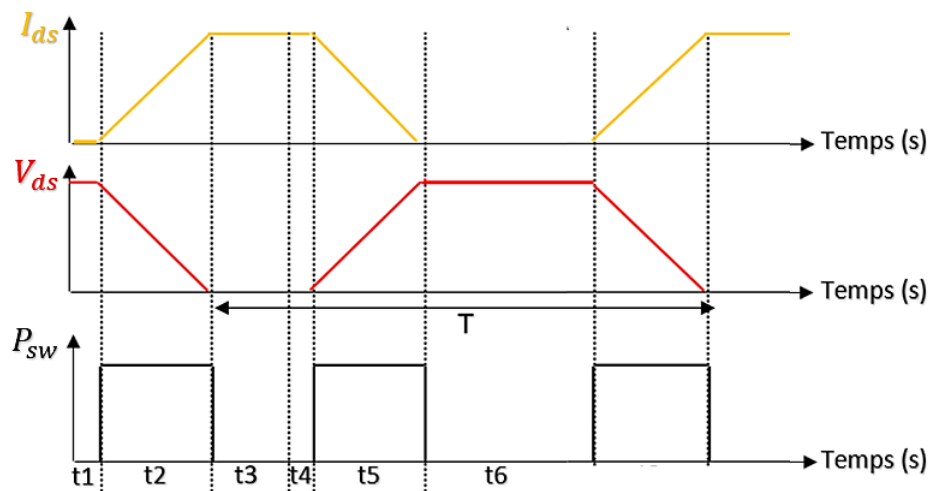


Figure 2.8: Pertes par commutation durant les différentes phases d'une commutation d'un transistor MOSFET

Les pertes de commutations sont également proportionnelles à la fréquence de commutation [41]. Elles peuvent être calculées à partir de l'équation suivante :

$$P_{sw} = \int_0^T V_{ds}(t) \cdot I_{ds}(t) dt \quad (2.18)$$

Avec T la période du signal.

Dans notre cas, P_{sw} peut se calculer en utilisant l'équation 2.19.

$$P_{sw} = \frac{V_{ds} \cdot I_{ds} \cdot [\tau_m + \tau_d]}{2T} \quad (2.19)$$

D'après l'équation 2.19, on comprend aisément que les temps de montée et de descente jouent un rôle important sur les pertes par commutation. D'un point de vue fonctionnel, on cherche toujours à minimiser P_{sw} , donc, à réduire τ_m et τ_d .

Cependant, une diminution trop importante de ces paramètres, peut conduire à des effets de suroscillations dues à l'apparition d'un très fort courant I_{ds} . De plus, cette déformation de la forme d'onde des signaux contribue à une augmentation des problèmes d'émission conduite comme expliqué au chapitre 1. Ainsi, pour assurer une bonne CEM, il faut, à l'inverse, maximiser les temps τ_m et τ_d .

Le compromis pertes par commutations/CEM dans des montages de type source commune et drain commun apparaît comme un point essentiel dans la conception de ce type de circuits et a fait l'objet de nombreuses études [42][43][44].

L'impact des variations PVT sur les caractéristiques des paramètres des signaux au sein de ces cellules de commutations est également étudié [45][46] mais l'influence de la variation de ces paramètres caractéristiques sur la CEM, n'est malheureusement, à l'heure actuelle que très rarement étudiée [18] (voir chapitre 1).

Le chapitre 2 a donc pour objectif, d'étudier de façon purement théorique, l'impact des variations des différents paramètres caractéristiques du signal de sortie du transistor MOSFET en commutation sur ses caractéristiques en émission conduite.

2.2 Etude de la forme d'onde d'un signal et de son spectre fréquentiel en sortie d'une commutation d'un transistor MOSFET

2.2.1 Principaux paramètres caractéristiques d'un signal trapézoïdal et spectre fréquentiel associé

A partir du principe de fonctionnement du transistor MOSFET décrit au début de ce chapitre, la forme d'onde en sortie d'un transistor MOSFET (V_{ds}) issue de sa commutation, est souvent apparentée à un signal trapézoïdal. Ce signal est caractérisé par sa période, notée T , par un temps de montée et de descente, notés respectivement τ_m et τ_d , une durée d'impulsion à mi-amplitude, notée τ , et une amplitude, notée A .

La figure 2.9 présente l'allure d'un signal trapézoïdal, noté $S(t)$, ainsi que les principaux paramètres qui les caractérisent.

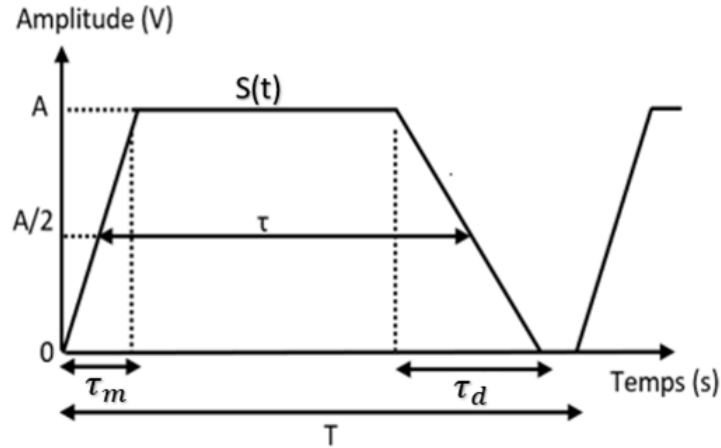


Figure 2.9: Caractérisation des paramètres d'un signal trapézoïdal

La durée de l'impulsion ainsi que les temps de montée et de descente jouent un rôle important sur l'étendue spectrale du signal $S(t)$, comme nous allons le voir plus en détail dans le paragraphe suivant, car ils sont directement liés aux fréquences de coupures observées sur l'enveloppe du spectre $S(f)$.

Comme précédemment indiqué, plus les temps de montées et de descentes sont élevés plus l'encombrement spectral est réduit, entraînant de meilleures caractéristiques CEM mais augmentant les pertes par commutations. Il est donc intéressant d'évaluer avec précision l'impact de la variation des temps τ_m et τ_d sur l'enveloppe spectrale du signal trapézoïdal.

2.2.2 Enveloppe spectrale d'un signal trapézoïdal

Le développement théorique permettant d'obtenir l'expression du spectre du signal trapézoïdal considéré repose sur l'utilisation de la transformée de Fourier discrète (DFT), consistant à convertir une séquence périodique discrète du domaine temporel en une séquence périodique discrète dans le domaine fréquentiel [47].

Sa mise en œuvre est principalement réalisée à l'aide d'algorithmes de transformée de Fourier rapide (FFT). Le signal $S(t)$, représenté par la figure 2.9 étant périodique, son spectre, noté $S(f)$ peut-être caractérisé par des raies spectrales de magnitude S_n situées à des fréquences harmoniques $f = \frac{n}{T}$, avec n représentant le rang de ces harmoniques.

Le module de la magnitude de ces raies spectrales est déterminé en utilisant le développement en série de Fourier :

$$|S_n| = \frac{1}{T} \cdot \left| \int_0^T S(t) \cdot e^{-j \cdot 2 \cdot \pi \cdot f \cdot t} dt \right| \quad (2.20)$$

Le calcul de l'intégrale de l'équation 2.20 permet de montrer, que pour un signal trapézoïdal, S_n peut être défini suivant l'équation 2.21:

$$|S_n| = \frac{A}{2\pi.n} \cdot \left| \text{sinc}\left(\frac{n.\pi.\tau_m}{T}\right).e^{\frac{j.\pi.n.\tau}{T}} - \text{sinc}\left(\frac{n.\pi.\tau_d}{T}\right).e^{\frac{-j.\pi.n.\tau}{T}} \right| \quad (2.21)$$

Avec sinc qui représente le sinus cardinal.

La mesure du spectre d'un signal physique ne peut être effectuée que dans le domaine fréquentiel réel positif, c'est-à-dire pour $n > 0$. Ainsi, pour pouvoir comparer les simulations aux mesures, les fréquences négatives se superposent aux fréquences positives, introduisant un facteur 2 sur le module de S_n [47]. Pour chaque n entier relatif, $|S_n|$ est alors donné par l'équation 2.22.

$$|S_n| = \frac{A}{\pi.n} \cdot \left| \text{sinc}\left(\frac{n.\pi.\tau_m}{T}\right).e^{\frac{j.\pi.n.\tau}{T}} - \text{sinc}\left(\frac{n.\pi.\tau_d}{T}\right).e^{\frac{-j.\pi.n.\tau}{T}} \right| \quad (2.22)$$

Dès lors, l'enveloppe spectrale, notée $Enveloppe[S(f)]$, est obtenue pour les valeurs crêtes les plus élevées des harmoniques successives. L'expression du module de l'enveloppe spectrale est ainsi :

$$|Enveloppe[S(f)]| = \frac{A}{\pi.f.T} \cdot \left| \text{sinc}(\pi.f.\tau_m).e^{j.\pi.f.\tau} - \text{sinc}(\pi.f.\tau_d).e^{-j.\pi.f.\tau} \right| \quad (2.23)$$

A partir de l'équation 2.23, on distingue trois fréquences de coupure relatives aux trois paramètres temporels principaux que sont τ , τ_m et τ_d , définies comme suit :

$$f_{c1} = \frac{1}{\pi.\tau} \quad (2.24)$$

$$f_{c2} = \frac{1}{\pi.\tau_d} \quad (2.25)$$

$$f_{c3} = \frac{1}{\pi.\tau_m} \quad (2.26)$$

Ces trois fréquences de coupure définissent ainsi quatre domaines fréquentiels de l'enveloppe spectrale. Dans chaque cas, l'équation 2.23 peut être simplifiée en utilisant des approximations classiques. Tout d'abord, pour les basses fréquences, $f < f_{c1}$, l'enveloppe spectrale est donnée par :

$$|Enveloppe[S(f)]|_{dB} = 20.\log\left(\frac{2.A}{\pi.f_{c1}.T}\right) \quad (2.27)$$

Pour une fréquence f comprise entre f_{c1} et f_{c2} , l'enveloppe spectrale devient :

$$|Enveloppe[S(f)]|_{dB} = 20.\log\left(\frac{2.A}{\pi.f.T}\right) = -20.\log\left(\frac{2.A}{\pi.T}.f\right) \quad (2.28)$$

En maximisant le module de l'équation 2.22 dans le cas de l'étude du troisième domaine fréquentiel lorsque f est comprise entre f_{c2} et f_{c3} , on obtient :

$$|Enveloppe[S(f)]|_{dB} = -20 \cdot \log\left(\frac{2 \cdot A}{\pi \cdot T} \cdot f\right) - 6 + 20 \cdot \log\left(1 + \frac{f_{c2}}{f}\right) \quad (2.29)$$

Le premier terme de l'équation 2.29 décrit la diminution de l'amplitude des harmoniques avec une pente de -20 dB par décade. La deuxième partie de l'équation ajoute une atténuation tendant vers -6 dB en haute fréquence lorsque $f_{c3} \gg f_{c2}$.

Enfin, pour des fréquences supérieures à f_{c3} , et en maximisant à nouveau le module de l'équation 2.23, l'enveloppe spectrale du signal $S(t)$ devient :

$$\begin{aligned} |Enveloppe[S(f)]|_{dB} &= 20 \cdot \log\left(\frac{2 \cdot A}{\pi \cdot f^2 \cdot T}\right) - 6 + 20 \cdot \log(f_{c2} + f_{c3}) \\ &= -40 \cdot \log\left(\frac{2 \cdot A}{\pi \cdot T} \cdot f\right) - 6 + 20 \cdot \log(f_{c2} + f_{c3}) \end{aligned} \quad (2.30)$$

Pour résumer, l'enveloppe spectrale globale du signal trapézoïdal $S(t)$, décrite figure 2.10, est définie par une amplitude constante décrite par l'équation 2.27 pour des fréquences inférieures à la première fréquence de coupure f_{c1} . Entre f_{c1} et f_{c2} , cette enveloppe diminue avec une pente de -20 dB par décade, (voir équation 2.28). Entre f_{c2} et f_{c3} , $Enveloppe[S(f)]$ diminue toujours de -20 dB par décade mais avec une atténuation supplémentaire pouvant aller jusqu'à 6 dB grâce à la seconde partie de l'équation 2.29. Au-delà de f_{c3} , les amplitudes des raies spectrales diminuent avec une pente de -40 dB par décade, selon l'équation 2.30.

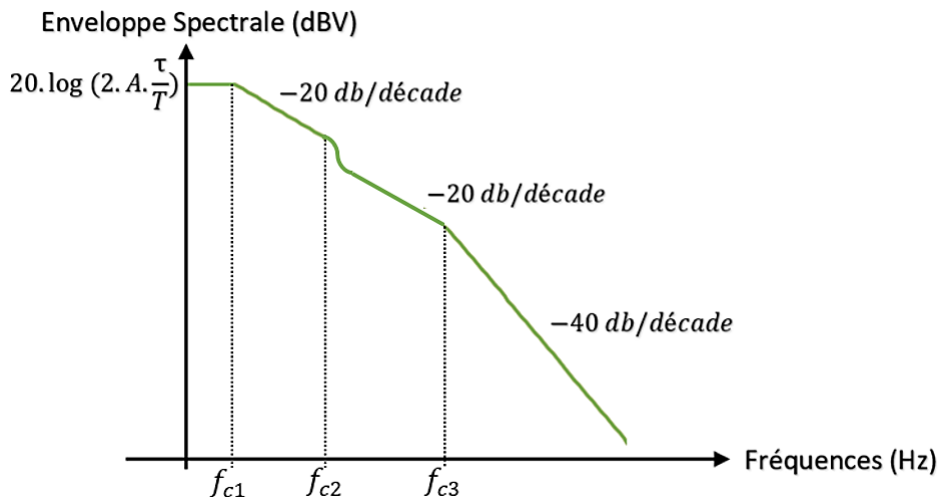


Figure 2.10: Enveloppe spectrale d'un signal trapézoïdal

Le tableau 2.1 récapitule l'impact de chacun des paramètres du signal trapézoïdal sur son enveloppe spectrale.

Paramètres caractéristiques du signal $S(t)$	Symbole	Impact sur le spectre de $S(t)$
Période	T	Plus la période est grande, plus l'amplitude maximum du spectre du signal $S(t)$ diminue.
Temps de montée, temps de descente	τ_m, τ_d	Plus les temps de montée et de descente sont élevés, plus les fréquences de coupures se décalent vers les basses fréquences, diminuant ainsi l'encombrement fréquentiel [48][49].
Amplitude maximale du signal	A	Plus l'amplitude du signal est élevée, plus l'amplitude du spectre du signal $S(t)$ augmente.
Durée de l'impulsion à mi-amplitude	τ	Plus la durée de l'impulsion à mi-amplitude est élevée, plus l'enveloppe spectrale augmente pour les fréquences inférieures à $\frac{1}{\pi \cdot \tau}$, mais diminue pour les fréquences supérieures (voir figure 2.9).

Table 2.1: Éléments définissant un signal trapézoïdal et impact sur l'encombrement spectral

2.2.3 Impact des variations des temps de montée et descente sur l'enveloppe spectrale d'un signal trapézoïdal symétrique

Dans le cas d'un signal trapézoïdal symétrique, c'est-à-dire pour un temps de montée égal au temps de descente ($\tau_m = \tau_d$), on a $f_{c2} = f_{c3} = \frac{1}{\tau_m}$ et l'allure de l'enveloppe spectrale du signal $S(t)$ de la figure 2.10 peut être ramenée à celle de la figure 2.11 (tracé en noir).

Lorsque le signal $S(t)$ subit des variations de type PVT, ses paramètres caractéristiques (durée d'impulsion, temps de montée/descente, amplitude) sont modifiés. Si une élévation de la valeur τ_m se produit, la fréquence de coupure f_{c2} est modifiée, et se décale vers les basses fréquences comme expliqué précédemment. La nouvelle valeur, notée f_{m2} est liée au nouveau temps de montée, noté τ_{m2} . La figure 2.11 montre l'évolution de l'enveloppe spectrale du signal $S(t)$, et la diminution de l'encombrement spectral en hautes fréquences notée H .

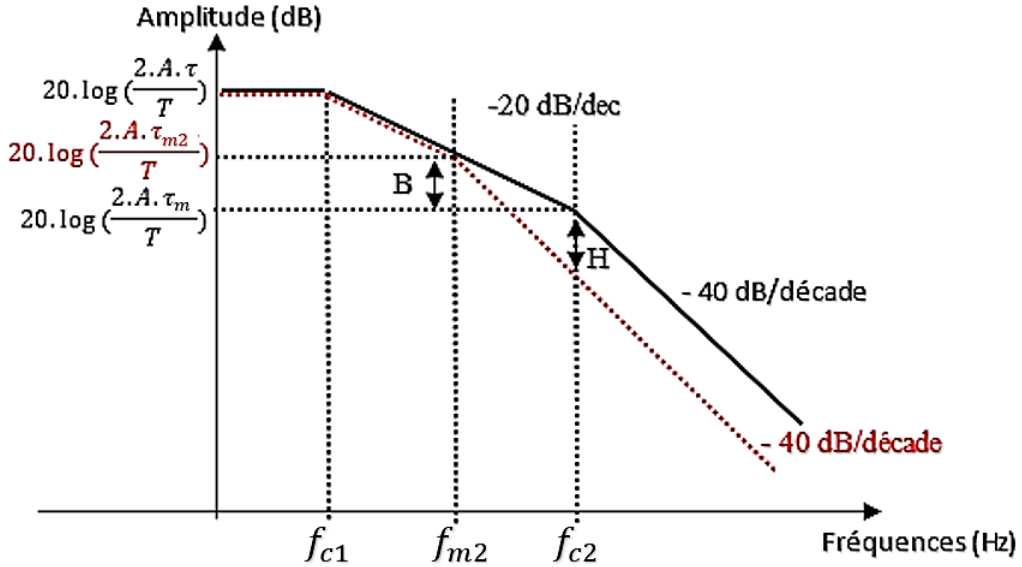


Figure 2.11: Variation H de l'enveloppe spectrale du signal $S(t)$ lorsque τ_m varie

Etant donné que l'on se trouve dans un plan logarithmique, on peut écrire :

$$B + H = -40 \cdot \log\left(\frac{f_{c2}}{f_{m2}}\right) = -40 \cdot \log\left(\frac{\tau_{m2}}{\tau_m}\right) \quad (2.31)$$

et

$$B = 20 \cdot \log\left(\frac{\tau_m}{\tau_{m2}}\right) \quad (2.32)$$

H peut alors être calculé selon l'équation suivante :

$$H = -20 \cdot \log\left(\frac{\tau_{m2}}{\tau_m}\right) = 20 \cdot \log\left(\frac{\tau_m}{\tau_{m2}}\right) = B \quad (2.33)$$

On peut ainsi quantifier de façon rapide la diminution ou l'augmentation de niveau de l'enveloppe spectrale en haute fréquence d'un signal lorsque τ_m varie.

2.2.4 Asymétrisation d'un signal trapézoïdal ($\tau_m \neq \tau_d$)

L'équation 2.29, définie préalablement, permet de comprendre l'intérêt d'utiliser un signal trapézoïdal asymétrique ($\tau_m \neq \tau_d$) plutôt qu'un signal trapézoïdal symétrique ($\tau_m = \tau_d$) d'un point de vue de la CEM.

En effet, le bénéfice de l'utilisation d'un tel signal sur l'enveloppe spectrale dépend de la relation $-6 + 20 \cdot \log\left(1 + \frac{f_{c2}}{f}\right)$, se traduisant par une diminution de l'amplitude de l'enveloppe spectrale pour des fréquences supérieures à f_{c2} . Selon cette relation, la diminution maximum de l'encombrement spectral, est égale à 6 dB, atteinte lorsque $f \gg f_{c2}$.

Considérons alors D , la diminution en valeur absolue de l'amplitude de l'enveloppe spectrale d'un signal asymétrique comparé à un signal symétrique, définie selon l'équation suivante :

$$D = 6 - 20 \cdot \log\left(1 + \frac{f_{c2}}{f_{c3}}\right) \quad (2.34)$$

Afin de généraliser l'étude sans fixer la relation entre τ_m et τ_d , on pose $\tau_{max} = \max(\tau_m, \tau_d)$ et $\tau_{min} = \min(\tau_m, \tau_d)$. On considère alors le rapport $K = \frac{\tau_{max}}{\tau_{min}} = \frac{f_{c3}}{f_{c2}}$ qui représente le "niveau d'asymétrisation", nous pouvons alors tracer D en fonction de K pour une valeur fixée d'un des paramètres caractéristiques (par exemple de τ_{max}). Le tracé de D en fonction de K est alors celui de la figure 2.12.

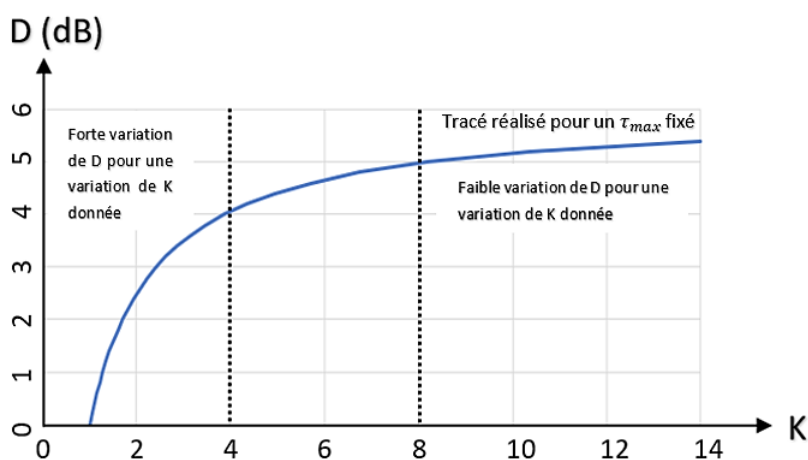


Figure 2.12: Diminution de l'enveloppe spectrale due à l'asymétrisation d'un signal trapézoïdal, pour une valeur de τ_{max} fixée

Comme attendu, d'après la figure 2.12, la diminution maximale que l'on peut obtenir avec un signal asymétrique comparé à un signal symétrique est égale à 6 dB. Notons que lorsque $K = 1$, cela correspond au cas spécifique d'un signal symétrique, c'est pourquoi $D = 0$ dB.

Nous pouvons également constater que pour une valeur de $K < 4$ fixée, une faible variation des temps de montée et descente, d'où une petite variation de K , induirait une modification prononcée de l'enveloppe spectrale du signal étudié. A l'inverse, dans le cas où $K > 8$, l'impact des variations de ces paramètres sur l'enveloppe spectrale sera bien moindre. Ces variations de paramètres caractéristiques des signaux peuvent être la conséquence de variations PVT induites, comme défini dans le chapitre 1.

Ainsi, si l'amélioration de la CEM amène régulièrement à utiliser des solutions coûteuses comme les techniques de filtrage, les amortisseurs, ou un blindage [49], dans certains cas, une méthode relativement peu coûteuse peut être utilisée pour atteindre cet objectif en asymétrisant simplement un signal. Ceci a déjà été rencontré dans la littérature. Ainsi dans [50] une horloge asymétrique est proposée comme une solution importante pour réduire le bruit de commutation généré par des amplificateurs tampons.

En se basant sur ce constat, une nouvelle architecture de ces amplificateurs a été développée dans le cadre de ce travail de thèse et est présentée en annexe I.

Etude de la variation de l'enveloppe spectrale lors d'une modification des temps de montée et descente

Basé sur le développement théorique précédent, nous proposons une représentation graphique, donnée en figure 2.13, permettant d'évaluer rapidement la modification de l'enveloppe spectrale d'un signal trapézoïdal en fonction des variations de ses temps de montée et descente. On utilise pour cela, deux groupes de courbes représentant l'évolution de l'enveloppe spectrale suivant les variations de τ_{max} et τ_{min} .

- Le premier groupe est constitué de 7 courbes, donnant les variations de D pour une valeur de τ_{max} fixée (courbe rouge similaire à la figure 2.12) et l'évolution de cette courbe lorsque τ_{max} varie.
- Le deuxième groupe est constitué de 3 courbes (continue en bleue, pointillé en vert et tirets pointillés en orange) montrant les tendances de l'enveloppe spectrale du signal lorsque τ_{min} est fixé.

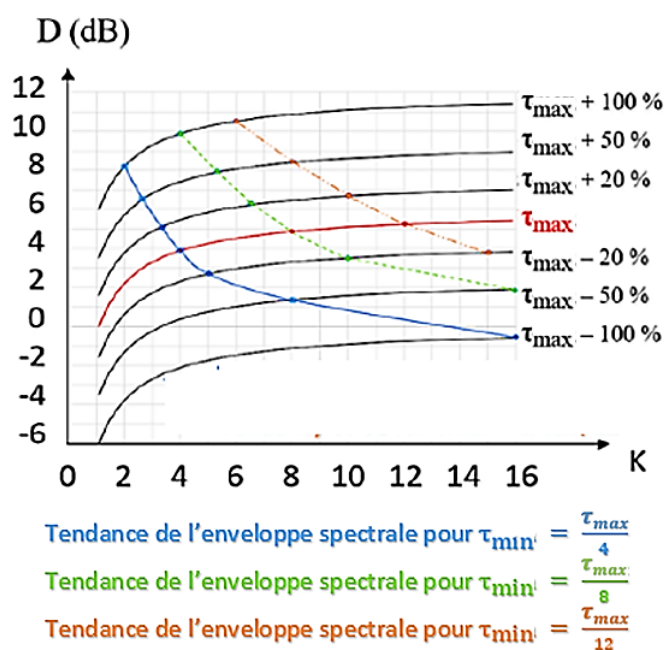


Figure 2.13: Diminution de l'enveloppe spectrale selon les variations des paramètres τ_{min} et τ_{max}

Prenons un signal $S(t)$ trapézoïdal asymétrique avec pour ratio d'asymétrie $K = 4$ soit $\tau_{min} = \frac{\tau_{max}}{4}$.

Selon les notations du paragraphe précédent, dans ce cas, en considérant le point d'intersection entre la courbe bleue et la courbe rouge (τ_{max}), on obtient $D = 4$ dB, ce qui signifie une diminution de l'enveloppe spectrale de 4 dB comparé au cas symétrique. De plus, une augmentation du temps τ_{max} de + 20%, respectant toujours le taux d'asymétrie

de 4, induirait une valeur de D de 5 dB (point d'intersection entre la courbe bleue et la courbe $\tau_{max} + 20\%$), ce qui signifie que dans ce cas l'enveloppe spectrale de $S(t)$ a encore diminué de 1 dB.

A contrario, si τ_{max} varie de -50%, alors D serait équivalent à 1.5 dB (point d'intersection entre la courbe bleue et la courbe représentée par $\tau_{max} - 50\%$), ce qui signifierait une augmentation de l'enveloppe spectrale de $S(t)$ de 2.5 dB.

Dans le cadre de nos travaux, un outil logiciel simple a été développé pour anticiper la variation de l'enveloppe spectrale en considérant les variations de chaque paramètre électrique d'un signal trapézoïdal défini dans le tableau 1. Cet outil de calcul est une aide visuelle. Il ne demande pas de schéma électrique et ne réalise aucun calcul FFT, permettant ainsi un gain de temps considérable. Il permet également de comparer différents signaux avec des classes limites d'émission générales ou des spécifications de niveau d'émission selon les normes ICE comme expliqué au chapitre 1. Cet outil a pu être utilisé sur plusieurs cas d'étude au sein de l'entreprise et son utilité pour améliorer le flux de conception de circuits intégrés a été validée. Des exemples d'utilisations sont donnés en annexe II.

2.2.5 Etude du spectre fréquentiel de formes d'ondes plus réalistes issues d'une commutation d'un transistor MOSFET

Comme nous avons pu le voir précédemment, le signal de sortie V_{DS} , issu des commutations est souvent apparenté à un signal trapézoïdal. Cependant, comme la commutation ne se fait pas instantanément dû aux divers composants parasites (capacités C_{gd} , C_{ds} , C_{gs} , R_g , R_{dson} , inductance du boîtier...), les temps de commutations τ_m et τ_d peuvent présenter certaines déformations.

On peut regrouper ces modifications selon deux catégories.

- La première concerne l'apparition de résonnances qui se traduisent par des oscillations sur les fronts de montée et/ou descente.
- La seconde concerne le “round shaping” c'est-à-dire que les discontinuités de pente du signal (angles bruts) sont adoucies (arrondis).

La figure 2.14 illustre ces deux phénomènes de modification de la forme d'un signal trapézoïdal.

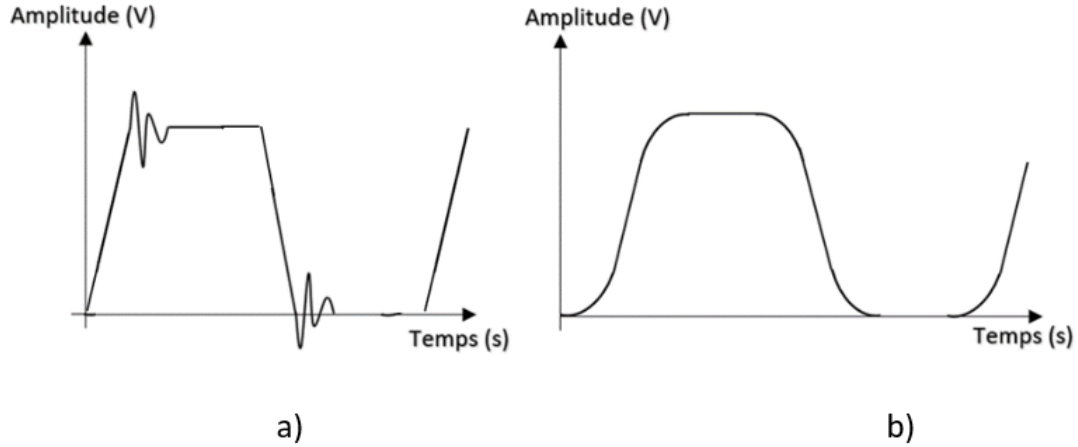


Figure 2.14: Présentation des effets a) d’oscillations et b) d’arrondissement “round shaping” sur un signal trapézoïdal

Ces deux phénomènes, pouvant être conjointement liés, jouent un rôle extrêmement important sur l’enveloppe spectrale des signaux commutés et donc sur leur caractéristique d’émission conduite.

2.2.6 Phénomènes de suroscillation

Lorsqu’un transistor commute de façon rapide, c’est-à-dire à fréquence élevée, des éléments tels que les inductances parasites dues aux boîtiers ne sont plus négligeables. Ces dernières associées aux capacités parasites précédemment décrites peuvent induire des phénomènes de résonance. Des suroscillations apparaissent alors aux niveaux de chaque front de montée et/ou descente du signal en sortie de la cellule de commutation. Cela provoque plusieurs contraintes comme l’échauffement des transistors MOSFETs, et l’augmentation du rayonnement électromagnétique [51] [52]. Finalement, de trop fortes oscillations peuvent conduire à la destruction du transistor MOSFET.

Pour quantifier l’incidence de telles suroscillations sur le spectre du signal de sortie, il peut être intéressant de les modéliser. Dans [53], les auteurs proposent ainsi de considérer le phénomène oscillatoire sous la forme d’un sinus amorti selon l’équation :

$$S_o(t) = G.e^{-\beta.t}.sin(2.\pi.f_r.t) \quad (2.35)$$

Où, G représente l’amplitude maximale due à la première oscillation, le facteur d’amortissement et f_r la fréquence du signal amorti, notée suivant l’équation :

$$f_r = \frac{1}{2.\pi.\sqrt{L.C}} \quad (2.36)$$

Où L représente la somme des inductances parasites et C , celle des capacités parasites.

Dès lors, le signal en sortie de la cellule de commutation noté $S_{osc}(t)$, est considéré comme la somme d'un signal trapézoïdal $S(t)$ semblable à celui étudié précédemment et de l'oscillation amortie $S_o(t)$ ainsi décrite, retardée de τ_m pour réaliser la suroscillation positive et l'opposée retardée de $\tau_m + \tau + \tau_d$ pour réaliser la suroscillation négative, comme l'illustre la figure 2.15.

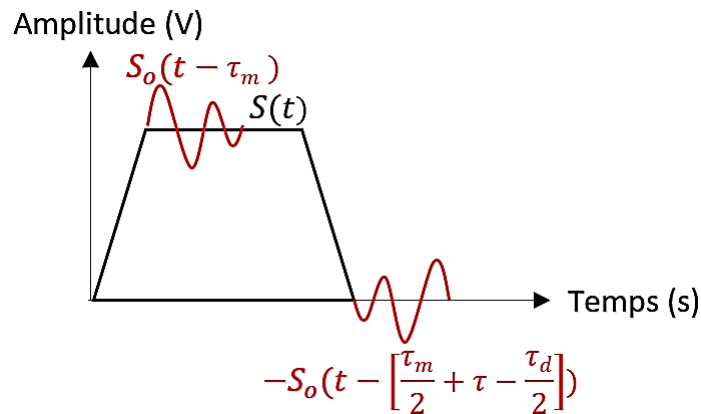


Figure 2.15: Décomposition du signal avec suroscillation par un signal trapézoïdal et un sinus amorti

Cela peut se traduire par les équations suivantes :

$$S_{osc}(t) = \begin{cases} \frac{A}{\tau_m} \cdot t & \text{si } 0 \leq t < \tau_m \\ A + G \cdot e^{-\beta \cdot t} \cdot \sin(2 \cdot \pi \cdot f_r \cdot [t - \tau_m]) & \text{si } \tau_m < t < \frac{\tau_m}{2} + \tau - \frac{\tau_d}{2} \\ \frac{A}{\tau_m} \cdot [t - \lambda] & \text{si } \frac{\tau_m}{2} + \tau - \frac{\tau_d}{2} < t \leq \lambda \\ -G \cdot e^{-\beta \cdot [t - \lambda]} \cdot \sin(2 \cdot \pi \cdot f_r \cdot [t - \lambda]) & \text{si } \lambda < t < \lambda + T \end{cases} \quad (2.37)$$

Avec λ qui représente $\frac{\tau_m}{2} + \tau + \frac{\tau_d}{2}$

Le spectre fréquentiel du signal $S_{osc}(t)$, noté $S_{osc}(f)$ est alors obtenu par transformée de Fourier discrète et représenté figure 2.16. Il peut être comparé avec le spectre d'un signal trapézoïdal sans oscillations, noté $S(f)$.

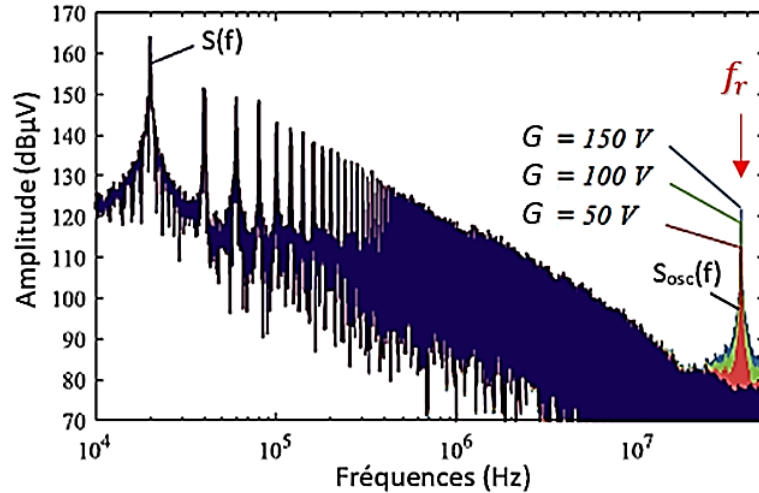


Figure 2.16: Comparaison des signaux $S(f)$ et $S_{osc}(f)$ suivant différentes valeurs du paramètre G [53]

D'après la figure 2.16, $S_{osc}(f)$ et $S(f)$ sont similaires pour des fréquences inférieures à la fréquence f_r du signal amorti.

Pour des fréquences proches de f_r , une élévation de l'amplitude du spectre de $S_{osc}(f)$ a lieu pouvant atteindre une augmentation d'une trentaine de dB.

Le phénomène de suroscillation n'ayant pas été observé dans cette thèse, nous ne détaillerons pas plus cette partie.

2.2.7 Le “round shaping” : adoucissement des formes d'ondes et impact sur l'enveloppe spectrale

Définition

L'effet “round shaping” se traduit par un signal transitoire dont les temps d'établissements (appelés temps de transitions) de sa valeur minimale à sa valeur maximale ainsi que de sa valeur maximale à sa valeur minimale se rapprochent d'une forme de “S”. Dit autrement, le début et la fin de la transition du signal trapézoïdal sont adoucis. Cela peut être causé naturellement, par l'intermédiaire de capacités parasites ou bien volontairement par l'ajout de filtre.

Adoucissement des angles : généralisation de l'analyse graphique

Par la suite et pour des soucis de praticité, les temps de transition de descente, noté τ_f des signaux trapézoïdaux avec round shaping sont considérés équivalents au temps de transition de montée, noté τ_r . Il est important de noter que nous distinguons les temps de transitions τ_r et τ_f et les temps de montées et descentes, notés respectivement τ_m et τ_d , de ce type de signaux comme l'illustre la figure 2.17.

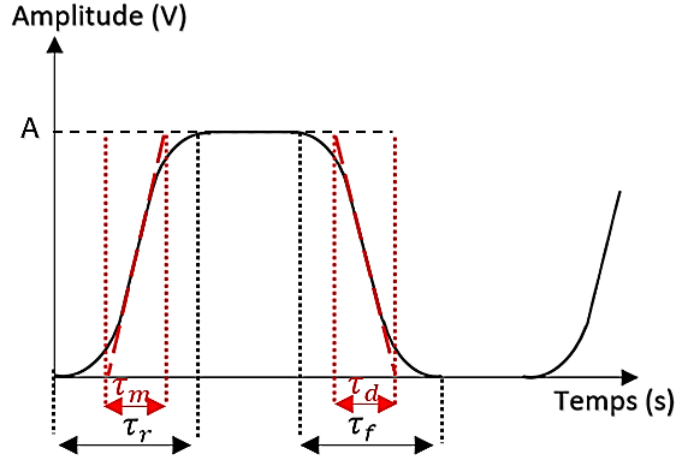


Figure 2.17: Signal trapézoïdal avec angles adoucis

Interpolation du signal de transition par équation polynomiale

Ainsi que le propose “Costa and al” dans [54], la génération d’un signal trapézoïdal aux transitions adoucies, noté $S_w(t)$, peut être vue comme la convolution d’un signal rectangulaire, noté $S_r(t)$ d’amplitude A , avec la dérivée d’un signal (t) , représentant le signal de transition passant de 0 à A , noté $S_t(t)$, normalisé, c’est-à-dire divisé par A . Ces signaux sont illustrés figure 2.18.

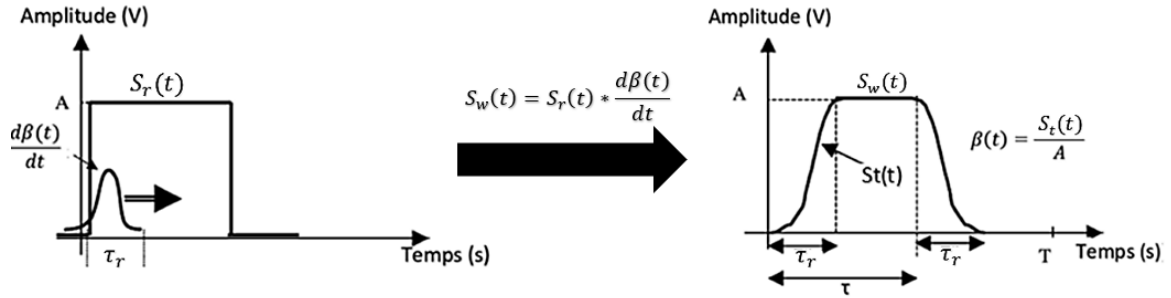


Figure 2.18: Construction d’un signal trapézoïdal avec transitions adoucies

Pour assurer une transition adoucie, le signal $S_t(t)$ et ses dérivées successives doivent respecter des conditions de continuité en 0 et en τ_r . En supposant $S_t(t)$ dérivable jusqu’à l’ordre N , ces conditions de continuité s’écrivent :

Pour $S_t(t)$:

$$S_t(0) = 0, S_t(\tau_r) = A \quad (2.38)$$

et pour ses dérivées successives:

$$S_{osc}(t) = \begin{cases} S_t'(0) = 0, S_t''(0) = 0 \dots S_t^{N-1}(0) = 0 \\ S_t'(\tau_r) = 0, S_t''(\tau_r) = 0 \dots S_t^{N-1}(\tau_r) = 0 \end{cases} \quad (2.39)$$

Différents types de signaux $S_t(t)$, vérifiant les hypothèses précédentes peuvent être envisagés. Dans [54], les auteurs montrent qu'une telle fonction de transition, dont les dérivées vérifient les conditions de continuité, peut ainsi être obtenue à partir d'une expression polynomiale d'ordre $2N-1$.

Pour un signal de transition dérivable 2 fois, on obtient ainsi un signal polynomial d'ordre 3 donné par l'expression.

$$S_t(t) = \frac{-2.A}{\tau_r^3}.t^3 + \frac{3.A}{\tau_r^2}.t^2 \quad (2.40)$$

De la même manière, pour $S_t(t)$ dérivable 3 fois, on trouve une équation polynomiale d'ordre 5, selon :

$$S_t(t) = \frac{6.A}{\tau_r^5}.t^5 - \frac{15.A}{\tau_r^4}.t^4 + \frac{10.A}{\tau_r^3}.t^3 \quad (2.41)$$

Notons que les expressions décrites précédemment ont été appliquées au temps de transition du signal $S_t(t)$ en phase montante. Un principe similaire permet de considérer la phase descendante.

Impact sur les spectres fréquentiels

Le signal considéré étant maintenant modélisé, on étudie dès lors l'impact de l'adoucissement des angles sur le spectre fréquentiel. En reprenant la figure 2.18, l'enveloppe spectrale en haute fréquence (HF) du signal $S_w(t)$ est déterminée par l'ordre de dérivation de $S_t(t)$ [54]. En effet, en supposant que $S_t(t)$ est tel que sa k ème dérivée, notée $S_t^{(k)}(t)$, possède P discontinuités d'amplitude A_i aux instants τ_i , cela signifie que la dérivée d'ordre supérieur $(k+1)$ présente P impulsions de Dirac selon l'expression suivante :

$$S_t^{(k+1)}(t) = \sum_{i=1}^P A_i \delta(t - \tau_i) \quad (2.42)$$

On en déduit que les harmoniques HF de $S_t^{(k+1)}(t)$ sont entièrement déterminées par l'amplitude des impulsions de Dirac. Dès lors, par propriétés de la transformée de Fourier et en intégrant $k+1$ fois cette équation, on obtient les harmoniques HF des séries de Fourier du signal $S_w(t)$, noté $S_{wHF}(n)$ [54], selon :

$$S_{wHF}^{(k+1)}(n) = \frac{\sum_{i=1}^P A_i \cdot e^{-j \cdot 2 \cdot \pi \cdot \frac{n}{T} \cdot \tau_i}}{T \cdot (j \cdot 2 \cdot \pi \cdot \frac{n}{T})^{(k+1)}} \quad (2.43)$$

L'enveloppe spectrale HF de $S_w(t)$ dépend ainsi entièrement de l'ordre de dérivation de $S_t(t)$ et de l'amplitude des discontinuités à la k ème dérivée de $S_t(t)$.

Finalement on en conclut que lorsque le signal $S_w(t)$ peut-être dérivé k fois, alors l'enveloppe spectrale HF décroît d'une pente équivalente à $-20(k+1)$ dB/décade [54].

Cas des interpolations polynomiales d'ordre 3 et 5 – analyse graphique

Pour la suite de ce paragraphe, on s'intéresse au cas des interpolations polynomiales d'ordre 3 et 5 considérées précédemment. Soit $S(t)$ un signal trapézoïdal symétrique, $S_2(t)$ et $S_3(t)$ des signaux "trapézoïdaux à angles adoucis" dont les transitions sont définies respectivement par un polynôme d'ordre 3 (équation 2.40) et un polynôme d'ordre 5 (équation 2.41). Tous les paramètres caractéristiques définis dans le tableau 1.1 que sont la période, la durée d'impulsion à mi-amplitude, les temps de montée et descente, et l'amplitude, sont considérés identiques pour chacun de ces signaux.

L'étude suivante a pour but d'évaluer l'impact des variations de τ_r en effectuant une comparaison entre les spectres fréquentiels des signaux $S(t)$, $S_2(t)$ et $S_3(t)$, notés respectivement $S(f)$, $S_2(f)$ et $S_3(f)$.

La figure 2.19 représente les signaux de transitions en phase montante, noté $S_{\tau_r}(t)$, $S_{\tau_{r2}}(t)$ et $S_{\tau_{r3}}(t)$ et en phase descendante, noté $S_{\tau_f}(t)$, $S_{\tau_{f2}}(t)$ et $S_{\tau_{f3}}(t)$ des signaux respectifs $S(t)$, $S_2(t)$ et $S_3(t)$.

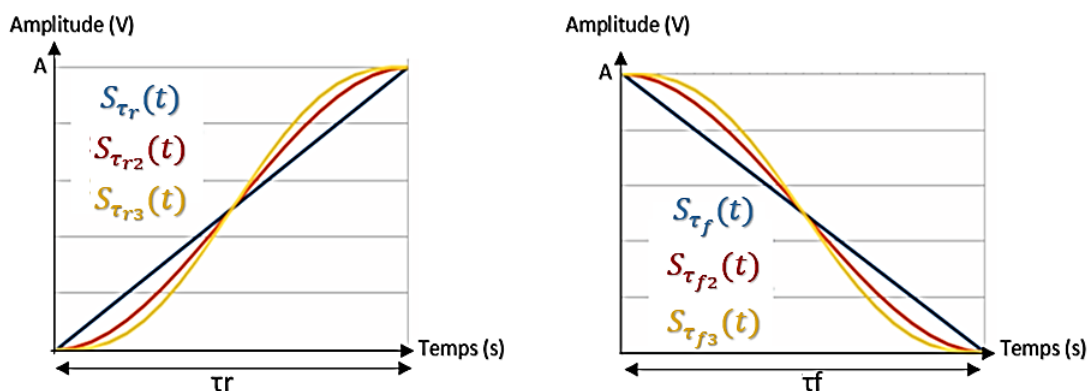


Figure 2.19: Représentation a) des signaux $S_{\tau_r}(t)$, $S_{\tau_{r2}}(t)$ et $S_{\tau_{r3}}(t)$; b) des signaux $S_{\tau_f}(t)$, $S_{\tau_{f2}}(t)$ et $S_{\tau_{f3}}(t)$

Selon le développement théorique du paragraphe précédent, on obtient la représentation des spectres , $S(f)$, $S_2(f)$ et $S_3(f)$, et des enveloppes spectrales, $E[S(f)]$, $E[S_2(f)]$ et $E[S_3(f)]$, selon la figure 2.20.

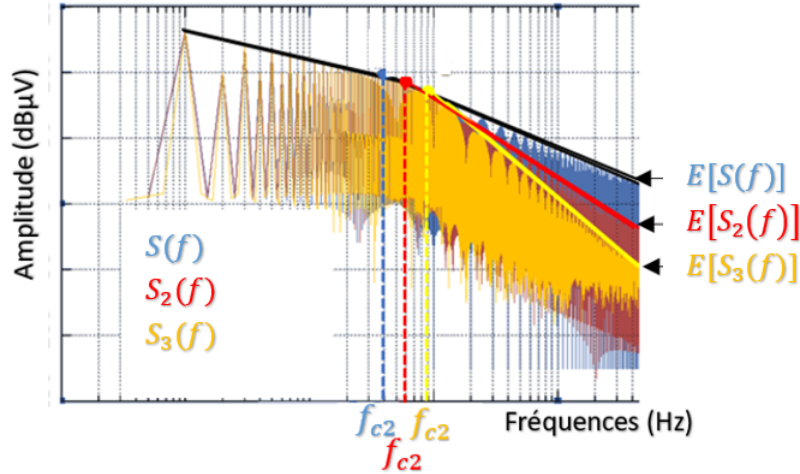


Figure 2.20: Représentation des signaux $S(f)$, $S_2(f)$, $S_3(f)$ et de leurs enveloppes spectrales respectives

D'après la figure 2.20, on remarque comme attendu que $E[S(f)]$ décroît selon une pente de -40 dB/décade en HF. Le signal $S_2(t)$ étant dérivable deux fois, cela entraîne, d'après la théorie développée précédemment, que son enveloppe spectrale, notée $E[S_2(f)]$ décroît d'une pente de -60 dB/décade en HF. De même, en considérant l'équation 2.42, le signal $S_3(t)$ est trois fois dérivable, ainsi, $E[S_3(f)]$ décroît d'une pente de -80 dB/décade en HF.

On note également que les fréquences de coupures sont différentes pour chacun des spectres étudiés.

En réalité, nous devrions comparer ces signaux, non pas pour des temps de transitions équivalents (τ_r et τ_f), mais pour des temps de montés (τ_m) et descentes (τ_d) similaires.

Afin d'obtenir des temps de montée et descente équivalents à celui du signal $S(t)$, les temps de transitions τ_r ont été multipliés par 1.5 pour le signal $S_2(t)$ et 1.7 pour le signal $S_3(t)$. Ainsi, on obtient la figure 2.21.

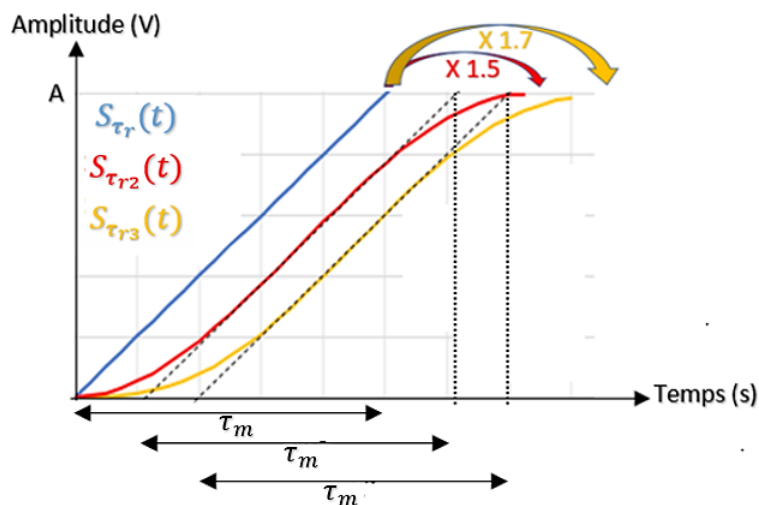


Figure 2.21: Redéfinition des temps de transition pour des signaux avec "round shaping"

La figure 2.22 représente à nouveau les spectres fréquentiels des signaux $S(f)$, $S_2(f)$ et $S_3(f)$ ainsi que leur enveloppe spectrale respective, noté $E[S(f)]$, $E[S_2(f)]$ et $E[S_3(f)]$.

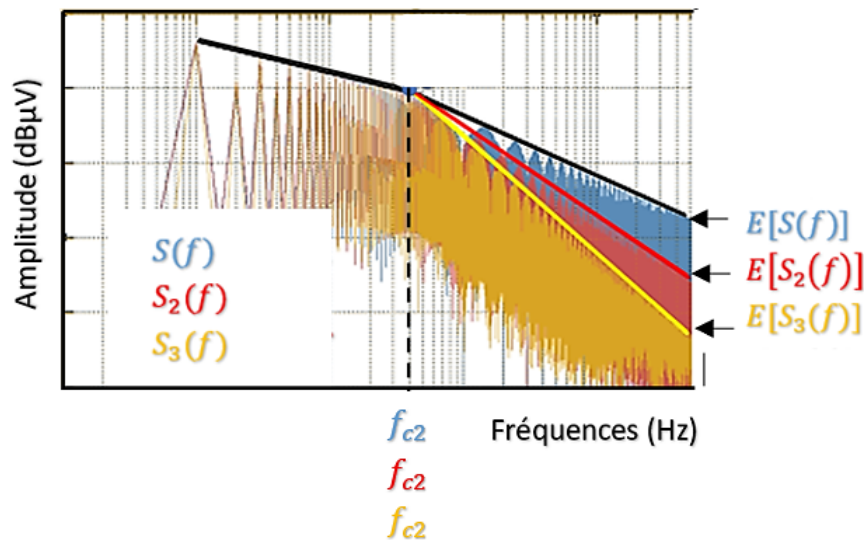


Figure 2.22: Représentation des signaux $S(f)$, $S_2(f)$, $S_3(f)$ et de leur enveloppe spectrale respective

Cette nouvelle étude permet de superposer la dernière fréquence de coupure des différents spectres $S(f)$, $S_2(f)$ et $S_3(f)$ puisque τ_m est identique. Cela permet également de comprendre tout l'intérêt du round shaping puisqu'il garantit le compromis pertes de commutations/CEM. En effet, le spectre HF peut être radicalement différents sous l'influence d'un round shaping tout en limitant les pertes par commutations grâce au maintien des temps de montée et de descente.

L'effet d'adoucissement des angles recherché peut être apporté par l'utilisation de la technique de filtrage, très fréquemment utilisée dans l'approche CEM pour réduire l'émissivité conduite comme expliqué en annexe I.

2.3 Variations des temps de montée et descente d'un signal trapézoïdal symétrique ($\tau_m = \tau_d$) avec "round shaping" et impact sur son spectre fréquentiel

Nous avons vu que pour un signal trapézoïdal symétrique, lorsque τ_m varie, la différence d'amplitude entre deux enveloppes spectrales, noté H , pouvait être calculée suivant l'équation 2.33. Sur un principe similaire, on peut estimer la différence d'amplitude de l'enveloppe spectrale pour des fréquences $f > f_{c2}$, suite à la variation de τ_m pour les signaux $S_2(t)$ et $S_3(t)$ étudiés précédemment, notée respectivement H_2 et H_3 .

H_2 et H_3 peuvent donc être calculées suivant les équations 2.44 et 2.45 :

$$H_2 = -40. \log \frac{\tau_{m2}}{\tau_m} \quad (2.44)$$

$$H_3 = -60. \log \frac{\tau_{m3}}{\tau_m} \quad (2.45)$$

avec τ_{m2} , et τ_{m3} le temps de montée modifié. Les équations 2.44 et 2.45, peuvent ainsi être ramenées à une équation générique de H sous la forme

$$H_N = -N.20. \log \frac{\tau_{mN}}{\tau_m} \quad (2.46)$$

Avec N , le nombre de dérivées successives du signal étudié et $\tau_m N$ le temps de montée modifié. On constate ainsi que plus les temps de transitions sont définis par un polynôme d'ordre élevé, et plus l'impact d'une modification de τ_m sera important.

2.4 Conclusion

Ce chapitre a montré l'impact des variations des paramètres caractéristiques des signaux en sortie d'une cellule de commutation sur leur enveloppe spectrale. Cette cellule est représentée par un transistor MOSFET dont la forme d'onde en sortie est souvent apparentée à un signal trapézoïdal.

Les temps de montée et descente de ce type de signal sont des paramètres essentiels pour garantir le meilleur compromis pertes par commutations/CEM. En effet, des temps de montée et descente trop courts peuvent amener à une augmentation des problèmes CEM suite à l'apparition de suroscillations. A l'inverse, des temps de montée et descente trop longs, peuvent poser problème quant à la bonne performance du circuit (augmentation des pertes par commutation).

Dans un premier temps, la comparaison entre l'enveloppe spectrale d'un signal asymétrique et l'enveloppe spectrale d'un signal symétrique a été étudiée. Un graphique original permettant d'estimer rapidement l'impact des variations des temps de montée et descente sur cette enveloppe spectrale a également été fourni.

Dans un second temps, l'effet "round shaping", qui représente l'arrondissement des angles d'un signal trapézoïdal a été analysé. Ce phénomène, permet de garantir des temps de montée et descente relativement courts, tout en réduisant de façon considérable le contenu spectral du signal étudié.

Pour cela, la modélisation des temps de transitions d'un signal trapézoïdal a été envisagée. Ils représentent les temps pour lesquels le signal passe de sa valeur minimale à sa valeur maximale et de sa valeur maximale à sa valeur minimale.

Nous avons alors étudié l'impact de la variation des temps de montée et descente pour des signaux trapézoïdaux avec "round shaping" sur leur enveloppe spectrale

Le chapitre 3 aura pour but d'étudier les variations d'émissions conduites mesurées en sortie d'un montage source commune lorsque des variations PVT ont lieu.

Chapitre 3:
Impact des variations PVT sur
l'émission conduite dans un montage
Source Commune

Avec la réduction des dimensions des circuits intégrés (IC), la vitesse de commutation des transistors a considérablement augmenté, entraînant une augmentation de l'émission conduite des systèmes électroniques (voir chapitre 1). Les montages source commune et drain commun présentés dans le chapitre 2, sont des circuits électroniques devenus alors problématiques quant à leurs niveaux d'émissions conduites.

De nombreuses recherches ont permis de mettre en place des techniques permettant de réduire ces émissions, notamment aux hautes fréquences. Ces études, dans la plupart des cas, concernent l'optimisation de la forme d'un signal dit trapézoïdal pour minimiser les variations rapides de tension ($\frac{dv}{dt}$) et de courants ($\frac{di}{dt}$). Ceci peut être réalisé en filtrant le signal (filtre RC par exemple) ou encore en travaillant sur l'arrondissement de la forme du signal lui-même. Une telle technique, assez compliquée à mettre en œuvre, peut s'avérer très sensible aux variations de procédé de fabrication, de tension et de température (PVT) [55][56][57]. C'est pourquoi l'impact des variations des paramètres électriques sur l'émission conduite dans des montages source commune et drain commun seront étudiés respectivement dans les chapitres 3 et 4.

Comme discuté dans le chapitre 2, le signal de sortie d'un montage source commune est sujet à subir des déviations principalement liées à son environnement applicatif (charge, variations de la tension d'alimentation, éléments parasites, température...). Ainsi, les ingénieurs autorisent une certaine déviation des paramètres électriques ou caractéristiques des signaux du circuit. Leurs variations maximales et minimales acceptées sont spécifiées dans le cahier des charges du produit. Ces deux valeurs extrêmes forment une fenêtre de variation qui peut être plus ou moins petite selon le type d'application étudiée.

Les ingénieurs de conception de circuits intégrés utilisent des outils de simulation performants, pour pouvoir estimer la distribution gaussienne qu'aura chaque paramètre électrique du silicium final vis-à-vis des variations PVT. Comme expliqué dans le chapitre 1, et dans un souci de garantir un haut niveau de qualité des puces livrées aux clients, la méthode 6 sigma est respectée pendant ces phases de simulations. Cette méthode 6 sigma, n'inclut malheureusement pas les aspects CEM, et particulièrement l'émissivité des circuits intégrés. Ce chapitre mettra en évidence l'impact des variations PVT sur l'émissivité d'un transistor MOSFET de puissance monté en source commune. Différents MOSFETS de même et de différents lots seront utilisés pour cette étude. La méthode 150 Ω sera la méthode de mesure adoptée pour évaluer l'émission conduite.

Aussi, afin de distinguer l'impact du "round shaping" des paramètres caractéristiques d'un signal trapézoïdal, nous séparons la mesure d'émission conduite en 2 catégories, basses fréquences, noté BF, et hautes fréquences, noté HF. Ces catégories sont établies suivant l'enveloppe spectrale générée. Toutes les fréquences pour lesquelles l'enveloppe spectrale diminue selon une pente inférieure ou égale à -40 dB/décade correspondent aux basses fréquences, et, toutes les fréquences pour lesquelles l'enveloppe spectrale diminue avec une pente de plus de -40 dB/décade seront considérées hautes fréquences (impact du round shaping).

3.1 Analyse de la méthode de mesure 150 Ω pour les mesures d'émission conduite

Les mesures en émission conduite réalisées dans cette thèse sont exclusivement basées sur la méthode 150 Ω décrite dans le chapitre 1. Pour rappel, cette méthode, qui permet de mesurer le courant consommé dans une broche d'alimentation, nécessite un circuit d'interfaçage représenté sur la figure 3.1. Ce circuit est constitué d'une résistance R1 de 120 Ω en série avec un condensateur de 6.8 nF, lui-même en série avec une résistance R3 de 50 Ω . Cette dernière se trouve en parallèle avec l'impédance d'entrée 50 Ω (R4) de l'appareil de mesure, généralement un analyseur de spectre.

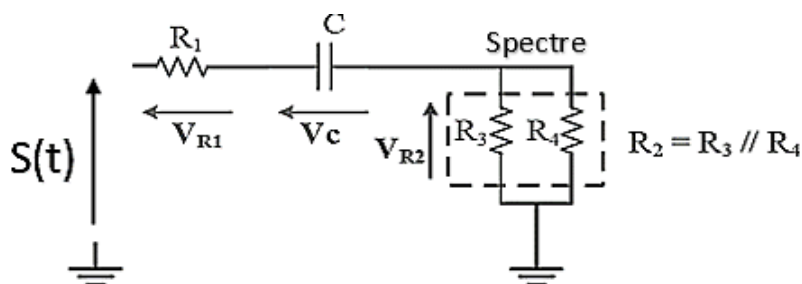


Figure 3.1: Schématique de la méthode de mesure 150 Ω

On rappelle également que cette méthode n'est valable que pour la plage de fréquence 150 kHz-1 GHz.

3.1.1 Analyse fréquentielle du filtre CEM

Dans notre cas d'étude, le signal $S(t)$ représente le signal de sortie d'une cellule commutée. La tension aux bornes du condensateur noté V_c , se chargera jusqu'à son amplitude maximale avec une durée qui dépendra du temps de montée de $S(t)$ par rapport à la constante de temps naturelle de la méthode 150 Ω , notée $\tau = (R_1 + R_2).C$.

Avec R2 la résistance équivalente représentée par l'association de R3 et R4 en parallèle.

La fonction de transfert de la méthode 150 Ω est obtenue en passant par la transformée de Laplace:

$$\frac{V_{R2}(p)}{S(p)} = \frac{R_2.C.p}{\sqrt{1 + [(R_1 + R_2).C.p]^2}} \quad (3.1)$$

On en déduit la fréquence de coupure d'un filtre passe haut :

$$f_C = \frac{1}{2.\pi.(R_1 + R_2).C} = 161 \text{ kHz} \quad (3.2)$$

L'expression de l'enveloppe spectrale du signal $V_{R2}(t)$ noté $E[V_{R2}(f)]$, donne :

$$E[V_{R2}(f)] = E[S(f)] + 20.\log(2.R_2.C.\pi.f) - 10.\log[1 + (2.\pi.f)^2.C^2.(R1 + R2)^2] \quad (3.3)$$

Les valeurs mesurées à l'analyseur de spectre étant des valeurs efficaces, l'expression de l'enveloppe spectrale du signal $V_{R2}(t)$ mesuré, noté $E[V_{R2mes}(f)]$ s'écrit :

$$E[V_{R2mes}(f)] = E[V_{R2}(f)] - 20.\log\sqrt{2} \quad (3.4)$$

3.1.2 Impact de la variation des composants de la méthode de mesure 150 Ω sur les mesures d'émission conduite

Les variations PVT peuvent avoir un réel impact sur les composants passifs utilisés pour la méthode 150 Ω et donc augmenter l'erreur de mesure de l'émission conduite. Pour éviter cela, nous devons prendre en considération les variations des paramètres caractéristiques des composants utilisés.

Les composants formant la carte de mesure 150 Ω ont les références suivantes :

Référence	Désignation	Valeur	Boitier	Minimum	Maximum
R_1	Résistance	120 Ω	0805	118.8 Ω (-1 %)	121.2 Ω (+1 %)
R_2	Résistance	51 Ω	0805	50.49 Ω (-1 %)	51.51 Ω (+1 %)
C	Condensateur	6.8 nF	0603	6.12 nF (-10 %)	7.48 nF (+10 %)

Table 3.1: Références des composants utilisées lors de la méthode de mesure 150 Ω

Ce tableau dont les valeurs sont définies par le cahier des charges ne fait pas référence aux possibles variations PVT des différents composants. Si une résistance ne varie que très peu en fonction des variations PVT [58], le condensateur, lui, est très dépendant de son environnement d'utilisation [59][60].

Modélisation du condensateur 6.8 nF relatif à la méthode de mesure 150 Ω

Les condensateurs utilisés pour la méthode 150 Ω sont des condensateurs CMS provenant de la société Murata de type X7R (technologie relativement fiable en température). Le modèle communément utilisé est celui d'un R, L, C série [59], représenté figure 3.2.



Figure 3.2: Modèle du condensateur CMS

Notons que ce modèle n'est valable que pour des fréquences inférieures à 1GHz. Au-delà, d'autres phénomènes doivent être pris en compte [61].

Les éléments parasites R_{esr} , L_{esl} et C , sont déterminés par les mesures des paramètres S à l'aide d'un Analyseur de Réseau Vectoriel (VNA), capable de déterminer l'impédance d'un dipôle en fonction de la fréquence. Ainsi, l'impédance Z du condensateur utilisée pour notre étude est calculée suivant l'équation :

$$Z = R_{esr} + X_{Lesl} + X_C \quad (3.5)$$

Où $X_C = \frac{1}{j.C.\omega}$ et $X_{Lesl} = j.L_{esl}.\omega$

Pour les fréquences inférieures à la fréquence de résonance $f_r = \frac{1}{2.\pi.\sqrt{L_{esl}.C}}$ du condensateur, celui-ci agit comme une capacité pure. X_C est alors prédominant dans l'équation (1). Inversement, pour les fréquences supérieures à la fréquence de résonance, X_{Lesl} prédomine. La capacité agit comme une inductance. À la fréquence de résonance, X_{Lesl} et X_C se compensent. L'impédance du condensateur est alors purement résistive (R_{esr}). La figure 3.3 décrit la réponse fréquentielle d'un condensateur de 6.8 nF.

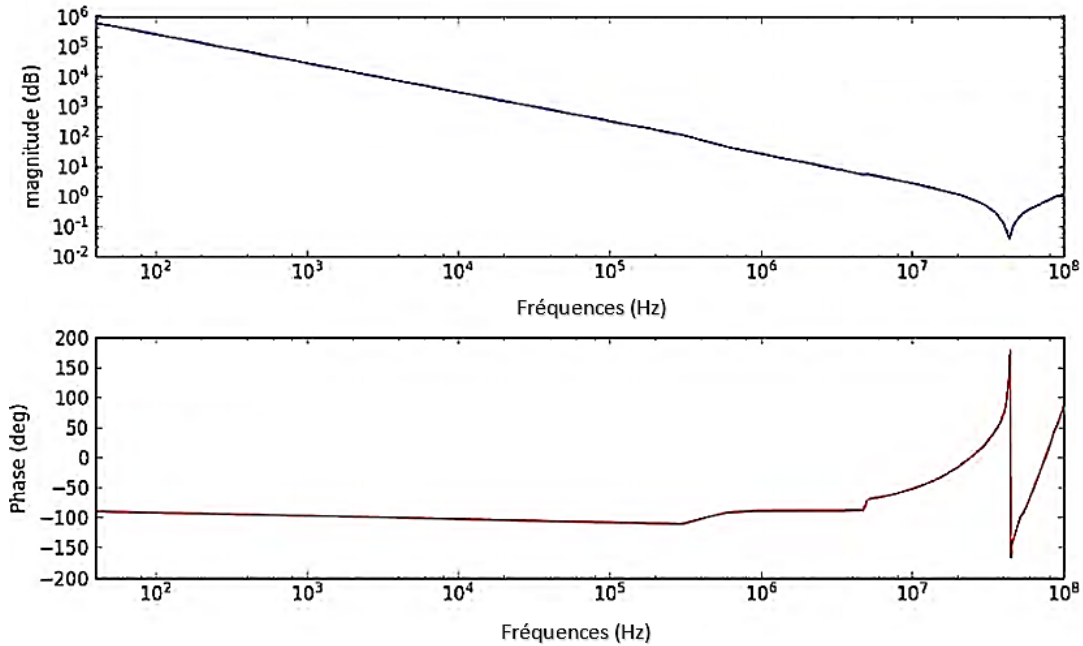


Figure 3.3: Réponse fréquentielle d'un condensateur 6.8 nF

A partir des résultats obtenus par la mesure au VNA et de l'équation 1, on détermine les valeurs R_{esr} , L_{esl} et C suivantes :

Référence	R_{esr}	L_{esl}	C
Valeur	0.14 Ω	200 pH	6.87 nF

Table 3.2: Valeurs des composants parasites du condensateur 6.8 nF

Bien que ces condensateurs soient principalement utilisés pour leur tenue en température, de par leur technologie X7R, leurs valeurs peuvent varier de 10% [62] à [65].

Les mesures réalisées dans cette thèse ne concernant que des fréquences comprises entre 150 kHz et 20 MHz, nous nous intéresserons uniquement aux variations de la capacités C du modèle de condensateur en fonction de la température.

Pour étudier cet effet, un générateur de température est placé au-dessus du condensateur. La valeur nominale du composant sous test est surveillée à l'aide d'un capacimètre comme décrit figure 3.4.



Figure 3.4: Méthodologie pour l'obtention de la valeur de la capacité nominale du condensateur en fonction de la température

Pour cette étude, nous considérons une plage de température allant de -40°C à 125°C . La figure 3.5 présente les relevés de la valeur du condensateur en fonction de la température.

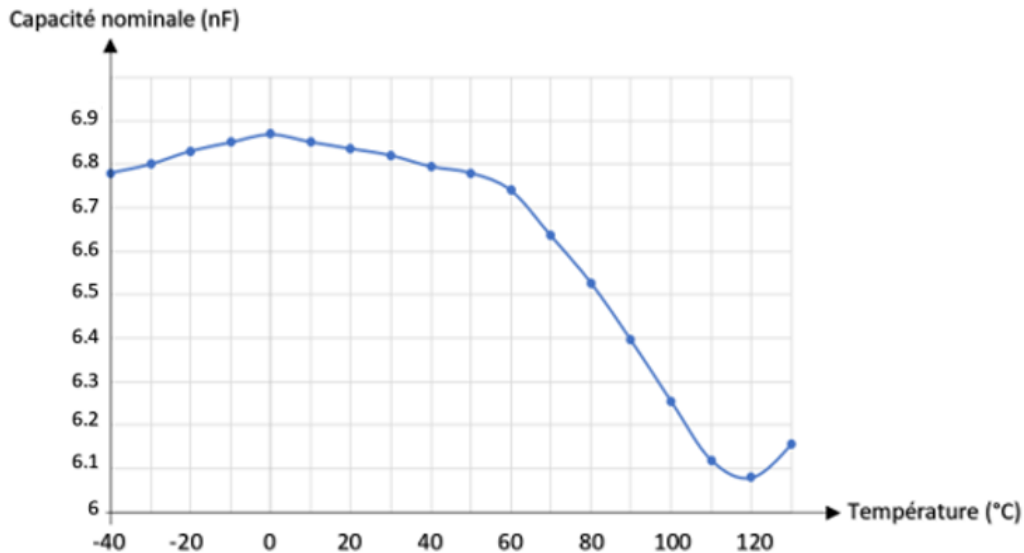


Figure 3.5: Capacité nominale du condensateur en fonction de la température

D'après la figure 3.5 on observe une diminution de la capacité nominale du condensateur d'environ 10% de sa valeur nominative pour une température aux alentours de 120 °C.

Les condensateurs céramiques sont également fortement dépendant de la tension DC à leurs bornes. En effet, lorsque cette tension est proche de la tension maximale que peut supporter le condensateur, ce dernier peut perdre jusqu'à 50% de sa valeur [62][66 à 68].

Les tensions DC appliquées dans cette thèse étant relativement basses par rapport à la tension nominale du condensateur (100 V) ; ce phénomène ne sera pas étudié.

Notons également que le condensateur peut être plus ou moins affecté par la tension DC suivant le type de boîtier utilisé [62].

Impact de la variation du niveau spectrale de la méthode de mesure 150 Ω suivant la variation de ses composants passifs utilisés

Afin de pouvoir estimer l'impact maximal des variations des composants passifs sur la méthode 150 Ω, nous avons créé un modèle du condensateur basé sur les résultats précédents, puis nous avons réalisé une simulation PVT, type corner (voir chapitre 1) sous SPICE de la méthode 150 Ω. Le schéma du circuit simulé est représenté figure 3.6. Le modèle du condensateur a été traduit en langage Veriloga [69], et, est donné en annexe III. Un générateur AC est utilisé afin d'observer les variations de la fonction de transfert ($\frac{V_{out}}{V_{in}}$) de la cellule. V_{in} correspond à la tension d'entrée et V_{out} à la tension de sortie, comme défini dans la figure 3.6.

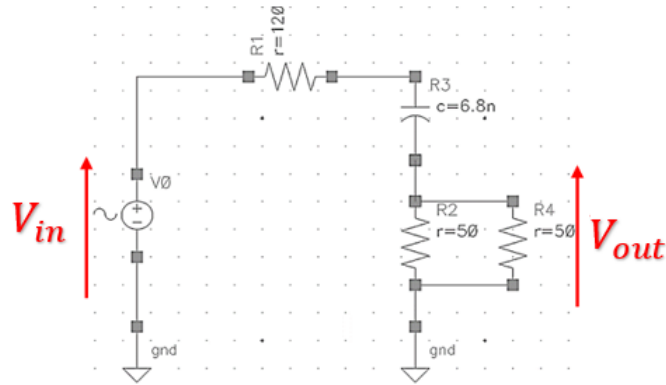


Figure 3.6: Schéma du circuit pour la quantification de l'erreur de mesure par la méthode 150Ω

Cette simulation permet d'obtenir un gabarit spectral prenant en compte toutes les valeurs extrêmes des composants pour des températures différentes. Ce gabarit est représenté figure 3.7 à travers les variations maximales et minimales obtenues.

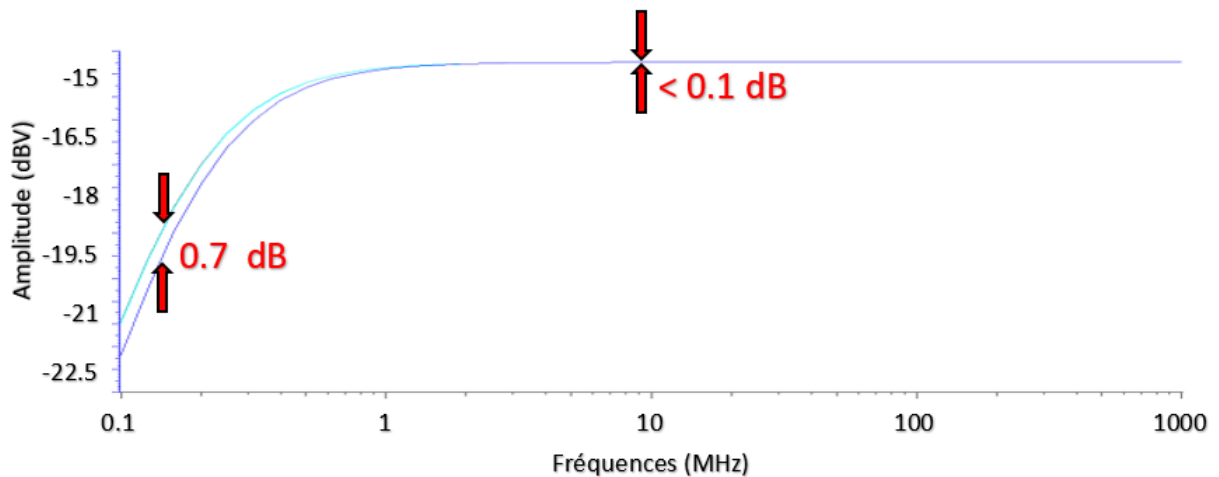


Figure 3.7: Impact de la variation spectrale de la méthode de mesure 150Ω

La figure 3.7 montre une variation d'émission conduite d'environ 0.7 dB autour de 150 kHz. Au-delà de 1 MHz on estime cette variation inférieure à 0,1 dB. Ces variations sont donc extrêmement faibles et non dérangeantes pour l'étude de l'impact des variations des paramètres électriques sur l'émission conduite dans un montage source commune. Les variations de la méthode 150Ω étant connues, nous allons maintenant étudier l'impact des variations PVT sur le niveau CEM en sortie d'un montage source commune.

3.2 Effet PVT sur le niveau CEM en sortie d'un montage Source commune

Le circuit étudié est un montage source commune. Nous observerons en particulier l'impact des variations PVT sur les paramètres caractéristiques du signal en sortie du transistor MOSFET, noté V_{ds} et du niveau d'émission conduite mesurée par l'intermédiaire de la méthode 150Ω .

3.2.1 Présentation du circuit et des différents tests de mesures

Trois circuits ont été réalisés avec l'utilisation de transistors discrets différents de référence suivante : STP16NF [70], IRLZ44N [71] et BS170 [72] dans un montage source commune. Ces transistors ont été choisis arbitrairement dans le but de vérifier une tendance aussi bien dans le domaine temporel que fréquentiel lorsque le composant est soumis à des variations PVT. Les différents MOSFETs utilisés sont représentés sur la figure 3.8.

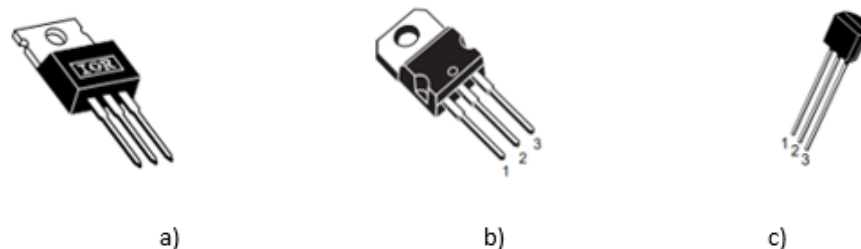
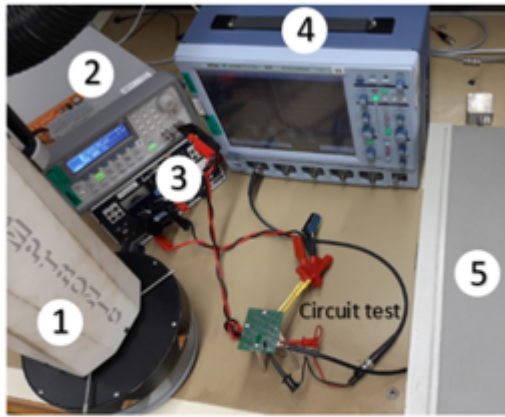


Figure 3.8: MOSFETs utilisés dans le montage Source Commune de référence a) IRLZ44N ; b) STP16NF0L ; c) BS170

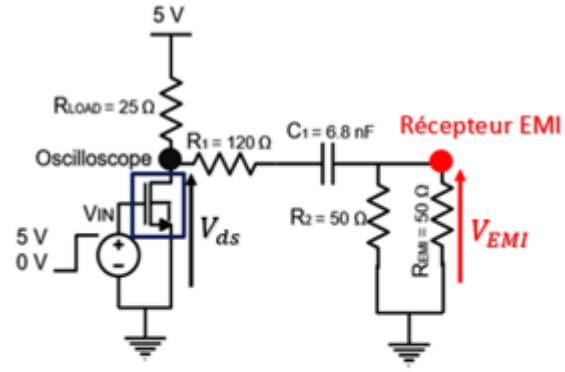
Le circuit test est un montage source commune, composé d'un des transistor MOSFET mentionné précédemment, d'une charge R_{LOAD} de 25Ω et du circuit de mesure 150Ω . La figure 3.9 présente une photo du circuit test et des équipements nécessaires à l'étude ainsi que le schéma électrique du circuit source commune associé à la carte d'adaptation de mesure 150Ω .

Les appareils utilisés pour les mesures de variations d'émission conduite sont :

- Un récepteur EMI qui permet de mesurer le spectre du signal VEMI en sortie de la cellule 150Ω .
- Un oscilloscope qui permet de visualiser la forme du signal de sortie V_{ds} .
- Un générateur de température ("air conditionner").
- Une alimentation DC, de tension 5 V.
- Un générateur de fonction trapézoïdal pour le contrôle de la tension de grille du transistor.



1 : Générateur de température
 2 : Générateur de fonction trapézoïdal
 3 : Alimentation DC
 4 : Oscilloscope
 5 : Récepteur EMI



a)

b)

Figure 3.9: Circuit sous-test ; b) Topologie du circuit

Le signal d'entrée au niveau de la grille du transistor, noté V_{in} , correspond à un signal trapézoïdal dont les paramètres sont définis dans le tableau suivant :

V_{in}	Période (μs)	Rapport Cyclique (%)	Amplitude maximale (V)	Temps de montée (μs)	Temps de descente (μs)
Valeur	50	50	5	5	5

Table 3.3: Paramètres du signal d'entrée V_{in}

Les résultats présentés par la suite ne dépasseront jamais 20 MHz dans le domaine fréquentiel car le niveau d'émission conduite atteint le niveau de bruit de l'appareil de mesure, à savoir $-10 \text{ dB}\mu\text{V}$. Pour plus de clarté, nous nous concentrerons sur le signal V_{ds} à l'entrée du circuit de mesure 150Ω en prenant soins de bien distinguer l'impact du signal trapézoïdal, de celui du round shaping comme expliqué au chapitre 2.

Les variations des paramètres PVT envisagés dans le cadre de cette étude sont définies de la façon suivante :

- Les variations de procédé de fabrication seront traduites par des tests sur des transistors issus de même et de différents lots.
- Les variations de tensions seront traduites par des variations de l'alimentation DC, noté V_{dc} , et du signal d'entrée, noté V_{in} . Nous choisirons des variations d'amplitude réalistes de 10%, souvent acceptables du point de vue industriel.
- Les variations de température seront réalisées à l'aide d'un générateur de température. Les mesures seront effectuées suivant les températures suivantes : -45°C , 0°C , 25°C , 80°C et 135°C .

Nous ferons également varier les temps de montée et descente du signal d'entrée V_{in} afin d'observer le comportement du signal V_{ds} et l'impact produit sur l'émission conduite du montage source commune.

3.2.2 Mesures d'émissions conduites suivant différents transistors MOSFETs

Avant d'appliquer toute variabilité sur le circuit, nous avons réalisé des mesures du signal V_{ds} et de l'émission conduite en sortie des 3 montages correspondant aux transistors MOSFETs dont les références ont été données précédemment.

Pour un signal d'entrée V_{in} similaire, on constate des signaux V_{ds} différents, en particulier l'allure des transitions de montée et de descente, représentés par la figure 3.10.

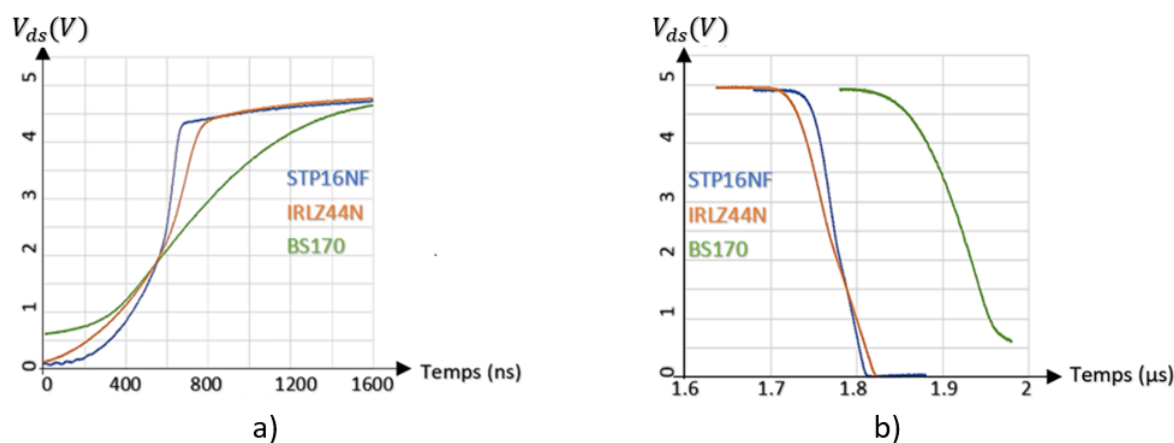


Figure 3.10: Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différents transistors MOSFETs

On note que le transistor BS170 possède une légère variation au niveau du rapport cyclique. Ce retard s'explique par la différence de la valeur de sa tension de seuil V_{th} (voir chapitre 1). Le tableau 3.4 récapitule les valeurs des tensions de seuils des trois transistors utilisés.

MOSFET	BS170	IRLZ44N	STP16NF
V_{th}	2 V	1.6 V	1.5 V

Table 3.4: Tension de seuil suivant l'utilisation du MOSFETs

On note que les temps de montée et de descente des signaux V_{ds} obtenus pour chacun des circuits sont différents. Il en est de même pour l'effet round "shaping".

Le signal V_{ds} en sortie du transistor MOSFET BS170 possède des temps de montée et de descente très largement supérieurs aux deux autres transistors et un "round shaping" beaucoup plus prononcé. Cela est principalement dû à sa résistance $R_{ds(on)}$, pratiquement 100 fois plus élevée que celles des transistors IRLZ44N et STP16NF, qui ralentit alors le

passage du courant I_{ds} , et donc la rapidité de commutation. Cette résistance induit une tension d'offset équivalente à :

$$V_{dsoffset} = \frac{R_{dson}}{R_{dson} + R_{LOAD}} \cdot V_{dc} \quad (3.6)$$

Cette tension, que l'on peut apercevoir dans la figure 3.11, est estimée à 0.6 V.

Par ses temps de commutation plus long et son fort "round shaping", ce type de transistor est moins avantageux pour des applications hautes fréquences. Cependant, il permet une réduction très prononcée du niveau d'émission conduite mesuré en sortie du montage source commune, comme le montre la figure 3.11.

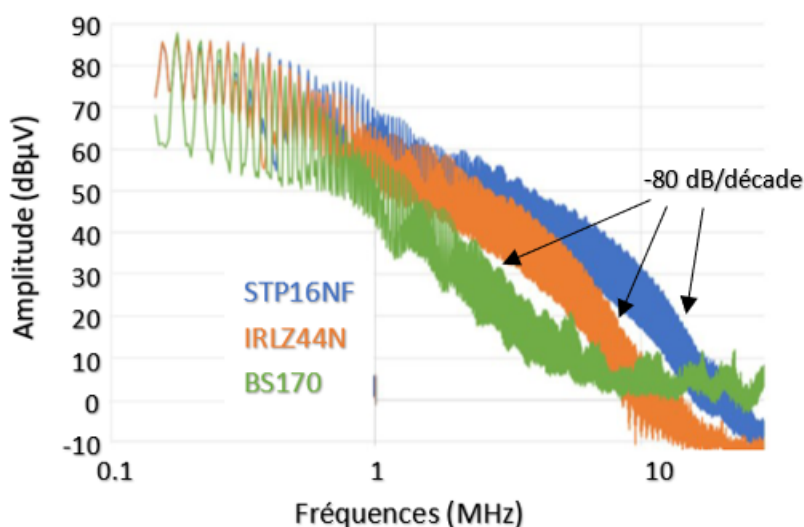


Figure 3.11: Transitions du signal V_{ds} en a) phase montante b) phase descendante suivant les différents transistors MOSFETs

La figure 3.11 montre que le changement d'un transistor, réalisant la même fonction dans un circuit et soumis aux mêmes conditions environnementales, peut modifier considérablement le niveau d'émission conduite (jusqu'à 30 dB entre 5 MHz et 8 MHz). Cela dépend de la nature intrinsèque du transistor. Les éléments parasites qui le composent sont différents selon les procédés de fabrications, la géométrie du composant... (voir chapitre 1 et 2).

On constate également un plateau de bruit conséquent avec le MOSFET BS170. Cela est principalement dû à sa forte résistance R_{dson} qui empêche une petite partie du bruit généré au niveau du drain de s'écouler à travers la masse. Ce bruit passe donc à travers le réseau CEM, augmentant ainsi le plateau de bruit.

Enfin, on montre que les niveaux d'émission conduite mesurés en basses fréquences sont identiques puisque la période et le rapport cyclique des trois signaux étudiés sont semblables. En effet, les différentes équations établies dans le chapitre 2 permettent d'estimer une variation maximale de l'enveloppe spectrale de 0,36 dB.

Effet de la variation de process des transistors

Les mesures d'émission conduite en sortie de chacun des transistors utilisés ont été répétées avec des transistors identiques de même lot et de lot différents. Les principaux paramètres électriques du signal V_{ds} que l'on mesure et sur lesquels on s'appuie pour assurer le bon fonctionnement du circuit/système ont été relevés à travers les différents tableaux présentés tableau 3.5.

V_{dsmax} représente l'amplitude maximale de la tension V_{ds} observée.

IRLZ44N						
Lot	Nom	Période (μs)	Rapport Cyclique (%)	Temps de montée (ns)	Temps de descente (ns)	V_{dsmax} (V)
1	A	50	43.4	230	350	5.37
1	B	50	43.2	225	340	5.37
1	C	50	43.4	230	342	5.37
2	D	50	43	219	337	5.3
2	E	50	43	222	337	5.3
2	F	50	43	219	340	5.3
3	G	50	43	217	334	5.3
3	H	50	43.1	217	333	5.3
3	I	50	43	217	334	5.3

Table 3.5: Paramètres caractéristiques du signal V_{ds} suivant différents transistors MOS-FETS de référence IRLZ44N

STP16NF						
Lot	Nom	Période (μs)	Rapport Cyclique (%)	Temps de montée (ns)	Temps de descente (ns)	V_{dsmax} (V)
1	A	50	43.6	135	230	5.37
1	B	50	43.6	134	230	5.37
1	C	50	43.6	135	230	5.37
2	D	50	43.6	140	233	5.37
2	E	50	43.7	142	236	5.37
2	F	50	43.7	140	232	5.37
3	G	50	43.6	135	230	5.37
3	H	50	43.4	132	228	5.37
3	I	50	43.7	134	226	5.37

Table 3.6: Paramètres caractéristiques du signal V_{ds} suivant différents transistors MOS-FETS de référence STP16NF

BS170						
Lot	Nom	Période (μs)	Rapport Cyclique (%)	Temps de montée (ns)	Temps de descente (ns)	V_{dsmax} (V)
1	A	50	46.2	365	335	5.3
1	B	50	46.2	368	335	5.3
1	C	50	46	364	338	5.3
2	D	50	46.2	380	340	5
2	E	50	46.1	376	340	5
2	F	50	46.4	380	345	5
3	G	50	46.2	370	340	5
3	H	50	46.2	373	340	5
3	I	50	46.3	373	338	5

Table 3.7: Paramètres caractéristiques du signal V_{ds} suivant différents transistors MOSFETS de référence BS170

L'analyse de ces résultats montre que pour un transistor de référence identique et issu d'un même lot, les paramètres caractéristiques du signal V_{ds} sont similaires, contrairement aux transistors issus de lots différents, pour lesquels une légère différence existe. Cette petite différence s'explique par les procédés de fabrications qui peuvent varier (concentration des dopants, température, humidité...). Le tableau suivant indique le pourcentage de variation des différents paramètres caractéristiques décrits dans les tableaux 3.5, 3.6, 3.7 pour les trois transistors étudiés.

	Variation maximale de la Période (%)	Variation maxi- male du Rapport Cyclique (%)	Variation maximale du Temps de montée (%)	Variation maxi- male du Temps de descente (%)	Variation maximale de la ten- sion V_{dsmax} (%)
IRLZ44N	0	0.9	6	4.8	1.3
STP16NF	0	0.7	7.6	4.4	0
IRLZ44N	0	0.87	4.4	3	6

Table 3.8: Variation maximale des paramètres caractéristiques des signaux en sortie du montage source commune

Pour la suite de l'étude, tous les résultats de mesures présentés dans ce chapitre concernent uniquement le circuit intégrant le transistor MOSFET de référence STP16NF. Les résultats obtenus avec les 2 autres circuits sont présentés en annexe IV et conduisent à des conclusions similaires.

La figure 3.12, montre la mesure d'émission conduite 150Ω pour trois transistors venant de 3 lots différents.

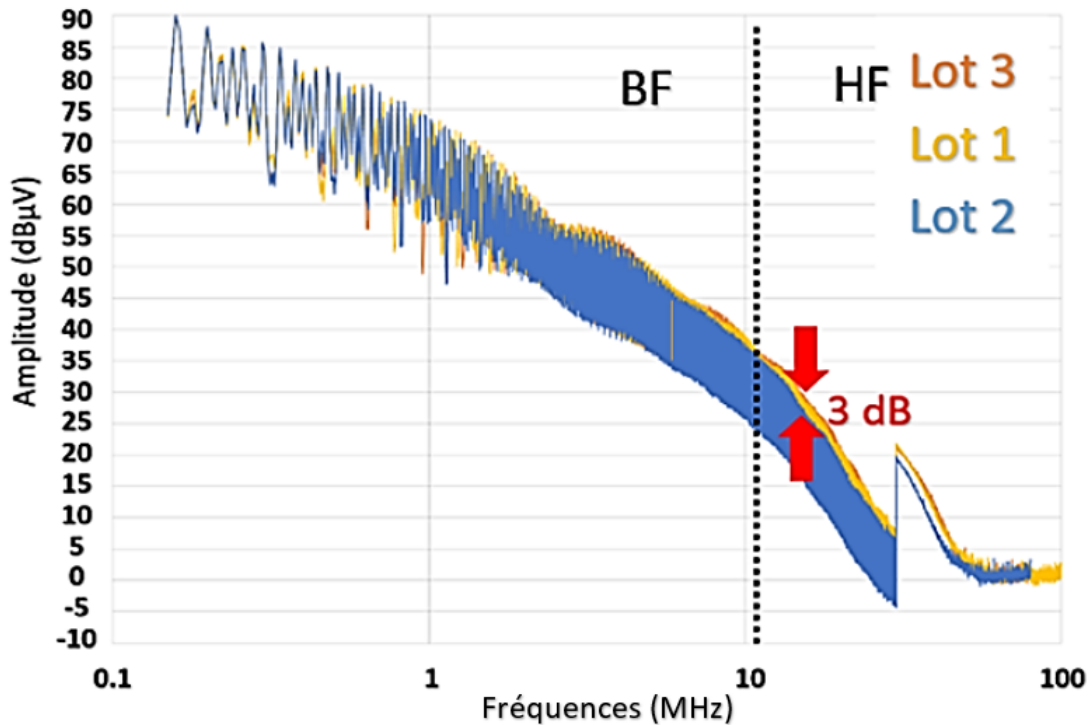


Figure 3.12: Mesure d'émission conduite des circuits selon différents lots du transistor STP16NF

La figure 3.12 montre une faible variation de l'émission conduite en basses fréquences, ce qui est conforme à la théorie décrite au chapitre 2 et des résultats du tableau 3.6 et 3.7, pour lesquels on obtient une variation du niveau d'émission conduite d'environ 1 dB.

Cependant, une différence de niveau d'émission conduite de 3 dB est également observée au-delà de 10 MHz (hautes fréquences). Cette différence, qui s'explique par les variations de procédés de fabrication de chacun des transistors, peut paraître relativement faible. Néanmoins les mesures d'émission conduite n'ont été réalisées que sur 3 lots différents seulement. Il serait intéressant d'étudier le niveau d'émission conduite de ce circuit pour un nombre de lots plus élevé.

3.2.3 Effet de la variation de tension d'alimentation sur l'émission conduite

On estime dans cette partie une variation de la tension d'alimentation V_{dc} de $\pm 10\%$. L'émission conduite en sortie du montage source commune a été envisagée pour 2 cas. Pour le cas 1, une tension V_{dc} de 4.5 V est utilisée. Pour le cas 2 une tension V_{dc} de 5.5V est utilisée. La figure 3.13 représente la topologie du circuit pour la mesure des variations de l'émission conduite en fonction d'une variation de la tension d'alimentation.

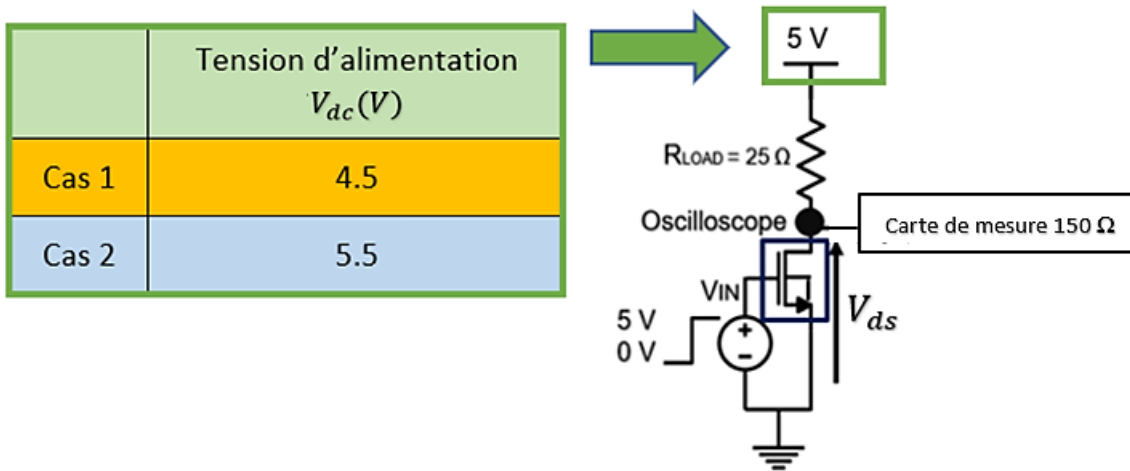


Figure 3.13: Topologie du circuit pour le test de variation de tension d'alimentation

Ces variations d'alimentations ont directement un impact sur l'amplitude du signal V_{ds} , comme le montre la figure 3.14.

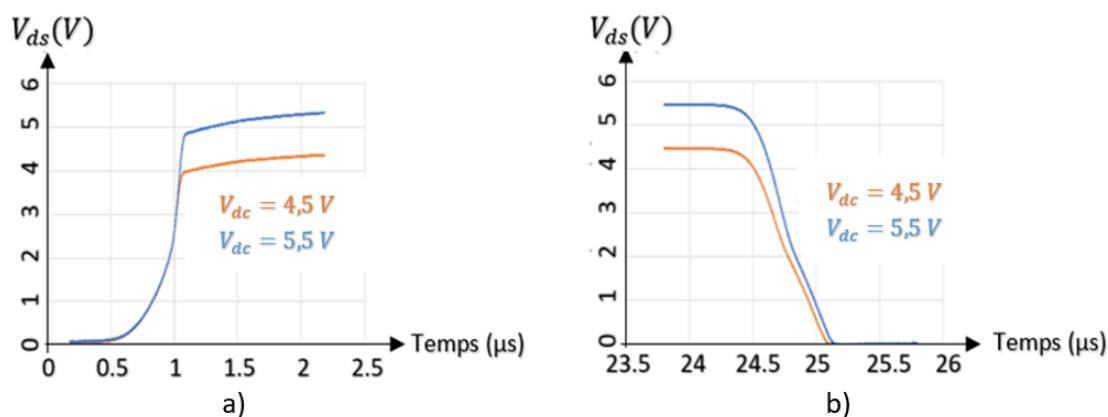


Figure 3.14: Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différentes valeurs de V_{dc}

On constate que les 2 signaux semblent identiques en ce qui concerne les temps de montée et de descente ainsi que les effets de bords "round shaping".

La mesure d'émission conduite en sortie du montage source commune a été réalisée pour chacun des 2 cas. Les résultats sont donnés sur la figure 3.15.

$S_1(f)$ correspond au spectre d'émission conduite mesuré avec une tension $V_{dc} = 4.5V$ et $S_2(f)$ mesuré avec $V_{dc} = 5.5V$.

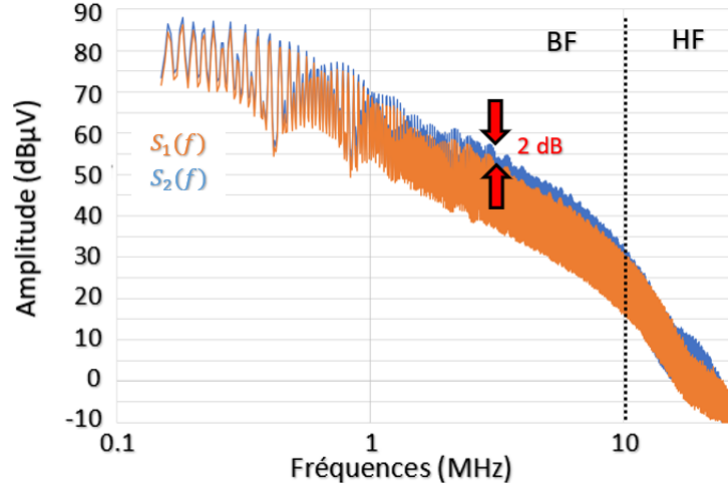


Figure 3.15: Mesure d'émission conduite $S_1(f)$ et $S_2(f)$ lorsque la tension d'alimentation varie

La figure 3.15 montre que le niveau d'émission conduite augmente avec l'augmentation de la tension d'alimentation. Ce phénomène est principalement visible en basses fréquences où la variation maximum observée est de $2 \text{ dB}\mu\text{V}$. Les mesures ont été réalisées sur les différents circuits pour des résultats similaires présentés en annexe V.

Ces résultats sont en parfait accord avec ce qui a été énoncé dans le chapitre 2, où la variation d'amplitude spectrale pour une variation de $\pm 10\%$ sur l'amplitude du signal est estimée à 1.74 dB .

3.2.4 Effet de la variation d'amplitude du signal de contrôle

Nous allons maintenant étudier l'impact d'une variation de $\pm 10\%$ de la tension d'entrée V_{in} sur l'émission conduite mesurée en sortie du montage source commune. Les mesures effectuées ont été réalisées suivant 2 configurations. Dans la première configuration, une tension V_{in} commutant de 0 V à sa tension maximale, notée V_{inmax} , de 4.5 V est considérée. Dans la deuxième configuration, une tension V_{in} , commutant de 0 V à $V_{inmax} = 5.5 \text{ V}$ est considérée. La figure 3.16 représente la topologie du circuit pour la mesure des variations de l'émission conduite en fonction d'une variation de la tension V_{in} .

La figure 3.17 représente l'allure des transitions du signal V_{ds} suivant les 2 cas d'études réalisés.

D'après la figure 3.17, on constate un "round shaping" moins prononcé lorsque V_{in} augmente. Ce constat se traduit par une augmentation de V_{gs} qui induit alors un courant drain-source I_{ds} plus élevé. Cette élévation du courant I_{ds} permet une charge plus rapide des capacités parasites et donc un effet "round shaping" moins prépondérant. On constate également que l'augmentation de la tension V_{gs} modifie légèrement le "turn on delay" (voir chapitre 2). En effet, dans le cas où $V_{inmax} = 5.5 \text{ V}$, la tension de seuil est atteinte plus rapidement pour des temps de montée équivalents, comparé au cas où $V_{inmax} = 4.5 \text{ V}$. De même que la tension de seuil est atteinte plus tard pour des temps de descente équivalents. Le montage source commune étant un montage inverseur, cela explique pourquoi plus

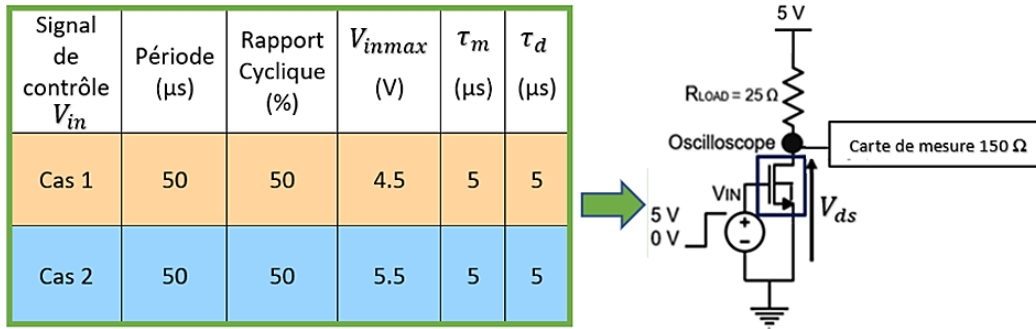


Figure 3.16: Topologie du circuit pour le test de variation d'amplitude du signal V_{in}

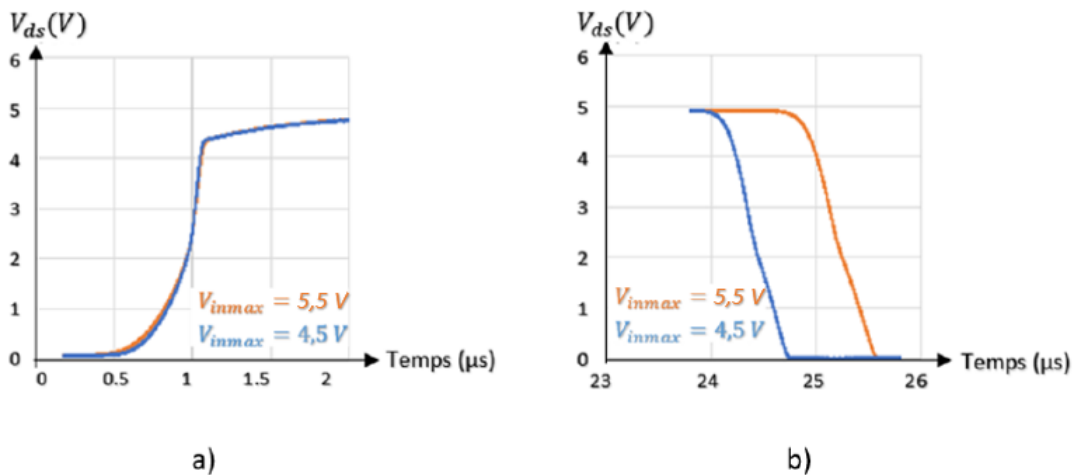


Figure 3.17: Transitions du signal V_{ds} en a) phase montante b) phase descente suivant les différentes valeurs de V_{inmax}

l'amplitude de la tension d'entrée V_{in} augmente (pour des temps τ_m et τ_d fixés), plus le rapport cyclique du signal V_{ds} diminue.

La figure 3.18 représente $S_1(f)$ et $S_2(f)$, la mesure d'émission conduite en sortie du montage source commune, lorsque $V_{inmax} = 4.5$ V et $V_{inmax} = 5.5$ V.

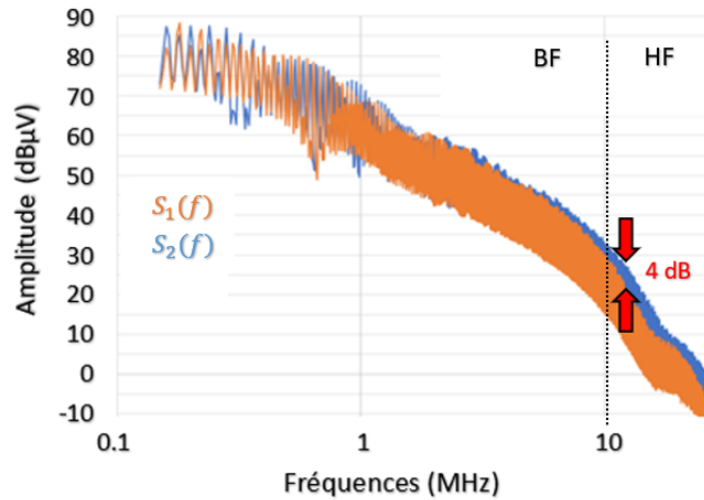


Figure 3.18: Mesure d'émission conduite $S_1(f)$ et $S_2(f)$ lorsque l'amplitude du signal de contrôle varie

La figure 3.18 montre que le niveau d'émission conduite augmente avec l'élévation de l'amplitude du signal d'entrée V_{in} . Ce phénomène est principalement observé en hautes fréquences où les variations maximales peuvent atteindre $4 \text{ dB}\mu\text{V}$. Comme expliqué précédemment, cela est dû à la rapidité de la charge des capacités parasites jouant un rôle crucial sur le "round shaping".

On notera également une faible variation du niveau d'émission conduite en basses fréquences, ce qui est cohérent avec la théorie décrite au chapitre 2 et la mesure des temps de montée et descente des signaux représentés figure 3.17. Cette différence de 0.36 dB n'a aucune conséquence sur le spectre en fréquence.

3.2.5 Effet de la variation des temps de montée et descente du signal de contrôle

Dans cette partie, nous nous intéressons à l'impact d'une variation des temps de montée et de descente du signal d'entrée V_{in} sur l'émission conduite mesurée en sortie du montage source commune. Nous choisissons pour cela une variation de $\pm 20\%$ de ces temps, ce qui constitue en règle générale une variation acceptable d'un point de vue conception.

L'émission conduite en sortie du montage source commune a été mesurée suivant 2 cas. Dans le premier cas, le signal trapézoïdal V_{in} a des temps de montée et de descente de $4 \mu\text{s}$. Dans le second cas, le signal trapézoïdal V_{in} a des temps de montée et de descente égaux à $6 \mu\text{s}$. La figure 3.19 récapitule les valeurs des paramètres du signal V_{in} dans les deux cas considérés.

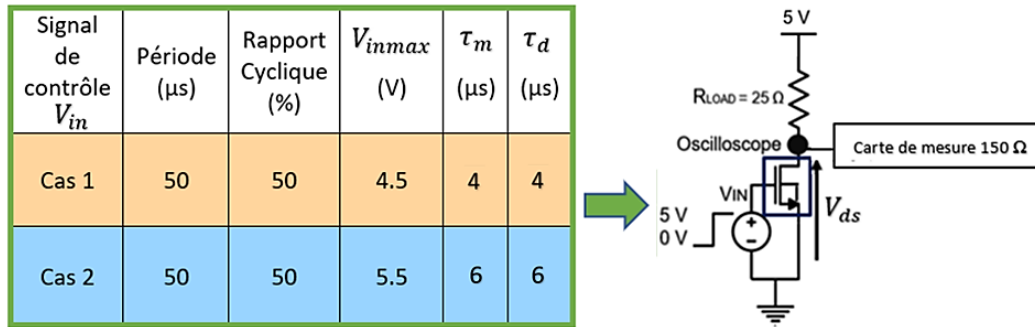


Figure 3.19: Topologie du circuit pour le test de variation des temps de montée et descente du signal V_{in}

Les variations des temps de montée et de descente du signal d'entrée V_{in} ont directement un impact sur l'allure des transitions du signal de sortie V_{ds} , comme décrit figure 3.20.

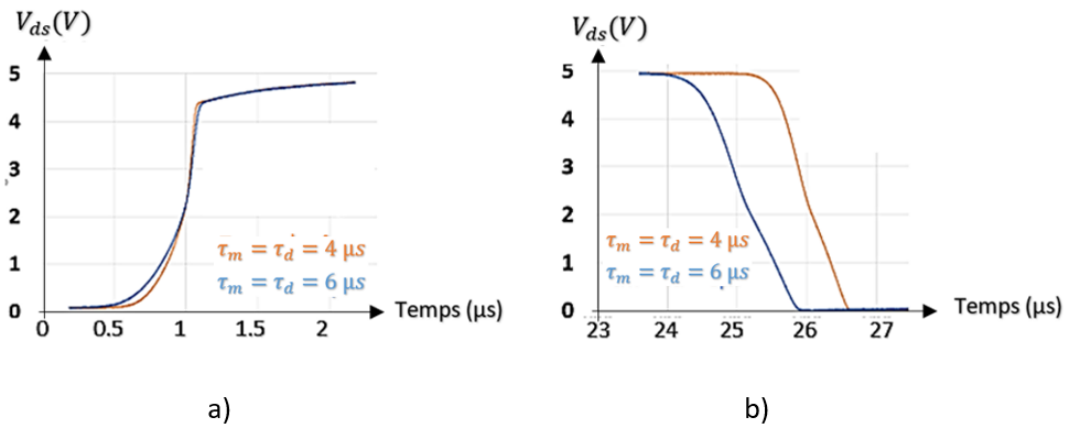


Figure 3.20: Transitions du signal V_{ds} en a) phase montante b) phase descendante suivant une variation des temps de montée et descente du signal V_{in}

Pour un changement de pente de $\pm 20\%$ en entrée on trouve donc un signal de sortie V_{ds} avec des temps de montée et de descente variant de $\pm 20\%$. La figure 3.20, nous montre également que l'effet "round shaping" se trouve beaucoup plus prononcé lorsque les temps τ_m et τ_d du signal V_{in} sont élevés. Cela est dû au fait que l'on charge/décharge plus lentement les capacités parasites à travers une montée/descente plus lente.

La figure 3.21 décrit $S_1(f)$ et $S_2(f)$, représentant respectivement l'émission conduite en sortie du montage source commune lorsque $\tau_m = \tau_d = 4\mu s$ et $\tau_m = \tau_d = 6\mu s$.

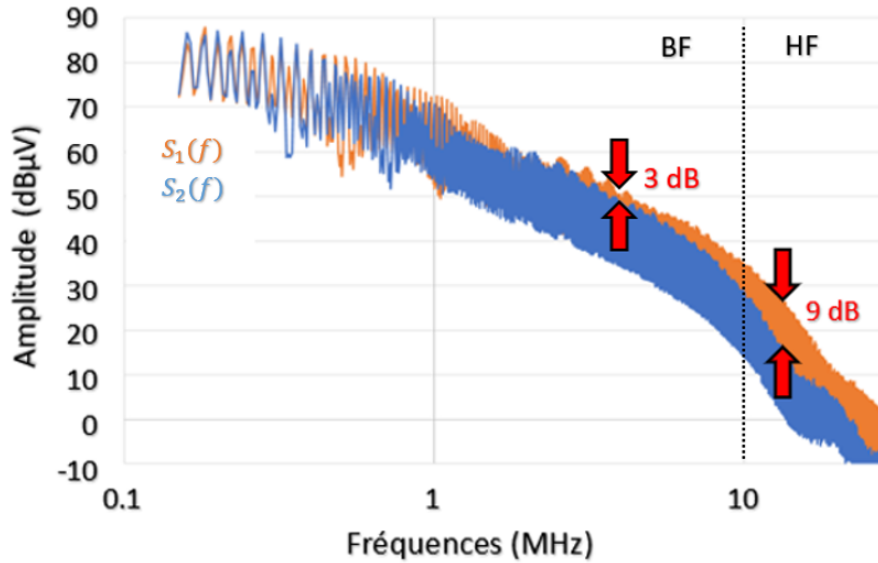


Figure 3.21: Mesure d'émission conduite $S_1(f)$ et $S_2(f)$ lorsque les temps de montée et descente du signal d'entrée varie

On note une variation maximale du niveau d'émission conduite de 9 dB dans le domaine HF pour une variation de $\pm 20\%$ des temps de montée et descente du signal d'entrée V_{in} . Cela s'explique par la différence de "round shaping" suite à la charge/décharge plus ou moins lente des capacités parasites.

On note également une différence de 3 dB en basses fréquences comme attendu en théorie (chapitre 2) et dont l'estimation de la différence maximum de l'enveloppe spectrale est de 3.52 dB.

3.2.6 Effet de la variation de température

Dans cette partie, l'étude de la variation du niveau d'émission conduite en fonction de la variation de température est étudiée. Pour cela, un générateur de température est utilisé permettant de chauffer localement le transistor MOSFET. Les températures étudiées sont les suivantes : -45°C , 0°C , 25°C , 80°C et 135°C .

La figure 3.22 représente l'allure des transitions du signal V_{ds} suivant les températures 0°C et 135°C .

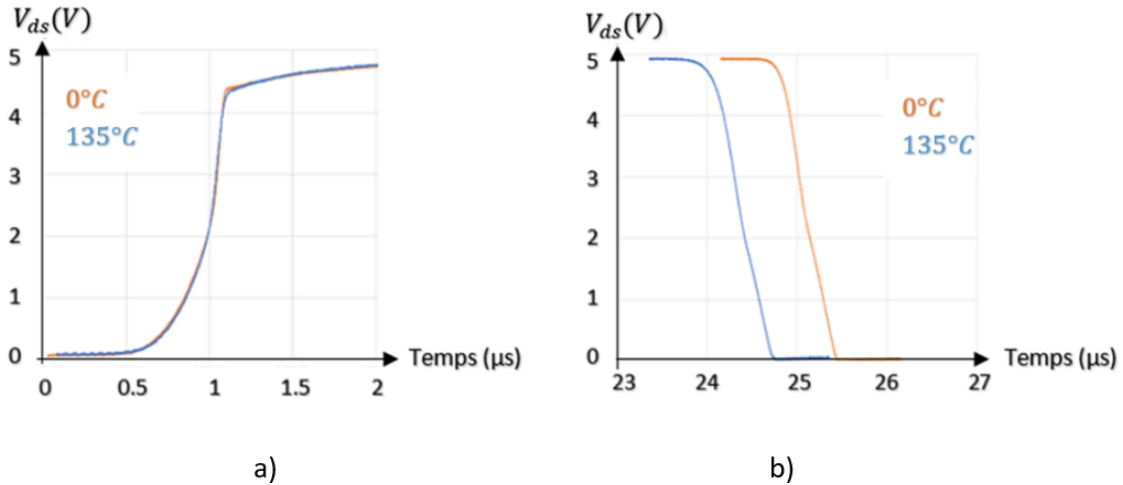


Figure 3.22: a) Temps de montée ; b) Temps de descente, des signaux V_{ds} pour des températures de 0°C et 135°C

D'après la figure 3.22, on note une légère différence du rapport cyclique. Cela est dû aux matériaux utilisés pour la conception des transistors qui affectent la tension de seuil V_{th} . Cette tension diminuant avec l'élévation de la température, elle permet l'ouverture du transistor MOSFET plus rapidement lors de la montée et plus tardivement lors de sa fermeture, générant ainsi un délai. La nature "inverseur" du montage explique pourquoi lorsque la température diminue le rapport cyclique augmente. On constate également que les temps de montée et de descente ne semblent pas concernés par une modification de la température.

La figure 3.23 représente l'émission conduite en sortie du montage source commune pour les températures de -40°C, 0°C, 25°C, 80°C et 135°C.

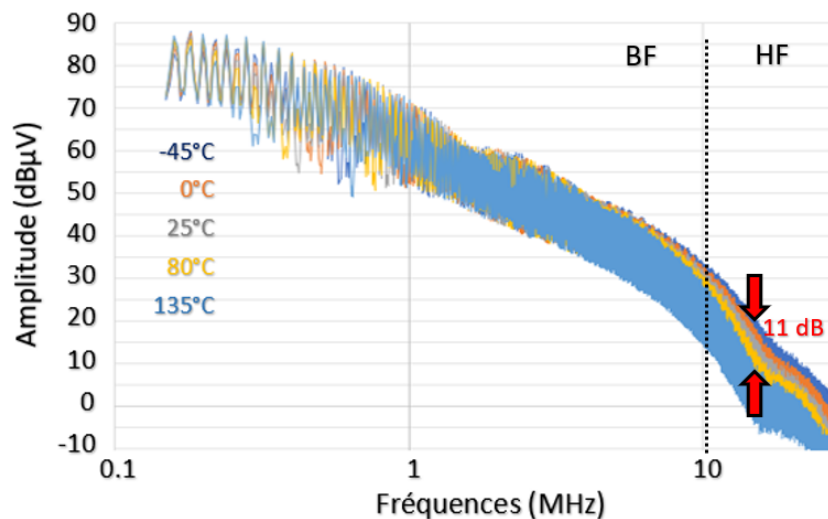


Figure 3.23: Mesure d'émission conduite des signaux suivant une variation de température

3.2.7 Résumé

La figure 3.24 résume l'impact des variations principales des paramètres caractéristiques du signal de sortie du montage source commune étudié dans ce chapitre sur le niveau d'émission conduite.

La variation maximale du niveau d'émission conduite possible est caractérisée selon 3 critères en fonction du domaine de fréquences (BF ou HF).

Ces critères sont :

- Fort (>6 dB),
- Intermédiaire (3-6 dB), noté Int dans la figure 3.24
- Faible (<3 dB).

	Changement de lot d'un transistor MOSFET		Tension d'alimentation		Amplitude maximale du signal d'entrée		Temps de montée et descente du signal d'entrée		Température	
			➔		➔		➔		➔	
Domaine de fréquences	BF	HF	BF	HF	BF	HF	BF	HF	BF	HF
Impact sur l'émission conduite			➔		➔		➔		➔	
Degré d'impact	Faible	Int	Faible	Fort	Faible	Int	Int	Int	Fort	Faible

Figure 3.24: Récapitulatif de toutes les variations observées du niveau d'émission conduite selon des variations de paramètres électriques

D'après la figure 3.24, on remarque que la température et les temps de montée et de descente du signal d'entrée sont les paramètres qui influencent le plus l'émission conduite du circuit test. On constate également que la bande de fréquence la plus sensible à une variation d'émission conduite est la bande des hautes fréquences. Enfin, notons qu'une différence de niveau d'émission conduite d'une dizaine de dB peut facilement exister entre 2 circuits semblables. Une telle différence d'amplitude remet complètement en cause les marges de sécurité vis-à-vis des niveaux d'émission et d'immunité.

3.3 Conclusion

Dans cette partie, nous avons présenté des résultats de mesures sur les effets de variations PVT sur le niveau d'émission conduite d'un montage "source commune". Les résultats ont montré que la température ainsi que la variation des pentes du signal de sortie de ce circuit peuvent affecter fortement les hautes fréquences, c'est-à-dire les fréquences supérieures à f_{c3} , où $f_{c3} = \frac{1}{\pi \cdot \tau_{min}}$, tandis que la variation des différentes tensions du montage étudié affecte à degré moindre les basses fréquences (inférieures à f_{c3}). Un paramètre tel que la température peut, à lui tout seul, faire varier d'environ 10 dB le niveau d'émission conduite.

De plus les résultats ont montré que suivant la référence des transistors utilisés, le niveau d'émission conduite pouvait être largement modifié (30 dB observé). Cependant, les mesures des transistors issus d'un même lot n'ont montré aucun impact sur le niveau d'émission conduite. Les transistors de même référence mais issus de lot différent peuvent toutefois présenter un niveau spectral légèrement modifié (3 dB observé).

Ainsi, la variation autorisée des paramètres caractéristiques des signaux en sortie du montage source commune (période, rapport cyclique, temps de montée et descente, amplitude) implique une variation du niveau d'émission conduite, qui n'est, à l'heure actuelle, jamais simulée et mesurée.

Si cette variation peut être facilement établie en basses fréquences, notamment à partir des équations de Fourier, elle reste difficilement estimable en hautes fréquences : l'impact du round shaping devenant important. Comme il n'existe aucune façon de quantifier cet aspect, sa variation suivant les variations PVT peut être importante, comme a démontré l'étude réalisée dans ce chapitre.

Chapitre 4:
**Impact des variations de paramètres
électriques sur le niveau d'émission
conduite dans un montage drain
commun d'un transistor MOSFET
pour des applications automobiles**

Afin d'améliorer les performances CEM dans les applications automobiles, et dans le but de contrôler la charge des capacités de grille des transistors à effet de champ utilisés généralement en montage drain commun, des contrôles en courant sont souvent utilisés. Ils permettent la charge et la décharge de la capacité de grille du transistor MOSFET à travers un courant de charge optimisé. Ce profil garantit le meilleur compromis entre les pertes de puissance (maintien des temps de montée et de descente) et les émissions électromagnétiques en hautes fréquences par l'intermédiaire de l'effet des arrondissements des angles du signal.

Ce chapitre met en évidence les effets des variations de procédé de fabrication sur l'émission conduite d'un contrôleur d'un transistor MOSFET en montage drain commun pour des applications automobiles. En effet, les variations PVT ayant lieu dans ce type de circuit peuvent influencer le comportement du profil de courant optimisé et ainsi induire une modification du niveau d'émission conduite.

Un phénomène transitoire très bref et de faible amplitude a été observé à travers des simulations et des mesures générant une différence importante du niveau d'émission conduite. Une étude théorique qui établit le lien entre ce signal de sortie et ce niveau est menée.

4.1 Profil de courant optimisé pour la réduction du niveau de l'émission conduite en sortie d'un montage drain commun

Précédemment, nous avons vu que les niveaux d'émission générés par des signaux en sortie d'une cellule de commutation doivent être minimisés pour assurer une bonne CEM. Pour les réduire, on peut utiliser des solutions externes au circuit intégré telles que les techniques de filtrage, des circuits d'absorption d'énergie pendant les résonances de type "snubbers" ou encore des blindages spécifiques [73] [74]. Ces solutions, bien qu'efficaces, ne peuvent pas être intégrées sur une puce à cause de leurs tailles excessives. D'un autre côté, dans les domaines comme l'automobile, une concurrence sans merci est lancée pour réduire le coût lié aux composants externes présents dans un circuit tout en améliorant les performances électromagnétiques. La seule et unique solution qui reste envisageable est alors de réduire le bruit à la source.

Nous avons vu dans les chapitres précédents qu'une commutation avec un "round shaping" prononcé permettait une réduction conséquente du niveau d'émission conduite. Or, l'utilisation d'un tel signal en sortie d'un transistor MOSFET n'est possible qu'à la condition de pouvoir contrôler le signal appliqué entre grille et source.

Dans ce chapitre nous parlerons du courant de charge de grille, capable de modifier le signal de sortie et donc le niveau d'émission conduite. Pour mettre en œuvre de telles transitions sur le signal de sortie d'un transistor MOSFET, une boucle fermée analogique est souvent utilisée. Cette dernière permet le contrôle de la transition du signal suivant

une forme théorique définie préalablement comme la forme sinusoïdale [75] ou la forme gaussienne [76] [77] [78]. Les temps de commutations sont alors mesurés, comparés au signal de référence, et le signal de grille est ajusté pour minimiser l'erreur. Le contrôle des transitions peut également se faire à partir des dérivées successives du signal étudié [79]. Afin de réduire les coûts de fabrication, l'utilisation d'une boucle ouverte est d'avantage préférée. Cette stratégie consiste à charger et décharger la grille du MOSFET par un profil de courant optimisé. Il n'y a donc pas de système de compensation, ni de signal de référence. En raison du compromis entre la CEM et les pertes de puissance, un simple courant constant peut ne pas être suffisant pour respecter les limites de spécification [80] à [83]. Le profil de courant optimisé est décomposable en plusieurs phases décrites ci-dessous :

- Une phase de précharge servant à charger le plus rapidement possible la grille du transistor MOSFET.
- Une phase de lissage des angles de commutations ON/OFF "round shaping".
- Une phase de maintien des temps de montée/descente.
- Une phase de charge complète de la grille dans le but de réduire le délai des commutations.

Un exemple d'utilisation de ce profil est décrit sur la figure 4.1. Ce genre de profil est par exemple utilisé par NXP pour la commutation des ampoules halogènes des voitures.

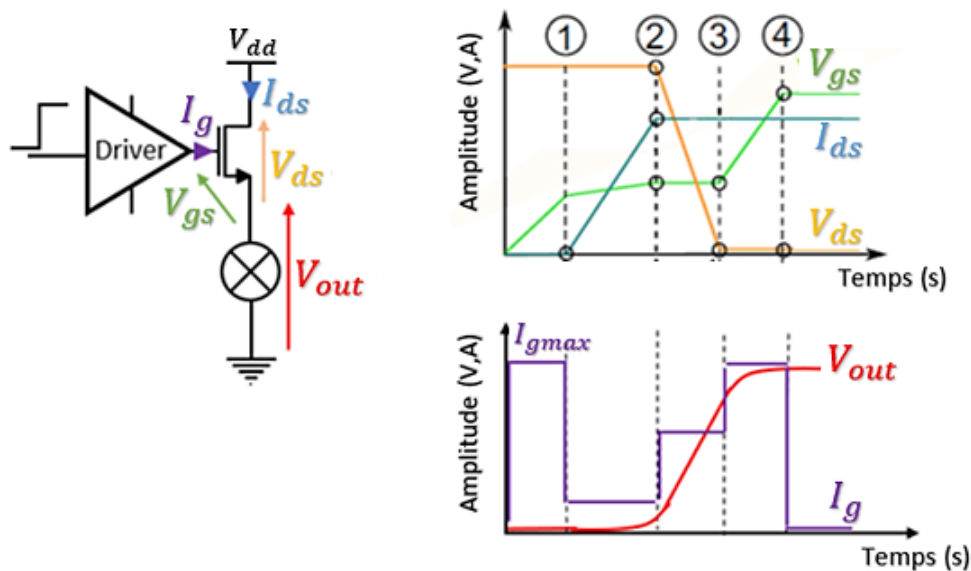


Figure 4.1: Transition des différents signaux lors de la mise ON du transistor MOSFET [80]

Un premier courant de forte amplitude nommée I_{gmax} est utilisé pour charger la grille et limiter le délai lors de la mise sous tension, c'est la phase de précharge (voir figure 4.1). La grille se charge alors jusqu'à la tension de seuil V_{th} de la caractéristique de grille du transistor. Ensuite, on utilise un deuxième courant, plus faible, dont le but est

de lisser le début de la transition ON/OFF limitant les fortes variations de tension du signal de sortie V_{out} afin de réduire le niveau d'émission conduite en hautes fréquences. Le courant de drain I_{ds} passe alors de 0 à sa valeur maximale, noté I_{dsmax} . Lorsque I_{dsmax} est atteint, un troisième courant est utilisé pour contrôler le temps de montée de V_{out} , noté τ_m . La valeur de ce courant dépend du compromis entre les pertes de puissance et la CEM. Il est généralement choisi en fonction de la limite de spécification. Lorsque V_{ds} atteint 0, un courant élevé est utilisé pour réduire le temps de commutation. Ces phases sont également présentes pour la transition OFF du transistor. On notera qu'il est inutile d'utiliser un courant de lissage pour la partie haute de la commutation puisque les capacités parasites notamment C_{gd} agissent déjà comme un filtre naturel. La durée de chaque phase et la quantité de courant sont généralement estimées par simulation. Pour s'assurer d'un profil de courant optimal, il semble évident que ces deux paramètres doivent être le moins sensibles possible aux variations PVT. En effet, comme expliqué au chapitre 1, ces variations peuvent compromettre la bonne fonctionnalité du système d'un point de vue CEM. Nous avons donc voulu à travers ce dernier chapitre démontrer l'importance de considérer les variations de process d'un système électronique complexe pour des mesures d'émission conduite.

4.2 Présentation du circuit test et de ses spécificités

4.2.1 Circuit sous test

Le circuit sous test est un contrôleur de grille d'un transistor à effet de champ en montage drain commun. Ce circuit est utilisé pour remplacer les relais d'allumages des feux de croisement, dans un véhicule. Il a été développé par NXP et qualifié selon la norme appropriée AECQ100 (Automotive Electronics Council) [84]. Son schéma de principe est présenté sur la figure 4.2.

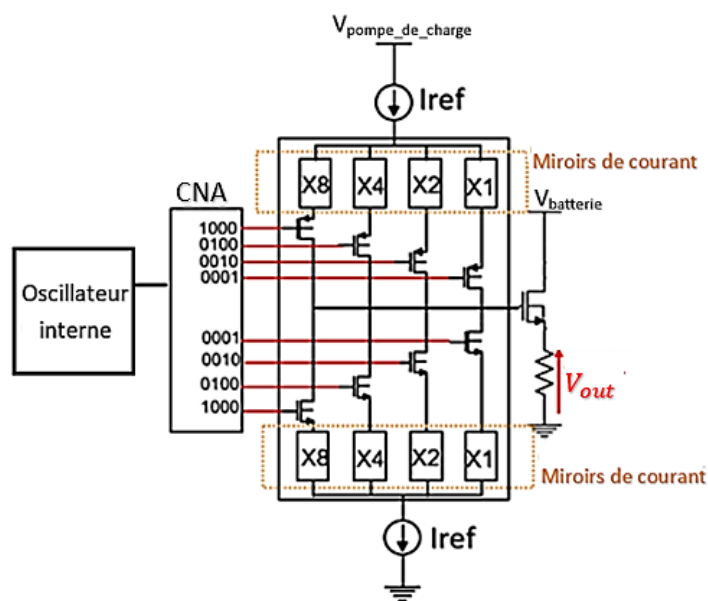


Figure 4.2: Topologie de la partie commande du circuit

Le circuit sous test est composé de quatre circuits de contrôle identiques commandés par une interface de communication série de type SPI (Serial Peripheral Interface). Chacune de ses quatre sorties est composée de sources de courant pouvant tirer la tension de grille vers la tension d'alimentation (pull up), ou encore tirer cette même tension de grille à la masse (pull down). L'activation de ces sources de courant se fait à l'aide d'un convertisseur numérique analogique (CNA) [85]. L'architecture de ce mode de contrôle en courant est basée sur la conception d'une source de courant invariante dans le temps. Cette source est copiée n fois par l'intermédiaire de miroirs de courant avec des gains différents pour créer plusieurs branches de contrôle dans l'optique de pouvoir optimiser les différentes phases de courant décrites dans la figure 4.1.

La période de temps nécessaire pour chaque phase de courant dépend de la programmation du CNA. Ce dernier est contrôlé par une horloge correspondant généralement à un oscillateur interne.

L'alimentation du drain provient d'une batterie (ici 24 V). Le driver est quant à lui alimenté par une pompe de charge permettant d'avoir une tension supérieure à celle de la batterie, nécessaire au bon fonctionnement de ce type de montage.

La programmation du CNA a été optimisée de façon à réduire l'émission conduite à travers un profil de courant tel que décrit sur la figure 4.2. Cette partie numérique est monitorée par un oscillateur RC interne de 42.24 MHz. La méthode 150 Ω est insérée dans la carte de test. Cette carte est représentée figure 4.3.

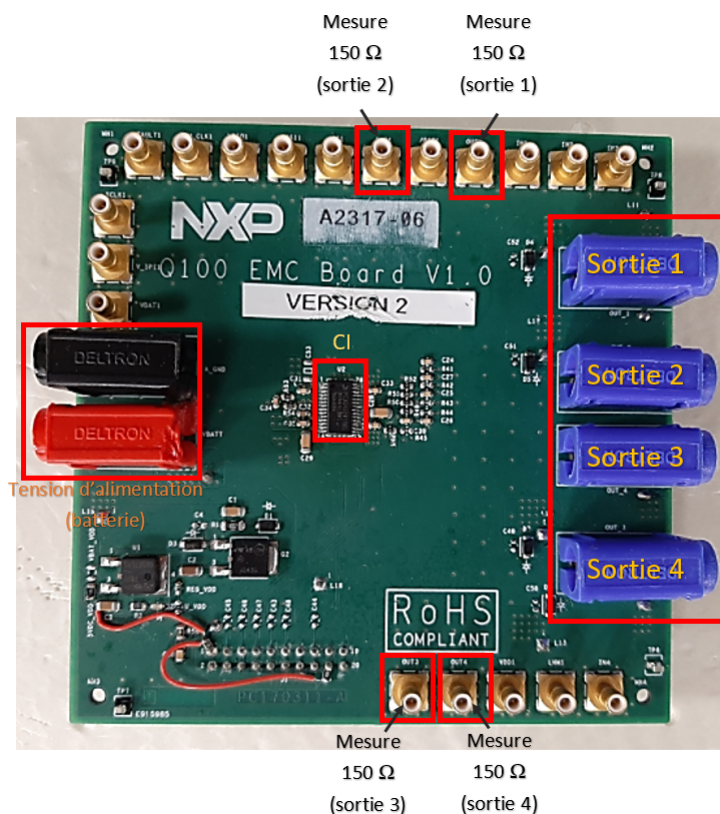


Figure 4.3: Carte de test

Notons que le passage de la phase 1 à la phase 2 du courant de précharge comme décrit figure 4.1, est réalisé à l'aide d'un comparateur dont le schéma de principe est donné sur la figure 4.4. Lors de la mise ON du transistor MOSFET, le courant I_{gmax} est automatiquement généré, et, est maintenu jusqu'à ce qu'un signal noté "comp" soit actif sur front montant de l'horloge interne (oscillateur RC), noté "Clk".

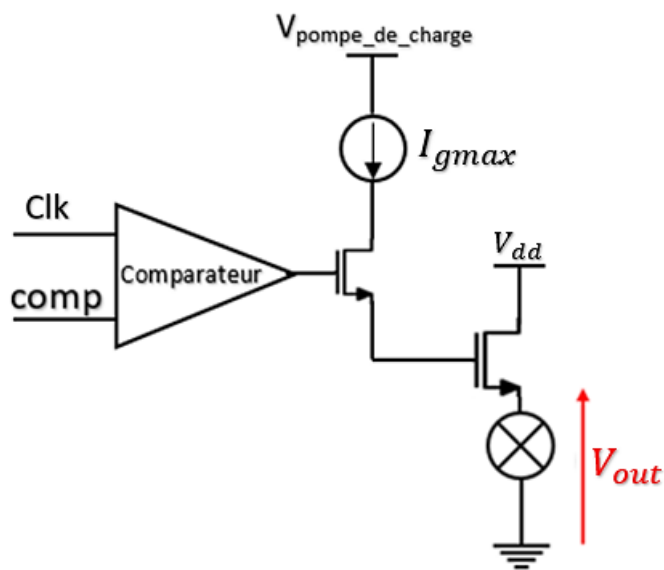


Figure 4.4: Contrôle du courant de précharge par l'utilisation d'un comparateur

Le temps à partir duquel le signal "comp" devient actif a été défini au préalable par simulation. La figure 4.5 représente les chronogrammes des différents signaux I_{gmax} , comp et Clk.

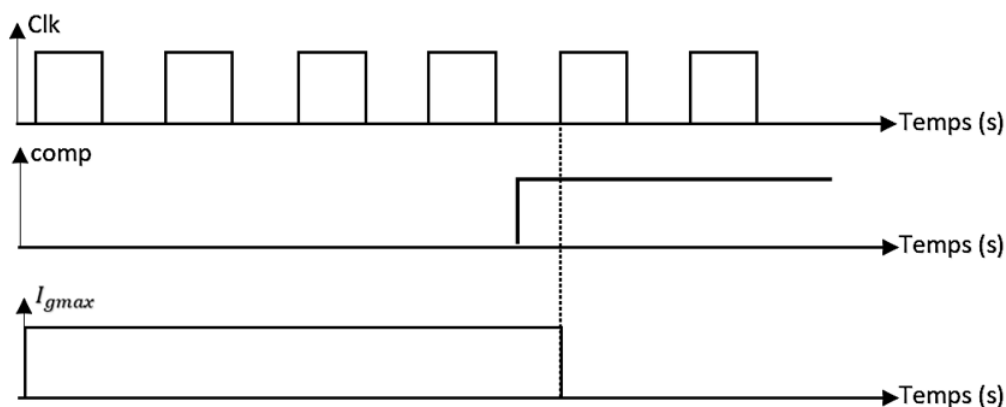


Figure 4.5: Chronogramme des signaux Clk, comp et I_{gmax}

La position du premier front d'horloge lorsque la commande "comp" est active est d'une importance cruciale puisqu'elle définit la durée d'établissement du courant I_{gmax} .

4.2.2 Configuration du montage de test

Le montage de test du circuit est présenté sur la figure 4.6. Il est composé d'un analyseur de spectre adapté pour les applications CEM (appelé classiquement "EMI"), d'un oscilloscope pour la visualisation du signal de sortie V_{out} , d'une batterie 24 V. Le pilotage de la carte se fait par une interface de communication SPI.

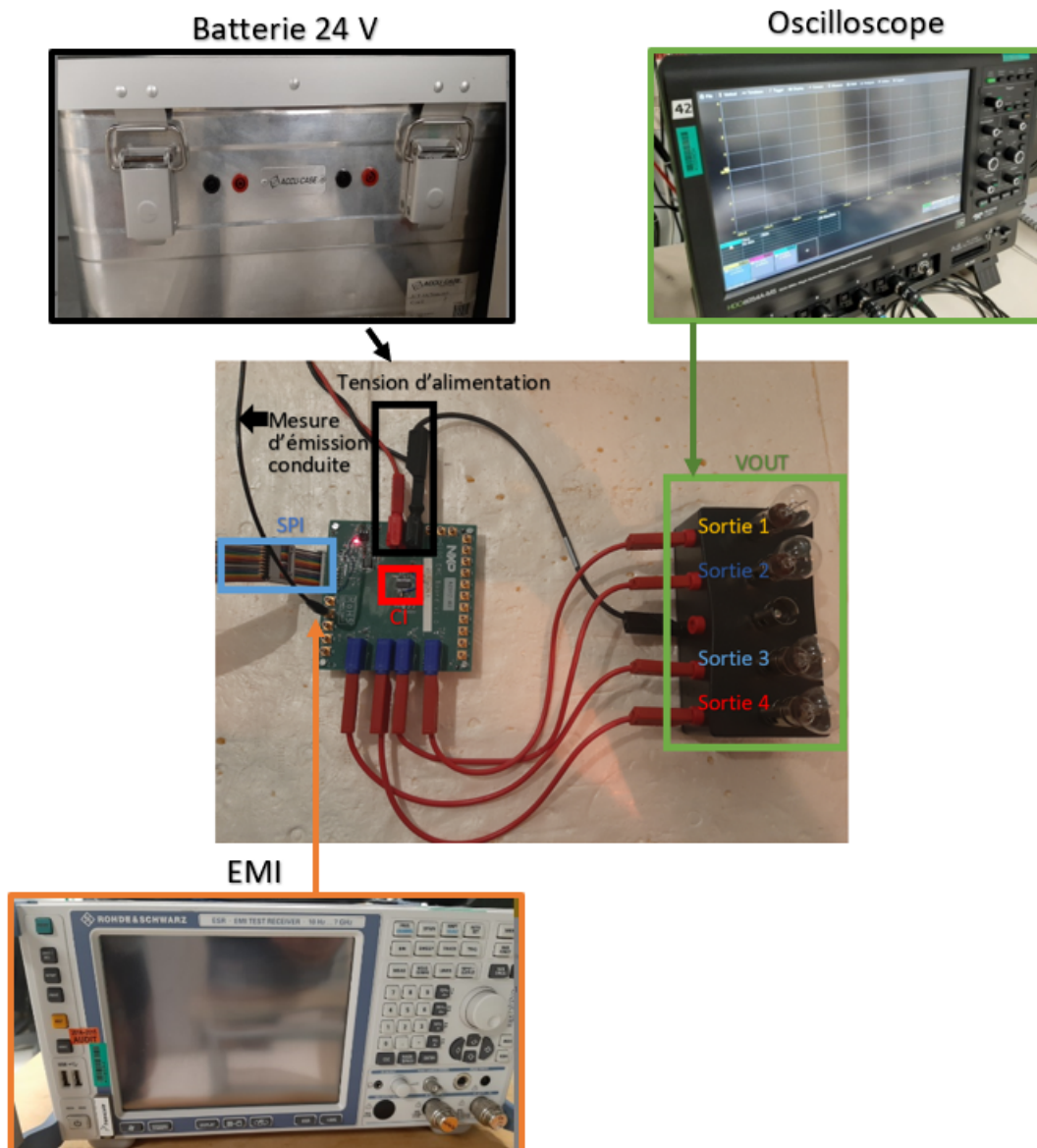


Figure 4.6: Configuration du montage de test

Pour rappel la méthode 150Ω est directement inséré dans la carte de test.

Dans le but de comprendre et de quantifier l'impact des variations de procédé de fabrication sur le niveau d'émission conduite, différentes mesures ont été établies dans des configurations et des conditions environnementales similaires comme l'utilisation d'un même PCB (Printed Circuit Board).

4.3 Mesures des variations PVT et impact sur le niveau de l'émission conduite

Dans cette partie nous nous intéresserons aux mesures des quatre sorties V_{out} des drivers ainsi que leurs impacts sur le niveau d'émission conduite.

Ces tests ont été réalisés sur des CIs issus d'un même lot ainsi que de lots différents de façon à mettre en évidence les variations de procédés de fabrication. Nous ferons également une étude en température.

Il est intéressant de noter que tous les CIs utilisés ont fait l'objet d'étude au préalable (test des puces définis dans le chapitre 1) et ont permis de garantir le maintien des principaux paramètres d'un signal commuté, présenté dans le chapitre 2.

4.3.1 Mesures d'émission conduite des sorties des quatre drivers Drain Commun

Les signaux électriques issus de chaque sortie des 4 montages de commutation au sein d'une même puce ont été mesurés dans le domaine temporel. Les paramètres principaux de ces signaux sont regroupés dans le tableau 4.1 et le pourcentage de leur variation reporté dans le tableau 4.2.

IC1	Période (μs)	Rapport Cyclique (%)	Temps de montée (μs)	Temps de descente (μs)	Amplitude Maximum V_{out} (V)
Driver 1	956.7	51.7	26.1	27.2	26.29
Driver 2	956.7	51.7	28.8	30.5	26.2
Driver 3	956.7	51.7	28.7	30	26.2
Driver 4	956.7	52	29.8	31.5	26.2

Table 4.1: Valeurs des différents paramètres mesurés de V_{out} sur IC1

IC1	Variation maximale de la Période (%)	Variation maximale du Rapport Cyclique (%)	Variation maximale du Temps de montée (%)	Variation maximale du Temps de descente (%)	Variation maximale de l' Amplitude Maximum V_{out} (%)
Driver 1 à 4	0	0.6	12.4	13.7	0.3

Table 4.2: Pourcentage de variation des différents paramètres mesurés

L'analyse de ces résultats montre que les 4 signaux de sorties des drivers semblent globalement identiques.

Associée à ces mesures temporelles, la mesure de l'émission conduite utilisant la méthode $150\ \Omega$ a été réalisée sur chacune des sorties du circuit. La figure 4.7 présente les résultats obtenus. Pour les mêmes raisons que précédemment, les mesures sont réalisées jusqu'à 10 MHz. Au-delà le niveau de bruit de l'appareil est trop important et ne permet plus de mesurer l'émission conduite du circuit.

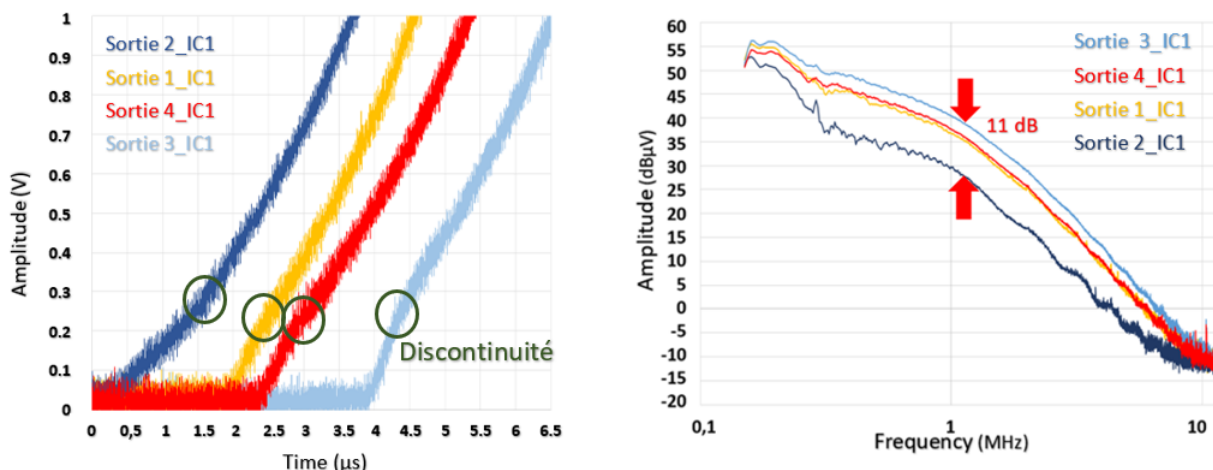


Figure 4.7: Emission conduite des différentes sorties de IC1

On constate sur la figure 4.7 une différence relativement importante pouvant atteindre 11 dB du niveau d'émission conduite selon la sortie mesurée.

Cette différence ne peut pas être expliquée par les variations mesurées dans les tableaux 4.1 et 4.2. En effet, en se basant sur la théorie décrite dans le chapitre 2, on trouve une variation maximale d'environ 1.25 dB.

Observation du round shaping et de son impact fréquentiel

En analysant le début des commutations, de chaque driver, nous avons pu relever l'apparition d'une discontinuité du temps de montée. Cette discontinuité crée un "saut", pouvant être plus ou moins important, entre le début de la commutation et le temps de montée. Ce phénomène, observable sur la figure 4.8 semble jouer un rôle majeur sur le niveau d'émission conduite du circuit testé.

D'après la figure 4.8, le signal de sortie du driver 2 ne semble pas être impacté par l'apparition du "saut". Le temps de montée de la commutation se fait donc en douceur (effet round shaping), ce qui explique un niveau d'émission conduite bien meilleur. Les signaux de sorties des drivers 1 et 4 semblent quant à eux, avoir un "saut" similaire ce qui explique leur similitude du point de vue du niveau d'émission conduite. Enfin, la durée du "saut" sur le signal de sortie du driver 3 étant plus courte que les autres et d'amplitude relativement plus élevée, cela explique l'augmentation du niveau d'émission conduite. La durée et l'amplitude du "saut" ont été mesurées et définies dans le tableau suivant 4.3.

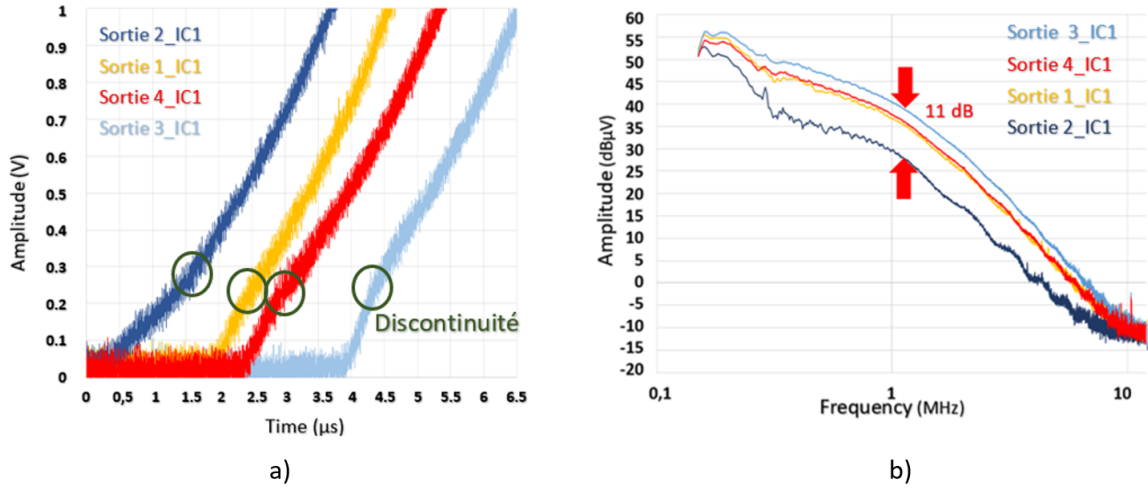


Figure 4.8: a) Observation du “saut” au début de chaque transition de montée de V_{out} et b) son impact sur le niveau d’émission conduite pour chaque driver de IC1

IC1	Période (μs)	Rapport Cy-clique (%)	Temps de montée (μs)	Temps de descente (μs)	Amplitude Maximum V_{out} (V)	Durée du “saut” (ns)	Amplitude Maximum du “saut” (V)
Driver 1	956.7	51.7	26.1	27.2	26.29	400	0.22
Driver 2	956.7	51.7	28.8	30.5	26.2	—	—
Driver 3	956.7	51.7	28.7	30	26.2	300	0.25
Driver 4	956.7	52	29.8	31.5	26.2	400	0.22

Table 4.3: Valeurs des différents paramètres mesurés de V_{out} sur IC1

Il est également important de noter que le niveau d’émission conduite des sorties 1, 3 et 4 des drivers dépassent l’enveloppe spectrale estimée par rapport à celui issu d’un signal trapézoïdal parfait, c’est-à-dire sans effets “round shaping”, comme le montre la figure 4.9 à travers la sortie 3. Ce dépassement a lieu sur une large bande de fréquence (150 kHz à 12 MHz) dont la variation maximale est estimée à 13 dB. Ceci montre à nouveau qu’une mauvaise maîtrise du “round shaping” peut dégrader le niveau d’émission conduite au-delà des limites attendues.

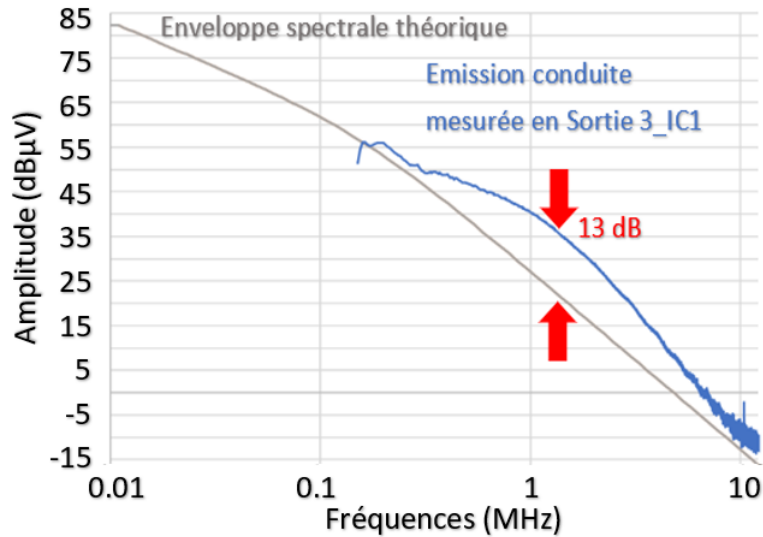


Figure 4.9: Comparaison de l'émission conduite mesurée avec le spectre d'enveloppe théorique

4.3.2 Explication de l'apparition du phénomène de “saut” et son impact sur l'émission conduite du signal de sortie du montage drain commun

Dans ce chapitre, nous allons expliquer la cause de l'apparition du “saut” et démontrer l'impact théorique que celui-ci génère sur l'enveloppe spectrale d'un signal trapézoïdal afin de comprendre et d'anticiper les variations du niveau d'émission conduite des signaux observés précédemment en sortie du montage drain commun. Le profil de courant de charge de grille I_g , nécessaire au bon fonctionnement du système, n'est pas forcément identique suivant l'échantillon de composant testé. En effet, des variations PVT peuvent conduire à une modification du profil souhaité. De la même façon, le transistor MOSFET peut recevoir plus ou moins de courant. La figure 4.10 illustre l'impact des variations PVT sur le courant de charge de grille et l'impact que celui-ci génère sur la tension de sortie V_{out} et donc sur son niveau d'émission conduite.

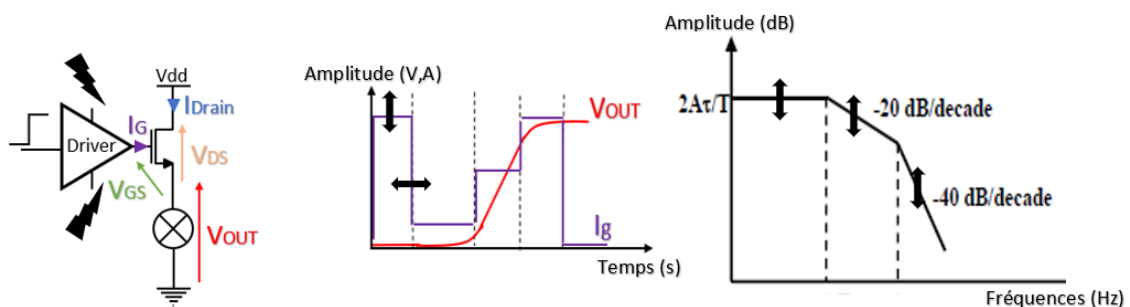


Figure 4.10: Impact des variabilités PVT sur le signal de sortie V_{out} et son enveloppe spectrale

Si le courant de précharge est trop important alors un petit “saut” apparait sur le signal de sortie. En effet, la seconde phase décrite dans la figure 4.1, vient rajouter une partie du courant de précharge au faible courant de contrôle initialement prévu pour réduire le niveau d’émission conduite. Le signal de sortie V_{out} sera donc modifié formant alors un signal plus ou moins trapézoïdal, possédant trois pentes. La durée de cette phase est relativement courte. Plus le courant de précharge sera grand devant le courant nécessaire à la bonne commutation du transistor MOSFET et plus l’impact du “saut” sur l’émission conduite sera important. La figure 4.11 décrit ce nouveau signal.

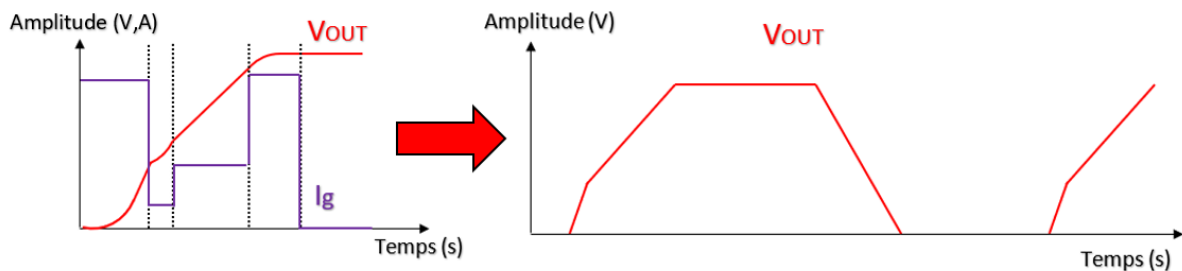


Figure 4.11: Formation d’un signal trapézoïdal à 3 pentes

Afin de connaître l’allure de l’enveloppe spectrale d’un tel signal, nous utilisons le développement théorique basé sur la transformée de Fourier discrète (DFT).

Développement théorique de l’impact du “saut” sur l’enveloppe spectrale

Un signal trapézoïdal à 3 pentes, noté $S(t)$ peut être réalisé à partir de 2 signaux convolués comme décrit sur la figure 4.12. Lors de la mise ON, $\beta_1(t)$ est considéré être la somme de deux fonctions impulsions dont les amplitudes sont respectivement $\frac{A-B}{A \cdot \tau_m}$ et $\frac{B}{A \cdot \tau_s}$ de durées respectives notées τ_m et τ_s .

τ_s représente la durée de l’impact du saut, et τ_m le temps de montée.

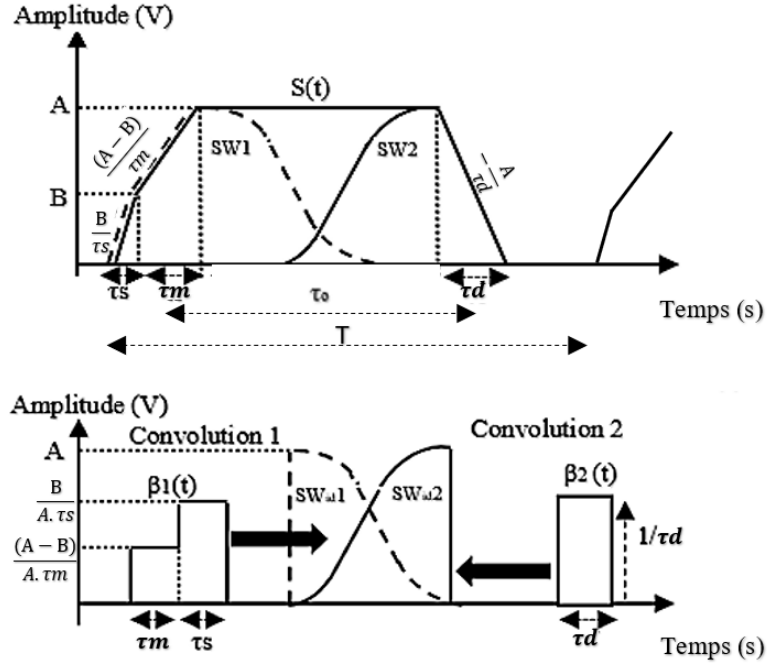


Figure 4.12: Décomposition d'un signal "trapézoïdal" à 3 pentes suivant la somme de deux convolutions

A partir de [54], $\beta_1(f)$ et $\beta_2(f)$ peuvent être définies par les équations 4.1 et 4.2.

$$\beta_1(f) = \frac{A-B}{A} \cdot \text{sinc}(\pi \cdot f \cdot \tau_m) + \frac{B}{A} \cdot \text{sinc}(\pi \cdot f \cdot \tau_s) \quad (4.1)$$

$$\beta_2(f) = \text{sinc}(\pi \cdot f \cdot \tau_d) \quad (4.2)$$

τ_d représente le temps de descente du signal $S(t)$.

Comme le signal est périodique, son enveloppe spectrale, notée $Enveloppe[S(f)]$, est obtenue pour les valeurs pics les plus élevés des harmoniques successives du spectre fréquentiel de $S(t)$, noté $S(f)$. D'après la théorie décrite dans le chapitre 2 et [54], on obtient alors l'équation suivante 4.3.

$$Enveloppe[S(f)] = \frac{2 \cdot A}{\pi \cdot f \cdot T} \cdot \left[\text{sinc}(\pi \cdot f \cdot \tau_d) + \frac{A-B}{A} \cdot \text{sinc}(\pi \cdot f \cdot \tau_m) + \frac{B}{A} \cdot \text{sinc}(\pi \cdot f \cdot \tau_s) \right] \quad (4.3)$$

La construction graphique de l'expression 4.3 est décrite sur la figure 4.13.

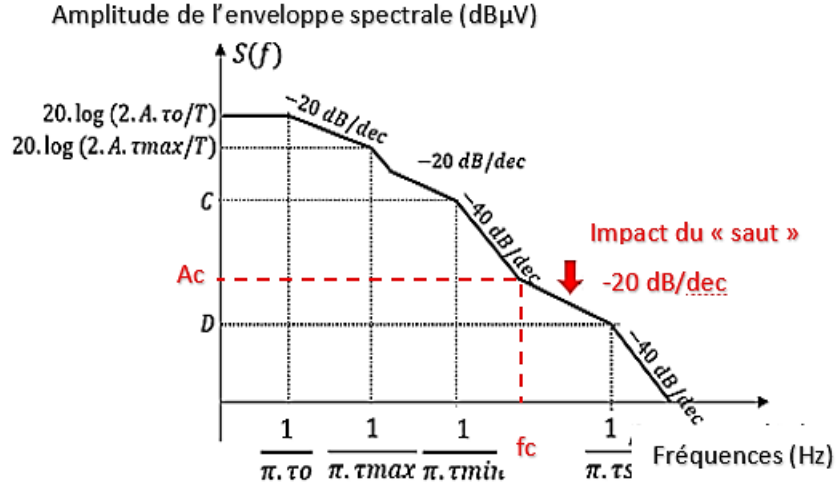


Figure 4.13: Représentation spectrale d'un signal "trapézoïdal" à 3 pentes

$Enveloppe[S(f)]$ est composée de quatre fréquences de coupures :

$$f_{c1} = \frac{1}{\pi \cdot \tau_0}, f_{c2} = \frac{1}{\pi \cdot \tau_{max}}, f_{c3} = \frac{1}{\pi \cdot \tau_{min}}, f_{\tau_s} = \frac{1}{\pi \cdot \tau_s}. \quad (4.4)$$

τ_{max} représente la valeur maximale entre τ_m et τ_d , soit $\tau_{max} = \max(\tau_m, \tau_d)$ et τ_{min} , la valeur minimale entre τ_m et τ_d , soit $\tau_{min} = \min(\tau_m, \tau_d)$.

C représente l'amplitude de l'enveloppe spectrale à f_{c3} , équivalent à :

$$C = 20 \cdot \log\left(\frac{2 \cdot A \cdot \tau_{min}}{T}\right) - 6 + 20 \cdot \log\left(1 + \frac{\tau_{min}}{\tau_{max}}\right) \quad (4.5)$$

L'impact du "saut" modifie donc l'enveloppe spectrale du signal. En effet, ce phénomène induit une pente supplémentaire en hautes fréquences qui décroît seulement de -20 dB par décade contrairement au signal trapézoïdal dit parfait qui présente une pente de -40 dB par décade. La connaissance de la durée et de l'amplitude du "saut" permet de déterminer f_s et son amplitude D associée :

$$D = 20 \cdot \log\left(\frac{2 \cdot A \cdot \tau_s^2}{T}\right) + 20 \cdot \log\left(\frac{1}{\tau_{max}} + \frac{A - B}{A \cdot \tau_{min}} + \frac{B}{A \cdot \tau_s}\right) \quad (4.6)$$

A partir des équations établies précédemment, il est possible de trouver la fréquence f_c pour laquelle la première pente de -40 dB par décade du spectre fréquentiel et celle de -20 dB par décade due à l'apparition du "saut" se croisent.

Ainsi, on obtient :

$$f_c = 10^{-\left(\frac{x-y}{20}\right)} \quad (4.7)$$

Avec $x = D + 20 \cdot \log(f_{\tau_s})$ et $y = D + 40 \cdot \log(f_{c3})$.

Nous pouvons également définir l'amplitude à la fréquence f_c , notée A_c :

$$A_c = C + 40. \log\left(\frac{f_c^3}{f_c}\right) \quad (4.8)$$

Afin de comparer l'enveloppe spectrale théorique et la mesure d'émission conduite, nous devons prendre en considération l'influence de la carte de mesure 150Ω . Ainsi l'expression finale de la tension mesurée à l'analyseur de spectre s'écrit :

$$V_{EM\text{eff}}(f) = \text{Enveloppe}[S(f)] + 20. \log(2.R_2.C.\pi.f) - 10. \log[1 + (2.\pi.f)^2.C^2.(R_1 + R_2)^2] - 20. \log(\sqrt{2}) \quad (4.9)$$

4.3.3 Estimation du niveau d'émission conduite à partir des données temporelles théoriques du signal de sortie

D'après le tableau 4.3, l'amplitude du "saut" lors de la montée du signal de sortie du driver 3 de IC1 et sa durée permettent de déterminer une fréquence de coupure $f_{\tau_s} = 1,06$ MHz et une amplitude associée de $D = 38,3$ dB μ V.

Les équations 4.7 et 4.8 permettent de définir la fréquence f_c correspondant aux intersections des droites -40 dB par décade et -20 dB par décade dans le plan logarithmique et son amplitude associée :

$$\begin{aligned} f_c &= 360 \text{ kHz} \\ A_c &= 48 \text{ dB}\mu\text{V} \end{aligned}$$

Ces valeurs sont cohérentes avec celles mesurées par projection graphique des différentes asymptotes de l'enveloppe spectrale du signal, décrit par la figure 4.14.

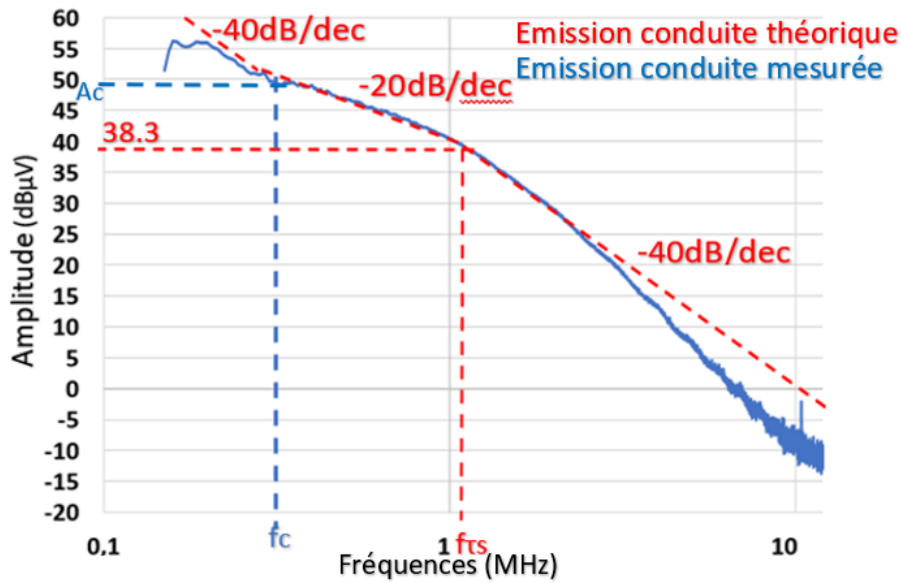


Figure 4.14: Mesure d'émission conduite en sortie du driver 3 et impact de l'effet du "saut"

4.3.4 Mesures d'émission conduite des sorties des quatre drivers drain commun selon différents CIs provenant d'un même lot

Des mesures du niveau d'émission conduite en sortie du montage drain commun ont été réalisées sur d'autres CIs provenant d'un même lot et nommés IC1b et IC1c.

La figure 4.15 montre le niveau d'émission conduite des différentes sorties pour des CIs issus d'un même lot.

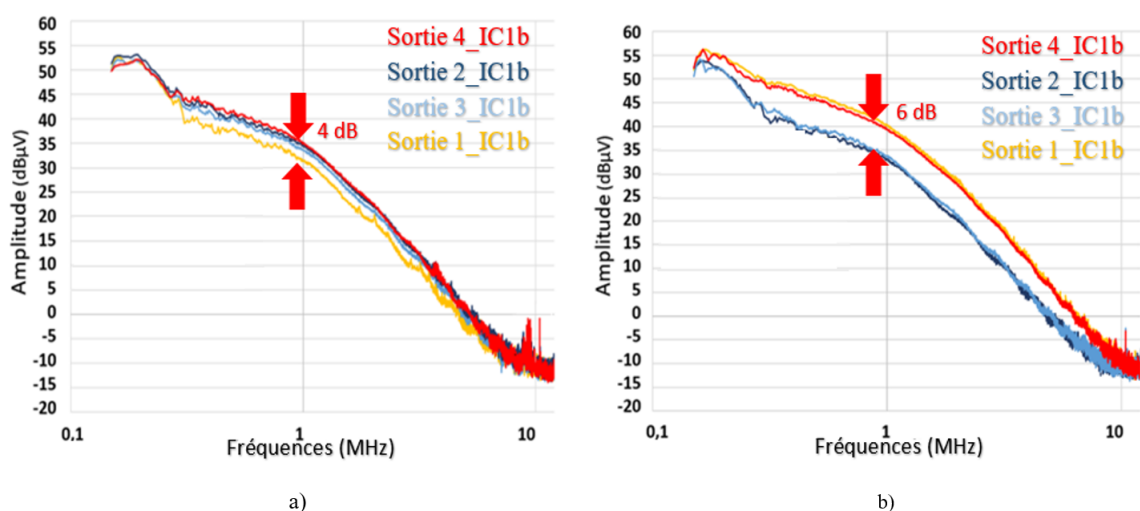


Figure 4.15: Comparaison des niveaux d'émission conduite entre les 4 différentes sorties des drivers sur deux CIs de même lot, avec a) IC1b et b) IC1c

La figure 4.15 montre qu'il existe une différence sur les niveaux d'émission conduite de chaque sortie provenant de CI de même lot.

La différence maximale observée sur IC1b est de 4 dB, et celle observée sur IC1c est de 6 dB. On note également que d'un CI à un autre le niveau d'émission conduite d'une même sortie peut être différent comme le montre la figure 4.16.

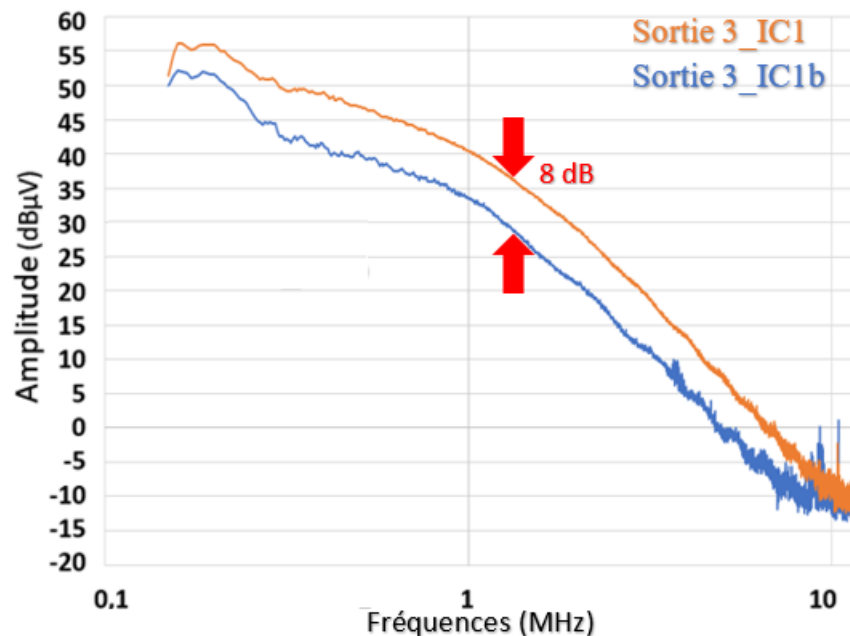


Figure 4.16: Comparaison du niveau d'émission conduite des drivers 3 entre IC1 et IC1b

La différence de niveau maximale observée entre la sortie du driver 3 pour IC1 et IC1b est de 8 dB.

4.3.5 Mesures d'émission conduite des sorties des quatre drivers drain commun selon différents CIs provenant de lots différents

Des mesures identiques ont été réalisées sur des lots de CIs différents. La figure 4.17 montre le niveau d'émission conduite des différentes sorties à travers des CIs différents de même lot que nous nommerons IC2 et IC3.

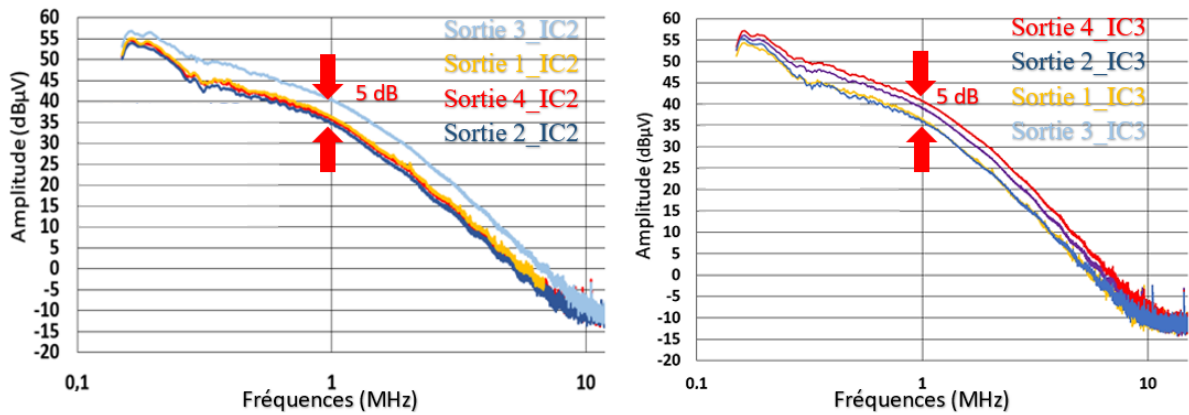


Figure 4.17: Comparaison des niveaux d'émission conduite entre les 4 différentes sorties des drivers sur des Cis de différents lots, avec a) IC2 et b) IC3

Comme pour l'étude précédente, les figures 4.7 et 4.17 montrent qu'il existe une variation de l'émission conduite sur chaque sortie pouvant varier d'un CI à un autre. La variation maximum observée sur IC2 et IC3 est de 5 dB.

On notera également que d'un CI à un autre le niveau de sortie d'un même driver peut être grandement différent, jusqu'à 11 dB comme le montre la figure 4.18, ce qui est plus élevé que la variation observée lors des mesures des CIs issus d'un même lot.

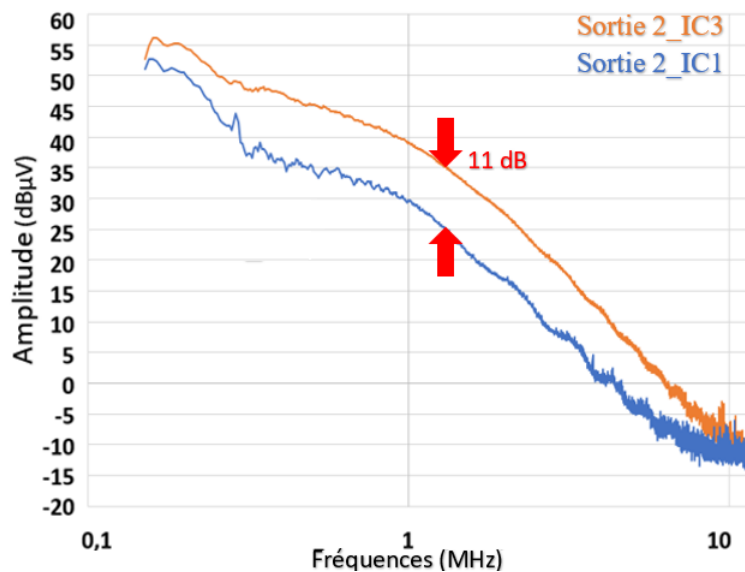


Figure 4.18: Comparaison des niveaux d'émission conduite du driver 2 entre IC1 et IC3

Tous ces résultats montrent que pour assurer une bonne CEM, la mesure d'émission conduite des quatre drivers doit obligatoirement être effectuée et comparée à une limite de spécification. Si leurs paramètres électriques principaux mesurés relatif à un signal trapézoïdal parfait, semblent peu varier, il se peut toutefois que cette faible variation induise une grande variation des niveaux d'émission conduite.

4.3.6 Mesure d'émission conduite en sortie de driver en fonction de la température

Nous souhaitons dans cette partie observer l'influence de la température sur l'émission conduite de chaque sortie V_{out} des différents drivers. Les tests ont été réalisés uniquement sur IC1 dans un intervalle de température allant de -40°C à 130°C . Le tableau 4.4 donne la valeur des principaux paramètres étudiés en fonction de la température. Le pourcentage de variation maximale de ces paramètres en fonction de la température y est également représenté.

Paramètres Driver 2 IC1					
Température ($^{\circ}\text{C}$)	Période (μs)	Rapport Cyclique (%)	Temps de montée (μs)	Temps de descente (μs)	Amplitude maximum V_{out} (V)
-40	961	51.7	31	30.5	24.9
-30	959	51.5	30.5	30.5	25
-20	961	51.7	31.3	30.5	24.9
-10	961	51.6	31.2	30.2	25
0	958	51.6	31.2	30.7	24.8
10	959	51.4	31	30.6	24.8
25	958	51.6	28	28.3	25.4
40	959	51.6	29	30	25.3
50	958	51.6	29	30	25.3
60	960	51.4	30	30	25.1
70	959	51.6	29	30	25.3
80	960	51.6	31.8	30.8	24.8
90	960	51.6	31.5	30.2	24.9
100	959	51.6	29	30	25.3
110	960	51.6	31.8	30.8	24.8
120	960	51.4	30	29	25
130	960	51.4	31.2	30.5	25
Variation maximale des paramètres du signal V_{out} (%)	0.03	0.05	13	9	2

Table 4.4: Valeurs des différents paramètres mesurées de V_{out} sur IC1 et leur variation maximale

L'analyse du tableau 4.4 démontre que la stabilité des différents paramètres constituant le signal en sortie du driver 2 a bien été respectée.

La figure 4.19 représente les différents niveaux d'émission conduite mesurés sur les 4 sorties de driver de IC1 pour la plage de température citée précédemment.

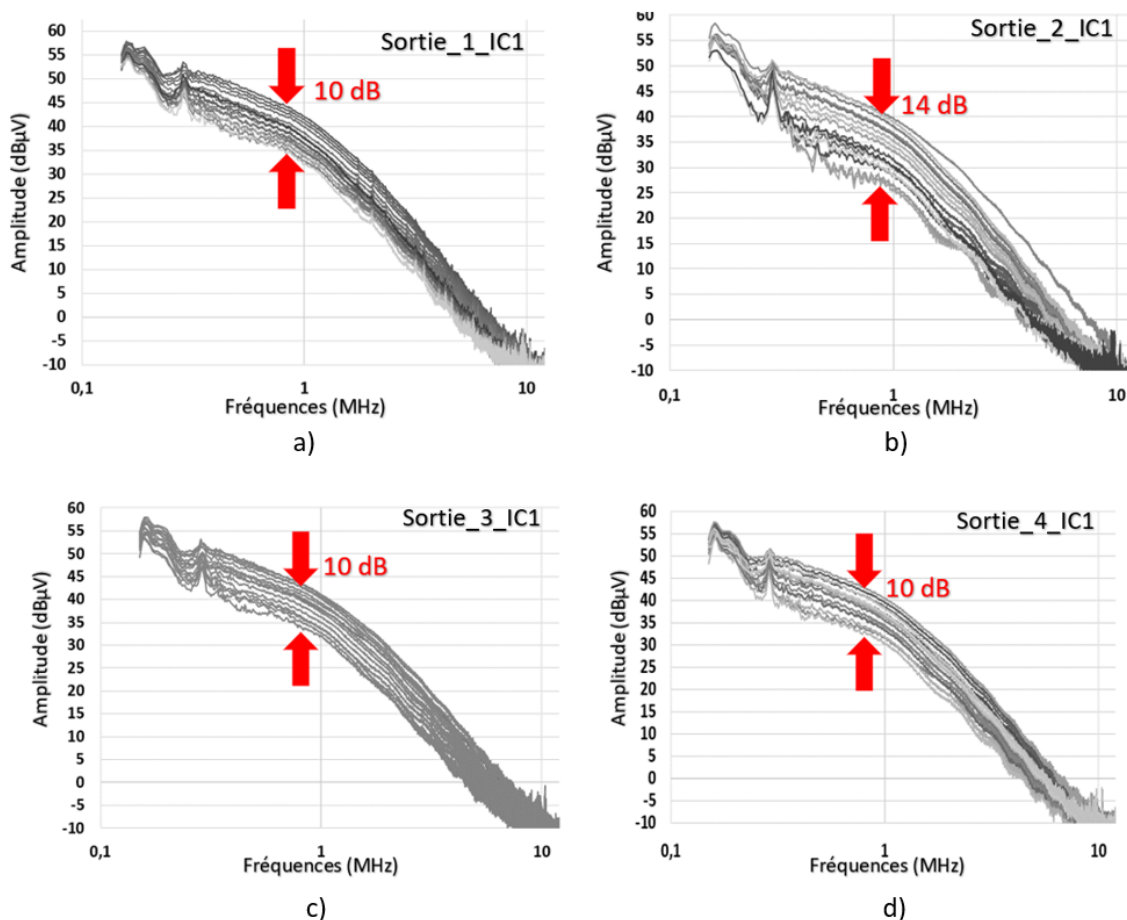


Figure 4.19: Représentation des différents niveaux d'émission conduite obtenus sur chaque driver de IC1 en fonction de la température

Comme évoqué précédemment, les paramètres principaux étudiés (période, amplitude, temps de montée et descente) ne suffisent pas à anticiper les variations CEM. En effet, la différence maximum du niveau d'émission conduite à partir de ces paramètres est estimée à 0.5 dB (voir chapitre 2), ce qui d'un point de vue concepteur est relativement faible, mais ne représente pas la réalité.

En effet, d'après la figure 4.19, on constate que la température influence grandement le niveau d'émission conduite. 10 dB de différence peut être observé sur chacune des sorties 1, 3 et 4 ainsi qu'une différence de 14 dB sur la sortie 2.

Ces grandes différences sont dues aux variations du temps d'établissement et de l'amplitude du "saut" comme nous le démontrerons par la suite.

La figure 4.20 représente l'évolution du niveau d'émission conduite en fonction de la température pour une fréquence fixée de 1 MHz.

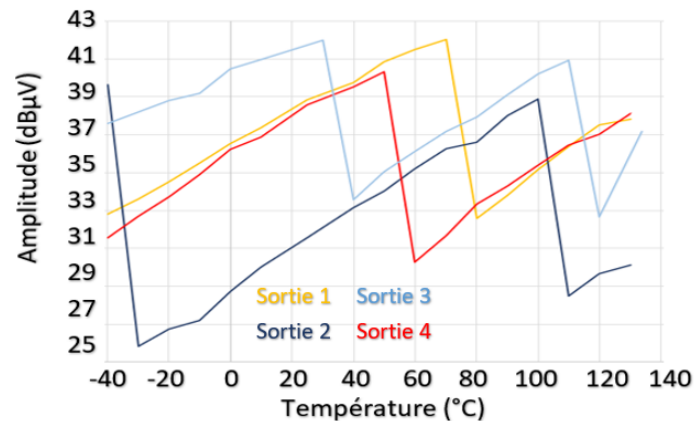


Figure 4.20: Variation du niveau d'émission conduite en fonction de la température à 1 MHz pour chaque driver de IC1

On observe une tendance similaire sur les 4 drivers : lorsque la température augmente, le niveau d'émission conduite a tendance lui aussi à augmenter (entre 1 et 2 dB/ 10°C). Cette constatation n'est valable que pour un certain intervalle de température, intervalle qui est différent pour chacun des drivers :

- De -40°C à 70°C et de 80°C à 130°C relatif au driver 1.
- De -30°C à 100°C et de 110°C à 130°C relatif au driver 2.
- De -40°C à 50°C et de 60°C à 130°C relatif au driver 3.
- De -40°C à 10°C, de 20°C à 110°C et de 120°C à 130°C relatif au driver 4.

Il est intéressant de noter que les niveaux d'émission conduite maximum et minimum mesurés sur chacune des sorties du driver correspondent à des températures différentes. Ces niveaux sont donnés pour chaque driver dans le tableau 4.5.

Drivers	Température au niveau maximum d'émission conduite mesuré	Température au niveau minimum d'émission conduite mesuré
Driver 1	70°C	80°C
Driver 2	-40°C	-30°C
Driver 3	20°C	30°C
Driver 4	50°C	60°C

Table 4.5: Niveau d'émission conduite maximum et minimum observé sur les différents drivers de IC1

Afin de comprendre l'origine de ces variations importantes de niveau d'émission conduite entre deux températures très proches, nous allons étudier l'apparition du "saut" pour les températures -40°C et -30°C .

La figure 4.21 représente l'impact du "saut" et le niveau d'émission conduite en sortie du signal V_{out} mesuré sur le driver 2, pour les températures de -40°C et -30°C .

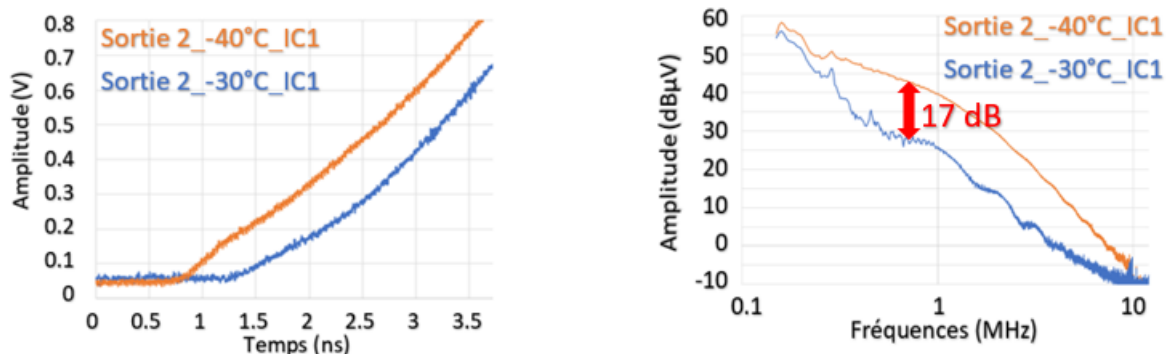


Figure 4.21: Impact du "saut" sur le début du temps de montée et sa conséquence sur le niveau d'émission conduite pour des températures de -40°C et -30°C appliquées sur le driver 2 de IC1

On observe que l'impact du "saut" est fortement accentué lorsque l'on passe de -30°C à -40°C , ce qui explique la grande différence du niveau d'émission conduite obtenue.

On peut également noter, d'après la figure 4.19 et 4.20, que la plus grande différence de variation du niveau d'émission conduite obtenue en fonction de la température (17 dB mesurée) se trouve pour une température de 70°C pour le driver 1 et -30°C pour le driver 2.

Dans la section suivante, nous allons tenter d'expliquer l'apparition soudaine du "saut" lors d'une faible variation de température.

Explication du phénomène

Le type de CNA utilisé dans cette thèse, nécessite une horloge interne fournie par un oscillateur RC. L'avantage d'un tel oscillateur réside principalement dans son faible coût et sa facilité d'utilisation [86]. Cependant, c'est un bloc connu pour être sensible aux variations de température, c'est pourquoi on utilise des circuits de compensation [86][87]. La fréquence de l'oscillateur utilisé dans ce circuit est garantie à $\pm 5\%$. Lorsque la température augmente, la fréquence de l'oscillateur a tendance à diminuer ce qui augmente sa période, et par conséquent dans notre cas, le courant de précharge suivi du niveau d'émission conduite. Cette constatation explique cette tendance d'augmentation de 1 à 2 dB par 10°C comme observé figure 4.20. Les chronogrammes Clk_2 et I_{gmax2} définis figure 4.22, illustrent ce phénomène.

Clk_2 représente l'augmentation de la période de l'horloge par rapport à Clk lorsque la température augmente et son impact sur le courant I_{gmax} , formant un nouveau courant noté I_{gmax2} . Le courant de précharge étant en réalité maintenu dans un intervalle de temps qui lui est propre, le comparateur empêche une trop grande déviation de celui-ci. Ainsi, lorsque la température augmente, les fronts montants du signal d'horloge vont légèrement se décaler comme illustré par le signal Clk_2 . Le signal $comp$ se trouve alors directement en phase avec un nouveau front d'horloge. Cette nouvelle période d'horloge noté Clk_3 réduit considérablement la durée de maintien du courant de précharge, noté I_{gmax3} . Le "saut" a alors pratiquement disparu et le niveau d'émission conduite est au plus bas.

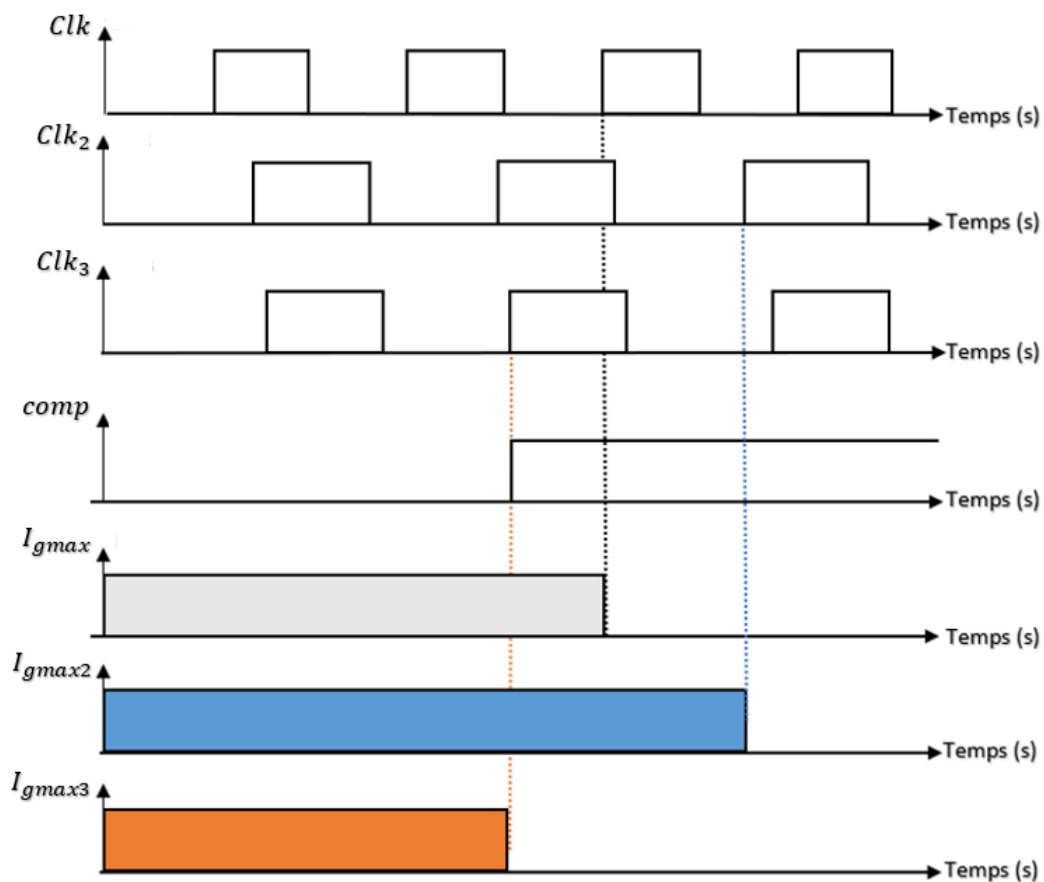
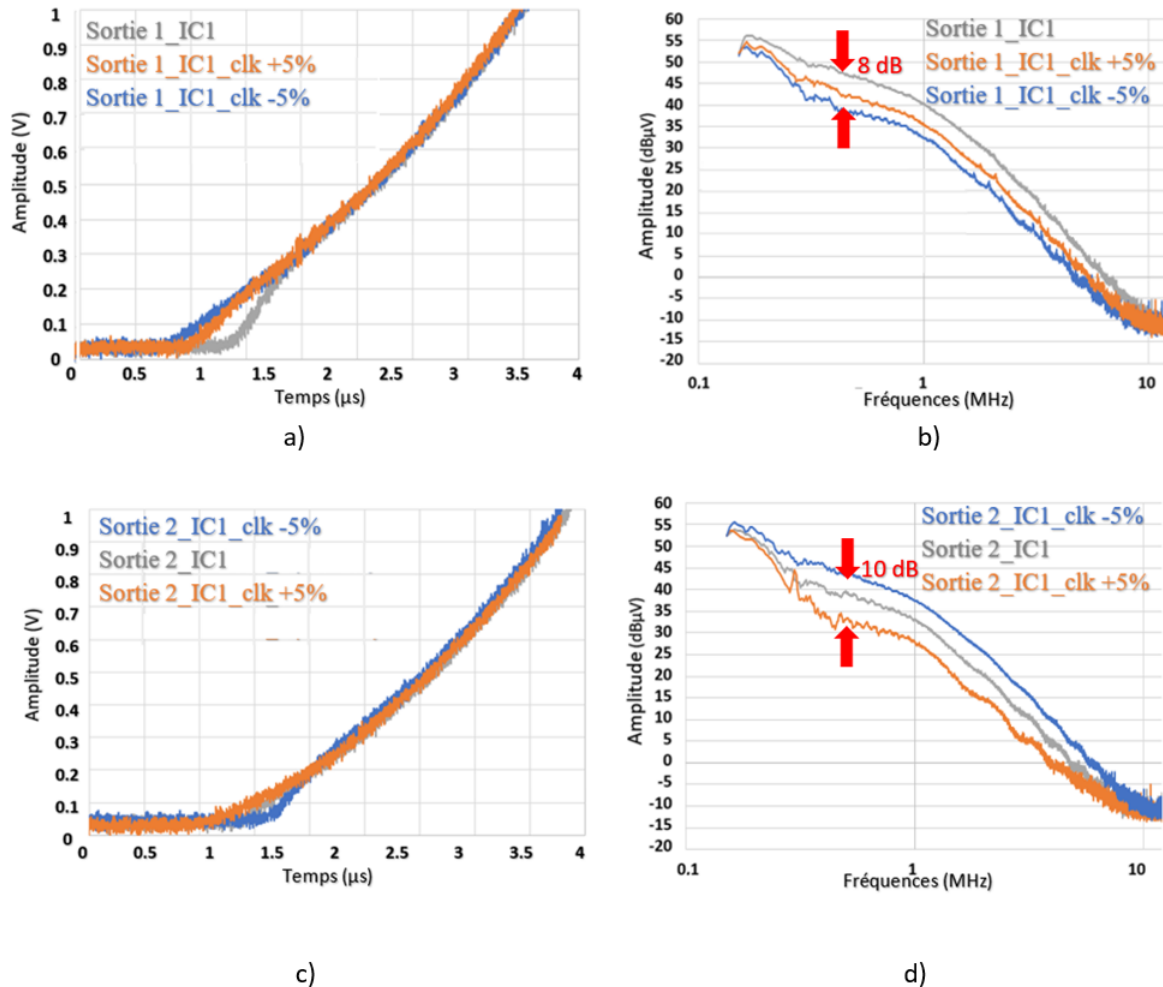


Figure 4.22: Variations des signaux I_{gmax} en fonction de la variation d'horloge de l'oscillateur interne

Afin de justifier au maximum ces propos, nous pouvons, à travers une programmation du CNA, changer manuellement la fréquence de l'horloge interne du circuit et observer le niveau d'émission conduite des sorties des différents drivers.

4.3.7 Modification de la fréquence d'horloge de l'oscillateur

D'après la datasheet concernant les CIs utilisés, l'oscillateur peut varier de $\pm 5\%$ lors de son utilisation. Nous allons donc considérer ces variations dans l'étude suivante. Pour cela nous allons modifier les paramètres du convertisseur numérique analogique CNA. L'impact du "saut" en fonction de la variation de l'oscillateur interne ainsi que le niveau d'émission conduite du signal de sortie des différents drivers de IC1 sont représentés sur la figure 4.23.



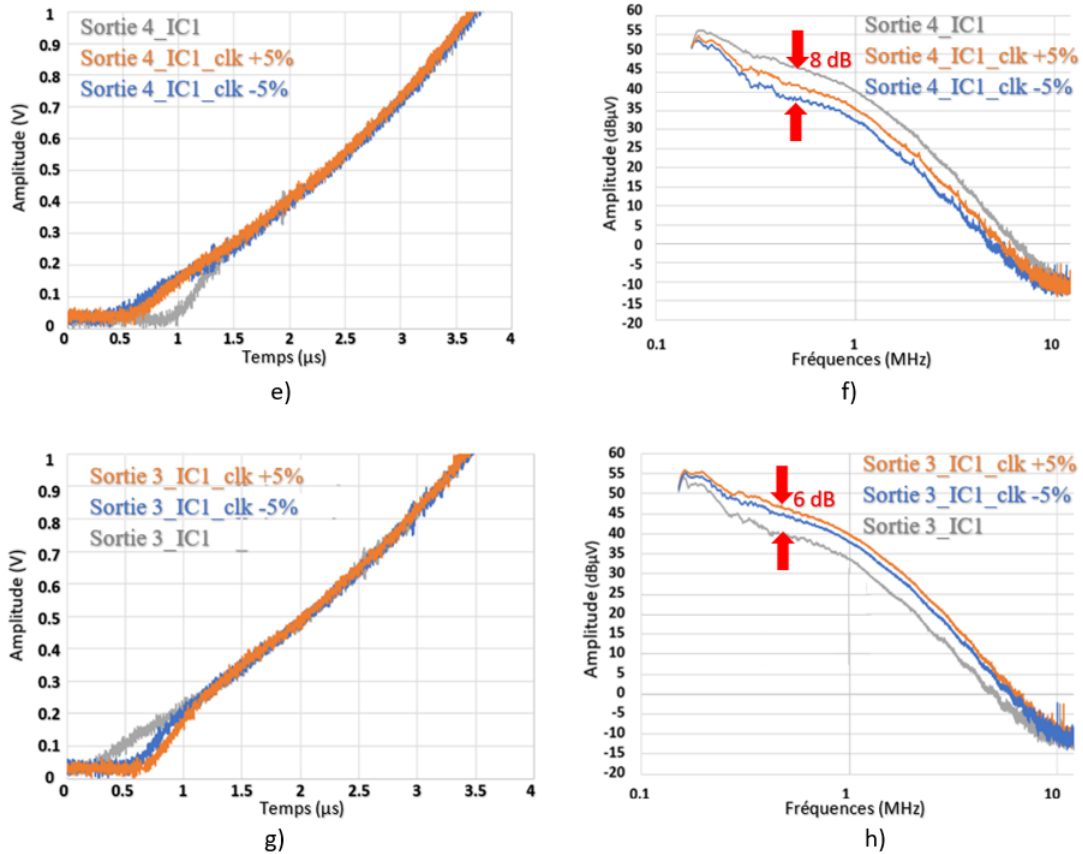


Figure 4.23: Représentation de l'évolution du "saut" lorsque l'horloge de l'oscillateur interne varie de $\pm 5\%$ et du niveau d'émission conduite en sortie de ; a et b) driver 1 ; c et d) driver 2 ; e et f) driver 3 ; g et h) driver 4.

On constate tout d'abord que la variation de l'oscillateur peut fortement affecter le niveau d'émission conduite. On mesure jusqu'à 10 dB de différence pour le cas du driver 2. On constate ensuite, qu'il n'y a pas de conjecture possible, c'est-à-dire que l'augmentation de l'horloge peut tout aussi bien diminuer ou augmenter le niveau d'émission conduite. Cela confirme donc l'étude précédente. En effet, le comparateur réajuste le niveau du courant de précharge en fonction du premier front montant de l'horloge. Lorsque celui-ci s'en éloigne le niveau d'émission conduite monte, jusqu'au moment où il y a raccrochage d'un nouveau front montant.

Ces différents phénomènes étudiés tout au long de ce chapitre ont mis à jour des variations du niveau d'émission beaucoup trop importantes pour être négligées dans les phases de simulations des schématiques du circuit. La cause principale réside dans la non prise en compte de l'effet "round shaping" lors des mesures PVT. En effet, les mesures des variations des paramètres caractéristiques ne concernent actuellement que la période, le rapport cyclique, l'amplitude et les temps de montée et de descente. Or, nous venons de démontrer qu'il existe bel et bien d'autres phénomènes affectant la CEM que nous ne devons pas négliger. La section suivante a donc pour objectif d'étudier en simulation SPICE le phénomène du "saut" précédemment identifié, de façon à justifier si ce genre de phénomène peut être anticipé par simulation dès la phase de conception des CIs.

4.4 Simulations des variations PVT et impact sur le niveau de l'émission conduite

Dans cette partie nous nous intéresserons à la simulation des variations PVT et leurs impacts sur le niveau d'émission conduite. Ces dernières ont été effectuées sous SPICE du fait de la disponibilité du schéma électrique présenté figure 4.24, au niveau transistor du circuit utilisé.

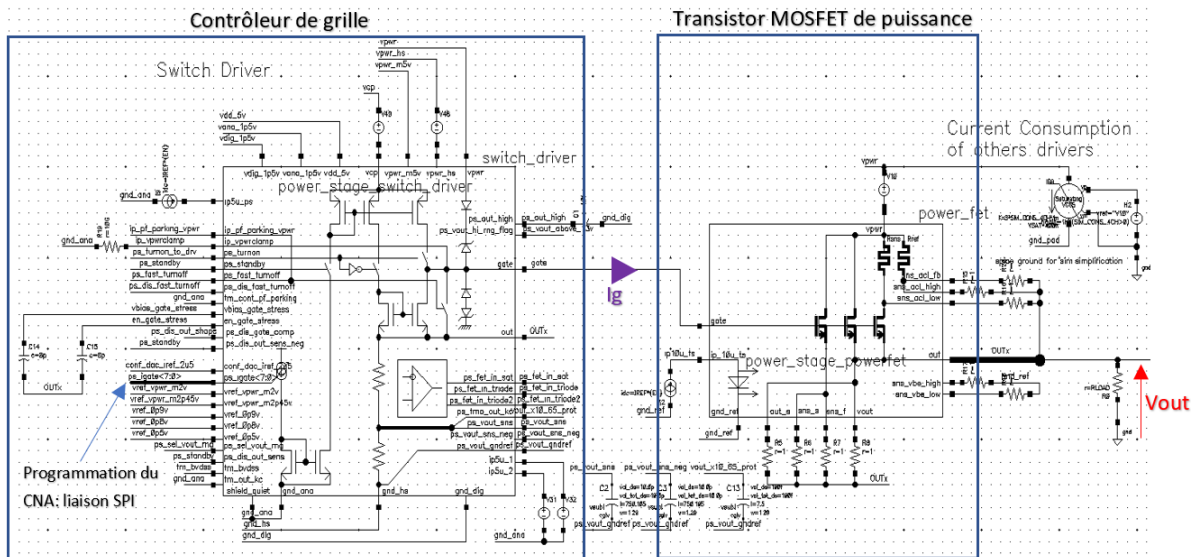


Figure 4.24: Modèle SPICE du contrôleur de grille et du transistor MOSFET de puissance

Dans cette simulation, l'oscillateur RC est remplacé par une source indépendante parfaite et non sensible aux effets PVT dans le seul but d'accélérer le temps de simulations.

4.4.1 Étude selon des variations de procédé de fabrication

L'extraction des principaux corners du procédé de fabrication influençant le plus le circuit test a été établie au préalable par les ingénieurs de conception (designers) (voir chapitre 1). Ces facteurs représentant essentiellement les variations maximales de la taille et l'épaisseur de l'oxyde de grille des transistors MOSFETs, les capacités parasites, les résistances parasites et les transistors BJT, et sont présentés dans le tableau 4.6. Pour des raisons de confidentialité nous ne donnerons pas les valeurs.

Paramètres	Corners des différents paramètres					
Epaisseur Oxyde (MOSFET)	Wcs	Wnhp	Wphn	Bpln	Bnlp	Bcs
Largeur (MOSFET)	Wcs	Wnhp	Wphn	Bpln	Bnlp	Bcs
PowerMOS	Wcs			Bcs		
Capacité	Lo			hi		
BJT	Wcs			Bcs		

Table 4.6: Corners des différents paramètres du circuit pour l'analyse PVT

Chaque croisement possible entre les différents cas a été effectué. Cela représente donc 576 cas de figure. La figure 4.25 représente la tension de sortie V_{out} pour tous ces cas, obtenue par simulation.

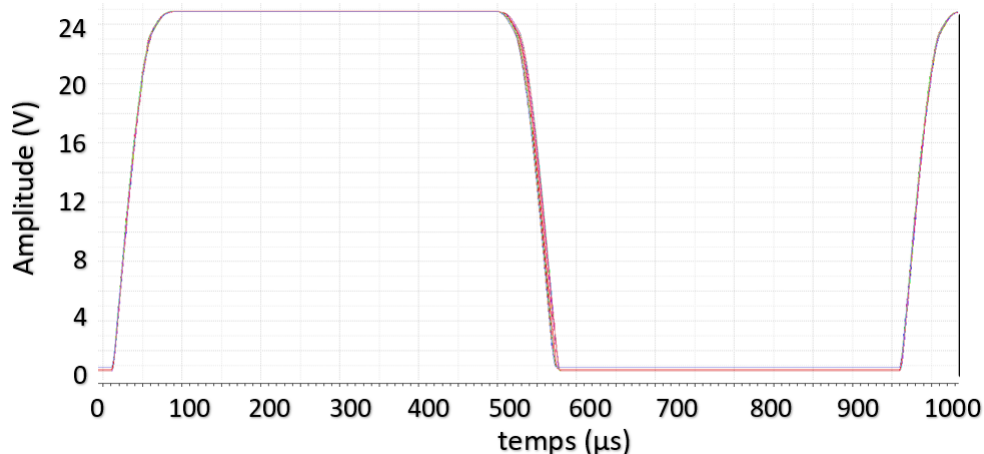


Figure 4.25: Représentation du signal V_{out} en fonction des différents corners appliqués

Notons que les simulations de variations de procédé de fabrication ne modifient que dans des proportions acceptables les paramètres principaux temporels observés sur le signal de sortie V_{out} , décrit par un signal trapézoïdal parfait (période, durée de l'impulsion à mi-amplitude, temps de montée et descente, amplitude). En effet, chacun de ces paramètres a des variations inférieures à 2% ce qui est négligeable d'un point de vue conception.

La figure 4.26 montre la différence maximale du niveau d'émission obtenue en simulation et pour les corners définis dans le tableau 4.7

Niveau d'émission conduite	thin	thick	Power	Cap	BJT	Res
Cas 1:Fort	Wcs	Bnlp	Wcs	Lo	Wcs	Lo
Cas 2:Faible	Bcs	Wnhp	Bcs	Hi	Wcs	Hi

Table 4.7: Valeurs des corners pour lesquelles le niveau d'émission conduite est à son maximum et à son minimum

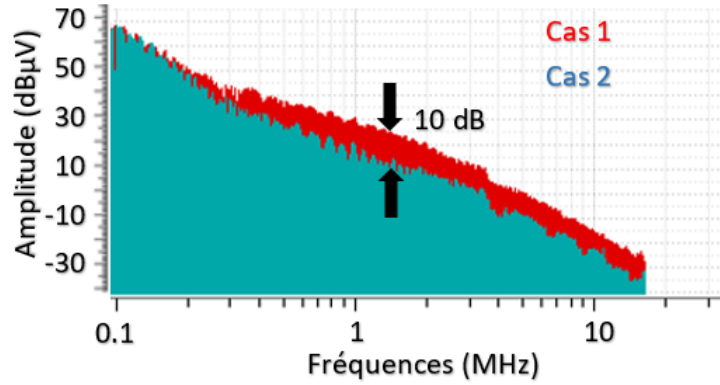


Figure 4.26: Différence maximale du niveau d'émission conduite observé lors des variations de procédé de fabrication

Les résultats de simulation présentés sur la figure 4.26 montre une variation du niveau d'émission conduite pouvant atteindre 10 dB.

Pour expliquer cette différence du niveau d'émission conduite, intéressons-nous au "saut" évoqué dans les sections précédentes. Pour cela, focalisons-nous sur le courant de précharge (cause de l'apparition du "saut") et au début de la commutation du signal de sortie V_{out} ("saut"). Ces deux signaux sont représentés sur la figure 4.27 pour les cas 1 et 2 définis précédemment.

Nous appelons I_{gmax1} , I_{gmax2} , V_{out1} et V_{out2} les courants de précharge et les tensions de sortie issus respectivement des cas 1 et 2.

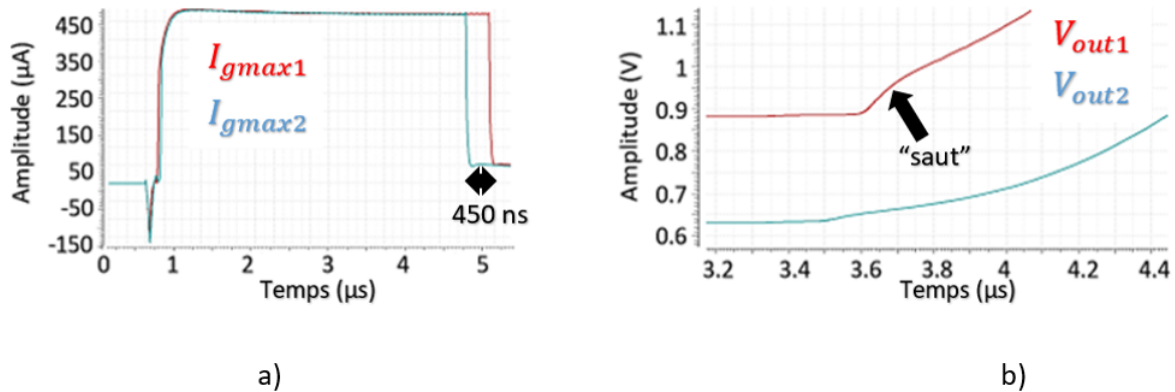


Figure 4.27: Représentation a) du courant de précharge et b) du début du temps de montée, des signaux

D'après la figure 4.27-b, on observe une variation d'offset, principalement due à la variation de la résistance R_{dson} du transistor MOSFET de puissance. On note également une variation du temps d'établissement du courant de précharge, visible sur la figure 4.27-a. Le courant de précharge I_{gmax1} durant plus longtemps, ce dernier cause l'apparition d'un "saut" rapide sur la tension V_{out1} . L'impact de ce dernier est relativement faible, de l'ordre de quelques mV pour un signal commutant entre 0 et 24 V. De plus, la durée du "saut" est également faible, environ 450 ns. Ces valeurs sont plus faibles que celles

observées lors des mesures sur le circuit test. Cela peut s'expliquer du fait que la fréquence de l'oscillateur interne est parfaitement stable dans cette simulation.

4.4.2 Etude des variations de température

Des simulations en température ont également été effectuées. Elles couvrent un large intervalle allant de -40°C à 130°C par pas de 10°C . Ces variations de température affectent particulièrement tous les transistors internes au modèle SPICE.

Comme dans le cas précédent, aucune modification sur la forme d'onde temporelle ne semble être observée. La figure 4.28 montre le signal de sortie V_{out} pour les différentes valeurs de température.

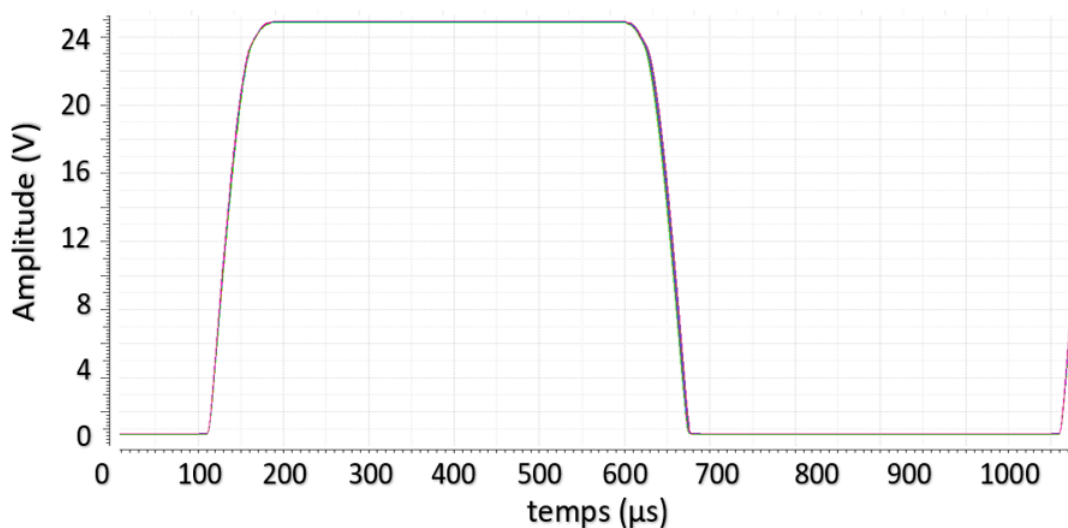


Figure 4.28: Représentation du signal V_{out} pour différentes températures comprises entre -40°C et 130°C

En considérant uniquement la température, on estime alors une variation maximale du niveau d'émission conduite d'environ 1 dB seulement (voir chapitre 2), ce qui est négligeable du point de vue conception. Cependant, les simulations d'émission conduite dont les résultats sont montrés sur la figure 4.29 montrent une variation maximale de ce niveau de l'ordre de 6 dB suivant la bande de fréquence observée. Cette variation maximale est obtenue pour les conditions extrêmes de températures (-40°C et 130°C).

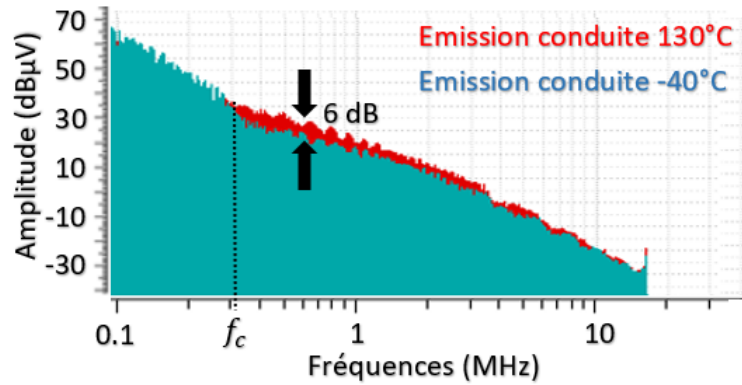


Figure 4.29: Différence maximale du niveau d'émission conduite observé pour les températures de -40°C et 130°C pour les fréquences supérieures à f_c

On constate d'après la figure 4.29 qu'au-delà la fréquence f_c , le niveau d'émission conduite diminue lorsque la température augmente.

Comme pour le cas des variations de procédés de fabrications, nous allons nous intéresser au courant de précharge et au début de la commutation du signal de sortie V_{out} pour les deux températures extrêmes (130°C et -40°C) définis figure 4.30.

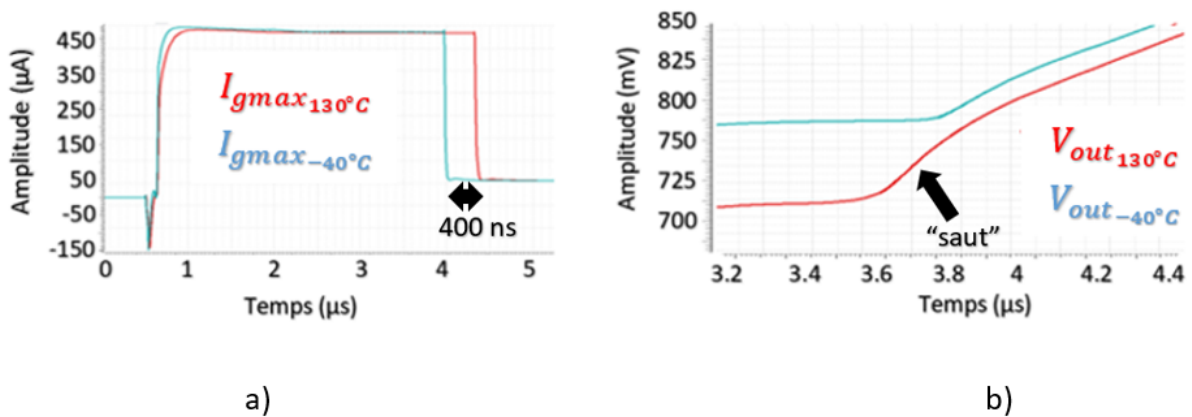


Figure 4.30: Représentation a) du courant de précharge et b) du début du temps de monté, des signaux

On constate d'après la figure 4.30-a, une augmentation de la durée du courant de précharge (400 ns supplémentaire) lorsque la température passe de -40°C à 130°C . Cela crée l'apparition d'un "saut" plus important sur le signal $V_{out_{130^{\circ}\text{C}}}$ observé sur la figure 4.30-b. Ceci explique pourquoi à partir de la fréquence $f_{\tau_s} = \frac{1}{\pi \cdot \tau_s}$, le niveau d'émission conduite augmente avec la température.

4.4.3 Étude des variations combinées de température et procédés de fabrication

Dans cette partie, nous nous intéressons à la variation combinée du procédé de fabrication et de la température. Nous avons choisi d'étudier deux signaux dont l'un possède toutes les caractéristiques permettant d'obtenir le niveau minimum d'émission conduite et l'autre son niveau maximum à partir de la méthode des coins et des résultats en température trouvés précédemment. Ces deux signaux sont décrits dans le tableau 4.8 :

Niveau d'émission conduite	thin	thick	Power	Cap	BJT	Res	Température
Cas 1:Fort	Wcs	Bnlp	Wcs	Lo	Wcs	Lo	130°C
Cas 2:Faible	Bcs	Wnhp	Bcs	Hi	Wcs	Hi	-40°C

Table 4.8: Valeurs des coins des cas 1 et 2

La figure 4.31 représente les tensions de sortie V_{out1} et V_{out2} qui sont respectivement les tensions de sortie relatives au cas 1 et 2.

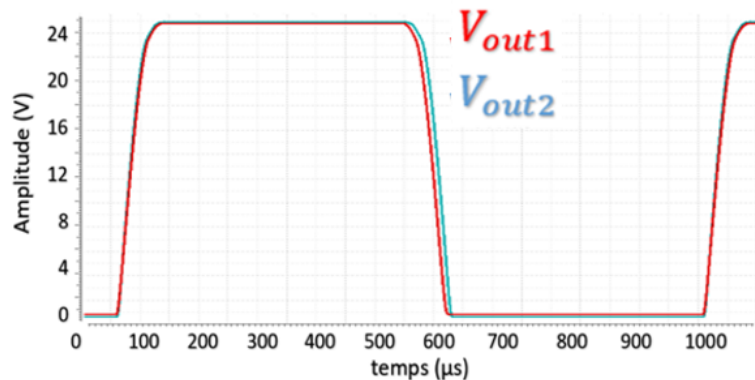


Figure 4.31: Représentation des signaux V_{out1} et V_{out2}

Comme pour les études précédentes, aucune modification majeure du signal V_{out} n'est observable. La figure 4.32 représente le niveau d'émission conduite des signaux V_{out1} et V_{out2} .

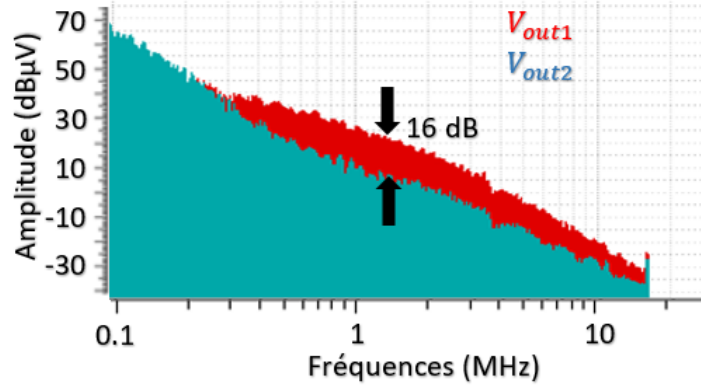


Figure 4.32: Différence du niveau d'émission conduite des signaux V_{out1} et V_{out2}

On constate qu'en cumulant les effets de la température et du procédé de fabrication, une variation du niveau d'émission conduite de l'ordre de 16 dB en hautes fréquences peut être observée, ce qui correspond environ à l'accumulation des effets procédés de fabrication et température observés séparément en simulation.

La figure 4.33 représente le courant de précharge lié au cas 1 et 2, respectivement noté I_{gmax1} et I_{gmax2} , et le début de la commutation des signaux V_{out1} et V_{out2} .

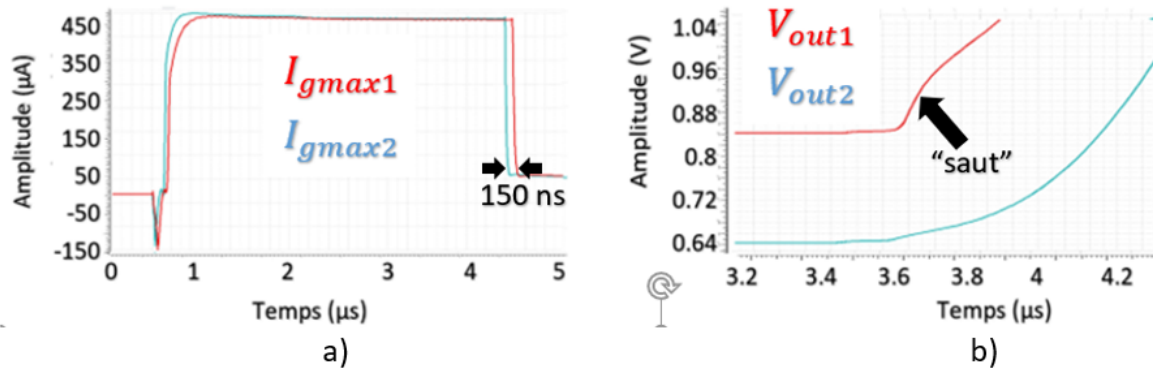


Figure 4.33: Représentation a) du courant de précharge et b) du début du temps de montée, des signaux

Comme lors des études précédentes, on constate que le courant de précharge I_{gmax1} est relativement plus long que I_{gmax2} (150 ns supplémentaire), ce qui fait naître l'apparition du "saut" et augmente ainsi le niveau d'émission conduite.

Ainsi nous venons de justifier l'intérêt de prendre en considération le phénomène de round shaping lors des simulations CEM. Celui-ci doit être un minimum étudié de façon à éviter une augmentation de l'émission conduite. Les principaux paramètres caractéristique d'un signal observé en sortie d'une cellule de commutation que sont la période, le rapport cyclique, l'amplitude et les temps de montée et descente ne suffisent pas à garantir le niveau spectral d'un signal trapézoïdal.

De plus, l'arrondissement des angles est fortement sujet à varier suivant des variations PVT, modifiant de façon considérable le niveau d'émission conduite et justifiant ainsi l'intérêt de prendre en considération la variabilité des paramètres électriques lors de l'étude CEM.

4.5 Proposition d'une méthode pour la considération des effets PVT lors des tests CEM dans le processus de développement d'un CI

Le chapitre 4 a montré l'importance de considérer les variations PVT lors des simulations et mesures CEM, d'où la nécessité de proposer une nouvelle méthode de travail.

4.5.1 Développement simulations

Reprenons la schématisation classique des différentes étapes lors de la conception des schémas illustrés par la figure 4.34.

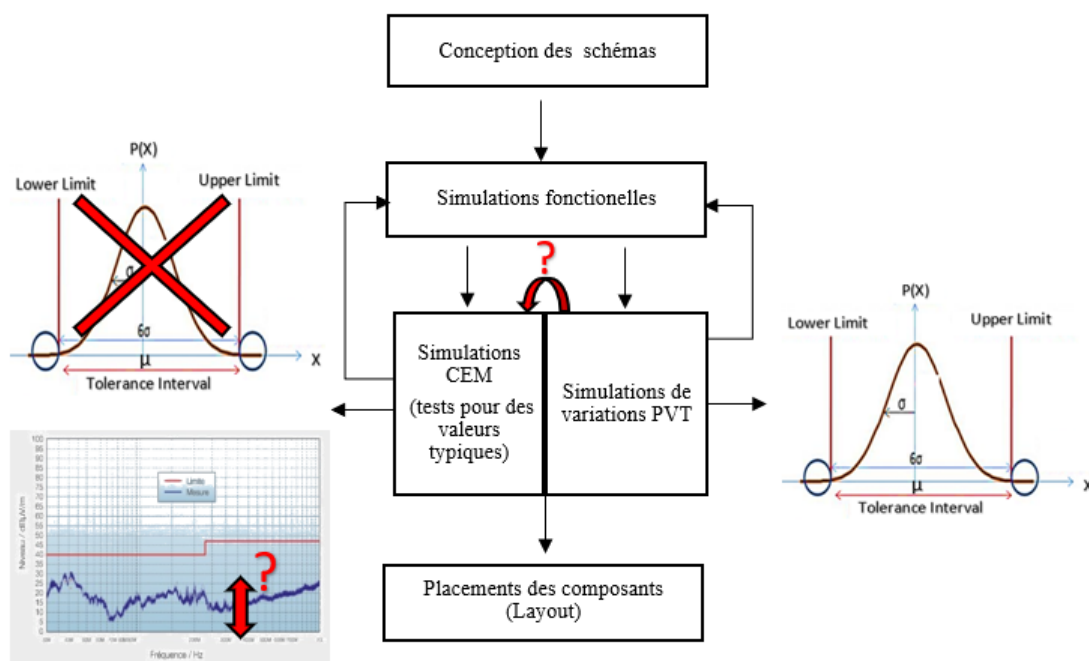


Figure 4.34: Schématisation des différentes étapes lors de la conception des schémas et mise en avant de la problématique de la prise en compte CEM dans le processus

Cette configuration impose une non-considération des effets PVT que peut subir le circuit sur la CEM. Pourtant comme nous venons de le démontrer dans ce chapitre, d'importantes modifications du niveau d'émission conduite ont été observées lorsque des paramètres caractéristiques d'un circuit varient suivant des variations PVT. Des circuits extrêmement basiques, tel un drain commun piloté en courant par un contrôleur a montré des différences de niveau d'émission conduite pouvant aller jusqu'à 16 dB. Cela remet donc en question la manière dont les simulations et les tests CEM sont exécutés.

Une première proposition est alors de modifier la mise en place de la CEM dans la réalisation d'un CI. Cette nouvelle stratégie est présentée figure 4.35. Contrairement à la schématisation explicitée figure 4.34, on note l'apparition d'une nouvelle étape comprenant la prise en compte des phénomènes PVT lors des simulations CEM. Cela permet alors de définir non plus un seul niveau spectral mais un gabarit spectral.

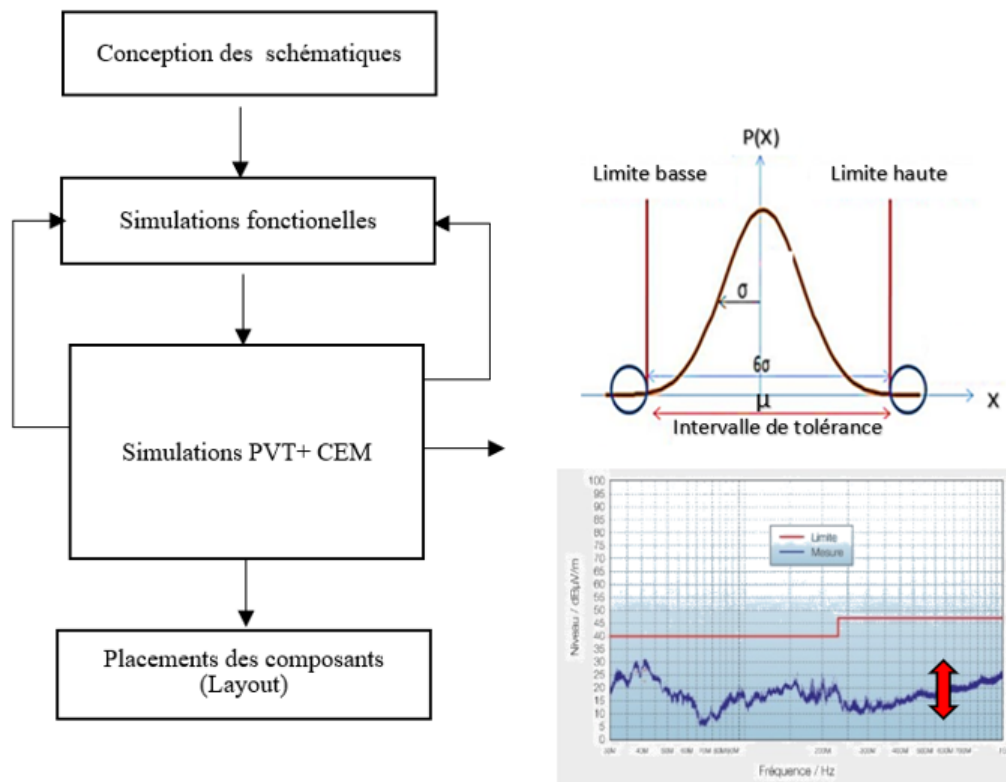


Figure 4.35: Proposition d'une nouvelle schématisation des différentes étapes lors de la conception des schémas

Ainsi, les limites de variation de ce gabarit doivent être stipulées en amont. Cette partie est relativement simple à mettre en place. Cependant, l'ajout de simulations CEM demande du temps supplémentaire. Pour éviter un délai trop long, de nouvelles simulations temporelles peuvent permettre de donner une bonne indication sur les niveaux d'émission conduite maximum possible comme expliqué dans ce chapitre. Ces simulations permettent également d'obtenir les valeurs des différents paramètres électriques pour lesquelles le niveau d'émission est maximal et minimal. A partir de ces valeurs, un choix affiné des puces à tester s'impose.

4.5.2 Test des puces et validations par mesures

Comme expliqué au chapitre 1, un certain nombre de CI, choisis aléatoirement, au sein d'un même et de différents lots sont soumis à de multiples tests électriques. Cela permet de vérifier la qualité des exigences (méthode six sigma). Lorsque ces exigences sont respectées, des tests de validations sont ensuite exécutés sur carte de tests (produit final). Cependant, aucun test CEM n'est réalisé pendant cette étape. Or, pouvoir prédire un comportement CEM avant les tests finaux sur carte serait un avantage considérable et permettrait de trier les différents CIs en amont. Mais cela demanderait du temps et les appareils de mesure adéquats. Ce n'est, à l'heure actuelle pas envisageable. Toutefois, de nouvelles mesures temporelles pourraient exister, faisant le lien avec la CEM. En effet, il est tout à fait possible de mesurer les transitions de début des commutations des signaux et d'en définir des spécifications par exemple. Cela demanderait des simulations en amont stipulant les limites (amplitude et temps d'établissement) à ne pas dépasser.

A l'heure actuelle, les tests finaux ne sont réalisés que sur une poignée de CIs souvent issus d'un même lot. Or nous avons vu que les résultats CEM peuvent être différents d'un lot à l'autre. Il faut donc réaliser des tests supplémentaires pour pouvoir couvrir un plus grand nombre de cas. Des tests PVT pourraient également être demandés, complexifiant un peu plus le processus de développement du produit. Aussi, pour éviter un nombre de mesures trop important lors de la validation sur carte, amenant à une perte de temps, il faudrait isoler les CIs dont les paramètres électriques semblent les plus à même de représenter un niveau CEM important, afin de les tester isolément. Ces informations peuvent être issues de la partie simulations comme énoncé précédemment, c'est-à-dire à partir des relevés des différents corners impliquant les niveaux maximum CEM. La figure 4.36 suivante illustre ce principe.

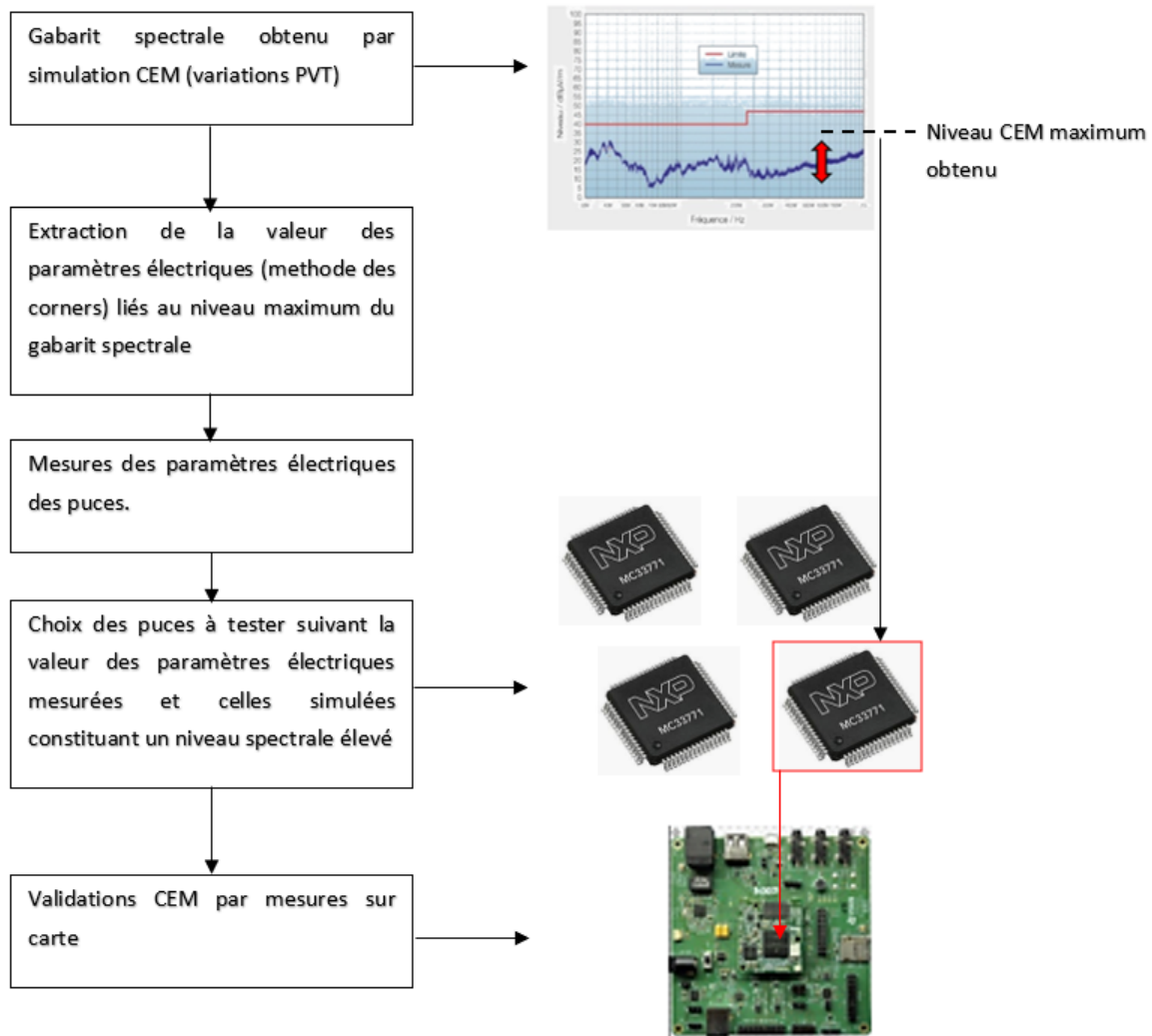


Figure 4.36: Nouvelle méthode de travail pour la considération de la CEM dans l'industrie

Cette méthode relativement simple à mettre en place, nécessitant tout de même un travail supplémentaire en amont, permettrait d'obtenir une bonne estimation des niveaux CEM en simulation, diminuant ainsi les risques de problèmes CEM lors de tests de validation par mesures. Les coûts liés aux renouvellements des schémas des circuits seraient alors limités, et un gain de temps et d'argent seraient alors réalisés.

4.6 Conclusion

Ce chapitre a permis de mettre en avant l'impact que peut avoir les variations PVT sur le niveau d'émission conduite à travers un montage drain commun.

Bien que le profil du courant de charge de grille ait été optimisé à travers des simulations puis validé en mesures pour garantir un niveau CEM acceptable, des variations PVT peuvent avoir lieu et remettre en cause ce profil de courant. Si ces variations sont toujours simulées et mesurées dans le but d'assurer le bon fonctionnement du système, elles ne sont hélas jamais corrélées au niveau CEM.

Les différentes simulations et mesures effectuées dans le cadre de ce chapitre ont permis de mettre en lumière un phénomène qui n'affecte pas le bon fonctionnement du système mais qui a des conséquences prononcées sur le niveau d'émission conduite. En effet, un "saut" d'une durée très brève et de l'ordre de 100 mV peut apparaître lors du début de la commutation d'un transistor MOSFET suite à la variation du courant de précharge, lui-même perturbé par ces variations PVT.

La théorie du signal a permis de faire le lien entre le signal temporel et le niveau d'émission conduite observé. Il est alors assez facile de pouvoir estimer l'impact des variations du "saut" sur ce niveau.

Suite à cela, une proposition d'une méthode pour la considération des effets PVT lors des tests CEM dans le processus de développement d'un CI dès la phase de simulation a été proposée. Un tri plus sélectif des puces lors des tests CIs a également été suggéré de façon à éviter tout défaut lors de test de validation sur carte finale.

Enfin, ces tests ont aussi fait l'objet d'une remise en cause, car trop peu nombreux et bien trop sélectifs (même lot, même carte) pour couvrir les variations des niveaux d'émission conduite.

Conclusion

Les travaux présentés dans ce manuscrit ont pour but de montrer l'importance de prendre en considération les variations PVT dans les simulations et les mesures CEM, ainsi que de proposer des solutions facilement implémentables pour les sociétés industrielles. Pour cela, nous avons utilisé des montages classiques, source commune et drain commun, en nous intéressant particulièrement aux variations des paramètres caractéristiques des formes d'onde des signaux de sortie sur leurs niveaux d'émission conduite. Ces variations de paramètres électriques proviennent des variations PVT appliquées sur la cellule de commutation représentée par un transistor MOSFET, acteur majeur des problèmes CEM, et d'un contrôleur pilotant la grille du transistor.

Le premier chapitre permet de rappeler quelques définitions essentielles relatives à la CEM des circuits intégrés. Il est consacré à la contextualisation de la problématique, c'est-à-dire au contraste entre les simulations et mesures fonctionnelles prenant en compte les variations PVT et les simulations et mesures CEM réalisées qu'à valeurs typiques. Un état de l'art sur les différentes méthodes de caractérisation de l'émission des circuits intégrés y est également décrit.

Dans le second chapitre, nous exposons un état de l'art sur le transistor MOSFET, et en particulier sur la forme des signaux qu'il génère lorsqu'il fonctionne en commutation. L'intérêt est de pouvoir observer et estimer l'impact des variations des paramètres caractéristiques de ces signaux sur son enveloppe spectrale.

Le troisième chapitre est consacré à l'impact des variations des paramètres caractéristiques du signal de sortie d'un montage source commune sur le niveau d'émission conduite lorsque le transistor MOSFET est soumis à des variations PVT. Dans ce chapitre nous décrivons en particulier, le phénomène d'adoucissement des angles du signal, jouant un rôle majeur.

Enfin, dans le dernier chapitre, nous étudions l'impact des variations des paramètres caractéristiques d'un signal d'entrée, pilotant la grille d'un transistor MOSFET sur le niveau d'émission en sortie d'un montage drain commun. Un état de l'art concernant le profil du courant de charge de grille pour l'obtention d'un meilleur compromis pertes de puissances par commutation et réduction des émissions électromagnétiques a été effectué. Ce chapitre a permis de mettre en évidence que des variations PVT pouvaient avoir de grandes conséquences sur le niveau d'émission conduite en sortie du circuit étudié. En effet, les variations PVT peuvent déformer l'allure du signal de sortie par l'apparition d'un saut en tension. Cette déformation, ne remet pas en cause la fonctionnalité du

système de par ses variations minimales, mais peut remettre en cause la caractéristique d'émission conduite du circuit. En effet, des variations de l'ordre de 15 dB ont pu être mesurées sur les spectres d'émissivité conduite, posant alors questions quant aux marges de sécurité des niveaux CEM.

Enfin, une modification de structure des phases de conception des CI permettant de considérer de manière préventive ce phénomène aussi bien en simulations qu'en mesures a été proposée.

Annexe I

I Topologie d'un nouveau buffer pour la réduction EMI basé sur l'asymétrie des temps de montée et descente

Dans des montages électroniques, on utilise régulièrement des buffers digitaux afin de transmettre des données. Le signal de sortie du signal doit être le plus propre possible et exempt de bruit. Malheureusement, l'augmentation des domaines de fréquences utilisée en fait un bloc dit bruyant. En effet, les délais entre les signaux commutés (clock skew) se sont alors radicalement rapprochés produisant des changements d'état (flip-flops, latches) en même temps créant ainsi de larges pics de courant passant à travers les résistances et inductance parasites des circuits [88][89].

Nous avons vu dans le chapitre 2 que l'utilisation d'un signal asymétrique pouvait réduire jusqu'à 6 dB l'émission des circuits. Il a également été démontré dans [90], l'avantage de réaliser des buffers de ce genre. Si le niveau d'émission permet d'être réduit, il est important de comprendre que les performances en termes de temps de rapidité ainsi que de consommation vont être augmentées. L'utilisation d'un signal asymétrique dans des applications type buffer s'adresse donc à des situations spécifiques mais que l'on peut retrouver régulièrement telles que :

- La restriction sur l'un des temps de commutation mais aucune spécification sur la deuxième transition laissant ainsi un degré de liberté supplémentaire sur lequel pouvoir s'appuyer.
- L'impossibilité d'appliquer des filtres pour agir sur le round shaping.
- L'impossibilité de modifier le rapport cyclique, période et amplitude.

I.1 Présentation et mode de fonctionnement des buffers

Afin de montrer l'avantage d'un tel signal dans une application type, nous avons créé un nouveau circuit basé sur une cellule standard utilisé au sein de NXP. Il s'agit d'un buffer composé d'une quarantaine de transistors dont leurs paramètres ont été optimisés de façon à ce que le signal de sortie ait un temps de montée et descente sensiblement identique.

La figure I représente la topologie de ce buffer.

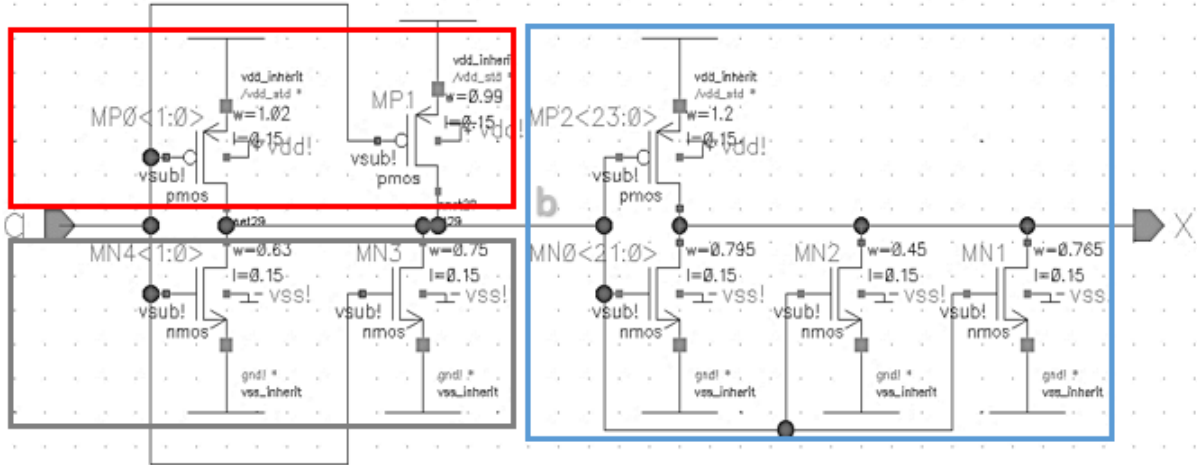


Figure I: Topologie buffer

Nous allons donc nous baser sur ce bloc électronique pour asymétriser le signal de sortie et ainsi bénéficier de la diminution du niveau de l'enveloppe spectrale. Pour réaliser cela il est nécessaire de comprendre le système étudié.

Lorsque le signal d'entrée "a" est au niveau haut, les transistors de la cellule grisée deviennent passants et ceux de la cellule rouge ouverts, le signal "b" est alors de niveau bas. A ce stade nous avons inversé le signal. La cellule bleutée ré-inverse le signal de façon à ce que le signal de sortie "x" soit au même niveau que "a". On comprend alors que c'est le temps de montée du signal "b" qui constitue le temps de descente de "x". Ainsi pour asymétriser le signal du côté du temps de descente τ_d nous allons modifier les paramètres des transistors situés dans la cellule rouge.

Pour cela, nous considérons le temps de descente comme étant le produit de la résistance interne R_{dson} (Ici des PMOS MPO et MP1) et de sa capacité de sortie C_{out} du montage (parasite ou induite). Ainsi, nous obtenons l'équation suivante.

$$\tau_d = R_{dson} \cdot C_{out} \quad (1)$$

Or la résistance R_{dson} équivaut à :

$$R_{dson} = \frac{1}{K_p \cdot (V_{gs} - V_{th})} \quad (2)$$

$$\text{Avec } K_p = \frac{W_p}{L_p} \cdot \mu_p \cdot C_{ox}.$$

W_p et L_p étant respectivement la largeur et la longueur du canal entre drain et source du transistor PMOS. μ_p représente la mobilité des trous et C_{ox} , la capacité d'oxyde de grille.

On comprend dès lors que le temps de descente du signal étudié dépend directement du rapport W/L.

I.2 Asymétrisation du buffer et nouvelles simulations du bloc

A l'aide des informations décrites ci-dessus nous avons créé notre propre cellule en modifiant les paramètres W et L des transistors PMOS. Nous avons choisi de définir un temps de descente 10 fois supérieur à celui du temps de montée afin de garantir une réduction de l'enveloppe spectrale de 5 dB et faisant face à des variations PVT possibles (fluctuation des différents paramètres τ_m et τ_d comme expliqué au chapitre 2).

Pour réaliser cette asymétrisation, nous avons divisé W par 5 et multiplié L par 5 de façon à obtenir ce rapport W/L de 10.

Le signal d'entrée relatif au buffer est un signal dont les paramètres sont explicités dans le tableau suivant :

Signal	Fréquence du signal	Temps de montée (τ_m)	Temps de descente (τ_d)	Rapport Cyclique	Amplitude du signal
Entrée "a"	20 MHz	10 ps	10 ps	50 %	1.6 V

Table 1: Paramètres du signal d'entrée a

Les temps de monté et descente du signal en sortie du nouveau buffer (S1) et de l'ancien buffer (S2) sont présentés figure II.

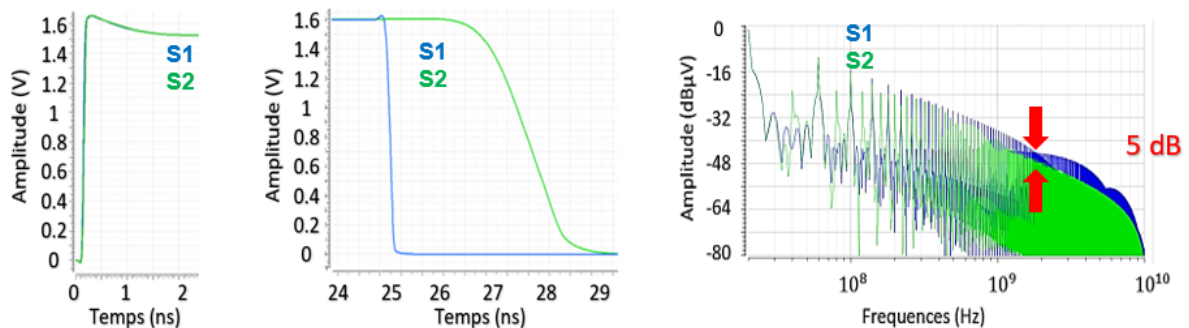


Figure II: Comparaison des signaux 1 et 2, selon a) leur temps de montée ; b) leur temps de descente ; c) leur spectre fréquentiel

Nous pouvons constater d'après la figure 1-2, que nous avons bien un temps de descente 10 fois plus long pour la nouvelle topologie ce qui permet de réduire le spectre en fréquence d'environ 5 dB comparé à la topologie initiale.

I.3 Impact sur la taille de la puce et limitations fréquentielles

Nous pouvons également constater que la modification du temps de descente ne modifie que légèrement les paramètres des transistors existants : leur rapport W/L restant identique. Afin de corroborer ces dires nous avons réalisés le layout du nouveau buffer et comparé ses dimensions avec l'ancien, présenté figure III.

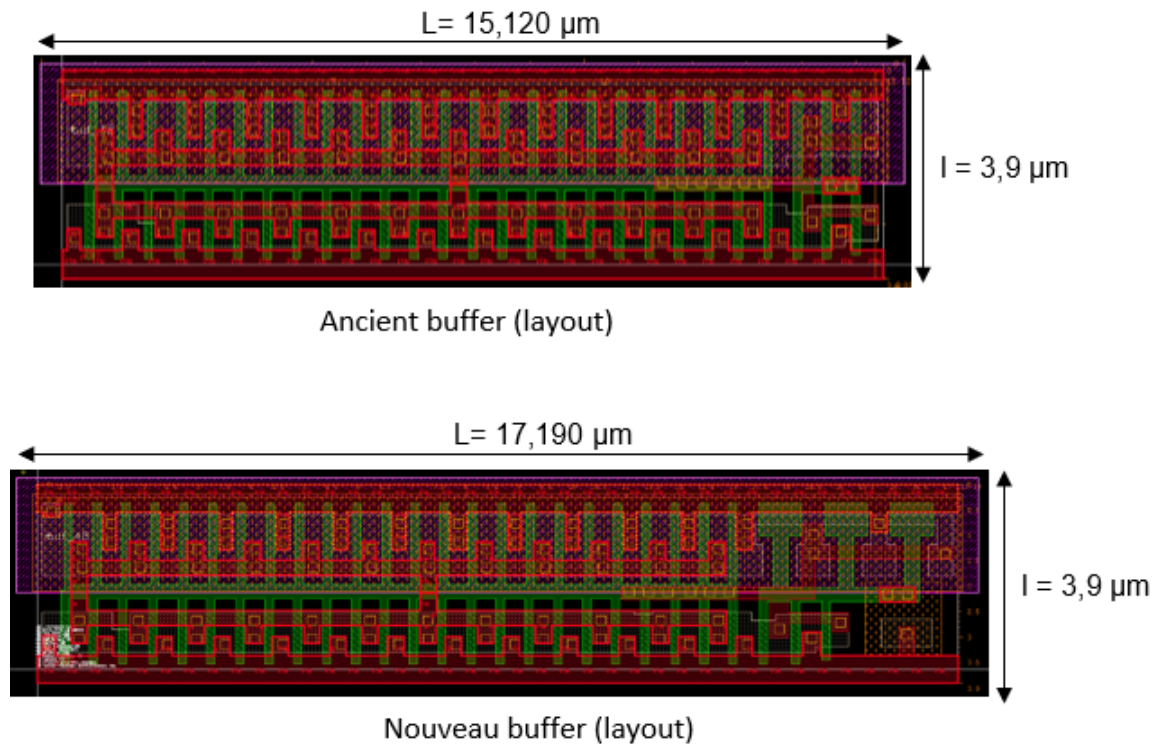


Figure III: Comparaison de la dimension du "layout" de l'ancien buffer et du nouveau buffer

On constate que nous avons seulement une faible augmentation de la longueur (environ 15%) ce qui dans ce domaine reste très faible et bien souvent négligeable.

Toutefois, nous devons faire extrêmement attention quant au domaine d'application fréquentielle de notre nouveau buffer. En effet ce nouveau circuit ne peut être valable que pour une utilisation basse fréquence. Au-delà, le temps de descente sera beaucoup trop long par rapport à la période utilisée. Le rapport cyclique en sortie du montage s'en trouve donc fortement affecté.

Pour une fréquence d'horloge en entrée de 240 MHz (autre cas applicatif NXP) nous avons un rapport cyclique de 80% comparé à 50% dans le cas précédent comme l'illustre la figure IV.

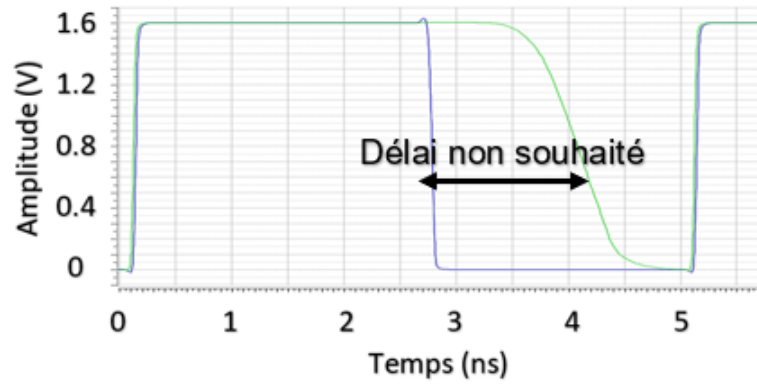


Figure IV: Augmentation du rapport cyclique avec l'augmentation de la fréquence d'utilisation : création d'un délai non souhaité

Avoir choisi un temps de descente 10 fois supérieur au temps de montée est un choix judicieux également en termes de variation de paramètres électriques. Comme expliqué au chapitre 2, lorsque les temps de montée et descente se situent au-delà d'un facteur 6, l'impact des variations d'un côté par rapport à l'autre est minimisé.

Annexe II

II Adoucissement des angles par ajout d'un filtre RC (passe bas)

Nous étudions dans ce paragraphe l'impact de l'ajout d'un filtre de type passe-bas du premier ordre (cellule RC), tant d'un point de vue temporel que fréquentiel.

On considère ainsi un signal trapézoïdal, noté $S(t)$, appliqué à l'entrée d'un filtre linéaire du premier ordre. La figure V décrit la transformation du signal $S(t)$ par filtrage. Le nouveau signal obtenu est appelé $S_f(t)$.

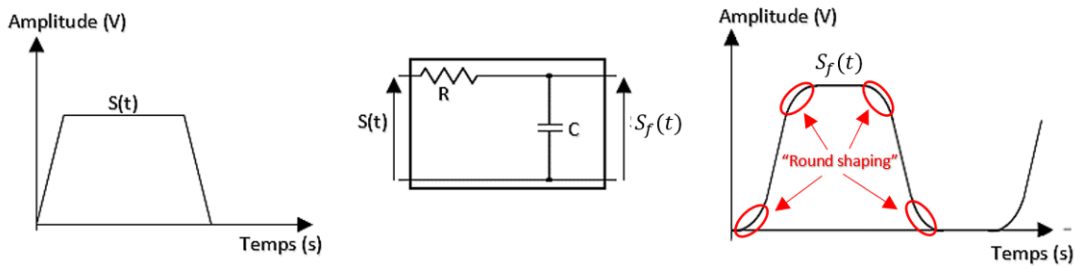


Figure V: Forme d'onde d'un signal en sortie d'un filtre RC

On remarque d'après la figure V, que les angles du signal $S_f(t)$ sont adoucis. Nous cherchons alors à étudier le spectre fréquentiel du signal filtré, noté $S_f(f)$, et son enveloppe spectrale, notée $Enveloppe[S_f(f)]$.

Les relations classiques entrée-sortie du filtre qui est un système linéaire, dans le domaine fréquentiel s'écrivent:

$$S_f(f) = S(f) \cdot H(f) \quad (1)$$

Où $S(f)$ est le spectre du signal trapézoïdal appliqué et $H(f)$ la fonction de transfert ou réponse fréquentielle du filtre. La représentation de $H(f)$ dans le plan de Bode, est donnée figure VI.

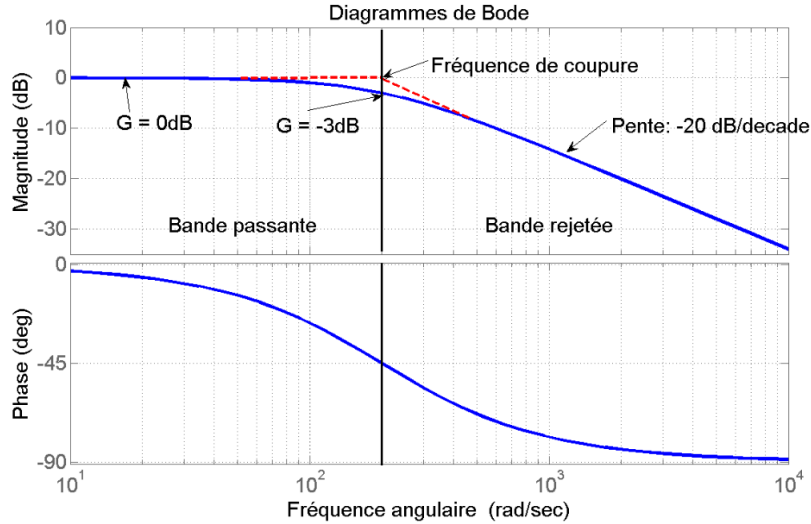


Figure VI: Forme d'onde d'un signal en sortie d'un filtre RC

Comme attendu, l'amplitude de $H(f)$ est constante pour les fréquences, inférieures à la fréquence du filtre $f_c = \frac{1}{2\pi \cdot RC}$. Au-delà de cette fréquence, l'amplitude de $H(f)$ diminue avec une pente de -20 dB / décade.

Dès lors, nous déterminons facilement $Enveloppe[S_f(f)]$. Celle-ci possède quatre fréquences de coupures. Les trois premières sont celles du spectre du signal trapézoïdal appliqué et la quatrième fréquence de coupure est f_c . En considérant des éléments R et C du filtre tels que f_c soit supérieure aux fréquences de coupure du spectre initial, on obtient alors la représentation de la figure 2.25. Dès lors pour des fréquences supérieures à f_c , $Enveloppe[S_f(f)]$ est décrit par une pente de -60 dB par décade.

Filtrer un signal trapézoïdal peut permet donc de diminuer de façon importante son enveloppe spectrale en HF.

Cependant, ceci n'est pas sans influence dans le domaine temporel, et on montre que l'ajout du filtre peut modifier les temps de montée et de descente [55]. Pour éviter cela, il faut prendre en considération le positionnement de la fréquence de coupure du filtre f_c par rapport à la dernière fréquence de coupure liée au signal trapézoïdal, $f_{c3} = \frac{1}{\pi \cdot \tau_{min}}$. En effet, si $f_c < f_{c3}$, cela aura pour conséquence du point de vue temporel, la modification du temps τ_{min} . De même si $f_c < f_{c2}$, alors ce sont τ_{min} et τ_{max} qui seront modifiés. Ainsi, si on souhaite conserver des temps de montée et de descente inchangés, il faut que $f_c \geq f_{c3}$. Dès lors, on envisage le cas limite où $f_c = f_{c3}$, ce qui entraîne :

$$RC = \frac{\tau_{min}}{2} \quad (2)$$

Sachant que l'effet du filtrage agit déjà un peu pour des fréquences inférieures à la fréquence de coupure f_c , afin d'éviter toutes modifications des temps de montée et de descentes lors de l'utilisation du filtre, il convient d'imposer une marge de 20%, ce qui

tend à fixer comme réglage optimum :

$$RC = 0.8 \cdot \frac{\tau_{min}}{2} \quad (3)$$

La figure VII représente les temps de montés des signaux $S(t)$, $S_f(t)$ et $S_{f2}(t)$, où $S_f(t)$ et $S_{f2}(t)$ sont les signaux en sortie du filtre RC dans le cas où $RC < 0.8 \cdot \frac{\tau_{min}}{2}$ et $RC > 0.8 \cdot \frac{\tau_{min}}{2}$.

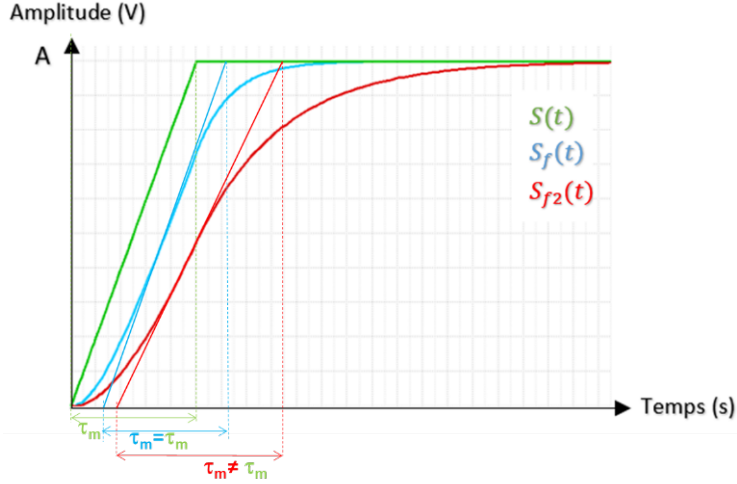


Figure VII: Représentation des temps de montée des signaux $S(t)$, $S_f(t)$ et $S_{f2}(t)$

Comme attendu, dans le cas où $RC > 0.8 \cdot \frac{\tau_{min}}{2}$, il y a modification des temps τ_m et τ_d par rapport au signal d'entrée $S(t)$.

Les paramètres électriques des composants passifs sont assez sensibles aux variations PVT [56][57]. De ce fait, la fréquence de coupure f_c définie précédemment, peut facilement se décaler de façon proportionnelle à R.C, modifiant ainsi $Enveloppe[S_f(f)]$.

La différence d'amplitude entre $Enveloppe[S_f(f)]$ et la nouvelle enveloppe spectrale obtenue après variation de f_c , noté H_2 , peut être calculée de la même manière que l'équation 2.32 du chapitre 2.

$$H_2 = -60 \cdot \log\left(\frac{f_c}{f_{cm}}\right) - 40 \cdot \log\left(\frac{f_{cm}}{f_c}\right) = -20 \cdot \log\left(\frac{f_c}{f_{cm}}\right) \quad (4)$$

Avec f_{cm} la nouvelle fréquence de coupure suite aux variations des paramètres du filtre RC.

Notons également qu'il est tout à fait possible d'utiliser des filtres d'ordre supérieur à 1, permettant ainsi de diminuer de façon plus importante l'encombrement spectral du signal. Cependant, cela peut avoir des effets de suroscillations, et poser des soucis aussi bien au niveau fonctionnel que CEM, comme expliqué précédemment.

Contrairement aux effets de suroscillations, l'effet "round shaping" est bénéfique pour la CEM puisque le niveau d'émission conduite, ici représenté sur l'enveloppe spectrale de

$S(t)$, s'en trouve réduit. On cherche donc toujours des méthodes permettant l'obtention de signaux aux transitions adoucies. Cependant, dans des domaines comme l'automobile, l'ajout de filtre passif n'est pas toujours la solution privilégiée à cause de leur taille souvent excessive qui ne permet pas de les intégrer. De plus, cela rajoute une contrainte de coût supplémentaire.

Annexe III

III Présentation d'un outil pour la visualisation rapide des niveaux d'émission conduite en fonction d'une spécification demandée

Dans cette thèse, les avantages et les limites de l'utilisation d'un signal trapézoïdal asymétrique par rapport à un signal symétrique ont été démontrés. Un graphique original a été tracé pour évaluer rapidement l'impact des variations des temps de montée et de descente sur les émissions conduites. Un logiciel a été développé pour anticiper la variation de l'enveloppe spectrale en considérant les variations de chaque paramètre électrique du signal trapézoïdal. Il permet de comparer différents signaux (simulés ou mesurés par une méthode de 150Ω avec les classes limites d'émission générales ou les spécifications du niveau d'émission selon les normes CEI. Cet outil a été utilisé dans plusieurs cas et son utilité pour améliorer le flux de conception de circuits intégrés a été validé. Un exemple d'utilisation est ici présenté.

Pour respecter les limites définies par des spécifications, les concepteurs peuvent être amenés à modifier les temps de montée et de descente. Il est intéressant de connaître et d'anticiper l'effet de telles modifications sur l'émission spectrale. L'outil permet de visualiser facilement les variations de l'enveloppe spectrale dues à une modification / variation du temps de montée et de descente d'un signal trapézoïdal. Tous les paramètres du signal trapézoïdal sont pris en compte (période T , largeur d'impulsion à mi-hauteur τ , amplitude A et temps de montée τ_m et temps de descente τ_d). Les valeurs de tous ces paramètres sont choisies et fixées. Différents signaux trapézoïdaux peuvent être comparés entre eux. Le programme compare instantanément les enveloppes spectrales des signaux, les trace et donne la diminution ou l'augmentation du niveau d'émission sur tout le domaine fréquentiel avec toutes les fréquences de coupure qui caractérisent les signaux. Le logiciel peut également comparer les signaux aux classes limites d'émission générales et aux spécifications des clients concernant le niveau d'émission conformément aux normes IEC61967-2, IEC61967-4 et IEC61967-8. De plus, pour comparer les résultats simulés à de véritables mesures faites en laboratoire, une modification a été mise en œuvre dans le programme pour obtenir le résultat de l'enveloppe spectrale à la sortie d'une configuration relative à la méthode 150Ω utilisée pour la mesure CEM.

À titre d'exemple, nous présentons l'émission conduite de deux signaux trapézoïdaux (S1 et S2) qui ont été simulés et comparés à la limite de spécification 1eK. Les valeurs des paramètres de ces signaux sont présentées dans le tableau I.

Signal	Période	Rapport Cyclique (%)	Temps de montée (μs)	Temps de descente (μs)	Amplitude Maximum V_{out} (V)
S1	$1 \mu s$	0.4	10 ns	20 ns	4 V
S1	$1 \mu s$	0.6	50 ns	80 ns	5 V

Table 1: Paramètres des signaux S1 et S2

Les résultats de l'enveloppe spectrale de la méthode de 150Ω pour les signaux S1 et S2 sont présentés sur la figure VIII est comparé aux limites de spécification 1eK selon le niveau d'émission de la norme CEI 61967.

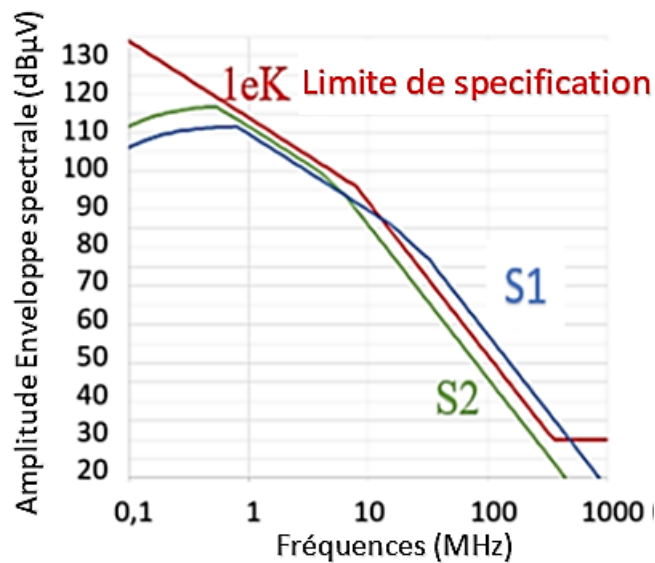


Figure VIII: Comparaison des signaux S1 et S2 avec la limite de spécification à travers l'outil développé

Ce graphique montre que le niveau d'émission conduite de S2 est inférieur à la limite de spécification sur l'ensemble du domaine fréquentiel alors que le niveau d'émission conduite de S1 est supérieur dans la gamme des hautes fréquences. Les temps de montée et de descente agissant dans ces hautes fréquences, ces paramètres ne sont pas adaptés à cette limite.

Annexe IV

IV Code VerilogA

Dans cette annexe est définie une partie du code veriloga, illustré par la figure IX, pour la réalisation d'un modèle de condensateur céramique en fonction de la température, de la tension DC, du package. Ce modèle comprend également la résistance et l'inductance parasite des condensateurs modélisés, estimées à partir d'un VNA. La méthode est décrite dans le chapitre 3.

```
module capa_VT(p,n);

inout p,n;
electrical p,n;
electrical b;
electrical c;
parameter string cap="cap_1E-9";//choix de la valeur du condensateur. Menu déroulant.
parameter string size="size_0402";// choix du package. Menu déroulant : 0402/0603/0805/1206.
parameter real VDC = 0;//choix de la tension DC .

/* Définition des variables.
real r1;
real l1;
real c1;
real coeffT;
parameter real tempc=25;
*/

/* Définition du modèle RLC des condensateurs.
branch (p, b) ind1;
branch (b, c) res1;
branch (c, n) cap1;
*/

analog begin

coeffT=(-3.09E-10*pow(tempc,5)+1.59E-7*pow(tempc,4)-1.4E-5*pow(tempc,3)-9.93E-
4*tempc*tempc+1.87E-2*tempc+1.39E-1)/100+1);// coefficient de température noté coefft.

if (size == "size_0402") // choix du package.
begin
if(cap=="cap_220E-12");// définition de la valeur du condensateur de package 0402.
begin
r1=0.65;// valeur de la résistance parasite, estimée au VNA.
l1=356E-12; // valeur de l'inductance parasite, estimée au VNA.
c1=(-1.93E-14*VDC*VDC-1.39E-13*VDC+2.22E-10)*coeffT; // valeur de la
résistance parasite, mesurée au capacimètre.
end
end
end
```

Figure IX: Modèle VerilogA d'un condensateur adapté pour la CEM

Annexe V

V Mesure de l'émission conduite d'un montage Low Side

Les mesures d'émission conduite en sortie de montages source commune en fonction des variations PVT et réalisés à partir des transistors de références BS170 et IRLZ44N sont présentés dans cette partie. Le setup est représenté figure X.

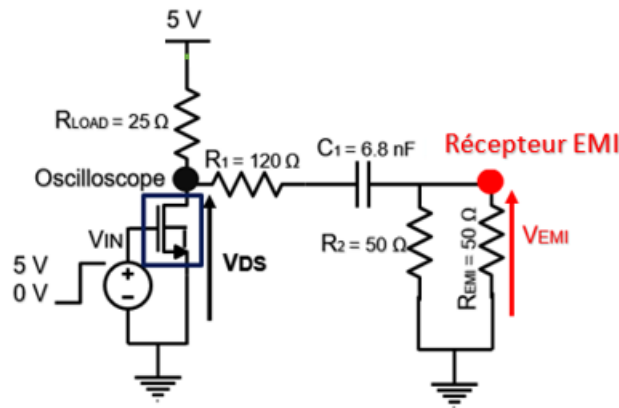


Figure X: Topologie du circuit pour les tests de variation d'alimentation, variation du driver et de température

L'impact de la variation de la tension d'alimentation sur le niveau d'émission conduite est représenté figure XI.

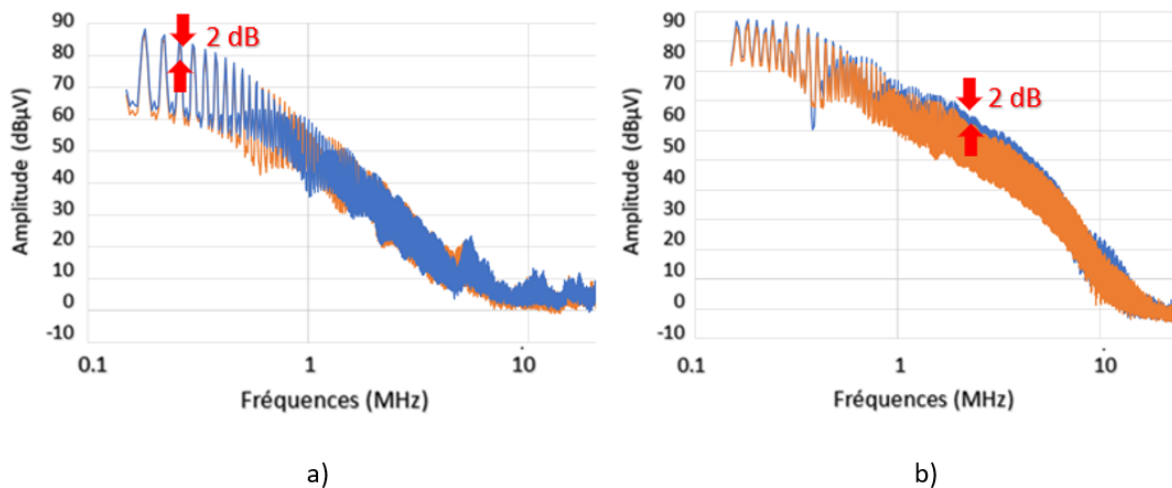


Figure XI: Impact de la variation d'alimentation sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N

D'après la figure XI, on constate une augmentation du niveau d'émission conduite en basses et moyenne fréquence lorsque la tension d'alimentation augmente. On retrouve environ les 2 dB estimé chapitre 3.

La figure XII représente la variation d'émission conduite en fonction de la variation de la tension du driver (10%).

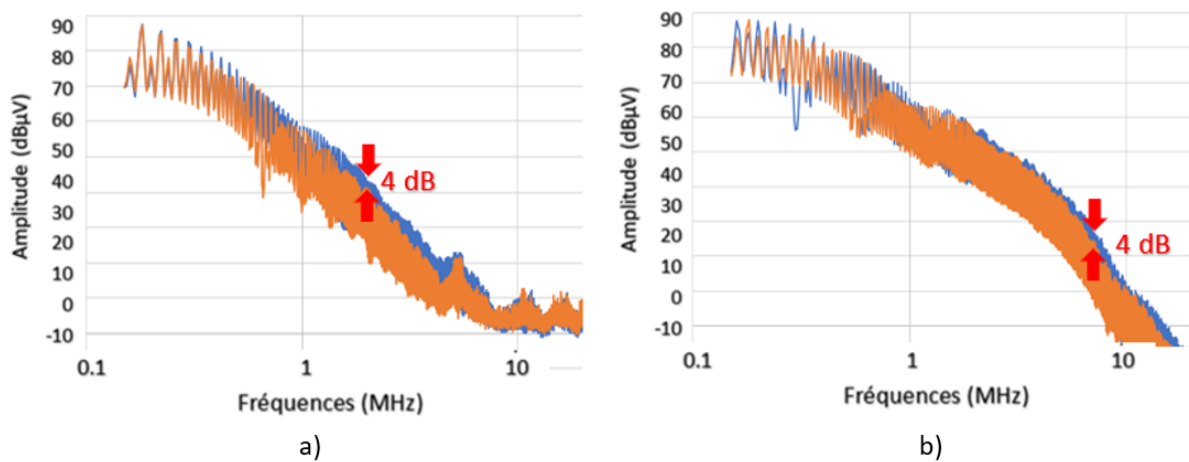


Figure XII: Impact de la variation d'amplitude du signal de commande sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N

Comme décrit au chapitre 3, on observe une augmentation du niveau d'émission conduite de 4 dB pour une variation de la tension de contrôle de (10%).

La figure XIII représente la variation du niveau d'émission conduite en fonction de la variation (20%) des temps de montée et descente.

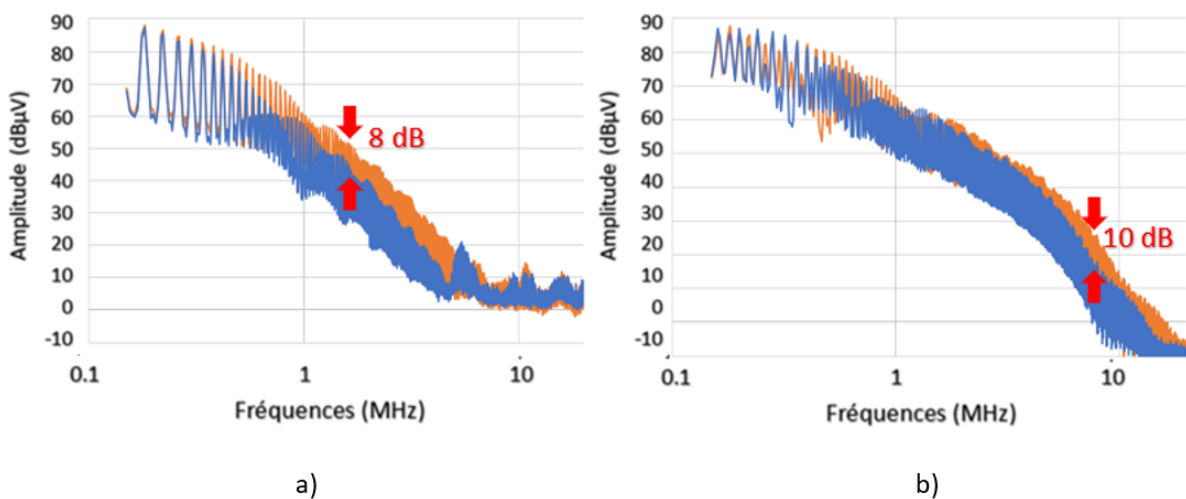


Figure XIII: Impact de la variation des temps de montée et descente du signal de commande sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N

D'après la figure XIII on y retrouve une variation d'environ 9 dB entre une variation des temps de montés et descente de 10

Enfin, la figure XIV représente la variation du niveau d'émission conduite pour les températures de -40°C , 0°C , 25°C , 80°C et 130°C .

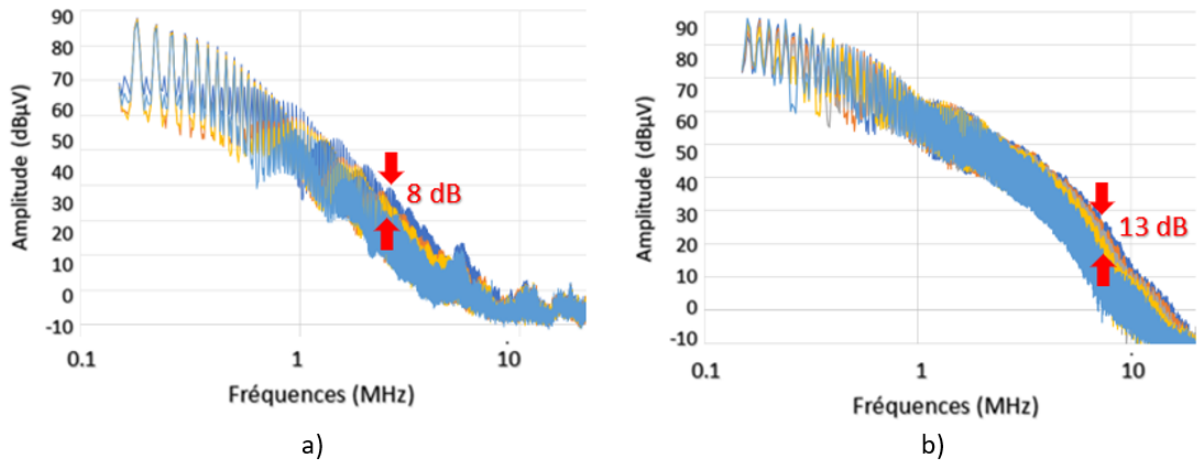


Figure XIV: Impact de la variation de température sur le niveau d'émission conduite avec a) transistor BS170 ; b) transistor IRLZ44N

Comme dans le chapitre 3, on y observe une élévation du niveau d'émission conduite lorsque la température diminue et une différence maximale de 8 dB (MOSFET BS170) et 13 dB (MOSFET IRLZ44N) pour des températures de -40°C et 130°C .

Bibliographie

- [1] L. Li, D. Wen, N. Zheng, L. Shen. Cognitive Cars: A New Frontier for ADAS Research. *IEEE Transactions on Intelligent Transportation Systems*, 2012.
- [2] N. Varga, L. Bokor, A. Takács, J. Kovács, L. Virág. An architecture proposal for V2X communication-centric traffic light controller systems. *15th International Conference on ITS Telecommunications (ITST)*, 2017.
- [3] H. Zhou, W. Xu, J. Chen, W. Wang. Evolutionary V2X Technologies Toward the Internet of Vehicles: Challenges and Opportunities. *Proceedings of the IEEE*, 2020.
- [4] L'automobile progresse deux fois plus vite que l'ensemble du marché des circuits intégrés. *ViPress.com*, 2018 . <https://vipress.net>
- [5] A. Boyer, E. Sicard. Basis of electromagnetic compatibility of integrated circuits. *Presses Universitaires du Mirail*, Septembre 2017.
- [6] S. Akue Boulingui. Etude du couplage électromagnétique entre circuits intégrés par émulation du perturbateur - Application en téléphonie 3G. Thèse de doctorat, *Laboratoire Toulousain de Technologies et d'Ingénierie des Systèmes (LATTIS)*, 2009.
- [7] S. Zangui. Détermination et modélisation du couplage en champ proche magnétique entre systèmes complexes. Thèse de doctorat, *Laboratoire Ampère*, 2011.
- [8] T. Hegarty. An overview of conducted EMI specifications for power supplies. White paper, *Texas Instruments*, Février 2018.
- [9] R. H. Dennard, F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous et A. R. LeBlanc. Design of ion-implanted MOSFET's with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, Vol. 9, pp. 256 – 268, Octobre 1974.
- [10] C. Navarro. Copolymères à blocs pour la nanolithographie. *Arkema*.
- [11] : S. Moore. TSMC's 5-Nanometer Process on Track for First Half of 2020. *IEEE SPECTRUM*, 2019.
- [12] M. Ramdani, E. Sicard, S. Dhia, et J. Catrysse. Towards an EMC roadmap for Integrated Circuits. *2008 Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility, APEMC*, Singapour, pp. 8 – 11, Mai 2008.
- [13] A. Ayed. Développement de méthodologies pour l'extraction et la construction des macromodèles d'immunité électromagnétique appliqués aux circuits intégrés. Thèse de doctorat, *Laboratoire de l'intégration, du matériau au système (IMS)*, 2014.

- [14] J-B. Gros. Modélisation de l'immunité des circuits intègres complexes aux perturbations électromagnétiques. Thèse de doctorat, Laboratoire de l'intégration, du matériau au système (IMS), 2010.
- [15] R. Monteiro, B. Borges, V. Anunciada. EMI reduction by optimizing the output voltage rise time and fall time in high-frequency soft-switching converters. 2004 IEEE 35th Annual Power Electronics Specialists Conference, Aix-la-Chapelle, Allemagne, Juin 2004.
- [16] R. Bège. Analysis and modeling methods for predicting functional robustness of integrated circuits during fast transient events. Thèse de doctorat, Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS), 2017.
- [17] J. Taki, F. Robert, M. Bensetti, P. Dessante, D. Sadarnac. Modélisations orientées CEM d'un convertisseur de puissance pour une optimisation multi-physique. Symposium de Genie Electrique, Grenoble, France, Juin 2016.
- [18] M. A. Ismail, I. Md. Nasir, R. Ismail. Modeling of temperature variations in MOSFET mismatch for circuit simulations. 2009 1st Asia Symposium on Quality Electronic Design, Kuala Lumpur, Malaisie, Juillet 2009.
- [19] A. Boyer, A. N. Cisse, S. Ben Dhia, L. Guillot, B. Vrignon. Characterization of the Evolution of IC Emissions after Accelerated Aging. IEEE Transactions on Electromagnetic Compatibility, Institute of Electrical and Electronics Engineers, Vol. 51, pp. 892 – 900, Novembre 2009.
- [20] N. Baptistat, K. Abouda, G. Duchamp, T. Dubois. Effects of Process-Voltage-Temperature (PVT) Variations on Low-Side MOSFET circuit Conducted Emission. 2019 12th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Hangzhou, Chine, Octobre 2019.
- [21] J.A. Martino, J.P. Raskin, S. Selberherr, H. Ishii, F. Gamiz, B.Y. Nguyen, A. Yoshino. Advanced CMOS-Compatible Semiconductor Devices 18. The Electrochemical Society, 4 mai 2018.
- [22] J. Lorenz, E. Bär, A. Burenkov, P. Evanschitzky, A. Asenov, L. Wang, X. Wang, A. R. Brown, C. Millar, D. Reid. Simultaneous simulation of systematic and stochastic process variations. 2014 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Yokohama, Japon, Septembre 2014.
- [23] M. Altieri Scarpato. Digital circuit performance estimation under PVT and aging effects. Thèse de doctorat, Laboratoire d'Electronique et des Technologies de l'Information, CEA Grenoble, 2017.
- [24] E. Leseure – Zajkowska. Contribution à l'implantation de la méthode Lean Six Sigma dans les Petites et Moyennes Entreprises pour l'amélioration des processus. Thèse de doctorat, Laboratoire de Modélisation et Management des Organisations, 2014.
- [25] I. El Moukhtari. Elaboration de nouvelles méthodologies d'évaluation de la fiabilité de circuits nanoélectroniques. Thèse de doctorat, Laboratoire de l'intégration, du matériau au système (IMS), 2012.

- [26] K. Qian, B. Nikolić, C. J. Spanos. Hierarchical Modeling of Spatial Variability with a 45nm Example. The International Society for Optical Engineering · March 2009 [27] G. Panagopoulos, K. Roy. A physical 3-D analytical model for the threshold voltage considering RDF. IEEE, Device Research Conference 2009.
- [28] M. Denais. Etude des phénomènes de dégradation de type Négative Bias Température Instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées. Thèse de doctorat, Analyse de données, Statistiques et Probabilités. Université de Provence - Aix-Marseille I, 2005.
- [29] Norme Internationale IEC 61967-1. Circuits intégrés – Mesure des émissions électromagnétiques, 150 kHz à 1 GHz – Partie 1: Conditions générales et définitions. 2002
- [30] S. Baffreau. Mise en œuvre de méthodes de mesures CEM pour un composant de type microcontrôleur. Mémoire de fin d'études DEA présentée à l'Institut National des Sciences Appliquées de Toulouse, France, 1999.
- [31] M. Kanane. H. Méthodes de mesure en compatibilité électromagnétique des circuits intégrés. Mémoire de fin d'études présenté en vue de l'obtention du Diplôme d'Ingénieur d'Etat en Electronique, Université Mouloud Mammeri, Tizi-Ouzou, Algérie, 2009.
- [32] A. El Abbazi. Etude et réalisation d'une nouvelle cellule TEM à support rotatif pour des mesures CEM des circuits intégrés : Application du modèle ICEM. Thèse de doctorat, Institut d'Electronique et de Télécommunications de Rennes (IETR), 2006.
- [33] Norme Internationale IEC 61967-3. Circuits intégrés – Mesure des émissions électromagnétiques – Partie 3: Mesure des émissions rayonnées – Méthode de balayage en surface. 2005.
- [34] T. Ostermann, B. Deutschmann. Characterization of the EME of integrated circuits with the help of the IEC standard 61967 [*electromagneticmission*]. IEEE, The Eighth IEEE European Test Workshop, 2003.
- [35] J.S.E. Lilienfeld. Method and Apparatus for Controlling Electric Currents. Brevet 1745175, 1930.
- [36] J.S.E Lilienfeld. Device for Controlling Electric Current. U.S. Brevet 1900018, 1933.
- [37] W. Shockley et G. L. Pearson. Modulation of Conductance of Thin Films of Semiconductors by Surface Charges. Physical Review, Vol. 74, no.2, p.232, Juillet 1948.
- [38] J. Redoutey. Les transistors à effet de champ mos. Support d'enseignement, Centrale Marseille. http://jredoutey.free.fr/Puissance/3-Transistor_MOS.pdf.
- [39] C. Lindquist. Design of a DC/DC Converter for Power Transmission to a ROTV, Power Conversion. Rapport de stage de fin de Master, Université d'Aalborg, Danemark, 2019.
- [40] D. Matoušek, O. Šubrt, J. Hospodka. Fibonacci charge pump design, test and measurement. 11th International Conference on Measurement, 2017.
- [41] K. Rahma. Etude des pertes dans les convertisseurs statiques. Thèse de doctorat, laboratoire LATAGE de l'Université Mouloud MAMMERI de Tizi-Ouzou, Algérie, 2015.
- [42] A. Schindler, B. Koepl, B. Wicht. EMC and switching loss improvement for fast

switching power stages by di/dt , dv/dt optimization with 10ns variable current source gate driver. 2015 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Edimbourg, Ecosse, Novembre 2015.

[43] M. Akhbari, J. L. Schanen, R. Perret. Switching cell design with EMC and commutation losses criteria. Conference Record of the 1999 IEEE Industry Applications Conference and Thirty-Forth IAS Annual Meeting, Phoenix, Etats-Unis, Octobre 1999.

[44] G. Aulagnier, M. Cousineau, K. Abouda, E. Rolland, T. Meynard. Impact CEM haute fréquence des commutations dans un convertisseur Buck. Etude analytique et application aux structures parallèles à commandes entrelacées. Symposium de Génie Electrique, 8-10 JUILLET 2014.

[45] : H. Nateghi, K.El-Sankary, A self-healing technique using ZTC biasing for PVT variations compensation in 65nm CMOS technology, IEEE 28th Canadian Conference on Electrical and Computer Engineering (CCECE) 2015.

[46] K. Khachikyan, L. Msryan, A. Balabanyan, A. Tshshmarityan, Research of PVT variation influence on PLL system and methodology of control voltage stabilization, IEEE 37th International Conference on Electronics and Nanotechnology (ELNANO) 2017.

[47] A. Nagel, R. W. De Doncker. Analytical Approximations Of Interference Spectra Generated By Power Converters. IAS '97. Conference Record of the 1997 IEEE Industry Applications Conference Thirty-Second IAS Annual Meeting, La Nouvelle-Orléans, Etats-Unis, Octobre 1997.

[48] S. W. Smith. The Scientist and Engineer's Guide to Digital Signal Processing. California Technical Pub, première édition, 1997.

[49] R. Monteiro, B. Borges, V. Anunciada. EMI reduction by optimizing the output voltage rise time and fall time in high-frequency soft-switching converters. 2004 IEEE 35th Annual Power Electronics Specialists Conference, Aix-la-Chapelle, Allemagne, Juin 2004.

[50] J. Castro, P. Parra, M. Valencia, A. J. Acosta. Asymmetric clock driver for improved power and noise performances. 2007 IEEE International Symposium on Circuits and Systems, La Nouvelle-Orléans, Etats-Unis, Mai 2007.

[51] X. Ying, Y. Liao, G. Shi, A. Chen. Analysis and control of electromagnetic emission for ringing signal. 2015 IEEE 6th International Symposium on Microwave, Antenna, Propagation, and EMC Technologies (MAPE), Shanghai, Chine, Octobre 2015.

[52] T. Williams. EMC for Product Designers. Edition Newnes, cinquième édition, Septembre 2016.

[53] V. Dos Santos. Modélisation des émissions conduites de mode commun d'une chaîne électromécanique. Optimisation paramétrique de l'ensemble convertisseur filtres sous contraintes CEM. Thèse de doctorat, Laboratoire Plasma et Conversion d'Energie (LAPLACE), 2019.

[54] F. Costa et D. Magnon. Graphical Analysis of the Spectra of EMI. IEEE Transactions on Power Electronics, Vol. 20, Issue 6, pp. 1491 – 1498, Novembre 2005.

- [55] : Relationship Between Rise Time and Bandwidth for a Low-Pass System. THORLABS. https://www.thorlabs.com/newgrouppage9.cfm?objectgroup_id=9817
- [56] F. Perisse, P. Venet, G. Rojat, J-M. Rétif. Simple model of an electrolytic capacitor taking into account the temperature and aging time. *Electrical Engineering*, 88, pp. 89-95, 2006.
- [57] D. He, J. Cheng, L. Chen. Global scaling inductor models with temperature effect. 2008 9th International Conference on Solid-State and Integrated-Circuit Technology, Pékin, Chine, Octobre 2008.
- [58] M. Altieri Scarpato. Digital circuit performance estimation under PVT and aging effects. Thèse de doctorat, Commissariat à l'énergie atomique et aux énergies alternatives - Laboratoire d'Electronique et de Technologie de l'Information (CEA-LETI), 2017.
- [59] T. Chawla. Study of the impact of variations of fabrication process on digital circuits. Thèse de doctorat, Laboratoire Traitement et Communication de l'Information (LTCI), 2010.
- [60] S. Narendra, K. Soumyanath, V. De. Low voltage pvt insensitive mosfet based voltage reference circuit. Brevet, 1999.
- [61] K-S. Chen, C-M. Yang. Quality Capability Assessment for Thin-Film Chip Resistor. *IEEE Access*, Vol. 7, pp. 92511 – 92516, 2019.
- [62] N. Baptistat, K. Abouda, A. Doridant, B. Vrignon, T. Dubois. Dynamic models of external capacitors to perform accurate EMC and ESD simulations. 2017 International Symposium on Electromagnetic Compatibility - EMC EUROPE, Angers, France, Septembre 2017.
- [63] L. W. Condra, G. M. Johnson, M. G. Pecht, A. Christou. Evaluation of manufacturing variables in the reliability of surface mount capacitors. *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, Vol. 15, Issue 4, pp. 542 – 552, Aout 1992.
- [64] C.R. Sullivan, Y. Sun, A.M. Kern. Improved distributed model for capacitors in high-performance packages. Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting, Pittsburgh, Etats-Unis, Octobre 2002.
- [65] F. Teyssandier, D. Prêle. Commercially Available Capacitors at Cryogenic Temperatures. Ninth International Workshop on Low Temperature Electronics, Guarujá, Brésil, Juin 2010.
- [66]: G. Nikolov, I. Ruskova, E. Gieva, B. Nkolova. System for multi-frequency capacitance-voltage characterization. XXVI International Scientific Conference Electronics (ET), 2017.
- [67] S. Scheier, S. Frei. Characterization and Modeling of ESD-Behavior of Multi Layer Ceramic Capacitors. 2013 International Symposium on Electromagnetic Compatibility, Bruges, Belgique, Septembre 2013.
- [68] C. Rostanzadeh, H. Dadgostar, F. Canavero. Electrostatic Discharge analysis of Multi Layer Ceramic capacitors. 2009 IEEE International Symposium on Electromag-

netic Compatibility, Austin, Etats-Unis, Aout 2009.

[69] Kenneth S. Kundert, Olaf Zinke. The Designer's Guide to VerilogAMS.

[70] Datasheet STP16NF06L – ST Microelectronics . <https://www.st.com/resource/en/datasheet/stp16nf06l.pdf>.

[71] Datasheet IRLZ44N – International Rectifier . <http://www.irf.com/product-info/datasheets/data/irlz44n.pdf>.

[72] Datasheet BS170 – ON Semiconductor . <https://www.onsemi.com/pub/Collateral/BS170-D.PDF>.

[73] F. Reby, R. Bausiere, B. Sohier, F. Costa. Reduction of radiated and conducted emissions in power electronic circuits by the continuous derivative control method (CDCM). 7th Int. Conf. Power Electron. Variable Speed Drives, Londres, Royaume-Uni., Septembre 1998.

[74] K. Kam, D. Pommerenke, F. Centola, C-W. Lam, R. Steinfeld. EMC Guideline for Synchronous Buck Converter Design. 2009 IEEE International Symposium on Electromagnetic Compatibility, Austin, Etats-Unis, Aout 2009.

[75] H. Funato, T. Igarashi, F. Okazaki, T. Mori, S. Ogasawara, Y. Hirota. Optimization of Switching Transient Waveform to Reduce Harmonics in Selective Frequency bands. IEEJ Journal of Industry Applications, vol. 2, no. 3, pp.161–169, Novembre 2012.

[76] C. Xu, Q. Ma, P. Xu, T. Cui. Shaping SiC MOSFET Voltage and Current Transitions by Intelligent Control for Reduced EMI Generation. Electronics Journal, 2019.

[77] X. Yang, Y. Yuan, X. Zhang, P. R. Palmer. Shaping High-Power IGBT Switching Transitions by Active Voltage Control for Reduced EMI Generation. IEEE Transactions on Industry Applications, Vol. 51, Issue 2, pp. 1669 – 1677, 2015.

[78] T. Cui, Q. Ma, P. Xu, Y. Wang. Analysis and Optimization of Power MOSFETs Shaped Switching Transients for Reduced EMI Generation. IEEE Access, Vol. 5, pp. 20440 – 20448, Octobre 2017.

[79] M. Blank, T. Glück, A. Kugi, H-P. Kreuter. Digital Slew Rate and S-Shape Control for Smart Power Switches to Reduce EMI Generation. IEEE Transactions on power electronics, Vol. 30, no. 9, pp. 5170 – 5180, Septembre 2015.

[80] L. Creosteanu, A. Danchiv, G. Brezeanu. Automotive High Side Power Switch Driver Circuit. 2008 International Semiconductor Conference, Sinaia, Roumanie, Octobre 2008.

[81] A. Schindler, B. Koepl, B. Wicht. EMC Analysis of Current Source Gate Drivers. 2013 9th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Nara, Japon, Decembre 2013.

[82] L. Creosteanu, A. Danchiv, G. Brezeanu. Five Current Steps Topology for Gate Charging to Improve EMC Behaviour. 2009 IEEE Trans, International Semiconductor Conference Sinaia, Roumanie, Octobre 2009.

[83] A. Schindler, B. Koepl and B. Wicht “EMC and Switching Loss Improvement for Fast Switching Power Stages by di/dt, dv/dt Optimization with 10 ns Variable Current Source Gate Driver” Proc. of the 10th International Workshop on the Electromagnetic

Compatibility of Integrated Circuits (EMC Compo), 2015.

[84] Automotive Electronics Council AEC Q-100. Failure Mechanism Based Stress Test Qualification For Integrated Circuits. Revision H, Septembre 2014.

[85] NXP. UM11182, Q100(MC33XS2410) Extreme switch software driver user guide. User manual. Rev. 30, Aout 2019.

[86] F. Vincis, L. Fanucci. A Trimmable RC-oscillator for Automotive Applications, with Low Process, Supply, and Temperature Sensitivity. 2005 12th IEEE International Conference on Electronics, Circuits and Systems, Gammarrth, Tunisie, Decembre 2005.

[87] Q. Zhou, L. Li, G. Chen. An RC oscillator with temperature compensation for accurate delay control in electronic detonators. 2009 IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC), Xi'an, Chine, Decembre 2009.

[88] Y. Nakamura. A design method for skew tolerant latch design. IEEE Asia Pacific Conference on Circuits and Systems, 2008.

[89] S. Ghannoum, D. Chtchvyrkov, Y. Savaria. A comparative study of single-phase clocked latches using estimation criteria. Proceedings of IEEE International Symposium on Circuits and Systems, 1994.

[90] J. Castro, P. Parra, M. Valencia, A. Acosta. Asymmetric clock driver for improved power and noise performances. IEEE International Symposium on Circuits and Systems, 2007.