



HAL
open science

**Caractérisation et modélisation CEM des nouvelles
technologie de composants de puissance (SIC).:
Application : convertisseurs de puissance.**

Ali Alhoussein

► **To cite this version:**

Ali Alhoussein. Caractérisation et modélisation CEM des nouvelles technologie de composants de puissance (SIC).: Application : convertisseurs de puissance.. Micro et nanotechnologies/Microélectronique. Normandie Université, 2020. Français. NNT : 2020NORMR043 . tel-03124082

HAL Id: tel-03124082

<https://theses.hal.science/tel-03124082>

Submitted on 28 Jan 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Normandie Université

THÈSE

Pour obtenir le diplôme de doctorat

**Spécialité
GENIE ELECTRIQUE**

Préparée au sein de l'Université de Rouen

Caractérisation et modélisation CEM des nouvelles technologies de composants de puissance (SiC). Application: convertisseurs de puissance.

**Présentée et soutenue par
Ali ALHOUSSEIN**

**Thèse soutenue publiquement le 12/11/2020
devant le jury composé de**

M. Zoubir KHATIR	Directeur de recherche, Université Gustave Eiffel, Champs-sur-Marne, France	Rapporteur
Mme. Corinne ALONSO	Professeur, Université Toulouse III - Paul Sabatier, Toulouse, France	Rapporteur
M. Jean-Luc SCHANEN	Professeur, INP de Grenoble, Grenoble, France	Examineur
M. Jean-Charles Le Bunetel	Professeur, Université de Tours, Tours, France	Examineur
M. Zouheir RIAH	Enseignant-chercheur HDR, ESIGELEC, Rouen, France	Co-directeur de thèse
M. Yacine AZZOUZ	Enseignant-chercheur HDR, ESIGELEC, Rouen, France	Directeur de thèse
M. Hadi ALAWIEH	Docteur – Ingénieur R&D, VEDECOM, Versailles, France	Invité

Thèse dirigée par Yacine AZZOUZ, laboratoire IRSEEM (EA 4353)

Thèse co-dirigée par Zouheir RIAH, laboratoire IRSEEM (EA 4353)

Remerciements

Je tiens à remercier ici l'ensemble des personnes qui ont contribué à la réussite de ce travail et dire le plaisir que j'ai eu à effectuer cette thèse au sein de l'Institut VEDECOM en collaboration avec le laboratoire de Recherche en Systèmes Électroniques Embarqués (IRSEEM). Je remercie en premier lieu Monsieur Zouheir RIAH pour m'avoir accueilli au sein de l'institut et pour avoir co-dirigé ce travail de thèse. Je tiens à exprimer ma gratitude envers mon directeur de thèse, Monsieur Yacine AZZOUZ, pour son encadrement et pour la confiance qu'il m'a témoignée tout au long de ces travaux de recherche.

J'adresse également mes sincères remerciements à l'ensemble des membres du jury de soutenance, en commençant par Monsieur Zoubir KHATIR et Madame Corinne Alonso de m'avoir fait l'honneur d'être les rapporteurs de ce travail de thèse. Je remercie Messieurs Jean-Luc SCHANEN et Jean-Charles Le Bunetel pour leurs remarques en qualité d'examineur.

Je tiens à remercier aussi Monsieur Hadi ALAWIEH pour le soutien et l'aide qu'il m'avait apporté durant les travaux de cette thèse. Ces contributions et son soutien étaient un facteur important dans la réussite de cette thèse.

Je remercie aussi Madame Leyla HABAREK ARIOURA pour son soutien moral et logistique pendant cette thèse.

Après ces remerciements protocolaires, j'aimerais dédier les lignes qui vont suivre aux collègues de VEDECOM. Plus que de simples collègues de travail, ils sont devenus tout au long de ces années de véritables amis.

Que ça soit Nadim avec son humour toujours impeccable ou Ludovic avec ses plaisanteries souvent perturbantes ou Salim avec ses études américaines toujours prêtes pour prouver ou réfuter n'importe quel sujet (les OG de Mermoz) ... Un grand merci d'avoir rendu ces années de thèse un peu plus agréables. N'oublions pas Joao-André, Ilango, Erwann, Marc-olivier, Valentin, Benoît, Paul et Quentin qui ont transformé les pauses café en séances de débats/plaisanteries. C'était et c'est toujours un plaisir de vous voir et de discuter avec vous.

A la famille... Ces remerciements s'adressent naturellement à la famille qui a toujours eu confiance en moi et m'a soutenu jusqu'au bout. Sans elle, je n'aurais pu en arriver là aujourd'hui. A mon père, à ma mère, mon frère et ma sœur, merci de tout votre soutien et votre encouragement.

Et finalement, à la personne la plus importante de ma vie, ma fiancée Abir, je t'aime et je suis de plus en plus amoureux de toi au fil des jours. Tu es devenue mon rocher, mon ancre, ma clarté au milieu du chaos et la voix de la raison tout au long de la folie de nos vies. Mon amour, je ne peux pas imaginer comment j'aurai pu faire ce voyage sans toi. Merci pour ton bon cœur, pour ton esprit incroyable, pour ta belle âme, pour ta remarquable volonté, d'être là pour moi, de m'aimer, de me soutenir et de m'aider à dépasser les défis que la vie nous a lancés ! Une autre histoire reste à écrire pour nous ...

Résumé

Avec le développement des nouveaux composants de puissance à grand gap plus performants que leurs homologues en Silicium et l'intégration croissante de ces composants dans le véhicule électrique, la compatibilité électromagnétique est devenue un enjeu important pour le respect des normes de conformité en vigueur. La thèse traite donc les méthodes de modélisation haute fréquence des composants grand gap.

Les problèmes liés à la fiabilité et la précision des modèles actuels sont mis en évidence. Ensuite, un nouveau modèle générique est proposé avec des formulations spécifiques lui permettant de mieux reproduire les caractéristiques statiques et dynamiques des MOS-FETs en SiC.

Des bancs de test ont été mis en place permettant de caractériser ces nouveaux composants avec des précautions spécifiques afin d'améliorer la précision de ces mesures. L'utilisation d'un algorithme génétique développé pour identifier les paramètres du modèle générique proposé, a permis une reproduction fine des caractéristiques mesurées expérimentalement de plusieurs composants SiC ainsi que les perturbations CEM générées dans un convertisseur statique.

Mots clés :

- Modélisation, caractérisation
- Composants grand gap, Carbure de Silicium (SiC)
- Convertisseur de puissance, électronique de puissance
- CEM - conduit

Abstract

With the development of new large-gap power components with superior performance compared to their Silicon counterparts and the rising integration of these components in the electric vehicle, electromagnetic compatibility has become an important issue for compliance with normative standards. Hence, this thesis discusses the modeling methods of wide bandgap components.

Problems related to the reliability of the models and their accuracy are highlighted. Then, a new model is proposed with specific formulations allowing it to better reproduce the static and dynamic characteristics of SiC MOSFETs.

Test benches have been set up to characterize these new components with specific precautions in order to improve the precision of the measurements. The use of a developed genetic algorithm to identify the parameters of the proposed generic model, allowed a close reproduction of the characteristics measured experimentally of several SiC components as well as the EMC disturbances generated in a static converter.

Keywords :

- Modeling, characterization
- Wide bandgap components, Silicon Carbide (SiC)
- Power converter, power electronics
- EMC - Conducted

Table des matières

Introduction générale	9
I État de l'art	11
I.1 Les composants semi-conducteurs de puissance à base de Carbure de Silicium (SiC)	12
I.1.1 Caractéristiques du matériau SiC	12
I.1.2 Les diodes de puissance en SiC	17
I.1.3 Les transistors de puissance en SiC	19
I.2 La compatibilité électromagnétique (CEM)	23
I.2.1 Généralités sur la CEM	23
I.2.2 Généralités sur la CEM en mode conduit	24
I.2.3 La norme CEM CISPR 25 appliquée aux véhicules	27
I.2.4 La CEM dans l'électronique de puissance	30
I.3 Conclusion	33
II Modélisation des MOSFETs en SiC	34
II.1 L'état de l'art sur la modélisation des MOSFETs	34
II.1.1 Modèles des MOSFETs présents dans la littérature	34
II.1.2 Modèles des MOSFETs SiC fournis par les fabricants	41
II.2 Tests de caractérisation électrique des modèles	47
II.2.1 Mesure de la capacité d'entrée C_{iss}	48
II.2.2 Mesure de la capacité de sortie C_{oss}	49
II.2.3 Mesure de la capacité de transfert inverse $C_{r_{ss}}$	50
II.2.4 Caractéristiques de sortie I-V	51
II.2.5 Test de commutation à double impulsion	52
II.2.6 Développement d'une interface graphique pour automatisation des tests	53
II.3 Développement d'un nouveau modèle du MOSFET SiC avec une procédure d'optimisation	54
II.3.1 Comparaison entre modèles et datasheets	54
II.3.2 Développement d'un nouveau modèle générique des MOSFETs en SiC	57

II.3.3	Algorithme d'optimisation	59
II.3.4	Validation du nouveau modèle	64
II.3.5	Amélioration du modèle proposé	67
II.4	Conclusion	71
III	Caractérisation expérimentale des MOSFETs SiC et optimisation du modèle développé	73
III.1	Caractérisation statique et optimisation des paramètres statiques du modèle développé	73
III.1.1	Test d'extraction des caractéristiques statiques de sortie I-V	73
III.1.2	Optimisations des paramètres statiques en utilisant les caractéristiques de sortie	78
III.2	Caractérisation dynamique et optimisation des paramètres des capacités du modèle développé	81
III.2.1	Banc de test de caractérisation des capacités en fonction de la tension C-V	81
III.2.2	Mesure des capacités	84
III.2.3	Optimisations des paramètres des capacités du modèle en utilisant les caractéristiques C-V expérimentales	90
III.3	Caractérisation dynamique et optimisation des éléments parasites en utilisant le test de double impulsion	93
III.3.1	Caractérisation dynamique utilisant le test de double impulsion	93
III.3.2	Optimisation de la résistance interne, des éléments parasites et de la diode intrinsèque en utilisant les résultats du test de double impulsion	99
III.4	Validation expérimentale du modèle développé	101
III.5	Conclusion	103
IV	Validation CEM du modèle développé dans un environnement de conversion d'énergie	104
IV.1	Dimensionnement et réalisation d'un convertisseur DC-DC	105
IV.1.1	Spécifications techniques du convertisseur	105
IV.1.2	Dimensionnement des éléments du convertisseur	107
IV.1.3	Formes d'ondes du convertisseur	109
IV.2	Modélisation du convertisseur et comparaison aux résultats expérimentaux	111
IV.2.1	Modélisation des éléments passifs du convertisseur	111
IV.2.2	Modélisation des éléments parasites de la carte	116
IV.2.3	Simulation du convertisseur	119
IV.2.4	Validation CEM du modèle développé	121
IV.3	Conclusion	123

Conclusion générale	125
Bibliographie	128
Annexe	133
A Optimisation des paramètres du modèle	133
A.1 Optimisation des paramètres statiques du modèle	133
A.2 Optimisation des paramètres dynamiques des capacités du modèle	134
B Modélisation des éléments parasites	137
B.1 Calcul des modèles des câbles	137
B.2 Calcul des modèles des composants passifs	137
C Calcul de la FFT et de l'enveloppe	141
C.1 Calcul de la FFT	141
C.2 Calcul de l'enveloppe	142

Table des figures

I.1	Comparaison des facteurs de mérite des matériaux présentés dans le Tableau I.1	16
I.2	Comparaison du phénomène de recouvrement inverse pour une diode SiC SBD "Schottky Barrier Diode" (en rouge) et une diode PIN Si à recouvrement inverse rapide FRD "Fast Recovery Diode" (en bleu) [10]	17
I.3	Configuration « Cascode » d'un JFET SiC normalement passant avec un MOSFET Si basse tension	20
I.4	Comparaison des formes d'onde lors de l'amorçage (a) et lors du blocage (b), d'un MOSFET en SiC avec un IGBT en Si	22
I.5	Le principe des perturbations électromagnétiques	23
I.6	Modes de couplage des perturbations électromagnétiques rayonnées : magnétique (a) et électrique (b)	24
I.7	Les deux modes de propagation des perturbations électromagnétiques : différentiel (a) et commun (b)	25
I.8	Exemple de calcul d'un champ électrique rayonné par une boucle	27
I.9	Schéma électrique du RSIL	28
I.10	Impédance du RSIL vue du côté de l'EST	28
I.11	Banc de test CEM exigé par la norme CISPR25 pour la mesure de tensions	29
I.12	Banc de test CEM exigé par la norme CISPR25 pour la mesure de courants	30
I.13	Montage de mesure de courant du mode commun et du mode différentiel .	30
I.14	Commutations d'un signal trapézoïdal	31
I.15	Deux signaux trapézoïdaux avec des fronts montants et descendants de $250 \text{ V } \mu\text{s}^{-1}$ et $1000 \text{ V } \mu\text{s}^{-1}$ (a) avec leur transformée de Fourier (b)	32
II.1	Modèle du MOSFET Si développé dans [40]	35
II.2	Comparaison entre résultats expérimentaux et ceux issus de la simulation du modèle [40] de la capacité drain-source (a) et de la capacité grille-drain (b)	36
II.3	Comparaison entre résultats expérimentaux et résultats issus de la simulation du modèle [40] à l'amorçage (a) et au blocage (b)	37
II.4	Modèle du MOSFET développé dans [42]	38

II.5	Comparaison entre résultats expérimentaux et ceux issus de la simulation du modèle [42] des caractéristiques de transfert (a) et des caractéristiques de sortie (b)	39
II.6	Comparaison entre les résultats issus du modèle présenté dans [42] et ceux issus du modèle de référence SPICE : des caractéristiques de transfert (a) et des caractéristiques capacité-tension (b)	40
II.7	Comparaison de la tension V_{ds} pendant les commutations entre les résultats issus du modèle mathématique développé dans [44] et ceux issus du modèle de référence SPICE	41
II.8	Modèle du MOSFET SiC C3M0065100K proposé par CREE	43
II.9	Modèle du MOSFET SiC SCT2080KE proposé par ROHM	45
II.10	Circuit de mesure de la capacité d'entrée C_{iss} (a) et son schéma équivalent AC (b)	48
II.11	Circuit de mesure de la capacité de sortie C_{oss} (a) et son schéma équivalent AC (b)	49
II.12	Circuit de mesure de la capacité de transfert inverse C_{rss} (a) et son schéma équivalent AC (b)	50
II.13	Circuit d'extraction des caractéristiques de sortie des MOSFETs (a) et caractéristiques de sortie du C3M0065100K de CREE (b)	51
II.14	Circuit de caractérisation à double impulsion	52
II.15	Formes d'ondes de commutation obtenues lors du test à double impulsion appliqué au MOSFET SiC C3M0065100K	53
II.16	Interface graphique développée pour la caractérisation des modèles SPICE des MOSFETs	54
II.17	Comparaison des caractéristiques de sortie Courant-Tension (I-V) du MOSFET C3M0065100K de CREE extraits des datasheet et celles extraites du modèle	55
II.18	Comparaison des caractéristiques capacité-tension (C-V) du MOSFET C3M0065100K de CREE extraits de la datasheet (traits pleins) et celles extraites du modèle (en pointillées)	56
II.19	Comparaison des caractéristiques de sortie Courant-Tension (I-V) du MOSFET SCT2080KE de ROHM extraits des datasheet et celles extraites du modèle	57
II.20	Comparaison des caractéristiques capacité-tension (C-V) du MOSFET SCT280KE de ROHM extraites de la datasheet (traits pleins) et celles extraites du modèle (en pointillées)	57
II.21	Schéma électrique du nouveau modèle	58
II.22	Organigramme de l'algorithme génétique proposé	60

II.23	Schéma fonctionnel montrant la génération des nouvelles solutions candidates	63
II.24	Schéma fonctionnel montrant l'application de l'algorithme génétique pour l'optimisation des paramètres du modèle en utilisant des données issues soit des relevés expérimentaux soit des datasheets	64
II.25	Comparaison des caractéristiques de sortie courant-tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du C3M0065100K de CREE extraites de la datasheet et celles obtenues avec le nouveau modèle optimisé	65
II.26	Comparaison des caractéristiques de sortie courant-tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du SCT2080 de ROHM extraites de la datasheet et celles obtenues avec le nouveau modèle optimisé	66
II.27	Schéma électrique du modèle amélioré	67
II.28	Comparaison des caractéristiques de sortie courant-tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du C3M0065100K de CREE extraites de la datasheet et celles obtenues avec le nouveau modèle amélioré après optimisation de ses paramètres	69
II.29	Comparaison des caractéristiques de sortie Courant-Tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du SCT2080KE de ROHM extraites de la datasheet et celles obtenues avec le nouveau modèle amélioré après l'optimisation de ses paramètres	70
II.30	Comparaison des taux d'erreur entre les résultats issus du modèle avant et après modification, pour les MOSFETs : C3M0065100K de CREE (a) et SCT2080KE de ROHM (b)	71
III.1	Test d'extraction des caractéristiques statiques de sortie	74
III.2	Synchronisation des impulsions pour le test de caractérisation IV pulsé . .	75
III.3	L'effet du retard de mesure sur les résultats de caractérisation [63]	76
III.4	Banc de caractérisation statique des MOSFETs.	77
III.5	Image thermique du MOSFET SiC à différentes températures	78
III.6	Comparaison entre les caractéristiques de sortie courant-tension (I-V) du C3M0065100K de CREE issues de l'expérience et celles issues du nouveau modèle après optimisation	79
III.7	Comparaison entre les caractéristiques de sortie courant-tension (I-V) du SCT3080 de CREE issues de l'expérience et celles issues du nouveau modèle après optimisation	80
III.8	Comparaison entre les caractéristiques de sortie courant-tension (I-V) du C2M0080120D de CREE issues de l'expérience et celles issues du nouveau modèle après optimisation	80

III.9	Le taux d'erreur, à différentes températures, entre les caractéristiques statistiques expérimentales et celles issues du modèle développé après optimisation pour les trois MOSFETs SiC C3M0065100K, SCT3080 et C2M0080120D	81
III.10	Origine des capacités parasites inter-électrodes dans les MOSFETs [63]	82
III.11	Le PCB développé pour l'extraction des caractéristiques C-V	83
III.12	Schéma fonctionnel du banc de test développé pour l'extraction des caractéristiques C-V	84
III.13	Schéma électrique expérimental du circuit de mesure de C_{iss}	85
III.14	Mesure de la capacité d'entrée du MOSFET SiC C3M0065100K en fonction de la tension V_{ds} en utilisant le banc développé	85
III.15	Mesure de la capacité d'entrée du MOSFET SiC SCT3080 en fonction de la tension V_{ds} en utilisant le banc développé	85
III.16	Mesure de la capacité d'entrée du MOSFET SiC C2M0080120D en fonction de la tension V_{ds} en utilisant le banc développé	86
III.17	Schéma électrique expérimental du circuit de mesure de C_{oss}	86
III.18	Mesure de la capacité de sortie du MOSFET SiC C3M0065100K en fonction de la tension V_{ds} en utilisant le banc développé	87
III.19	Mesure de la capacité de sortie du MOSFET SiC SCT3080 KL en fonction de la tension V_{ds} en utilisant le banc développé	87
III.20	Mesure de la capacité de sortie du MOSFET SiC C2M0080120D en fonction de la tension V_{ds} en utilisant le banc développé	88
III.21	Schéma électrique expérimental du circuit de mesure de C_{rss}	88
III.22	Mesure de la capacité de transfert inverse C_{oss} du MOSFET SiC C3M0065100K en fonction de la tension V_{ds} en utilisant le banc développé	89
III.23	Mesure de la capacité de transfert inverse C_{oss} du MOSFET SiC SCT3080 en fonction de la tension V_{ds} en utilisant le banc développé	89
III.24	Mesure de la capacité de transfert inverse C_{oss} du MOSFET SiC C2M0080120D en fonction de la tension V_{ds} en utilisant le banc développé	90
III.25	Le taux d'erreur entre les caractéristiques dynamiques C-V mesurées expérimentalement et celles obtenues avec le modèle développé après optimisation pour les trois MOSFETs SiC C3M0065100K, SCT3080 et C2M0080120D	91
III.26	Comparaisons des caractéristiques C-V obtenues expérimentalement avec celles obtenues avec le modèle développé après optimisation pour le C3M0065100K (a), le SCT3080 (b) et le C2M0065100K (c)	92
III.27	Schéma électrique du circuit de caractérisation de double impulsion (a) et les formes d'ondes du courant et des tensions du MOSFET sous test M_{LS} (b)	94
III.28	Schéma fonctionnel de test de caractérisation dynamique de double impulsion	95

III.29	Variation du pourcentage de la surtension au niveau du bus DC en fonction du rapport de la capacité de découplage par rapport à la capacité de sortie C_{oss} [74]	98
III.30	Formes d'ondes du C3M0065100K obtenues avec le test de double impulsion	98
III.31	Démarche suivie pour optimiser les paramètres du modèle utilisant les données du test DPT	100
III.32	Formes d'ondes issues du modèle développé, du modèle de fabricant et de l'expérience utilisant le test DPT, pendant une période (a) pendant l'amorçage (b) et pendant le blocage (c)	100
III.33	Formes d'ondes de V_{gs} et V_{ds} du C3M0065100K pour deux résistances externes de la grille	101
III.34	Formes d'ondes issues du modèle développé, du modèle de fabricant et de l'expérience utilisant le test DPT, pendant une période (a) pendant l'amorçage (b) et pendant le blocage (c)	102
IV.1	Schéma électrique du convertisseur synchrone Buck réalisé	105
IV.2	Formes d'ondes des grandeurs électriques du convertisseur Buck réalisé	106
IV.3	Banc de mesure du convertisseur réalisé	110
IV.4	Les formes d'ondes du convertisseur issues des mesures expérimentales	110
IV.5	Comparaison entre les résultats de mesure et les résultats de modélisation de l'impédance (amplitude et phase) de la capacité d'entrée du convertisseur en fonction de la fréquence	112
IV.6	Le circuit RLC utilisé pour modéliser la capacité d'entrée C_e du convertisseur	112
IV.7	Le circuit RLC utilisé pour modéliser la capacité de sortie C_s du convertisseur	113
IV.8	Comparaison entre les résultats de mesure et les résultats de modélisation de l'impédance (amplitude et phase) de la capacité de sortie du convertisseur en fonction de la fréquence	113
IV.9	Le circuit RLC utilisé pour modéliser la charge résistive R_{charge} du convertisseur	114
IV.10	Comparaison entre les mesures et les résultats de modélisation de l'impédance (amplitude et phase) de la résistance de charge du convertisseur en fonction de la fréquence	114
IV.11	Comparaison entre les résultats de mesure et les résultats de modélisation de l'impédance (amplitude et phase) de l'inductance du convertisseur en fonction de la fréquence	115
IV.12	Le circuit RLC utilisé pour modéliser l'inductance L_s du convertisseur	115
IV.13	Le modèle 3D du PCB du convertisseur dans Q3D	116

IV.14	Variation normalisée des valeurs moyennes des éléments parasites capacitifs et inductifs en fonction de la fréquence	117
IV.15	Variation de l'inductance propre d'un conducteur en ruban (trace dans un PCB) de longueur 10 cm et d'épaisseur 0.035 mm en fonction de sa largeur	117
IV.16	Exemple d'éléments parasites de la carte du convertisseur DC-DC extraits à 30 MHz (a) inductifs et (b) capacitifs	118
IV.17	Schéma électrique de l'ensemble convertisseur et RSILs	119
IV.18	Les formes d'ondes du convertisseur issues de la simulation	120
IV.19	Banc de test CEM des émissions conduites selon la norme CISPR25 . . .	121
IV.20	Le convertisseur BUCK dans l'environnement de test CEM	122
IV.21	Comparaison entre les perturbations conduites mesurées expérimentalement et celles calculées à partir du modèle développé du convertisseur . .	122
IV.22	L'écart entre les deux enveloppes des perturbations conduites mesurées expérimentalement et calculées à partir de la simulation du convertisseur .	123

Introduction générale

Actuellement, il y a un effort global visant à réduire les émissions du CO₂ en encourageant la transition énergétique et l'utilisation des énergies renouvelables. Un des principaux acteurs dans cette transition est le véhicule électrique, sauf qu'il présente des inconvénients tels que le temps de charge et l'autonomie limitée de la batterie.

Dans ce but, l'électronique de puissance est appelée à répondre à des contraintes économiques et technologiques croissantes permettant d'alléger ces limitations. Dans ce contexte, les nouveaux semi-conducteurs à grand gap (SiC, GaN, etc.) sont devenus des piliers majeurs pour cette transition énergétique. En effet, ces composants possèdent des avantages particulièrement intéressants pour les applications de puissance : la tension de claquage et la température maximale de fonctionnement sont repoussées, les pertes de commutation sont réduites et aussi ces composants occupent un volume moindre en comparaison avec les composants basés sur le Silicium. Par conséquent, les caractéristiques de ces composants à base de SiC ont une grande influence sur le dimensionnement du convertisseur : taille des filtres, rendement global, masse et volume, filtres CEM, ... Ces avantages justifient le remplacement des IGBTs par des MOSFETs en SiC dans les convertisseurs de puissance à haute densité énergétique.

En revanche, ces composants posent des nouveaux challenges, car, ils commutent plus vite, entraînant ainsi un $\frac{di}{dt}$ et un $\frac{dv}{dt}$ très élevés. Cela n'est pas sans conséquences sur la compatibilité électromagnétique des systèmes dans lesquels ils opèrent. En outre, étant donné que les technologies SiC ne sont pas aussi matures que leurs prédécesseurs, leurs performances et caractéristiques CEM sont à explorer afin de maîtriser leur cadre d'utilisation et c'est la raison pour laquelle que, depuis leur invention, on cherche à les modéliser d'une manière efficace et simple.

Cependant, les modèles électriques des interrupteurs de puissance proposés dans la littérature présentent des limitations notamment pour reproduire les commutations rapides en hautes fréquences, induisant ainsi un écart significatif entre les spectres issus de la simulation et ceux mesurés expérimentalement.

Cette thèse présente donc une nouvelle approche de modélisation des nouveaux composants grand gap à base du SiC pouvant être utilisés dans les convertisseurs statiques destinés aux chaînes de traction électriques pour les applications automobiles.

Dans ce cadre, dans le premier chapitre, nous avons commencé d'abord par présenter

les nouveaux composants de puissance grand gap à base du SiC tout en montrant l'intérêt de leur utilisation dans les convertisseurs de puissance. Ensuite, nous avons abordé la problématique de la CEM en électronique de puissance et son lien avec les nouveaux composants de puissance possédant des commutations rapides et fonctionnant à des fréquences élevées. Nous avons présenté aussi les principes de base de la CEM, et plus précisément ceux concernant les équipements électriques et électroniques dans le véhicule. Enfin, Les différentes sources et les modes de propagation des perturbations CEM ont été illustrés et les méthodes de mesure de ces perturbations selon la norme CISPR25 ont été abordées.

Dans le deuxième chapitre, un bilan sur les travaux antérieurs a été élaboré portant sur les différents modèles des composants MOSFETs à base du SiC. Une analyse de ces modèles a été menée afin de concevoir un nouveau modèle capable de reproduire fidèlement les caractéristiques statiques et dynamiques des MOSFETs SiC. Un nouveau modèle générique est ainsi proposé et associé à un algorithme d'optimisation génétique permettant l'identification de ses paramètres.

Dans le troisième chapitre, un banc expérimental permettant la caractérisation statique et dynamique des MOSFETs SiC a été réalisé. Trois MOSFETs SiC provenant des différents fabricants ont été caractérisés dont les résultats de mesure ont été utilisés dans l'algorithme d'optimisation génétique pour identifier les paramètres du modèle générique développé dans le deuxième chapitre. Les résultats obtenus expérimentalement seront ensuite comparés aux résultats issus du modèle proposé.

Le quatrième chapitre est consacré à la validation expérimentale du modèle d'un point de vue de la CEM. Dans ce but, un convertisseur Buck abaisseur 400 V vers 48 V a été conçu, dimensionné et puis réalisé en utilisant un des MOSFETs SiC déjà modélisés. Ensuite, une caractérisation des perturbations électromagnétiques du convertisseur a été menée. Les différents composants du convertisseur sont modélisés en utilisant : des formules analytiques, des calculs par éléments finis ou des mesures expérimentales. L'ensemble de ces modèles est assemblé dans une seule simulation et les perturbations y issues sont comparées à celles mesurées expérimentalement.

Pour conclure, un bilan portant sur les différents résultats obtenus est présenté ainsi que des perspectives concernant l'algorithme d'optimisation génétique, l'application de la méthodologie de modélisation sur le GaN et l'optimisation du modèle développé en s'appuyant plutôt sur la forme spectrale des signaux utiles.

Notons que ce travail est le fruit d'une collaboration entre le laboratoire IRSEEM et l'institut VEDECOM avec ses partenaires industriels dans le cadre du projet «Electrification Des Véhicules» lancé par VEDECOM. A travers ce travail, nous avons proposé à nos partenaires certaines solutions pouvant contribuer à résoudre des problèmes industriels en se basant sur une démarche scientifique.

Chapitre I

État de l'art

Les travaux de cette thèse portent sur deux grands axes principaux : l'électronique de puissance et la compatibilité électromagnétique. L'électronique de puissance est le domaine des circuits et systèmes, appelés convertisseurs de puissance, permettant le changement de la forme et du niveau des grandeurs électriques. Le commutateur de puissance est l'élément essentiel de tout convertisseur d'énergie électrique.

Les premiers commutateurs développés sont le transistor bipolaire et le thyristor. Ensuite le GTO, le transistor MOS et l'IGBT ont été développés dans les années 80-90 [1]. Du fait de ses bonnes caractéristiques électriques et de son abondance, le Silicium était le semi-conducteur de choix pour la fabrication des transistors. Mais récemment, les nouvelles avancées technologiques ont permis d'introduire d'autres matériaux (SiC, GaN, ...) dans le processus de fabrication des commutateurs de puissance. Nous présenterons dans ce chapitre les caractéristiques du Carbure de Silicium dont les performances sont prometteuses pour les convertisseurs de haute puissance. Par ailleurs, afin de pouvoir utiliser cette nouvelle technologie à son plein potentiel, plusieurs verrous techniques doivent être levés.

Nous nous intéressons, plus particulièrement, à la compatibilité électromagnétique (CEM). Elle consiste en l'étude de la propagation des perturbations électromagnétiques qui peuvent être générées par les produits électroniques et la recherche de solutions permettant à la fois de réduire et de se protéger contre ces perturbations indésirables.

Effectivement, l'électronique de puissance et la CEM sont étroitement liées. Nous montrerons dans ce chapitre ce lien en explorant l'effet des commutations sur les spectres des grandeurs électriques générées par les convertisseurs statiques.

I.1 Les composants semi-conducteurs de puissance à base de Carbure de Silicium (SiC)

Aujourd'hui, la plupart des composants de puissance présents dans les dispositifs d'électronique de puissance sont en Silicium. Ceci est dû à : l'abondance de ce matériau, la facilité relative de sa fabrication et son faible coût. Cependant, les performances des composants en Silicium ont quasiment atteint leurs limites physiques. En effet, pour supporter des tensions plus élevées et des courants plus intenses, une mise en série ou en parallèle de ces composants sera nécessaire afin de satisfaire aux exigences des applications concernées. Ceci augmente énormément le coût et réduit la fiabilité des convertisseurs de puissance associés.

Cela a encouragé la recherche d'autres types de semi-conducteurs. Un des matériaux prometteurs, est le Carbure de Silicium (SiC). Il existe plus de 170 polytypes de SiC, mais seulement le SiC-6H, le SiC-4H et le SiC-3C sont étudiés pour les applications d'électronique de puissance.

Dans la partie suivante, nous présenterons les caractéristiques électriques et thermiques du SiC qui rendent ce matériau le candidat de choix pour les applications de conversion d'énergie à haute tension. Ensuite, nous présenterons les composants actifs à base de SiC et nous les comparerons à leurs homologues en Si.

I.1.1 Caractéristiques du matériau SiC

Le Carbure de Silicium (SiC) appartient à une famille de matériaux appelés semi-conducteurs à grand gap WBG (SiC, GaN, ...). Cela veut dire qu'à l'échelle atomique, la bande interdite qui sépare la bande de valence de la bande de conduction est plus large que celle du Silicium [2]. Cette différence a d'énormes conséquences sur le fonctionnement des composants de puissance à base de SiC. Pour bien évaluer l'effet de l'utilisation du SiC dans les composants de puissance, nous avons comparé dans le Tableau I.1 les caractéristiques électriques des différents matériaux utilisés dans la fabrication des semi-conducteurs [3, 4]. Il s'agit de :

- SiC (3C-SiC, 4H-SiC, 6H-SiC)
- Silicium (Si)
- Nitrure de Gallium (GaN)
- Diamant (C)

D'après le Tableau I.1, nous pouvons déduire les avantages que le SiC présente par rapport au Si :

- Le champ électrique critique du SiC est quasiment 10 fois plus important que celui du Si. Ceci implique que, pour une même tension de claquage, un composant en

Matériau	Si	3C-SiC	4H-SiC	6H-SiC	GaN	C
Bande interdite ou gap (E_g) en eV	1.12	2.3	3.26	2.96	3.4	5.45
Vitesse de saturation (V_{sat}) en $1 \times 10^7 \text{ cm s}^{-1}$	1	2.5	2	2	2.7	2.7
Champs critique ou de claquage (E_c) en kV cm^{-1}	250	2000	2200	2400	3500	5600
Constante diélectrique relative (ϵ_r)	11.9	9.6	10	9.7	8.9	5.5
Conductivité thermique (λ) en $\text{W cm}^{-1} \text{ K}^{-1}$	1.5	4.9	4.9	4.9	1.3	20

Tableau I.1: Propriétés physiques des semi-conducteurs mentionnés ci-dessus

SiC aura une zone de dérive 10 fois plus mince que celle d'un composant à base de Si. Cela induit une résistance ON (R_{ON}) beaucoup plus faible pour le SiC et par conséquent des pertes inférieures à celles du Si. A titre d'exemple, la formule théorique I.1 donnant la résistance d'un composant unipolaire de type N, montre bien qu'à l'état passant cette résistance diminue avec l'augmentation du champ critique.

$$R_{ON} = \frac{4 \cdot V_B^2}{\epsilon_0 \cdot \epsilon_r \cdot \mu_e \cdot E_c^3} \quad (\text{I.1})$$

Avec :

- R_{ON} : Résistance à l'état passant du matériau
- V_B : Tension de claquage
- ϵ_0 : Permittivité absolue du vide
- ϵ_r : Constante diélectrique relative du matériau
- μ_e : Mobilité des électrons du matériau
- E_C : Champ critique du matériau

- Nous pouvons aussi observer une large bande interdite pour le SiC (2.3 eV à 3.26 eV à la température 300 K) par rapport à celle du Si (1.12 eV à 300 K). Ceci permet au SiC d'être plus résistant aux changements de température. C'est-à-dire, il peut conserver toutes ses propriétés semi-conductrices à des températures plus élevées que celles supportées par le Si.

- La vitesse de saturation des porteurs de charges (électrons et trous) pour le SiC est au moins 2 fois plus importante que celle du Si, ce qui permet d'avoir un temps de commutation plus court et, par conséquent, une fréquence de fonctionnement plus élevée.
- Le SiC a une conductivité thermique plus importante que le Si ce qui permet une évacuation plus rapide de la chaleur accumulée à l'intérieur du composant, ainsi des solutions de refroidissement moins encombrantes et moins chères peuvent être envisagées.
- La constante diélectrique du SiC (exemple : $\epsilon_r=10$ pour le 4H-SiC) est plus faible que celle du Si ($\epsilon_r=11.9$). Ceci permet une diminution théorique des capacités des jonctions et par conséquent des commutations plus rapides, un pilotage plus facile et des oscillations plus amorties suites aux commutations. Sauf qu'en réalité, les épaisseurs des couches de SiC sont souvent plus faibles que celles de Si, pour les raisons expliquées précédemment, ce qui limite, au final, la réduction des capacités des jonctions (voir équation I.2).

$$C = \epsilon_0 \cdot \epsilon_r \cdot \frac{S_{con}}{e_{diélectrique}} \quad (I.2)$$

Avec :

- C : Capacité
- S_{con} : Surface commune entre les deux conducteurs
- $e_{diélectrique}$: Épaisseur du diélectrique séparant les deux conducteurs

Pour mieux comparer les propriétés des matériaux semi-conducteurs et évaluer les performances des composants électroniques, des chercheurs dans [5, 6, 7, 8] ont introduit les quatre facteurs de mérite suivants :

- **Facteur de mérite de Baliga (BFM) [5]** : ce facteur permet d'évaluer la capacité du matériau à tenir une tension tout en gardant une faible résistance à l'état passant. Évidemment, il est indicatif pour des composants fonctionnant à basse fréquence et/ou hautes tensions :

$$BFM = \epsilon_r \cdot \mu_c \cdot E_C^3 \quad (I.3)$$

Avec :

- BFM : Facteur de mérite de Baliga
- ϵ_r : Constante diélectrique relative du matériau
- μ_c : Mobilité des porteurs de charge
- E_C : Champ critique du matériau

- **Facteur de mérite de Baliga pour les applications haute fréquence (BHFM)** [6] : ce facteur donne des indications sur les pertes par commutation pour un fonctionnement en hautes fréquences :

$$BHFM = \mu_c \cdot E_C^3 \quad (I.4)$$

Avec :

- $BHFM$: Facteur de mérite de Baliga pour les applications hautes fréquences
- μ_c : Mobilité des porteurs de charge
- E_C : Champ critique du matériau
- **Facteur de mérite de Kyes (KFM)** [7] : ce facteur permet d'évaluer les performances thermiques (en termes d'évacuation de chaleur) et fréquentielles (temps de commutation) du matériau :

$$KFM = \lambda_{thermique} \cdot \sqrt{\frac{c \cdot v_{sat}}{4 \cdot \pi \cdot \epsilon_r}} \quad (I.5)$$

Avec :

- KFM : Facteur de mérite de Kyes
- $\lambda_{thermique}$: Conductivité thermique du matériau
- c : Vitesse de la lumière dans le vide
- v_{sat} : Vitesse de saturation de porteurs de charges
- ϵ_r : Constante diélectrique relative du matériau
- **Facteur de mérite de Johnson (JFM)** [8] : ce facteur correspond aux performances hautes puissances et hautes fréquences du matériau :

$$JFM = \left(\frac{E_C \cdot v_{sat}}{2 \cdot \pi} \right)^2 \quad (I.6)$$

Avec :

- JFM : Facteur de mérite de Johnson
- E_C : Champ critique du matériau
- v_{sat} : Vitesse de saturation de porteurs de charges

Afin de montrer l'intérêt du SiC par rapport au Si, nous calculons les quatre facteurs de mérite en utilisant les équations ci-dessus avec les données du Tableau I.1 :

Matériau	Si	3H-SiC	4H-SiC	6H-SiC	GaN	C
BFM	1	33.4	130	110	650	4110
BHFM	1	10.3	16.9	16.9	77.8	470
KFM	1	1.6	4.61	4.68	1.6	32.1
JFM	7.1	65	180	260	760	2540

Tableau I.2: Facteurs de mérite pour les différents matériaux de semi-conducteurs

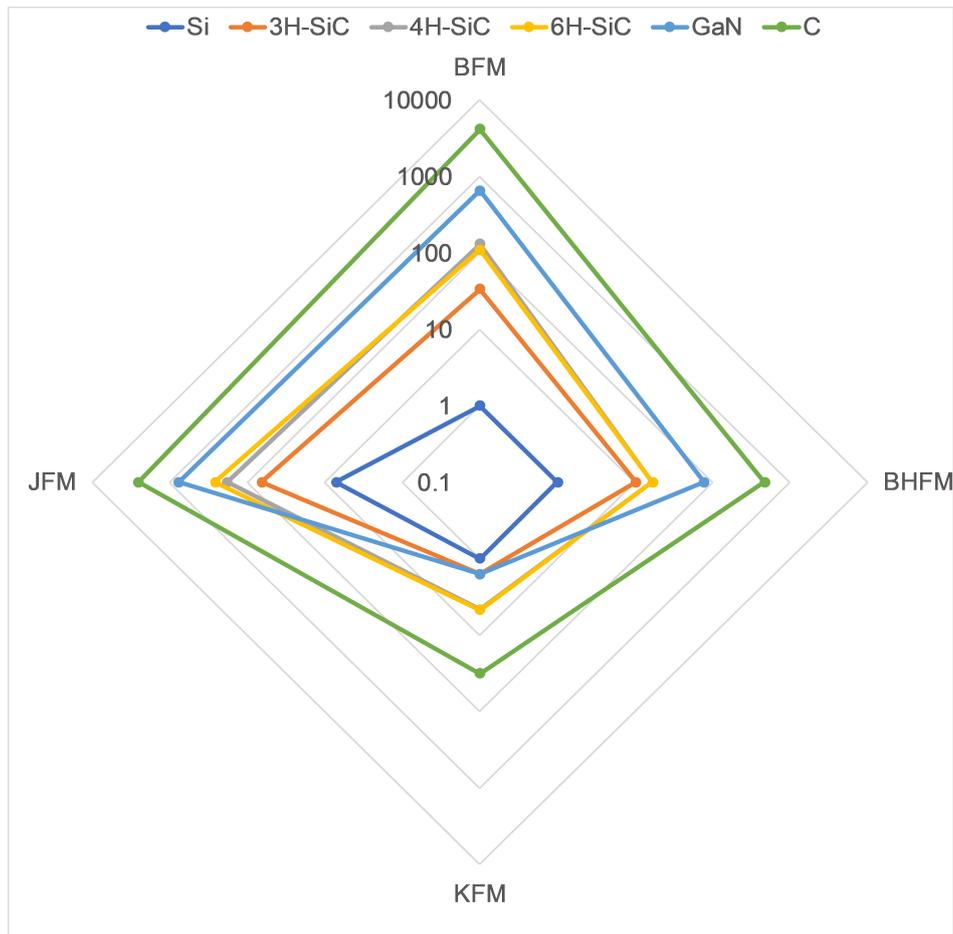


FIGURE I.1: Comparaison des facteurs de mérite des matériaux présentés dans le Tableau I.1

Le Tableau I.2 et la Figure I.1 présentent les facteurs de mérites des matériaux cités dans le Tableau I.1. Ensemble, ils nous permettent de déduire, dans un premier temps, que le diamant est le meilleur matériau pour la fabrication des composants de puissance. Cependant, malgré le progrès qu'on a eu dans le domaine de sa synthèse, la production des tranches de substrat à grande taille reste compliquée. De plus, son dopage en type N ou en type P est très délicat à réaliser. Tous ces facteurs augmentent le coût de fabrication des tranches de diamant et freinent sa production à l'échelle industrielle.

Actuellement, le SiC présente le meilleur compromis entre coût, complexité de production, performances et maturité. Par exemple, pour une chaîne de traction électrique, le

SiC-4H représente un très bon candidat : tensions de claquage élevées avec une résistance faible à l'état passant, temps de commutation faibles permettant ainsi une augmentation de la fréquence de fonctionnement.

Dans la suite nous introduisons les différents composants semi-conducteurs à base de SiC (diodes, MOSFETs, JFETs...) et nous présentons leurs avantages et leurs inconvénients.

I.1.2 Les diodes de puissance en SiC

Les premiers composants développés en SiC sont les diodes. Il existe deux catégories principales de ces composants : les diodes bipolaires PIN et les diodes Schottky » SBD (Schottky Barrier Diode).

Les diodes bipolaires PIN à base de SiC sont déjà commercialisées. A titre d'exemple, GeneSiC produit la diode GA01PNS150-220 avec une tenue de tension de 15 kV [9], elle peut tenir un courant continu de 1 A avec une chute de tension de 6.4 V. En comparant avec les diodes Schottky SiC, les diodes SiC PIN ont une tenue en tension plus élevée mais un temps de recouvrement plus long. En effet, dans [10], une comparaison a été menée entre une diode Schottky SBD en SiC et une diode PIN en Silicium à recouvrement inverse rapide FRD "Fast Recovery Diode" ayant des tensions nominales comparables. Nous remarquons une diminution de 66% des pertes par commutation et une réduction du courant maximal inverse dans la diode SiC par rapport à la diode Si (Figure I.2).

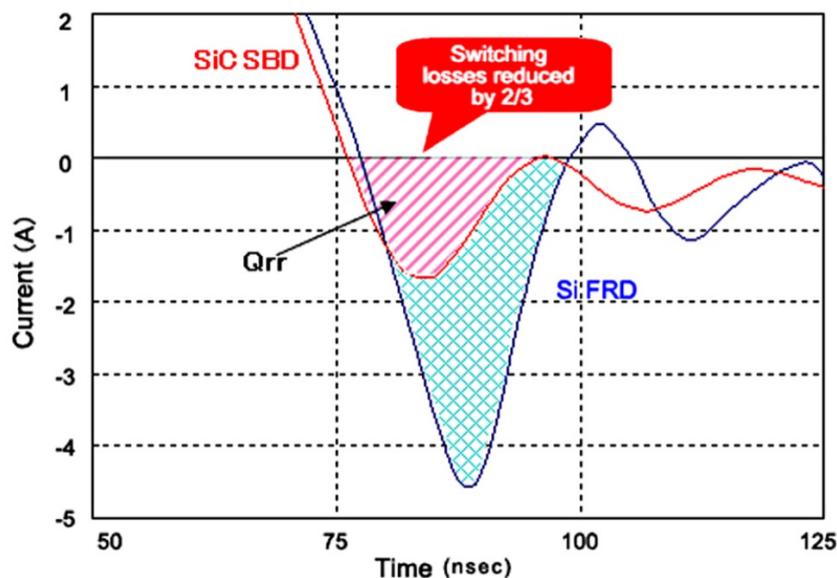


FIGURE I.2: Comparaison du phénomène de recouvrement inverse pour une diode SiC SBD "Schottky Barrier Diode" (en rouge) et une diode PIN Si à recouvrement inverse rapide FRD "Fast Recovery Diode" (en bleu) [10]

Fabricant	Identifiant	Technologie	Tension de claquage (V_{BR})	Courant continu nominal (I_F)
GeneSiC	GB50MPS17-247 [11]	SiC SBD	1700 V	169 A
GeneSiC	GB05MPS33-263 [12]	SiC SBD	3300 V	14 A
GeneSiC	GA01PNS150-220 [9]	SiC PIN	15 kV	1 A
STMicroelectronics	STPS20200C [13]	Si SBD	200 V	20 A

Tableau I.3: Comparaison des différentes technologies de diodes

Par ailleurs, en comparant avec les diodes Schottky en Si, la tenue en tension des diodes Schottky en SiC est largement supérieure (voir Tableau I.3). A titre d'exemple, les diodes Schottky en SiC développées par GeneSiC (GB50MPS17-247 [11]) peuvent tenir des tensions allant jusqu'à 3.3 kV avec un courant continu nominal de 14 A. Nous pouvons constater donc tout l'intérêt d'utiliser les diodes Schottky SiC dont les performances sont largement meilleures à leurs homologues en Si.

Constructeur	Identifiant	Tension de claquage (V_{BR})	Courant continue nominal (I_F)	Chute de tension à l'état passant (V_F)	Package
Infineon	IDWD40G120C5 [14]	1200 V	40 A	1.4 V à 25 °C	PG-TO247-3
ROHM	SCS220KGHR [15]	1200 V	20 A	1.4 V à 25 °C	TO-220-AC
GeneSiC	GB05MPS33-263 [12]	3300 V	14 A	2.4 V à 25 °C	TO-263-7
GeneSiC	GB50MPS17-247 [11]	1700 V	169 A	1.5 V à 25 °C	TO-257-3
CREE	C5D25170H [16]	1700 V	70 A	1.5 V à 25 °C	TO-247-2
CREE	C5D50065D [17]	650 V	100 A	1.5 V à 25 °C	TO-247-2

Tableau I.4: Récapitulatif des diodes Schottky à base de SiC proposées par différents constructeurs

Le Tableau I.4 regroupe quelques diodes Schottky en SiC proposées par différents

constructeurs. Ces composants couvrent une plage de tension assez importante (650 V – 3300 V), avec des courants nominaux variés (14 A – 169 A).

Cependant, ces composants sont le siège d'un courant de fuite plus important que celui des diodes PIN à l'état bloqué. De plus, ils possèdent un coefficient de température positif impliquant une augmentation de la résistance en conduction avec l'élévation de la température. Ceci induit des pertes plus importantes, et par conséquent un réchauffement encore plus accentué et une résistance encore plus élevée. Ce phénomène d'auto-échauffement peut facilement causer la destruction de ces diodes si le circuit est mal dimensionné.

I.1.3 Les transistors de puissance en SiC

Les transistors de puissance en SiC se divisent en 3 catégories : les transistors à jonction bipolaire (BJT), les transistors à effet de champs (FET) et les transistors à effet de champs à grille isolée (MOSFET). Notons qu'il existe des travaux sur des composants IGBT en SiC [18, 19], sauf que leurs performances sont loin d'être satisfaisantes. Ceci est dû à un nombre de défis techniques difficiles à surmonter :

- La difficulté de réaliser des IGBT SiC avec un canal de type N
- La nécessité d'une tension négative importante appliquée à la grille pour amorcer l'IGBT de type P

I.1.3.1 Le transistor bipolaire en SiC (BJT)

Le BJT SiC peut être intéressant pour les applications de puissance. Il ne manifeste pas les problèmes de grilles connus dans les MOSFET en SiC (voir paragraphe I.1.3.3), et il possède des résistances plus faibles à l'état passant [20] induisant ainsi des pertes par conduction plus modérées.

Cependant, l'inconvénient majeur des transistors BJT est la nécessité d'appliquer une alimentation permanente en courant continu pour les maintenir à l'état passant. De plus, son gain, déjà faible, diminue davantage avec l'augmentation de sa température. Une des solutions proposées est la configuration de Darlington [21]. Toutefois, avec cette configuration les caractéristiques de conduction (R_{ON} , chute de tension à l'état passant, ...) se trouvent dégradées [22].

I.1.3.2 Le transistor à effet de champs en SiC (JFET)

Les premiers composants JFET fabriqués en SiC sont des composants normalement passant « Normally ON ». C'est-à-dire malgré l'absence de la tension de commande appliquée à la grille, ils permettent toujours la conduction du courant, ce qui est évidemment déconseillé en électronique de puissance (risque de court-circuit).

Une des solutions à ce problème est d'associer le JFET SiC à un MOSFET Si basse tension, en série, dans une configuration dite « Cascode » (Figure I.3) qui permet de rendre le composant normalement bloquant « Normally OFF » [23].

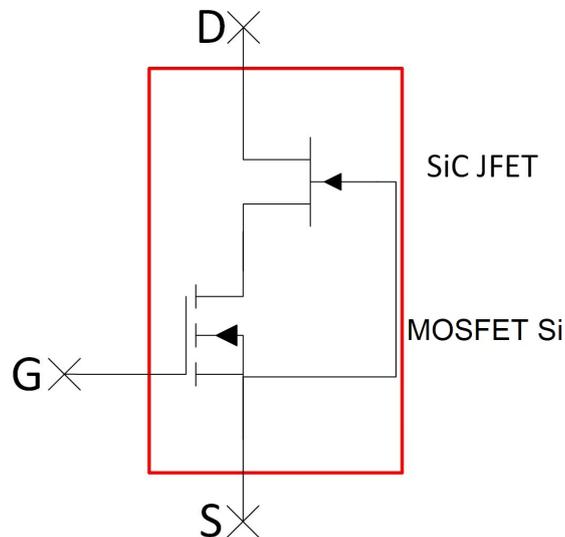


FIGURE I.3: Configuration « Cascode » d'un JFET SiC normalement passant avec un MOSFET Si basse tension

En effet, sans l'application d'une tension positive à la grille du MOSFET Si (les bornes G-S dans la Figure I.3), ce dernier restera toujours bloqué et la tension appliquée aux bornes de D-S sera complètement supportée par le JFET SiC. Lorsque une tension positive est appliquée aux bornes de G-S, le MOSFET Si s'amorce et la tension à ces bornes drain-source internes prendra une faible valeur ($V_{ds,ON}$, voir équation I.7). Ceci conduit à l'amorçage du JFET étant normalement passant.

$$V_{ds,ON} = R_{ds,ON} \cdot I_d \quad (I.7)$$

Avec :

- $V_{ds,ON}$: Tension drain-source aux bornes du MOSFET
- $R_{ds,ON}$: Résistance drain-source du MOSFET
- I_d : Courant traversant le drain du MOSFET

L'inconvénient principal de cette structure est la génération des pertes additionnelles dues à la présence de la résistance du MOSFET Si. De plus, le fonctionnement de cette structure se trouve limité par la température de jonction maximale du Si qui est beaucoup plus faible que celle du SiC.

Par ailleurs, d'autres recherches ont été menées pour fabriquer des JFET en SiC normalement ouvert comme le :

- TI-JFET « Trench and Implanted gate - FET » [24]
- SIAFET « Static induction Injected Accumulated FET » [25]
- SEJFET « Static Expansion JFET » [26, 27]
- BGJFET « Buried Gate JFET » [28]

Malgré le développement réalisé dans ce domaine, le JFET en SiC n'est toujours pas mature et le circuit de commande de la grille (Driver) doit fournir un courant relativement important pour assurer son bon fonctionnement. Par exemple, le composant SJEP120R100 fabriqué par le fondeur SemiSouth, exige un courant de 220 mA sous une tension de 3 V pour rester à l'état passant, rendant ainsi le circuit de commande plus complexe.

I.1.3.3 Le transistor à effet de champs à grille isolée (MOSFET) en SiC

Le MOSFET en SiC est le composant le plus prometteur pour les applications haute tension. Parmi ceux qui sont disponibles sur le marché, nous trouvons des composants ayant une tenue en tension de l'ordre de plusieurs KV, tout en gardant une résistance à l'état passant relativement faible.

En effet, S. Sabri et al. ont [29] présenté une nouvelle puce MOSFET en SiC avec une tenue en tension de 6.5 kV et un courant continu nominal de 30 A. Ceci montre bien l'intérêt de MOSFET SiC, par rapport à son homologue en Si, car ce dernier supporte des tensions relativement limitées tout en possédant des résistances à l'état passant beaucoup plus élevées.

A titre d'exemple, Infineon a récemment proposé un MOSFET en Si avec une tension de claquage nominal de 950 V (IPN95R2K0P7 [30]), sauf que ce composant a une résistance à l'état passant ($R_{ds,ON}$) de 2 Ω .

Une comparaison rapide avec les MOSFETs à base de SiC proposés par CREE, montre clairement les avantages de ces derniers (Tableau I.5).

Fabricant	Identifiant	Matériau	Tension de claquage (V_{BR})	Courant continu nominal (I_d)	Résistance à l'état passant ($R_{ds,ON}$)
Infineon	IPN95R2K0P7 [30]	Si	950 V	4 A à 25 °C	1.71 Ω à 25 °C
CREE	C3M0016120K [31]	SiC	1200 V	115 A à 25 °C	16 m Ω à 25 °C
CREE	C2M0045170P [32]	SiC	1700 V	72 A à 25 °C	45 m Ω à 25 °C

Tableau I.5: Comparaison des MOSFET les plus performants en Si et en SiC

De plus, cette augmentation de tenue en tension permet au MOSFET en SiC de remplacer le transistor bipolaire à grille isolée en Si (IGBT). En effet, d'après ROHM [10],

l'utilisation du MOSFET en SiC pour remplacer l'IGBT en Si (de même calibre) permet de réduire les pertes à l'amorçage (Turn ON) de 33.58% et les pertes au blocage (Turn OFF) de 87.75% (Figure I.4). Cette diminution considérable des pertes par commutation permet d'augmenter la fréquence des commutations des MOSFET SiC par rapport à l'IGBT, et par conséquent réduire la taille et l'encombrement des filtres ainsi que le coût du convertisseur.

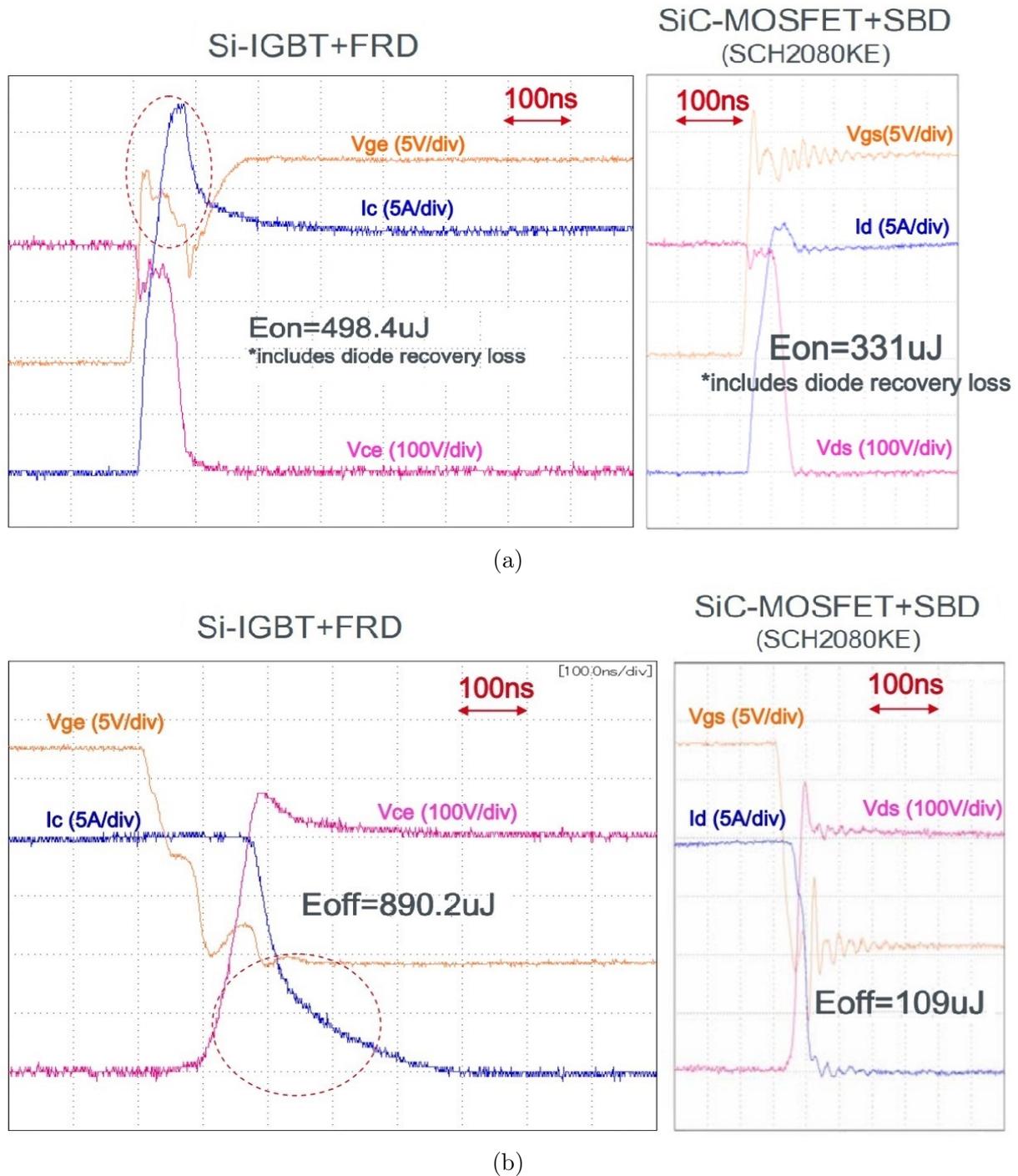


FIGURE I.4: Comparaison des formes d'onde lors de l'amorçage (a) et lors du blocage (b), d'un MOSFET en SiC avec un IGBT en Si

I.2 La compatibilité électromagnétique (CEM)

La compatibilité électromagnétique (CEM) est définie comme étant la capacité d'un dispositif, équipement ou système, à fonctionner de manière satisfaisante dans son environnement électromagnétique, sans introduire lui-même de perturbations électromagnétiques capables de nuire au bon fonctionnement des appareils ou des systèmes situés dans son environnement. Plus spécifiquement, la CEM est le domaine d'étude qui s'intéresse aux phénomènes de couplages électromagnétiques entre les sources de perturbations et les victimes, ainsi que tous les aspects qui en découlent (modélisation, simulation, mesures, normes, ...).

Dans cette partie, nous abordons les concepts de base concernant la compatibilité électromagnétique.

I.2.1 Généralités sur la CEM

La CEM est traditionnellement séparée en deux parties, la CEM en mode conduit et en mode rayonné [33]. Ce phénomène peut être modélisé par les trois entités suivantes :

- un circuit électrique source de perturbations (Émetteur)
- un chemin de propagation (Rayonné et/ou Conduit)
- un circuit électrique victime (Appareil susceptible)

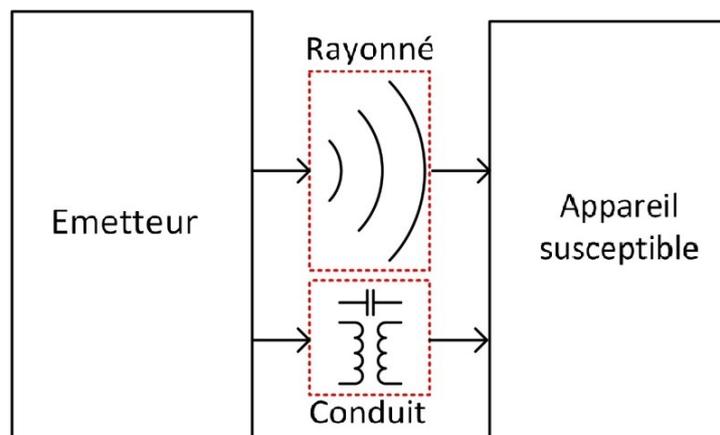


FIGURE I.5: Le principe des perturbations électromagnétiques

Les perturbations électromagnétiques sont produites dans le circuit source, puis transférées au circuit victime à travers un couplage magnétique ou un couplage électrique. Ce couplage peut être sans fil et donne donc naissance à des perturbations rayonnées ou il peut se manifester sous forme de perturbations conduites qui se propagent dans les conducteurs du circuit.

Les perturbations rayonnées se propagent selon deux modes : champ lointain et champ proche (couplages capacitifs ou inductifs) (voir Figure I.6). Ces couplages sont dus aux différents éléments parasites et imperfections présents dans les circuits électriques et électroniques : les pistes de cuivre, les fils de connexion, l'imperfection des éléments utilisés, etc.

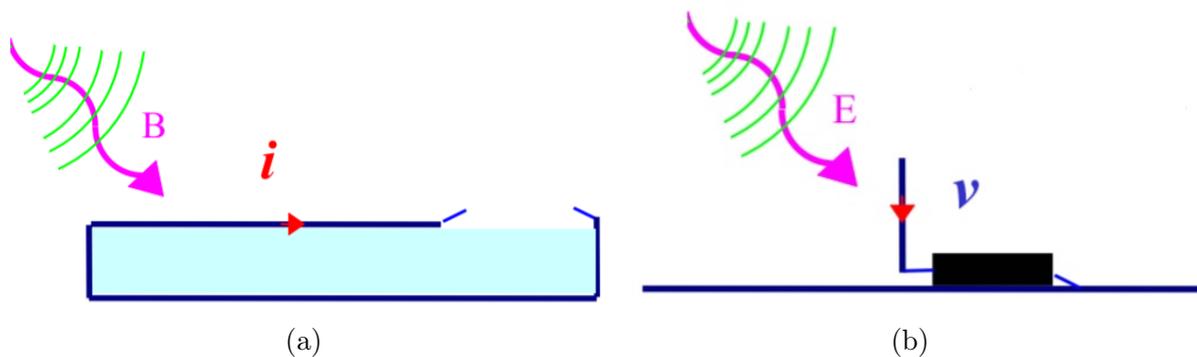


FIGURE I.6: Modes de couplage des perturbations électromagnétiques rayonnées : magnétique (a) et électrique (b)

Pour garantir le bon fonctionnement des systèmes électroniques d'un point de vue CEM, il faudra tenir compte des perturbations rayonnées et conduites. La CEM en mode conduit couvre la bande de fréquence 150 kHz-108 MHz pour les applications automobiles selon le comité international spécial des perturbations radioélectriques (CISPR) [34], alors qu'en mode rayonnée la bande va de 10 MHz jusqu'à 10 GHz.

En effet, ces deux aspects de la CEM se chevauchent malgré leur complémentarité fréquentielle. Les perturbations conduites peuvent induire des perturbations rayonnées et réciproquement (Figure I.6). Nous pouvons citer comme exemples :

- Les perturbations conduites pouvant se propager à travers le dissipateur thermique d'un convertisseur de puissance (couplage capacitif), qui pourrait jouer le rôle d'une antenne rayonnante
- Les perturbations conduites circulant le long des câbles des variateurs de vitesse des moteurs [35], qui se manifestent comme des antennes rayonnantes (couplage inductif)

I.2.2 Généralités sur la CEM en mode conduit

Pour les perturbations conduites, nous distinguons deux modes de propagation : le mode commun et le mode différentiel [36] (Figure I.7).

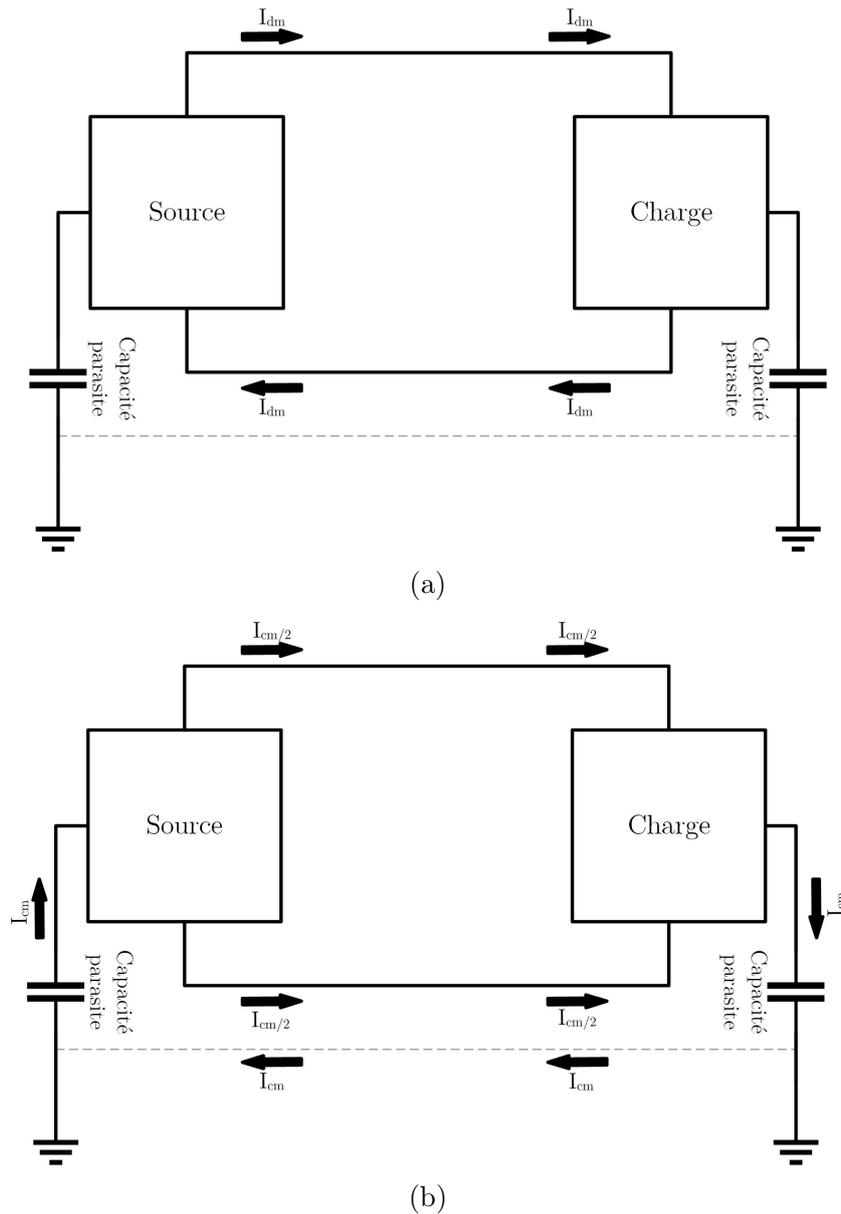


FIGURE I.7: Les deux modes de propagation des perturbations électromagnétiques : différentiel (a) et commun (b)

La Figure I.7(a) montre la propagation des perturbations en mode différentiel dans un circuit typique. Ces perturbations se propagent dans les lignes de puissance alimentant le circuit, elles circulent dans un sens et reviennent dans le sens opposé.

La Figure I.7(b) montre la propagation des perturbations en mode commun. Elles sont dues au couplage capacitif qui existe entre les différents éléments du circuit et la masse. Ces perturbations se propagent dans le même sens à l'intérieur des lignes de puissance et reviennent par la masse à travers les couplages capacitifs source-masse et charge-masse. Notons que ces perturbations conduites peuvent donner naissance à des perturbations rayonnées. Par exemple, selon [37, 38], les perturbations rayonnées en mode différentiel peuvent être modélisées par une petite antenne-boucle dont le périmètre est inférieur au

quart de la longueur d'onde du signal d'excitation. Le champ électrique créé, dans l'espace libre, par une boucle de surface S portant un courant différentiel I_{dm} avec à la fréquence f , est :

$$E = 131.6 \cdot 10^{-16} \cdot \frac{f^2 \cdot S \cdot I_{dm} \cdot \sin\theta}{r} \quad (\text{I.8})$$

Avec :

- E : Champ électrique
- f : Fréquence
- S : Surface de la boucle
- I_{dm} : Courant du mode différentiel
- θ : L'angle entre le point d'observation et la perpendiculaire au plan de la boucle
- r : La distance entre la source et le point d'observation

Quant au calcul du champ électrique dû aux perturbations en mode commun, la boucle sera considérée comme une antenne monopole ou dipôle excitée par un courant du mode commun. Selon [39], pour un petit dipôle de longueur l inférieure au quart de la longueur d'onde du signal d'excitation, le champ électrique E généré dans l'espace à une distance r de la source est donné par :

$$E = 4\pi \cdot 10^{-7} \cdot \frac{f \cdot l \cdot I_{cm} \cdot \sin\theta}{r} \quad (\text{I.9})$$

A titre d'exemple, la Figure I.8 montre un plan formé par deux câbles d'alimentation reliant la source et la charge, ayant une longueur de 20 cm, et séparés d'une distance de 1 cm. Les champs électriques à 1 m du plan de la boucle, engendrés par les perturbations conduites peuvent être calculés en utilisant les équations I.8 et I.9 :

- $E_d = 0.26 \mu\text{V m}^{-1}$ pour un courant de mode différentiel de $I_{dm} = 1 \mu\text{A}$ et de fréquence $f = 100 \text{ MHz}$
- $E_c = 50.26 \mu\text{V m}^{-1}$ pour un courant de mode commun de $I_{cm} = 1 \mu\text{A}$ et de fréquence $f = 100 \text{ MHz}$

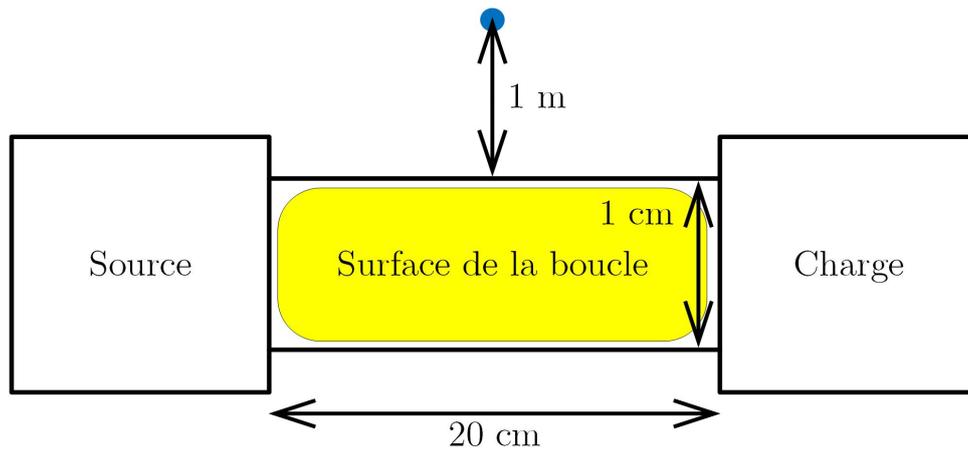


FIGURE I.8: Exemple de calcul d'un champ électrique rayonné par une boucle

Ce calcul montre le lien de causalité entre les perturbations conduites en mode commun et les perturbations rayonnées. Notons que, dans cet exemple, le champ électrique créé par le courant en mode commun est approximativement 190 fois supérieur à celui créé par le courant en mode différentiel.

I.2.3 La norme CEM CISPR 25 appliquée aux véhicules

Afin de réduire les effets indésirables causés par les perturbations électromagnétiques, différents organismes internationaux ont imposé des standards concernant la CEM (rayonné, conduit, décharge électrostatique, ...). Nous citons, à titre d'exemple, la "Federation Communication Commission" (FCC) aux États-Unis et le Comité International Spécial des Perturbations Radioélectriques (CISPR).

Tout produit électrique ou électronique doit respecter les normes CEM imposées par ces organismes pour être commercialisé (de la lampe LED et brosse à dents électrique jusqu'aux onduleurs triphasés et moteurs électriques). Ces normes définissent les tests à mener, les équipements de mesure CEM à utiliser et les limites des interférences qu'il faut respecter. Par exemple, la norme CISPR 25 concernant les équipements électriques dans les véhicules, spécifie deux configurations de mesure :

- Si l'équipement sous test (EST) est connecté à la masse du véhicule avec une ligne de retour moins de 20 cm de longueur, un seul réseau stabilisateur d'impédance de ligne (RSIL) est suffisant et les perturbations conduites seront mesurées sur la ligne positive de l'alimentation
- Si la connexion à la masse du véhicule a une longueur supérieure à 20 cm, il faut 2 RSILs pour faire les mesures des perturbations conduites. Les RSILs sont placés entre les câbles d'alimentation et l'EST. On effectue deux mesures sur chaque RSIL séparément. Pour chaque mesure, on connecte une résistance de $50\ \Omega$ sur le second RSIL.

La Figure I.9 montre le schéma électrique d'un RSIL et la Figure I.10 montre son impédance vue du coté de l'EST.

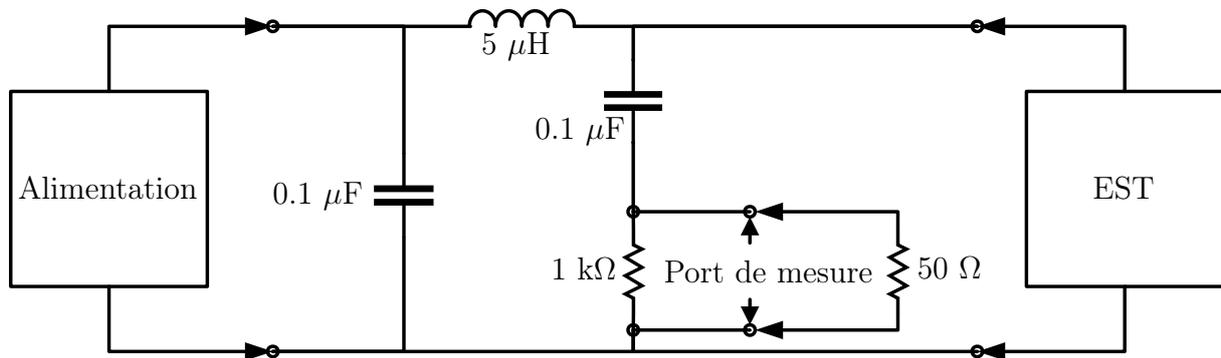


FIGURE I.9: Schéma électrique du RSIL

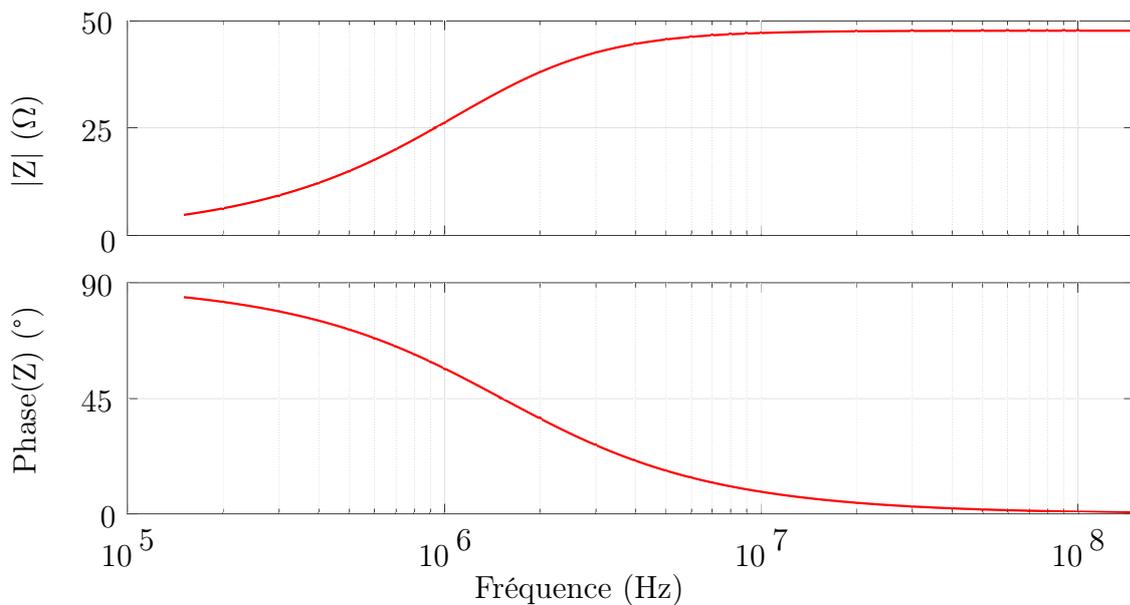


FIGURE I.10: Impédance du RSIL vue du coté de l'EST

Cet appareil sert à isoler les perturbations venant de l'alimentation (soit réseau mono ou tri-phasé soit une alimentation DC) des perturbations causées par le fonctionnement de l'EST. L'utilisation des RSILs permet la mesure des perturbations électromagnétiques produites indépendamment de type de l'alimentation. C'est-à-dire, il est utilisé pour garantir la pertinence des résultats et qu'ils soient reproductibles chaque fois et avec n'importe quelle alimentation utilisée.

La norme CISPR25 définit la méthode des mesures des perturbations conduites, soit en tension, soit en courant du mode commun et du mode différentiel. La Figure I.11 montre un exemple sur le montage exigé par la norme CISPR25 pour mesurer les perturbations

en tension d'un équipement. Le banc de test contient deux RSILs branchés en série avec les lignes de puissance alimentant l'équipement, un des deux est connecté à l'appareil de mesure alors que le second est terminé par une impédance de $50\ \Omega$.

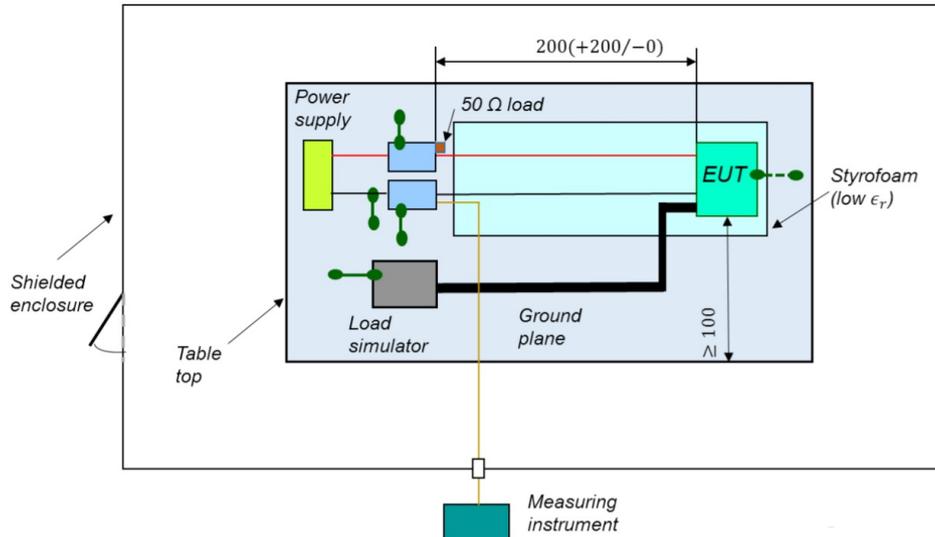


FIGURE I.11: Banc de test CEM exigé par la norme CISPR25 pour la mesure de tensions

Il est recommandé de mener les tests dans une chambre blindée, de placer les équipements de mesure à l'extérieur, et de poser les RSILs, l'alimentation et la charge sur un plan de masse en cuivre. L'ensemble doit être placé sur une table isolante. On alterne les mesures sur les deux RSILs et on vérifie que les résultats obtenus sont conformes avec les limites imposées.

D'autres tests de compatibilité électromagnétique incluent les mesures du courant (Figure I.12) en mode commun et celui en mode différentiel. La Figure I.13 montre la disposition des câbles à l'intérieur de la sonde de courant pour mesurer les perturbations.

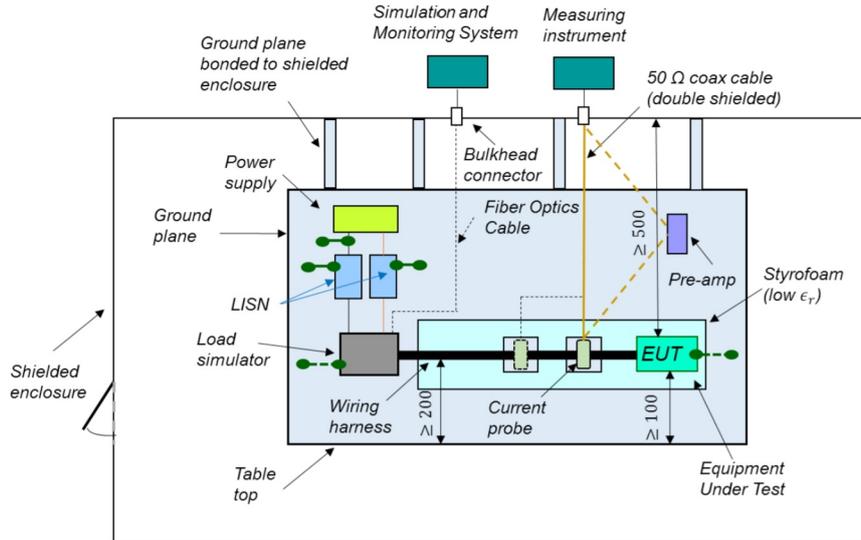


FIGURE I.12: Banc de test CEM exigé par la norme CISPR25 pour la mesure de courants

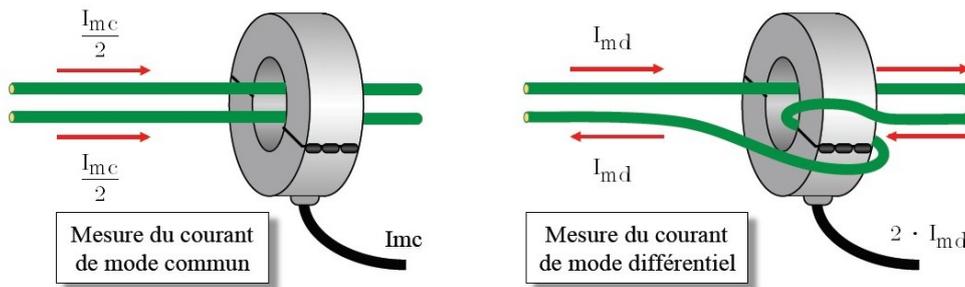


FIGURE I.13: Montage de mesure de courant du mode commun et du mode différentiel

I.2.4 La CEM dans l'électronique de puissance

Les composants semi-conducteurs à commutation rapide utilisés dans les convertisseurs de puissance permettent d'améliorer leur puissance massique et volumique, cependant, elles provoquent des interférences électromagnétiques (EMI) sévères en haute fréquence susceptibles de nuire au bon fonctionnement des équipements électriques ou électroniques à proximité.

La rapidité des variations de courant et de tension dans les convertisseurs à découpage ($\frac{di}{dt}$ et $\frac{dv}{dt}$ élevés) posent un vrai problème de compatibilité électromagnétique. A titre d'exemple, considérons une forme trapézoïdale représentant une grandeur électrique issue d'un convertisseur statique, la transformée de Fourier permettant d'estimer les perturbations contenues dans ce trapèze est donnée par l'équation suivante :

$$S(f) = 2 \cdot f_d \cdot A \left(\frac{1 - e^{-j2\pi f \cdot t_m}}{(j2\pi f t_m)^2 \cdot t_m} - \frac{1 - e^{-j2\pi f \cdot t_d}}{(j2\pi f t_m)^2 \cdot t_d} \cdot e^{-j2\pi f \left(\frac{\alpha}{f_d} + \frac{t_m - t_d}{2} \right)} \right) \quad (I.10)$$

Avec :

- f_d : Fréquence du signal trapézoïdal
- A : Amplitude du signal trapézoïdal
- t_m : Temps de montée
- t_d : Temps de descente
- α : Rapport cyclique

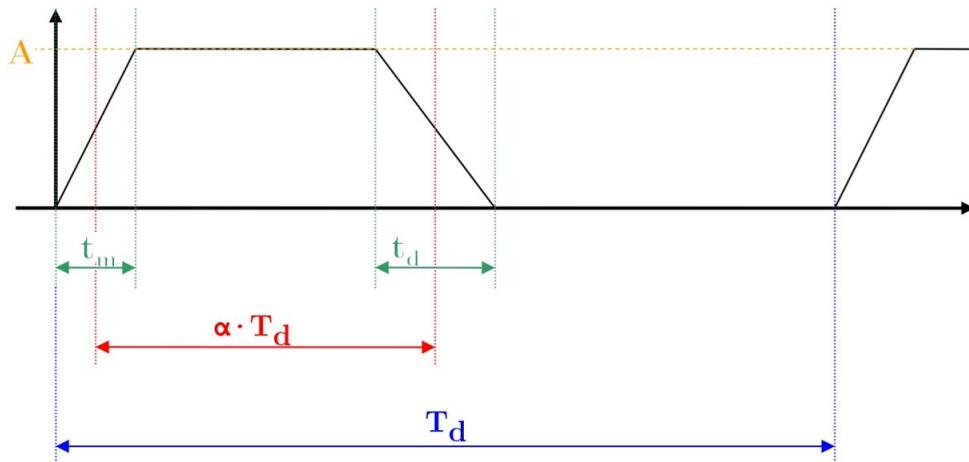


FIGURE I.14: Commutations d'un signal trapézoïdal

Dans le but d'illustrer l'impact de la rapidité des pentes sur le spectre, considérons deux signaux trapézoïdaux d'amplitude 100 V, de période 20 μs , et d'un rapport cyclique de 50%. En revanche, la pente des fronts montants et descendants est de 250 $\text{V } \mu\text{s}^{-1}$ pour l'un et 1000 $\text{V } \mu\text{s}^{-1}$ pour l'autre (Figure I.15(a)).

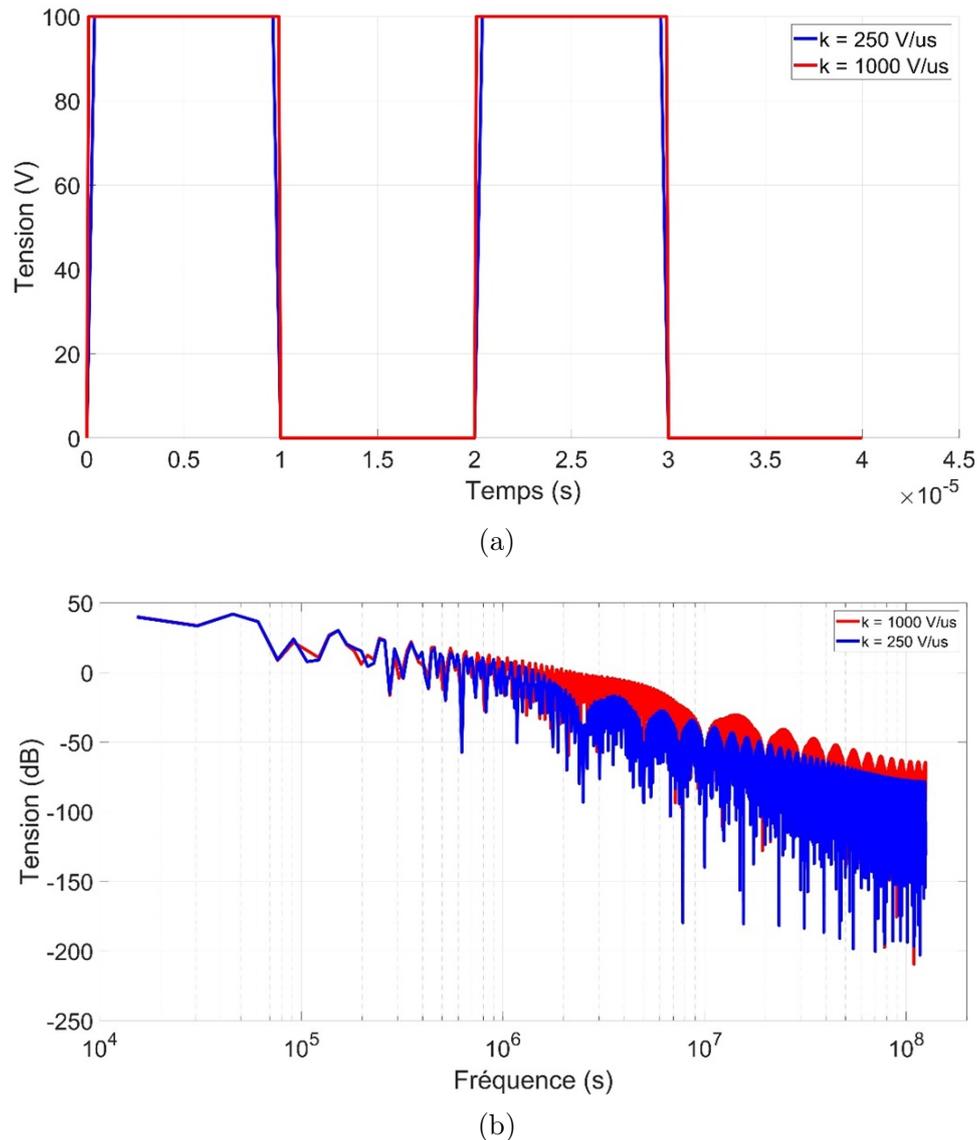


FIGURE I.15: Deux signaux trapézoïdaux avec des fronts montants et descendants de $250 \text{ V } \mu\text{s}^{-1}$ et $1000 \text{ V } \mu\text{s}^{-1}$ (a) avec leur transformée de Fourier (b)

Les transformées de Fourier rapides FFT de ces deux signaux sont présentées dans la Figure I.15(b). Nous constatons clairement une différence significative dans les amplitudes de ces deux signaux qui peut atteindre 20 dB à certaines fréquences.

En réalité, les formes d'ondes des grandeurs électriques issues des convertisseurs statiques sont souvent plus complexes et loins d'être un simple trapèze. En effet, les commutations dans un circuit de puissance sont affectées par les caractéristiques physiques de l'interrupteur de puissance comme la capacité de Miller, la tension de seuil et la recombinaison des porteurs de charges, etc.

De plus, les différents éléments parasites présents dans le circuit dus aux câblages, à l'imperfection des composants, au routage de la carte, au boîtier du commutateur, ..., influencent considérablement les formes d'ondes de commutations, en provoquant des

oscillations, des surtensions et des sur-courants.

I.3 Conclusion

Nous avons présenté, dans ce chapitre, les caractéristiques électriques du Carbure de Silicium tout en montrant l'intérêt de son utilisation dans les convertisseurs de puissance. Le composant de puissance en SiC permet, contrairement à son homologue en Si, une tenue en tension plus élevée, une résistance à l'état passant plus faible, des commutations plus rapides et par conséquent des pertes par conduction et par commutation plus réduites.

Ceci permet aux interrupteurs en SiC de fonctionner à des fréquences de découpage beaucoup plus élevées, augmentant ainsi la puissance massique et volumique des chaînes de conversion électrique.

Cependant, pour bénéficier pleinement du potentiel de ces nouveaux composants, des verrous technologiques doivent être levés. En effet, nous avons montré que l'augmentation de la fréquence de découpage et la vitesse de commutation induisent des perturbations CEM extrêmement sévères limitant ainsi l'utilisation de ces nouvelles technologies. D'autant plus que ces perturbations indésirables vont être accentuées par différents éléments parasites pouvant se manifester dans un circuit de conversion de puissance.

Afin de mesurer le niveau des perturbations générées dans les convertisseurs statiques, nous avons montré la nécessité d'utiliser des bancs de test et des protocoles spécifiques conformément aux normes imposées par des organismes habilités.

Nous avons pu comprendre la portée d'avoir des outils mathématiques fiables, telle que la FFT, et une bonne maîtrise des chemins de propagation des perturbations à travers les éléments parasites, sans laquelle, des dérives et des imprécisions s'accumuleraient durant les études CEM.

Chapitre II

Modélisation des MOSFETs en SiC

Dans ce chapitre, nous allons d'abord présenter un récapitulatif sur les modèles des MOSFETs (SiC et Si) présents dans la littérature, puis nous exposons les modèles développés par les fabricants des MOSFET SiC et ensuite, nous analysons leurs fonctionnements et leurs limitations dans le but de développer un modèle générique capable de reproduire le plus fidèlement possible les phénomènes physiques liés aux régimes statique et dynamique des MOSFETs SiC.

Par la suite, les paramètres du modèle développé seront affinés moyennant des données contenues dans les datasheets des composants et un outil d'optimisation. L'ensemble sera validé en comparant les résultats issus du modèle développé avec les données fournies par différents fabricants.

II.1 L'état de l'art sur la modélisation des MOSFETs

Dans cette partie, nous présentons les modèles des MOSFETs existants dans la littérature et ceux fournis par les fabricants.

II.1.1 Modèles des MOSFETs présents dans la littérature

II.1.1.1 Modèle du MOSFET Si développé par Krishna Shenai

Pour représenter les caractéristiques statiques du MOSFET Si, Krishna utilise, dans son approche [40], un modèle semi-empirique, développé par Grove-Frohman [41], contenant un nombre de paramètres relativement réduit (niveau 2) auquel il rajoute des éléments parasites pour mieux prendre en compte les phénomènes régissant les commutations (voir Figure II.1).

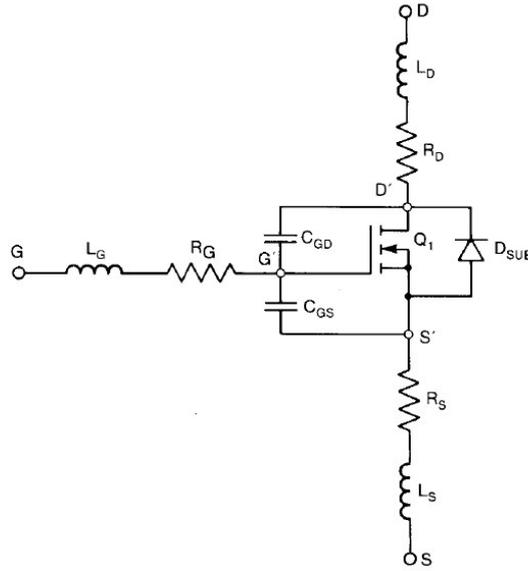


FIGURE II.1: Modèle du MOSFET Si développé dans [40]

Les équations régissant le fonctionnement de ce modèle sont :

$$I_d = \beta \cdot \left(V_{gs} - V_{bi} - \frac{\eta \cdot V_{ds}}{2} \right) \cdot V_{ds} - \frac{2}{3} \cdot \gamma \left((\phi + V_{ds} + V_{sb})^{3/2} - (\phi + V_{sb})^{3/2} \right) \quad (\text{II.1})$$

$$\beta = \mu_e C_{ox} \cdot \frac{W}{L_{eff} - \Delta L} \quad (\text{II.2})$$

Où I_d est le courant traversant le drain du MOSFET, β est la transconductance, V_{gs} est la tension grille-source du MOSFET, V_{ds} est la tension drain-source du MOSFET, V_{bi} est la tension intrinsèque de la jonction, γ est le paramètre de seuil du substrat, V_{sb} est la tension source-body du MOSFET, μ_e est la mobilité des électrons du matériau, C_{ox} est la capacité de l'oxyde de la grille, W est la largeur du canal, et $L_{eff} - \Delta L$ est la longueur effective du canal.

Afin de reproduire les dynamiques des commutations, l'auteur modélise les capacités parasites de la manière suivante :

- C_{gs} est considérée constante parce qu'elle est indépendante de la tension dans les MOSFETs de puissance
- C_{gd} est modélisée par l'expression suivante :

$$C_{gd}(V_{gd}) = \begin{cases} C_{gd}(0) & \text{si } V_{gd} > 0, \\ \frac{C_{gd}(0)}{\left(1 - \frac{V_{gd}}{V_{jgd}}\right)^{M_{jgd}}} & \text{si } V_{gd} < 0 \end{cases} \quad (\text{II.3})$$

Où $C_{gd}(0)$ est la capacité grille-drain du MOSFET sous polarisation nulle, V_{jgd} est la tension intrinsèque de la jonction entre grille et drain, et M_{jgd} est le coefficient de classement de la jonction grille-drain (Grading coefficient).

- C_{ds} varie de la manière suivante :

$$C_{ds}(V_{ds}) = \frac{C_{ds}(0)}{\left(1 - \frac{V_{ds}}{V_{jds}}\right)^{M_{jds}}} \quad (\text{II.4})$$

Où $C_{ds}(0)$ est la capacité drain-source du MOSFET sous polarisation nulle, V_{jds} est la tension intégrale de la jonction entre drain et source, et M_{jds} est le coefficient de classement de la jonction drain-source.

Les résistances R_S , R_D , R_G et les inductances L_S , L_D et L_G ont été introduites dans le modèle pour représenter les éléments parasites du boîtier du MOSFET y inclus les fils de "bonding". Quant à la diode D_{SUB} , elle sert à modéliser la jonction P-N intrinsèque du MOSFET quand elle est polarisée en directe et de modéliser la capacité C_{ds} quand elle est polarisée en inverse.

L'approche proposée ci-dessus permet de prendre en compte la variation des capacités en fonction de la tension, des éléments parasites et des caractéristiques statiques, améliorant ainsi la précision de ce modèle comme le montre la Figure II.2. De plus, les formes d'onde issues de ce modèle, représentant la commutation, sont très proches de celles obtenues par la mesure (Figure II.3).

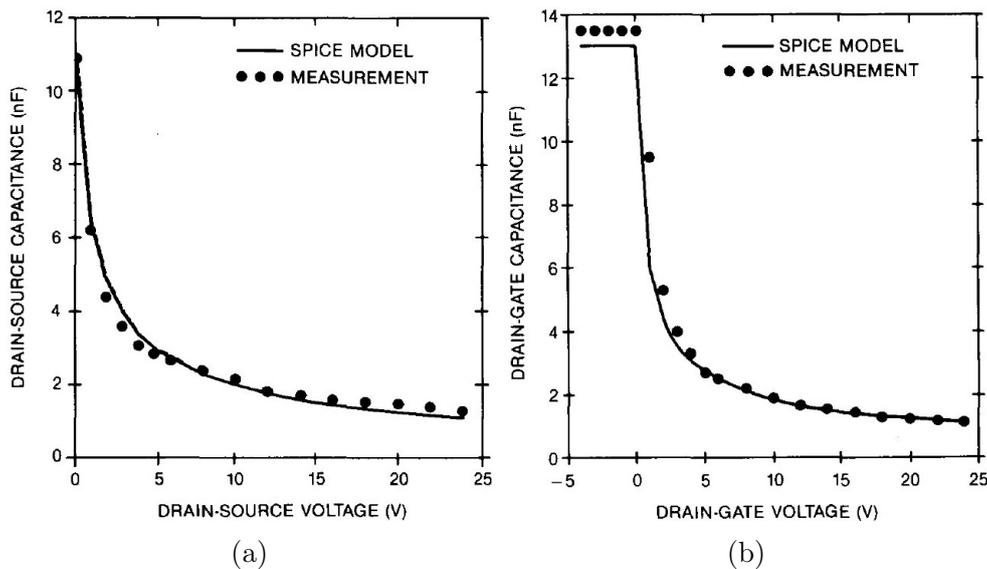


FIGURE II.2: Comparaison entre résultats expérimentaux et ceux issus de la simulation du modèle [40] de la capacité drain-source (a) et de la capacité grille-drain (b)

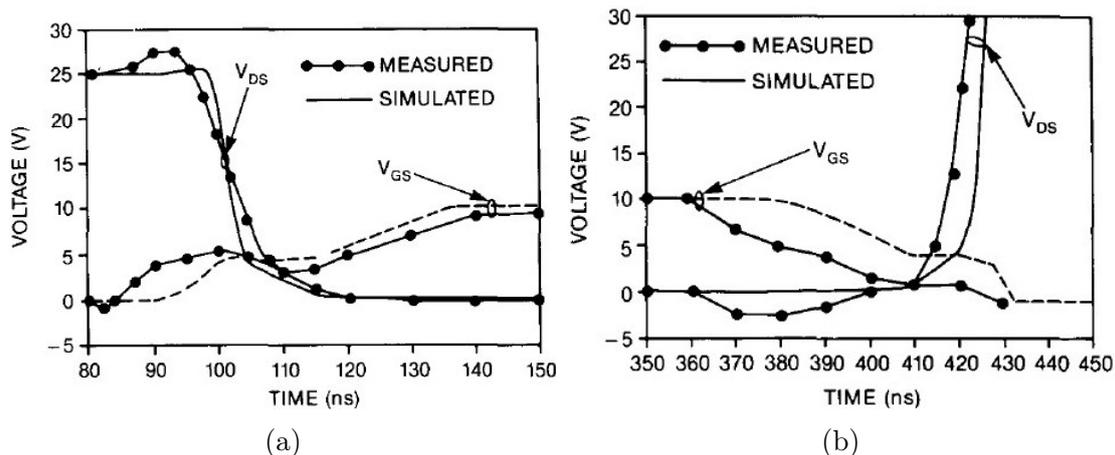


FIGURE II.3: Comparaison entre résultats expérimentaux et résultats issus de la simulation du modèle [40] à l'amorçage (a) et au blocage (b)

II.1.1.2 Modèle du MOSFET développé par Ansys

Le pôle recherche et développement d'ANSYS aux États-Unis a développé un modèle du MOSFET facile à utiliser avec un outil permettant l'extraction des paramètres du modèle à partir des datasheets [42]. Il est basé, pour reproduire le comportement statique du MOSFET, sur le modèle Schichman-Hodges [43] modifié :

$$V_{sat} = A_{FET}(T)(V_{gs} - V_p(T))^{M_{FET}(T)} \quad (II.5)$$

$$I_{sat} = \frac{K(T)}{2}(V_{gs} - V_p(T))^{N_{FET}(T)} \quad (II.6)$$

$$I_D = \begin{cases} I_{sat}(1 + KLM \cdot V_{ds})(2 - \frac{V_{ds}}{V_{sat}})(\frac{V_{ds}}{V_{sat}}) & \text{si } V_{ds} < V_{sat}, \\ I_{sat}(1 + KLM \cdot V_{ds}) & \text{si } V_{ds} \geq V_{sat} \end{cases} \quad (II.7)$$

Où V_{sat} est la tension de saturation, I_{sat} est le courant de saturation, $V_p(T)$ est la tension de pincement du canal, $A_{FET}(T)$ est le facteur de saturation, $M_{FET}(T)$ est l'exposant de saturation, $N_{FET}(T)$ est l'exposant des caractéristiques de transfert, $K(T)$ est le coefficient de transfert, et T est la température.

La diode intrinsèque du MOSFET est modélisée par l'équation de Schokley :

$$I_D = I_{sat} \left(e^{\frac{V_D}{n \cdot V_T}} - 1 \right) \quad (II.8)$$

$$V_T = \frac{K \cdot T}{q} \quad (II.9)$$

Où I_{sat} est le courant de saturation de la diode, V_T est la tension thermique, n est le facteur d'idéalité du matériau, K est la constante de Boltzman, et q est la charge d'un électron.

Le schéma électrique de la Figure II.4 regroupe les éléments parasites de base qu'on retrouve presque dans tous les modèles et des éléments spécifiques propres au modèle proposé :

- Résistances parasites de la grille (R_{gg}), du drain (R_{dd}) et de la source ($R_{aux}+R_{ss}$)
- Inductances parasites de la grille (L_{gg}), du drain (L_{dd}) et de la source ($L_{aux}+L_{ss}$)
- Capacités parasites : C_{gd} , C_{gs} et C_{ds}
- Source de courant I_{tail} pour modéliser le courant de queue du drain pendant le blocage
- Source de courant I_{rr} pour modéliser le phénomène du recouvrement inverse de la diode
- Résistance R pour réduire les oscillations provoquées dans le système

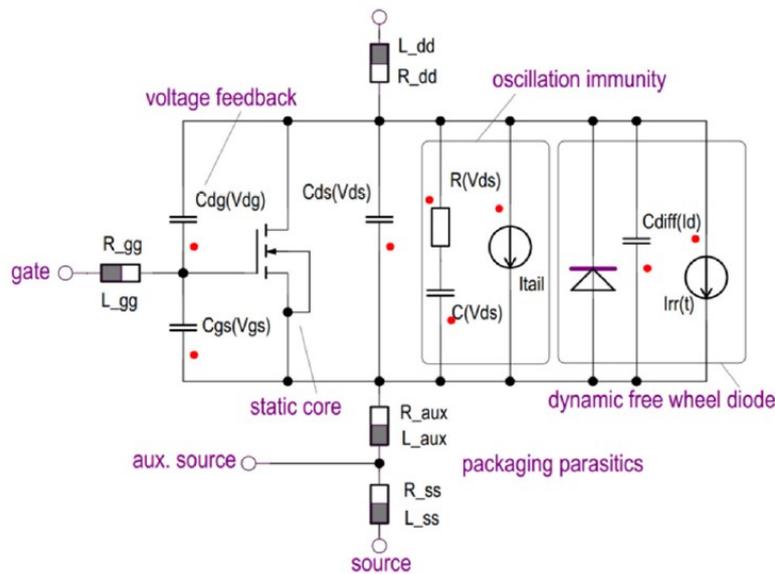


FIGURE II.4: Modèle du MOSFET développé dans [42]

Notons que la modélisation des capacités parasites tient compte de la polarité de la tension de jonction (positive ou négative) comme le montre l'équation ci-dessous :

$$C(V_j) = \begin{cases} C_0 \left[1 + (\beta - 1) \left(1 - e^{\frac{-V_j \cdot \alpha (1-\gamma)}{V_{bi}(\beta-1)}} \right) \right] & \text{si } V_j > 0, \\ C_0 \left[\gamma + \frac{1-\gamma}{\left(1 - \frac{V_j}{V_{bi}} \right)^\alpha} \right] & \text{si } V_j \leq 0 \end{cases} \quad (\text{II.10})$$

Les paramètres α , β et γ ne possèdent pas de sens physique alors que le paramètre V_{bi} est la tension intrinsèque de la jonction. Notons aussi que tous ces paramètres dépendent de la température.

Les résultats en régime statique (Figure II.5) du modèle semblent être satisfaisants, quant au régime dynamique, en comparant les temps de commutation, t_{on} et t_{off} , entre la simulation et les données issues des datasheets, les auteurs ont pu constater une erreur ne dépassant pas les 5% [42].

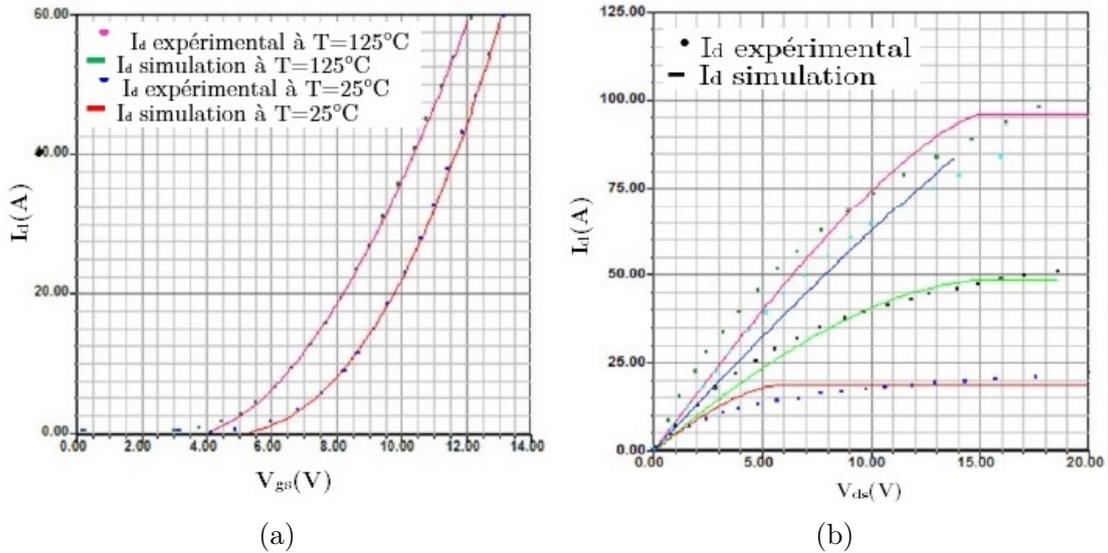


FIGURE II.5: Comparaison entre résultats expérimentaux et ceux issus de la simulation du modèle [42] des caractéristiques de transfert (a) et des caractéristiques de sortie (b)

II.1.1.3 Modèle mathématique du MOSFET pour la CEM

Sven Thamm et Marco Leone de l'université Otto-von-Guericke en Allemagne ont développé un modèle empirique capable de modéliser un transistor MOSFET [44] en utilisant des formulations purement mathématiques.

Les caractéristiques de transfert statiques sont décrites par l'équation suivante :

$$I_d(V_{ds}, V_{gs}) = \sum_{n=1}^N a_n e^{b_n e^{c_n \cdot V_{gs}}} \cdot d_n \cdot V_{ds} \quad \text{pour } V_{ds} \geq 0 \quad (\text{II.11})$$

Où a_n , b_n , c_n et d_n sont des paramètres à déduire à partir d'un procédé d'optimisation, et N est un paramètre à choisir en fonction de la précision souhaitée.

Pour $V_{ds} < 0$, la diode du MOSFET entre en conduction, les caractéristiques de transfert de la diode sont décrites par des fonctions Gaussiennes superposées à base radiale :

$$I_d(V_{ds}) = \sum_{n=1}^N a_n e^{-\frac{(V_{ds}-c_n)^2}{2b_n^2}} \quad \text{pour } V_{ds} < 0 \quad (\text{II.12})$$

Pour la modélisation en dynamique, la même approche mathématique a été utilisée, en effet, les variations des capacités en fonction de la tension ont été exprimées par :

$$C(V) = \sum_{n=1}^N a_n e^{b_n e^{c_n V}} \quad (\text{II.13})$$

Où a_n , b_n et c_n sont des paramètres à optimiser, ils ne possèdent pas une signification physique.

Afin d'évaluer son comportement, le modèle du transistor a été testé pour $N=3$. Les graphes des Figures II.6, II.7 montrent des comparaisons des résultats entre le modèle mathématique proposé et un modèle de référence SPICE.

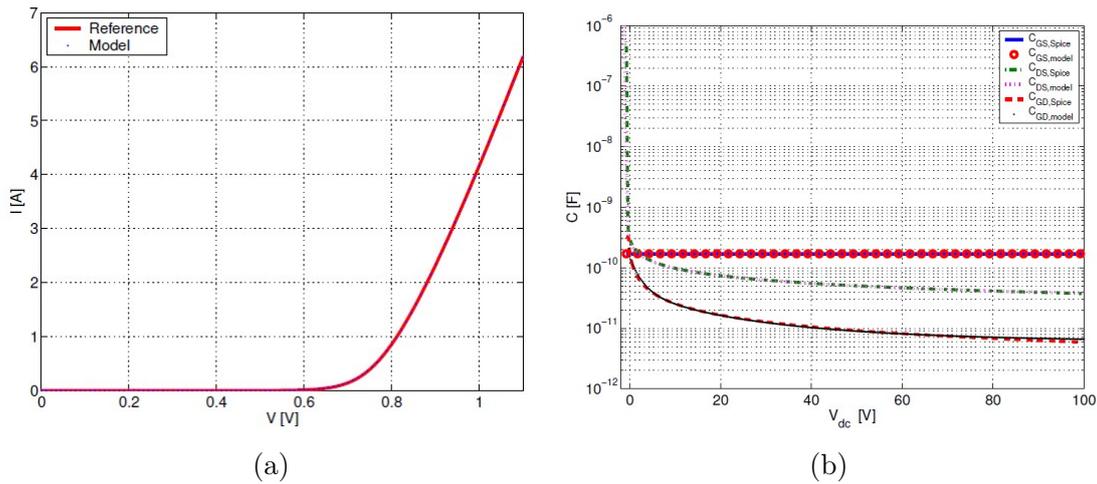


FIGURE II.6: Comparaison entre les résultats issus du modèle présenté dans [42] et ceux issus du modèle de référence SPICE : des caractéristiques de transfert (a) et des caractéristiques capacité-tension (b)

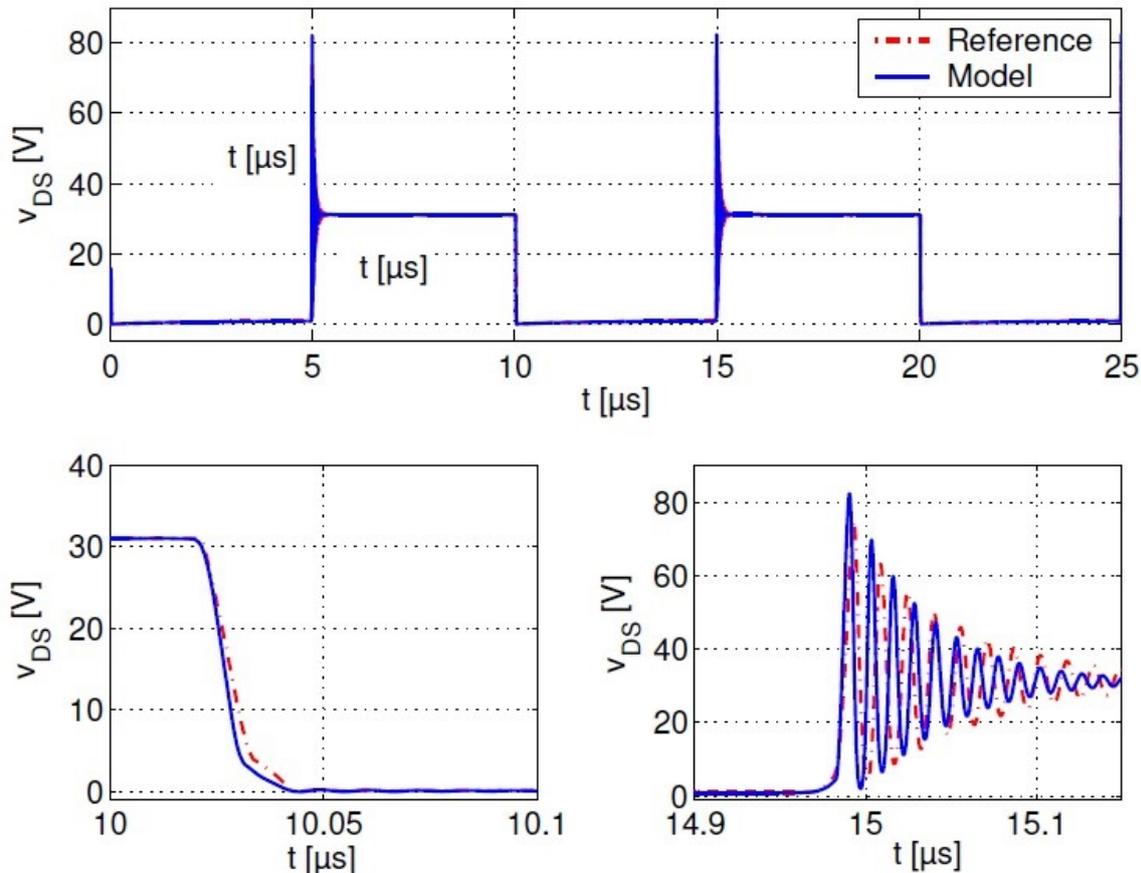


FIGURE II.7: Comparaison de la tension V_{ds} pendant les commutations entre les résultats issus du modèle mathématique développé dans [44] et ceux issus du modèle de référence SPICE

II.1.2 Modèles des MOSFETs SiC fournis par les fabricants

Souvent les fabricants proposent des modèles de leurs composants sous forme de fichier '.lib' afin de pouvoir les intégrer dans les outils de simulation électronique de type SPICE.

Nous présenterons dans ce qui suit, les modèles des fabricants dédiés aux MOSFETs SiC, nous analyserons leur fonctionnement et nous préciserons leurs limites justifiant l'élaboration du nouveau modèle générique proposé dans le cadre de cette thèse.

II.1.2.1 Modèle proposé par CREE à leurs composants de 3^{ème} génération

A titre d'exemple, nous présentons le modèle du MOSFET SiC C3M0065100K de 3^{ème} génération [45] dont la tenue en tension est de 1200 V, la résistance à l'état passant est de 65 m Ω et le courant continu nominal est de 35 A. Notons que tous les composants de cette famille de 3^{ème} génération possèdent le même modèle avec des paramètres ajustés différemment.

Le schéma électrique de ce modèle est présenté dans la Figure II.8, il contient 6 connexions d'entrée/sortie (E/S) : la grille (G), le drain (D), la source (S2), la source

Kelvin (S1) [46, 47, 48], la température de jonction (Tj) et la température du boîtier (Tc). Rappelons que la grille, le drain et la source sont les connexions traditionnelles d'un composant MOSFET.

La source Kelvin permet de connecter la borne négative de la commande à la puce par une connexion dédiée (S1). D'après [46], cette technique permet de réduire les pertes par commutation de plus de 10% diminuant ainsi l'effet thermique sur le composant.

Les connexions Tj et Tc permettent d'estimer l'évolution de la température dans le composant pendant le fonctionnement. Au point Tc, on peut fixer la température du boîtier pendant les simulations et au point Tj, on peut visualiser la variation de la température de la jonction.

Le modèle est basé sur une version modifiée du modèle Krummenacher-Vittoz (EKV) [49, 50], il utilise des sources de courants contrôlées en tension « Voltage-Controlled-Current-Sources » (VCCS) pour modéliser le courant drain-source du MOSFET en statique comme le montre l'équation II.14.

$$I_d = (k(V_{gs} - V_{th}) + A)(1 + \lambda V_{ds}) \left(\log(1 + e^{V_{gs} - V_{th}})^2 - \log(1 + e^{V_{gs} - V_{th} - B \cdot V_{ds}})^2 \right) \quad (\text{II.14})$$

$$k = 2\beta V_T^2 k_s \quad (\text{II.15})$$

Où V_{th} est la tension de seuil du MOSFET, A et B sont les paramètres de la région triode, λ est la paramètre de modulation de la longueur du canal, β est la transconductance, V_T est la tension thermique, et k_s est le paramètre de la pente sous-seuil canal.

Les trois capacités parasites (C_{gd} , C_{gs} et C_{ds}) sont modélisées de la façon suivante :

- La capacité grille-drain (C_{gd}) : elle est modélisée par une VCCS en série avec une résistance. Son équation est la suivante :

$$C_{gd}(V_{gd}) = C_{gd}(0) \left(1 + V_{gd} \left(1 + ka \frac{1 + \tanh(-Kb \cdot V_{gd} - Kc)}{2} \right)^{-k2} \right) \quad (\text{II.16})$$

Où $C_{gd}(0)$ est la capacité grille-drain sous polarisation nulle et Ka , Kb , Kc et $K2$ sont des paramètres d'ajustement.

- La capacité drain-source (C_{ds}) : elle est représentée par la capacité de jonction de la diode (D1 dans la Figure II.8) polarisée en inverse. C'est un modèle SPICE d'une diode, il utilise la formule suivante pour modéliser la dépendance de la capacité de

jonction de la diode par rapport à la tension :

$$C_{ds}(V_{ds}) = \frac{C_{ds}(0)}{\left(1 - \frac{V_{ds}}{V_{bi}}\right)^M} \quad (\text{II.17})$$

Où $C_{ds}(0)$ est la capacité drain-source sous polarisation nulle, V_{bi} Courant traversant le drain du MOSFET et M coefficient de pondération.

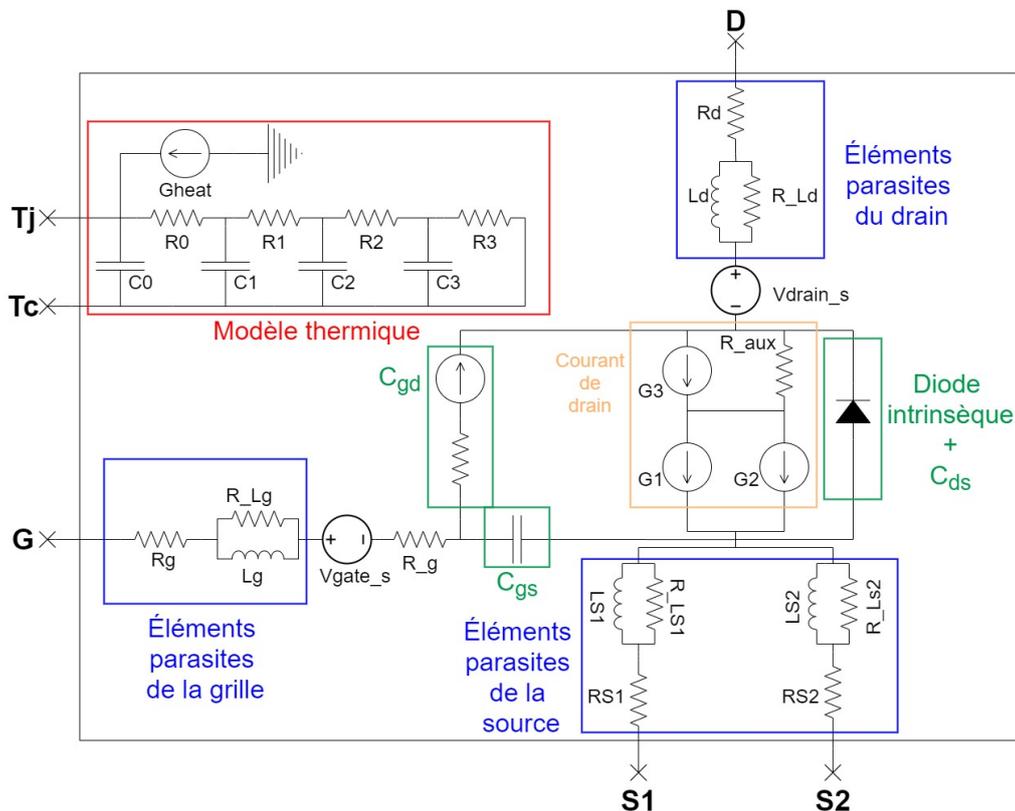


FIGURE II.8: Modèle du MOSFET SiC C3M0065100K proposé par CREE

- La capacité grille-source (C_{gs}) : elle dépend principalement de la conception interne du MOSFET, plus précisément de la structure de l'électrode de la grille [51]. Elle est donc indépendante de la tension et modélisée par une capacité fixe.

Le modèle contient aussi les éléments parasites résistifs et inductifs dus aux connexions : Grille, Source, Drain et Source Kelvin comme le montre le Tableau II.1.

Connexion	Grille (G)	Drain (D)	Source (S2)	Kelvin Source (S1)
Inductance	$L_g = 8.53 \text{ nH}$	$L_d = 4.36 \text{ nH}$	$L_{s1} = 6.68 \text{ nH}$	$L_{s2} = 2.99 \text{ nH}$
Résistance	$R_g = 36.09 \text{ m}\Omega$	$R_d = 0.08 \text{ m}\Omega$	$R_{s1} = 28.15 \text{ m}\Omega$	$R_{s2} = 3.56 \text{ m}\Omega$

Tableau II.1: Valeurs des éléments parasites du modèle du C3M0065100K

De plus, certains paramètres du modèle tels que k , V_{th} , A , B sont dépendants de la température de la jonction (T_j) et par conséquent du phénomène de l'auto-échauffement. Ainsi, ce dernier a été intégré dans la modélisation : la source 'Gheat' injecte un courant I_{Gheat} dans le réseau thermique de Cauer [52] proportionnel aux pertes induites P_{pertes} dans le MOSFET comme le montre l'équation ci-dessus :

$$I_{Gheat} \propto P_{pertes} = V_{ds} \cdot I_d \quad (\text{II.18})$$

La diode intrinsèque du MOSFET est modélisée par une diode SPICE régie par l'équation de Schokley déjà présentée dans l'équation II.8. Cette équation permet de modéliser le fonctionnement de la diode en régimes de polarisation directe et inverse. Quant au phénomène de claquage, SPICE introduit l'équation suivante :

$$I_D = -I_{sat} \left(e^{\frac{V_{BV}+V_D}{V_T}} - 1 + \frac{V_{BV}}{V_T} \right) \quad (\text{II.19})$$

Où V_{BV} est la tension de claquage de la diode.

II.1.2.2 Modèle proposé par ROHM

Pareillement à CREE, ROHM propose des modèles SPICE de leurs composants MOSFET SiC. Nous avons choisi d'analyser le modèle du composant SCT2080KE [53] caractérisé par une tenue en tension de 1200 V, une résistance à l'état passant de 80 mΩ et peut supporter un courant continu de 40 A. Le schéma électrique de ce composant est présenté dans la Figure II.9.

Ce modèle utilise une VCCS pour modéliser le courant du MOSFET, mais avec une équation plus complexe dépendante de V_{gs} et V_{ds} . Il utilise des formulations mathématiques pour modéliser le comportement statique, ses paramètres n'auront donc pas une signification physique. L'expression du courant de ce modèle est la suivante :

$$I_d = f_g(V_{gs}) \cdot f_d(V_{ds}) \quad (\text{II.20})$$

$$f_g(V_{gs}) = V'_{gs} \left(1 + \left(B_1 + B_2 \cdot \tanh\left(\frac{V'_{gs}}{b_1}\right) \right) e^{\frac{TEMP-T_0}{-cT}} \right) \quad (\text{II.21})$$

$$f_d(V_{ds}) = \frac{V_{ds}}{|V_{ds}| + \left(B_1 + B_2 \cdot \tanh\left(\frac{V'_{gs}}{b_1}\right) \right) e^{\frac{TEMP-T_0}{-cT}}} \quad (\text{II.22})$$

$$V'_{gs} = D_1 \cdot V''_{gs} \left(d \cdot e^{\frac{TEMP-T_0}{d_1}} \cdot e^{\frac{TEMP-T_0}{d_2}} \cdot e^{\frac{TEMP-T_0}{d_3}} \right) \quad (\text{II.23})$$

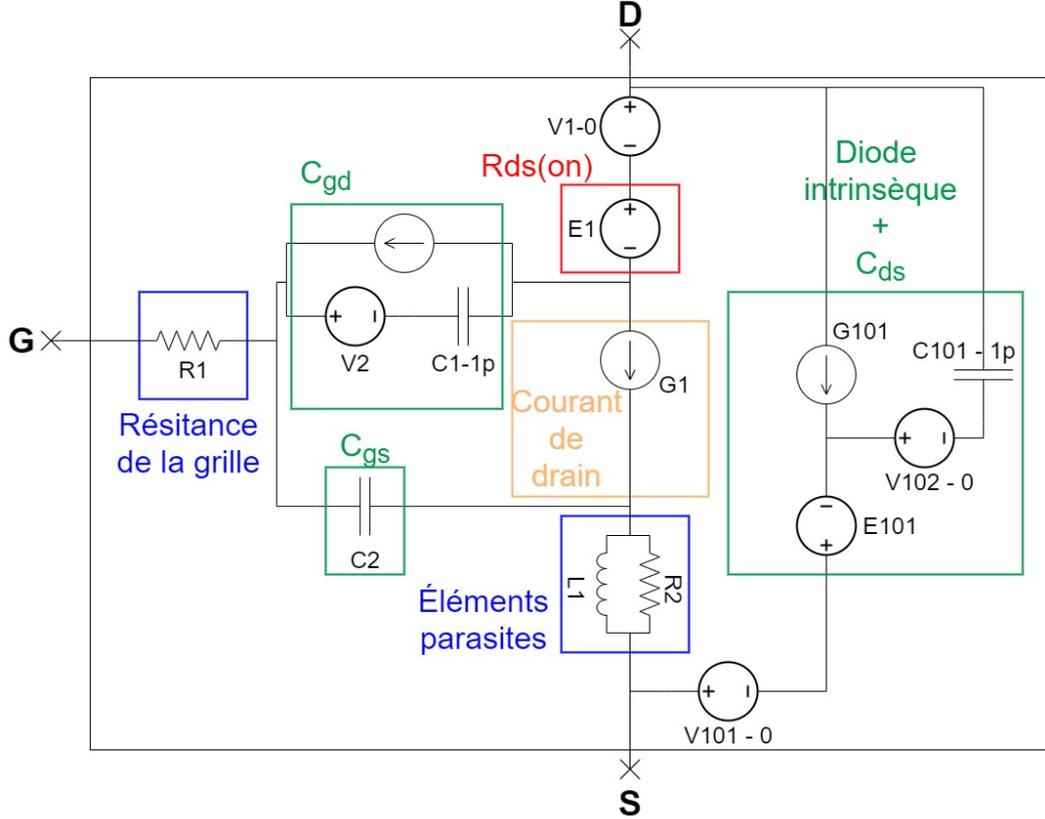


FIGURE II.9: Modèle du MOSFET SiC SCT2080KE proposé par ROHM

Où $TEMP$, T_0 sont respectivement la température ambiante et la température du boîtier fixées au début de la simulation, B_1 , B_2 , b_1 , c_T , d , d_1 , d_2 et d_3 sont des paramètres constants de réglage, V_{gs}'' est la fonction qui dépend de V_{gs}' et de la tension V_{gs} .

Ensuite, ce modèle utilise une source de tension contrôlée en tension «Voltage Controlled Voltage Source» (VCVS) pour modéliser la résistance du canal ($E1$ dans la Figure II.9). Cette résistance a un effet important sur les caractéristiques de sortie du MOSFET. La VCVS produit une tension qui dépend du courant traversant le composant et de sa température, par conséquent elle simule le fonctionnement d'une résistance selon l'équation suivante :

$$V_{RD}(I_d) = F_1 \cdot I_d \cdot e^{\frac{TEMP-T_0}{f_1}} \cdot e^{\frac{TEMP-T_0}{f_2}} + F_2 \cdot I_d \cdot |I_d|^{k_1} \cdot e^{\frac{TEMP-T_0}{f_3}} \quad (II.24)$$

Où V_{RD} est la tension aux bornes de la source VCVS et F_1 , F_2 , F_3 , f_1 , f_2 , f_3 sont des paramètres constants de réglage.

Les capacités variables en fonction de la tension sont modélisées de la façon suivante :

- La capacité grille-drain (C_{gd}) : pour modéliser correctement la capacité C_{gd} , la source

VCCS (Figure II.9) doit injecter un courant proportionnel à la dérivée de la tension à ses bornes. Pour obtenir cette dérivée, une capacité de très faible valeur a été rajoutée en série avec une source de tension de valeur nulle, l'ensemble est connecté en parallèle avec la source de courant VCCS (Figure II.9). L'équation finale de la capacité est :

$$C_{gd}(V_{gd}) = 10^{-12} \left(\left(G(V_{gd}) + H(V_{gd}) \right)^{k_2} \cdot P(V_{gd}) \right) \quad (\text{II.25})$$

$$G(V_{gd}) = g_1 \left(\min(\max(V_{gd}, g_2), g_3) - g_2 \right) \quad (\text{II.26})$$

$$H(V_{gd}) = h_1 \left(1 - h_2 \cdot \tanh \left(\frac{\min(V_{gd}, g_2)}{h_3} \right) \right) \quad (\text{II.27})$$

$$P(V_{gd}) = p_1 \cdot \tanh((V_{gd} + p_2) \cdot p_3) + p_4 \quad (\text{II.28})$$

Où $g_1, g_2, g_3, h_1, h_2, h_3, p_1, p_2, p_3, p_4$, et k_2 sont des paramètres constants de réglage.

- La capacité drain-source (C_{ds}) : elle est représentée par la source de courant G101 (Figure II.9). Les équations qui expriment la variation de cette capacité en fonction de la tension V_{ds} sont :

$$C_{ds}(V_{ds}) = 10^{-12} (L(V_{ds}) + M(V_{ds})) \quad (\text{II.29})$$

$$L(V_{ds}) = l_1 (\max(-V_{ds}, l_2) - l_2) \quad (\text{II.30})$$

$$M(V_{ds}) = m_1 \left(1 - m_2 \cdot \tanh \left(\frac{\min(-V_{ds}, l_2)}{m_3} \right) \right)^{k_3} \quad (\text{II.31})$$

Où l_1, l_2, m_1, m_2, m_3 et k_3 sont des paramètres constants de réglage.

- La capacité grille-source (C_{gs}) : cette capacité, comme nous l'avons expliqué précédemment, dépend principalement de la structure physique du MOSFET. Elle est donc indépendante de la tension et elle est modélisée par une capacité fixe (C_2 dans la Figure II.9).

Enfin, la conduction en inverse est assurée grâce à la source de courant G101 selon les

équations suivantes :

$$I_{di} = N(V_{sd}) \cdot O(V_{sd}) \quad (\text{II.32})$$

$$N(V_{sd}) = n_1 \left(e^{\frac{V_{sd}}{n_2 \cdot e}} \cdot e^{\frac{TEMP-T_0}{n_3}} - 1 \right) \cdot e^{\frac{TEMP-T_0}{n_4}} \cdot e^{\frac{TEMP-T_0}{n_5}} \quad (\text{II.33})$$

$$O(V_{sd}) = 1 + e^{-V_{sd} - o_1 \cdot e^{\frac{o_2}{o_3}}} \quad (\text{II.34})$$

Où I_{di} est le courant de conduction inverse produit par la source de courant G101 et $n_1, n_2, n_3, n_4, n_5, o_1, o_2$ et o_3 sont des paramètres de réglage.

Ce modèle complet comporte un grand nombre de paramètres de réglage qui n'ont pas de sens physique, sachant qu'il est plus simple que celui du modèle de CREE puisqu'il possède moins d'éléments dans son schéma électrique. Par contre, la modélisation des effets de la température dans ce modèle est moins sophistiquée que celle présente dans le modèle de CREE.

II.2 Tests de caractérisation électrique des modèles

Dans le but de d'évaluer les performances en régimes statique et dynamique des modèles présentés précédemment, une série de tests de caractérisation des MOSFETs a été développée. Il s'agit des tests suivants :

- mesures des capacités
- caractéristiques de sortie
- caractéristiques des commutations avec une double impulsion

Une interface graphique permettant d'exécuter l'ensemble des tests et de visualiser rapidement leurs résultats sera présentée dans la section II.2.6.

Les capacités mesurées par ces tests sont : la capacité d'entrée (C_{iss}), la capacité de sortie (C_{oss}) et la capacité de transfert inverse (C_{rss}). Elles représentent des combinaisons des capacités réelles aux bornes des MOSFETs :

$$C_{iss} = C_{gd} + C_{gs} \quad (\text{II.35})$$

$$C_{oss} = C_{gd} + C_{ds} \quad (\text{II.36})$$

$$C_{rss} = C_{gd} \quad (\text{II.37})$$

II.2.1 Mesure de la capacité d'entrée C_{iss}

La Figure II.10(a) montre le circuit utilisé pour mesurer la capacité d'entrée du MOSFET. Nous rappelons que cette dernière est la somme des capacités grille-drain et grille-source.

Dans la Figure II.10(a), la source de tension alternative V_{gs} fournit un signal AC de faible amplitude ($V_{ac,p} = 10-25 \text{ mV}$) et de haute fréquence ($f = 1 \text{ MHz}$). Notons que Cette tension est insuffisante pour amorcer le MOSFET (le composant reste donc bloqué). Ce signal traverse les 2 capacités C_{gd} et C_{gs} . La Figure II.10(b) montre le schéma électrique équivalent AC du circuit.

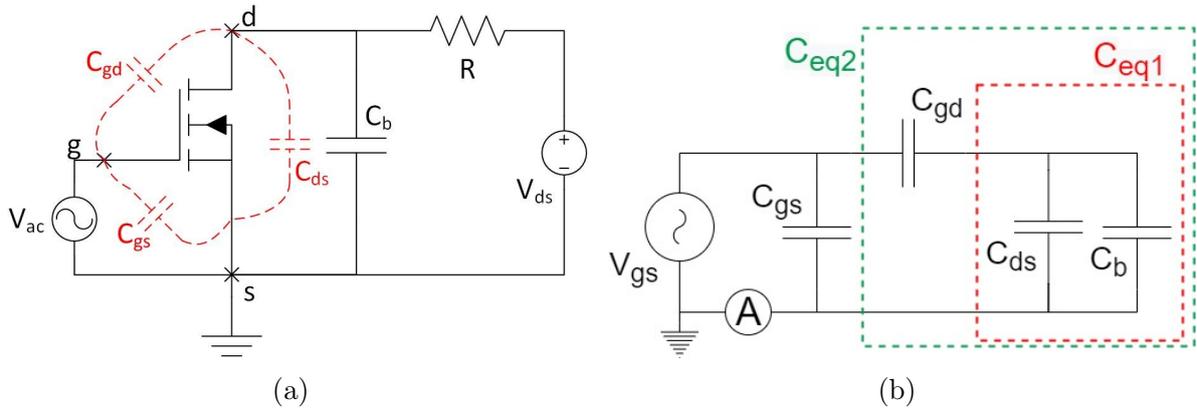


FIGURE II.10: Circuit de mesure de la capacité d'entrée C_{iss} (a) et son schéma équivalent AC (b)

La capacité C_b « Bypass capacitance » permet au signal traversant C_{gd} de contourner C_{ds} . En effet, la valeur de cette capacité doit être choisie beaucoup plus importante que C_{ds} , court-circuitant ainsi cette dernière. C_{ds} et C_b sont en parallèle, donc :

$$C_{eq1} = C_{ds} + C_b \approx C_b \quad (\text{II.38})$$

Quant à C_{eq1} , elle sera en série avec C_{gd} , et sachant que $C_b \gg \gg C_{gd}$:

$$C_{eq2} = \frac{C_{gd} \cdot C_{eq1}}{C_{gd} + C_{eq1}} = \frac{C_{gd} \cdot C_{eq1}}{C_{eq1} \left(1 + \frac{C_{gd}}{C_{eq1}}\right)} = \frac{C_{gd}}{\left(1 + \frac{C_{gd}}{C_{eq1}}\right)} \approx C_{gd} \quad (\text{II.39})$$

Donc le signal fourni par V_{ac} traverse seulement les 2 capacités C_{gd} et C_{gs} . Connaissant la valeur du courant traversant V_{ac} et la tension d'alimentation on peut calculer C_{iss} de la manière suivante :

$$|I_{ac}| = \left| \frac{V_{ac}}{Z_{C_{gd}} + Z_{C_{gs}}} \right| = \frac{V_{ac}}{Z_{C_{iss}}} = \frac{|V_{ac}|}{\left| \frac{1}{j\omega C_{iss}} \right|} \quad (\text{II.40})$$

$$C_{iss} = \frac{|V_{ac}|}{\omega |I_{ac}|} = \frac{V_{ac,p}}{2\pi f \cdot I_{ac,p}} \quad (\text{II.41})$$

Où I_{ac} est le courant alternatif mesuré par la sonde (fourni par V_{ac}), $Z_{C_{gd}}$ est l'impédance complexe de la capacité grille-drain, $Z_{C_{gs}}$ est l'impédance complexe de la capacité grille-source, $Z_{C_{iss}}$ est l'impédance complexe de la capacité d'entrée, ω est la fréquence angulaire, $I_{ac,p}$ est l'amplitude du courant sinusoïdal mesurée, et $V_{ac,p}$ est l'amplitude du signal sinusoïdal fourni par V_{ac} .

En balayant la tension V_{ds} , à l'aide d'un script MATLAB, nous pouvons calculer la valeur de la capacité C_{iss} pour différentes tensions de polarisation. Nous pouvons tracer ensuite la courbe de variation de cette capacité en fonction de la tension $C_{iss}(V_{ds})$.

II.2.2 Mesure de la capacité de sortie C_{oss}

Pour mesurer la capacité de sortie d'un MOSFET, nous utilisons le circuit de la Figure II.11(a). Cette capacité est la somme des capacités drain-source (C_{ds}) et grille-drain (C_{gd}).

La source V_{ac} dans la Figure ci-dessous, fournit un signal AC ayant les mêmes caractéristiques que celui utilisé pour la mesure de C_{iss} . Le schéma électrique équivalent AC du circuit est présenté dans la Figure II.11(b).

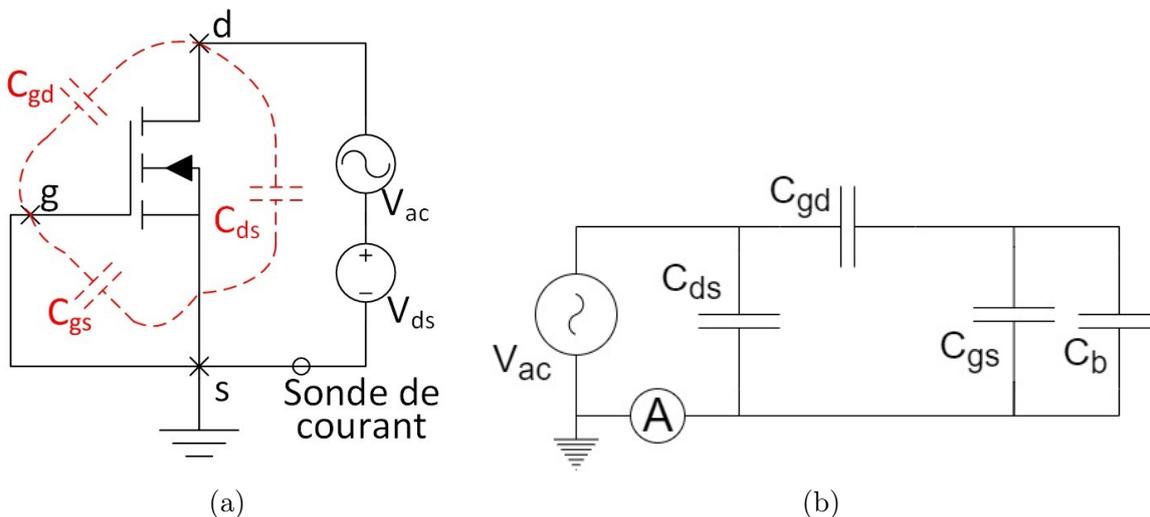


FIGURE II.11: Circuit de mesure de la capacité de sortie C_{oss} (a) et son schéma équivalent AC (b)

Étant donné que les bornes grille-source sont court-circuitées (Le MOSFET est bloqué), les capacités C_{gd} et C_{ds} seront donc en parallèle, permettant ainsi de calculer C_{oss}

en suivant une démarche identique à celle utilisée pour calculer C_{iss} :

$$C_{oss} = \frac{|V_{ac}|}{\omega |I_{ac}|} = \frac{V_{ac,p}}{2\pi f \cdot I_{ac,p}} \quad (\text{II.42})$$

De la même manière que C_{iss} , en balayant la tension V_{ds} , à l'aide d'un script MATLAB, nous pouvons calculer la valeur de la capacité C_{oss} pour différentes tensions de polarisation et nous tracerons ensuite la courbe de la variation de cette capacité en fonction de la tension $C_{oss}(V_{ds})$.

II.2.3 Mesure de la capacité de transfert inverse C_{rss}

Le circuit pour mesurer la capacité de transfert inverse C_{rss} est illustré dans la Figure II.12(a). Elle représente la capacité grille-drain C_{gd} .

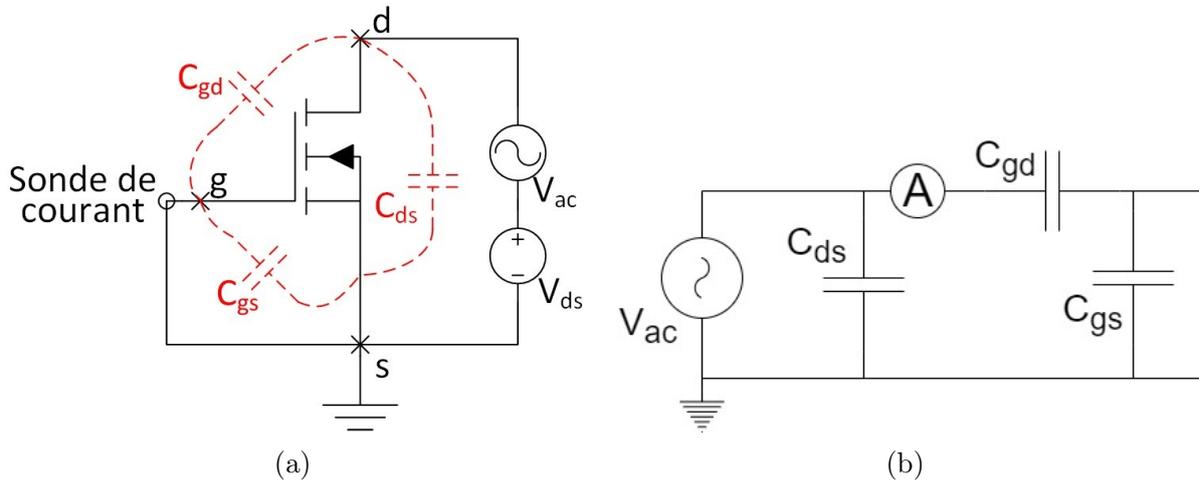


FIGURE II.12: Circuit de mesure de la capacité de transfert inverse C_{rss} (a) et son schéma équivalent AC (b)

Comme dans les parties précédentes, la source V_{ac} fournit un signal AC de faible amplitude ($V_{ac,p} = 10-25$ mV) et de haute fréquence ($f = 1$ MHz). Ce test est semblable à celui utilisé pour mesurer C_{oss} , quoique la sonde de mesure du courant est placée au niveau de la grille au lieu de la source du transistor.

Comme le montre la Figure II.12(b), C_{gs} est court-circuitée, permettant donc la mise en parallèle de C_{gd} et C_{ds} . Connaissant le courant traversant cette capacité et la tension AC appliquée à ses bornes, nous pouvons alors calculer sa valeur comme suit :

$$C_{rss} = \frac{|V_{ac}|}{\omega |I_{ac}|} = \frac{V_{ac,p}}{2\pi f \cdot I_{ac,p}} \quad (\text{II.43})$$

II.2.4 Caractéristiques de sortie I-V

Les caractéristiques de sortie (courant-tension I-V) permettent d'évaluer les performances des MOSFETs en statique [54, 55, 56] telles que : $R_{ds,ON}$, la tension de seuil, la transconductance, les pertes par conduction.

La Figure II.13(a) présente le circuit utilisé pour extraire les caractéristiques de sortie du MOSFET SiC C3M0065100K proposé par CREE et présenté précédemment, nous obtenons le graphe de la Figure II.13(b).

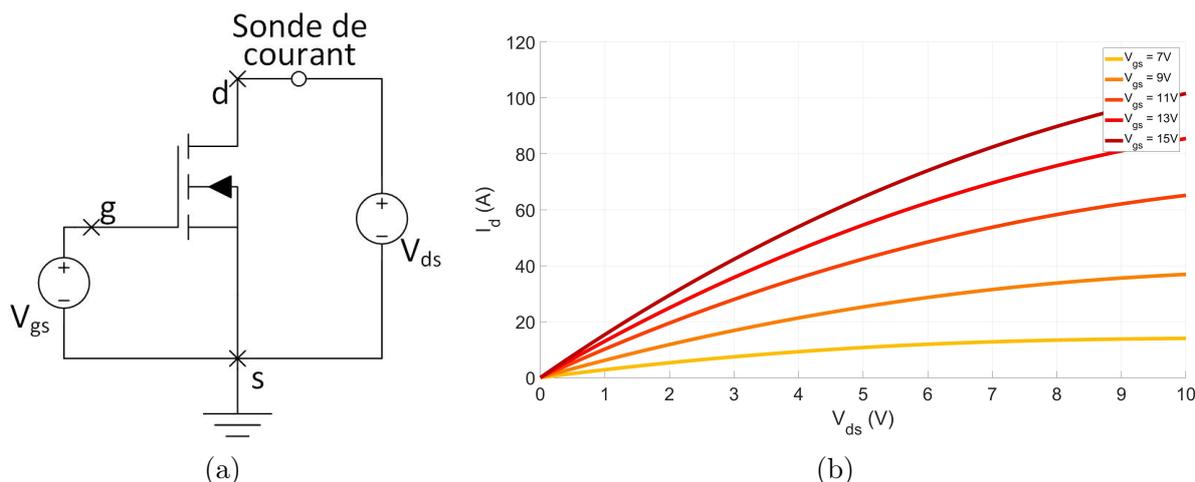


FIGURE II.13: Circuit d'extraction des caractéristiques de sortie des MOSFETs (a) et caractéristiques de sortie du C3M0065100K de CREE (b)

A partir de ce graphe, nous constatons 3 zones de fonctionnement des MOSFETs :

- Zone de blocage : pour $V_{gs} < V_{th}$, la grille de MOSFET n'est pas suffisamment polarisée pour permettre le passage d'un courant entre le drain et la source, le MOSFET est dans un état bloqué
- Zone de saturation : pour $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$, la tension aux bornes du MOSFET étant très élevée pour l'état passant, le MOSFET est saturé. Le courant du drain dans cette région dépend beaucoup plus de la tension V_{gs} que V_{ds} . Évidemment, le fonctionnement dans cette région est très déconseillé dans les applications de puissance : une tension relativement élevée aux bornes d'un MOSFET traversé par un courant important, induit des pertes considérables dans le composant.
- Zone linéaire (ou triode) : pour $V_{gs} > V_{th}$ et $V_{ds} < V_{gs} - V_{th}$, dans cette région le MOSFET est amorcé mais il n'est pas saturé, il est équivalent à une résistance. En fait, nous pouvons remarquer dans la Figure II.13(b), qu'avec des V_{ds} faibles, les courbes peuvent être approximées par des lignes droites :

$$I_d = \frac{V_{ds}}{R_{ds,ON}} \quad (\text{II.44})$$

En plus, nous pouvons remarquer qu'avec l'augmentation de V_{gs} , la pente des courbes augmente et donc $R_{ds,ON}$ diminue. D'où l'avantage d'augmenter la tension de commande des MOSFETs.

II.2.5 Test de commutation à double impulsion

Le test de commutation à double impulsion sert à caractériser les commutations des MOSFETs et le phénomène de recouvrement inverse de leurs diodes intrinsèques. La Figure II.14 illustre le circuit utilisé pour réaliser ce test.

Nous branchons une charge inductive sur les bornes du MOSFET haut (M1), et nous alimentons sa grille avec une tension négative pour s'assurer qu'il ne s'amorce pas. Cependant, le MOSFET bas (M2) est commandé avec 2 impulsions fournies par V_{gs2} .

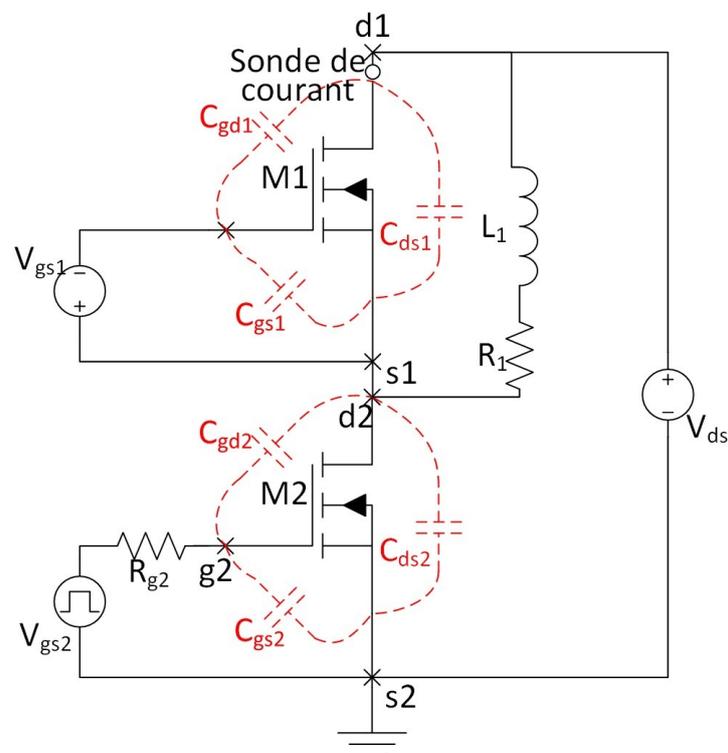


FIGURE II.14: Circuit de caractérisation à double impulsion

En fait, quand M2 est amorcé, un courant traverse la charge inductive $L1$. Celle-ci, ayant une inductance suffisamment grande, elle emmagasine une énergie magnétique importante.

Quand M2 est bloqué, le courant traversant $L1$ passe par la diode intrinsèque de M1. Pendant cet intervalle de temps, le courant est supposé être constant ($L1$ suffisamment grande).

Au second amorçage de M2, la diode sera bloquée, ce qui nous permet d'évaluer les caractéristiques dynamiques de cette commutation.

Nous avons appliqué ce test au MOSFET C3M0065100K, avec une tension d'alimentation $V_{ds} = 100\text{ V}$, $R_1 = 10\text{ m}\Omega$, $L_1 = 1\text{ mH}$, $R_{g2} = 40\ \Omega$ et une tension de commande V_{gs2} de durée $2\ \mu\text{s}$ et d'amplitude 15 V . La Figure II.15 présente les formes d'ondes du courant traversant la diode ($I_{d,M1}$), la tension aux bornes de la diode ($V_{ds,M1}$) et la tension de commande de M2 ($V_{gs,M2}$).

Avec un courant de charge relativement faible (0.1563 A), nous nous retrouvons avec une valeur de courant de recouvrement inverse I_{rr} de 4.732 A (d'amplitude 30 fois plus importante que celle du courant traversant la diode en régime direct) et un temps de recouvrement inverse t_{rr} de 17.82 ns .

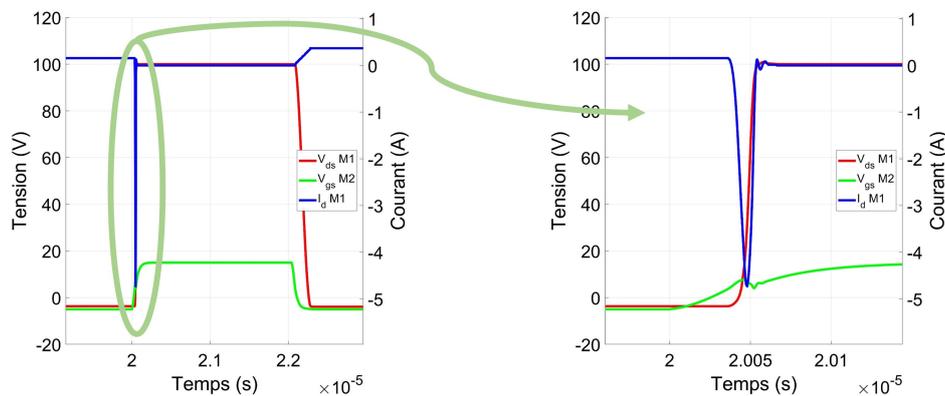


FIGURE II.15: Formes d'ondes de commutation obtenues lors du test à double impulsion appliqué au MOSFET SiC C3M0065100K

II.2.6 Développement d'une interface graphique pour automatisation des tests

Afin de faciliter la réalisation de ces tests mentionnés précédemment, une interface graphique sous MATLAB a été développée (Figure II.16). Elle utilise des modèles de composants SPICE de type (.lib) et permet de :

- Caractériser les trois capacités parasites C_{iss} , C_{oss} et C_{rss}
- Extraire les caractéristiques de sortie
- Investiguer les commutations sous charge inductive et caractériser la diode intrinsèque du MOSFET à travers le test à double impulsion

Elle permet aussi la gestion des simulations et le contrôle de la configuration des paramètres : tension d'alimentation, amplitude et fréquence de la commande, résistance et inductance de la charge, etc.

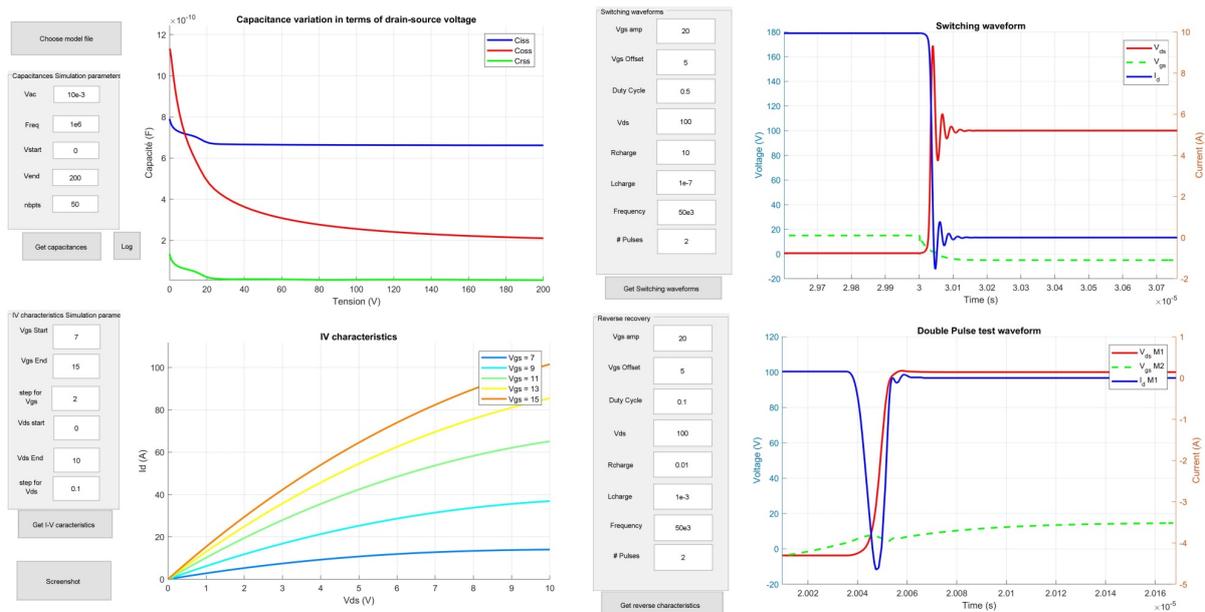


FIGURE II.16: Interface graphique développée pour la caractérisation des modèles SPICE des MOSFETs

II.3 Développement d'un nouveau modèle du MOSFET SiC avec une procédure d'optimisation

Dans cette partie, nous allons développer un nouveau modèle générique pour les MOSFETs SiC en se basant sur les modèles et les outils développés dans la section II.2, notamment ceux proposés par CREE et ROHM. Ce modèle sera générique, ajustable, et plus performant en statique comme en dynamique. De plus, il pourra bien reproduire les formes d'ondes des courants et tensions durant les commutations permettant ainsi d'obtenir le spectre CEM généré par les convertisseurs de puissance.

Pour cela, nous allons commencer par une caractérisation des modèles déjà présentés dans la sous-section II.1.2 en utilisant les outils déjà développés. Ensuite, nous allons comparer ces modèles avec leurs propres datasheets, pour déterminer les aspects les plus marquant de chaque modèle (dynamique, statique, directe, inverse, éléments parasites, modélisation thermique). Cette approche nous permettra enfin de construire notre propre modèle à partir des deux modèles ROHM et CREE.

II.3.1 Comparaison entre modèles et datasheets

Dans la partie suivante, nous allons comparer les performances des modèles :

- En régime statique, en utilisant les caractéristiques de sortie courant-tension
- En régime dynamique, en comparant la variation des modèles en fonction de la tension

L'extraction des courbes de performances est effectuée avec de l'interface développée dans la sous-section II.2.6. Quant aux données des datasheets, nous avons utilisé un outil MATLAB, qui s'appelle GRABIT, permettant de déterminer les coordonnées (x,y) des points appartenant aux différentes courbes.

II.3.1.1 Modèle développé par CREE pour le C3M0065100K

Dans un premier temps nous allons comparer les caractéristiques de sortie courant-tension du C3M0065100K obtenues à partir de la datasheet avec celles obtenues par simulation du modèle constructeur (sous-section II.1.2.1) pour différentes tensions de la grille (7-15 V).

La Figure II.17 montre une bonne corrélation en statique avec la datasheet du composant, sauf que ce modèle utilise des fonctions discontinues dans la description du comportement statique du MOSFET SiC, la simulation devient ainsi instable et divergente. Donc malgré ses performances, la modélisation du régime statique paraît incapable de reproduire le comportement pour les différents composants MOSFETs SiC.

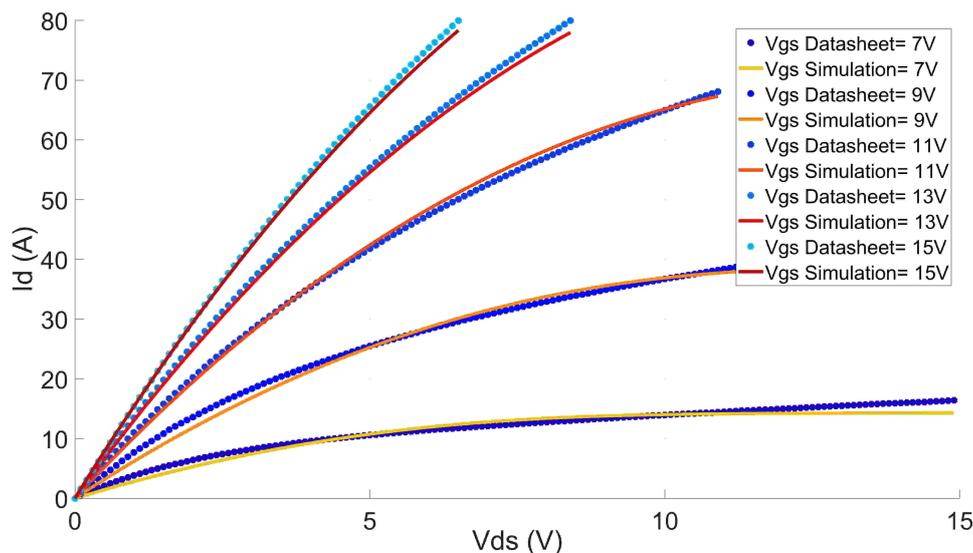


FIGURE II.17: Comparaison des caractéristiques de sortie Courant-Tension (I-V) du MOSFET C3M0065100K de CREE extraits des datasheet et celles extraites du modèle

Par contre, pour la modélisation du régime dynamique, les capacités parasites du MOSFET sont modélisées par des fonctions continues comme le montre les équations II.16 et II.17 :

- Une expression exponentielle pour la capacité drain-source C_{ds}
- Une expression tangente hyperbolique pour la capacité grille-drain C_{gd}
- Une capacité grille-source constante C_{gs}

Cette formulation simple ayant un degré de liberté élevé (9 paramètres qui gèrent le

fonctionnement de ces capacités) permet d'avoir une modélisation dynamique précise, flexible et facilement contrôlable.

La Figure II.18 montre la comparaison de la variation de la capacité en fonction de la tension, issue du modèle de C3M0065100K avec celle issue de la datasheet. Concernant la capacité C_{oss} , nous constatons un écart entre le modèle et les données de la datasheet, ceci n'affecte pas, pour autant, la précision du modèle générique. De plus, nous montrerons plus tard, que cette erreur pourrait être réduite en s'appuyant sur des algorithmes d'optimisation.

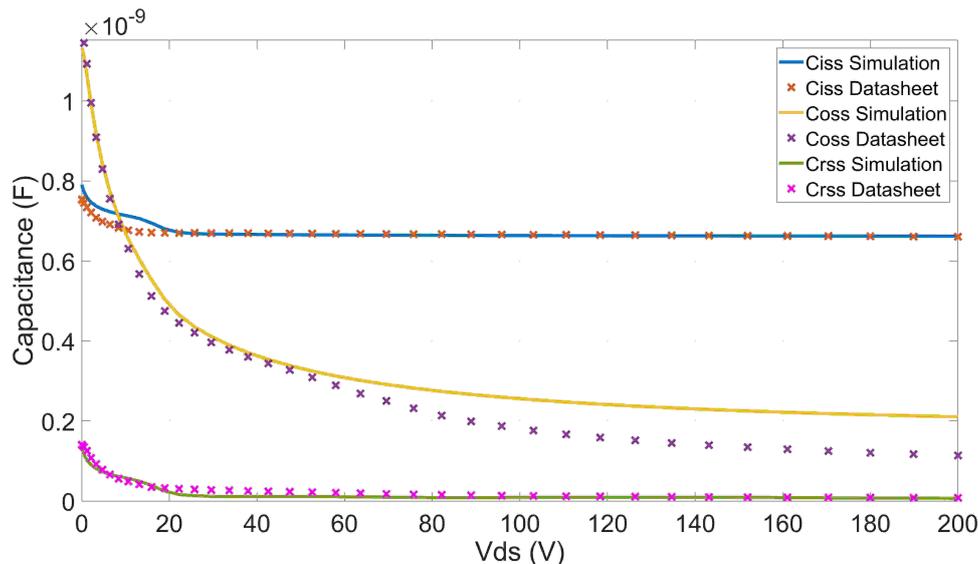


FIGURE II.18: Comparaison des caractéristiques capacité-tension (C-V) du MOSFET C3M0065100K de CREE extraits de la datasheet (traits pleins) et celles extraites du modèle (en pointillées)

II.3.1.2 Modèle développé par ROHM pour le SCT2080KE

Comme dans le paragraphe précédent, nous comparons dans la Figure II.19 les caractéristiques de sortie courant-tension du modèle du SCT2080KE fourni par ROHM (sous-section II.1.2.2) avec les données présentées dans la datasheet. Nous constatons une comparaison satisfaisante entre le modèle et les données de la datasheet, sauf pour les faibles tensions V_{gs} (en pratique, pour optimiser le fonctionnement du composant, la tension V_{gs} doit être suffisamment élevée).

De plus, contrairement au modèle de CREE, les fonctions utilisées dans la modélisation sont continues, ceci permet de faire varier les paramètres sans conséquences sur la convergence des simulations. Donc malgré le fait que ce modèle est comportemental, il modélise convenablement le MOSFET SCH2080KE en statique présentant ainsi la possibilité d'élargir son domaine d'application à d'autres composants en ajustant ses paramètres.

Concernant le régime dynamique (Figure II.20), le modèle utilise des équations discontinues et des fonctions (min/max), causant ainsi des problèmes de convergence en

simulation.

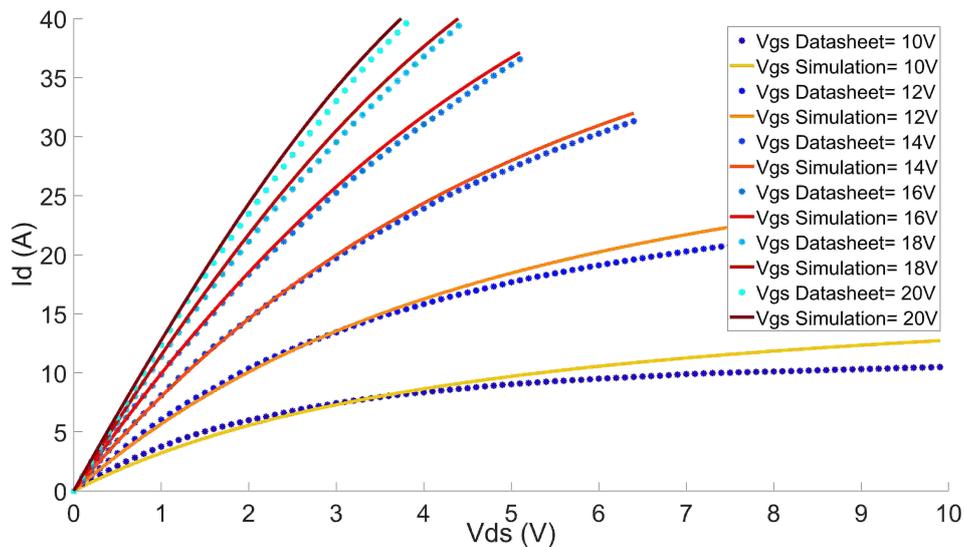


FIGURE II.19: Comparaison des caractéristiques de sortie Courant-Tension (I-V) du MOSFET SCT2080KE de ROHM extraites des datasheet et celles extraites du modèle

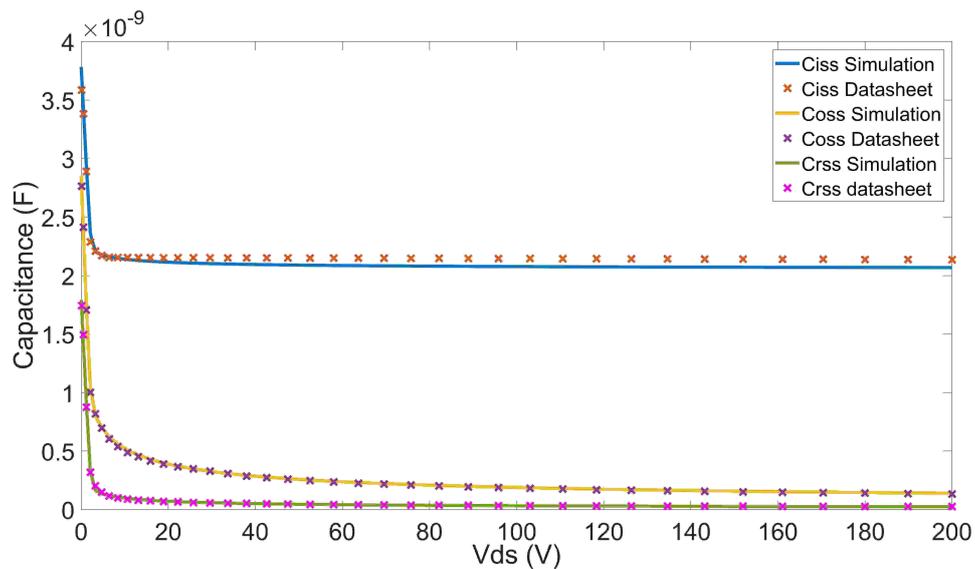


FIGURE II.20: Comparaison des caractéristiques capacité-tension (C-V) du MOSFET SCT280KE de ROHM extraites de la datasheet (traits pleins) et celles extraites du modèle (en pointillées)

II.3.2 Développement d'un nouveau modèle générique des MOSFETs en SiC

En exploitant les caractéristiques les plus pertinentes des deux modèles déjà présentés (CREE et ROHM), nous avons établi un nouveau modèle dédié aux MOSFETs SiC. Ainsi, le modèle de CREE a été utilisé comme brique de base, pour la modélisation des effets

thermiques, des éléments parasites et des capacités. Quant au modèle de ROHM, il a été utilisé dans la modélisation des caractéristiques statiques.

Le schéma électrique du nouveau modèle est présenté dans la Figure II.21. Il comporte 31 paramètres : 8 en statique (voir équations II.20, II.21, II.22 et II.23), 11 en dynamique (voir équations II.16 et II.17) et 12 pour les éléments parasites (résistances et inductances).

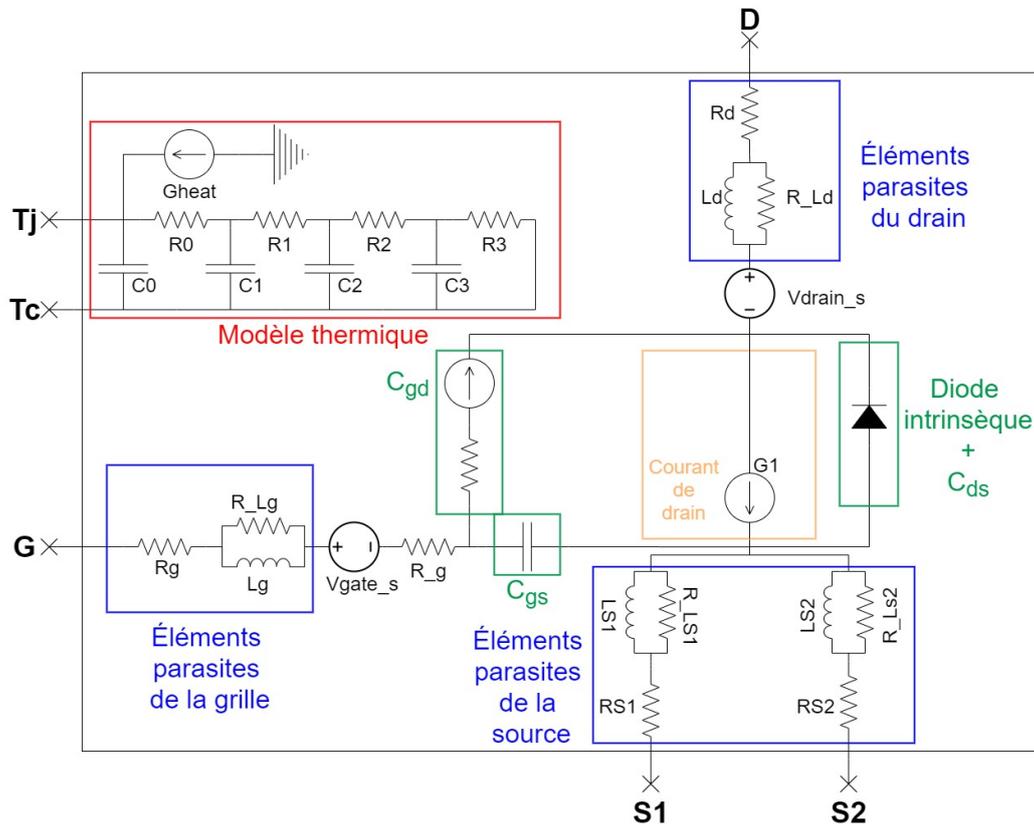


FIGURE II.21: Schéma électrique du nouveau modèle

Les paramètres du régime statique seront optimisés pour reproduire les caractéristiques de sortie figurant dans les datasheets ou extraites expérimentalement des MOSFETs SiC. Les paramètres qui gèrent la dynamique des composants concernent : les capacités inter-électrode (9 paramètres), la résistance interne de la grille (1 paramètre) et le temps de transition (TT) (1 paramètre). Ce dernier contrôle le temps du recouvrement inverse de la diode intrinsèque.

Les paramètres des capacités permettront la reproduction des variations des capacités en fonction de la tension aux bornes des jonctions. La résistance interne de la grille joue un rôle déterminant pour reproduire la commutation. En effet, elle réduit la vitesse des commutations ce qui réduit les perturbations hautes fréquences, les surtensions et les oscillations mais augmente les pertes par commutation induites dans le composant.

II.3.3 Algorithme d'optimisation

Dans cette partie, nous présentons l'algorithme développé, permettant d'optimiser les paramètres du modèle que nous avons proposé en utilisant les données de performances issues des datasheets ou de l'expérimental.

L'algorithme d'optimisation, associé à l'interface développée dans la sous-section II.2.6, permet de régler les différents paramètres du modèle générique en suivant la démarche ci-dessous :

1. Extraction des courbes de performances (datasheets ou expériences)
2. Intégration et traitement des données dans MATLAB
3. Optimisation des paramètres relatifs au comportement statique (courbes I-V)
4. Optimisation des paramètres capacitifs relatifs au comportement dynamique (courbes C-V)
5. Optimisation de la résistance de la grille et des éléments parasites impactant directement les commutations (formes d'ondes issues du test de double impulsion)

L'algorithme d'optimisation proposé pour notre application est basé sur l'algorithme génétique (AG) [57, 58, 59]. Il a été choisi pour les raisons suivantes :

- Capacité de chercher la solution optimale à partir d'un grand nombre de solutions candidates
- Ne se coince pas dans les minima locaux
- Permet l'optimisation simultanée d'un grand nombre de variables
- Bien adapté au calcul parallèle (multi-cœurs)

La Figure II.22 illustre l'organigramme de cet algorithme génétique qui génère une population aléatoire des solutions candidates (N_{pop}). Chaque solution candidate est une combinaison de paramètres qu'on vise à optimiser à partir des données spécifiques. Ensuite, l'ensemble des solutions candidates sera simulé dans LTSPICE.

Afin d'évaluer l'ensemble de solutions candidates, les résultats de simulation sont traités et analysés dans MATLAB. Pour cela, nous attribuons à chacune des solutions candidates un coût. La fonction coût (c_n) dépend de l'erreur entre les résultats des simulations et les données des courbes de performances (datasheets ou expériences). Pour notre application, nous avons choisi l'utilisation de la fonction de l'erreur quadratique moyenne c_n :

$$c_n = \frac{1}{m} \sum_{i=1}^m (X_{i,cp} - X_{i,sim_n})^2 \quad \text{avec } n = 1, 2, \dots, N_{pop} \quad (\text{II.45})$$

Avec :

- c_n : coût de la solution candidate de rang ' n '
- m : nombre de points dans le vecteur x

- $X_{i,cp}$: grandeur électrique sujet de l'optimisation (courant, tension, capacité ...)
issue des courbes de performances
- X_{i,sim_n} : grandeur électrique sujet de l'optimisation (courant, tension, capacité ...)
issue de la simulation de la solution candidate de rang 'n'

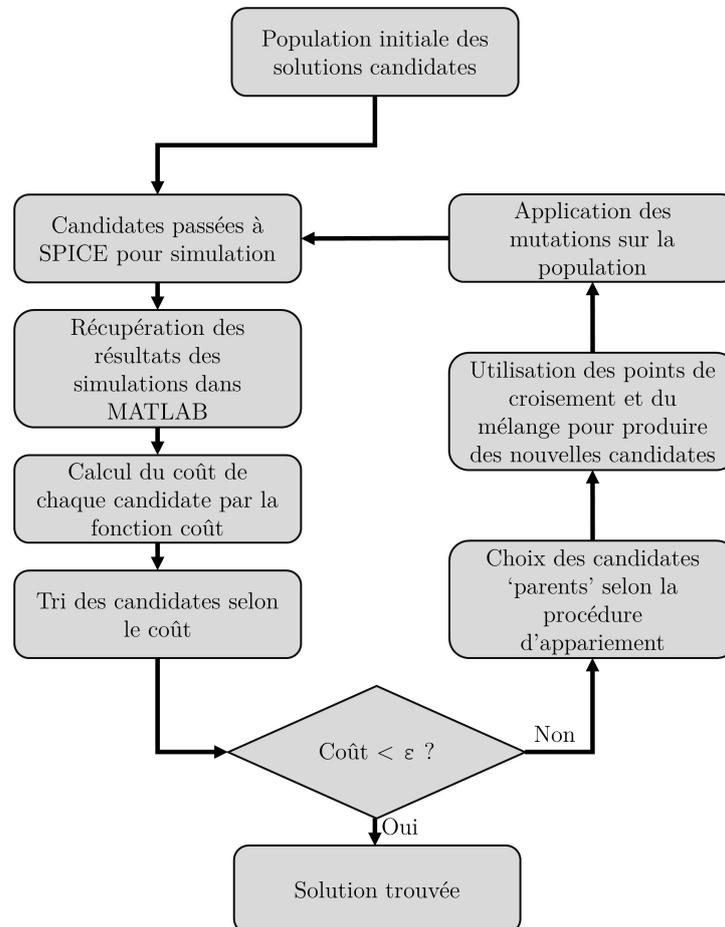


FIGURE II.22: Organigramme de l'algorithme génétique proposé

Les solutions candidates seront ensuite triées en fonction de leurs coûts. Le but est d'éliminer les candidates qui possèdent les coûts les plus importants, c'est-à-dire un taux d'erreur élevé. Le nombre de candidates à retenir N_{keep} (ou à supprimer) est spécifié au début de l'algorithme (souvent 0.5-nombre total de candidates dans la population). Ensuite, les candidates qui ont les meilleurs coûts sont regroupées en couple (appariement). Enfin, en mélangeant les solutions candidates (accouplement), au sein du même couple, des nouvelles solutions "enfants" seront obtenues, prenant place des solutions supprimées. Notons que les nouvelles solutions candidates peuvent subir des mutations capables d'introduire d'autres solutions introuvables dans la population d'origine.

Cette procédure est répétée jusqu'à trouver une solution satisfaisante avec une erreur inférieure à un seuil prédéfini (Figure II.22).

II.3.3.1 Appariement des parents

L'appariement est une procédure permettant de choisir une paire de solutions candidates appelées parents pour produire des nouvelles candidates appelées enfants. Notons que les solutions candidates sont triées en fonction de leur coût par ordre croissant. Seulement les N_{keep} premières solutions sont retenues pour l'appariement (moitié de la population initiale). D'après la littérature, nous pouvons distinguer plusieurs méthodes d'appariement [57] :

- Appariement du haut en bas
- Appariement aléatoire
- Appariement aléatoire pondéré

Nous avons choisi pour notre application l'appariement aléatoire pondéré sur le coût. Il se déroule de la manière suivante :

1. Nous normalisons le coût des solutions candidates retenues c_n^* . Cette étape consiste à soustraire le coût le moins élevé des candidates supprimées des coûts des solutions gardées :

$$c_n^* = c_n - c_{N_{keep}+1} \quad (\text{II.46})$$

De cette manière tous les coûts des solutions retenues sont négatifs et les meilleures solutions candidates qui avaient les plus faibles coûts auront les coûts normalisés les plus élevés en valeur absolue

2. Nous donnons une probabilité P_n à chaque solution candidate restante de la manière suivante :

$$P_n = \left| \frac{c_n^*}{\sum_{m=1}^{N_{keep}} c_m} \right| \quad (\text{II.47})$$

3. Nous additionnons les probabilités résultantes, pour établir un tableau de probabilité cumulative :

$$P_{c_n} = P_{c_{n-1}} + P_n \quad \text{avec} \quad P_{c_1} = P_1 \quad (\text{II.48})$$

4. Nous randomisons un nombre r entre 0 et 1. Si $P_{c_n} < r < P_{c_{n+1}}$, nous choisissons la solution $n + 1$ pour être le premier parent
5. Nous répétons l'étape 4 pour trouver le 2^{ème} parent et ainsi de suite

Le Tableau II.2 résume les différentes étapes permettant de choisir le premier parent.

D'après le Tableau II.2, nous disposons d'une population de 8 candidates avec un nombre de candidates à retenir $N_{keep} = 4$. Les candidates sont triées par ordre croissant du coût c_n . Ensuite le coût normalisé c_n^* est calculé en soustrayant le coût de la candidate 5 ($N_{keep}+1$) des candidates 1 à 4. Les probabilités sont calculées à partir de l'équation II.47 et les probabilités cumulatives à partir de l'équation II.48. Ensuite nous choisissons

un nombre aléatoire r entre 0 et 1, soit 0.512 par exemple. $0.435 < 0.512 < 0.739$, donc x_2 sera le premier parent.

n	x_n	c_n	$c_n^* = c_n - c_{N_{keep}+1}$	P_n	P_{c_n}
1	x_1	0.2	-1	0.435	0.435
2	x_2	0.5	-0.7	0.304	0.739
3	x_3	0.8	-0.4	0.174	0.913
4	x_4	1	-0.2	0.087	1
$N_{keep} + 1 = 5$	x_5	$c_{N_{keep}+1} = 1.2$	0	n/a	n/a
\vdots	\vdots	\vdots	n/a	\vdots	\vdots
8	x_8	2	n/a	n/a	n/a

Tableau II.2: La procédure de sélection des parents pour l'algorithme génétique

II.3.3.2 Accouplement des parents

Le regroupement des candidats retenues en couple est suivi par la génération des nouvelles solutions candidates. Dans l'algorithme que nous avons développé, chaque paire de parents produit une paire de candidates enfants. Notons qu'il existe dans la bibliographie des méthodes qui impliquent trois parents dans la génération des nouvelles solutions candidates. L'accouplement comprend deux fonctions différentes : les point de croisement et le mélange.

Les points de croisement sont des points aléatoires choisis pour spécifier quelles parties des parents va hériter chaque enfant. En fait, chaque solution candidate est un ensemble des paramètres du modèle qu'on vise à optimiser. Soit N_{par} le nombre total des paramètres d'une candidate, les points de croisement n_{cr} (rangs) sont choisis d'une manière aléatoire tel que $1 < n_{cr} < N_{par}$. Le nombre de points de croisement à considérer dépend largement du nombre total des paramètres qu'on vise à optimiser (N_{par}). Pour notre application, deux points de croisement (n_{cr1} et n_{cr2}) ont été choisis. Ensuite, les enfants sont générés de la manière suivante :

$$parent_1 = [par_{1,1}, par_{1,2}, \dots, par_{1,n_{cr1}}, \dots, par_{1,n_{cr2}}, \dots, par_{1,N_{par}}] \quad (II.49)$$

$$parent_2 = [par_{2,1}, par_{2,2}, \dots, par_{2,n_{cr1}}, \dots, par_{2,n_{cr2}}, \dots, par_{2,N_{par}}] \quad (II.50)$$

$$enfant_1 = [par_{1,1}, par_{1,2}, \dots, par_{2,n_{cr1}}, \dots, par_{2,n_{cr2}}, par_{1,n_{cr2}+1} \dots, par_{1,N_{par}}] \quad (II.51)$$

$$enfant_2 = [par_{2,1}, par_{2,2}, \dots, par_{1,n_{cr1}}, \dots, par_{1,n_{cr2}}, par_{2,n_{cr2}+1} \dots, par_{2,N_{par}}] \quad (II.52)$$

La procédure décrite ci-dessus produit des enfants qui partagent une partie de leurs paramètres avec leurs parents. Évidemment, cela ne suffit pas pour converger et trouver une solution optimale, puisque cette procédure ne permet pas de créer des nouveaux paramètres à tester. D'où la nécessité du mélange.

Le mélange permet de créer des nouveaux paramètres chez les enfants à partir de leurs parents. Elle consiste à randomiser un nombre β entre 0 et 1 puis appliquer la formule suivante pour créer les nouveaux paramètres :

$$par_{nouveau,1,i} = \beta \cdot par_{1,i} + (1 - \beta)par_{2,i} \quad (II.53)$$

$$par_{nouveau,2,i} = (1 - \beta)par_{1,i} + \beta \cdot par_{2,i} \quad (II.54)$$

De cette manière, le nouveau paramètre du premier enfant de rang i ($par_{nouveau,1,i}$), est une combinaison du même paramètre de rang i chez les parents ($par_{1,i}$ et $par_{2,i}$). Le calcul est le même pour le second enfant en remplaçant β par $(1 - \beta)$. La Figure II.23 illustre comment on peut générer des nouvelles solutions à tester grâce aux procédures d'appariement, de points de croisement et de mélange, décrites ci-dessus.

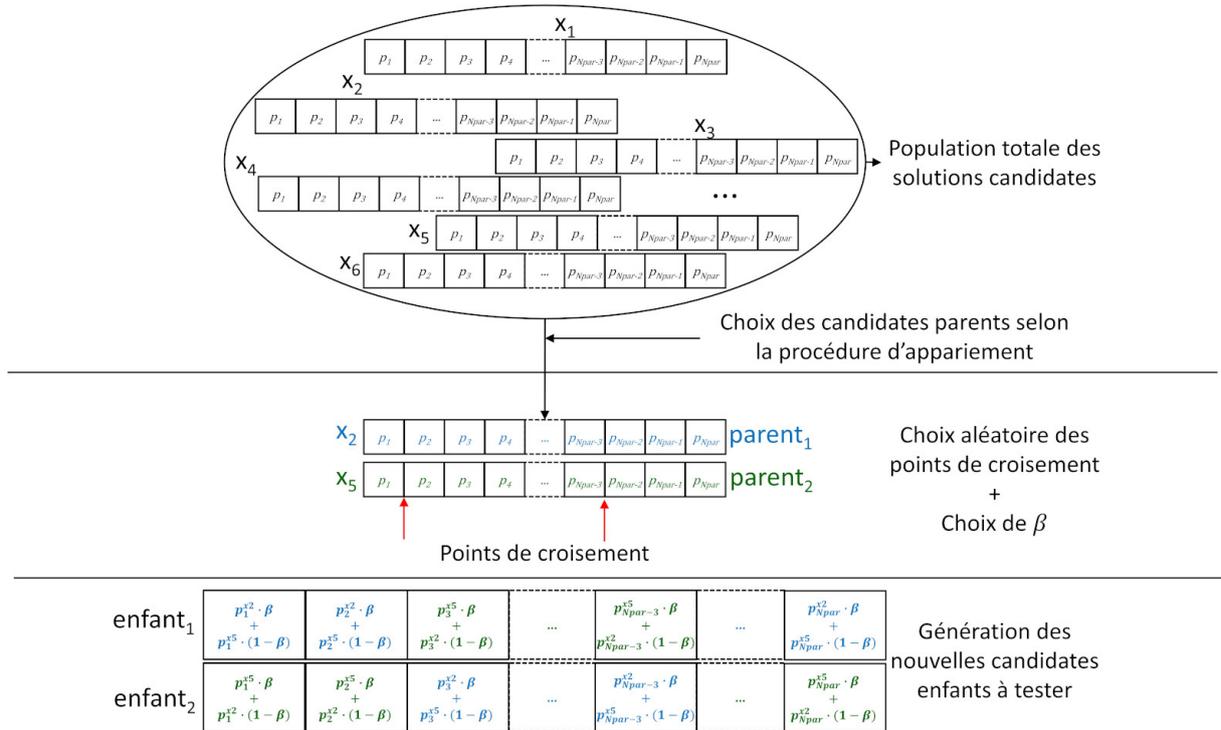


FIGURE II.23: Schéma fonctionnel montrant la génération des nouvelles solutions candidates

II.3.3.3 La mutation

La mutation est la procédure qui permet à cet algorithme de balayer l'ensemble des solutions possibles d'une part, et d'éviter les minima locaux d'autre part. Au début de l'algorithme, nous spécifions un taux de mutation α_{mut} entre 0 et 1 qui définit le nombre de mutations N_{mut} à effectuer, il est calculé de la façon suivante :

$$N_{mut} = \alpha_{mut} \cdot N_{pop} \cdot N_{par} \quad (\text{II.55})$$

Puis, nous créons 2 séries m_{ligne} et $m_{colonne}$ de taille N_{mut} . Nous affectons à m_{ligne} et $m_{colonne}$ respectivement des valeurs aléatoires entre 1 et N_{pop} et 1 et N_{par} . Ensuite, pour chaque élément dans m_{ligne} et $m_{colonne}$, nous réalisons une mutation du paramètre de rang $m_{colonne,i}$ de la solution candidate $m_{ligne,i}$ en le faisant varier, aléatoirement, entre ses valeurs minimale et maximale.

II.3.4 Validation du nouveau modèle

Dans un premier temps et pour valider notre approche de modélisation (nouveau modèle et algorithme d'optimisation génétique), nous avons utilisé les données issues des datasheets qui couvrent à la fois les mesures des capacités C-V et les caractéristiques de sortie courant-tension I-V des composants. Les paramètres du modèle présenté précédemment (sous-section II.3.2) ont été optimisés pour les deux MOSFETs SiC : C3M0065100K de CREE et SCT2080KE de ROHM. La Figure II.24 montre le schéma fonctionnel de la procédure d'optimisation du modèle en utilisant les caractéristiques I-V et C-V des composants, issues soit des essais expérimentaux, soit des datasheets.

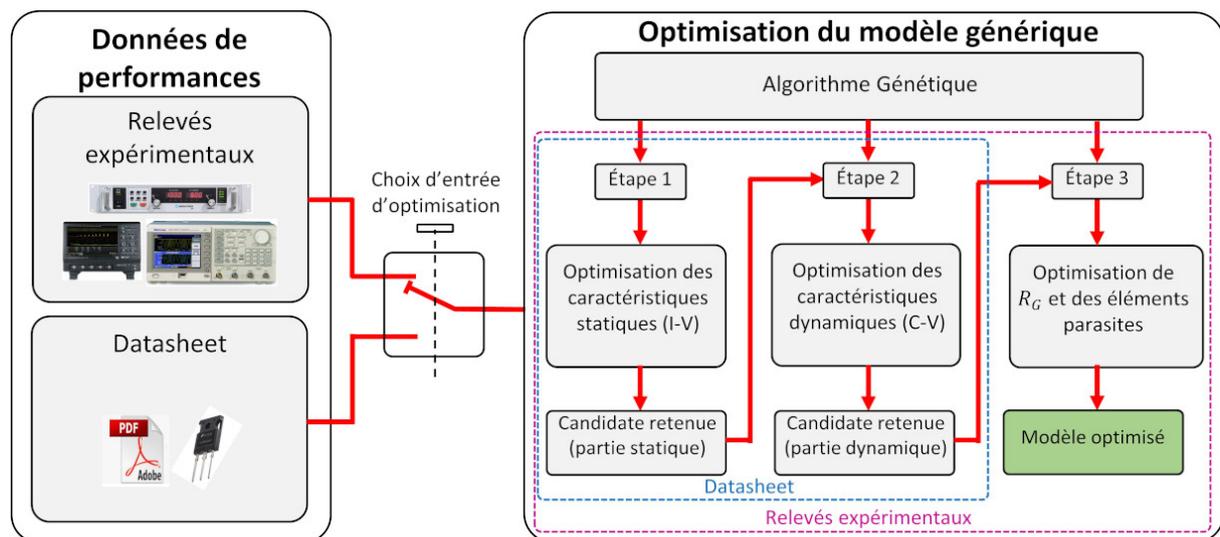


FIGURE II.24: Schéma fonctionnel montrant l'application de l'algorithme génétique pour l'optimisation des paramètres du modèle en utilisant des données issues soit des relevés expérimentaux soit des datasheets

La Figure II.25 montre une comparaison entre les caractéristiques I-V et C-V issues du modèle optimisé et les données de la datasheet du composant C3M0065100K. Les résultats de cette modélisation sont satisfaisants sauf pour le cas $V_{gs} = 11\text{ V}$ (voir Figure II.25(a)) où nous pouvons constater un écart important. Le modèle montre des résultats intéressants pour la capacité d'entrée C_{iss} et la capacité de transfert inverse C_{rss} également (voir Figure II.25(b)). Cependant, la capacité de sortie C_{oss} présente une différence non négligeable avec les données de la datasheet.

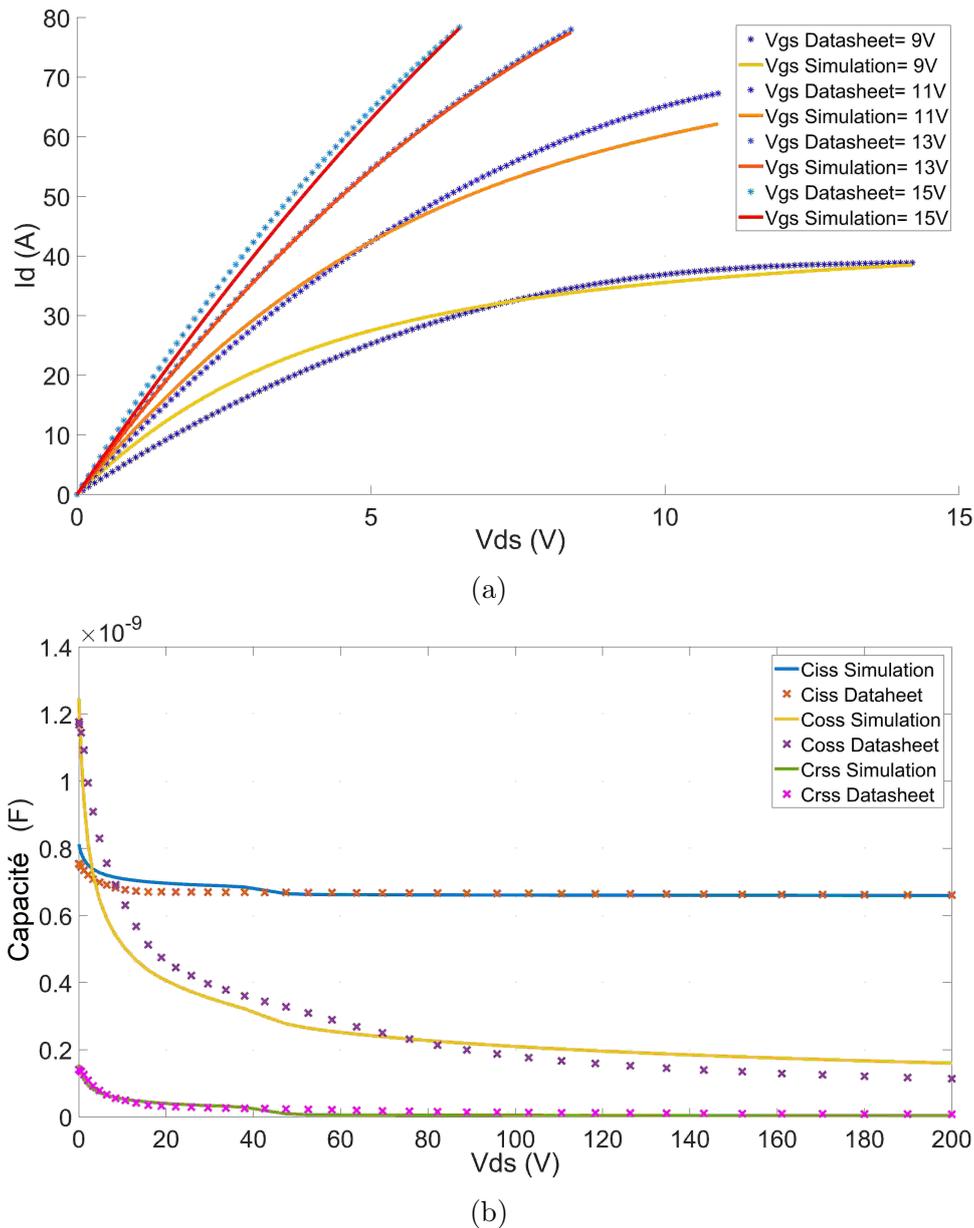
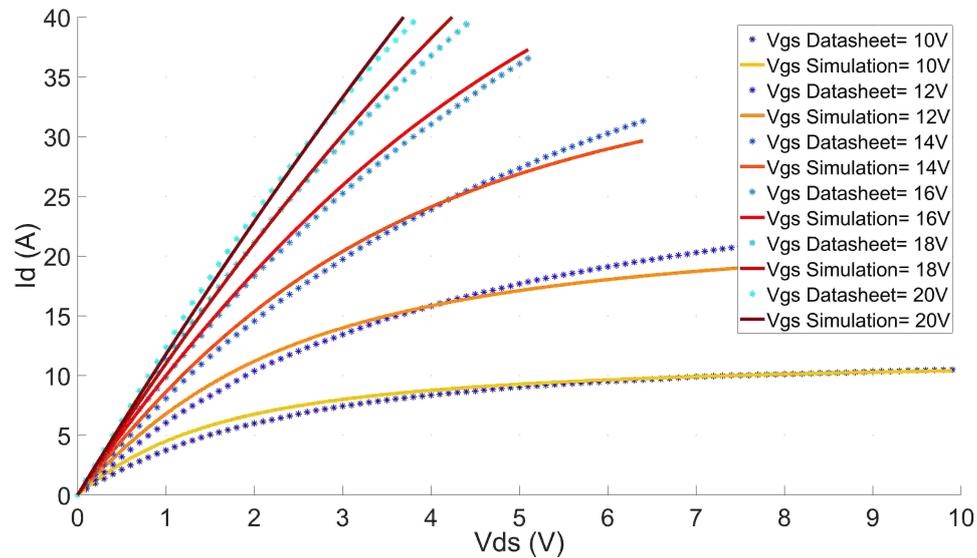


FIGURE II.25: Comparaison des caractéristiques de sortie courant-tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du C3M0065100K de CREE extraites de la datasheet et celles obtenues avec le nouveau modèle optimisé

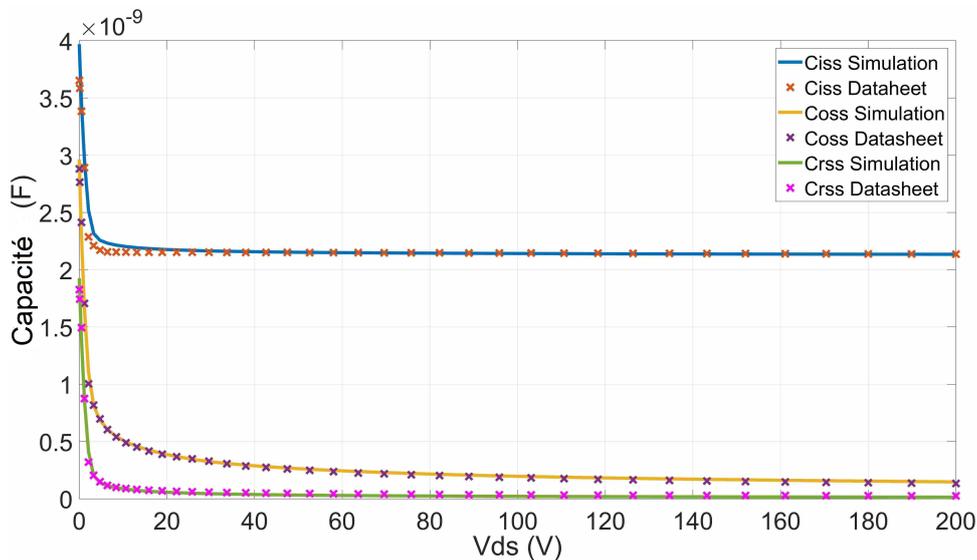
Comme précédemment, nous avons appliqué l'algorithme d'optimisation au MOSFET SiC de ROHM (SCT2080KE). Nous constatons sur la Figure II.26(a) que le modèle pro-

posé permet de reproduire le comportement statique du SCT2080KE plus finement que le modèle fourni par ROHM (voir Figure II.19).

Pour les caractéristiques dynamiques (capacité-tension), la Figure II.26(b) montre une comparaison satisfaisante entre les courbes issues du modèle et les résultats donnés par la datasheet. Ces résultats sont meilleurs que ceux obtenus à partir du modèle du fabricant (voir Figure II.20).



(a)



(b)

FIGURE II.26: Comparaison des caractéristiques de sortie courant-tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du SCT2080 de ROHM extraites de la datasheet et celles obtenues avec le nouveau modèle optimisé

II.3.5 Amélioration du modèle proposé

La récente publication d'une nouvelle approche de modélisation des MOSFETs, proposée par A. Endruschat et al. en 2019 [60], nous a inspiré à apporter des modifications au modèle que nous avons déjà établi, ceci pour améliorer la modélisation des caractéristiques statiques comme détaillée ci-dessous.

En parallèle, vu l'écart constaté dans la Figure II.25(b) entre les caractéristiques C-V, nous avons proposé une nouvelle représentation de la capacité de sortie C_{oss} .

II.3.5.1 Modifications apportées au modèle proposé

Le nouveau modèle reprend la méthode de Curtice [61] pour la modélisation du courant de drain, cependant, contrairement à cette méthode, nous avons considéré que les paramètres d'ajustement dépendent de la tension grille-source V_{gs} [60].

De plus, nous avons ajouté une résistance en série avec la source de courant du drain pour modéliser la résistance dynamique à l'état passant des MOSFETs SiC. Le schéma du modèle est présenté dans la Figure II.27.

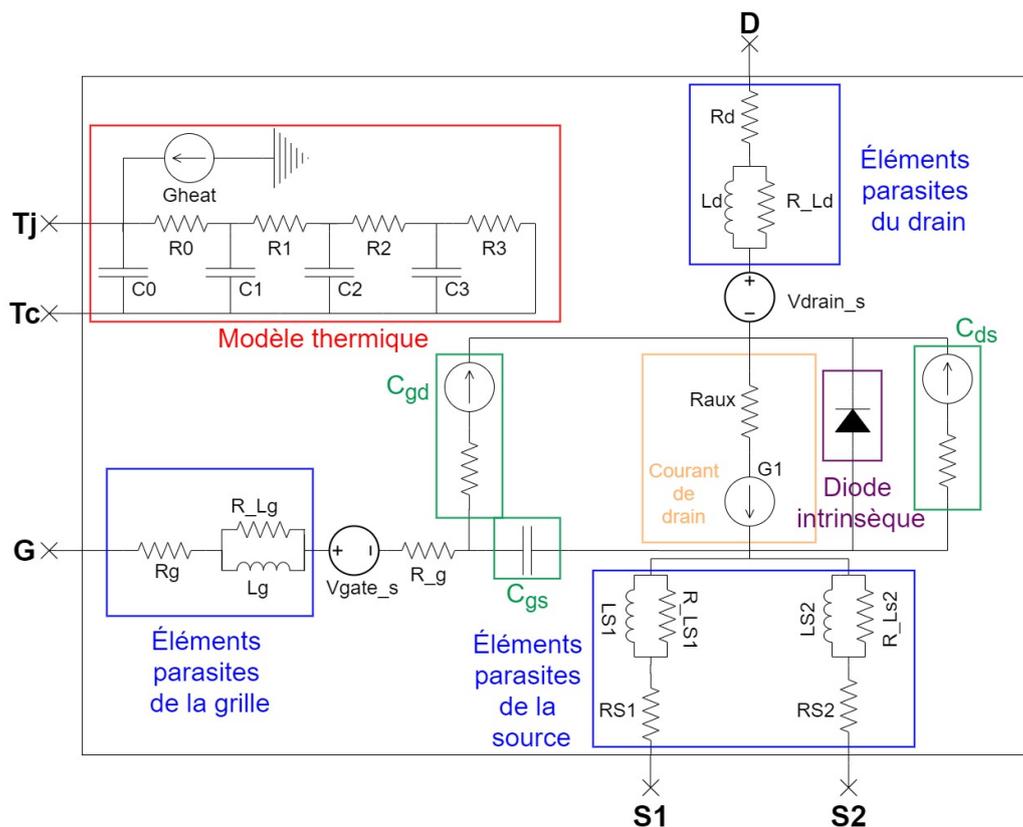


FIGURE II.27: Schéma électrique du modèle amélioré

L'équation du courant de drain des MOSFETs proposée par Curtice est :

$$i_d(v_{ds}, v_{gs}) = \beta(v_{gs} + V_{th})^2 \cdot (1 + \lambda \cdot v_{ds}) \cdot \tanh(\alpha \cdot v_{ds}) \quad (\text{II.56})$$

Avec :

- V_{th} : tension de seuil du MOSFET
- λ : paramètre de modulation de la longueur du canal
- α et β : paramètres d'ajustement

Pour mieux reproduire les caractéristiques statiques des MOSFETs en SiC, les paramètres d'ajustement V_{th} , λ , α et β sont considérés variables en fonction de la tension V_{gs} .

Notons que la modélisation de la capacité drain-source C_{ds} a été aussi modifiée pour améliorer la précision du modèle. Pour cela, nous avons utilisé une approche similaire à celle de C_{gd} :

$$C_{ds}(V_{ds}) = C_{ds}(0) \left(1 + V_{ds} \left(1 + ka \frac{1 + \tanh(-kb \cdot V_{ds} - kc)}{2} \right)^{-k2} \right) \quad (\text{II.57})$$

Avec :

- $C_{ds}(0)$: capacité grille-drain sous polarisation nulle
- ka , kb , kc et $k2$: paramètres d'ajustement

Le nouveau modèle est plus complexe mais il dispose plus de degrés de liberté pour reproduire convenablement les caractéristiques statiques et dynamiques des MOSFETS en SiC, il comporte 50 paramètres d'ajustement (19 paramètres de plus par rapport au modèle précédent) qui seront calculés par l'algorithme d'optimisation élaboré précédemment.

II.3.5.2 Résultats obtenus après implémentation des améliorations

Les mêmes données des datasheets utilisées dans les sections précédentes, sont exploitées ici pour l'optimisation du nouveau modèle. La Figure II.28 montre les résultats statiques et dynamiques obtenus concernant le MOSFET C3M0065100K.

En comparant la Figure II.25(a) à la Figure II.28(a), nous remarquons clairement la réduction de l'écart dans les caractéristiques de sortie entre la datasheet et le nouveau modèle amélioré pour toutes les tensions V_{gs} .

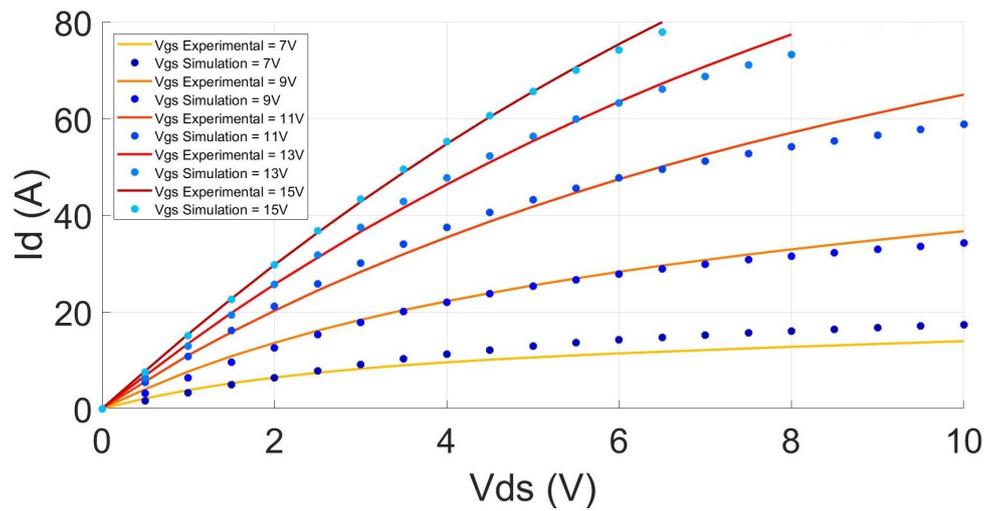
Le modèle amélioré a été aussi appliqué au MOSFET SCT2080KE de ROHM, la Figure II.29 montre une comparaison très satisfaisante entre les résultats obtenus avec le nouveau modèle amélioré et les données de la datasheet. L'écart est beaucoup plus faible par comparaison au modèle précédent (voir Figure II.26 et Figure II.29).

Effectivement, en utilisant la définition suivante du taux moyen d'erreur, nous pouvons calculer ce taux pour les différentes caractéristiques des deux modèles :

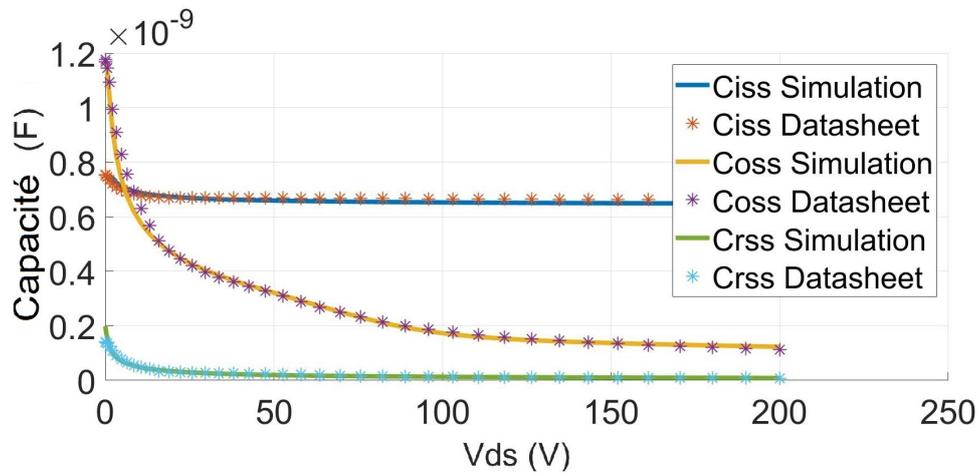
$$Err = \frac{100}{n} \sum_{t=1}^n \left| \frac{x_t - \hat{x}_t}{x_t} \right| \quad (\text{II.58})$$

Avec :

- Err : le taux d'erreur entre les résultats de modélisation et les données datasheet
- n : nombre total de points de mesures
- x_t : la valeur des données datasheet au point t
- \hat{x}_t : les résultats de la simulation au point t



(a)



(b)

FIGURE II.28: Comparaison des caractéristiques de sortie courant-tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du C3M0065100K de CREE extraites de la datasheet et celles obtenues avec le nouveau modèle amélioré après optimisation de ses paramètres

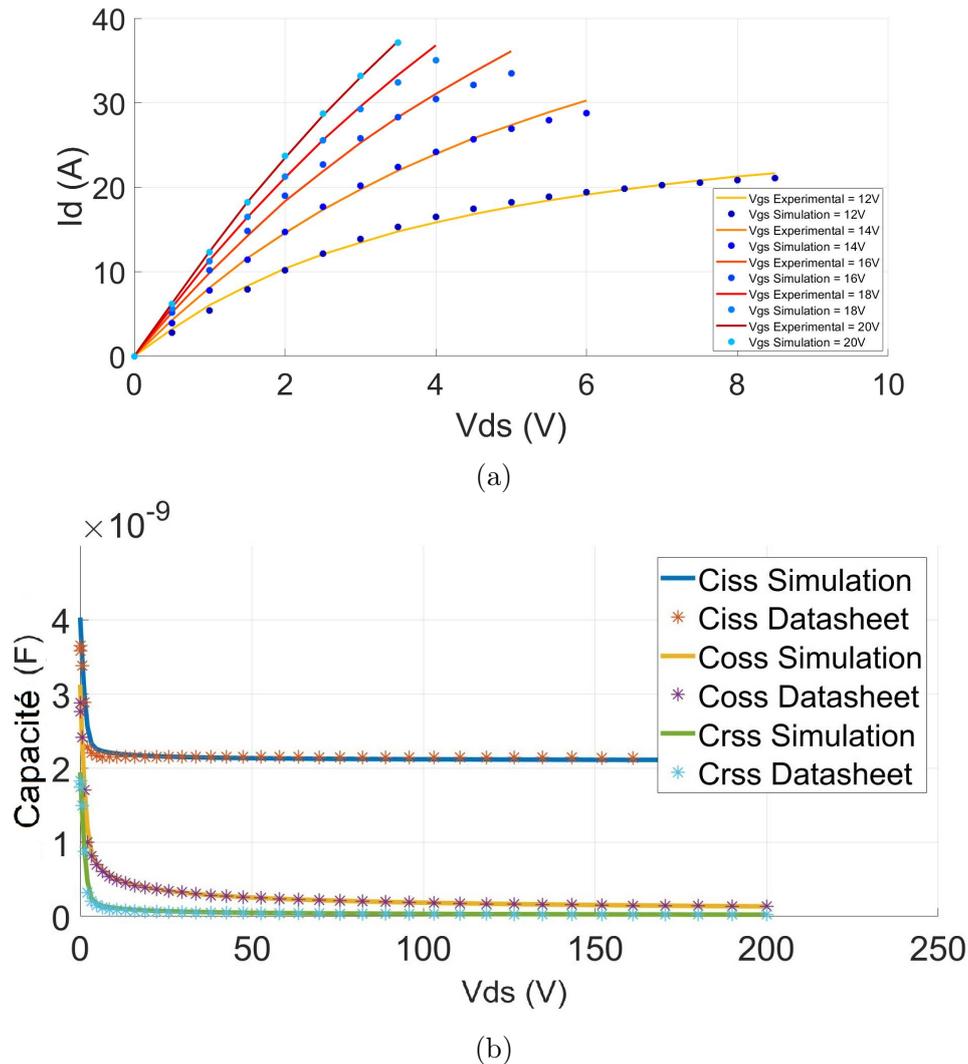


FIGURE II.29: Comparaison des caractéristiques de sortie Courant-Tension (I-V) (a) et des caractéristiques capacité-tension (C-V) (b) du SCT2080KE de ROHM extraites de la datasheet et celles obtenues avec le nouveau modèle amélioré après l'optimisation de ses paramètres

La Figure II.30 montre les taux d'erreur des différentes caractéristiques issues du modèle avant et après modifications.

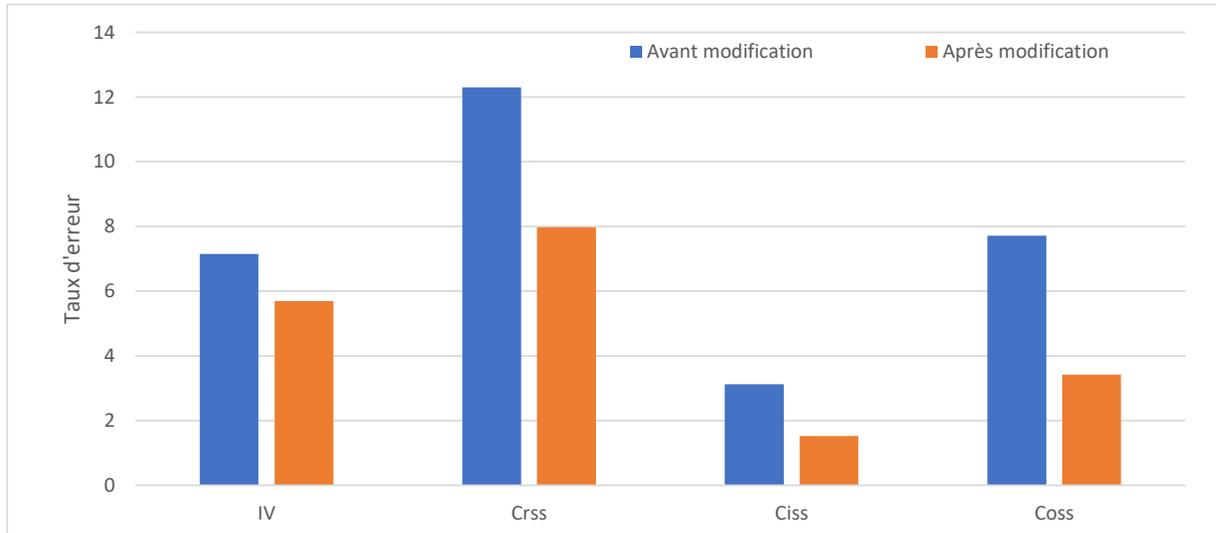
Concernant les caractéristiques du composant C3M0065100K de CREE, le taux d'erreur a baissé :

- de 5.31 % pour les caractéristiques statiques
- de 58.6 % pour la capacité de sortie C_{oss}
- de 35.16 % pour la capacité de transfert inverse C_{rss}
- de 27.5 % pour la capacité d'entrée C_{iss}

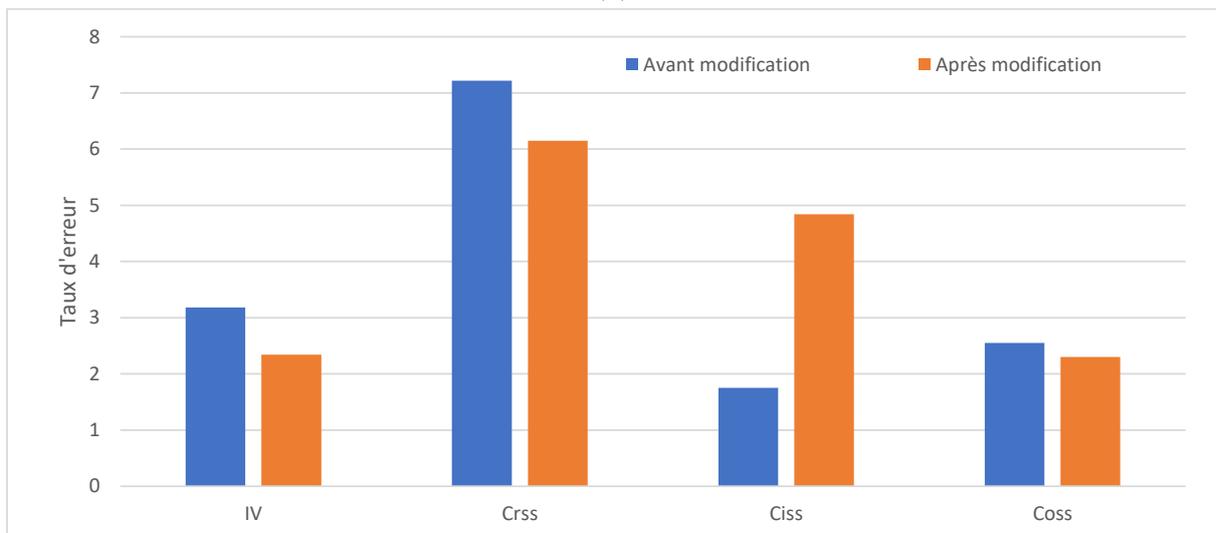
Quant au MOSFET SCT2080KE de ROHM, le taux d'erreur global a baissé :

- de 35.89 % pour les caractéristiques statiques

- de 9.8 % pour la capacité de sortie C_{oss}
- de 14.8 % pour la capacité de transfert inverse C_{rss}
- de 10.85 % pour la capacité d'entrée C_{iss}



(a)



(b)

FIGURE II.30: Comparaison des taux d'erreur entre les résultats issus du modèle avant et après modification, pour les MOSFETs : C3M0065100K de CREE (a) et SCT2080KE de ROHM (b)

II.4 Conclusion

Dans ce chapitre, nous avons exposé les différentes méthodes de modélisation des MOSFETs, présentes dans la littérature et dans l'industrie. Ensuite, nous avons proposé un nouveau modèle de MOSFET SiC inspiré et basé sur les modèles existants. Les différents tests permettant la caractérisation des modèles des MOSFETs ont été élaborés, puis

regroupés dans une interface graphique permettant leurs automatisations en fonction des conditions envisagées (tension, fréquence, ...).

Afin de déterminer avec précision les paramètres du modèle permettant la reproduction des caractéristiques électriques des composants MOSFETs, nous avons développé une approche d'optimisation basée sur l'algorithme génétique. L'utilisation conjointe de cet algorithme avec les tests automatisés nous a conduit au calcul des paramètres du modèle de manière optimisée en concordance avec les données extraites des datasheets des composants.

Enfin, des améliorations significatives ont été apportées pour permettre au modèle de se conformer davantage aux caractéristiques statiques et dynamiques des MOSFETs SiC. Le modèle amélioré, après optimisation, a donné des résultats plus précis en le comparant avec celui avant les modifications.

L'étape suivante sera la validation expérimentale du modèle en s'appuyant sur un banc de caractérisation dédié.

Chapitre III

Caractérisation expérimentale des MOSFETs SiC et optimisation du modèle développé

Dans cette partie, nous présentons les tests et les essais élaborés pour optimiser le modèle développé en utilisant les données expérimentales.

Trois expériences ont été mises en place : l'essai d'extraction des caractéristiques de sortie (I-V), la mesure de variation des capacités en fonction de la tension (C-V), et le test de double impulsion permettant de caractériser la diode de roue libre du MOSFET et les éléments parasites associés.

Les données provenant de ces tests, seront utilisées dans l'algorithme d'optimisation exposé dans la sous-section II.3.3, ceci, afin de calculer les paramètres du modèle développé et lui permettre de reproduire le comportement réel des MOSFETs SiC.

III.1 Caractérisation statique et optimisation des paramètres statiques du modèle développé

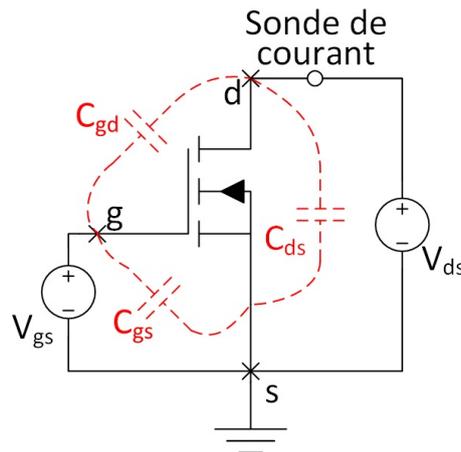
III.1.1 Test d'extraction des caractéristiques statiques de sortie I-V

En s'appuyant sur l'approche proposée dans [62], nous avons développé un banc de mesure permettant l'extraction des caractéristiques statiques de sortie des MOSFETs SiC. Il permet de déduire : la résistance $R_{ds,ON}$, les caractéristiques de conduction, de blocage et de saturation.

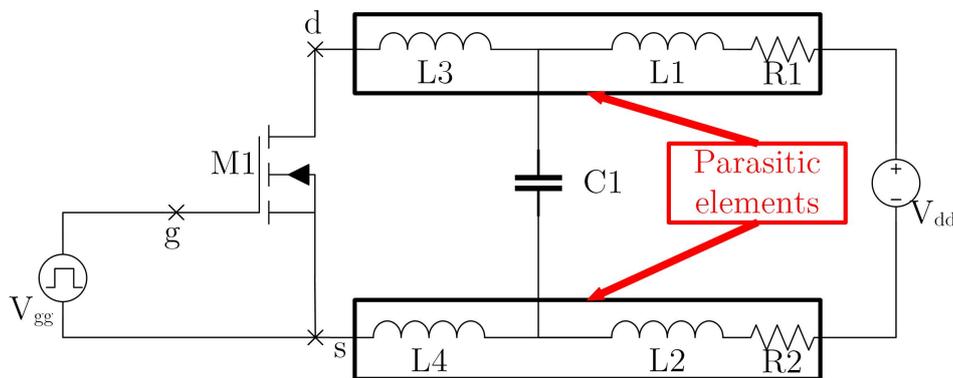
Rappelons que ce test a été relativement simple à exécuter par simulation dans le chapitre précédent, en revanche, il sera plus compliqué à réaliser expérimentalement.

La Figure III.1(a) montre la configuration de base de ce test. Nous constatons qu'en

l'absence de la charge, la mise en conduction du MOSFET induit un courant très élevé et par conséquent des échauffements très importants qui peuvent causer sa destruction. De plus, puisque les caractéristiques statiques des MOSFETs dépendent fortement de la température de la jonction, un échauffement additionnel peut fausser les résultats obtenus. D'où la solution est de caractériser le composant SiC en fonction d'une commande limitée en durée (commande pulsée). Cette méthode permet d'effectuer le test dans des conditions contrôlées sans augmenter significativement la température de jonction.



(a) Test de base d'extraction des caractéristiques de sortie



(b) Circuit expérimental du test d'extraction des caractéristiques de sortie

FIGURE III.1: Test d'extraction des caractéristiques statiques de sortie

Notons que, dans ce test, nous ignorons les effets dynamiques (oscillations, surtension, vitesse de variation, ...) dus aux éléments parasites présents dans le circuit (Figure III.1(b)) et nous nous intéressons uniquement au régime permanent pendant que le transistor est passant.

Dans la Figure III.1(b), un générateur d'impulsion est branché entre les bornes grille-source du composant. Les bornes drain-source sont connectées à une alimentation haute puissance à travers un condensateur de capacité importante. Ce condensateur sert à fournir le courant nécessaire pour la caractérisation du MOSFET et maintenir la tension drain-source constante. En outre, il compense l'effet inductif de la connectique entre l'ali-

mentation et le composant.

L'aspect le plus important dans ce test est de bien tenir compte de la synchronisation des impulsions. Le "timing" des impulsions doit être ajusté précisément pour capter fidèlement le régime permanent pendant un test I-V pulsé. Les paramètres à ajuster pour ce test sont : la durée de l'impulsion de la grille, l'instant de prélèvement des mesures et la fréquence des impulsions.

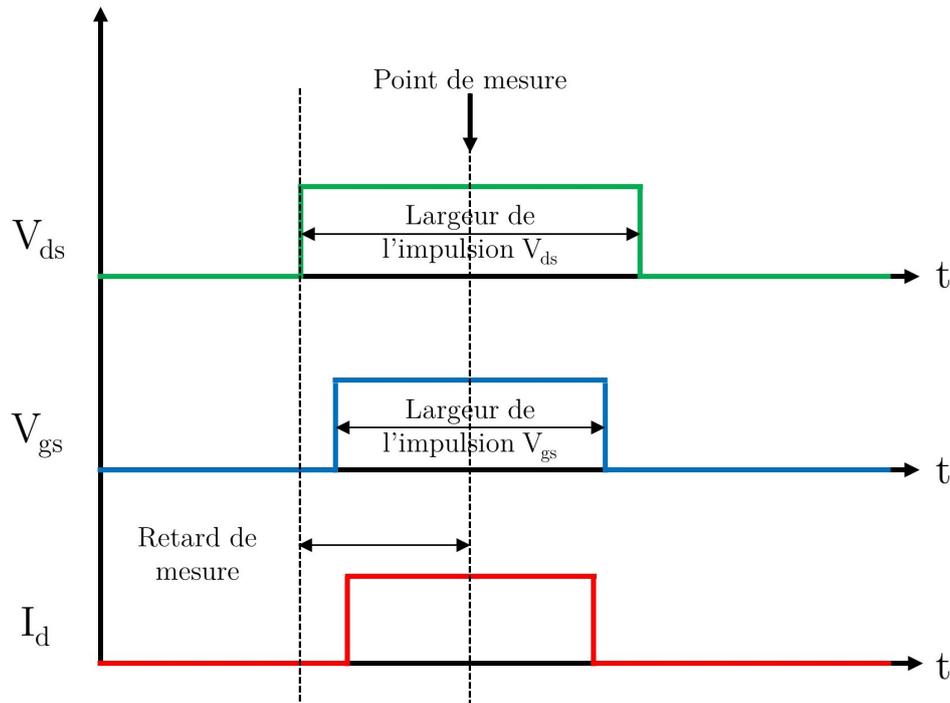


FIGURE III.2: Synchronisation des impulsions pour le test de caractérisation IV pulsé

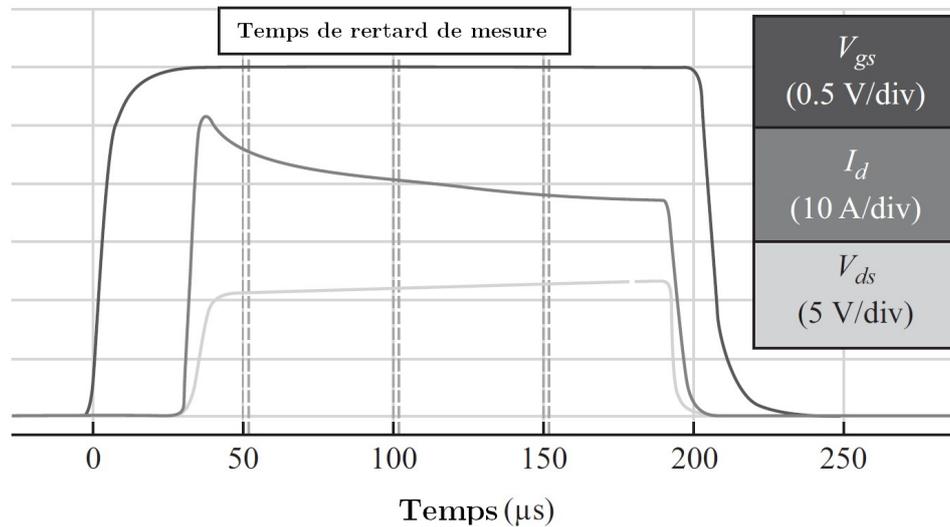
La durée de l'impulsion de la grille doit être suffisante pour permettre l'établissement du régime permanent. Cependant, elle ne doit pas être excessivement large pour ne pas chauffer le MOSFET.

La fréquence des impulsions doit être sélectionnée en se basant sur les propriétés thermiques du composant : une fréquence élevée des impulsions peut provoquer une accumulation de l'énergie thermique dans le composant. La solution consiste donc à laisser le composant refroidir (revenir à la température initiale) pendant quelques secondes après chaque impulsion.

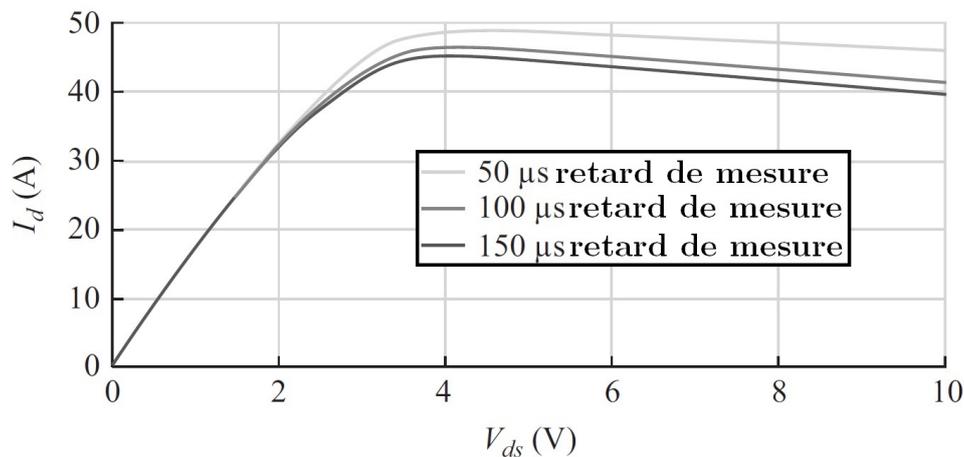
Quant à l'instant de prélèvement des mesures, Zhang et al. [63] ont montré l'impact de ce paramètre sur les résultats obtenus comme le montre la Figure III.3 où trois instants différents ont été choisis ($50\ \mu\text{s}$, $100\ \mu\text{s}$ et $150\ \mu\text{s}$). Nous pouvons remarquer une nette différence entre les trois courbes dans la région de saturation : plus le retard de mesure est élevé, plus le courant mesuré est faible. Ceci est dû à l'échauffement du composant.

En effet, le maintien du MOSFET en état de saturation, même pour des dizaines de micro-secondes, provoque un échauffement significatif, entraînant ainsi une augmentation

de $R_{ds,ON}$ et donc une diminution du courant de drain I_d . En conséquence, il faut réduire la valeur du retard de mesure tout en s'assurant que les mesures peuvent être effectuées pendant le régime permanent.



(a)

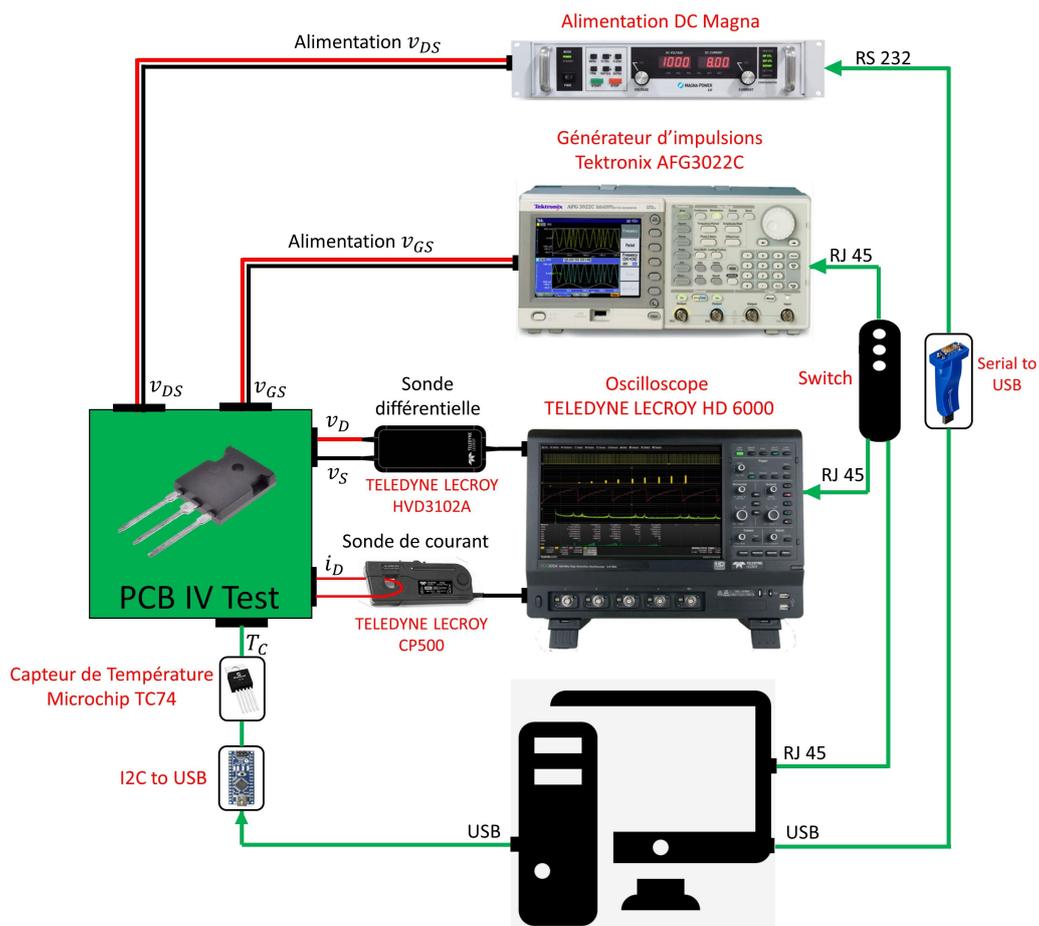


(b)

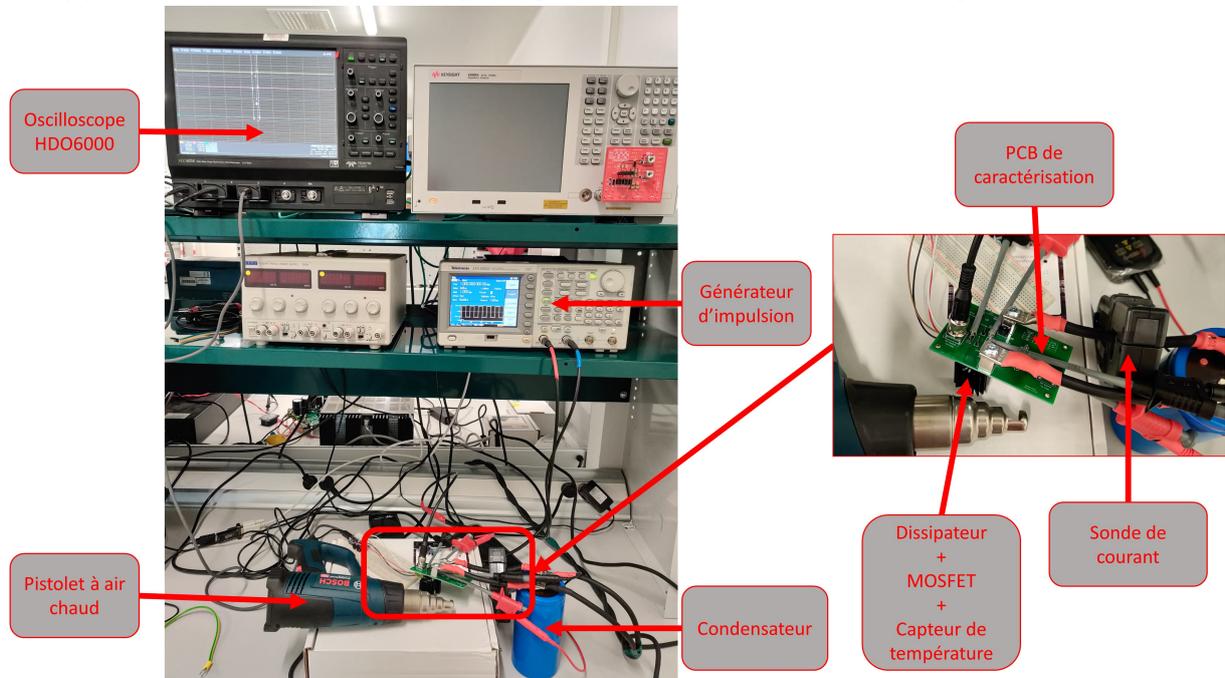
FIGURE III.3: L'effet du retard de mesure sur les résultats de caractérisation [63]

Suite à l'ajustement des paramètres, nous avons procédé à la mise en place du banc de mesures, il est constitué de : un PCB, un oscilloscope standard Teledyne Lecroy [64], deux sondes de tensions différentielles 'HVD3106A' de bande passante 120 MHz et une sonde de courant 'CP500' pour mesurer respectivement, les tensions V_{gs} , V_{ds} et le courant traversant le MOSFET (Figure III.4).

Un programme d'automatisation du banc de test a été développé afin de gérer les différents appareils de mesure et d'alimentation, permettant ainsi de mener tout le test pulsé en spécifiant les tensions de balayage, la fréquence et la durée des impulsions.



(a) Schéma fonctionnel du test pulsé pour l'extraction des caractéristiques de sortie I-V



(b) Photo du banc de caractérisation développé pour l'extraction des caractéristiques de sortie en utilisant le test pulsé

FIGURE III.4: Banc de caractérisation statique des MOSFETs.

Notons que la température du composant est mesurée en temps réel, à la fois, par un capteur de température "TC74" et par une caméra thermographique infrarouge. De plus, un pistolet à air chaud est utilisé pour chauffer le MOSFET et effectuer le test I-V à des températures différentes.



FIGURE III.5: Image thermique du MOSFET SiC à différentes températures

III.1.2 Optimisations des paramètres statiques en utilisant les caractéristiques de sortie

Le banc de la Figure III.4 a été utilisé pour extraire les caractéristiques statiques des MOSFETs SiC : C3M0065100K de CREE, SCT3080 de ROHM et C2M0080120D de CREE, à différentes températures. Les données expérimentales obtenues seront utilisées pour optimiser les paramètres statiques du modèle.

En effet, pour le C3M0065100K, après quelques dizaines d'itérations de l'algorithme développé dans la sous-section II.3.3, le modèle converge vers les paramètres illustrés dans le Tableau III.1 (les Tableaux des paramètres des composants C2M0080120D et SCT3080 sont présentés dans l'annexe A.1).

Les Figures III.6, III.7 et III.8 montrent un faible écart entre les caractéristiques statiques I-V expérimentales et celles issues du modèle développé pour les trois composants C3M0065100K, SCT3080 et C2M0080120D respectivement. En effet, l'erreur constatée ne dépasse pas les 5 % comme illustrée dans la Figure III.9.

Paramètre	Valeur	Paramètre	Valeur	Paramètre	Valeur
V_{t1}	1.68403	λ_5	0.0319831	R_{aux4}	8.19×10^{-7}
V_{t2}	1.49158	α_1	0.23547	R_{aux5}	8.82×10^{-7}
V_{t3}	1.89362	α_2	0.229875	β_1	0.168515
V_{t4}	2.4546	α_3	0.225086	β_2	0.274494
V_{t5}	1.82666	α_4	0.243265	β_3	0.297895
λ_1	0.0259601	α_5	0.214913	β_4	0.264909
λ_2	0.034878	R_{aux1}	8.60×10^{-7}	β_5	0.275676
λ_3	0.0336195	R_{aux2}	8.87×10^{-7}		
λ_4	0.0323761	R_{aux3}	9.47×10^{-7}		

Tableau III.1: Les valeurs des paramètres du modèle proposé permettant de reproduire les caractéristiques statiques de sortie du C3M0065100K

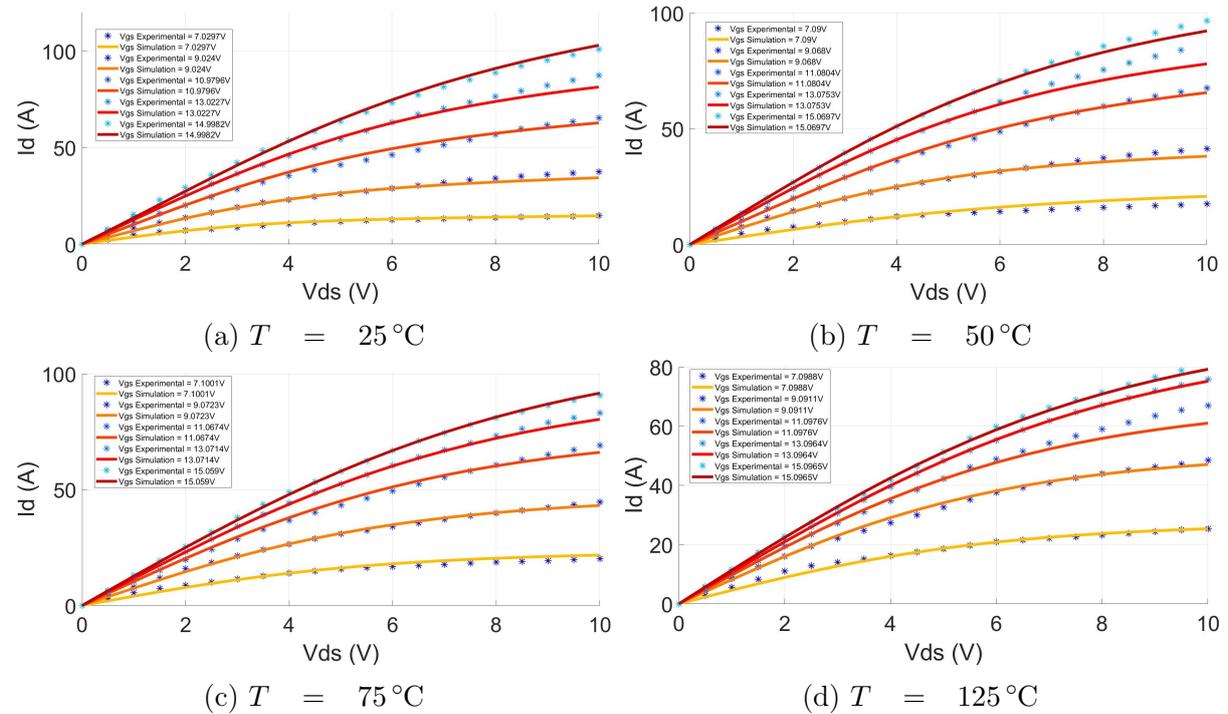


FIGURE III.6: Comparaison entre les caractéristiques de sortie courant-tension (I-V) du C3M0065100K de CREE issues de l'expérience et celles issues du nouveau modèle après optimisation

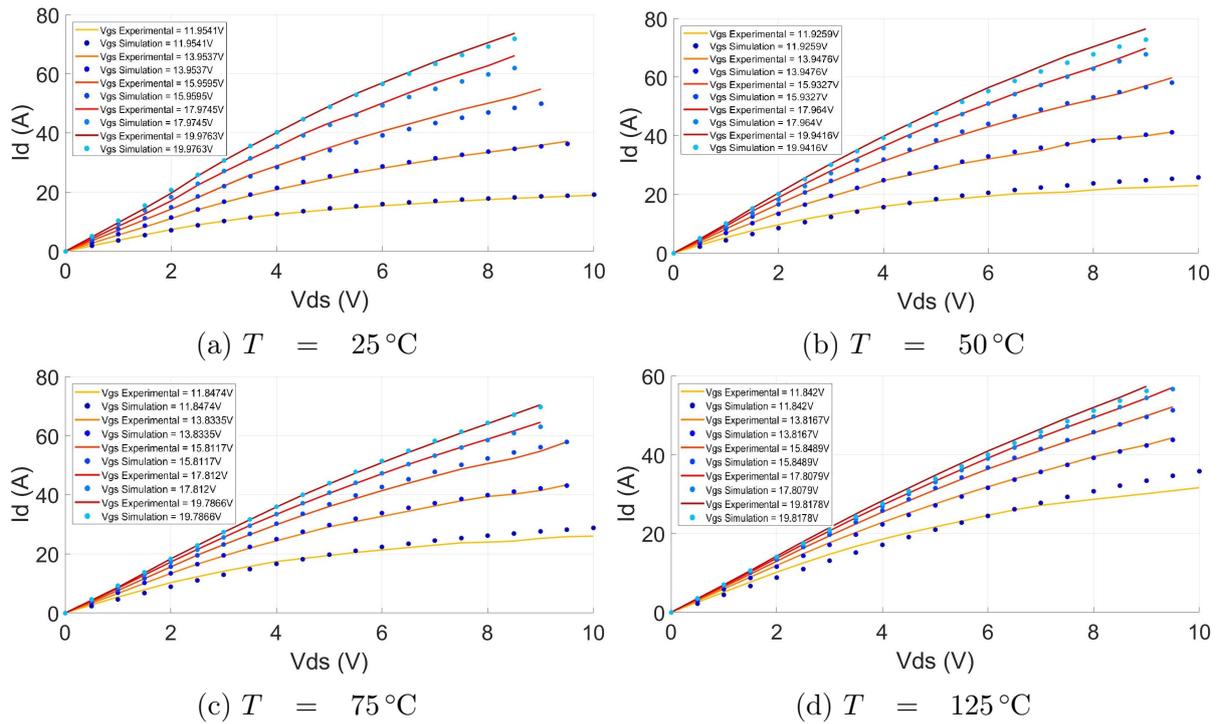


FIGURE III.7: Comparaison entre les caractéristiques de sortie courant-tension (I-V) du SCT3080 de CREE issues de l'expérience et celles issues du nouveau modèle après optimisation

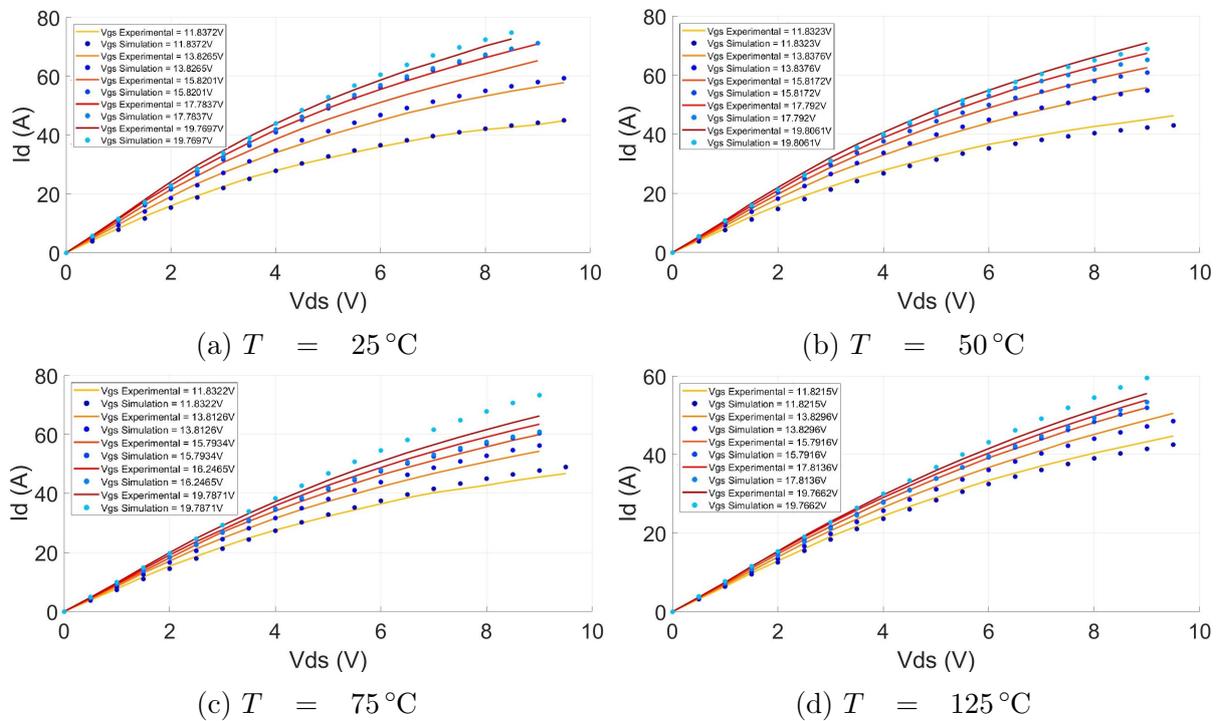


FIGURE III.8: Comparaison entre les caractéristiques de sortie courant-tension (I-V) du C2M0080120D de CREE issues de l'expérience et celles issues du nouveau modèle après optimisation

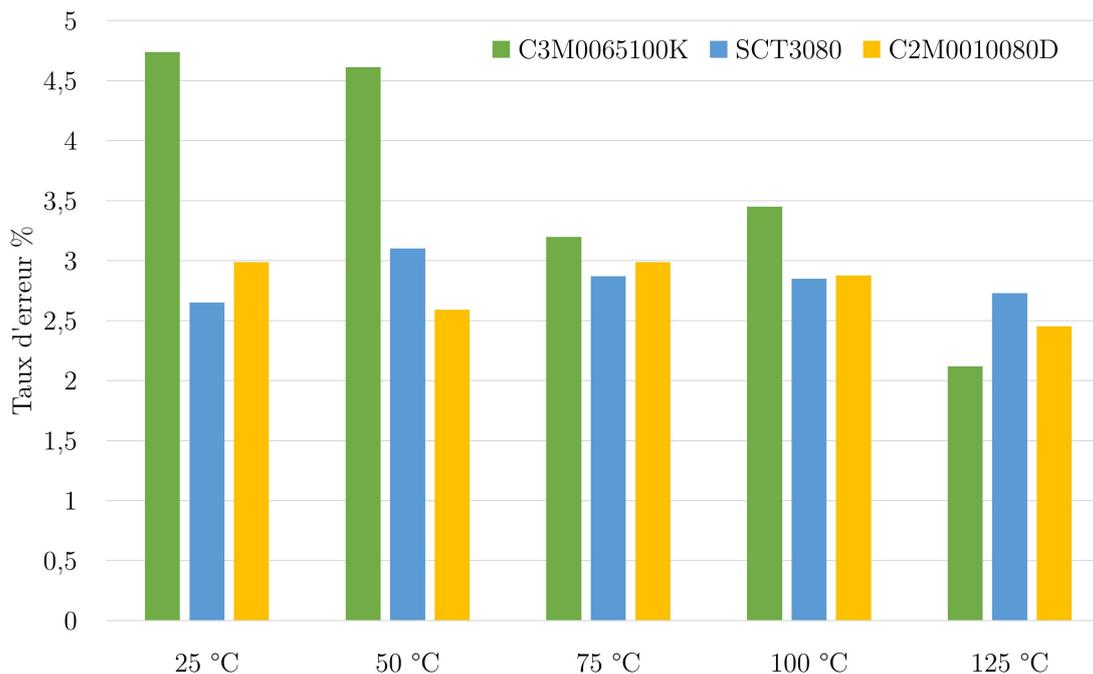


FIGURE III.9: Le taux d’erreur, à différentes températures, entre les caractéristiques statiques expérimentales et celles issues du modèle développé après optimisation pour les trois MOSFETs SiC C3M0065100K, SCT3080 et C2M0080120D

III.2 Caractérisation dynamique et optimisation des paramètres des capacités du modèle développé

III.2.1 Banc de test de caractérisation des capacités en fonction de la tension C-V

Dans cette partie, nous expliquons la démarche expérimentale développée et nous présentons le banc de caractérisation des capacités parasites inter-électrodes du MOSFET formées entre deux bornes quelconques au niveau de la puce et du boîtier.

Nous rappelons que les capacités physiques (C_{ds} , C_{gs} et C_{gd}) :

- peuvent être facilement calculées si les trois capacités regroupées (C_{iss} , C_{oss} et C_{rss}) sont connues (voir section II.2)
- sont nécessaires pour la création des modèles de simulations précis
- contrôlent, à travers la tension de commande, le basculement entre les deux états passant et bloqué
- influencent les différents phénomènes qui apparaissent pendant les commutations (plateau de Miller, dépassement, oscillations, ...)

Par conséquent, vu leur importance, il est indispensable de développer un banc de caractérisation précis et adéquat pour ajuster, au mieux possible, les paramètres du modèle

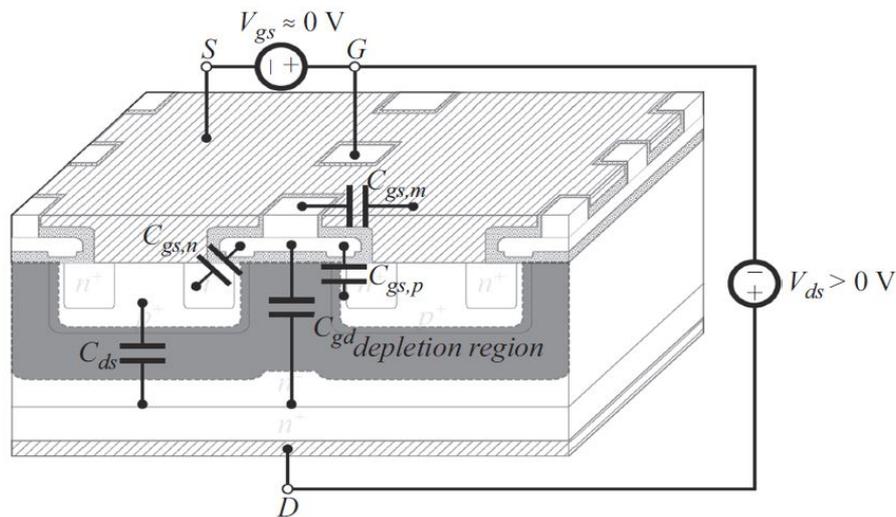


FIGURE III.10: Origine des capacités parasites inter-électrodes dans les MOSFETs [63]

développé.

Afin de mener convenablement la mesure de ces capacités, il est nécessaire de respecter les points suivants :

- Utiliser un analyseur d'impédance, considéré plus adapté aux types de mesure envisagés dans la bande de fréquence qui nous intéresse
- Choisir une fréquence de mesure de façon à ce que l'inductance parasite soit négligeable devant les capacités à mesurer. A titre d'exemple, en supposant une inductance parasite d'une dizaine de nH (ordre de grandeur pour une longueur de piste de 10 mm) et une capacité à mesurer de valeur de 1 nF , à la fréquence du signal de mesure de 1 MHz, le calcul de leurs impédances respectives donne $|Z_L| = 62.83 \text{ m}\Omega$ et $|Z_C| = 159.14 \Omega$. Nous pouvons donc négliger l'effet de cette inductance parasite (en série avec la capacité à mesurer) pour ce test. De plus, le choix de la fréquence de mesure de 1 MHz (en pratique elle est située entre 100 kHz et 1 MHz) permet de rester inférieur à la fréquence de résonance du circuit à mesurer
- Ajouter une capacité de filtrage $C_{isolation}$ en série avec l'analyseur d'impédance afin de le protéger contre la tension DC élevée appliquée aux bornes du MOSFET. Cependant, la présence de cette capacité introduit une erreur de mesure exprimée par :

$$C_{mesurée} = \frac{C_{MOS} \cdot C_{isolation}}{C_{MOS} + C_{isolation}} \quad (\text{III.1})$$

Où $C_{mesurée}$ est la capacité mesurée par l'analyseur d'impédance et C_{MOS} est une des capacités à mesurer (C_{iss} , C_{oss} et C_{rss}).

Puisque nous avons choisi une capacité d'isolation de $1 \mu\text{F}$ et étant donnée que la capacité du MOSFET qu'on veut mesurer est comprise entre quelques centaines de

pF et quelques nF ($C_{MOS} \lll C_{isolation}$), l'équation III.1 devient :

$$C_{mesurée} \approx \frac{C_{MOS} \cdot C_{isolation}}{C_{isolation}} = C_{MOS} \quad (III.2)$$

Nous concluons que la capacité $C_{isolation}$ a une influence négligeable sur la mesure des capacités

Un PCB tenant compte des impératifs cités ci-dessus a été réalisé (Figure III.11).



FIGURE III.11: Le PCB développé pour l'extraction des caractéristiques C-V

La Figure III.12 montre le schéma fonctionnel du banc de test développé. Il est constitué d'une alimentation DC utilisée pour la polarisation du composant, d'une sonde de tension différentielle et d'un oscilloscope de bande passante 1 GHz pour mesurer la tension drain-source du MOSFET. Le PCB de caractérisation des capacités parasites, incluant le composant MOSFET, est branché à l'analyseur d'impédance. L'ensemble des appareils est connecté à un PC permettant l'automatisation des tests en utilisant MATLAB par :

- Le balayage de la tension de polarisation en contrôlant l'alimentation DC
- La récupération de la tension drain-source du MOSFET pour différentes consignes d'alimentation
- La récupération de la valeur de la capacité mesurée par l'analyseur d'impédance

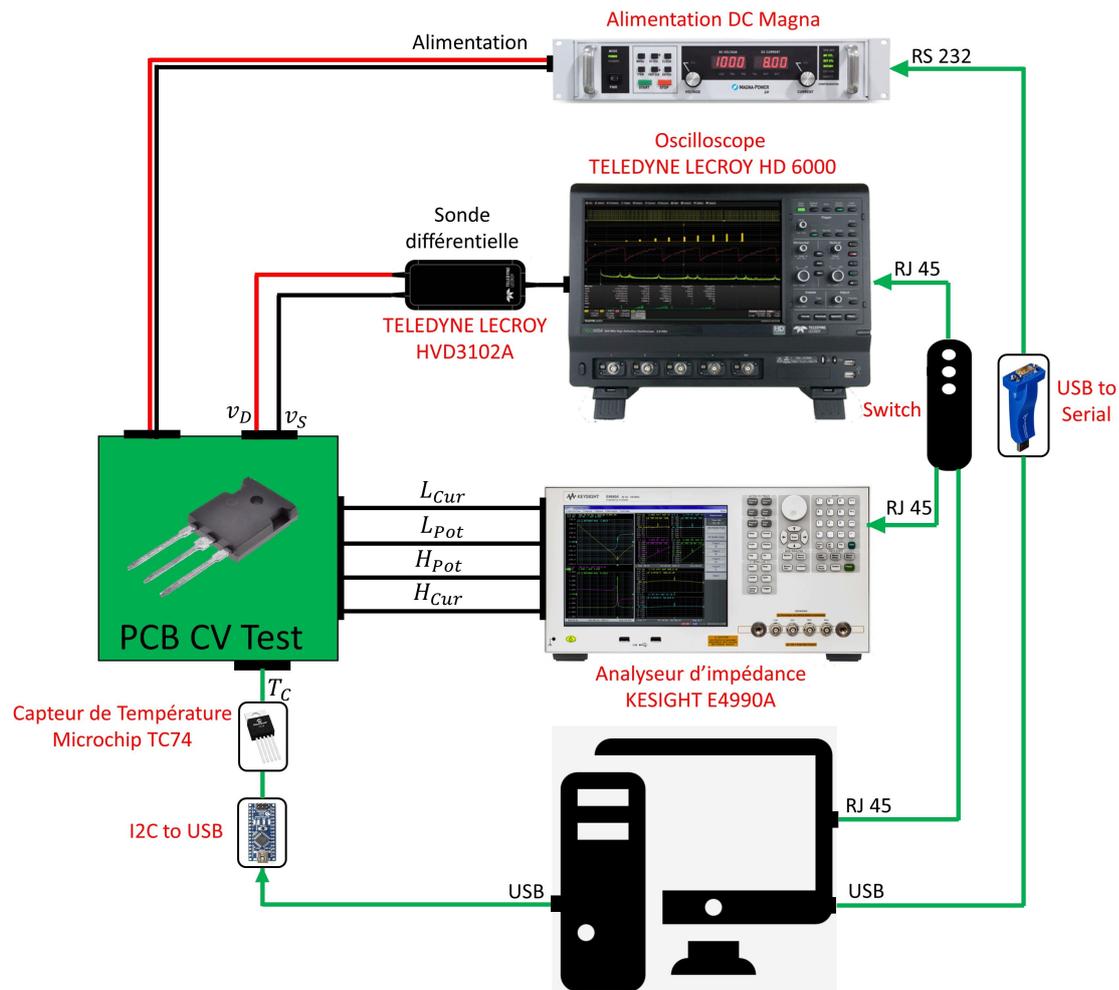


FIGURE III.12: Schéma fonctionnel du banc de test développé pour l'extraction des caractéristiques C-V

III.2.2 Mesure des capacités

III.2.2.1 Mesure de la capacité d'entrée C_{iss}

La Figure III.13 montre le schéma électrique de ce test. Le signal généré par l'analyseur d'impédance traverse la capacité d'isolation puis passe à travers les capacités C_{gs} et C_{gd} . Ensuite, il passe par les capacités de contournement C_b en parallèle avec C_{ds} . En effet, puisque $C_{ds} \ll C_b$, elle sera court-circuitée et ne sera donc pas mesurée. De plus, nous avons déjà constaté dans la sous-section II.2.1 que l'influence de C_b est négligeable sur l'ensemble des mesures à réaliser .

En balayant la tension V_{ds} , nous pouvons mesurer la valeur de C_{iss} en fonction de la tension V_{ds} .

En utilisant le banc développé, nous avons pu extraire les capacités d'entrée de trois MOSFETs différents : C3M0065100K de CREE (Figure III.14), SCT3080KL de ROHM (Figure III.15) et C2M0080120D de CREE (Figure III.16).

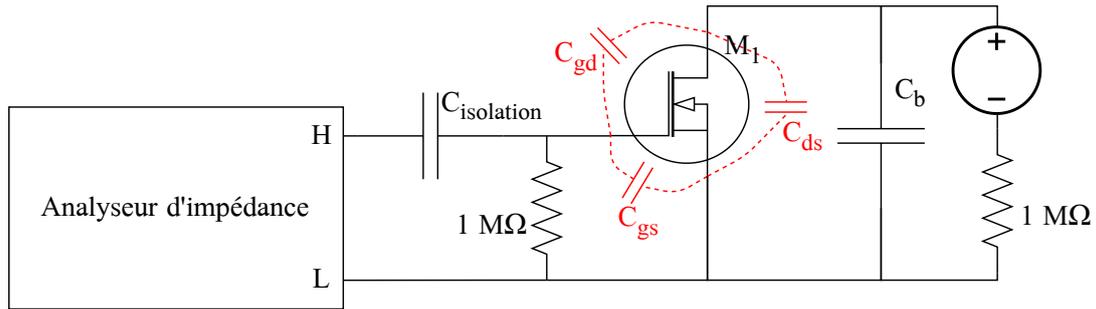


FIGURE III.13: Schéma électrique expérimental du circuit de mesure de C_{iss}

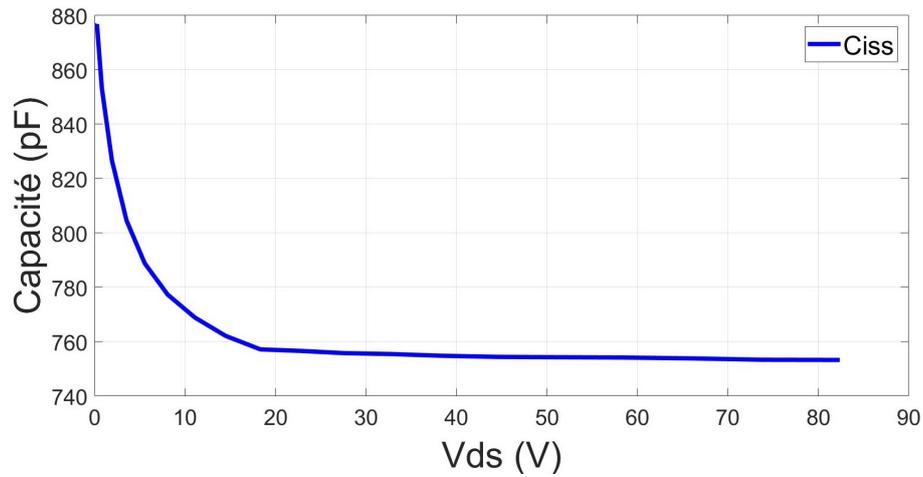


FIGURE III.14: Mesure de la capacité d'entrée du MOSFET SiC C3M0065100K en fonction de la tension V_{ds} en utilisant le banc développé

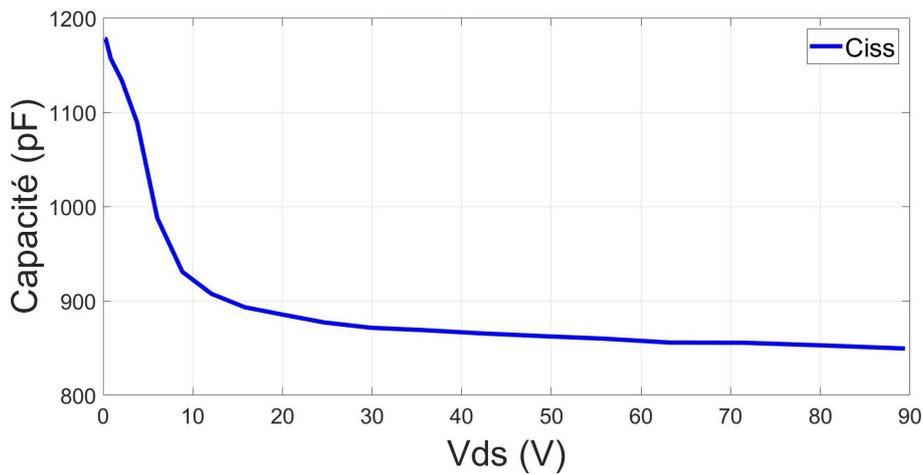


FIGURE III.15: Mesure de la capacité d'entrée du MOSFET SiC SCT3080 en fonction de la tension V_{ds} en utilisant le banc développé

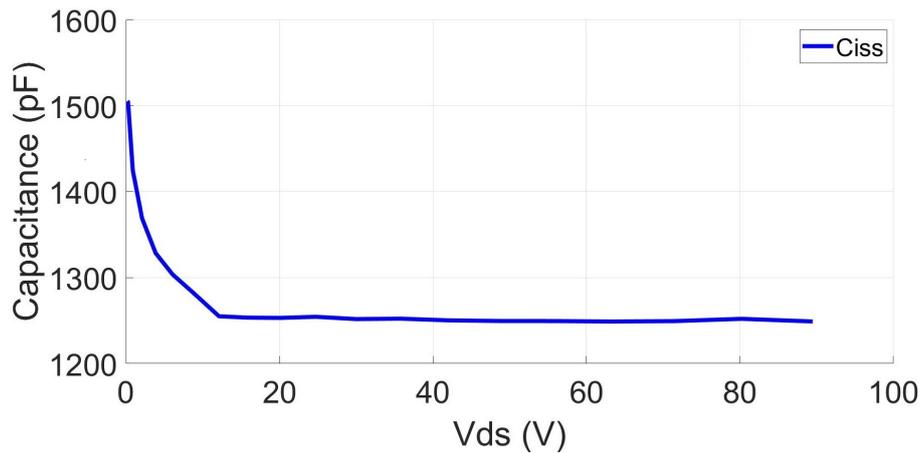


FIGURE III.16: Mesure de la capacité d'entrée du MOSFET SiC C2M0080120D en fonction de la tension V_{ds} en utilisant le banc développé

III.2.2.2 Mesure de la capacité de sortie C_{oss}

La capacité de sortie C_{oss} d'un MOSFET de puissance dépend fortement de la tension drain-source, en particulier, dans la plage < 100 V. Sinon, elle présente une légère variation. Le circuit électrique expérimental correspondant à l'extraction de cette capacité est illustré dans la Figure III.17.

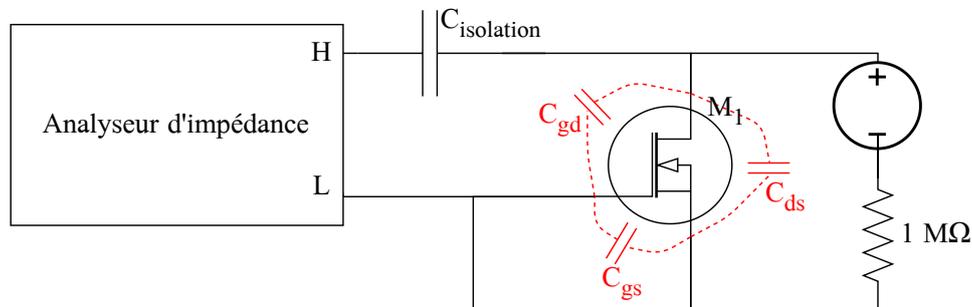


FIGURE III.17: Schéma électrique expérimental du circuit de mesure de C_{oss}

Le signal généré par l'analyseur d'impédance traverse la capacité d'isolation $C_{isolation}$, puis les capacités C_{gd} et C_{ds} qui deviennent en parallèle grâce au court-circuit appliqué entre la grille et la source. Par conséquent, la capacité C_{gs} est court-circuitée et ne sera donc pas prise en considération dans les mesures. Le résultat de mesure correspond donc à la somme des capacités drain-source et grille-drain ($C_{oss} = C_{gd} + C_{ds}$).

Les Figures III.18, III.19 et III.20 illustrent, respectivement, les résultats de mesure des capacités de sortie C_{oss} des MOSFETs : C3M0065100K, SCT3080 et C2M0080120D.

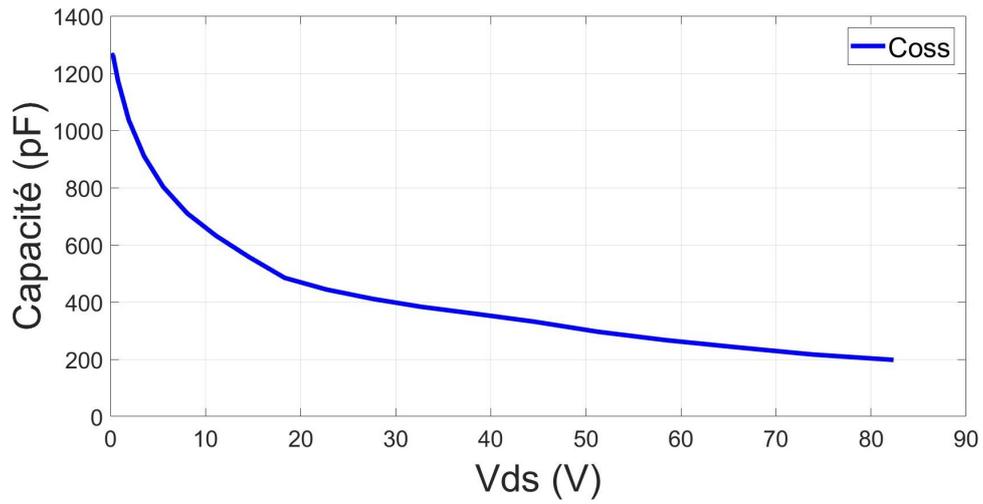


FIGURE III.18: Mesure de la capacité de sortie du MOSFET SiC C3M0065100K en fonction de la tension V_{ds} en utilisant le banc développé

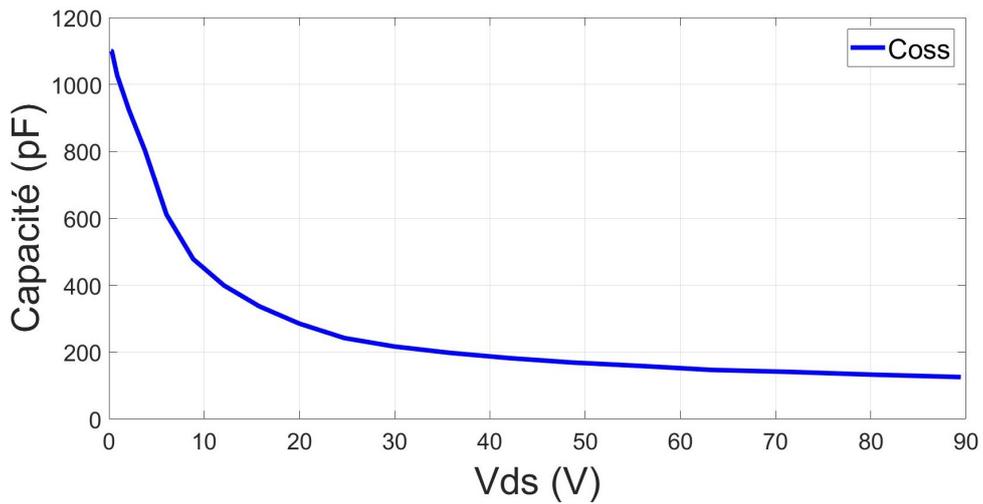


FIGURE III.19: Mesure de la capacité de sortie du MOSFET SiC SCT3080 KL en fonction de la tension V_{ds} en utilisant le banc développé

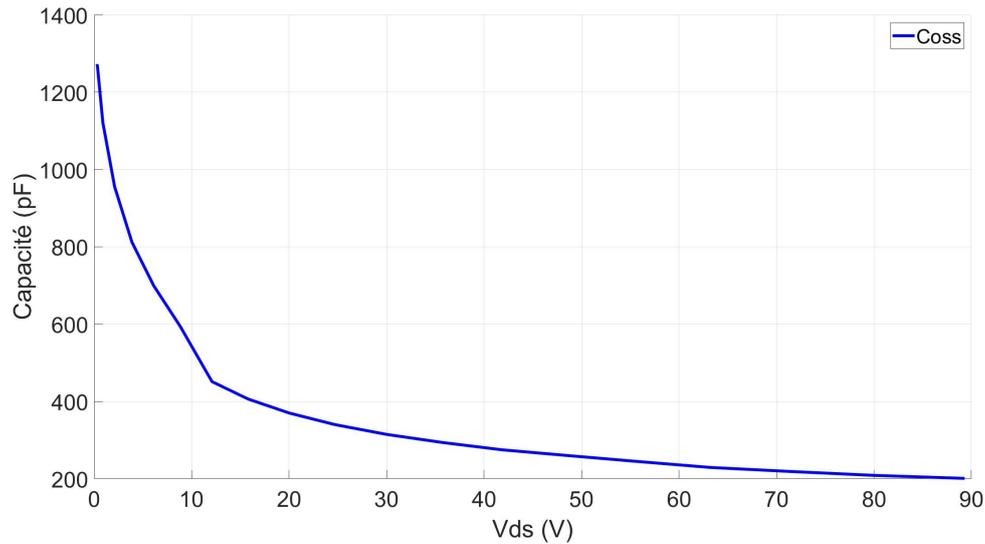


FIGURE III.20: Mesure de la capacité de sortie du MOSFET SiC C2M0080120D en fonction de la tension V_{ds} en utilisant le banc développé

III.2.2.3 Mesure de la capacité de transfert inverse C_{rss}

Pour les MOSFETs SiC, la capacité de transfert inverse C_{rss} est beaucoup plus faible que les capacités C_{iss} et C_{oss} . Notons que C_{rss} varie très légèrement en haute tension ($V_{ds} > 100V$), en revanche elle présente une variation est très significative en basse tension.

La Figure III.21 montre le circuit électrique utilisé pour mesurer cette capacité.

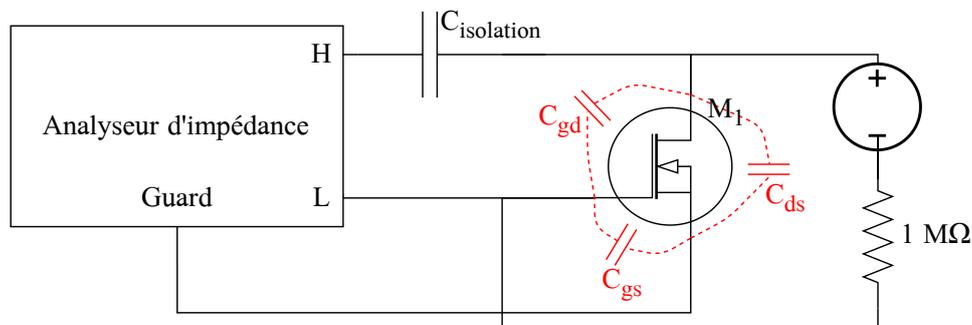


FIGURE III.21: Schéma électrique expérimental du circuit de mesure de C_{rss}

Le signal généré par l'analyseur d'impédance traverse la capacité d'isolation, puis les capacités C_{gd} et C_{ds} qui sont en parallèle grâce au court-circuit grille-source (dû à la faible impédance interne entre les deux connexions "L" et "Guard"). Notons que tout courant passant par "Guard" ne sera pas vu pas par l'analyseur d'impédance [65]. Ainsi, cette technique permet la mesure d'une impédance spécifique dans un circuit de plusieurs impédance en parallèle.

Ce test a été utilisé pour mesurer la capacité de transfert inverse du C3M0065100K de CREE (Figure III.22), du SCT3080 de ROHM (Figure III.23) et du C2M0080120D de CREE (Figure III.24).

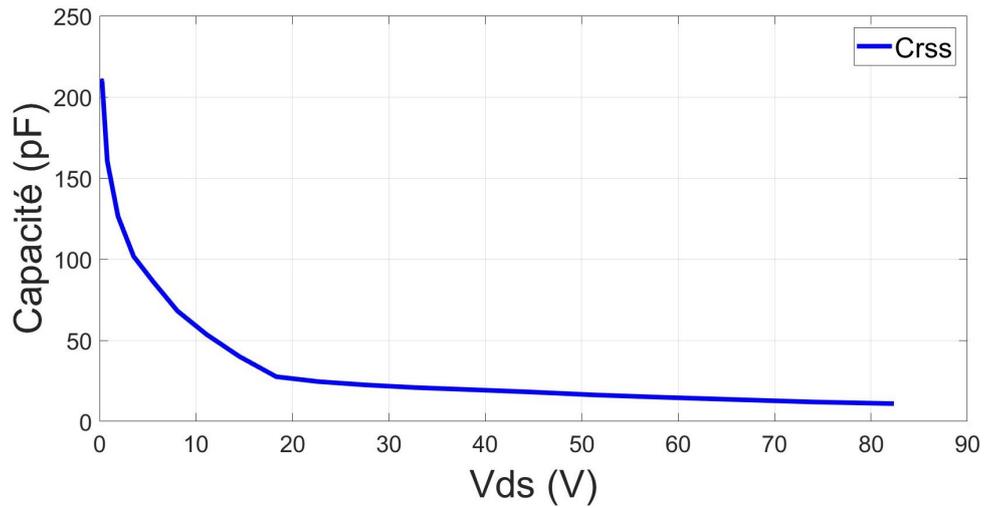


FIGURE III.22: Mesure de la capacité de transfert inverse C_{oss} du MOSFET SiC C3M0065100K en fonction de la tension V_{ds} en utilisant le banc développé

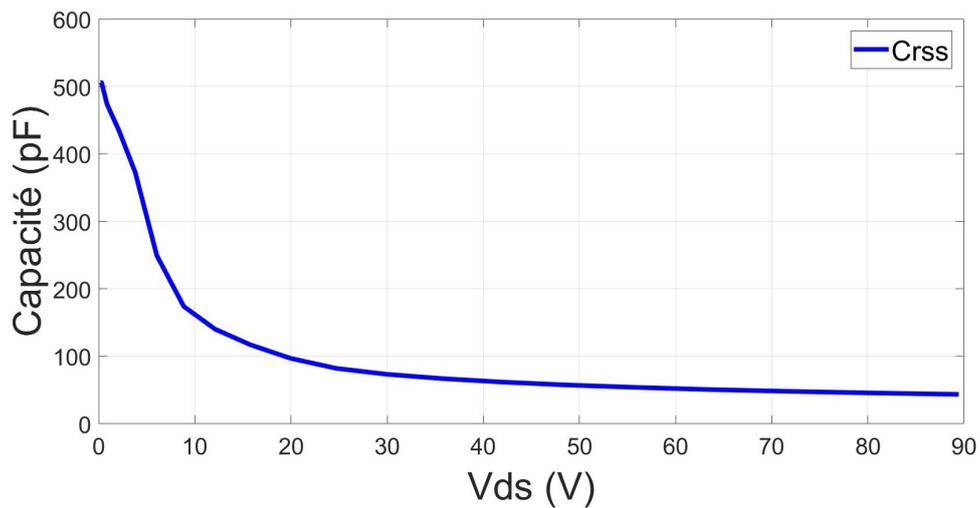


FIGURE III.23: Mesure de la capacité de transfert inverse C_{oss} du MOSFET SiC SCT3080 en fonction de la tension V_{ds} en utilisant le banc développé

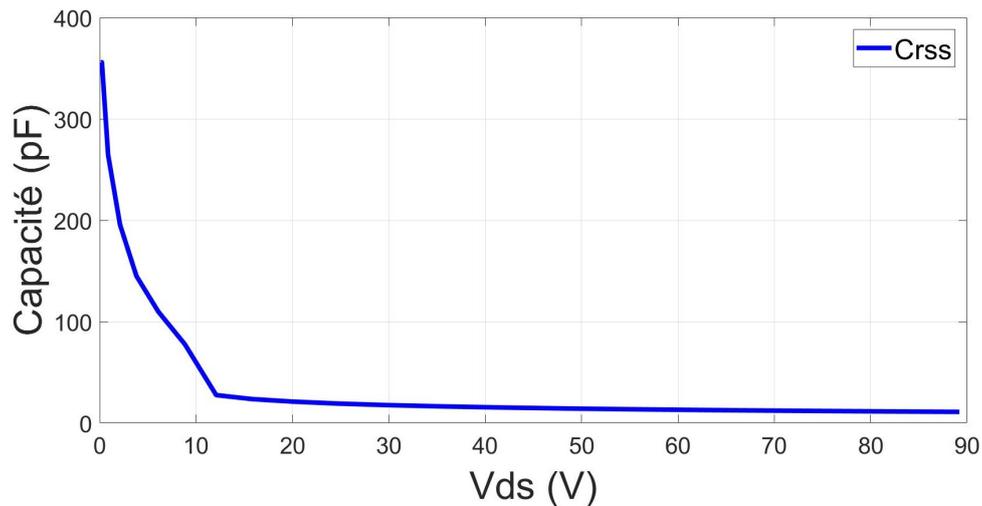


FIGURE III.24: Mesure de la capacité de transfert inverse C_{oss} du MOSFET SiC C2M0080120D en fonction de la tension V_{ds} en utilisant le banc développé

III.2.3 Optimisations des paramètres des capacités du modèle en utilisant les caractéristiques C-V expérimentales

Les caractéristiques capacité-tension C-V des MOSFETs SiC C3M0065100K, SCT3080 et C2M0080120D, extraites expérimentalement, seront utilisées pour optimiser les paramètres dynamiques du modèle développé comme expliqué ci-dessous :

1. Optimiser les paramètres de C_{gd} grâce aux caractéristiques de la capacité de transfert inverse C_{rss} (puisque $C_{rss} = C_{gd}$)
2. Utiliser les caractéristiques de la capacité d'entrée C_{iss} pour calculer la valeur de C_{gs} du modèle développé, (puisque $C_{iss} = C_{gs} + C_{gd}$) sachant que les paramètres de C_{gd} sont calculés dans l'étape précédente
3. Optimiser les paramètres de C_{ds} en utilisant les caractéristiques expérimentales C-V de C_{oss}

Le Tableau A.5 montre les valeurs de ces paramètres pour le MOSFET SiC C3M0065100K. (Voir l'annexe A.1 pour les paramètres des SCT3080 et C2M0080120D).

Paramètre	Valeur	Paramètre	Valeur	Paramètre	Valeur
$K_1^{C_{gd}}$	195 nF	$K_c^{C_{gd}}$	11.3361	$K_a^{C_{ds}}$	32.2619
$K_2^{C_{gd}}$	0.369094	C_{gs}	708 nF	$K_b^{C_{ds}}$	0.050557
$K_a^{C_{gd}}$	17.10790	$K_1^{C_{ds}}$	1305 nF	$K_c^{C_{ds}}$	5.3902
$K_b^{C_{gd}}$	0.633685	$K_2^{C_{ds}}$	0.297277		

Tableau III.2: Les valeurs des paramètres du modèle développé permettant de reproduire les caractéristiques C-V du C3M0065100K

La Figure III.26 montre les comparaisons entre les caractéristiques C-V obtenues expérimentalement et celles obtenues avec le modèle développé après optimisation pour les trois MOSFETs SiC. Nous constatons que le modèle développé reproduit les caractéristiques expérimentales C-V avec une précision élevée pour les trois capacités. En effet, le taux d'erreur maximal est de 6.613 % pour $C_{r_{ss}}$, 3.314 % pour $C_{i_{ss}}$ et 4.04 % pour $C_{o_{ss}}$.

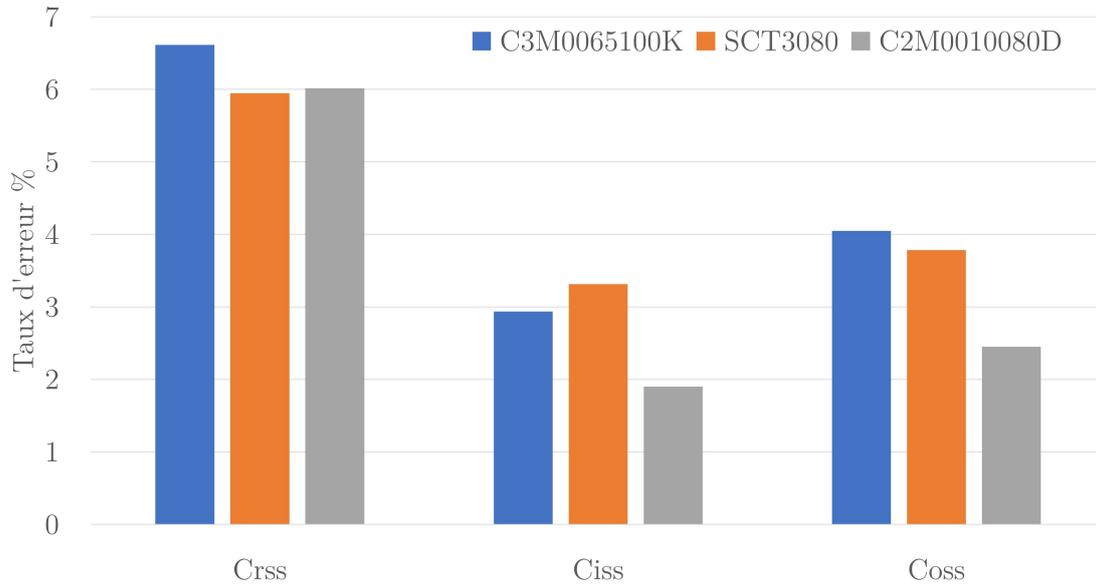
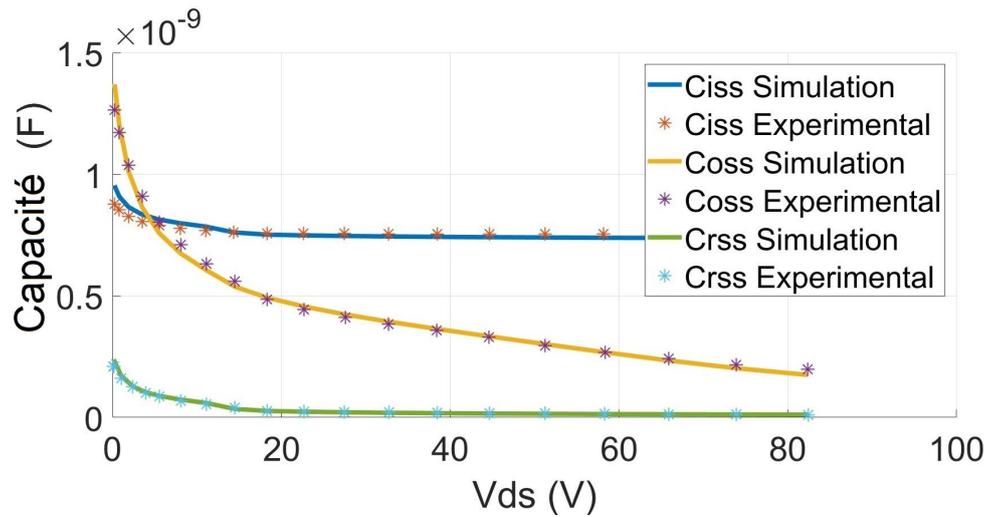
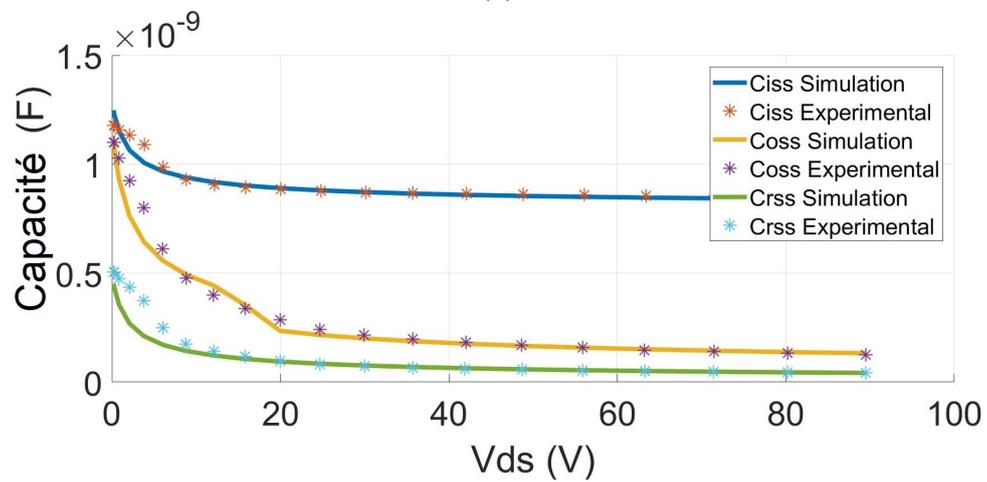


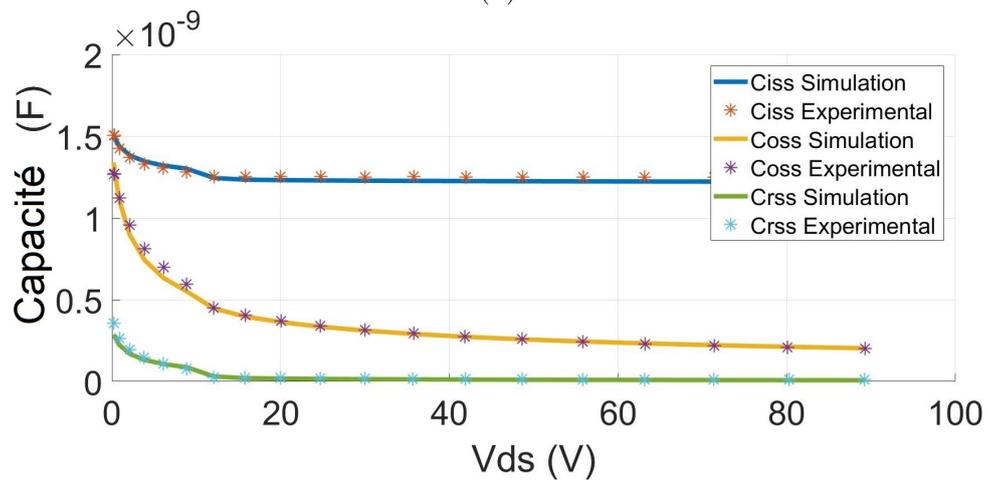
FIGURE III.25: Le taux d'erreur entre les caractéristiques dynamiques C-V mesurées expérimentalement et celles obtenues avec le modèle développé après optimisation pour les trois MOSFETs SiC C3M0065100K, SCT3080 et C2M0080120D



(a)



(b)



(c)

FIGURE III.26: Comparaisons des caractéristiques C-V obtenues expérimentalement avec celles obtenues avec le modèle développé après optimisation pour le C3M0065100K (a), le SCT3080 (b) et le C2M0065100K (c)

III.3 Caractérisation dynamique et optimisation des éléments parasites en utilisant le test de double impulsion

III.3.1 Caractérisation dynamique utilisant le test de double impulsion

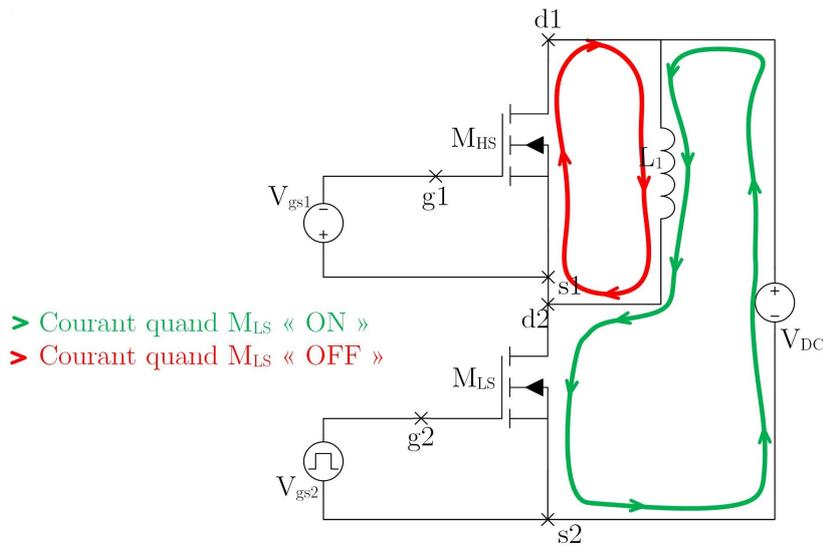
Le test de double impulsion (DPT) est utilisé pour évaluer les performances des interrupteurs de puissance pendant la commutation [66, 67, 68, 69, 70, 71, 72].

III.3.1.1 Principe du test de double impulsion

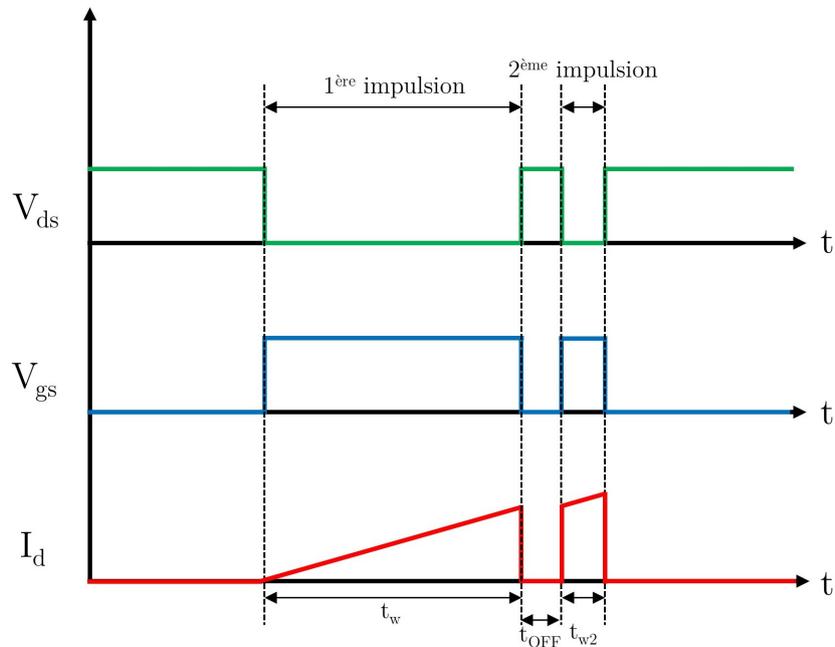
La Figure III.27 montre le schéma électrique de ce test et les formes d'ondes associées.

Deux impulsions successives sont envoyées à la grille de l'interrupteur M_{LS} qui est connecté en série avec une charge inductive. Comme le montre la Figure III.27(b), il existe plusieurs zones de fonctionnement :

- $0 < t < t_w$: le MOSFET M_{LS} est amorcé, la tension V_{DC} est appliquée à l'inductance L_1 , le courant traversant cette dernière augmente linéairement en supposant qu'elle n'est pas saturée. Quand la valeur du courant souhaitée I_w est atteinte, la tension de commande V_{gs} est remise à zéro et le MOSFET passe à l'état OFF. La durée de l'impulsion t_w dépend de la valeur du courant souhaitée I_w , la tension V_{DC} , la valeur de l'inductance L_1 et la résistance ON du MOSFET $R_{ds,ON}$
- $t_w < t < t_w + t_{OFF}$: le MOSFET M_{LS} est remis à l'état OFF, le courant de roue libre circule à travers l'inductance et la diode intrinsèque du MOSFET M_{HS} . Vu la constante de temps élevée (L_1 élevée et résistances parasites faibles), le courant reste presque constant pendant le court intervalle de temps t_{OFF} entre la première et la seconde impulsion
- $t_w + t_{OFF} < t < t_w + t_{OFF} + t_{w2}$: le MOSFET M_{LS} est, de nouveau, amorcé et son comportement durant l'amorçage sera évalué dans les mêmes conditions (tension, courant et température) que pendant le blocage. Après la seconde impulsion, M_{LS} est remis à l'état OFF, le courant le traversant s'annule.



(a)



(b)

FIGURE III.27: Schéma électrique du circuit de caractérisation de double impulsion (a) et les formes d'ondes du courant et des tensions du MOSFET sous test M_{LS} (b)

L'implémentation expérimentale du test DPT est illustrée dans la Figure III.28. Nous avons utilisé le kit "KIT8020-CRD-5FF0917P-2" de CREE pour effectuer ce test, il comporte deux alimentations isolées DC/DC (-3 V pour l'état OFF et 15 V pour l'état ON) et deux drivers pour piloter les MOSFETs M_{HS} et M_{LS} . Le banc d'essai est constitué de : générateur d'impulsion, deux MOSFETs M_{HS} et M_{LS} avec leur dissipateur, alimentation basse tension 12 V pour le circuit de commande, alimentation de puissance et charge inductive.

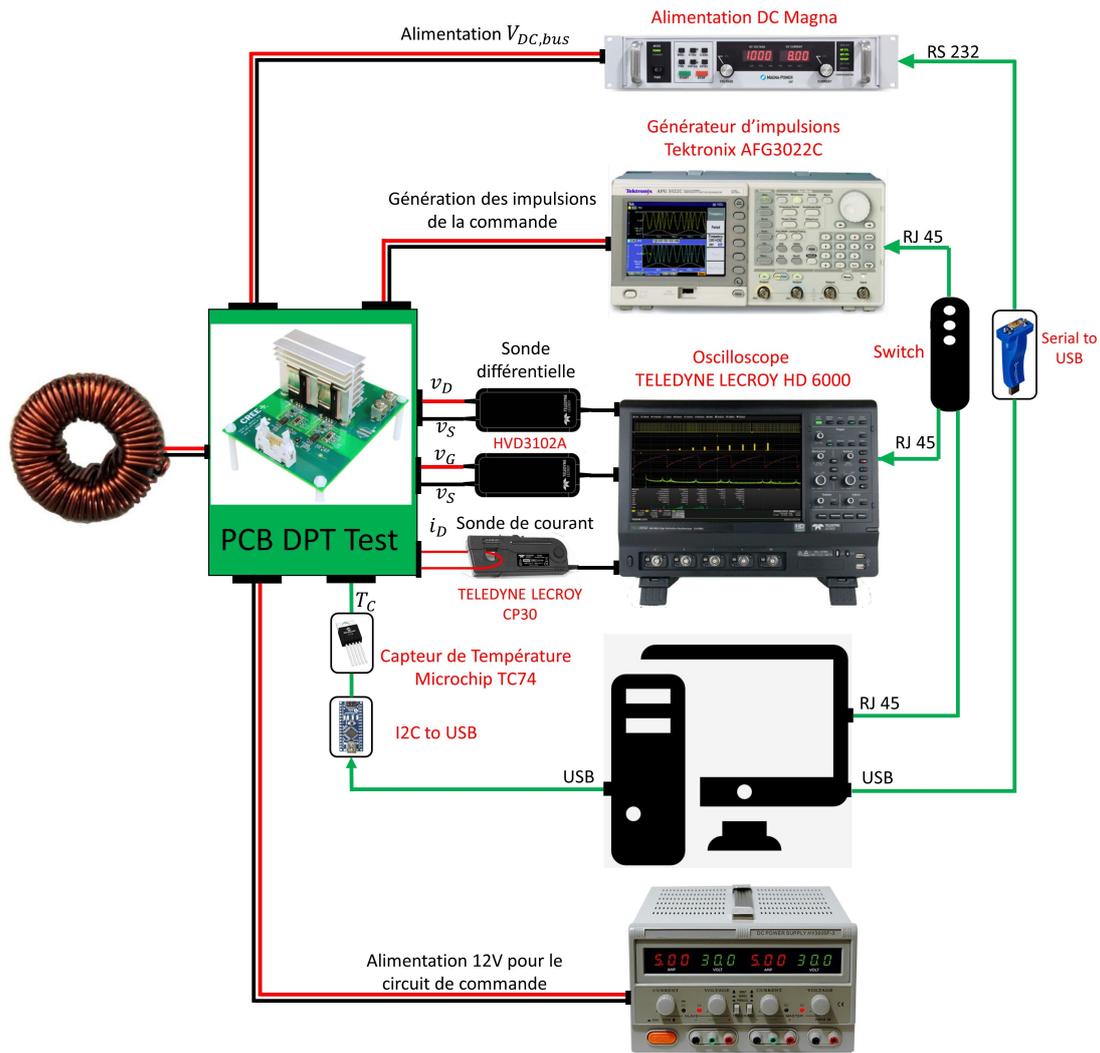


FIGURE III.28: Schéma fonctionnel de test de caractérisation dynamique de double impulsion

III.3.1.2 La durée de l'impulsion

D'après la Figure III.27(b), la durée de l'impulsion peut être déterminée en utilisant les équations suivantes :

$$v_{L_1}(t) = L_1 \cdot \frac{di_{L_1}(t)}{dt} \quad (\text{III.3})$$

$$v_{L_1}(t) = V_{DC,bus} - R_{ds,ON} \cdot i_M(t) \quad (\text{III.4})$$

Avec $i_{L_1}(t) = i_{M_{LS}}(t)$ quand M_{LS} est ON, nous déduisons l'équation différentielle suivante :

$$\frac{di_{M_{LS}}(t)}{dt} + \frac{R_{ds,ON}}{L_1} \times i_{M_{LS}}(t) = \frac{V_{DC}}{L_1} \quad (\text{III.5})$$

La solution de l'équation III.5 est :

$$i_{M_{LS}}(t) = \frac{V_{DC}}{R_{ds,ON}} \left(1 - e^{-\frac{t}{\tau}}\right) \quad (\text{III.6})$$

$$\tau = \frac{L_1}{R_{ds,ON}} \quad (\text{III.7})$$

En remplaçant, dans les équations III.6 et III.7, $i_{M_{LS}}(t)$ par la valeur maximale souhaitée du courant I_w et le temps t par la durée de l'impulsion t_1 correspondante, nous pouvons alors calculer t_1 :

$$t_1 = -\frac{L_1}{R_{ds,ON}} \cdot \ln \left(1 - \frac{R_{ds,ON} \cdot I_w}{V_{DC}}\right) \quad (\text{III.8})$$

Nous appliquons l'équation III.8 au MOSFET C3M0065100K caractérisé par une résistance à l'état passant de valeur $R_{ds,ON}$ de 65 mΩ et connecté à une inductance L_1 de 100 μH sous une tension DC de 100 V, nous obtenons une impulsion de durée 20.13 μs pour un courant maximal souhaité de 20 A.

III.3.1.3 Le choix des capacités

Les capacités sont choisies pour maintenir une tension continue stable :

- Un condensateur de stockage DC avec une grande capacité branché entre les bornes DC- et DC+, fournit le courant nécessaire pour la charge pendant les impulsions
- Des capacités de découplage, avec une faible résistance séries (ESR) sont rajoutées en parallèle au condensateur de stockage pour fournir le courant nécessaire durant les dynamiques des commutations et limiter les surtensions aux bornes du MOSFET

La capacité de stockage DC est choisie de manière à limiter la variation de la tension de bus ΔV_{DC} quand l'énergie sera transmise du condensateur à l'inductance de charge. En supposant que l'énergie est transmise sans perte de la capacité à l'inductance, nous pouvons alors calculer la valeur minimale de la capacité permettant d'avoir le taux de variation souhaité de V_{DC} pendant la première impulsion :

$$\frac{1}{2} C_{DC,stockage} \cdot V_{DC}^2 - \frac{1}{2} C_{DC,stockage} \cdot V_{DC,t_w}^2 = \frac{1}{2} L_1 \cdot I_w^2 \quad (\text{III.9})$$

$$\Delta V_{DC} = V_{DC} - V_{DC,t_w} \quad (\text{III.10})$$

$$k_{\Delta V} = \frac{\Delta V_{DC}}{V_{DC}} \quad (\text{III.11})$$

En substituant les équations III.11 et III.10 dans l'équation III.9, nous obtenons la

relation suivante :

$$C_{DC,stockage} = \frac{L_1 \cdot I_w^2}{(2 - k_{\Delta V})k_{\Delta V} \cdot V_{DC}^2} \quad (\text{III.12})$$

Avec :

- $C_{DC,stockage}$: La capacité du condensateur de stockage à rajouter
- V_{DC} : La tension du bus DC avant l'envoi de l'impulsion
- $V_{DC,tw}$: La tension du bus DC à la fin de la première impulsion
- $k_{\Delta V}$: Le taux de variation de la tension du bus DC pendant le test

Puisque nous souhaitons une faible variation de la tension de bus DC pendant l'impulsion ($k_{\Delta V}$ entre 1-5 %), l'équation III.12 devient :

$$C_{DC,stockage} = \frac{L_1 \cdot I_w^2}{(2 - k_{\Delta V})k_{\Delta V} \cdot V_{DC}^2} \approx \frac{L_1 \cdot I_w^2}{2k_{\Delta V} \cdot V_{DC}^2} \quad (\text{III.13})$$

De manière générale, pour les capacités de stockage d'énergie DC, nous choisissons des condensateurs électrolytiques en aluminium en raison de leur capacité et leur densité d'énergie élevées.

La capacité de découplage C_{dec} fournit le courant et atténue la surtension causée par la présence des inductances du câblage durant les transitoires des commutations. Les auteurs dans [73, 74], ont montré que la surtension dépend du rapport $\frac{C_{dec}}{C_{oss}}$. La Figure III.29 illustre la variation du pourcentage de la surtension observée en fonction de la variation du rapport $\frac{C_{dec}}{C_{oss}}$.

La surtension au niveau du bus diminue avec l'augmentation de la capacité de découplage jusqu'au moment où le rapport $\frac{C_{dec}}{C_{oss}}$ devient supérieur à 100. Au delà de cette valeur, l'atténuation supplémentaire de la surtension sera négligeable. En conséquence C_{dec} est choisie de la manière suivante :

$$C_{dec} \geq 100 \cdot C_{oss} \quad (\text{III.14})$$

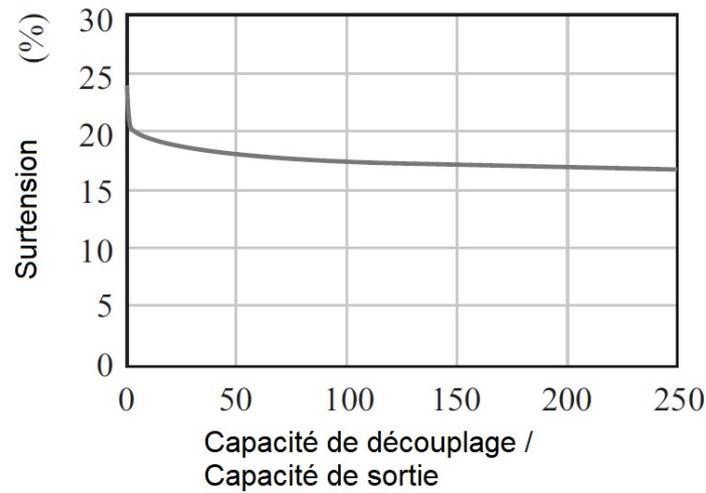


FIGURE III.29: Variation du pourcentage de la surtension au niveau du bus DC en fonction du rapport de la capacité de découplage par rapport à la capacité de sortie C_{oss} [74]

De plus, les condensateurs de découplage doivent avoir une inductance série équivalente (ESL) la plus faible possible (généralement, les condensateurs céramiques à faible ESL).

III.3.1.4 Résultats du test

Le test de double impulsion a été appliqué au C3M0065100K de CREE, en utilisant une inductance de charge de $110\mu\text{H}$ et deux impulsions successives de $10\mu\text{s}$ et $2.5\mu\text{s}$, séparées d'un temps OFF de $2.5\mu\text{s}$. Nous obtenons les formes d'ondes illustrées dans la Figure III.30.

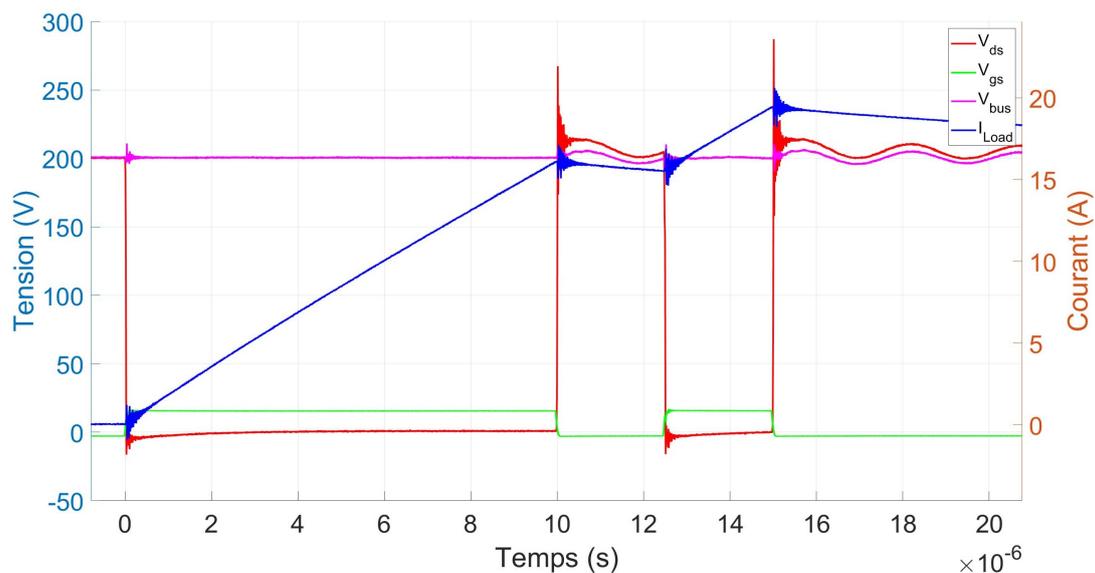


FIGURE III.30: Formes d'ondes du C3M0065100K obtenues avec le test de double impulsion

Nous distinguons plusieurs zones de fonctionnement :

- Zone 1 ($t < 0\text{ s}$) : la tension de commande du MOSFET est négative ($V_{gs} = -3\text{ V}$), le transistor est bloqué, la tension à ses bornes V_{ds} est égale à la tension du bus DC appliquée ($V_{bus} = 200\text{ V}$) et le courant traversant l'inductance est nul
- Zone 2 ($0 \leq t < 10\text{ }\mu\text{s}$) : une tension de commande positive est appliquée ($V_{gs} = 15\text{ V}$), la tension V_{ds} chute pour atteindre la valeur de $V_{ds,ON}$ et le courant dans l'inductance augmente linéairement
- Zone 3 ($10\text{ }\mu\text{s} \leq t < 12.5\text{ }\mu\text{s}$) : le MOSFET est ramené à l'état OFF ($V_{gs} = -3\text{ V}$), la tension V_{ds} augmente jusqu'à atteindre une tension proche de celle du bus. En effet, elle représente la somme de la tension du bus est la chute de tension aux bornes de la diode intrinsèque du M_{HS} . Le courant traversant l'inductance, traverse aussi la diode intrinsèque du M_{HS} . Théoriquement, ce courant pendant cette phase doit rester constant, mais en pratique, il chute légèrement à cause des résistances présentes dans le circuit (résistances de l'inductance, des pistes de cuivre, de la diode intrinsèque, ...)
- Zone 4 ($12.5\text{ }\mu\text{s} \leq t < 15\text{ }\mu\text{s}$) : M_{LS} est amorcé par la seconde impulsion, la tension à ses bornes chute à $V_{ds,ON}$ et le courant traversant L_1 augmente linéairement avec la même pente que celle de la zone 2
- Zone 5 ($15\text{ }\mu\text{s} \leq t$) : Le MOSFET M_{LS} est ramené à l'état OFF, le courant de l'inductance L_1 circule dans la diode intrinsèque de M_{HS} et diminue progressivement avec une pente faible, jusqu'à son annulation

Ce qui nous intéresse dans ce test est les différents phénomènes ayant lieu aux moments des commutations pour pouvoir les reproduire avec le modèle développé.

III.3.2 Optimisation de la résistance interne, des éléments parasites et de la diode intrinsèque en utilisant les résultats du test de double impulsion

Pour optimiser le modèle développé, nous effectuons le test de commutation de double impulsion décrit dans la sous-section III.3.1 et nous utilisons les résultats obtenues dans la simulation. Pour cela, nous intégrons les formes d'ondes de la tension grille-source et la tension du bus dans la simulation, ensuite nous comparons la forme de la tension drain-source obtenue par simulation avec celle issue de l'expérimental et, enfin, nous optimisons les valeurs de la résistance de la grille, des inductances et des résistances parasites (drain, source, grille, Kelvin source) et du temps de recouvrement de la diode pour mieux reproduire ces commutations. La Figure III.31 illustre cette procédure d'optimisation.

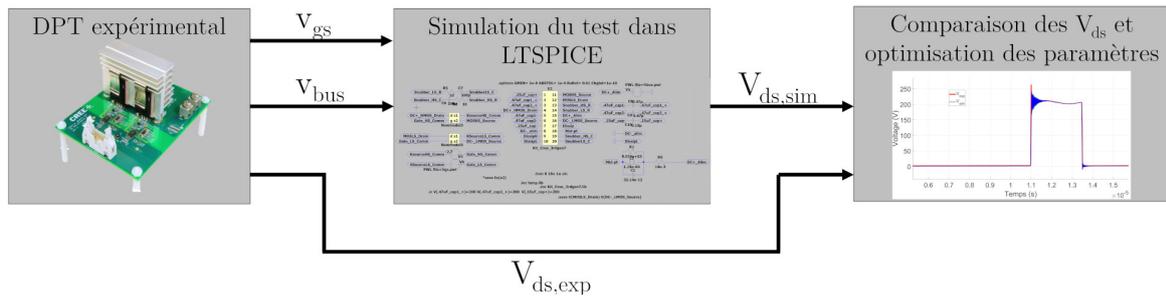


FIGURE III.31: Démarche suivie pour optimiser les paramètres du modèle utilisant les données du test DPT

La Figure III.32 montre les formes d’ondes issues du modèle développé, du modèle de fabricant et de l’expérience utilisant le test DPT. Nous remarquons une reproduction plus précise de la pente des commutations durant l’amorçage (Figure III.32(b)) et durant le blocage du MOSFET ainsi que des oscillations plus proches aux résultats expérimentaux (fréquence, amplitude et amortissement) (Figure III.32(c)).

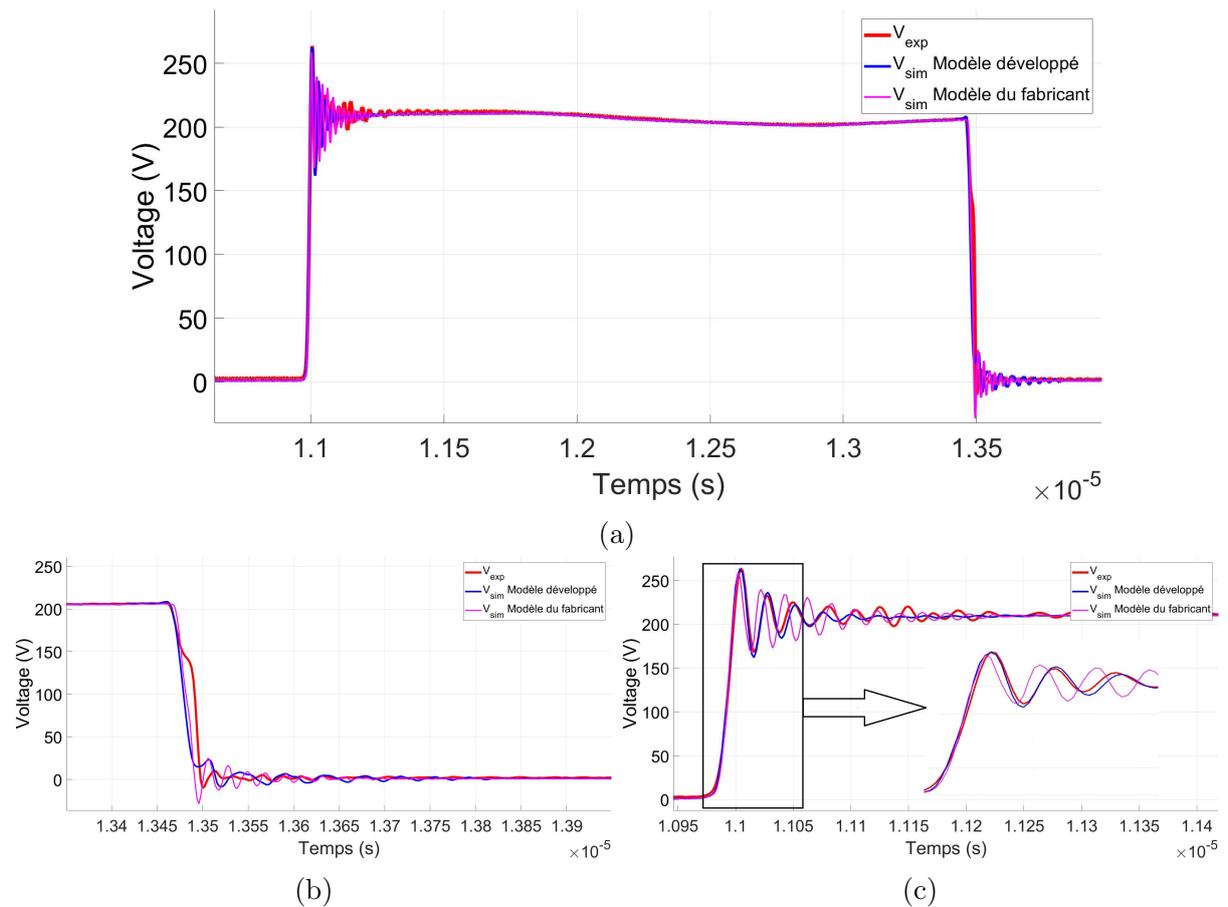


FIGURE III.32: Formes d’ondes issues du modèle développé, du modèle de fabricant et de l’expérience utilisant le test DPT, pendant une période (a) pendant l’amorçage (b) et pendant le blocage (c)

III.4 Validation expérimentale du modèle développé

Afin de montrer la capacité du modèle développé à reproduire les phénomènes liés à la tension V_{gs} , nous avons donc remplacé la résistance externe de $8\ \Omega$ connectée à la grille par une résistance de $16\ \Omega$. En effet, la Figure III.33 montre les formes d'ondes des tensions V_{gs} et V_{ds} obtenues expérimentalement en fonction des différentes résistances externes de la grille. Nous remarquons un retard et un ralentissement dans les formes d'ondes de V_{gs} et V_{ds} pour la résistance $16\ \Omega$.

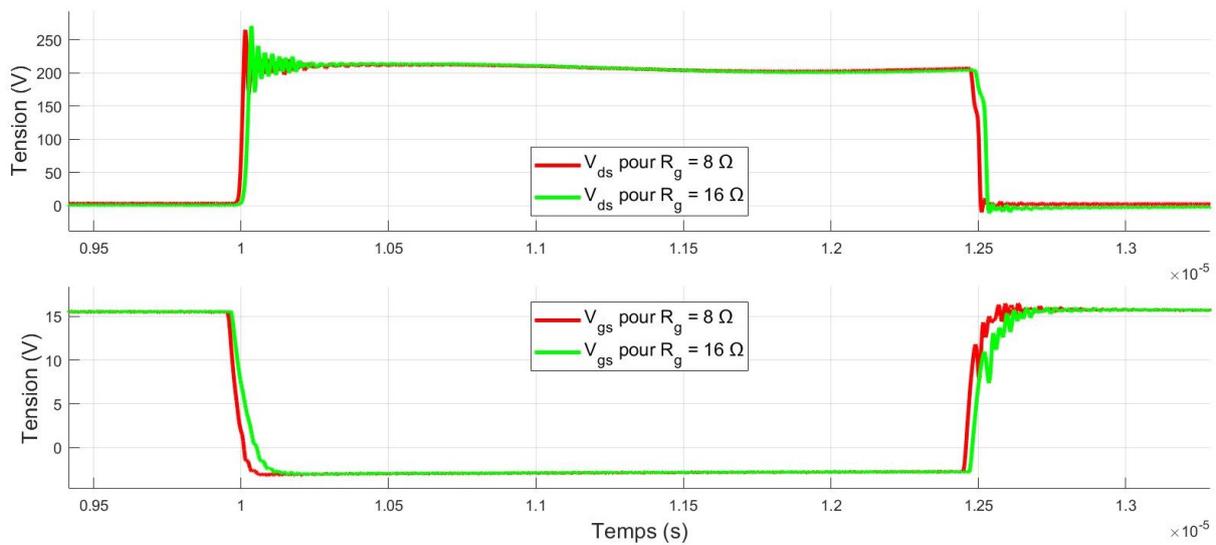


FIGURE III.33: Formes d'ondes de V_{gs} et V_{ds} du C3M0065100K pour deux résistances externes de la grille

La Figure III.34 montre, encore une fois, le capacité du modèle développé à reproduire fidèlement les commutations (pente $\frac{dv}{dt}$, surtension, fréquence, amplitude et amortissement des oscillations).

En effet, le modèle du fabricant présente un taux d'erreur de 74.08 % (voir équation II.58) par rapport aux résultats expérimentaux, alors que celui développé présente un taux d'erreur de 19.27 % seulement. En plus des améliorations apportées à la précision, nous avons obtenu un gain de 6.4 % dans le temps de simulation.

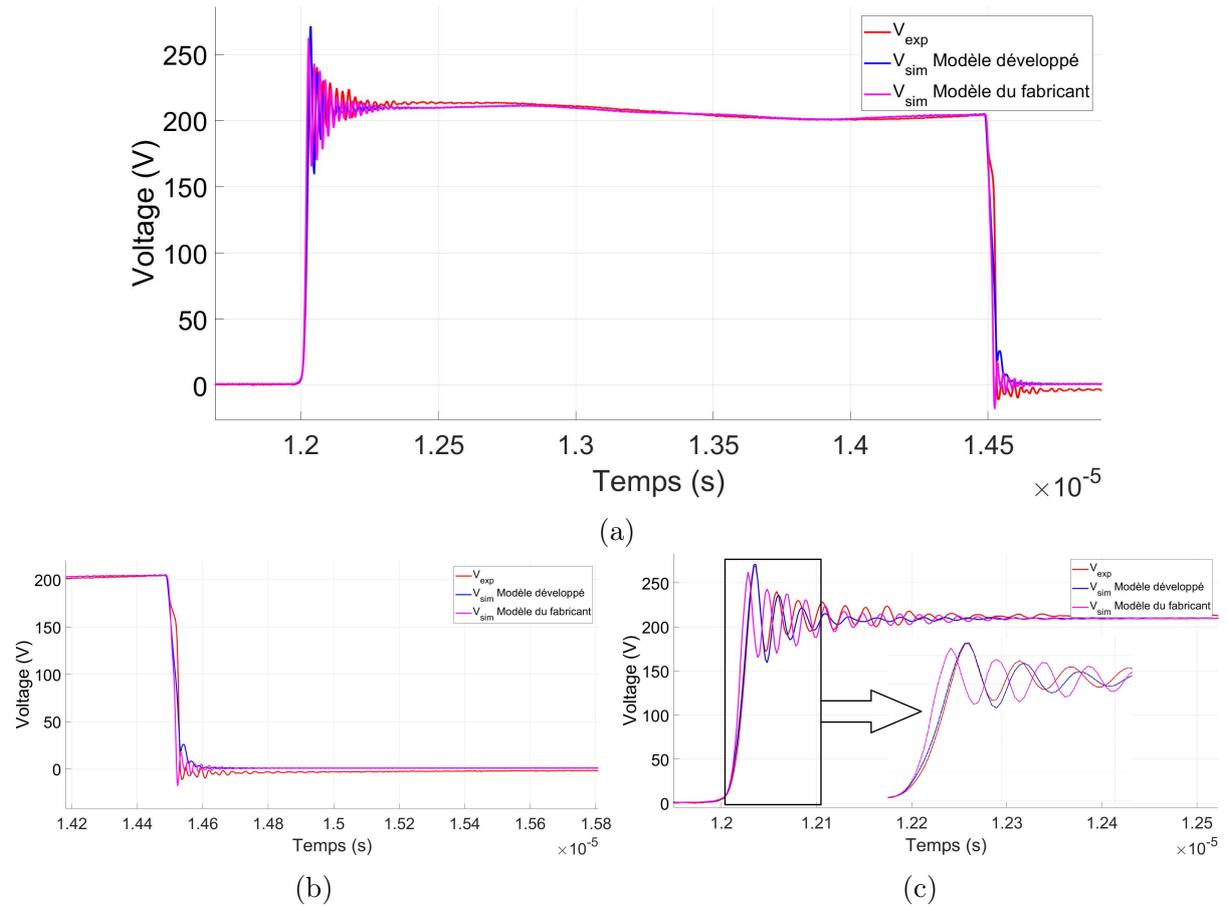


FIGURE III.34: Formes d'ondes issues du modèle développé, du modèle de fabricant et de l'expérience utilisant le test DPT, pendant une période (a) pendant l'amorçage (b) et pendant le blocage (c)

III.5 Conclusion

Dans ce chapitre, nous avons développé un banc de mesure permettant l'extraction des caractéristiques statiques de sortie I-V des MOSFETs SiC. Il permet de déduire : la résistance $R_{ds,ON}$, les caractéristiques de conduction, de blocage et de saturation.

Pour limiter l'échauffement du composant dont l'impact sur la précision des mesures est considérable, la commande pulsée a été adoptée. En effet, cette commande permet d'effectuer le test dans des conditions contrôlées sans augmenter significativement la température de jonction.

Un programme d'automatisation du banc de test a été développé afin de gérer les différents appareils de mesure et d'alimentation, permettant ainsi de mener tout le test pulsé en spécifiant les tensions de balayage, la fréquence et la durée des impulsions. Dans ce test, nous avons ignoré les effets dynamiques (oscillations, surtension, vitesse de variation, ...) dus aux éléments parasites présents dans le circuit et nous nous sommes intéressés uniquement au régime statique pendant que le transistor est passant.

Ainsi, les caractéristiques statiques de trois MOSFETs SiC ont été extraites à différentes températures et ensuite utilisées pour optimiser les paramètres statiques du modèle. Une étude comparative a montré un faible écart, ne dépassant pas les 5 %, entre les résultats issus du modèle développé et ceux obtenus expérimentalement.

Ensuite, nous avons développé un deuxième banc, précis et automatisé, permettant de caractériser la variation des capacités du MOSFET en fonction de la tension. Ainsi, les caractéristiques capacité-tension C-V (C_{rss} , C_{iss} et C_{oss}) des trois MOSFETs SiC ont été extraites et ensuite utilisées pour optimiser les paramètres des capacités du modèle. Nous avons constaté que le modèle développé reproduit les caractéristiques expérimentales C-V avec une précision élevée, et ceci pour les trois capacités étudiées. En effet, le taux d'erreur maximal est de 6.61 % pour C_{rss} , 3.31 % pour C_{iss} et 4.04 % pour C_{oss} .

Enfin, un troisième banc de test de double impulsion a été mis en place afin d'évaluer les performances des MOSFETs pendant les commutations. Grâce aux données issues de ce banc, nous avons pu reproduire fidèlement les commutations en optimisant les paramètres du modèle développé tels que la résistance de la grille, les inductances et les résistances parasites (drain, source, grille, Kelvin source), et le temps de recouvrement de la diode. En effet, nous avons remarqué une reproduction fine de la pente des commutations durant l'amorçage et le blocage (pente $\frac{dv}{dt}$, surtension) et des oscillations plus proches aux résultats expérimentaux (fréquence, amplitude et amortissement).

Aussi, nous avons montré la capacité du modèle développé à reproduire les phénomènes liés à la tension V_{gs} en changeant la résistance externe de la grille. Les résultats issus de cet essai ont montré que le modèle du fabricant présente un taux d'erreur de 74.08 % alors que le modèle développé présente seulement un taux d'erreur de 19.27 %. En plus, nous avons obtenu un gain de 6.4 % dans le temps de simulation.

Chapitre IV

Validation CEM du modèle développé dans un environnement de conversion d'énergie

Dans le but de valider davantage l'approche de modélisation des MOSFETs SiC, proposée dans les chapitres précédents, nous avons conçu et réalisé un convertisseur statique de type Buck 400 V-48 V représentatif d'un cas de conversion d'énergie qu'on pouvait trouver dans les véhicules électriques. Pour cela nous avons utilisé le "KIT d'évaluation de CREE" pour réaliser le convertisseur, en lui ajoutant une bobine, deux capacités d'entrée et de sortie et une charge résistive. Le fonctionnement du convertisseur est ensuite validé en mesurant les tensions et les courants utiles.

Ensuite, une caractérisation et une modélisation des différents éléments du banc et du convertisseur sont effectuées. Les éléments passifs (capacités, inductance, et résistance de charge) sont modélisés en se basant sur les mesures de leurs impédances. Les éléments parasites de la carte du convertisseur DC-DC sont extraits dans l'outil de calcul Q3D. Les différents modèles sont ensuite assemblés dans un schéma électrique global que nous avons simulé avec l'outil LTSPICE. Les perturbations électromagnétiques sont calculées en utilisant des algorithmes de calcul basés sur la transformée de Fourier, en se référant à la norme CEM CISPR25, à partir des formes d'ondes temporelles prélevées aux bornes des RSILs.

Enfin, un banc CEM destiné à l'industrie automobile est utilisé pour mesurer les perturbations conduites émises par le convertisseur. Ainsi, une comparaison des perturbations obtenues par simulation et mesurées expérimentalement a été réalisée.

Tension d'entrée	$V_e = 400 \text{ V}$
Tension de sortie	$V_s = 48 \text{ V}$
Puissance maximale	$P = 500 \text{ W}$
Fréquence de commutation	$f_c = 80 \text{ kHz}$
Ondulation du courant dans la bobine	$\frac{\Delta I_{L_s}}{I_{avg}} = 50 \%$
Ondulation de la tension de sortie	$\frac{\Delta V_s}{V_s} = 0.5 \%$

Tableau IV.1: Caractéristiques du convertisseur Buck réalisé

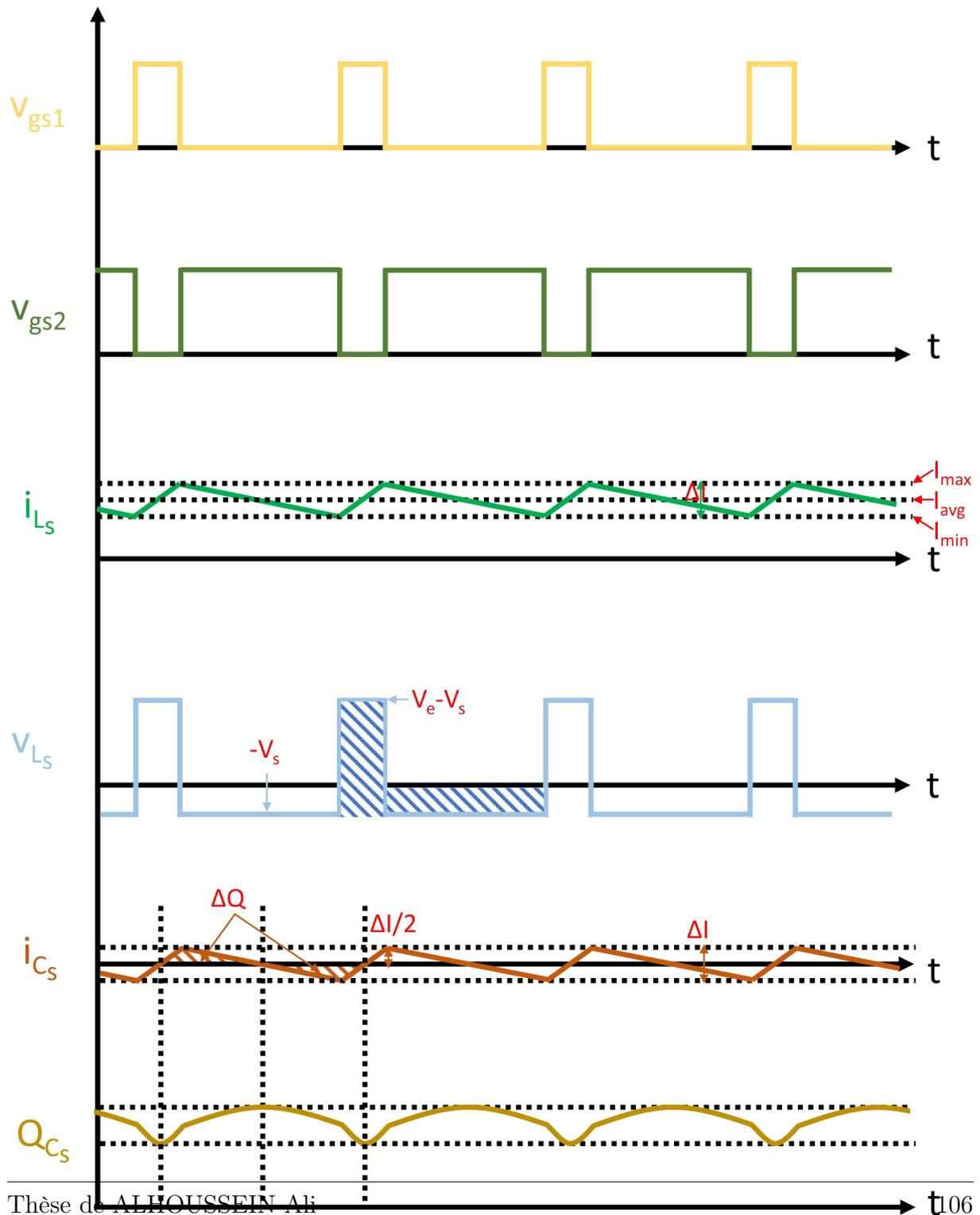


FIGURE IV.2: Formes d'ondes des grandeurs électriques du convertisseur Buck réalisé

IV.1.2 Dimensionnement des éléments du convertisseur

IV.1.2.1 Choix de la bobine

L'inductance de la bobine de filtrage (L_s dans la Figure IV.1) dépend de la tension de sortie, du rapport cyclique, de la fréquence des commutations et de l'ondulation du courant souhaitée selon l'équation suivante :

$$L_s = \frac{V_e \cdot \alpha \cdot (1 - \alpha)}{f_c \cdot \Delta I_{L_s}} \quad (\text{IV.1})$$

$$\text{Avec } \alpha = \frac{V_s}{V_e} \quad (\text{IV.2})$$

- V_s : Tension de sortie
- V_e : Tension d'entrée
- L_s : Inductance du filtre
- α : Rapport cyclique
- f_c : Fréquence des commutations
- ΔI_{L_s} : Amplitude des ondulations du courant de la bobine

Selon le cahier de charge du convertisseur présenté dans le Tableau IV.1, nous calculons un rapport cyclique de :

$$\alpha = \frac{V_s}{V_e} = \frac{48}{400} = 0.12 \quad (\text{IV.3})$$

La valeur moyenne du courant dans la bobine est égale au courant qui traverse la charge R_{charge} . Cette valeur moyenne est calculée de la manière suivante :

$$I_{avg} = I_{R_{charge}} = \frac{P}{V_s} = \frac{500}{48} = 10.41 \text{ A} \quad (\text{IV.4})$$

Grâce à cette valeur, nous pouvons calculer l'ondulation du courant :

$$\Delta I_{L_s} = 50\% \cdot I_{avg} = 5.2 \text{ A} \quad (\text{IV.5})$$

En utilisant ces données, la valeur de l'inductance limitant l'ondulation du courant à 5.2 A sera $L_s = 101.38 \mu\text{H}$.

IV.1.2.2 Choix de la capacité de sortie

La capacité de sortie est choisie d'une manière à limiter les oscillations au niveau de la tension de sortie jusqu'à un niveau acceptable. Pour calculer les ondulations de sortie au niveau du convertisseur, il faut considérer l'équation de la charge de la capacité :

$$i_{C_s}(t) = \frac{dQ_{C_s}}{dt} \quad (\text{IV.6})$$

La charge Q_{C_s} du condensateur C_s est l'intégral du courant le traversant. On peut supposer que la quasi-totalité des ondulations du courant de la bobine vont traverser la capacité de sortie C_s . La forme d'onde de ces courants est une séquence des droites montantes et descendantes, la forme d'onde de la charge $Q_{C_s}(t)$ sera ainsi une séquence des paraboles ayant des minimums et des maximums aux moments des passages du courant par 0.

En régime permanent, la valeur moyenne du courant traversant la capacité de sortie C_s est nulle :

$$\int_0^T i_{C_s}(t) dt = 0 \quad (\text{IV.7})$$

Ainsi, la variation de la charge de la capacité Q_{C_s} durant une période est nulle aussi. Nous pouvons déduire donc que les deux surfaces des triangles formés par la forme d'onde du courant i_{C_s} sont égaux. Ceci permet de déduire la valeur de ΔQ_{C_s} qui est la surface des triangles indiquée dans la Figure IV.2 :

$$\Delta Q_{C_s} = \frac{1}{2} \cdot \frac{T}{2} \cdot \frac{\Delta I}{2} = \frac{\Delta I}{8 \cdot f_c} \quad (\text{IV.8})$$

L'ondulation de la tension de sortie est alors :

$$\Delta V_s = \frac{\Delta Q}{C_s} = \frac{\Delta I}{8 \cdot C_s \cdot f_c} = \frac{V_s \cdot (1 - \alpha)}{8 \cdot C_s \cdot L_s \cdot f_c^2} \quad (\text{IV.9})$$

D'où le choix de la capacité se fait selon le critère suivant :

$$C_s \geq \frac{1 - \alpha}{8 \cdot \frac{\Delta V_s}{V_s} \cdot L_s \cdot f_c^2} \quad (\text{IV.10})$$

Dans notre cas, avec $\alpha = 0.12$, $\frac{\Delta V_s}{V_s} = 0.5\%$, $L = 101.38 \mu\text{H}$ et une fréquence de commutation $f_c = 80 \text{ kHz}$, nous obtenons une valeur de $33.907 \mu\text{F}$. Nous avons choisi une capacité de $50 \mu\text{F}$ qui permet une réduction plus importante de l'ondulation de la tension de sortie V_s .

IV.1.2.3 Choix de la capacité d'entrée

Le rôle de la capacité d'entrée est de filtrer le courant à l'entrée du convertisseur. Idéalement, le courant tiré de l'alimentation doit resté constant pendant le fonctionnement en régime permanent. Avec un filtrage idéal, le courant à l'entrée est :

$$I_e = \alpha \cdot I_s \quad (\text{IV.11})$$

Avec :

- I_e : Le courant entrant dans le convertisseur

- I_s : Le courant de sortie du convertisseur

Le courant dans M_{HS} à l'état passant est :

$$I_{M_{HS}} = I_s \quad (\text{IV.12})$$

La charge emmagasinée dans la capacité d'entrée doit être capable de compenser le courant supplémentaire passant dans l'interrupteur pendant le temps qu'il est ON :

$$\Delta Q_{C_e} = (I_{M_{HS}} - I_{in}) \cdot \alpha \cdot T \quad (\text{IV.13})$$

$$\Delta Q_{C_e} = \frac{I_s}{f_c} \cdot (\alpha - \alpha^2) \quad (\text{IV.14})$$

La valeur minimale de C_s est alors :

$$C_s \geq \frac{\Delta Q_{C_s}}{\Delta V_e} = \frac{I_s}{f_c \cdot \Delta V_e} \cdot (\alpha - \alpha^2) \quad (\text{IV.15})$$

Où ΔV_e est l'ondulation maximale de tension souhaitée à l'entrée.

IV.1.2.4 Choix de la charge

Dans notre cas, nous avons choisi d'utiliser une charge purement résistive supportant une puissance de 500 W sous une tension de 48 V. Ceci, nous permet de calculer la valeur de la résistance requise :

$$R_{charge} = \frac{V^2}{P} = \frac{48^2}{500} = 4.608 \Omega \quad (\text{IV.16})$$

Nous avons choisi d'utiliser une résistance normalisée de valeur 5 Ω .

IV.1.3 Formes d'ondes du convertisseur

Dans cette partie, nous avons procédé à la validation fonctionnelle du convertisseur selon le cahier de charge présenté dans le Tableau IV.1 en mesurant les formes d'ondes ci-dessous :

- la tension grille-source du MOSFET M_{HS}
- la tension drain-source du MOSFET M_{HS}
- la tension de sortie V_s
- le courant traversant la charge résistive I_s

La Figure IV.3 montre le banc de mesure du convertisseur réalisé et les formes d'ondes des grandeurs électriques citées ci-dessus sont illustrées dans la Figure IV.4.

Le MOSFET M_{HS} est commandé avec un rapport cyclique de 12% comme le montre la tension V_{gs} . Nous pouvons constater que les valeurs mesurées sont très proches des valeurs fixées dans le cahier de charge. En effet, la charge du convertisseur est soumise à une tension de 46.77 V et consomme un courant de 9.31 A. Cette légère différence s'explique par : les approximations effectuées sur les valeurs des éléments choisies, les pertes dans les éléments du circuit et le temps mort nécessaire pour garantir une commande des deux MOSFETs sans risque de court-circuit.

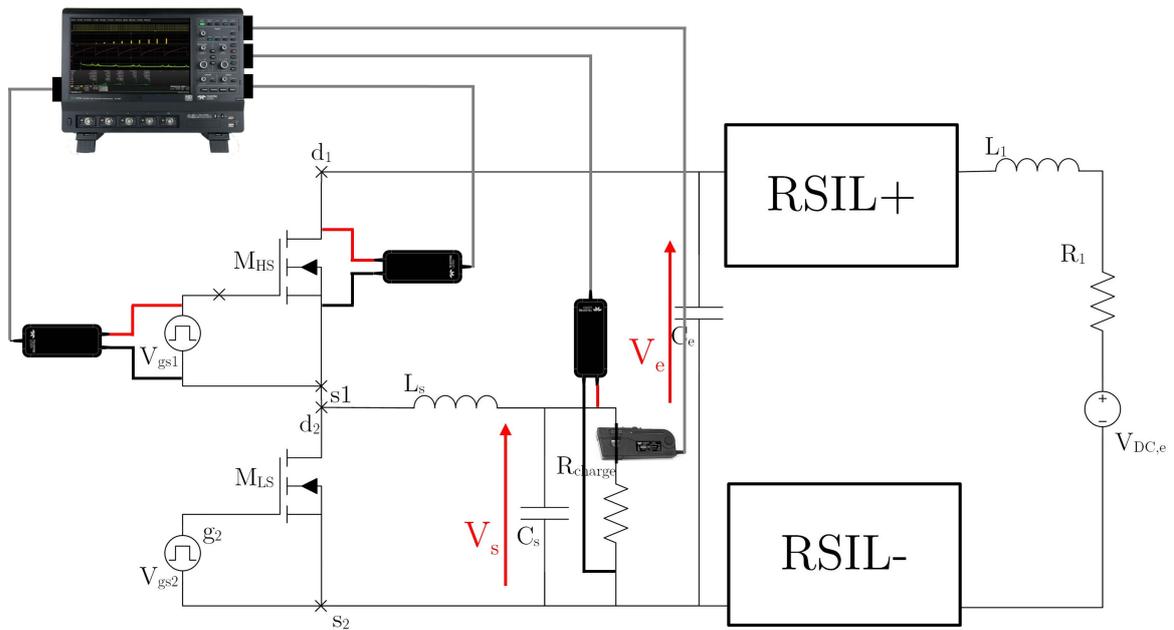


FIGURE IV.3: Banc de mesure du convertisseur réalisé

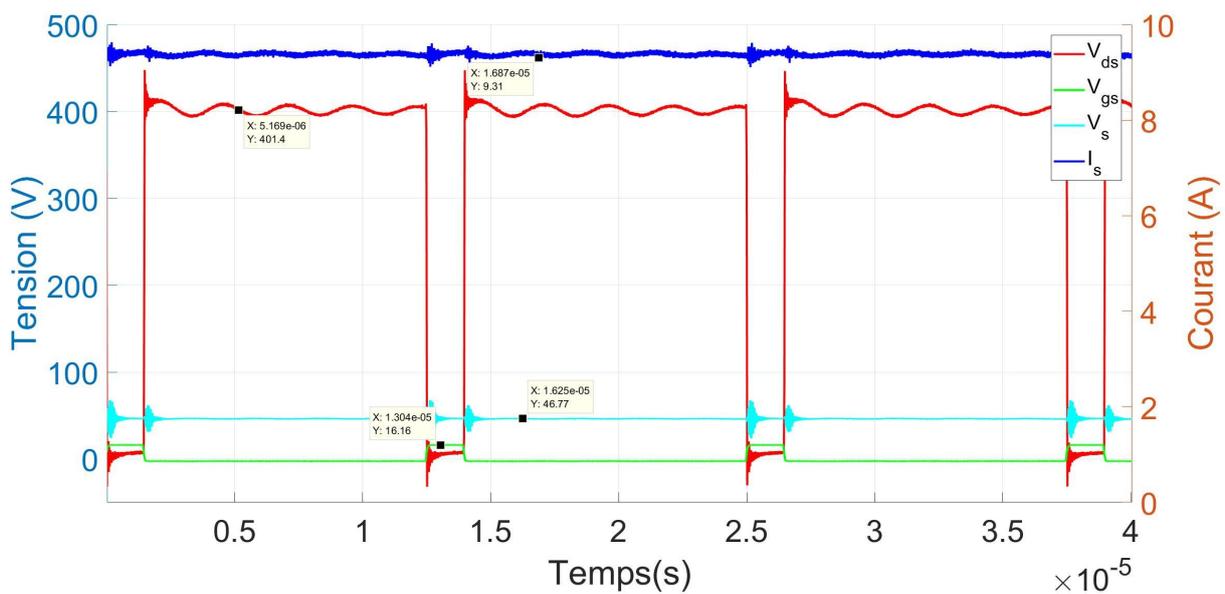


FIGURE IV.4: Les formes d'ondes du convertisseur issues des mesures expérimentales

IV.2 Modélisation du convertisseur et comparaison aux résultats expérimentaux

Dans cette partie, nous présentons les démarches suivies pour simuler le convertisseur. Il s'agit de modéliser les éléments passifs du circuit (l'inductance utilisée, la charge résistive, les condensateurs utilisés, ...) ainsi que les éléments parasites nécessaires au montage du banc de mesure comme les câbles et le circuit PCB (le kit d'évaluation de CREE).

Les éléments passifs sont caractérisés en utilisant un analyseur d'impédance entre 20 Hz et 500 kHz et un analyseur de réseau de 500 kHz jusqu'à 108 MHz afin d'extraire leurs impédances complexes $Z(f)$. Un software est ainsi développé permettant de calculer les paramètres des diverses topologies RLC utilisées pour modéliser ces composants.

Les éléments parasites de la carte sont extraits par l'utilisation d'un logiciel de calcul basé sur les éléments finis ANSYS Q3D. La carte est dessinée en 3D, et puis exportée dans Q3D pour l'extraction des éléments parasites.

Les modèles obtenus de ces différents composants, sont ensuite intégrés dans LTSPICE avec le modèle développé et optimisé du MOSFET C3M0065100K dans le chapitre précédent.

IV.2.1 Modélisation des éléments passifs du convertisseur

IV.2.1.1 Modélisation de la capacité d'entrée

Une capacité d'entrée de 700 μF est utilisée à l'entrée du convertisseur pour fournir le courant nécessaire au fonctionnement. Cette capacité a été caractérisée en tenant compte des câbles utilisés pour la connecter au convertisseur. La Figure IV.5 montre l'amplitude et la phase de l'impédance mesurée de cet élément (Z_{exp}). Un circuit RLC série est utilisé pour modéliser cette capacité, la Figure IV.6 montre ce circuit avec les valeurs calculées des composants passifs. L'impédance du circuit RLC utilisé est illustrée dans la Figure IV.5 (Z_{sim}). Nous pouvons constater que le modèle obtenu permet de simuler l'impédance de la capacité d'entrée avec une précision suffisamment élevée.

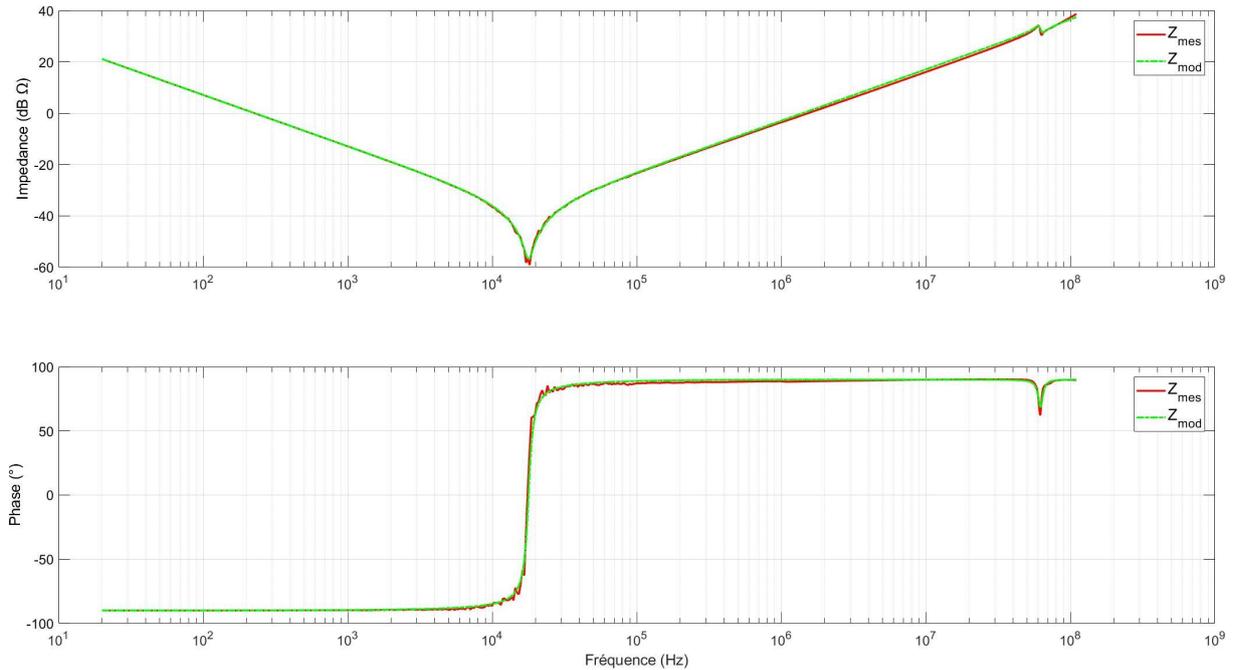


FIGURE IV.5: Comparaison entre les résultats de mesure et les résultats de modélisation de l'impédance (amplitude et phase) de la capacité d'entrée du convertisseur en fonction de la fréquence

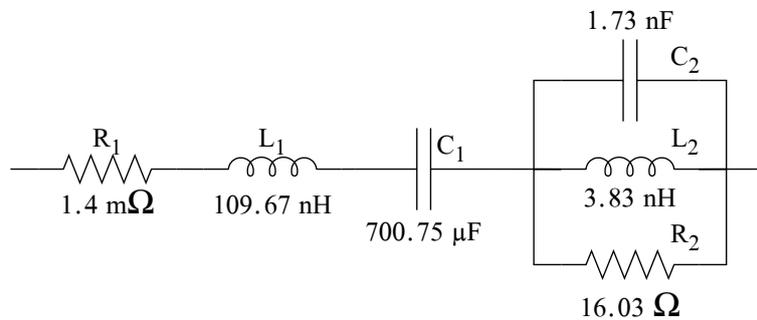


FIGURE IV.6: Le circuit RLC utilisé pour modéliser la capacité d'entrée C_e du convertisseur

IV.2.1.2 Modélisation de la capacité de sortie

Une capacité de sortie de 50 μF est utilisée à la sortie du convertisseur pour filtrer la tension et ainsi garantir une tension constante aux bornes de la charge. Elle est connectée en utilisant des rubans en cuivre au lieu des câbles dans le but de réduire l'inductance parasite.

Un circuit RLC série est utilisé pour modéliser cette capacité, comme le montre la Figure IV.7. Ensuite, une comparaison de l'impédance mesurée (Z_{exp}) avec celle du modèle (Z_{sim}) a été menée comme illustrée dans la Figure IV.8. Nous constatons que le modèle de la capacité de sortie est suffisamment précis. Notons que le comportement de ce com-

posant est capacitif (il présente une pente négative d'amplitude de -20 dB/décade et une phase de -90°) jusqu'à la fréquence 119.1 kHz (fréquence d'auto-résonance), après laquelle il devient inductif. Cette fréquence critique est supérieure à la fréquence de découpage du convertisseur qui est de 80 kHz.

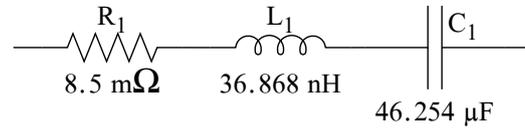


FIGURE IV.7: Le circuit RLC utilisé pour modéliser la capacité de sortie C_s du convertisseur

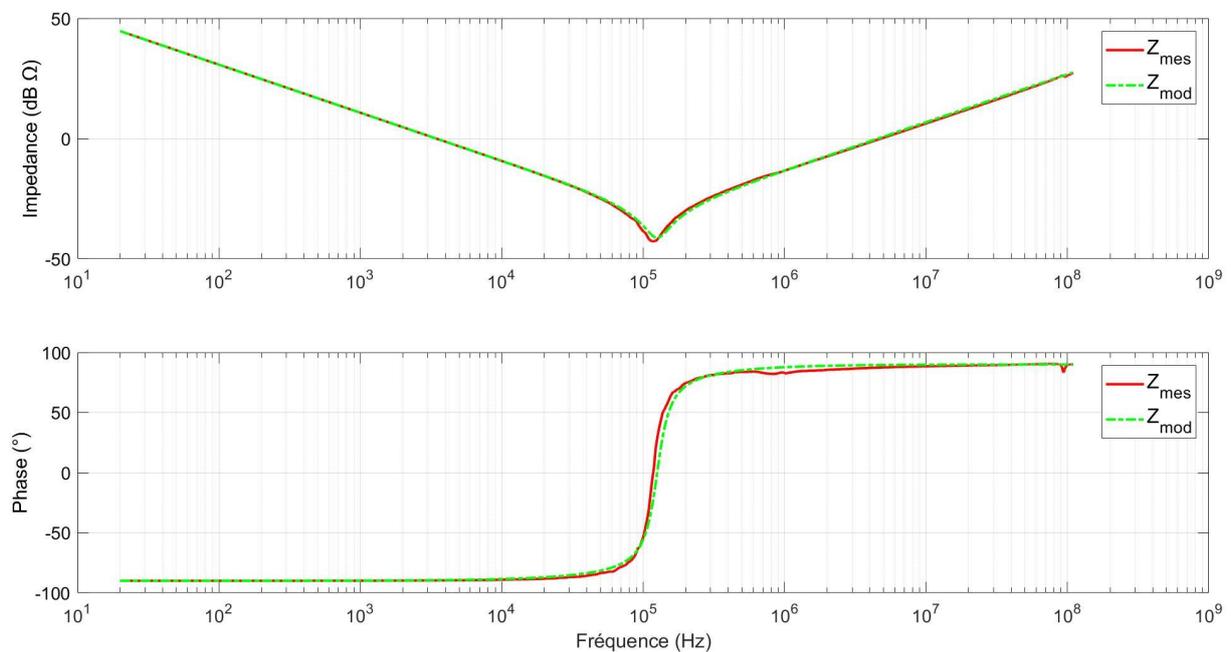


FIGURE IV.8: Comparaison entre les résultats de mesure et les résultats de modélisation de l'impédance (amplitude et phase) de la capacité de sortie du convertisseur en fonction de la fréquence

IV.2.1.3 Modélisation de la charge résistive

Une résistance de 5Ω est utilisée comme charge du convertisseur. Vu sa taille (voir Figure IV.20) et la longueur des câbles de connexion utilisés, nous pouvons conclure qu'elle possède une inductance parasite importante. La Figure IV.9 présente le modèle électrique équivalent de cette résistance et la Figure IV.10 montre une comparaison entre l'impédance mesurée et celle calculée avec le modèle. Nous remarquons un bon accord entre la mesure et le modèle jusqu'à la fréquence de 108 MHz.

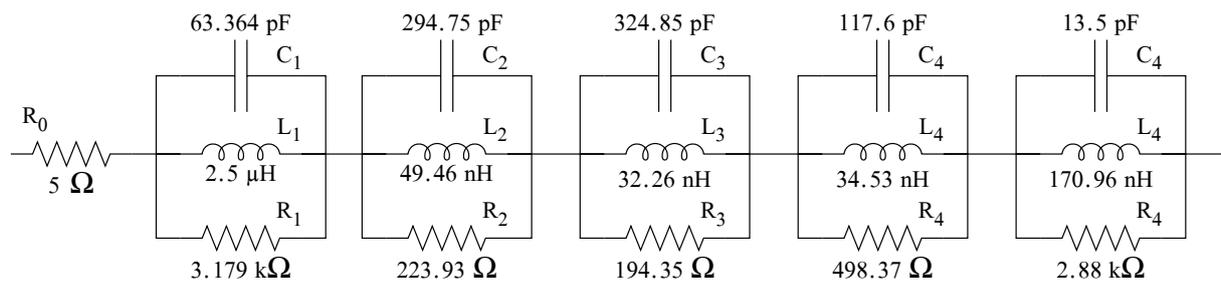


FIGURE IV.9: Le circuit RLC utilisé pour modéliser la charge résistive R_{charge} du convertisseur

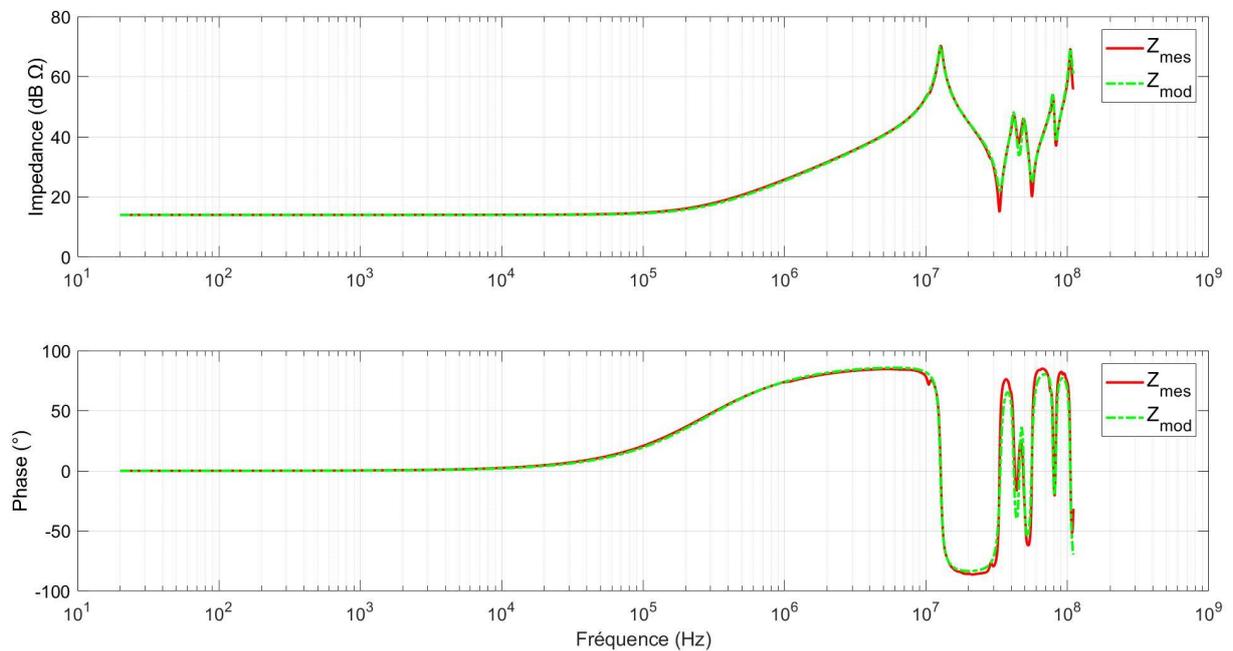


FIGURE IV.10: Comparaison entre les mesures et les résultats de modélisation de l'impédance (amplitude et phase) de la résistance de charge du convertisseur en fonction de la fréquence

IV.2.1.4 Modélisation de l'inductance de lissage

L'impédance mesurée de l'inductance de lissage est illustrée dans la Figure IV.11 (Z_{mes}). Elle est modélisée par le circuit illustré dans la Figure IV.12. Nous constatons que les résultats de mesure Z_{mes} et les résultats de modélisation Z_{mod} , sont suffisamment proche.

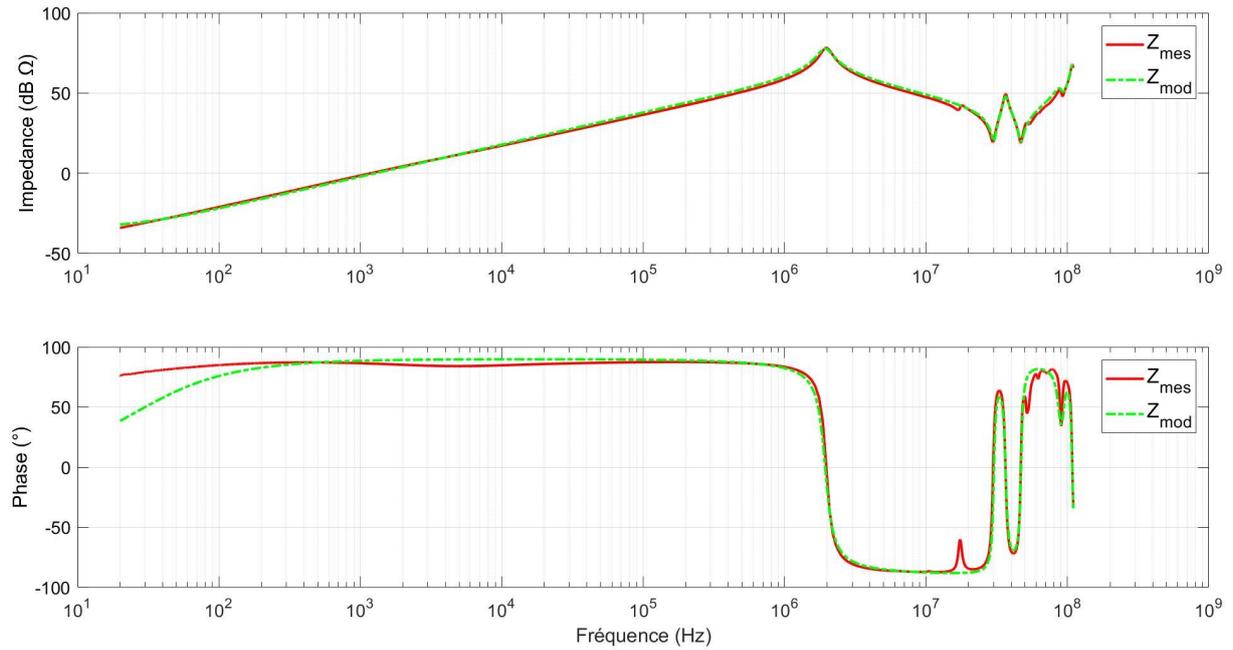


FIGURE IV.11: Comparaison entre les résultats de mesure et les résultats de modélisation de l'impédance (amplitude et phase) de l'inductance du convertisseur en fonction de la fréquence

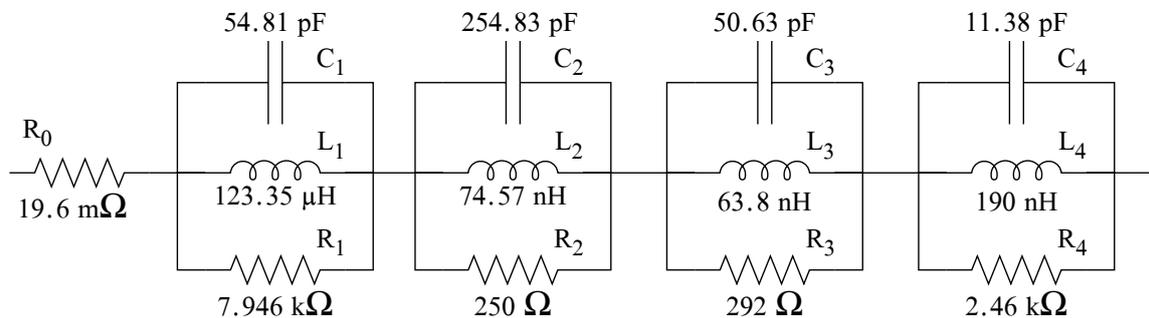


FIGURE IV.12: Le circuit RLC utilisé pour modéliser l'inductance L_s du convertisseur

IV.2.1.5 Modélisation des câbles

Les câbles de connexion entre les différents composants du convertisseur sont modélisés analytiquement par des circuits RL série. La résistance d'un câble est donnée par :

$$R = \rho_{cu} \frac{l}{s} \quad (\text{IV.17})$$

Où R est la résistance du câble, ρ_{cu} la résistivité du cuivre ($1.68 \times 10^8 \Omega \text{ m}$), l la longueur du câble et s sa section. De plus, F. W. Grover a montré que l'inductance d'un câble est

exprimée par [75] :

$$L = 2l \left(\ln \left(\left(\frac{2l}{d} \right) \left(1 + \sqrt{1 + \left(\frac{d}{2l} \right)^2} \right) \right) - \sqrt{1 + \left(\frac{d}{2l} \right)^2} + \frac{\mu_r}{4} + \left(\frac{d}{2l} \right) \right) \quad (\text{IV.18})$$

Où L est l'inductance du câble, l sa longueur, d son diamètre et μ_r est la perméabilité relative du milieu. Dans notre cas, puisque les câbles sont dans l'air $\mu_r = 1$. Les équations B.1 et B.2 sont utilisées pour le calcul des valeurs de la résistance et de l'inductance des modèles équivalents des différents câbles de connexion utilisés dans le convertisseur. Ces modèles seront utilisés dans la simulation du convertisseur. Les détails de calcul de ces valeurs se trouvent dans l'annexe ??.

IV.2.2 Modélisation des éléments parasites de la carte

La carte du convertisseur est dessinée en 3D dans "SpaceClaim". Ensuite, le calculateur "Q3D extractor" développé par ANSYS est utilisé pour calculer les différents éléments parasites de la carte. Le logiciel effectue un calcul d'éléments finis magnétique et électrique permettant d'extraire les éléments parasites inductifs et capacitifs du PCB entre les différents noeuds du circuit en spécifiant la fréquence du signal d'excitation. La Figure IV.13 montre le PCB représenté en 3D avec les couches de cuivre.

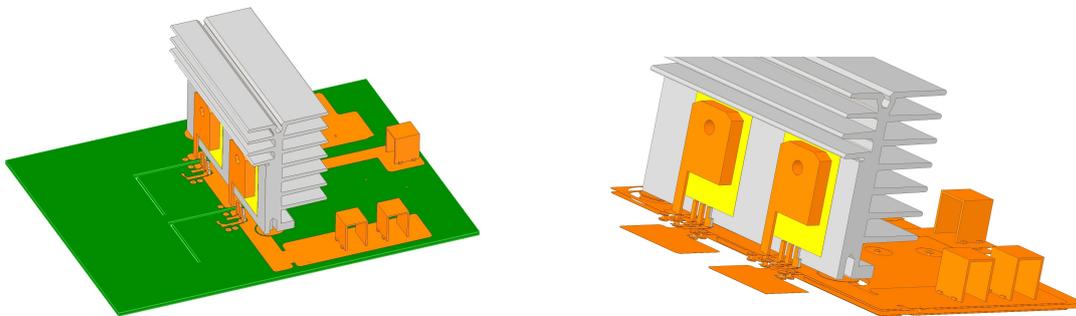


FIGURE IV.13: Le modèle 3D du PCB du convertisseur dans Q3D

Les éléments parasites sont extraits pour différentes fréquences entre 150 kHz et 30 MHz.

Ensuite, la variation normalisée des valeurs de ces éléments parasites est calculée en fonction de la fréquence comme le montre la Figure IV.14. Nous constatons que la variation des éléments parasites capacitifs est peu significative en fonction de la fréquence, le pourcentage de variation est inférieur à 2.5 %. Cependant, la valeur moyenne des inductances propres des différentes connexions varient plus significativement avec un écart de 12.57 % entre 150 kHz et 30 MHz. Ceci est dû principalement à l'effet de peau aux fréquences plus élevées. Cet effet limite la largeur effective des pistes ce qui augmente leur inductance. En effet, l'équation du calcul de l'inductance propre d'un ruban de cuivre

d'épaisseur e , de longueur x et de largeur y , selon [76], est la suivante :

$$L = 2 \cdot 10^{-3} \cdot x \left(\ln\left(\frac{2 \cdot x}{y + e}\right) + 0.5 + 0.2235\left(\frac{y + e}{x}\right) \right) \mu\text{H} \quad (\text{IV.19})$$

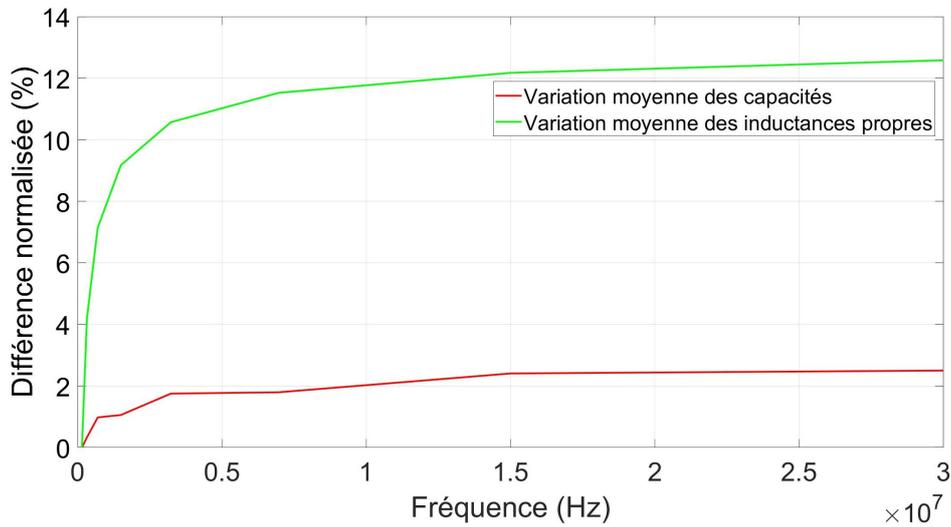


FIGURE IV.14: Variation normalisée des valeurs moyennes des éléments parasites capacitifs et inductifs en fonction de la fréquence

La Figure IV.15 montre la variation de l'inductance propre d'un conducteur en ruban (trace dans un PCB) de longueur 10 cm et d'épaisseur 0.035 mm en fonction de sa largeur, représentant un ordre de grandeur comparable à un PCB réel, calculée selon l'équation IV.19.

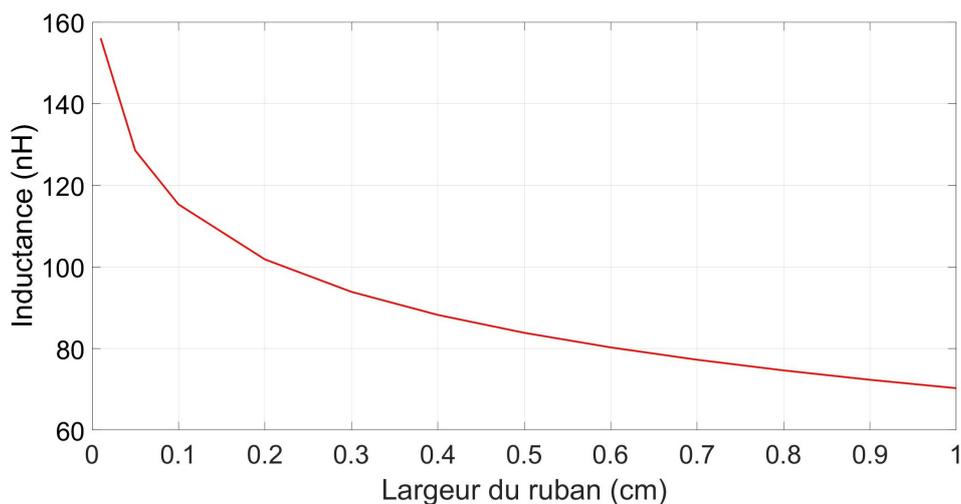


FIGURE IV.15: Variation de l'inductance propre d'un conducteur en ruban (trace dans un PCB) de longueur 10 cm et d'épaisseur 0.035 mm en fonction de sa largeur

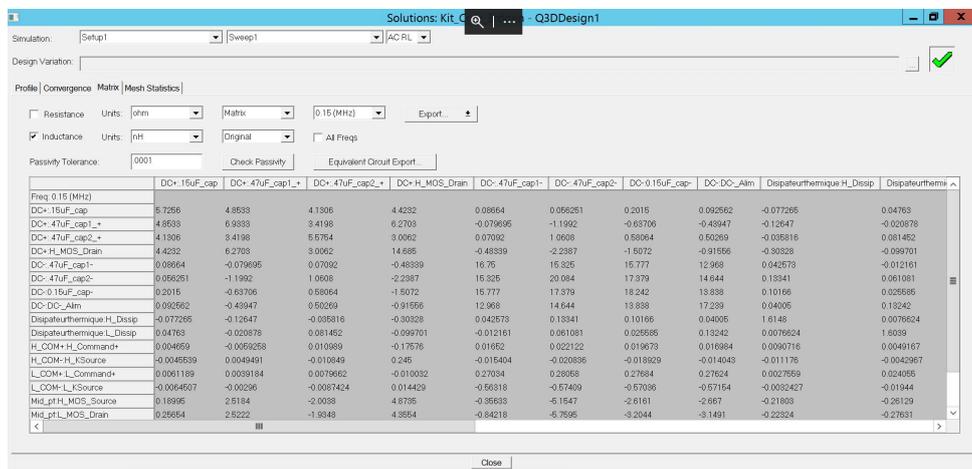
Pour la simulation des éléments parasites correspondants à notre cas, nous avons choisi d'extraire ces éléments à la fréquence équivalente aux temps de montée et de descente selon

l'équation suivante :

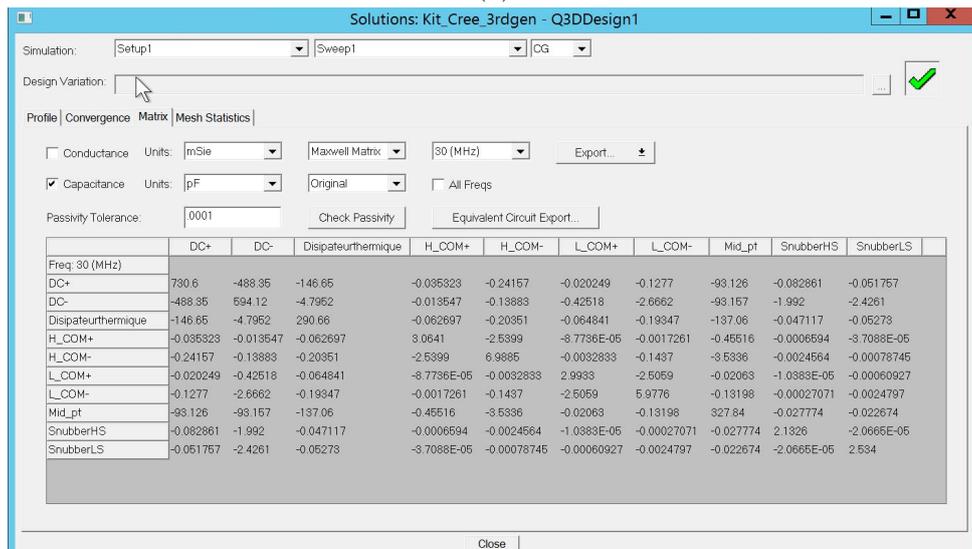
$$f_{eq} = \frac{0.35}{t_r} \quad (IV.20)$$

Nous calculons une fréquence équivalente de 30 MHz correspondante à un temps de montée de 11.66 ns des tensions drain-source. Ensuite, les résultats du calcul des éléments parasites par Q3D à 30 MHz, sont fournis sous forme de tableau. La Figure IV.16(a) montre les inductances parasites propres de chaque piste de cuivre (diagonales de la matrice) et les inductances mutuelles entre les différentes pistes et la Figure IV.16(b) montre les éléments parasites capacitifs entre ces pistes et le plan de masse (diagonales de la matrice) et ceux entre les différentes pistes.

Ensuite, ces résultats sont exportés sous un format compatible SPICE et intégrés dans la simulation du convertisseur.



(a)



(b)

FIGURE IV.16: Exemple d'éléments parasites de la carte du convertisseur DC-DC extraits à 30 MHz (a) inductifs et (b) capacitifs

IV.2.3 Simulation du convertisseur

Les modèles des composants électriques du convertisseur et des éléments parasites associés développés ci-dessus, plus le modèle du MOSFET SiC C3M0065100K optimisé dans le chapitre III sont assemblés pour construire le modèle du convertisseur.

En intégrant le modèle fourni par le constructeur des deux RSILs au modèle de simulation, nous obtenons le schéma de la Figure IV.17.

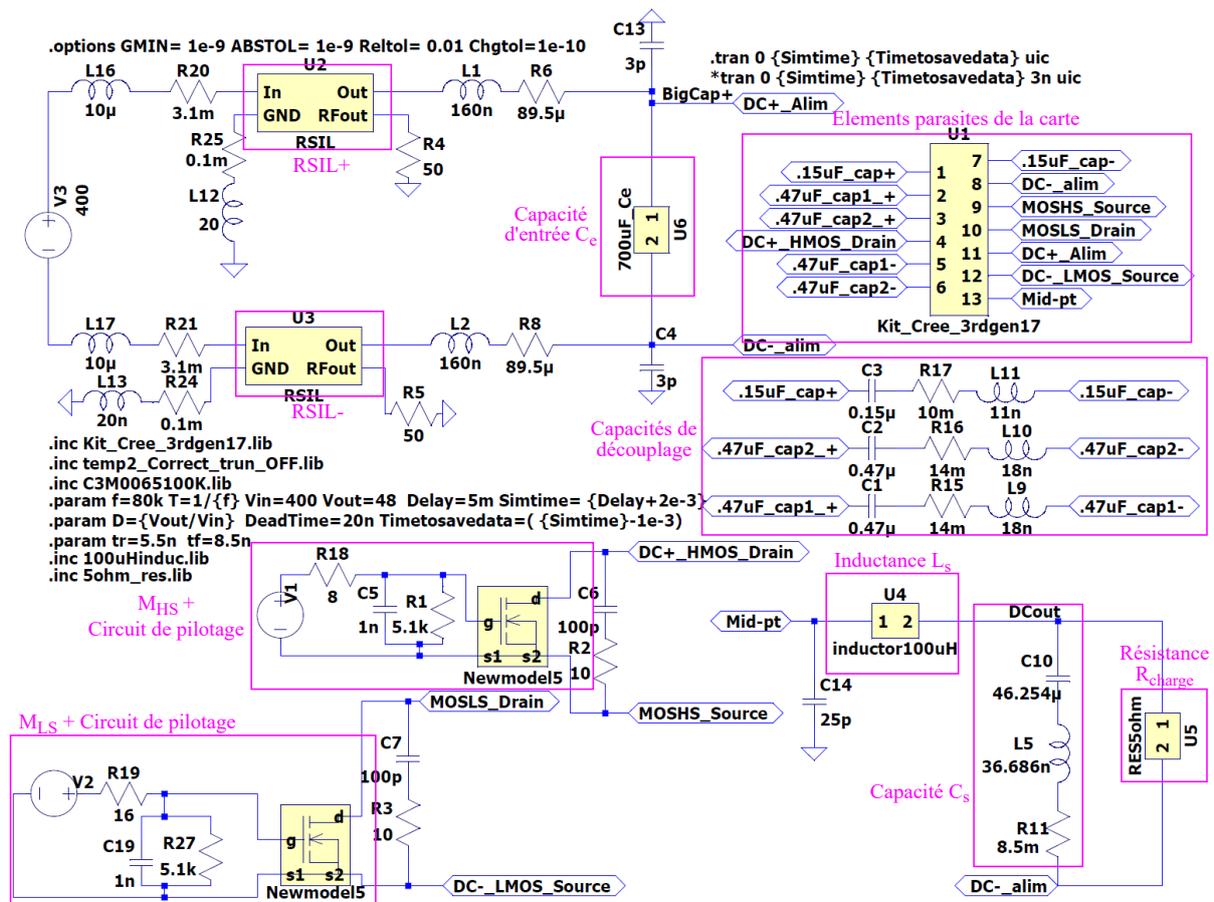


FIGURE IV.17: Schéma électrique de l'ensemble convertisseur et RSILs

Pour que les paramètres de la simulation soient conformes aux exigences de la norme CISPR25 utilisée pour les mesures expérimentales, le temps et le pas de simulation doivent être choisis en respectant les conditions suivantes :

- Pour obtenir un spectre qui s'étale jusqu'à 108 MHz, il faut que la fréquence d'échantillonnage du signal respecte la condition du Nyquist-Shanon :

$$f_s \geq 2 \cdot f_{max} \quad (IV.21)$$

Où f_s est la fréquence d'échantillonnage du signal et f_{max} est la fréquence maximale du signal. Nous avons donc besoin d'une fréquence d'échantillonnage f_s supérieure

ou égale à 216 MHz pour avoir un spectre de 108 MHz. Nous pouvons alors déduire le pas de simulation :

$$T_{pas} \leq \frac{1}{f_s} \quad (IV.22)$$

- La CISPR25 impose une résolution de la bande passante RBW de 9 kHz entre 150 kHz et 30 MHz, puis 120 kHz entre 30 MHz et 108 MHz. Cette résolution est liée au nombre d'échantillons considérés dans le signal par l'équation suivante :

$$n = \frac{2 \cdot f_{max}}{RBW} \quad (IV.23)$$

Nous pouvons calculer le temps de simulation minimal correspondant aux spécifications :

$$t_{sim} \geq \frac{n}{f_s} \quad (IV.24)$$

En respectant ces conditions, la FFT des formes obtenues aux bornes du RSIL peut être calculée conformément à la CISPR25.

Les formes d'ondes temporelles issues de la simulation du circuit de la Figure IV.17 sont illustrées dans la Figure IV.18. Le dépassement important pendant les commutations dans la tension V_{ds} (550 V) du MOSFET M_{HS} est dû aux inductances parasites des câbles de connexion et des pistes de cuivre du circuit PCB (sous-section IV.2.2). Notons que la tension de sortie du convertisseur est de 47.5 V et le courant traversant la charge résistive de 5Ω est de 9.545 A.

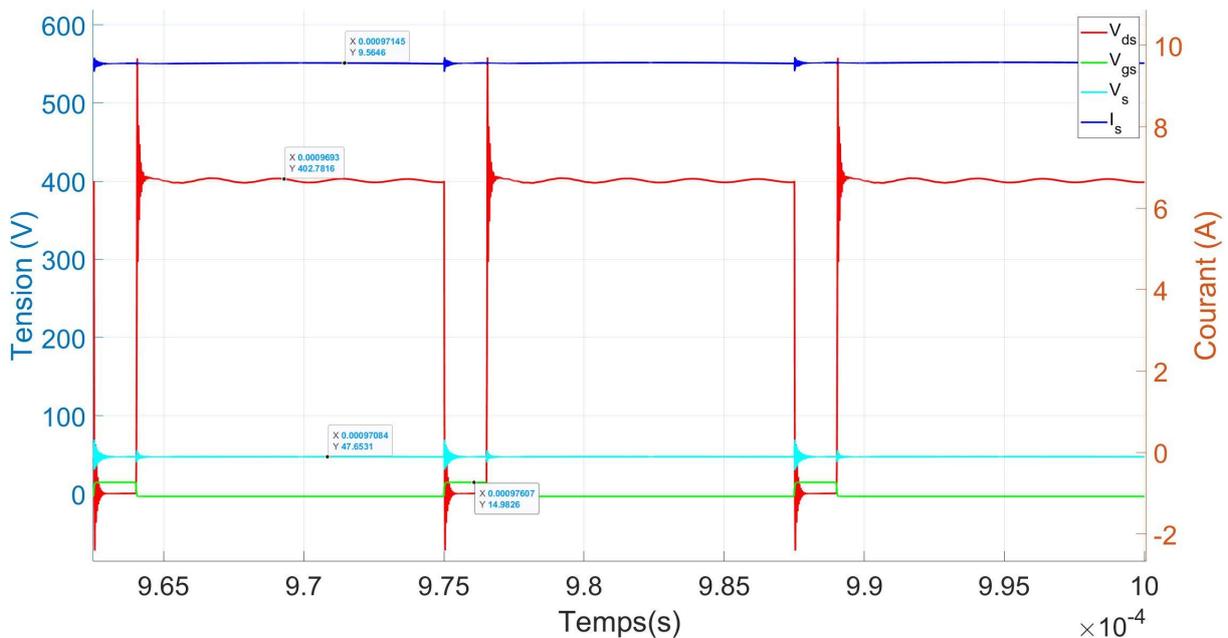


FIGURE IV.18: Les formes d'ondes du convertisseur issues de la simulation

IV.2.4 Validation CEM du modèle développé

Dans cette partie, un banc de mesure CEM a été développé. Comme le montre la Figure IV.19, le convertisseur est connecté aux différents éléments externes (circuit de commande, alimentation basse tension, inductance, capacités d'entrée et de sortie, charge résistive et au générateur haute tension à travers deux RSILs).

Le banc de test CEM développé consiste à mesurer la tension aux bornes des RSILs conformément aux exigences de la norme CISPR-25 [77] (voir sous-section I.2.3). La Figure IV.19 montre la configuration de ce test.

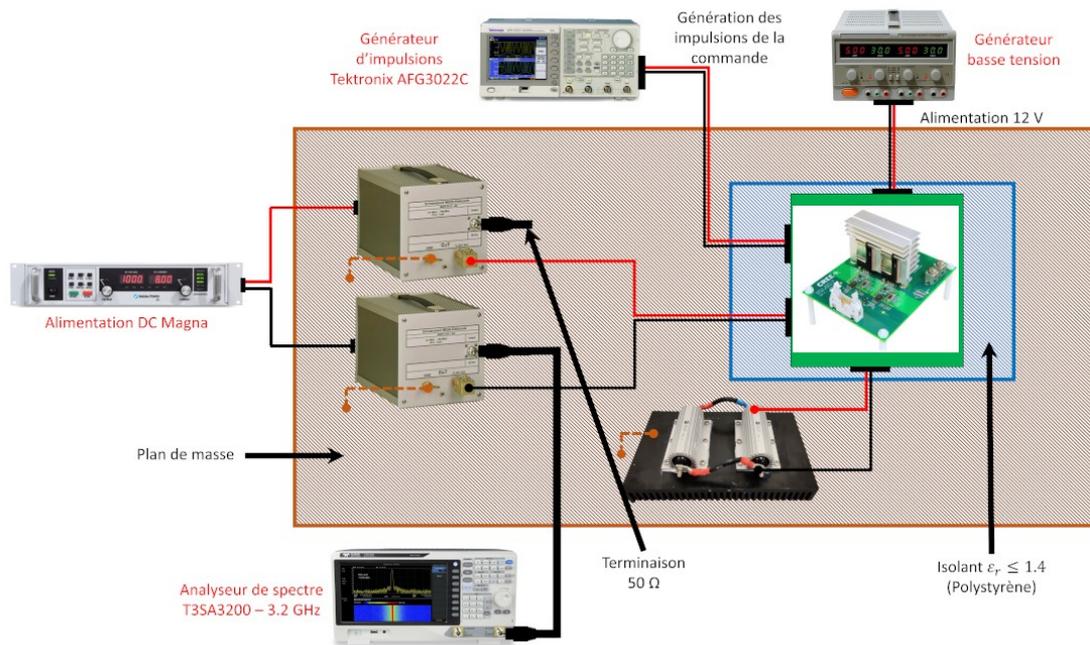


FIGURE IV.19: Banc de test CEM des émissions conduites selon la norme CISPR25

Les deux câbles de l'alimentation DC sont branchés aux deux réseaux stabilisateurs d'impédances de lignes NNHV 8123 de SCHWARZBECK [78], ce sont des RSILs fabriqués spécifiquement pour mener les tests CEM selon la norme CISPR-25. Ils possèdent une bande passante de 0.1 - 150 MHz, une inductance de 5 μ H et supportent un courant DC nominal de 70 A. De plus, ils sont connectés au plan de masse où ils sont posés. Les sorties de puissance des RSILs sont ensuite branchées au convertisseur avec des câbles de longueurs inférieures à 200 mm. Le port RF du RSIL branché sur la ligne DC- (RSIL-) est connecté à un analyseur de spectre 3.2 GHz alors qu'une terminaison 50 Ω est branchée au port RF du RSIL de la ligne DC+ (RSIL+).

IV.2.4.1 Comparaison du spectre CEM entre mesures et modèle

Le fonctionnement du convertisseur étant validé, les formes d'ondes aux bornes des RSILs sont récupérées et traitées dans MATLAB. La FFT de ces formes d'ondes est ensuite

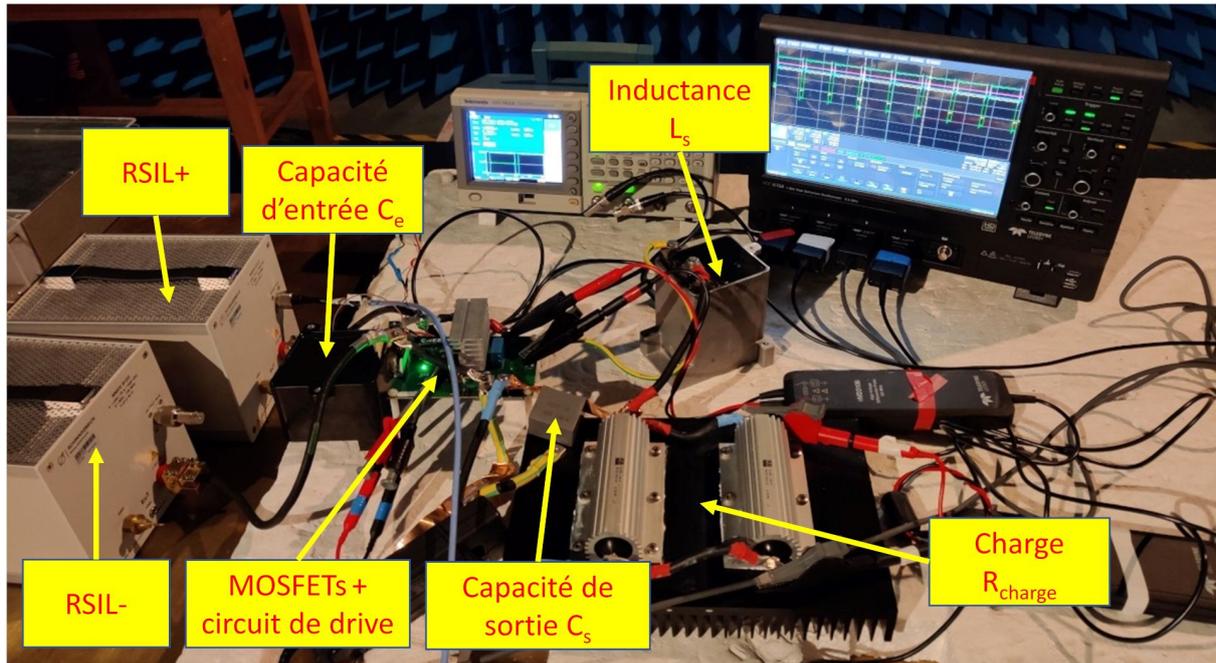


FIGURE IV.20: Le convertisseur BUCK dans l'environnement de test CEM

calculée en respectant les conditions cités ci-dessus (spectre et résolution de la bande passante). Le spectre obtenu est ensuite comparé avec celui obtenu expérimentalement et les résultats sont illustrés dans la Figure IV.21.

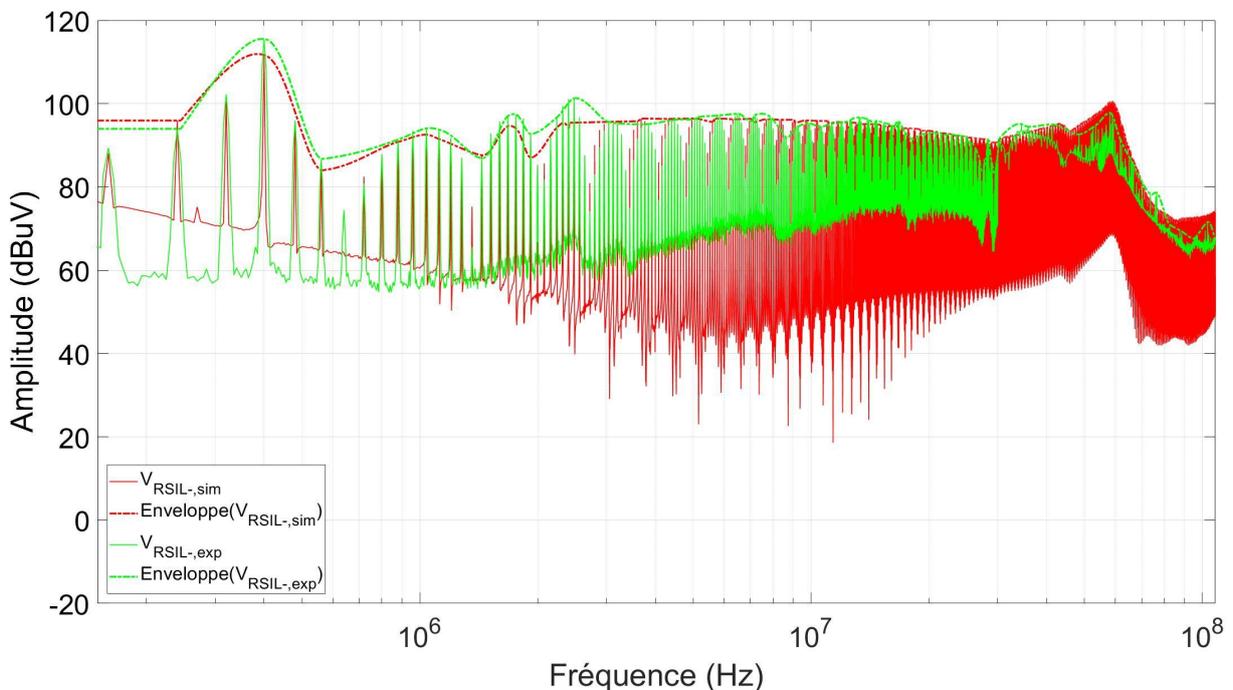


FIGURE IV.21: Comparaison entre les perturbations conduites mesurées expérimentalement et celles calculées à partir du modèle développé du convertisseur

Nous constatons que la simulation a pu reproduire le spectre obtenu expérimentalement avec une précision élevée. En effet, sur tout le spectre de 150 kHz à 108 MHz nous

remarquons que les enveloppes sont reproduits avec un écart faible entre les mesures et la simulation comme le montre La Figure IV.22.

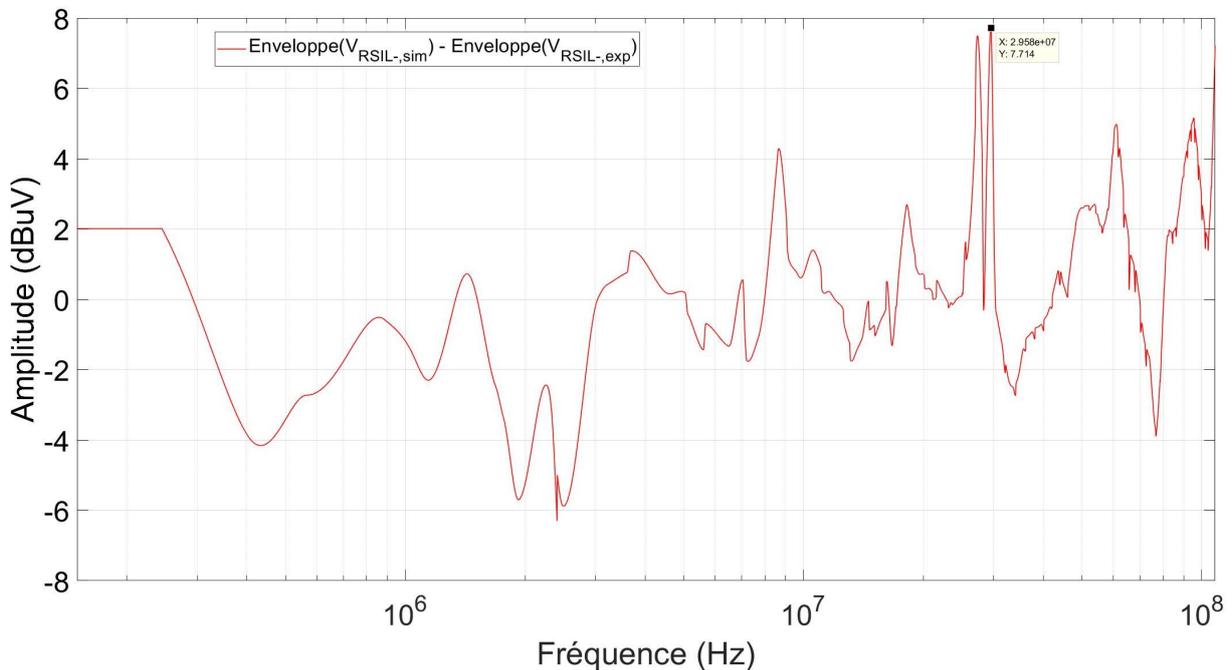


FIGURE IV.22: L'écart entre les deux enveloppes des perturbations conduites mesurées expérimentalement et calculées à partir de la simulation du convertisseur

Cet écart ne dépasse pas 5 dB μ V sur la totalité du spectre CEM sauf pour deux fréquences particulières (27.3 MHz et 29.5 MHz) qui sont sur-estimées dans la simulation avec une différence de 10 dB μ V. Ceci est probablement dû au fait que les éléments parasites de la carte ont été extraits à une fréquence fixe de 30 MHz et donc ne peut pas couvrir tout le spectre.

Notons que nous avons voulu comparer le spectre obtenu avec notre modèle proposé à celui obtenu avec le modèle fourni par CREE pour le C3M0065100K, mais la simulation de ce dernier avec tous les éléments parasites associés n'a pas pu converger.

IV.3 Conclusion

Dans ce chapitre, nous avons dimensionné et réalisé un convertisseur DC-DC Buck abaisseur de tension 400 V/48 V en utilisant le MOSFET SiC C3M0065100K modélisé dans le chapitre III. Le fonctionnement du convertisseur a été validé expérimentalement en mesurant les formes d'ondes temporelles aux différents points du circuit.

Ensuite, les composants passifs utilisés dans le convertisseur ont été caractérisés et modélisés. Quant aux éléments parasites de la carte, ils ont été extraits en utilisant un logiciel de calcul basé sur les éléments finis (ANSYS Q3D). Ces modèles ont été assemblés avec le modèle du MOSFET SiC développé dans le chapitre III pour établir le modèle

global du convertisseur. Enfin, les modèles des RSILs fournis par le constructeur ont été ajoutés à la simulation.

L'aspect fonctionnel du modèle a été validé et les FFTs des formes d'ondes temporelles aux bornes des RSILs ont été calculées et comparées avec les résultats des mesures expérimentales. Les mesures ont été réalisées en respectant les exigences de la norme CISPR25. La comparaison a montré un faible écart entre les résultats de mesure et les résultats de simulation. Ceci nous a permis de valider la précision du modèle et l'approche de modélisation élaborée dans cette thèse.

Conclusion générale

Dans cette thèse, nous avons développé une nouvelle approche de modélisation des MOSFETs SiC permettant la prédiction des perturbations électromagnétiques émises par des convertisseurs statiques.

Dans la suite, nous avons exposé les différentes méthodes de modélisation des MOSFETs, présentes dans la littérature et dans l'industrie.

A l'issue d'une étude comparative des différents modèles présents dans la littérature et ceux fournis par les fabricants, nous avons proposé un nouveau modèle basé sur leurs aspects les plus performants tout en ajoutant des formulations spécifiques aux composants SiC.

Les différents tests de caractérisation de ces modèles ont été élaborés, puis regroupés dans une interface graphique permettant l'automatisation de ces tests en fonction des conditions envisagées (tension, fréquence, ...).

Afin de déterminer avec précision les paramètres du modèle permettant la reproduction des caractéristiques électriques des composants MOSFETs, nous avons développé une approche d'optimisation basée sur l'algorithme génétique.

L'utilisation conjointe de cet algorithme avec les tests automatisés nous a conduit, dans un premier temps, au calcul des paramètres du modèle de manière optimisée. Ceci a permis une reproduction précise des caractéristiques des MOSFETs SiC en concordance avec les données extraites des datasheets de ces composants.

Après que le modèle s'est montré prometteur, la mise en place d'un banc de test des MOSFETs SiC s'est avérée nécessaire dans le but de caractériser expérimentalement ces composants et valider ainsi la capacité du modèle à reproduire les données de mesures. Pour ce faire, trois bancs ont été mis en œuvre :

Le premier banc sert à extraire, à différentes températures, les caractéristiques statiques I-V qui permettent de déduire les caractéristiques de conduction du composant. Ainsi, trois MOSFETs SiC (C3M0065100K de CREE, C2M0080120D de CREE et SCT2080 de ROHM) ont été caractérisés, les résultats obtenus ont été utilisés pour optimiser les paramètres statiques du modèle. Une étude comparative a montré un faible écart, ne dépassant pas les 5 %, entre les résultats issus du modèle développé et ceux obtenus expérimentalement.

De la même manière, le deuxième banc permet de mener une caractérisation précise

et automatisée de la variation des capacités du MOSFET en fonction de la tension C-V. Ainsi, les caractéristiques capacité-tension C-V (C_{rss} , C_{iss} et C_{oss}) des trois MOSFETs SiC ont été extraites et ensuite utilisées pour optimiser les paramètres des capacités du modèle. Nous avons constaté que le modèle développé reproduit les caractéristiques expérimentales C-V avec une précision élevée, et ceci pour les trois capacités étudiées. En effet, le taux d'erreur maximal est de 6.61 % pour C_{rss} , 3.31 % pour C_{iss} et 4.04 % pour C_{oss} .

Le troisième banc est un test de double impulsion, il a été développé afin d'évaluer les performances des MOSFETs pendant les commutations. Grâce aux données issues de ce banc, nous avons pu reproduire fidèlement les commutations en optimisant les paramètres du modèle développé tels que la résistance de la grille, les inductances et les résistances parasites (drain, source, grille, Kelvin source), et le temps de recouvrement de la diode. En effet, nous avons remarqué une reproduction fine de la pente des commutations durant l'amorçage et le blocage (pente $\frac{dv}{dt}$, surtension) et des oscillations plus proches aux résultats expérimentaux (fréquence, amplitude et amortissement).

Dans le but de valider expérimentalement l'aspect CEM du modèle développé, un convertisseur Buck abaisseur de 400 V à 48 V a été réalisé, en utilisant le composant SiC C3M0065100K déjà modélisé. Le fonctionnement du convertisseur a été validé expérimentalement en mesurant les formes d'ondes temporelles aux différents points du circuit. Ensuite, les perturbations émises par ce convertisseur sont mesurées, dans une chambre anéchoïque, selon la norme CISPR25.

Enfin, les composants passifs utilisés dans le convertisseur (capacités, résistance, inductance) ont été caractérisés et modélisés, les éléments parasites de la carte ont été extraits en utilisant un logiciel de calcul basé sur les éléments finis (ANSYS Q3D) et les éléments parasites des câbles ont été calculés en utilisant des formulations analytiques. Ces différents modèles ont été assemblés avec le modèle du MOSFET SiC développé pour établir le modèle global du convertisseur.

L'aspect fonctionnel du modèle global a été validé et les FFTs des formes d'ondes temporelles aux bornes des RSILs ont été calculées et comparées avec les résultats expérimentaux obtenus en respectant les exigences de la norme CISPR25. La comparaison a montré une concordance satisfaisante entre les résultats de mesure et les résultats de simulation. Le modèle développé a montré sa capacité à prédire les perturbations électromagnétiques émises lors du fonctionnement d'un convertisseur d'énergie utilisant des composants MOSFETs en SiC. Ceci nous a permis de valider davantage l'approche de modélisation élaborée dans ces travaux de thèse.

En guise de perspectives, les résultats des travaux menés dans le cadre de cette thèse peuvent être élargis au développement de nouveaux algorithmes d'optimisation plus performants et plus robustes pouvant converger plus rapidement vers une solution optimale.

De plus, il serait intéressant d'étudier la validité de l'approche développée vis-à-vis des nouveaux composants de puissance à base du Nitrure de Gallium (GaN) utilisés

dans des applications qui nécessitent des fréquences de commutation plus élevées. Enfin, l'identification paramétrique du modèle proposé durant cette thèse, est basée sur l'analyse des formes d'ondes temporelles, or, vue l'étendue spectrale visée (108 MHz voir plus), nous estimons qu'il serait plus judicieux d'utiliser, dans des travaux futurs, les spectres fréquentiels comme base de cette identification.

Bibliographie

- [1] B. Jayant BALIGA. *Fundamentals of Power Semiconductor Devices*. en. Springer US, 2008.
- [2] Akihiko YOSHIKAWA, Hiroyuki MATSUNAMI et Yasushi NANISHI. “Development and Applications of Wide Bandgap Semiconductors”. en. In : *Wide Bandgap Semiconductors : Fundamental Properties and Modern Photonic and Electronic Devices*. Sous la dir. de Kiyoshi TAKAHASHI, Akihiko YOSHIKAWA et Adarsh SANDHU. Berlin, Heidelberg : Springer, 2007, p. 1-24.
- [3] Christophe RAYNAUD. “Propriétés du carbure de silicium (SiC)”. fr. In : *Techniques de l'Ingénieur*.
- [4] Jean CAMASSEL, Sylvie CONTRERAS et Jean-Louis ROBERT. “SiC materials : A semiconductor family for the next century”. In : *Comptes Rendus de l'Académie des Sciences - Series IV - Physics* 1 (2000), p. 5-21.
- [5] B. J. BALIGA. “Semiconductors for high-voltage, vertical channel field-effect transistors”. In : *Journal of Applied Physics* 53.3 (1982), p. 1759-1764.
- [6] B. J. BALIGA. “Power semiconductor device figure of merit for high-frequency applications”. In : *IEEE Electron Device Letters* 10.10 (oct. 1989), p. 455-457.
- [7] R.W. KEYES. “Figure of merit for semiconductors for high-speed switches”. In : *Proceedings of the IEEE* 60.2 (1972), p. 225-225.
- [8] E. JOHNSON. “Physical limitations on frequency and power parameters of transistors”. In : *IRE International Convention Record*. T. 13. New York, NY, USA : Institute of Electrical et Electronics Engineers, 1965, p. 27-34.
- [9] GENESIC. *GA01PNS150-220 - Silicon Carbide PiN Diode*.
- [10] ROHM. *SiC Power Devices and Modules - Application Note*.
- [11] GENESIC. *GB50MPS17-247 - Silicon Carbide Schottky Diode*.
- [12] GENESIC. *GB05MPS33-263 - Silicon Carbide Schottky Diode*.
- [13] STMICROELECTRONICS. *STPS20LCD200C - Power Schottky diode*.
- [14] INFINEON. *Silicon Carbide Schottky Diode IDW40G120C5B*.

- [15] ROHM. *SCS220KGHR : Automotive Grade SiC Schottky Barrier Diode*. 2018.
- [16] CREE. *C5D25170H - Silicon Carbide Schottky Diode*.
- [17] CREE. *C5D50065D - Silicon Carbide Schottky Diode*.
- [18] Q. ZHANG et al. "10kV Trench Gate IGBTs on 4H-SiC". In : *Proceedings. ISPSD '05. The 17th International Symposium on Power Semiconductor Devices and ICs, 2005*. Mai 2005, p. 303-306.
- [19] Lin ZHU, S. BALACHANDRAN et T. Paul CHOW. "Comparison of High-Voltage 4H-SiC Insulated-Gate Bipolar Transistor (IGBT) and MOS-Gated Bipolar Transistor (MGT)". en. In : *Materials Science Forum* (2005).
- [20] Siddarth SUNDARESAN et al. "10 kV SiC BJTs — Static, switching and reliability characteristics". en. In : *2013 25th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*. Kanazawa : IEEE, mai 2013, p. 303-306.
- [21] Jian HUI ZHANG, Petre ALEXANDROV et Jian H. ZHAO. "A 500V, Very High Current Gain ($\beta=1517$) 4H-SiC Bipolar Darlington Transistor". In : *Materials Science Forum - MATER SCI FORUM* 457-460 (2004), p. 1165-1168.
- [22] Y. GAO et al. "Analysis of Operational Degradation of SiC BJT Characteristics". In : *Proceedings of the 19th International Symposium on Power Semiconductor Devices and IC's*. Mai 2007, p. 121-124.
- [23] Daniel DOMES et Xi ZHANG. "CASCODE LIGHT - normally-on JFET stand alone performance in a normally-off Cascode circuit". en. In : (), p. 5.
- [24] J. H. ZHAO et al. "Vertical power JFET in 4H-SiC with an implanted and trenched gate". In : *2001 International Semiconductor Device Research Symposium. Symposium Proceedings (Cat. No.01EX497)*. Déc. 2001, p. 235-238.
- [25] Y. SUGAWARA et al. "4.5 kV novel high voltage high performance SiC-FET "SIA-FET"". In : *12th International Symposium on Power Semiconductor Devices ICs. Proceedings (Cat. No.00CH37094)*. Mai 2000, p. 105-108.
- [26] K. ASANO et al. "5 kV 4H-SiC SEJFET with low RonS of 69m/spl Omega/cm/sup 2/". In : *Proceedings of the 14th International Symposium on Power Semiconductor Devices and Ics*. Juin 2002, p. 61-64.
- [27] K. ASANO et al. "5.5 kV normally-off low RonS 4H-SiC SEJFET". In : *Proceedings of the 13th International Symposium on Power Semiconductor Devices ICs. IPSD '01 (IEEE Cat. No.01CH37216)*. Juin 2001, p. 23-26.
- [28] L. V. ROZARIO et al. "SiC BGJFET inverter for high temperature/power applications". In : *1998 Fourth International High Temperature Electronics Conference. HITEC (Cat. No.98EX145)*. Juin 1998, p. 29-33.

- [29] S. SABRI et al. “New generation 6.5 kV SiC power MOSFET”. In : *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*. Oct. 2017, p. 246-250.
- [30] INFINEON. *IPN95R2K0P7 - MOSFET 950VCoolMOS*.
- [31] CREE. *C3M0016120K - Silicon Carbide Power MOSFET - C3M MOSFET Technology*.
- [32] CREE. *C2M0045170P - Silicon Carbide Power MOSFET*.
- [33] Clayton R. PAUL. *Introduction to Electromagnetic Compatibility*. en. Google-Books-ID : 6P2Wyram310C. John Wiley & Sons, jan. 2006.
- [34] INTERNATIONAL SPECIAL COMMITTEE ON RADIO INTERFERENCE. *Limits and methods of measurement of radio disturbance characteristics for the protection of receivers used on board vehicles*.
- [35] Christophe VERMAELEN. “Contribution à la modélisation et à la réduction des perturbations conduites dans les systèmes d’entraînement à vitesse variable”. fr. Thèse de doct. 61 avenue du Président Wilson 94235 Cachan Cedex : ENS de CACHAN, déc. 2003.
- [36] Richard Lee OZENBAUGH et Timothy M. PULLEN. *EMI Filter Design*. en. Google-Books-ID : H37y0HIyd4oC. CRC Press, nov. 2000.
- [37] Henry W. OTT. *Electromagnetic Compatibility Engineering*. en. John Wiley & Sons, sept. 2011.
- [38] John Daniel KRAUS et Ronald J. MARHEFKA. *Antennas for all applications*. en. Google-Books-ID : NRxTAAAAMAAJ. McGraw-Hill, 2002.
- [39] Constantine A. BALANIS. *Antenna theory : analysis and design*. en. Wiley, avr. 1982.
- [40] K. SHENAI. “A circuit simulation model for high-frequency power MOSFETs”. In : *IEEE Transactions on Power Electronics* 6.3 (juil. 1991), p. 539-547.
- [41] Andrei VLADIMIRESCU. *The SPICE Book*. Wiley, 6 jan. 1994. 440 p.
- [42] S. KHER, T. FICHTNER et J. AURICH. “A new power MOSFET model and an easy to use characterization tool using device datasheet”. In : *2013 IEEE 14th Workshop on Control and Modeling for Power Electronics (COMPEL)*. Juin 2013.
- [43] H. SHICHMAN et D. A. HODGES. “Modeling and simulation of insulated-gate field-effect transistor switching circuits”. In : *IEEE Journal of Solid-State Circuits* 3.3 (sept. 1968), p. 285-289.
- [44] S. THAMM et M. LEONE. “Modeling a Power MOSFET for EMC analysis”. In : *VXV International Symposium on Theoretical Engineering*. VXV International Symposium on Theoretical Engineering. Juin 2009, p. 1-4.

- [45] CREE. *C3M0065100K Silicon Carbide Power MOSFET*.
- [46] V. CRISAFULLI. "A new package with kelvin source connection for increasing power density in power electronics design". In : *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*. Sept. 2015, p. 1-8.
- [47] C. G. STELLA et al. "Advantage of the use of an added driver source lead in discrete Power MOSFETs". In : *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*. Mar. 2014, p. 2574-2581.
- [48] INFINEON. *TRENCHSTOP™ 5 IGBT in a Kelvin Emitter Configuration - Performance Comparison and Design Guidelines*.
- [49] A. STEFANSKYI, Ł STARZAK et A. NAPIERALSKI. "Review of commercial SiC MOSFET models : Topologies and equations". In : *2017 MIXDES - 24th International Conference "Mixed Design of Integrated Circuits and Systems*. Juin 2017, p. 484-487.
- [50] Yogesh CHAUHAN, Francois KRUMMENACHER et Adrian IONESCU. "Modeling of high voltage MOSFETs based on EKV (HV-EKV)". In : *POWER/HVMOS Devices Compact Modeling* (2010), p. 95-127.
- [51] TOSHIBA. *Electrical characteristics of MOSFETs (Dynamic Characteristics Ciss/-Crss/Coss) | Toshiba Electronic Devices & Storage Corporation | Asia-English*. English. Application Note. Juil. 2018, p. 11.
- [52] K. YANG et al. "Transient electro-thermal analysis for a MOSFET based traction inverter". In : *2014 IEEE Transportation Electrification Conference and Expo (ITEC)*. Juin 2014, p. 1-6.
- [53] ROHM. *SCT2080KE N-Channel SiC power MOSFET*.
- [54] A. P. SILARD et M. J. DUTA. "Correct analytical model of the output characteristics of vertical power MOSFETs". In : *Conference Record of the 1992 IEEE Industry Applications Society Annual Meeting*. Oct. 1992, 1120-1121 vol.1.
- [55] K. A. JENKINS, J. Y.- SUN et J. GAUTIER. "History dependence of output characteristics of silicon-on-insulator (SOI) MOSFETs". In : *IEEE Electron Device Letters* 17.1 (jan. 1996), p. 7-9.
- [56] S. SAWANT et M. T. RAZA. "Performance evaluation for DG MOSFET output characteristics". In : *2017 2nd International Conference for Convergence in Technology (I2CT)*. Avr. 2017, p. 444-449.
- [57] Randy L. HAUPT et S. E. HAUPT. *Practical genetic algorithms*. en. 2nd ed. Hoboken, N.J : John Wiley, 2004.
- [58] P. GUO, X. WANG et Y. HAN. "The enhanced genetic algorithms for the optimization design". In : *2010 3rd International Conference on Biomedical Engineering and Informatics*. T. 7. Oct. 2010, p. 2990-2994.

- [59] David E. GOLDBERG. *Genetic Algorithms in Search, Optimization and Machine Learning*. 1st. Boston, MA, USA : Addison-Wesley Longman Publishing Co., Inc., 1989.
- [60] A. ENDRUSCHAT et al. "A Universal SPICE Field-Effect Transistor Model Applied on SiC and GaN Transistors". In : *IEEE Transactions on Power Electronics* 34.9 (sept. 2019), p. 9131-9145.
- [61] W. R. CURTICE. "A MESFET Model for Use in the Design of GaAs Integrated Circuits". In : *IEEE Transactions on Microwave Theory and Techniques* 28.5 (mai 1980), p. 448-456.
- [62] Tsuyoshi FUNAKI et al. "SiC JFET dc characteristics under extremely high ambient temperatures". In : *IEICE Electronics Express* 1 (jan. 2004), p. 523-527.
- [63] Zheyu ZHANG et Edward JONES. *Characterization of Wide Bandgap Power Semiconductor Devices*. Sept. 2018.
- [64] TELEDYNE LECROY. *HDO6000 High Definition Oscilloscopes 350 MHz - 1 GHz*. Déc. 2015.
- [65] AGILENT. *Agilent impedance measurement handbook*. 2009.
- [66] Joseph Brandon WITCHER. "Methodology for Switching Characterization of Power Devices and Modules". en. Thesis. Virginia Tech, jan. 2003.
- [67] Zheng CHEN. "Characterization and Modeling of High-Switching-Speed Behavior of SiC Active Devices". en. Thesis. Virginia Tech, déc. 2009.
- [68] E. A. JONES et al. "Characterization of an enhancement-mode 650-V GaN HFET". In : *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*. Sept. 2015, p. 400-407.
- [69] S. Ji et al. "Protection and temperature-dependent switching characterization of latest generation 10 kV SiC MOSFETs". In : *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. Mar. 2017, p. 783-788.
- [70] Bob CALLANAN. *SiC MOSFET Double Pulse Fixture*. en. 2011.
- [71] M. DANILOVIC et al. "Evaluation of the switching characteristics of a gallium-nitride transistor". In : *2011 IEEE Energy Conversion Congress and Exposition*. Sept. 2011, p. 2681-2688.
- [72] Z. ZHANG et al. "Methodology for Wide Band-Gap Device Dynamic Characterization". In : *IEEE Transactions on Power Electronics* 32.12 (déc. 2017), p. 9307-9318.
- [73] Qian LIU et al. "EMI Suppression in Voltage Source Converters by Utilizing dc-link Decoupling Capacitors". In : *IEEE Transactions on Power Electronics* 22.4 (juil. 2007), p. 1417-1428.

- [74] Zheng CHEN et al. "A frequency-domain study on the effect of DC-link decoupling capacitors". In : *2013 IEEE Energy Conversion Congress and Exposition*. ISSN : 2329-3721, 2329-3748. Sept. 2013, p. 1886-1893.
- [75] Frederick W. GROVER. *Inductance Calculations*. en. Google-Books-ID : H4LCAgAAQBAJ. Courier Corporation, juil. 2013.
- [76] Frederick Emmons TERMAN. *Radio Engineers Handbook*. Third. McGraw-Hill.
- [77] INTERNATIONAL SPECIAL COMMITTEE ON RADIO INTERFERENCE. *CISPR 25 - Vehicles, boats and internal combustion engines : radio disturbance characteristics : limits and methods of measurement for the protection of on-board receivers*. en. OCLC : 1039732887. 2016.
- [78] SCHWARZBECK MESS – ELEKTRONIK. *NNHV 8123 - Single path high voltage AMN (LISN)*.

Annexe A

Optimisation des paramètres du modèle

Dans le chapitre III, nous avons optimisé les paramètres du modèle pour reproduire les données mesurées expérimentalement des trois MOSFETs SiC : le C3M0065100K de CREE, le SCT3080 de ROHM et le C2M80120D de CREE. La procédure décrite dans le Chapitre II.3.3 est appliquée pour optimiser les paramètres statiques et dynamiques des parties correspondantes aux équations II.56, II.16 et II.17.

A.1 Optimisation des paramètres statiques du modèle

Les paramètres de l'algorithme d'optimisation sont ajustés pour permettre à l'algorithme de converger rapidement vers la meilleure solution. Le tableau ci-dessous montre les paramètres de l'algorithme d'optimisation utilisés dans l'identification des paramètres statiques du modèle.

Paramètre	Description	Valeur
N	Nombre de paramètres à optimiser dans chaque solution candidate	25
M	Nombre de solutions candidates dans la population	48
sel	Taux de sélection	0.5
M2	Nombre de solutions candidates à garder après chaque itération	$sel \cdot M$
mutrate	Taux de mutation	0.3
β	Taux de descendants	0.5

Tableau A.1: Les valeurs des paramètres de l'algorithme d'optimisation du modèle

En utilisant ces paramètres pour l'algorithme génétique, nous avons pu retrouver les paramètres du modèle permettant de reproduire les caractéristiques statiques de sortie I-V des trois MOSFETs testés (voir Tableau A.2, Tableau A.3 et Tableau III.1).

Paramètre	Valeur	Paramètre	Valeur	Paramètre	Valeur
V_{t1}	1.46485	λ_5	0.0273104	R_{aux4}	8.76×10^{-7}
V_{t2}	1.89105	α_1	0.256411	R_{aux5}	8.46×10^{-7}
V_{t3}	1.74107	α_2	0.242179	β_1	0.18048
V_{t4}	1.67153	α_3	0.216521	β_2	0.274536
V_{t5}	1.66367	α_4	0.171545	β_3	0.313124
λ_1	0.0169878	α_5	0.201965	β_4	0.396032
λ_2	0.0216477	R_{aux1}	9.04×10^{-7}	β_5	0.29531
λ_3	0.0217142	R_{aux2}	7.83×10^{-7}		
λ_4	0.0185716	R_{aux3}	7.61×10^{-7}		

Tableau A.2: Les valeurs des paramètres du modèle proposé permettant de reproduire les caractéristiques statiques de sortie du SCT3080

Paramètre	Valeur	Paramètre	Valeur	Paramètre	Valeur
V_{t1}	3.19774	λ_5	0.013043	R_{aux4}	4.79×10^{-7}
V_{t2}	2.73547	α_1	0.191416	R_{aux5}	4.85×10^{-7}
V_{t3}	3.3217	α_2	0.18496	β_1	0.189307
V_{t4}	2.43972	α_3	0.194082	β_2	0.196664
V_{t5}	2.60494	α_4	0.17979	β_3	0.156101
λ_1	0.0132107	α_5	0.162858	β_4	0.158123
λ_2	0.0149376	R_{aux1}	4.79×10^{-7}	β_5	0.138976
λ_3	0.0155666	R_{aux2}	4.92×10^{-7}		
λ_4	0.0120603	R_{aux3}	3.96×10^{-7}		

Tableau A.3: Les valeurs des paramètres du modèle proposé permettant de reproduire les caractéristiques statiques de sortie du C2M0080120D

A.2 Optimisation des paramètres dynamiques des capacités du modèle

Les paramètres dynamiques de capacité-tension sont calculés en utilisant l'algorithme génétique utilisé précédemment. Ces paramètres figurent dans les équations II.16 et II.57. Les capacités C_{gd} et C_{ds} comprennent chacune cinq paramètres pour modéliser son comportement, alors que C_{gs} est modélisée par une capacité fixe (un seul paramètre). En appliquant l'algorithme développé pour l'optimisation de ces paramètres à partir des données C-V obtenues expérimentalement pour les trois MOSFETs SiC : C3M0065100K, SCT3080 et C2M0065100K, nous obtenons les valeurs présentées dans les Tableaux A.4, A.5 et A.6 .

Capacité	Paramètres correspondants	Valeur
C_{gd}	$C_{gd}(0)$	$3.218\ 59 \times 10^{-10}$ F
	ka	43.0555
	kb	3.29174
	kc	30.4783
	$k2$	0.404505
C_{gs}	C_{gs}	1.2125×10^{-9} F
C_{ds}	$C_{ds}(0)$	$1.189\ 09 \times 10^{-9}$ F
	ka	26.3927
	kb	0.199687
	kc	46.0983
	$k2$	0.408386

Tableau A.4: Les valeurs des paramètres du modèle proposé permettant de reproduire les caractéristiques C-V du C2M0080120D

Capacité	Paramètres correspondants	Valeur
C_{gd}	$C_{gd}(0)$	$2.559\ 05 \times 10^{-10}$ F
	ka	1.9088
	kb	0.518699
	kc	7.21183
	$k2$	0.565324
C_{gs}	C_{gs}	$7.246\ 95 \times 10^{-10}$ F
C_{ds}	$C_{ds}(0)$	$1.234\ 34 \times 10^{-9}$ F
	ka	15.6282
	kb	0.0368439
	kc	3.34297
	$k2$	0.321785

Tableau A.5: Les valeurs des paramètres du modèle proposé permettant de reproduire les caractéristiques C-V du C3M0065100K

Capacité	Paramètres correspondants	Valeur
C_{gd}	$C_{gd}(0)$	$5.856\ 83 \times 10^{-10}$ F
	ka	18.7095
	kb	5.85166
	kc	36.9708
	$k2$	0.336529
C_{gs}	C_{gs}	$7.942\ 26 \times 10^{-10}$ F
C_{ds}	$C_{ds}(0)$	$1.100\ 91 \times 10^{-9}$ F
	ka	3.10987
	kb	4.94139
	kc	-11.6659
	$k2$	0.428085

Tableau A.6: Les valeurs des paramètres du modèle proposé permettant de reproduire les caractéristiques C-V du SCT3080

Annexe B

Modélisation des éléments parasites

B.1 Calcul des modèles des câbles

Les câbles de connexion entre les différents composants du convertisseur sont modélisés analytiquement par des circuits RL séries où R et L sont calculées selon les équations suivantes :

$$R = \rho_{cu} \frac{l}{s} \quad (\text{B.1})$$

Où ρ_{cu} est la résistivité électrique du cuivre, l est la longueur du câble et s sa section.

$$L = 2l \left(\ln \left(\left(\frac{2l}{s} \right) \left(1 + \sqrt{1 + \left(\frac{s}{2l} \right)^2} \right) \right) - \sqrt{1 + \left(\frac{s}{2l} \right)^2} + \frac{\mu}{4} + \left(\frac{s}{2l} \right) \right) \quad (\text{B.2})$$

Où μ est la perméabilité de l'air.

En mesurant la longueur de chaque câble avec son diamètre, nous pouvons insérer ces valeurs dans les équations ci-dessus, calculant ainsi les modèles RL des câbles de connexion.

B.2 Calcul des modèles des composants passifs

Pour modéliser les éléments passifs utilisés dans le convertisseur, nous avons utilisé un analyseur d'impédance. Ceci permet d'obtenir, pour chaque composant, un vecteur d'impédance complexe (amplitude + phase) avec un vecteur de fréquence correspondant. Ensuite, un modèle de type circuit (R-L-C série ou parallèle ...) est choisi pour la modélisation de chaque composant. Ensuite, son impédance complexe est calculée et utilisée dans une version modifiée de l'algorithme génétique. Ceci permet d'optimiser les valeurs des éléments du modèle choisi permettant de reproduire l'impédance complexe mesurée expérimentalement avec une faible erreur. Le déroulement de ces étapes est :

1. Mesurer l'impédance complexe du composant passif en fonction de la fréquence $Z_{exp}(f)$
2. Choisir le circuit électrique à utiliser pour modéliser le composant. Nous prenons un circuit RLC série comme exemple
3. Calculer l'impédance complexe du circuit choisi. Pour notre exemple :

$$Z_{sim}(f) = Z_L + Z_R + Z_C = j2\pi fL + R - \frac{j}{2\pi fC} \quad (\text{B.3})$$

4. Appliquer l'algorithme génétique pour optimiser les valeur R, L et C permettant de minimiser l'écart entre $Z_{sim}(f)$ et $Z_{exp}(f)$

Le code permettant cette optimisation pour un circuit RLC série avec l'algorithme génétique correspondant est le suivant :

```

1 %% Algorithm for RLC
2
3 N=3; % number of variables in a chromosome
4 M=48; % number of chromosomes must be even
5 last=1000; % number of generations
6 sel=0.5; % selection rate
7 M2=2*floor(sel*M/2); % number of chromosomes kept
8 mutrate=0.3; % mutation rate
9 nmut=ceil(mutrate*(N)*(M-1)); % number of mutations
10 epsilon=1; %acceptable error rate
11 varbeta=1.8; %offsrping ratio
12
13 %L C R0
14 minn=[1e-9,0,0.1e-3];
15 maxx=[200e-9,0,5e-3];
16 cost=zeros(M,1);
17 pop=zeros(M,N);
18 ma=1:1:M2/2;
19 pa=M2/2+1:1:M2;
20
21 for i=1:N
22     pop(:,i)=(maxx(i)-minn(i)).*rand(M,1)+minn(i);
23 end
24
25 Zvec=zeros(length(f),M);
26 Zi=X(:,2).*exp(1i*X(:,3)*pi/180);
27 a=1;
28 cost(1)=inf;
29
30 while ((cost(1)>epsilon) && (a<last))
31     for j=1:length(pop)
32         if (a>1)

```

```

33         if ((j<=M2) && (~ismember(j,mrow)))
34             continue
35         end
36     end
37     %L C R0
38     L=pop(j,1);C=pop(j,2);R0=pop(j,3);
39     Zvec(:,j)= R0+1./(1i*2*pi*C.*f)+1i*L*2*pi.*f;
40     cost(j)=CostFun(abs(Zvec(:,j)),abs(Zi));
41
42     end
43     [cost,ind]=sort(cost);
44     pop(1:M2,:)=pop(ind(1:M2),:);
45     Zvec(:,1:M2)=Zvec(:,ind(1:M2));
46     cost1(a)=cost(1);
47
48     %Mating
49     xp=ceil(rand(1,M2*2)*N);
50     if(cost1(a)<1)
51         varbeta=0.2;
52         r=randn(1,M2/2)*1*varbeta+varbeta;
53     else
54         r=rand(1,M2/2)*varbeta;
55     end
56     for k=1:M2/2
57         if (xp(k)== xp(k+M2))
58             if (xp(k)==1)
59                 continue;
60             end
61             xy=pop(ma(k),xp(k)-1)-pop(pa(k),xp(k)-1); % ma and pa mate
of point of crossover.
62             pop(M2+ma(k),:)=pop(ma(k),:);
63             pop(M2+pa(k),:)=pop(pa(k),:);
64             pop(M2+ma(k),xp(k)-1)=pop(ma(k), xp(k)-1)-r(k).*xy;
65             pop(M2+pa(k),xp(k)-1)=pop(pa(k), xp(k)-1)+r(k).*xy;
66             for i=1:(xp(k))
67                 jj=i;
68                 if((pop(M2+ma(k),i)<minn(i)) || (pop(M2+ma(k),i)> maxx(
i)))
69                     pop(M2+ma(k),i)=(maxx(i)-minn(i)).*rand+minn(i);
70                 end
71                 if( (pop(M2+pa(k),i)<minn(i)) || (pop(M2+pa(k),i)> maxx
(i)))
72                     pop(M2+pa(k),i)=(maxx(i)-minn(i)).*rand+minn(i);
73                 end
74             end
75         else
76             if(xp(k)> xp(k+M2))

```

```

77         temp40=xp(k);
78         xp(k)=xp(k+M2);
79         xp(k+M2)=temp40;
80     end
81     xy=pop(ma(k),xp(k):(xp(k+M2)-1))-pop(pa(k),xp(k):(xp(k+M2)
) -1)); % ma and pa mate of point of crossover.
82     pop(M2+ma(k),:)=pop(ma(k),:);
83     pop(M2+pa(k),:)=pop(pa(k),:);
84     pop(M2+ma(k),xp(k):(xp(k+M2)-1))=pop(ma(k),xp(k):(xp(k+M2)
-1))-r(k).*xy;
85     pop(M2+pa(k),xp(k):(xp(k+M2)-1))=pop(pa(k),xp(k):(xp(k+M2)
-1))+r(k).*xy;
86
87     for i=xp(k):xp(k+M2)
88         if((pop(M2+ma(k),i)<minn(i)) || (pop(M2+ma(k),i)> maxx(
i)))
89             pop(M2+ma(k),i)=(maxx(i)-minn(i)).*rand+minn(i);
90         end
91         if((pop(M2+pa(k),i)<minn(i)) || (pop(M2+pa(k),i)> maxx(
i)))
92             pop(M2+pa(k),i)=(maxx(i)-minn(i)).*rand+minn(i);
93         end
94     end
95 end
96
97 end
98
99 %Mutation
100 mrow=ceil(rand(1,nmut)*(M-1)+1);
101 mcol=ceil(rand(1,nmut)*N);
102 for ii=1:nmut
103     pop(mrow(ii),mcol(ii))=(maxx(mcol(ii))-minn(mcol(ii))).*rand+
minn(mcol(ii));
104 end
105 a=a+1;
106 end
107 clear sel N M2 ii xp xy vartau varbeta r tfinal j jj i II epsilon ind k
last ma pa M m2 mcol mrow maxx minn mutrate meancost nmut temp40
108 clear tfinal t0
109 L=pop(1,1);C=pop(1,2);R0=pop(1,3);

```

Annexe C

Calcul de la FFT et de l'enveloppe

C.1 Calcul de la FFT

Nous avons implémenté une fonction pour le calcul de la transformée de Fourier rapide "FFT" dans Matlab. Cette fonction possède les entrées suivantes : vecteur de temps et vecteur du signal correspondant et les sorties suivantes : vecteur de fréquence sur tout le spectre ($-\frac{f_s}{2}$ jusqu'à $\frac{+f_s}{2}$) avec les amplitudes correspondantes et le vecteur de fréquence sur le spectre positif (0 jusqu'à $\frac{+f_s}{2}$) avec les amplitudes correspondantes. L'algorithme de cette FFT est le suivant :

1. Calcul de la fréquence d'échantillonnage :

$$f_s = \frac{L}{\Delta t} \quad (\text{C.1})$$

Où L est le nombre d'échantillons et Δt le pas temporel ($t_{n+1} - t_n$)

2. Calcul du pas fréquentiel :

$$\Delta f = \frac{f_s}{L} \quad (\text{C.2})$$

3. Calcul du vecteur fréquence :

$$f = \left[-\frac{f_s}{2}, -\frac{f_s}{2} + \Delta f, \dots, f_n, f_n + \Delta f, \dots, \frac{f_s}{2} - \Delta f, \frac{f_s}{2} \right] \quad (\text{C.3})$$

4. Calcul de la FFT :

$$X_f(k) = \frac{1}{L} \sum_{j=1}^n X_t(j) W_n^{(j-1)(k-1)} \quad (\text{C.4})$$

Où $X_f(k)$ est l'amplitude dans le domaine fréquentiel du signal temporel $X_t(j)$ correspondant à la fréquence de rang k ($f(k)$) et W_n est :

$$W_n = e^{(-2\pi i)/n} \quad (\text{C.5})$$

5. Calcul du vecteur de fréquences positives :

$$f^+ = [0, \dots, f_n, f_{n+1}, \dots, \frac{f_s}{2} - \Delta f, \frac{f_s}{2}] \quad (\text{C.6})$$

6. Calcul du vecteur des amplitudes correspondantes :

$$X_f^+ = [X_f(0), \dots, 2 \cdot X_f(f_n), 2 \cdot X_f(f_{n+1}), \dots, 2 \cdot X_f(\frac{f_s}{2})] \quad (\text{C.7})$$

Le code MATLAB permettant ce calcul est :

```

1 function [ f,ft,fpositive,ftpositive ] = fourier( x,t )
2 L=length(t);
3 Fs = L/max(t);
4 X = ((fft(x)/L));
5 if(isrow(X))
6     X=X';
7 end
8 ft=X;
9 dF=Fs/L;
10 f = (-Fs/2:dF:F_s/2-dF)' + mod(L,2)*dF/2;
11 fpositive = dF*(0:floor(L/2))';
12 A=[abs(X(1)); 2*abs((X(2:floor(L/2)+1)))];
13 ftpositive=A;

```

C.2 Calcul de l'enveloppe

Un algorithme a été développé permettant de calculer l'enveloppe d'un signal dans le domaine fréquentiel. Ceci a pour but de pouvoir comparer les FFT des deux signaux. L'algorithme a trois entrées : le vecteur de fréquences, le vecteur des amplitudes correspondantes dans le domaine fréquentiel et le nombre d'échantillons par intervalle. En effet, dans cet algorithme nous divisons le spectre en plusieurs intervalles, nous cherchons le maximum de chaque intervalle et puis nous relient ces maximums entre eux à travers une fonction d'interpolation appelée 'makima'.

```

1 function y= EnveloppeFn2(f,x,chunksize)
2
3 if(length(f)~=length(x))
4     y=NaN;
5     return;
6 end
7
8 nbchunks=int16(floor(length(x)/chunksize)+1);
9 fes=zeros(nbchunks,1);

```

```
10 temp=zeros(nbchunks,1);
11 for i=1:nbchunks-1
12     [temp(i), tempi]=max(x(1+(chunksize*(i-1)):chunksize*i));
13     fes(i)=f(tempi+1+(chunksize*(i-1)));
14 end
15 fes=[fes;f(end)];
16 temp=[temp;x(end)];
17 y=interp1(fes,temp,f,'makima');
18 [tempii, tempi]=max(x(1:chunksize));
19 y(1:tempi)=temp(1);
20 end
```